

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

概要

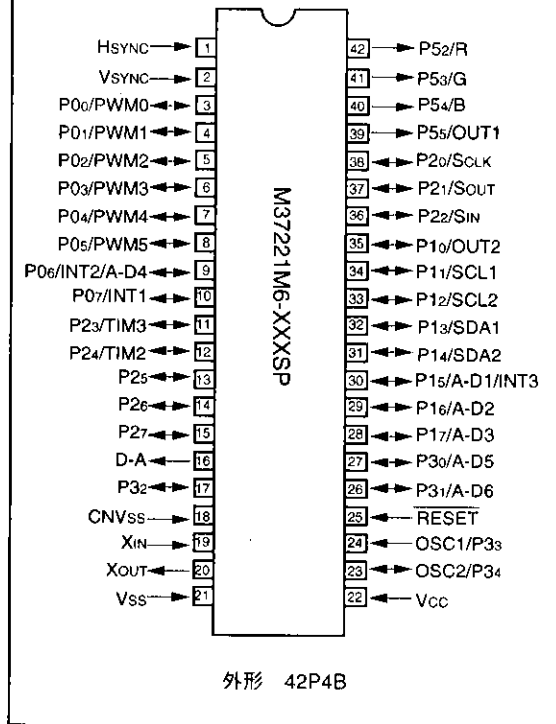
M37221M6-XXXSPは、シリコンゲートCMOSプロセスを採用したシングルチップマイクロコンピュータで42ピンシュリンクプラスチックモールドDIPに収められています。このシングルチップマイクロコンピュータは、ROM、RAM、I/Oを同一メモリ空間とするシンプルな命令体系を持った専用マイクロコンピュータです。

PWM出力機能、OSD機能などを備えていますので選局システムに最適です。

特長

- 基本機械語命令 71
- メモリ容量
 - ROM 24Kバイト
 - RAM 384バイト
 - CRT表示用ROM 8Kバイト
 - CRT表示用RAM 96バイト
- 命令実行時間(最短命令、8MHz時) 0.5 μ s(最小)
- 単一電源 5V \pm 10%
- 低消費電力 動作時(電源電圧5.5V、発振周波数8MHz、CRT表示時) 165mW
- サブルーチンネスタイング 最大96レベル
- 割り込み 14要因 14ベクタ
- 8ビットタイマ 4本
- プログラマブル入出力
 - (ポートP0, P1, P2, P30~P32) 27本
- 入力ポート(ポートP33, P34) 2本
- 出力ポート(ポートP52~P55) 4本
- 12V耐圧ポート 6本
- LED駆動ポート 4本
- シリアルI/O 8ビット \times 1本
- マルチマスタI²C-BUSインタフェース 1本(2系統)
- A-D比較器(分解能6ビット) 6チャンネル
- PWM出力回路 14ビット \times 1本、8ビット \times 6本

ピン接続図(上面図)



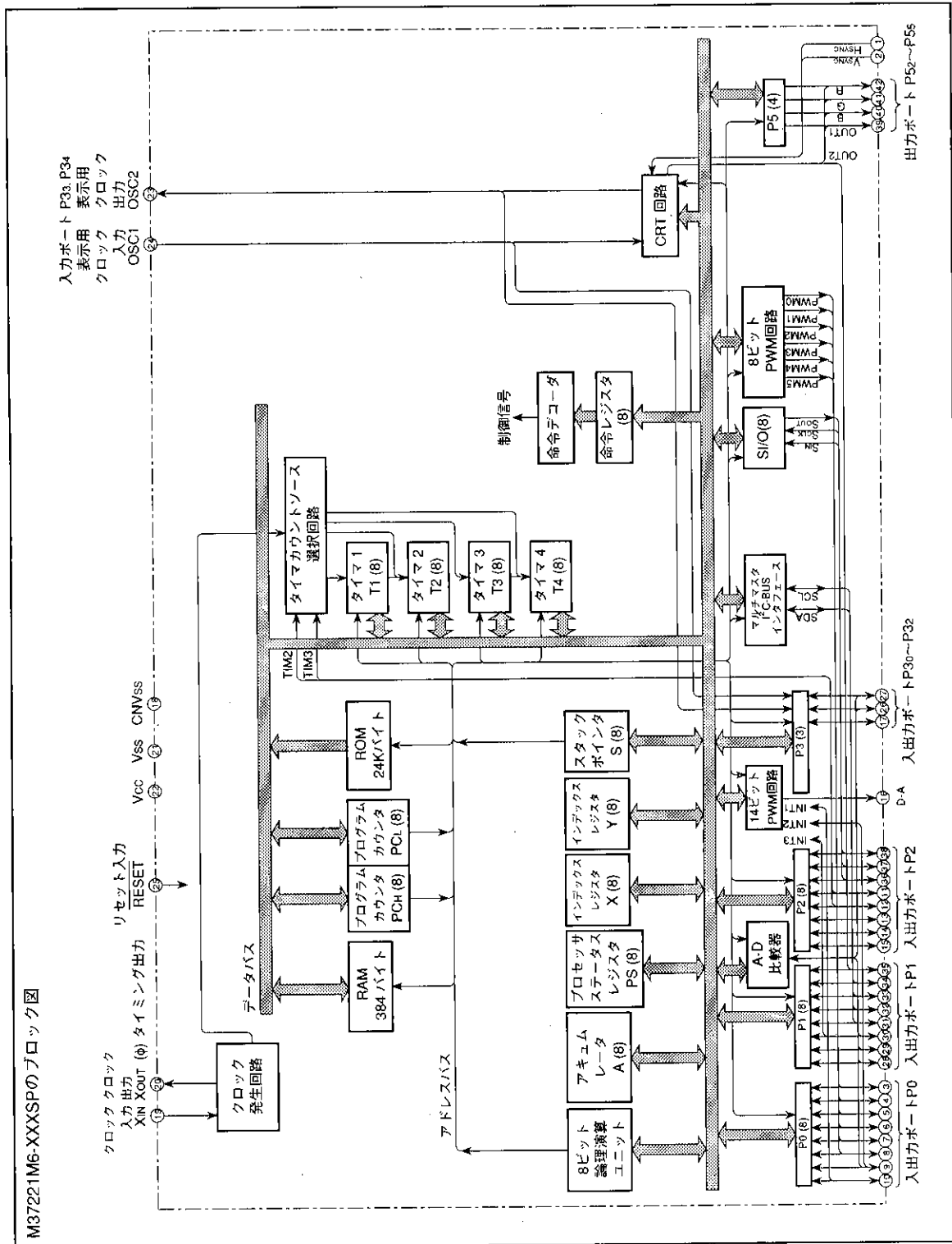
● CRT表示機能

- 表示文字数 24文字 \times 2行
(最大16行表示可能)
- 文字種類 256種類
- 文字構成 12 \times 16ドット
- 文字サイズ 3種類
- 文字色種類(文字単位の色指定可能)
最大7種類(R, G, B)
- 文字背景の色種類(文字単位の色指定可能)
最大7種類(R, G, B)
- ラスタの色指定可能(最大7種類)
- 表示位置指定可能 水平 64段階
垂直 128段階
- 縦横フチドリ可能

応用
TV

三菱マイクロコンピュータ M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER



三菱マイクロコンピュータ
M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

M37221M6-XXXSPの性能概要

項 目		性 能	
基本命令数		71	
命令実行時間		0.5 μ s (最短命令, 発振周波数8MHz時)	
クロック周波数		8MHz (最大)	
メモリ容量	ROM	24Kバイト	
	RAM	384バイト	
	CRT ROM	8Kバイト	
	CRT RAM	96バイト	
入出力ポート	P0	入出力	8ビット×1 (Nチャンネルオープンドレイン出力形式, PWM出力, INT入力, A-D入力と兼用)
	P10, P15~P17	入出力	4ビット×1 (CMOS入出力形式, CRT出力, A-D入力, INT入力と兼用)
	P11~P14	入出力	4ビット×1 (CMOS入出力又はNチャンネルオープンドレイン出力形式, マルチマスタI ² C-BUSインタフェースと兼用)
	P20, P21	入出力	2ビット×1 (CMOS入出力又はNチャンネルオープンドレイン出力形式, シリアル出力と兼用)
	P22~P27	入出力	6ビット×1 (CMOS入出力形式, シリアル入力, 外部クロック入力と兼用)
	P30, P31	入出力	2ビット×1 (CMOS入出力又はNチャンネルオープンドレイン出力形式, A-D入力と兼用)
	P32	入出力	1ビット×1 (Nチャンネルオープンドレイン出力形式)
	P33, P34	入 力	2ビット×1 (CRT表示用クロック入出力と兼用)
	P52~P55	出 力	4ビット×1 (CMOS出力形式, CRT出力と兼用)
シリアルI/O		8ビット×1本	
マルチマスタI ² C-BUSインタフェース		1本 (2系統)	
A-D比較器		6チャンネル (分解能6ビット)	
PWM出力回路		14ビット×1本, 8ビット×6本	
タイマ		8ビット×4本	
サブルーチンネスタイング		最大96レベル	
割り込み		外部割り込み×3, 内部タイマ割り込み×4, シリアルI/O割り込み×1, CRT割り込み×1, マルチマスタI ² C-BUSインタフェース割り込み×1, f(XIN)/4096割り込み×1, Vsync割り込み×1, BRK命令割り込み×1	
クロック発生回路		2回路内蔵 (セラミック共振子, 又は水晶発振子外付け)	
電源電圧		5V±10%	
消費電力	CRT ON	165mW標準 (発振周波数fCPU=8MHz, fCRT=8MHz)	
	CRT OFF	110mW標準 (発振周波数fCPU=8MHz)	
	ストップモード時	1.65mW最大	
動作周囲温度		-10~70°C	
素子構造		CMOSシリコンゲート	
パッケージ		42ピンシュリンクプラスチックモールドDIP	
CRT表示機能	表示文字数	24文字×2行 (ソフトウェア対応により最大16行)	
	文字構成	12×16ドット	
	文字種類	256種類	
	文字サイズ	3種類	
	着色種類	最大7種類 (R, G, B) 文字単位の指定可能	
	表示位置 (水平, 垂直方向)	64段階 (垂直方向128段階)	

三菱マイクロコンピュータ
M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

端子の機能説明

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vccに5V±10%(標準)、Vssに0Vを印加します。
CNVss	CNVss		Vssに接続してください。
RESET	リセット入力	入 力	リセット入力端子で、2μs以上“L”にするとリセット状態になります。
XIN	クロック入力	入 力	メインクロック発生回路の入出力端子です。クロック発生回路を内蔵しており発振周波数の設定はセラミック共振子又は水晶共振子をXINとXOUTの間に接続して行います。外部クロック入力を利用する場合はクロック発振源をXIN端子に接続し、XOUT端子を開放してください。
XOUT	クロック出力	出 力	
P00/PWM0~ P05/PWM5, P06/INT2/ A-D4, P07/INT1	入出力ポートP0	入出力	ポートP0は8ビットの入出力ポートです。入出力方向レジスタを持っており、各ビットごとに入力端子にするか出力端子にするかをプログラムできます。リセット時には入力モードになります。出力形式はNチャンネルオープンドレイン出力です。ポートP0の詳細な機能については表外の注を参照してください。
	PWM出力	出 力	P00~P05端子は、それぞれPWM出力端子PWM0~PWM5と共用です。出力形式はNチャンネルオープンドレイン出力です。
	外部割り込み入力	入 力	P06, P07端子は、それぞれ割り込み入力端子INT2, INT1と共用です。
	アナログ入力	入 力	P06端子は、アナログ入力端子A-D4と共用です。
P10/OUT2, P11/SCL1, P12/SCL2, P13/SDA1, P14/SDA2, P15/A-D1/ INT3, P16/A-D2, P17/A-D3	入出力ポートP1	入出力	ポートP1は8ビットの入出力ポートでポートP0とほぼ同等の機能を有しています。出力形式はCMOS出力です。
	CRT出力	出 力	P10端子は、CRT出力端子OUT2と共用です。出力形式はCMOS出力です。
	マルチマスタI ² C-BUS インタフェース	入出力	P11~P14端子は、マルチマスタI ² C-BUSインタフェース使用時、それぞれSCL1, SCL2, SDA1, SDA2と共用です。出力形式はNチャンネルオープンドレイン出力です。
	アナログ入力	入 力	P15~P17端子は、それぞれアナログ入力端子A-D1~A-D3と共用です。
	外部割り込み入力	入 力	P15端子は、外部割り込み入力端子INT3と共用です。
P20/SCLK, P21/SOUT, P22/SIN, P23/TIM3, P24/TIM2, P25~P27	入出力ポートP2	入出力	ポートP2は8ビットの入出力ポートでポートP0とほぼ同等の機能を有しています。出力形式はCMOS出力です。
	外部クロック 入力	入 力	P23, P24端子は、それぞれ外部クロック入力端子TIM3, TIM2と共用です。
	シリアルI/O同期 クロック入出力	入出力	P20端子は、シリアルI/O同期クロック入出力端子SCLKと共用です。出力形式はNチャンネルオープンドレイン出力です。
	シリアルI/O データ入出力	入出力	P21, P22端子は、それぞれシリアルI/Oデータ入出力端子SOUT, SINと共用です。出力形式はNチャンネルオープンドレイン出力です。
P30/A-D5, P31/A-D6, P32	入出力ポートP3	入出力	ポートP30~P32は3ビットの入出力ポートです。ポートP0とほぼ同等の機能を有しています。P30及びP31の出力形式は、CMOS出力、又はNチャンネルオープンドレイン出力のどちらかを選択できます。P32の出力形式は、Nチャンネルオープンドレイン出力です。
	アナログ入力	入 力	P30, P31端子は、それぞれアナログ入力端子A-D5, A-D6と共用です。
P33/OSC1, P34/OSC2	入力ポートP3	入 力	ポートP33, P34は2ビットの入力ポートです。
	CRT用クロック 入力	入 力	P33端子は、CRT表示用のクロック入力端子OSC1と共用です。
	CRT用クロック 出力	出 力	P34端子は、CRT表示用のクロック出力端子OSC2と共用です。出力形式はCMOS出力です。

端子の機能説明 (つづき)

端子名	名称	入出力	機能
P52/R, P53/G, P54/B, P55/OUT1	出力ポートP5	出力	P52~P55端子は、4ビットの出力ポートです。出力形式はCMOS出力です。
	CRT出力	出力	P52~P55端子は、それぞれCRT出力端子R、G、B、OUT1と共用です。出力形式はCMOS出力です。
H SYNC	水平同期信号	入力	CRT表示用の水平同期信号入力端子です。
V SYNC	垂直同期信号	入力	CRT表示用の垂直同期信号入力端子です。
D-A	DA出力	出力	14ビットPWM出力端子です。

注. 図3のメモリマップに示すようにポートP0はゼロページの00C016番地のメモリとして扱われます。ポートP0はポートP0方向レジスタ(ゼロページの00C116番地)を持っており、入力として使用するか、出力として使用するか、ビット単位にプログラムできます。方向レジスタが“1”にプログラムされている端子は出力端子となります。“0”の場合は入力端子となります。出力端子としてプログラムされている端子に書き込んだデータはポートのラッチに書き込まれ、それがそのまま出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、出力端子の内容が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって発光ダイオードなどを直接駆動したため、出力“L”電圧が上がっていても以前に出力した値を正しく読むことができます。入力端子としてプログラムされている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートのラッチに書き込まれるだけで端子はフローティングのままです。

機能ブロック動作説明

中央演算処理装置 (CPU)

M37221M6-XXXSPは、740ファミリ共通のCPUを持っています。

各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表、又はMELPS 740 PROGRAMMING MANUALを参照ください。

品種に依存する命令については以下のとおりです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

CPUモードレジスタ

CPUモードレジスタには、スタックページの選択ビットが割り当てられています。

このレジスタは00FB16番地に配置されています。

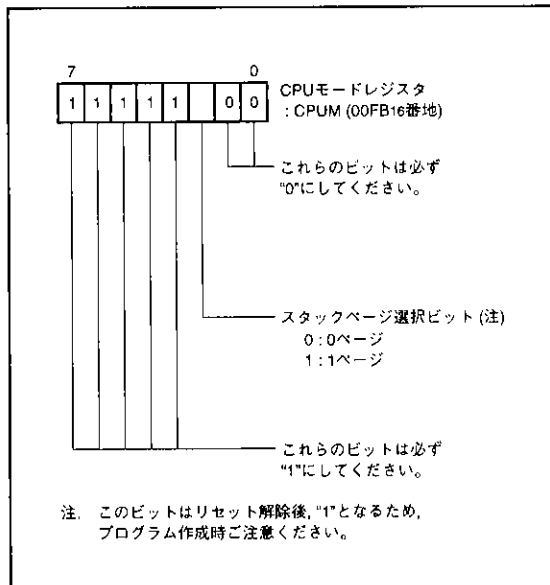


図1. CPUモードレジスタのビット構成

三菱マイクロコンピュータ M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

メモリ

● SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

● RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

● ROM

ユーザプログラムや割り込みベクトルなどを格納します。

● CRT表示用RAM

CRTに表示する文字コード、文字色などを指定します。

● CRT表示用ROM

CRTに表示する文字データを格納します。

● 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

● ゼロページ

ゼロページアドレッシングモードを使用することにより2語でアクセスできる領域です。

● スペシャルページ

スペシャルページアドレッシングモードを使用することにより2語でアクセスできる領域です。

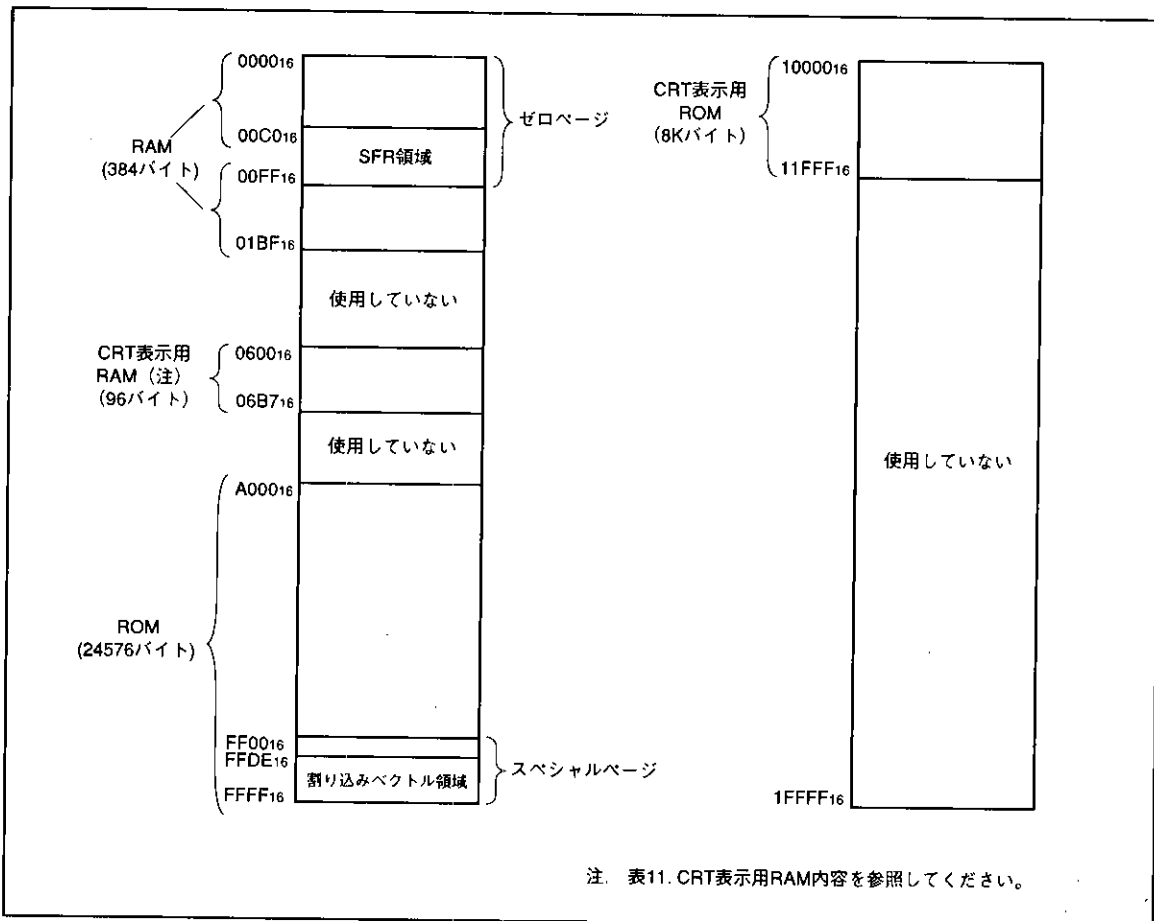


図2. メモリ配置図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

00C0 ¹⁶	ポートP0	00E0 ¹⁶	水平位置レジスタ
00C1 ¹⁶	ポートP0方向レジスタ	00E1 ¹⁶	垂直位置レジスタ1
00C2 ¹⁶	ポートP1	00E2 ¹⁶	垂直位置レジスタ2
00C3 ¹⁶	ポートP1方向レジスタ	00E3 ¹⁶	
00C4 ¹⁶	ポートP2	00E4 ¹⁶	文字サイズレジスタ
00C5 ¹⁶	ポートP2方向レジスタ	00E5 ¹⁶	フチドリ選択レジスタ
00C6 ¹⁶	ポートP3	00E6 ¹⁶	色レジスタ0
00C7 ¹⁶	ポートP3方向レジスタ	00E7 ¹⁶	色レジスタ1
00C8 ¹⁶		00E8 ¹⁶	色レジスタ2
00C9 ¹⁶		00E9 ¹⁶	色レジスタ3
00CA ¹⁶	ポートP5	00EA ¹⁶	CRT制御レジスタ
00CB ¹⁶	ポートP5方向レジスタ	00EB ¹⁶	
00CC ¹⁶		00EC ¹⁶	CRTポート制御レジスタ
00CD ¹⁶	ポートP3出力モード制御レジスタ	00ED ¹⁶	CRTクロック選択レジスタ
00CE ¹⁶	DA-Hレジスタ	00EE ¹⁶	A-D制御レジスタ1
00CF ¹⁶	DA-Lレジスタ	00EF ¹⁶	A-D制御レジスタ2
00D0 ¹⁶	PWM0レジスタ	00F0 ¹⁶	タイマ1
00D1 ¹⁶	PWM1レジスタ	00F1 ¹⁶	タイマ2
00D2 ¹⁶	PWM2レジスタ	00F2 ¹⁶	タイマ3
00D3 ¹⁶	PWM3レジスタ	00F3 ¹⁶	タイマ4
00D4 ¹⁶	PWM4レジスタ	00F4 ¹⁶	タイマ12モードレジスタ
00D5 ¹⁶	PWM出力制御レジスタ1	00F5 ¹⁶	タイマ34モードレジスタ
00D6 ¹⁶	PWM出力制御レジスタ2	00F6 ¹⁶	PWM5レジスタ
00D7 ¹⁶	I ² Cデータシフトレジスタ	00F7 ¹⁶	
00D8 ¹⁶	I ² Cアドレスレジスタ	00F8 ¹⁶	
00D9 ¹⁶	I ² Cステータスレジスタ	00F9 ¹⁶	割り込み入力極性レジスタ
00DA ¹⁶	I ² Cコントロールレジスタ	00FA ¹⁶	
00DB ¹⁶	I ² Cクロックコントロールレジスタ	00FB ¹⁶	CPUモードレジスタ
00DC ¹⁶	シリアルI/Oモードレジスタ	00FC ¹⁶	割り込み要求レジスタ1
00DD ¹⁶	シリアルI/Oレジスタ	00FD ¹⁶	割り込み要求レジスタ2
00DE ¹⁶		00FE ¹⁶	割り込み制御レジスタ1
00DF ¹⁶		00FF ¹⁶	割り込み制御レジスタ2

図3. SFR (スペシャルファンクションレジスタ) メモリマップ

割り込み

割り込みはベクトル割り込みで、外部4要因、内部8要因、ソフトウェア1要因、及びリセットの14の要因から発生することが可能です。表1にベクトルテーブルと優先順位を示します。リセットは割り込みと同じような動作をしますので、この表中に入れておきます。

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的にスタックへ待避されます。
2. 割り込み禁止フラグIが"1"に、割り込み要求ビットが"0"になります。
3. ベクトル番地に格納されている飛び先番地がプログラムカウンタに入ります

リセットは何ものによっても禁止されることはありません。これら以外の割り込みは割り込み禁止フラグIが"1"のとき、受け付けられません。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っています。割り込み要求ビットは割り込み要求レジスタ1、2、割り込み許可ビットは割り込み制御レジスタ1、2の各ビットに割り当てられています。割り込み関係レジスタのビット構成を図4に示します。

リセットとBRK命令割り込みを除いた割り込みは、割り込み許可ビットが"1"、割り込み要求ビットが"1"、かつ割り込み禁止フラグIが"0"のとき、受け付けられます。割り込み要求ビットはプログラムで"0"にできますが、"1"にはできません。割り込み許可ビットはプログラムで"0"又は"1"にできます。

表1. 割り込みベクトル番地と優先順位

優先順位	割り込み要因	ベクトル番地	
		上位	下位
1	リセット	FFFF16	FFFE16
2	CRT割り込み	FFFD16	FFFC16
3	INT2割り込み	FFFB16	FFFA16
4	INT1割り込み	FFF916	FFF816
5	タイマ4割り込み	FFF516	FFF416
6	f(XIN)/4096割り込み	FFF316	FFF216
7	VSYNC割り込み	FFF116	FFF016
8	タイマ3割り込み	FFEF16	FFEE16
9	タイマ2割り込み	FFED16	FFEC16
10	タイマ1割り込み	FFEB16	FFEA16
11	シリアルI/O割り込み	FFE916	FFE816
12	マルチマスタI ² C-BUS インタフェース割り込み	FFE716	FFE616
13	INT3割り込み	FFE516	FFE416
14	BRK命令割り込み	FFDF16	FFDE16

リセットは、割り込み優先順位中、最優先のノンマスカブル割り込みとして処理されます。図5に割り込み制御図を示します。

割り込み要因

1) VSYNC, CRT割り込み

VSYNC割り込みは、垂直同期信号に同期した割り込み要求です。

CRT割り込みは、CRTへの文字ブロック表示終了後に発生する割り込みです。

2) INT1, INT2, INT3 割り込み

外部割り込み入力で、各端子のレベルが"L"から"H"、又は"H"から"L"に変化するのを検出して割り込み要求が発生します。入力極性は、割り込み入力極性レジスタ(00F916番地)のビット3、ビット4、ビット5によって選択されます。これらのビットが"0"の場合"L"から"H"の変化、"1"の場合"H"から"L"の変化が検出されます。ただし、リセット時はすべて"0"になります。

3) タイマ1, 2, 3, 4 割り込み

タイマ1, 2, 3, 4のオーバフローにより割り込みが発生します。

4) シリアルI/O割り込み

クロック同期形シリアルI/Oからの割り込み要求です。

5) f(XIN)/4096割り込み

f(XIN)の4096分周で割り込みが発生します。ただし、PWM出力制御レジスタ1のビット0を"0"に設定してください。

6) マルチマスタI²C-BUSインタフェース割り込み

マルチマスタI²C-BUSインタフェースに関する割り込み要求です。

7) BRK命令割り込み

優先順位が最下位のソフトウェア割り込みで、対応した割り込み許可ビットを持たず、割り込み禁止フラグIの影響を受けません(ノンマスカブル)。

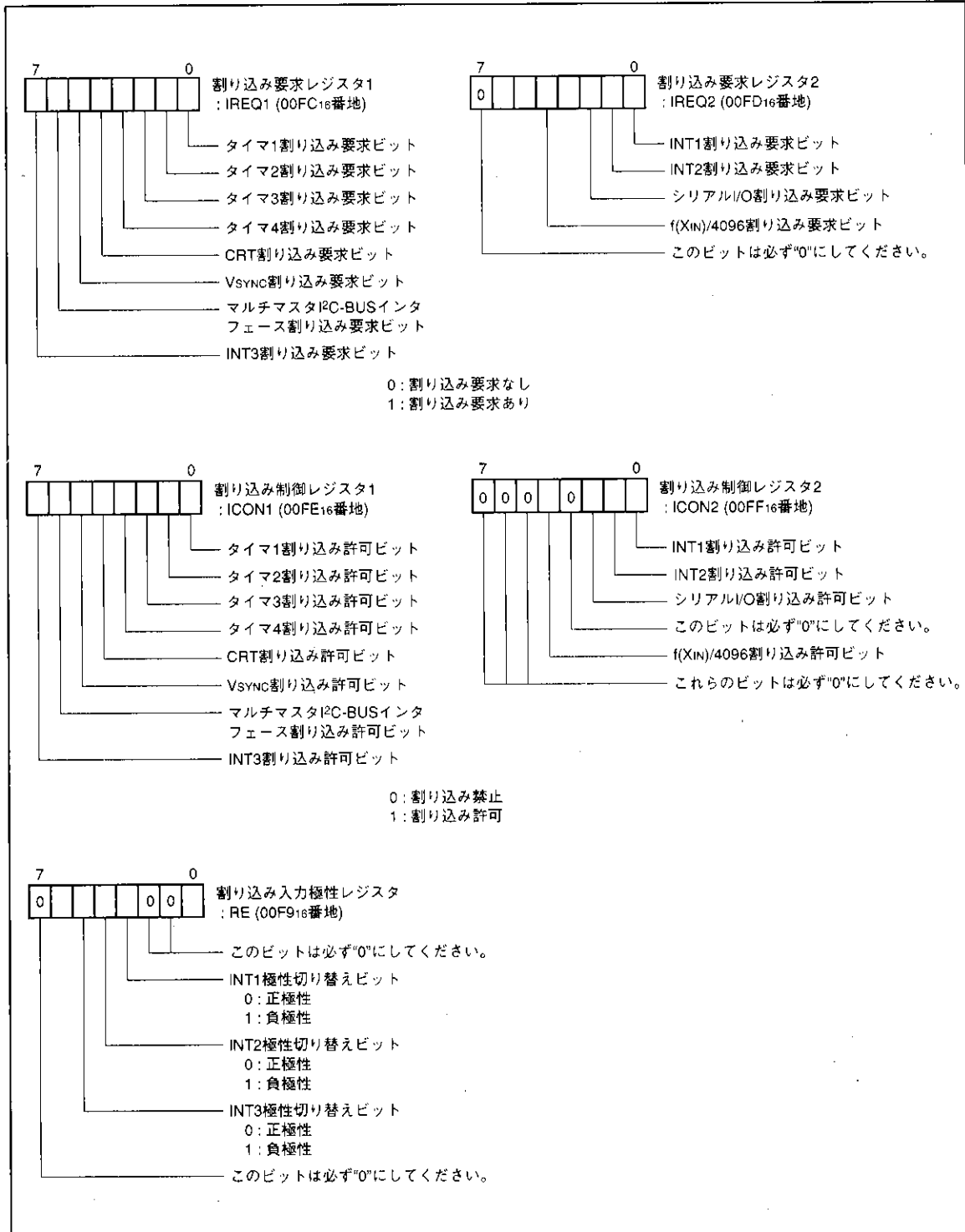


図4. 割り込み関係レジスタのビット構成

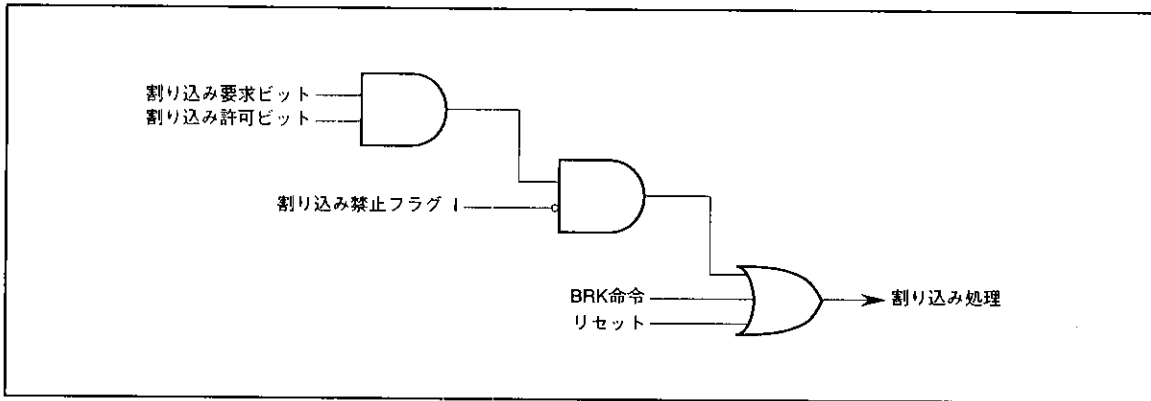


図5. 割り込み制御図

タイマ

タイマは、タイマ1、タイマ2、タイマ3、タイマ4の4本あります。いずれもタイマラッチ付き8ビットタイマです。図7にタイマのブロック図を示します。

タイマ1～4は、すべてダウンカウント動作で分周比は $1/(n+1)$ です。これらのタイマは、タイマラッチ(00F016～00F316:タイマ1～タイマ4)に値を書き込むことで同時にタイマにも値が設定されます。

タイマへの設定直後からカウントソースの入力によってnn16-1, nn16-2, ..., 0116, 0016とダウンカウントし、タイマの値が0016となった次のカウントソース入力でオーバーフローが起こり割り込み要求が発生します。

以下にそれぞれのタイマについて説明します。

(1) タイマ1

タイマ1のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$
- $f(XIN)/4096$

タイマ12モードレジスタ(00F416番地)のビット0を用いていずれか一つを選択します。

タイマ1オーバーフローによりタイマ1割り込み要求が発生します。

(2) タイマ2

タイマ2のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$
- タイマ1のオーバーフロー信号
- P24/TIM2端子からの外部クロック

タイマ12モードレジスタ(00F416番地)のビット4、ビット1の2ビットを用いてこの3種類から一つを選択します。また、カウントソースをタイマ1のオーバーフロー信号とすることで、タイマ1を8ビットプリスケアラとして用いることができます。

タイマ2オーバーフローによりタイマ2割り込み要求が発生します。

(3) タイマ3

タイマ3のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$
- HSYNC端子からの外部クロック
- P23/TIM3端子からの外部クロック

タイマ34モードレジスタ(00F516番地)のビット5、ビット0の2ビットを用いてこの3種類から一つを選択します。

タイマ3オーバーフローによりタイマ3割り込み要求が発生します。

(4) タイマ4

タイマ4のカウントソースは次のいずれかを選択できます。

- $f(XIN)/16$
- $f(XIN)/2$
- タイマ3のオーバーフロー信号

タイマ34モードレジスタ(00F516番地)のビット4、及びビット1の2ビットを用いてこの3種類から一つを選択します。また、カウントソースをタイマ3のオーバーフロー信号とすることで、タイマ3を8ビットのプリスケアラとして用いることができます。

タイマ4オーバーフローによりタイマ4割り込み要求が発生します。

リセット時、タイマ3、タイマ4はハードウェア的に接続され、タイマ3に"FF16"、タイマ4に"0716"がセットされます。そして、タイマ3のカウントソースとして $f(XIN)/16$ が選択されます。この状態でのタイマ4オーバーフローによって内部リセットが解除され、同時に内部クロックが供給されます。

STP命令実行時、タイマ3、タイマ4はハードウェア的に接続され、タイマ3に"FF16"、タイマ4に"0716"がセットされますが、タイマ3のカウントソースとして $f(XIN)/16$ は選択されません。したがって、STP命令を実行する前に、ソフトウェアによってタイマ34モードレジスタ(00F516番地)のビット0を"0"にしてください(タイマ3のカウントソースとして $f(XIN)/16$ を選択する)。この状態でのタイマ4オーバーフローによってSTP状態が解除され、同時に内部クロックが供給されます。

以上の処理により、安定したクロックのもとでプログラムが開始されます。

タイマに関連するレジスタのビット構成を図6に示します。

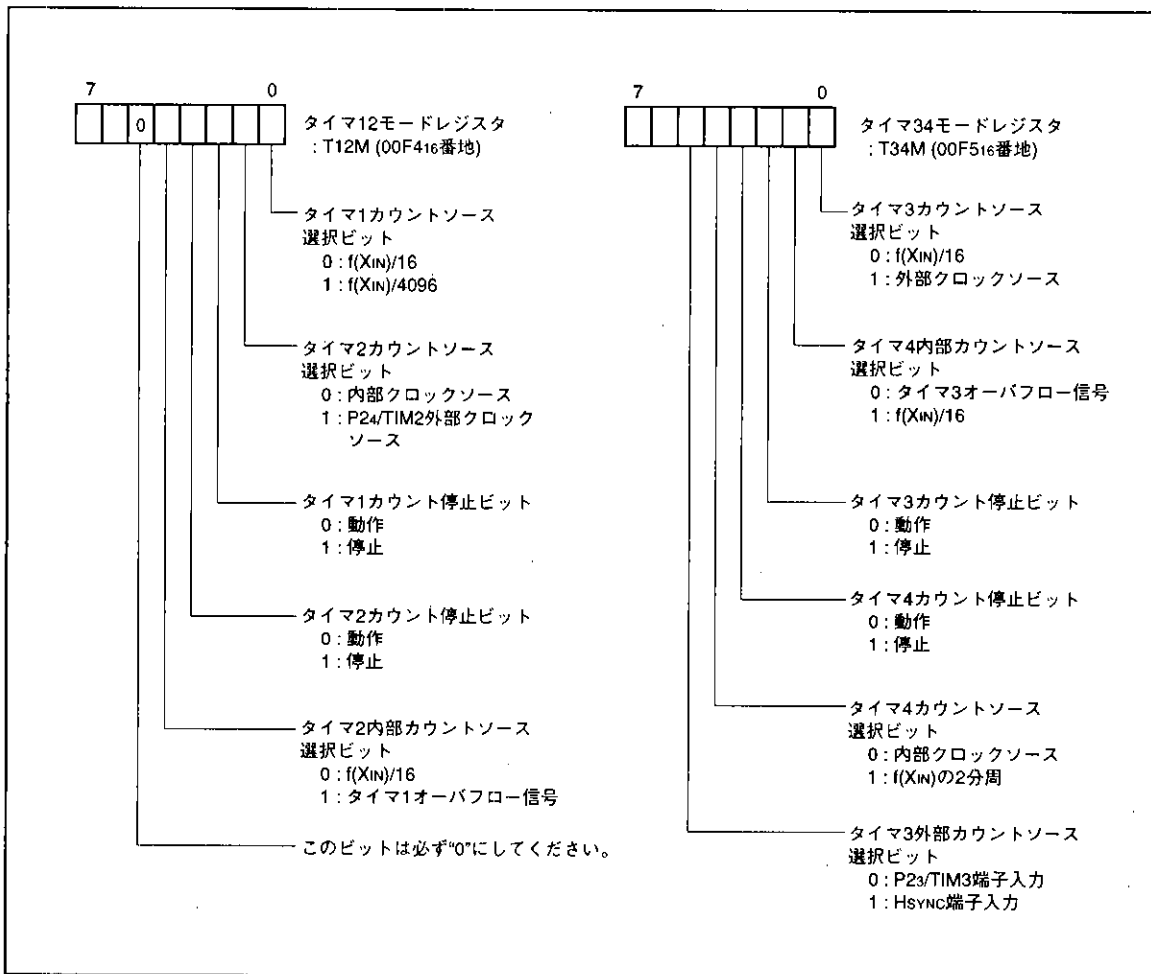


図6. タイマ関係レジスタのビット構成

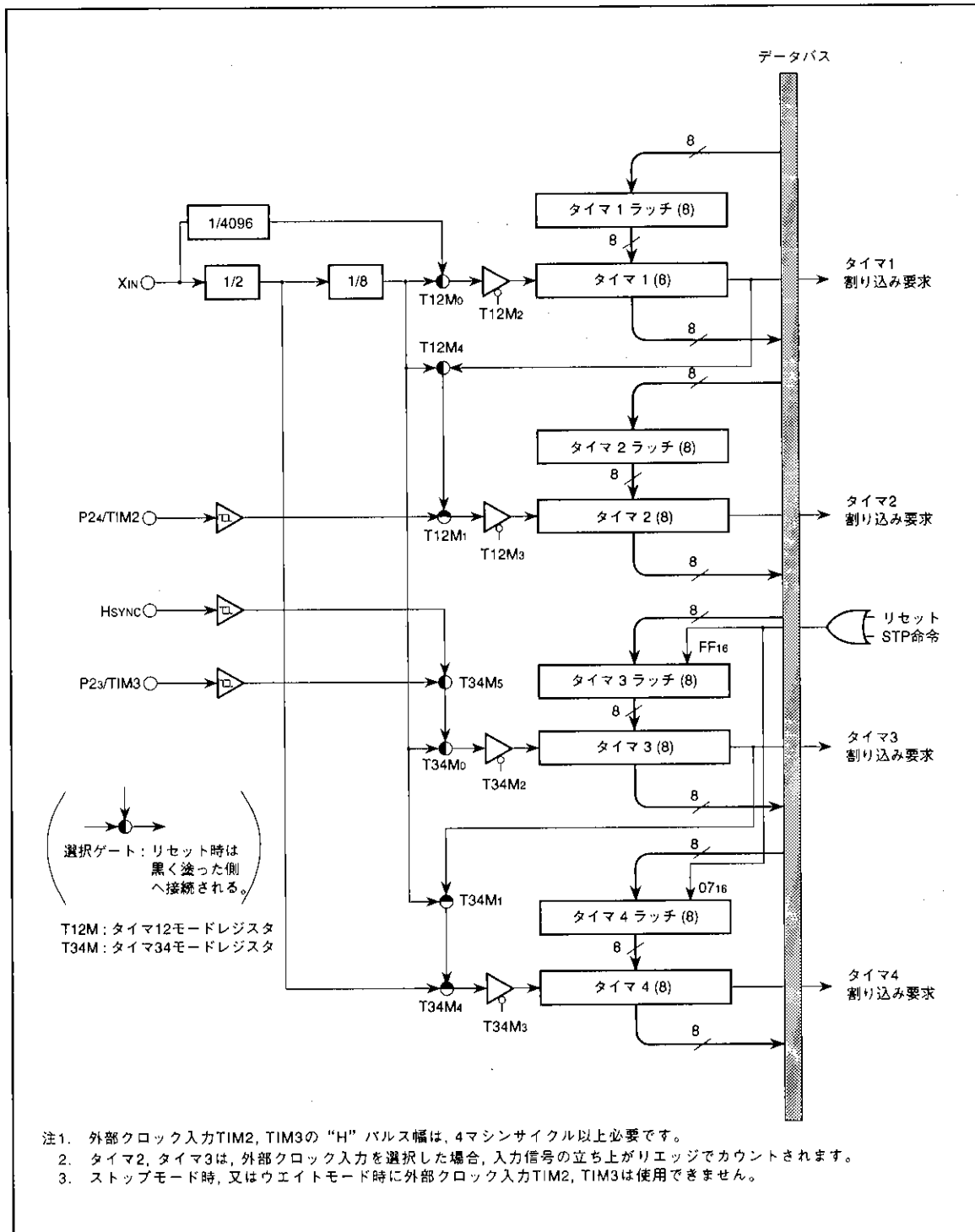


図7. タイマブロック図

シリアルI/O

M37221M6-XXXSPは、クロック同期形で8ビットデータを直列に受信、又は送信できるシリアルI/Oを1本内蔵しています。

図8にシリアルI/Oのブロック図を示します。同期クロック入力端子(SCLK)、データ入出力端子(SOUT, SIN)はポートP2と共用しています。

シリアルI/Oモードレジスタ(00DC16番地)のビット2で同期クロックを内部から供給するか、外部(P20/SCLK端子)から供給するかを選択します。内部クロックの場合ビット1とビット0で $f(XIN)$ の4分周、16分周、32分周、64分周のいずれかを選択します。また、ビット3はポートP2をシリアルI/O用端子として使用するかどうかを選択します。

シリアルI/O用端子として使用する場合、ポートP2方向レジスタ(00C516番地)のSIN端子に対応するビットは入力側("0")に設定してください。

次にシリアルI/Oの動作について説明します。クロック源として内部クロックを選択するか、外部クロックを選択するかで動作が異なります。まず、内部クロックを選択した場合について説明します。

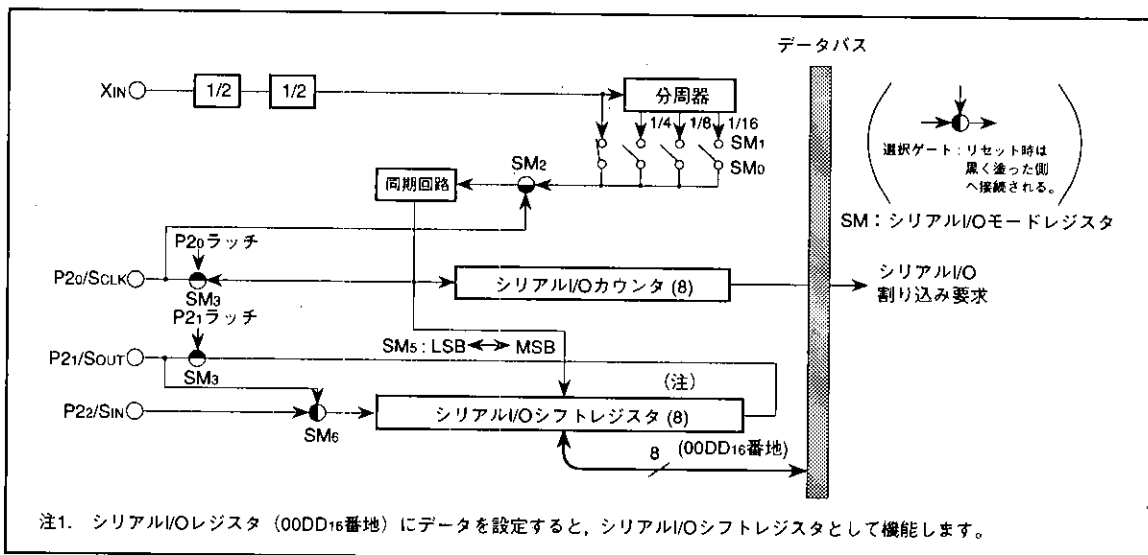


図8. シリアルI/Oのブロック図

シリアルI/Oレジスタ(00DD16番地)への書き込みサイクル中に、シリアルI/Oカウンタが“7”にセットされ、シリアルI/Oレジスタの転送クロックは強制的に“H”になります。書き込みサイクル終了後転送クロックの立ち下がりのたびに、Sout端子からデータが出力されます。転送を最下位ビットから行うか、最上位ビットから行うかは、シリアルI/Oモードレジスタのビット5で選択します。また、受信時にはSIN端子から転送クロックの立ち上がりのたびにデータが取り込まれると同時に、シリアルI/Oレジスタの内容が1ビットずつシフトされます。

転送クロックを8回カウントするとシリアルI/Oカウンタは“0”となり、転送クロックは“H”の状態では停止し、割り込み要求ビットが“1”になります。

クロック源として外部クロックを選択した場合は転送クロックを8回カウントすると割り込み要求ビットは“1”になりますが、転送動作は禁止されませんので外部でクロックを制御してください。外部クロックはデューティサイクル50%で1MHz以下のクロックを使用してください。

図10にタイミングを示します。転送に外部クロックを用いる場合は、シリアルI/Oカウンタの初期化を行う際に外部クロックが“H”になっている必要があります。内部クロックと外部クロックを切り替えて使用する場合、転送を行っていないときに切り替えてください。また切り替えた後に必ずシリアルI/Oカウンタの初期化を行ってください。

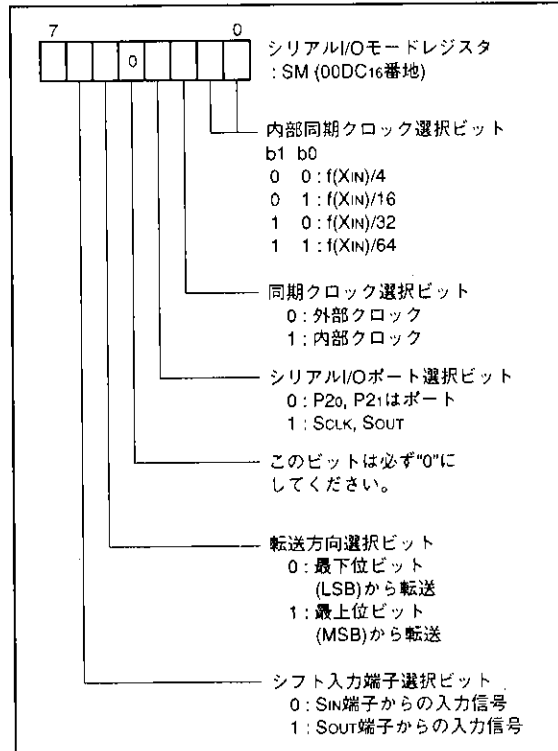


図9. シリアルI/Oモードレジスタのビット構成

注1. ビット処理命令(SEB命令, CLB命令)などによるシリアルI/Oレジスタへの書き込みによっても、シリアルI/Oカウンタがセットされるため、プログラム作成上注意が必要です。

注2. 同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、シリアルI/Oレジスタへ送信データを書き込んでください。

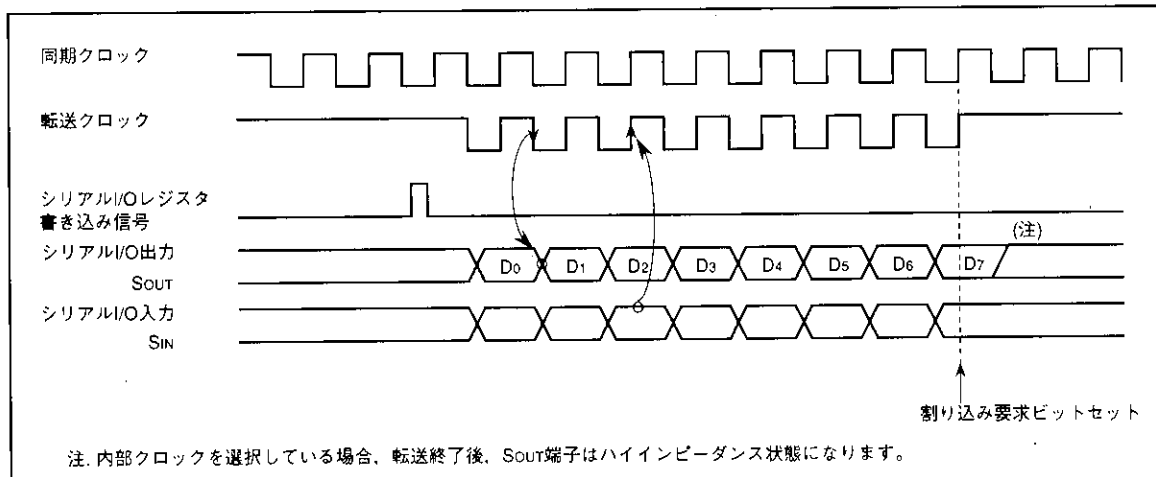


図10. シリアルI/Oタイミング

シリアルI/O共用送受信モード

シリアルI/Oモードレジスタのビット6に"1"を書き込むことによりSIN, SOUT信号が内部で切り替わり、シリアル送信及びシリアル受信することができます。

図11にシリアルI/O共用送受信モード時の信号線を

示します。

注. シリアル受信時には、シリアルI/Oレジスタに"FF16"のデータを書き込んでからシリアル受信を行ってください。

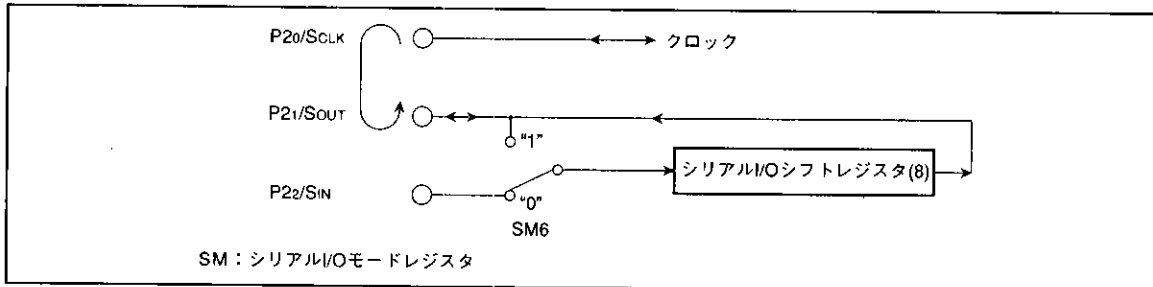


図11. シリアルI/O共用送受信モード時の信号線

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図12にマルチマスタI²C-BUSインタフェースのブロック図、表2にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタとその他の制御回路により構成されています。

表2. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz~400kHz, ($\phi = 4 \text{ MHz}$)

ϕ : システムクロック= $f(XIN)/2$

注. I²C-BUSインタフェースとポート(SCL1, SCL2, SDA1, SDA2)の接続を制御する機能 (I²Cコントロールレジスタ[00DA16番地]のビット6, ビット7)の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

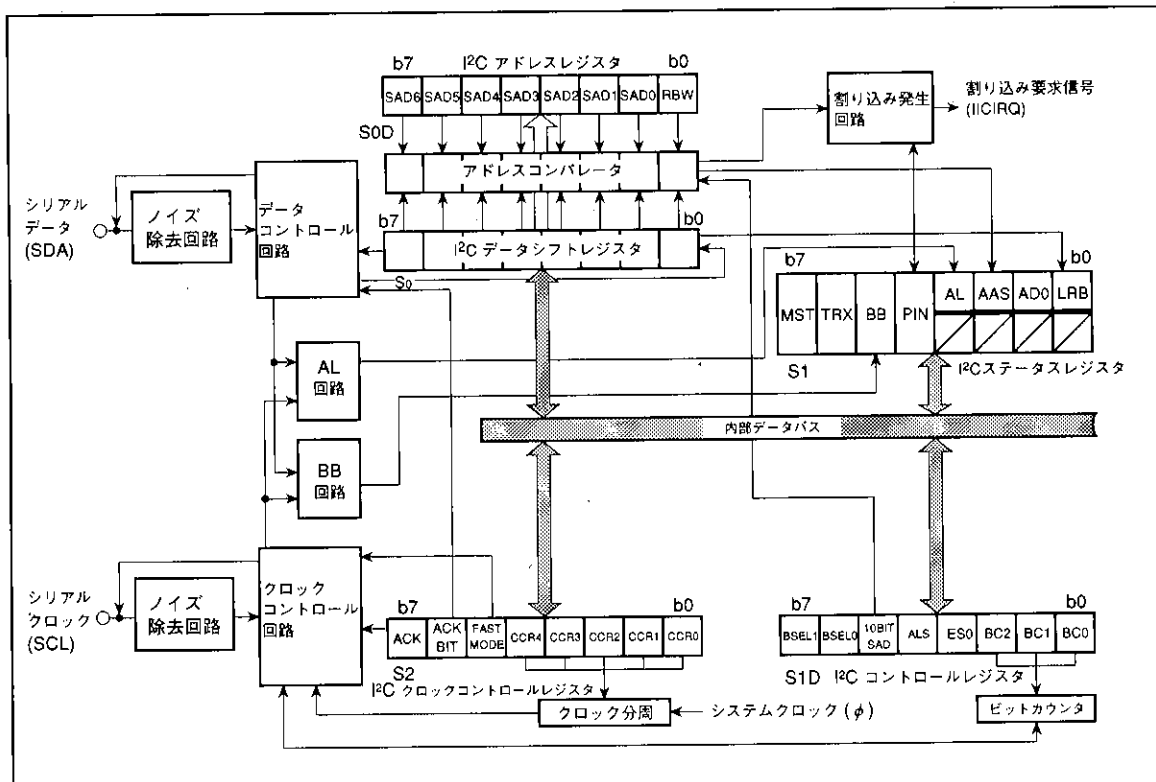


図12. マルチマスタI²C-BUSインタフェースのブロック図

(1) I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:00D7₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してこのレジスタのビット0からデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(00DA₁₆番地)のES0ビットが“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(00D9₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

注. MSTビットを“0”(スレープモード)にしてからI²Cデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保してください。

(2) I²Cアドレスレジスタ

I²Cアドレスレジスタ(00D8₁₆番地)は7ビットのスレープアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレープアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

■ビット0:リード/ライトビット(RBW)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6~SAD0+RBW)が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

■ビット1~ビット7:スレープアドレス(SAD0~SAD6)

スレープアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

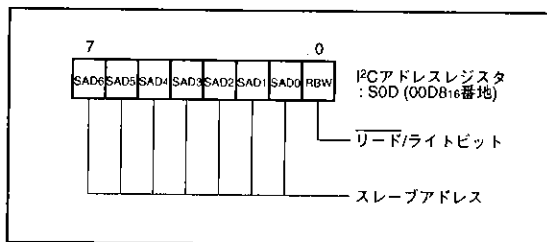


図13. I²Cアドレスレジスタのビット構成

(3) I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(00DB₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

■ビット0~ビット4: SCL周波数制御ビット(CCR0~CCR4)

SCL周波数を制御するビットです。表3を参照してください。

■ビット5: SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

■ビット6: アックビット(ACK BIT)

アッククロック発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態、アドレスデータを受信するとき、スレープアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。スレープアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

*アッククロック: 確認応答用のクロック

■ビット7: アッククロックビット(ACK)

データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

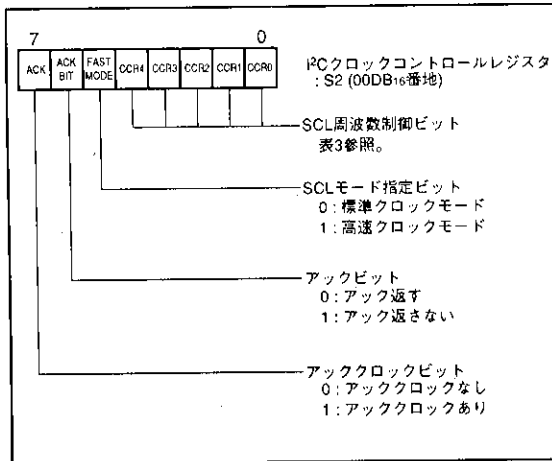


図14. I²Cクロックコントロールレジスタのビット構成

表3. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4~CCR0の設定値					SCL周波数 ($\phi=4$ MHz時, 単位: kHz)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	設定禁止	333
0	0	1	0	0	設定禁止	250
0	0	1	0	1	100	400(注)
0	0	1	1	0	83.3	166
:	:	:	:	:	500/CCR値	1000/CCR値
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注. 高速クロックモード400kHz時のデューティは40%です。それ以外では50%です。

(4) I²Cコントロールレジスタ

I²Cコントロールレジスタ(00DA16番地)はデータ通信フォーマットの制御を行うレジスタです。

■ビット0~ビット2: ビットカウンタ(BC0~BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは"0002"になり、アドレスデータは必ず8ビットで送受信されます。

■ビット3: I²Cインタフェース使用許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。"0"の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。"1"の場合、使用許可となります。

ES0="0"のとき、次のように処理されます。

- I²Cステータスレジスタ(00D916番地)のPIN="1", BB="0", AL="0"に設定される。
- I²Cデータシフトレジスタ(00D716番地)への書き込みは禁止される。

■ビット4: データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。"0"の場合はアドレスリングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「(5) I²Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。"1"の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

■ビット5: アドレスリングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。"0"の場合は7ビットアドレスリングフォーマットとなり、I²Cアドレスレジスタ(00D816番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。"1"の場合には10ビットアドレスリングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

■ビット6、ビット7: I²C-BUSインタフェースとポートの接続制御ビット(BSEL0, BSEL1)

マルチマスタI²C-BUSインタフェースのSCL, SDAとポートの接続を制御するビットです(図15参照)。

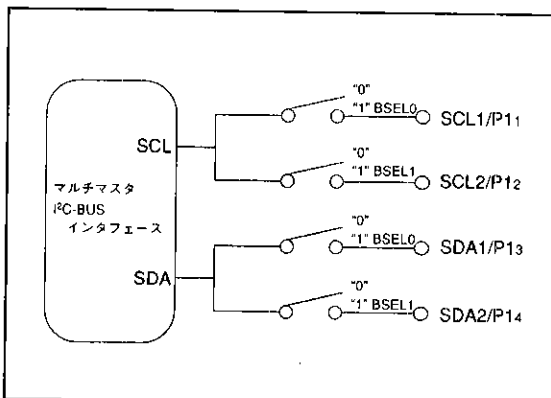


図15. BSEL0, BSEL1による接続ポート制御

(5) I²Cステータスレジスタ

I²Cステータスレジスタ(00D916番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み可能です。

■ビット0：最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アックロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(00D716番地)に書き込み命令を実行すると“1”から“0”になります。

■ビット1：ジェネラルコール検出フラグ(AD0)

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスターデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディション、スタートコンディションの検出により“0”になります。

*ジェネラルコール：マスターが全スレーブにジェネラルコールアドレス“0016”を送信すること。

■ビット2：スレーブアドレス比較フラグ(AAS)

アドレスデータの比較結果を示すフラグです。

①スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。

- スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(00D816番地)に格納されている上位7ビットのスレーブアドレスと一致した場合
- ジェネラルコールを受信した場合

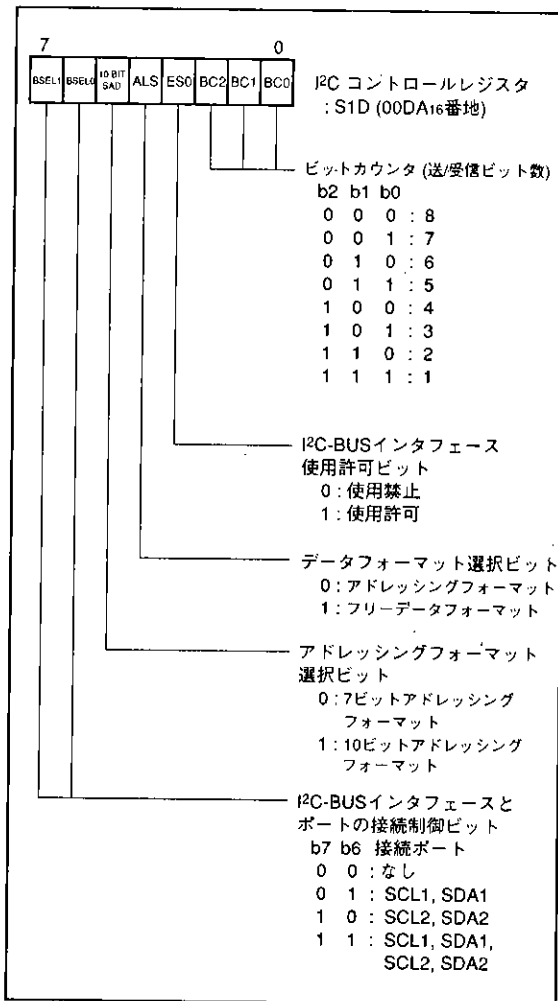


図16. I²Cコントロールレジスタのビット構成

②スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRBWビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

③このビットはI²Cデータシフトレジスタ(00D716番地)に書き込み命令を行うことにより“1”から“0”になります。

■ビット3：アービトレーションロスト*検出フラグ(AL)

マスター送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時にTRXビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MSTビット

が“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

●アービトレーションロスト：マスタとしての通信が不許可となった状態。

■ビット4：I²C-BUSインタフェース割り込み要求ビット (PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のときはSCLは“0”に保たれクロックの発生は禁止されます。図18に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“1”になります。

- I²Cデータシフトレジスタ(00D716番地)への書き込み命令の実行
- ESOビットが“0”のとき
- リセット時

PINビットが“0”になる条件を以下に示します。

- 1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
- 1バイトのデータ受信完了直後
- スレーブ受信の際、ALS=0で、スレーブアドレス又はジェネラルコールアドレス受信完了直後
- スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

■ビット5：バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能(注)によって禁止されます。

このフラグはマスタ送信時のみ、ソフトウェアによる書き込みが可能です。マスタ送信以外のモードでは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I²Cコントロールレジスタ(00DA16番地)のESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

■ビット6：通信モード指定ビット(転送方向指定ビット：TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²Cコントロールレジスタ(00DA16番地)のALSビットが“0”でスレーブの場合、マスタから送信されたアドレスデータの最下位ビット(R/Wビット)が“1”のときはTRXビットは“1”(送信)になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”(受信)になります。

以下のいずれかの条件でTRXビットが“0”になります。

- アービトレーションロストを検出した場合
- ストップコンディションを検出した場合
- スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- MST=“0”で、スタートコンディションを検出した場合
- MST=“0”で、アックが返ってこなかったことを検出した場合
- リセット時

■ビット7：通信モード指定ビット(マスタ/スレーブ指定ビット：MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

- アービトレーションロストを検出した場合、1バイトデータ送信終了直後
- ストップコンディションを検出した場合
- スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- リセット時

注. スタートコンディション重複防止機能は、以下の条件が成立している場合に、スタートコンディションの発生、ビットカウンタのリセット、及びSCLの出力を禁止する機能です。

- ・別のマスタデバイスによるスタートコンディションが成立

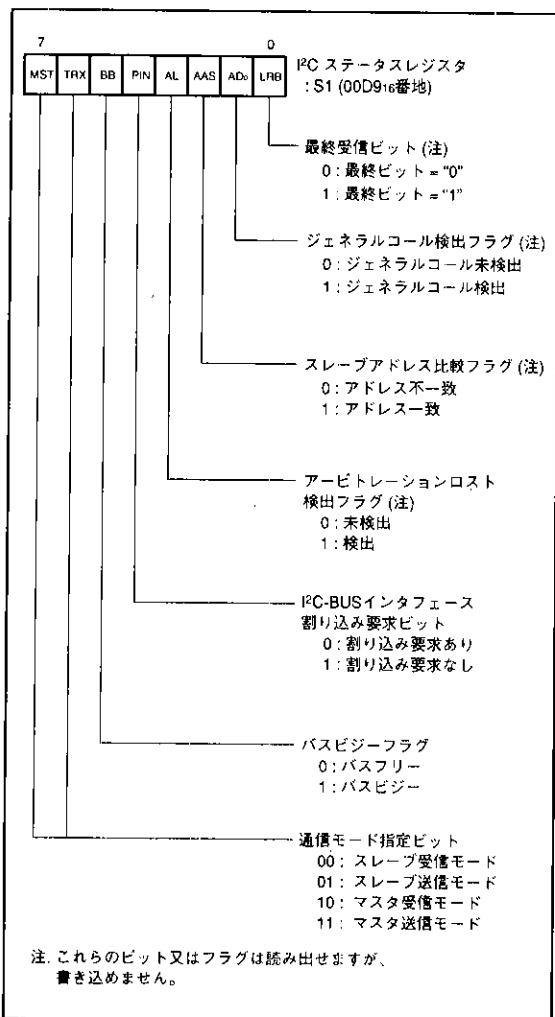


図17. I²Cステータスレジスタのビット構成

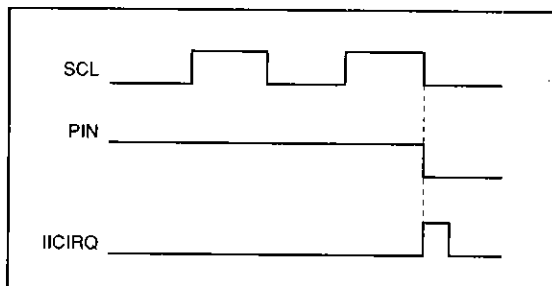


図18. 割り込み要求信号の発生タイミング

(6) スタートコンディション発生方法

I²Cコントロールレジスタ(00DA16番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(00D916番地)に書き込み命令を行いMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図19のスタートコンディション発生タイミング図と表4のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

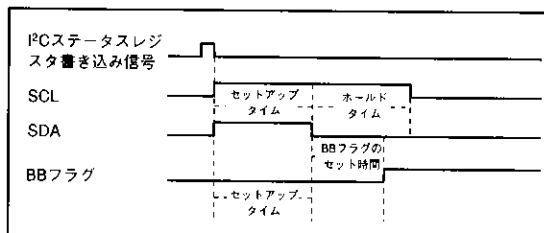


図19. スタートコンディション発生タイミング図

(7) ストップコンディションの発生方法

I²Cコントロールレジスタ(00DA16番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(00D916番地)へ書き込み命令を行いMST=1, TRX=1, BB=0にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図20のストップコンディション発生タイミング図と表4のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

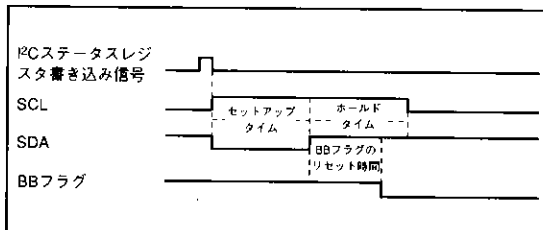


図20. ストップコンディション発生タイミング図

表4. スタートコンディション、ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
ホールド時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
BBフラグセット/リセット時間	3.0 μ s (12サイクル)	1.5 μ s (6サイクル)

注. ϕ = 4 MHz時の絶対時間, ()内は ϕ のサイクル数

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

(8) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図21と表5に示します。表5の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQが発生します。

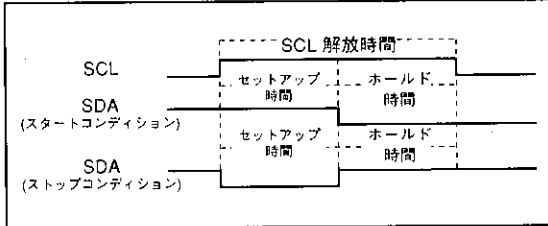


図21. スタートコンディション、ストップコンディション検出のタイミング図

表5. スタートコンディション、ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μ s (26サイクル) < SCL解放時間	1.0 μ s (4サイクル) < SCL解放時間
3.25 μ s (13サイクル) < セットアップ時間	0.5 μ s (2サイクル) < セットアップ時間
3.25 μ s (13サイクル) < ホールド時間	0.5 μ s (2サイクル) < ホールド時間

注. ϕ = 4 MHz時の絶対時間、()内は ϕ のサイクル数

(9) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

① 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(00DA16番地)の10BIT SADビットを"0"にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(00D816番地)に格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(00D816番地)のRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図22の(1)、(2)を参照してください。

② 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(00DA16番地)の10BIT SADビットを"1"にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(00D816番地)に格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²Cアドレスレジスタ(00D816番地)のRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシング

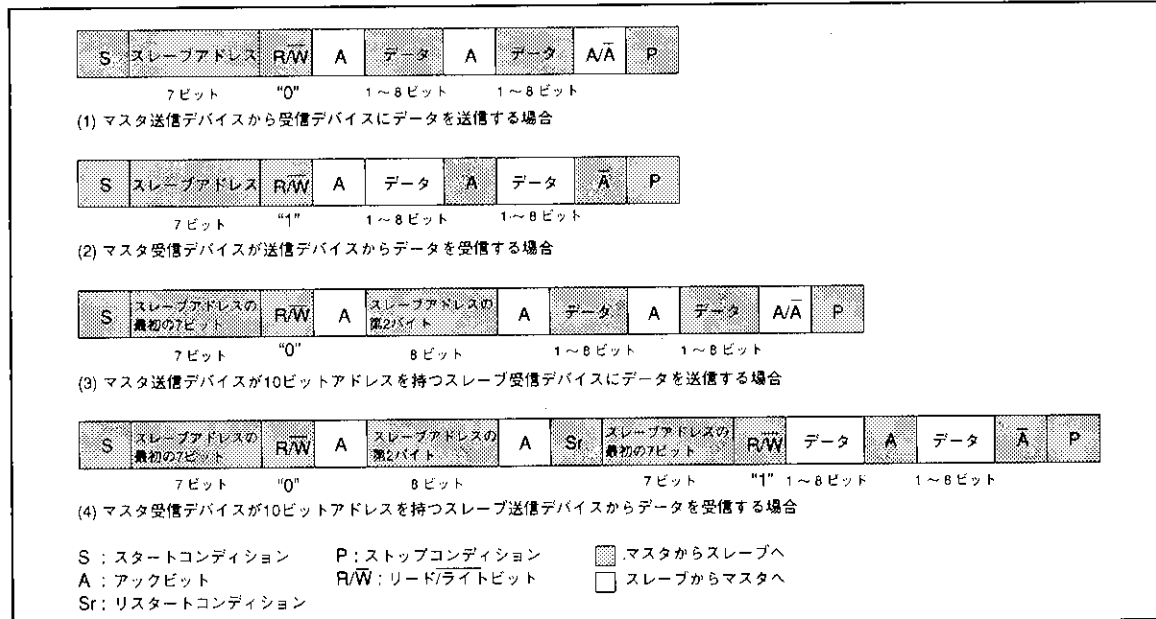


図22. アドレスデータ通信フォーマット

モード時には、アドレスデータの最終ビットである $\overline{R/\overline{W}}$ ビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(00D9₁₆番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Cデータシフトレジスタ(00D7₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(00D8₁₆番地)のRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及び $\overline{R/\overline{W}}$ のデータとI²Cアドレスレジスタ(00D8₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図22の(3)、(4)を参照してください。

(10) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- ① I²Cアドレスレジスタ(00D8₁₆番地)の上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- ② I²Cクロックコントロールレジスタ(00DB₁₆番地)に“85₁₆”を設定することによって、アックを返すモード、SCL=100kHzにします。
- ③ I²Cステータスレジスタ(00D9₁₆番地)に“10₁₆”を設定し、SCLを“H”レベルに保持します。
- ④ I²Cコントロールレジスタ(00DA₁₆番地)に“48₁₆”を設定することによって、通信許可状態にします。
- ⑤ I²Cデータシフトレジスタ(00D7₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- ⑥ I²Cステータスレジスタ(00D9₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- ⑦ I²Cデータシフトレジスタ(00D7₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- ⑧ 複数バイトの制御データを送信する場合、⑦を繰り返します。
- ⑨ I²Cステータスレジスタ(00D9₁₆番地)に“D0₁₆”を設定します。この後、アックが返らなかった場合又は送信が終了すると、ストップコンディションが発生します。

(11) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- ① I²Cアドレスレジスタ(00D8₁₆番地)の上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- ② I²Cクロックコントロールレジスタ(00DB₁₆番地)に“25₁₆”を設定することによって、アックなしモード、SCL=400kHzにします。
- ③ I²Cステータスレジスタ(00D9₁₆番地)に“10₁₆”を設定しSCLを“H”レベルに保持します。
- ④ I²Cコントロールレジスタ(00DA₁₆番地)に“48₁₆”を設定することによって、通信許可状態にします。
- ⑤ スタートコンディションを受信すると、アドレス比較されます。
- ⑥ *送信されたアドレスがすべて“0”の場合(ジェネラルコール)
I²Cステータスレジスタ(00D9₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
*送信されたアドレスが、①で設定したアドレスと一致した場合
I²Cステータスレジスタ(00D9₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
*上記以外の場合
I²Cステータスレジスタ(00D9₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- ⑦ I²Cデータシフトレジスタ(00D7₁₆番地)にダミーデータを設定します。
- ⑧ 複数バイトの制御データを受信する場合、⑦を繰り返します。
- ⑨ ストップコンディションを検出すると通信が終了します。

PWM出力回路

M37221M6-XXXSPは14ビットPWM(DA)を1本、8ビットPWMを6本(PWM0~PWM5)備えています。DAは14ビットの分解能を持ち、最小分解ビット幅 $0.25\mu\text{s}$ (クロック周波数 $f(X_{IN}) = 8\text{MHz}$ の場合。以降の説明でも、 $f(X_{IN}) = 8\text{MHz}$ の場合について述べます。)、繰り返し周期 $4096\mu\text{s}$ です。PWM0~PWM5は同じ回路構成で、8ビットの分解能を持ち、最小分解ビット幅 $4\mu\text{s}$ 、繰り返し周期 $1024\mu\text{s}$ です。

図23にPWMのブロック図を示します。PWMのタイミング発生回路は $f(X_{IN})$ を2分周した信号を基本として、DA、及びPWM0~PWM5の各制御信号を供給します。

(1) データの設定

DAを出力する場合は出力データの上位8ビットを先にDA-Hレジスタ(00CE16番地)に設定した後、下位6ビットをDA-Lレジスタ(00CF16番地)にセットします。PWM0~PWM5を出力する場合には、出力データ8ビットをPWMiレジスタ(iは0~5, 00D016~00D416, 00F616番地)に設定します。

(2) レジスタからPWM回路への転送

8ビットPWMレジスタから8ビットPWM回路へのデータ転送は、レジスタへのデータ書き込みが行われた時点で実行されます。

8ビットPWM出力端子から出力される信号は、このレジスタの内容に対応したものです。

また、DAレジスタ(00CE16、00CF16番地)から14ビットPWM回路へのデータ転送は、DA-Lレジスタ(00CF16番地)への書き込み時に行われます。DA-Hレジスタ(00CE16番地)の読み出しは、この転送されたデータを読み出すことになります。そのため、DAレジスタの読み出しによって、D-A出力端子から出力されているデータを確認することができます。

(3) 8ビットPWMの動作

次に動作について説明します。

まず、PWM出力制御レジスタ1(00D516番地)のビット0を“0”にクリアし(リセット時は“0”)、PWMカウントソースを供給します。

PWM0~PWM5はポートP00~P05と出力端子が共用です。ポートP0方向レジスタの対応ビットを“1”にし、出力モードにします。PWM出力制御レジスタ2(00D616番地)のビット3で出力極性を選択します。そして、PWM出力制御レジスタ1のビット2~ビット7を“1”にし、ポートをPWM出力にします。

上記のレジスタを設定することによってPWM出力端子からPWM出力が行われます。

図24に8ビットPWMのタイミング図を示します。 $2^8 = 256$ 区間を1周期Tとします。回路内部では1周期の間に、各ビットの重みを表すビット0からビット7までの8種類のパルスが出力されます(図24(a)参照)。8ビットPWMは8ビットPWMレジスタのビット0~ビット7のパルスの和を取った波形を出力します。図24(b)にいくつかの例を示します。図のようにPWMレジスタの内容を変えることにより、“H”の区間が $0/256 \sim 255/256$ までの256通りの出力を選ぶことができます(全区間“H”出力はできません)。

(4) 14ビットPWMの動作

8ビットPWMと同様に、PWM出力制御レジスタ1(00D516番地)のビット0を“0”にし(リセット時は“0”)、PWMカウントソースを供給します。次に、PWM出力制御レジスタ2(00D616番地)のビット2で出力極性を選択します。そして、PWM出力制御レジスタ1のビット1を“0”にし(リセット時は“0”)、DA出力を選択することによってD-A出力端子から14ビットPWMの出力が行われます。

図25にPWM(14ビット)の出力例を示します。

14ビットPWMは、DAラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータ D_H に基づいて基本波形が決まります。小区間 $t = 256\tau = 64\mu\text{s}$ (τ は最小分解ビット幅 $0.25\mu\text{s}$)ごとに、 τ の D_H 倍の長さの“H”区間(基本波形の“H”区間)を出力します。“H”期間を増加する区間(t_m)は下位6ビットのデータ D_L によって決められます。すなわちPWMの繰り返し周期 $T = 64t$ の間で、表6に示す小区間 t_m は他の区間に比べて、最小分解ビット幅 τ だけ、“H”区間が長くなります。このようにして、“H”幅の異なる2種類の波形を組み合わせた矩形波がD-A端子から出力されます。したがってDA-HレジスタとDA-Lレジスタのデータを変えることによって、 τ 単位のパルス幅でPWM出力が変化します(全区間の“H”出力はできません)。

(5) リセット後の出力

リセット時には、ポートP00~P05の出力は、ハイインピーダンス状態ですが、PWMレジスタ及びPWM回路の内容は不定です。リセット解除後、PWMレジスタを設定するまで、PWM出力の内容は不定ですので注意が必要です。

表6. 下位6ビットのデータと“H”期間増加区間の関係

下位6ビットのデータ	他の1m (m=0~63) よりεだけ長い区間
0 0 0 0 0 0	なし
0 0 0 0 0 1	m=32
0 0 0 0 1 0	m=16, 48
0 0 0 1 0 0	m=8, 24, 40, 56
0 0 1 0 0 0	m=4, 12, 20, 28, 36, 44, 52, 60
0 1 0 0 0 0	m=2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, 46, 50, 54, 58, 62
1 0 0 0 0 0	m=1, 3, 5, 7, ..., 57, 59, 61, 63

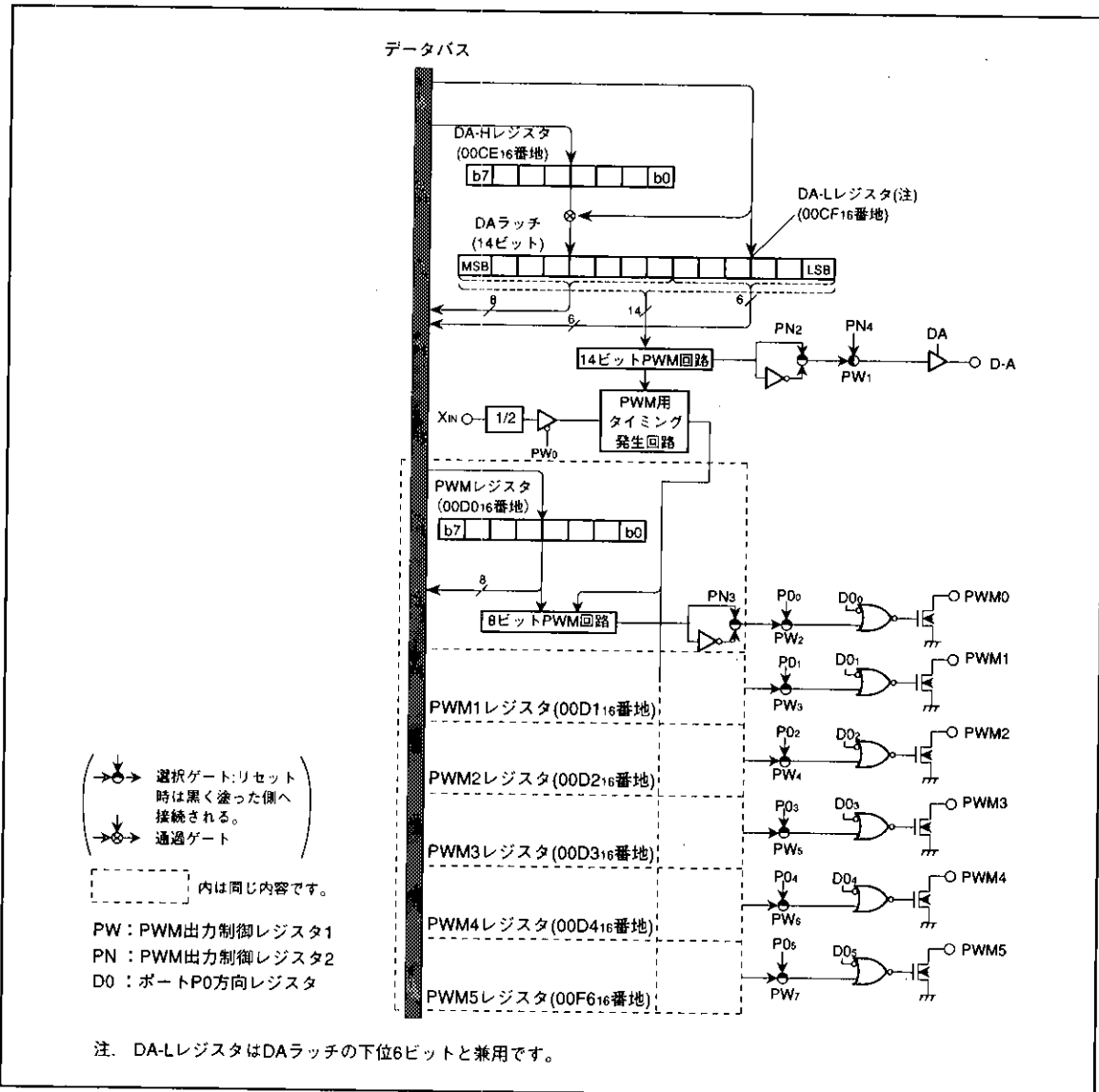


図23. PWM回路ブロック図

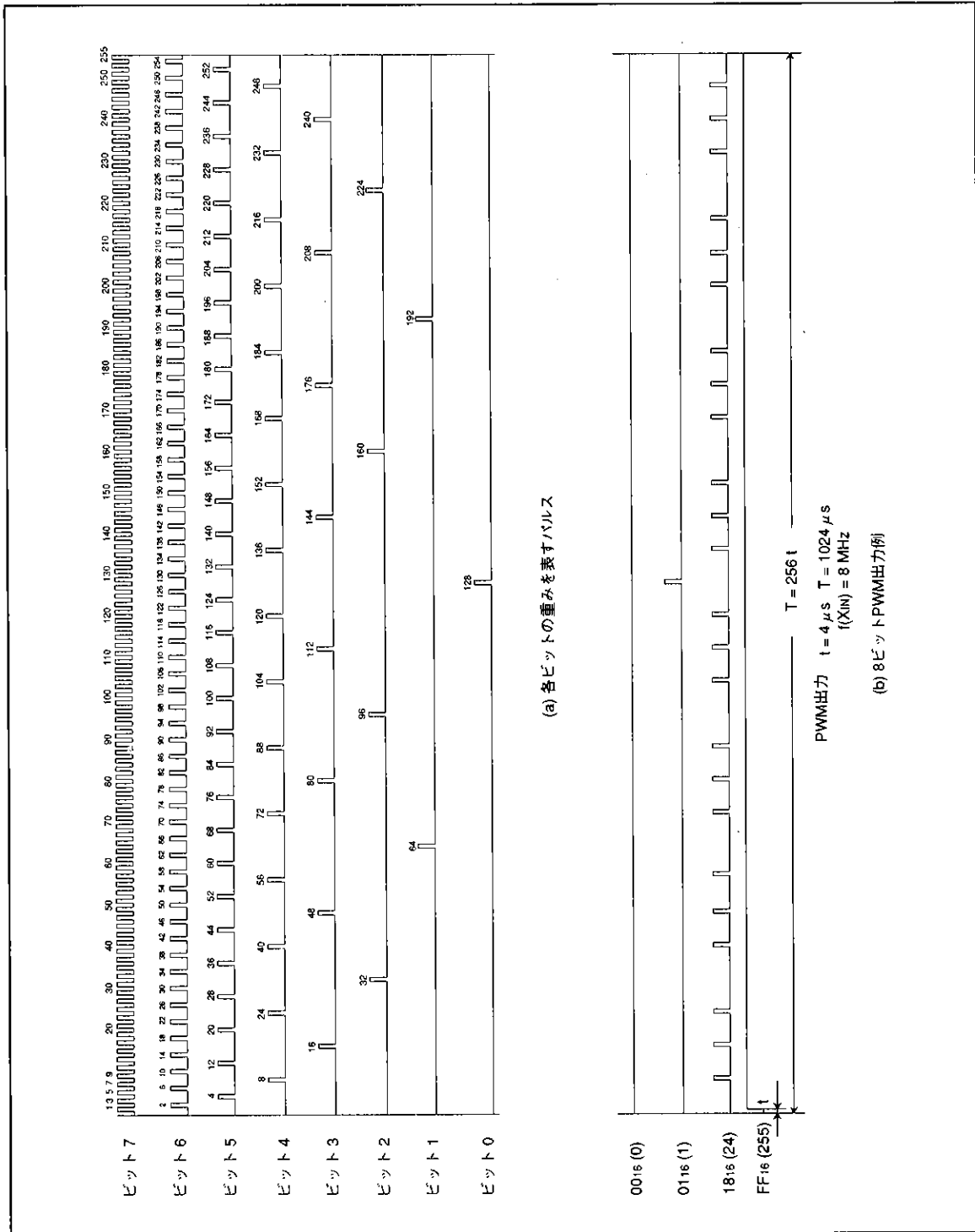


図24. 8ビットPWMタイミング図

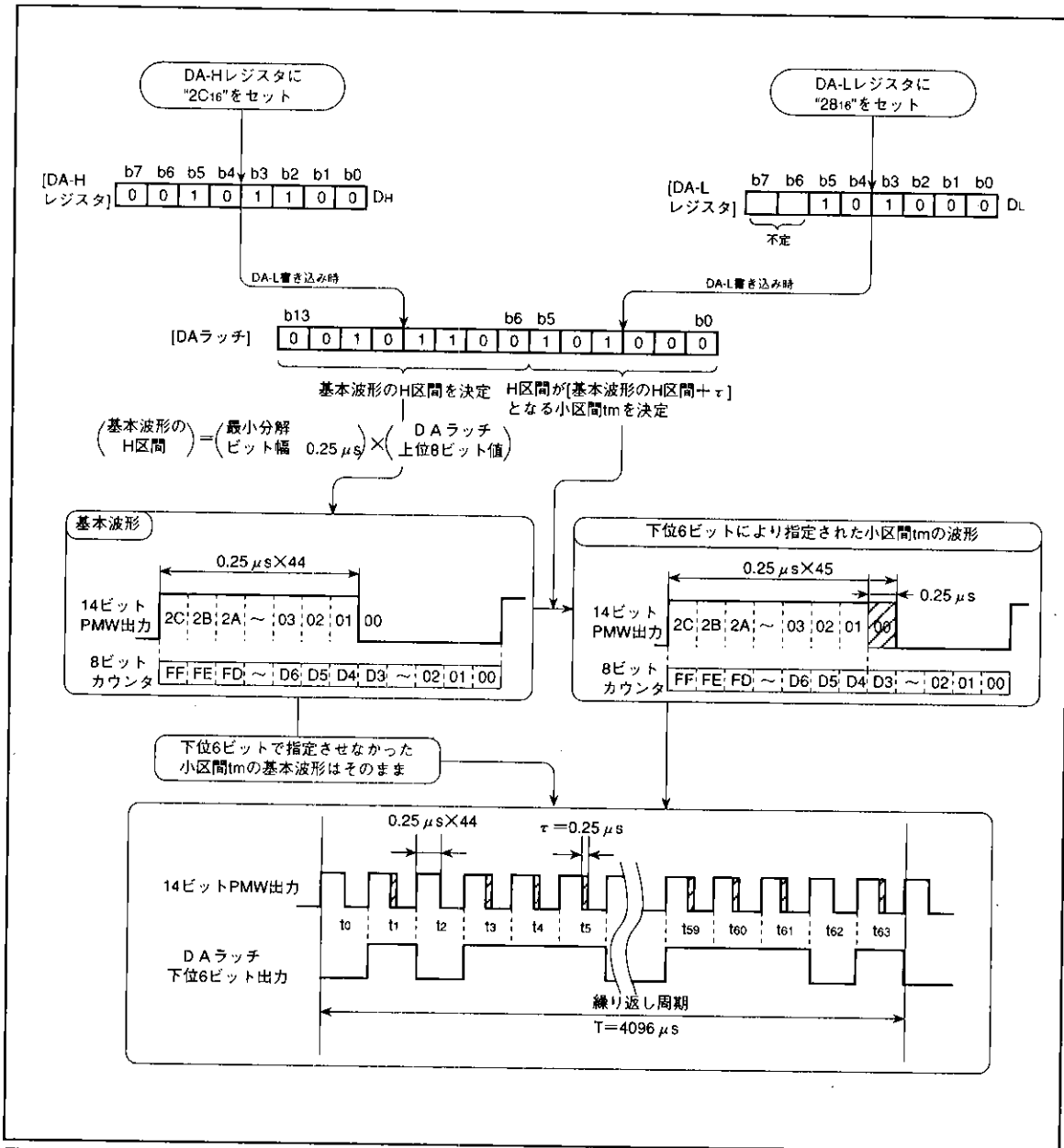


図25. 14ビットPWMタイミング図 (f(XIN)=8MHz)

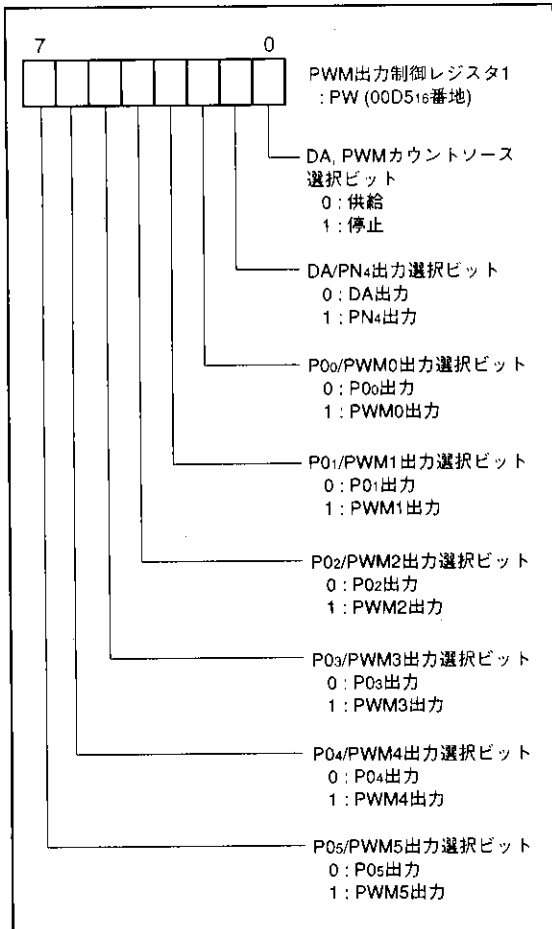


図26. PWM出力制御レジスタ1のビット構成

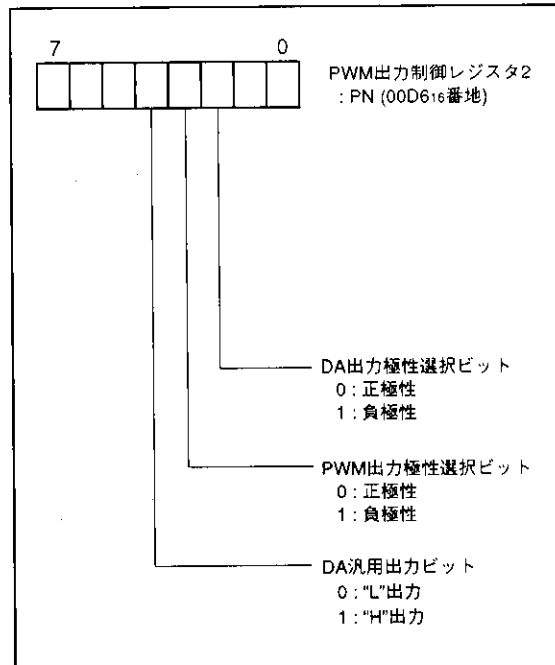


図27. PWM出力制御レジスタ2のビット構成

A-D比較器

A-D比較器は、抵抗ストリング方式の6ビットD-A変換器とコンパレータから構成されています。図30にA-D比較器のブロック図を示します。

A-D制御レジスタ2 (00EF16番地) 下位6ビットによってD-A変換の比較電圧 V_{ref} が設定されます。

また、アナログ入力電圧と比較電圧 V_{ref} との比較結果は、A-D制御レジスタ1 (00EE16番地)のビット4に格納されます。

A-D比較動作を行うためには、アナログ入力端子に対応する方向レジスタのビットを"0"にして、ポートをアナログ入力端子として使用できる状態にします。まず、A-D制御レジスタ1のビット0~ビット2にアナログ入力端子を選択するデータを書き込みます。その後、A-D制御レジスタ2のビット0~ビット5に比較したい V_{ref} に対応するデジタル値を書き込みます。このA-D制御レジスタ2の書き込み動作により、直ちに電圧比較が開始され、16マシンサイクル後(NOP命令 $\times 8$)に完了します。

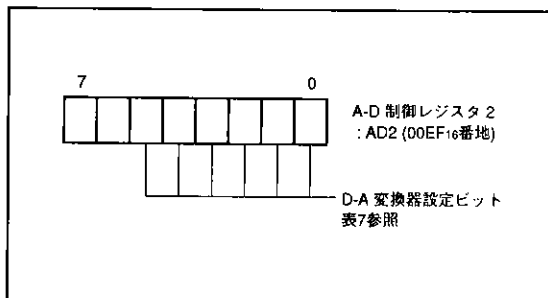


図29. A-D制御レジスタ2のビット構成

表7. A-D制御レジスタ2と比較電圧の関係

A-D制御レジスタ2						比較電圧 V_{ref}
ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
0	0	0	0	0	0	1/128 V_{CC}
0	0	0	0	0	1	3/128 V_{CC}
0	0	0	0	1	0	5/128 V_{CC}
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	0	1	123/128 V_{CC}
1	1	1	1	1	0	125/128 V_{CC}
1	1	1	1	1	1	127/128 V_{CC}

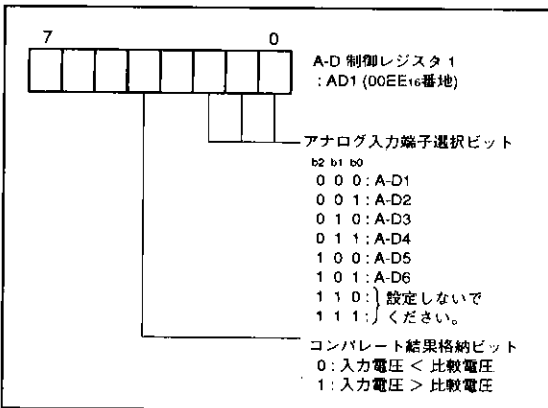


図28. A-D制御レジスタ1のビット構成

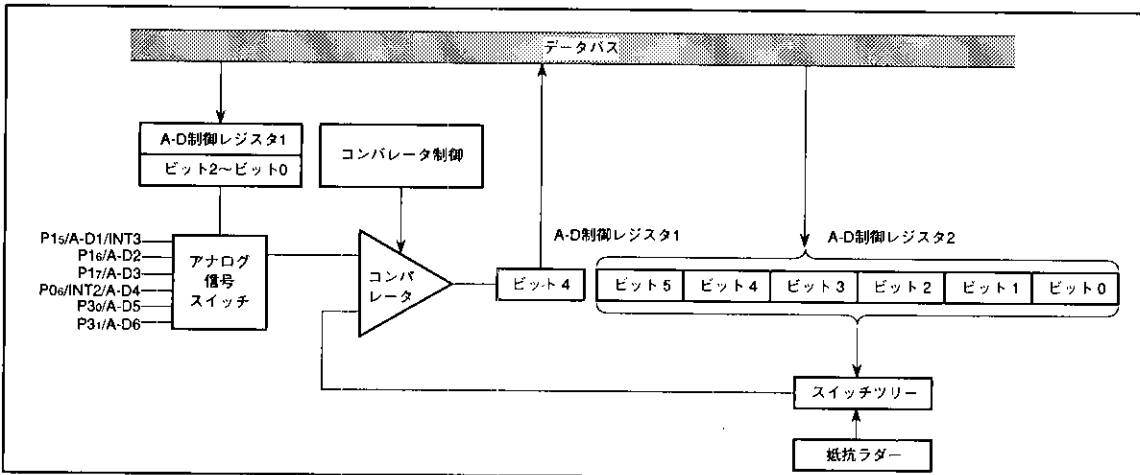


図30. A-D比較器ブロック図

CRT 表示機能

CRT 表示機能の概要を表 8 に示します。

M37221M6-XXXSPは24×2行のCRT表示制御回路を内蔵しています。CRT表示はCRT制御レジスタにより制御されます。表示文字種類は256文字、1文字単位で色を指定することができ、1画面に4色まで表示できます。色の組合せは、R、G、Bの各出力信号を用いて最大7色まで可能です。

表 8. CRT表示機能の概要

項 目	性 能	
表示文字数	24文字×2行	
文字構成	12×16ドット (図31参照)	
文字種類	256種類	
文字サイズ	3種類	
色	種 類	1画面4種類、最大7種類
	着色単位	文字
拡張表示	可能 (多行表示)	
ラスター着色	可能 (最大7種類)	
文字背景着色	可能 (文字単位、1画面4種類、最大7種類)	

表示文字は12×16ドット構成で、滑らかな文字パターンが表示できます(図31を参照してください)。

CRTに文字を表示する手順を以下に示します。

- ① 表示する文字コードをCRT表示用RAMに書き込みます。
- ② 色レジスタで表示色を指定します。
- ③ 表示色を設定した色レジスタをCRT表示用RAMに書き込みます。
- ④ 垂直位置を垂直位置レジスタで指定します。
- ⑤ 文字サイズを文字サイズレジスタで指定します。
- ⑥ 水平位置を水平位置レジスタで指定します。
- ⑦ CRT制御レジスタの所要のブロック表示フラグに、表示許可ビットを書き込むことによりVSYNC信号の入力に合わせて動作を開始します。

CRT表示回路には拡張表示モードがあり、1行表示するごとに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、3行以上の多行表示を行うことができます。

図32にCRT制御レジスタのビット構成を、図33にCRT表示制御回路のブロック図を示します。

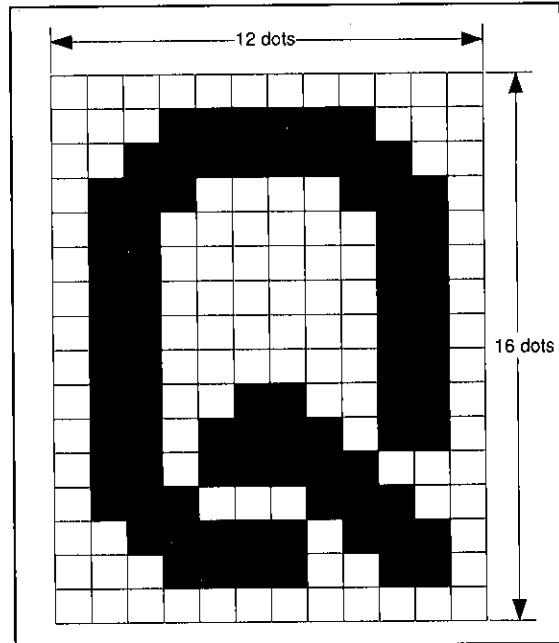


図31. CRT表示文字構成

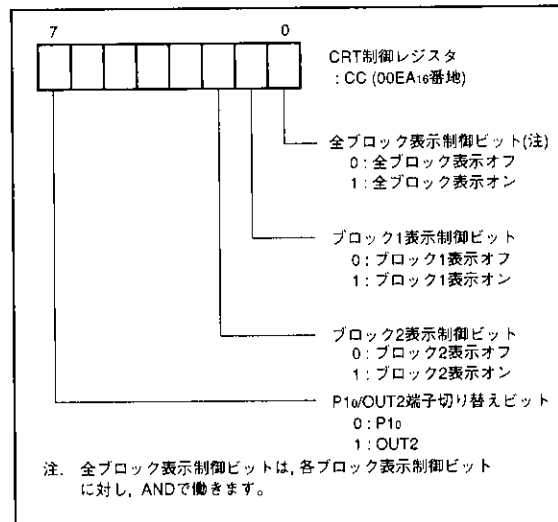


図32. CRT制御レジスタのビット構成

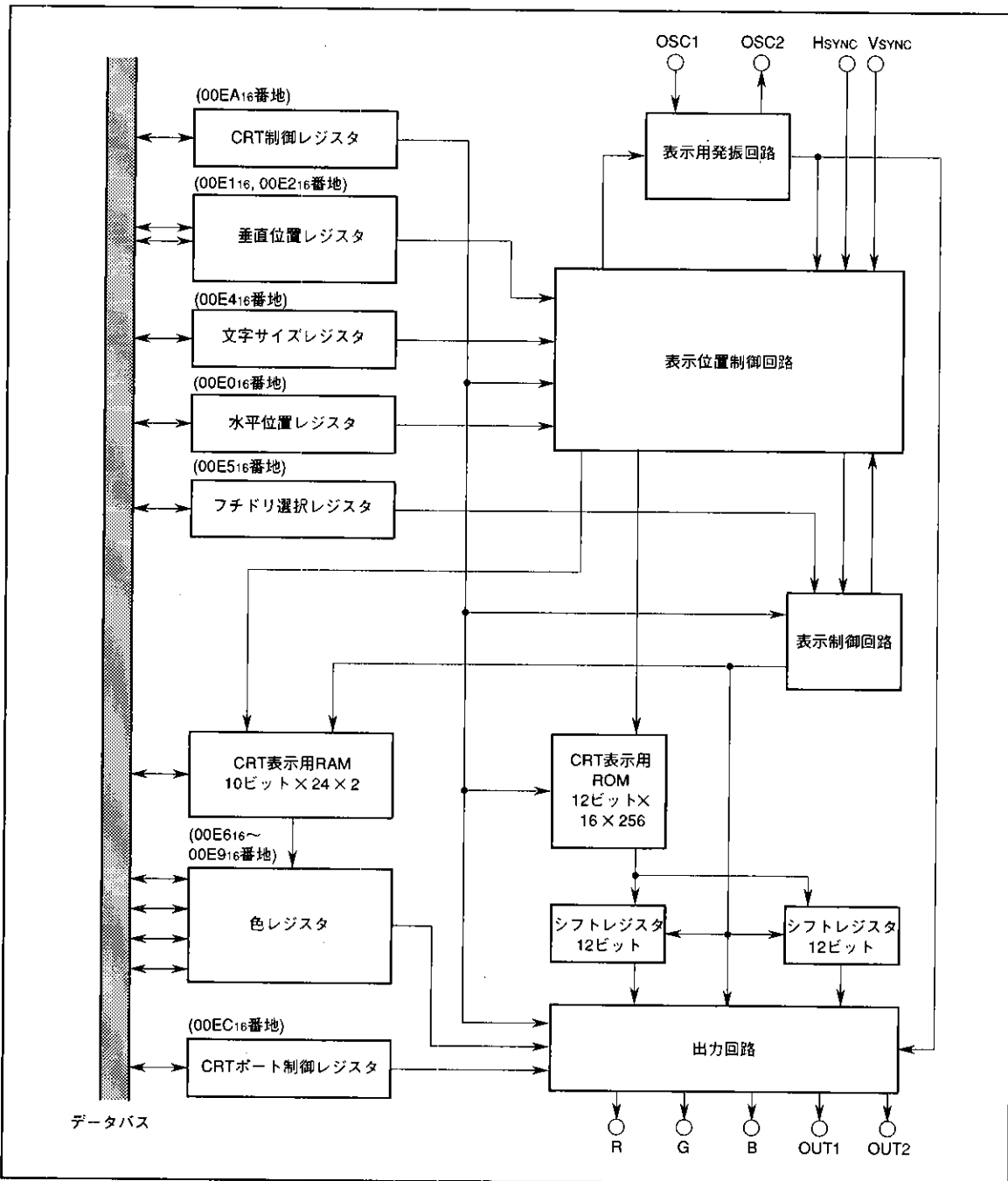


図33. CRT表示制御回路ブロック図

(1) 表示位置

文字の表示位置はブロックという単位で指定します。ブロックはブロック1、ブロック2の2つあり、1つのブロックには最大24文字まで表示できます(後述「(3)表示用メモリ」を参照してください)。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向は全ブロック共通で4Tc(Tc:表示用発振周期)単位で64段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに走査線4本単位で128段階の表示位置の中から選択します。

ブロック2は、ブロック1の表示が完全に終了した後、表示されます(図34の(a))。したがって、ブロック1の表示中にブロック2の表示開始位置がきた場合、ブロック1のみ表示されブロック2は全く表示されません。同様に多行表示をする場合、ブロック2の表示が完全に終了しないと次のブロック1は表示されません(図34の(b))。

垂直位置はブロックごとに垂直位置レジスタ(00E116, 00E216番地)のビット0~ビット6に"0016"~"7F16"の値を設定することにより、128段階(1段階あたり走査線4本分)の設定ができます。図36に垂直位置レジスタのビット構成を示します。

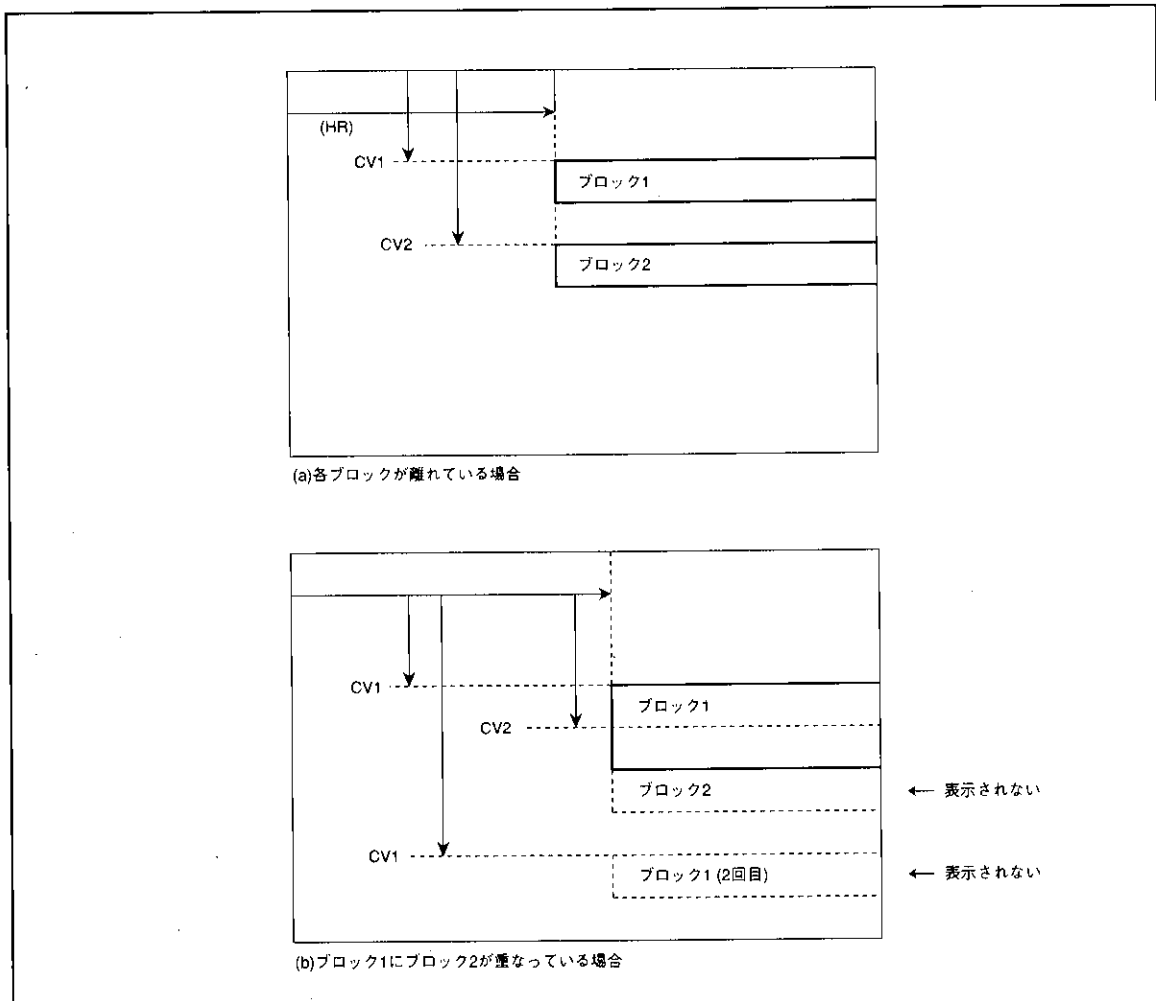


図34. 表示位置

垂直方向の表示位置は水平同期信号(HSYNC)をカウントすることによって確定されます。この際、VSYNC信号の立ち上がり(立ち下がり)エッジの約1マシサイクル後からHSYNC信号の立ち上がり(立ち下がり)エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC信号の立ち上がり(立ち下がり)エッジからHSYNC信号の立ち上がり(立ち下がり)エッジまでの間隔は充分(2マシサイクル以上)とるようにしてください。HSYNC信号及びVSYNC信号の極性は、CRTポート制御レジスタ(00EC₁₆番地)によって正極性、負極性のいずれかを選択できます。詳細は「(7)CRT端子制御」を参照してください。

注. CRTポート制御レジスタ(00EC₁₆番地)のビット0、ビット1が“1”(負極性)の場合、垂直位置はマイコン内部のVSYNC制御信号の立ち上がり後に、HSYNCの立ち下がりエッジをカウントすることで決まります。(図35参照)。

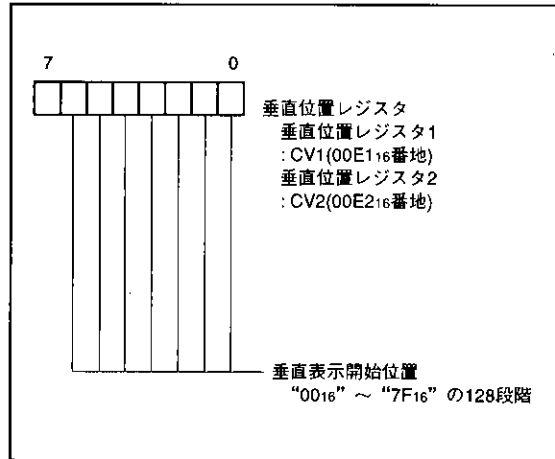
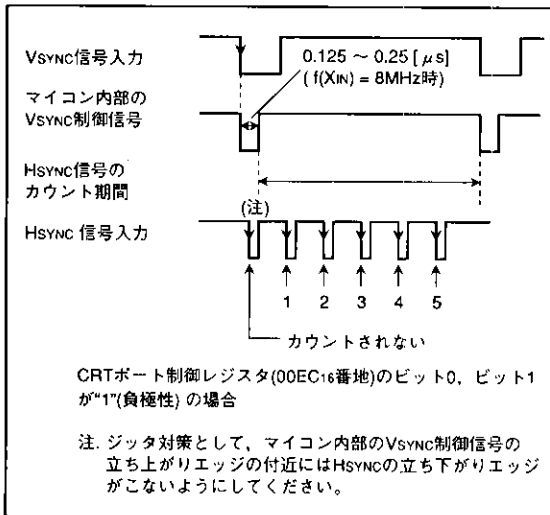


図36. 垂直位置レジスタのビット構成

水平位置は全ブロック共通で、水平位置レジスタ(00E0₁₆番地)のビット0～ビット5に“0016”～“3F16”の値を設定することにより、64段階(1段階あたり4Tc(Tc:表示用発振周期))の設定ができます。図37に水平位置レジスタのビット構成を示します。

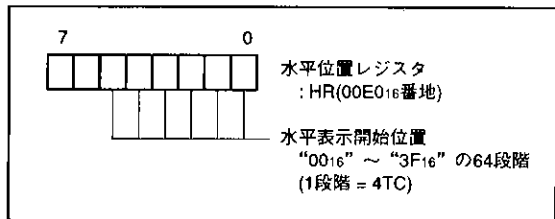


図37. 水平位置レジスタのビット構成

(2) 文字サイズ

表示する文字の大きさはブロック単位に3種類の中から選択できます。サイズの設定は文字サイズレジスタ(00E416番地)で設定します。文字サイズレジスタのビット0, 1でブロック1の文字サイズ、ビット2, 3でブロック2文字サイズを指定します。文字サイズレジスタのビット構成を図38に示します。

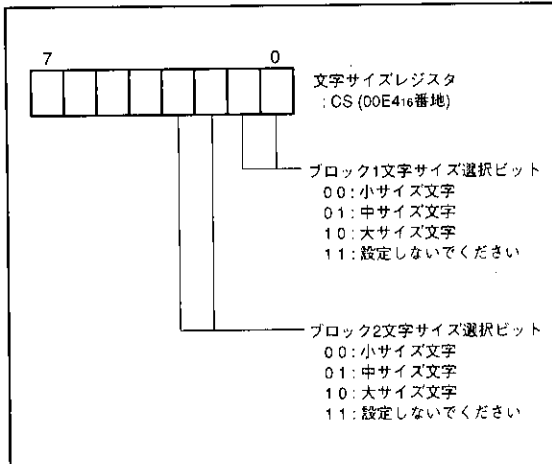


図38. 文字サイズレジスタのビット構成

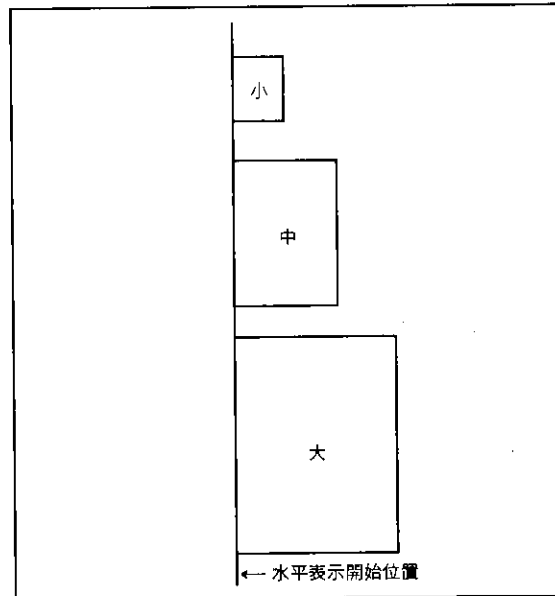


図39. 各文字サイズの表示開始位置 (水平方向)

文字のサイズは小サイズ、中サイズ、大サイズの3種類が選択でき、それぞれ縦(垂直)方向は走査線数、横(水平)方向は表示用発振周期: T_c で決まります。小サイズは[走査線1本]×[$1T_c$]、中サイズは[走査線2本]×[$2T_c$]、大サイズは[走査線3本]×[$3T_c$]の大きさです。表9に文字サイズレジスタの設定値と文字サイズとの関係を示します。

表9. 文字サイズレジスタの設定値と文字サイズとの関係

文字サイズレジスタ設定値		文字 サイズ	横(水平)方向 T_c : 表示用発振周期	縦(垂直)方向 走査線数
CSn1	CSn0			
0	0	小	$1T_c$	1本
0	1	中	$2T_c$	2本
1	0	大	$3T_c$	3本
1	1	設定しないでください。		

注. 水平方向の表示開始位置は文字サイズの影響を受けません。つまり、ブロックによって文字サイズが異なる場合でも、水平表示開始位置は全ブロック同一です(図39を参照してください)。

(3) 表示用メモリ

表示用メモリは、文字のドットデータを格納(マスク化)しておくCRT表示用ROM(10000₁₆~11FFF₁₆番地)と、表示する文字及び色を指定するCRT表示用RAM(0600₁₆~06B7₁₆番地)の2種類があります。以下、別々に説明します。

① CRT表示用ROM(10000₁₆~11FFF₁₆番地)

CRT表示用ROMには表示用文字のドットパターンデータを格納します。実際に格納された文字を表示する場合は、その文字固有の文字コード(CRT表示用ROMのアドレスを基に決められたコード)をCRT表示用RAMに書き込んで指定します。文字コード一覧を表10に示します。

CRT表示用ROMの容量は8Kバイトで、1文字のデータに32バイトの容量を必要としますので、256種類の文字が格納できます。

CRT表示用ROM領域のうち10000₁₆~107FF₁₆及び11000₁₆~117FF₁₆番地には表示用文字の[縦16ドット]×[横(左側)8ドット]のデータが、10800₁₆~10FFF₁₆及び11800₁₆~11FFF₁₆番地には[縦16ドット]×[横(右側)4ドット]のデータが格納されます(図40参照)。ただし10800₁₆~10FFF₁₆及び11800₁₆~11FFF₁₆番地に書き込むデータは上位4ビットをすべて“1”にセットして("FX16"を書き込んで)ください。

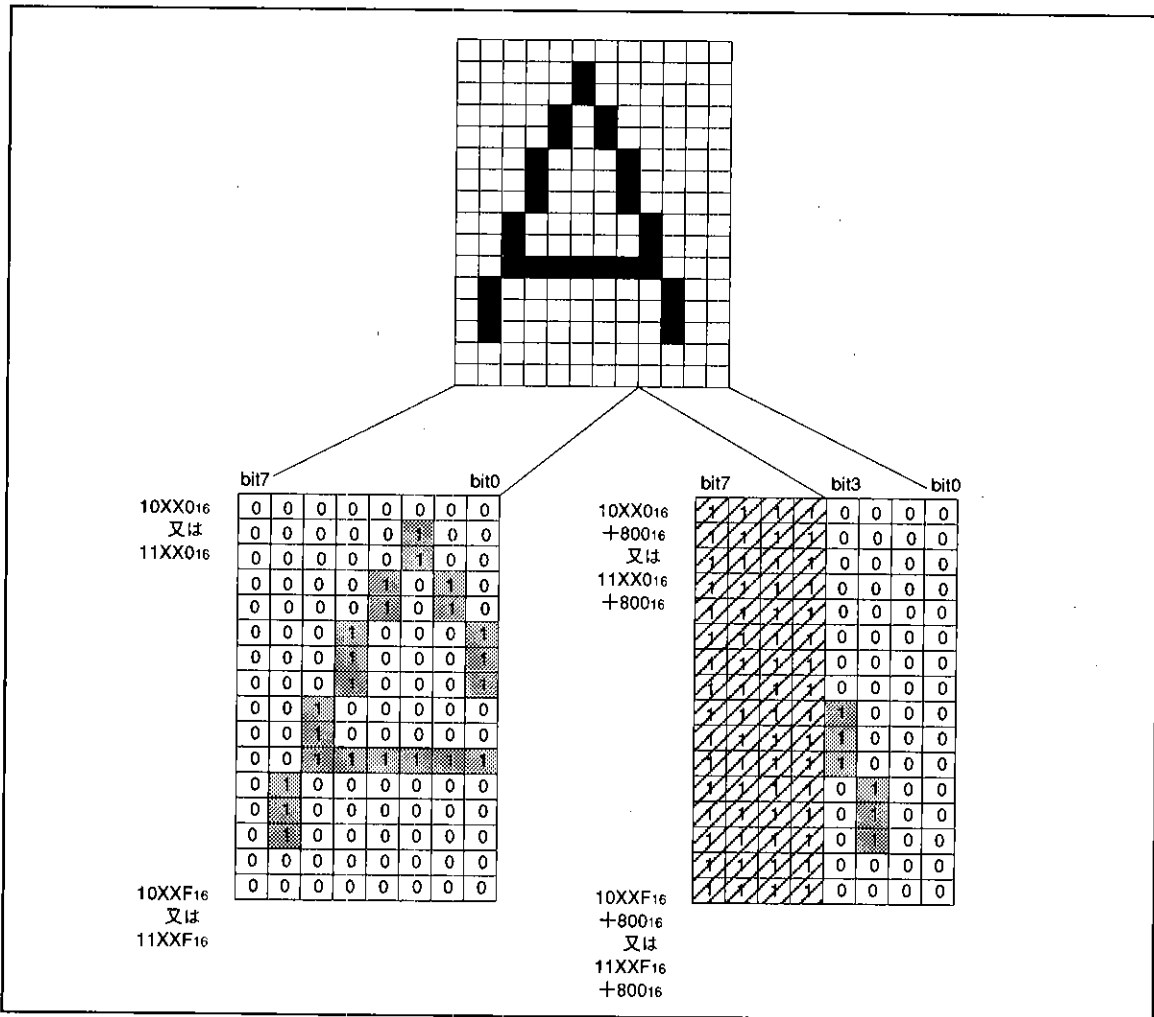


図40. 表示用文字の格納形態

表10. 文字コード一覧 (一部省略)

文字コード	文字データ格納番地	
	左8ドット列	右4ドット列
00 ₁₆	1000 ₁₆	1080 ₁₆
	1000F ₁₆	1080F ₁₆
01 ₁₆	1001 ₁₆	1081 ₁₆
	1001F ₁₆	1081F ₁₆
02 ₁₆	1002 ₁₆	1082 ₁₆
	1002F ₁₆	1082F ₁₆
03 ₁₆	1003 ₁₆	1083 ₁₆
	1003F ₁₆	1083F ₁₆
:	:	:
7E ₁₆	107E ₁₆	10FE ₁₆
	107EF ₁₆	10FEF ₁₆
7F ₁₆	107F ₁₆	10FF ₁₆
	107FF ₁₆	10FFF ₁₆
80 ₁₆	1100 ₁₆	1180 ₁₆
	1100F ₁₆	1180F ₁₆
81 ₁₆	1101 ₁₆	1181 ₁₆
	1101F ₁₆	1181F ₁₆
:	:	:
FD ₁₆	117D ₁₆	11FD ₁₆
	117DF ₁₆	11FDF ₁₆
FE ₁₆	117E ₁₆	11FE ₁₆
	117EF ₁₆	11FEF ₁₆
FF ₁₆	117F ₁₆	11FF ₁₆
	117FF ₁₆	11FFF ₁₆

② CRT表示用RAM(0600₁₆~06B7₁₆番地)

CRT表示用RAMは、0600₁₆~06B7₁₆番地に割り当てられており、ブロックごとに表示文字コード指定部、表示色指定部に分かれています。その内容を表11に示します。

たとえば、ブロック1の第一文字目(左端)に文字を表示する場合、0600₁₆番地に文字コードを書き込み、0680₁₆番地の下位2ビット(ビット0, 1)に4つある色レジスタのうち、あらかじめ表示する色を設定した色レジスタの番号を書き込みます。色レジスタに関しては後述「(4)色レジスタ」を参照してください。CRT表示用RAMのビット構成を図41に示します。

表11. CRT表示用RAM内容

ブロック	表示位置 (左から)	文字コード指定	色指定
ブロック1	1文字目	0600 ₁₆	0680 ₁₆
	2文字目	0601 ₁₆	0681 ₁₆
	3文字目	0602 ₁₆	0682 ₁₆
	:	:	:
	22文字目	0615 ₁₆	0695 ₁₆
	23文字目	0616 ₁₆	0696 ₁₆
使用しません		0617 ₁₆	0697 ₁₆
		0618 ₁₆	0698 ₁₆
ブロック2	1文字目	0620 ₁₆	06A0 ₁₆
	2文字目	0621 ₁₆	06A1 ₁₆
	3文字目	0622 ₁₆	06A2 ₁₆
	:	:	:
	22文字目	0635 ₁₆	06B5 ₁₆
	23文字目	0636 ₁₆	06B6 ₁₆
	24文字目	0637 ₁₆	06B7 ₁₆

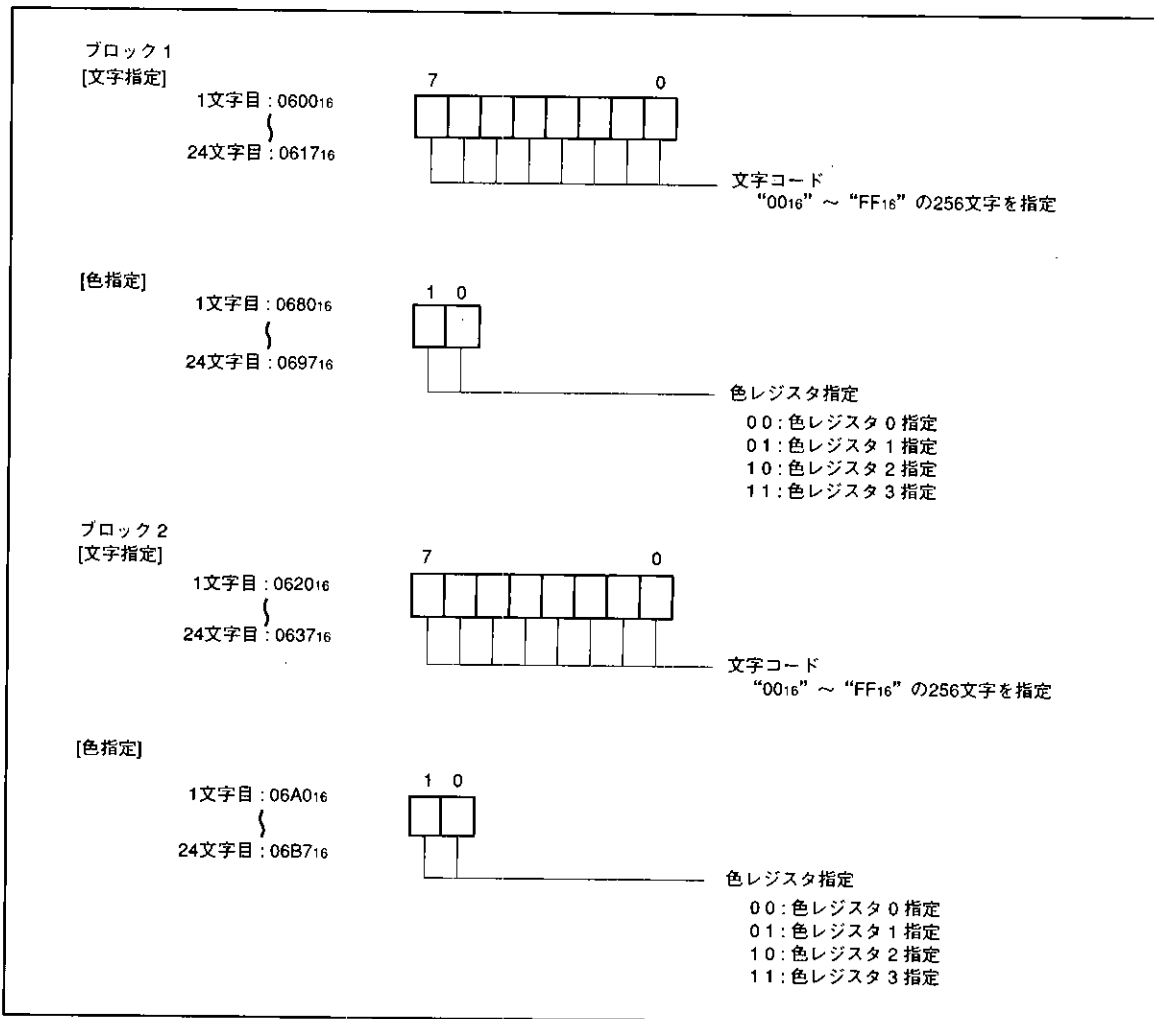


図41. CRT表示用RAMのビット構成

(4) 色レジスタ

4つの色レジスタ(CO0~CO3:00E6₁₆~00E9₁₆番地)のいずれかに色を設定し、その色レジスタをCRT表示用RAMで指定することによって、表示文字の色を指定することができます。色出力はR, G, Bの3本あり、 2^3-1 (出力なしの場合)=7通りの色が設定できます。ただし、色レジスタは4本ですので一度に表示できるのは最大4色です。

R, G, B出力は色レジスタのビット1~ビット3で設定します。また、ビット5で文字出力か、ブランク出力かを指定します。文字背景の色指定はビット4、ビット6、及びビット7で行います。色レジスタのビット構成を図42に示します。

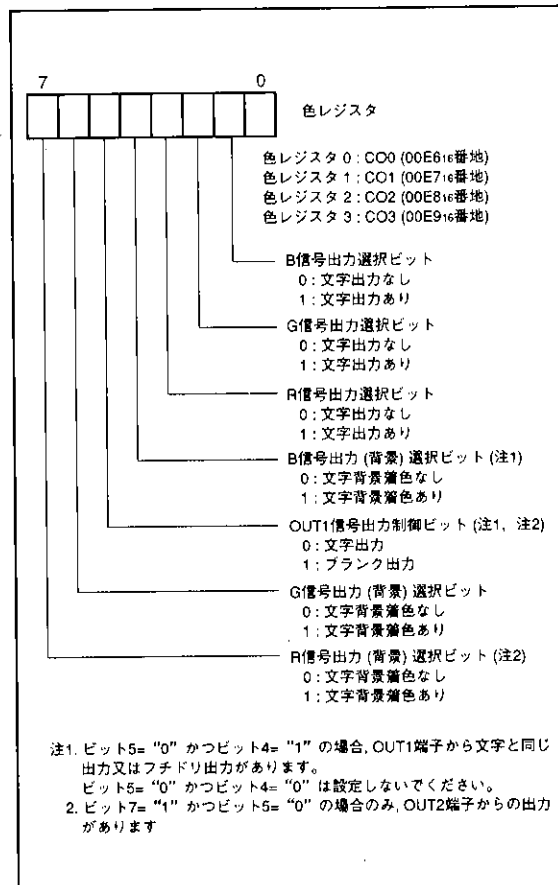


図42. 色レジスタのビット構成

表12. 文字背景着色の表示例 (文字に緑,背景色に青を設定した場合)

フチドリ選択レジスタ								色レジスタ				G出力	B出力	OUT1出力	文字出力	OUT2出力
MD0	CO7	CO6	CO5	CO4	CO3	CO2	CO1									
0	0	X	0	1	0	1	0	A	出力なし	A	文字Aと同じ出力	A 映像信号と文字色(緑)は混合されません。	出力なし (注2)			
				(注1)												
0	1	X	0	1	0	1	0	A	出力なし	A	文字Aと同じ出力	A 映像信号と文字色(緑)は混合されません。	ブランク出力			
0	0	0	1	0	0	1	0	A	出力なし	ブランク出力	ブランク出力	A 文字背景のTV映像は表示されません。	出力なし (注2)			
0	0	0	1	1	0	1	0	A	背景着色	ブランク出力	ブランク出力	A 文字背景のTV映像は表示されません。	出力なし (注2)			
1	X	X	0	1	0	1	0	A	出力なし	A	フチドリ出力(黒)	A 映像信号と文字色(緑)は混合されません。	出力なし (注2)			
1	0	0	1	0	0	1	0	A	出力なし	ブランク出力	ブランク出力	A 文字背景のTV映像は表示されません。	出力なし (注2)			
1	0	0	1	1	0	1	0	A	背景着色-フチドリ	ブランク出力	A	A 文字背景のTV映像は表示されません。	出力なし (注2)			

- 注1. CO5="0"かつCO4="1"の場合, OUT1端子から文字と同じ出力又はフチドリ出力があります。
CO5="0"かつCO4="0"は設定しないでください。
2. CO7="1"かつCO5="0"の場合のみ, OUT2端子から出力されます。
3. 文字のドットが表示されている部分"A"はTVの映像信号は混合されません。
4. 表中の波線の矢印は映像信号を表します。
5. n:0~3, X:0又は1

(5) フチドリ機能

表示する文字に対して水平、垂直方向とも1クロック(1ドット)分のフチドリを行うことができます。フチドリはOUT1端子から出力します。この場合、色レジスタのビット5は"0"(文字出力)にしてください。

フチドリは、フチドリ選択レジスタ(00E516番地)によってブロック単位で設定できます。フチドリ選択レジスタのビット構成を図43に、フチドリ選択レジスタの設定値とフチドリ機能の関係を表13にそれぞれ示します。

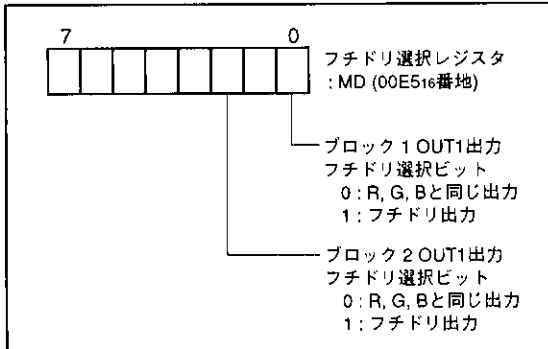


図43. フチドリ選択レジスタのビット構成

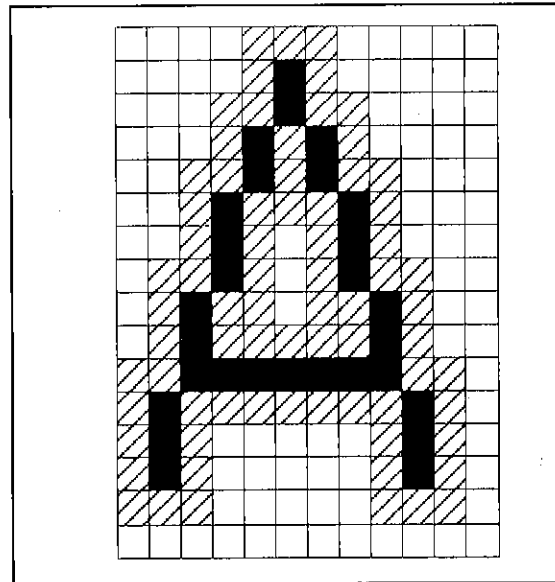


図44. フチドリの例

表13. フチドリ選択レジスタの設定値とフチドリ機能の関係

フチドリ選択レジスタ MDno	機能	出力例
0	通常	R, G, B 出力 OUT1 出力
1	文字を含むフチドリ	R, G, B 出力 OUT1 出力

(6) 多行表示

M37221M6-XXXSPは通常、2つのブロックを別々の垂直位置に表示することによって2行の表示を行うことができます。更に、CRT割り込みを用いることにより、最大16行まで表示できます。

CRT割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示位置(垂直位置レジスタにより指定)にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。

注. ブロック表示終了時に発生する“CRT割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、CRT制御レジスタ(00EA16番地)の表示制御ビットの設定によってブロックの表示がオフ(非表示)状態であれば、“CRT割り込み要求”は発生しません(図45参照)。

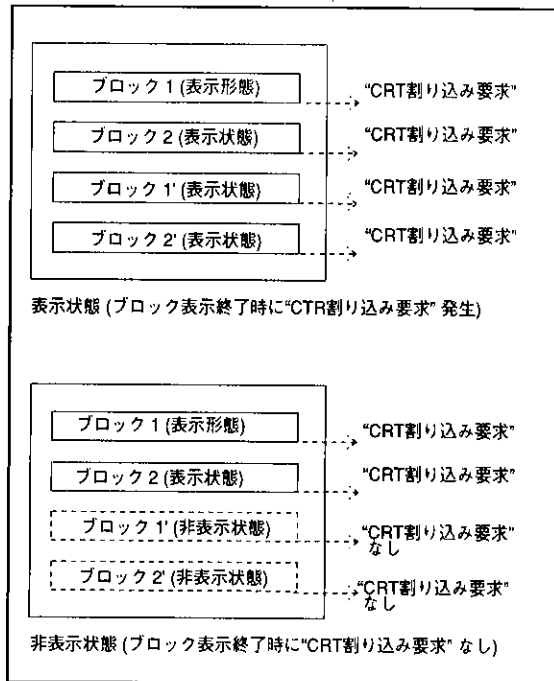


図45. CRT割り込みのタイミング

(7) CRT端子制御

CRT出力端子R, G, B, OUT1はポートP52, P53, P54, P55と共用です。ポートP5方向レジスタ(00CB16番地)の対応するビットを“0”にするとCRT出力端子、“1”にするとポートP5として汎用出力端子となります。OUT2はポートP10と共用です。CRT制御レジスタ(00EA16番地)のビット7を“0”にするとポートP10, “1”にするとOUT2となります。

HSYNC, VSYNCの入力極性、及びR, G, B, OUT1, OUT2の出力極性は、CRTポート制御レジスタ(00EC16番地)によって指定できます。“0”にすると正極性、“1”にすると負極性となります。

CRTポート制御レジスタのビット構成を図46に示します。

(8) ラスター着色機能

CRTポート制御レジスタのビット5~7をセットすることによって、一画面全体(ラスタ)に着色を行うことができます。R, G, B端子それぞれをMUTE信号出力に切り替えることが可能で、7色のラスタ着色を得ることができます。

R, G, B端子をMUTE信号出力とした場合、1水平走査期間中、ラスタ色とは別の色の文字出力(図47では文字“O”)を除く部分に、ラスタ着色信号が出力されます。したがって文字色とラスタ色が混合することはありません。またこの場合、OUT1端子からはMUTE信号が出力されます。

図47にマゼンタの文字“1”と赤色の文字“O”を表示し、青色のラスタ着色を行った例を示します。

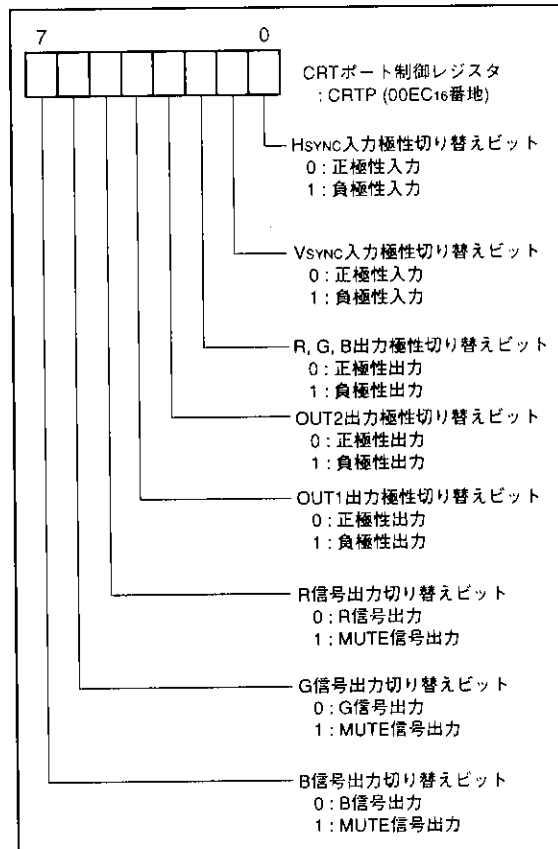


図46. CRTポート制御レジスタのビット構成

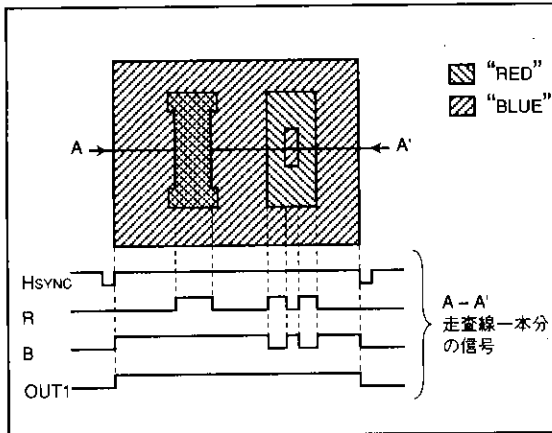


図47. ラスタ着色例

(9) 表示用クロック

CRT表示に使用する表示用クロックは、以下の4種類の中から選択することができます。

- XIN端子から供給されるメインクロック
- XIN端子から供給されるメインクロックの1.5分周したクロック
- OSC1, OSC2端子から供給されるLC又はRC発振子からのクロック
- OSC1, OSC2端子から供給されるセラミック共振子、又は水晶発振子からのクロック

表示用クロックはCRTクロック選択レジスタ(00ED16番地)によって選択することができます。

また、メインクロックを選択する場合、発振周波数は8 MHzにしてください。

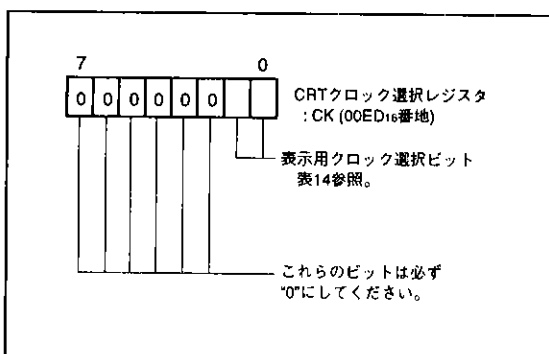


図48. CRTクロック選択レジスタのビット構成

表14. CRTクロック選択レジスタの設定値と表示用クロック

b1	b0	機能	
0	0	OSC1とOSC2端子間にRC又はLCを接続することによって、表示用クロックとします。	
0	1	メインクロックを表示用クロックとするため、発振周波数が限定されます。そのため、表示の横(水平)方向の文字のサイズも限定されます。このとき、OSC1, OSC2端子はそれぞれ入力ポートP3a, P3dとして使用できます。	CRT発振周波数 =f(XIN)
1	0	メインクロックを表示用クロックとするため、発振周波数が限定されます。そのため、表示の横(水平)方向の文字のサイズも限定されます。このとき、OSC1, OSC2端子はそれぞれ入力ポートP3a, P3dとして使用できます。	CRT発振周波数 =f(XIN)/1.5
1	1	OSC1とOSC2端子間に、CRT表示専用のセラミック共振子又は水晶発振子と帰還抵抗を接続して発振させることにより、このクロックを表示用クロックとします。(注)	

注. XINとXOUT間のセラミック共振子、又は水晶発振子は別途必要です。

リセット回路

M37221M6-XXXSPは、電源電圧が5V±10%にあり、水晶発振子又はセラミック共振子などが安定発振しているときRESET端子を2μs以上“L”レベルに保った後、“H”レベルに戻すと図49に示すシーケンスに従って、リセット解除され、FFFF16番地の内容を上位アドレス、FFFE16番地の内容を下位アドレスとする番地からプログラムスタートします。リセット動作によりマイクロコンピュータの内部の状態は図51のようになります。

リセット回路の一例を図50に示します。

リセット入力電圧は電源電圧が4.5Vを通過する時点で0.6V以下になるようにしてください。

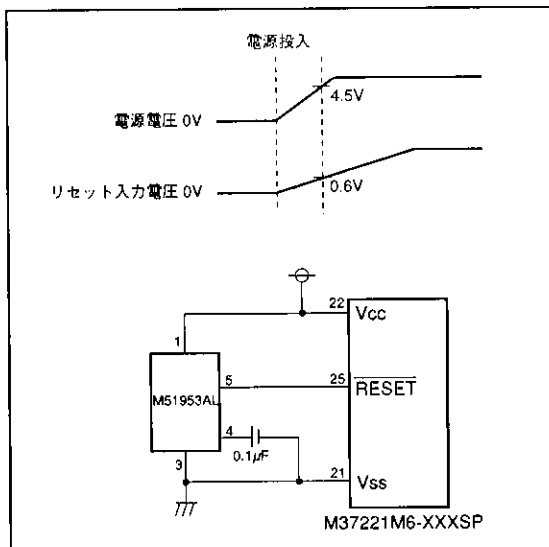


図50. リセット回路例

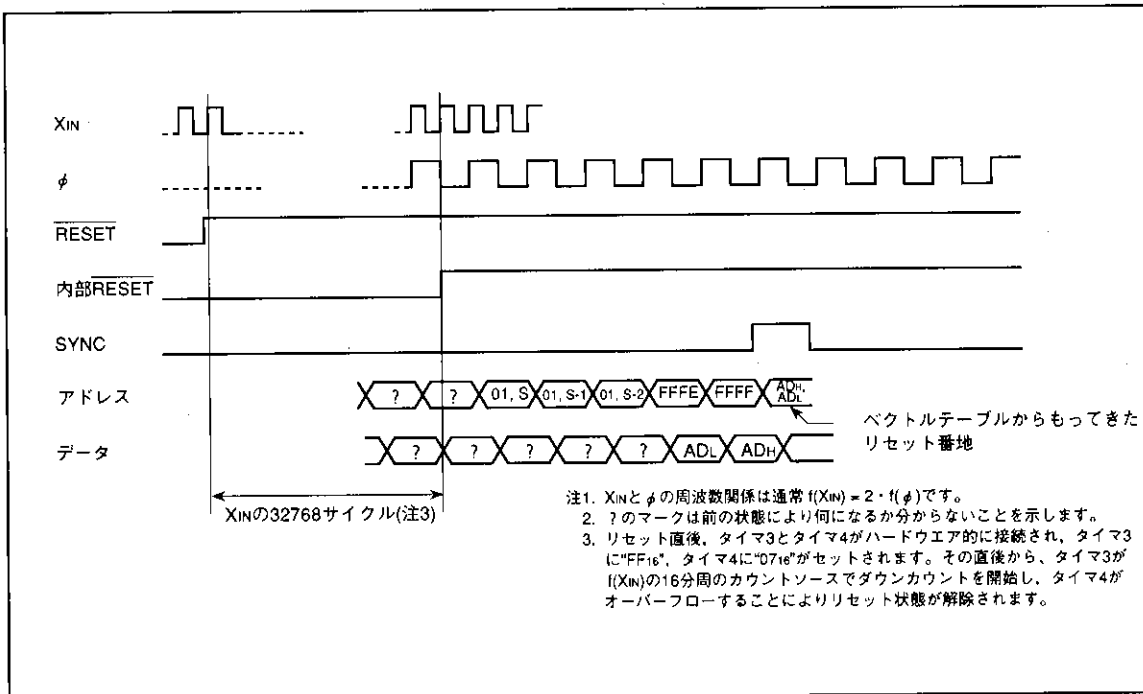


図49. リセット時のタイミング図

- 注1. XINとφの周波数関係は通常 $f(XIN) = 2 \cdot f(\phi)$ です。
- 注2. ?のマークは前の状態により何になるか分からないことを示します。
- 注3. リセット直後、タイマ3とタイマ4がハードウェア的に接続され、タイマ3に“FF16”, タイマ4に“0716”がセットされます。その直後から、タイマ3が $f(XIN)$ の16分周のカウントソースでダウンカウントを開始し、タイマ4がオーバーフローすることによりリセット状態が解除されます。

レジスタ名	番地	レジスタの内容	レジスタ名	番地	レジスタの内容
ポートP0方向レジスタ	(00C1 ₁₆ 番地)	00 ₁₆	色レジスタ0	(00E6 ₁₆ 番地)	00000000
ポートP1方向レジスタ	(00C3 ₁₆ 番地)	00 ₁₆	色レジスタ1	(00E7 ₁₆ 番地)	00000000
ポートP2方向レジスタ	(00C5 ₁₆ 番地)	00 ₁₆	色レジスタ2	(00E8 ₁₆ 番地)	00000000
ポートP3方向レジスタ	(00C7 ₁₆ 番地)	XXXXXXXX00	色レジスタ3	(00E9 ₁₆ 番地)	00000000
ポートP5	(00CA ₁₆ 番地)	XXXX**XX	CRT制御レジスタ	(00EA ₁₆ 番地)	0XXXXX00
ポートP5方向レジスタ	(00CB ₁₆ 番地)	XXXX0000	CRTポート制御レジスタ	(00EC ₁₆ 番地)	00000000
ポートP3出力モード制御レジスタ	(00CD ₁₆ 番地)	XXXX0000	CRTクロック選択レジスタ	(00ED ₁₆ 番地)	XXXXXX00
DA-Lレジスタ	(00CF ₁₆ 番地)	XXXX**XX	A-D制御レジスタ1	(00EE ₁₆ 番地)	XXXX*000
PWM出力制御レジスタ1	(00D5 ₁₆ 番地)	00 ₁₆	A-D制御レジスタ2	(00EF ₁₆ 番地)	XXXX0000
PWM出力制御レジスタ2	(00D6 ₁₆ 番地)	XXXX0000	タイマ1	(00F0 ₁₆ 番地)	FF ₁₆
PCアドレスレジスタ	(00D8 ₁₆ 番地)	00 ₁₆	タイマ2	(00F1 ₁₆ 番地)	07 ₁₆
PCステータスレジスタ	(00D9 ₁₆ 番地)	0001000*	タイマ3	(00F2 ₁₆ 番地)	FF ₁₆
PCコントロールレジスタ	(00DA ₁₆ 番地)	00 ₁₆	タイマ4	(00F3 ₁₆ 番地)	07 ₁₆
PCクロックコントロールレジスタ	(00DB ₁₆ 番地)	00 ₁₆	タイマ12モードレジスタ	(00F4 ₁₆ 番地)	XXXX0000
シリアル I/O モードレジスタ	(00DC ₁₆ 番地)	XXXX0000	タイマ34モードレジスタ	(00F5 ₁₆ 番地)	XXXX0000
水平位置レジスタ	(00E0 ₁₆ 番地)	XXXX0000	割り込み入力極性レジスタ	(00F9 ₁₆ 番地)	XXXX00XX
垂直位置レジスタ1	(00E1 ₁₆ 番地)	XXXX**XX	CPUモードレジスタ	(00FB ₁₆ 番地)	XXXXXX1X
垂直位置レジスタ2	(00E2 ₁₆ 番地)	XXXX**XX	割り込み要求レジスタ1	(00FC ₁₆ 番地)	00000000
文字サイズレジスタ	(00E4 ₁₆ 番地)	XXXX**XX	割り込み要求レジスタ2	(00FD ₁₆ 番地)	XXXX0000
フチドリ選択レジスタ	(00E5 ₁₆ 番地)	XXXXXX**	割り込み制御レジスタ1	(00FE ₁₆ 番地)	00000000
			割り込み制御レジスタ2	(00FF ₁₆ 番地)	XXXX0000
			プロセッサステータスレジスタ	(PS)	**XX*1**
			プログラムカウンタ	(PCH)	FFF ₁₆ 番地の内容
				(PCL)	FFFE ₁₆ 番地の内容

注. 上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、リセット解除後に初期値を設定してください。

※: 不定です。
☒: 不使用ビットです。

図51. リセット時のマイクロコンピュータの内部状態

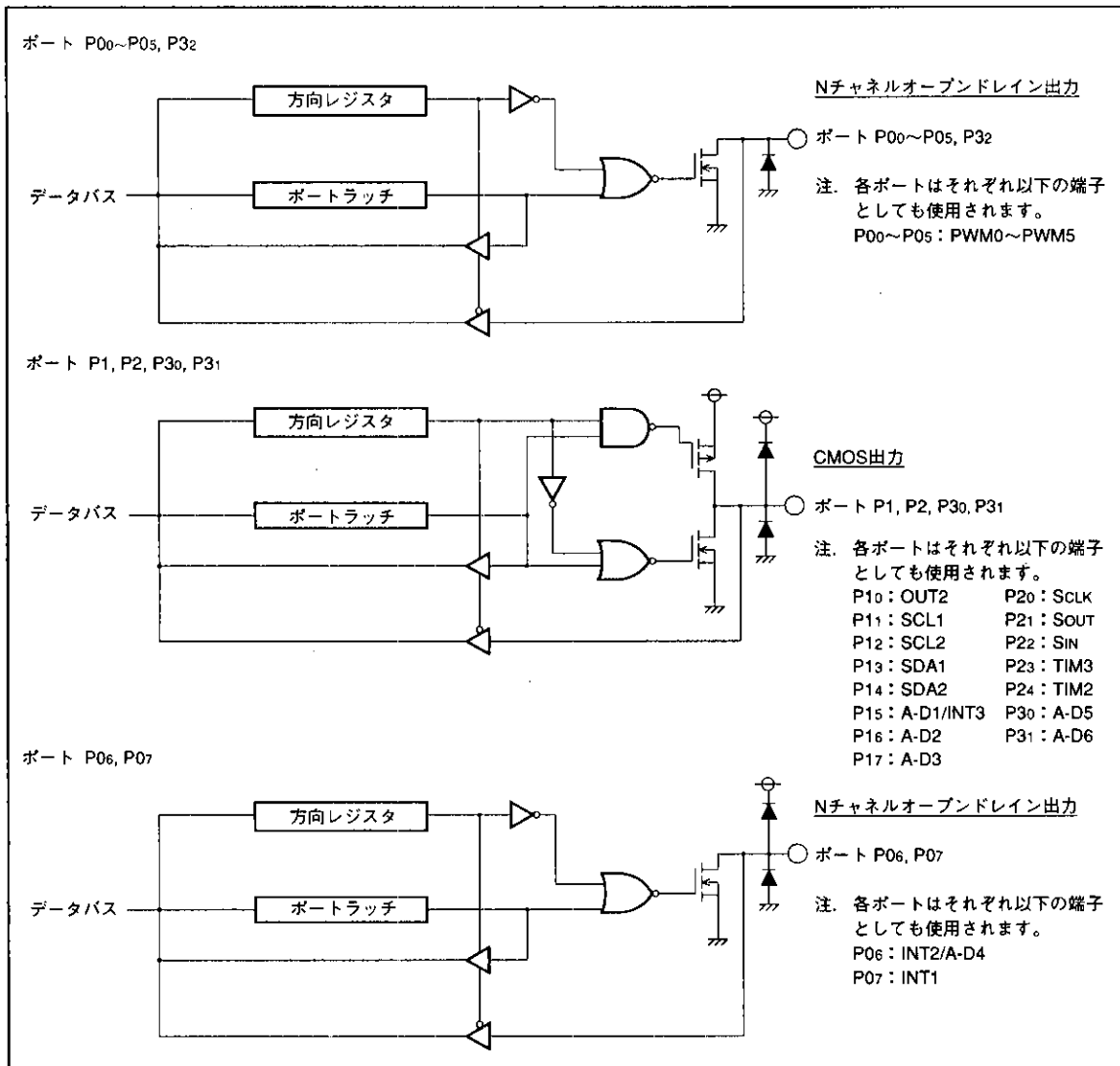


図52. 入出力端子のブロック図 (1)

三菱マイクロコンピュータ
M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

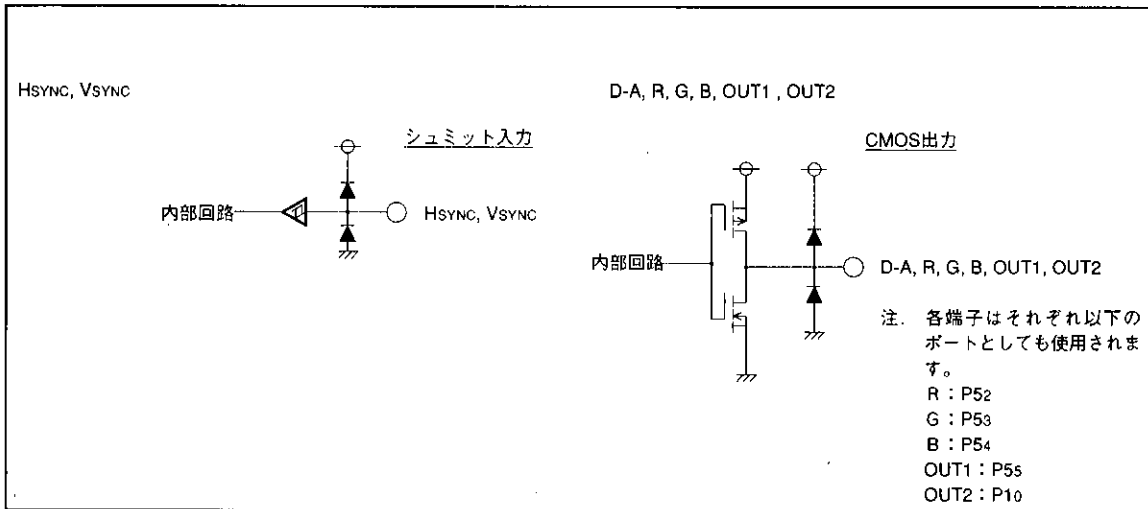


図53. 入出力端子のブロック図 (2)

クロック発生回路

図56に示すようなクロック発生回路を内蔵しています。STP命令を実行すると、内部クロックφが“H”の状態が発振が停止します。このとき、タイマ3とタイマ4がハードウェア的に接続されて、タイマ3には“FF16”、タイマ4には“0716”がセットされます。タイマ3のカウンツソースには、 $f(XIN)/16$ を選択してください(STP命令実行前に、ソフトウェアによってタイマ34モードレジスタのビット0を“0”にしてください)。なおタイマ3割り込み許可ビット及びタイマ4割り込み許可ビットは禁止状態(“0”)になっている必要がありますので、あらかじめSTP命令実行前にプログラムしておいてください。発振は、外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ4がオーバーフローするまで“H”のままです。タイマ4がオーバーフローしてはじめて、内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

WIT命令を実行すると、内部クロックφが“H”の状態で停止しますが発振器は停止しません。割り込みを受け付けると停止を解除します(注)。発振器は停止していませんので直ちに命令を実行できます。

STP又はWIT状態を解除する場合、割り込みを受け付けられるためには、STP又はWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。

注、ただし、ウェイトモードでは以下の割り込みは無効です。

- (1) VSYNC割り込み
- (2) CRT割り込み
- (3) P24/TIM2端子入力をカウンツソースとするタイマ2割り込み

(4) P23/TIM3端子入力をカウンツソースとするタイマ3割り込み

図54に、セラミック共振子(又は、水晶発振子)を使用した場合の回路例を示します。容量などの定数及び、回路構成は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。外部からクロック信号を供給する場合の例を図55に示します。XIN端子に入力し、XOUT端子は開放にします。

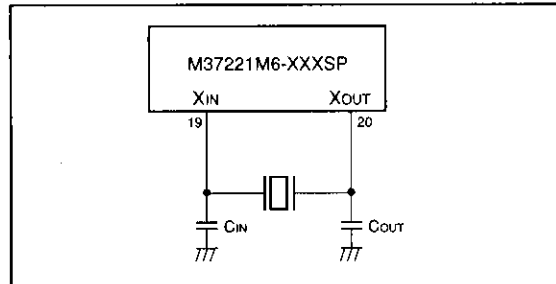


図54. セラミック共振子外付け回路例

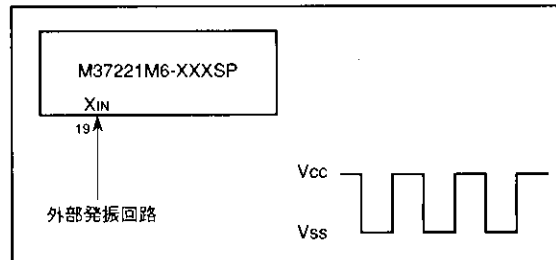


図55. 外部クロック入力回路例

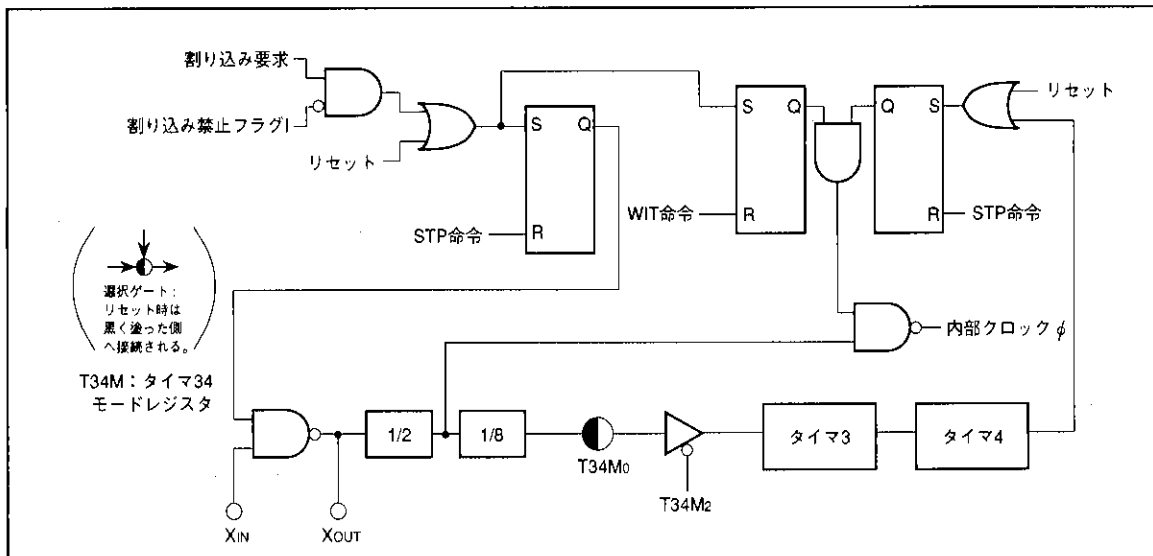


図56. クロック発生回路ブロック図

表示用発振回路

CRT表示用クロック発振回路はクロック発振回路を内蔵しているため、OSC1とOSC2端子間にLC、RC、セラミック共振子、又は水晶発振子を接続するだけで表示用クロックを得ることができます。表示用クロックはCRTクロック選択レジスタ(00ED16番地)のビット0及びビット1で設定してください。

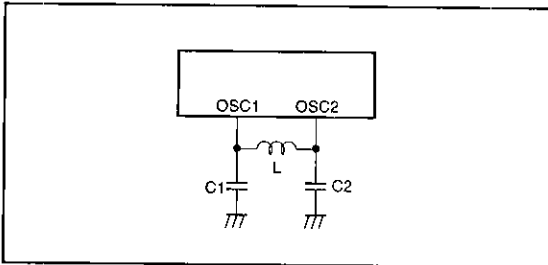


図57. 表示用発振回路例

オートクリア回路

RESET端子に下記の回路を付加することにより、電源投入時にオートクリア機能が働きます。

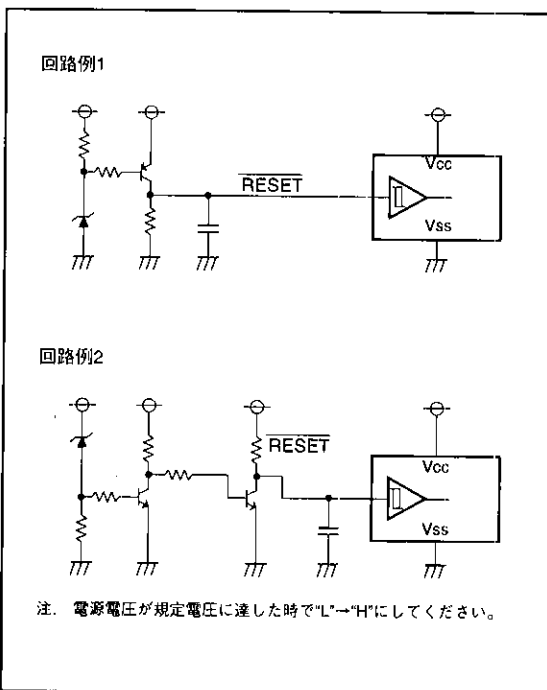


図58. オートクリア回路例

アドレッシングモード

17種のアドレッシングモードを持っており、メモリアクセスが強化されています。詳細説明は、MELPS 740 PROGRAMMING MANUALを参照してください。

機械語命令一覧表

機械語命令は、71命令あります。詳細説明は、MELPS740 PROGRAMMING MANUALを参照してください。

使用上の注意事項

- (1) タイマの分周比は $1/(n+1)$ です。
- (2) 割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、一命令以上後に行ってください。
- (3) 10進演算を行う場合は10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- (4) PLP命令を実行するときは、その直後に必ずNOP命令を入れてください。
- (5) ノイズ及びラッチアップ耐量を向上させるために、Vcc端子とVss端子間、及びVcc端子とCNVss端子間にバイパスコンデンサ(≒0.1μF)を最短距離で、かつ比較的太い配線を使って接続してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ EPROM 3セット

なお、ご提出いただくROMデータは32ピンDIPの27C101の3セットにてお願いいたします。

三菱マイクロコンピュータ
M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧 VCC	Vss端子を基準にして測定する。出力トランジスタは遮断状態。	-0.3~6	V
Vi	入力電圧 CNVss		-0.3~6	V
Vi	入力電圧 P00~P07, P10~P17, P20~P27, P30~P34, OSC1, XIN, HSYNC, VSYNC, RESET		-0.3~VCC+0.3	V
Vo	出力電圧 P06, P07, P10~P17, P20~P27, P30~P32, R, G, B, OUT1, D-A XOUT, OSC2		-0.3~VCC+0.3	V
Vo	出力電圧 P00~P05		-0.3~13	V
IOH	回路電流 R, G, B, OUT1, P10~P17, P20~P27, P30, P31, D-A		0~1 (注1)	mA
IOL1	回路電流 R, G, B, OUT1, P06, P07, P10, P15~P17, P20~P23, P30~P32, D-A		0~2 (注2)	mA
IOL2	回路電流 P11~P14		0~6 (注2)	mA
IOL3	回路電流 P00~P05		0~1 (注2)	mA
IOL4	回路電流 P24~P27		0~10 (注3)	mA
Pd	消費電力	Ta=25°C	550	mW
Topr	動作周囲温度		-10~70	°C
Tstg	保存温度		-40~125	°C

推奨動作条件 (指定のない場合は, Ta = -10~70°C, Vcc = 5V ± 10%)

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧(注4) CPU, CRT動作中	4.5	5.0	5.5	V
VSS	電源電圧	0	0	0	V
VIH1	"H"入力電圧 P00~P07, P10~P17, P20~P27, P30~P34, SIN, SCLK, HSYNC, VSYNC, RESET, XIN, OSC1, TIM2, TIM3, INT1, INT2, INT3	0.8VCC		VCC	V
VIH2	"H"入力電圧 SCL1, SCL2, SDA1, SDA2 (I ² C-BUS使用時)	0.7VCC		VCC	V
VIL1	"L"入力電圧 P00~P07, P10~P17, P20~P27, P30~P34	0		0.4VCC	V
VIL2	"L"入力電圧 SCL1, SCL2, SDA1, SDA2 (I ² C-BUS使用時)	0		0.3VCC	V
VIL3	"L"入力電圧 HSYNC, VSYNC, RESET, TIM2, TIM3, INT1, INT2, INT3, XIN, OSC1, SIN, SCLK	0		0.2VCC	V
IOH	"H"出力平均電流(注1) R, G, B, OUT1, D-A, P10~P17, P20~P27, P30, P31			1	mA
IOL1	"L"出力平均電流(注2) R, G, B, OUT1, D-A, P06, P07, P10, P15~P17, P20~P27, P30~P32			2	mA
IOL2	"L"出力平均電流(注2) P11~P14			6	mA
IOL3	"L"出力平均電流(注2) P00~P05			1	mA
IOL4	"L"出力平均電流(注3) P24~P27			10	mA
fCPU	発振周波数 (CPU動作) (注5) XIN	7.9	8.0	8.1	MHz
fCRT	発振周波数 (CRT表示用) (注5) OSC1	5.0		8.0	MHz
fns1	入力周波数 TIM2, TIM3			100	kHz
fns2	入力周波数 SCLK			1	MHz
fns3	入力周波数 SCL1, SCL2			400	kHz

- 注1. ICから流出する電流の総和が20mAを超えないこと。
 注2. ICへ流入する電流(IOL1+IOL2+IOL3)の総和が30mAを超えないこと。
 注3. ICへ流入するポートP24~P27の平均電流の総和が20mAを超えないこと。
 注4. 電源端子VCC-VSS間には、電源ノイズ除去のため容量0.1μF以上のコンデンサを外付けして使用してください。また、VCC-CNVss間にも容量0.1μF以上のコンデンサを外付けして使用してください。
 注5. CPU発振回路には水晶発振子、又はセラミック共振子を使用してください。

三菱マイクロコンピュータ
M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

電気的特性 (指定のない場合は、 $V_{CC}=5V \pm 10\%$ 、 $V_{SS}=0V$ 、 $f(XIN)=8MHz$ 、 $T_a=-10 \sim 70^\circ C$)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
I _{CC}	電源電流	システム動作時	V _{CC} =5.5V, f(XIN)=8MHz	CRT OFF		20	40	mA
				CRT ON		30	60	
		ストップ時	V _{CC} =5.5V, I(XIN)=0				300	μA
V _{OH}	"H"出力電圧	R, G, B, OUT1, D-A P10~P17, P20~P27 P30, P31	V _{CC} =4.5V I _{OH} =-0.5mA		2.4			V
V _{OL}	"L"出力電圧	R, G, B, OUT1, D-A P00~P07, P10 P15~P17, P20~P23 P30~P32	V _{CC} =4.5V I _{OL} =0.5mA				0.4	V
	"L"出力電圧	P24~P27	V _{CC} =4.5V I _{OL} =10.0mA				3.0	
	"L"出力電圧	P11~P14	V _{CC} =4.5V I _{OL} =3mA I _{OL} =6mA				0.4 0.6	
V _{T+} - V _{T-}	ヒステリシス	RESET	V _{CC} =5.0V			0.5	0.7	V
	ヒステリシス (注)	Hsync, Vsync, TIM2, TIM3, INT1, INT2, INT3, SCL1, SCL2, SDA1, SDA2, Sin, SCLK	V _{CC} =5.0V			0.5	1.3	
I _{IZH}	"H"入力リーク電流	RESET, P00~P07, P10~P17, P20~P27, P30~P34, Hsync, Vsync	V _{CC} =5.5V V _I =5.5V				5	μA
I _{IzL}	"L"入力リーク電流	RESET, P00~P07, P10~P17, P20~P27, P30~P34, Hsync, Vsync	V _{CC} =5.5V V _I =0V				5	μA
I _{OZH}	"H"出力リーク電流	P00~P05	V _{CC} =5.5V V _O =12V				10	μA
R _{BS}	I ² C-BUS・バススイッチ接続抵抗 (SCL1-SCL2間, SDA1-SDA2間)		V _{CC} =4.5V				130	Ω

注. P06, P07, P15, P23, P24は割り込み入力又はタイマ入力ポートとして使用する場合、P20~P22はシリアルI/Oとして使用する場合、P11~P14はマルチマスタI²C-BUSインタフェース専用端子として使用する場合にヒステリシスを持ちます。

三菱マイクロコンピュータ M37221M6-XXXSP

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER for VOLTAGE SYNTHESIZER
with ON-SCREEN DISPLAY CONTROLLER

A-D比較特性 (指定のない場合は、VCC=5V±10%、VSS=0V、f(XIN)=8MHz、Ta=-10~70°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				6	bits
-	絶対精度		0	±1	±2	LSB

注. Vcc=5V時、1LSB=5/64Vとなります。

マルチマスタI²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD:STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	20+0.1Cb	300	ns
tHD:DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	20+0.1Cb	300	ns
tSU:DAT	データのセットアップ時間	250		100		ns
tSU:STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU:STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

注. C_b=1つのバスラインキャパシタの合計

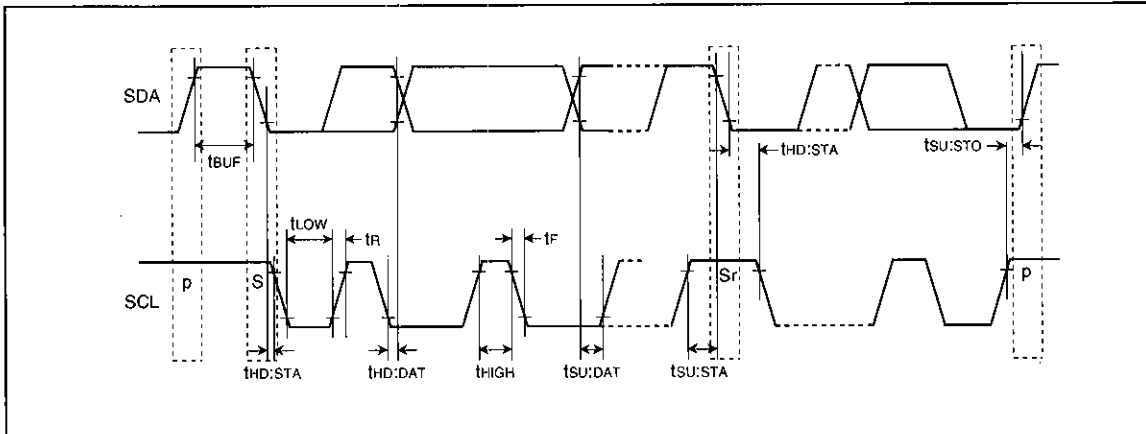


図59. マルチマスタI²C-BUSのタイミング定義図

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表その他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表その他全ての情報は本資料発行時点のものであり、三菱電機は特性改良などにより予告なしに変更することがあります。従って、三菱半導体製品のご購入に当たりましては事前に三菱電機または特約店へ最新の情報をご確認ください。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に記載の製品のうち、外国為替及び外国貿易管理法に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。