

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

M37150M6/M8/MA/MC/MF-XXXXFP, M37150EFFPは、シリコンゲート CMOS プロセスを採用したシングルチップマイクロコンピュータです。OSD、データスライサ、I²C-BUSインタフェースなどを備えていますので、クローズドキャプションデコーダ内蔵TVの選局システムに最適です。

M37150EFFPは電氣的書き込み可能なPROMを内蔵しています。

2. 特長

●基本機械語命令 71

●メモリ容量

ROM	24K バイト(M37150M6-XXXXFP)
	32K バイト(M37150M8-XXXXFP)
	40K バイト(M37150MA-XXXXFP)
	48K バイト(M37150MC-XXXXFP)
	60K バイト(M37150MF-XXXXFP, M37150EFFP)
RAM	1024 バイト(M37150M6-XXXXFP)
	1152 バイト(M37150M8-XXXXFP)
	1472 バイト(M37150MA-XXXXFP, M37150MC-XXXXFP)
	2048 バイト(M37150MF-XXXXFP, M37150EFFP)

(ROM 訂正メモリを含む)

●命令実行時間

(最短命令、FSCIN=3.58MHz 時) 0.447 μ s (最小)

(最短命令、FSCIN=4.43MHz 時) 0.451 μ s (最小)

●単一電源 5V ± 10%

●サブルーチンネスタイング 最大 128 レベル

●割り込み 17 要因 16 ベクタ

●8ビットタイマ 6 本

●プログラマブル入出力

(ポート P0, P1, P2, P30, P31) 25 本

●シリアル I/O 8 ビット × 1 本

●マルチマスタ I²C-BUS インタフェース 1 本 (3 系統)

●A-D 比較器 (分解能 7 ビット) 8 チャンネル

●PWM 出力回路 8 ビット × 5 本

●消費電力

高速モード時 165mW

(電源電圧 5.5V、FSCIN=3.58MHz 時、OSD 表示、データスライサ ON 時)

低速モード時 0.33mW

(電源電圧 5.5V、発振周波数 32kHz 時)

●クローズドキャプションデータスライサ

●ROM 訂正機能 2 ベクタ

●OSD 機能

表示文字数 32 文字 × 2 行
(ソフトウェアによって 3 行以上の表示可能)

文字種類 (着色単位) 254 種類
(文字単位)

文字表示領域 CC モード : 16 × 26 ドット

OSD モード : 16 × 20 ドット

文字サイズ CC モード : 1 種類

OSD モード : 8 種類

文字色種類 8 種類 (R, G, B)

着色単位 文字、文字背景、ラスタ

表示位置 水平 128 段階 / 垂直 512 段階

アトリビュート CC モード : スムーズ、イタリック、アンダライン、
フラッシュ、オートリットスペース

OSD モード : フォント

スムーズ Roll-up

ウインドウ機能

3. 応用

クローズドキャプションデコーダ内蔵 TV

【目次】

1. 概要	1	14. マルチマスタ I ² C-BUS バスライン特性	106
2. 特長	1	15. PROM 書き込み方法	107
3. 応用	1	16. マスク発注時の提出資料	108
4. ピン接続図	3	17. ワンタイム PROM 版 M37150EFFP マ - キング図 ...	109
5. ブロック図	4	18. 付録	110
6. 性能概要	5	19. パッケージ外形寸法図	144
7. 端子の機能説明	7		
8. 機能ブロック動作説明	12		
8.1 中央演算処理装置 (CPU)	12		
8.2 メモリ	13		
8.3 割り込み	18		
8.4 タイマ	23		
8.5 シリアル I/O	28		
8.6 マルチマスタ I ² C-BUS インタフェース	31		
8.7 PWM 出力回路	45		
8.8 A-D 比較器	49		
8.9 ROM 訂正機能	51		
8.10 データスライサ	52		
8.11 OSD 機能	63		
8.11.1 表示位置	68		
8.11.2 ドットサイズ	72		
8.11.3 OSD 用クロック	73		
8.11.4 フィールド判別表示	74		
8.11.5 OSD 用メモリ	76		
8.11.6 文字色	80		
8.11.7 文字背景色	80		
8.11.8 OUT 信号	81		
8.11.9 アトリビュート	82		
8.11.10 多行表示	87		
8.11.11 オートソリッドスペース機能	88		
8.11.12 スキャンモード	89		
8.11.13 ウィンドウ機能	89		
8.11.14 OSD 出力端子制御	91		
8.11.15 ラスター着色	92		
8.12 暴走検出機能	94		
8.13 リセット回路	95		
8.14 クロック発生回路	96		
8.15 オートクリア回路	102		
8.16 アドレッシングモード	102		
8.17 機械語命令一覧表	102		
9. 使用上の注意事項	102		
10. 絶対最大定格	103		
11. 推奨動作条件	103		
12. 電気的特性	104		
13. A-D 比較特性	106		

4. ピン接続図

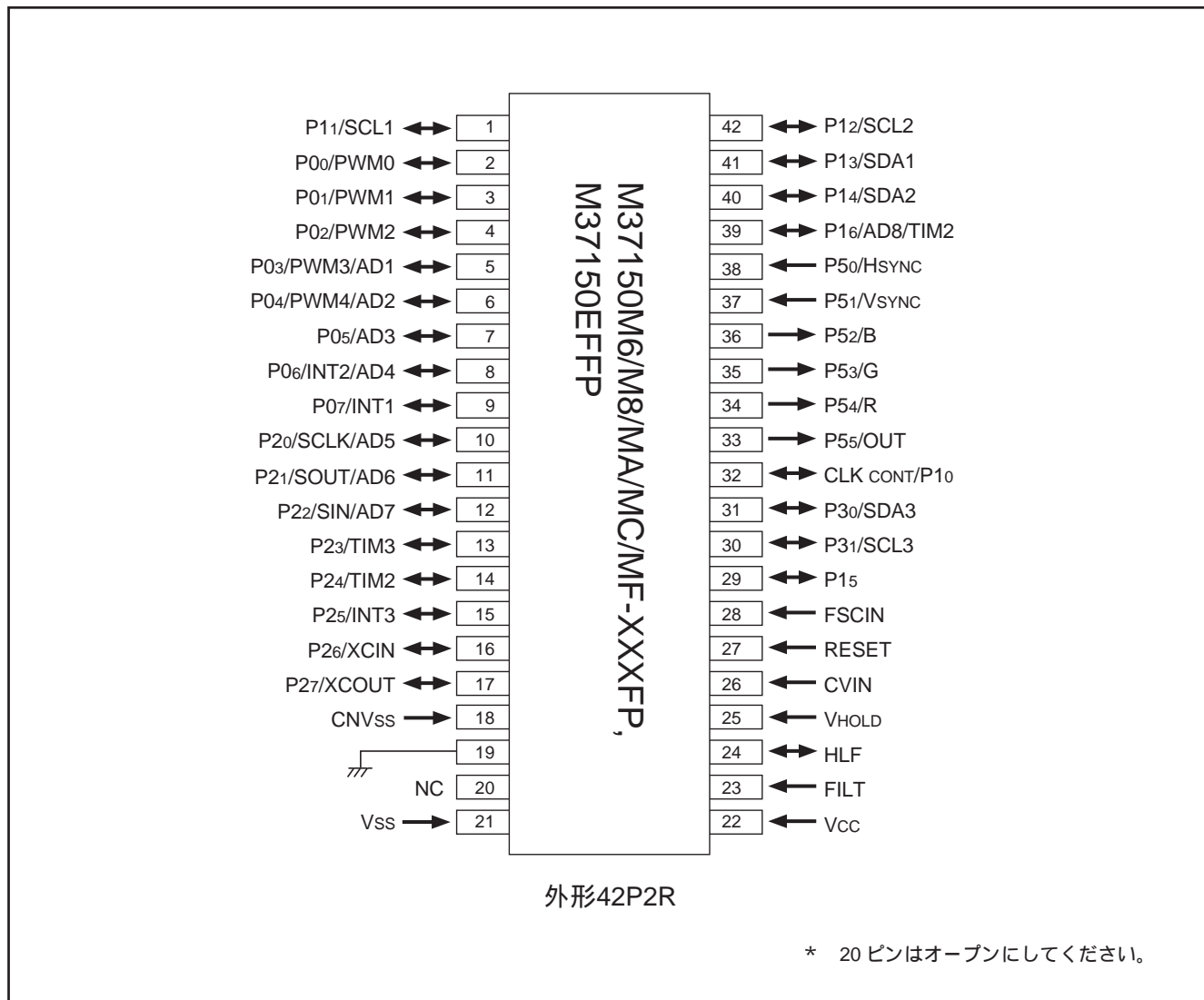


図 4.1 ピン接続図 (上面図)

5. ブロック図

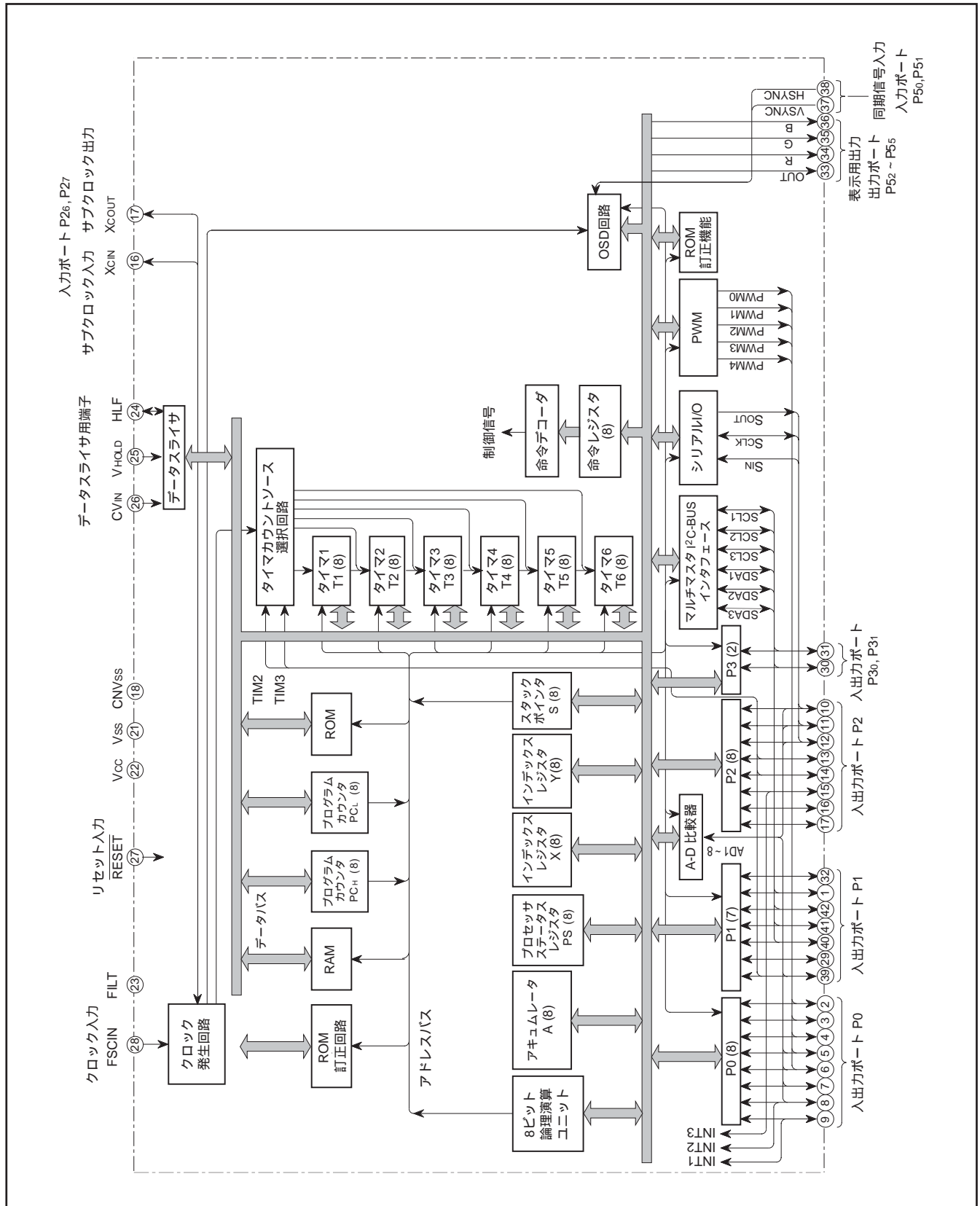


図 5.1 M37150のブロック図

6. 性能概要

表 6.1 性能概要

項 目		性 能	
基本命令数		71	
命令実行時間		0.447 μ s (最短命令, 発振周波数 FSCIN=3.58MHz, f(XIN)=8.95MHz時) 0.451 μ s (最短命令, 発振周波数 FSCIN=4.43MHz, f(XIN)=8.86MHz時)	
クロック周波数		8.95MHz (最大)	
メモリ容量	ROM	M37150M6-XXXFP	24Kバイト
		M37150M8-XXXFP	32Kバイト
		M37150MA-XXXFP	40Kバイト
		M37150MC-XXXFP	48Kバイト
		M37150MF-XXXFP, M37150EFP	60Kバイト
	RAM	M37150M6-XXXFP	1024バイト (ROM訂正メモリを含む)
		M37150M8-XXXFP	1152バイト (ROM訂正メモリを含む)
		M37150MA-XXXFP, M37150MC-XXXFP	1472バイト (ROM訂正メモリを含む)
M37150MF-XXXFP, M37150EFP		2048バイト (ROM訂正メモリを含む)	
入出力ポート	P0	入出力	8ビット×1 (Nチャンネルオープンドレイン出力形式, PWM出力, INT入力, A-D入力と兼用)
	P10 ~ P16	入出力	7ビット×1 (P1はCMOS入出力形式, ただしP11~P14はマルチマスタI ² C-BUSインタフェースとして使用時, Nチャンネルオープンドレイン出力形式, A-D入力, タイマ用外部クロック入力, マルチマスタI ² C-BUSインタフェースと兼用)
	P20 ~ P27	入出力	8ビット×1 (P2はCMOS入出力形式, ただしP20, P21はシリアル出力として使用時, Nチャンネルオープンドレイン出力形式, シリアル入出力, タイマ用外部クロック入力, A-D入力, INT入力, サブクロック入出力と兼用)
	P30, P31	入出力	2ビット×1 (CMOS入出力形式, マルチマスタI ² C-BUSインタフェースとして使用時, Nチャンネルオープンドレイン出力形式と兼用)
	P50, P51	入 力	2ビット×1 (OSD入力と兼用)
	P52 ~ P55	出 力	4ビット×1 (CMOS出力形式, OSD出力と兼用)
シリアルI/O		8ビット×1本	
マルチマスタI ² C-BUSインタフェース		1本 (3系統)	
A-D比較器		8チャンネル (分解能7ビット)	
PWM出力回路		8ビット×5本	
タイマ		8ビット×6本	
ROM訂正機能		2ベクタ	
サブルーチンネスティング		最大128レベル	
割り込み		< 17要因 > INT外部割り込み×3, 内部タイマ割り込み×6, シリアルI/O割り込み×1, OSD割り込み×1, マルチマスタI ² C-BUSインタフェース割り込み×1, データスライサ割り込み×1, f(XIN)/4096割り込み×1, VSYNC割り込み×1, BRK命令割り込み×1, リセット×1	
クロック発生回路		2回路内蔵 (XCIN/OUTは、セラミック共振子、又は水晶共振子外付け)	
データスライサ		内蔵	

表 6.2 性能概要 (つづき)

項 目		性 能		
OSD 機能	表示文字数	32 文字 × 2 行		
	ドット構成	CC モード : 16 × 26 ドット (文字表示領域は 16 × 20 ドット) OSD モード : 16 × 20 ドット		
	文字種類	254 種類		
	文字サイズ	CC モード : 1 種類 OSD モード : 8 種類		
	キャラクタフォント着色	1 画面 8 種類 (文字単位)		
	表示位置	水平 : 128 段階、垂直 : 512 段階		
電源電圧		5V ± 10%		
消費電力	高速モード時	OSD ON	デモタライフON	165mW 標準 (発振周波数 f(XIN) = 8.95MHz, fosc = 26.85MHz)
		OSD OFF	デモタライフOFF	82.5mW 標準 (発振周波数 f(XIN) = 8.95MHz)
	低速モード時	OSD OFF	デモタライフOFF	0.33mW 標準 (発振周波数 f(XCIN) = 32kHz)
		ストップモード時	0.055mW 最大	
動作周囲温度		- 10 ~ 70		
素子構造		CMOS シリコンゲート		
パッケージ		42 ピンプラスチックモールド SSOP		

7. 端子の機能説明

表 7.1 端子の機能説明

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc に 5V ± 10% (標準), Vss に 0V を印加します。
CNVss	CNVss		Vss に接続してください。
RESET	リセット入力	入 力	リセット入力端子で、リセットするには 2 μs 以上必要です。
FSCIN	クロック入力	入 力	メインクロック発生回路の入力端子です。
P00/PWM0 ~ P02/PWM2, P03/PWM3/AD1, P04/PWM4/AD2, P05/AD3, P06/INT2/AD4 P07/INT1	入出力ポート P0 PWM 出力 外部割り込み入力 アナログ入力	入出力 出 力 入 力 入 力	ポート P0 は 8 ビットの入出力ポートです。入出力方向レジスタを持っており、各ビットごとに入出力端子にするか出力端子にするかをプログラムできます。リセット時には入力モードになります。出力形式は N チャネルオープンドレイン出力です。(注) P00 ~ P04 端子は、それぞれ PWM 出力端子 PWM0 ~ PWM4 と共用です。出力形式は N チャネルオープンドレイン出力です。 P06, P07 端子は、それぞれ INT 外部割り込み入力端子 INT2, INT1 と共用です。 P03, P04, P05, P06 端子は、アナログ入力端子 AD1, AD2, AD3, AD4 と共用です。
P10/CLK CONT, P11/SCL1, P12/SCL2, P13/SDA1, P14/SDA2, P15, P16/AD8 / TIM2	入出力ポート P1 マルチマスタ I ² C-BUS インタフェース クロック コントロール タイマ用外部 クロック入力 アナログ入力	入出力 入出力 出 力 入 力 入 力	ポート P1 は 7 ビットの入出力ポートでポート P0 とほぼ同等の機能を有しています。出力形式は CMOS 出力です。(注) P11 ~ P14 端子は、マルチマスタ I ² C-BUS インタフェース使用時、それぞれ SCL1, SCL2, SDA1, SDA2 と共用です。出力形式は N チャネルオープンドレイン出力です。 P10 端子はクロックコントロール出力 CLK CONT と共用です。出力形式は CMOS です。 P16 端子はタイマ用外部クロック入力端子 TIM2 と共用です。 P16 端子はアナログ入力端子です。AD8 と共用です。
P20/SCLK/AD5 P21/SOUT/AD6 P22/SIN/AD7 P23/TIM3, P24/TIM2, P25/INT3, P26/XcIN, P27/XcOUT	入出力ポート P2 シリアル I/O 同期クロック入出力 シリアル I/O データ出力 シリアル I/O データ入力 タイマ用外部 クロック入力 アナログ入力 サブクロック 入力 サブクロック 出力 外部割り込み入力	入出力 入出力 出 力 入 力 入 力 入 力 入 力 入 力 出 力 入 力	ポート P2 は 8 ビットの入出力ポートでポート P0 とほぼ同等の機能を有しています。出力形式は CMOS 出力です。(注) P20 端子は、シリアル I/O 同期クロック入出力端子 SCLK と共用です。出力形式は N チャネルオープンドレイン出力です。 P21 端子は、シリアル I/O データ出力端子 SOUT と共用です。シリアル I/O 使用時、出力形式は N チャネルオープンドレイン出力です。 P22 端子は、シリアル I/O データ入力端子 SIN と共用です。 P23, P24 端子は、それぞれタイマ用外部クロック入力端子 TIM3, TIM2 と共用です。 P20 ~ P22 端子はアナログ入力端子です。AD5, AD6, AD7 と共用です。 P26 端子は、サブクロック入力端子 XcIN と共用です。 P27 端子は、サブクロック出力端子 XcOUT と共用です。出力形式は、CMOS 出力です。 P25 端子は、INT 外部割り込み入力端子 INT3 と共用です。
P30/SDA3 P31/SCL3	入出力ポート P3 マルチマスタ I ² C-BUS インタフェース	入出力 入出力	P30, P31 端子は、2 ビットの入出力ポートで、ポート P0 とほぼ同等の機能を有しています。出力形式は CMOS 出力です。(注) P30, P31 端子はマルチマスタ I ² C-BUS インタフェース使用時、それぞれ SDA3, SCL3 と共用です。出力形式は N チャネルオープンドレイン出力です。

表 7.2 端子の機能説明 (つづき)

端子名	名 称	入出力	機 能
P50/HSYNC, P51/VSNC	入力ポート P5	入 力	ポート P5 は 2 ビットの入力ポートです。
	水平同期信号	入 力	P50 端子は, OSD 用の水平同期信号入力端子 HSYNC と共用です。
	垂直同期信号	入 力	P51 端子は, OSD 用の垂直同期信号入力端子 VSNC と共用です。
P52/B, P53/G, P54/R, P55/OUT	出力ポート P5	出 力	P52 ~ P55 端子は, 4 ビットの出力ポートです。出力形式は CMOS 出力です。
	OSD 出力	出 力	P52 ~ P55 端子は, それぞれ OSD 出力端子 B, G, R, OUT と共用です。出力形式は CMOS 出力です。
CVIN	データスライサ	入 力	コンデンサを介してコンポジットビデオ信号を入力してください。
VHOLD	入出力	入 力	VHOLD と VSS の間にコンデンサを接続してください。
HLF		入出力	HLF と VSS の間にコンデンサと抵抗からなるフィルタを接続してください。
FILT	クロック発振用 フィルタ	入 力	FILT と VSS の間にコンデンサを接続してください。

注. ポート Pi (i=0 ~ 3) はポート Pi 方向レジスタを持っており, 入力として使用するか, 出力として使用するか, ビット単位にプログラムできます。方向レジスタが“1”にプログラムされている端子は出力端子となります。“0”の場合は入力端子となります。出力端子としてプログラムされている端子に書き込んだデータはポートのラッチに書き込まれ, それそのまま出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は, 出力端子の内容が読み込まれるのではなく, ポートのラッチの内容が読み込まれます。したがって発光ダイオードなどを直接駆動したため, 出力“L”電圧が上がっていても以前に出力した値を正しく読むことができます。入力端子としてプログラムされている端子はフローティングとなり, 端子の値を読み込むことができます。書き込んだ場合はポートのラッチに書き込まれるだけで端子はフローティングのままです。

LED 駆動ポート 4 本 (P24 - P27)

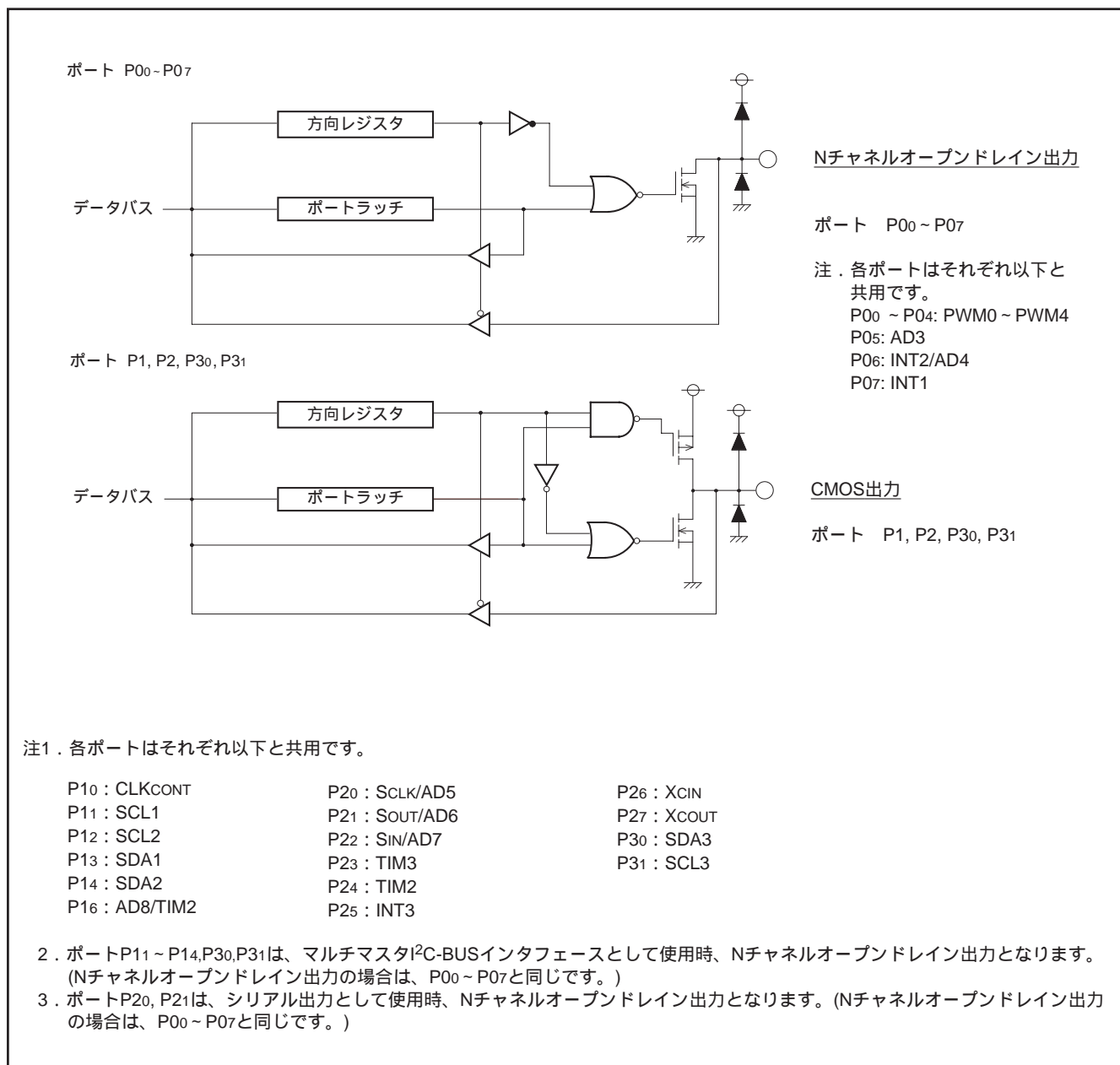


図 7.1 入出力端子のブロック図 (1)

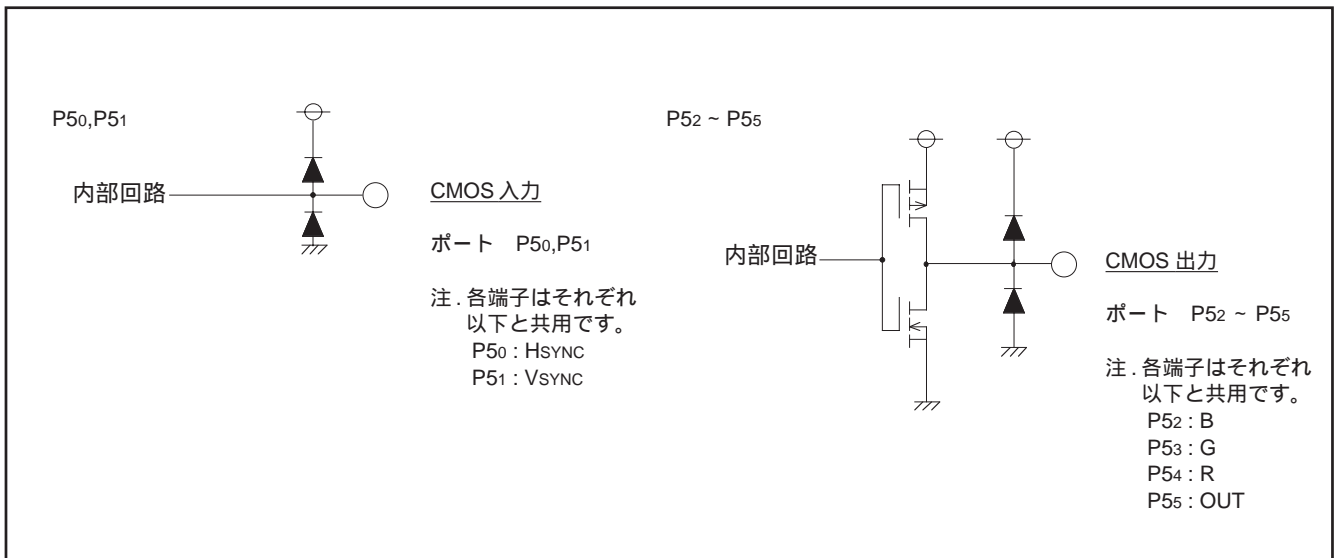


図 7.2 入出力端子のブロック図 (2)

FSCIN端子

FSCIN端子は基準クロック入力端子です。

メインクロック,OSDクロックは、FSCIN端子からの基準クロックをもとに生成します。

また、32 kHz 発振回路及びFSCIN端子から直接 サブクロックを供給することもできます。

「8.14 クロック発生回路」参照

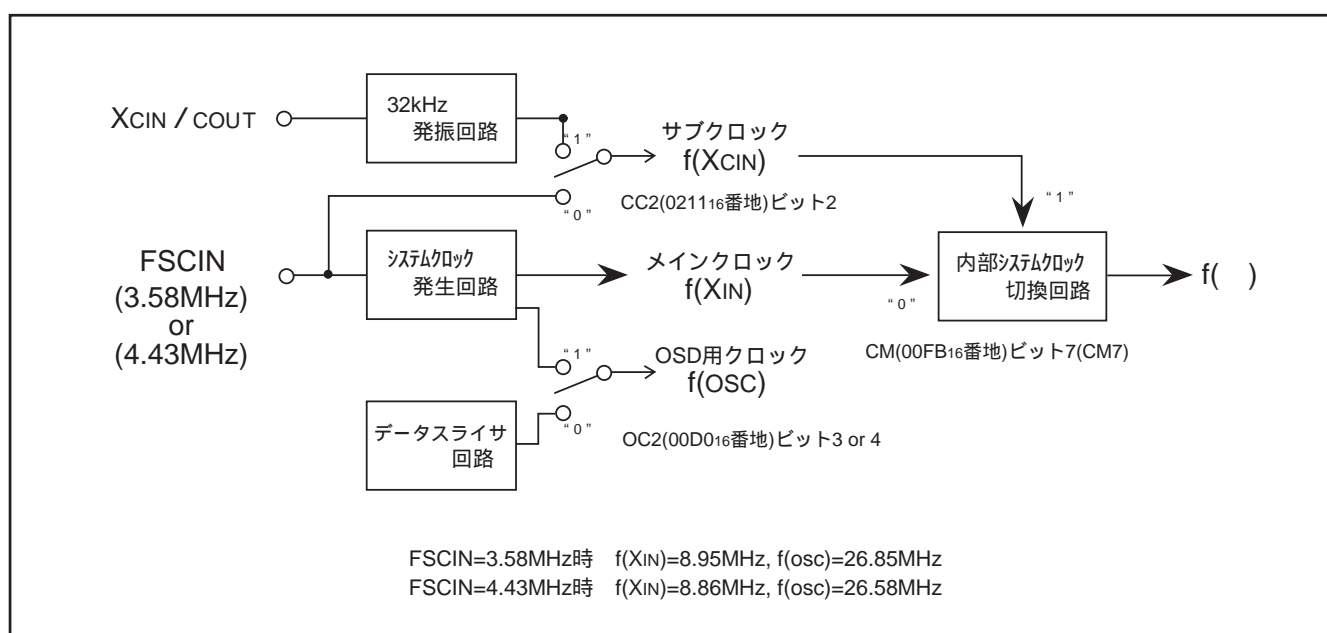


図 7.3 クロック発生回路

8. 機能ブロック動作説明

8.1 中央演算処理装置 (CPU)

本マイクロコンピュータは、740 ファミリ共通のCPUを持っています。

各命令の動作については740 ファミリアドレスリングモード及び機械語命令一覧表、又はMELPS 740 PROGRAMMING MANUAL を参照ください。

品種に依存する命令については以下のとおりです。

- ・FST, SLW 命令はありません。
- ・MUL, DIV 命令が使用可能です。
- ・WIT 命令が使用可能です。
- ・STP 命令が使用可能です。

8.1.1 CPU モードレジスタ

CPUモードレジスタには、スタックページの選択ビットやチップの内部システムクロックの選択ビットなどが割り当てられています。

このレジスタは00FB₁₆番地に配置されています。

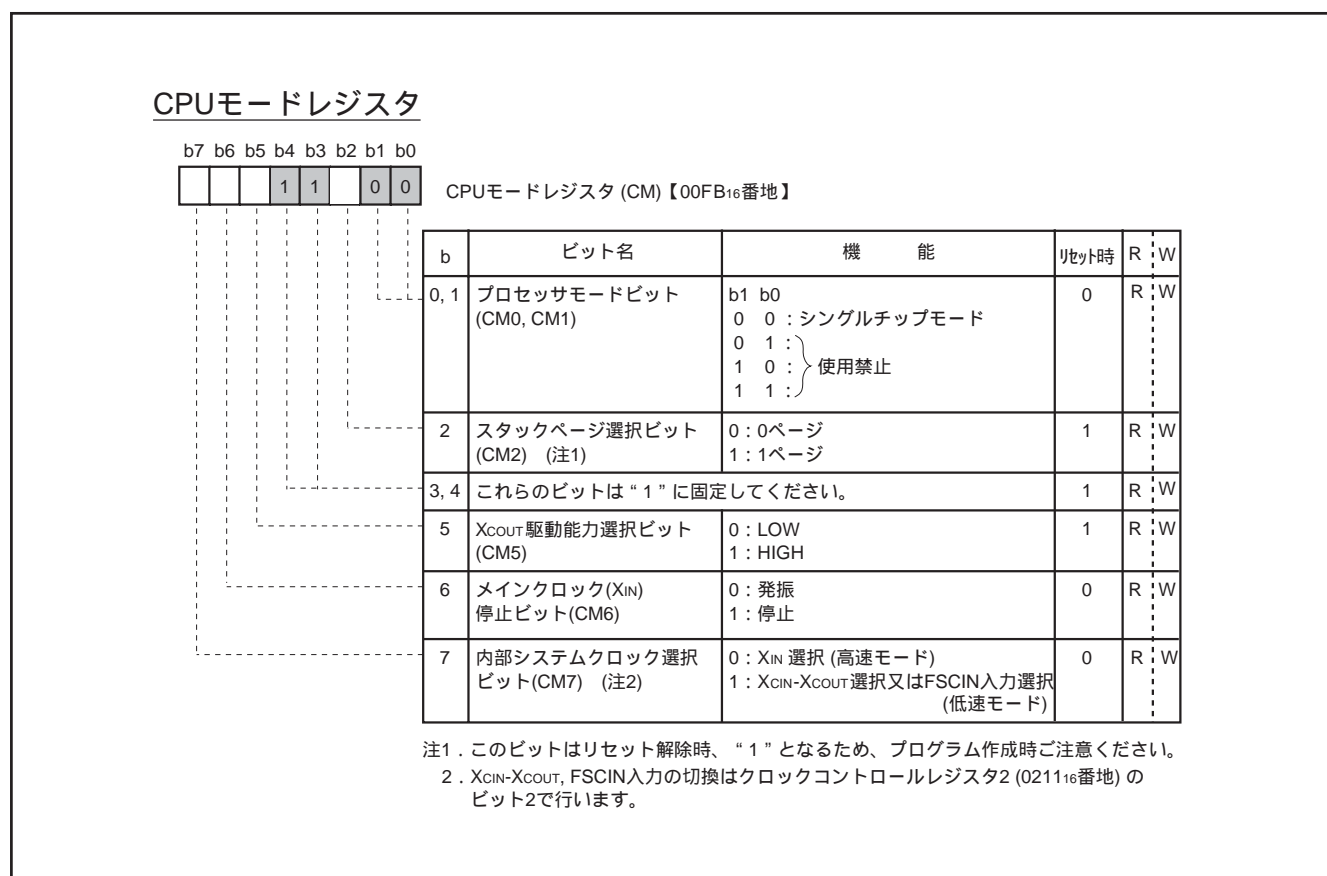


図8.1.1 CPU モードレジスタ

8.2 メモリ

8.2.1 SFR 領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

8.2.2 RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

8.2.3 ROM

ユーザプログラムや割り込みベクトルなどを格納します。

8.2.4 OSD RAM

CRTに表示する文字コード、文字色などの指定データを格納します。

8.2.5 OSD ROM

CRTに表示する文字データを格納します。

8.2.6 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

8.2.7 ゼロページ

ゼロページアドレッシングモードを使用することにより2語でアクセスできる領域です。

8.2.8 スペシャルページ

スペシャルページアドレッシングモードを使用することにより2語でアクセスできる領域です。

8.2.9 ROM 訂正用ベクタ

ROM 訂正用のプログラム飛び先番地として使用します。

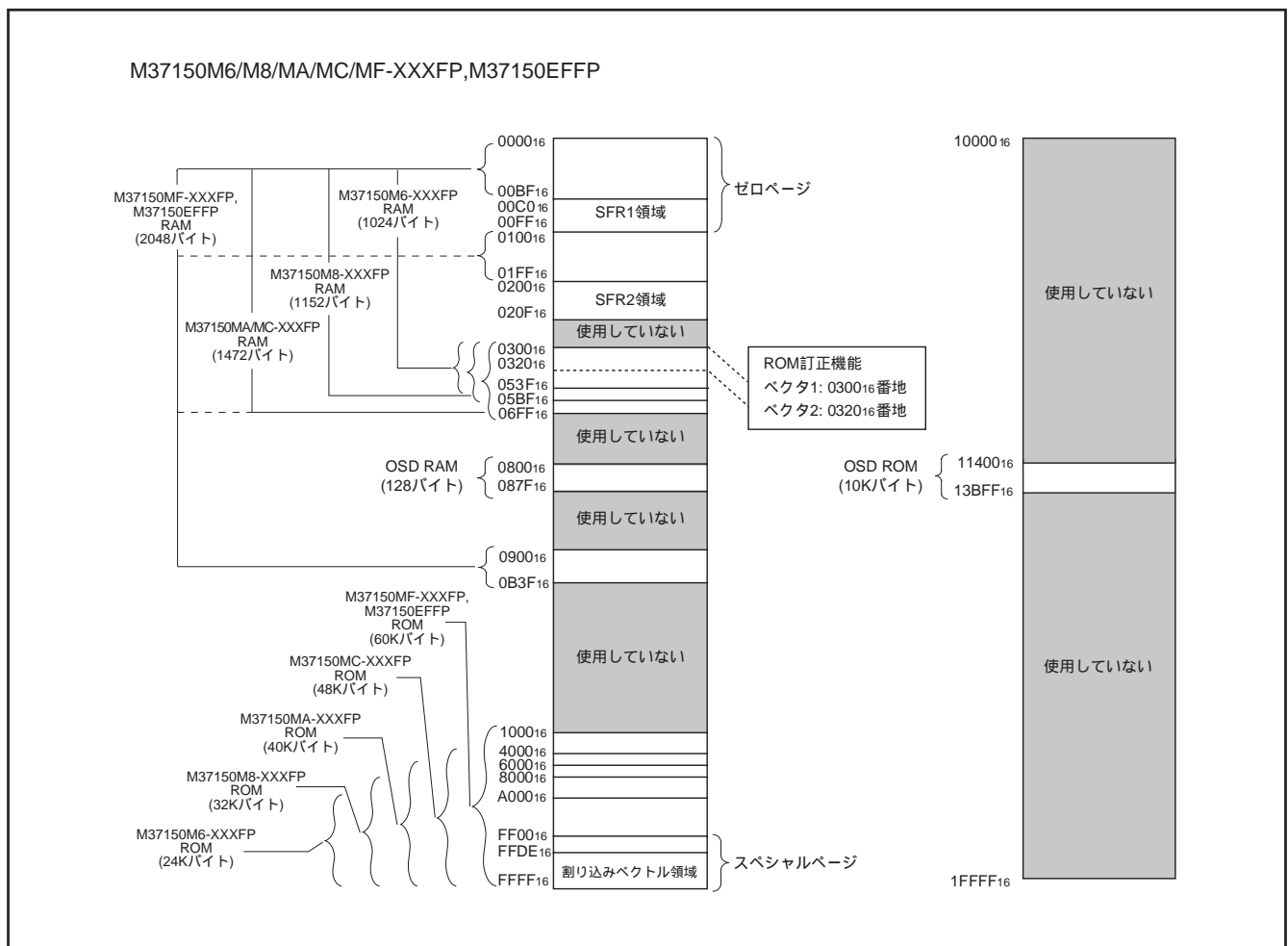


図 8.2.1 メモリ配置図 (M37150M6/M8/MA/MC/MF-XXXFP, M37150EFP)

SFR1領域 (C0₁₆ ~ DF₁₆番地)

<ビット配置図>

- : ファンクションビットあり
- : ファンクションビットなし
- : 0 に固定してください。
(“1”を書き込まないでください。)
- : 1 に固定してください。
(“0”を書き込まないでください。)

<リセット直後の状態>

- : リセット直後は“0”
- : リセット直後は“1”
- : リセット直後は不定


番地	レジスタ名	ビット配置図								リセット直後の状態								
		b7							b0	b7							b0	
C0 ₁₆	ポートP0(P0)									?								
C1 ₁₆	ポートP0方向レジスタ(D0)									00 ₁₆								
C2 ₁₆	ポートP1(P1)	0								? ? 0 ? ? ? ? ?								
C3 ₁₆	ポートP1方向レジスタ(D1)	0								0 0 1 0 0 0 0 1								
C4 ₁₆	ポートP2(P2)									?								
C5 ₁₆	ポートP2方向レジスタ(D2)									00 ₁₆								
C6 ₁₆	ポートP3(P3)									0 0 0 0 0 0 0 ? ?								
C7 ₁₆	ポートP3方向レジスタ(D3)									00 ₁₆								
C8 ₁₆		0	0	0	0	0	0	0	0	?								
C9 ₁₆		0	0	1	1	1	1	1	1	?								
CA ₁₆	ポートP5(P5)	0	0					0	0	?								
CB ₁₆	OSDポートコントロールレジスタ(PF)	1	0	PF5	PF4	PF3	PF2	0	0	0 ? 0 0 0 0 0 0								
CC ₁₆	タイマ復帰設定レジスタ(TMS)	TMS	0	1	0	0	0	0	0	00 ₁₆								
CD ₁₆	クロックコントロールレジスタ1(CC1)	0	0	0	0	0	0	0	0	00 ₁₆								
CE ₁₆	キャプションデータレジスタ3(CD3)	CDL27	CDL26	CDL25	CDL24	CDL23	CDL22	CDL21	CDL20	?								
CF ₁₆	キャプションデータレジスタ4(CD4)	CDH27	CDH26	CDH25	CDH24	CDH23	CDH22	CDH21	CDH20	?								
D0 ₁₆	OSDコントロールレジスタ(OC)	OC7	0	0	OC4	OC3	OC2	OC1	OC0	00 ₁₆								
D1 ₁₆	水平位置レジスタ(HP)		HP6	HP5	HP4	HP3	HP2	HP1	HP0	00 ₁₆								
D2 ₁₆	ブロックコントロールレジスタ1(BC1)	BC17	BC16	BC15	BC14	BC13	BC12	BC11	BC10	?								
D3 ₁₆	ブロックコントロールレジスタ2(BC2)	BC27	BC26	BC25	BC24	BC23	BC22	BC21	BC20	?								
D4 ₁₆	垂直位置レジスタ1(VP1)	VP17	VP16	VP15	VP14	VP13	VP12	VP11	VP10	?								
D5 ₁₆	垂直位置レジスタ2(VP2)	VP27	VP26	VP25	VP24	VP23	VP22	VP21	VP20	?								
D6 ₁₆	ウインドウレジスタ1(WN1)	WN17	WN16	WN15	WN14	WN13	WN12	WN11	WN10	?								
D7 ₁₆	ウインドウレジスタ2(WN2)	WN27	WN26	WN25	WN24	WN23	WN22	WN21	WN20	?								
D8 ₁₆	入出力極性コントロールレジスタ(PC)	0	PC6	PC5	0	PC3	PC2	PC1	PC0	40 ₁₆								
D9 ₁₆	ラスタカラーレジスタ(RC)	RC7	0	0	0	RC3	RC2	RC1	RC0	00 ₁₆								
DA ₁₆										?								
DB ₁₆	OSDコントロールレジスタ2(OC2)	0	0	0			0	OC21	OC20	0 0 0 ? 0 0 0 0								
DC ₁₆	割り込み入力極性レジスタ(RE)							INT3	INT2	INT1	00 ₁₆							
DD ₁₆		00 ₁₆								00 ₁₆								
DE ₁₆		00 ₁₆								00 ₁₆								
DF ₁₆		00 ₁₆								00 ₁₆								


図 8.2.2 SFR (スペシャルファンクションレジスタ) 1メモリマップ (1)


SFR1領域 (E0₁₆ ~ FF₁₆番地)


<ビット配置図>


<リセット直後の状態>


 : ファンクションビットあり


 : リセット直後は“0”

 : ファンクションビットなし

 : リセット直後は“1”

 : “0”に固定してください。
 (“1”を書き込まないでください。)

 : リセット直後は不定

 : “1”に固定してください。
 (“0”を書き込まないでください。)

番地	レジスタ名	ビット配置図								リセット直後の状態											
		b7	ビット配置図								b0	b7	リセット直後の状態								b0
E0 ₁₆	データサイサ制御レジスタ1(DSC1)	0	1	1	0	0	DSC12	DSC11	DSC10	00 ₁₆											
E1 ₁₆	データサイサ制御レジスタ2(DSC2)	0	DSC25	DSC24	DSC23	1			DSC20	? 0 ? 0 ? ? 0 ?											
E2 ₁₆	キャプションデータレジスタ1(CD1)	CDL17	CDL16	CDL15	CDL14	CDL13	CDL12	CDL11	CDL10	00 ₁₆											
E3 ₁₆	キャプションデータレジスタ2(CD2)	CDH17	CDH16	CDH15	CDH14	CDH13	CDH12	CDH11	CDH10	00 ₁₆											
E4 ₁₆	クロックランイン検出レジスタ(CRD)	CRD7	CRD6	CRD5	CRD4	CRD3				00 ₁₆											
E5 ₁₆	データロック位置レジスタ(DPS)	DPS7	DPS6	DPS5	DPS4	DPS3	0	1	0	09 ₁₆											
E6 ₁₆	キャプション位置レジスタ(CPS)	CPS7	CPS6	CPS5	CPS4	CPS3	CPS2	CPS1	CPS0	0 0 ? 0 0 0 0 0 0											
E7 ₁₆	データサイサテストレジスタ2									00 ₁₆											
E8 ₁₆	データサイサテストレジスタ1									00 ₁₆											
E9 ₁₆	同期信号カウンタレジスタ(HC)				HC5	HC4	HC3	HC2	HC1	HC0	00 ₁₆										
EA ₁₆	シリアル/Oレジスタ(SIO)									?											
EB ₁₆	シリアル/Oモードレジスタ(SM)	0	SM6	SM5	0	SM3	SM2	SM1	SM0	00 ₁₆											
EC ₁₆	AD制御レジスタ1(AD1)				ADC14	ADC12	ADC11	ADC10	0 0 0 ? 0 0 0 0												
ED ₁₆	AD制御レジスタ2(AD2)	ADC26	ADC25	ADC24	ADC23	ADC22	ADC21	ADC20	00 ₁₆												
EE ₁₆	タイマ5(T5)									07 ₁₆											
EF ₁₆	タイマ6(T6)									FF ₁₆											
F0 ₁₆	タイマ1(T1)									FF ₁₆											
F1 ₁₆	タイマ2(T2)									07 ₁₆											
F2 ₁₆	タイマ3(T3)									FF ₁₆											
F3 ₁₆	タイマ4(T4)									07 ₁₆											
F4 ₁₆	タイマモードレジスタ1(TM1)	TM17	TM16	TM15	TM14	TM13	TM12	TM11	TM10	00 ₁₆											
F5 ₁₆	タイマモードレジスタ2(TM2)	TM27	TM26	TM25	TM24	TM23	TM22	TM21	TM20	00 ₁₆											
F6 ₁₆	I ² Cデータシフトレジスタ(S0)	D7	D6	D5	D4	D3	D2	D1	D0	?											
F7 ₁₆	I ² Cアドレスレジスタ(S0D)	SAD6	SAD5	SAD4	SAD3	SAD2	SAD1	SAD0	RBW	00 ₁₆											
F8 ₁₆	I ² Cステータスレジスタ(S1)	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	0 0 0 1 0 0 0 ?											
F9 ₁₆	I ² Cコントロールレジスタ(S1D)	BESL1	BESL0	10BIT SAD	ALS	ESO	BC2	BC1	BC0	00 ₁₆											
FA ₁₆	I ² Cクロックコントロールレジスタ(S2)	ACK BIT	FAST MODE	CCR4	CCR3	CCR2	CCR1	CCR0	00 ₁₆												
FB ₁₆	CPUモードレジスタ(CM)	CM7	CM6	CM5	1	1	CM2	0	0	3C ₁₆											
FC ₁₆	割り込み要求レジスタ1(IREQ1)	IN3R	VSCR	OSDR	TM4R	TM3R	TM2R	TM1R	00 ₁₆												
FD ₁₆	割り込み要求レジスタ2(IREQ2)	0	TM56R	IICR	IN2R	CKR	SIR	DSR	IN1R	00 ₁₆											
FE ₁₆	割り込み制御レジスタ1(ICON1)	IN3E	VSCE	OSDE	TM4E	TM3E	TM2E	TM1E	00 ₁₆												
FF ₁₆	割り込み制御レジスタ2(ICON2)	TM56C	TM56E	IICE	IN2E	CKE	SIE	DSE	IN1E	00 ₁₆											

図 8.2.3 SFR (スペシャルファンクションレジスタ) 1 メモリマップ (2)

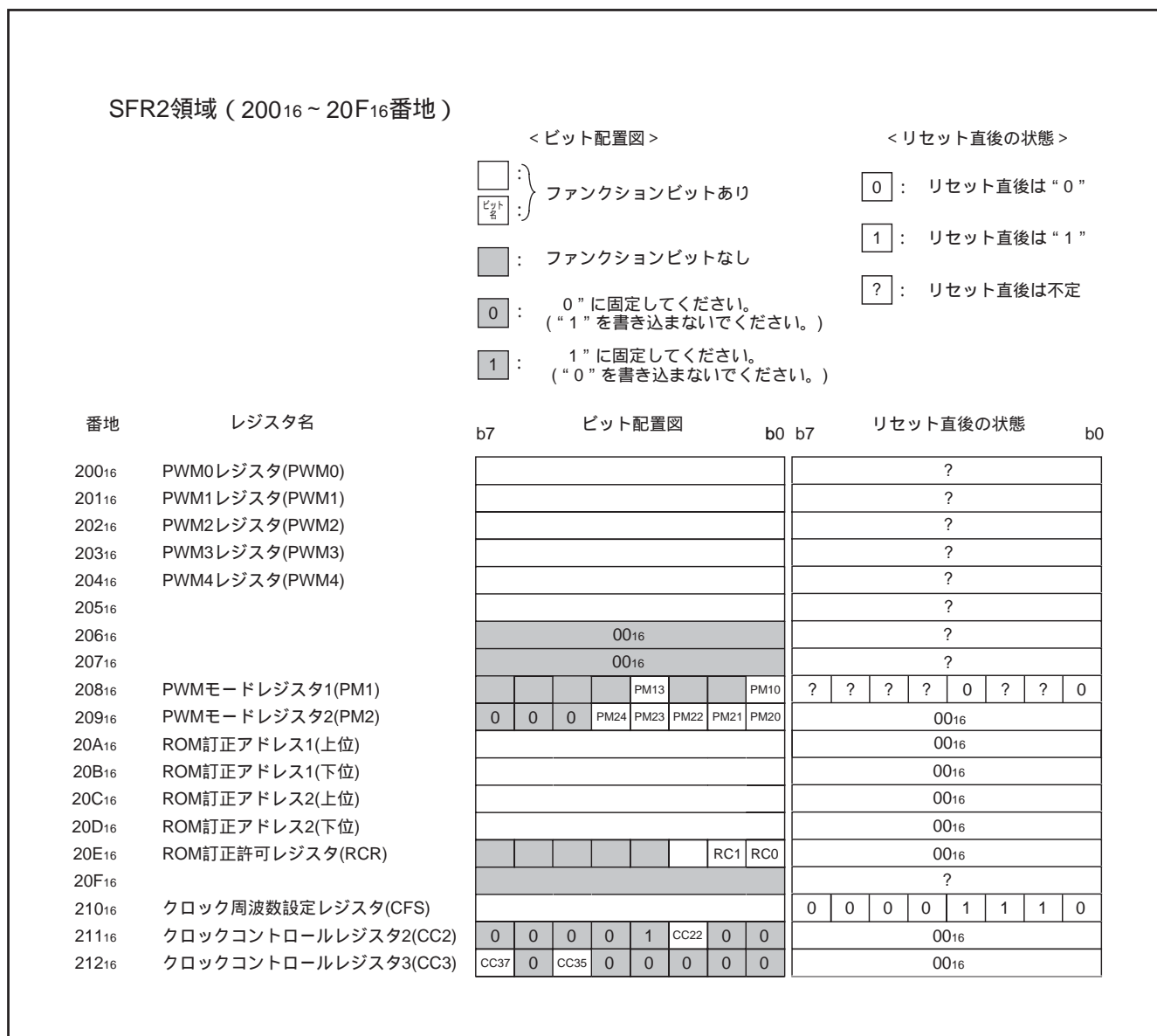


図8.2.4 SFR (スペシャルファンクションレジスタ) 2メモリマップ

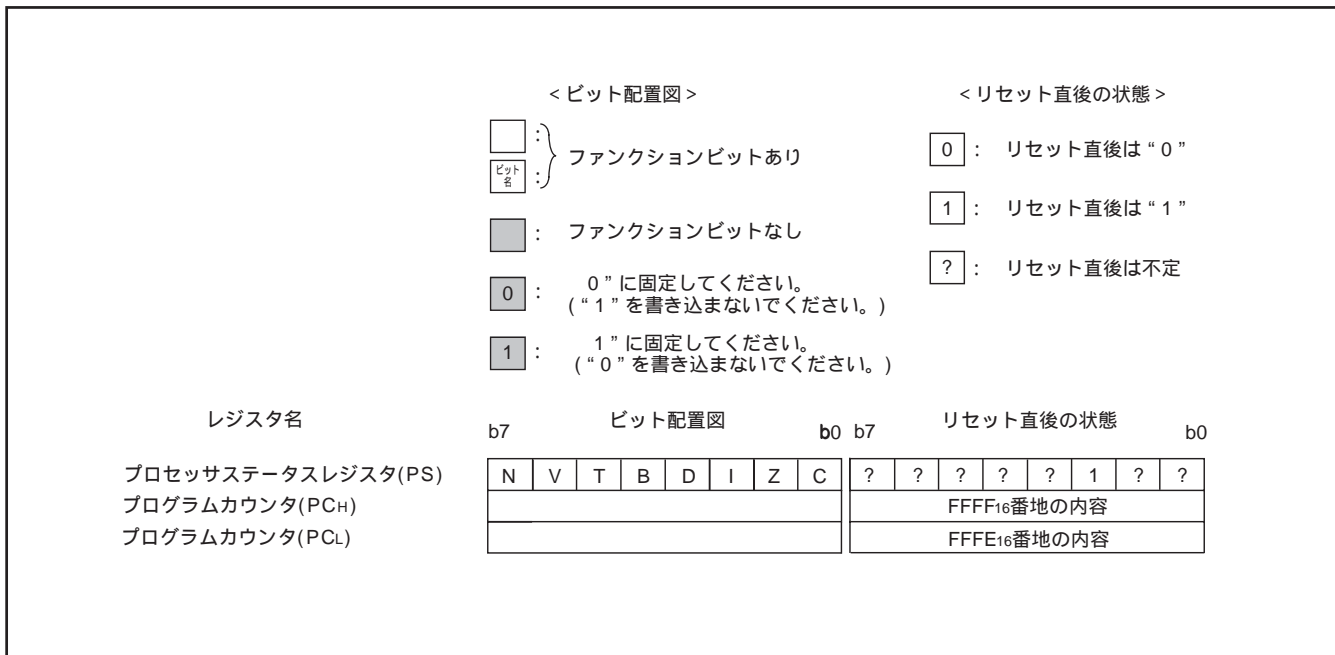


図 8.2.5 プロセッサステータスレジスタとプログラムカウンタのリセット時の内部状態

8.3 割り込み

割り込みはベクトル割り込みで、外部4要因、内部11要因、ソフトウェア1要因、及びリセットの17の要因から発生することが可能です。表 8.3.1 にベクトルテーブルと優先順位を示します。リセットは割り込みと同じような動作をしますので、この表中に入れておきます。

割り込みを受け付けると、

プログラムカウンタとプロセッサステータスレジスタが自動的にスタックへ待避されます。

割り込み禁止フラグ I が“1”に、割り込み要求ビットが“0”になります。

ベクトル番地に格納されている飛び先番地がプログラムカウンタに入ります

リセットは何ものによっても禁止されることはありません。これら以外の割り込みは割り込み禁止フラグ I が“1”のとき、受け付けられません。

BRK 命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っています。割り込み要求ビットは割り込み要求レジスタ1, 2、割り込み許可ビットは割り込み制御レジスタ1, 2の各ビットに割り当てられています。割り込み関係レジスタを図 8.3.2 ~ 図 8.3.6 に示します。

リセットと BRK 命令割り込みを除いた割り込みは、割り込み許可ビットが“1”、割り込み要求ビットが“1”、かつ割り込み禁止フラグ I が“0”のとき、受け付けられます。割り込み要求ビットはプログラムで“0”にできますが、“1”

にはできません。割り込み許可ビットはプログラムで“0”又は“1”にできます。

リセットは、割り込み優先順位中、最優先のノンマスカブル割り込みとして処理されます。図 8.3.1 に割り込み制御図を示します。

8.3.1 割り込み要因

(1) VSYNC, OSD 割り込み

VSYNC 割り込みは、垂直同期信号に同期した割り込み要求です。

OSD 割り込みは、CRT への文字ブロック表示終了後に発生する割り込みです。

(2) INT1 ~ INT3 外部割り込み

外部割り込み入力で、各端子のレベルが“L”から“H”、又は“H”から“L”に変化するのを検出して割り込み要求が発生します。入力極性は、割り込み入力極性レジスタ(00DC16番地)のビット0~ビット2によって選択されます。これらのビットが“0”の場合“L”から“H”の変化、“1”の場合“H”から“L”の変化が検出されます。ただし、リセット時は“0”になります。

(3) タイマ1~4 割り込み

タイマ1~4のオーバーフローにより割り込みが発生します。

表 8.3.1 割り込みベクトル番地と優先順位

優先順位	割り込み要因	ベクトル番地		備考
		上位	下位	
1	リセット	FFFF16	FFFE16	ノンマスカブル
2	OSD 割り込み	FFFD16	FFFC16	
3	INT1 外部割り込み	FFFB16	FFFA16	極性プログラマブル
4	データスライサ割り込み	FFF916	FFF816	
5	シリアル I/O 割り込み	FFF716	FFF616	
6	タイマ 4 割り込み	FFF516	FFF416	
7	f(XIN)/4096 割り込み	FFF316	FFF216	
8	VSYNC 割り込み	FFF116	FFF016	
9	タイマ 3 割り込み	FFEF16	FFEE16	
10	タイマ 2 割り込み	FFED16	FFEC16	
11	タイマ 1 割り込み	FFEB16	FFEA16	
12	INT3 外部割り込み	FFE916	FFE816	極性プログラマブル
13	INT2 外部割り込み	FFE716	FFE616	極性プログラマブル
14	マルチマスタ I ² C-BUS インタフェース割り込み	FFE516	FFE416	
15	タイマ 5・6 割り込み	FFE316	FFE216	ソフトウェアによる要因の切り換え(注)
16	BRK 命令割り込み	FFDF16	FFDE16	ノンマスカブル

注. プログラムの途中で要因切り換えを行うと不要な割り込みが発生します。そのため、要因の設定はプログラムの初期設定時に行ってください。

(4) シリアル I/O 割り込み

クロック同期形シリアル I/O からの割り込み要求です。

(5) $f(XIN)/4096$ 割り込み

$f(XIN)$ の4096分周で割り込みが発生します。ただし、PWM モードレジスタ1のビット0を“0”に設定してください。

(6) データスライサ割り込み

データスライサの終了時に割り込みが発生します。

(7) マルチマスタ I²C-BUS インタフェース割り込み

マルチマスタ I²C-BUS インタフェースに関する割り込み要求です。

(8) タイマ5・6 割り込み

タイマ5,6のオーバフローにより割り込みが発生します。優先順位は同じで、ソフトウェアによって切り替えます。

(9) BRK 命令割り込み

優先順位が最下位のソフトウェア割り込みで、対応した割り込み許可ビットを持たず、割り込み禁止フラグの影響を受けません(ノンマスクابل)。

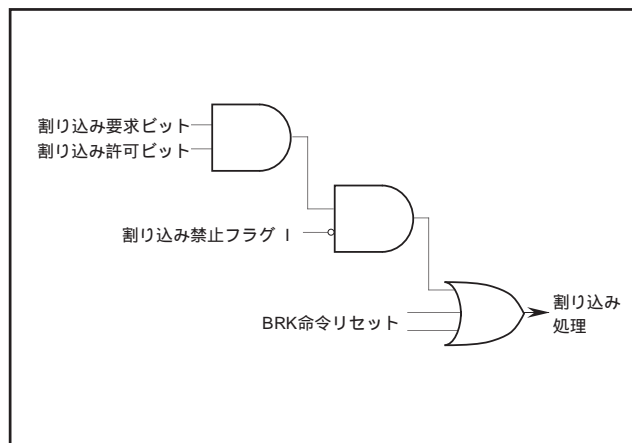


図 8.3.1 割り込み制御図

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1)【00FC₁₆番地】

b	ビット名	機能	リット時	R	W
0	タイマ1割り込み要求ビット (TM1R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
1	タイマ2割り込み要求ビット (TM2R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
2	タイマ3割り込み要求ビット (TM3R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
3	タイマ4割り込み要求ビット (TM4R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
4	OSD割り込み要求ビット (OSDR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
5	Vsync割り込み要求ビット (VSCR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
6	INT3外部割り込み要求ビット (IN3R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
7	このビットには何も配置されていません。書き込み不可、読み出した場合、その内容は“0”です。		0	R	-

* . ソフトウェアによって“0”にできますが、“1”にはできません。

図 8.3.2 割り込み要求レジスタ 1

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

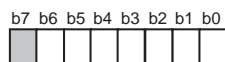
割り込み要求レジスタ2(IREQ2)【00FD₁₆番地】

b	ビット名	機能	リット時	R	W
0	INT1外部割り込み要求ビット (IN1R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
1	データスライサ割り込み要求ビット (DSR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
2	シリアルI/O割り込み要求ビット (SIR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
3	f(XIN)/4096割り込み要求ビット (CKR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
4	INT2外部割り込み要求ビット (IN2R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
5	マルチI ² C-BUSインターフェイス割り込み要求ビット (IICR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
6	タイマ5・6割り込み要求ビット (TM56R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
7	このビットは“0”に固定してください。		0	R	W

* . ソフトウェアによって“0”にできますが、“1”にはできません。

図 8.3.3 割り込み要求レジスタ 2

割り込み制御レジスタ1

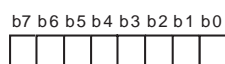


割り込み制御レジスタ1(ICON1) 【00FE₁₆番地】

b	ビット名	機 能	位時	R	W
0	タイマ1割り込み許可ビット (TM1E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
1	タイマ2割り込み許可ビット (TM2E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
2	タイマ3割り込み許可ビット (TM3E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
3	タイマ4割り込み許可ビット (TM4E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
4	OSD割り込み許可ビット (OSDE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
5	V _{SYNC} 割り込み許可ビット (VSCE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
6	INT3外部割り込み許可ビット (IN3E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

図 8.3.4 割り込み制御レジスタ 1

割り込み制御レジスタ2

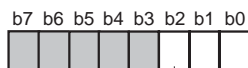


割り込み制御レジスタ2(ICON2) 【00FF₁₆番地】

b	ビット名	機 能	位時	R	W
0	INT1外部割り込み許可ビット (IN1E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
1	データスライサ割り込み許可ビット (DSE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
2	シリアルI/O割り込み許可ビット (SIE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
3	f(X _{IN})/4096割り込み許可ビット (CKE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
4	INT2外部割り込み許可ビット (IN2E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
5	マルチスラバC-BUSインタフェース割り込み許可ビット (IICE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
6	タイマ5・6割り込み許可ビット (TM56E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
7	タイマ5・6割り込み切替ビット (TM56C)	0: タイマ5 1: タイマ6	0	R	W

図 8.3.5 割り込み要求レジスタ 2

割り込み入力極性レジスタ



割り込み入力極性レジスタ(RE)【00DC₁₆番地】

b	ビット名	機 能	リセット時	R ; W
0	INT1極性切り替えビット (INT1)	0 : 正極性 1 : 負極性	0	R ; W
1	INT2極性切り替えビット (INT2)	0 : 正極性 1 : 負極性	0	R ; W
2	INT3極性切り替えビット (INT3)	0 : 正極性 1 : 負極性	0	R ; W
3-7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R ; -

図 8.3.6 割り込み入力極性レジスタ

8.4 タイマ

タイマは、タイマ1、タイマ2、タイマ3、タイマ4、タイマ5、タイマ6の6本あります。いずれもタイマラッチ付き8ビットタイマです。図8.4.3にタイマのブロック図を示します。

タイマ1～6は、すべてダウンカウント動作で分周比は $1/(n+1)$ です。これらのタイマは、タイマラッチ(00F0₁₆～00F3₁₆:タイマ1～タイマ4、00EE₁₆,00EF₁₆:タイマ5、タイマ6)に値を書き込むことで同時にタイマにも値が設定されます。

タイマへの設定直後からカウントソースの入力によってnn16-1, nn16-2, ..., 01₁₆, 00₁₆とダウンカウントし、タイマの値が00₁₆となった次のカウントソース入力でオーバーフローが起こり割り込み要求が発生します。

以下にそれぞれのタイマについて説明します。

8.4.1 タイマ1

タイマ1のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ $f(XIN)/4096$ 又は $f(XCIN)/4096$
- ・ TIM2 端子からの外部クロック

タイマモードレジスタ1(00F4₁₆番地)のビット5及びビット0の2ビットを用いていずれか一つを選択します。

また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ1オーバーフローによりタイマ1割り込み要求が発生します。

8.4.2 タイマ2

タイマ2のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ タイマ1のオーバーフロー信号
- ・ TIM2 端子からの外部クロック

タイマモードレジスタ1(00F4₁₆番地)のビット4、ビット1の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ1のオーバーフロー信号とすることで、タイマ1を8ビットプリスケアラとして用いることができます。

タイマ2オーバーフローによりタイマ2割り込み要求が発生します。

8.4.3 タイマ3

タイマ3のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ $f(XCIN)$
- ・ TIM3 端子からの外部クロック

タイマモードレジスタ2(00F5₁₆番地)のビット0,00C7₁₆番地のビット6の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ3オーバーフローによりタイマ3割り込み要求が発生します。

8.4.4 タイマ4

タイマ4のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ $f(XIN)/2$ 又は $f(XCIN)/2$
- ・ $f(XCIN)$
- ・ タイマ3のオーバーフロー信号

タイマモードレジスタ2(00F5₁₆番地)のビット4、及びビット1の2ビットを用いてこの4種類から一つを選択します。また、 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ3のオーバーフロー信号とすることで、タイマ3を8ビットのプリスケアラとして用いることができます。

タイマ4オーバーフローによりタイマ4割り込み要求が発生します。

8.4.5 タイマ5

タイマ5のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ タイマ2のオーバーフロー信号
- ・ タイマ4のオーバーフロー信号

タイマモードレジスタ1(00F4₁₆番地)のビット6、タイマモードレジスタ2(00F5₁₆番地)のビット7の2ビットを用いてこの3種類から一つを選択します。カウントソースをタイマ2又はタイマ4のオーバーフロー信号とすることで、タイマ2又はタイマ4を8ビットのプリスケアラとして用いることができます。 $f(XIN)$, $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ5オーバーフローによりタイマ5割り込み要求が発生します。

8.4.6 タイマ 6

タイマ 6 のカウントソースは次のいずれかを選択できます。

- ・ $f(XIN)/16$ 又は $f(XCIN)/16$
- ・ タイマ 5 のオーバーフロー信号

タイマモードレジスタ 1(00F4₁₆ 番地)のビット 7 を用いてこの 2 種類から一つを選択します。また、 $f(XIN)$ 、 $f(XCIN)$ は CPU モードレジスタのビット 7 によって選択します。カウントソースをタイマ 5 のオーバーフロー信号とすることでタイマ 5 を 8 ビットのプリスケアラとして用いることができます。

タイマ 6 オーバフローによりタイマ 6 割り込み要求が発生します。

リセット時、タイマ 3、タイマ 4 はハードウェア的に接続され、タイマ 3 に “FF₁₆”、タイマ 4 に “07₁₆” がセットされます。そして、タイマ 3 のカウントソースとして $f(XIN)^*/16$ が選択されます。この状態でのタイマ 4 オーバフローによって内部リセットが解除され、同時に内部クロックが供給されます。

STP 命令実行時、タイマ 3、タイマ 4 はハードウェア的に接続され、タイマ 3 に “FF₁₆”、タイマ 4 に “07₁₆” がセットされますが、タイマ 3 のカウントソースとして $f(XIN)^*/16$ は

選択されません。したがって、STP 命令を実行する前に、ソフトウェアによってタイマモードレジスタ 2 (00F5₁₆ 番地) のビット 0 及び 00C7₁₆ 番地のビット 6 を “0” にしてください (タイマ 3 のカウントソースとして $f(XIN)^*/16$ を選択する)。この状態でのタイマ 4 オーバフローによって STP 状態が解除され、同時に内部クロックが供給されます。

以上の処理により、安定したクロックのもとでプログラムが開始されます。

また、タイマ復帰設定レジスタ(00CC₁₆ 番地)のビット 7 を “1” にセットすることにより、タイマ 3 およびタイマ 4 にセットされる値を任意に設定することができます。

* : CPU モードレジスタのビット 7 (CM7) が “1” の場合は、 $f(XIN)$ が $f(XCIN)$ となります。

タイマに関連するレジスタのビット構成を図 8.4.1、図 8.4.2 に示します。

TIM2 端子の入力経路はポート P16、P24 の選択ができます。ポート P3 方向レジスタ(00C7₁₆ 番地)のビット 7 によって選択します。

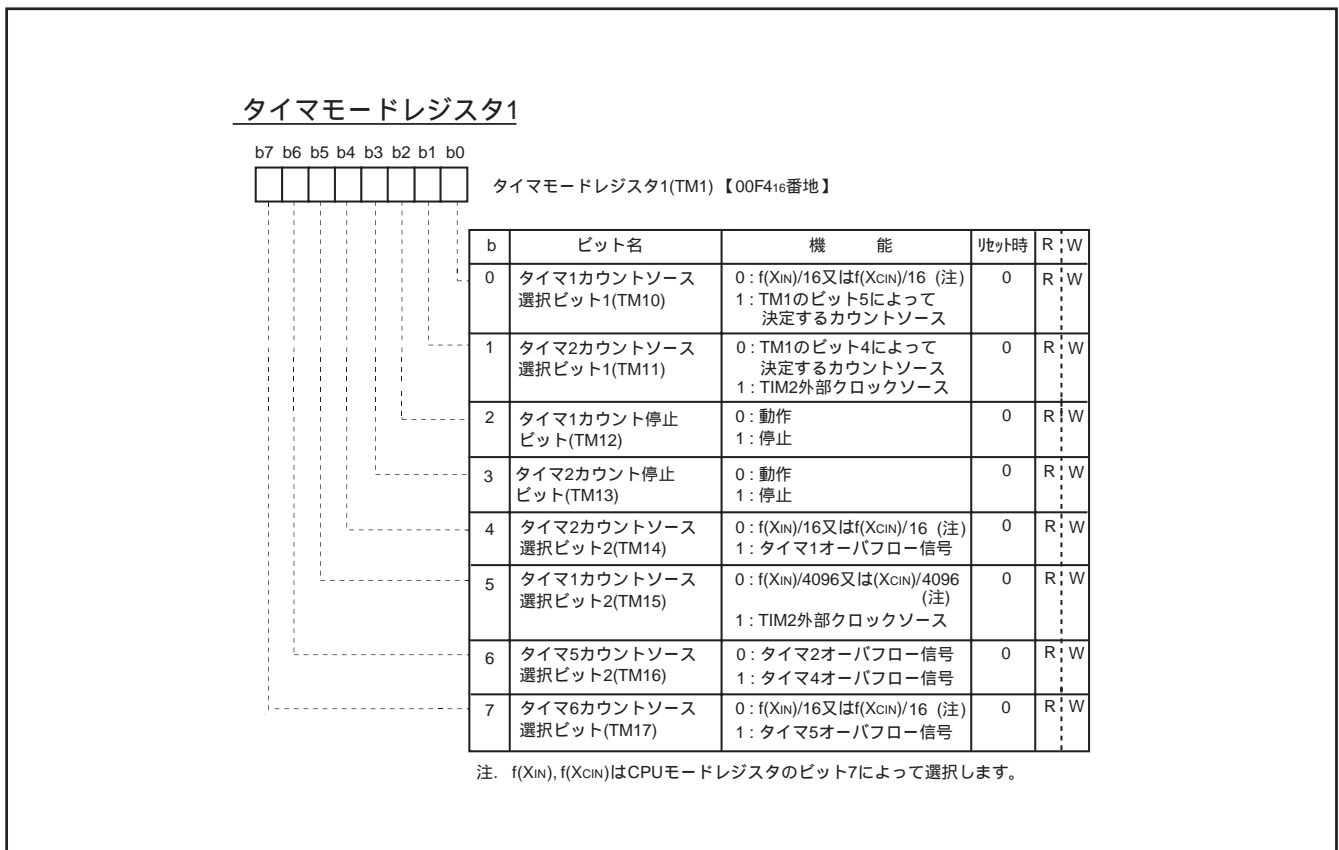


図 8.4.1 タイマモードレジスタ 1

タイマモードレジスタ2

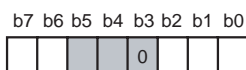


b	ビット名	機能	リセット時	R	W
0	タイマ3カウントソース 選択ビット (TM20)	(00C7 ₁₆ 番地のb6) b0 0 0: f(X _{IN})/16又はf(X _{CIN})/16(注) 1 0: f(X _{CIN}) 0 1: } TIM3外部クロックソース 1 1: }	0	R	W
1, 4	タイマ4カウントソース 選択ビット (TM21, TM24)	b4 b1 0 0: タイマ3オーバーフロー信号 0 1: f(X _{IN})/16又はf(X _{CIN})/16(注) 1 0: f(X _{IN})/2又はf(X _{CIN})/2(注) 1 1: f(X _{CIN})	0	R	W
2	タイマ3カウント停止 ビット(TM22)	0: 動作 1: 停止	0	R	W
3	タイマ4カウント停止 ビット(TM23)	0: 動作 1: 停止	0	R	W
5	タイマ5カウント停止 ビット(TM25)	0: 動作 1: 停止	0	R	W
6	タイマ6カウント停止 ビット(TM26)	0: 動作 1: 停止	0	R	W
7	タイマ5カウントソース 選択ビット1(TM27)	0: f(X _{IN})/16又はf(X _{CIN})/16(注) 1: TM1のビット6によって決定 するカウントソース	0	R	W

注. f(X_{IN}), f(X_{CIN})はCPUモードレジスタのビット7によって選択します。

図 8.4.2 タイマモードレジスタ2

ポートP3方向レジスタ

ポートP3方向レジスタ(D3)【00C7₁₆番地】

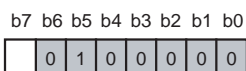
b	ビット名	機能	リセット時	R/W
0	ポートP3方向レジスタ (注1)	0:ポートP3 ₀ 入力モード 1:ポートP3 ₀ 出力モード	0	R/W
1		0:ポートP3 ₁ 入力モード 1:ポートP3 ₁ 出力モード	0	R/W
2	OUT出力選択ビット (OUTS) (注2)	0:2値出力 1:3値出力	0	R/W
3	このビットは“0”に固定してください。		0	R/W
4,5	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R
6	タイマ3 (T3SC)	タイマの説明参照	0	R/W
7	タイマ2 (T2SC)	0:P2 ₄ 入力 1:P1 ₆ 入力	0	R/W

注1. I²C-BUSインタフェースとして使用する場合、ポートP3方向レジスタを“1”にセットして下さい。

2. OUT出力の2値出力のレベル切換はクロックコントロールレジスタ3 (0212₁₆番地)のビット5で行います。

図 8.4.3 ポート P3 方向レジスタ

タイマ復帰設定レジスタ

タイマ復帰設定レジスタ(TMS)【00CC₁₆番地】

b	ビット名	機能	リセット時	R/W
0~4	これらのビットは“0”に固定して下さい。		0	R/W
5	このビットは“1”に固定して下さい。		0	R/W
6	このビットは“0”に固定して下さい。		0	R/W
7	STOPモード復帰選択ビット (TMS)	0: タイマカウント“07FF ₁₆ ” 1: タイマカウント可変	0	R/W

図 8.4.4 タイマ復帰設定レジスタ

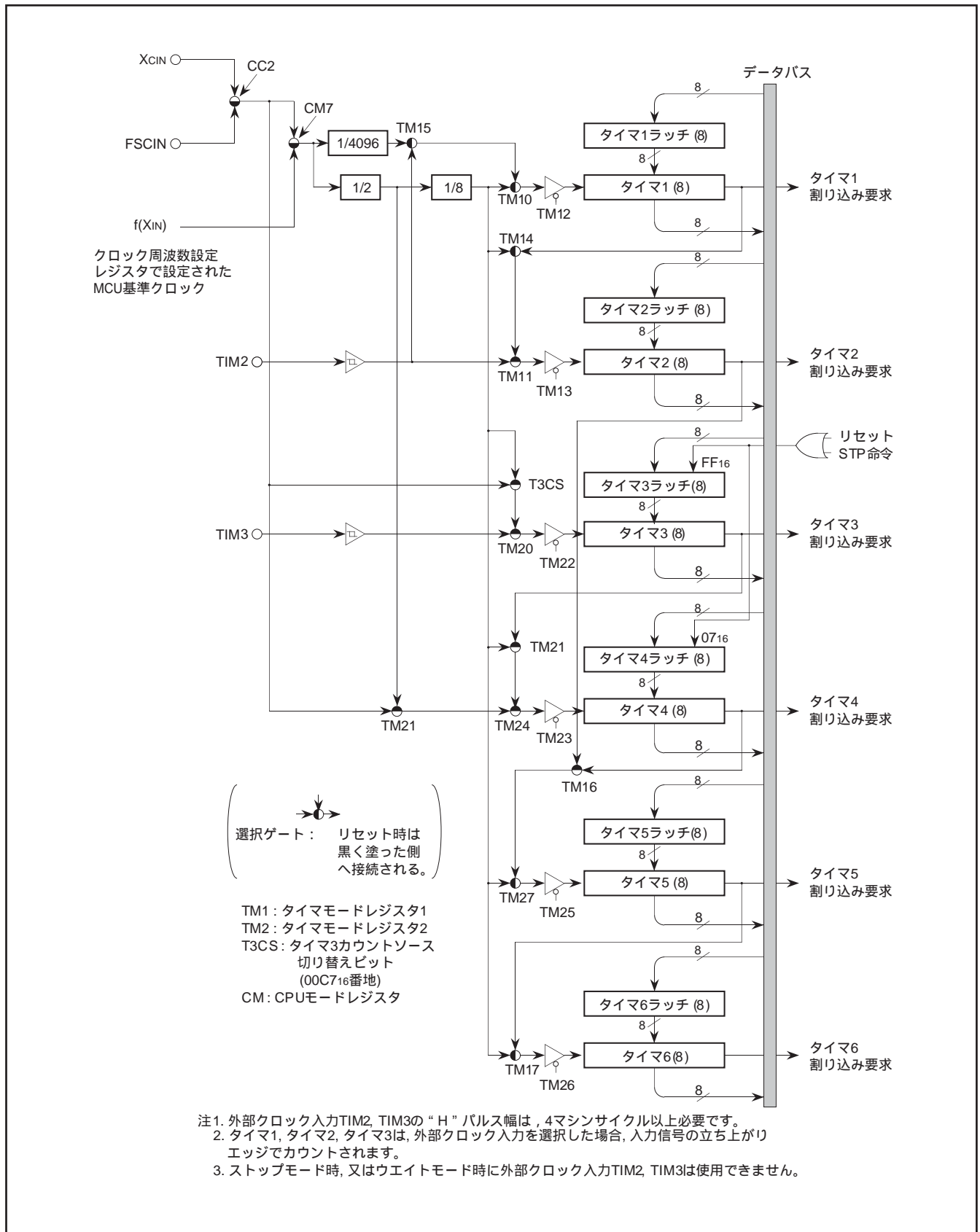


図8.4.5 タイマブロック図

8.5 シリアルI/O

本マイクロコンピュータは、クロック同期形で8ビットデータを直列に受信、又は送信できるシリアルI/Oを1本内蔵しています。

図8.5.1にシリアルI/Oのブロック図を示します。同期クロック入力端子(SCLK)、データ出力端子(SOUT)、データ入力端子(SIN)はポートP20～P22と共用しています。

シリアルI/Oモードレジスタ(00EB₁₆番地)のビット2で同期クロックを内部から供給するか、外部(SCLK端子)から供給するかを選択します。内部クロックの場合ビット1とビット0でf(XIN)又はf(XCIN)の8分周、16分周、32分周、64分周のいずれかを選択します。シリアルI/O用端子として使用する場合、ポートP2方向レジスタ(00C5₁₆番地)のSIN端子に対応するビットを入力側("0")に設定してください。

次にシリアルI/Oの動作について説明します。クロック源として内部クロックを選択するか、外部クロックを選択するかで動作が異なります。

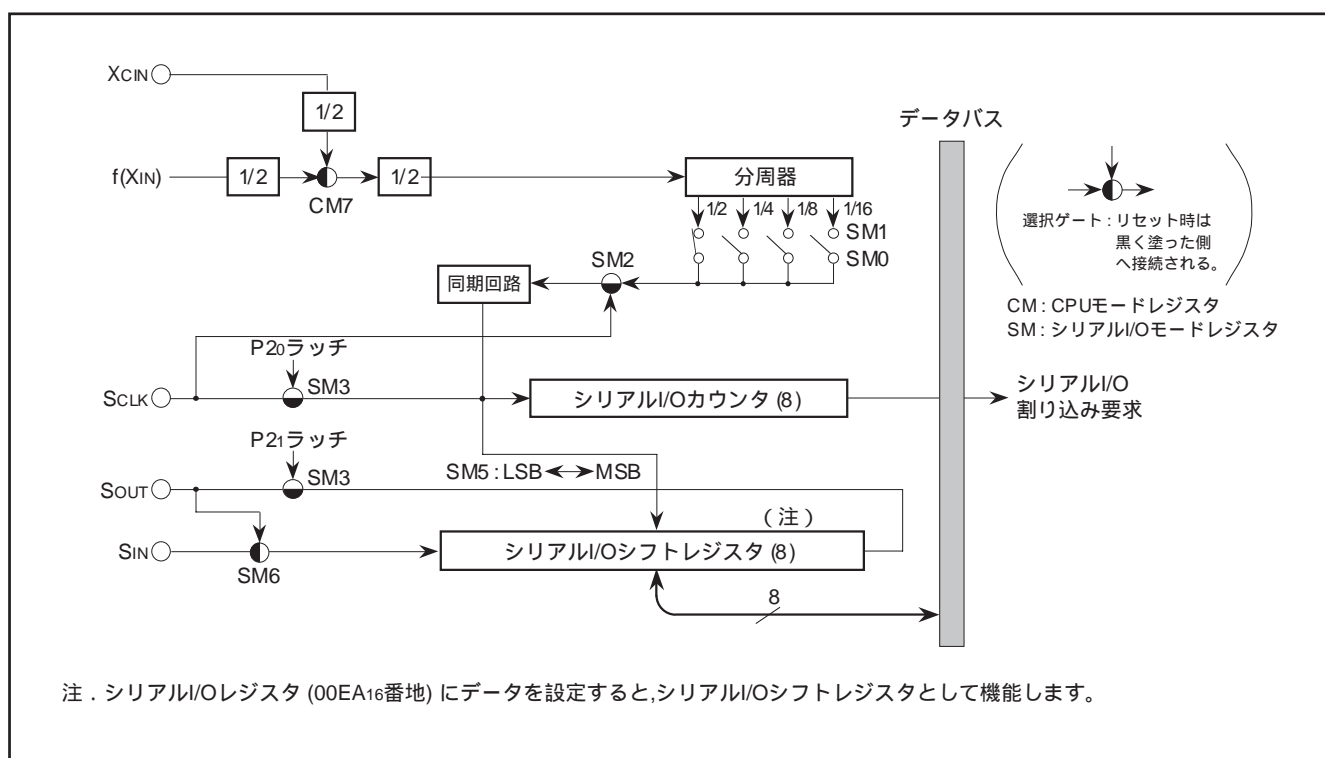


図8.5.1 シリアルI/Oのブロック図

まず、内部クロックを選択した場合について説明します。シリアルI/Oレジスタ(00EA16番地)への書き込みサイクル中に、シリアルI/Oカウンタが“7”にセットされ、シリアルI/Oレジスタの転送クロックは強制的に“H”になります。書き込みサイクル終了後転送クロックの立ち下りのたびに、Sout端子からデータが出力されます。転送を最下位ビットから行うか、最上位ビットから行うかは、シリアルI/Oモードレジスタのビット5で選択します。また、受信時にはSin端子から転送クロックの立ち上がりのたびにデータが取り込まれると同時に、シリアルI/Oレジスタの内容が1ビットずつシフトされます。

転送クロックを8回カウントするとシリアルI/Oカウンタは“0”となり、転送クロックは“H”の状態では停止し、割り込み要求ビットが“1”になります。

クロック源として外部クロックを選択した場合は転送クロックを8回カウントすると割り込み要求ビットは“1”になりますが、転送動作は禁止されませんので外部でクロックを制御してください。外部クロックはデューティサイクル50%で500kHz以下のクロックを使用してください。

図8.5.2にタイミングを示します。転送に外部クロックを用いる場合は、シリアルI/Oカウンタの初期化を行う際に外部クロックが“H”になっている必要があります。内部クロックと外部クロックを切り替えて使用する場合、転送を行っていないときに切り替えてください。また切り替えた後に必ずシリアルI/Oカウンタの初期化を行ってください。

- 注1. ビット処理命令(SEB命令, CLB命令)などによるシリアルI/Oレジスタへの書き込みによっても、シリアルI/Oカウンタがセットされるため、プログラム作成上注意が必要です。
2. 同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、シリアルI/Oレジスタへ送信データを書き込んでください。

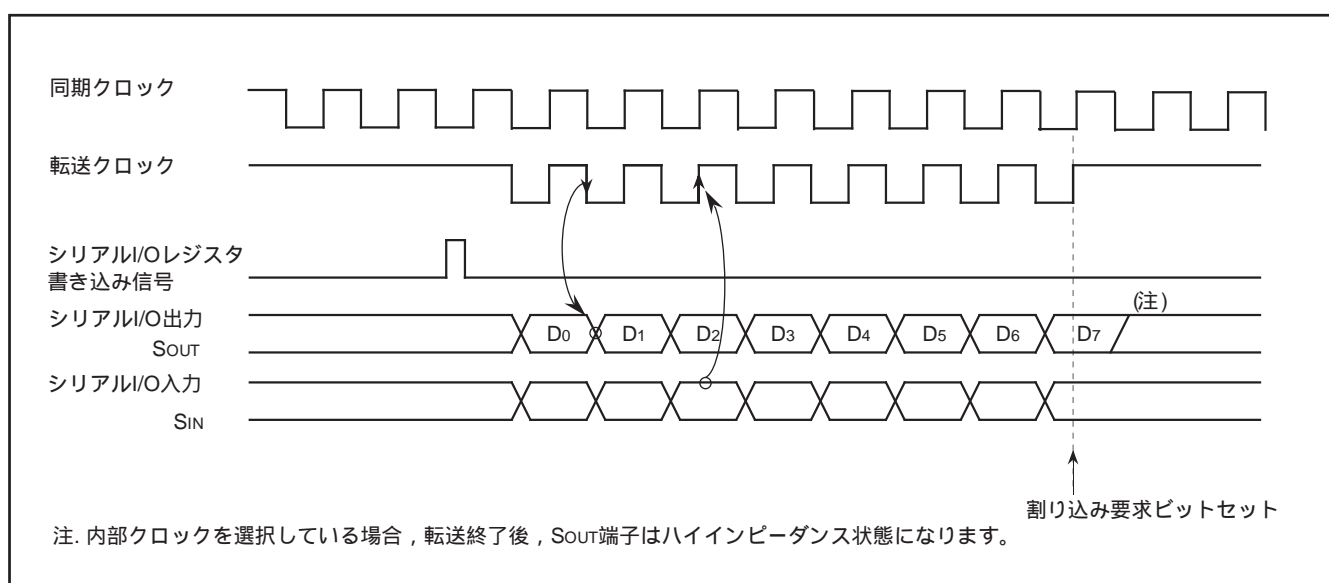
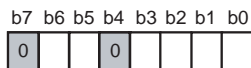


図8.5.2 シリアルI/O タイミング

シリアルI/Oモードレジスタ



シリアルI/Oモードレジスタ 1 (SM)【00EB16番地】

b	ビット名	機能	セット時	R/W
0, 1	内部同期クロック選択ビット (SM0, SM1)	b1 b0 0 0 : $f(X_{IN})/8$ 又は $f(X_{CIN})/8$ 0 1 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ 1 0 : $f(X_{IN})/32$ 又は $f(X_{CIN})/32$ 1 1 : $f(X_{IN})/64$ 又は $f(X_{CIN})/64$	0	R/W
2	同期クロック選択ビット (SM2)	0 : 外部クロック 1 : 内部クロック	0	R/W
3	ポート機能選択ビット (SM3)	0 : P2 ₀ , P2 ₁ 1 : SCLK, SOUT	0	R/W
4	このビットは "0" に固定してください。		0	R/W
5	転送方向選択ビット (SM5)	0 : 最下位ビット (LSB) から転送 1 : 最上位ビット (MSB) から転送	0	R/W
6	シリアル入力端子選択ビット (SM6)	0 : S _{IN} 端子からの入力信号 1 : S _{OUT} 端子からの入力信号	0	R/W
7	このビットは "0" に固定してください。		0	R/W

図 8.5.3 シリアルI/Oモードレジスタ

8.6 マルチマスタ I²C-BUS インタフェース

マルチマスタ I²C-BUS インタフェースは、フィリップス社 I²C-BUS のデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニクス機能を有しており、マルチマスタのシリアル通信に対応できます。

図 8.6.1 にマルチマスタ I²C-BUS インタフェースのブロック図、表 8.6.1 にマルチマスタ I²C-BUS インタフェース機能を示します。

このマルチマスタ I²C-BUS インタフェースは、I²C アドレスレジスタ、I²C データシフトレジスタ、I²C クロックコントロールレジスタ、I²C コントロールレジスタ、I²C ステータスレジスタとその他の制御回路により構成されています。

表 8.6.1 マルチマスタ I²C-BUS インタフェース機能

項目	機能
フォーマット	フィリップス社 I ² C-BUS 規格準拠 10 ビットアドレッシングフォーマット 7 ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社 I ² C-BUS 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCL クロック周波数	16.1kHz ~ 400kHz, (= 4 MHz 時)

: システムクロック = f(XIN)/2

注: I²C-BUS インタフェースとポート (SCL1, SCL2, SDA1, SDA2) の接続を制御する機能 (I²C コントロールレジスタ [00F9]16 番地) のビット 6, ビット 7) の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

FSCIN=3.58MHz 時 =8.95/2MHz
FSCIN=4.43MHz 時 =8.86/2MHz となります。

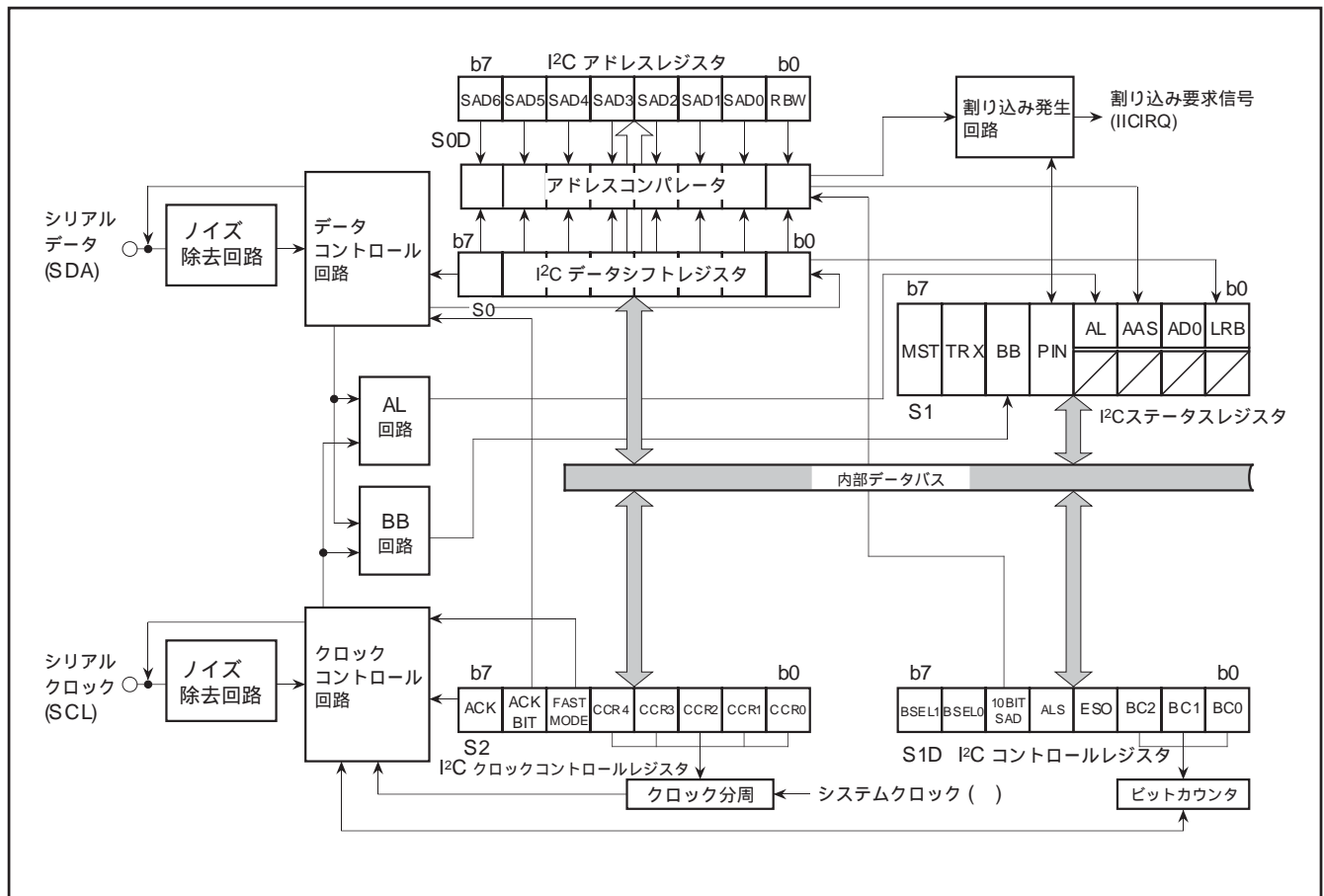


図 8.6.1 マルチマスタ I²C-BUS インタフェースのブロック図

8.6.1 I²C データシフトレジスタ

I²C データシフトレジスタ (S0: 00F6₁₆ 番地) は、受信データの格納、又は送信データを書き込むための 8 ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCL クロックに同期してビット 7 から外部へ転送されます。そして、1 ビットのデータが出力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。データ受信時は、SCL クロックに同期してこのレジスタのビット 0 からデータが入力されます。そして、1 ビットのデータが入力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。

I²C データシフトレジスタは、I²C コントロールレジスタ (00F9₁₆ 番地) の ESO ビットが “ 1 ” のときのみ書き込みが可能です。I²C データシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESO ビットが “ 1 ”、I²C ステータスレジスタ (00F8₁₆ 番地) の MST ビットが “ 1 ” のとき、I²C データシフトレジスタの書き込み命令により、SCL が出力されます。I²C データシフトレジスタの読み出しは、ESO ビットの値にかかわらずいつでも可能です。

注. MST ビットを “ 0 ” (スレープモード) にしてから I²C データシフトレジスタにデータを書き込む場合、8 マシンサイクル以上の間隔を確保してください。

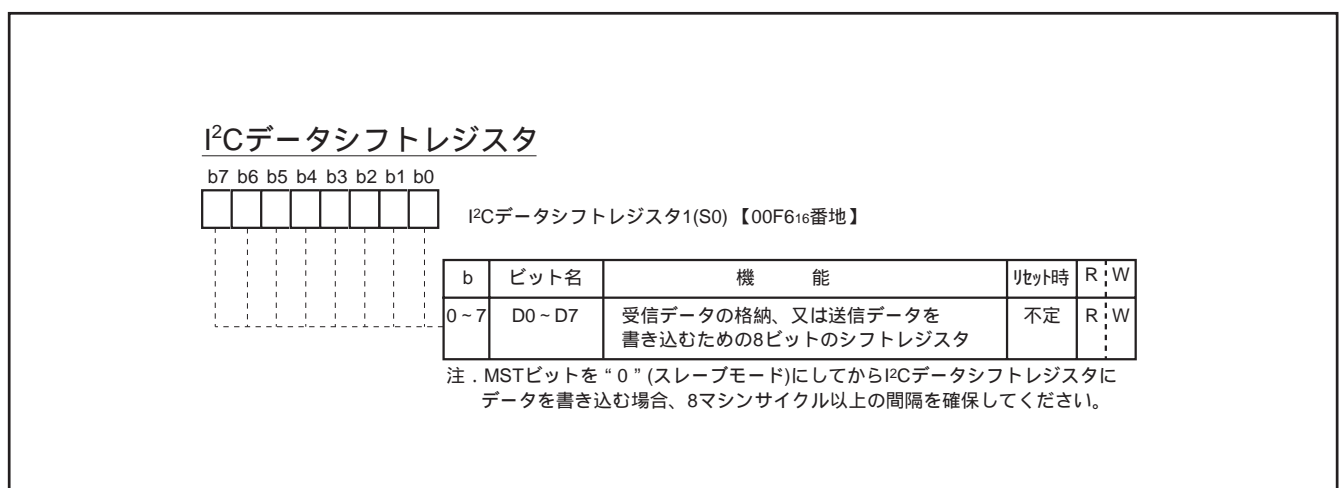


図 8.6.2 I²C データシフトレジスタ

8.6.2 I²C アドレスレジスタ

I²C アドレスレジスタ (00F7₁₆ 番地) は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1) ビット0 : リード/ライトビット (RBW)

7ビットアドレッシングモード時には、アドレス比較の際に使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容 (SAD6 ~ SAD0 + RBW) が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

(2) ビット1 ~ ビット7 : スレーブアドレス (SAD0 ~ SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

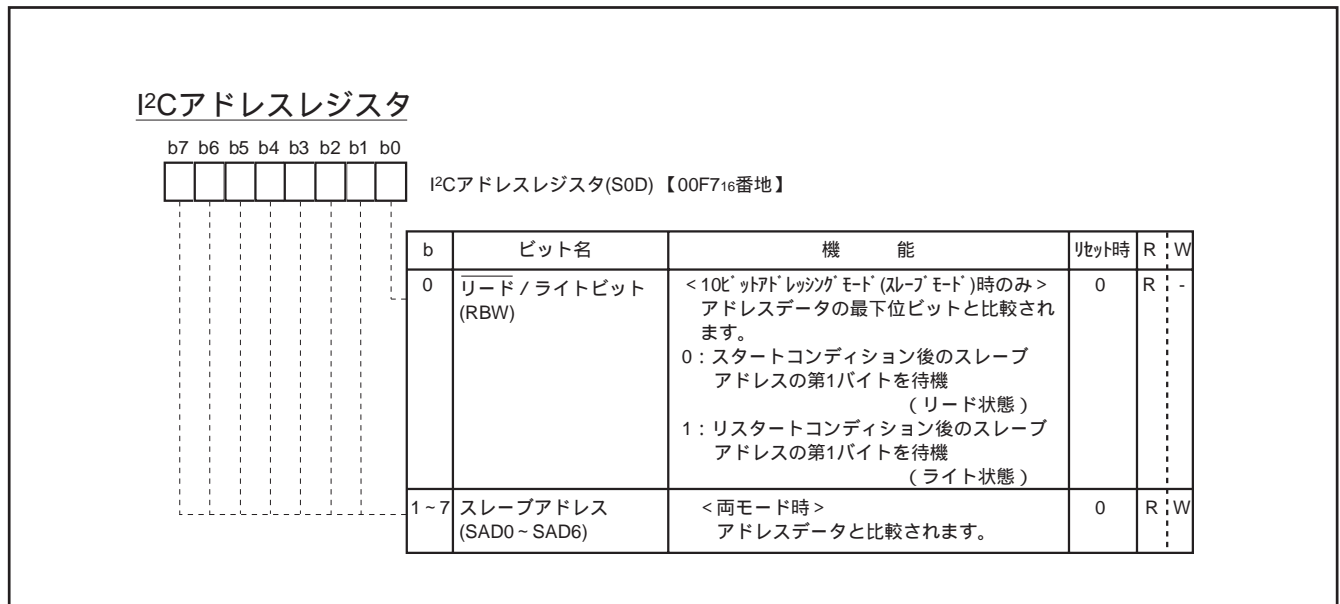


図 8.6.3 I²C アドレスレジスタ

8.6.3 I²C クロックコントロールレジスタ

I²C クロックコントロールレジスタ (00FA₁₆ 番地) はアックの制御、SCL モード、SCL の周波数を設定するレジスタです。

(1) ビット 0 ~ ビット 4 : SCL 周波数制御ビット (CCR0 ~ CCR4)
SCL 周波数を制御するビットです。

(2) ビット 5 : SCL モード指定ビット (FAST MODE)
SCL モードを指定するビットです。“ 0 ” の場合、標準クロックモードになります。“ 1 ” の場合、高速クロックモードになります。

(3) ビット 6 : アックビット (ACK BIT)
アックロック*発生時のSDAの状態を設定します。“ 0 ” の場合はアックを返すモードとなり、アックロック発生時にSDAを“ L ”にします。“ 1 ” の場合はアックを返さないモードとなり、アックロック発生時にSDAを“ H ”の状態に保持します。

ただし、ACK BIT = “ 0 ” の状態で、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“ L ”にします(アックを返します)。スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“ H ”にします(アックを返しません)。

*アックロック：確認応答用のクロック
(4) ビット 7 : アックロックビット (ACK)
データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“ 0 ” の場合、アックロックなしモードになり、データ転送後にアックロックは発生しません。“ 1 ” の場合はアックロックありのモードになり、1 バイトのデータ転送が完了するたびに、マスタはアックロックを発生します。アドレスデータ、制御データを送信するデバイスは、アックロック発生時にSDAを解放し(“ H ”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²C クロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²C クロックジェネレータがリセットされ、データが正常に転送できません。

I²C クロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

b7	b6	b5	b4	b3	b2	b1	b0

I²C クロックコントロールレジスタ(S2) 【00FA₁₆ 番地】

b	ビット名	機能	リセット時	R/W		
0~4	SCL 周波数制御ビット (CCR0 ~ CCR4)	レジスタ値 b4 ~ b0	標準 クロックモード	高速 クロックモード	0	R/W
		00~02	禁止	禁止		
		03	禁止	333		
		04	禁止	250		
		05	100	400(注)		
		06	83.3	166		
		...	500/CCR値	1000/CCR値		
		1D	17.2	34.5		
		1E	16.6	33.3		
		1F	16.1	32.3		
(=4MHz時,単位:kHz)						
5	SCL モード指定ビット (FAST MODE)	0: 標準クロックモード 1: 高速クロックモード	0	R/W		
6	アックビット (ACK BIT)	0: アック返す 1: アック返さない	0	R/W		
7	アックロックビット (ACK)	0: アックロックなし 1: アックロックあり	0	R/W		

注・高速クロックモード,400kHz時のデューティは“ 0 ” 期間 : “ 1 ” 期間 = 3 : 2
それ以外のデューティは “ 0 ” 期間 : “ 1 ” 期間 = 1 : 1

・ FSCIN=3.58MHz時 =8.95/2MHz
FSCIN=4.43MHz時 =8.86/2MHz
となり、表の記載値は
FSCIN=3.58MHz時 各値 × 8.95/8MHz
FSCIN=4.43MHz時 各値 × 8.86/8MHz となります。

図 8.6.4 I²C クロックコントロールレジスタ

8.6.4 I²C コントロールレジスタ

I²C コントロールレジスタ (00F9₁₆ 番地) はデータ通信フォーマットの制御を行うレジスタです。

(1) ビット 0 ~ ビット 2 : ビットカウンタ (BC0 ~ BC2)

次に転送されるデータ 1 バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“0002”になり、アドレスデータは必ず 8 ビットで送受信されます。

(2) ビット 3 : I²C インタフェース使用許可ビット (ESO)

マルチマスタ I²C-BUS インタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA 及び SCL はハイインピーダンスになります。“1”の場合、使用許可となります。

ESO = “0” のとき、次のように処理されます。

- I²C ステータスレジスタ (00F8₁₆ 番地) の PIN = “1”, BB = “0”, AL = “0” に設定される。
- I²C データシフトレジスタ (00F6₁₆ 番地) への書き込みは禁止される。

(3) ビット 4 : データフォーマット選択ビット (ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「8.6.5 I²C ステータスレジスタ」のビット 1 参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4) ビット 5 : アドレッシングフォーマット選択ビット (10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は 7 ビットアドレッシングフォーマットとなり、I²C アドレスレジスタ (00F7₁₆ 番地) の上位 7 ビット (スレーブアドレス) のみアドレスデータと比較されます。“1”の場合には 10 ビットアドレッシングフォーマットとなり、I²C アドレスレジスタの全ビットがアドレスデータと比較されます。

(5) ビット 6、ビット 7 : I²C-BUS インタフェースとポートの接続制御ビット (BSEL0, BSEL1)

マルチマスタ I²C-BUS インタフェースの SCL, SDA とポートの接続を制御するビットです (図 8.6.5 参照)。

注. SCL3, SDA3 への接続はポート P3 レジスタ (00C6₁₆ 番地) ビット 2, 3 で行います。

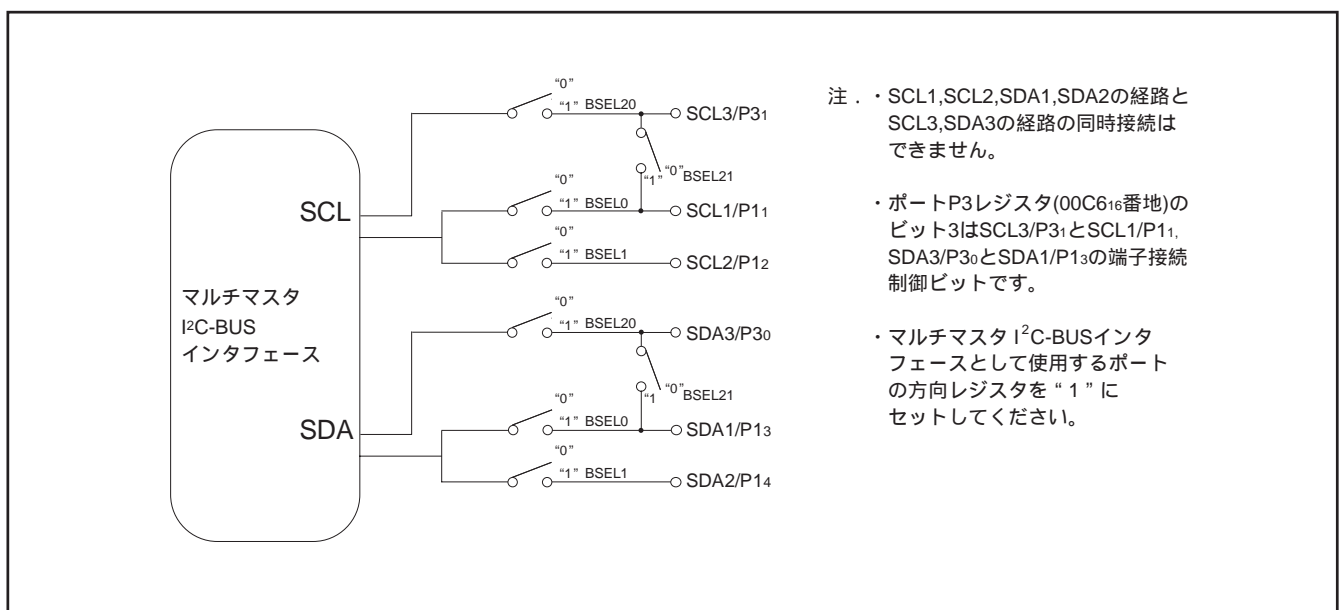
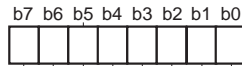


図 8.6.5 BSEL0, BSEL1 による接続ポート制御

I²Cコントロールレジスタ



I²Cコントロールレジスタ(S1D)【00F9₁₆番地】

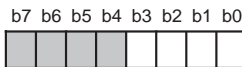
b	ビット名	機 能	セット時	R	W
0~2	ビットカウンタ (送/受信ビット数) (BC0~BC2)	b2 b1 b0 0 0 0 : 8 0 0 1 : 7 0 1 0 : 6 0 1 1 : 5 1 0 0 : 4 1 0 1 : 3 1 1 0 : 2 1 1 1 : 1	0	R	W
3	I ² C-BUSインタフェース 使用許可ビット(ESO)	0 : 使用禁止 1 : 使用許可	0	R	W
4	データフォーマット選択ビット (ALS)	0 : アドレスリングフォーマット 1 : フリーデータフォーマット	0	R	W
5	アドレッシングフォーマット 選択ビット(10BIT SAD)	0 : 7ビットアドレッシングフォーマット 1 : 10ビットアドレッシングフォーマット	0	R	W
6,7	I ² C-BUSインタフェースと ポートの接続制御ビット (BSEL0,BSEL1)	b7 b6 接続ポート (注) 0 0 : なし 0 1 : SCL1,SDA1 1 0 : SCL2,SDA2 1 1 : SCL1,SDA1,SCL2,SDA2	0	R	W

注 . . マルチマスタI²C-BUSインタフェースとして使用するポートの方向レジスタを“1”にセットしてください。

. SCL1,SDA1,SCL2,SDA2を使用する場合、ポートP3レジスタ(00C6₁₆番地)のビット2は“0”にしてください。

図 8.6.6 I²C コントロールレジスタ

ポートP3レジスタ



ポートP3レジスタ(P3)【00C6₁₆番地】

b	ビット名	機 能	セット時	R	W
0	ポートP3レジスタ	ポートP3 ₀ データ	不定	R	W
1		ポートP3 ₁ データ	不定	R	W
2	I ² CBUSインタフェースとポートP3の 切り替えビット (BSEL20) (注)	0 : ポートP3 ₀ ,ポートP3 ₁ 1 : I ² Cバス (SDA3,SCL3)	0	R	W
3	SCL3/P3 ₁ -SCL1/P1 ₁ SDA3/P3 ₀ -SDA1/P1 ₀ 接続制御ビット (BSEL21)	0 : 切 断 1 : 接 続	0	R	W
4~7	これらのビットは何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	

注 . . マルチマスタI²C-BUSインタフェースとして使用するポートの方向レジスタを“1”にセットしてください。

. SCL3,SDA3を使用する場合、I²Cコントロールレジスタ(00F9₁₆番地)のビット6,7は“0”にしてください。

図 8.6.7 ポート P3 レジスタ

8.6.5 I²C ステータスレジスタ

I²C ステータスレジスタ (00F8₁₆ 番地) は I²C-BUS インタフェースの状態を制御するレジスタです。下位 4 ビットは読み出し専用で、上位 4 ビットは読み出し/書き込み可能です。

(1) ビット 0 : 最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アックロック発生時に、アックが返ってきた場合、LRB ビットは“ 0 ”になります。アックが返らなかった場合は“ 1 ”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²C データシフトレジスタ (00F6₁₆ 番地) に書き込み命令を実行すると“ 1 ”から“ 0 ”になります。

(2) ビット 1 : ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“ 0 ”であるジェネラルコール¹⁾をスレーブモード時に受信したときに“ 1 ”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0 ビットはストップコンディション、スタートコンディションの検出により“ 0 ”になります。

* ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“ 00₁₆ ”を送信すること。

(3) ビット 2 : スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

スレーブ受信モード時、7 ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“ 1 ”になります。

- ・スタートコンディション発生直後のアドレスデータが I²C アドレスレジスタ (00F7₁₆ 番地) に格納されている上位 7 ビットのスレーブアドレスと一致した場合
- ・ジェネラルコールを受信した場合

スレーブ受信モード時、10 ビットアドレッシングフォーマットでは、以下の条件で“ 1 ”になります。

- ・アドレスデータと I²C アドレスレジスタ (スレーブアドレス、及び RBW ビットで構成される 8 ビット) とを比較し、1 バイト目が一致した場合

このビットは I²C データシフトレジスタ (00F6₁₆ 番地) に書き込み命令を行うことにより“ 1 ”から“ 0 ”になります。

(4) ビット 3 : アービトレーションロスト*検出フラグ (AL)

マスタ送信モード時、SDA がマイコン以外の装置によって“ L ”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“ 1 ”になります。同時に TRX ビットは“ 0 ”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MST ビットが“ 0 ”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRX ビットが“ 0 ”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

*アービトレーションロスト: マスタとしての通信が不許可となった状態。

(5) ビット 4 : I²C-BUS インタフェース割り込み要求ビット (PIN)

割り込み要求信号を発生させるビットです。1 バイトのデータ通信完了ごとに、PIN ビットは“ 1 ”から“ 0 ”になります。同時に CPU へ割り込み要求信号が発生します。PIN ビットは内部クロックの最終クロック(アックロックを含む)の立ち下がりに同期して“ 0 ”になり、割り込み要求信号は PIN ビットの立ち下がりに同期して発生します。PIN ビットが“ 0 ”のときは SCL は“ 0 ”に保たれクロックの発生は禁止されます。図 8.6.9 に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件で PIN ビットが“ 1 ”になります。

- ・ I²C データシフトレジスタ (00F6₁₆ 番地) への書き込み命令の実行
- ・ ESO ビットが“ 0 ”のとき
- ・リセット時
PIN ビットが“ 0 ”になる条件を以下に示します。
- ・1 バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
- ・1 バイトのデータ受信完了直後
- ・スレーブ受信の際、ALS = 0 で、スレーブアドレス又はジェネラルコールアドレス受信完了直後
- ・スレーブ受信の際、ALS = 1 で、アドレスデータ受信完了直後

(6) ビット5 : バスビジーフラグ (BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能(注)によって禁止されます。

このフラグはマスタ送信時のみ、ソフトウェアによる書き込みが可能です。マスタ送信以外のモードでは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I²Cコントロールレジスタ(00F9₁₆番地)のESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

(7) ビット6 : 通信モード指定ビット(転送方向指定ビット: TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²Cコントロールレジスタ(00F9₁₆番地)のALSビットが“0”でスレーブの場合、マスタから送信されたアドレスデータの最下位ビット(R/Wビット)が“1”のときはTRXビットは“1”(送信)になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”(受信)になります。

以下のいずれかの条件でTRXビットが“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合
- ・リセット時

(8) ビット7 : 通信モード指定ビット(マスタ/スレーブ指定ビット: MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

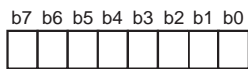
以下のいずれかの条件でMSTビットが“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ送信終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- ・リセット時

注 . スタートコンディション重複防止機能は、以下の条件が成立している場合に、スタートコンディションの発生、ビットカウンタのリセット、及びSCLの出力を禁止する機能です。

- ・別のマスタデバイスによるスタートコンディションが成立

I²Cステータスレジスタ



I²Cステータスレジスタ(S1) 【00F8₁₆番地】

b	ビット名	機能	セット時	R	W
0	最終受信ビット(LRB)	0:最終ビット=“0” 1:最終ビット=“1” (注)	不定	R	-
1	ジェネラルコール検出フラグ(AD0)	0:ジェネラルコール未検出 1:ジェネラルコール検出(注)	0	R	-
2	スレーブアドレス比較フラグ(AAS)	0:アドレス不一致 1:アドレス一致 (注)	0	R	-
3	アービトレーション・ロスト検出フラグ(AL)	0:未検出 1:検出 (注)	0	R	-
4	I ² C-BUSインタフェース割り込み要求ビット(PIN)	0:割り込み要求あり 1:割り込み要求なし	1	R	W
5	バスビジーフラグ(BB)	0:バスフリー 1:バスビジー	0	R	W
6,7	通信モード指定ビット(TRX,MST)	b7 b6 0 0:スレーブ受信モード 0 1:スレーブ送信モード 1 0:マスタ受信モード 1 1:マスタ送信モード	0	R	W

注: これらのビット又はフラグは読み出せますが、書き込めません。

図 8.6.8 I²C ステータスレジスタ

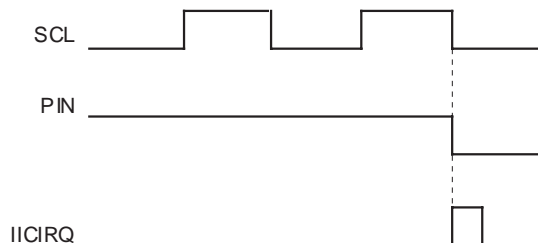


図 8.6.9 割り込み要求信号の発生タイミング

8.6.6 スタートコンディション発生方法

I²Cコントロールレジスタ(00F9₁₆番地)のESOビットが“1”の状態、I²Cステータスレジスタ(00F8₁₆番地)に書き込み命令を行いMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図8.6.10のスタートコンディション発生タイミング図と表8.6.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

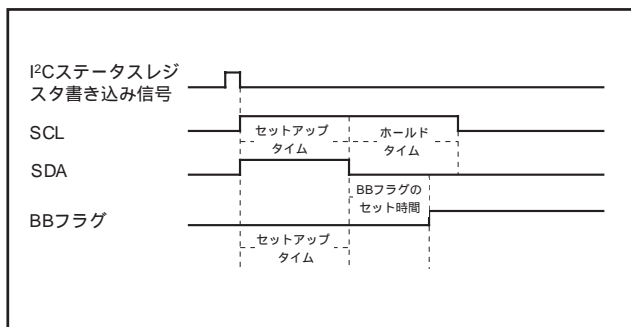


図 8.6.10 スタートコンディション発生タイミング図

8.6.7 ストップコンディションの発生方法

I²Cコントロールレジスタ(00F9₁₆番地)のESOビットが“1”の状態、I²Cステータスレジスタ(00F8₁₆番地)へ書き込み命令を行いMST = 1, TRX = 1, BB = 0にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図8.6.11のストップコンディション発生タイミング図と表8.6.2のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

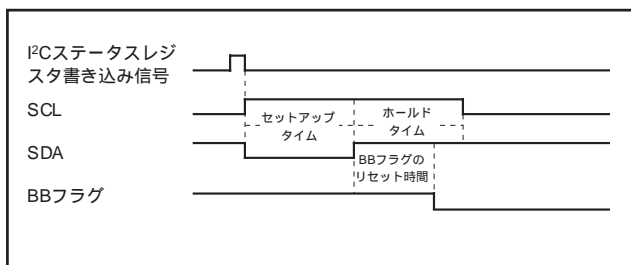


図 8.6.11 ストップコンディション発生タイミング図

表8.6.2 スタートコンディション,ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間 (スタートコンディション)	5.0 μs (20 サイクル)	2.5 μs (10 サイクル)
セットアップ時間 (ストップコンディション)	4.25 μs (17 サイクル)	1.75 μs (7 サイクル)
ホールド時間	5.0 μs (20 サイクル)	2.5 μs (10 サイクル)
BBフラグセット/リセット時間	3.0 μs (12 サイクル)	1.5 μs (6 サイクル)

注. = 4 MHz 時の絶対時間, () 内は のサイクル数

FSCIN=3.58MHz 時 =8.95/2MHz

FSCIN=4.43MHz 時 =8.86/2MHz

8.6.8 スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図8.6.12と表8.6.3に示します。表8.6.3の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ(MST = 0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQを発生します。

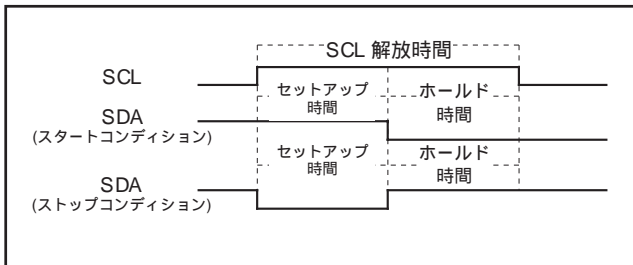


図8.6.12 スタートコンディション、ストップコンディション検出のタイミング図

表8.6.3 スタートコンディション、ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μ s (26サイクル) < SCL 解放時間	1.0 μ s (4サイクル) < SCL 解放時間
3.25 μ s (13サイクル) < セットアップ時間	0.5 μ s (2サイクル) < セットアップ時間
3.25 μ s (13サイクル) < ホールド時間	0.5 μ s (2サイクル) < ホールド時間

注. = 4 MHz 時の絶対時間, () 内は のサイクル数

FSCIN=3.58MHz 時 =8.95/2MHz
FSCIN=4.43MHz 時 =8.86/2MHz

8.6.9 アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレスフォーマットと10ビットアドレスフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1) 7ビットアドレスフォーマット

7ビットアドレスフォーマットに対応するために、I²Cコントロールレジスタ(00F9₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(00F7₁₆番地)に格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(00F7₁₆番地)のRBWビットのアドレス比較は行われません。7ビットアドレスフォーマット時のデータ伝送フォーマットは図8.6.13の(1),(2)を参照してください。

(2) 10ビットアドレスフォーマット

10ビットアドレスフォーマットに対応するために、I²Cコントロールレジスタ(00F9₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(00F7₁₆番地)に格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²Cアドレスレジスタ(00F7₁₆番地)のRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレスモード時には、アドレスデータの最終ビットであるR/Wビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(00F8₁₆番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Cデータシフトレジスタ(00F6₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(00F7₁₆番地)のRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Cアドレスレジスタ(00F7₁₆番地)の値を一致させることができます。10ビットアドレスフォーマット時のデータ伝送フォーマットは図8.6.13の(3),(4)を参照してください。

8.6.10 マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

I²Cアドレスレジスタ(00F7₁₆番地)の上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Cクロックコントロールレジスタ(00FA₁₆番地)に“85₁₆”を設定することによって、アックを返すモード、SCL = 100kHzにします。

I²Cステータスレジスタ(00F8₁₆番地)に“10₁₆”を設定し、SCLを“H”レベルに保持します。

I²Cコントロールレジスタ(00F9₁₆番地)に“48₁₆”を設定することによって、通信許可状態にします。

I²Cデータシフトレジスタ(00F6₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。

I²Cステータスレジスタ(00F8₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアックロックは自動的に発生します。

I²Cデータシフトレジスタ(00F6₁₆番地)に送信データを設定します。このとき、SCLとアックロックは自動的に発生します。

複数バイトの制御データを送信する場合、を繰り返します。

アックが返らなかった場合又は送信が終了した場合は、I²Cステータスレジスタ(00F8₁₆番地)に“D0₁₆”を設定することによってストップコンディションを発生させます。

8.6.11 スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

I²Cアドレスレジスタ(00F7₁₆番地)の上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Cクロックコントロールレジスタ(00FA₁₆番地)に“25₁₆”を設定することによって、アックなしモード、SCL = 400kHzにします。

I²Cステータスレジスタ(00F8₁₆番地)に“10₁₆”を設定しSCLを“H”レベルに保持します。

I²Cコントロールレジスタ(00F9₁₆番地)に“48₁₆”を設定することによって、通信許可状態にします。

スタートコンディションを受信すると、アドレス比較されます。

<送信されたアドレスがすべて“0”の場合(ジュネラルコール)>

I²Cステータスレジスタ(00F8₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。

<送信されたアドレスが、で設定したアドレスと一致した場合>

I²Cステータスレジスタ(00F8₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。

<上記以外の場合>

I²Cステータスレジスタ(00F8₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。

I²Cデータシフトレジスタ(00F6₁₆番地)にダミーデータを設定します。

複数バイトの制御データを受信する場合、を繰り返します。

ストップコンディションを検出すると通信が終了します。

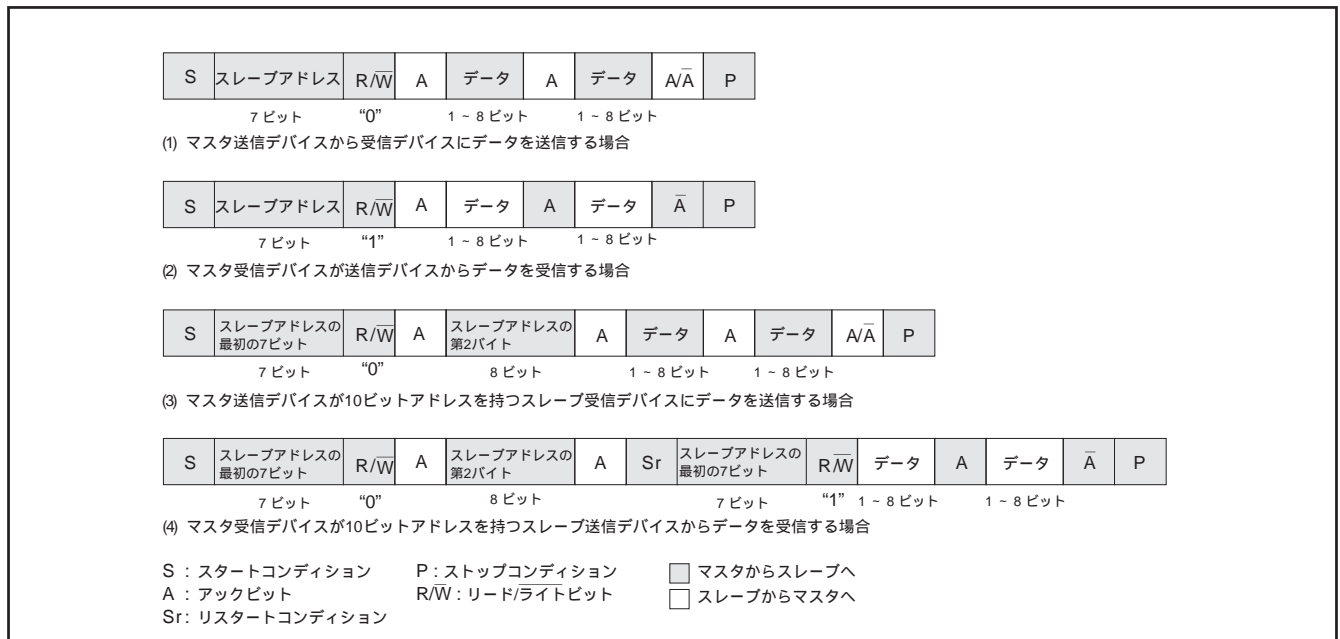


図8.6.13 アドレスデータ通信フォーマット

8.6.12 マルチマスタI²C-BUSインタフェースの注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- ・I²C データシフトレジスタ (S0)
転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- ・I²C アドレスレジスタ (S0D)
ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
上記のタイミングでリード/ライトビット(RBW)が、ハードウェアによって変化するためです。
- ・I²C ステータスレジスタ (S1)
すべてのビットはハードウェアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- ・I²C コントロールレジスタ (S1D)
スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
上記のタイミングでビットカウンタ(BC0~BC2)が、ハードウェアによって変化するためです。
- ・I²C クロックコントロールレジスタ (S2)
リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は以降に記します。)

```

:
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
BBS 5,S1,BUSBUSY (BB フラグ確認及び分岐処理)
BUSFREE:
STA S0 (スレーブアドレス値の書き込み)
LDM #$F0,S1 (スタートコンディション発生トリガ)
CLI (割り込みの許可)
:
BUSBUSY:
CLI (割り込みの許可)
:

```

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA, STXあるいはSTYのゼロページアドレスリング命令を必ず使用してください。

スタートコンディション発生トリガの設定はLDM命令を必ず使用してください。

前記のスレーブアドレス値の書き込みとスタートコンディション発生トリガの設定は、手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

PINビットが“0”のとき、以下の手順を実行してください。

```

:
LDM #S0,S1 (スレーブ受信モードにする)
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
STA S0 (スレーブアドレス値の書き込み)
LDM #F0,S1 (リスタートコンディション発生のトリガ)
CLI (割り込みの許可)

```

:

PINビットが“0”の状態、スレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。BBビットへの書き込みに“0”又は“1”の指定はありません。

TRXビットが“0”になり、SDA端子が解放されます。I²Cデータシフトレジスタへのスレーブアドレス値の書き込みによって、SCL端子が解放されます。書き込みには、STA,STX,STYのゼロページアドレッシング命令を必ず使用してください。

リスタートコンディション発生のトリガの設定はLDM命令を必ず使用してください。

前記の のスレーブアドレス値の書き込みと のリスタートコンディション発生のトリガの設定は手順例のとおり必ず連続して実行するようにしてください。

スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) ストップコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

```

:
SEI (割り込みの禁止)
LDM #C0,S1 (マスタ送信モードにする)
NOP (NOPを設定)
LDM #D0,S1 (ストップコンディション発生のトリガ)
CLI (割り込みの許可)

```

:

マスタ送信モード設定時、PINビットに“0”を書き込んでください。

マスタ送信モード設定後、NOP命令を実行してください。また、マスタ送信モード設定後10マシンサイクル以内に、ストップコンディション発生のトリガを設定してください。

マスタ送信モードの設定からストップコンディション発生のトリガの処理ステップの間は必ず割り込みを禁止にしてください。

(5) I²Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

(6) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

8.7 PWM出力回路

本マイクロコンピュータは、8ビットPWMを5本(PWM0 ~ PWM4)備えています。PWM0 ~ PWM4は同じ回路構成で、8ビットの分解能を持ち、最小分解ビット幅 $4\mu\text{s}$ 、繰り返し周期 $1024\mu\text{s}$ です($f(X_{IN}) = 8\text{MHz}$ の場合)。

FSCIN=3.58MHz時 $f(X_{IN})=8.95\text{MHz}$

最小分解ビット幅 $4\mu\text{s} \times 8/8.95=3.58\mu\text{s}$

繰り返し周期 $1024\mu\text{s} \times 8/8.95=915\mu\text{s}$

FSCIN=4.43MHz時 $f(X_{IN})=8.86\text{MHz}$

最小分解ビット幅 $4\mu\text{s} \times 8/8.86=3.61\mu\text{s}$

繰り返し周期 $1024\mu\text{s} \times 8/8.86=925\mu\text{s}$

となります。

図8.7.1にPWMのブロック図を示します。PWMのタイミング発生回路は $f(X_{IN})$ を2分周した信号を基本として、PWM0 ~ PWM4の各制御信号を供給します。

8.7.1 データの設定

PWM0 ~ PWM4を出力する場合には、出力データ8ビットをPWM i レジスタ(i は0 ~ 4, 0200₁₆ ~ 0204₁₆番地)に設定します。

8.7.2 レジスタからPWM回路への転送

PWMレジスタからPWM回路へのデータ転送は、レジスタへのデータ書き込みが行われた時点で実行されます。

PWM出力端子から出力される信号は、このレジスタの内容に対応したものです。

8.7.3 PWMの動作

次に動作について説明します。

まず、PWMモードレジスタ1(0208₁₆番地)のビット0を“0”にクリアし(リセット時は“0”)、PWMカウントソースを供給します。

PWM0 ~ PWM4はポートP00 ~ P04と出力端子が共用です。ポートP0方向レジスタの対応ビットを“1”にし、出力モードにします。PWMモードレジスタ1(0208₁₆番地)のビット3で出力極性を選択します。そして、PWMモードレジスタ2(0209₁₆番地)のビット4 ~ ビット0を“1”にし、ポートをPWM出力にします。

上記のレジスタを設定することによってPWM出力端子からPWM出力が行われます。

図8.7.2にPWMのタイミング図を示します。 $2^8 = 256$ 区間を1周期Tとします。回路内部では1周期の間に、各ビットの重みを表すビット0からビット7までの8種類のパルスが出力されます(図8.7.2(a)参照)。PWMはPWMレジスタのビット0 ~ ビット7のパルスの和を取った波形を出力します。図8.7.2(b)にいくつかの例を示します。図のようにPWM

レジスタの内容を変えることにより、“H”の区間が0/256 ~ 255/256までの256通りの出力を選ぶことができます(全区間“H”出力はできません)。

8.7.4 リセット後の出力

リセット時には、ポートP00 ~ P04は、ハイインピーダンス状態ですが、PWMレジスタ及びPWM回路の内容は不定です。リセット解除後、PWMレジスタを設定するまで、PWM出力の内容は不定ですので注意が必要です。

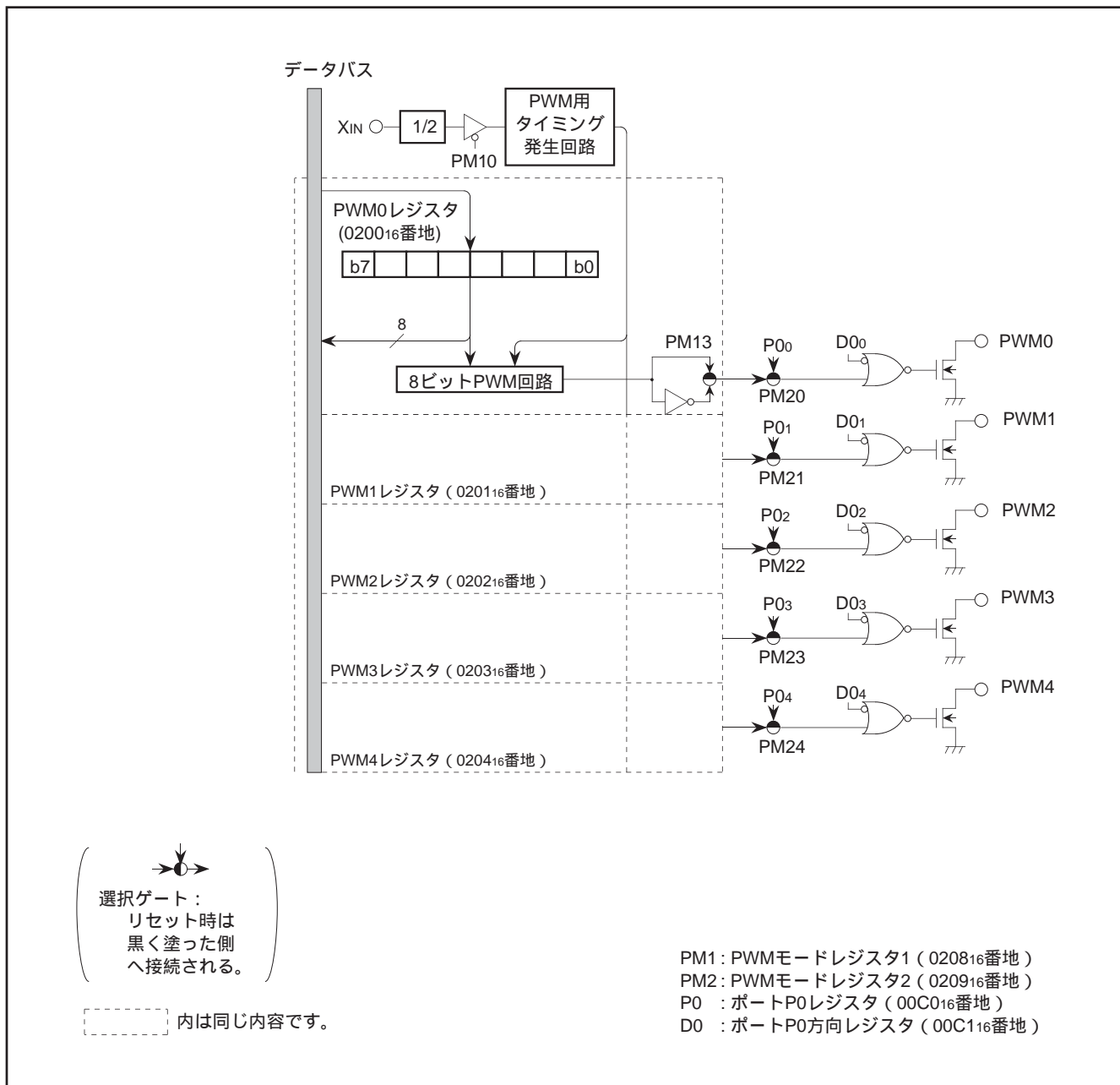
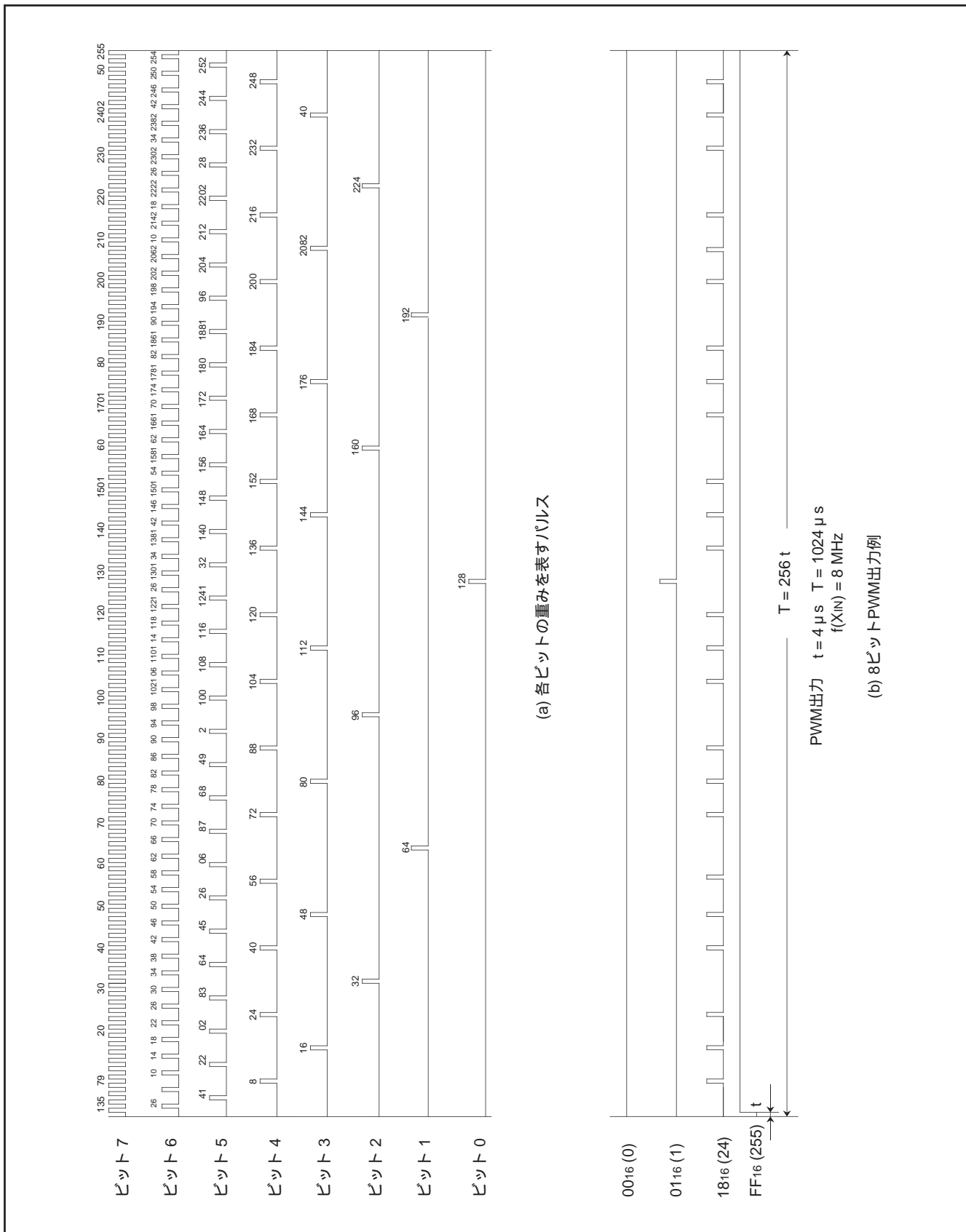
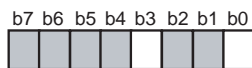


図 8.7.1 PWM 回路ブロック図



8.7.2 PWM タイミング

PWMモードレジスタ1

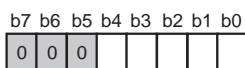


PWMモードレジスタ1(PM1)【0208₁₆番地】

b	ビット名	機能	リセット時	R	W
0	PWMカウントソース選択ビット (PM10)	0: 供給 1: 停止	0	R	W
1, 2	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は不定です。		不定	R	-
3	PWM出力極性選択ビット (PM13)	0: 正極性 1: 負極性	0	R	W
4~7	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は不定です。		不定	R	-

図 8.7.3 PWM モードレジスタ 1

PWMモードレジスタ2



PWMモードレジスタ2 (PM2)【0209₁₆番地】

b	ビット名	機能	リセット時	R	W
0	P0 ₀ /PWM0出力選択ビット (PM20)	0: P0 ₀ 出力 1: PWM0出力	0	R	W
1	P0 ₁ /PWM1出力選択ビット (PM21)	0: P0 ₁ 出力 1: PWM1出力	0	R	W
2	P0 ₂ /PWM2出力選択ビット (PM22)	0: P0 ₂ 出力 1: PWM2出力	0	R	W
3	P0 ₃ /PWM3出力選択ビット (PM23)	0: P0 ₃ 出力 1: PWM3出力	0	R	W
4	P0 ₄ /PWM4出力選択ビット (PM24)	0: P0 ₄ 出力 1: PWM4出力	0	R	W
5~7	これらのビットは“0”に固定してください。		0	R	W

図 8.7.4 PWM モードレジスタ 2

8.8 A-D 比較器

A-D比較器は、抵抗ストリング方式の7ビットD-A変換器とコンパレータから構成されています。図8.8.1にA-D比較器のブロック図を示します。

A-D制御レジスタ2(00ED₁₆番地)下位7ビットによってD-A変換の比較電圧 V_{ref} が設定されます。

また、アナログ入力電圧と比較電圧 V_{ref} との比較結果は、A-D制御レジスタ1(00EC₁₆番地)のビット4に格納されます。

A-D比較動作を行うためには、アナログ入力端子に対応する方向レジスタのビットを“0”にして、ポートをアナログ入力端子として使用できる状態にします。まず、A-D制御レジスタ1のビット0～ビット2にアナログ入力端子を選択するデータを書き込みます。その後、A-D制御レジスタ2のビット0～ビット6に比較したい V_{ref} に対応するデジタル値を書き込みます。このA-D制御レジスタ2の書き込み動作により、直ちに電圧比較が開始され、16マシンサイクル後(NOP命令×8)に完了します。

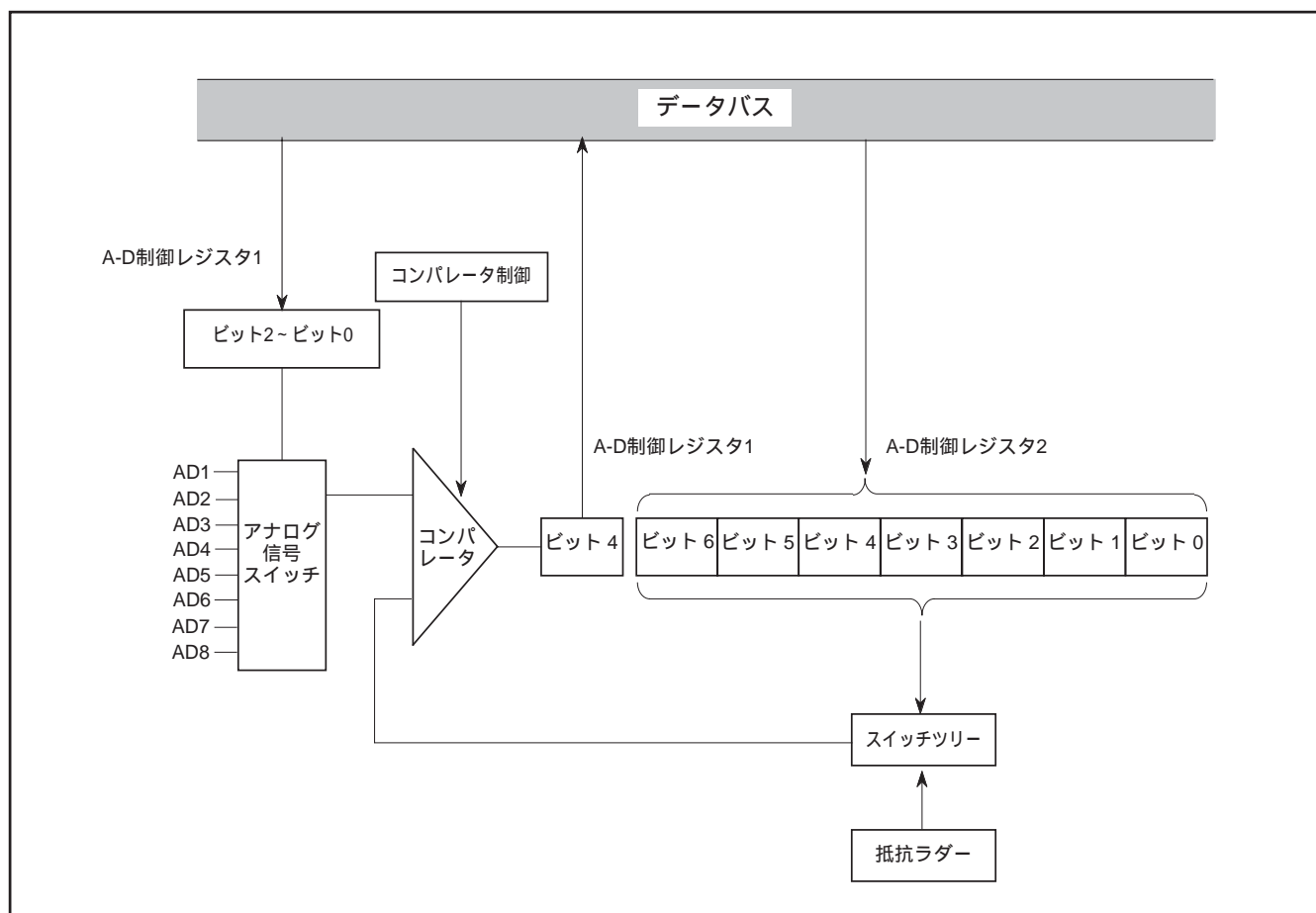


図8.8.1 A-D比較器ブロック図

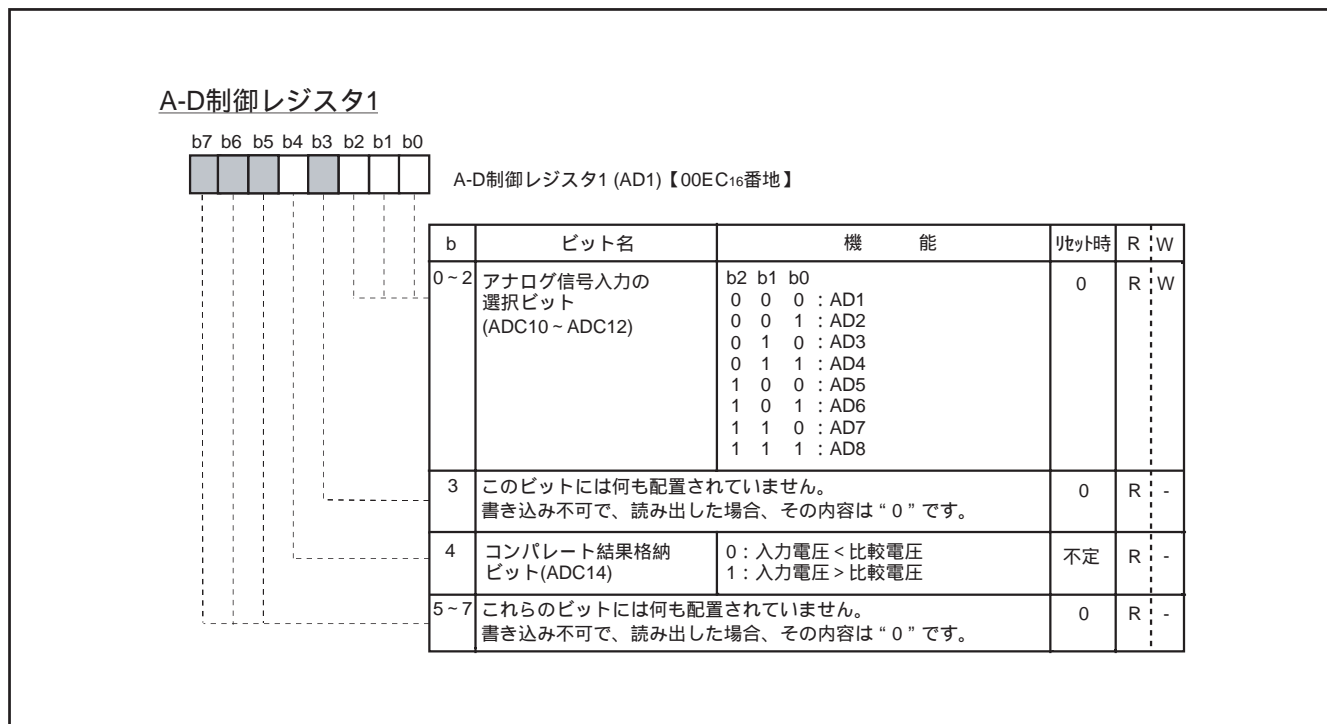


図 8.8.2 A-D 制御レジスタ 1

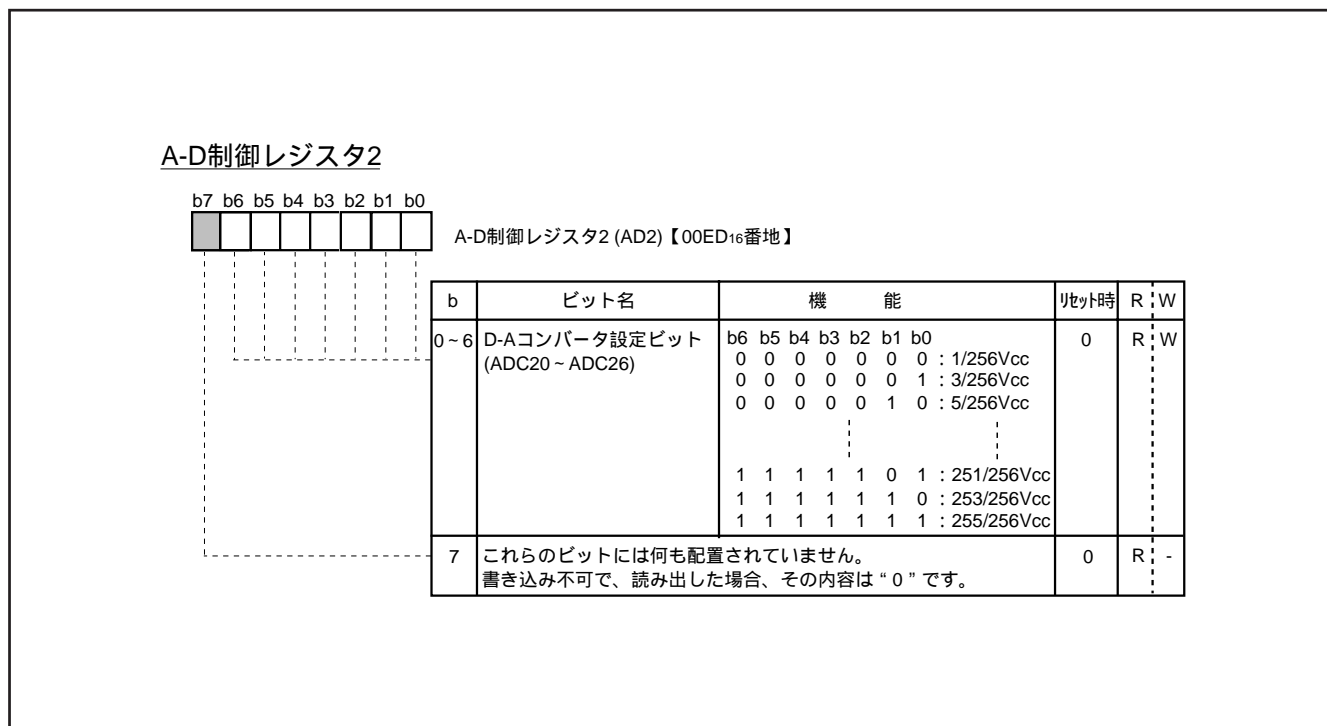


図 8.8.3 A-D 制御レジスタ 2

8.9 ROM 訂正機能

ROM 内のプログラムデータを訂正することができます。訂正できるアドレスは2箇所までで、RAM 領域内のROM 訂正用メモリに訂正プログラムを格納します。ROM 訂正用ベクタは2ベクタあります。

ベクタ 1 : 0300₁₆ 番地

ベクタ 2 : 0320₁₆ 番地

訂正する ROM データのアドレスを ROM 訂正アドレスレジスタに設定します。プログラムカウンタの値が設定したアドレスの値に一致すると、ROM 訂正ベクタを先頭に格納した訂正プログラムへと分岐します。訂正プログラムからメインプログラムへの復帰のためには、訂正プログラムの最後に JMP 命令のオペコード及びオペランド (計3バイト) が必要です。

ROM 訂正機能は ROM 訂正許可レジスタによって制御されます。

- 注 1. ROM 訂正アドレスは、各命令の先頭アドレス (オペコードのアドレス) を指定してください。
2. 訂正プログラムからメインプログラムへの復帰は JMP 命令 (計3バイト) で行ってください。
3. ベクタ 1、ベクタ 2 に同一の ROM 訂正アドレスを設定しないでください。

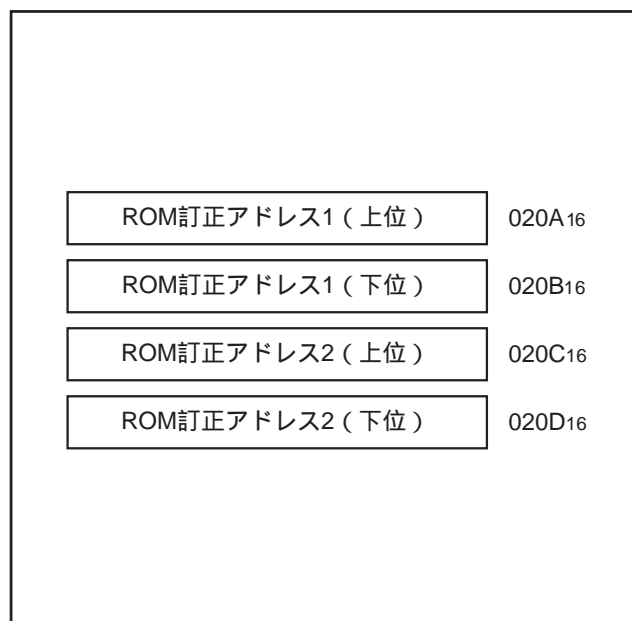


図 8.9.1 ROM 訂正アドレスレジスタ

ROM 訂正許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ROM 訂正許可レジスタ (RCR) 【020E₁₆ 番地】

b	ビット名	機 能	リセット時	R	W
0	ベクタ1許可ビット (RC0)	0: 使用禁止 1: 使用許可	0	R	W
1	ベクタ2許可ビット (RC1)	0: 使用禁止 1: 使用許可	0	R	W
2~7	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。		0	R	-

図 8.9.2 ROM 訂正許可レジスタ

8.10 データスライサ

本マイクロコンピュータは、クローズドキャプションデコーダ（以下 CCD と称す）に対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重畳されたキャプションデータを取り出すことができます。CVIN 端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ 1（00E0₁₆番地）のビット 0 を“0”に設定することによって、データスライサ回路及びタイミング信号発生回路を OFF することができます。これらの設定によって、電源電流を抑えることができます。

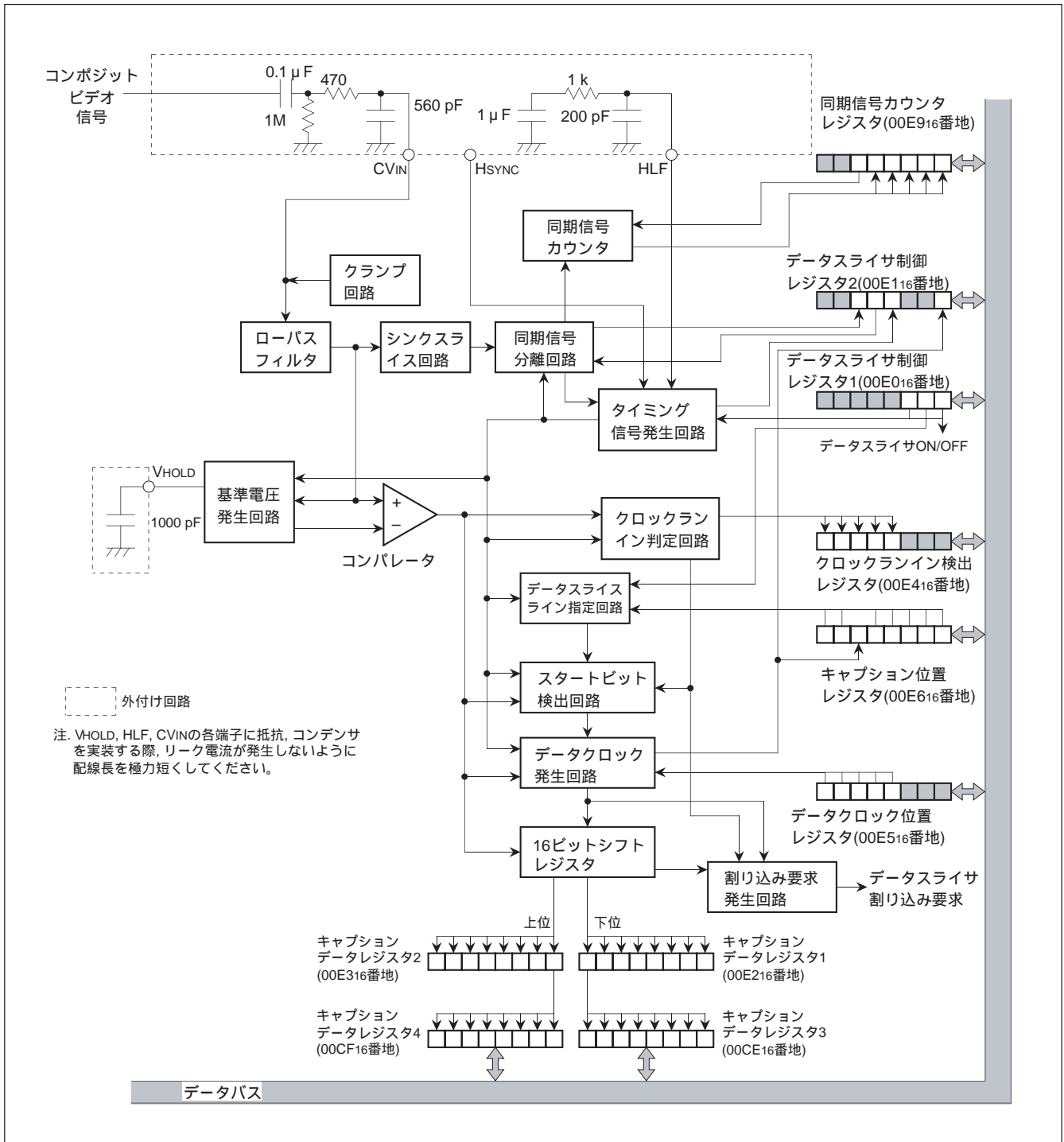


図 8.10.1 データスライササブブロック図

8.10.1 データスライサを使用しない場合の注意事項

データスライサ制御レジスタ1 (00E0₁₆番地) のビット0
が“0”の場合、図8.10.2のように端子を処理してください。

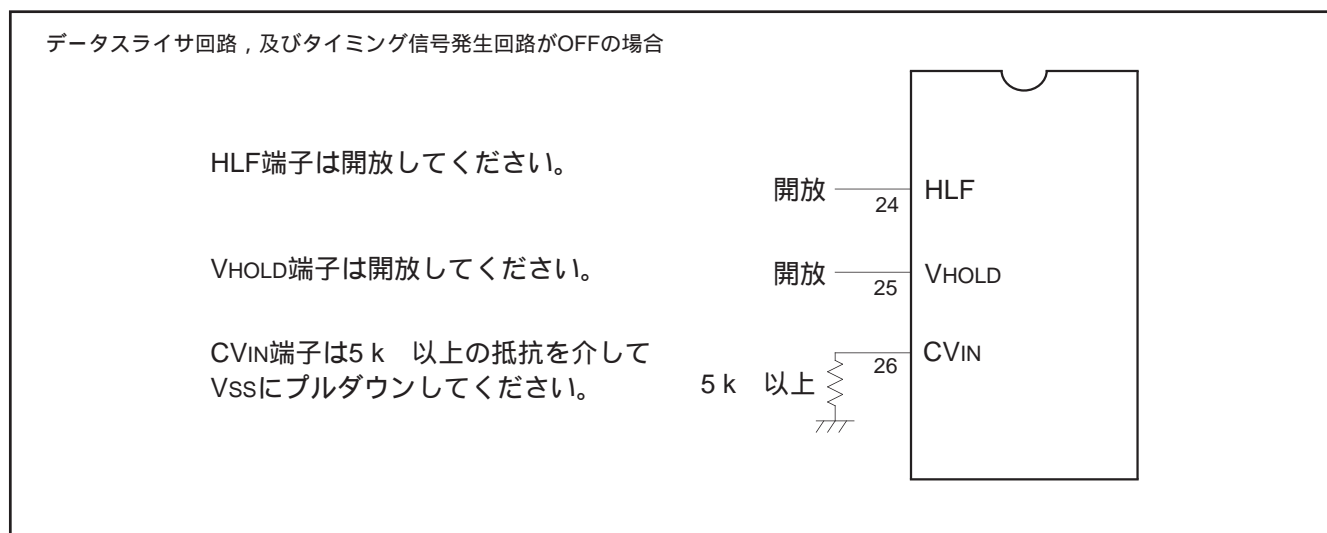


図8.10.2 データスライサ回路，及びタイミング信号発生回路 OFF の場合の，データスライサ入出力端子の処理方法

データスライサ制御レジスタ1 (00E0₁₆番地) のビット0、
2の両方が“1”の場合、図8.10.3のように端子を処理して
ください。

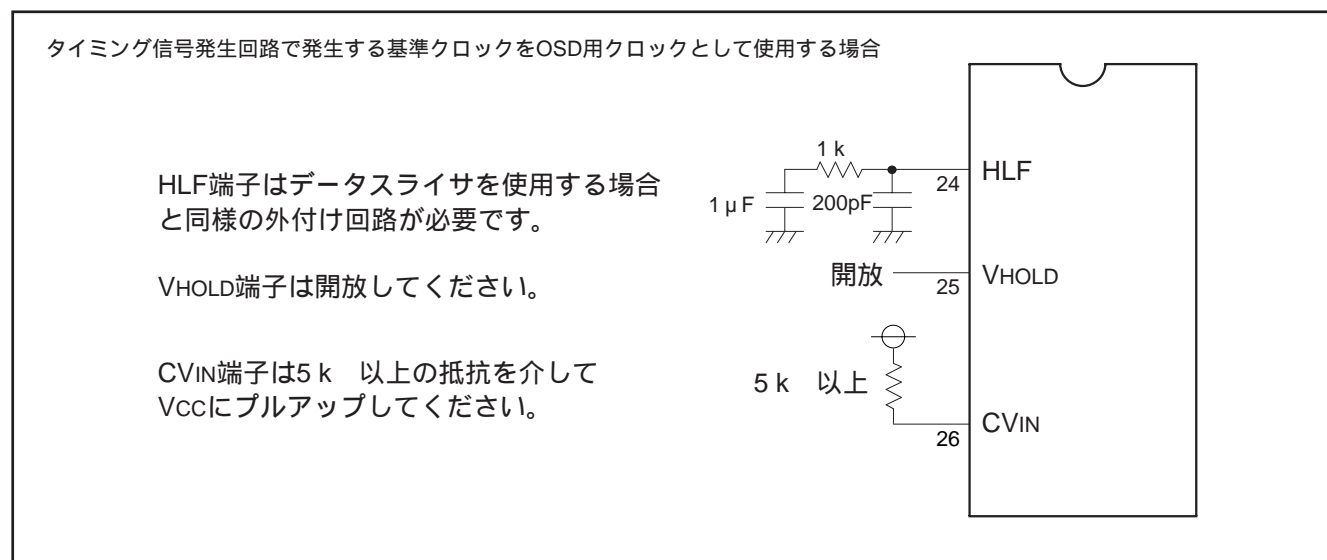


図8.10.3 タイミング信号発生回路 ON の場合の，データスライサ入出力端子の処理方法

図 8.10.4、図 8.10.5 にデータスライサ制御レジスタを示します。

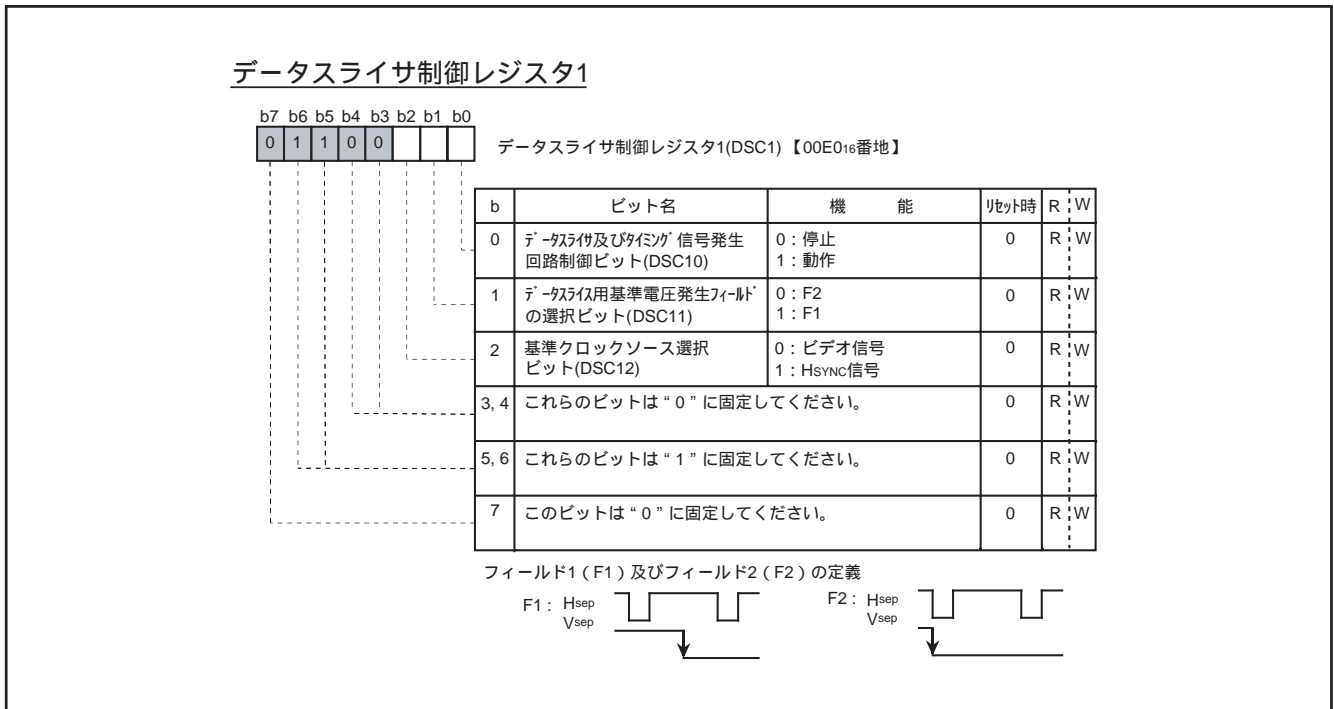


図 8.10.4 データスライサ制御レジスタ 1

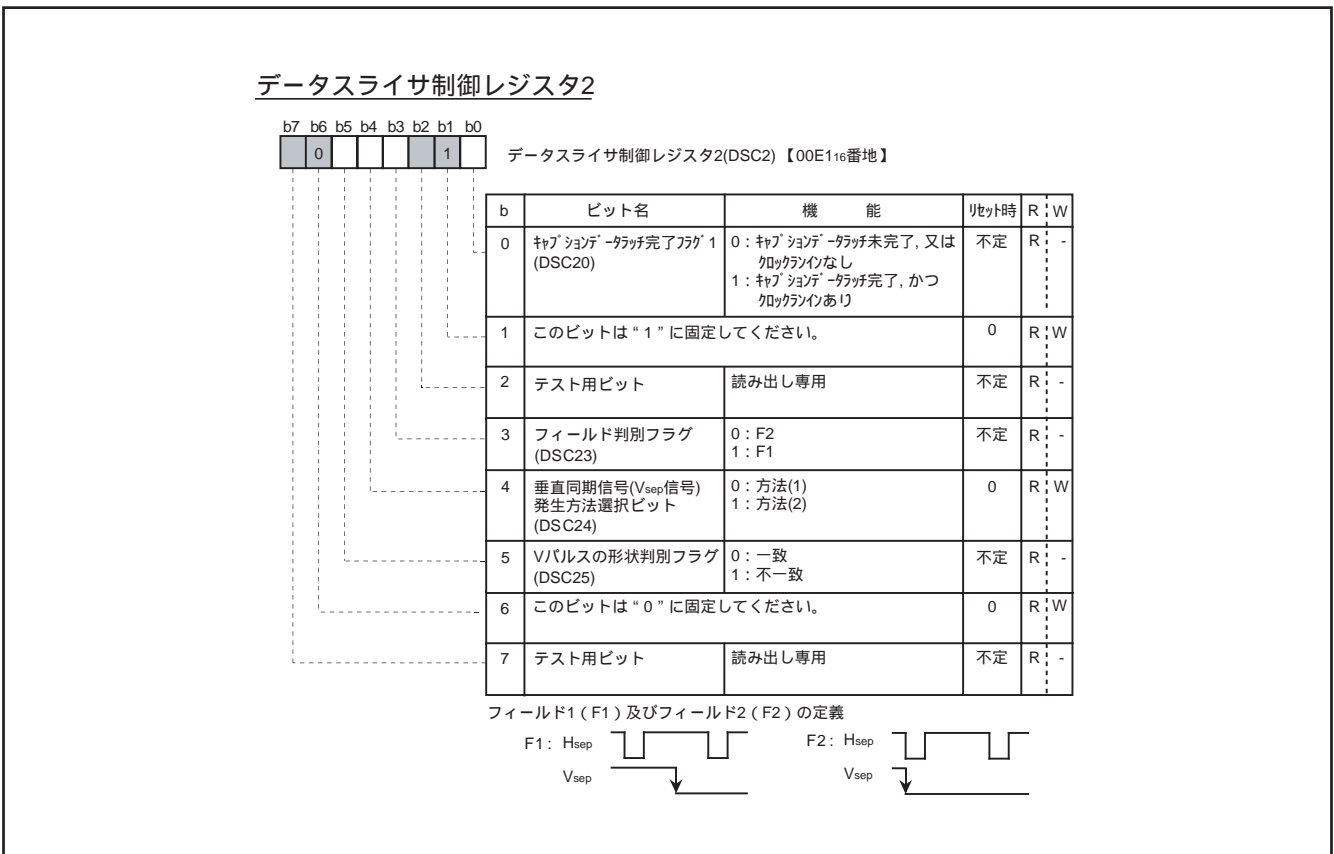


図 8.10.5 データスライサ制御レジスタ 2

8.10.2 クランプ回路・ローパスフィルタ

CVIN 端子から入力されたコンポジットビデオ信号は、クランプ回路でシンクチップ部分を基準にしてクランプされます。ローパスフィルタはクランプされたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力される CVIN 端子は、外部でのコンデンサ (0.1 μ F) 結合が必要です。また CVIN 端子は、数 100k ~ 1 M 程度の抵抗でプルダウンしてください。さらに CVIN 端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します (図 8.10.1 参照)。

8.10.3 シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。

8.10.4 同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

(1) 水平同期信号 (Hsep)

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号 Hsep を発生します。

(2) 垂直同期信号 (Vsep)

Vsep 信号の発生方法は、データサイサ制御レジスタ 2 (00E116 番地) のビット 4 を用いて、次の 2 種類から選択することができます。

- ・方法 1 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の立ち上がりに同期して Vsep 信号を発生します。
- ・方法 2 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の“L”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりに同期して Vsep 信号を発生します (図 8.10.6 参照)。

発生タイミングを図 8.10.6 に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データサイサ制御レジスタ 2 のビット 5 を読み出すことによって、コンポジットシンク信号の V パルス部分の形状が判別できます。図 8.10.7 のように A, B のレベルが一致していれば“0”、不一致であれば“1”になります。

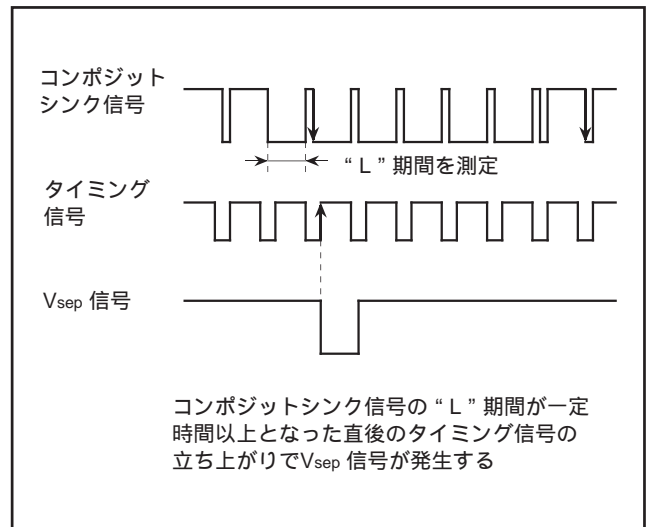


図 8.10.6 Vsep 発生タイミング (方法 2)

8.10.5 タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ1(00E0₁₆番地)のビット0を“1”に設定することによって動作します。

基準クロックはデータスライサの他にOSD機能の表示用クロックとしても使用できます。また、コンボジットシンク信号のかわりにHsync信号をカウントソースとすることもできます。ただし、Hsync信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ1(00E0₁₆番地)のビット2で選択できます。

HLF端子は、図8.10.1に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注. データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。この期間、各種タイミング信号、Hsep信号、Vsep信号は不定となりますので、プログラム作成の際は、安定時間を考慮してください。

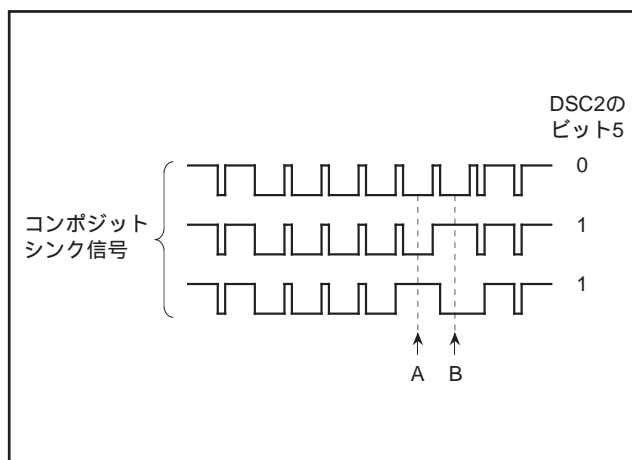


図 8.10.7 Vパルス形状の判別

8.10.6 データスライスライン指定回路

(1) データスライスラインの指定

キャプションデータが重畳されるラインを決定します。1フィールド中のライン21(固定)と任意の1ラインの計2ライン/1フィールド、F1 / F2の両フィールドのデータスライスが可能です。各設定はキャプション位置レジスタ(00E616番地)で行います(表8.10.1参照)。

Vsepの立ち下がりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット4~ビット0の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには“0016”~“1F16”の値が設定できます(任意の1ラインのみの設定時)。図8.10.8に垂直帰線期間中の信号を示します。キャプション位置レジスタを図8.10.9に示します。

(2) スライス電圧を設定するラインの指定

どのラインのクロックランインに対して、スライス用の基準電圧(スライス電圧)を発生するかを表8.10.1に示します。スライス電圧を発生させるフィールドの指定はデータスライサ制御レジスタ1のビット1で設定します。1フィールド中のスライス電圧発生ラインは、キャプション位置レジスタのビット7、6で設定します(表8.10.1参照)。

(3) フィールドの判別

データスライサ制御レジスタ2のビット3によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりのタイミングで変化します。

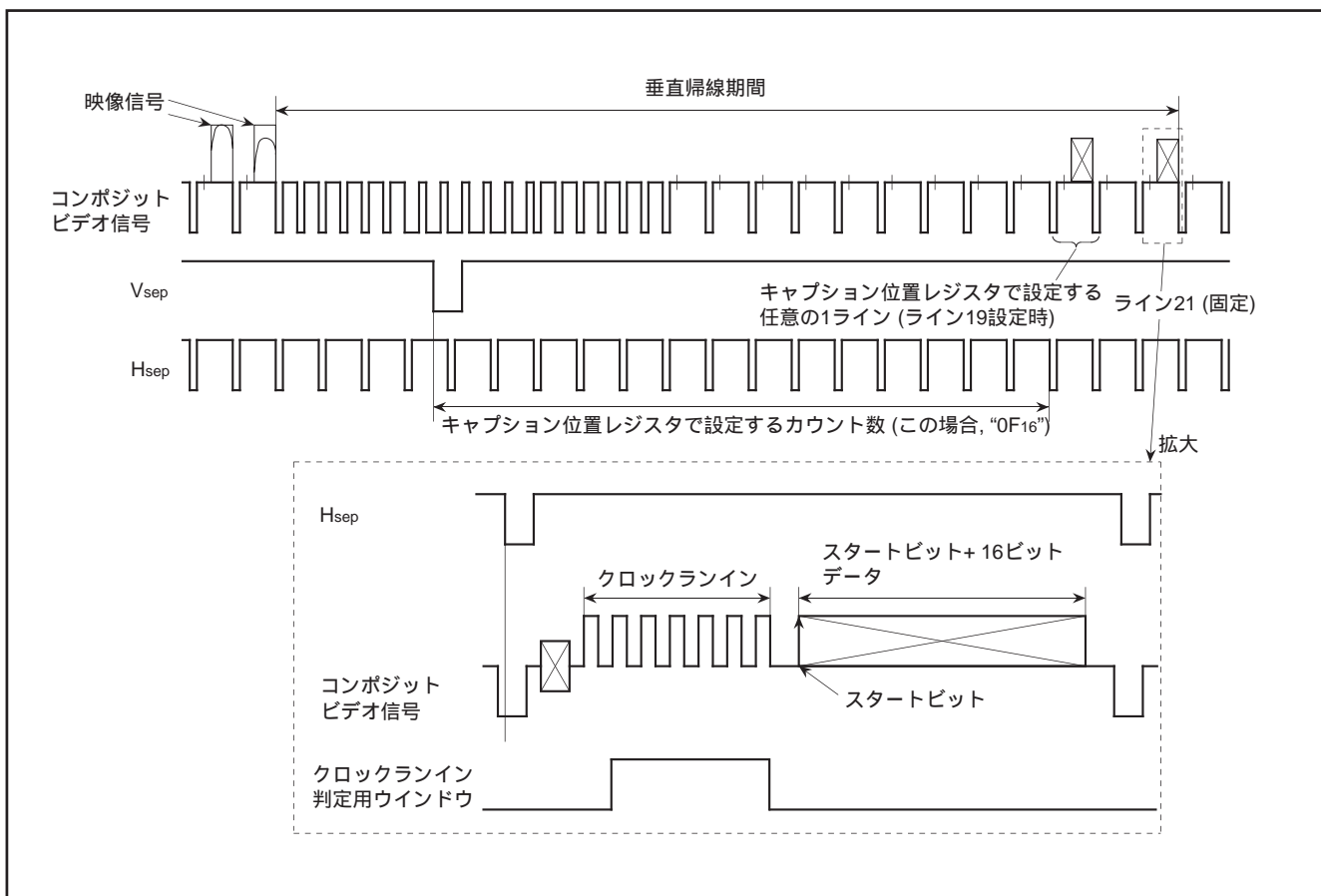


図 8.10.8 垂直帰線期間中の信号

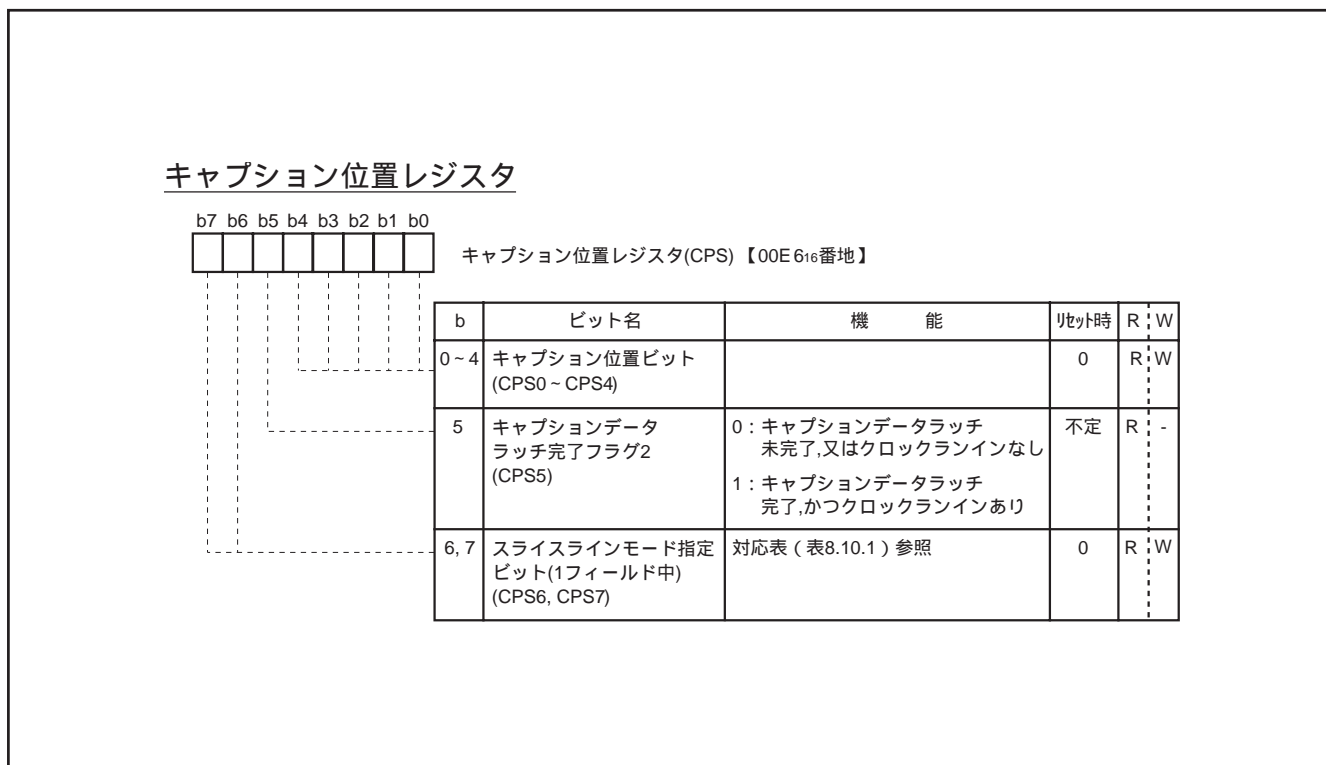


図 8.10.9 キャプション位置レジスタ

表 8.10.1 データスライスラインの指定

CPS		データスライスするフィールド・ライン	スライス電圧発生フィールド・ライン
ビット7	ビット6		
0	0	<ul style="list-style-type: none"> ・F1/F2 両フィールド ・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン)(注 2) 	<ul style="list-style-type: none"> ・DSC1 のビット 1 で指定されるフィールド ・ライン 21 (計 1 ライン)
0	1	<ul style="list-style-type: none"> ・F1/F2 両フィールド ・CPS のビット 4 ~ 0 で指定される 1 ライン (計 1 ライン)(注 3) 	<ul style="list-style-type: none"> ・DSC1 のビット 1 で指定されるフィールド ・CPS のビット 4 ~ 0 で指定される 1 ライン (計 1 ライン)(注 3)
1	0	<ul style="list-style-type: none"> ・F1/F2 両フィールド ・ライン 21 (計 1 ライン) 	<ul style="list-style-type: none"> ・DSC1 のビット 1 で指定されるフィールド ・ライン 21 (計 1 ライン)
1	1	<ul style="list-style-type: none"> ・F1/F2 両フィールド ・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン)(注 2) 	<ul style="list-style-type: none"> ・DSC1 のビット 1 で指定されるフィールド ・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン)(注 2)

注 1. DSC1 : データスライサ制御レジスタ 1

CPS : キャプション位置レジスタ

2. CPS のビット 4 ~ 0 には " 00₁₆ " ~ " 10₁₆ " の値を設定してください。
3. CPS のビット 4 ~ 0 には " 00₁₆ " ~ " 1F₁₆ " の値を設定してください。

8.10.7 基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータに入力されます。

(1) 基準電圧発生回路

データスライサイン指定回路で指定されたラインにおけるクロックランインの振幅を用いて基準電圧(スライス電圧)を発生します。V_{HOLD}端子とV_{SS}間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

(2) コンパレータ

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧(基準電圧)を比較し、コンポジットビデオ信号をデジタル値に変換します。

8.10.8 スタートビット検出回路

データスライサイン指定回路で決定したラインにおいてスタートビットを検出します。スタートビットの判定は以下のようになります。

タイミング信号が出力する基準クロックを13分周したサンプリングクロックを生成します。

そのサンプリングクロックを用いてクロックランインパルスを検出します。

パルス検出後、サンプリングクロックでコンパレータ出力からスタートビットパターンを検出します。

8.10.9 クロックランイン判定回路

コンポジットビデオ信号中のウィンドウ中でパルス数をカウントすることによってクロックランインであることを判定します。

また、クロックランインパルス1周期にカウントされる基準クロック数はクロックランイン検出レジスタ(00E416番地)のビット7~ビット3に格納されます。これらのビットはデータスライサ割り込み(「8.10.12 割り込み要求発生回路」)の発生後に読み出してください。

クロックランイン検出レジスタを図8.10.10に示します。

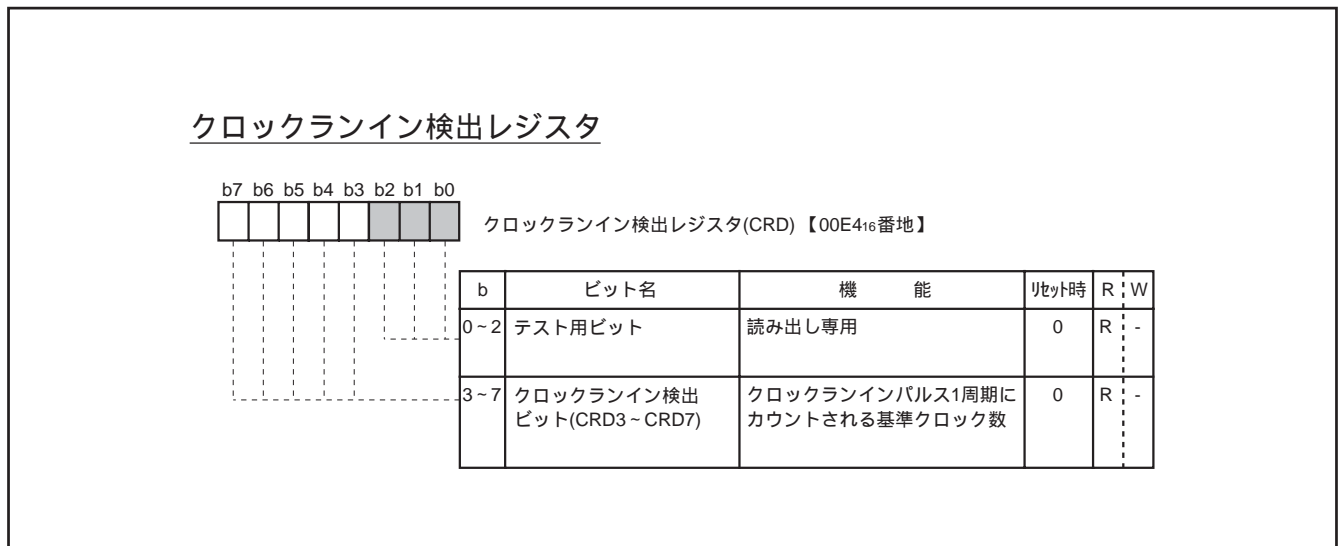


図8.10.10 クロックランイン検出レジスタ

8.10.10 データクロック発生回路

データクロック発生回路は、スタートビット検出回路で検出されたスタートビットに同期したデータクロックを発生します。データクロックはキャプションデータを16ビットシフトレジスタへ格納するためのクロックです。16ビットのデータが16ビットシフトレジスタへ格納され、かつクロックランイン判定回路でクロックランインありと判定された場合、キャプションデータラッチ完了フラグがセットされます。この完了フラグは垂直同期信号 (V_{sep}) の立ち下がりで“0”にリセットされます。

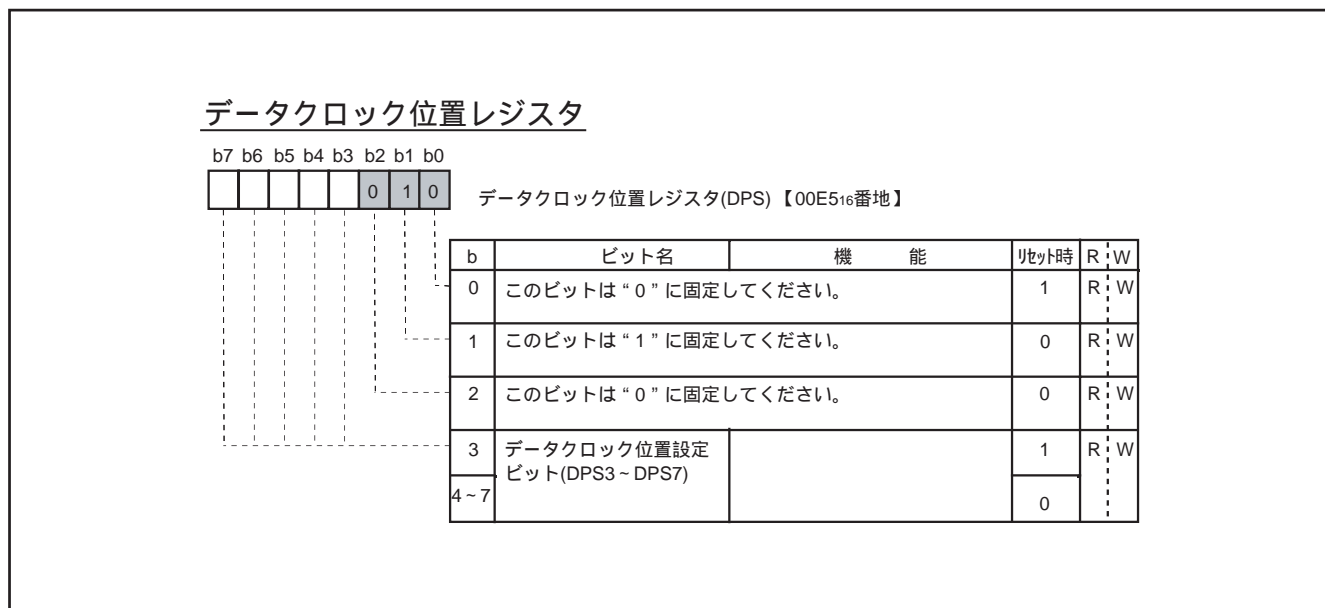


図8.10.11 データクロック位置レジスタ

8.10.11 16ビットシフトレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期して16ビットシフトレジスタに格納されます。格納されたキャプションデータの上位8ビットは、キャプションデータレジスタ2(00E3₁₆番地)/キャプションデータレジスタ4(00CF₁₆番地)、下位8ビットはキャプションデータレジスタ1(00E2₁₆番地)/キャプションデータレジスタ3(00CE₁₆番地)を読み出すことによってデータ内容を得ることができます。またこれらのレジスタはV_{sep}の立ち下がりで“0”にリセットされます。キャプションデータレジスタ1~4はデータスライサ割り込み(「8.10.12 割り込み要求発生回路」)発生後に読み出してください。

8.10.12 割り込み要求発生回路

キャプション位置レジスタ(00E6₁₆番地)のビット7、ビット6の組み合わせによって表8.10.3に示すように割り込み要求が発生します。キャプションデータレジスタ1~4の内容、及びクロックランイン検出レジスタのビット7~3の内容は、データスライサ割り込み要求発生後に読み出してください。

表 8.10.2 キャプションデータラッチ完了フラグ、及び16ビットシフトレジスタ内容

スライスラインの設定モード		キャプションデータラッチ完了フラグの内容		16ビットシフトレジスタの内容	
CPS		完了フラグ1 (DSC2のビット0)	完了フラグ2 (CPSのビット5)	キャプションデータ レジスタ1, 2	キャプションデータ レジスタ3, 4
ビット7	ビット6				
0	0	ライン21	CPSのビット4~0で 指定される1ライン	ライン21の16ビット データ	CPSのビット4~0で 指定される1ラインの 16ビットデータ
0	1	CPSのビット4~0で 指定される1ライン	無効	CPSのビット4~0で 指定される1ラインの 16ビットデータ	無効
1	0	ライン21	無効	ライン21の16ビット データ	無効
1	1	ライン21	CPSのビット4~0で 指定される1ライン	ライン21の16ビット データ	CPSのビット4~0で 指定される1ラインの 16ビットデータ

CPS: キャプション位置レジスタ

DSC2: データスライサ制御レジスタ2

表 8.10.3 割り込み要求発生要因

キャプション位置レジスタ		データスライスライン終了時割り込み要求
ビット7	ビット6	
0	0	ライン21 スライス後
0	1	キャプション位置レジスタビット4~0で指定される1ライン後
1	0	ライン21 スライス後
1	1	ライン21 スライス後

8.10.13 同期信号カウンタ

同期信号カウンタは、データサイサ回路で映像信号から取り出されたコンポジットシンク信号、又はHsync端子から入力されたHsyncをカウントソースとしてカウントします。
 $f(XIN)/2^{13}$ で生成される一定時間(T時間)のカウンタ値が、5ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウンタ値が“1F₁₆”を越えた場合は、“1F₁₆”がラッチに格納されます。

ラッチの値は、同期信号カウンタレジスタ(00E9₁₆番地)を読み出すことによって得ることができます。カウンタソースは、同期信号カウンタレジスタのビット5によって選択します。

同期信号カウンタは、PWMモードレジスタ1(0208₁₆番地)のビット0を“0”に設定した状態で使用してください。

図8.10.12に同期信号カウンタレジスタを、図8.10.13に同期信号カウンタのブロック図を示します。

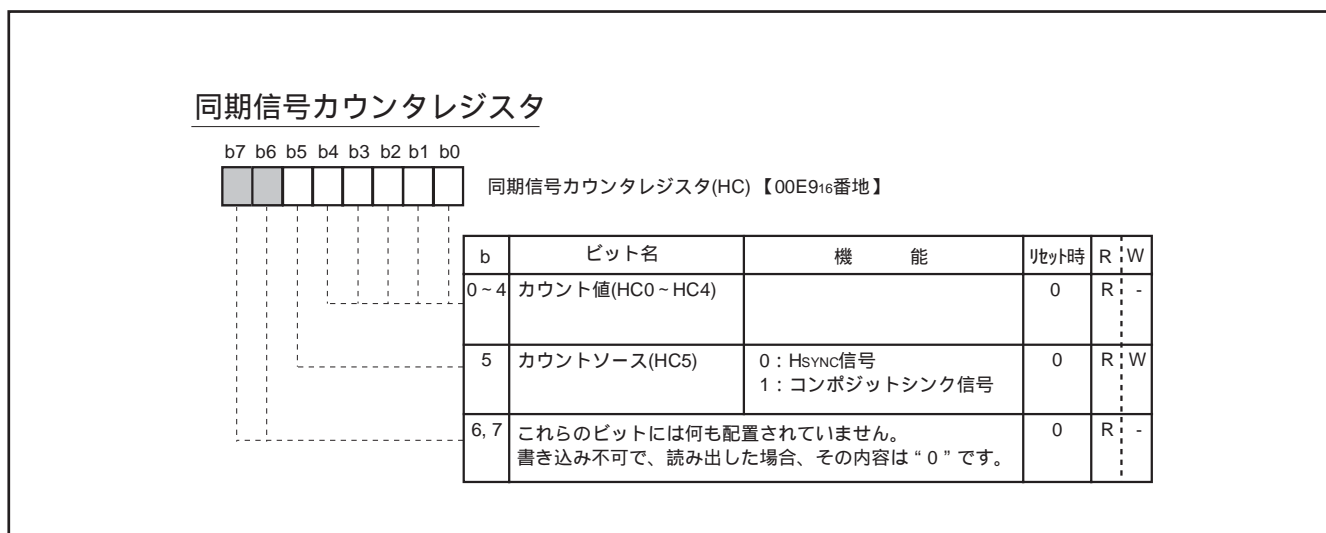


図8.10.12 同期信号カウンタレジスタ

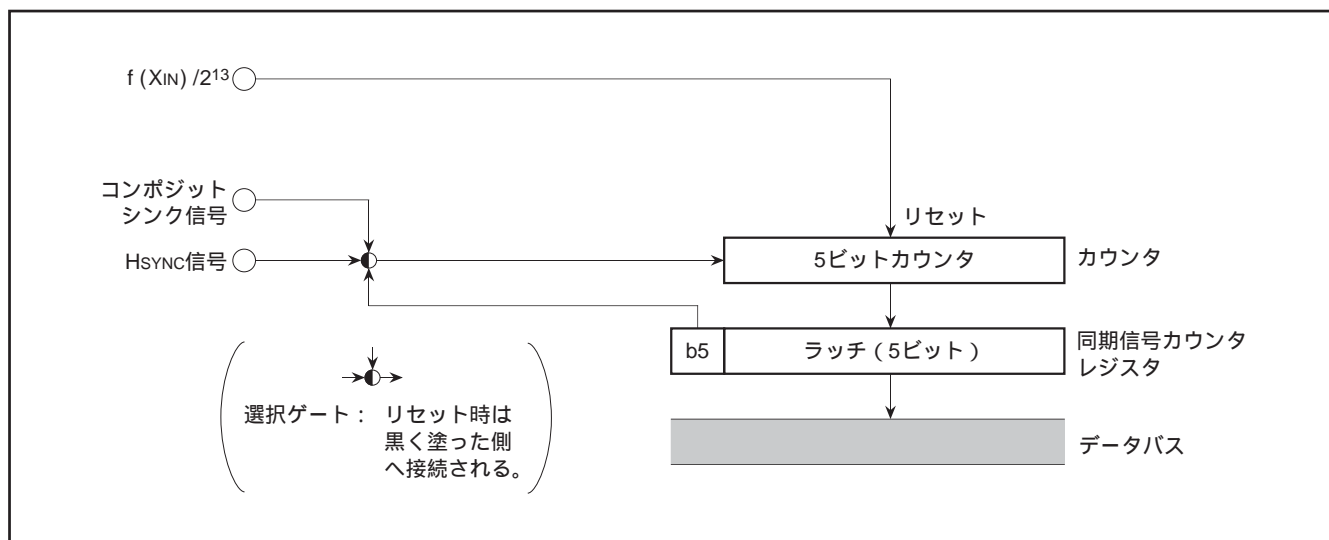


図8.10.13 同期信号カウンタのブロック図

8.11 OSD 機能

OSD 機能の概要を表 8.11.1 に示します。本マイクロコンピュータは 32 文字 × 2 行の OSD 回路を内蔵しています。また、2 つの表示モードを備えており、ブロックコントロールレジスタ i ($i = 1, 2$) によって、ブロック単位に 2 つの表示モードが選択できます。

各表示の特長を以下に示します。

表 8.11.1 各表示モードの特長

項 目	表示モード	
	CCモード (クローズドキャプションモード)	OSDモード (オンスクリーンディスプレイモード)
表示文字数	32文字 × 2行	
ドット構成	16 × 26ドット(文字表示領域は16 × 20ドット)	16 × 20ドット
文字種類	254種類	
文字サイズ	1種類	8種類
	プリ分周比	2倍(固定)
	ドットサイズ	1Tc × 1/2H
アトリビュート	スムーズイタリック, アンダーライン, フラッシュ(点滅)	フチドリ(黒)
キャラクタフォント着色	1画面8種類(文字単位)	
文字背景着色	—	1画面8種類(文字単位)
OSD出力	R, G, B	
ラスター着色	可能(画面単位)	
他機能	オートソリッドスペース機能 ウインドウ機能	—
表示位置	水平: 128段階、垂直: 512段階	
拡張表示(多行表示)	可能	

注: 文字サイズはドットサイズとプリ分周比によって指定します。「8.11.2 ドットサイズ」を参照してください。

OSD回路には拡張表示モードがあり、1行表示するごとに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、3行以上の多行表示を行うことができます。

図 8.11.1 に OSD 用文字表示領域を、図 8.11.2 に OSD 回路のブロック図を示します。また、図 8.11.3 に OSD コントロールレジスタを、図 8.11.4 にブロックコントロールレジスタ i を示します。

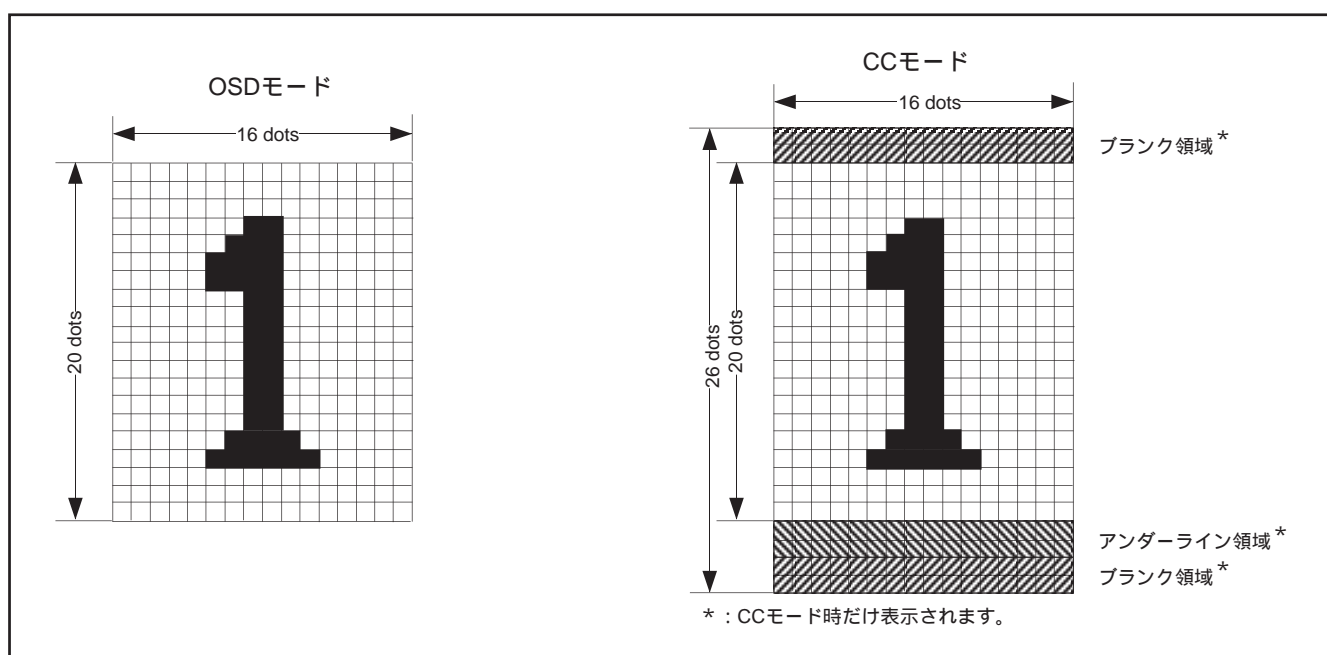


図 8.11.1 OSD 用文字表示領域

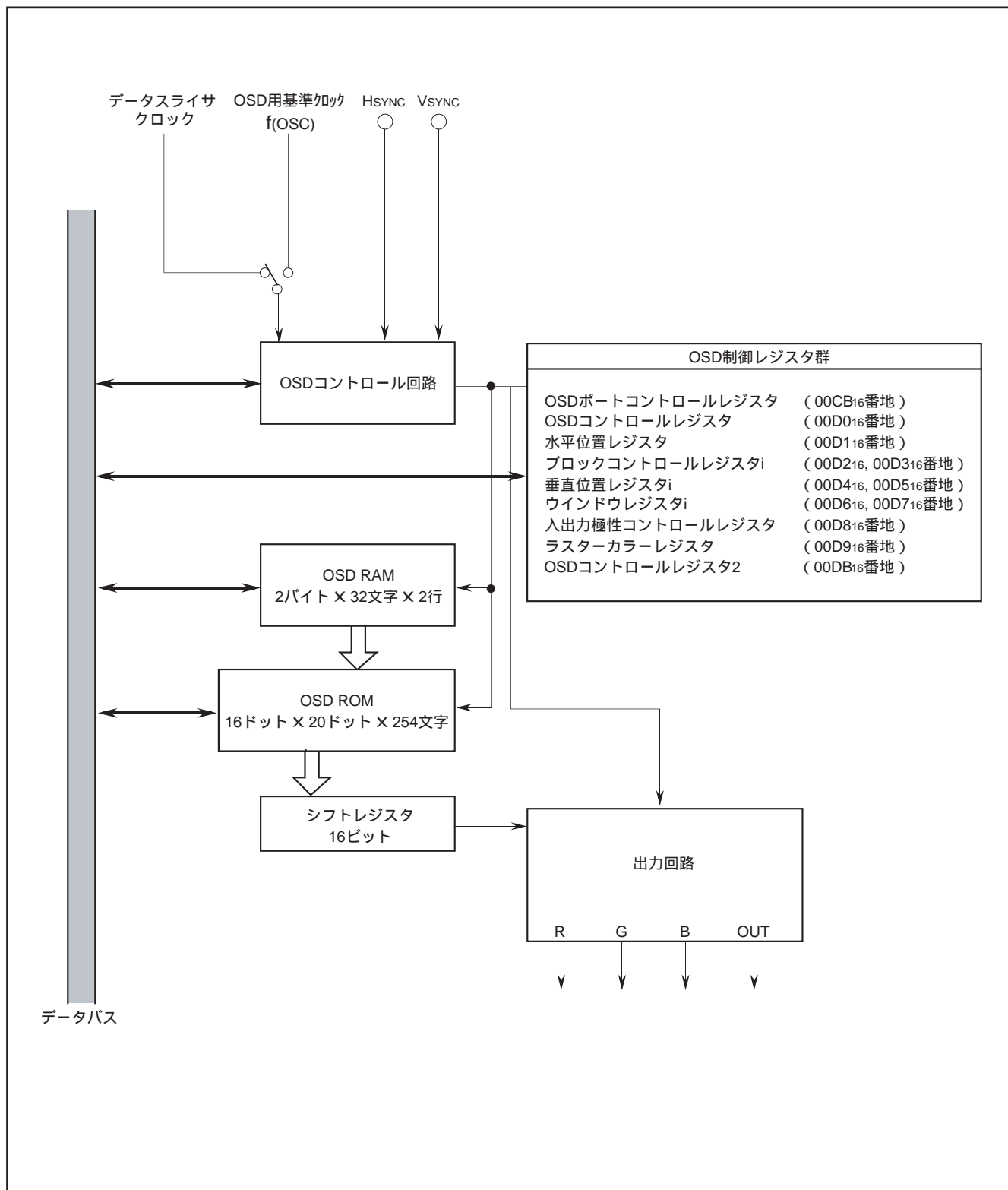


図 8.11.2 OSD 回路ブロック図

OSDコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



OSDコントロールレジスタ(OC)【00D0₁₆番地】

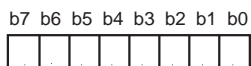
b	ビット名	機能	リセット時	R	W
0	OSD制御ビット (OC0) (注1)	0: 全ブロック表示OFF 1: 全ブロック表示ON	0	R	W
1	オートソリッドスペース 制御ビット(OC1)	0: OFF 1: ON	0	R	W
2	ウインドウ制御ビット (OC2)	0: OFF 1: ON	0	R	W
3	CCモードクロック選択 ビット(OC3)	0: データスライサクロック 1: 内蔵発振クロック f(osc)	0	R	W
4	OSDモードクロック選択 ビット(OC4)	0: データスライサクロック 1: 内蔵発振クロック f(osc)	0	R	W
5,6	このビットは“0”に固定してください。		0	R	W
7	プリ分周比選択レジスタ (OC7) (注2)	0: ブロックコントロールレジスタによる分周比 1: ブロック1,2ともプリ分周比1	0	R	W

注1 表示中切り換えても、表示画面は次のVSYNCの立ち上がり（立ち下がり）まで変化しません。

2. このビットはブロックコントロールレジスタiのBCi4の設定よりも優先します。

図 8.11.3 OSD コントロールレジスタ

ブロックコントロールレジスタ*i*



ブロックコントロールレジスタ*i* (BC*i*) (*i*=1, 2) 【00D2₁₆. 00D3₁₆番地】

b	ビット名	機 能				リセット時	R : W	
		b1	b0	表示モード				
0, 1	表示モード選択ビット (BC <i>i</i> 0, BC <i>i</i> 1) (注1)	0	0	表示OFF		不定	R : W	
		0	1	CCモード				
		1	0	OSDモード(フチドリなし)				
		1	1	OSDモード(フチドリあり)				
		1	1	OSDモード(フチドリあり)				
2, 3	ドットサイズ選択ビット (BC <i>i</i> 2, BC <i>i</i> 3)	b4	b3	b2	プリ分周比	ドットサイズ	不定	R : W
		0	0	1	2倍	1Tc × 1/2H		
		0	1	0		1Tc × 1H		
		1	0	0		2Tc × 2H		
1	1	1	3Tc × 3H					
4	プリ分周比選択ビット (BC <i>i</i> 4)	1	0	0	3倍	1Tc × 1/2H	不定	R : W
0	1	0	1Tc × 1H					
1	0	1	2Tc × 2H					
1	1	1	3Tc × 3H					
5	OUT出力制御ビット (BC <i>i</i> 5)	0 : 2値出力制御 1 : 3値出力制御 (注3)				不定	R : W	
6	垂直表示開始位置制御 ビット(最上位ビット) (BC <i>i</i> 6)	BC16 : ブロック1 BC26 : ブロック2				不定	R : W	
7	ウインドウ上限/下限 制御ビット (最上位ビット)(BC <i>i</i> 7)	BC17 : ウインドウ上限 BC27 : ウインドウ下限				不定	R : W	

注1. Tc : プリ分周したOSD用クロック周期
 2. H : Hsync
 3. 対応図 (図 8.11.18) 参照

図 8.11.4 ブロックコントロールレジスタ*i*

8.11.1 表示位置

文字の表示位置はブロック単位で指定します。ブロックはブロック1、ブロック2の2つあり、1つのブロックには最大32文字まで表示できます（後述「8.11.5 OSD用メモリ」を参照してください）。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向の表示開始位置は全ブロック共通で $4T_{osc}$ (T_{osc} : OSD 発振周期) 単位で128段階の表示位置の中から選択します。

垂直方向の表示開始位置はブロックごとに $1T_H$ 、バイスキャンモード時は $2T_H$ (T_H : 水平同期信号周期) 単位で512段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

- ・ ブロック1とブロック2が重なった場合（図8.11.5の(b)）、ブロック1が前面に表示されます。
- ・ 1つのブロック表示中に、他のブロックの表示開始位置がきた場合（図8.11.5の(c)）は、垂直表示開始位置の設定値が大きい方が表示されます。

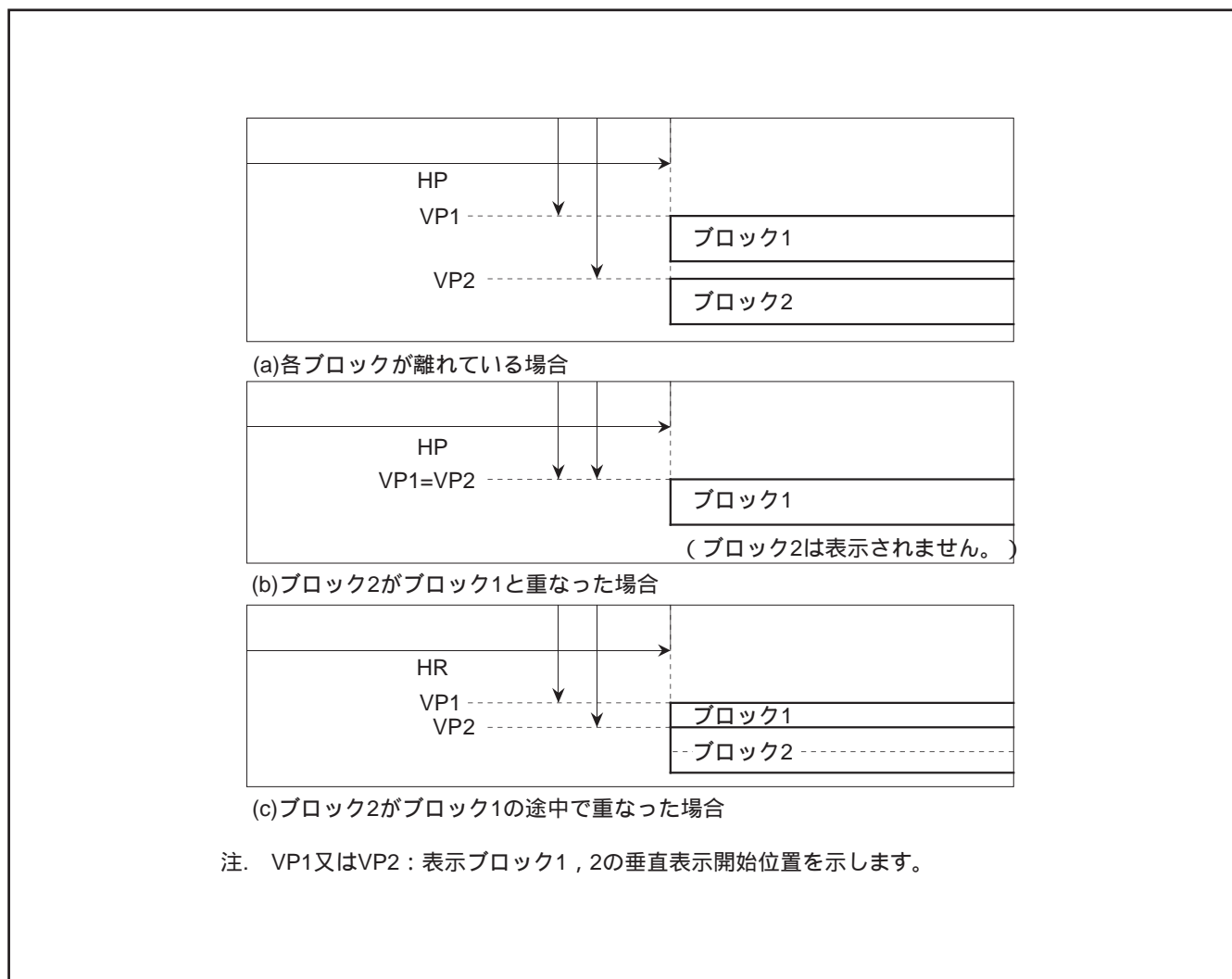


図8.11.5 表示位置

垂直方向の表示開始位置は水平同期信号 (HSYNC) をカウントすることによって確定されます。この際、VSYNC、HSYNC 信号が正極性 (負極性) 入力の場合 VSYNC 信号の立ち上がり (立ち下がり) エッジから一定期間後に HSYNC 信号の立ち上がり (立ち下がり) エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC 信号の立ち上がり (立ち下がり) エッジから HSYNC 信号の立ち上がり (立ち下がり) エッジまでの間隔は充分 (2 マシンサイクル以上) とるようにしてください。HSYNC 信号及び VSYNC 信号の極性は、入出力極性コントロールレジスタ (00D8₁₆ 番地) によって正極性、負極性のいずれかを選択できます。

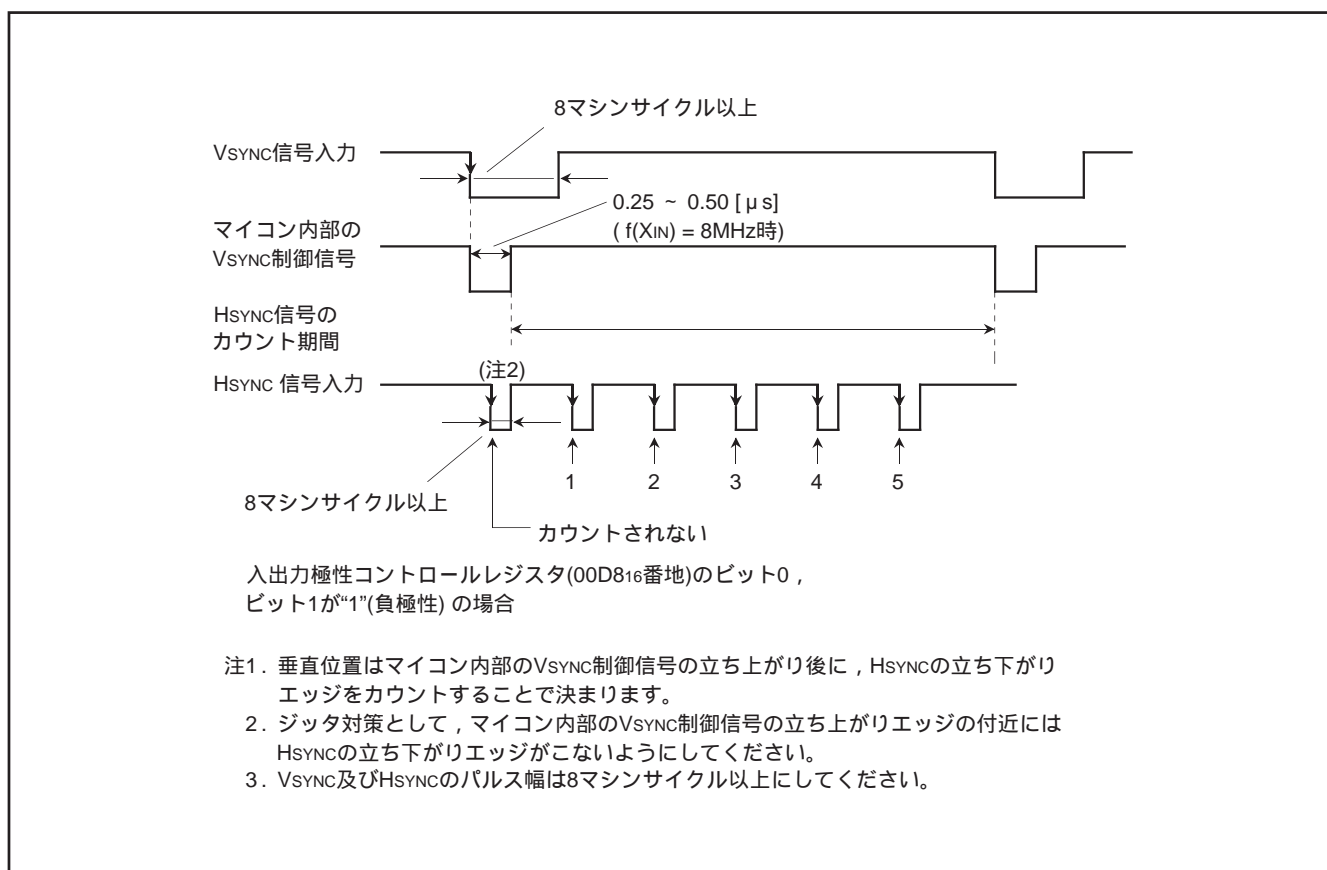


図 8.11.6 表示位置補足説明

垂直表示開始位置はブロックごとに垂直位置レジスタ*i* (*i* = 1, 2) (00D4₁₆, 00D5₁₆ 番地) に “00₁₆” ~ “FF₁₆” の値、ブロックコントロールレジスタ*i* (*i* = 1, 2) (00D2₁₆ ~ 00D3₁₆ 番地) のビット6に “0” 又は “1” の値を設定することにより、512段階 (1段階あたり 1TH (TH : 水平同期信号周期)) の設定ができます。図 8.11.7 に垂直位置レジスタ*i* を示します。

また、OSDコントロールレジスタ2 (00DB₁₆ 番地) のビット1に “0” 又は “1” の値を設定することにより、両ブロックともに垂直表示開始位置の設定値1段階あたりを1THか2THに切り替えることができます。

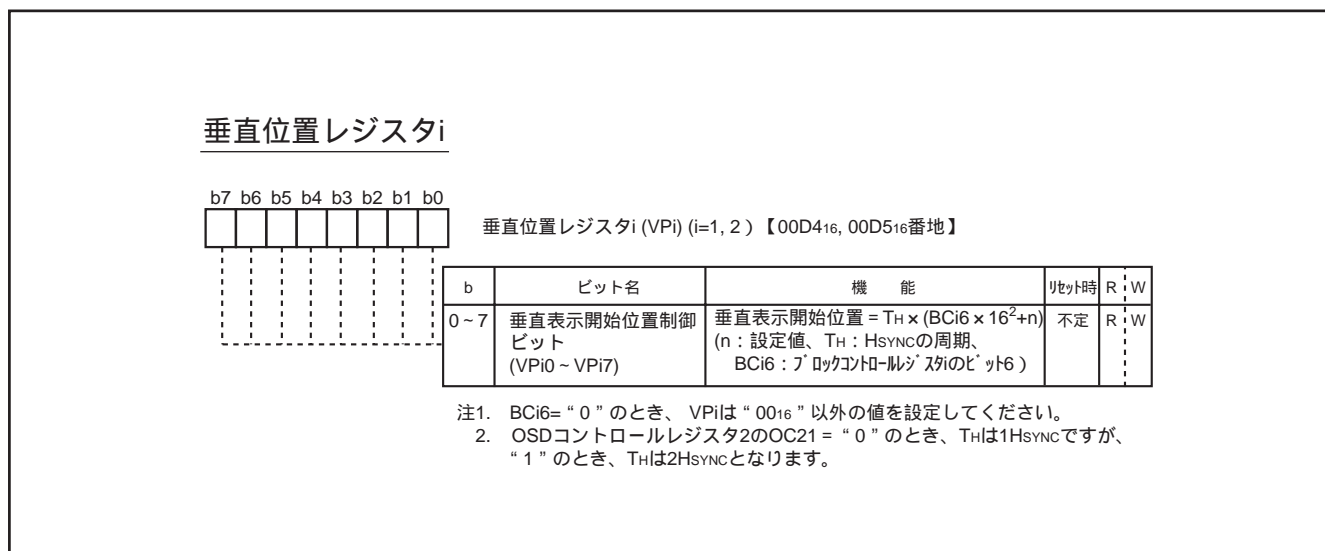


図 8.11.7 垂直位置レジスタ*i* (*i*=1, 2)

水平表示開始位置は全ブロック共通で、水平位置レジスタ (00D116番地) のビット0～ビット6に“0016”～“7F16”の値を設定することにより、128段階 (1段階あたり4Tosc (Tosc : OSD発振周期)) の設定ができます。図8.11.8に水平位置レジスタを示します。

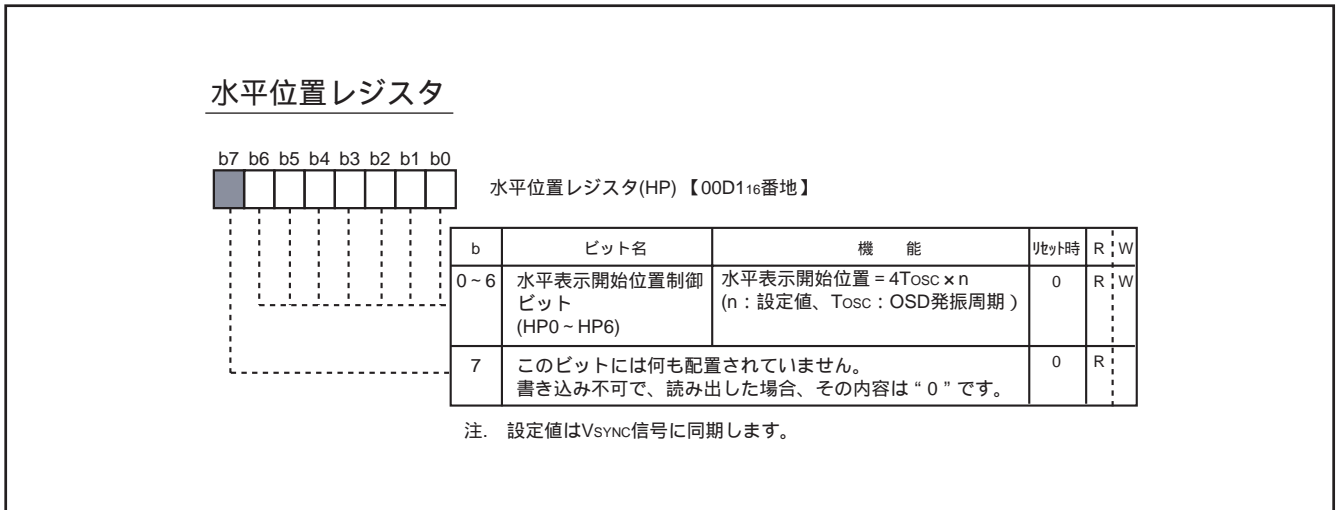


図8.11.8 水平位置レジスタ

- 注1. 水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、 $1T_c$ (T_c : プリ分周したOSD用クロック周期) の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。
- 水平表示開始位置は各ブロックで選択したOSD用クロックソースの周期を基準に決定しますので、OSD用クロックソース周期の異なるブロックの水平表示開始位置は一致しません。
 - 水平位置レジスタを“0016”に設定した場合、HSYNC信号の立ち上がりエッジ (負極性の場合) から水平表示開始位置まで約 $62T_{osc}$ ($=T_{def}$) の間隔が必要です。

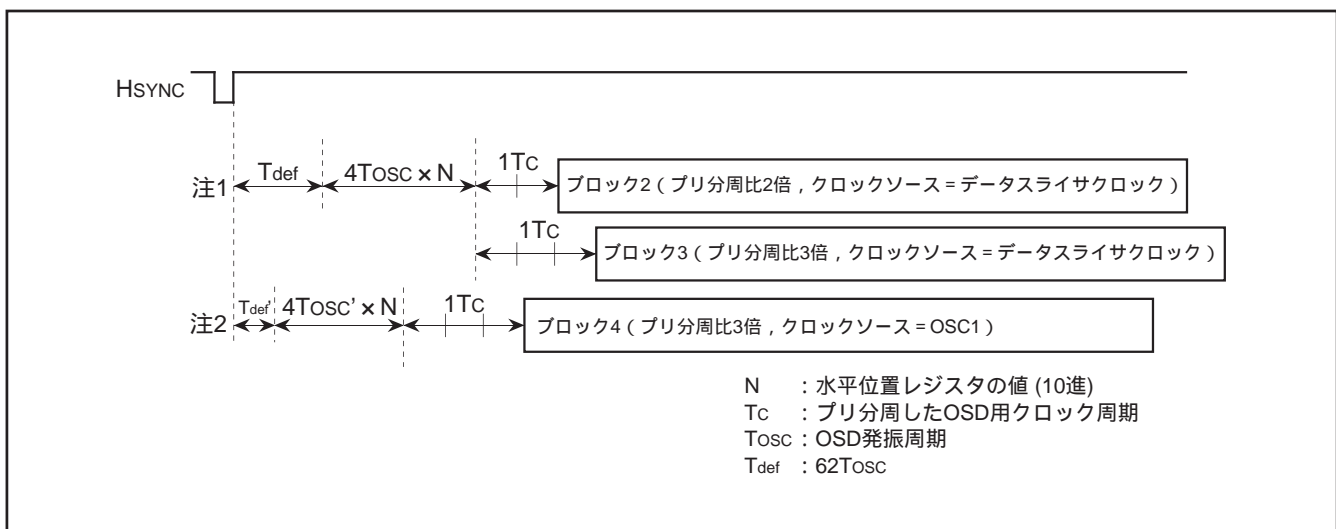


図8.11.9 水平表示開始位置の注意点

8.11.2 ドットサイズ

表示するドットの大きさはブロック単位に選択できます。垂直方向のドットサイズは、HSYNCを垂直ドットサイズコントロール回路で分周することによって決定されます。水平方向のドットサイズは、OSD用クロックソース(データサイサックロック, $f(\text{osc})$)をプリ分周回路で分周したクロックを水平ドットサイズコントロール回路で分周することによって決定されます。プリ分周回路で分周されたクロックの周期を $1T_c$ と定義します。

プリ分周比は、OSDコントロールレジスタ(00D0₁₆番地)のビット7及びブロックコントロールレジスタ*i*(00D2₁₆, 00D3₁₆番地)のビット4によって指定します。OSDコントロールレジスタ(00D0₁₆番地)のビット7を“0”に設定したときはブロックコントロールレジスタ*i*のビット

4によりブロック単位でプリ分周比2倍または3倍を選択できますが、“1”に設定したときはブロック1,2ともに、プリ分周比が1倍になります。プリ分周されたドットサイズは、ブロックコントロールレジスタ*i*のビット2及び3によってブロック単位で指定します。

図 8.11.10 にドットサイズ制御回路のブロック図を示します。

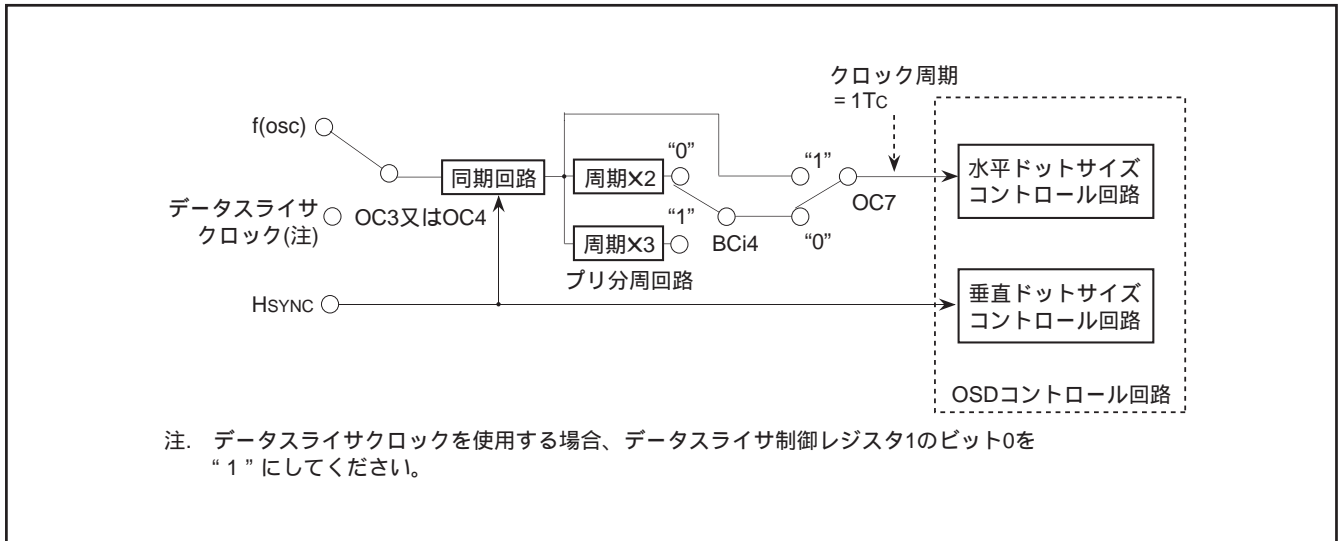


図 8.11.10 ドットサイズ制御回路のブロック図

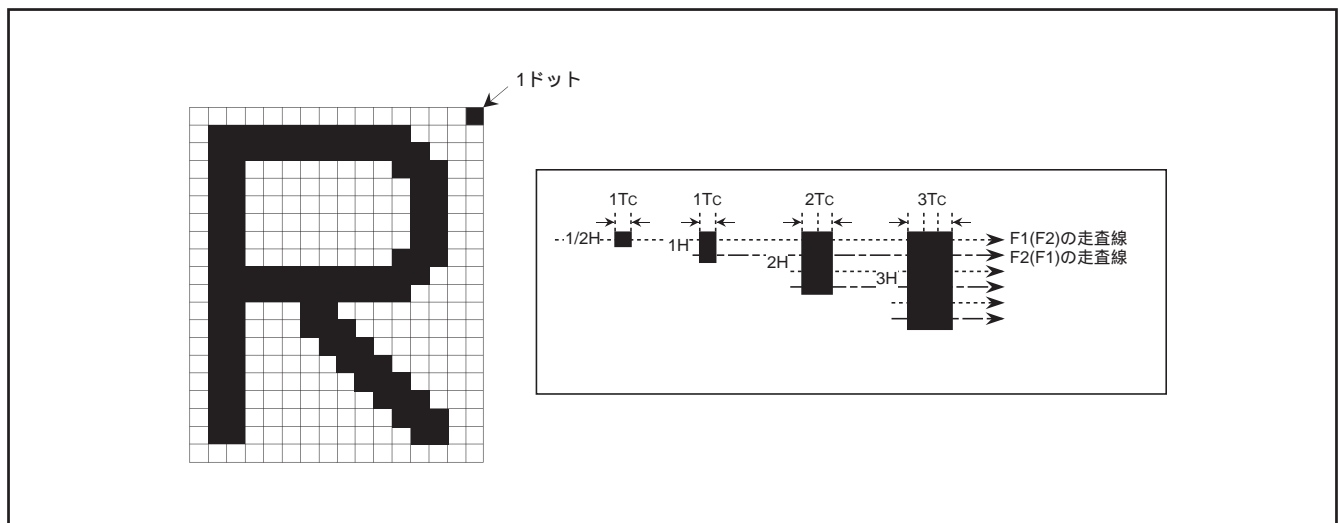


図 8.11.11 ドットサイズの定義

8.11.3 OSD用クロック

OSDに使用するクロックは、以下の2種類の中から選択することができます。

- ・ データスライサから出力されるデータスライサクロック (約26MHz)
- ・ FSCIN端子からの基準クロックをもとに生成したOSD用クロック f(osc)

OSD用クロックは、OSDコントロールレジスタ(00D0₁₆番地)のビット3,4によって、選択することができます。ドットサイズとOSD用クロックを組合せることで多様な文字サイズが可能になります。

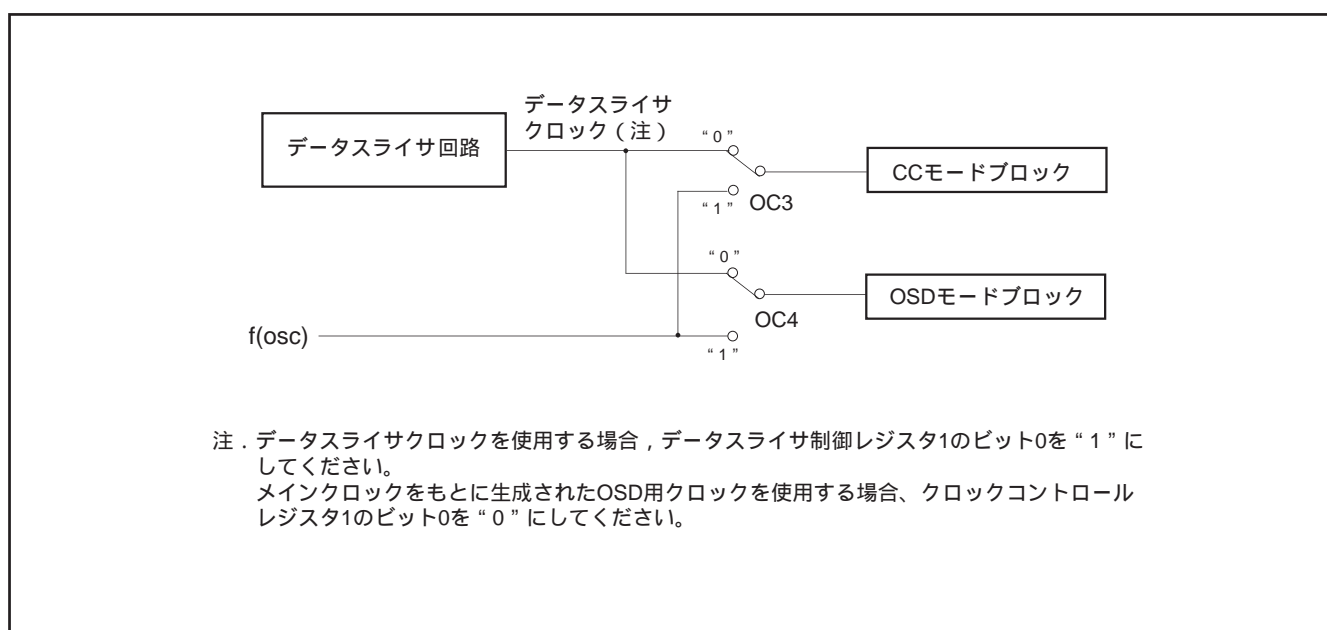


図 8.11.12 OSD用クロックの選択回路のブロック図

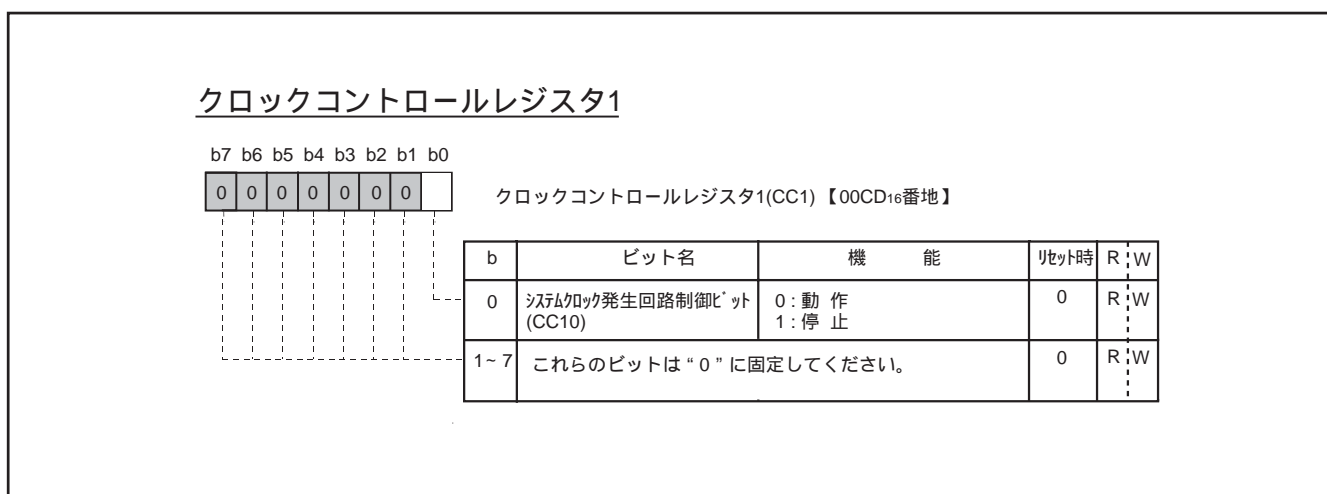


図 8.11.13 クロックコントロールレジスタ1

8.11.4 フィールド判別表示

垂直ドットサイズ=1/2Hのブロックの表示は、インタレース方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1(図8.11.15参照)を交互に表示します。

以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち上がりエッジからマイコン内部のVSYNC制御信号(図8.11.6を参照)の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のVSYNC制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ(入出力極性コントロールレジスタ;00D8₁₆番地のビット6)で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます(図8.11.15参照)。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

入出力極性コントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

入出力極性コントロールレジスタ(PC)【00D8₁₆番地】

b	ビット名	機能	ビット時	R/W
0	HSYNC入力極性切り替えビット(PC0)	0: 正極性入力 1: 負極性入力	0	R/W
1	VSYNC入力極性切り替えビット(PC1)	0: 正極性入力 1: 負極性入力	0	R/W
2	R/G/B出力極性切り替えビット(PC2)	0: 正極性出力 1: 負極性出力	0	R/W
3	OUT出力極性切り替えビット(PC3)	0: 正極性出力 1: 負極性出力	0	R/W
4	このビットは“0”に固定してください。		0	R/W
5	表示ドットライン選択ビット(PC5)(注)	0: 偶数フィールド時は <input type="checkbox"/> 奇数フィールド時は <input checked="" type="checkbox"/> 1: 偶数フィールド時は <input checked="" type="checkbox"/> 奇数フィールド時は <input type="checkbox"/>	0	R/W
6	フィールド判別フラグ(PC6)	0: 偶数フィールド時は 奇数フィールド時は	1	R/-
7	このビットは“0”に固定してください。		0	R/W

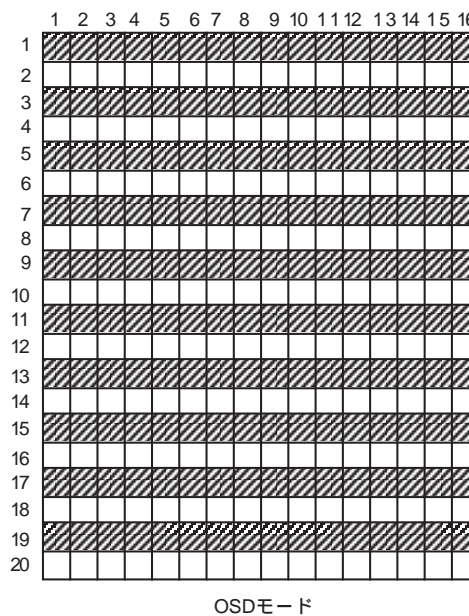
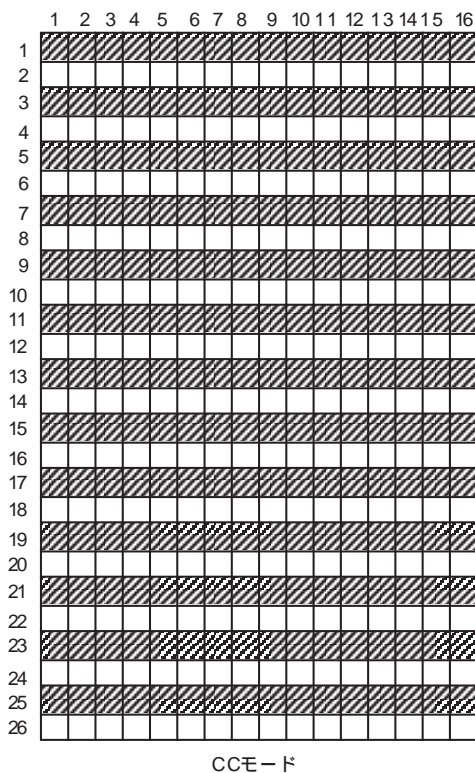
注: 対応図(図8.11.15)参照。

図8.11.14 入出力極性コントロールレジスタ

Hsync信号, Vsync信号共に負極性入力の場合

Hsync		フィールド	フィールド判別フラグ (注)	表示ドットライン選択ビット	表示ドットライン
Vsyncとマイコン内部のVsync制御信号 上: Vsync信号 下: マイコン内部のVsync制御信号		奇数			
		偶数	0 (T2 > T1)	0	ドットライン1 □
		奇数	1 (T3 < T2)	0	ドットライン0 ■
				1	ドットライン1 □

フィールド判別フラグを使用する場合, PWMモードレジスタ1 (0208₁₆番地) のビット0は必ず“0”にしてください。



例. 表示ドットライン選択ビット = “0” の場合, 偶数フィールド時□のフォント, 奇数フィールド時■のフォントを表示します。また, 入出力極性コントロールレジスタのビット6には, フィールド判別フラグとして, 奇数フィールド時“1”が, 偶数フィールド時“0”が読み出されます。

OSD ROMフォント構成図

注. フィールド判別フラグはマイコン内部のVsync制御信号 (負極性入力) の立ち上がりのタイミングで変化します。

図 8.11.15 フィールド判別フラグと表示フォントの関係

8.11.5 OSD用メモリ

OSD用メモリは、文字のドットデータを格納するOSD ROMと、表示する文字、及び色を指定するOSD RAMの2種類があります。

OSD ROM : 11400₁₆ ~ 13BFF₁₆ 番地

OSD RAM : 0800₁₆ ~ 087F₁₆ 番地

(1) OSD ROM

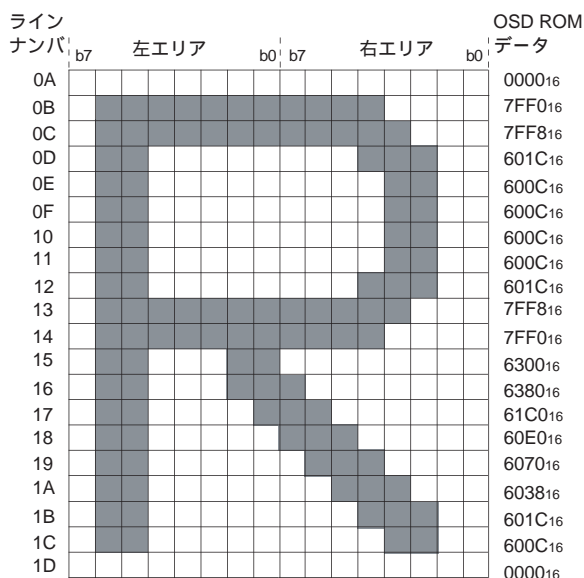
OSD ROMにはキャラクタフォントデータを格納します。表示キャラクタフォントの指示は、それらの文字コードをOSD RAMに書き込んで行います。

キャラクタフォントデータの格納アドレスを図8.11.16に示します。

キャラクタフォントデータのOSD ROMアドレス

OSD ROM アドレスビット	AD16	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
ラインナンバ/文字コード/ フォントビット	1	0	0	ラインナンバ				文字コード								フォント ビット	

ラインナンバ = "0A₁₆" ~ "1D₁₆"
 文字コード = "00₁₆" ~ "FF₁₆" (ただし, 7F₁₆, 80₁₆は使用できません)
 フォントビット = 0:左エリア 1:右エリア



キャラクタフォント

図 8.11.16 キャラクタフォントデータの格納アドレス

注1. OSD ROM領域内で、“7F₁₆”、“80₁₆”の文字コードに対応するアドレス(80バイト分)は、検査用データ格納領域です。下記にしたがって、データを入力してください。

検査用データ格納領域

11000₁₆+(4+2n) × 100₁₆+FE₁₆ ~ 11000₁₆+(5+2n) × 100₁₆+01₁₆
のアドレス領域 (n=0 ~ 19)

(1)マスク版 (M37150M6/M8/MA/MC/MF-XXXFP)

本領域には“FF₁₆”を入れてください。(この領域は、当社にて検査用データを格納しますので、実際の製品では、“FF₁₆”とは異なるデータになります。)当社指定のフォントエディタを使用した場合は、自動的に“FF₁₆”が書き込まれます。

(2)EPROM版 (M37150EFP)

本領域には検査用データを入れてください。当社指定のフォントエディタを使用した場合は、自動的に検査用データが書き込まれます。

2.“09₁₆”の文字コードは、Closed Captionを表示する場合の“transparent space”のキャラクタとして使用することを前提としています。

したがって、“09₁₆”の文字コードに対応するアドレス(40バイト分)には“00₁₆”を入れてください。

“transparent space”フォントデータ格納領域

11000₁₆ + (4 + 2n) × 100₁₆ + 12₁₆ ~ 11000₁₆ + (4 + 2n) × 100₁₆ + 13₁₆
のアドレス領域 (n=0 ~ 19)

11412 ₁₆ 、11413 ₁₆ 番地
11612 ₁₆ 、11613 ₁₆ 番地
⋮
13812 ₁₆ 、13813 ₁₆ 番地
13A12 ₁₆ 、13A13 ₁₆ 番地

M37150EFP

< “7F₁₆” > アドレス (検査用データ)

114FE ₁₆ (09 ₁₆)	,	114FF ₁₆ (51 ₁₆)
116FE ₁₆ (00 ₁₆)	,	116FF ₁₆ (52 ₁₆)
118FE ₁₆ (12 ₁₆)	,	118FF ₁₆ (53 ₁₆)
11AFE ₁₆ (00 ₁₆)	,	11AFF ₁₆ (54 ₁₆)
11CFE ₁₆ (24 ₁₆)	,	11CFF ₁₆ (55 ₁₆)
11EFE ₁₆ (00 ₁₆)	,	11EFF ₁₆ (56 ₁₆)
120FE ₁₆ (88 ₁₆)	,	120FF ₁₆ (57 ₁₆)
122FE ₁₆ (00 ₁₆)	,	122FF ₁₆ (58 ₁₆)
124FE ₁₆ (90 ₁₆)	,	124FF ₁₆ (59 ₁₆)
126FE ₁₆ (48 ₁₆)	,	126FF ₁₆ (5A ₁₆)
128FE ₁₆ (24 ₁₆)	,	128FF ₁₆ (5B ₁₆)
12AFE ₁₆ (00 ₁₆)	,	12AFF ₁₆ (5C ₁₆)
12CFE ₁₆ (24 ₁₆)	,	12CFF ₁₆ (5D ₁₆)
12EFE ₁₆ (48 ₁₆)	,	12EFF ₁₆ (5E ₁₆)
130FE ₁₆ (00 ₁₆)	,	130FF ₁₆ (5F ₁₆)
132FE ₁₆ (48 ₁₆)	,	132FF ₁₆ (50 ₁₆)
134FE ₁₆ (90 ₁₆)	,	134FF ₁₆ (51 ₁₆)
136FE ₁₆ (00 ₁₆)	,	136FF ₁₆ (52 ₁₆)
138FE ₁₆ (01 ₁₆)	,	138FF ₁₆ (53 ₁₆)
13AFE ₁₆ (80 ₁₆)	,	13AFF ₁₆ (54 ₁₆)

< “80₁₆” > アドレス (検査用データ)

11500 ₁₆ (90 ₁₆)	,	11501 ₁₆ (A1 ₁₆)
11700 ₁₆ (00 ₁₆)	,	11701 ₁₆ (A2 ₁₆)
11900 ₁₆ (48 ₁₆)	,	11901 ₁₆ (A3 ₁₆)
11B00 ₁₆ (00 ₁₆)	,	11B01 ₁₆ (A4 ₁₆)
11D00 ₁₆ (24 ₁₆)	,	11D01 ₁₆ (A5 ₁₆)
11F00 ₁₆ (00 ₁₆)	,	11F01 ₁₆ (A6 ₁₆)
12100 ₁₆ (12 ₁₆)	,	12101 ₁₆ (A7 ₁₆)
12300 ₁₆ (00 ₁₆)	,	12301 ₁₆ (A8 ₁₆)
12500 ₁₆ (09 ₁₆)	,	12501 ₁₆ (A9 ₁₆)
12700 ₁₆ (00 ₁₆)	,	12701 ₁₆ (AA ₁₆)
12900 ₁₆ (81 ₁₆)	,	12901 ₁₆ (AB ₁₆)
12B00 ₁₆ (18 ₁₆)	,	12B01 ₁₆ (AC ₁₆)
12D00 ₁₆ (00 ₁₆)	,	12D01 ₁₆ (AD ₁₆)
12F00 ₁₆ (42 ₁₆)	,	12F01 ₁₆ (AE ₁₆)
13100 ₁₆ (24 ₁₆)	,	13101 ₁₆ (AF ₁₆)
13300 ₁₆ (00 ₁₆)	,	13301 ₁₆ (B0 ₁₆)
13500 ₁₆ (81 ₁₆)	,	13501 ₁₆ (B1 ₁₆)
13700 ₁₆ (0C ₁₆)	,	13701 ₁₆ (B2 ₁₆)
13900 ₁₆ (06 ₁₆)	,	13901 ₁₆ (B3 ₁₆)
13B00 ₁₆ (00 ₁₆)	,	13B01 ₁₆ (B4 ₁₆)

(2) OSD RAM

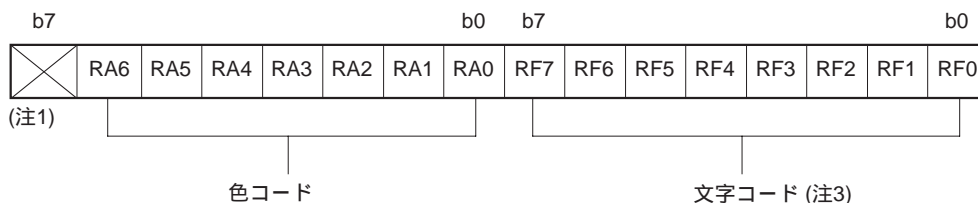
OSD RAMは、0800₁₆ ~ 087F₁₆番地に割り当てられており、ブロックごとに文字コード指定部、色コード指定部に分かれています。アドレスマップを表 8.11.2 に示します。

たとえば、ブロック1の一文字目(左端)に文字を表示する場合、0800₁₆番地に文字コードを、0820₁₆番地に表示する色コードを書き込みます。OSD RAMのビット構成を図 8.11.17 に示します。

表 8.11.2 OSD RAM 内容

ブロック	表示位置(左から)	文字コード指定	色指定
ブロック1	1文字目	0800 ₁₆	0820 ₁₆
	2文字目	0801 ₁₆	0821 ₁₆
	3文字目	0802 ₁₆	0822 ₁₆
	⋮	⋮	⋮
	30文字目	081D ₁₆	083D ₁₆
	31文字目	081E ₁₆	083E ₁₆
ブロック2	32文字目	081F ₁₆	083F ₁₆
	1文字目	0840 ₁₆	0860 ₁₆
	2文字目	0841 ₁₆	0861 ₁₆
	3文字目	0842 ₁₆	0862 ₁₆
	⋮	⋮	⋮
	30文字目	085D ₁₆	087D ₁₆
31文字目	085E ₁₆	087E ₁₆	
32文字目	085F ₁₆	087F ₁₆	

ブロック 1, ブロック2



ビット	CCモード		OSDモード	
	ビット名	機能	ビット名	機能
RF0	文字コード	OSD ROMの 文字コード	文字コード	OSD ROMの 文字コード
RF1				
RF2				
RF3				
RF4				
RF5				
RF6				
RF7				
RA0	文字色R制御	0 : 色信号出力OFF 1 : 色信号出力ON	文字色R制御	0 : 色信号出力OFF 1 : 色信号出力ON
RA1	文字色G制御		文字色G制御	
RA2	文字色B制御		文字色B制御	
RA3	OUT制御	(注2)	OUT制御	(注2)
RA4	フラッシュ制御	0 : フラッシュOFF 1 : フラッシュON	文字背景色R制御	0 : 色信号出力OFF 1 : 色信号出力ON
RA5	アンダーライン制御		文字背景色G制御	
RA6	イタリック制御		文字背景色B制御	

- 注1. 色コードのビット7の読み出し値は“不定”となります。
 2. OUT出力制御については、後述の「8.11.8 OUT信号」を参照してください。
 3. 文字コードとして、“7F16”“8016”は使用できません。

図 8.11.17 OSD RAMのビット構成

8.11.6 文字色

表示色は、色コードによって文字単位に表示できます。
< 7種類 >
色コードのビット0(R)、ビット1(G)、ビット2(B)によって指定

8.11.7 文字背景色

OSDモード時にだけ、文字表示領域に文字背景色を着色することができます。文字背景色は、色コードによって文字単位に表示できます。
< 7種類 >
色コードのビット4(R)、ビット5(G)、ビット6(B)によって指定

注. 文字背景色は文字表示領域からキャラクタフォント、フチドリ部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。

8.11.8 OUT 信号

OUT信号は映像信号の輝度を制御するために使用します。OUT信号の出力波形は、OSD RAMのRA3によって制御します。図8.11.18にOUT制御の設定値とその出力波形を示します。



図 8.11.18 OUT 制御の設定値とその波形

8.11.9 アトリビュート

キャラクタフォントに対してアトリビュート（フラッシュ、アンダーライン、イタリック）を制御することができます。各モード別に制御できるアトリビュートが異なります。

CCモード フラッシュ、アンダーライン、イタリック
（文字単位に指定）

OSDモード フチドリ
（文字単位に指定）

(1) アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び24ライン目に出力されます。アンダーラインはOSD RAMのRA5で制御します。なお、アンダーラインはキャラクタフォントと同色です。

(2) フラッシュ（点滅）

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーラインをフラッシュさせます。フラッシュはOSD RAMのRA4で制御します。キャラクタフォント部の文字出力部はフラッシュしますが、文字背景部はフラッシュしません。また、フラッシュの周期はVSYNCのカウントを基準とします。

< NTSC方式の場合 >

- ・ VSYNC 周期 × 48 800ms（表示 ON 時）
- ・ VSYNC 周期 × 16 267ms（表示 OFF 時）

(3) イタリック

イタリック体はCCモード時にだけ、OSD ROMに格納されたフォントを右側に傾斜させることにより作成します。イタリックはOSD RAMのRA6で制御します。

図8.11.19に“R”を表示した場合の、アトリビュートの表示例を示します。

- 注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
2. 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません（図8.11.20参照）。
3. イタリック体の文字に隣接する文字（片側又は両側）は、その文字がイタリックを指定していない場合でもイタリック体になります（図8.11.20参照）。
4. プリ分周比1の設定では、イタリック表示は使用できません。

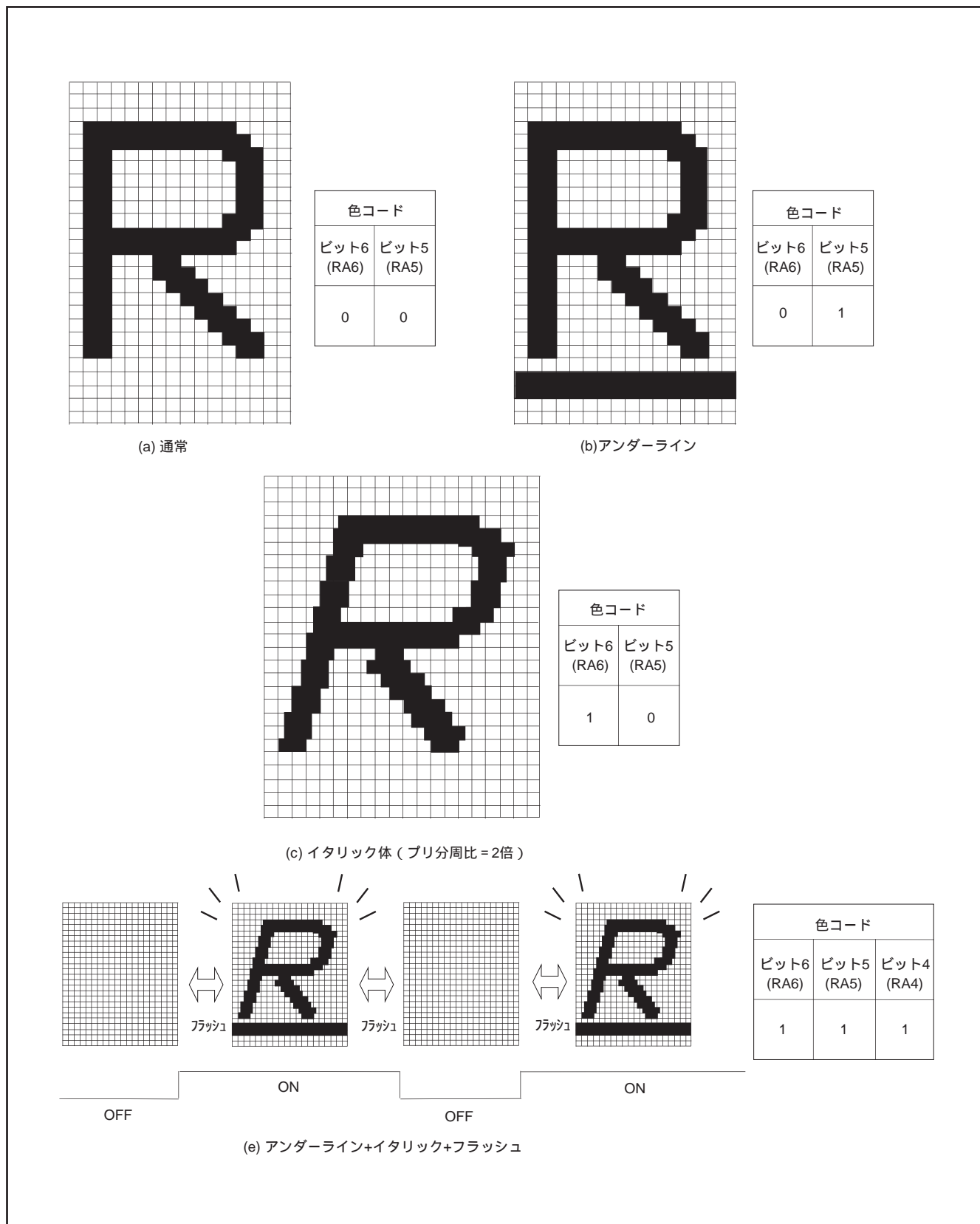


図 8.11.19 アトリビュート表示例 (CC モード時)

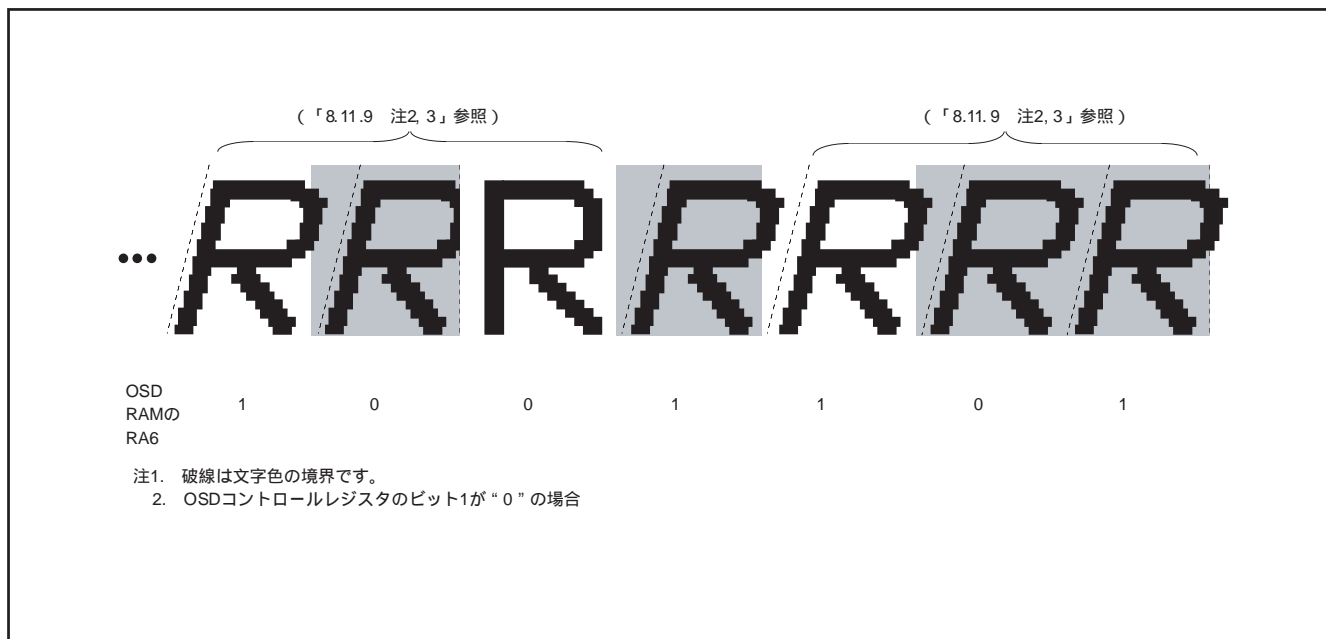


図 8.11.20 イタリック表示例

(4)フチドリ

フチドリはOSDモード時にだけキャラクタフォントの周囲(周囲フチドリ)に出力されます。フチドリのON/OFFは、ブロックコントロールレジスタiのビット0, 1(図8.11.4参照)でブロック単位に制御できます。

フチドリの出力はOUT信号で行われます。

フチドリの水平サイズ(x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅(OSDクロックをプリ分周した周期幅)です。垂直サイズ(y)は、画面のスクアンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

- 注1. フチドリドットの表示域は図8.11.21に示す網掛けの範囲です。
- 2. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます(図8.11.23のA参照)。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます(図8.11.23のB参照)。
- 3. キャラクタフォントの文字領域をはみ出した上下方向のフチドリは表示されません(図8.11.23参照)。

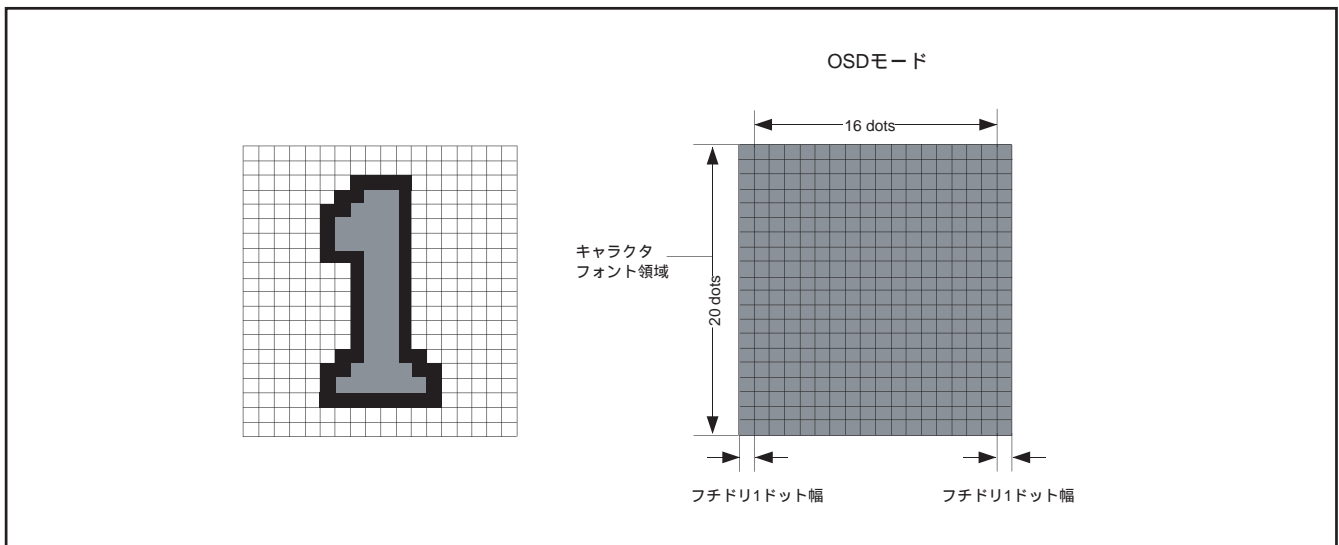


図8.11.21 フチドリ表示例とフチドリ領域

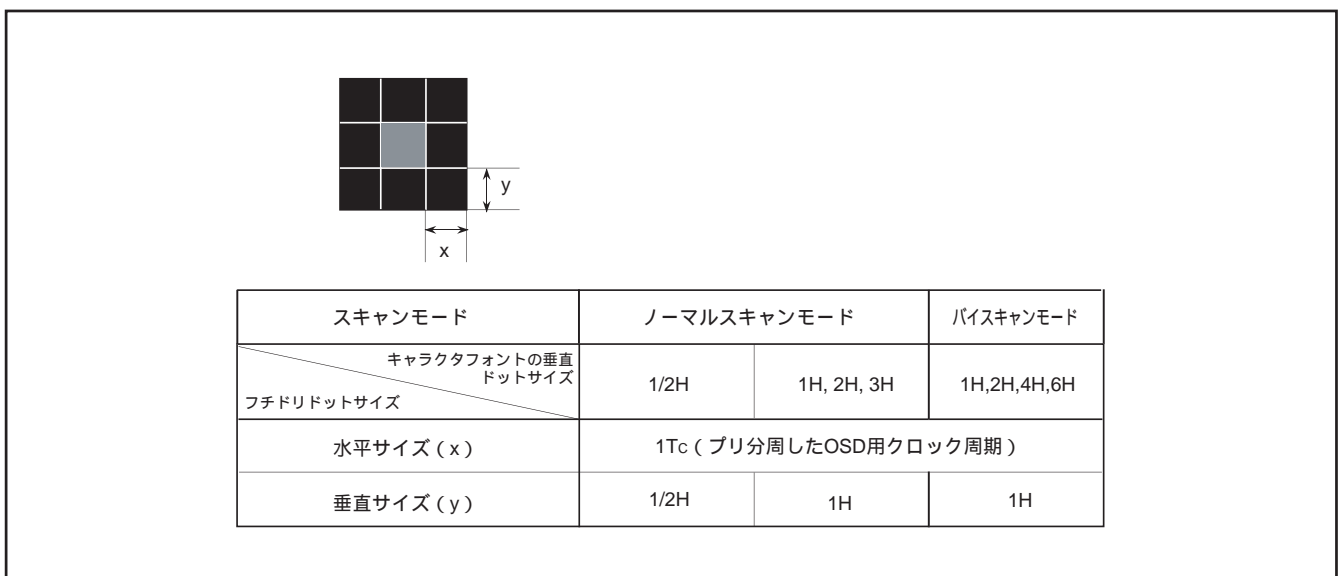


図8.11.22 フチドリの水平サイズ及び垂直サイズ

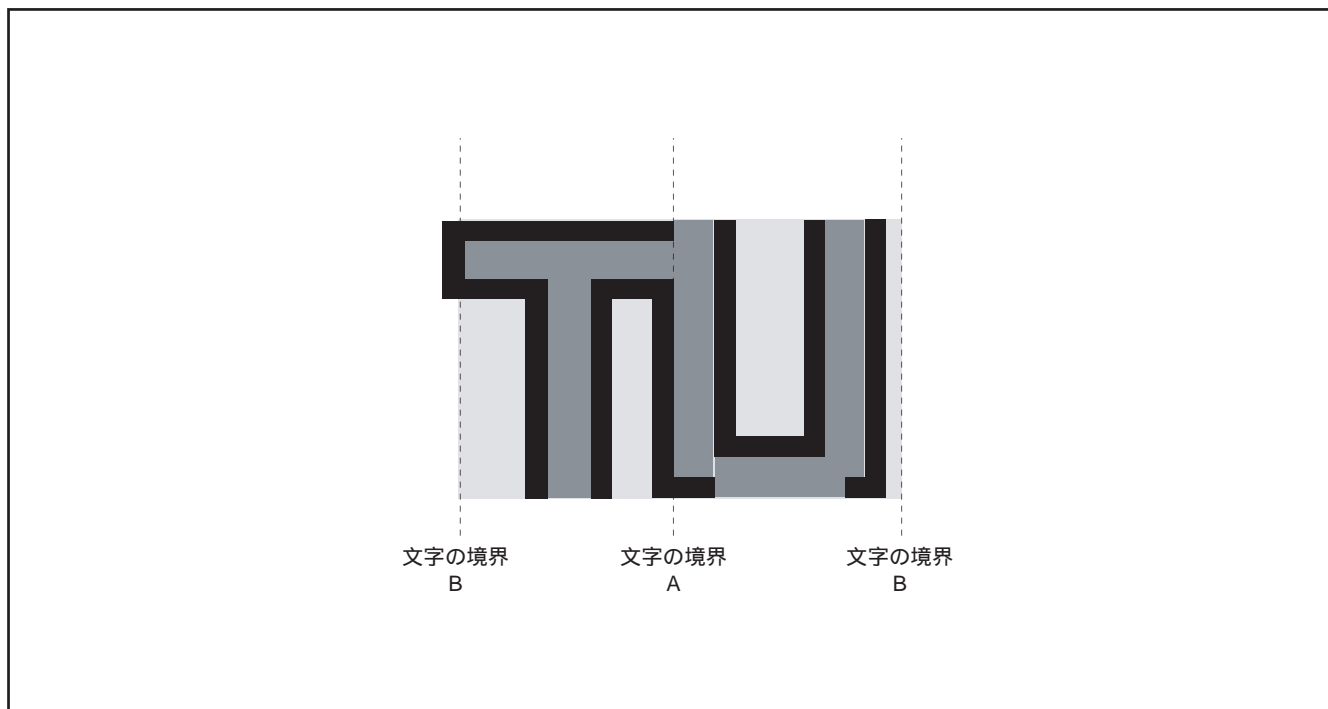


図 8.11.23 フチドリの優先順位

8.11.10 多行表示

本マイクロコンピュータは通常、2つのブロックを別々の垂直位置に表示することによって2行の表示を行うことができます。更に、OSD 割り込みを用いることにより、2行以上の表示を行うことができます。

OSD 割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置（垂直位置レジスタにより指定）にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。

- 注1. ブロック表示終了時に発生する“OSD 割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタi(00D216, 00D316番地)の表示制御ビットの設定によってブロックの表示がオフ(非表示)状態であれば、“OSD 割り込み要求”は発生しません(図8.11.24のA参照)。
2. 1つのブロック表示中に他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します(図8.11.24のB参照)。
3. ウィンドウを設定した画面で、ウィンドウ外にあるCCモードブロック(表示OFF)が表示終了した時点でも“OSD 割り込み要求”は発生します(図8.11.24のC参照)。

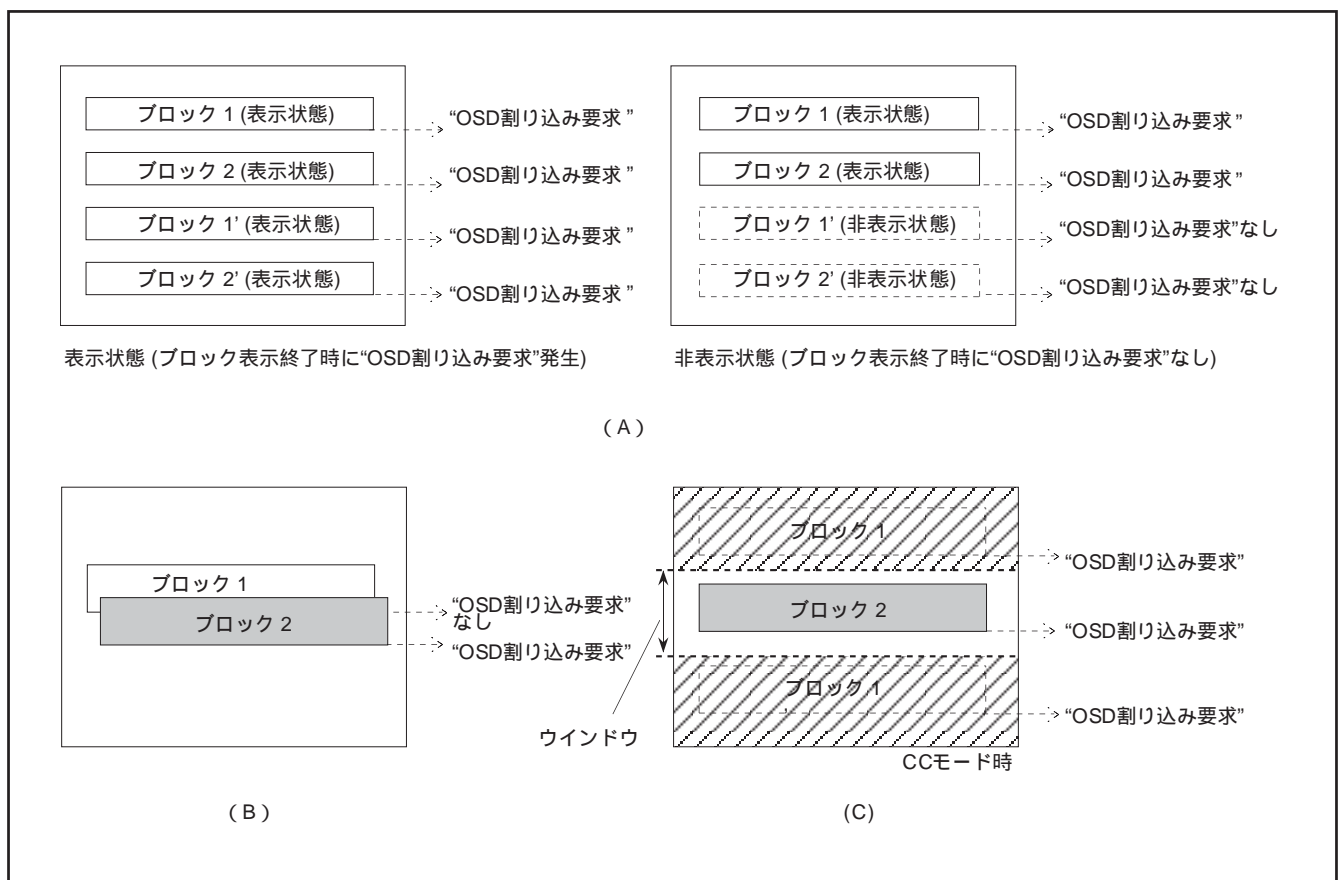


図8.11.24 OSD 割り込み発生時の注意点

8.11.11 オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース (OUT ブランク出力) を、ハードウェアで自動的に発生させる機能です。

ソリッドスペースは、文字コードが“09₁₆”以外の文字、及びその左右の文字の文字領域に出力されます。この機能はOSDコントロールレジスタのビット1(図8.11.3参照)でON/OFFします。

注. “09₁₆”の文字コードは、Closed Captionを表示する場合の“transparent space”のキャラクタとして使用することを前提としています。

したがって、“09₁₆”の文字コードに対応するアドレス(40バイト分)には“00₁₆”を入れてください。

“transparent space” フォントデータ格納領域
 $11000_{16} + (4 + 2n) \times 100_{16} + 12_{16} \sim 11000_{16} + (4 + 2n) \times 100_{16} + 13_{16}$
 のアドレス領域 (n=0 ~ 19)

11412 ₁₆ 、11413 ₁₆ 番地
11612 ₁₆ 、11613 ₁₆ 番地
⋮
13812 ₁₆ 、13813 ₁₆ 番地
13A12 ₁₆ 、13A13 ₁₆ 番地

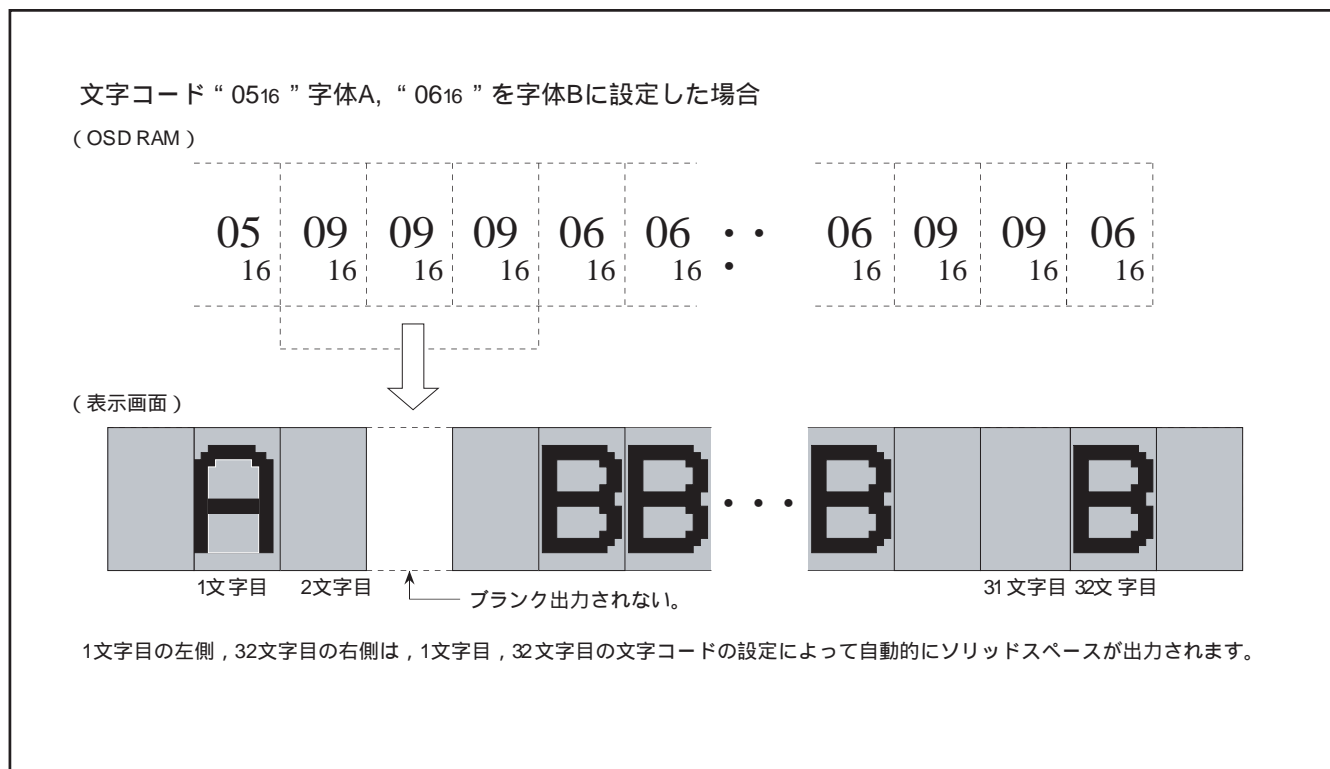


図 8.11.25 オートソリッドスペース画面表示例

8.11.12 スキャンモード

通常の2倍の周波数のHSYNCに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置、垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタ2のビット0で垂直ドットサイズを、ビット1で垂直表示開始位置を、それぞれ独立して設定できます。

表 8.11.3 スキャンモードの設定

項目	スキャンモード	ノーマルスキャン	バイスキャン
OSD コントロールレジスタ2のビット0		0	1
垂直ドットサイズ		1Tc × 1/2H 1Tc × 1H 2Tc × 2H 3Tc × 3H	1Tc × 1H 1Tc × 2H 2Tc × 4H 3Tc × 6H
OSD コントローラレジスタ2のビット1		0	1
垂直表示開始位置		垂直位置レジスタの値 × 1H	垂直位置レジスタの値 × 2H

8.11.13 ウィンドウ機能

画面内で表示する範囲の上限と下限を設定する機能です。ウィンドウ機能はCCモードでのみ有効です。ウィンドウの上限はウィンドウレジスタ1とブロックコントロールレジスタ1のビット7、下限はウィンドウレジスタ2とブロックコントロールレジスタ2のビット7によって指定します。また、ウィンドウ機能のON/OFFはOSDコントロールレジスタのビット2によって制御します(図8.11.3参照)。

図8.11.27と8.11.28にウィンドウレジスタを示します。また、OSDコントロールレジスタ2(00DB16番地)のビット1に“0”又は“1”の値を設定することにより、ウィンドウ上限位置または下限位置の設定1段階あたりのステップを1TH又は2THに切り換えることができます。

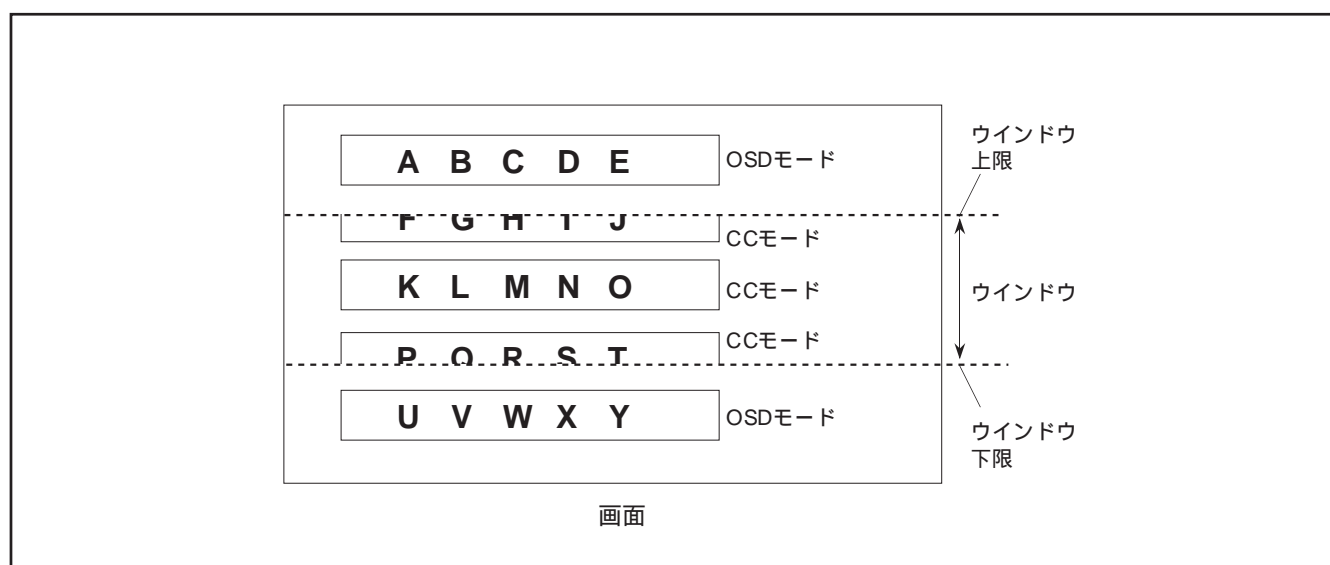
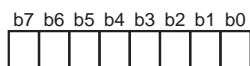


図 8.11.26 ウィンドウ機能例

ウインドウレジスタ1



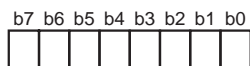
ウインドウレジスタ1(WN1)【00D6₁₆番地】

b	ビット名	機能	読出し時	R	W
0~7	ウインドウ上限位置 制御ビット (WN10~WN17)	ウインドウ上限位置 = $T_H \times (BC17 \times 16^2 + n)$ (n : 設定値、 T_H : HSYNCの周期、 BC17 : プログラムレジスタ1のビット7)	不定	R	W

- 注1. BC17=“0”のとき、WN1は“00₁₆”以外の値を設定してください。
- 2. WN1<WN2となるように値を設定してください。
- 3. OSDコントロールレジスタ2のOC21=“0”のとき、 T_H は1HSYNCですが、“1”のとき、 T_H は2HSYNCとなります。

図 8.11.27 ウインドウレジスタ1

ウインドウレジスタ2



ウインドウレジスタ2(WN2)【00D7₁₆番地】

b	ビット名	機能	読出し時	R	W
0~7	ウインドウ下限位置 制御ビット (WN20~WN27)	ウインドウ下限位置 = $T_H \times (BC27 \times 16^2 + n)$ (n : 設定値、 T_H : HSYNCの周期、 BC27 : プログラムレジスタ2のビット7)	不定	R	W

- 注1. WN1<WN2となるように値を設定してください。
- 2. OSDコントロールレジスタ2のOC21=“0”のとき、 T_H は1HSYNCですが、“1”のとき、 T_H は2HSYNCとなります。

図 8.11.28 ウインドウレジスタ2

8.11.14 OSD 出力端子制御

OSD 出力端子 R, G, B, OUT は、それぞれポート P52 ~ P55 と共用です。OSD ポートコントロールレジスタ (00CB₁₆番地) の対応するビットを“0”にすると OSD 出力端子、“1”にするとポート P5 として汎用出力端子となります。

HSYNC, VSYNC の入力極性、R, G, B, OUT の出力極性は入出力極性コントロールレジスタ(00D8₁₆番地)によって指定できます。“0”にすると正極性、“1”にすると負極性となります(図 8.11.14 参照)。

図 8.11.29 に OSD ポートコントロールレジスタを示します。

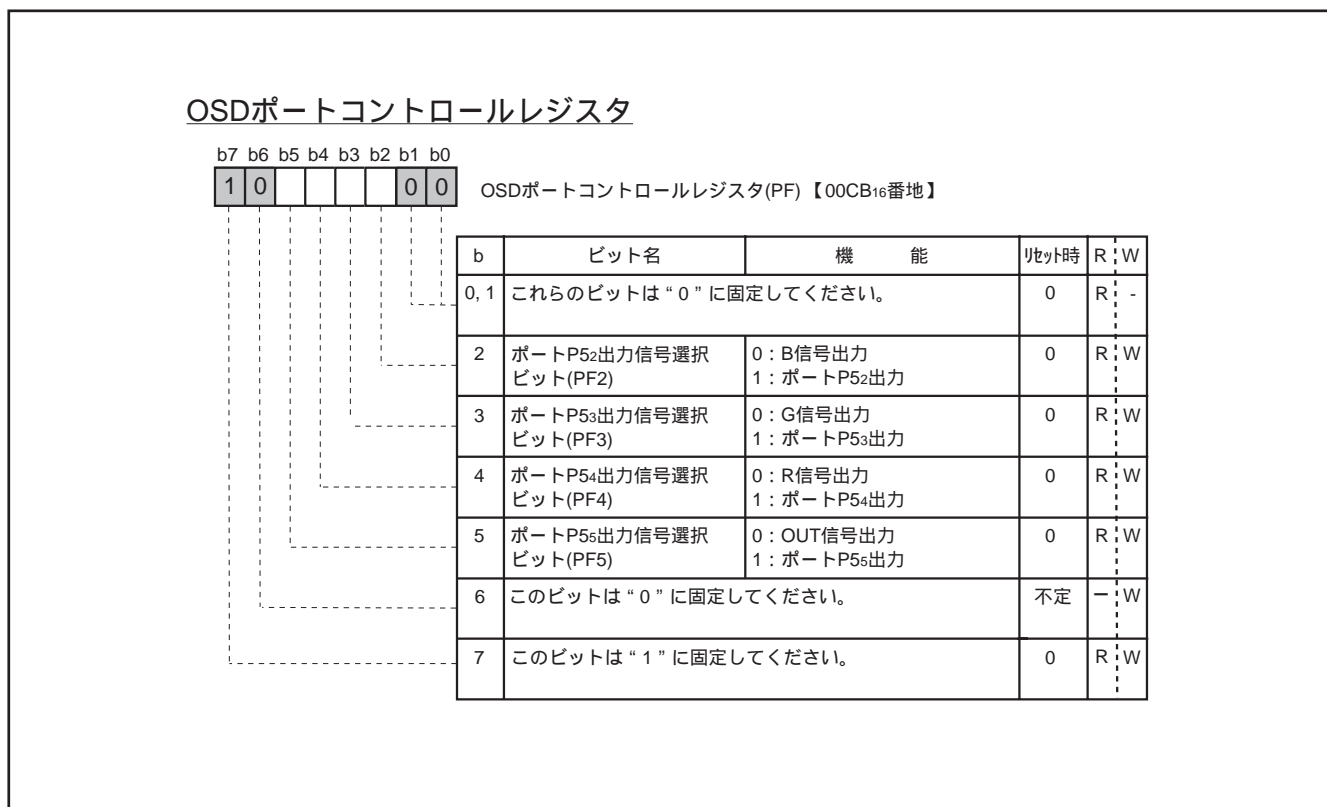


図 8.11.29 OSD ポートコントロールレジスタ

8.11.15 ラスター着色

ラスターカラーレジスタを設定することによって、一画面全体（ラスター）に着色を行うことができます。R, G, B, OUT端子それぞれをラスター信号出力に切り替えることが可能で、8種類のラスター着色が可能です。

文字色 / 文字背景色がラスター着色と重なっている部分は、文字色 / 文字背景色に指定した色信号 (R, G, B, OUT) が優先して出力されます。したがって文字色 / 文字背景色とラスター色が混合することはありません。

図8.11.30にラスターカラーレジスタを、図8.11.31にラスター着色例を示します。

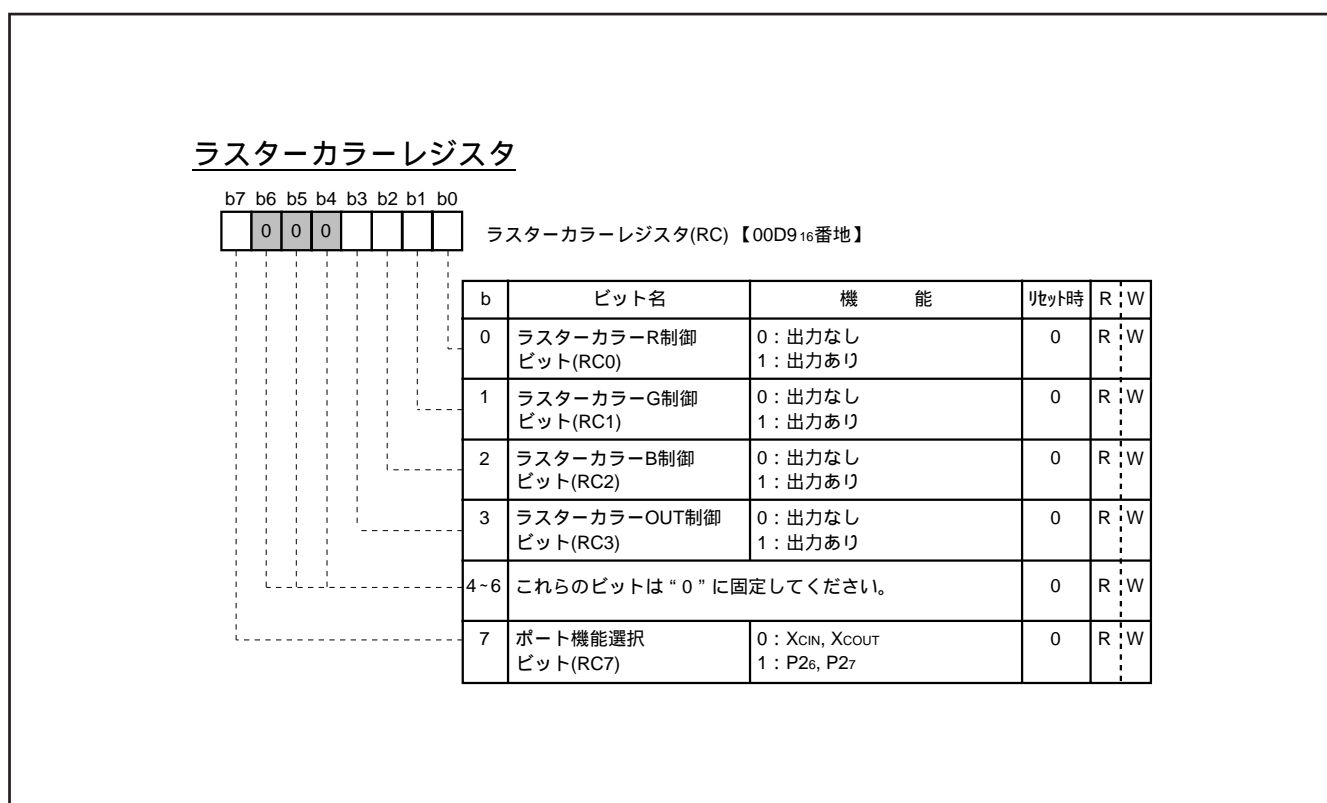


図8.11.30 ラスターカラーレジスタ

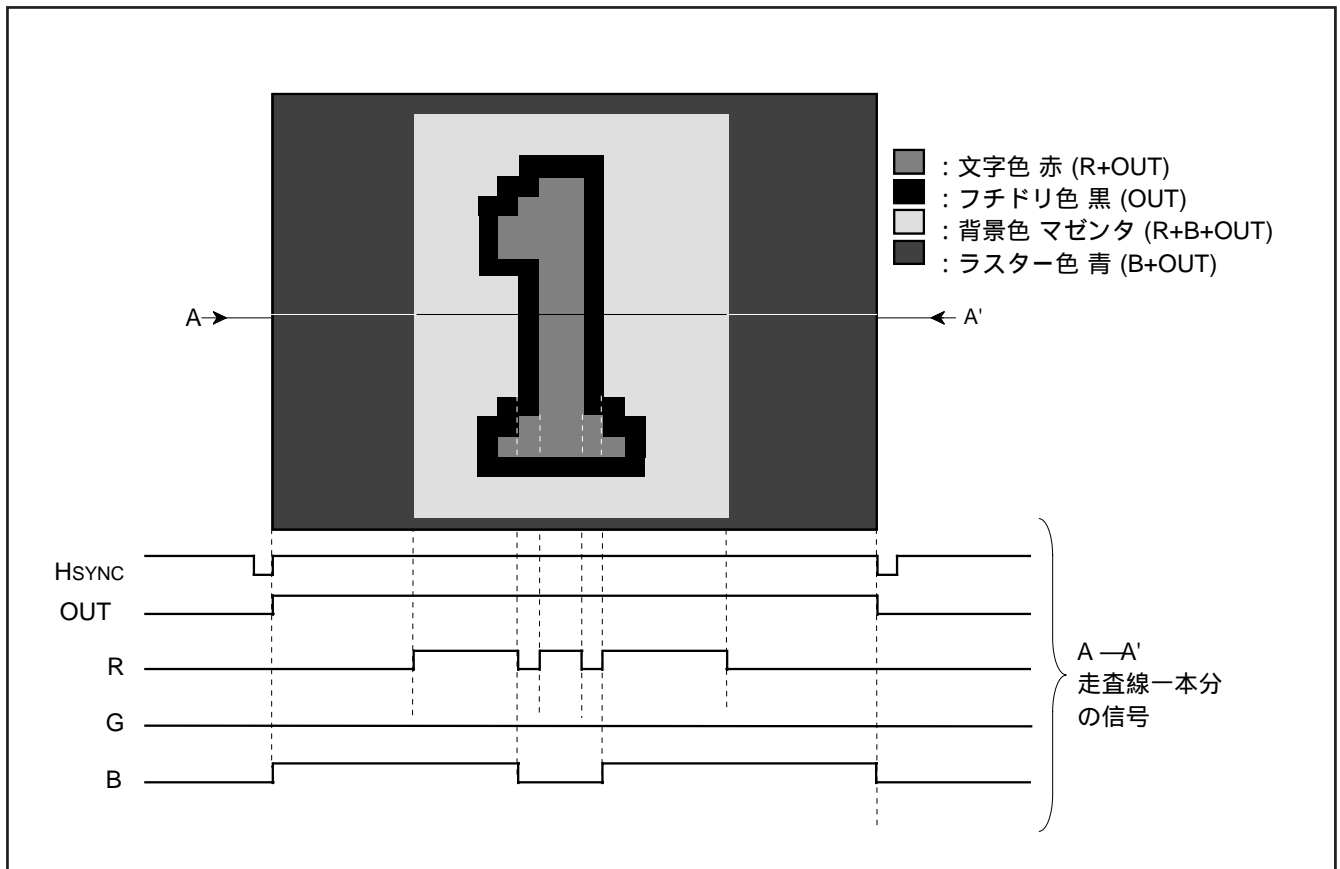


図 8.11.31 ラスター着色例

8.12 暴走検出機能

本マイクロコンピュータは、暴走を検出するための未定義命令をデコードする機能を持っています。

本マイクロコンピュータの動作中、命令コードとして未定義のオペコードがCPUに入力された場合、次の処理を行います。

CPUは未定義命令デコード信号を発生します。

未定義命令デコード信号の発生による内部リセットが行われます。

内部リセットによって、通常のリセット動作と同様のリセット処理が行われ、プログラムはリセットベクトルから再スタートします。

なお、暴走検出機能を無効にすることはできません。

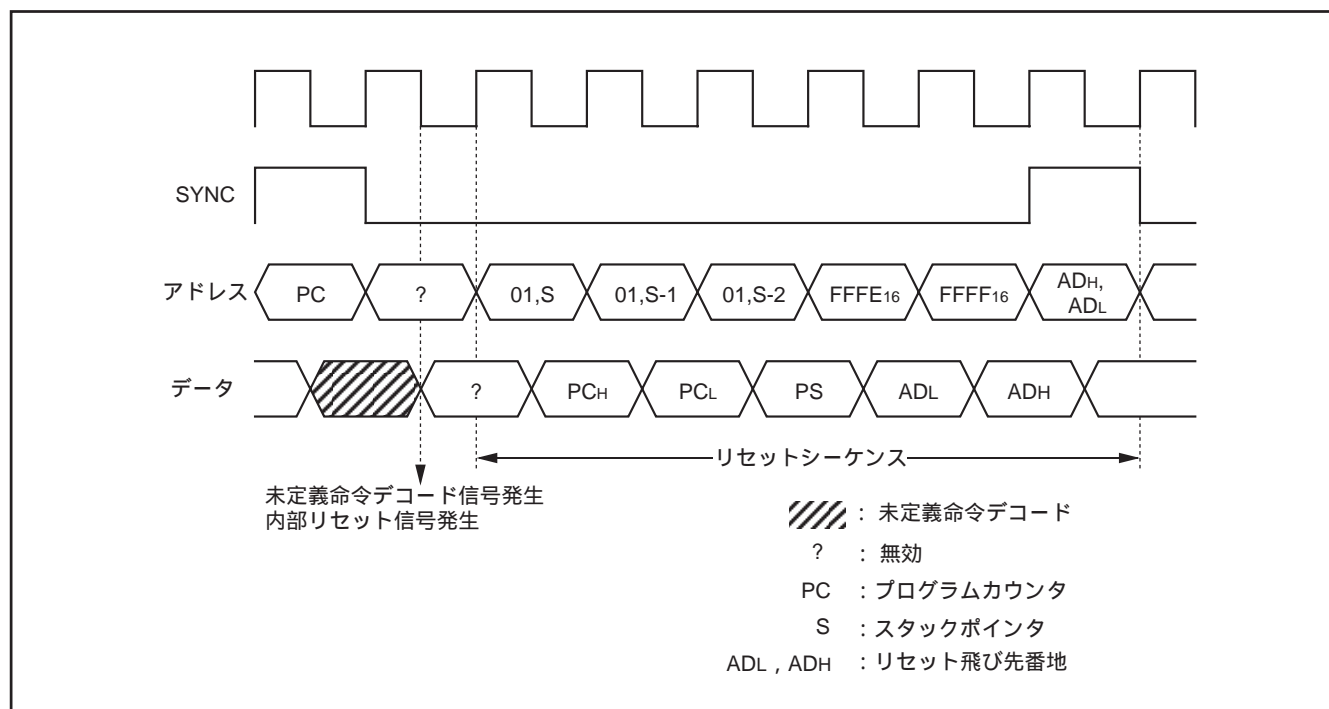


図 8.12.1 暴走検出時のシーケンス

8.13 リセット回路

本マイクロコンピュータは、電源電圧が $5\text{ V} \pm 10\%$ にあり、水晶発振子又はセラミック共振子などが安定発振しているとき RESET 端子を $2\ \mu\text{s}$ 以上 “L” レベルに保った後、“H” レベルに戻すと図8.13.2に示すシーケンスに従って、リセット解除され、FFFF₁₆ 番地の内容を上位アドレス、FFFE₁₆ 番地の内容を下位アドレスとする番地からプログラムスタートします。リセット動作によりマイクロコンピュータの内部の状態は図 8.2.2 ~ 図 8.2.5 のようになります。

リセット回路の一例を図 8.13.1 に示します。

リセット入力電圧は電源電圧が 4.5V を通過する時点で 0.9V 以下になるようにしてください。

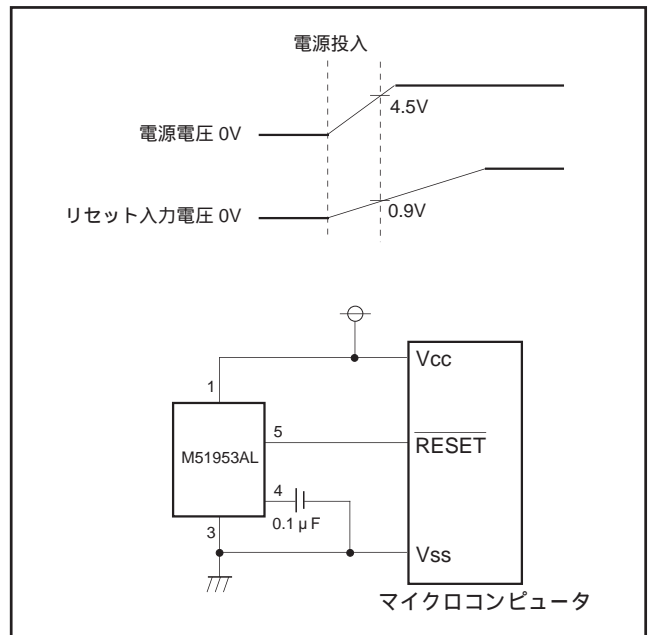


図 8.13.1 リセット回路例

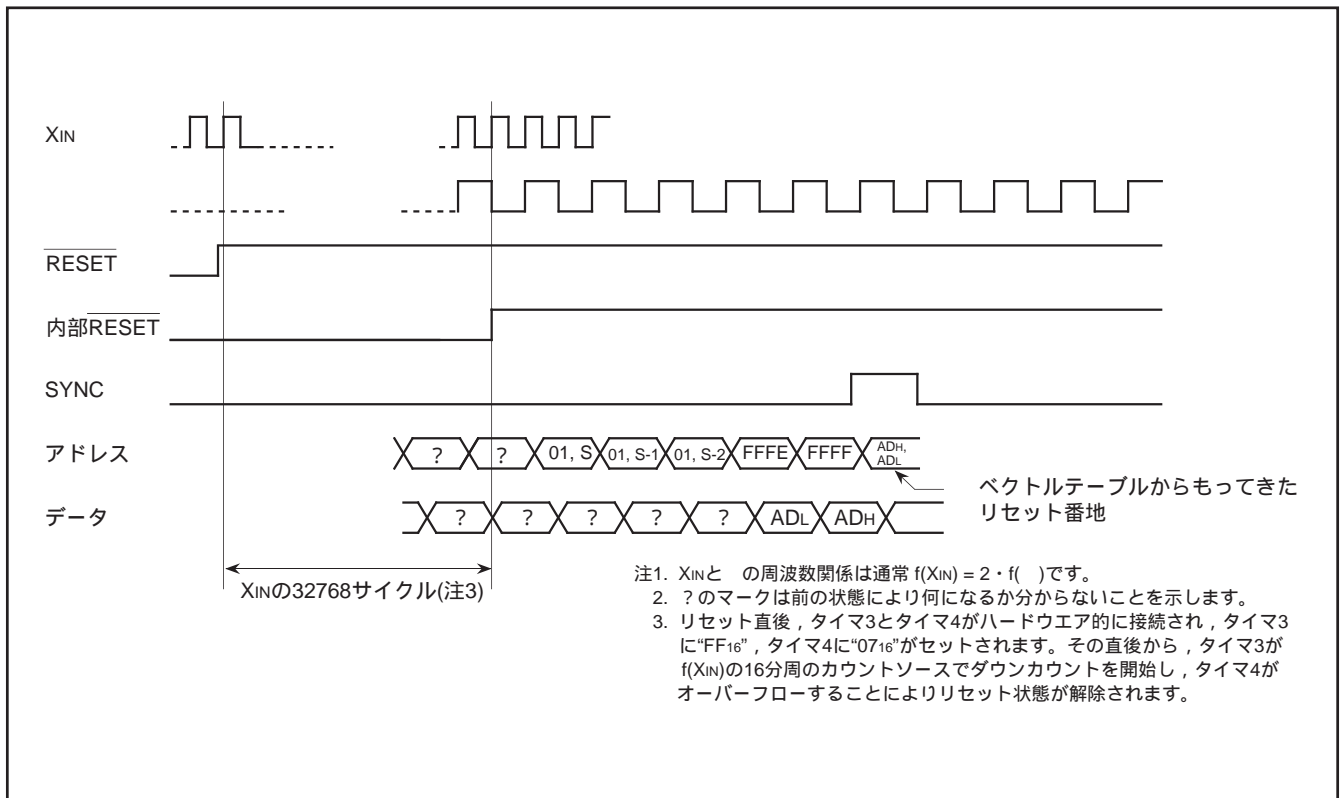


図 8.13.2 リセット時のタイミング図

8.14 クロック発生回路

本マイクロコンピュータは、メインクロック生成用の発振回路とサブクロックXCIN-XCOUTの2つの内部発振回路を内蔵しています。メインクロック、OSDクロックはFSCIN端子からの基準クロックをもとにして生成します。サブクロックはXCIN-XCOUTの間に共振子を接続することにより、発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。また、サブクロックはFSCIN端子から直接供給することもできます。メインクロック生成用のFILT端子には図8.14.1に示すフィルタをご使用ください。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗を付けてください。

OSDクロックは、データスライサから出力されるデータスライサクロック(約26MHz)を選択することもできます。

リセット解除後 f(XIN)の2分周したものが内部クロックになります。電源投入直後はXINクロック、XCINクロックともに発振を開始します。内部クロックを低速モードにする場合、CPUモードレジスタのビット7を“1”にしてください。

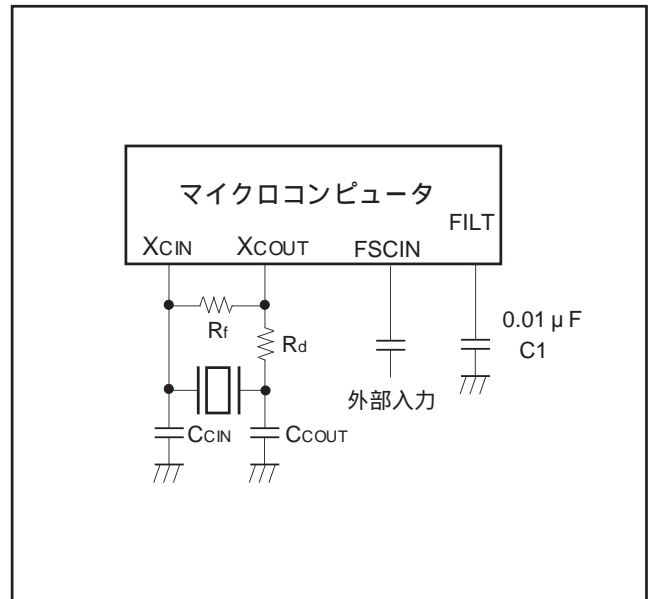


図 8.14.1 発振回路例

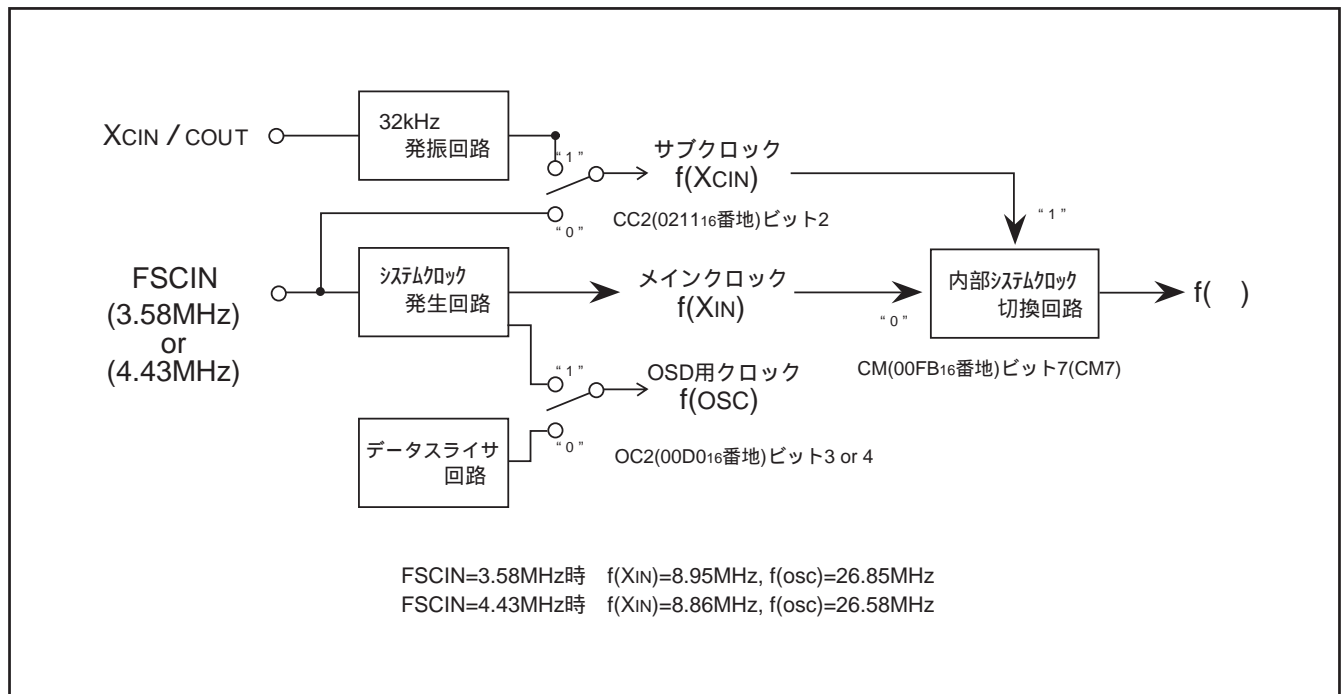


図 8.14.2 クロック発生回路

クロック周波数設定レジスタ

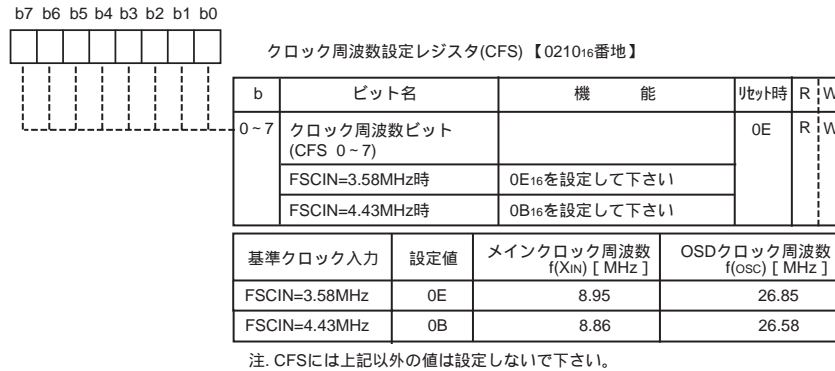


図 8.14.3 クロック周波数設定レジスタ

クロックコントロールレジスタ1

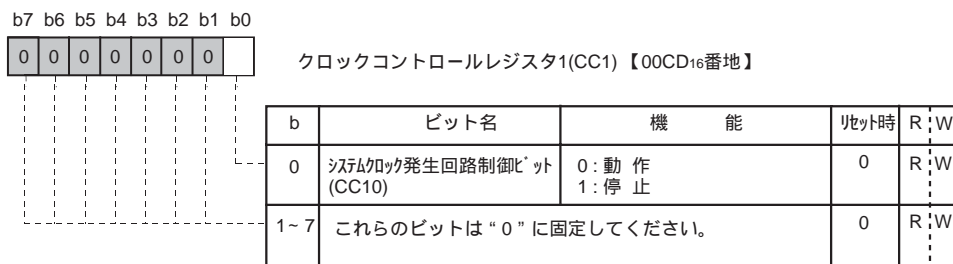


図 8.14.4 クロックコントロールレジスタ1

クロックコントロールレジスタ2

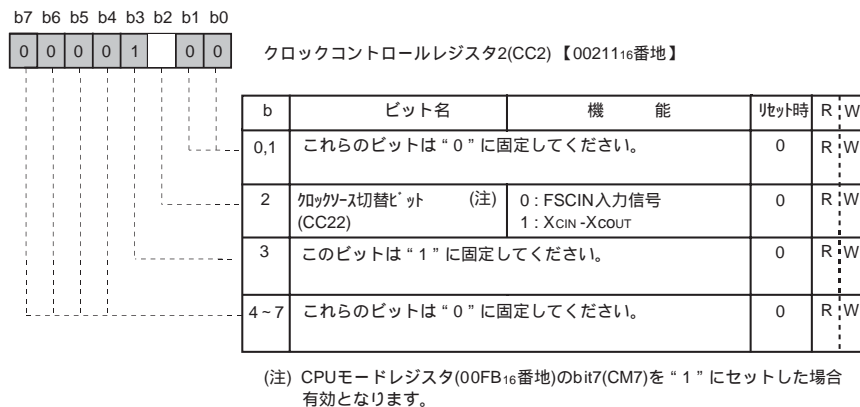


図 8.14.5 クロックコントロールレジスタ2

8.14.1 発振制御

(1) ストップモード

STP 命令を実行すると、内部クロック が“ H ”の状態が発振が停止します。このとき、タイマ3とタイマ4がハードウェア的に接続されて、タイマ3には“ FF₁₆ ”、タイマ4には“ 07₁₆ ”がセットされます。タイマ3のカウントソースには、 $f(XIN)/16$ 又は $f(XCIN)/16$ を選択してください (STP 命令実行前に、ソフトウェアによってタイマモードレジスタ2のビット0及び00C7₁₆番地のビット6を“ 0 ”にしてください)。なおタイマ3割り込み許可ビット及びタイマ4割り込み許可ビットは禁止状態 (“ 0 ”) になっている必要がありますので、あらかじめSTP命令実行前にプログラムしておいてください。発振は、リセット又は外部割り込みが受け付けられると再開しますが、タイマ4がオーバフローしてはじめて、CPUに内部クロック が供給されます。これは、発振の立ち上がりに時間を要するためです。

また、タイマ復帰設定レジスタ(00CC₁₆番地)のビット7を“ 1 ”にセットすることにより、タイマ3およびタイマ4にセットされる値を任意に設定することができます。

クロックコントロールレジスタ3(0212₁₆番地)のビット7により、ポート P10 端子と CLK CONT 端子の切り換えができ、CLK CONT 端子を選択した場合、通常 “ H ”出力となりますが、STP 命令を実行すると “ L ”出力となります。STP 状態で外部割り込みが受け付けられると、CLK CONT 端子は“ H ”出力に復帰します。

(2) ウェイトモード

WIT 命令を実行すると、内部クロック が“ H ”の状態を停止しますが発振は停止しません。リセット又は割り込みを受け付けると停止を解除します (注)。発振は停止していませんので直ちに命令を実行できます。

注. ただし、ウェイトモードでは以下の割り込みは無効です。

- ・ VSYNC 割り込み
- ・ OSD 割り込み
- ・ ポート端子からの外部クロック入力をカウントソースとするすべてのタイマ割り込み
- ・ $f(XIN)/2$ 又は $f(XCIN)/2$ をカウントソースとするすべてのタイマ割り込み
- ・ $f(XIN)/4096$ 又は $f(XCIN)/4096$ をカウントソースとするすべてのタイマ割り込み
- ・ $f(XIN)/4096$ 割り込み
- ・ マルチマスタ I²C-BUS インタフェース割り込み
- ・ データスライサ割り込み
- ・ A-D 変換割り込み

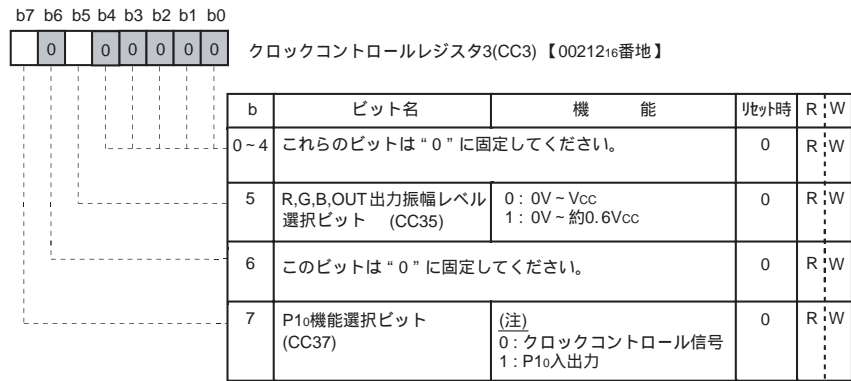
(3) 低速モード

内部クロックをサブクロック (XCIN) より生成している場合にはCPUモードレジスタのビット6 (CM6) を“ 1 ”にセットするメインクロック XIN のみ停止させて低消費電力が実現

できます。この場合、メインクロック XIN 発振再開時 CPU モードレジスタのビット6 (CM6) を“ 0 ”にクリアした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

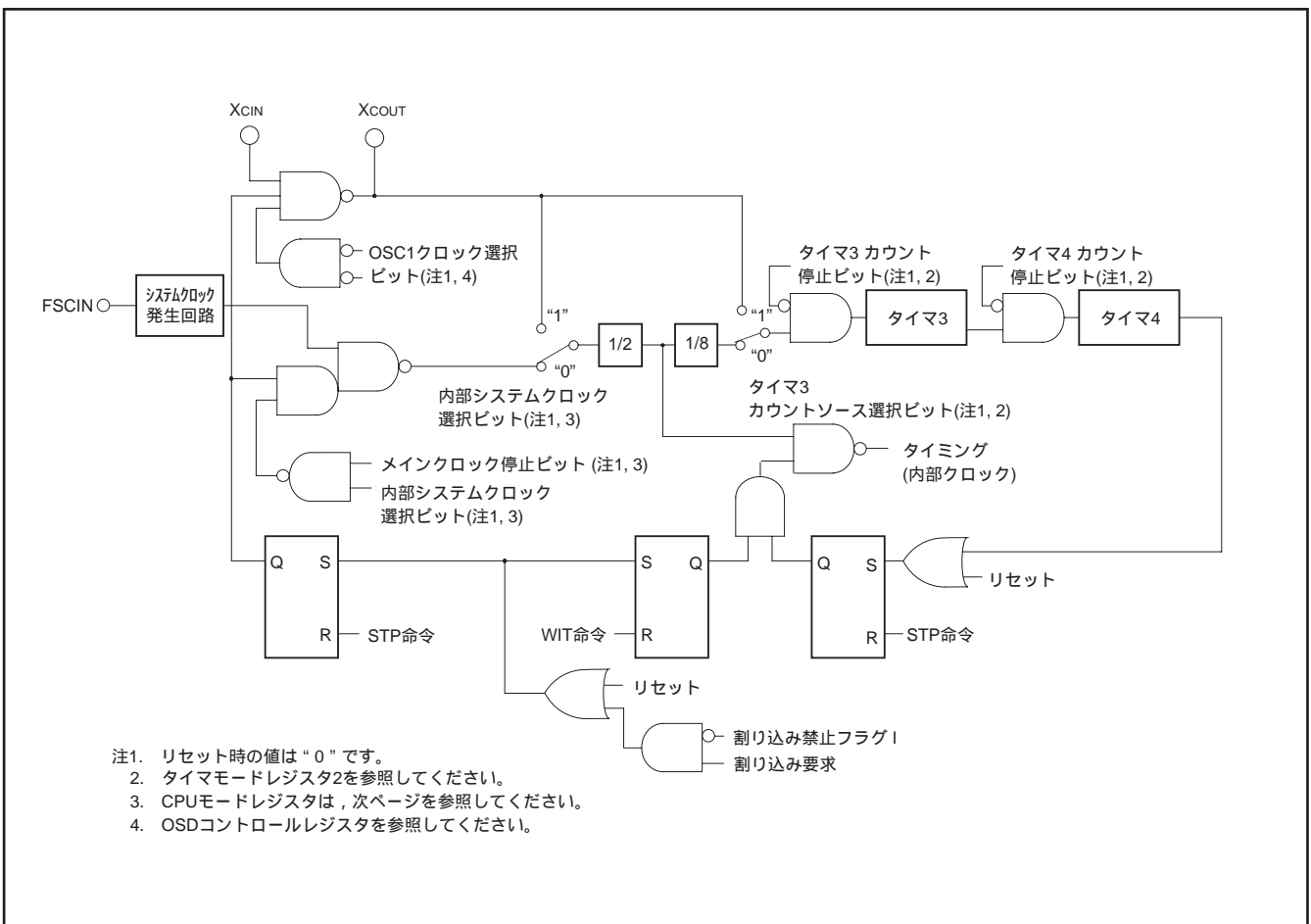
さらに CPU モードレジスタのビット5 (CM5) を“ 0 ”にクリアすると、XCIN-XCOUT 間の駆動能力を弱めての低消費電力モードが実現できます。リセット時はこのビットは“ 1 ”にセットされ、発振開始しやすい強い駆動能力の側に設定されます。STP 命令実行時には、実行の前にこのビットをソフトウェアで“ 1 ”にしてください。

クロックコントロールレジスタ3



(注) クロックコントロール信号として使用するポート1方向レジスタ (00C3₁₆番地) のビット0を "1" にセットしてください。

図 8.14.6 クロックコントロールレジスタ 3



- 注1. リセット時の値は "0" です。
- 注2. タイマモードレジスタ2を参照してください。
- 注3. CPUモードレジスタは、次ページを参照してください。
- 注4. OSDコントロールレジスタを参照してください。

図 8.14.7 クロック発生回路ブロック図

1. FSCINからの基準クロックを使用する場合

クロックコントロールレジスタ2(021116番地)のビット2="0"に設定

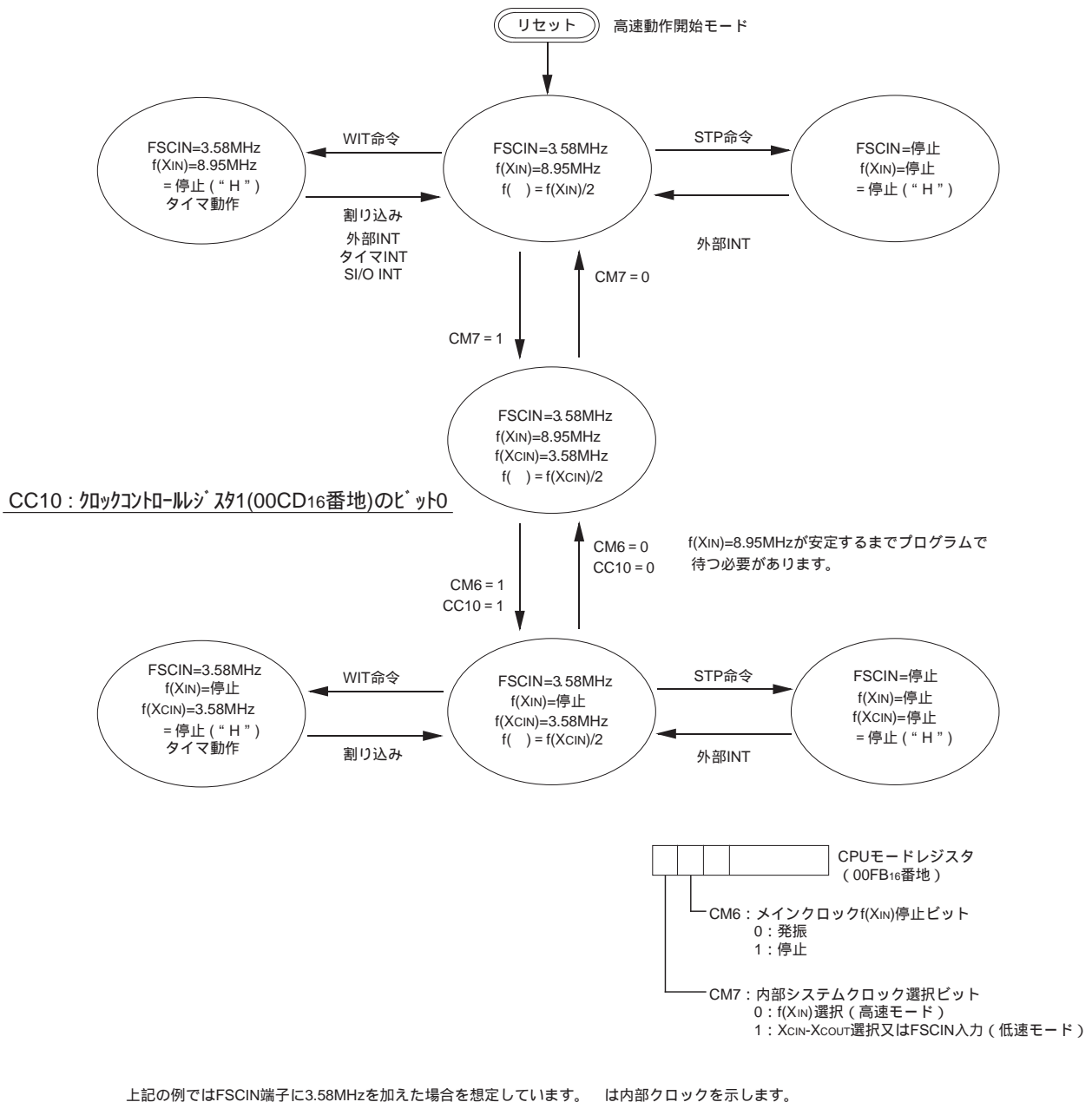
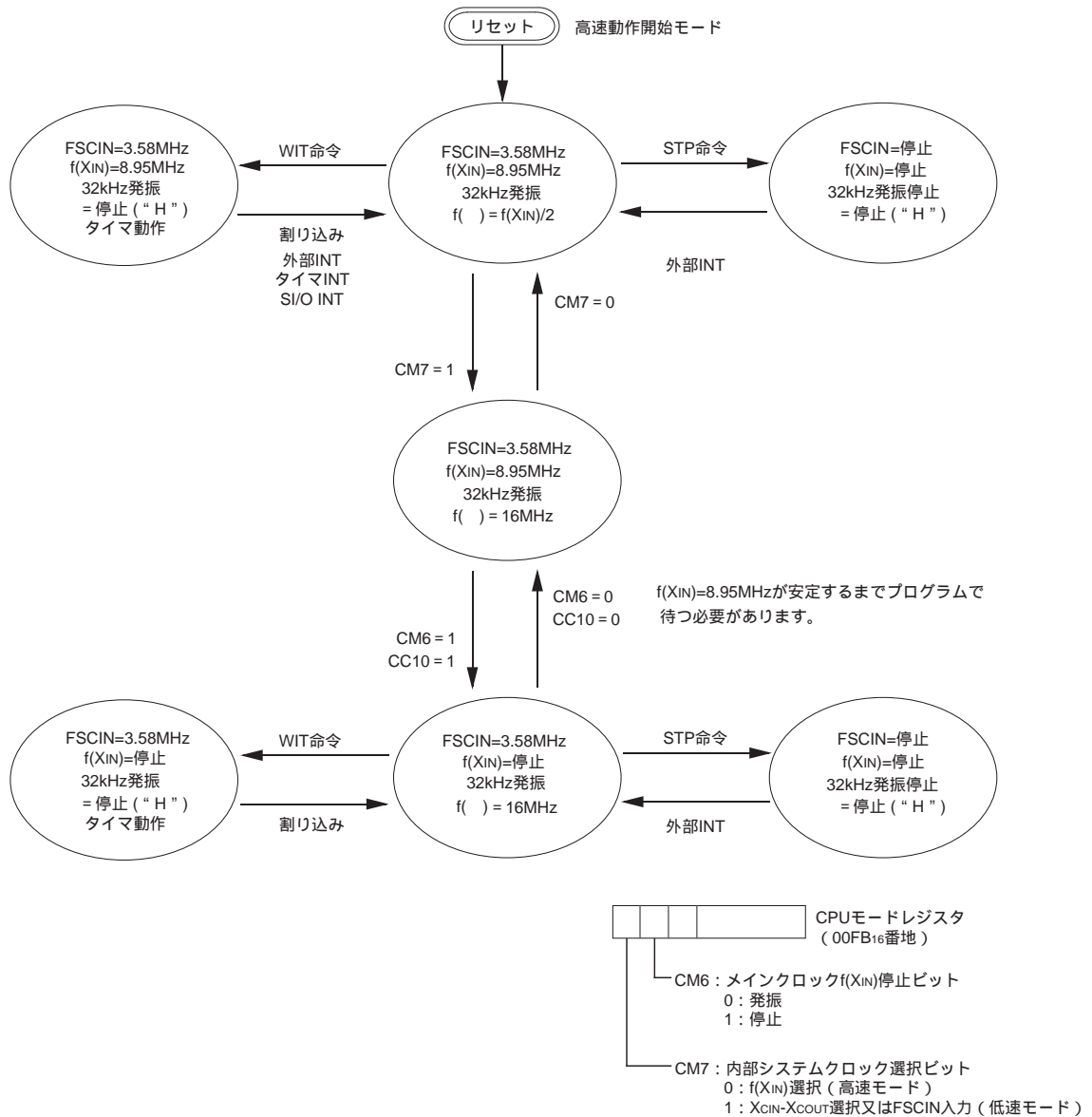


図 8.14.8 システムクロック遷移状態図 (1)

2. 32kHz発振を使用する場合

カウンタレジスタ2(021116番地)のビット2="1"に設定



上記の例ではFSCIN端子に3.58MHz, X_{CIN}端子に32kHzの信号を加えた場合を想定しています。 は内部クロックを示します。

図 8.14.9 システムクロック遷移状態図 (2)

8.15 オートクリア回路

RESET端子に下記の回路を付加することにより、電源投入時にオートクリア機能が働きます。

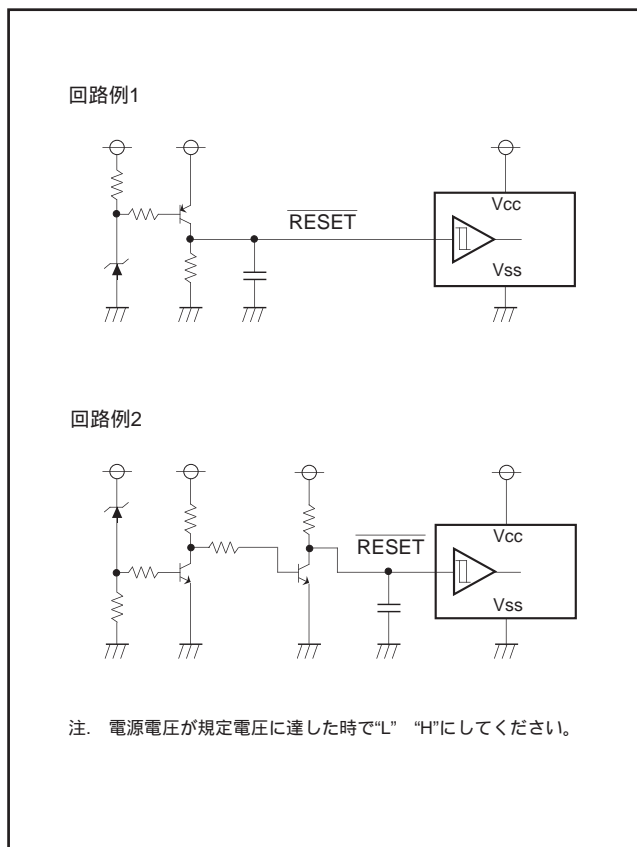


図 8.15.1 オートクリア回路例

8.16 アドレッシングモード

17種のアドレッシングモードを持っており、メモリアクセスが強化されています。詳細説明は、MELPS740 PROGRAMMING MANUAL を参照してください。

8.17 機械語命令一覧表

機械語命令は、71 命令あります。詳細説明は、MELPS740 PROGRAMMING MANUAL を参照してください。

9. 使用上の注意事項

- ・ タイマの分周比は $1 / (n + 1)$ です。
- ・ 割り込み要求ビットの内容をプログラムで変更した直後に、BBC, BBS 命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、一命令以上後に行ってください。
- ・ 10進演算を行う場合は10進モードフラグDを“1”にセットして、ADC 命令又はSBC 命令を実行しますが、その場合、SEC 命令、CLC 命令、又はCLD 命令は、ADC 命令又はSBC 命令から1命令以上後に行ってください。
- ・ PLP 命令を実行するときは、その直後に必ずNOP 命令を入れてください。
- ・ ノイズ及びラッチアップ耐量を向上させるために、Vcc 端子とVss 端子間、Vcc 端子とCNVss 端子間にバイパスコンデンサ ($\approx 0.1 \mu F$) を最短距離で、かつ比較的太い配線を使って接続してください。
- ・ E PROM 内蔵版およびマスクROM 内蔵版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージンなどが異なる場合があります。
マスクROM 内蔵版への切り換え時は、E PROM 内蔵版で実施したシステム評価試験と同等の試験を実施し、確認して下さい。

10. 絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧 Vcc		- 0.3 ~ 6	V
Vi	入力電圧 CNVss	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6	V
Vi	入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31, P50, P51, RESET, CVIN		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31, P52 ~ P55		- 0.3 ~ Vcc + 0.3	V
IOH	回路電流 P10 ~ P16, P20 ~ P27, P30, P31, P52 ~ P55,		0 ~ 1(注1)	mA
IOL1	回路電流 P00 ~ P07, P10, P15, P16, P20 ~ P23, P52 ~ P55,		0 ~ 2(注2)	mA
IOL2	回路電流 P11 ~ P14, P30, P31		0 ~ 6(注2)	mA
IOL4	回路電流 P24 ~ P27		0 ~ 1(注3)	mA
Pd	消費電力	Ta = 25	550	mW
Topr	動作周囲温度		- 10 ~ 70	
Tstg	保存温度		- 40 ~ 125	

11. 推奨動作条件 (指定のない場合は, Ta = - 10 ~ 70°C, Vcc = 5 V ± 10%)

記号	項目	規格値			単位
		最小	標準	最大	
Vcc	電源電圧(注4)	4.5	5.0	5.5	V
Vss	電源電圧	0	0	0	V
VIH1	"H"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31, P50, P51, RESET	0.8Vcc		Vcc	V
VIH2	"H"入力電圧 SCL1, SCL2, SCL3, SDA1, SDA2, SDA3 (I ² C-BUS使用時)	0.7Vcc		Vcc	V
VIL1	"L"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31	0		0.4Vcc	V
VIL2	"L"入力電圧 SCL1, SCL2, SCL3, SDA1, SDA2, SDA3 (I ² C-BUS使用時)	0		0.3Vcc	V
VIL3	"L"入力電圧(注6) P50, P51, RESET, TIM2, TIM3, INT1, INT2, INT3, SIN, SCLK	0		0.2Vcc	V
IOH	"H"出力平均電流(注1) P10 ~ P16, P20 ~ P27, P30, P31, P52 ~ P55			1	mA
IOL1	"L"出力平均電流(注2) P00 ~ P07, P10, P15, P16, P20 ~ P23, P52 ~ P55			2	mA
IOL2	"L"出力平均電流(注2) P11 ~ P14, P30, P31			6	mA
IOL3	"L"出力平均電流(注3) P24 ~ P27			10	mA
f(XCIN)	発振周波数(サブクロック動作) XCIN	29	32	35	kHz
fhs1	入力周波数 TIM2, TIM3, INT1, INT2, INT3			100	kHz
fhs2	入力周波数 SCLK			1	MHz
fhs3	入力周波数 SCL1, SCL2			400	kHz
fhs4	入力周波数 ビデオ信号の水平同期信号	15.262	15.734	16.206	kHz
Vi	入力振幅 ビデオ信号CVIN	1.5	2.0	2.5	V
FSCIN	発振基準周波数	-	3.58or4.43	-	MHz
V(FSCIN)	入力振幅	-	1.0V	-	V

12. 電気的特性 (指定のない場合は, $V_{CC} = 5V \pm 10\%$, $V_{SS} = 0V$, $f(XIN) = 8.95MHz$, $T_a = -10 \sim 70^\circ C$)

記号	項目	測定条件	規格値			単位	測定回路
			最小	標準	最大		
Icc	システム動作時	$V_{CC} = 5.5V$, $f(XIN) = 8.95MHz$	OSD OFF データスライサOFF	15	30	mA	1
			OSD ON データスライサON	30	45		
		$V_{CC} = 5.5V$, $f(XIN) = 0$, $f(XCIN) = 32kHz$, OSD OFF, データスライサOFF, 低消費電力モード ($CM5 = "0"$, $CM6 = "1"$)		60	200	μA	
	ウェイト時	$V_{CC} = 5.5V$, $f(XCIN) = 3.58MHz$		1	2	mA	
		$V_{CC} = 5.5V$, $f(XIN) = 0$, $f(XCIN) = 32kHz$, 低消費電力モード ($CM5 = "0"$, $CM6 = "1"$)		25	100	μA	
ストップ時	$V_{CC} = 5.5V$, $f(XIN) = 0$, $f(XCIN) = 0$		1	10			
VOH	"H"出力電圧 P10 ~ P16, P20 ~ P27, P30, P31, P52 ~ P55,	$V_{CC} = 4.5V$ $I_{OH} = -0.5mA$	2.4			V	2
VOL	"L"出力電圧 P00 ~ P07, P10, P15, P16, P20 ~ P23, P52 ~ P55	$V_{CC} = 4.5V$ $I_{OL} = 0.5mA$			0.4	V	
	"L"出力電圧 P24 ~ P27	$V_{CC} = 4.5V$, $I_{OL} = 10.0mA$			3.0		
	"L"出力電圧 P11 ~ P14, P30, P31	$V_{CC} = 4.5V$	$I_{OL} = 3mA$ $I_{OL} = 6mA$			0.4 0.6	
$V_{T+} - V_{T-}$	ヒステリシス (注5) RESET, P50, P51, INT1, INT2, INT3, TIM2, TIM3, SIN, SCLK, SCL1, SCL2, SCL3, SDA1, SDA2, SDA3	$V_{CC} = 5.0V$		0.5	1.3	V	3
IIZH	"H"入力リーク電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31, RESET, P50, P51,	$V_{CC} = 5.5V$ $V_I = 5.5V$			5	μA	4
IIZL	"L"入力リーク電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30, P31, P50, P51, RESET	$V_{CC} = 5.5V$ $V_I = 0V$			5	μA	4
Rbs	I ² C-BUS・バススイッチ接続抵抗 (SCL1-SCL2間, SDA1-SDA2間)	$V_{CC} = 4.5V$			130		5

注1. ICから流出する電流の総和が20mAを超えないこと。

注2. ICへ流入する電流 ($I_{OL1} + I_{OL2}$) の総和が30mAを超えないこと。

注3. ICへ流入するポートP24 ~ P27の平均電流の総和が20mAを超えないこと。

注4. 電源端子 V_{CC} - V_{SS} 間は, 電源ノイズ除去のため容量 $0.1 \mu F$ 以上のコンデンサを外付けして使用してください。また、 V_{CC} - CNV_{SS} 間にも容量 $0.1 \mu F$ 以上のコンデンサを外付けして使用してください。

注5. P06, P07, P16, P23, P24, P25は割り込み入力又はタイマ用外部クロック入力として使用する場合, P20 ~ P22はシリアルI/Oとして使用する場合, P11 ~ P14, P30, P31はマルチマスタI²C-BUSインタフェース専用端子として使用する場合にヒステリシスを持ちます。

注6. 各項目の端子名は以下のように記しています。

(1) 専用端子の場合: 専用端子名

(2) ダブル/トリプルファンクションポート

・規格が同じ場合: 入出力ポート名

・入出力ポート以外の機能の規格が異なる場合: 機能端子名

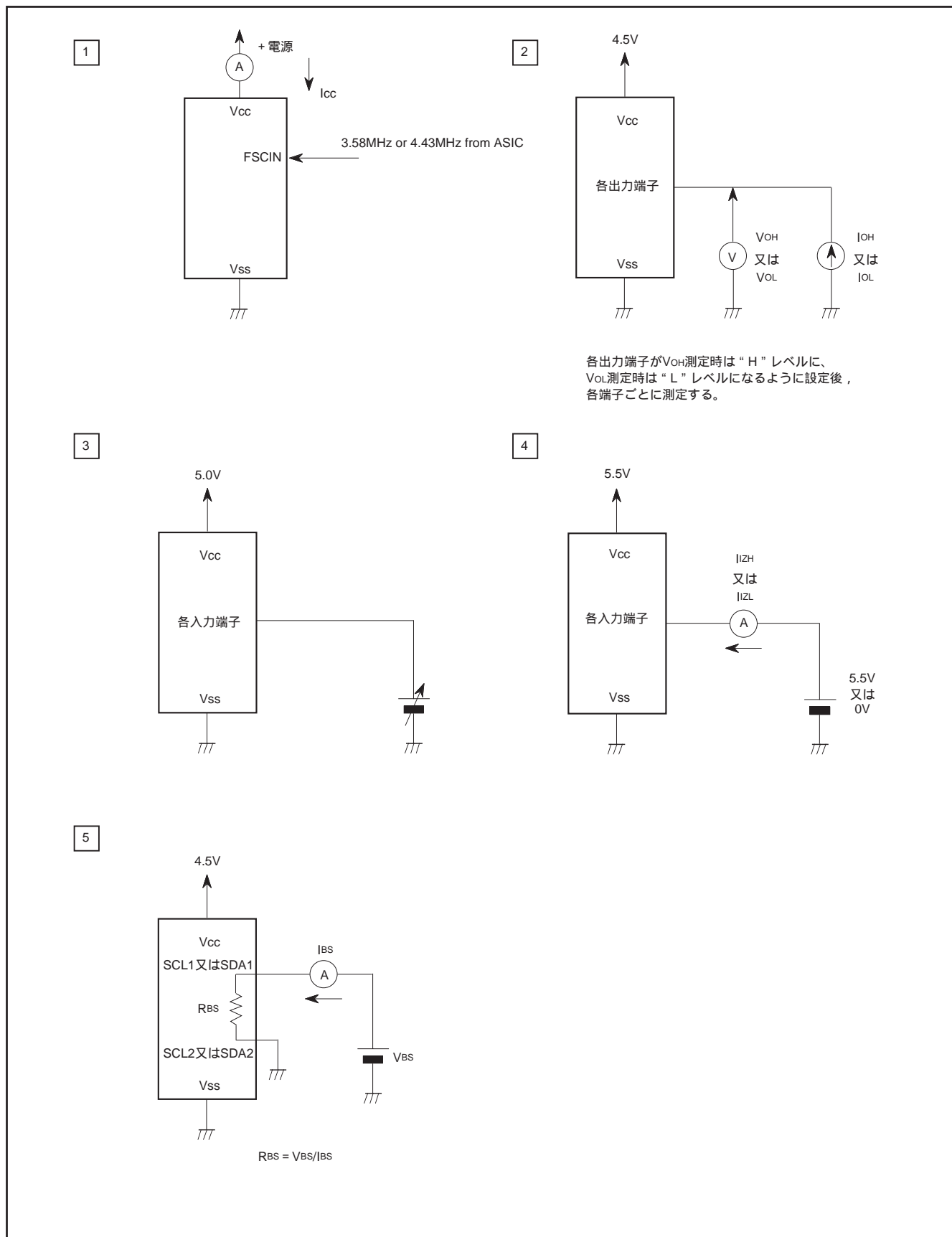


図 12.1 測定回路

13. A-D 比較特性 (指定のない場合は, $V_{CC} = 5V \pm 10\%$, $V_{SS} = 0V$, $f(XIN) = 8.95MHz$, $T_a = -10 \sim 70^{\circ}C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				7	bits
-	非直線性誤差				± 1.5	LSB
-	微分非直線性誤差				± 0.9	LSB
V _{OT}	ゼロトランジション誤差	I _{OL} (SUM)=0mA			2	LSB
V _{FST}	フルスケールトランジション誤差				- 2	LSB

14. マルチマスタ I²C-BUS バスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t _{BUF}	バスフリータイム	4.7		1.3		μs
t _{HD;STA}	スタートコンディション時のホールド時間	4.0		0.6		μs
t _{LOW}	SCLクロックの L 状態のホールド時間	4.7		1.3		μs
t _R	SCL, SDA信号の立ち上がり時間		1000	$20 + 0.1C_b$	300	ns
t _{HD;DAT}	データのホールド時間	0		0	0.9	μs
t _{HIGH}	SCLクロックの H 状態のホールド時間	4.0		0.6		μs
t _F	SCL, SDA信号の立ち下がり時間		300	$20 + 0.1C_b$	300	ns
t _{SU;DAT}	データのセットアップ時間	250		100		ns
t _{SU;STA}	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
t _{SU;STO}	ストップコンディション時のセットアップ時間	4.0		0.6		μs

注 . C_b = 1つのバスラインキャパシタの合計

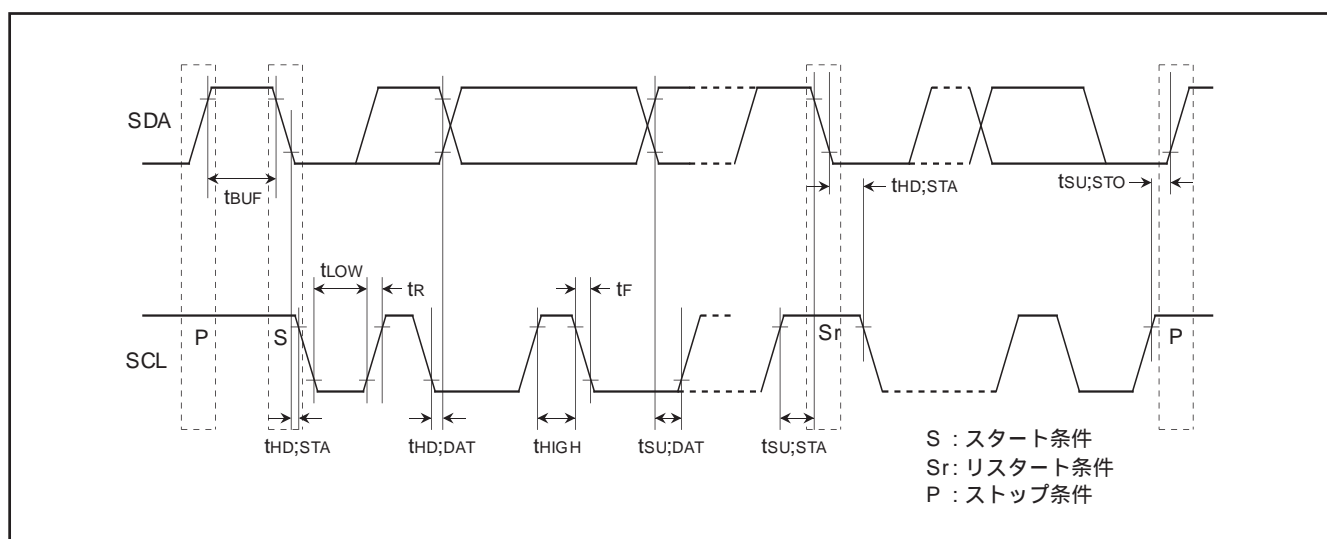


図 14.1 マルチマスタ I²C-BUS のタイミング定義図

15. PROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。

形名	書き込みアダプタ形名
M37150EFP	PCA7450FP

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図15.1に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

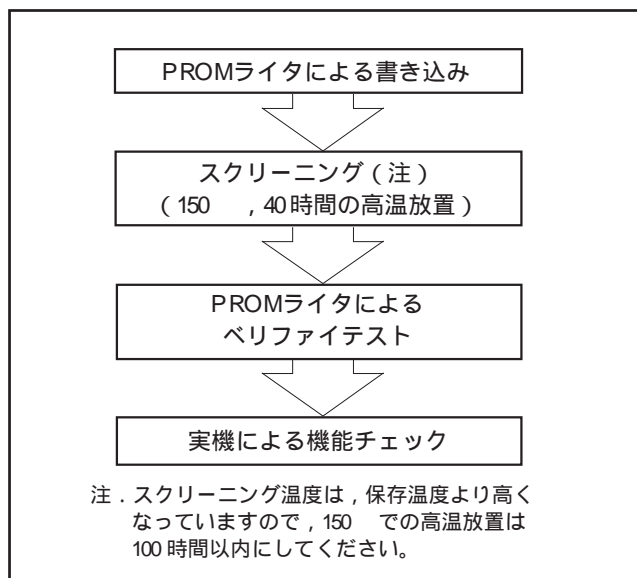


図15.1 ワンタイムPROM版書き込みとテスト

16. マスク発注時の提出資料

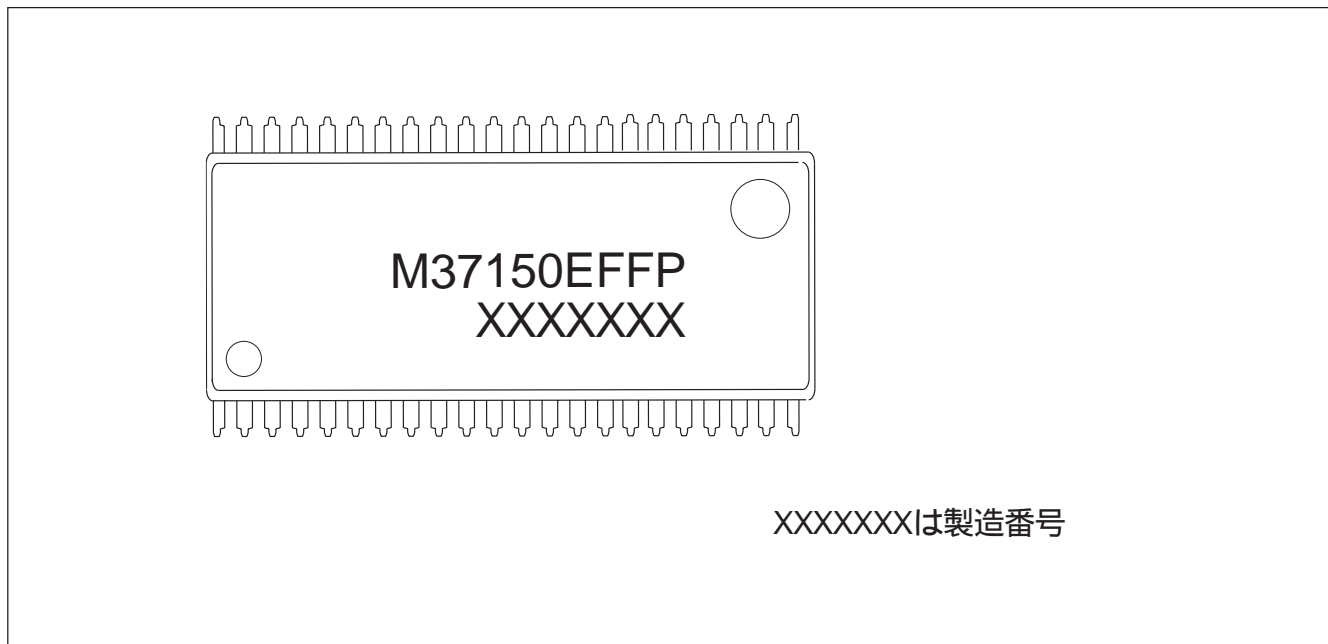
マスクROM版のマスク発注時、次の資料を提出してください。

- ・マスク化確認書
- ・マーク指定書
- ・ROMのデータ EPROM3セット、又はFDK

なお、EPROMの場合は御提出頂くROMデータは下記にてお願いいたします。

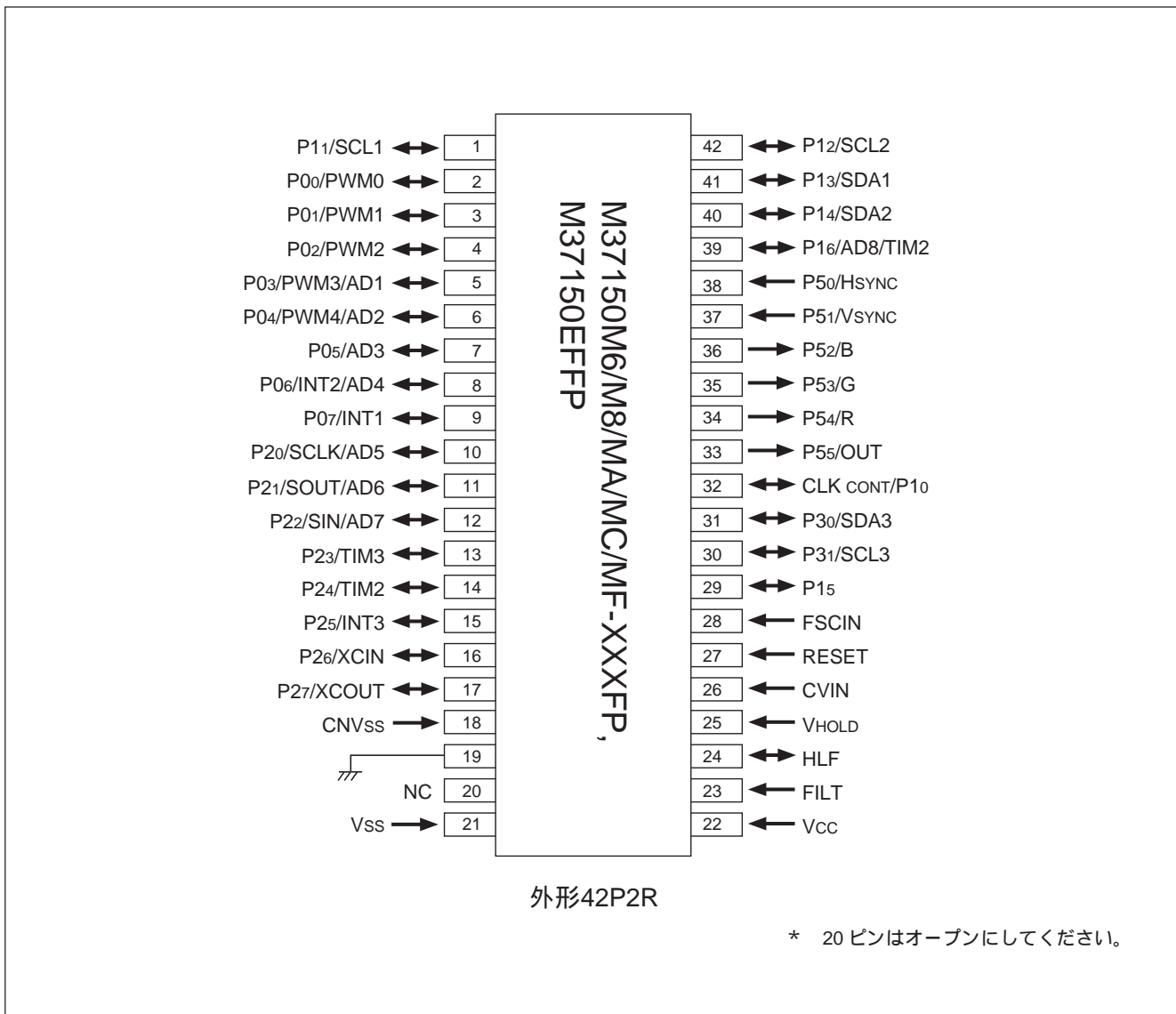
32ピンDIPの27C101の3セット

17. ワンタイムPROM版 M37150EFFPマ - キング図

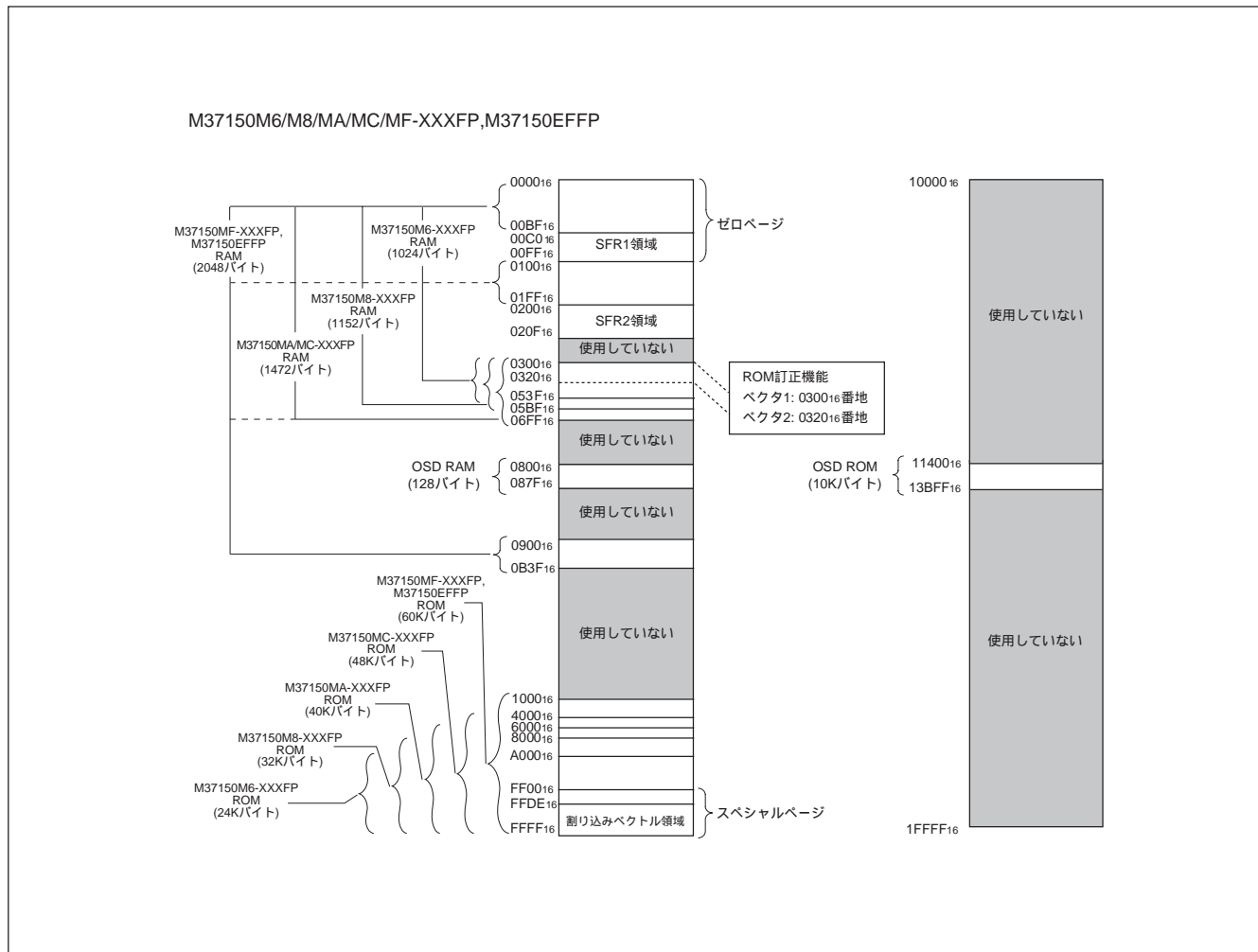


18. 付 録

ピン接続図



メモリ配置図



SFR (スペシャルファンクションレジスタ)、及び2ページレジスタメモリマップ

SFR1領域 (C0₁₆ ~ DF₁₆番地)

<ビット配置図>

- | |
|--|
| |
|--|

 } ファンクションビットあり
- | |
|--|
| |
|--|

 } ファンクションビットなし
- | |
|---|
| 0 |
|---|

 : 0" に固定してください。
("1" を書き込まないでください。)
- | |
|---|
| 1 |
|---|

 : 1" に固定してください。
("0" を書き込まないでください。)

<リセット直後の状態>

- | |
|---|
| 0 |
|---|

 : リセット直後は "0"
- | |
|---|
| 1 |
|---|

 : リセット直後は "1"
- | |
|---|
| ? |
|---|

 : リセット直後は不定

番地	レジスタ名	b7	ビット配置図	b0	リセット直後の状態	b0
C0 ₁₆	ポートP0(P0)				?	
C1 ₁₆	ポートP0方向レジスタ(D0)				00 ₁₆	
C2 ₁₆	ポートP1(P1)	0			? ? 0 ? ? ? ? ?	
C3 ₁₆	ポートP1方向レジスタ(D1)	0			0 0 1 0 0 0 0 1	
C4 ₁₆	ポートP2(P2)				?	
C5 ₁₆	ポートP2方向レジスタ(D2)				00 ₁₆	
C6 ₁₆	ポートP3(P3)				0 0 0 0 0 0 0 ? ?	
C7 ₁₆	ポートP3方向レジスタ(D3)				00 ₁₆	
C8 ₁₆		0	T2SC T3SC	bSEL21 bSEL20	P31 P30	P30D
C9 ₁₆		0	0 0 1 1 1 1 1 1			
CA ₁₆	ポートP5(P5)	0			0 0	
CB ₁₆	OSDポートコントロールレジスタ(PF)	1	0 PF5 PF4 PF3 PF2	0 0		0 ? 0 0 0 0 0 0
CC ₁₆	タイマ復帰設定レジスタ(TMS)	TMS	0 1 0 0 0 0 0 0		00 ₁₆	
CD ₁₆	クロックコントロールレジスタ1(CC1)	0	0 0 0 0 0 0 0 0	CC10	00 ₁₆	
CE ₁₆	キャプションデータレジスタ3(CD3)	CDL27	CDL26 CDL25 CDL24 CDL23 CDL22 CDL21 CDL20		?	
CF ₁₆	キャプションデータレジスタ4(CD4)	CDH27	CDH26 CDH25 CDH24 CDH23 CDH22 CDH21 CDH20		?	
D0 ₁₆	OSDコントロールレジスタ(OC)	OC7	0 0 OC4 OC3 OC2 OC1 OC0		00 ₁₆	
D1 ₁₆	水平位置レジスタ(HP)	HP6	HP5 HP4 HP3 HP2 HP1 HP0		00 ₁₆	
D2 ₁₆	ブロックコントロールレジスタ1(BC1)	BC17	BC16 BC15 BC14 BC13 BC12 BC11 BC10		?	
D3 ₁₆	ブロックコントロールレジスタ2(BC2)	BC27	BC26 BC25 BC24 BC23 BC22 BC21 BC20		?	
D4 ₁₆	垂直位置レジスタ1(VP1)	VP17	VP16 VP15 VP14 VP13 VP12 VP11 VP10		?	
D5 ₁₆	垂直位置レジスタ2(VP2)	VP27	VP26 VP25 VP24 VP23 VP22 VP21 VP20		?	
D6 ₁₆	ウインドウレジスタ1(WN1)	WN17	WN16 WN15 WN14 WN13 WN12 WN11 WN10		?	
D7 ₁₆	ウインドウレジスタ2(WN2)	WN27	WN26 WN25 WN24 WN23 WN22 WN21 WN20		?	
D8 ₁₆	入出力極性コントロールレジスタ(PC)	0	PC6 PC5 0 PC3 PC2 PC1 PC0		40 ₁₆	
D9 ₁₆	ラスタカラーレジスタ(RC)	RC7	0 0 0 RC3 RC2 RC1 RC0		00 ₁₆	
DA ₁₆					?	
DB ₁₆	OSDコントロールレジスタ2(OC2)	0	0 0 0 0 OC21 OC20		0 0 0 ? 0 0 0 0	
DC ₁₆	割り込み入力極性レジスタ(RE)		INT3 INT2 INT1		00 ₁₆	
DD ₁₆			00 ₁₆		00 ₁₆	
DE ₁₆			00 ₁₆		00 ₁₆	
DF ₁₆			00 ₁₆		00 ₁₆	

SFR1領域 (E0₁₆ ~ FF₁₆番地)

<ビット配置図>

- : ファンクションビットあり
- : ファンクションビットなし
- : 0 に固定してください。
("1"を書き込まないでください。)
- : 1 に固定してください。
("0"を書き込まないでください。)

<リセット直後の状態>

- : リセット直後は "0"
- : リセット直後は "1"
- : リセット直後は不定

番地	レジスタ名	ビット配置図								リセット直後の状態								
		b7							b0	b7								b0
E0 ₁₆	データサイサ制御レジスタ1(DSC1)	0	1	1	0	0	DSC12	DSC11	DSC10	00 ₁₆								
E1 ₁₆	データサイサ制御レジスタ2(DSC2)		0	DSC25	DSC24	DSC23		1	DSC20	? 0 ? 0 ? ? 0 ?								
E2 ₁₆	キャプションデータレジスタ1(CD1)	CDL17	CDL16	CDL15	CDL14	CDL13	CDL12	CDL11	CDL10	00 ₁₆								
E3 ₁₆	キャプションデータレジスタ2(CD2)	CDH17	CDH16	CDH15	CDH14	CDH13	CDH12	CDH11	CDH10	00 ₁₆								
E4 ₁₆	クロックランイン検出レジスタ(CRD)	CRD7	CRD6	CRD5	CRD4	CRD3				00 ₁₆								
E5 ₁₆	データロック位置レジスタ(DPS)	DPS7	DPS6	DPS5	DPS4	DPS3	0	1	0	09 ₁₆								
E6 ₁₆	キャプション位置レジスタ(CPS)	CPS7	CPS6	CPS5	CPS4	CPS3	CPS2	CPS1	CPS0	0 0 ? 0 0 0 0 0								
E7 ₁₆	データサイサテストレジスタ2									00 ₁₆								
E8 ₁₆	データサイサテストレジスタ1									00 ₁₆								
E9 ₁₆	同期信号カウンタレジスタ(HC)			HC5	HC4	HC3	HC2	HC1	HC0	00 ₁₆								
EA ₁₆	シリアル/Oレジスタ(SIO)									?								
EB ₁₆	シリアル/Oモードレジスタ(SM)	0	SM6	SM5	0	SM3	SM2	SM1	SM0	00 ₁₆								
EC ₁₆	AD制御レジスタ1(AD1)				ADC14		ADC12	ADC11	ADC10	0 0 0 ? 0 0 0 0								
ED ₁₆	AD制御レジスタ2(AD2)		ADC26	ADC25	ADC24	ADC23	ADC22	ADC21	ADC20	00 ₁₆								
EE ₁₆	タイマ5(T5)									07 ₁₆								
EF ₁₆	タイマ6(T6)									FF ₁₆								
F0 ₁₆	タイマ1(T1)									FF ₁₆								
F1 ₁₆	タイマ2(T2)									07 ₁₆								
F2 ₁₆	タイマ3(T3)									FF ₁₆								
F3 ₁₆	タイマ4(T4)									07 ₁₆								
F4 ₁₆	タイマモードレジスタ1(TM1)	TM17	TM16	TM15	TM14	TM13	TM12	TM11	TM10	00 ₁₆								
F5 ₁₆	タイマモードレジスタ2(TM2)	TM27	TM26	TM25	TM24	TM23	TM22	TM21	TM20	00 ₁₆								
F6 ₁₆	I ² Cデータシフトレジスタ(S0)	D7	D6	D5	D4	D3	D2	D1	D0	?								
F7 ₁₆	I ² Cアドレスレジスタ(S0D)	SAD6	SAD5	SAD4	SAD3	SAD2	SAD1	SAD0	RBW	00 ₁₆								
F8 ₁₆	I ² Cステータスレジスタ(S1)	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	0 0 0 1 0 0 0 ?								
F9 ₁₆	I ² Cコントロールレジスタ(S1D)	BESL1	BESL0	10BIT SAD	ALS	ESO	BC2	BC1	BC0	00 ₁₆								
FA ₁₆	I ² Cクロックコントロールレジスタ(S2)	ACK	ACK BIT	FAST MODE	CCR4	CCR3	CCR2	CCR1	CCR0	00 ₁₆								
FB ₁₆	CPUモードレジスタ(CM)	CM7	CM6	CM5	1	1	CM2	0	0	3C ₁₆								
FC ₁₆	割り込み要求レジスタ1(IREQ1)		IN3R	VSCR	OSDR	TM4R	TM3R	TM2R	TM1R	00 ₁₆								
FD ₁₆	割り込み要求レジスタ2(IREQ2)	0	TM56R	IICR	IN2R	CKR	SIR	DSR	IN1R	00 ₁₆								
FE ₁₆	割り込み制御レジスタ1(ICON1)		IN3E	VSCE	OSDE	TM4E	TM3E	TM2E	TM1E	00 ₁₆								
FF ₁₆	割り込み制御レジスタ2(ICON2)	TM56C	TM56E	IICE	IN2E	CKE	SIE	DSE	IN1E	00 ₁₆								

SFR2領域 (200₁₆ ~ 20F₁₆番地)

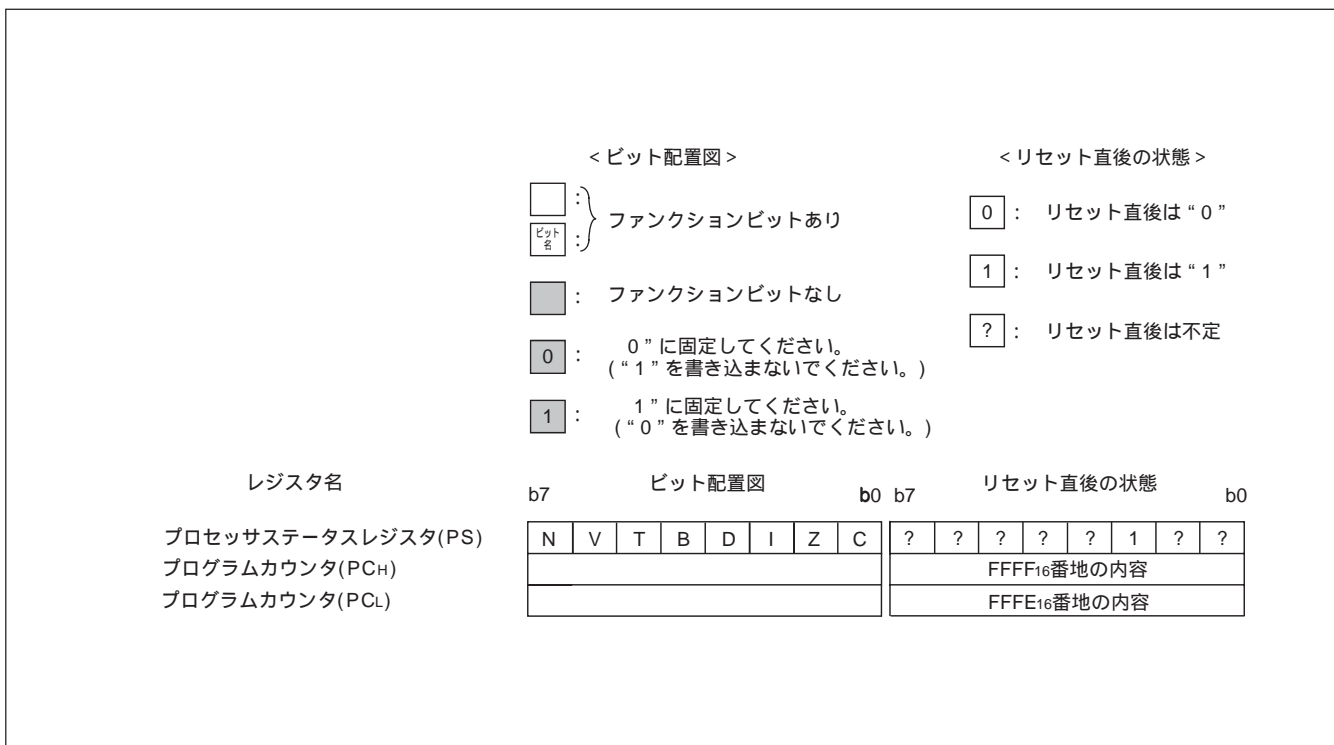
<ビット配置図>

<リセット直後の状態>

- : ファンクションビットあり
- : ファンクションビットなし
- : 0 に固定してください。
(" 1 " を書き込まないでください。)
- : 1 に固定してください。
(" 0 " を書き込まないでください。)

- 0 : リセット直後は " 0 "
- 1 : リセット直後は " 1 "
- ? : リセット直後は不定

番地	レジスタ名	b7	ビット配置図								b0	b7	リセット直後の状態								b0						
200 ₁₆	PWM0レジスタ(PWM0)												?														
201 ₁₆	PWM1レジスタ(PWM1)												?														
202 ₁₆	PWM2レジスタ(PWM2)												?														
203 ₁₆	PWM3レジスタ(PWM3)												?														
204 ₁₆	PWM4レジスタ(PWM4)												?														
205 ₁₆													?														
206 ₁₆			00 ₁₆										?														
207 ₁₆			00 ₁₆										?														
208 ₁₆	PWMモードレジスタ1(PM1)									PM13						PM10		?	?	?	?	0	?	?	?	0	
209 ₁₆	PWMモードレジスタ2(PM2)		0	0	0		PM24	PM23	PM22	PM21	PM20			00 ₁₆													
20A ₁₆	ROM訂正アドレス1(上位)												00 ₁₆														
20B ₁₆	ROM訂正アドレス1(下位)												00 ₁₆														
20C ₁₆	ROM訂正アドレス2(上位)												00 ₁₆														
20D ₁₆	ROM訂正アドレス2(下位)												00 ₁₆														
20E ₁₆	ROM訂正許可レジスタ(RCR)															RC1	RC0		00 ₁₆								
20F ₁₆													?														
210 ₁₆	クロック周波数設定レジスタ(CFS)																		0	0	0	0	0	1	1	1	0
211 ₁₆	クロックコントロールレジスタ2(CC2)		0	0	0	0	0	1		CC22	0	0		00 ₁₆													
212 ₁₆	クロックコントロールレジスタ3(CC3)		CC37	0	CC35	0	0	0	0	0	0	0		00 ₁₆													



制御レジスタ一覧

制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

例

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

1 1 0 0

ビット位置

注2
ビットの属性

注1
リセット解除直後の内容

CPUモードレジスタ CPUM(CM)【00FB₁₆番地】

b	ビット名	機能	リセット時	R	W
0, 1	プロセッサモードビット (CM0, CM1)	b1 b0 0 0 : シングルチップモード 0 1 : } 使用禁止 1 0 : } 1 1 : }	0	R	W
2	スタックページ選択ビット (CM2)	0 : 0ページ 1 : 1ページ	1	R	W
3, 4	これらのビットは“1”に固定してください。		1	R	W
5	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1	R	-
6, 7	クロック切り替えビット (CM6, CM7)	b7 b6 0 0 : f(X _{IN}) = 8 MHz 0 1 : f(X _{IN}) = 12 MHz 1 0 : f(X _{IN}) = 16 MHz 1 1 : 設定しないでください。	0	R	W

■ : 何も配置されていないビット

注1. リセット解除直後の内容
 0 ...リセット解除時“0”
 1 ...リセット解除時“1”
 不定 ...リセット解除時不定

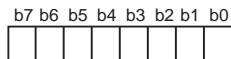
2. ビットの属性...制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R : 読み出し
 R...読み出し可能
 -...読み出し不可

W : 書き込み
 W...書き込み可能
 -...書き込み不可
 *...ソフトウェアによって“0”にできますが、“1”にはできません。

00C1₁₆,00C5₁₆番地

ポートPi方向レジスタ

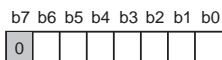


ポートPi方向レジスタ(PiD) (i=0,2) 【00C1₁₆番地,00C5₁₆番地】

b	ビット名	機 能	ビット時	R/W
0	ポートPi方向レジスタ	0: ポートPi ₀ 入力モード 1: ポートPi ₀ 出力モード	0	R/W
1		0: ポートPi ₁ 入力モード 1: ポートPi ₁ 出力モード	0	R/W
2		0: ポートPi ₂ 入力モード 1: ポートPi ₂ 出力モード	0	R/W
3		0: ポートPi ₃ 入力モード 1: ポートPi ₃ 出力モード	0	R/W
4		0: ポートPi ₄ 入力モード 1: ポートPi ₄ 出力モード	0	R/W
5		0: ポートPi ₅ 入力モード 1: ポートPi ₅ 出力モード	0	R/W
6		0: ポートPi ₆ 入力モード 1: ポートPi ₆ 出力モード	0	R/W
7		0: ポートPi ₇ 入力モード 1: ポートPi ₇ 出力モード	0	R/W

00C2₁₆番地

ポートP1レジスタ



ポートP1レジスタ(P1) 【00C2₁₆番地】

b	ビット名	機 能	ビット時	R/W
0	ポートP1レジスタ	ポートP1 ₀ データ	不定	R/W
1		ポートP1 ₁ データ	不定	R/W
2		ポートP1 ₂ データ	不定	R/W
3		ポートP1 ₃ データ	不定	R/W
4		ポートP1 ₄ データ	不定	R/W
5		ポートP1 ₅ データ	0	R/W
6		ポートP1 ₆ データ	不定	R/W
7	このビットは "0" に固定してください。		不定	R/W

ポートP1方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

ポートP1方向レジスタ(D1)【00C3₁₆番地】

b	ビット名	機 能	リセット時	R/W
0	ポートP1方向レジスタ	0: ポートP1 ₀ 入力モード (注) 1: ポートP1 ₀ 出力モード	1	R/W
1		0: ポートP1 ₁ 入力モード 1: ポートP1 ₁ 出力モード	0	R/W
2		0: ポートP1 ₂ 入力モード 1: ポートP1 ₂ 出力モード	0	R/W
3		0: ポートP1 ₃ 入力モード 1: ポートP1 ₃ 出力モード	0	R/W
4		0: ポートP1 ₄ 入力モード 1: ポートP1 ₄ 出力モード	0	R/W
5		0: ポートP1 ₅ 入力モード 1: ポートP1 ₅ 出力モード	1	R/W
6		0: ポートP1 ₆ 入力モード 1: ポートP1 ₆ 出力モード	0	R/W
7	このビットは“0”に固定してください。		0	R/W

- 注・P10を汎用ポートとして使用する場合は、クロックコントロールレジスタ(\$0212)のbit7を“1”にセットしてください。
- ・クロックコントロール信号として使用する場合、8.14.1 発振制御を参照してください。
 - ・リセット解除直後 P1₀はクロックコントロール信号出力となり“H”、P1₆はリセット解除後“L”出力設定となっています。

ポートP3レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

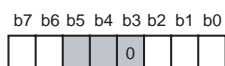
ポートP3レジスタ(P3)【00C6₁₆番地】

b	ビット名	機 能	リセット時	R/W
0	ポートP3レジスタ	ポートP3 ₀ データ	不定	R/W
1		ポートP3 ₁ データ	不定	R/W
2	I ² CBUSインタフェースとポートP3の切り替えビット (BSEL20) (注)	0: ポートP3 ₀ , ポートP3 ₁ 1: I ² Cバス (SDA3, SCL3)	0	R/W
3	SCL3/P3 ₁ -SCL1/P1 ₁ SDA3/P3 ₀ -SDA1/P1 ₃ 接続制御ビット (BSEL21)	0: 切 断 1: 接 続	0	R/W
4~7	これらのビットは何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R/W

- 注・マルチマスターI²C-BUSインタフェースとして使用するポートの方向レジスタを“1”にセットしてください。
- ・SCL3, SDA3を使用する場合、I²Cコントロールレジスタ(00F9₁₆番地)のビット6,7は“0”にしてください。

00C7₁₆番地

ポートP3方向レジスタ

ポートP3方向レジスタ(D3) 【00C7₁₆番地】

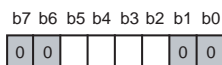
b	ビット名	機能	リセット時	R/W
0	ポートP3方向レジスタ (注1)	0:ポートP3 ₀ 入力モード 1:ポートP3 ₀ 出力モード	0	R/W
1		0:ポートP3 ₁ 入力モード 1:ポートP3 ₁ 出力モード	0	R/W
2	OUT出力選択ビット (OUTS) (注2)	0:2値出力 1:3値出力	0	R/W
3	このビットは“0”に固定してください。		0	R/W
4,5	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R
6	タイマ3 (T3SC)	タイマの説明参照	0	R/W
7	タイマ2 (T2SC)	0:P2 ₄ 入力 1:P1 ₆ 入力	0	R/W

注1. I²C-BUSインタフェースとして使用する場合、ポートP3方向レジスタを“1”にセットして下さい。

注2. OUT出力の2値出力のレベル切換はクロックコントロールレジスタ3 (0212₁₆番地)のビット5で行います。

00CA₁₆番地

ポートP5レジスタ

ポートP5レジスタ(P5) 【00CA₁₆番地】

b	ビット名	機能	リセット時	R/W
0,1	これらのビットは“0”に固定してください。		不定	R/W
2	ポートP5レジスタ	ポートP5 ₂ データ	不定	R/W
3		ポートP5 ₃ データ	不定	R/W
4		ポートP5 ₄ データ	不定	R/W
5		ポートP5 ₅ データ	不定	R/W
6	これらのビットは“0”に固定してください。		不定	—W
7			不定	R/W

00CB₁₆番地

OSDポートコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 1 0 0 0 0 0 0 0

OSDポートコントロールレジスタ(PF) 【00CB₁₆番地】

b	ビット名	機 能	リセット時	R	W
0, 1	これらのビットは“0”に固定してください。		0	R	-
2	ポートP5 ₂ 出力信号選択ビット(PF2)	0: B信号出力 1: ポートP5 ₂ 出力	0	R	W
3	ポートP5 ₃ 出力信号選択ビット(PF3)	0: G信号出力 1: ポートP5 ₃ 出力	0	R	W
4	ポートP5 ₄ 出力信号選択ビット(PF4)	0: R信号出力 1: ポートP5 ₄ 出力	0	R	W
5	ポートP5 ₅ 出力信号選択ビット(PF5)	0: OUT信号出力 1: ポートP5 ₅ 出力	0	R	W
6	このビットは“0”に固定してください。		不定	-	W
7	このビットは“1”に固定してください。		0	R	W

00CC₁₆番地

タイマ復帰設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
 0 1 0 0 0 0 0 0

タイマ復帰設定レジスタ(TMS) 【00CC₁₆番地】

b	ビット名	機 能	リセット時	R	W
0~4	これらのビットは“0”に固定して下さい。		0	R	W
5	このビットは“1”に固定して下さい。		0	R	W
6	このビットは“0”に固定して下さい。		0	R	W
7	STOPモード復帰選択ビット(TMS)	0: タイマカウント“07FF ₁₆ ” 1: タイマカウント可変	0	R	W

00CD₁₆番地

クロックコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

クロックコントロールレジスタ1(CC1)【00CD₁₆番地】

b	ビット名	機能	リセット時	R/W
0	システムクロック発生回路制御ビット (CC10)	0:動作 1:停止	0	R/W
1~7	これらのビットは“0”に固定してください。		0	R/W

00D0₁₆番地

OSDコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0	0						
---	---	--	--	--	--	--	--

OSDコントロールレジスタ(OC)【00D0₁₆番地】

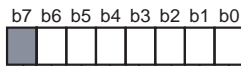
b	ビット名	機能	リセット時	R/W
0	OSD制御ビット (OC0) (注1)	0:全ブロック表示OFF 1:全ブロック表示ON	0	R/W
1	オートソリッドスペース制御ビット(OC1)	0:OFF 1:ON	0	R/W
2	ウインドウ制御ビット (OC2)	0:OFF 1:ON	0	R/W
3	CCモードクロック選択ビット(OC3)	0:データスライサクロック 1:内蔵発振クロック f(osc)	0	R/W
4	OSDモードクロック選択ビット(OC4)	0:データスライサクロック 1:内蔵発振クロック f(osc)	0	R/W
5,6	このビットは“0”に固定してください。		0	R/W
7	プリ分周比選択レジスタ (OC7) (注2)	0:ブロックコントロールレジスタによる分周比 1:ブロック1,2ともプリ分周比1	0	R/W

注1 .表示中切り換えても、表示画面は次のVsyncの立ち上がり（立ち下がり）まで変化しません。

2. このビットはブロックコントロールレジスタiのBCi4の設定よりも優先します。

00D1₁₆番地

水平位置レジスタ



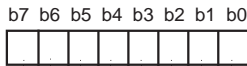
水平位置レジスタ(HP)【00D1₁₆番地】

b	ビット名	機能	読出時	R	W
0~6	水平表示開始位置制御ビット (HP0~HP6)	水平表示開始位置 = 4Tosc × n (n : 設定値、Tosc : OSD発振周期)	0	R	W
7	このビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	

注. 設定値はVSYNC信号に同期します。

00D2₁₆,00D3₁₆番地

ブロックコントロールレジスタ



ブロックコントロールレジスタ (BCi) (i=1, 2)【00D2₁₆, 00D3₁₆番地】

b	ビット名	機能				読出時	R	W	
		b1	b0	表示モード					
0, 1	表示モード選択ビット (BCi0, BCi1) (注1)	0	0	表示OFF		不定	R	W	
		0	1	CCモード					
		1	0	OSDモード(フチドリなし)					
		1	1	OSDモード(フチドリあり)					
2, 3	ドットサイズ選択ビット (BCi2, BCi3)	b4	b3	b2	プリ分周比	不定	R	W	
		0	0	0	2倍				1Tc × 1/2H
		0	0	1					1Tc × 1H
		1	0	0					2Tc × 2H
4	プリ分周比選択ビット (BCi4)	1	0	0	3倍	不定	R	W	
		0	1	0					1Tc × 1/2H
		1	0	1					1Tc × 1H
		1	0	0					2Tc × 2H
5	OUT出力制御ビット (BCi5)	0	2値出力制御			不定	R	W	
		1	3値出力制御						
		(注3)							
6	垂直表示開始位置制御ビット(最上位ビット) (BCi6)	BC16 : ブロック1 BC26 : ブロック2				不定	R	W	
7	ウィンドウ上限/下限制御ビット (最上位ビット)(BCi7)	BC17 : ウィンドウ上限 BC27 : ウィンドウ下限				不定	R	W	

注1. Tc : プリ分周したOSD用クロック周期

2. H : HSYNC

3. 対応図 (図 8.11.18) 参照

00D4₁₆, 00D5₁₆番地垂直位置レジスタ*i*

b7 b6 b5 b4 b3 b2 b1 b0

垂直位置レジスタ*i* (VP*i*) (i=1, 2) 【00D4₁₆, 00D5₁₆番地】

b	ビット名	機能	リセット時	R	W
0~7	垂直表示開始位置制御ビット (VP <i>i</i> 0 ~ VP <i>i</i> 7)	垂直表示開始位置 = $T_H \times (BCi6 \times 16^2 + n)$ (n : 設定値、 T_H : HSYNCの周期、 BCi6 : プログラムレジスタのビット6)	不定	R	W

- 注1. BCi6 = "0" のとき、VP*i*は "00₁₆" 以外の値を設定してください。
 2. OSDコントロールレジスタ2のOC21 = "0" のとき、 T_H は1HSYNCですが、
 "1" のとき、 T_H は2HSYNCとなります。

00D6₁₆番地

ウインドウレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

ウインドウレジスタ1(WN1) 【00D6₁₆番地】

b	ビット名	機能	リセット時	R	W
0~7	ウインドウ上限位置制御ビット (WN10 ~ WN17)	ウインドウ上限位置 = $T_H \times (BC17 \times 16^2 + n)$ (n : 設定値、 T_H : HSYNCの周期、 BC17 : プログラムレジスタ1のビット7)	不定	R	W

- 注1. BC17 = "0" のとき、WN1は "00₁₆" 以外の値を設定してください。
 2. WN1 < WN2となるように値を設定してください。
 3. OSDコントロールレジスタ2のOC21 = "0" のとき、 T_H は1HSYNCですが、
 "1" のとき、 T_H は2HSYNCとなります。

00D7₁₆番地

ウインドウレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

ウインドウレジスタ2(WN2) 【00D7₁₆番地】

b	ビット名	機能	リセット時	R	W
0~7	ウインドウ下限位置制御ビット (WN20 ~ WN27)	ウインドウ下限位置 = $T_H \times (BC27 \times 16^2 + n)$ (n : 設定値、 T_H : HSYNCの周期、 BC27 : プログラムレジスタ2のビット7)	不定	R	W

- 注1. WN1 < WN2となるように値を設定してください。
 2. OSDコントロールレジスタ2のOC21 = "0" のとき、 T_H は1HSYNCですが、
 "1" のとき、 T_H は2HSYNCとなります。

00D8₁₆番地

入出力極性コントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
0 0 0 0 0 0 0 0入出力極性コントロールレジスタ(PC) 【00D8₁₆番地】

b	ビット名	機能	リセット時	R	W
0	Hsync入力極性切り替えビット(PC0)	0: 正極性入力 1: 負極性入力	0	R	W
1	Vsync入力極性切り替えビット(PC1)	0: 正極性入力 1: 負極性入力	0	R	W
2	R/G/B出力極性切り替えビット(PC2)	0: 正極性出力 1: 負極性出力	0	R	W
3	OUT出力極性切り替えビット(PC3)	0: 正極性出力 1: 負極性出力	0	R	W
4	このビットは“0”に固定してください。		0	R	W
5	表示ドットライン選択ビット(PC5) (注)	0: 偶数フィールド時は <input type="checkbox"/> 奇数フィールド時は <input checked="" type="checkbox"/> 1: 偶数フィールド時は <input checked="" type="checkbox"/> 奇数フィールド時は <input type="checkbox"/>	0	R	W
6	フィールド判別フラグ(PC6)	0: 偶数フィールド時は 奇数フィールド時は	1	R	-
7	このビットは“0”に固定してください。		0	R	W

注: 対応図(図8.11.15)参照。

00D9₁₆番地

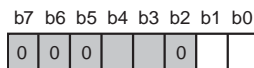
ラスタカラーレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
0 0 0 0 0 0 0 0ラスタカラーレジスタ(RC) 【00D9₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ラスタカラーR制御ビット(RC0)	0: 出力なし 1: 出力あり	0	R	W
1	ラスタカラーG制御ビット(RC1)	0: 出力なし 1: 出力あり	0	R	W
2	ラスタカラーB制御ビット(RC2)	0: 出力なし 1: 出力あり	0	R	W
3	ラスタカラーOUT制御ビット(RC3)	0: 出力なし 1: 出力あり	0	R	W
4-6	これらのビットは“0”に固定してください。		0	R	W
7	ポート機能選択ビット(RC7)	0: XCIN, XCOUT 1: P2 ₆ , P2 ₇	0	R	W

00DB₁₆番地

OSDコントロールレジスタ2



OSDコントロールレジスタ2 (OC2) 【00DB₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	垂直文字ドットサイズ (OC20)	0: 1HSYNC(ノーマルスキャン) 1: 2HSYNC(バイスキャン)	0	R	W
1	垂直開始位置カウント 選択ビット (OC21)	0: 1HSYNCで1カウント(ノーマルスキャン) 1: 2HSYNCで1カウント(バイスキャン)	0	R	W
2	このビットは“0”に固定して下さい。		0	R	W
3	このビットは何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-
4	このビットは何も配置されていません。 書き込み不可で、読み出した場合、その内容は不定です。		不定	-	-
5~7	これらのビットは“0”に固定して下さい。		0	R	W

00DC₁₆番地

割り込み入力極性レジスタ



割り込み入力極性レジスタ(RE) 【00DC₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	INT1極性切り替えビット (INT1)	0: 正極性 1: 負極性	0	R	W
1	INT2極性切り替えビット (INT2)	0: 正極性 1: 負極性	0	R	W
2	INT3極性切り替えビット (INT3)	0: 正極性 1: 負極性	0	R	W
3~7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

データスライサ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	1	1	0	0			

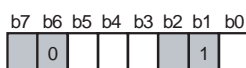
データスライサ制御レジスタ1(DSC1)【00E0₁₆番地】

b	ビット名	機能	ビット時	R	W
0	データスライサ及びタイミング信号発生回路制御ビット(DSC10)	0: 停止 1: 動作	0	R	W
1	データスライサ用基準電圧発生フィルタの選択ビット(DSC11)	0: F2 1: F1	0	R	W
2	基準クロックソース選択ビット(DSC12)	0: ビデオ信号 1: Hsync信号	0	R	W
3, 4	これらのビットは "0" に固定してください。		0	R	W
5, 6	これらのビットは "1" に固定してください。		0	R	W
7	このビットは "0" に固定してください。		0	R	W

フィールド1 (F1) 及びフィールド2 (F2) の定義



データサイサ制御レジスタ2

データサイサ制御レジスタ2(DSC2)【00E1₁₆番地】

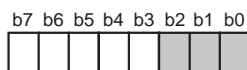
b	ビット名	機能	ビット時	R	W
0	キャブシヨテ-タラツチ完了フラグ1 (DSC20)	0: キャブシヨテ-タラツチ未完了, 又は クワツランソクなし 1: キャブシヨテ-タラツチ完了, かつ クワツランソクあり	不定	R	-
1	このビットは“1”に固定してください。		0	R	W
2	テスト用ビット	読み出し専用	不定	R	-
3	フィールド判別フラグ (DSC23)	0: F2 1: F1	不定	R	-
4	垂直同期信号(V _{sep} 信号) 発生方法選択ビット (DSC24)	0: 方法(1) 1: 方法(2)	0	R	W
5	Vパルスの形状判別フラグ (DSC25)	0: 一致 1: 不一致	不定	R	-
6	このビットは“0”に固定してください。		0	R	W
7	テスト用ビット	読み出し専用	不定	R	-

フィールド1 (F1) 及びフィールド2 (F2) の定義



00E4₁₆番地

クロックランイン検出レジスタ

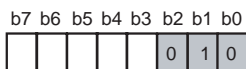


クロックランイン検出レジスタ(CRD) 【00E4₁₆番地】

b	ビット名	機能	リセット時	R	W
0~2	テスト用ビット	読み出し専用	0	R	-
3~7	クロックランイン検出ビット(CRD3~CRD7)	クロックランインパルス1周期にカウントされる基準クロック数	0	R	-

00E5₁₆番地

データクロック位置レジスタ

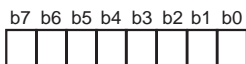


データクロック位置レジスタ(DPS) 【00E5₁₆番地】

b	ビット名	機能	リセット時	R	W
0	このビットは“0”に固定してください。		1	R	W
1	このビットは“1”に固定してください。		0	R	W
2	このビットは“0”に固定してください。		0	R	W
3	データクロック位置設定ビット(DPS3~DPS7)		1	R	W
4~7			0		

00E6₁₆番地

キャプション位置レジスタ

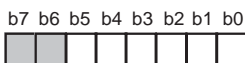


キャプション位置レジスタ(CPS)【00E6₁₆番地】

b	ビット名	機 能	リセット時	R	W
0~4	キャプション位置ビット (CPS0 ~ CPS4)		0	R	W
5	キャプションデータ ラッチ完了フラグ2 (CPS5)	0 : キャプションデータラッチ 未完了,又はクロックランインなし 1 : キャプションデータラッチ 完了,かつクロックランインあり	不定	R	-
6, 7	スライスラインモード指定 ビット(1フィールド中) (CPS6, CPS7)	対応表 (表8.10.1) 参照	0	R	W

00E9₁₆番地

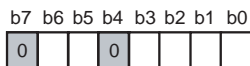
同期信号カウンタレジスタ



同期信号カウンタレジスタ(HC)【00E9₁₆番地】

b	ビット名	機 能	リセット時	R	W
0~4	カウント値(HC0 ~ HC4)		0	R	-
5	カウントソース(HC5)	0 : HSYNC信号 1 : コンボジットシンク信号	0	R	W
6, 7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

シリアル/Oモードレジスタ

シリアル/Oモードレジスタ 1 (SM) 【00EB₁₆番地】

b	ビット名	機能	ビット時	R	W
0, 1	内部同期クロック選択ビット(SM0, SM1)	b1 b0 0 0 : f(X _{IN})/8 又は f(X _{CIN})/8 0 1 : f(X _{IN})/16 又は f(X _{CIN})/16 1 0 : f(X _{IN})/32 又は f(X _{CIN})/32 1 1 : f(X _{IN})/64 又は f(X _{CIN})/64	0	R	W
2	同期クロック選択ビット(SM2)	0 : 外部クロック 1 : 内部クロック	0	R	W
3	ポート機能選択ビット(SM3)	0 : P2 ₀ , P2 ₁ 1 : SCLK, SOUT	0	R	W
4	このビットは“0”に固定してください。		0	R	W
5	転送方向選択ビット(SM5)	0 : 最下位ビット(LSB)から転送 1 : 最上位ビット(MSB)から転送	0	R	W
6	シリアル入力端子選択ビット(SM6)	0 : S _{IN} 端子からの入力信号 1 : S _{OUT} 端子からの入力信号	0	R	W
7	このビットは“0”に固定してください。		0	R	W

00EC₁₆番地

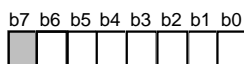
A-D制御レジスタ1

A-D制御レジスタ1 (AD1)【00EC₁₆番地】

b	ビット名	機能	リセット時	R	W
0~2	アナログ信号入力 の 選択ビット (ADC10~ADC12)	b2 b1 b0 0 0 0 : AD1 0 0 1 : AD2 0 1 0 : AD3 0 1 1 : AD4 1 0 0 : AD5 1 0 1 : AD6 1 1 0 : AD7 1 1 1 : AD8	0	R	W
3	このビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-
4	コンパレート結果格納 ビット(ADC14)	0 : 入力電圧 < 比較電圧 1 : 入力電圧 > 比較電圧	不定	R	-
5~7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

00ED₁₆番地

A-D制御レジスタ2

A-D制御レジスタ2 (AD2)【00ED₁₆番地】

b	ビット名	機能	リセット時	R	W
0~6	D-Aコンバータ設定 ビット (ADC20~ADC26)	b6 b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 0 : 1/256Vcc 0 0 0 0 0 0 1 : 3/256Vcc 0 0 0 0 0 1 0 : 5/256Vcc : : : 1 1 1 1 1 0 1 : 251/256Vcc 1 1 1 1 1 1 0 : 253/256Vcc 1 1 1 1 1 1 1 : 255/256Vcc	0	R	W
7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

タイマモードレジスタ1

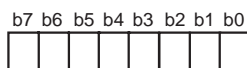
b7 b6 b5 b4 b3 b2 b1 b0

タイマモードレジスタ1(TM1) 【00F4₁₆番地】

b	ビット名	機能	リセット時	R	W
0	タイマ1カウントソース 選択ビット1(TM10)	0: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注) 1: TM1のビット5によって 決定するカウントソース	0	R	W
1	タイマ2カウントソース 選択ビット1(TM11)	0: TM1のビット4によって 決定するカウントソース 1: TIM2外部クロックソース	0	R	W
2	タイマ1カウント停止 ビット(TM12)	0: 動作 1: 停止	0	R	W
3	タイマ2カウント停止 ビット(TM13)	0: 動作 1: 停止	0	R	W
4	タイマ2カウントソース 選択ビット2(TM14)	0: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注) 1: タイマ1オーバフロー信号	0	R	W
5	タイマ1カウントソース 選択ビット2(TM15)	0: $f(X_{IN})/4096$ 又は $f(X_{CIN})/4096$ (注) 1: TIM2外部クロックソース	0	R	W
6	タイマ5カウントソース 選択ビット2(TM16)	0: タイマ2オーバフロー信号 1: タイマ4オーバフロー信号	0	R	W
7	タイマ6カウントソース 選択ビット(TM17)	0: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注) 1: タイマ5オーバフロー信号	0	R	W

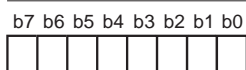
注. $f(X_{IN})$, $f(X_{CIN})$ はCPUモードレジスタのビット7によって選択します。

タイマモードレジスタ2

タイマモードレジスタ2(TM2) 【00F5₁₆番地】

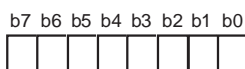
b	ビット名	機 能	リセット時	R/W
0	タイマ3カウントソース 選択ビット (TM20)	(00C7 ₁₆ 番地のb6) b0 0 0: f(X _{IN})/16又はf(X _{CIN})/16(注) 1 0: f(X _{CIN}) 0 1: } TIM3外部クロックソース 1 1: }	0	R/W
1, 4	タイマ4カウントソース 選択ビット (TM21, TM24)	b4 b1 0 0: タイマ3オーバーフロー信号 0 1: f(X _{IN})/16又はf(X _{CIN})/16(注) 1 0: f(X _{IN})/2又はf(X _{CIN})/2(注) 1 1: f(X _{CIN})	0	R/W
2	タイマ3カウント停止 ビット(TM22)	0: 動作 1: 停止	0	R/W
3	タイマ4カウント停止 ビット(TM23)	0: 動作 1: 停止	0	R/W
5	タイマ5カウント停止 ビット(TM25)	0: 動作 1: 停止	0	R/W
6	タイマ6カウント停止 ビット(TM26)	0: 動作 1: 停止	0	R/W
7	タイマ5カウントソース 選択ビット1(TM27)	0: f(X _{IN})/16又はf(X _{CIN})/16(注) 1: TM1のビット6によって決定 するカウントソース	0	R/W

注. f(X_{IN}), f(X_{CIN})はCPUモードレジスタのビット7によって選択します。

00F6₁₆番地I²CデータシフトレジスタI²Cデータシフトレジスタ1(S0) 【00F6₁₆番地】

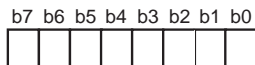
b	ビット名	機 能	リセット時	R : W
0~7	D0~D7	受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタ	不定	R : W

注．MSTビットを“0”（スレープモード）にしてからI²Cデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保してください。

00F7₁₆番地I²CアドレスレジスタI²Cアドレスレジスタ(S0D) 【00F7₁₆番地】

b	ビット名	機 能	リセット時	R : W
0	リード/ライトビット (RBW)	<p><10ビットアドレスレジスタモード（スレープモード）時のみ> アドレスデータの最下位ビットと比較されます。</p> <p>0：スタートコンディション後のスレープアドレスの第1バイトを待機（リード状態）</p> <p>1：リスタートコンディション後のスレープアドレスの第1バイトを待機（ライト状態）</p>	0	R : -
1~7	スレープアドレス (SAD0~SAD6)	<両モード時> アドレスデータと比較されます。	0	R : W

I²Cステータスレジスタ

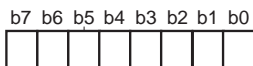


I²Cステータスレジスタ(S1) 【00F8₁₆番地】

b	ビット名	機能	リセット時	R	W
0	最終受信ビット(LRB)	0: 最終ビット = "0" 1: 最終ビット = "1" (注)	不定	R	-
1	ジェネラルコール検出フラグ (AD0)	0: ジェネラルコール未検出 1: ジェネラルコール検出 (注)	0	R	-
2	スレーブアドレス比較フラグ (AAS)	0: アドレス不一致 1: アドレス一致 (注)	0	R	-
3	アービトレーション・ロスト検出フラグ(AL)	0: 未検出 1: 検出 (注)	0	R	-
4	I ² C-BUSインタフェース割り込み要求ビット(PIN)	0: 割り込み要求あり 1: 割り込み要求なし	1	R	W
5	バスビジーフラグ(BB)	0: バスフリー 1: バスビジー	0	R	W
6, 7	通信モード指定ビット (TRX, MST)	b7 b6 0 0: スレーブ受信モード 0 1: スレーブ送信モード 1 0: マスタ受信モード 1 1: マスタ送信モード	0	R	W

注: これらのビット又はフラグは読み出せますが、書き込めません。

I²Cコントロールレジスタ

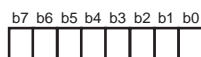


I²Cコントロールレジスタ(S1D) 【00F9₁₆番地】

b	ビット名	機能	セット時	R	W
0~2	ビットカウンタ (送/受信ビット数) (BC0~BC2)	b2 b1 b0 0 0 0 : 8 0 0 1 : 7 0 1 0 : 6 0 1 1 : 5 1 0 0 : 4 1 0 1 : 3 1 1 0 : 2 1 1 1 : 1	0	R	W
3	I ² C-BUSインタフェース 使用許可ビット(ESO)	0 : 使用禁止 1 : 使用許可	0	R	W
4	データフォーマット選択ビット (ALS)	0 : アドレスリングフォーマット 1 : フリーデータフォーマット	0	R	W
5	アドレッシングフォーマット 選択ビット(10BIT SAD)	0 : 7ビットアドレッシングフォーマット 1 : 10ビットアドレッシングフォーマット	0	R	W
6,7	I ² C-BUSインタフェースと ポートの接続制御ビット (BSEL0,BSEL1)	b7 b6 接続ポート (注) 0 0 : なし 0 1 : SCL1,SDA1 1 0 : SCL2,SDA2 1 1 : SCL1,SDA1,SCL2,SDA2	0	R	W

注 . ・ マルチマスタ I²C-BUSインタフェースとして使用するポートの方向レジスタを “1” にセットしてください。

・ SCL1,SDA1,SCL2,SDA2を使用する場合、ポートP3レジスタ(00C6₁₆番地)のビット2は “0” にしてください。

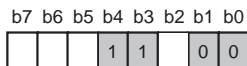
I²CクロックコントロールレジスタI²Cクロックコントロールレジスタ(S2)【00FA₁₆番地】

b	ビット名	機能		ビット時	R	W	
		レジスタ値 b4 - b0	標準 クロックモード				高速 クロックモード
0~4	SCL周波数制御ビット (CCR0 - CCR4)	00~02	禁止	禁止	0	R	W
		03	禁止	333			
		04	禁止	250			
		05	100	400(注)			
		06	83.3	166			
		...	500/CCR値	1000/CCR値			
		1D	17.2	34.5			
		1E	16.6	33.3			
		1F	16.1	32.3			
(=4MHz時,単位;kHz)							
5	SCLモード指定ビット (FAST MODE)	0: 標準クロックモード 1: 高速クロックモード		0	R	W	
6	アックビット (ACK BIT)	0: アック返す 1: アック返さない		0	R	W	
7	アッククロックビット (ACK)	0: アッククロックなし 1: アッククロックあり		0	R	W	

注・高速クロックモード,400kHz時の デューティは“0”期間：“1”期間=3：2
それ以外のデューティは“0”期間：“1”期間=1：1

・ FSCIN=3.58MHz時 =8.95/2MHz
FSCIN=4.43MHz時 =8.86/2MHz
となり、表の記載値は
FSCIN=3.58MHz時 各値×8.95/8MHz
FSCIN=4.43MHz時 各値×8.86/8MHz となります。

CPUモードレジスタ



CPUモードレジスタ (CM) 【00FB₁₆番地】

b	ビット名	機能	リセット時	R	W
0, 1	プロセッサモードビット (CM0, CM1)	b1 b0 0 0 : シングルチップモード 0 1 : } 使用禁止 1 0 : } 1 1 : }	0	R	W
2	スタックページ選択ビット (CM2) (注1)	0 : 0ページ 1 : 1ページ	1	R	W
3, 4	これらのビットは "1" に固定してください。		1	R	W
5	X _{COU} T 駆動能力選択ビット (CM5)	0 : LOW 1 : HIGH	1	R	W
6	メインクロック(X _{IN}) 停止ビット (CM6)	0 : 発振 1 : 停止	0	R	W
7	内部システムクロック選択ビット (CM7) (注2)	0 : X _{IN} 選択 (高速モード) 1 : X _{CIN} -X _{COU} T 選択又はFSCIN入力選択 (低速モード)	0	R	W

注1 . このビットはリセット解除時、"1" となるため、プログラム作成時ご注意ください。
 2 . X_{CIN}-X_{COU}T, FSCIN入力の切換はクロックコントロールレジスタ2 (0211₁₆番地) のビット2で行います。

00FC₁₆番地

割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1)【00FC₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	タイマ1割り込み要求ビット (TM1R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
1	タイマ2割り込み要求ビット (TM2R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
2	タイマ3割り込み要求ビット (TM3R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
3	タイマ4割り込み要求ビット (TM4R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
4	OSD割り込み要求ビット (OSDR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
5	Vsync割り込み要求ビット (VSCR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
6	INT3外部割り込み要求ビット (IN3R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

*. ソフトウェアによって“0”にできますが、“1”にはできません。

00FD₁₆番地

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

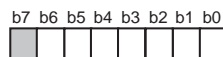
割り込み要求レジスタ2(IREQ2)【00FD₁₆番地】

b	ビット名	機 能	リセット時	R	W
0	INT1外部割り込み要求ビット (IN1R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
1	データサイザ割り込み要求ビット (DSR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
2	シリアルI/O割り込み要求ビット (SIR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
3	f(Xin)/4096割り込み要求ビット (CKR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
4	INT2外部割り込み要求ビット (IN2R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
5	マルチ2C-BUSインタフェース割り込み要求ビット (IICR)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
6	タイマ5・6割り込み要求ビット (TM56R)	0: 割り込み要求なし 1: 割り込み要求あり	0	R	*
7	このビットは“0”に固定してください。		0	R	W

*. ソフトウェアによって“0”にできますが、“1”にはできません。

00FE₁₆番地

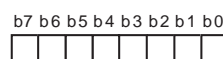
割り込み制御レジスタ1

割り込み制御レジスタ1(ICON1) 【00FE₁₆番地】

b	ビット名	機 能	ビット時	R	W
0	タイマ1割り込み許可ビット (TM1E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
1	タイマ2割り込み許可ビット (TM2E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
2	タイマ3割り込み許可ビット (TM3E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
3	タイマ4割り込み許可ビット (TM4E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
4	OSD割り込み許可ビット (OSDE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
5	V _{SYNC} 割り込み許可ビット (VSCE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
6	INT3外部割り込み許可ビット (IN3E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	R	-

00FF₁₆番地

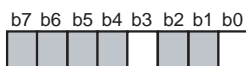
割り込み制御レジスタ2

割り込み制御レジスタ2(ICON2) 【00FF₁₆番地】

b	ビット名	機 能	ビット時	R	W
0	INT1外部割り込み許可ビット (IN1E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
1	データサイサ割り込み許可ビット (DSE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
2	シリアルI/O割り込み許可ビット (SIE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
3	f(XIN)/4096割り込み許可ビット (CKE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
4	INT2外部割り込み許可ビット (IN2E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
5	マルチマスタC-BUSインターフェース割り込み許可ビット (IICE)	0: 割り込み禁止 1: 割り込み許可	0	R	W
6	タイマ5・6割り込み許可ビット (TM56E)	0: 割り込み禁止 1: 割り込み許可	0	R	W
7	タイマ5・6割り込み切替ビット (TM56C)	0: タイマ5 1: タイマ6	0	R	W

0208₁₆番地

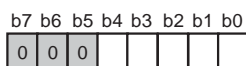
PWMモードレジスタ1

PWMモードレジスタ1(PM1)【0208₁₆番地】

b	ビット名	機能	リセット時	R	W
0	PWMカウントソース選択ビット (PM10)	0 : 供給 1 : 停止	0	R	W
1, 2	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は不定です。		不定	R	-
3	PWM出力極性選択ビット (PM13)	0 : 正極性 1 : 負極性	0	R	W
4~7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は不定です。		不定	R	-

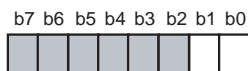
0209₁₆番地

PWMモードレジスタ2

PWMモードレジスタ2 (PM2)【0209₁₆番地】

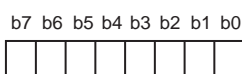
b	ビット名	機能	リセット時	R	W
0	P0 ₀ /PWM0出力選択ビット (PM20)	0 : P0 ₀ 出力 1 : PWM0出力	0	R	W
1	P0 ₁ /PWM1出力選択ビット (PM21)	0 : P0 ₁ 出力 1 : PWM1出力	0	R	W
2	P0 ₂ /PWM2出力選択ビット (PM22)	0 : P0 ₂ 出力 1 : PWM2出力	0	R	W
3	P0 ₃ /PWM3出力選択ビット (PM23)	0 : P0 ₃ 出力 1 : PWM3出力	0	R	W
4	P0 ₄ /PWM4出力選択ビット (PM24)	0 : P0 ₄ 出力 1 : PWM4出力	0	R	W
5~7	これらのビットは“0”に固定してください。		0	R	W

ROM訂正許可レジスタ

ROM訂正許可レジスタ(RCR)【020E₁₆番地】

b	ビット名	機能	リセット時	R	W
0	ベクタ1許可ビット (RC0)	0: 使用禁止 1: 使用許可	0	R	W
1	ベクタ2許可ビット (RC1)	0: 使用禁止 1: 使用許可	0	R	W
2~7	これらのビットには何も配置されていません。 書き込み不可で、読み出した場合、その内容は "0" です。		0	R	-

クロック周波数設定レジスタ

クロック周波数設定レジスタ(CFS)【0210₁₆番地】

b	ビット名	機能	リセット時	R	W
0~7	クロック周波数ビット (CFS 0~7)		0E	R	W
	FSCIN=3.58MHz時	0E ₁₆ を設定して下さい			
	FSCIN=4.43MHz時	0B ₁₆ を設定して下さい			
基準クロック入力	設定値	メインクロック周波数 f(Xin) [MHz]	OSDクロック周波数 f(osc) [MHz]		
FSCIN=3.58MHz	0E	8.95	26.85		
FSCIN=4.43MHz	0B	8.86	26.58		

注. CFSには上記以外の値は設定しないで下さい。

クロックコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0	1		0	0
---	---	---	---	---	--	---	---

クロックコントロールレジスタ2(CC2)【00211₁₆番地】

b	ビット名	機能	セット時	R/W
0,1	これらのビットは“0”に固定してください。		0	R/W
2	加ック-ス切替ビット (注)	0: FSCIN入力信号 1: XCIN-XCOUT	0	R/W
3	このビットは“1”に固定してください。		0	R/W
4~7	これらのビットは“0”に固定してください。		0	R/W

(注) CPUモードレジスタ(00FB₁₆番地)のbit7(CM7)を“1”にセットした場合有効となります。

クロックコントロールレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

	0	0	0	0	0	0	0
--	---	---	---	---	---	---	---

クロックコントロールレジスタ3(CC3)【00212₁₆番地】

b	ビット名	機能	セット時	R/W
0~4	これらのビットは“0”に固定してください。		0	R/W
5	R,G,B,OUT出力振幅レベル 選択ビット (CC35)	0: 0V ~ V _{CC} 1: 0V ~ 約0.6V _{CC}	0	R/W
6	このビットは“0”に固定してください。		0	R/W
7	P1 ₀ 機能選択ビット (CC37)	(注) 0: クロックコントロール信号 1: P1 ₀ 入出力	0	R/W

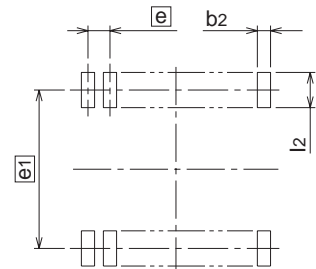
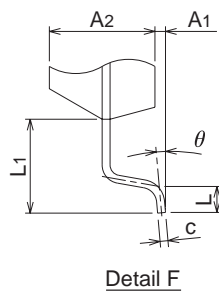
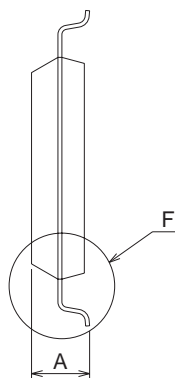
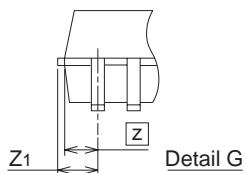
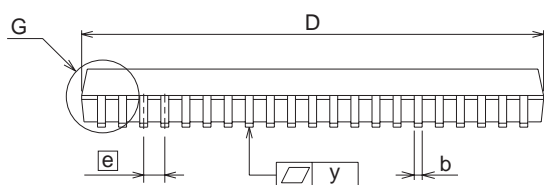
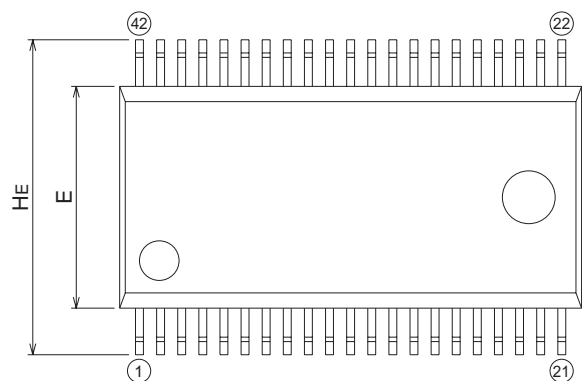
(注) クロックコントロール信号として使用するポート1方向レジスタ(00C3₁₆番地)のビット0を“1”にセットしてください。

19. パッケージ外形寸法図

42P2R-A/E

Plastic 42pin 450mil SSOP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SSOP42-P-450-0.80	-	0.63	Alloy 42



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	2.4
A1	0.05	-	-
A2	-	2.0	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	17.3	17.5	17.7
E	8.2	8.4	8.6
e	-	0.8	-
HE	11.63	11.93	12.23
L	0.3	0.5	0.7
L1	-	1.765	-
Z	-	0.75	-
Z1	-	-	0.9
y	-	-	0.15
theta	0°	-	10°
b2	-	0.5	-
e1	-	11.43	-
l2	1.27	-	-

改訂記録

M37150M6/M8/MA/MC/MF-XXXFP, M37150EFFP

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2002.11.01	-	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	部	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com