

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

M32310D5FP-1000およびM32310D5WG-1000は、M32RファミリM32Rx/Dシリーズに属します。M32Rx/DシリーズはM32R/Dシリーズの上位互換シリーズで、32ビットRISC M32Rx CPUと大容量DRAMを内蔵した新世代のマイクロコンピュータです。マルチメディア時代に向けた高度な応用が可能で、高性能かつ低消費電力を実現しています。M32310D5FP-1000とM32310D5WG-1000の相違点はパッケージの形状のみですので、特に断らない限りM32310D5FP-1000について説明します。

M32310D5FP-1000は、4MBのDRAMと8KBのキャッシュメモリを実装しています。M32Rx CPUはRISCアーキテクチャを採用しており、2本のパイプラインで2命令並列実行が可能です。クロック生成回路は、3,4,5,6逓倍のPLL回路を内蔵しています。

M32Rx CPUと内蔵DRAMおよび内蔵キャッシュ間には、128ビット、10ns/サイクル(内部動作100MHz時)の高速バスで結合されています。このバスを100MHzで動作させることで110MIPSの高い性能を発揮します。また主記憶となるメモリを内蔵することにより、外付けのメモリや制御回路を必要とせず、システムの低消費電力化、低ノイズ化が実現できます。

外部バスはデータバス32ビット、アドレスバス27ビットで、外部クロック入力に同期して動作します。また、ホールド状態のM32310D5FP-1000に対し、外部から内蔵DRAMをアクセスすることが可能です。

M32310D5FP-1000を使用した基本システムは、M32310D5FP-1000、ROM、周辺ASICの3チップで構成されます。電源投入直後は外付けROM上のリセットベクタエントリから実行を開始し、その後高速処理が必要なプログラムは内蔵DRAMに転送して実行します。また、通常のマスタモードに加えて、M32310D5FP-1000をコプロセッサとしても使用できるよう、スレーブモードを備えています。スレーブモードでは、リセット直後から外部バスをアクセスせず、マスタからの割り込み要求まで待機します。

特長

- CPU M32Rx CPUコア
- パイプライン構成 6段
- 基本バスサイクル 10ns(内部動作100MHz時)
- 論理アドレス空間 4Gバイトトリニア
- 外部バス データバス：32ビット
アドレスバス：27ビット
- 内蔵DRAM 4Mバイト(32Mビット)
- キャッシュ 8Kバイト(ダイレクトマップ方式)
4Kバイト(命令キャッシュ)
4Kバイト(データキャッシュ)
- レジスタ構成 汎用レジスタ：32ビット×16本
制御レジスタ：32ビット×5本
- 命令セット 95命令/6アドレッシングモード
- 命令形式 16ビット/32ビット
- 積和演算器(DSP機能用命令)内蔵
- メモリコントローラ、汎用入出力ポート内蔵
- パワーマネジメント機能 スタンバイモード
CPUスリープモード
- PLLクロック生成回路 3,4,5,6逓倍PLL回路内蔵
- 動作モード切り替え マスタ/スレーブモード
- 割り込み入力 INT入力、SBI入力
- デバッグ機能(SDI: Scalable Debug Interface)内蔵
- JTAGインタフェース
- 電源 I/O 3.3V(±0.3V)
内部 2.5V(±0.15V)

応用

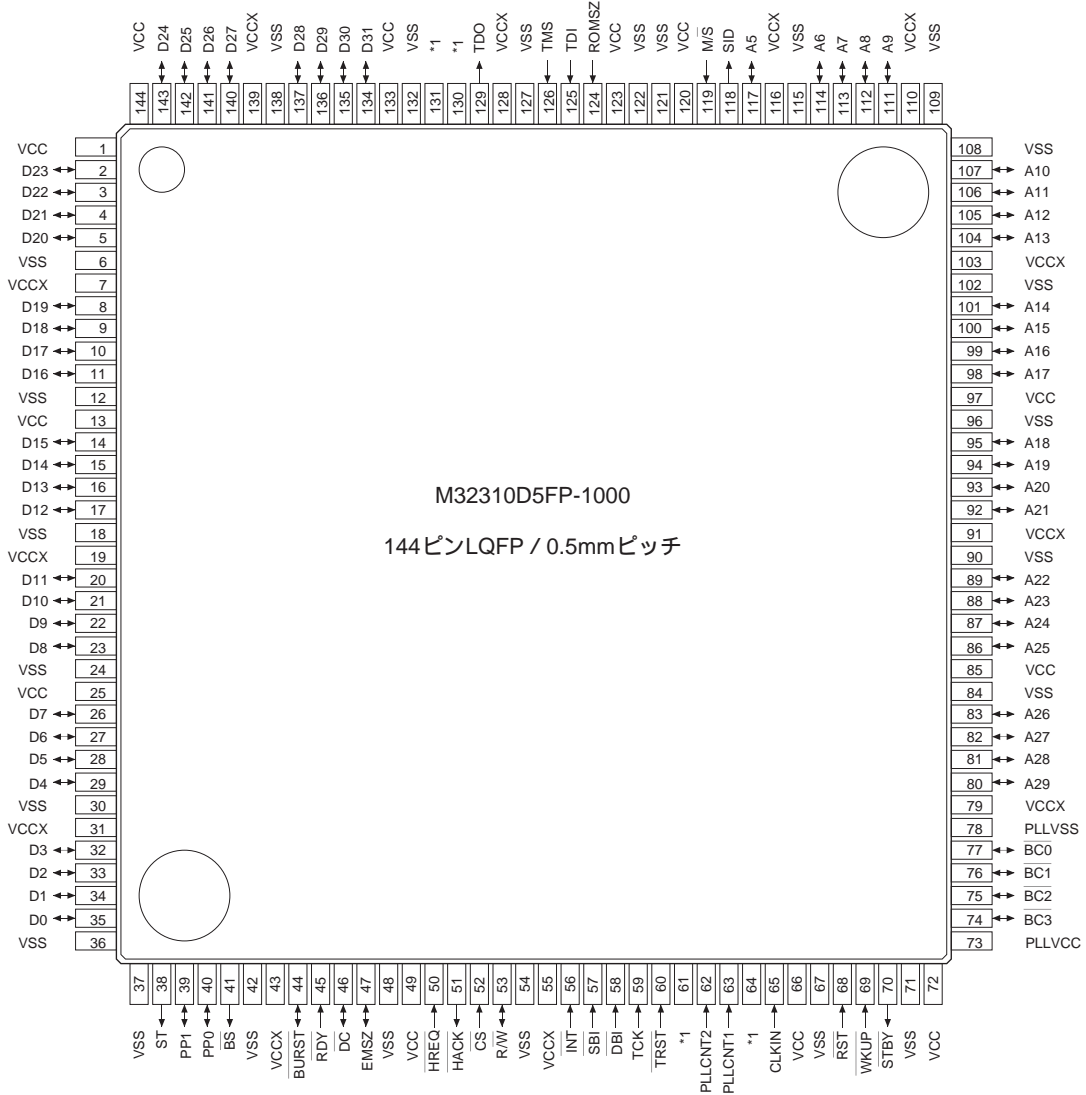
携帯用端末、電子スチルカメラ、ナビゲーション、
電子楽器、プリンタ、スキャナ、FA関連製品 ほか

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

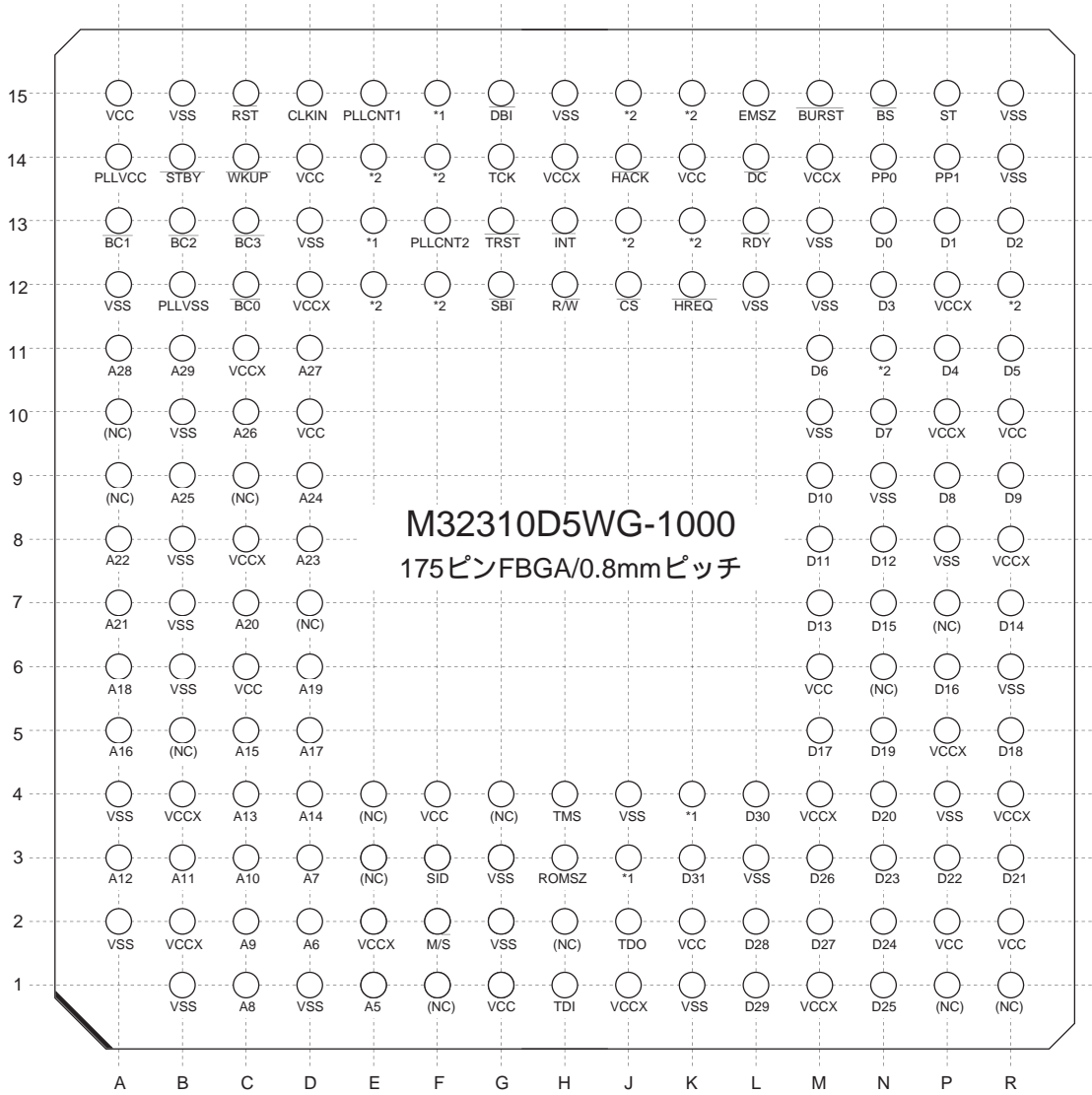
開発中

ピン接続図(上面図)



注. *1の端子はVCCXに接続してください。

ピン接続図(上面図)



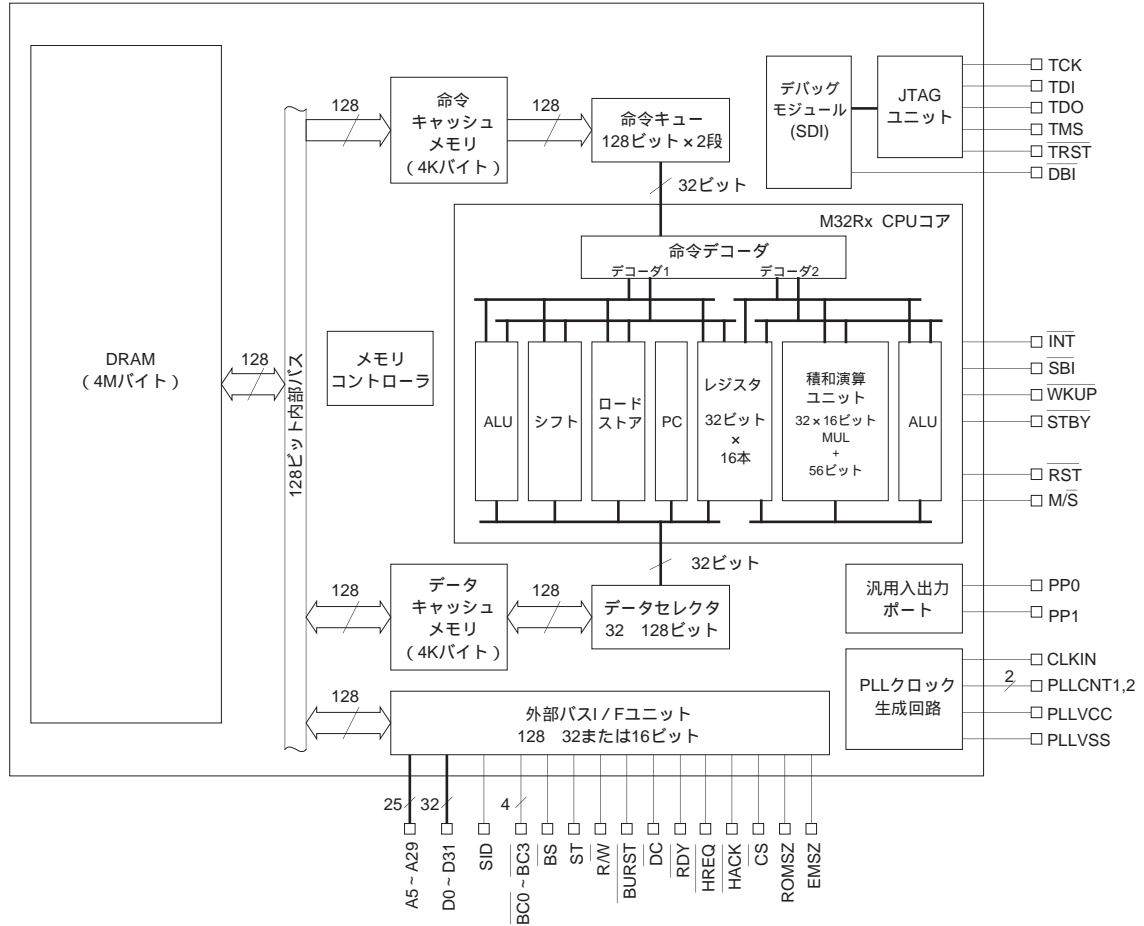
注. *1の端子はVCCXに接続してください。
 *2および(NC)の端子はオープンにしてください。

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

開発中

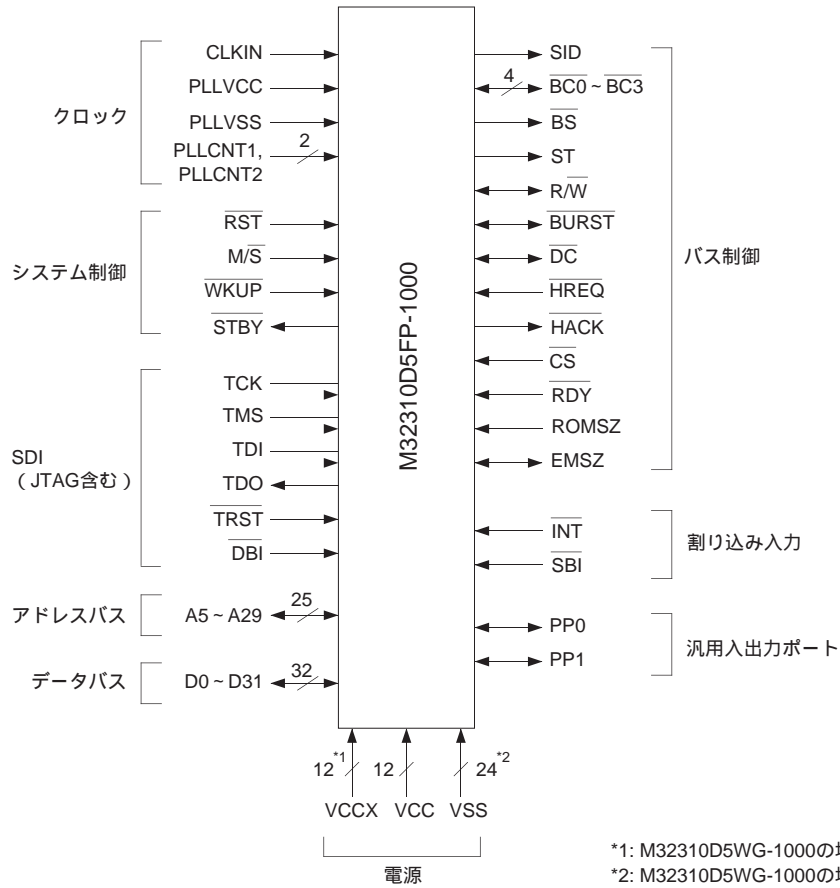
ブロック図



性能概要

機能ブロック	特長															
M32Rx CPUコア	<p>バス仕様</p> <ul style="list-style-type: none"> 基本バスサイクル : 10ns(内部動作100MHz時) 論理アドレス空間 : 4Gバイトリニア 外部アドレスバス : 27ビット(外部出力端子 : A5 ~ A29, $\overline{BC0}$ - $\overline{BC3}$) 外部データバス : 32ビット <p>インプリメンテーション : 6段パイプライン方式</p> <p>コア内部32ビット構成 レジスタ構成</p> <ul style="list-style-type: none"> 汎用レジスタ : 32ビット × 16本 制御レジスタ : 32ビット × 5本 <p>命令セット</p> <ul style="list-style-type: none"> 16ビット / 32ビット命令形式 95命令 / 6アドレッシングモード <p>積和演算器内蔵(56ビットアキュムレータ2本内蔵) 2命令並列実行</p>															
内蔵DRAM	容量 : 4Mバイト(32Mビット)															
キャッシュメモリ	<p>容量 : 8Kバイト(命令: 4Kバイト、データ: 4Kバイト)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>キャッシュモード</th> <th>命令キャッシュ</th> <th>データキャッシュ</th> </tr> </thead> <tbody> <tr> <td>命令 / データキャッシュモード</td> <td>4Kバイト</td> <td>4Kバイト</td> </tr> <tr> <td>命令キャッシュモード</td> <td>4Kバイト</td> <td>-</td> </tr> <tr> <td>データキャッシュモード</td> <td>-</td> <td>4Kバイト</td> </tr> <tr> <td>キャッシュオフモード</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	キャッシュモード	命令キャッシュ	データキャッシュ	命令 / データキャッシュモード	4Kバイト	4Kバイト	命令キャッシュモード	4Kバイト	-	データキャッシュモード	-	4Kバイト	キャッシュオフモード	-	-
キャッシュモード	命令キャッシュ	データキャッシュ														
命令 / データキャッシュモード	4Kバイト	4Kバイト														
命令キャッシュモード	4Kバイト	-														
データキャッシュモード	-	4Kバイト														
キャッシュオフモード	-	-														
メモリコントローラ	<p>キャッシュ制御 内蔵DRAM制御、リフレッシュ制御 パワーマネジメント機能(スタンバイモード, CPUスリープモードへの切り替え制御)</p>															
汎用入出力ポート	2本の入出力ポート															

端子機能図



*1: M32310D5WG-1000の場合16
 *2: M32310D5WG-1000の場合27

端子機能説明 (1/4)

種類	端子名	名称	入出力	機能
電源	VCC	内部電源	-	すべて2.5V系電源に接続します。
	VCCX	I/O電源	-	すべて3.3V系電源に接続します。
	VSS	グランド	-	すべてグランドに接続します。
クロック	CLKIN	クロック入力	入力	クロック入力端子です。M32310D5FP-1000は、PLLによる通倍回路を内蔵しており、クロック入力の3, 4, 5, 6通倍で動作します。 (4通倍設定時：CLKIN入力 = 25MHzで内部100MHz動作)
	PLLVCC	PLL用電源	-	内蔵PLL用の電源(2.5V系)に接続します。
	PLLVSS	PLL用グランド	-	内蔵PLL用のグランドに接続します。
	PLLCNT1 PLLCNT2	PLL コントロール	入力	内部クロックの通倍比を指定します(3, 4, 5, 6通倍切り替え)。ただし、動作中に設定を変更することはできません。 PLLCNT1="L"、PLLCNT2="L" : 3通倍を指定 PLLCNT1="L"、PLLCNT2="H" : 4通倍を指定 PLLCNT1="H"、PLLCNT2="L" : 5通倍を指定 PLLCNT1="H"、PLLCNT2="H" : 6通倍を指定 この端子はシステム固定で使用してください。電源供給中に値を変更した場合の動作は保証されません。
システム 制御	RST	リセット	入力	M32310D5FP-1000の内部をリセットします。スタンバイモードおよびCPUスリープモードからの復帰にも使用します。
	M/S	マスタ スレーブ	入力	M32310D5FP-1000の基本動作をシステムバス上のバスマスタとするか(M/S="H")、バススレーブとするか(M/S="L")を設定します。スレーブモードに設定されたM32310D5FP-1000はリセット解除時にベクタフェッチを行いません。M/S端子の設定を動作中に変更することはできません。"H"または"L"に固定してください。
	WKUP	ウェイク アップ	入力	スタンバイモードからの復帰要求信号入力です。STBY信号が"L"の期間のみ受け付けられ、ウェイクアップ割り込みを発生します。
	STBY	スタンバイ	出力	M32310D5FP-1000がスタンバイモードに移行したことを示します。スタンバイモードの間"L"を出力します。

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

開発中

端子機能説明(2/4)

種類	端子名	名称	入出力	機能
アドレスバス	A5 ~ A29	アドレスバス	入出力 (Hi-Z)	<p>M32310D5FP-1000は256Mバイトの空間をアドレッシングする27ビットのアドレス(A5 ~ A31)を持っています。このうちA30とA31は端子から出力されず、有効なアクセスバイト位置を示す$\overline{BC0} \sim \overline{BC3}$として出力されます。16ビットバスアクセスの場合は、$\overline{BC2}$がA30に相当し、16ビットバス上の有効なアクセスバイト位置を$\overline{BC0}$および$\overline{BC1}$として出力します。</p> <p>アドレスバス端子は双方向になっており、M32310D5FP-1000をホールド状態にして外部から内蔵DRAMをアクセスする場合にはシステムバス側からアドレスを入力してください。</p> <p>このときA5 ~ A9は無視されますが、デバイス保護の観点からオープンな状態にならないようご注意ください。</p>
データバス	D0 ~ D31	データバス	入出力 (Hi-Z)	<p>外部デバイス接続用の32ビットデータバスです。</p> <p>M32310D5FP-1000は、ROMSZ, EMSZ端子および内蔵のバス幅制御レジスタを用いて32ビットバス / 16ビットバスアクセスの切り替えが可能です。16ビットバスアクセスの場合は、D0 ~ D15が有効になり、D16 ~ D31は無効になります (出力時：ハイインピーダンス、入力時：無視)</p> <p>M32310D5FP-1000をホールド状態にして外部から内蔵DRAMをアクセスする場合には、システムバス側主導でデータ入出力を行います。</p>
バス制御	SID	空間識別子	出力 (Hi-Z)	<p>ユーザ空間とI/O空間の2つの空間を区別するための空間識別子です。</p> <p>SID = "L" : ユーザ空間 SID = "H" : I/O空間 (アイドル時はSID= 前値保持、ホールド時はSID=Hi-Z)</p>
	$\overline{BC0} \sim \overline{BC3}$	バイトコントロール	入出力 (Hi-Z)	<p>有効なデータが転送されるバイト位置を示します。$\overline{BC0}$がD0 ~ D7 (MSB側)、$\overline{BC1}$がD8 ~ D15、$\overline{BC2}$がD16 ~ D23、$\overline{BC3}$がD24 ~ D31 (LSB側) に対応します。</p> <p>16ビットバスアクセスの場合は、D0 ~ D15に対応する$\overline{BC0}$および$\overline{BC1}$が有効になり、$\overline{BC2}$はA30相当、$\overline{BC3}$は無効になります。 (出力時："H"固定、入力時：無視)</p> <p>M32310D5FP-1000をホールド状態にして外部から内蔵DRAMをアクセスする場合には、システムバス側からバイトコントロール信号を入力してください。16ビットアクセスの場合、$\overline{BC3}$は無視されますが、デバイス保護の観点からオープンな状態にならないようご注意ください。</p>
	\overline{BS}	バススタート	出力 (Hi-Z)	<p>M32310D5FP-1000が外部バスに対してバスサイクルを起動する場合、バスサイクルの開始時に\overline{BS}信号を"L"にします。</p> <p>バースト転送を行う場合は、最初の1回のみ\overline{BS}信号を"L"にします。</p> <p>内蔵DRAM空間や内蔵I/Oレジスタ等の内蔵資源をアクセスする場合、外部バスはアイドル状態のため、\overline{BS}信号出力は"H"のままです。</p>

(Hi-Z)はホールド時にハイインピーダンスになる端子です。

端子機能説明(3/4)

種類	端子名	名称	入出力	機能
バス制御 (つづき)	ST	バス ステータス	出力 (Hi-Z)	M32310D5FP-1000が起動するバスサイクルが、命令フェッチアクセスかオペランドアクセスであるかを識別するための信号です。 ST="L"：命令フェッチアクセス時 ST="H"：オペランドアクセス時 (アイドル時はST=前値保持、ホールド時はST= Hi-Z)
	R/W	リード /ライト	入出力 (Hi-Z)	M32310D5FP-1000が起動するバスサイクルが、リードサイクルか、ライトサイクルかを識別するためにR/W信号を出力します。外部バスマスタから内蔵DRAMをアクセスする場合は、システムバス側からR/Wを入力します。
	BURST	バースト	入出力 (Hi-Z)	M32310D5FP-1000は、128ビット境界に配置された命令に対し、32ビットバス時で最大4回、16ビットバス時には最大8回(命令/データキャッシュモードおよび命令キャッシュモードでは常に最大の回数)の連続したリードサイクル(バーストリードサイクル)を起動します。このバーストサイクル時、転送回数 - 1 回の転送が完了するまでBURST端子から"L"が出力されます。 128ビット長の命令フェッチを行う場合のアドレスは、128ビットアドレス境界先頭から順次インクリメントして出力されます。 M32310D5FP-1000をホールド状態にして、外部から内蔵DRAMの連続したアドレスにアクセスする場合には、システムバス側からBURST="L"を入力することでバースト転送が可能です。外部バスマスタバーストアクセスの場合、M32310D5FP-1000は、初回のみアドレス関連信号をサンプリングし、続くアクセスは連続したアドレスである前提で動作するため高速アクセスが可能です。
	DC	データ コンプリート	入出力 (Hi-Z)	M32310D5FP-1000が外部バスサイクルを起動した場合、DC="L"がシステムバス上のバスマスタから入力されるまで、M32310D5FP-1000はウエイトサイクルを自動的に挿入します。 M32310D5FP-1000がホールド状態で、外部バスマスタから内蔵DRAMをアクセスするためにCS="L"が入力されると、M32310D5FP-1000はDC信号をドライブし、内蔵DRAMへのバスサイクルが完了したことをDC="L"を出力することで外部バスマスタに通知します。
	RDY	バスレディ	入力	M32310D5FP-1000が連続した外部バスサイクルを起動しようとしたときに、RDY="H"を入力することでリカバリサイクルを挿入することができます。 外部バスマスタから内蔵DRAMをアクセスする場合もM32310D5FP-1000がDC="L"を出力し次のバスサイクルに移行しようとしたときにRDY="H"を入力することにより、ウエイトサイクルを挿入することができます。
	HREQ	ホールド	入力	システムバスのバス権を要求するための入力端子です。 HREQ信号を"L"にするとM32310D5FP-1000はホールド状態へ遷移します。
	HACK	ホールド アクノレッジ	出力	M32310D5FP-1000がホールド状態へ遷移し、システムバス上のバス権を解放したことを通知するための信号です。

(Hi-Z)はホールド時にハイインピーダンスになる端子です。

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

開発中

端子機能説明(4/4)

種類	端子名	名称	入出力	機能
バス制御 (つづき)	CS	チップ セレクト	入力	ホールド状態のM32310D5FP-1000に対して、外部バスマスタから内蔵DRAMへのアクセスを要求するための信号入力です。 M32310D5FP-1000がホールド状態へ移行した後、CS端子に"L"信号を入力することで内蔵DRAMへアクセスすることができます。
	ROMSZ	ROMバス幅	入力	リセットベクタを含む外部ユーザ領域(H'07000000 ~ H'07FFFFFF、16Mバイト)のデータバス幅を指定する信号です。 ROMSZ="L" : データバス幅16ビット ROMSZ="H" : データバス幅32ビット ROMSZの値はシステム固定で使用してください。電源供給中に値を変更した場合の動作は保証されません。
	EMSZ	外部マスタ バス幅	入出力 (Hi-Z)	M32310D5FP-1000が外部バスをアクセスする場合、起動した外部バスアクセスの有効データバス幅を示します。外部バスマスタから内蔵DRAMをアクセスする場合は、外部バスマスタから入力されるEMSZによってM32310D5FP-1000はバス幅を判別します。 EMSZ="L" : データバス幅16ビット EMSZ="H" : データバス幅32ビット 全て16ビットデータバスのシステムの場合は、この端子を"L"にプルダウンしてください。
割り込み 入力	SBI	システム ブレーク 割り込み	入力	システムブレーク割り込み入力端子です。SBIは、PSWレジスタ中のIEビットによるマスクはありません。CPUスリープモードからの復帰、およびスリープモード時の動作開始要求としても使用します。
	INT	外部割り込み	入力	外部割り込み要求の入力端子です。CPUスリープモードからの復帰、およびスリープモード時の動作開始要求としても使用します。
汎用入出 力ポート	PP0, PP1	ポート	入出力	2本の汎用入出力ポートです。
SDI (JTAG含む)	TCK	テスト クロック	入力	テスト回路へのクロック入力です。
	TDI	テスト データ入力	入力	テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。TCKの立ち上がりでサンプリングされます。
	TDO	テスト データ出力	出力	テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。TCKの立ち下がりで変化、Shift-IRもしくはShift-DR状態のときのみ出力されます。それ以外の状態ではHi-Zになります。
	TMS	テストモード セレクト	入力	テスト回路の状態遷移を制御するテストモード選択入力です。TCKの立ち上がりでサンプリングされます。
	TRST	テスト リセット	入力	テスト回路を非同期に初期化する"L"アクティブのテストリセット入力です。リセット動作を保証するため、この信号が"L"から"H"に変化するときにはTMS信号入力を"H"に保つ必要があります。JTAGを使用しない場合でも、電源投入時にはTRST="L"を入力し、テスト回路をリセットします。
	DBI	デバック 割り込み	入力	デバッガ専用割り込みです。エミュレータなどの開発ツールが使用します。ユーザは使用しません。

(Hi-Z)はホールド時にハイインピーダンスになる端子です。

機能ブロック動作説明

CPU

M32Rx CPUには16本の汎用レジスタ、5本の制御レジスタ、2本のアキュムレータ及びプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

汎用レジスタ

汎用レジスタは32ビット幅で16本(R0~R15)あり、データやベースアドレスの保持などに使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り替わります。

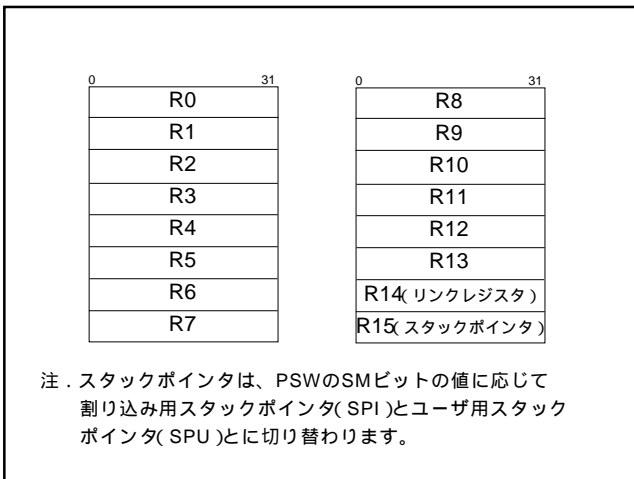


図1 汎用レジスタ

制御レジスタ

制御レジスタには、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)の5つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

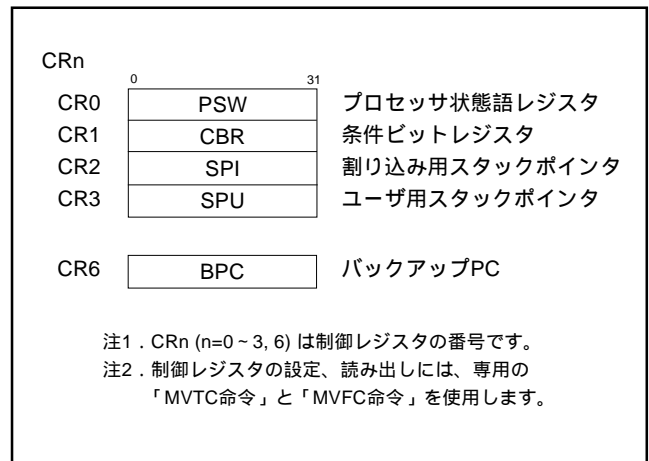
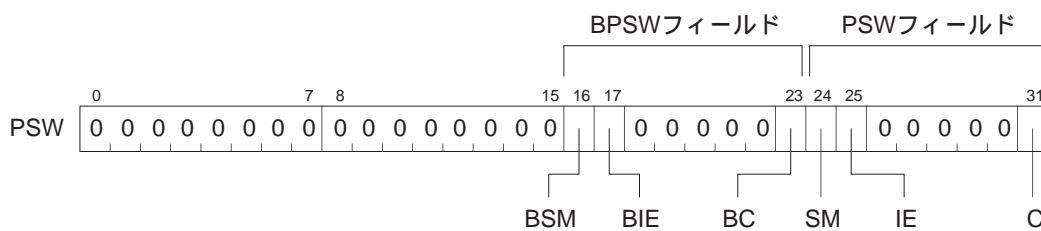


図2 制御レジスタ

プロセッサ状態語レジスタ

プロセッサ状態語レジスタ(PSW)は、CPUのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを退避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモードビット(SM)、割り込みイネーブルビット(IE)、条件ビット(C)で構成されています。また、BPSWフィールドはバックアップSMビット(BSM)、バックアップIEビット(BIE)、バックアップCビット(BC)で構成されています。



D	ビット名	機能	初	R	W
16	BSM(バックアップSM)	EIT受付時に、SMビットの値が保存される	不定		
17	BIE(バックアップIE)	EIT受付時に、IEビットの値が保存される	不定		
23	BC(バックアップC)	EIT受付時に、Cビットの値が保存される	不定		
24	SM(スタックモード)	0: 割り込み用スタックポインタを使用 1: ユーザ用スタックポインタを使用	0		
25	IE(割り込みイネーブル)	0: 割り込みを受け付けない 1: 割り込みを受け付ける	0		
31	C(条件ビット)	命令の実行に応じて演算結果のキャリー、ポロー、オーバーフローの有無を示す	0		

初...リセット直後の初期状態 R = ...読み出し可能 W = ...書き込み可能

図3 プロセッサ状態語レジスタ

条件ビットレジスタ

条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWの条件ビット(C)に書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です(「MVTC命令」で書き込みを行っても無視されます)。

割り込み用スタックポインタ、ユーザ用スタックポインタ

割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このときR15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り替わります。

バックアップPC

バックアップPC(BPC)は、EIT発生時にプログラムカウンタ(PC)の値を退避するためのレジスタです。ビット31は"0"に固定です。

EIT発生時には、発生したEITによってEIT発生時または次命令のPC値がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。ただし復帰時にPCの下位2ビットは常に"00"になります(常にワード境界に復帰します)。

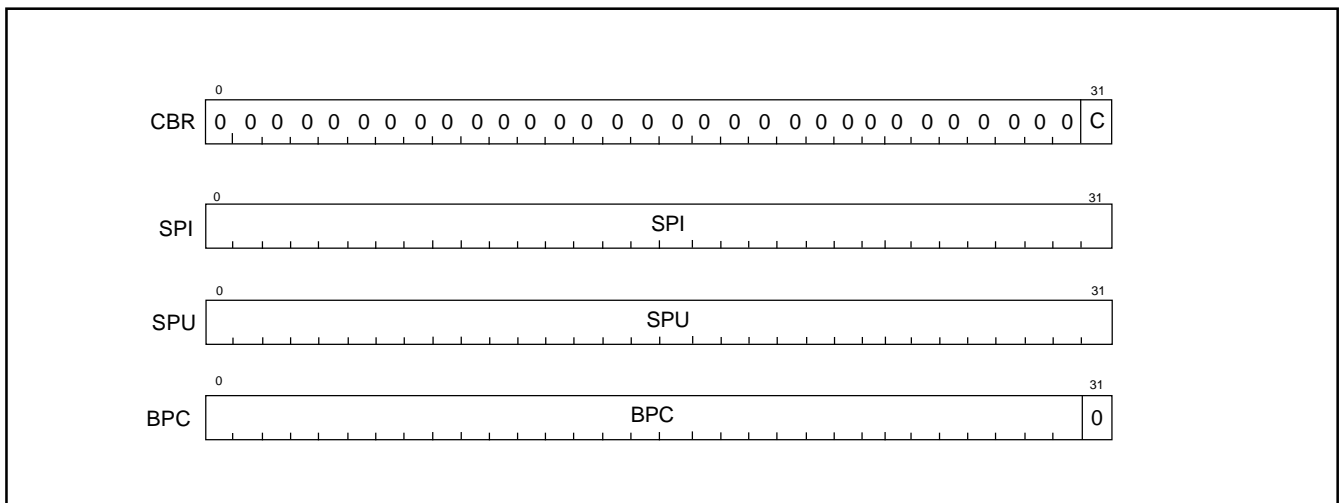


図4 条件ビットレジスタ、割り込み用スタックポインタ、ユーザ用スタックポインタ、バックアップPC

アキュムレータ

アキュムレータは、DSP機能用命令で使用される56ビットのレジスタで、ACC0, ACC1の2本あります。アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はACC0, ACC1の値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0~31)に、「MVTACLO命令」は下位側32ビット(ビット32~63)にデータを書き込みます。読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」は上位側32ビット(ビット0~31)を、「MVFACLO命令」は下位側32ビット(ビット32~63)を、また「MVFACMI命令」は中央の32ビット(ビット16~47)のデータをそれぞれ読み出します。

プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32Rx CPUの命令は偶数アドレスから始まるため、LSB(ビット31)は"0"になります。

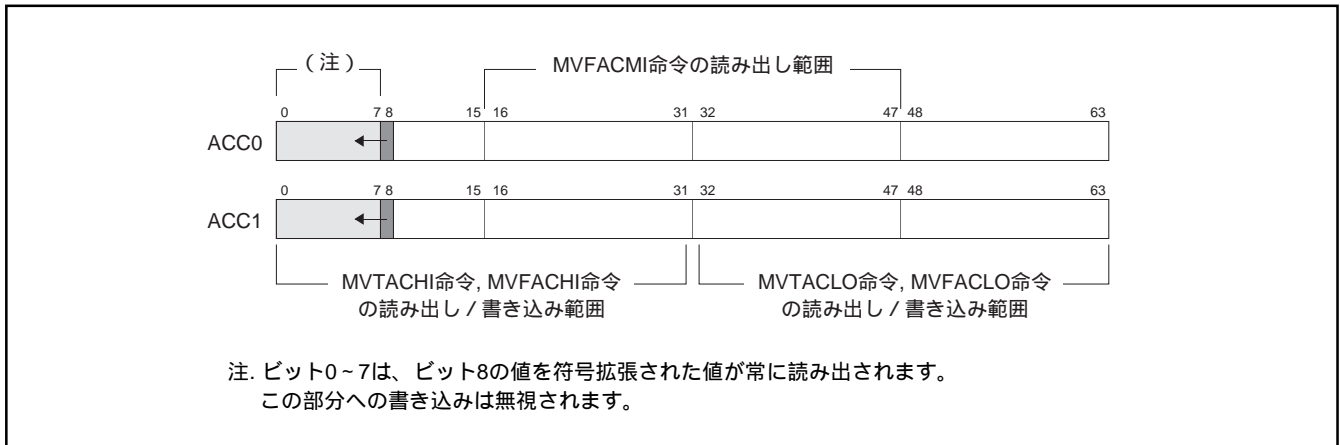


図5 アキュムレータ

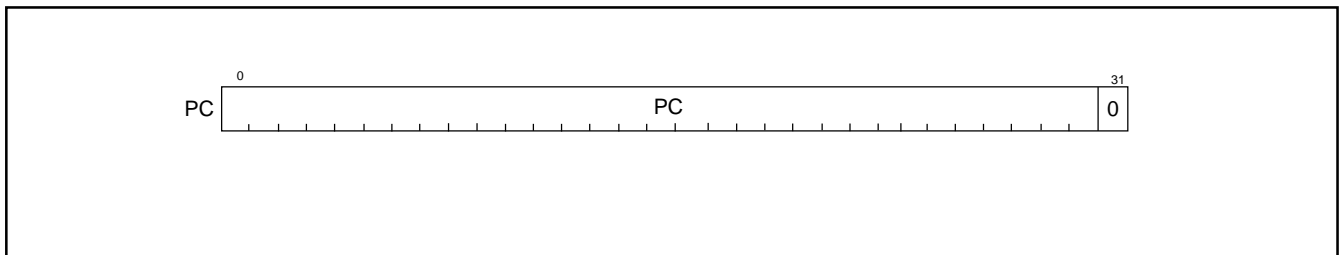


図6 プログラムカウンタ

データタイプ

M32Rx/Dシリーズの命令セットで扱えるデータタイプは、符号付き、または符号なしの8, 16, 32ビット整数です。符号付き整数の値は2の補数で表現されます。

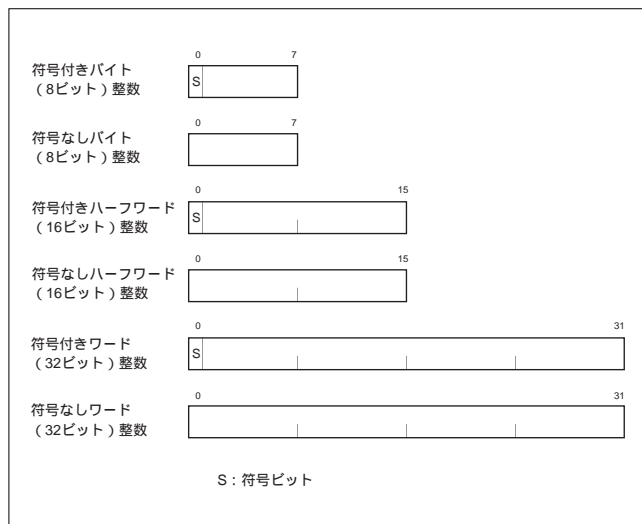


図7 データタイプ

データフォーマット

M32Rx CPUのレジスタ上でのデータサイズは、常にワード(32ビット)です。メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをレジスタにロードする場合は、ワード(32ビット)データに符号拡張(LDB, LDH命令)またはゼロ拡張(LDUB, LDUH命令)後、レジスタに格納されます。CPUのレジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするとアドレス例外が発生します。

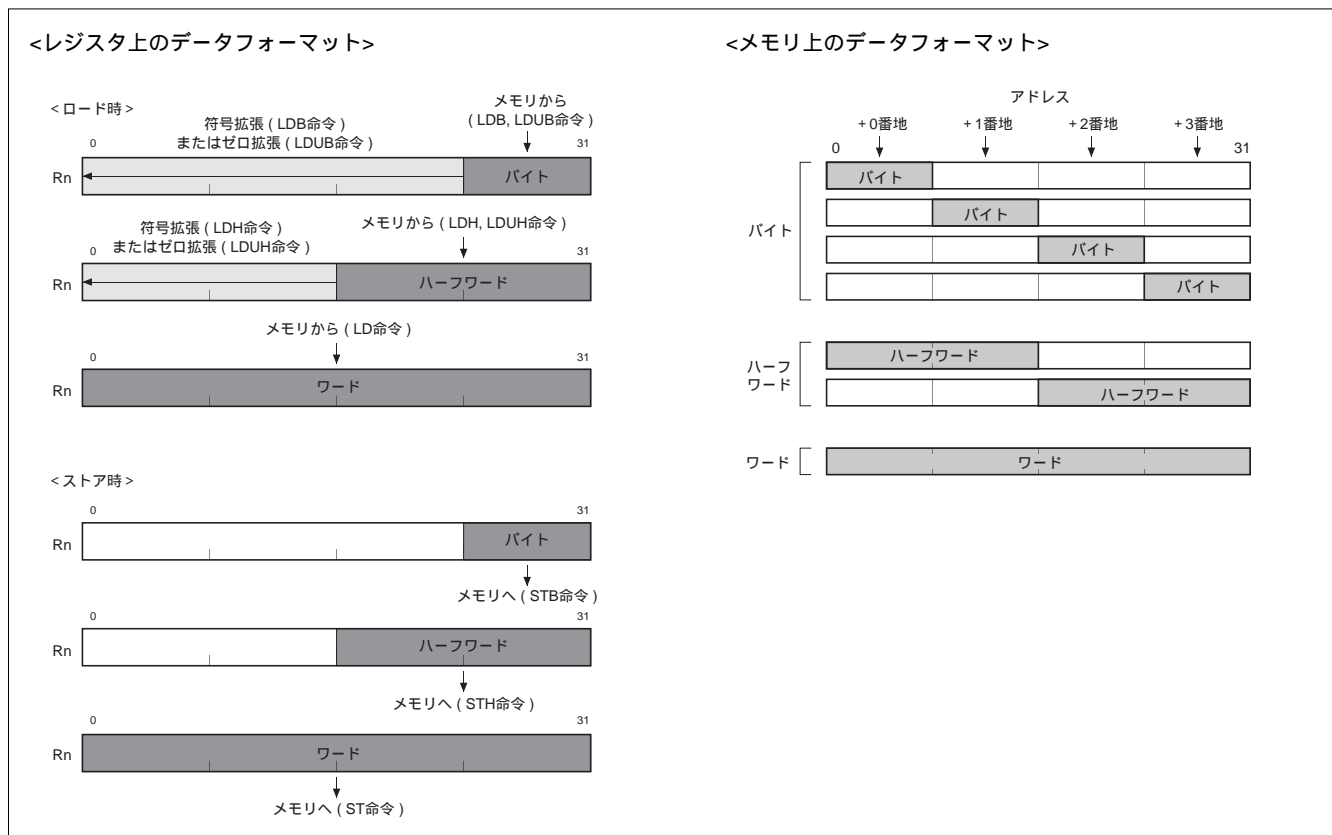


図8 データフォーマット

開発中

アドレス空間

M32310D5FP-1000の論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。

また、物理空間としてはユーザ空間 (SID=0) 128Mバイト、I/O空間 (SID=1) 128Mバイトの計256Mバイトをサポートします。

M32310D5FP-1000のアドレス空間には、以下の12空間が存在し、外部の空間に対しては、バスアクセス時のバス幅を内蔵レジスタによって設定できます(外部ユーザ領域5のみ外部端子ROMSZにより設定します)。

ユーザ空間

- ・内蔵DRAM領域 (4Mバイト)
- ・外部ユーザ領域1 (28Mバイト)
- ・外部ユーザ領域2 (32Mバイト)
- ・外部ユーザ領域3 (32Mバイト)
- ・外部ユーザ領域4 (16Mバイト)
- ・外部ユーザ領域5 (16Mバイト)

I/O空間

- ・外部I/O領域1 (32Mバイト)
- ・外部I/O領域2 (32Mバイト)
- ・外部I/O領域3 (32Mバイト)
- ・外部I/O領域4 (24Mバイト)
- ・システム領域 (4Mバイト)
- ・内蔵I/O領域 (4Mバイト)

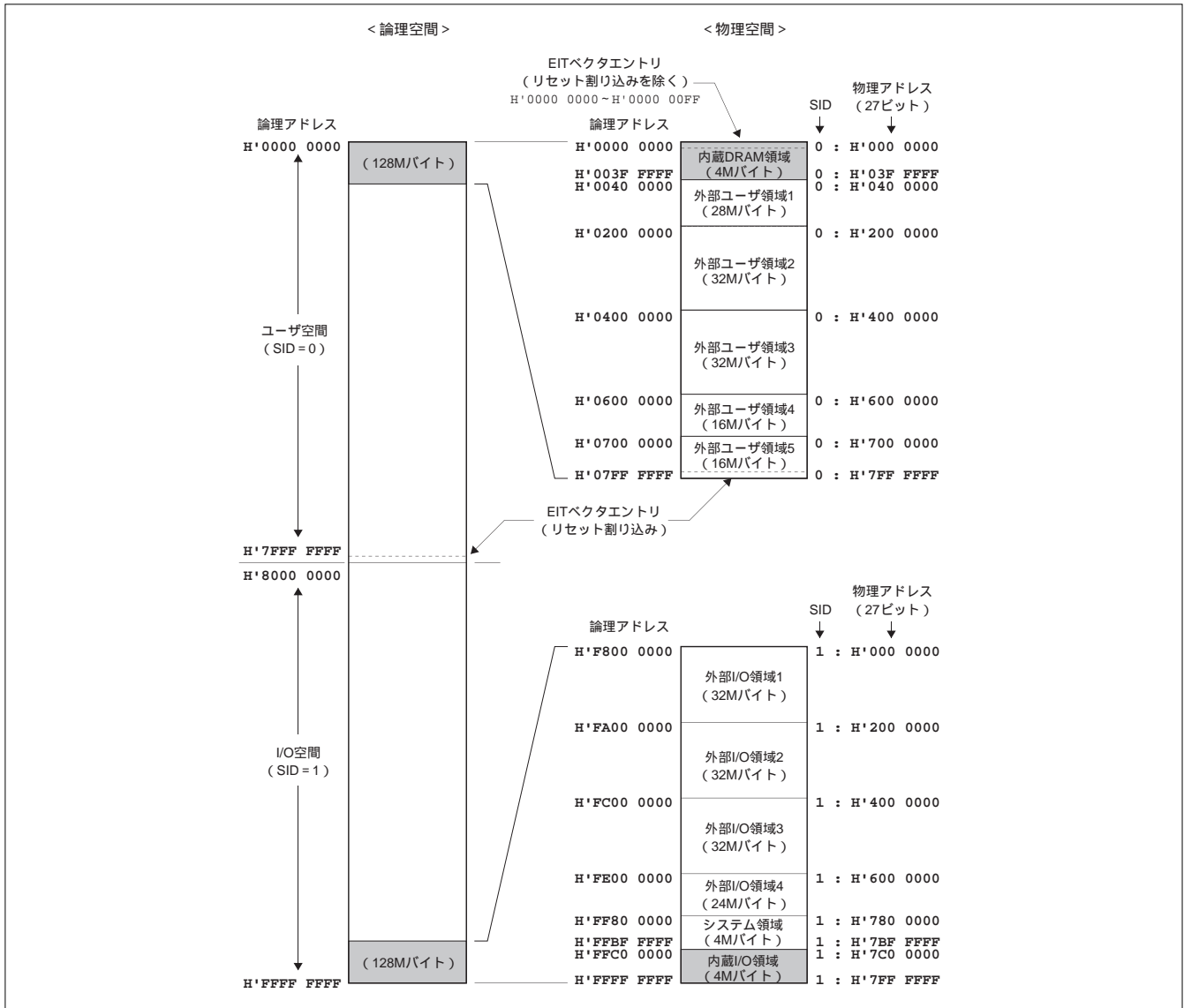


図9 アドレス空間

H'0000 0000 ~ H'003F FFFF番地には、内蔵DRAM(4Mバイト)が配置されます。また、この領域の先頭H'0000 0000 ~ H'0000 00FF番地にはEITベクタエントリ(リセット割り込みを除く)が配置されます。

内蔵DRAMは8Kバイトのキャッシュメモリを介して128ビットのバス幅でM32Rx CPUコアと接続されます。また内蔵DRAMは、M32310D5FP-1000をホールド状態にした後、必要な制御信号を入力することで、外部バスマスタからアクセス可能です。

外部ユーザ領域は5領域に分かれており、これらの領域へのアクセスに対しては、外部デバイスのアクセスに必要な制御信号が出力されます。外部ユーザ領域1~外部ユーザ領域4の領域をアクセスする場合のデータバス幅(16/32ビット)は内蔵I/Oレジスタで設定します。外部ユーザ領域5をアクセスする場合のデータバス幅(16/32ビット)は外部端子ROMSZ

で指定します。この領域の最後の16バイト(H'07FF FFF0 ~ H'07FF FFFF)は、リセット割り込みのためのEITベクタエントリです(H'7FFF FFF0 ~ H'7FFF FFFF番地のミラーになっています)。

外部I/O領域は4領域に分かれており、これらの領域へのアクセスに対しては、外部デバイスのアクセスに必要な制御信号が出力されます。これらの領域をアクセスする場合のデータバス幅(16/32ビット)は、内蔵I/Oレジスタで設定します。

H'FF80 0000 ~ H'FFBF FFFF番地の4Mバイトはシステム領域です。この領域は、インサーキットエミュレータや、デバッグ用モニタなどの開発ツール提供のために予約されており、ユーザが使用することはできません。

H'FFC0 0000 ~ H'FFFF FFFF番地の4Mバイトは、内蔵I/O領域です。バスインタフェースユニット(BIU)、メモリコントローラと汎用入出力ポートのレジスタが配置されています。

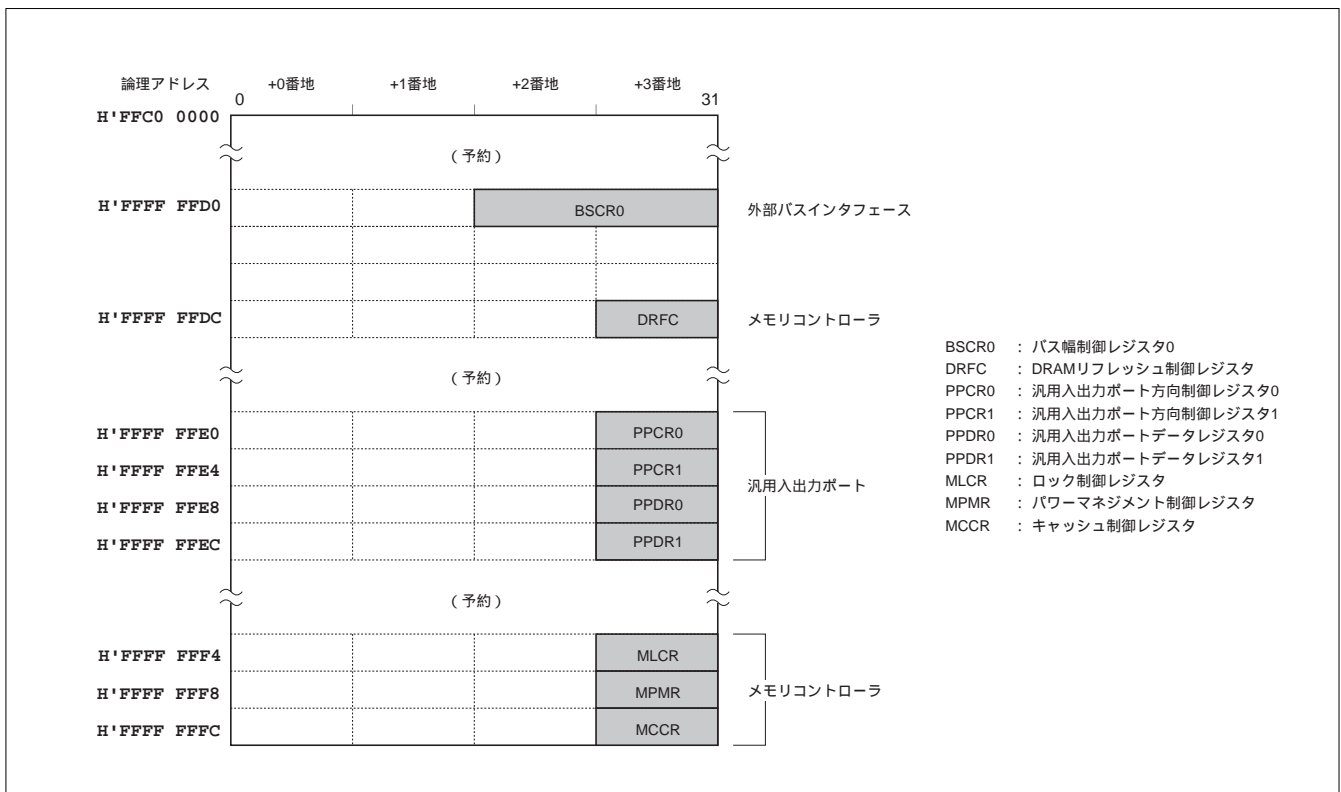


図10 内蔵I/O空間のメモリマップ

開発中

EIT

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要が生じる場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap)事象と呼びます。

例外(Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。M32310D5FP-1000では、アドレス例外(AE)と予約命令例外(RIE)が、これに該当します。

割り込み(Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号によって発生します。M32310D5FP-1000ではリセット割り込み(RI)、ウエイクアップ割り込み(WI)、システムブレーク割り込み(SBI)および外部割り込み(EI)とがこれに該当します。

トラップ(Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラムがプログラム中で意識的に発生させるものです。

EIT事象は次のとおりです。

・予約命令例外(RIE)

予約命令例外(RIE: Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

・アドレス例外(AE)

アドレス例外(AE: Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

・リセット割り込み(RI)

リセット割り込み(RI: Reset Interrupt)は、RST信号を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

・ウエイクアップ割り込み(WI)

ウエイクアップ割り込み(WI: Wakeup Interrupt)は、WKUP信号を入力することによりスタンバイモード時のみ受け付けられる、スタンバイモードからの復帰専用割り込みです。

・システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI: System Break Interrupt)は、SBI端子からの割り込み要求です。電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される割り込みです。またCPUスリープモードからの復帰や、スリープモードに設定されたM32310D5FP-1000の起動要因としても使用されます。

・外部割り込み(EI)

外部割り込み(EI: External Interrupt)は、INT端子からの割り込み要求です。外部割り込みはPSWのIEビットによってマスクすることができ、周辺I/O等からの割り込みに使用します。またCPUスリープモードからの復帰や、スリープモードに設定されたM32310D5FP-1000の起動要因としても使用されます。

・トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応し、EITベクタエントリが16個用意されています。

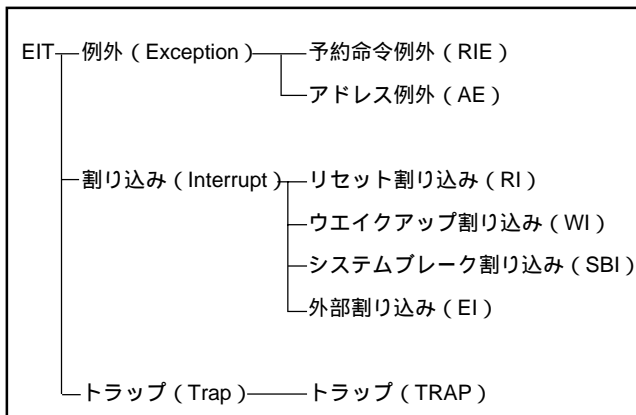


図11 EITの分類

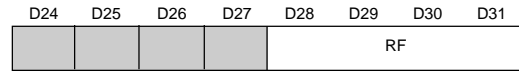
内蔵メモリ

M32310D5FP-1000が搭載するメモリシステムには、以下の特長があります。

- ・ 4Mバイト(32Mビット)のDRAM内蔵
- ・ 命令/データ各4Kバイトのキャッシュメモリ(高速SRAM)内蔵
- ・ メモリコントローラ内蔵
- ・ チップ内部(CPU、キャッシュ、内蔵DRAM)を128ビットバスで接続
- ・ キャッシュメモリの動作モード切り替え機能
 - 命令/データキャッシュモード
 - 命令キャッシュモード
 - データキャッシュモード
 - キャッシュオフモード

DRAMリフレッシュ制御レジスタ (DRFC)

< アドレス : H'FFFF FFDF >



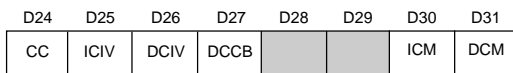
<リセット時 : H'03>

D	ビット名	機能	R	W
24 ~ 27	何も配置されていません		0	x
28 ~ 31	RF	リフレッシュ間隔を指定 (リフレッシュ間隔)		

R = 0...0が読み出される R = ...読み出し可能
W = ...書き込み可能 W = x...書き込み不可

図12 DRAMリフレッシュ制御レジスタ

キャッシュ制御レジスタ (MCCR) < アドレス : H'FFFF FFFF >



<リセット時 : H'00>

D	ビット名	機能	R	W
24	CC (キャッシュモード変更)	0 : キャッシュモードを変更する 1 : キャッシュモードを変更しない	0	
25	ICIV(命令キャッシュ インバリデート)	0 : なにもしない 1 : 命令キャッシュをインバリデートする (Validビットをクリアする)	0	
26	DCIV(データキャッシュ インバリデート)	0 : なにもしない 1 : データキャッシュをインバリデートする	0	
27	DCCB(データキャッシュ コピーバック)	0 : なにもしない 1 : データキャッシュの全ダーティラインを コピーバックしDirtyビットをクリアする	0	
28,29	何も配置されていません。		0	x
30	ICM (命令キャッシュモード)	0 : 命令キャッシュオフ 1 : 命令キャッシュオン		
31	DCM (データキャッシュモード)	0 : データキャッシュオフ 1 : データキャッシュオン		

R = 0...0が読み出される R = ...読み出し可能
W = ...書き込み可能 W = x...書き込み不可

図13 キャッシュ制御レジスタ

開発中

キャッシュ制御レジスタ(MCCR)のICMビットおよびDCMビットを"1"にセットすると、命令/データキャッシュモード(命令キャッシュ、データキャッシュ共に有効)になります。命令キャッシュはEITベクタエントリを除く全ユーザ空間に対する命令フェッチアクセスを、データキャッシュは内蔵DRAM空間へのオペランドアクセスをキャッシングします。M32Rx CPUの入出力部である命令キューおよびデータセクタと、キャッシュメモリ、内蔵DRAM間の転送は常に128ビットで行われます。

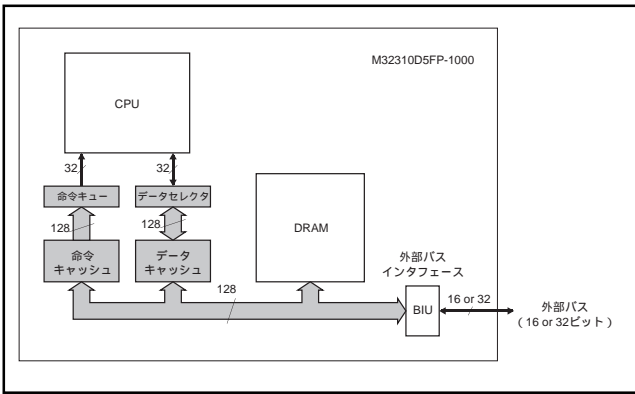


図14 命令/データキャッシュモード

キャッシュ制御レジスタ(MCCR)のICMビットを"1"にセット、DCMビットを"0"にクリアすると、命令キャッシュモード(命令キャッシュのみ動作、データキャッシュは非動作)になります。命令キャッシュはEITベクタエントリを除く全ユーザ空間に対する命令フェッチアクセスをキャッシングします。

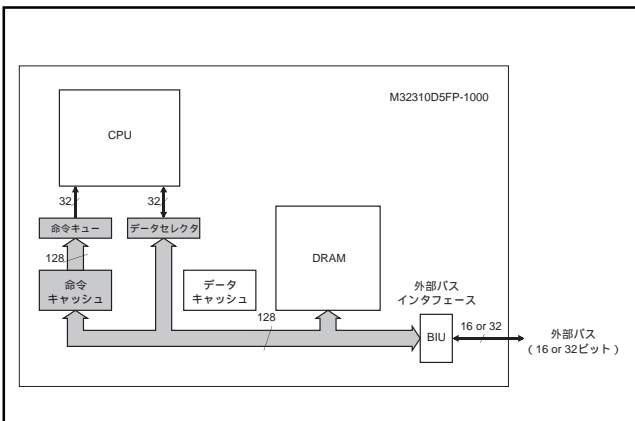


図15 命令キャッシュモード

キャッシュ制御レジスタ(MCCR)のICMビットを"0"にクリア、DCMビットを"1"にセットすると、データキャッシュモード(データキャッシュのみ動作、命令キャッシュは非動作)になります。データキャッシュは内蔵DRAM空間へのオペランドアクセスをキャッシングします。

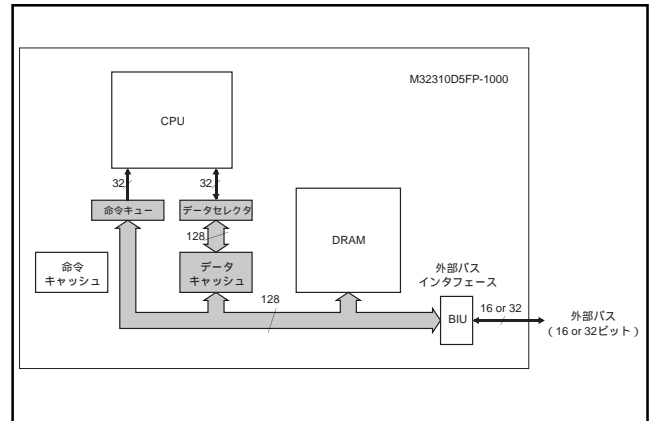


図16 データキャッシュモード

キャッシュ制御レジスタ(MCCR)のICMビット、DCMビットの両方を"0"にクリアすると、キャッシュオフモード(命令キャッシュ、データキャッシュ共に非動作)になります。

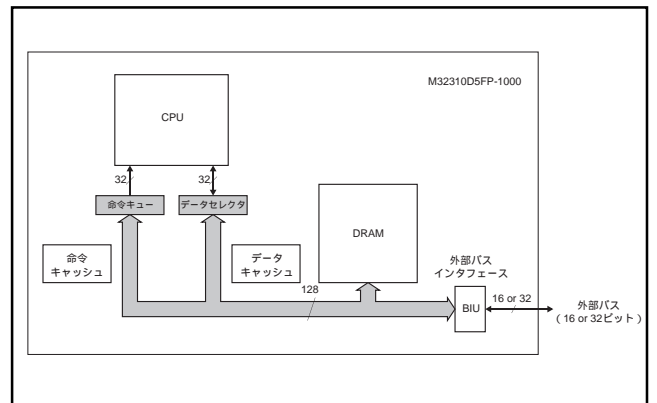


図17 キャッシュオフモード

外部バスインタフェース

M32310D5FP-1000のバスインタフェースユニット(BIU)は、外部バスアクセス制御、および外部バスマスタからの内蔵DRAMアクセス制御を行います。BIUは、128ビットのデータバッファ2本を備えており、M32310D5FP-1000内部の128ビットデータバスと外部の32ビットバスまたは16ビットデータバスとのバス幅変換を行うと同時に、内部128ビットデータバスの転送回数を最小に抑えます。

BIUには、以下の特長があります。

バスサイジング機能

- データバス幅16ビット / 32ビットの選択機能

外部バスアクセスの種類

- 外部バスノーマルリード
- 外部バスバーストリード
- 外部バスライト

外部バスマスタの内蔵DRAMアクセスの種類

- 外部バスマスタノーマルリード
- 外部バスマスタノーマルライト
- 外部バスマスタバーストリード
- 外部バスマスタバーストライト

RDY信号制御によるリカバリサイクル挿入が可能

M32310D5FP-1000は、アクセスする領域ごとに16ビットまたは32ビットのいずれかのデータバス幅を指定することができます。外部ユーザ領域1～4および外部I/O領域1～4のバス幅は、内蔵のバス幅制御レジスタで設定します。リセットベクタを含む外部ユーザ領域5のバス幅は、外部端子ROMSZで指定します。

- ・ROMSZ="L" : データバス幅16ビット
- ・ROMSZ="H" : データバス幅32ビット

外部アクセス時、M32310D5FP-1000はEMSZ信号を用いて起動したバスアクセスのデータバス幅を外部に通知します。

また、EMSZ信号は、外部バスマスタアクセス時のデータバス幅指定にも用いられます。

- ・EMSZ="L" : データバス幅16ビット
- ・EMSZ="H" : データバス幅32ビット

バス幅制御レジスタ0 (BSCR0) < アドレス : H'FFFF FFD2 >

D16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	D31
	BSU1		BSU2		BSU3		BSU4		BSI1		BSI2		BSI3		BSI4

< リセット時 : H'0000 >

D	ビット名	機能	R	W
16	何も配置されていません		0	×
17	BSU1	0 : 16ビット 外部ユーザ領域1バス幅	1	1
18	何も配置されていません		0	×
19	BSU2	0 : 16ビット 外部ユーザ領域2バス幅	1	1
20	何も配置されていません		0	×
21	BSU3	0 : 16ビット 外部ユーザ領域3バス幅	1	1
22	何も配置されていません		0	×
23	BSU4	0 : 16ビット 外部ユーザ領域4バス幅	1	1
24	何も配置されていません		0	×
25	BSI1	0 : 16ビット 外部I/O領域1バス幅	1	1
26	何も配置されていません		0	×
27	BSI2	0 : 16ビット 外部I/O領域2バス幅	1	1
28	何も配置されていません		0	×
29	BSI3	0 : 16ビット 外部I/O領域3バス幅	1	1
30	何も配置されていません		0	×
31	BSI4	0 : 16ビット 外部I/O領域4バス幅	1	1

図18 バス幅制御レジスタ0

M32310D5FP-1000は、以下に示す外部バス関連信号を備えています。

アドレス(A5~A29): 入出力

M32310D5FP-1000は、128Mバイトのアドレス空間に対応する27ビットのアドレスバス(A5~A31)を備えています。このうち最下位のA30, A31は端子から出力されず、32ビットデータバスの有効なアクセスバイト位置を示すBC0~BC3信号として出力します。データバス幅16ビット領域へのアクセスの場合は、BC2がA30に相当し、16ビットデータバスの有効なアクセスバイト位置を示すBC0, BC1信号を出力します。アドレス端子は双方向で、M32310D5FP-1000がホールド時に外部から内蔵DRAMをアクセスする場合は、システムバス側からアドレス信号を入力します。このときA5~A9は無視されますが、デバイス保護の観点からオープン状態にならないよう注意してください。

空間識別子(SID): 出力

ユーザ空間とI/O空間の2つの領域を指定するための空間識別子です。

ユーザ空間アクセス時 : SID="L"

I/O空間アクセス時 : SID="H"

ホールド時 : SID=ハイインピーダンス

アイドル時 : SID=前値保持

バイトコントロール(BC0~BC3): 入出力

バイトコントロール信号は、外部バスサイクル時に有効なデータが転送されるバイト位置を示します。BC0がD0~D7(MSB側)、BC1がD8~D15、BC2がD16~D23、BC3がD24~D31(LSB側)に対応します。データバス幅16ビット領域へのアクセスの場合、BC0, BC1が有効となりBC2にA30相当信号が出力されます。このときBC3には"H"が出力されます。

M32310D5FP-1000がホールド時に、外部から内蔵DRAMをアクセスする場合は、システムバス側からバイトコントロール信号を入力します。データバス幅16ビットでのアクセスの場合、BC0, BC1が有効となり、BC2にA30相当の信号を入力します。このときBC3は無視されますが、デバイス保護の観点からオープンな状態にならないよう注意してください。

データバス(D0~D31): 入出力

M32310D5FP-1000が外部デバイスをアクセスするための32ビットデータバスです。M32310D5FP-1000がホールド時に、外部から内蔵DRAMをアクセスする場合は、システムバス側からのデータ入出力用バスになります。データバス幅16ビットでのアクセスでは、D0~D15が有効になり、D16~D31は無効(出力時:ハイインピーダンス、入力時:無視)になります。

バスタート(BS): 出力

M32310D5FP-1000がシステムバスに対してバスサイクルを起動する場合には、バスサイクルの開始時にBSに"L"を出力します。バースト転送を行う場合には、最初の1回のみBS="L"を出力します。内蔵DRAM空間や、内蔵I/Oレジスタ等の内蔵資源をアクセスする場合には、BS信号は"H"のままです。

バスステータス(ST): 出力

STは、M32310D5FP-1000が起動するバスサイクルが、命令フェッチサイクルか、オペランドアクセスサイクルかを識別するための信号です。

命令フェッチアクセス時 : ST="L"

オペランドアクセス時 : ST="H"

ホールド時 : ST=ハイインピーダンス

アイドル時 : ST=前値保持

リードライト(R/W): 入出力

M32310D5FP-1000は外部バスサイクルのリード/ライト動作を識別するためにR/Wを出力します。外部バスマスタから内蔵DRAMをアクセスする場合は、システムバス側からR/Wを入力します。M32310D5FP-1000は、最初のCS="L"サンプリング時のR/Wの値によって、リード動作/ライト動作を判断します。

リードバスサイクル : R/W="H"

ライトバスサイクル : R/W="L"

バースト(BURST): 入出力

M32310D5FP-1000は、命令フェッチ動作で2回以上の連続した命令フェッチを行う場合にバーストリードサイクルを起動します。これらの連続したバスサイクルの最初から「転送回数-1」回の転送が完了するまで、M32310D5FP-1000はBURST信号に"L"を出力します。

外部バスマスタが内蔵DRAMの連続したアドレスに対してアクセスする場合には、BURST信号に"L"を入力することでバースト転送が行われます。M32310D5FP-1000は、最初のCS="L"サンプリング時のBURSTの値によって、バーストアクセスかどうかを判断します。

データコンプリート(DC): 入出力

M32310D5FP-1000が外部バスサイクルを起動した場合、DC信号が外部から入力されるまでウエイトサイクルを自動的に挿入します。バースト転送中のバスサイクルに対しても、DC信号によるウエイト制御が有効です。

M32310D5FP-1000ホールド時、CS信号が入力されるとドライブされ、内蔵DRAMへのアクセスが完了したことを外部に通知するための信号を出力します。

バスレディ(\overline{RDY}): 入力

M32310D5FP-1000が連続したバスサイクルを起動しようとするとき $\overline{RDY}="H"$ を入力することで、リカバリサイクルを挿入することができます。外部バスマスタアクセスの場合も、M32310D5FP-1000が $\overline{DC}="L"$ を出力し次のバスサイクルに移行しようとしたときに、 $\overline{RDY}="H"$ を入力することによりサイクルの移行を遅らせることができます。

ROM領域バス幅(ROMSZ): 入力

リセットベクタを含む16Mバイトの外部ユーザ領域5のデータバス幅を指定します。16ビットを指定する場合はROMSZ="L"、32ビットを指定する場合はROMSZ="H"を入力します。なお、ROMSZの入力は"H"または"L"に固定してご使用ください。

外部マスタバス幅(EMSZ): 入出力

M32310D5FP-1000が外部バスをアクセスする際、起動されたバスアクセスの有効データバス幅を出力します。また、外部バスマスタアクセス時、起動したバスアクセスの有効データバス幅をシステムバス側から入力します。M32310D5FP-1000は、最初のCS="L"サンプリング時のEMSZの値によって、外部バスマスタのデータバス幅を判断します。

データバス幅16ビット指定 : EMSZ="L"

データバス幅32ビット指定 : EMSZ="H"

ホールド制御(\overline{HREQ} , \overline{HACK}) \overline{HREQ} : 入力、 \overline{HACK} : 出力

ホールド状態とは、M32310D5FP-1000の外部バスアクセスが停止し、バス関連の各端子がハイインピーダンスになる状態です。ただし外部バスホールド中も、M32Rx CPUコアは内蔵DRAMをアクセスします。

M32310D5FP-1000をホールド状態へ遷移させるためには \overline{HREQ} に"L"を入力します。ホールド要求が受け付けられ、ホールド状態に移行している間 \overline{HACK} に"L"を出力します。

内蔵DRAMアクセス制御(CS): 入力

M32310D5FP-1000がホールド状態へ遷移した後($\overline{HACK}="L"$)CSを"L"にすると、外部バスマスタからM32310D5FP-1000内蔵DRAMへアクセスすることができます。内蔵DRAMを外部からアクセスする場合は、システムバス側から次の信号を制御します。

・ A5 ~ A29

リードまたはライトする内蔵DRAMのアドレスを入力します。このときA5 ~ A9は無視されますが、デバイス保護の観点からオープンな状態にならないよう注意してください。

・ $\overline{BC0} \sim \overline{BC3}$

アクセスするデータのバイト位置を指定します。

データバス幅32ビットの場合、 $\overline{BC0}$ がD0 ~ D7(MSB側)、 $\overline{BC1}$ がD8 ~ D15、 $\overline{BC2}$ がD16 ~ D23、 $\overline{BC3}$ がD24 ~ D31(LSB側)に対応します。16ビットの場合、 $\overline{BC0}$ がD0 ~ D7、 $\overline{BC1}$ がD8 ~ D15に対応します。 $\overline{BC2}$ にはA30相当信号を入力してください。このときBC3は無視されますが、デバイス保護の観点からオープンな状態にならないよう注意してください。

・ R/W

リード/ライト動作を指定します。R/W = "H"がリード、"L"がライトです。

・ BURST

ノーマル/バースト動作を指定します。ノーマルアクセスを指定する場合はBURST = "H"、バーストアクセスを指定する場合はBURST = "L"を入力します。

・ D0 ~ D31

32ビットデータ入出力バスです。

バス幅16ビットでアクセスする場合には、D0 ~ D15でデータ転送を行い、D16 ~ D31は無効になります。

・ \overline{DC}

内蔵DRAMへのアクセスが完了したことを外部に知らせる信号です。アクセス完了時に $\overline{DC}="L"$ を出力します。

・ \overline{RDY}

内蔵DRAMへのアクセス時、M32310D5FP-1000が $\overline{DC}="L"$ を出力し次のバスサイクルに移行しようとしたときに、 $\overline{RDY}="H"$ を入力することによりサイクルの移行を遅らせることができます。M32310D5FP-1000は、 $\overline{DC}="L"$ 出力時に $\overline{RDY}="L"$ が入力されると次のサイクルに移行します。

・ EMSZ

バスマスタがアクセスするときに、データバス幅をバススレーブに知らせる信号です。EMSZ="L"でデータバス幅16ビットを、EMSZ="H"で32ビットを示します。外部バスマスタがM32310D5FP-1000の内蔵DRAMをアクセスする場合は、システムバス側から入力します。

開発中

マスタ/スレーブモード

M32310D5FP-1000は、M/S(マスタ/スレーブ)端子を備え、マルチプロセッサ構成に対応できます。また、内蔵DRAMへのアクセスを、外部からのアクセスに対して排他的に行う命令を備えています。

マスタモード

通常の動作モードです。M/S端子を"H"に設定します。M32310D5FP-1000をシステムのメインCPUとして使用する場合に用います。

スレーブモード

M32310D5FP-1000をコプロセッサとして使用する場合の動作モードです。M/S端子を"L"に設定します。スレーブに設定されたM32310D5FP-1000は、リセット解除後も割り込み要求またはSBIが入力されるまで動作を開始しません。起動後は2本の汎用入出力ポートと外部割り込みを使用してマスタM32310D5FP-1000と通信しながら処理を行います。

・完全コプロセッサ構成

スレーブM32310D5FP-1000が内蔵DRAMのみで動作し、外部バスをまったくアクセスしない構成です。スレーブM32310D5FP-1000のM/S端子およびHREQ端子を"L"に固定して使用します。スレーブM32310D5FP-1000は、マスタM32310D5FP-1000が内蔵DRAMにダウンロードする命令を実行します。スレーブM32310D5FP-1000のデータ転送要求(処理完了)は、汎用入出力ポートでマスタM32310D5FP-1000に割り込み要求を入力することで通知され、マスタM32310D5FP-1000がスレーブM32310D5FP-1000の内蔵DRAMにアクセスすることでデータ受け渡しを行います。

・バス共有コプロセッサ構成

スレーブM32310D5FP-1000も外部バスをアクセスする構成です。マスタ/スレーブ間の通信は、汎用入出力ポートおよび割り込み要求入力を用いて行います。

ロック制御レジスタ (MLCR) <アドレス: H'FFFF FFF7>

D24	D25	D26	D27	D28	D29	D30	D31
							LM

<リセット時: H'00>

D	ビット名	機能	R	W
24~30	何も配置されていません		0	x
31	LM	0: HREQと排他的に行われるロックモード 1: CSと排他的に行われるロックモード		
R = 0...0が読み出される		R = ...読み出し可能		
W = ...書き込み可能		W = x...書き込み不可		

図19 ロック制御レジスタ

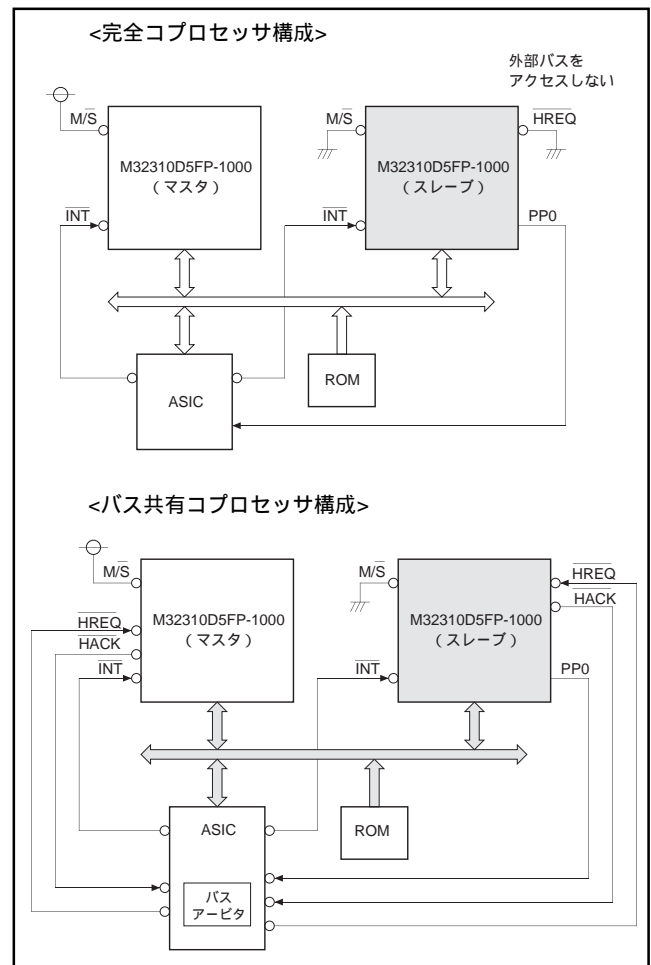


図20 マスタ/スレーブシステム構成例

開発中

パワーマネジメント機能

M32310D5FP-1000は、以下の二つの低消費電力モードを備えています。

- スタンバイモード
- CPUスリープモード

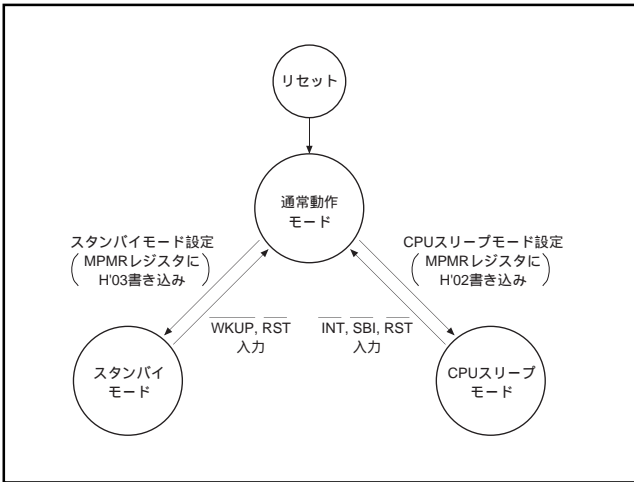


図21 低消費電力モードの状態遷移

スタンバイモードは、内部クロック供給とPLL発振をすべて停止し、内蔵DRAMの内容保持のみを行うモードです。消費電力を内蔵DRAMのセルフリフレッシュに要する程度に抑えることができます。また、内蔵DRAMのセルフリフレッシュ動作は、専用のフリーランタイムによって自動的に行われるため、外部からのCLKINの供給を停止することができます。

CPUスリープモードは、M32Rx CPUコアへのクロック供給を停止するモードです。内蔵DRAM、キャッシュメモリ、メモリコントローラおよび外部バスインタフェースは動作を続けるため、外部から内蔵DRAMへのアクセスが可能です。

パワーマネジメント制御レジスタ (MPMR)
 < アドレス : H'FFFF FFFB >

D24	D25	D26	D27	D28	D29	D30	D31
						PM0	PM1

<リセット時 : H'00>

D	ビット名	機能	R	W
24 ~ 29		何も配置されていません	0	x
30, 31	PM0, PM1	00 : 通常動作モード (低消費電力モード) 01 : (使用禁止) 10 : CPUスリープモード 11 : スタンバイモード		

R = 0...0が読み出される R = ...読み出し可能
 W = ...書き込み可能 W = x...書き込み不可

図22 パワーマネジメント制御レジスタ

開発中

汎用入出力ポート

M32310D5FP-1000は2本の汎用入出力ポート(PP0, PP1)を持ちます。それぞれのポートは入力または出力ポートに設定できます。

汎用入出力ポート方向制御レジスタ0 (PPCR0)
<アドレス: H'FFFF FFE3>

D24	D25	D26	D27	D28	D29	D30	D31
							PP0C

汎用入出力ポート方向制御レジスタ1 (PPCR1)
<アドレス: H'FFFF FFE7>

D24	D25	D26	D27	D28	D29	D30	D31
							PP1C

<リセット時: H'00>

D	ビット名	機能	R	W
24~30		何も配置されていません	0	x
31	PP0Cまたは PP1C	0 : 入力ポート 1 : 出力ポート (ポート入出力方向)		

R = 0...0が読み出される R = ...読み出し可能
W = ...書き込み可能 W = x...書き込み不可

図23 汎用入出力ポート方向制御レジスタ

汎用入出力ポートデータレジスタ0 (PPDR0)
<アドレス: H'FFFF FFE3>

D24	D25	D26	D27	D28	D29	D30	D31
							PP0D

汎用入出力ポートデータレジスタ1 (PPDR1)
<アドレス: H'FFFF FFE7>

D24	D25	D26	D27	D28	D29	D30	D31
							PP1D

<リセット時: B'0000 000?>

D	ビット名	機能	R	W
24~30		何も配置されていません	0	x
31	PP0Dまたは PP1D	0 : データ = "0" 1 : データ = "1" (ポートデータ)		

R = 0...0が読み出される R = ...読み出し可能
W = ...書き込み可能 W = x...書き込み不可

図24 汎用入出力ポートデータレジスタ

リセット

RST端子に"L"を入力すると、M32310D5FP-1000はリセット状態に入ります。その後、RST端子に"H"を入力するとリセット状態が解除され、リセット割り込みに割り当てられたEITベクタエントリからプログラムを実行します。また、内蔵するPLL(クロック生成回路)を含めてすべての内部資源を初期化します。このPLLの発振安定期間を確保するため、RST端子への入力はVCC, VCCXおよびPLLVCCが規定の電圧レベルで安定した状態で2ms以上の幅を保つ必要があります。

表2 リセット解除直後の内部状態

内部資源	内部状態
内蔵DRAM	不定
内蔵キャッシュメモリ	無効(すべてインバリデート)
汎用レジスタ(R0~R15)	不定
制御レジスタ	
PSW(CR0)	B'0000 0000 0000 0000 ? ? 00 000? 0000 0000 (BSM, BIE, BCは不定)
CBR(CR1)	H'0000 0000
SPI(CR2)	不定
SPU(CR3)	不定
BPC(CR6)	不定
PC	マスタモード時: H'7FFF FFF0から実行 スレーブモード時: H'7FFF FFF0で割り込み入力待ち ・SBI信号入力によりH'0000 0010番地から実行 ・INT信号入力によりH'0000 0080番地から実行
ACC0, ACC1	不定
内蔵I/O制御レジスタ	
BSCR0	H'0000(すべて16ビット)
PPCR0, PPCR1	H'00(入力)
PPDR0, PPDR1	B'0000 000? (端子入力状態に依存)
DRFC	H'03(384内部クロックごと)
MLCR	H'00(HREQと排他的)
MPMR	H'00(通常動作モード)
MCCR	H'00(キャッシュオフモード)

三菱マイクロコンピュータ M32310D5FP-1000 M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

開発中

クロック生成回路

M32310D5FP-1000は、PLLクロック逡倍回路を内蔵しており、PLLCNT1およびPLLCNT2端子への入力値により、3, 4, 5, 6倍から選択された逡倍比のクロックで動作します。内部動作周波数は40MHzから100MHzに対応しており、各逡倍比に対して表3に示す範囲のクロック入力をサポートします。PLLVCC端子、PLLVSS端子は、それぞれPLL用の電源およびグランドに接続します。

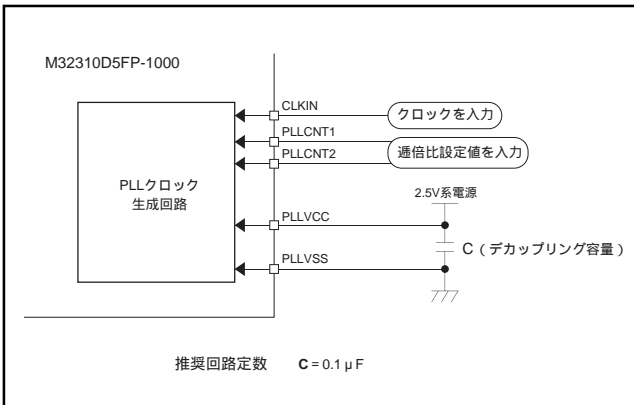


図25 発振回路

表3 PLL逡倍比と入力クロック周波数範囲

逡倍比	PLLCNT1	PLLCNT2	入力クロック周波数範囲
3逡倍	"L"	"L"	13.3MHz ~ 25MHz
4逡倍	"L"	"H"	10MHz ~ 25MHz
5逡倍	"H"	"L"	8MHz ~ 20MHz
6逡倍	"H"	"H"	6.6MHz ~ 16.6MHz

注：動作中の設定変更はできません。設定は固定でご使用ください。

内蔵デバッグ機能

M32310D5FP-1000は、IEEE 1149.1 テストアクセスポート規格 (IEEE Standard Test Access Port and Boundary-Scan Architecture (IEEE Std. 1149.1a-1993)) に定められた JTAG (Joint Test Action Group) インタフェース (図26参照) を備えています。この JTAG インタフェースは、バウンダリスキャンテストのための入出力パス (バウンダリスキャンパス) として使用できます。

また M32310D5FP-1000 は、M32R ファミリデバッグインタフェースである SDI (Scalable Debug Interface) に準拠した内蔵デバッグ機能を備えています。SDI は、JTAG インタフェースを使用して内蔵デバッグ機能を制御します。エミュレータなどの開発ツールを JTAG インタフェースに接続することにより、M32310D5FP-1000 のデバッグが可能です。

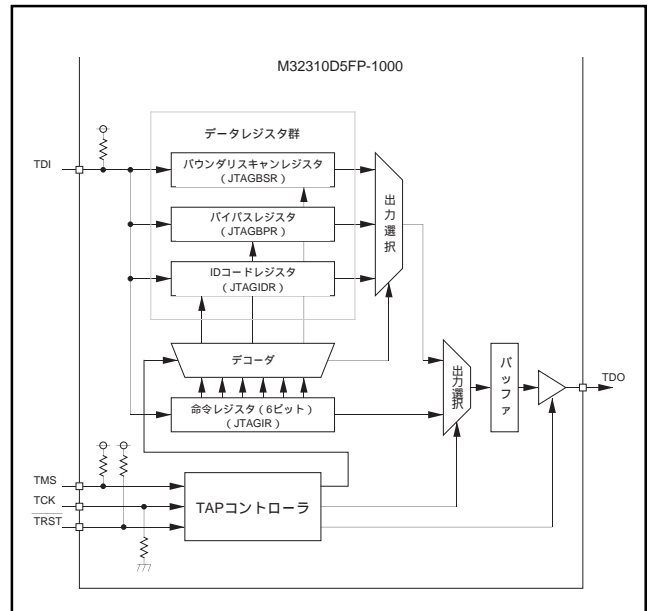


図26 JTAG回路構成

開発中

アドレッシングモード

M32Rx/Dシリーズで使用するアドレッシングモードには、以下のものがあります。

レジスタ直接

操作の対象として汎用レジスタ、制御レジスタまたはアキュムレータを指定

レジスタ間接

レジスタの値をアドレスとする

(すべてのロード/ストア命令で指定可能)

レジスタ相対間接

(レジスタの値)+(16ビットのディスプレースメントを32ビットに符号拡張した値)をアドレスとする

レジスタ間接+レジスタ更新

- ・レジスタ値を+4する

更新前のレジスタ値をアドレスとする(LD命令)

- ・レジスタ値を+4する

更新後のレジスタ値をアドレスとする(ST命令)

- ・レジスタ値を-4する

更新後のレジスタ値をアドレスとする(ST命令)

イミディエート

1, 4, 5, 8, 16 または 24ビットの即値

PC相対間接

(PCの値)+(8ビット, 16ビットまたは24ビットのディスプレースメントを32ビットに符号拡張して左へ2ビットシフトした値)をアドレスとする

命令フォーマット

M32Rx/D CPUの命令フォーマットには2種類あります。1つはワード境界内に格納された2つの16ビット命令、もう1つは単一の32ビット命令です。

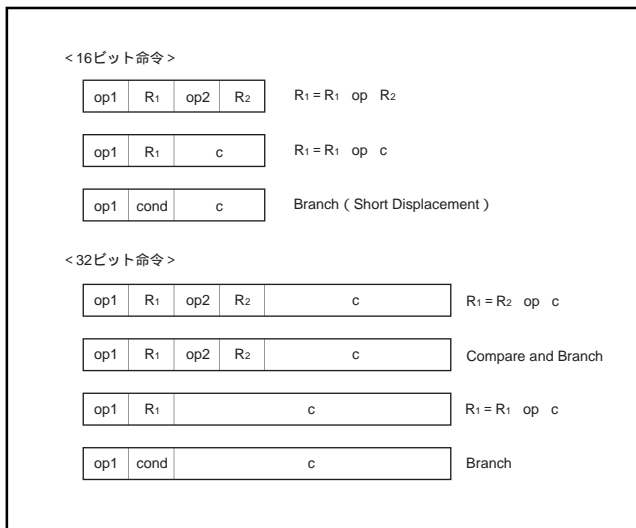


図27 命令フォーマット

命令セット

M32Rx/Dシリーズの命令セットには、次の95命令がありません。

ロード/ストア命令

メモリ~レジスタ間のデータ転送を行います。

LD	Load
LDB	Load byte
LDUB	Load unsigned byte
LDH	Load halfword
LDUH	Load unsigned halfword
LOCK	Load locked
ST	Store
STB	Store byte
STH	Store halfword
UNLOCK	Store unlocked

転送命令

レジスタ~レジスタ間またはレジスタ~イミディエート(即値)の転送を行います。

LD24	Load 24-bit immediate
LDI	Load immediate
MV	Move register
MVFC	Move from control register
MVTC	Move to control register
SETH	Set high-order 16-bit

演算命令

レジスタ~レジスタ間で比較、算術論理演算、乗除算、シフトなどを行います。

・比較

CMP	Compare
CMPEQ	Compare equal to
CMPI	Compare immediate
CMPU	Compare unsigned
CMPUI	Compare unsigned immediate
CMPZ	Compare equal to zero

・算術演算

ADD	Add
ADD3	Add 3-operand
ADDI	Add immediate
ADDV	Add with overflow checking
ADDV3	Add 3-operand with overflow checking
ADDX	Add with carry
NEG	Negate
SUB	Subtract
SUBV	Subtract with overflow checking
SUBX	Subtract with borrow

・論理演算

AND	AND
AND3	AND 3-operand
NOT	Logical NOT
OR	OR
OR3	OR 3-operand
XOR	Exclusive OR
XOR3	Exclusive OR 3-operand

・乗除算

DIV	Divide
DIVH	Divide halfword
DIVU	Divide unsigned
MUL	Multiply
REM	Remainder
REMU	Remainder unsigned

・シフト

SLL	Shift left logical
SLL3	Shift left logical 3-operand
SLLI	Shift left logical immediate
SRA	Shift right arithmetic
SRA3	Shift right arithmetic 3-operand
SRAI	Shift right arithmetic immediate
SRL	Shift right logical
SRL3	Shift right logical 3-operand
SRLI	Shift right logical immediate

分岐命令

プログラムの流れを変えるための命令です。

BC	Branch on C-bit
BCL	Branch and link on C-bit
BEQ	Branch on equal to
BEQZ	Branch on equal to zero
BGEZ	Branch on greater than or equal to zero
BGTZ	Branch on greater than zero
BL	Branch and link
BLEZ	Branch on less than or equal to zero
BLTZ	Branch on less than zero
BNC	Branch on not C-bit
BNCL	Branch and link on not C-bit
BNE	Branch on not equal to
BNEZ	Branch on not equal to zero
BRA	Branch
JL	Jump and link
JMP	Jump
NOP	No operation

EIT関連命令

EIT関連命令は、M32Rx/DのEIT事象のための命令です。EIT関連命令には、トラップの起動命令とEIT処理からの復帰命令があります。

TRAP	Trap
RTE	Return from EIT

DSP機能用命令

32ビット×16ビット、16ビット×16ビットの乗算や積和演算を行います。また、アキュムレータ内のデータの丸めやアキュムレータ～汎用レジスタ間の転送を行います。

MACHI	Multiply-accumulate high-order halfwords
MACLH1	Multiply-accumulate low-order halfword and high-order halfword using accumulator 1
MACLO	Multiply-accumulate low-order halfwords
MACWHI	Multiply-accumulate word and high-order halfword
MACWLO	Multiply-accumulate word and low-order halfword
MACWU1	Multiply-accumulate word and unsigned low-order halfword using accumulator 1
MSBLO	Multiply low-order halfwords and subtract
MULHI	Multiply high-order halfwords
MULLO	Multiply low-order halfwords
MULWHI	Multiply word and high-order halfword
MULWLO	Multiply word and low-order halfword
MULWU1	Multiply word and unsigned low-order halfword using accumulator 1
MVFACHI	Move high-order word from accumulator
MVFACLO	Move low-order word from accumulator
MVFACMI	Move middle-order word from accumulator
MVTACHI	Move high-order word to accumulator
MVTACLO	Move low-order word to accumulator
SADD	Add accumulators
SATB	Saturate word into byte
SATH	Saturate word into halfword
RAC	Round accumulator
RACH	Round accumulator halfword

絶対最大定格

記号	項目	条件	定格値		単位
			最小	最大	
VCC	内部電源電圧		- 0.5	3.0	V
PLLVCC	PLL用電源電圧		- 0.5	3.0	V
VCCX	I/O電源電圧		- 0.5	4.0	V
VI	入力電圧		- 0.5	4.0	V
VO	出力電圧		- 0.5	4.0	V
PD	消費電力	TOPR = 25		1500	mW
TOPR	動作周囲温度		0	70	
TSTG	保存温度		- 65	150	

推奨動作条件

指定のない場合は、VCC, PLLVCC = 2.5 ± 0.15V、VCCX = 3.3 ± 0.3V TOPR = 0 ~ 70

記号	項目		規格値			単位
			最小	標準	最大	
VCC	内部電源電圧		2.35		2.65	V
PLLVCC	PLL用電源電圧		2.35		2.65	V
VCCX	I/O電源電圧		3.0		3.6	V
VIH	"H"入力電圧	下記以外の入力	0.7VCCX		VCCX + 0.3	V
		RST端子	0.8VCCX		VCCX + 0.3	V
VIL	"L"入力電圧	下記以外の入力	- 0.3		0.2VCCX	V
		RST端子	- 0.3		0.2VCCX	V
IOH(注)	"H"出力電流				2	mA
IOL(注)	"L"出力電流				2	mA
CL	出力負荷容量	JTAG関連端子以外			50	pF
		JTAG関連端子			80	pF

注． IOH, IOLは、DC的な負荷電流の最大値を定めたものです。

出力の遷移に伴う瞬間的な電流については、出力負荷容量が規定の範囲内である限り考慮する必要はありません。

電気的特性

指定のない場合は、VCC, PLLVCC = 2.5 ± 0.15V、VCCX = 3.3 ± 0.3V、TOPR = 0 ~ 70

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH = - 2mA	0.9VCCX			V
VOL	"L"出力電圧	IOL = 2mA			0.1VCCX	V
IOZ	オフ状態出力電流	VO=0 ~ VCCX	- 10		10	μA
IIH	"H"入力電流	VIH=0 ~ VCCX+0.3V			10	μA
IIL	"L"入力電流	VIH=0 ~ VCCX+0.3V			- 10	μA
ICC	電源電流	動作時平均電源電流 VCC, PLLVCC = 2.5V、VCCX = 3.3V CL = 50 pF CL = 80pF (JTAG関連端子)	VCC, PLLVCC		210	mA
			VCCX		150	mA
		CPUスリープモード時平均電源電流 VCC, PLLVCC = 2.5V、VCCX = 3.3V CL = 50 pF CL = 80pF (JTAG関連端子)	VCC, PLLVCC		150	mA
			VCCX		150	mA
		スタンバイ時平均電源電流 VCC, PLLVCC = 2.5V、VCCX = 3.3V	VCC, PLLVCC		1000	μA
VCCX		1000	μA			
C	端子容量	全端子			15	pF

AC特性

タイミング必要条件

指定の無い場合は、VCC, PLLVCC=2.5 ± 0.15V、VCCX=3.3 ± 0.3V、TOPR=0 ~ 70

(1) 入力遷移時間

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tr(INPUT)	入力立ち上がり遷移時間	下記以外の入力(CMOS入力)		5	ns	①
		RST端子		2	ms	
		JTAG関連端子(TRST以外)		10	ns	
		TRST端子(TAP使用時)		10	ns	
		TRST端子(TAP未使用時)		2	ms	
tf(INPUT)	入力立ち下がり遷移時間	下記以外の入力(CMOS入力)		5	ns	②
		RST端子		2	ms	
		JTAG関連端子(TRST以外)		10	ns	
		TRST端子(TAP使用時)		10	ns	
		TRST端子(TAP未使用時)		2	ms	

(2) クロック、リセット及びウエイクアップタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tc(CLKIN)	クロック入力サイクル時間: 3週倍		40	75	ns	⑤
	クロック入力サイクル時間: 4週倍		40	100	ns	
	クロック入力サイクル時間: 5週倍		50	125	ns	
	クロック入力サイクル時間: 6週倍		60	150	ns	
tcs(CLKIN)	外部クロックエッジの安定性(注)			0.4	ns	-
tw(CLKINH)	外部クロック入力"H"パルス幅		1/4tc(CLKIN)		ns	⑥
tw(CLKINL)	外部クロック入力"L"パルス幅		1/4tc(CLKIN)		ns	⑦
tr(CLKIN)	外部クロック入力立ち上がり時間			5	ns	⑧
tf(CLKIN)	外部クロック入力立ち下がり時間			5	ns	⑨
tw(RST)	リセット入力"L"パルス幅		2		ms	⑩
tw(WKUP)	ウエイクアップ入力"L"パルス幅		2		ms	⑪

注: 任意の2つのクロックエッジ間で許されるサイクル間のジッタ

(3)リード及びライトタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tsu(D-CLKIN)	CLKIN前データ入力セットアップ時間		8		ns	②6
th(CLKIN-D)	CLKIN後データ入力ホールド時間		0		ns	②7
tsu(DCL-CLKIN)	CLKIN前 \overline{DC} 入力"L"セットアップ時間		8		ns	②8
th(CLKIN-DCL)	CLKIN後 \overline{DC} 入力"L"ホールド時間		0		ns	②9
tsu(DCH-CLKIN)	CLKIN前 \overline{DC} 入力"H"セットアップ時間		8		ns	③0
th(CLKIN-DCH)	CLKIN後 \overline{DC} 入力"H"ホールド時間		0		ns	③1
tsu(RDYL-CLKIN)	CLKIN前RDY入力"L"セットアップ時間		8		ns	③2
th(CLKIN-RDYL)	CLKIN後RDY入力"L"ホールド時間		0		ns	③3
tsu(RDYH-CLKIN)	CLKIN前RDY入力"H"セットアップ時間		8		ns	③4
th(CLKIN-RDYH)	CLKIN後RDY入力"H"ホールド時間		0		ns	③5

(4)アービトレーションおよび外部バスマスタリード/ライトタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tsu(HREQ-CLKIN)	CLKIN前HREQ入力セットアップ時間(注1)		8		ns	④0
th(CLKIN-HREQ)	CLKIN後HREQ入力ホールド時間(注1)		0		ns	④1
tw(HREQ)	HREQ入力パルス幅(注2)		tc(CLKIN)+8		ns	④8
tsu(CS-CLKIN)	CLKIN前 \overline{CS} 入力セットアップ時間		8		ns	④9
th(CLKIN-CS)	CLKIN後CS入力ホールド時間		0		ns	⑤0
tsu(A-CLKIN)	CLKIN前アドレス入力セットアップ時間		8		ns	⑤1
th(CLKIN-A)	CLKIN後アドレス入力ホールド時間		0		ns	⑤2

注1. HREQ信号は非同期入力可能ですが、あるCLKIN立ち上がりに対して上記④0、④1で規定した入力セットアップ/ホールドを満たして入力した場合は、そのCLKIN立ち上がりでサンプリングされます。入力セットアップ/ホールドを満たさない場合は、次のCLKIN立ち上がりでサンプリングする可能性があります。

注2. HREQはレベルセンス入力です。上記タイミング条件は、「端子への入力をサンプリングするための条件」であり、「ホールド要求が受け付けられることを保証する値」ではありません。ホールド要求は受け付けられるまで"L"レベルを入力し続ける必要があります。

(5) 割り込みタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tsu(INT-CLKIN)	CLKIN前INT入力セットアップ時間(注1)		8		ns	⑥1
th(CLKIN-INT)	CLKIN後INT入力ホールド時間(注1)		0		ns	⑥2
tsu(SBI-CLKIN)	CLKIN前SBI入力セットアップ時間(注1)		8		ns	⑥3
th(CLKIN-SBI)	CLKIN後SBI入力ホールド時間(注1)		0		ns	⑥4
tw(INT)	INT入力パルス幅(注2)		tc(CLKIN)+8		ns	⑥5
tw(SBI)	SBI入力パルス幅(注2)		tc(CLKIN)+8		ns	⑥6

注1. INT, SBI信号は非同期入力可能ですが、あるCLKIN立ち上がりに対して上記⑥1から⑥4で規定した入力セットアップ/ホールドを満たして入力した場合は、そのCLKIN立ち上がりでサンプリングされます。入力セットアップ/ホールドを満たさない場合は、次のCLKIN立ち上がりでサンプリングする可能性があります。

注2. INT, SBI共にレベルセンス入力です。上記タイミング条件は、「端子への入力をサンプリングするための条件」であり、「割り込み要求が受け付けられることを保証する値」ではありません。割り込み要求は受け付けられるまで"L"レベルを入力し続ける必要があります。

(6) 入出力ポートタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tsu(PI-CLKIN)	CLKIN前ポート入力セットアップ時間(注1)		8		ns	⑦1
th(CLKIN-PI)	CLKIN後ポート入力ホールド時間(注1)		0		ns	⑦2
tw(PI)	ポート入力パルス幅(注2)		tc(CLKIN)+8		ns	⑦3

注1. PP0, PP1信号は非同期入力可能ですが、あるCLKIN立ち上がりに対して上記⑦1、⑦2で規定し入力セットアップ/ホールドを満たして入力した場合は、そのCLKIN立ち上がりでサンプリングされます。入力セットアップ/ホールドを満たさない場合は、次のCLKIN立ち上がりでサンプリングする可能性があります。

注2. PP0, PP1共にレベルセンス入力です。上記タイミング条件は、「端子への入力をサンプリングするための条件」です。

(7) JTAGインタフェースタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
tc(TCK)	TCK入力サイクル時間		100		ns	⑧8
tw(TCKH)	TCK入力"H"パルス幅		40		ns	⑧9
tw(TCKL)	TCK入力"L"パルス幅		40		ns	⑧0
tsu(TDI-TCK)	TCK前TDI, TMS入力セットアップ時間		15		ns	⑧1
th(TCK-TDI)	TCK後TDI, TMS入力ホールド時間		20		ns	⑧2
tw(TRSTL)	TRST入力"L"パルス幅		tc(TCK)		ns	⑧5

スイッチング特性

指定の無い場合は、VCC, PLLVCC=2.5 ± 0.15V、VCCX=3.3 ± 0.3V、TOPR=0 ~ 70、CL=50pF(注)

(1) 出力遷移時間

記号	項目	測定条件	規格値			単位	参照番号
			最小	標準	最大		
tr(OUTPUT)	出力立ち上がり遷移時間	下記以外の端子、CL = 50pF			8	ns	③
		TDO端子、CL = 80pF			12	ns	
tf(OUTPUT)	出力立ち下がり遷移時間	下記以外の端子、CL = 50pF			8	ns	④
		TDO端子、CL = 80pF			12	ns	

(2) リード及びライトタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
td(CLKIN-BSHX)	CLKIN後BS="H"有効時間		0		ns	⑫
td(CLKIN-BSL)	CLKIN後BS="L"遅延時間			15	ns	⑬
td(CLKIN-BSLX)	CLKIN後BS="L"有効時間		0		ns	⑭
td(CLKIN-BSH)	CLKIN後BS="H"遅延時間			15	ns	⑮
td(CLKIN-BURSTHX)	CLKIN後BURST="H"有効時間		0		ns	⑯
td(CLKIN-BURSTL)	CLKIN後BURST="L"遅延時間			15	ns	⑰
td(CLKIN-BURSTLX)	CLKIN後BURST="L"有効時間		0		ns	⑱
td(CLKIN-BURSTH)	CLKIN後BURST="H"遅延時間			15	ns	⑲
td(CLKIN-RWV)	CLKIN後R \bar{W} 遅延時間			15	ns	⑳
td(CLKIN-RWX)	CLKIN後R \bar{W} 有効時間		0		ns	㉑
td(CLKIN-EMSZV)	CLKIN後EMSZ遅延時間			15	ns	㉒
td(CLKIN-EMSZX)	CLKIN後EMSZ有効時間		0		ns	㉓
td(CLKIN-AV)	CLKIN後アドレス遅延時間			15	ns	㉔
td(CLKIN-AX)	CLKIN後アドレス有効時間		0		ns	㉕
td(CLKIN-DZX)	CLKIN後データ出カインーブル時間		0		ns	㉖
td(CLKIN-DV)	CLKIN後データ出力遅延時間			15	ns	㉗
td(CLKIN-DVX)	CLKIN後データ出力有効時間		0		ns	㉘
td(CLKIN-DXZ)	CLKIN後データ出力ディスエーブル時間			15	ns	㉙

(3)アービトレーションおよび外部バスマスタリード/ライトタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
td(CLKIN-HACKHX)	CLKIN後HACK="H"有効時間		0		ns	④②
td(CLKIN-HACKL)	CLKIN後HACK="L"遅延時間			15	ns	④③
td(CLKIN-HACKLX)	CLKIN後HACK="L"有効時間		0		ns	④④
td(CLKIN-HACKH)	CLKIN後HACK="H"遅延時間			15	ns	④⑤
td(CLKIN-AZ)	CLKIN後アドレス出力ディスエーブル時間			15	ns	④⑥
td(CLKIN-AZX)	CLKIN後アドレス出力イネーブル時間		0		ns	④⑦
td(CLKIN-DCZX)	CLKIN後DC出力イネーブル時間		0		ns	⑤③
td(CLKIN-DCV)	CLKIN後DC出力遅延時間			15	ns	⑤④
td(CLKIN-DCHX)	CLKIN後DC="H"有効時間		0		ns	⑤⑤
td(CLKIN-DCL)	CLKIN後DC="L"遅延時間			15	ns	⑤⑥
td(CLKIN-DCLX)	CLKIN後DC="L"有効時間		0		ns	⑤⑦
td(CLKIN-DCH)	CLKIN後DC="H"遅延時間			15	ns	⑤⑧
td(CLKIN-DCVX)	CLKIN後DC出力有効時間		0		ns	⑤⑨
td(CLKIN-DCXZ)	CLKIN後DC出力ディスエーブル時間			15	ns	⑥①

(4)スタンバイタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
td(CLKIN-STBYHX)	CLKIN後STBY="H"有効時間		0		ns	⑥⑦
td(CLKIN-STBYL)	CLKIN後STBY="L"遅延時間			15	ns	⑥⑧
td(CLKIN-STBYLX)	CLKIN後STBY="L"有効時間		0		ns	⑥⑨
td(CLKIN-STBYH)	CLKIN後STBY="H"遅延時間			15	ns	⑦①

(5)入出力ポートタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
td(CLKIN-POHX)	CLKIN後ポート出力"H"有効時間		0		ns	⑦④
td(CLKIN-POL)	CLKIN後ポート出力"L"遅延時間			15	ns	⑦⑤
td(CLKIN-POLX)	CLKIN後ポート出力"L"有効時間		0		ns	⑦⑥
td(CLKIN-POH)	CLKIN後ポート出力"H"遅延時間			15	ns	⑦⑦

(6)JTAGインタフェースタイミング

記号	項目	測定条件	規格値		単位	参照番号
			最小	最大		
td(TCK-TDOV)	TCK後TDO出力遅延時間	CL = 80pF		25	ns	⑧③
td(TCK-TDOX)	TCK後TDO出力ディスエーブル時間	CL = 80pF		25	ns	⑧④

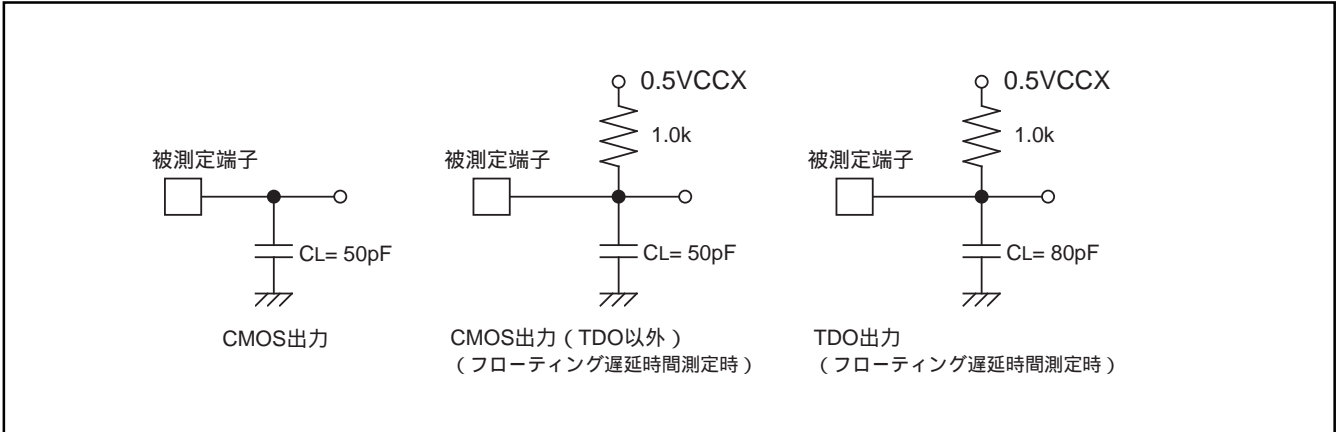


図28 出力スイッチング特性測定回路

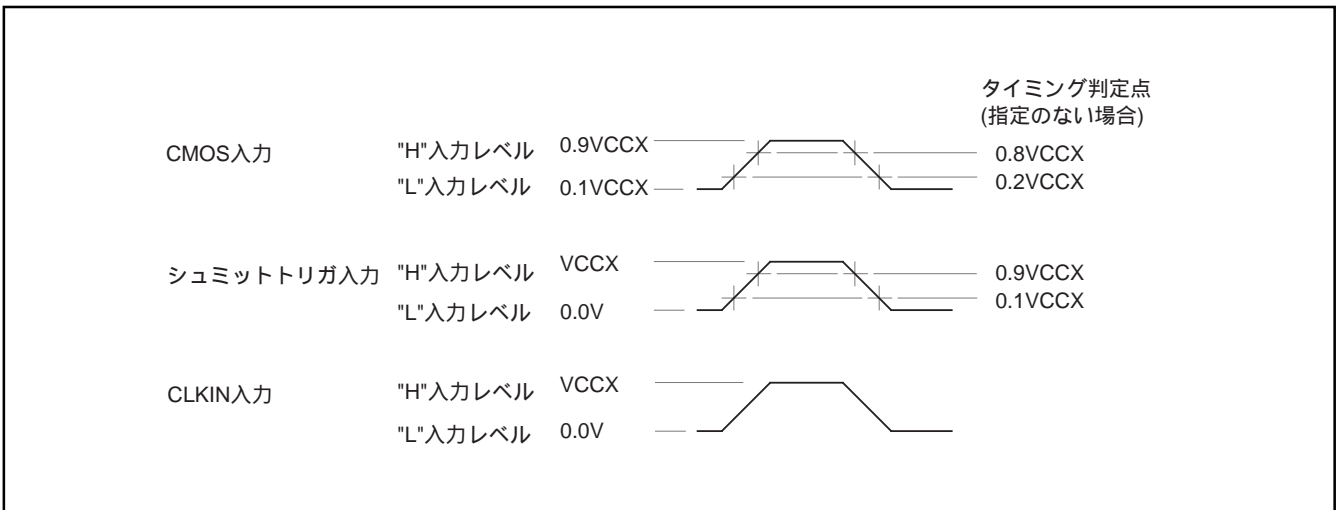


図29 特性測定時入力波形とタイミング判定点

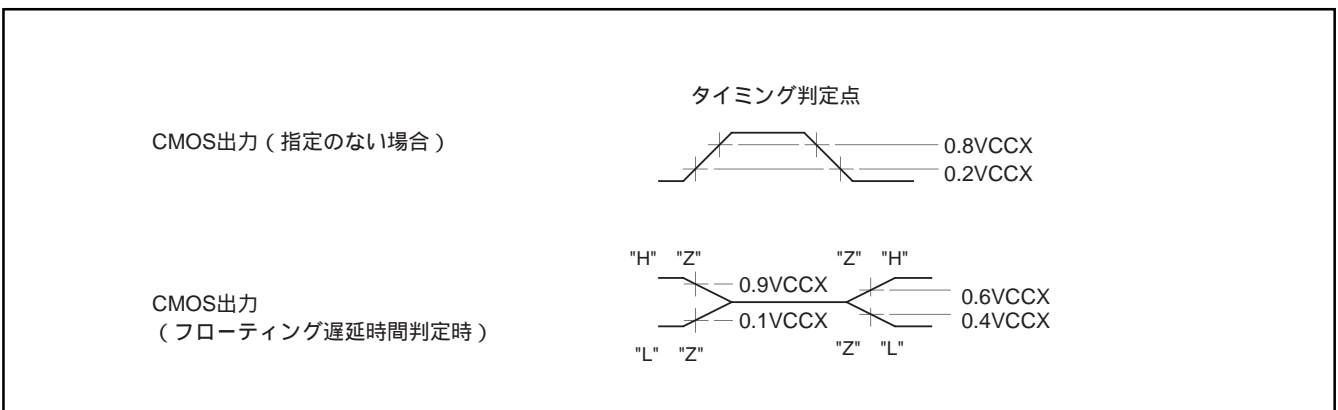


図30 特性測定時出力タイミング測定点

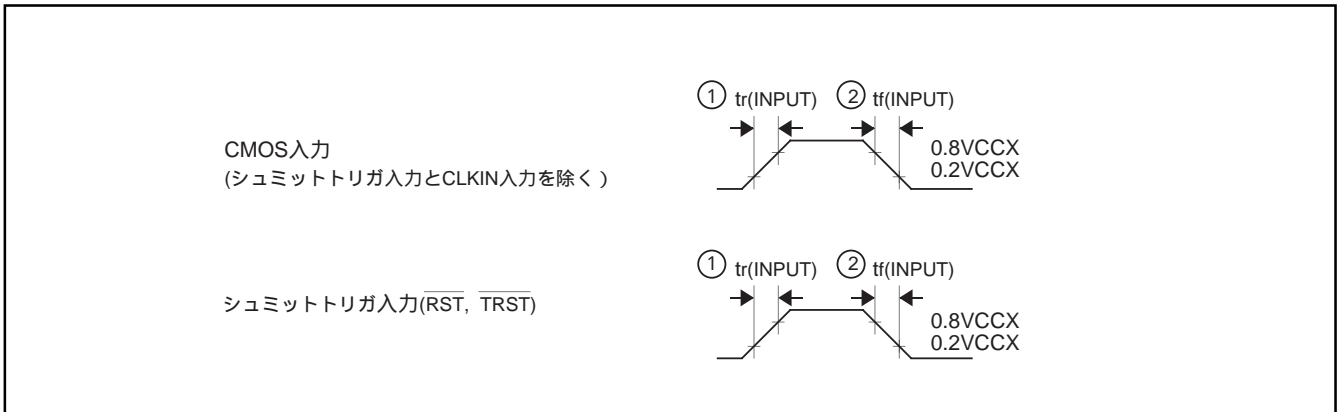


図31 入力遷移時間

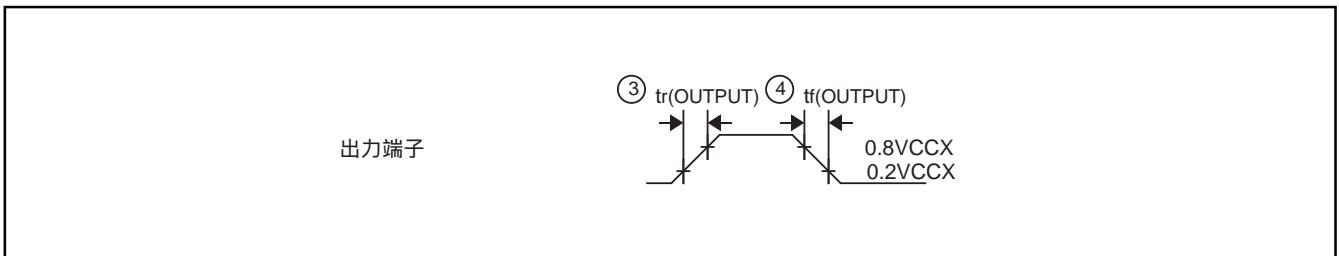


図32 出力遷移時間

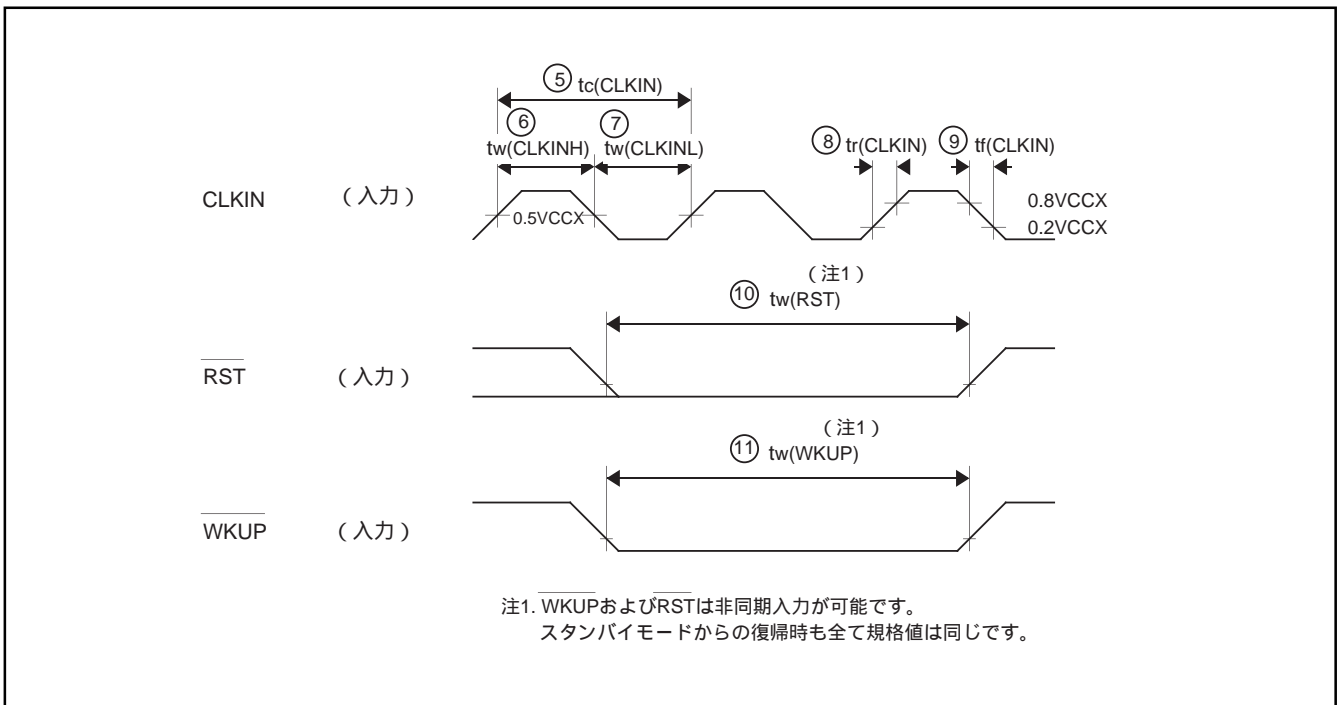


図33 クロック、リセット及びウエイクアップタイミング

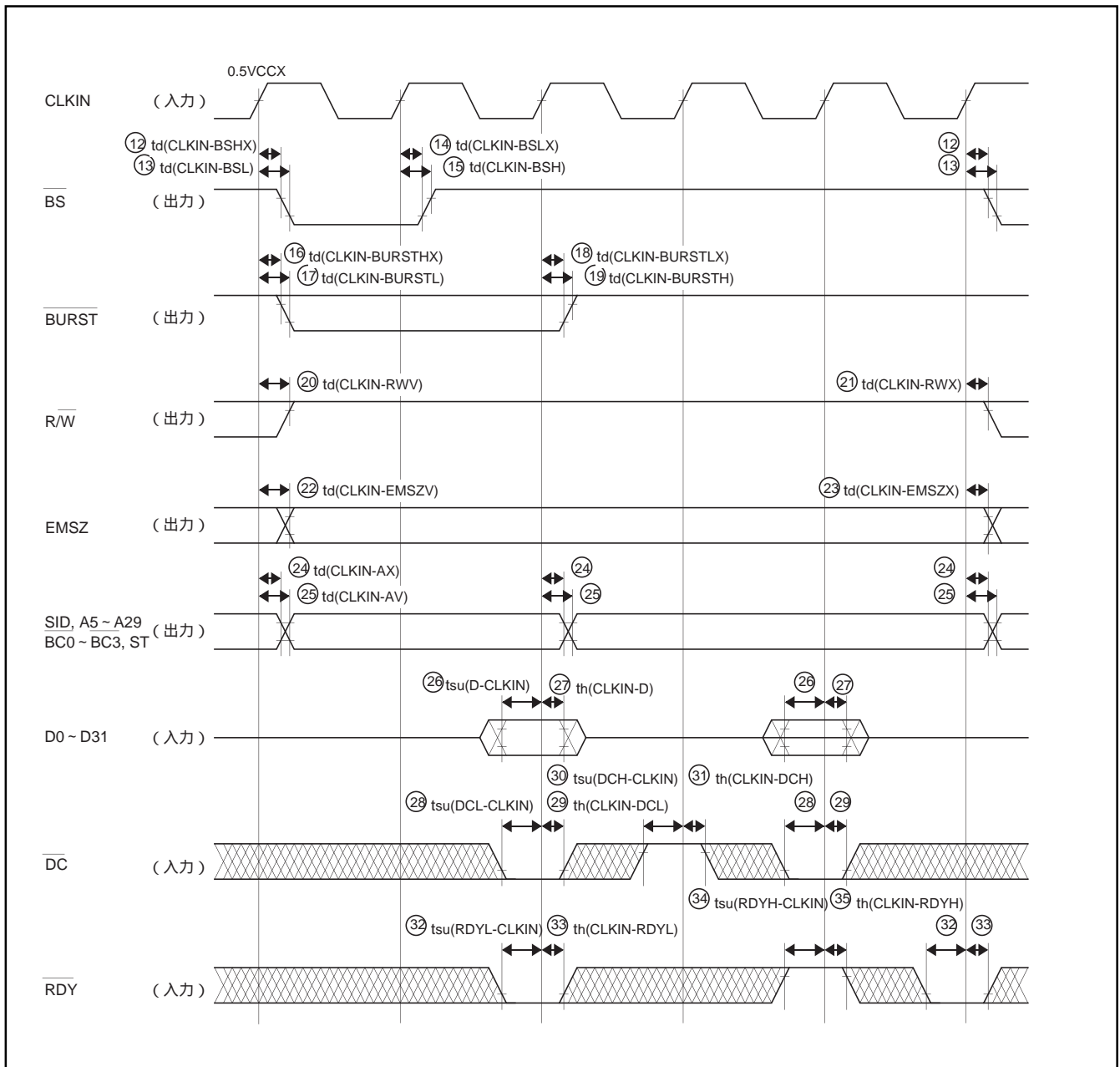


図34 CPUリードタイミング

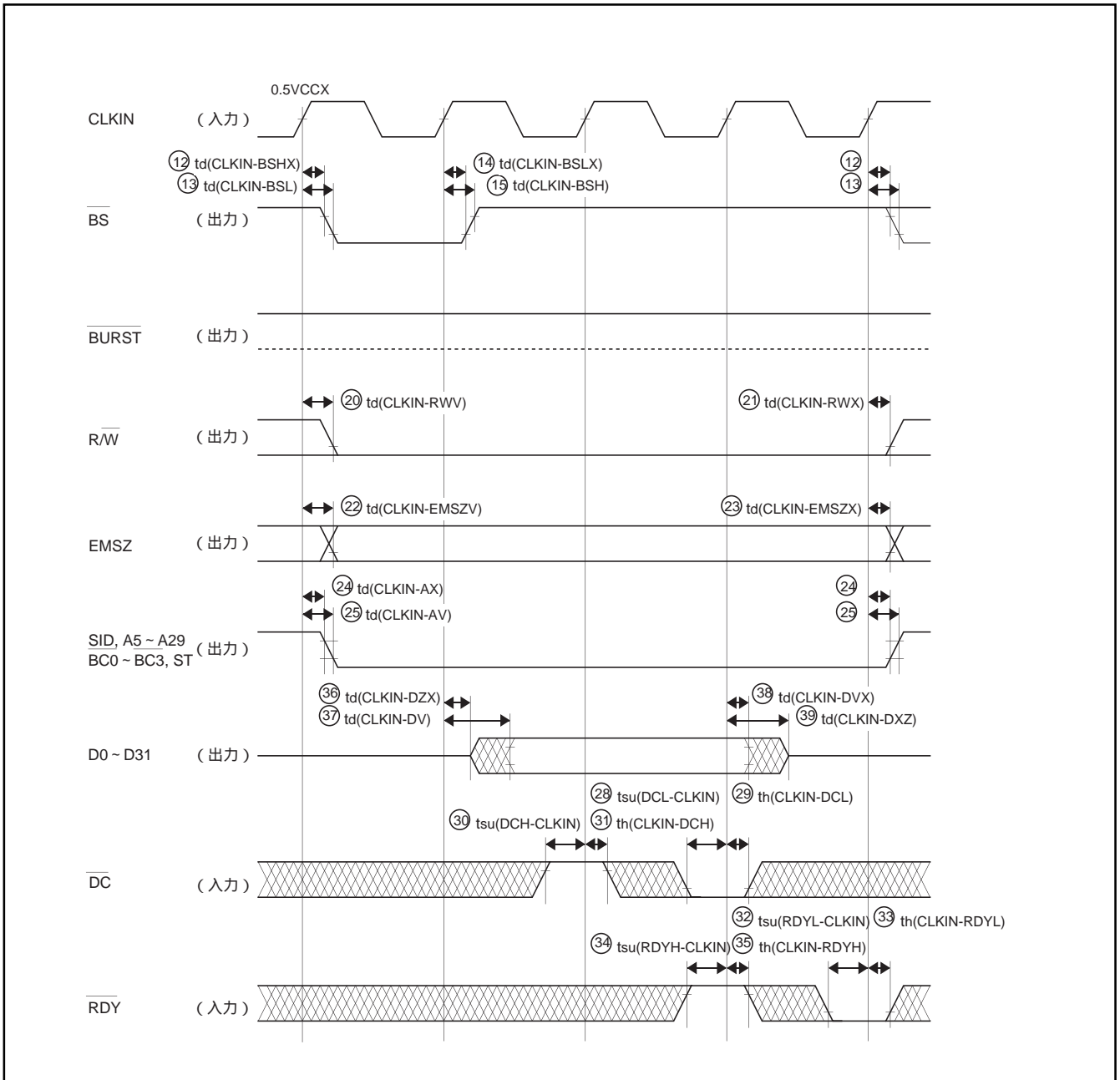


図35 CPUライトタイミング

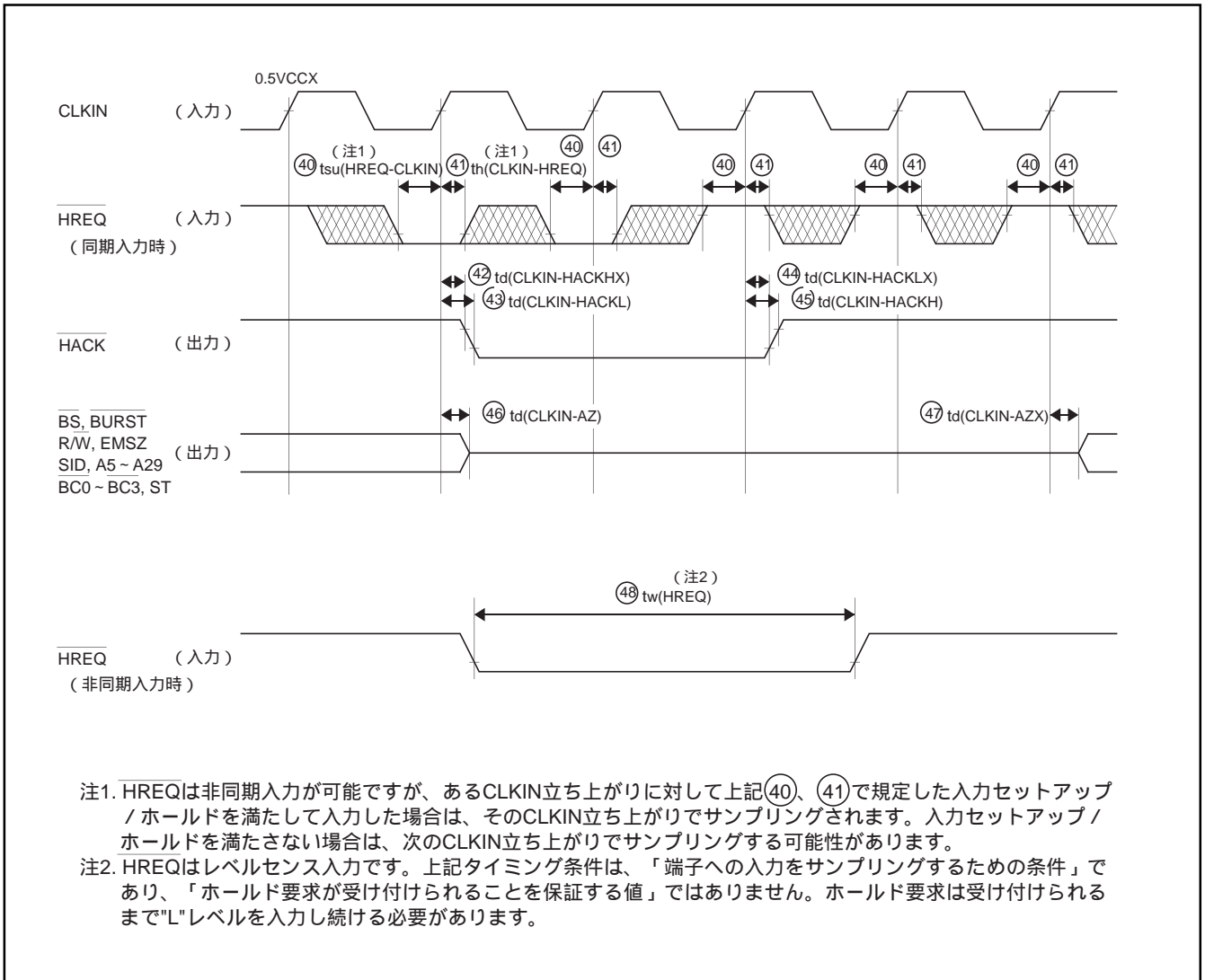


図36 バスアービトレーションタイミング

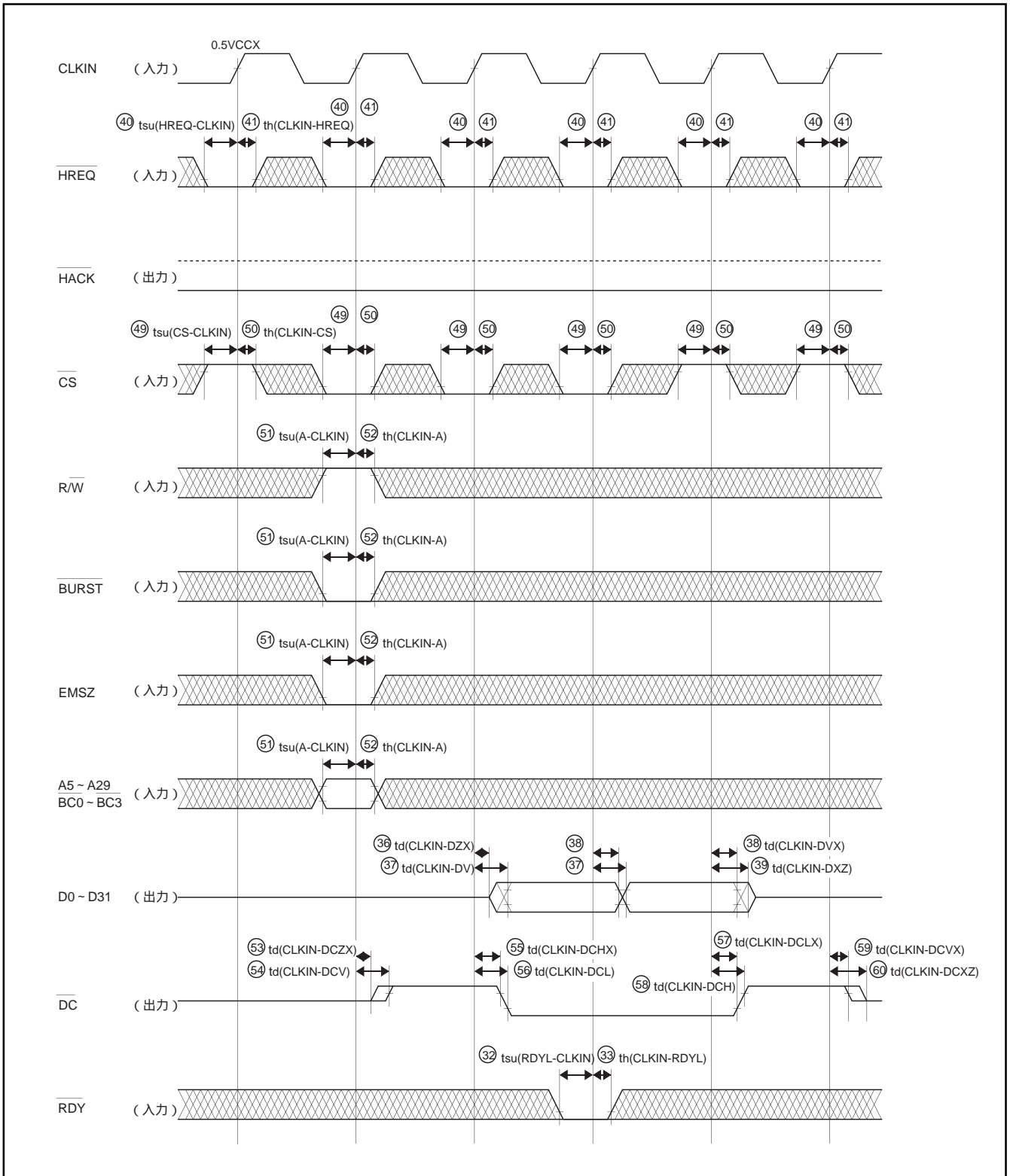


図37 外部バスマスタリードタイミング

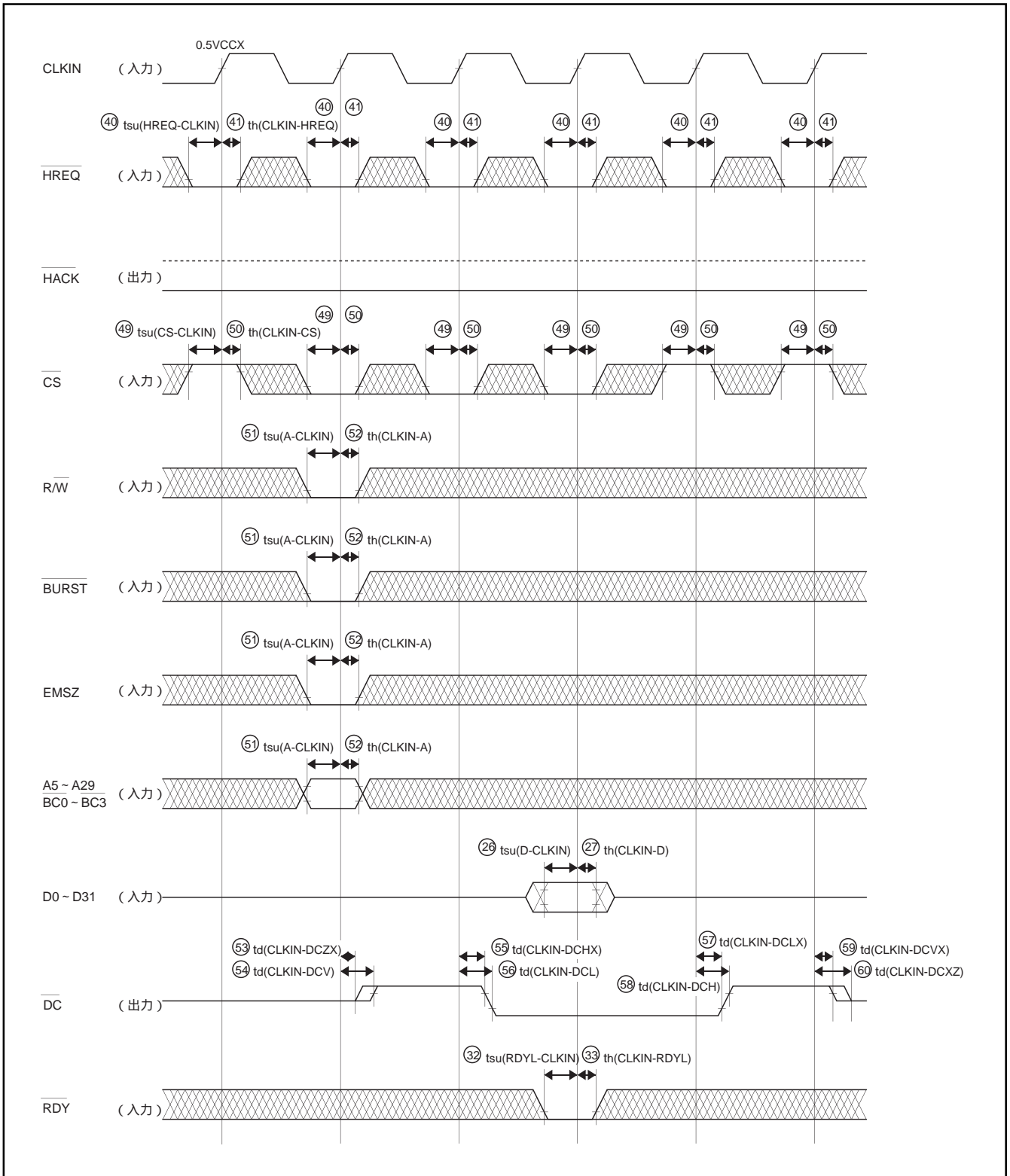
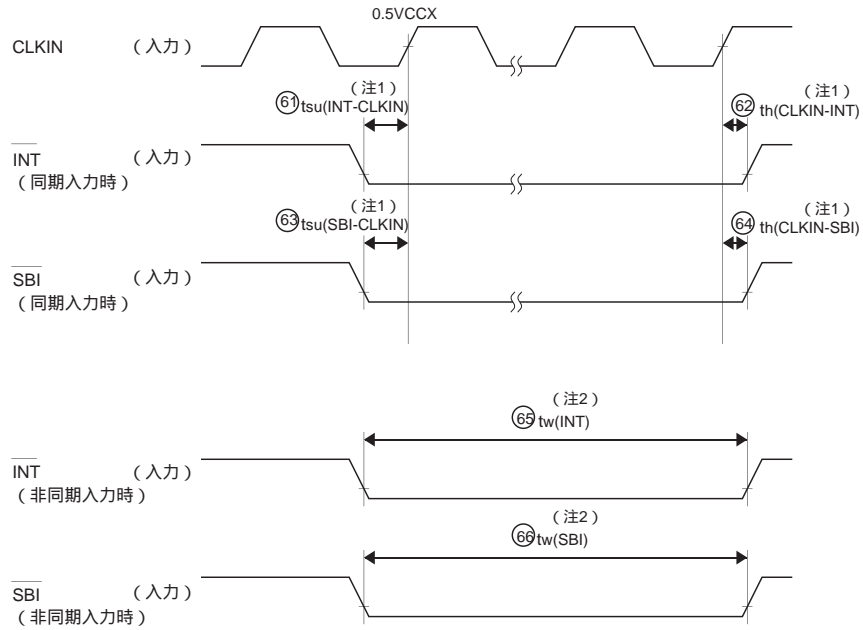


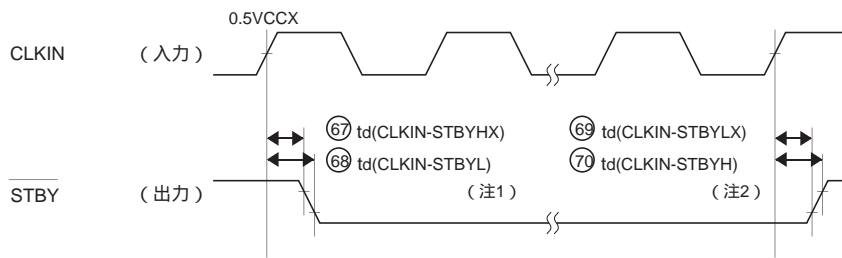
図38 外部バスマスタライトタイミング



注1. INT, SBI信号は非同期入力可能ですが、あるCLKIN立ち上がりに対して上記⑥1から⑥4で規定した入力セットアップ/ホールドを満たして入力した場合は、そのCLKIN立ち上がりでサンプリングされます。入力セットアップ/ホールドを満たさない場合は、次のCLKIN立ち上がりでサンプリングする可能性があります。

注2. INT, SBI共にレベルセンス入力です。上記タイミング条件は、「端子への入力をサンプリングするための条件」であり、「割り込み要求が受け付けられることを保証する値」ではありません。割り込み要求は受け付けられるまで"L"レベルを入力し続ける必要があります。

図39 割り込み入力タイミング



注1. スタンバイモードへ移行するとSTBY="L"になります。

注2. スタンバイモードからの復帰時、WKUP信号が"L"から"H"に戻されたことをサンプリングしてCLKINの3サイクル後に、またRST="L"サンプリングからCLKINの3サイクル後にSTBY="H"になります。

図40 スタンバイタイミング

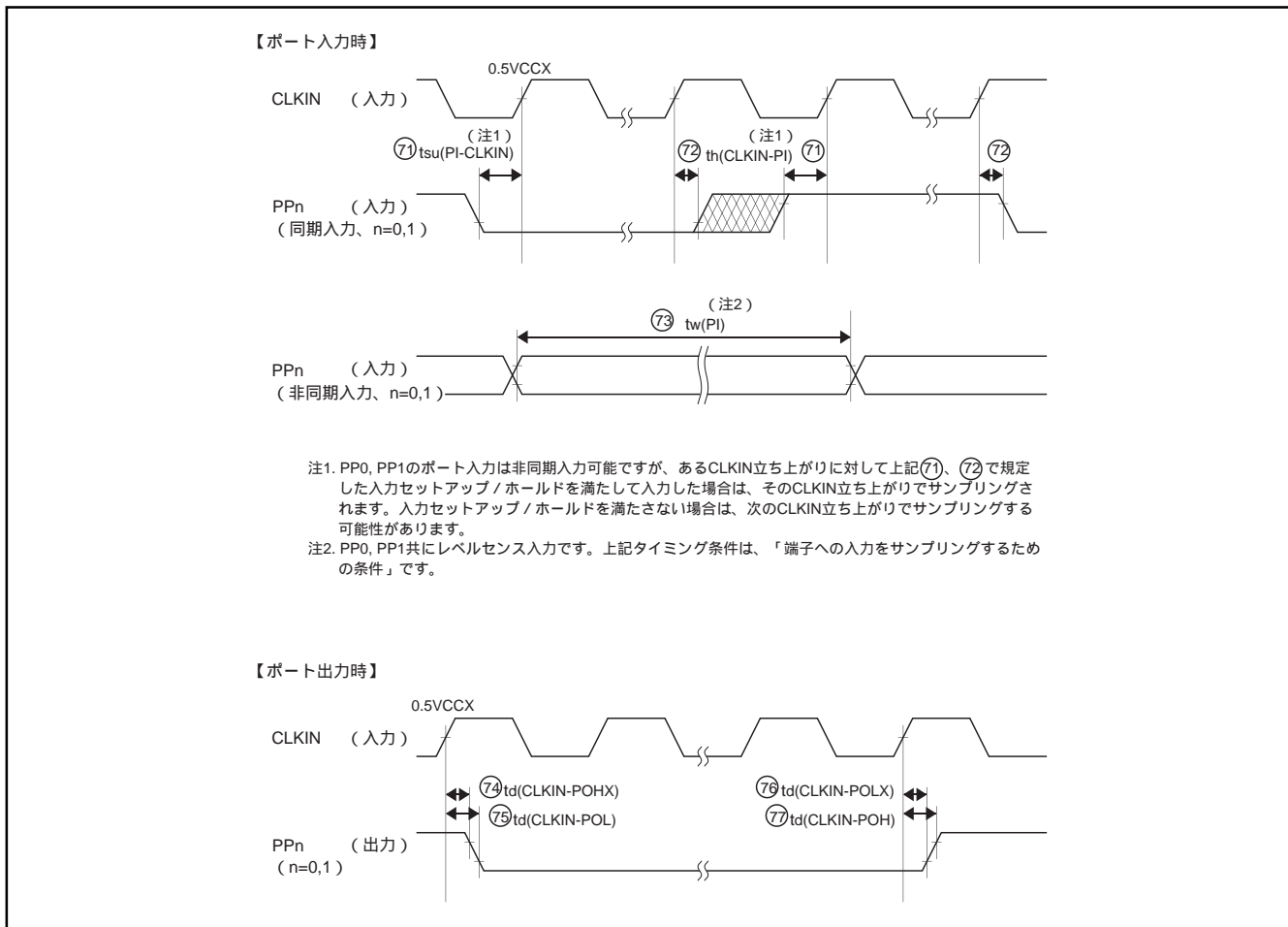


図41 入出力ポートタイミング

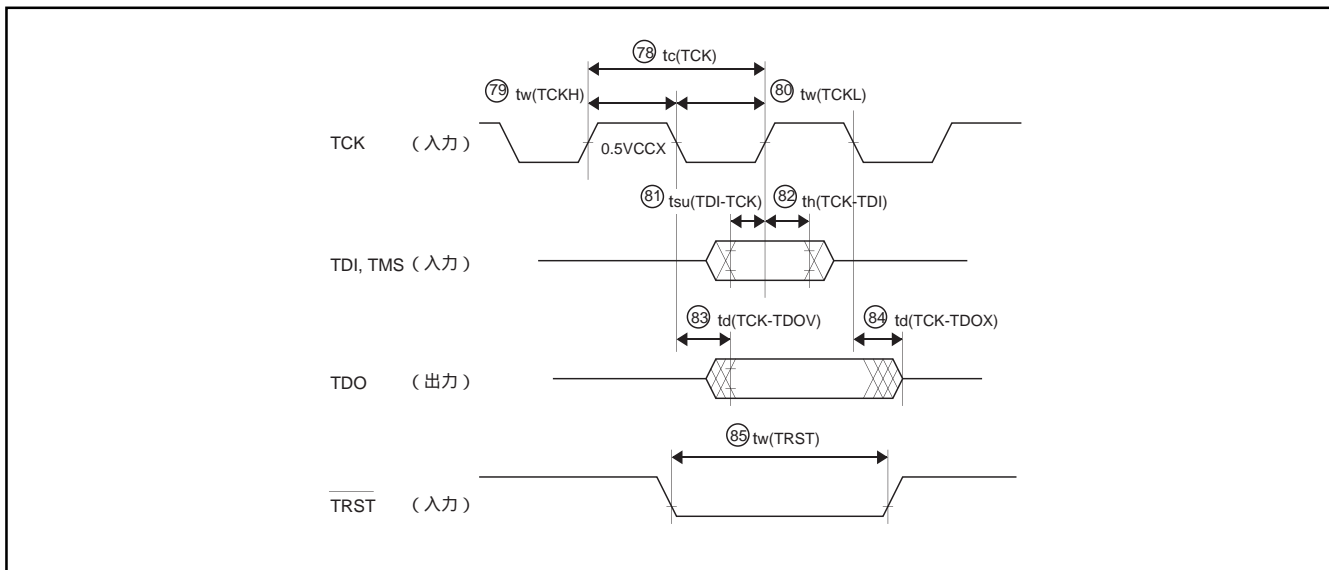


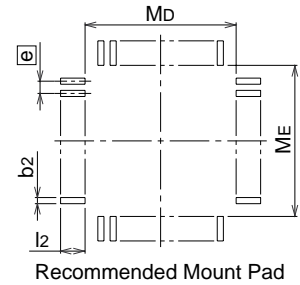
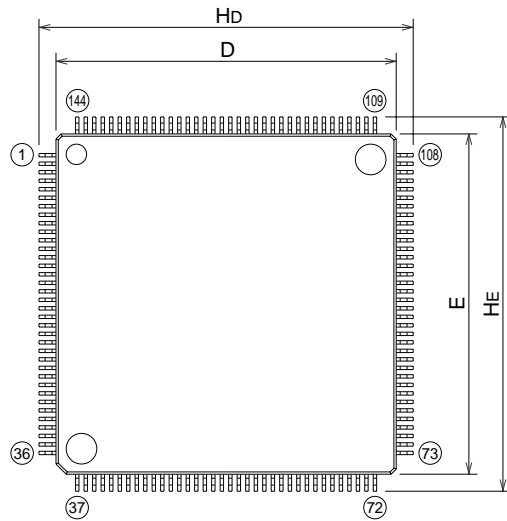
図42 JTAGインタフェースタイミング

パッケージ外形寸法図

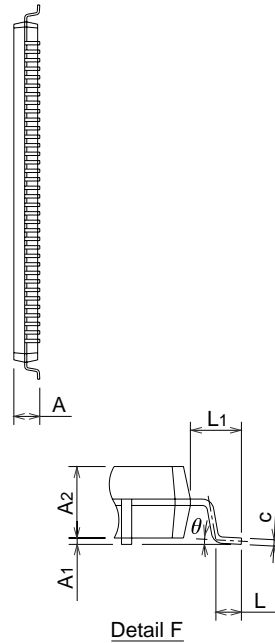
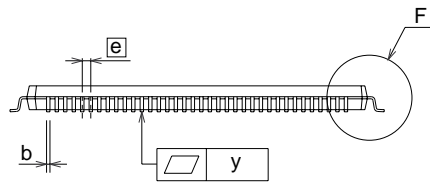
144P6Q-A

Plastic 144pin 20×20mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP144-P-2020-0.50	-		Cu Alloy



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0.05	0.125	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	-	0.5	-
Hd	21.8	22.0	22.2
HE	21.8	22.0	22.2
L	0.35	0.5	0.65
L1	-	1.0	-
y	-	-	0.1
θ	0°	-	8°
b2	-	0.225	-
l2	1.0	-	-
MD	-	20.4	-
ME	-	20.4	-



Detail F

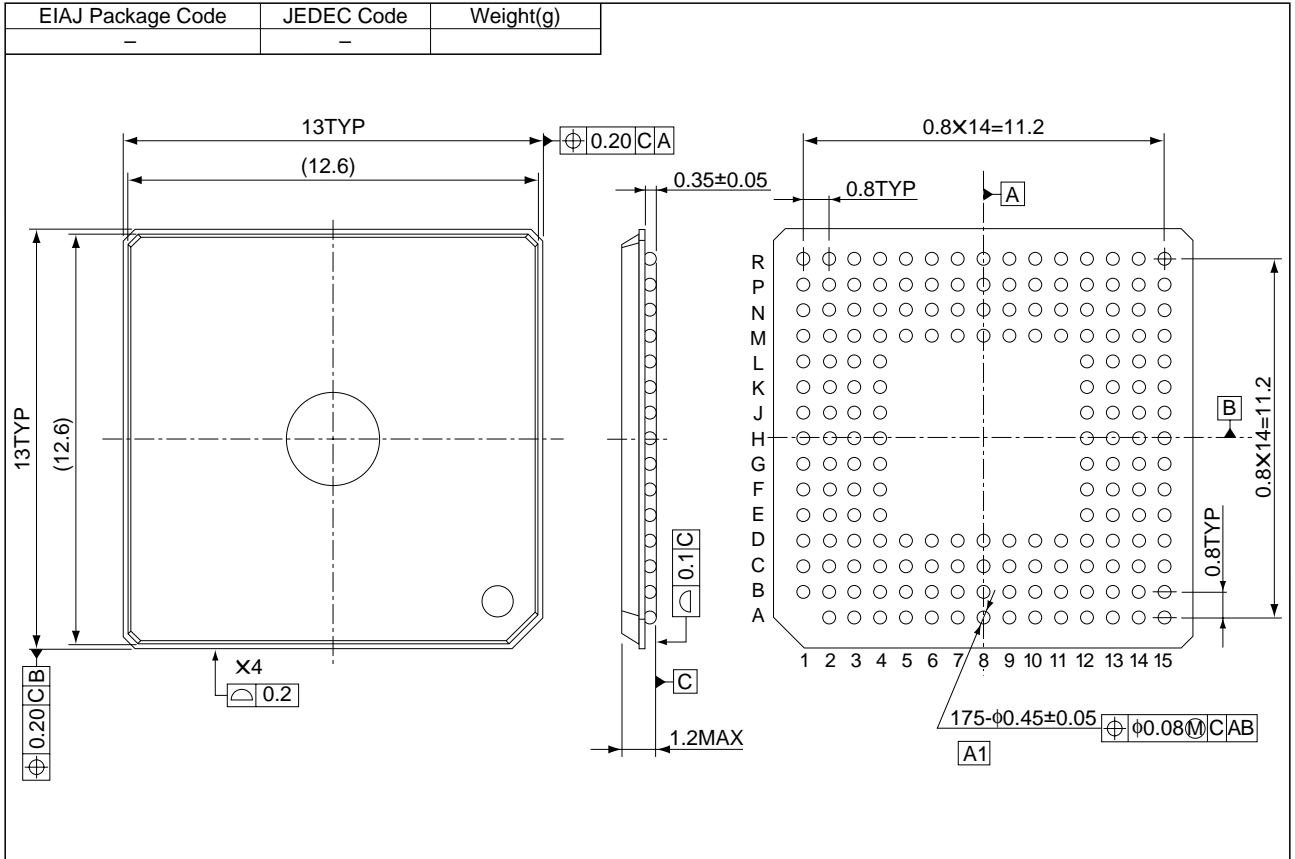
開発中

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

175F7F

175pin 13X13mm body FBGA



開発中

三菱マイクロコンピュータ
M32310D5FP-1000
M32310D5WG-1000

SINGLE-CHIP 32-BIT CMOS MICROCOMPUTER

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	<p>弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。</p>
本資料ご利用に際しての留意事項	<ul style="list-style-type: none">・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (http://www.semicon.melco.co.jp/) などを通じて公開される情報に常にご注意ください。・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴	M32310D5FP/WG-1000 データシート
------	---------------------------

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	990301
1.1	4 ページのブロック図に RDY 端子を追加した。 DBI 端子を追加した。	000116