

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

M306V7MG/MH/MJ/MJA-XXXFPとM306V7FG/FH/FJ/FJAFPは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを登載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、OSDやデータスライサを内蔵しており、クローズドキャプションやID1(525p対応)に適したシングルチップマイクロコンピュータです。

1.1 特長

メモリ容量	< ROM > ROM展開の図を参照してください。 < RAM > 10Kバイト ~ 16Kバイト < OSD ROM > 60Kバイト < OSD RAM > 2.2Kバイト
最短命令実行時間	62.5ns (f (XIN) =16MHz時)
電源電圧	V _{CC} E (5V系I/O電源) 4.75V ~ 5.25V V _{CC} I (内部ロジック電源) 3.15V ~ 3.45V
消費電力	415mW
割り込み	内部22要因、外部3要因、ソフトウェア4要因、7レベル
多機能16ビットタイマ	出力系2本 + 入力系3本 + 3本
シリアルI/O	4ユニット UART / クロック同期 : 2 マルチマスタ ² C-BUSインタフェース0 (2系統) : 1 マルチマスタ ² C-BUSインタフェース1 (1系統) : 1
DMAC	2チャンネル (スタート条件:23要因)
A-D 変換器	8ビット × 6チャンネル
D-A 変換器	8ビット × 2チャンネル
データスライサ	2回路 (クローズドキャプション及び525p対応ビデオIDデコード可能)
HSYNCカウンタ	1回路 (2系統)
OSD機能	1回路
監視タイマ	1本
プログラマブル入出力	76本
メモリ拡張	可能
チップセレクト出力	4本
クロック発生回路	3回路内蔵

1.2 応用

クローズドキャプションやID1付

目 次

1. 概 要	1	2.16.20 OSD予約レジスタ	230
1.1 特 長	1	2.17 プログラマブル入出力ポート	231
1.2 応 用	1	3. 使用上の注意事項	246
1.3 ピン接続図	3	3.1 タイマAの注意事項	
1.4 ブロック図	4	(タイマモード)	246
1.5 性能概要	5	3.2 タイマAの注意事項	
2. 機能ブロック動作説明	10	(イベントカウンタモード)	246
2.1 メモリ	10	3.3 タイマAの注意事項	
2.2 中央演算処理装置	16	(ワンショットタイマモード)	246
2.3 リセット	19	3.4 タイマAの注意事項	
2.4 プロセッサモード	24	(パルス幅変調モード)	246
2.5 クロック発生回路	36	3.5 タイマBの注意事項	
2.6 プロテクト	47	(タイマモード、イベントカウンタモード)	247
2.7 割り込みの概要	48	3.6 タイマBの注意事項	
2.8 監視タイマ	68	(パルス周期測定、パルス幅測定モード)	247
2.9 DMAC	70	3.7 A-D変換器の注意事項	247
2.10 タイマ	80	3.8 ストップモード、ウェイトモードの注意事項	247
2.11 シリアルI/O	100	3.9 割り込みの注意事項	248
2.12 A-D変換器	146	3.10 フラッシュメモリ版とマスクROM版について	
2.13 D-A変換器	161	249
2.14 データスライサ	163	4. マスク化発注時の提出資料	250
2.15 HSYNCカウンタ	176	5. 電気的特性	251
2.16 OSD機能	177	5.1 絶対最大定格	251
2.16.1 トリプルレイヤOSD	183	5.2 推奨動作条件	252
2.16.2 表示位置	185	5.3 電気的特性	253
2.16.3 ドットサイズ	189	5.4 A-D変換特性	254
2.16.4 OSD用クロック	190	5.5 D-A変換特性	254
2.16.5 フィールド判別表示	193	5.6 アナログR,G,B出力特性	254
2.16.6 OSD用メモリ	195	5.7 タイミング必要条件	255
2.16.7 文字色	205	5.8 スイッチング特性	257
2.16.8 文字背景色	205	5.9 測定回路	259
2.16.9 OUT1, OUT2信号	210	5.10 タイミング図	260
2.16.10 アトリビュート	211	6. パッケージ寸法図	264
2.16.11 オートソリッドスペース機能	216	7. フラッシュメモリ	265
2.16.12 特殊OSDモードブロック	217	7.1 概要	265
2.16.13 多行表示	219	7.2 CPU書き換えモード	267
2.16.14 スプライトOSD機能	220	7.3 パラレル入出力モード	280
2.16.15 ウィンドウ機能	223	7.4 標準シリアル入出力モード	281
2.16.16 ブランク機能	224		
2.16.17 ラスター着色機能	227		
2.16.18 スキャンモード	229		
2.16.19 R, G, B信号出力制御	229		

1.3 ピン接続図

図1.3.1にピン接続図(上面図)を示します。

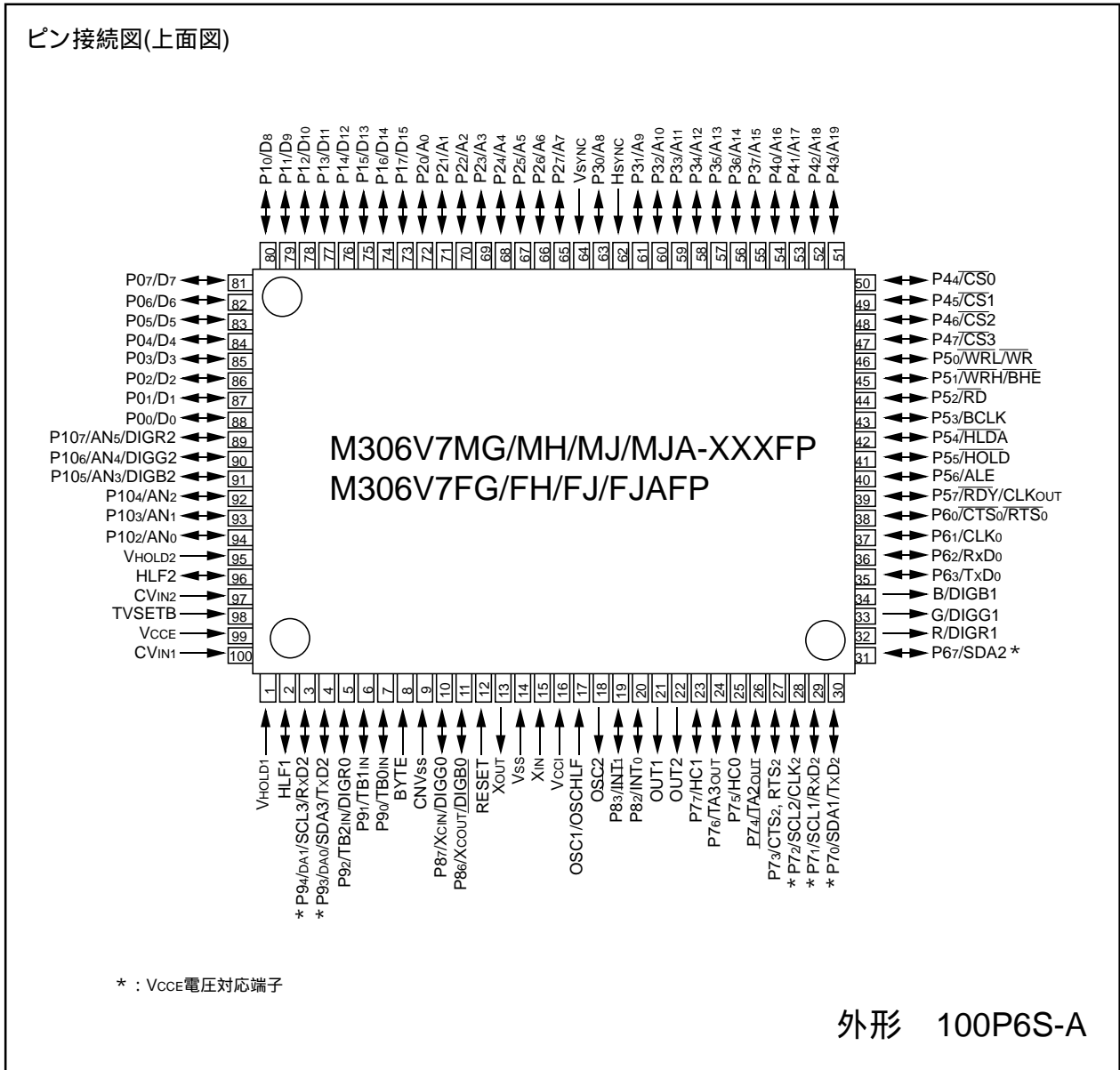


図1.3.1 ピン接続図(上面図)

1.4 ブロック図

図1.4.1にブロック図を示します。

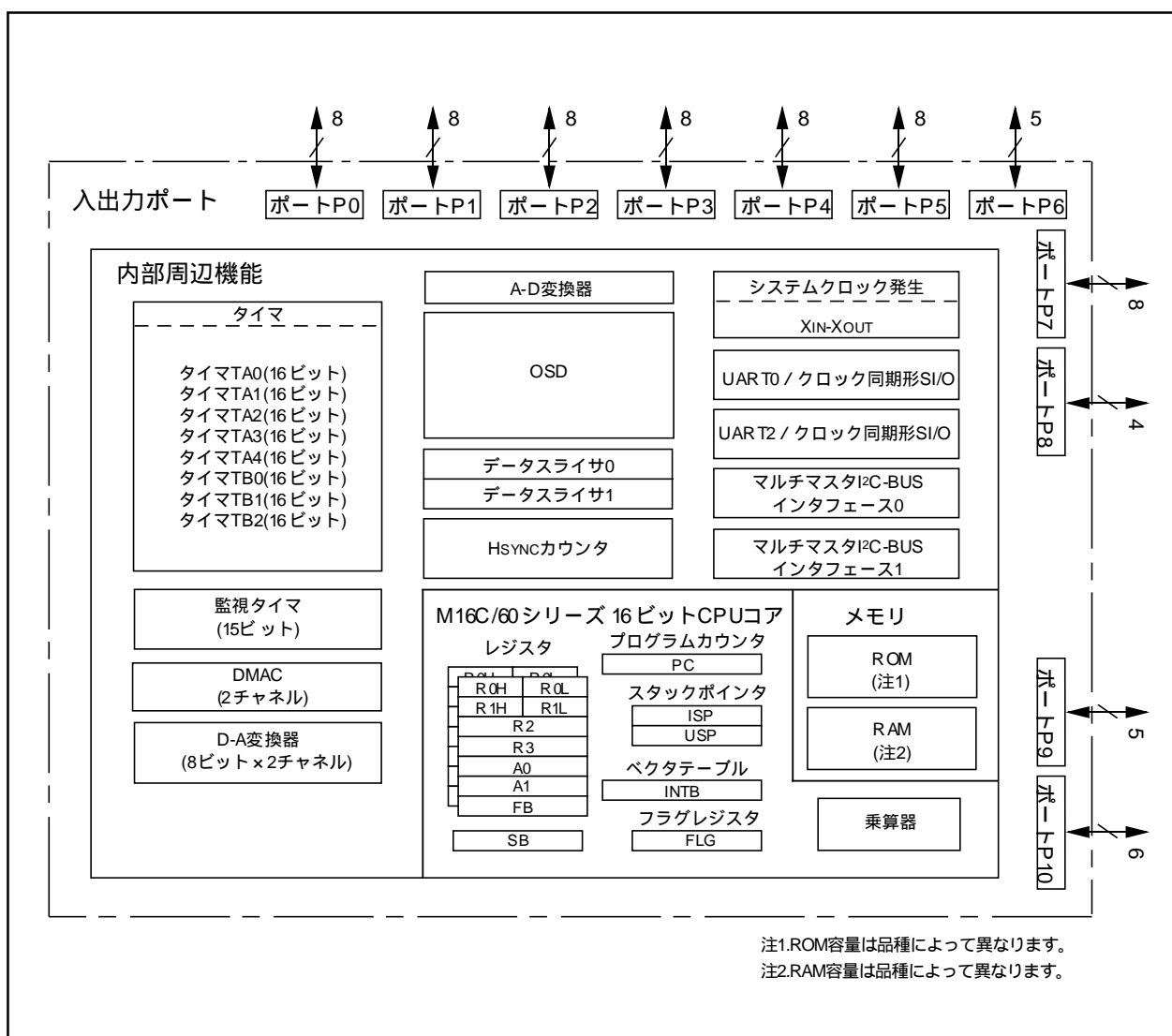


図1.4.1 ブロック図

1.5 性能概要

表1.5.1に性能概要を示します。

表1.5.1 性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns (f (XIN) =16MHz時)
メモリ容量	ROM	ROM展開の図を参照してください。
	RAM	10Kバイト～16Kバイト
	OSD ROM	60Kバイト
	OSD RAM	2.2Kバイト
入出力ポート	P0～P10	8ビット×7、6ビット×1、5ビット×2、4ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2	16ビット×3
シリアルI/O	UART0	1ユニット：UART又はクロック同期形
	UART2	1ユニット：UART又はクロック同期形
	マルチマスタ ² C-BUSインタフェース0	1ユニット (2チャンネル)
	マルチマスタ ² C-BUSインタフェース1	1ユニット (1チャンネル)
A-D変換器		8ビット×6チャンネル
D-A変換器		8ビット×2チャンネル
DMAC		2チャンネル(スタート条件：23要因)
OSD機能		トリプルレイヤ、フォント890種類、42文字×16行
データスライサ	データスライサ0	16ビット×2または、16ビットと20ビットのデータバッファ
	データスライサ1	16ビット×2または、16ビットと20ビットのデータバッファ
HSYNCカウンタ		8ビット×2チャンネル
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部22要因、外部3要因、ソフトウェア4要因、7レベル
クロック発生回路		3回路内蔵
電源電圧	VCCE (5V系I/O電源)	4.75V～5.25V
	VCCI (内部ロジック電源)	3.15V～3.45V
消費電力		415mW
入出力特性	入出力耐電圧	3.3V (P67, P70, P71, P72, P93, P94のみ5V)
	出力電流	5mA
メモリ拡張		可能
動作周囲温度		- 20 ～ 70
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

サポートを行う予定の製品を以下に示します。

ROMサイズ (バイト)			
512K	M306V7MJ-XXXFP M306V7MJA-XXXFP	M306V7FJFP M306V7FJAFP	
384K	M306V7MH-XXXFP	M306V7FHFP	
256K	M306V7MG-XXXFP	M306V7FGFP	
	マスクROM版	フラッシュメモリ版	

図1.5.1 ROM展開

表1.5.2 製品一覧表

形名	ROM容量	RAM容量	パッケージ	備考	
M306V7MG-XXXFP	256Kバイト	10Kバイト	100P6S-A	マスクROM版	
M306V7MH-XXXFP	384Kバイト				
M306V7MJ-XXXFP	512Kバイト				
M306V7MJA-XXXFP		16Kバイト			
M306V7FGFP	256Kバイト	10Kバイト		100P6S-A	フラッシュメモリ版
M306V7FHFP	384Kバイト				
M306V7FJFP	512Kバイト				
M306V7FJAFP		16Kバイト			

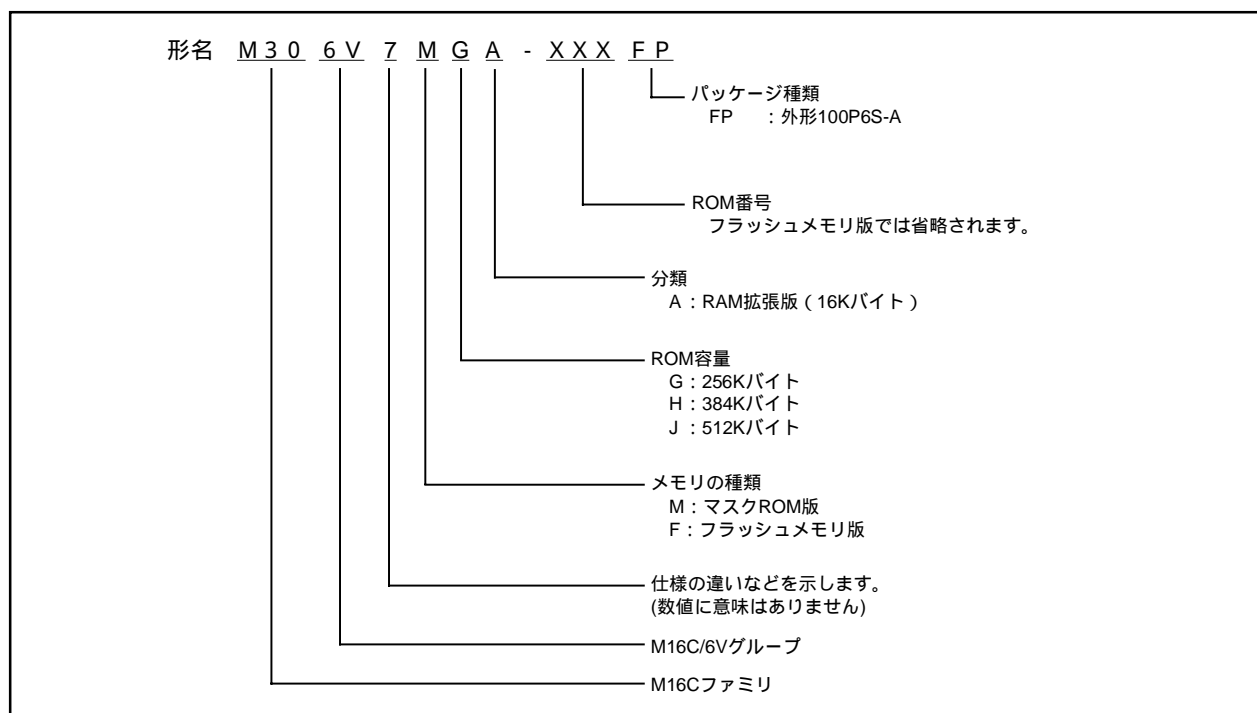


図1.5.2 形名とメモリサイズ・パッケージ

表1.5.3 端子の機能説明(1)

端子名	名称	入出力	機能
V _{CC} E, V _{CC} I V _{SS}	電源入力		V _{CC} E端子には、4.75V ~ 5.25V, V _{CC} I端子には、3.15V ~ 3.45Vを印加してください。V _{SS} 端子には、0Vを印加してください。
CNV _{SS}	CNV _{SS}	入力	プロセッサモードを切り替えるための端子です。シングルチップモード時およびメモリ拡張モード時はV _{SS} 端子に接続してください。マイクロプロセッサモード時はV _{CC} I端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
X _{IN} X _{OUT}	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。X _{IN} 端子とX _{OUT} 端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、X _{IN} 端子からクロックを入力し、X _{OUT} 端子は開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。シングルチップモード時は、V _{SS} 端子に接続してください。
P0 ₀ ~ P0 ₇	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。シングルチップモードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗の選択はできません。
D ₀ ~ D ₇		入出力	データ(D ₀ ~ D ₇)の入出力を行います。
P1 ₀ ~ P1 ₇	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
D ₈ ~ D ₁₅		入出力	データ(D ₈ ~ D ₁₅)の入出力を行います。
P2 ₀ ~ P2 ₇	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A ₀ ~ A ₇		出力	アドレスの下位8ビット(A ₀ ~ A ₇)の出力を行います。
P3 ₀ ~ P3 ₇	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A ₈ ~ A ₁₅		出力	アドレスの中位8ビット(A ₈ ~ A ₁₅)の出力を行います。

表1.5.4 端子の機能説明(2)

端子名	名称	入出力	機能
P40 ~ P47 A16 ~ A19, CS0 ~ CS3	入出力ポートP4	入出力 出力 出力	P0と同等の機能を持つ8ビット入出力ポートです。 A16 ~ A19、CS0 ~ CS3信号を出力します。A16 ~ A19はアドレスの上位4ビットです。CS0 ~ CS3はチップセレクト信号でアクセス空間の指定に使用します。
P50 ~ P57 WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY	入出力ポートP5	入出力 出力 出力 出力 出力 入力 出力 入力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウェアで選択することによって、P57からXCINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。 WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRHまたは、BHE、WRを切り替えることができます。 WRL、WRH、RD選択時 外部データバス幅が16ビットの場合、WRL信号が“L”レベルのとき偶数番地に、WRH信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。 WR、BHE、RD選択時 WR信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。ALEの出力は不定です。
P60 ~ P63、 P67	入出力ポートP6	入出力	P0と同等の機能を持つ5ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、およびマルチマスタI ² C-BUSインタフェース0の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャンネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA2、A3、UART2、マルチマスタI ² C-BUSインタフェース0又はH _{SYNC} カウンタの入出力端子として機能します。
P82、P83、 P86、P87、	入出力ポートP8	入出力	P82、P83、P86、P87はP6と同等の機能を持つ入出力ポートです。P82、P83はソフトウェアで選択することによって、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子、デジタルRGB出力のG0、B0出力端子として機能します。

表1.5.5 端子の機能説明 (3)

端子名	名称	入出力	機能
P9 ₀ ~ P9 ₄	入出力ポートP9	入出力	P6と同等の機能を持つ5ビット入出力ポートです。ソフトウェアで選択することによって、タイマB0 ~ B2の入力端子、D-A変換器の出力端子、またはマルチマスタI ² C-BUSインタフェース1の入出力端子、RXD2, TXD2端子として機能します。P9 ₂ はソフトウェアで選択することによって、デジタルRGB出力のR0出力端子として機能します。
P10 ₂ ~ P10 ₇	入出力ポートP10	入出力	P6と同等の機能を持つ6ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。P10 ₅ ~ P10 ₇ は、ソフトウェアで選択することによって、デジタルRGB出力のB2, G2, R2出力端子として機能します。
Hsync	OSD用同期信号入力	入力	OSD用の水平同期信号端子です。
Vsync	OSD用同期信号入力	入力	OSD用の垂直同期信号端子です。
R, G, B	OSD出力	出力	OSD出力端子です。(デジタル, アナログ出力選択可)
OUT1, OUT2	OSD出力	出力	OSD出力端子です。(デジタル出力)
OSC1/OSCHLF	OSD用クロック	入力	OSD用のクロック入力又は、フィルタ端子です。
OSC2	OSD用クロック	出力	OSD用のクロック出力端子です。
CV _{IN1} CV _{IN2}	データスライサ 入出力	入力	コンデンサを介してコンポジットビデオ信号を入力してください。
V _{HOLD1} /V _{HOLD2}		入力	V _{HOLD} とV _{SS} の間にコンデンサを接続してください。
HLF1/HLF2		入出力	HLFとV _{SS} の間にコンデンサと抵抗からなるフィルタを接続してください。
TVSETB		入力	テスト入力端子です。“L”レベルに固定してください。

2. 機能ブロック動作説明

本製品は、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、OSD回路、データスライサ回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

2.1 メモリ

メモリ配置図を図2.1.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM306V7MG-XXXFPでは、C0000₁₆番地からFFFFFF₁₆番地まで256Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

02C00₁₆番地から053FF₁₆番地まで10Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図2.1.2～図2.1.5に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。次の領域は使用できません。例えばM306V7MG-XXXFPでは、次の領域は使用できません。

- ・ 01400₁₆番地から02BFF₁₆番地（メモリ拡張モード時及びマイクロプロセッサモード時）
- ・ 05400₁₆番地から07FFF₁₆番地（メモリ拡張モード時及びマイクロプロセッサモード時）
- ・ 60000₁₆番地からBFFFF₁₆番地（メモリ拡張モード時）

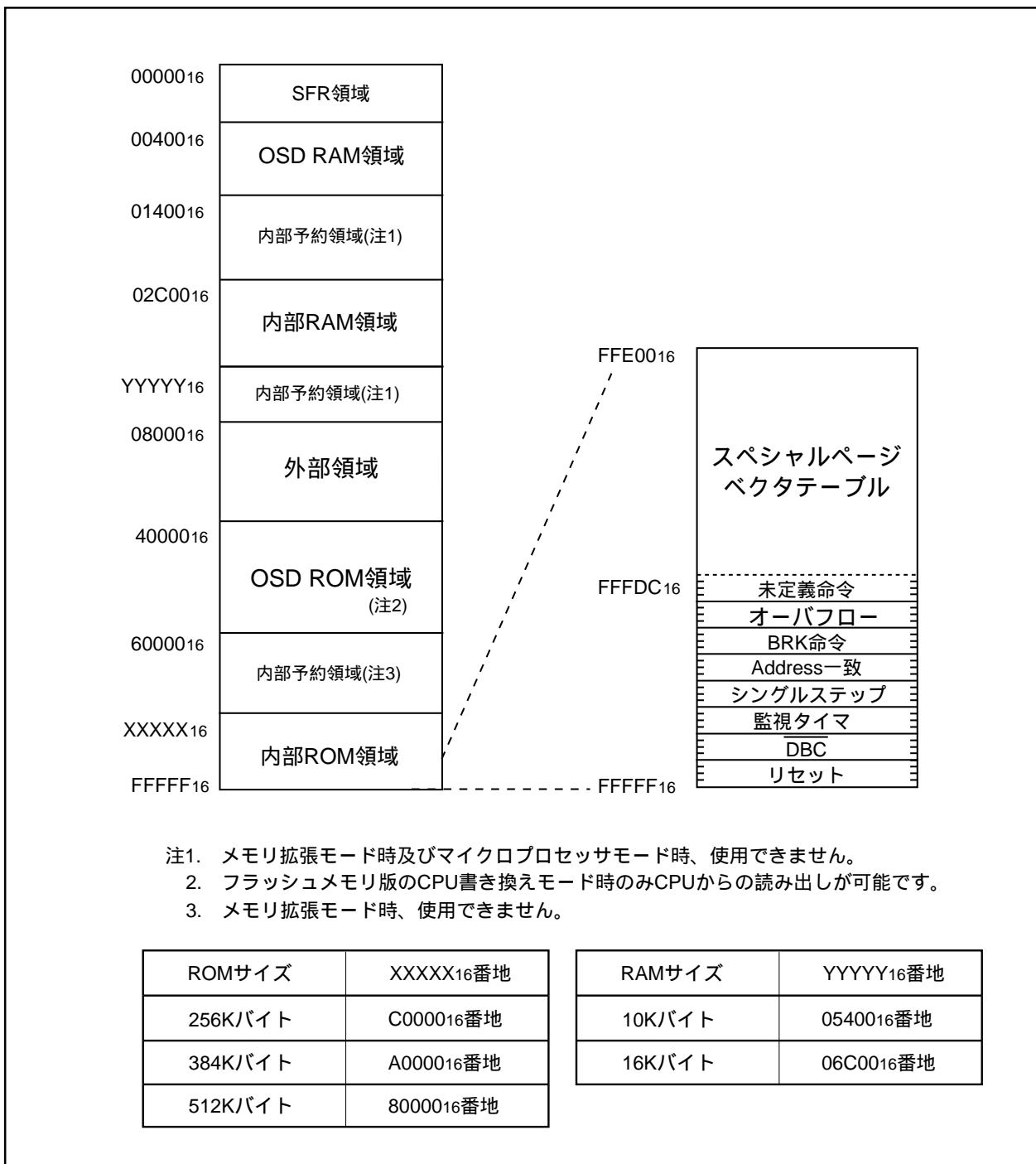


図2.1.1 メモリ配置図

0000 ₁₆		0040 ₁₆	
0001 ₁₆		0041 ₁₆	
0002 ₁₆		0042 ₁₆	
0003 ₁₆		0043 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0044 ₁₆	OSD1割り込み制御レジスタ(OSD1IC)
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0045 ₁₆	データスライサ1割り込み制御レジスタ(DS1IC)
0006 ₁₆	システムクロック制御レジスタ0(CM0)	0046 ₁₆	割り込み制御予約レジスタ1(RE1IC)
0007 ₁₆	システムクロック制御レジスタ1(CM1)	0047 ₁₆	割り込み制御予約レジスタ2(RE2IC)
0008 ₁₆	チップセレクト制御レジスタ(CSR)	0048 ₁₆	OSD2割り込み制御レジスタ(OSD2IC)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)	0049 ₁₆	マルチC-BUS/カテゴリー1割り込み制御レジスタ(IIC1IC)
000A ₁₆	プロテクトレジスタ(PRCR)	004A ₁₆	バス衝突検出割り込み制御レジスタ(BCNIC)
000B ₁₆		004B ₁₆	DMA0割り込み制御レジスタ(DM0IC)
000C ₁₆		004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
000D ₁₆		004D ₁₆	マルチC-BUS/カテゴリー0割り込み制御レジスタ(IIC0IC)
000E ₁₆	監視タイマスタートレジスタ(WDTS)	004E ₁₆	A-D変換割り込み制御レジスタ(ADIC)
000F ₁₆	監視タイマ制御レジスタ(WDC)	004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0010 ₁₆		0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0011 ₁₆	アドレス一致割り込みレジスタ0(RMAD0)	0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0012 ₁₆		0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0013 ₁₆		0053 ₁₆	データスライサ0割り込み制御レジスタ(DS0IC)
0014 ₁₆		0054 ₁₆	VSYNC割り込み制御レジスタ(VSYNDC)
0015 ₁₆	アドレス一致割り込みレジスタ1(RMAD1)	0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0016 ₁₆		0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0017 ₁₆		0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0018 ₁₆		0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0019 ₁₆		0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
001A ₁₆		005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
001B ₁₆		005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
001C ₁₆		005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
001D ₁₆		005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
001E ₁₆		005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
001F ₁₆		005F ₁₆	割り込み制御予約レジスタ3(RE3IC)
0020 ₁₆		0060 ₁₆	
0021 ₁₆	DMA0ソ - スポインタ(SAR0)		
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)		
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆	DMA0転送カウンタ(TCR0)		
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ(DM0CON)		
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆	DMA1ソ - スポインタ(SAR1)		
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)		
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆	DMA1転送カウンタ(TCR1)		
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ(DM1CON)		
003D ₁₆			
003E ₁₆			
003F ₁₆			
		01FF ₁₆	

図2.1.2 周辺装置制御レジスタの配置(1)

0200 ₁₆		0240 ₁₆	
0201 ₁₆	スプライトOSD制御レジスタ (SC)	0241 ₁₆	カラーパレットレジスタ1 (CR1)
0202 ₁₆	OSDコントロールレジスタ1 (OC1)	0242 ₁₆	
0203 ₁₆	OSDコントロールレジスタ2 (OC2)	0243 ₁₆	カラーパレットレジスタ2 (CR2)
0204 ₁₆	水平位置レジスタ (HP)	0244 ₁₆	
0205 ₁₆	クロックコントロールレジスタ1 (CS)	0245 ₁₆	カラーパレットレジスタ3 (CR3)
0206 ₁₆	入出力極性コントロールレジスタ (PC)	0246 ₁₆	
0207 ₁₆	OSDコントロールレジスタ3 (OC3)	0247 ₁₆	カラーパレットレジスタ4 (CR4)
0208 ₁₆		0248 ₁₆	
0209 ₁₆	ラスタカラーレジスタ (RSC)	0249 ₁₆	カラーパレットレジスタ5 (CR5)
020A ₁₆	OSD予約レジスタ5 (OR5)	024A ₁₆	
020B ₁₆	クロックコントロールレジスタ2 (CG)	024B ₁₆	カラーパレットレジスタ6 (CR6)
020C ₁₆		024C ₁₆	
020D ₁₆	トップボーダーコントロールレジスタ (TBR)	024D ₁₆	カラーパレットレジスタ7 (CR7)
020E ₁₆		024E ₁₆	
020F ₁₆	ボトムボーダーコントロールレジスタ (BBR)	024F ₁₆	カラーパレットレジスタ9 (CR9)
0210 ₁₆	ブロックコントロールレジスタ1 (BC1)	0250 ₁₆	
0211 ₁₆	ブロックコントロールレジスタ2 (BC2)	0251 ₁₆	カラーパレットレジスタ10 (CR10)
0212 ₁₆	ブロックコントロールレジスタ3 (BC3)	0252 ₁₆	
0213 ₁₆	ブロックコントロールレジスタ4 (BC4)	0253 ₁₆	カラーパレットレジスタ11 (CR11)
0214 ₁₆	ブロックコントロールレジスタ5 (BC5)	0254 ₁₆	
0215 ₁₆	ブロックコントロールレジスタ6 (BC6)	0255 ₁₆	カラーパレットレジスタ12 (CR12)
0216 ₁₆	ブロックコントロールレジスタ7 (BC7)	0256 ₁₆	
0217 ₁₆	ブロックコントロールレジスタ8 (BC8)	0257 ₁₆	カラーパレットレジスタ13 (CR13)
0218 ₁₆	ブロックコントロールレジスタ9 (BC9)	0258 ₁₆	
0219 ₁₆	ブロックコントロールレジスタ10 (BC10)	0259 ₁₆	カラーパレットレジスタ14 (CR14)
021A ₁₆	ブロックコントロールレジスタ11 (BC11)	025A ₁₆	
021B ₁₆	ブロックコントロールレジスタ12 (BC12)	025B ₁₆	カラーパレットレジスタ15 (CR15)
021C ₁₆	ブロックコントロールレジスタ13 (BC13)	025C ₁₆	
021D ₁₆	ブロックコントロールレジスタ14 (BC14)	025D ₁₆	OSD予約レジスタ1 (OR1)
021E ₁₆	ブロックコントロールレジスタ15 (BC15)	025E ₁₆	
021F ₁₆	ブロックコントロールレジスタ16 (BC16)	025F ₁₆	OSDコントロールレジスタ4 (OC4)
0220 ₁₆		0260 ₁₆	データスライサ0制御レジスタ1 (DSC01)
0221 ₁₆	垂直位置レジスタ1 (VP1)	0261 ₁₆	データスライサ0制御レジスタ2 (DSC02)
0222 ₁₆	垂直位置レジスタ2 (VP2)	0262 ₁₆	
0223 ₁₆		0263 ₁₆	キャプションデータレジスタ01 (CD01)
0224 ₁₆	垂直位置レジスタ3 (VP3)	0264 ₁₆	
0225 ₁₆		0265 ₁₆	キャプションデータレジスタ02 (CD02)
0226 ₁₆	垂直位置レジスタ4 (VP4)	0266 ₁₆	キャプション位置レジスタ0 (CPS0)
0227 ₁₆		0267 ₁₆	スライス基準電圧選択レジスタ0 (SBV0)
0228 ₁₆	垂直位置レジスタ5 (VP5)	0268 ₁₆	データスライサ0予約レジスタ1 (DR01)
0229 ₁₆		0269 ₁₆	クロックライン検出レジスタ0 (CRD0)
022A ₁₆	垂直位置レジスタ6 (VP6)	026A ₁₆	データクロック位置レジスタ0 (DPS0)
022B ₁₆		026B ₁₆	ID1制御レジスタ0 (IDC0)
022C ₁₆	垂直位置レジスタ7 (VP7)	026C ₁₆	基準クロック検出レジスタ0 (BCD0)
022D ₁₆		026D ₁₆	CRCCデータレジスタ0 (CRC0)
022E ₁₆	垂直位置レジスタ8 (VP8)	026E ₁₆	テスト予約レジスタ0 (IDT0)
022F ₁₆		026F ₁₆	予約レジスタ (RSV0)
0230 ₁₆	垂直位置レジスタ9 (VP9)	0270 ₁₆	レフトボーダーコントロールレジスタ (LBR)
0231 ₁₆		0271 ₁₆	
0232 ₁₆	垂直位置レジスタ10 (VP10)	0272 ₁₆	ライトボーダーコントロールレジスタ (RBR)
0233 ₁₆		0273 ₁₆	
0234 ₁₆	垂直位置レジスタ11 (VP11)	0274 ₁₆	スプライト垂直位置レジスタ1 (VS1)
0235 ₁₆		0275 ₁₆	
0236 ₁₆	垂直位置レジスタ12 (VP12)	0276 ₁₆	スプライト垂直位置レジスタ2 (VS2)
0237 ₁₆		0277 ₁₆	
0238 ₁₆	垂直位置レジスタ13 (VP13)	0278 ₁₆	スプライト水平位置レジスタ (HS)
0239 ₁₆		0279 ₁₆	
023A ₁₆	垂直位置レジスタ14 (VP14)	027A ₁₆	OSD予約レジスタ4 (OR4)
023B ₁₆		027B ₁₆	OSD予約レジスタ3 (OR3)
023C ₁₆	垂直位置レジスタ15 (VP15)	027C ₁₆	OSD予約レジスタ2 (OR2)
023D ₁₆		027D ₁₆	ペリフェラルモードレジスタ (PM)
023E ₁₆	垂直位置レジスタ16 (VP16)	027E ₁₆	Hsyncカウンタレジスタ (HC)
023F ₁₆		027F ₁₆	Hsyncカウンタラッチ
		0280 ₁₆	内部発振コントロールレジスタ1 (DIV0)
		0281 ₁₆	内部発振コントロールレジスタ2 (DIV1)
		0282 ₁₆	内部発振コントロールレジスタ3 (VCO)
		029E ₁₆	ROT予約レジスタ1 (ROTRSV1)
		029F ₁₆	ROT予約レジスタ2 (ROTRSV2)
		02DF ₁₆	

図2.1.3 周辺装置制御レジスタの配置(2)

02E0 ₁₆	I ² C0データシフトレジスタ (IIC0S0)	0380 ₁₆	カウント開始フラグ(TABSR)
02E1 ₁₆	I ² C0アドレスレジスタ (IIC0S0D)	0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
02E2 ₁₆	I ² C0ステータスレジスタ (IIC0S1)	0382 ₁₆	ワンショット開始フラグ(ONSF)
02E3 ₁₆	I ² C0コントロールレジスタ (IIC0S1D)	0383 ₁₆	トリガ選択レジスタ(TRGSR)
02E4 ₁₆	I ² C0クロックコントロールレジスタ (IIC0S2)	0384 ₁₆	アップダウンフラグ(UDF)
02E5 ₁₆	I ² C0ポートセレクションレジスタ (IIC0S2D)	0385 ₁₆	
02E6 ₁₆	I ² C0送信バッファレジスタ (IIC0S0S)	0386 ₁₆	タイマA0レジスタ(TA0)
02E7 ₁₆		0387 ₁₆	
02E8 ₁₆	I ² C1データシフトレジスタ (IIC1S0)	0388 ₁₆	タイマA1レジスタ(TA1)
02E9 ₁₆	I ² C1アドレスレジスタ (IIC1S0D)	0389 ₁₆	
02EA ₁₆	I ² C1ステータスレジスタ (IIC1S1)	038A ₁₆	タイマA2レジスタ(TA2)
02EB ₁₆	I ² C1コントロールレジスタ (IIC1S1D)	038B ₁₆	
02EC ₁₆	I ² C1クロックコントロールレジスタ (IIC1S2)	038C ₁₆	タイマA3レジスタ(TA3)
02ED ₁₆	I ² C1ポートセレクションレジスタ (IIC1S2D)	038D ₁₆	
02EE ₁₆	I ² C1送信バッファレジスタ (IIC1S0S)	038E ₁₆	タイマA4レジスタ(TA4)
0300 ₁₆	データスライサ1制御レジスタ1 (DSC11)	038F ₁₆	
0301 ₁₆	データスライサ1制御レジスタ2 (DSC12)	0390 ₁₆	タイマB0レジスタ(TB0)
0302 ₁₆	キャプションデータレジスタ11 (CD11)	0391 ₁₆	
0303 ₁₆		0392 ₁₆	タイマB1レジスタ(TB1)
0304 ₁₆	キャプションデータレジスタ12 (CD12)	0393 ₁₆	
0305 ₁₆		0394 ₁₆	タイマB2レジスタ(TB2)
0306 ₁₆	キャプション位置レジスタ1 (CPS1)	0395 ₁₆	
0307 ₁₆	スライス基準電圧選択レジスタ1 (SBV1)	0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0308 ₁₆	データスライサ1予約レジスタ1 (DR11)	0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0309 ₁₆	クロックランイン検出レジスタ1 (CRD1)	0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
030A ₁₆	データクロック位置レジスタ1 (DPS1)	0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
030B ₁₆	ID1制御レジスタ1 (IDC1)	039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)
030C ₁₆	基準クロック検出レジスタ1 (BCD1)	039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
030D ₁₆	CRCCデータレジスタ1 (CRC1)	039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
030E ₁₆	テスト予約レジスタ1 (IDT1)	039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
030F ₁₆	予約レジスタ (RSV1)	039E ₁₆	
0310 ₁₆		039F ₁₆	
0311 ₁₆	FM制御3予約レジスタ (FMRU3)	03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
0312 ₁₆	FM制御2予約レジスタ (FMRU2)	03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
0313 ₁₆	フラッシュUSER制御レジスタ (FMRU)	03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
0314 ₁₆		03A3 ₁₆	
0315 ₁₆	FO制御3予約レジスタ (FMRD3)	03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
0316 ₁₆	FO制御2予約レジスタ (FMRD2)	03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
0317 ₁₆	フラッシュ OSD制御レジスタ (FMRD)	03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
0318 ₁₆	フラッシュメモリ切替レジスタ (FMSEL)	03A7 ₁₆	
0319 ₁₆	ID1予約レジスタ0 (IRSV0)	03A9 ₁₆	
031C ₁₆	ID1予約レジスタ1 (IRSV1)	03AA ₁₆	
031D ₁₆		03AB ₁₆	
035E ₁₆		03AC ₁₆	予約レジスタ (RUS0S4)
035F ₁₆	割り込み要因選択レジスタ(IFSR)	03AD ₁₆	予約レジスタ (RUS0S3)
0360 ₁₆		03AE ₁₆	予約レジスタ (RUS0S2)
		03AF ₁₆	予約レジスタ (RUS0S1)
		03B0 ₁₆	
		03B1 ₁₆	
		03B2 ₁₆	
		03B3 ₁₆	
0373 ₁₆		03B4 ₁₆	
0374 ₁₆	予約レジスタ (RUS2S4)	03B5 ₁₆	
0375 ₁₆	予約レジスタ (RUS2S3)	03B6 ₁₆	
0376 ₁₆	予約レジスタ (RUS2S2)	03B7 ₁₆	
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	03B9 ₁₆	
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
037A ₁₆	UART2送信バッファレジスタ(U2TB)	03BB ₁₆	
037B ₁₆		03BC ₁₆	
037C ₁₆	UART2送受信制御レジスタ0(U2C0)	03BD ₁₆	
037D ₁₆	UART2送受信制御レジスタ1(U2C1)	03BE ₁₆	
037E ₁₆		03BF ₁₆	
037F ₁₆	UART2受信バッファレジスタ(U2RB)		

注 . フラッシュUSER制御レジスタ(FMRU)、フラッシュOSD制御レジスタ(FMRD)、フラッシュメモリ切替レジスタ(FMSEL)は、M306V7FGFPにのみ存在します。

図2.1.4 周辺装置制御レジスタの配置(3)

03C0 ₁₆	
03C1 ₁₆	
03C2 ₁₆	
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ0(AD0)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ1(AD1)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ2(AD2)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ3(AD3)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ4(AD4)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ5(AD5)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	プルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	プルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	プルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

図2.1.5 周辺装置制御レジスタの配置(4)

2.2 中央演算処理装置

中央演算処理装置には図2.2.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

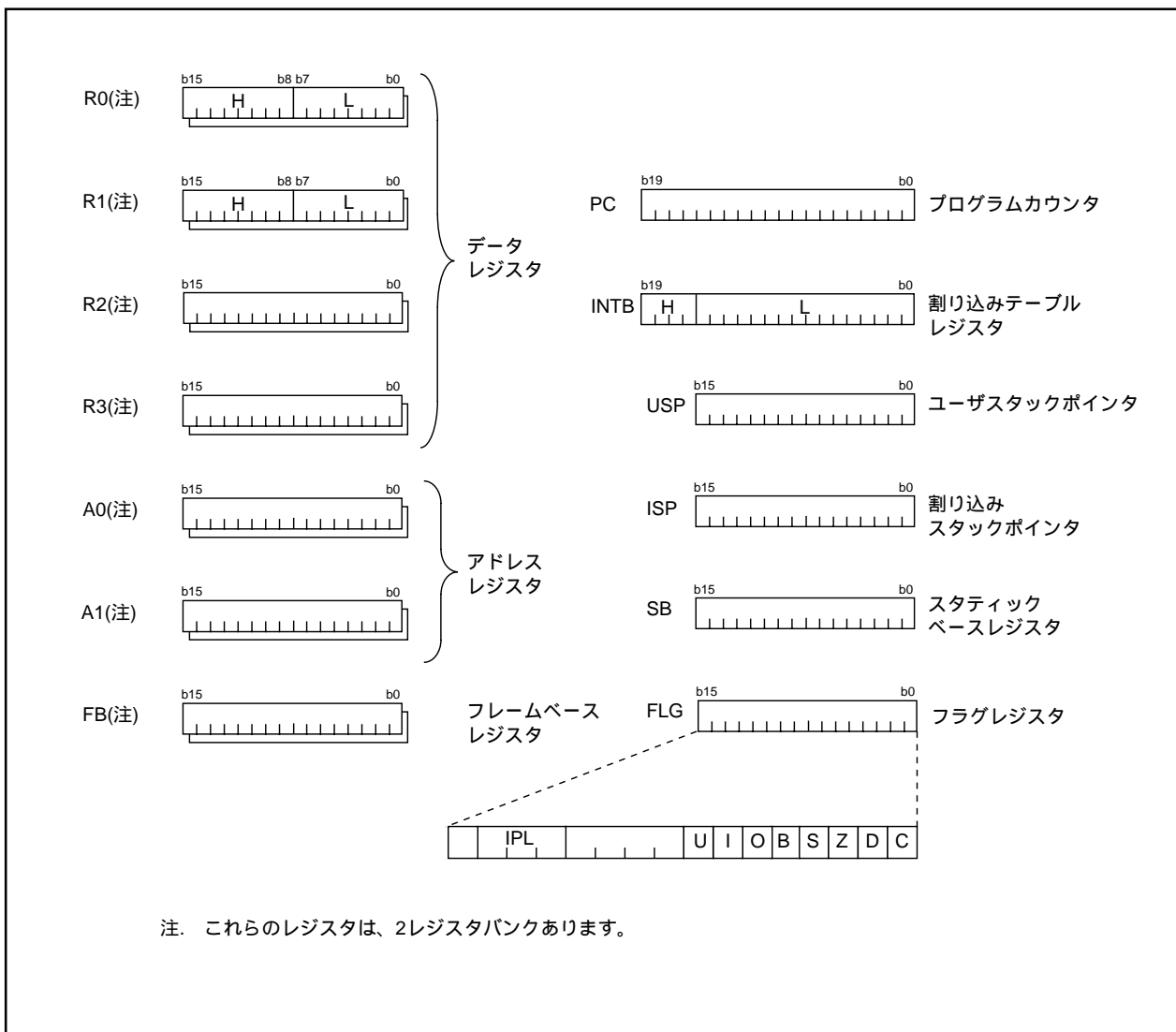


図2.2.1 中央演算処理装置のレジスタ構成

2.2.1 データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

2.2.2 アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

2.2.3 フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

2.2.4 プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

2.2.5 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

2.2.6 スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

2.2.7 スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

2.2.8 フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。フラグレジスタ(FLG)を図2.2.2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

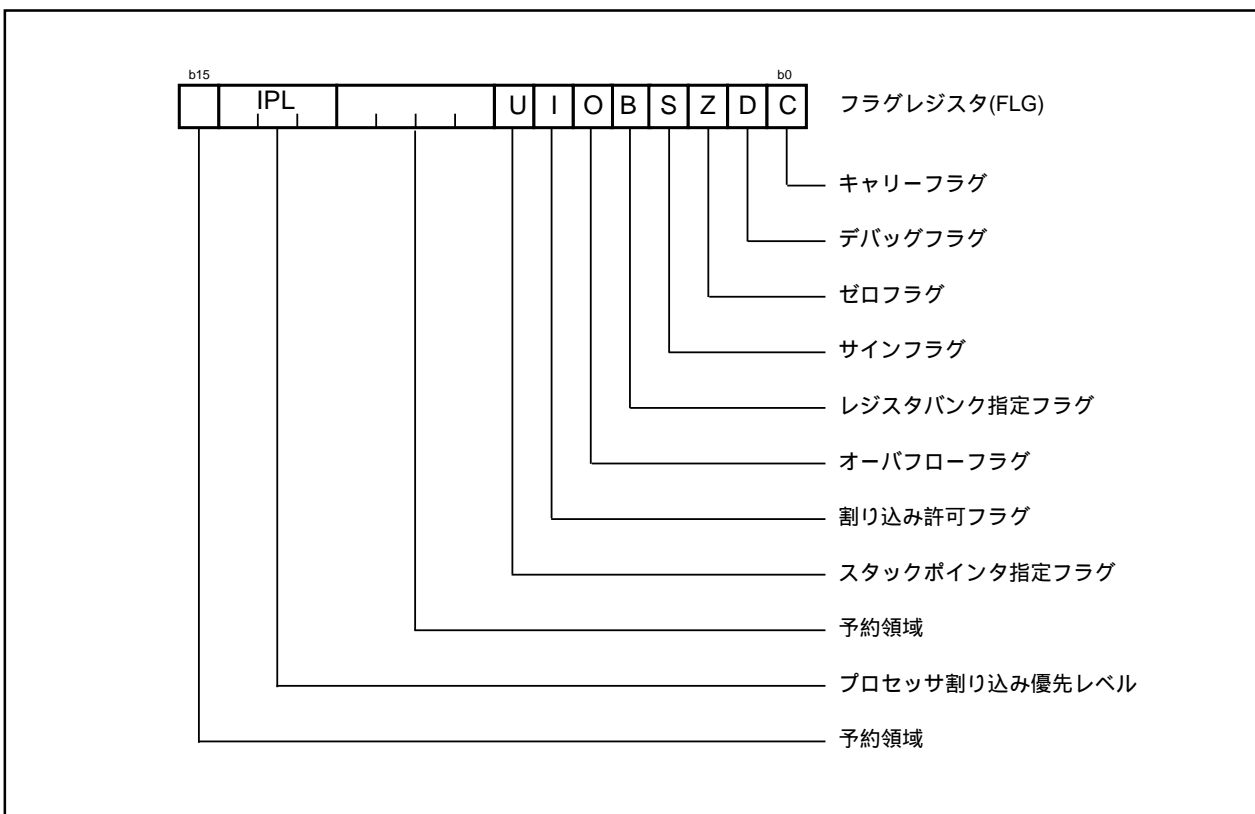


図2.2.2 フラグレジスタ(FLG)

2.3 リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです（ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照）。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル($0.2V_{CC1}$ 以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図2.3.1、リセットシーケンスを図2.3.2に示します。

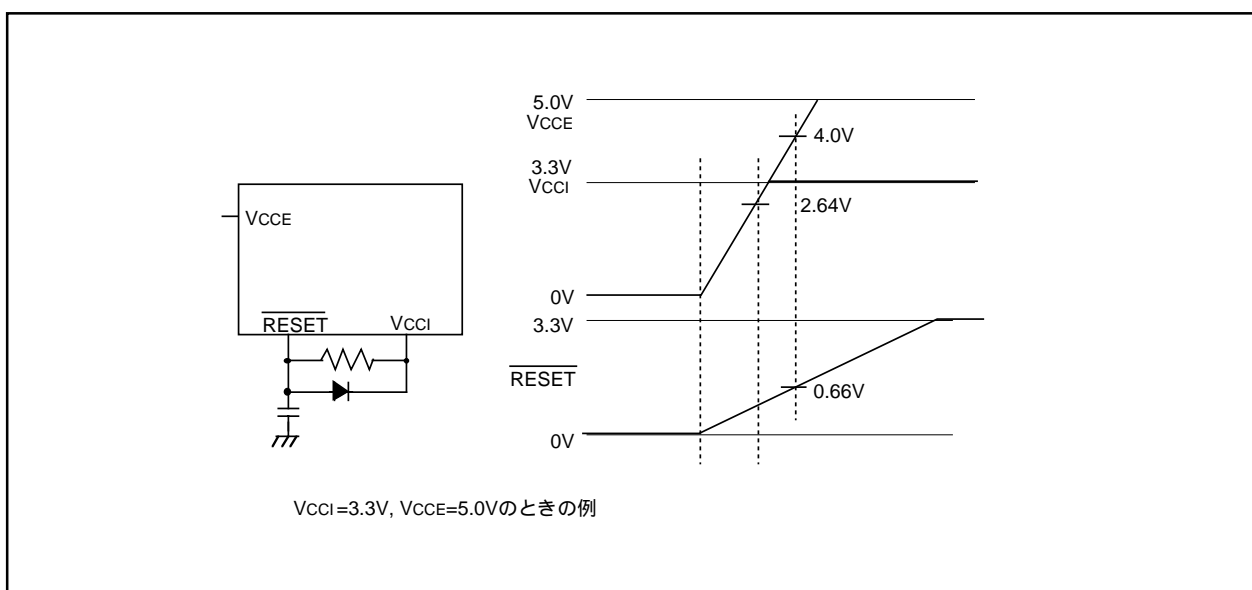


図2.3.1 リセット回路の一例

2.3.1 ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

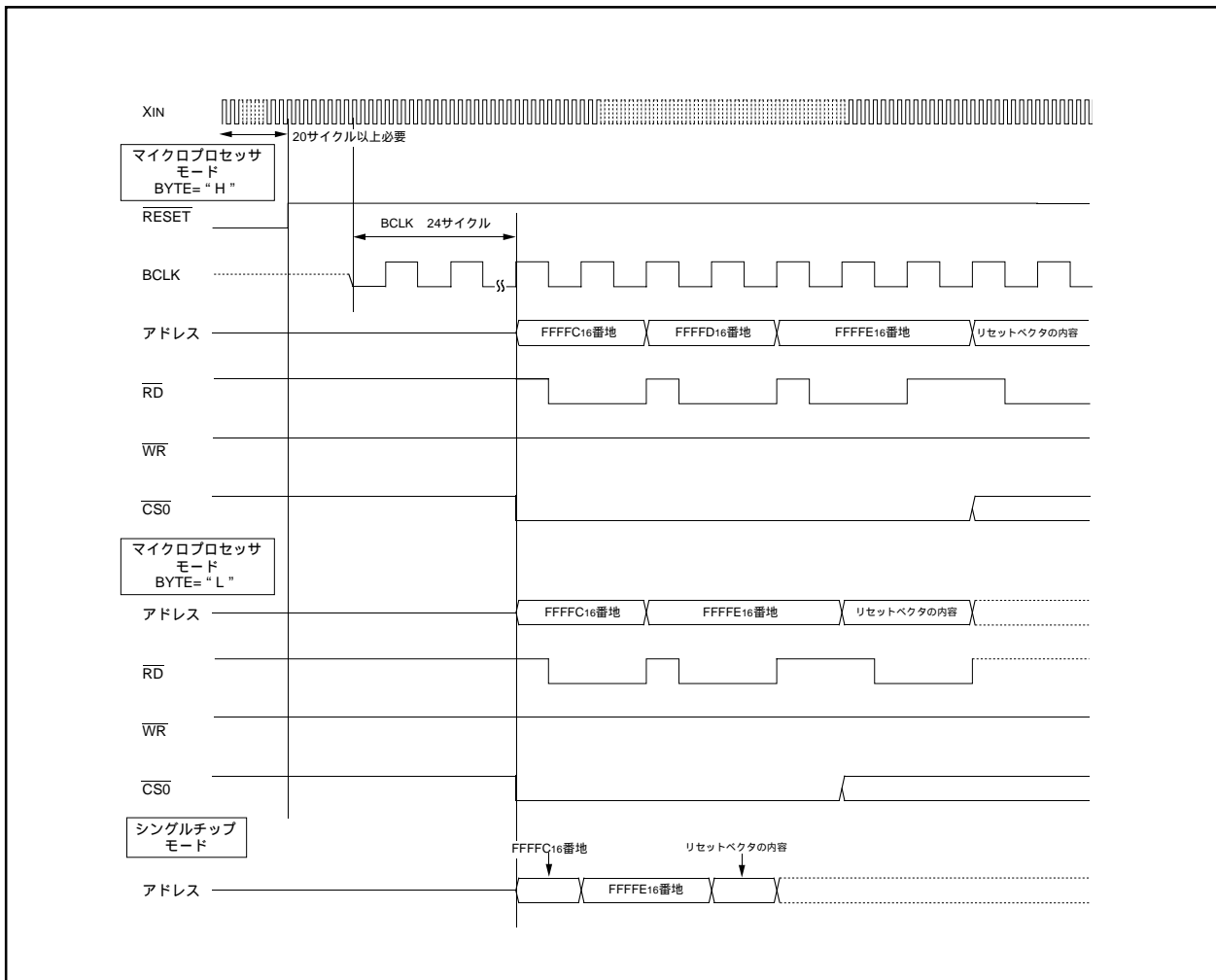


図2.3.2 リセットシーケンス

2.3.2 RESET端子のレベルが“L”の期間の端子の状態

RESET端子のレベルが“L”の期間の端子の状態を表2.3.1、リセット解除直後のマイクロコンピュータの内部状態を図2.3.3、図2.3.4に示します。

表2.3.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNV _{SS} = V _{SS}	CNV _{SS} = V _{CC}	
		BYTE = V _{SS}	BYTE = V _{CC}
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40 ~ P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{CS0}$ 出力(“H”レベルを出力)	$\overline{CS0}$ 出力(“H”レベルを出力)
P45 ~ P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	\overline{WR} 出力(“H”レベルを出力)	\overline{WR} 出力(“H”レベルを出力)
P51	入力ポート(フローティング)	\overline{BHE} 出力(不定)	\overline{BHE} 出力(不定)
P52	入力ポート(フローティング)	\overline{RD} 出力(“H”レベルを出力)	\overline{RD} 出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	\overline{HLDA} 出力(出力値は \overline{HOLD} 端子の <input type="checkbox"/> に依存)	\overline{HLDA} 出力(出力値は \overline{HOLD} 端子の <input type="checkbox"/> に依存)
P55	入力ポート(フローティング)	\overline{HOLD} 入力(フローティング)	\overline{HOLD} 入力(フローティング)
P56	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
P57	入力ポート(フローティング)	\overline{RDY} 入力(フローティング)	\overline{RDY} 入力(フローティング)
P60 ~ P63, P67, P7, P82, P83, P86, P87, P9, P102 ~ P107	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)
R, G, B, OUT1, OUT2	出力ポート		
CVIN1, VHOLD1, HLF1 CVIN2, VHOLD2, HLF2	入出力ポート		
OSC1/OSCHLF	入力ポート		
OSC2	出力ポート		
HSYNC, VSYNC	入力ポート		

プロセッサモードレジスタ0 (注)	(000416)...	0016	タイマB0割り込み制御レジスタ	(005A16)...	XXXXXXXX0000
プロセッサモードレジスタ1	(000516)...	0000000X00	タイマB1割り込み制御レジスタ	(005B16)...	XXXXXXXX?000
システムクロック制御レジスタ0	(000616)...	4816	タイマB2割り込み制御レジスタ	(005C16)...	XXXXXXXX?000
システムクロック制御レジスタ1	(000716)...	2016	INT0割り込み制御レジスタ	(005D16)...	XXXX00?000
チップセレクト制御レジスタ	(000816)...	0116	INT1割り込み制御レジスタ	(005E16)...	XXXX00?000
アドレス一致割り込み許可レジスタ	(000916)...	XXXXXXXX00	スプライトOSD制御レジスタ	(020116)...	XXXX000000
プロテクトレジスタ	(000A16)...	XXXXXXXX0000	OSDコントロールレジスタ1	(020216)...	0016
監視タイマ制御レジスタ	(000F16)...	0000????	OSDコントロールレジスタ2	(020316)...	0016
アドレス一致割り込みレジスタ0	(001016)...	0016	水平位置レジスタ	(020416)...	0016
	(001116)...	0016	クロックコントロールレジスタ	(020516)...	0016
	(001216)...	XXXXXXXX0000	入出力極性コントロールレジスタ	(020616)...	8016
アドレス一致割り込みレジスタ1	(001416)...	0016	OSDコントロールレジスタ3	(020716)...	0016
	(001516)...	0016	ラスターカラーレジスタ	(020816)...	0016
	(001616)...	XXXXXXXX0000		(020916)...	0016
DMA0制御レジスタ	(002C16)...	000000?000	OSD予約レジスタ5	(020A16)...	0016
DMA1制御レジスタ	(003C16)...	000000?000	OSD予約レジスタ6	(020B16)...	0016
OSD1割り込み制御レジスタ	(004416)...	XXXXXXXX?000	OSD予約レジスタ1	(025D16)...	0016
データスライサ1割り込み制御レジスタ	(004516)...	XXXXXXXX?000	OSDコントロールレジスタ4	(025F16)...	XXXXXXXX0000
OSD2割り込み制御レジスタ	(004816)...	XXXXXXXX?000	データスライサ0制御レジスタ1	(026016)...	0016
マルチマスタI ² C-BUSインタフェース1割り込み制御レジスタ	(004916)...	XXXX00?000	データスライサ0制御レジスタ2	(026116)...	?0?0?0?0?
バス衝突検出割り込み制御レジスタ	(004A16)...	XXXXXXXX?000	キャプション位置レジスタ0	(026616)...	00?0?0?0?0
DMA0割り込み制御レジスタ	(004B16)...	XXXXXXXX?000	スライス基準電圧選択レジスタ	(026716)...	0016
DMA1割り込み制御レジスタ	(004C16)...	XXXXXXXX?000	データスライサ0予約レジスタ1	(026816)...	0016
マルチマスタI ² C-BUSインタフェース0割り込み制御レジスタ	(004D16)...	XXXXXXXX?000	クロックランイン検出レジスタ0	(026916)...	000000?0??
A-D変換割り込み制御レジスタ	(004E16)...	XXXXXXXX?000	データクロック位置レジスタ0	(026A16)...	XX?0000011
UART2送信割り込み制御レジスタ	(004F16)...	XXXXXXXX?000	ID1制御レジスタ0	(026B16)...	0016
UART2受信割り込み制御レジスタ	(005016)...	XXXXXXXX?000	基準クロック検出レジスタ0	(026C16)...	???0??0???
UART0送信割り込み制御レジスタ	(005116)...	XXXXXXXX?000	CRCCデータレジスタ0	(026D16)...	00??0??0??
UART0受信割り込み制御レジスタ	(005216)...	XXXXXXXX?000	テスト予約レジスタ0	(026E16)...	0016
データスライサ0割り込み制御レジスタ	(005316)...	XXXXXXXX?000	予約レジスタ	(026F16)...	XXXXXXXXX0
VSYNC割り込み制御レジスタ	(005416)...	XXXXXXXX?000	レフトボーダーコントロールレジスタ	(027016)...	0116
タイマA0割り込み制御レジスタ	(005516)...	XXXXXXXX?000		(027116)...	XXXXXXXX0000
タイマA1割り込み制御レジスタ	(005616)...	XXXXXXXX?000	ライトボーダーコントロールレジスタ	(027216)...	0016
タイマA2割り込み制御レジスタ	(005716)...	XXXXXXXX?000		(027316)...	XXXXXXXX0000
タイマA3割り込み制御レジスタ	(005816)...	XXXXXXXX?000	OSD予約レジスタ4	(027A16)...	XXXX00000000
タイマA4割り込み制御レジスタ	(005916)...	XXXXXXXX?000	OSD予約レジスタ3	(027B16)...	0016
			OSD予約レジスタ2	(027C16)...	0016
			ペリフェラルモードレジスタ	(027D16)...	0016
			HSYNCカウンタレジスタ	(027E16)...	XXXXXXXX0000

× : このビットは何も配置されていません。
? : 不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注 . CNVss端子にVccレベルを印加しているときは、リセット時0316になります。

図2.3.3 リセット解除後のマイクロコンピュータの内部状態(1)

内部発振コントロールレジスタ1	(02801e)...	0016	タイマA0モードレジスタ	(03961e)...	0016
内部発振コントロールレジスタ2	(02811e)...	0016	タイマA1モードレジスタ	(03971e)...	0016
内部発振コントロールレジスタ3	(02821e)...	0016	タイマA2モードレジスタ	(03981e)...	0016
ROT予約レジスタ1	(029E1e)...	?? ?? ?? ?? ?? 0	タイマA3モードレジスタ	(03991e)...	0016
ROT予約レジスタ2	(029F1e)...	XXXX 0 XXXX 0	タイマA4モードレジスタ	(039A1e)...	0016
I ² C0アドレスレジスタ	(02E11e)...	0016	タイマB0モードレジスタ	(039B1e)...	0 0 ? X 0 0 0 0
I ² C0ステータスレジスタ	(02E21e)...	0 0 0 1 0 0 0 ?	タイマB1モードレジスタ	(039C1e)...	0 0 ? X 0 0 0 0
I ² C0コントロールレジスタ	(02E31e)...	0016	タイマB2モードレジスタ	(039D1e)...	0 0 ? X 0 0 0 0
I ² C0クロックコントロールレジスタ	(02E41e)...	0016	UART0送受信モードレジスタ	(03A01e)...	0016
I ² C0ポートセレクションレジスタ	(02E51e)...	0 0 ? 0 0 0 0 0	UART0送受信制御レジスタ0	(03A41e)...	0816
I ² C1アドレスレジスタ	(02E91e)...	0016	UART0送受信制御レジスタ1	(03A51e)...	0216
I ² C1ステータスレジスタ	(02EA1e)...	0 0 0 1 0 0 0 ?	予約レジスタ	(03AC1e)...	0016
I ² C1コントロールレジスタ	(02EB1e)...	0016	予約レジスタ	(03AD1e)...	0016
I ² C1クロックコントロールレジスタ	(02EC1e)...	0016	予約レジスタ	(03AE1e)...	0016
I ² C1ポートセレクションレジスタ	(02ED1e)...	0 0 ? 0 0 0 0 0	予約レジスタ	(03AF1e)...	0016
データスライサ1制御レジスタ1	(03001e)...	0016	DMA0要因選択レジスタ	(03B81e)...	0016
データスライサ1制御レジスタ2	(03011e)...	? 0 ? 0 ? ? ? 0 ?	DMA1要因選択レジスタ	(03BA1e)...	0016
キャプション位置レジスタ1	(03061e)...	0 0 ? 0 0 0 0 0	A-D制御レジスタ2	(03D41e)...	0 0 0 0 0 ? ? ? 0
スライス基準電圧選択レジスタ1	(03071e)...	0016	A-D制御レジスタ0	(03D61e)...	0 0 0 0 0 ? ? ? ?
データスライサ1予約レジスタ1	(03081e)...	0016	A-D制御レジスタ1	(03D71e)...	0016
クロックランイン検出レジスタ1	(03091e)...	0 0 0 0 0 ? ? ?	D-A制御レジスタ	(03DC1e)...	0016
データクロック位置レジスタ1	(030A1e)...	X ? ? 0 0 0 0 1	ポートP0方向レジスタ	(03E21e)...	0016
ID1制御レジスタ1	(030B1e)...	0016	ポートP1方向レジスタ	(03E31e)...	0016
基準クロック検出レジスタ1	(030C1e)...	? ? ? ? ? ? ? ?	ポートP2方向レジスタ	(03E61e)...	0016
CRCCデータレジスタ1	(030D1e)...	0 0 ? ? ? ? ? ?	ポートP3方向レジスタ	(03E71e)...	0016
テスト予約レジスタ1	(030E1e)...	0016	ポートP4方向レジスタ	(03EA1e)...	0016
予約レジスタ	(030F1e)...	XXXXXX XX 0	ポートP5方向レジスタ	(03EB1e)...	0016
FM制御3予約レジスタ	(03111e)...	XXXXXX 0 X 0	ポートP6方向レジスタ	(03EE1e)...	0016
FM制御2予約レジスタ	(03121e)...	XX ? ? ? X ? 0	ポートP7方向レジスタ	(03EF1e)...	0016
フラッシュUSER制御レジスタ	(03131e)...	X ? 0 0 0 0 0 1	ポートP8方向レジスタ	(03F21e)...	0 0 X 0 0 0 0 0
FO制御3予約レジスタ	(03151e)...	XXXXXX 0 X 0	ポートP9方向レジスタ	(03F31e)...	0016
FO制御2予約レジスタ	(03161e)...	XX ? ? ? X ? 0	ポートP10方向レジスタ	(03F61e)...	0016
フラッシュOSD制御レジスタ	(03171e)...	X ? 0 0 0 0 0 1	ブルアップ制御レジスタ0	(03FC1e)...	0016
フラッシュメモリ切替レジスタ	(03181e)...	X 0 0 0 0 0 0 0	ブルアップ制御レジスタ1 (注)	(03FD1e)...	0016
ID1予約レジスタ0	(031C1e)...	0016	ブルアップ制御レジスタ2	(03FE1e)...	0016
ID1予約レジスタ1	(031D1e)...	0016	ポート制御レジスタ	(03FF1e)...	0016
割り込み要因選択レジスタ	(035F1e)...	0016	データレジスタ (R0/R1/R2/R3)		000016
予約レジスタ	(03741e)...	0016	アドレスレジスタ (A0/A1)		000016
予約レジスタ	(03751e)...	0016	フレームベースレジスタ (FB)		000016
予約レジスタ	(03761e)...	0016	割り込みテーブルレジスタ (INTB)		0000016
UART2特殊モードレジスタ	(03771e)...	0016	ユーザスタックポインタ (USP)		000016
UART2送受信モードレジスタ	(03781e)...	0016	割り込みスタックポインタ (ISP)		000016
UART2送受信制御レジスタ0	(037C1e)...	0816	スタティックベースレジスタ (SB)		000016
UART2送受信制御レジスタ1	(037D1e)...	0216	フラグレジスタ (FLG)		000016
カウント開始フラグ	(03801e)...	0016			
時計用プリスケアラリセットフラグ	(03811e)...	0 XXXXXXXX			
ワンショット開始フラグ	(03821e)...	0 0 X 0 0 0 0 0			
トリガ選択レジスタ	(03831e)...	0016			
アップダウンフラグ	(03841e)...	0016			

x : このビットは何も配置されていません。
? : 不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注1 . CNVss端子にVccレベルを印加しているときは、リセット時0216になります。

2 . フラッシュUSER制御レジスタ(FMRU)、フラッシュOSD制御レジスタ(FMRD)、フラッシュメモリ切替レジスタ(FMSEL)は、フラッシュ版にのみ存在します。

図2.3.4 リセット解除後のマイクロコンピュータの内部状態(2)

2.4 プロセッサモード

2.4.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、及びマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、及びアクセス空間が異なります。

(1) シングルチップモード

シングルチップモードは、内部領域(SFR、OSD RAM、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

(2) メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、OSD RAM、内部RAM、内部ROM)及び外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、及び制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「2.4.3 バス設定」を参照してください)。

(3) マイクロプロセッサモード

マイクロプロセッサモードは、SFR、OSD RAM、及び内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「2.4.3 バス設定」を参照してください)。

2.4.2 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。また、内部ROM領域でのマイクロプロセッサモードへの移行、及びマイクロプロセッサモードからの移行は行わないでください。

(1) CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

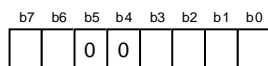
(2) CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図2.4.1にプロセッサモードレジスタ0、図2.4.2にプロセッサモードレジスタ1の構成を示します。

図2.4.3に各プロセッサモードのメモリ配置図を示します。

プロセッサモードレジスタ 0 (注1)



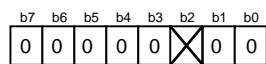
シンボル アドレス リセット時
 PM0 0004₁₆番地 00₁₆(注2)

ビットシンボル	ビット名	機 能	R/W
PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード 10: 使用禁止 11: マイクロプロセッサモード	
PM01			
PM02	R/Wモード選択ビット	0: RD, BHE, WR 1: RD, WRH, WRL	
PM03	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。	
PM04	予約ビット	必ず“0”を設定してください。	
PM05			
PM06	ポートP4 ₀ ~P4 ₃ 機能 選択ビット(注3)	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はフローティングになります)	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。
 2. CNV_{SS}端子にV_{CC}レベルを印加しているときは、リセット時03₁₆になります。(PM00およびPM01が“1”になります)。
 3. マイクロプロセッサモード、メモリ拡張モード時有効。

図2.4.1 プロセッサモードレジスタ0

プロセッサモードレジスタ1(注)



シンボル アドレス リセット時
 PM1 0005₁₆番地 0000X00₂

ビットシンボル	ビット名	機 能	R/W
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“0”を設定してください	
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		- -
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“0”を設定してください	

- 注. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

図2.4.2 プロセッサモードレジスタ1

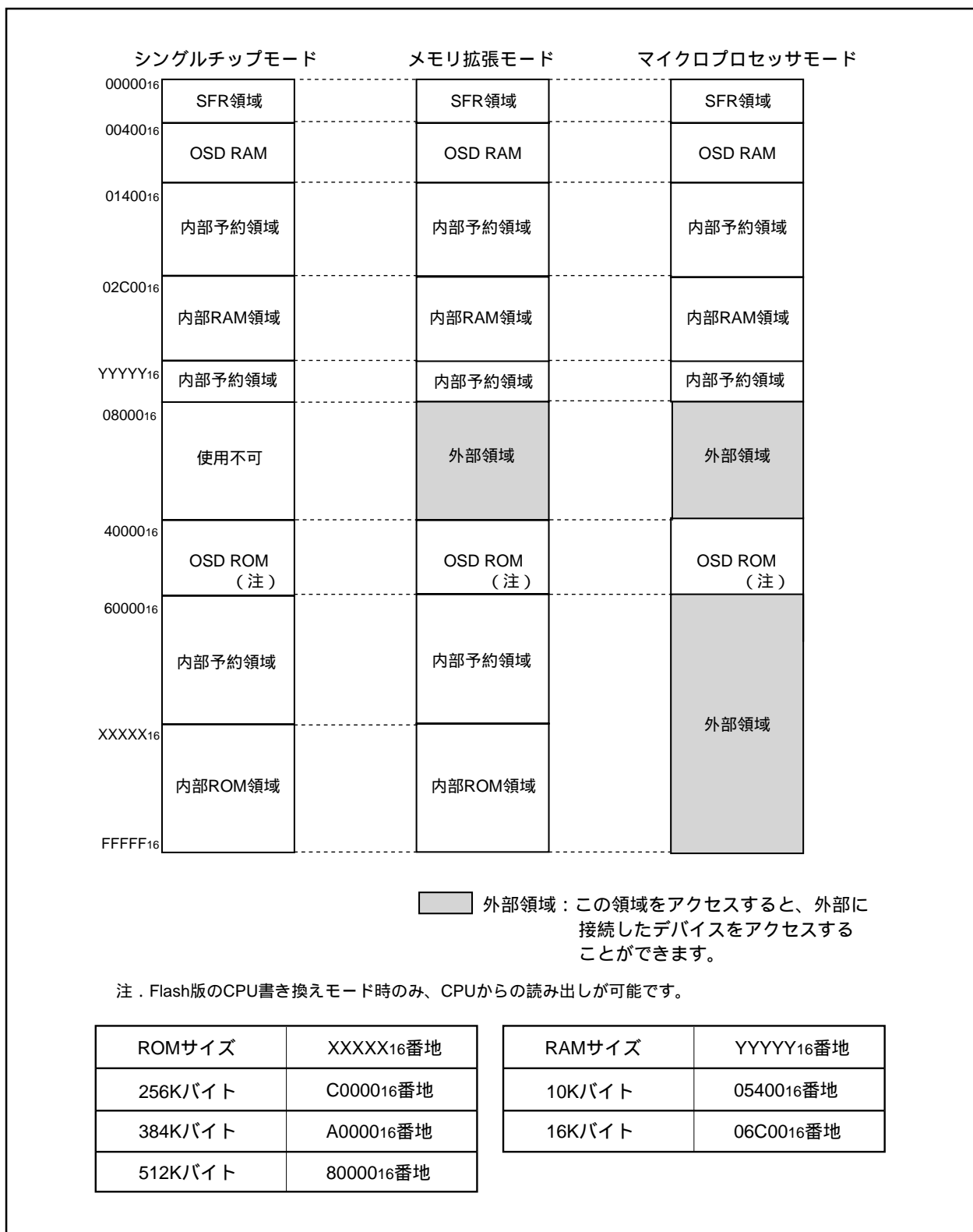


図2.4.3 各プロセッサモード時のメモリ配置

2.4.3 バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6で切り替えることができます。

表2.4.1に各バスの設定と切り替え要因を示します。

表2.4.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) バス形式

バスの形式は、セパレートバスです。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

表2.4.2 各プロセッサモードと端子の機能表

プロセッサモード データバス幅 BYTE端子レベル	シングルチップ モード	メモリ拡張モード/マイクロプロセッサモード	
		8ビット “H”	16ビット “L”
P00 ~ P07	入出力ポート	データバス	データバス
P10 ~ P17	入出力ポート	入出力ポート	データバス
P20	入出力ポート	アドレスバス	アドレスバス
P21 ~ P27	入出力ポート	アドレスバス	アドレスバス
P30	入出力ポート	アドレスバス	アドレスバス
P31 ~ P37	入出力ポート	アドレスバス	アドレスバス
P40 ~ P43 ポートP40 ~ P43機能 選択ビット= “1”	入出力ポート	入出力ポート	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット= “0”	入出力ポート	アドレスバス	アドレスバス
P44 ~ P47	入出力ポート	CS(チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「2.4.4 バス制御」を参照)	
P50 ~ P53	入出力ポート	RD、WRL、WRH、BCLK出力またはRD、BHE、WR、BCLK出力 (詳細は「2.4.4 バス制御」を参照)	
P54	入出力ポート	HLDA	HLDA
P55	入出力ポート	HOLD	HOLD
P56	入出力ポート	ALE	ALE
P57	入出力ポート	RDY	RDY

2.4.4 バス制御

外部デバイスのアクセスに必要な信号について説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。

(1) アドレスバス/データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0 ~ A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0 ~ D7の8本がデータバスに、BYTE端子が“L”のときはD0 ~ D15の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP44 ~ P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0 ~ ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44 ~ P47はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のときCS0だけチップセレクト信号を出力し、CS1 ~ CS3は入力ポートになっています。チップセレクト制御レジスタを図2.4.4に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表2.4.3に示します。

表2.4.3 チップセレクト信号によって指定する外部領域

チップセレクト	指定するアドレス範囲	
	メモリ拡張モード	マイクロプロセッサモード
CS0	18000 ₁₆ ~ 3FFFF ₁₆ (160K)	18000 ₁₆ ~ 3FFFF ₁₆ (160K), 60000 ₁₆ ~ FFFFF ₁₆ (640K)
CS1	10000 ₁₆ ~ 17FFF ₁₆ (32K)	10000 ₁₆ ~ 17FFF ₁₆ (32K)
CS2	0C000 ₁₆ ~ 0FFFF ₁₆ (16K)	0C000 ₁₆ ~ 0FFFF ₁₆ (16K)
CS3	08000 ₁₆ ~ 0BFFF ₁₆ (16K)	08000 ₁₆ ~ 0BFFF ₁₆ (16K)

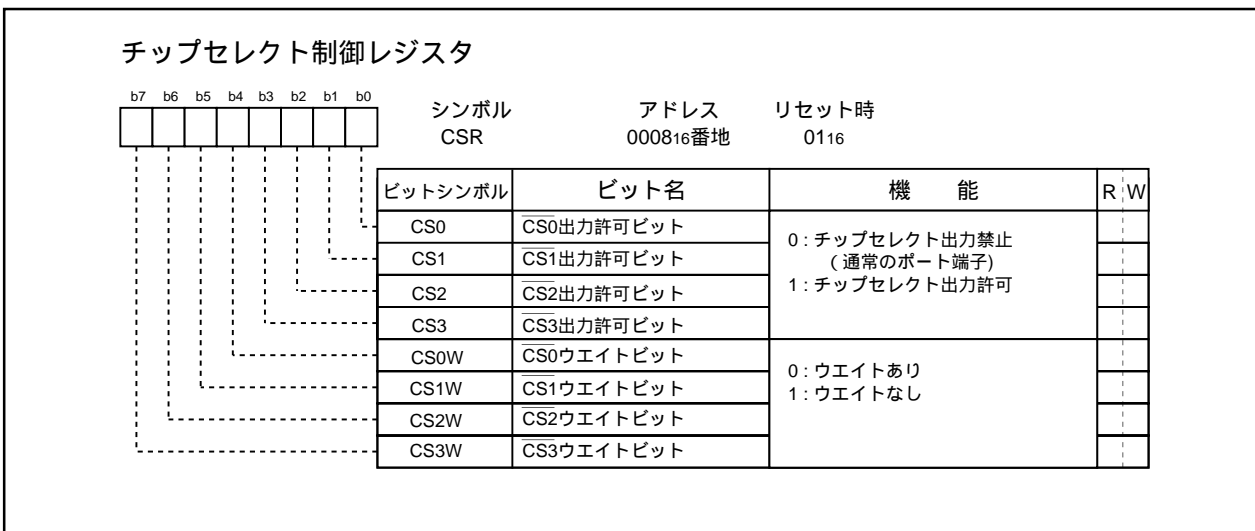


図2.4.4 チップセレクト制御レジスタ

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2を“0”にしてください)。各信号の動作を表2.4.4、表2.4.5に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表2.4.4 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表2.4.5 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

出力値は不定です。

注1．読み込むときはフローティングになります。

(5) RDY信号

RDYは、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図2.4.6に示すようにBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスはウエイト状態になります。BCLKの立ち下がりでRDY端子に“H”が入力されているとき、バスはウエイト状態を解除します。表2.4.6にバスのウエイト状態におけるマイクロコンピュータの状態、図2.4.5にRD信号が信号によってのびた例を示します。

RDY信号は、チップセレクト制御レジスタ（0008₁₆番地）のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ（0008₁₆番地）のビット4～ビット7に全て“1”を設定している場合は、RDY信号は無効ですが、RDY端子の未使用端子の処理が必要です。

表2.4.6 バスのウエイト状態におけるマイクロコンピュータの状態(注)

項目	状態
発振	動作
R/W信号、アドレスバス、データバス、CS ALE信号、HLDA プログラマブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注. ソフトウェアウエイトによるウエイトの直前にはRDY信号は受け付けられません。

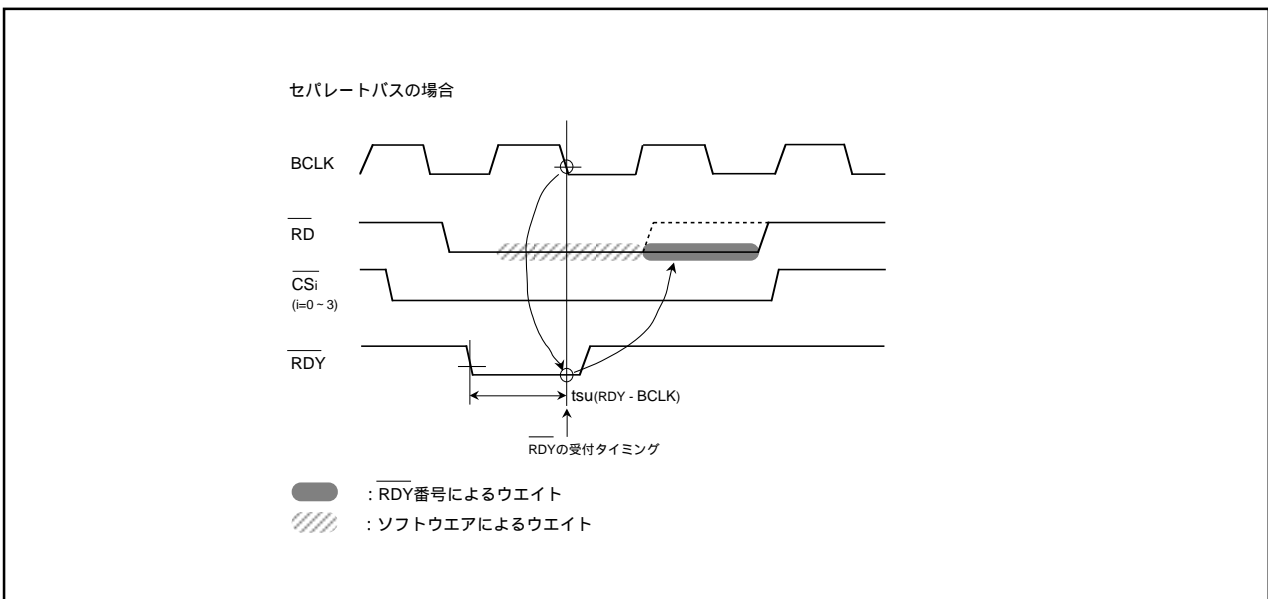


図2.4.5 RD信号がRDY信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、HOLD端子が“L”の期間その状態を保持します。また、その間HLDA端子から“L”を出力します。表2.4.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順にHOLD、DMAC、CPUとなっています。

HOLD > DMAC > CPU

図2.4.6 バス使用優先順位

表2.4.7 ホールド状態におけるマイクロコンピュータの状態

項 目		状 態
発振		動作
R/W信号、アドレスバス、データバス、CS、BHE		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
HLDA		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表2.4.8に示します。

表2.4.8 内部領域をアクセスしたときの外部バス状態

項 目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
RD, WR, WRL, WRH		RD, WR, WRL, WRHを出力	不定
BHE		BHEを出力	直前にアクセスされた外部領域のアドレスを保持
CS		“H”を出力	“H”を出力
ALE		不定	不定

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7によって、ソフトウェアウエイトを挿入することができます。

チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクトCS0～CS3に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域及びOSDRAM領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表2.4.9にソフトウェアウエイトとバスサイクル、図2.4.7にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表2.4.9 ソフトウェアウエイトとバスサイクル

領域	チップセレクト制御レジスタ ビット4～ビット7	バスサイクル
SFR/ OSD RAM	無効	BCLKの2サイクル
内部ROM/RAM	無効	BCLKの1サイクル
外部 メモリ領域	1	BCLKの1サイクル
	0	BCLKの2サイクル

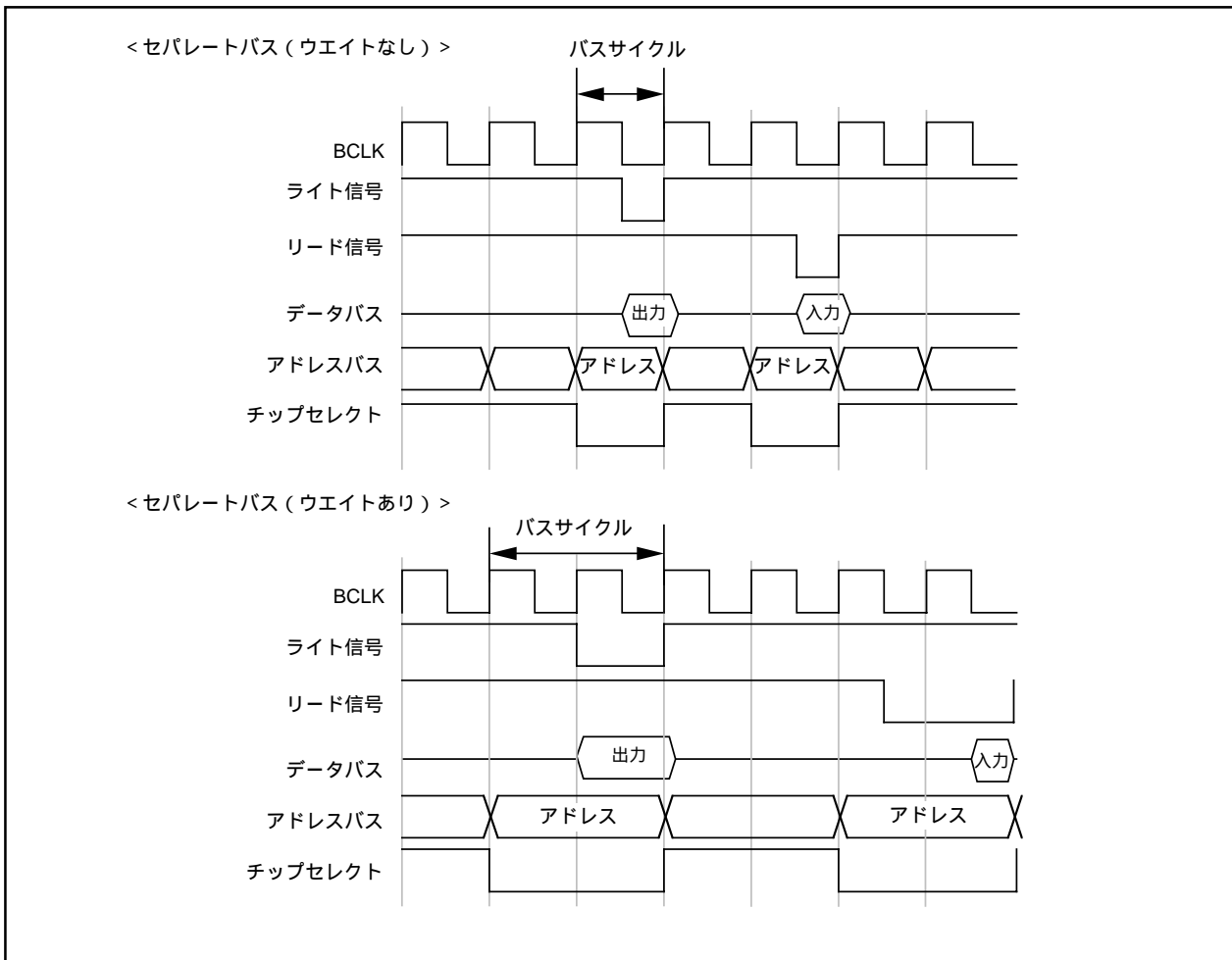


図2.4.7 ソフトウェアウエイトを使用した場合のバスタイミング例

2.5 クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路と、OSD動作クロック源を供給する発振回路を1回路内蔵しています。

表2.5.1 クロック発振回路

	メインクロック発振回路	サブクロック発振回路	OSDクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、タイマBの カウントクロック源	OSDの動作クロック源
接続できる発振子	セラミック共振子(又は水晶発振子)	水晶発振子	セラミック共振子(又は水晶発振子) LC発振子 (注)
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	OSC1, OSC2
発振の停止/再開機能	あり	あり	/
リセット直後の発振子の状態	発振	停止	
その他	外部で生成されたクロックを入力することが可能		

注. OSDクロックとして外付け発振子と内部発振回路を選択することができます。詳細は、クロックコントロールレジスタ(0205番地)を参照ください。

2.5.1 発振回路例

図2.5.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.1中および図2.5.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

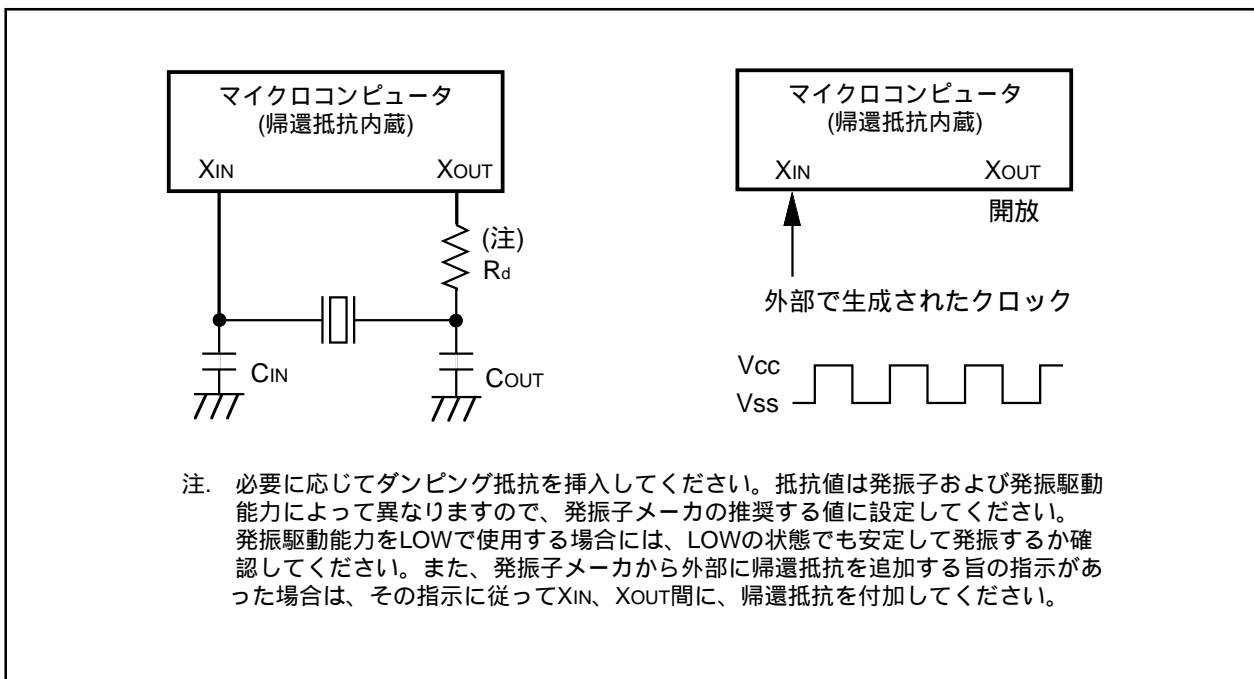


図2.5.1 メインクロックの接続例

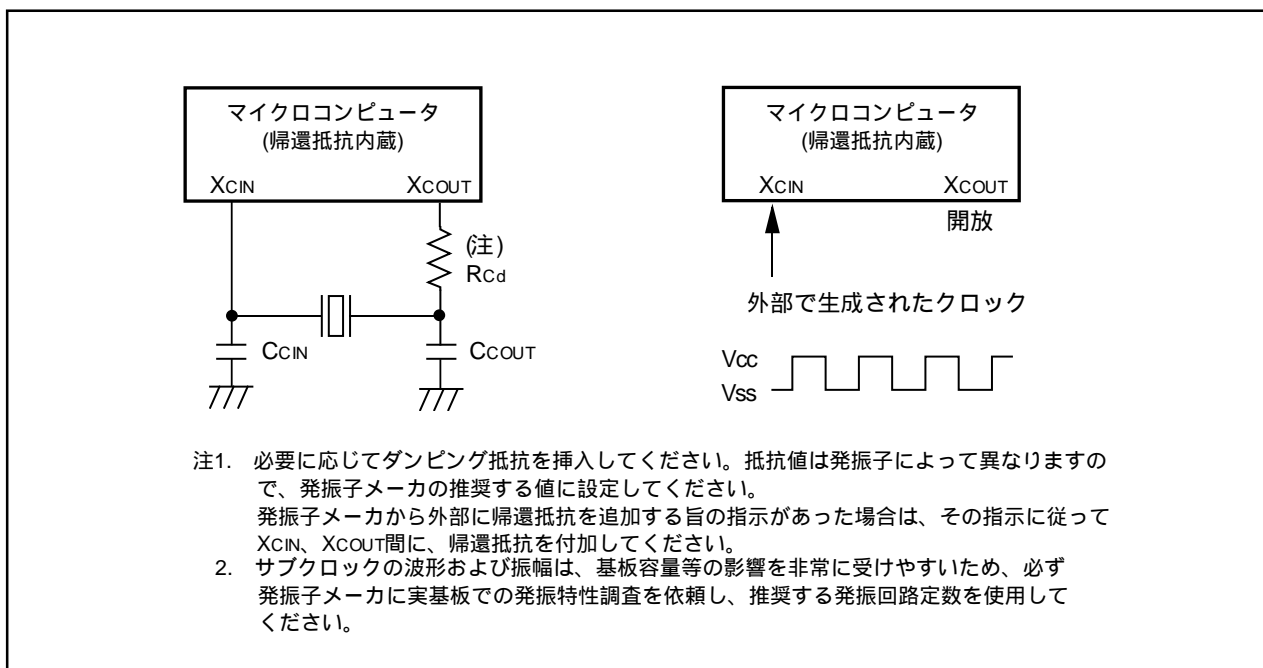


図2.5.2 サブクロックの接続例

2.5.2 OSD発振回路

OSDクロック発振回路は、OSC1とOSC2端子間にLC発振子又はセラミック共振子（又は水晶発振子）を接続する外付け発振回路とOSC1端子にフィルタを接続する内部発振回路とを選択することができます。この選択はクロックコントロールレジスタ（0205₁₆番地）のビット0, ビット1及びビット2で設定してください。

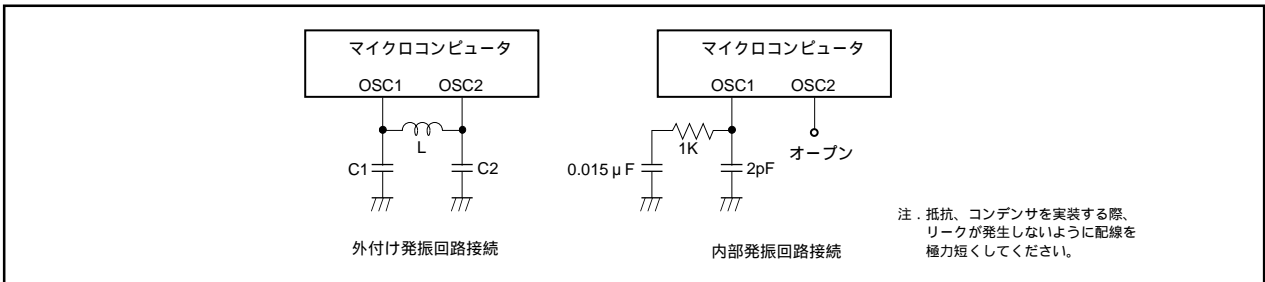


図2.5.3 OSDクロックの接続例

2.5.3 クロックの制御

図2.5.4にクロック発生回路のブロック図を示します。

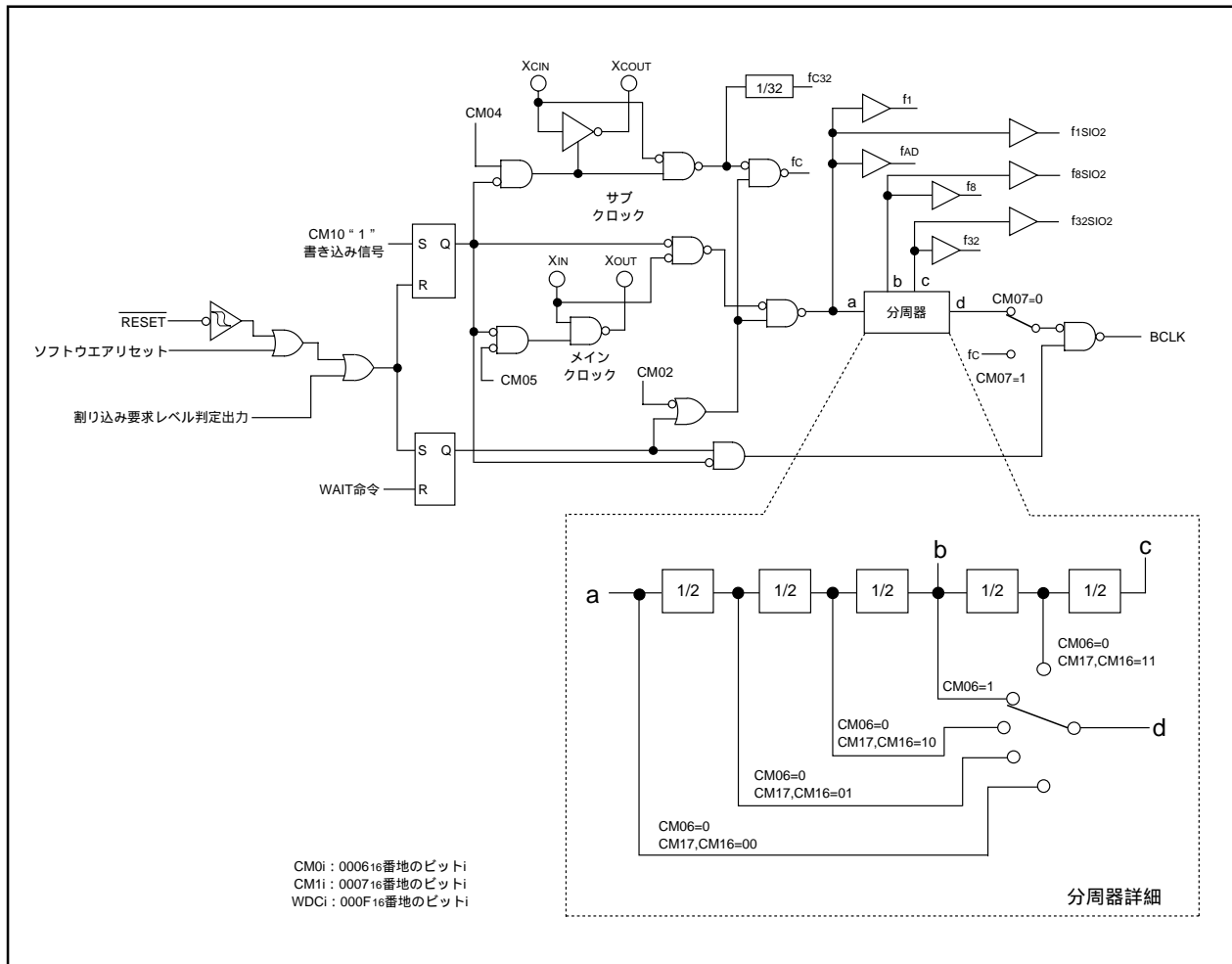


図2.5.4 クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック (f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図2.5.5と図2.5.6にシステムクロック制御レジスタ0、システムクロック制御レジスタ1を示します。

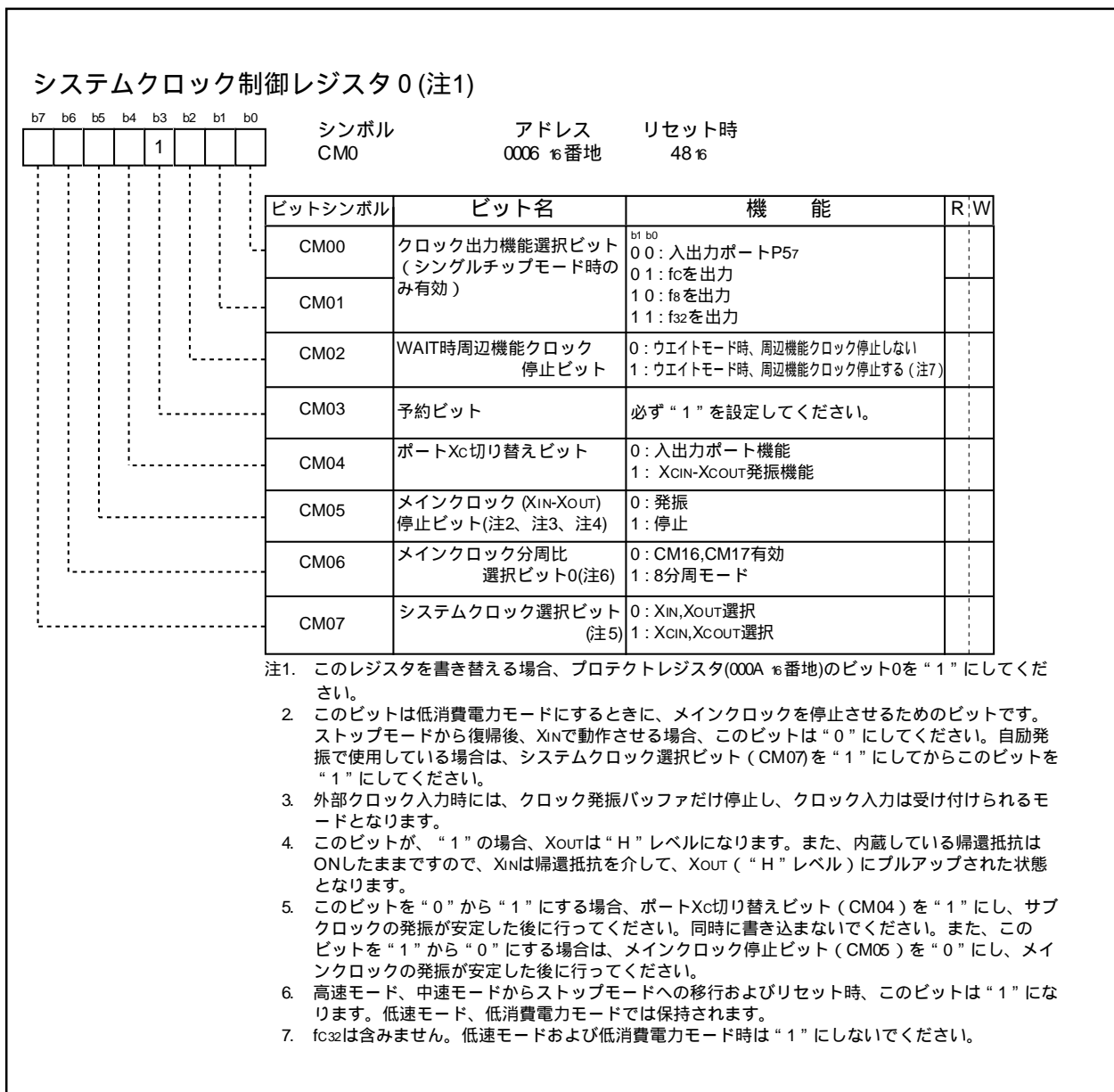


図2.5.5 システムクロック制御レジスタ0

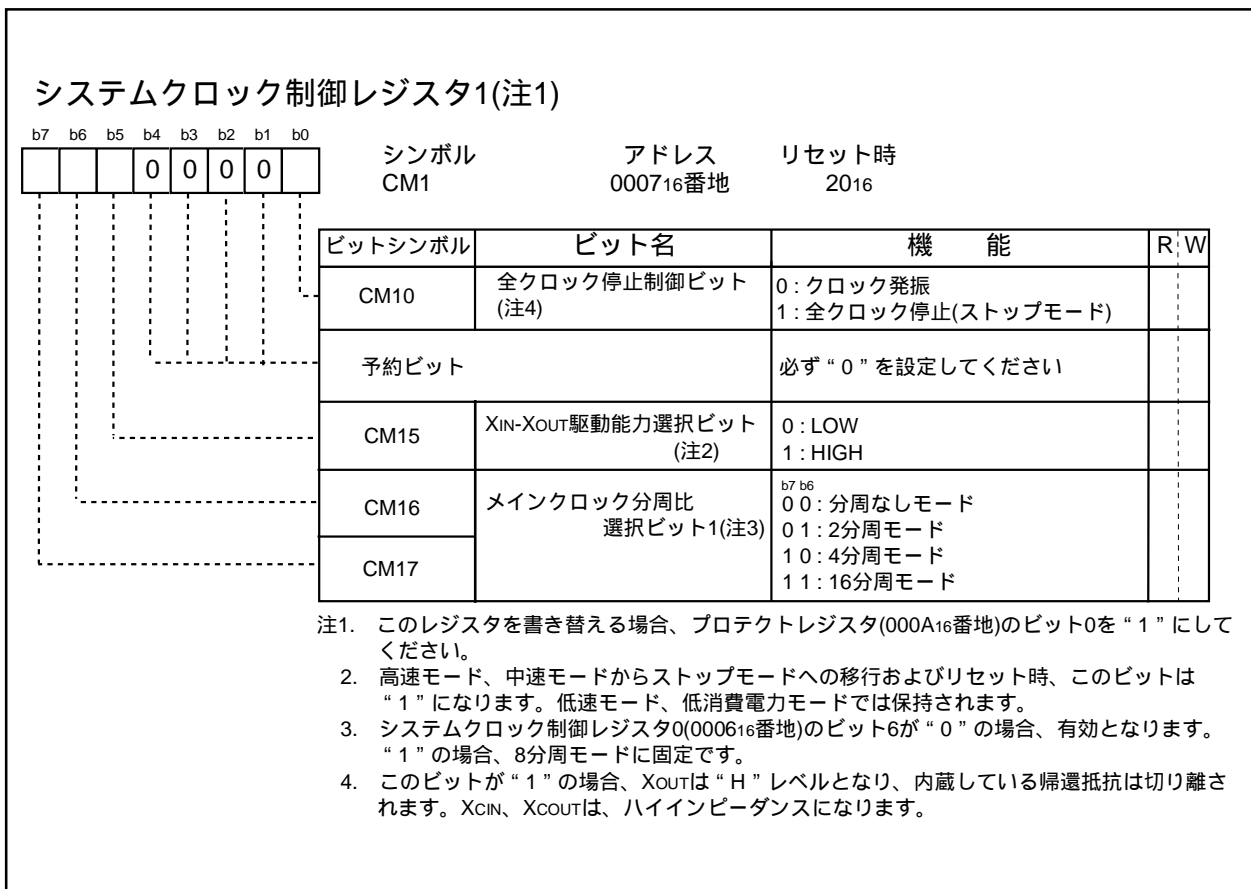


図2.5.6 システムクロック制御レジスタ1

2.5.4 クロック出力

シングルチップモード時、クロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってP57/CLKOUT端子からf₈、f₃₂またはf_cを出力することができます。WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

2.5.5 ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が3.0V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f₁SI02～f₃₂SI02、f_c、f_{c32}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマBは外部パルスのカウントするイベントカウンタモードだけ、UART_i(i=0, 2)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表2.5.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表2.5.2 ストップモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0} \sim \overline{CS3}$		ストップモードに入る直前の状態を保持	
RD, WR, BHE, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		不定	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	“H”
	f ₈ 、f ₃₂ 選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

2.5.6 ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モード、および低消費電力モード時にはこのビットに“1”を設定してウェイトモードに移行しないでください。ウェイトモード時のポートの状態を表2.5.3に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表2.5.3 ウェイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3		ウェイトモードに入る直前の状態を保持	/
RD, WR, BHE, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		不定	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fc選択時	シングルチップモード時だけ有効	ウェイトモードに入る直前の状態を保持 停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウェイトモードに入る直前の状態を保持

2.5.7 BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表2.5.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット直後、8分周モードになります。ストップモードへの移行時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。このモードから他のモードへ移行する場合、メインクロックの発振が安定している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックがBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注. BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切替先のクロックは十分に安定に発振している必要があります。発振が安定するまでソフトウェアによって待ち時間を取ってから移行するようにしてください。

表2.5.4 システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

2.5.8 パワーコントロール

パワーコントロールとは、CPUや発振器を停止したり、動作クロックを下げることによってCPUの消費電力を小さくすることです。パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図2.5.7に示します。

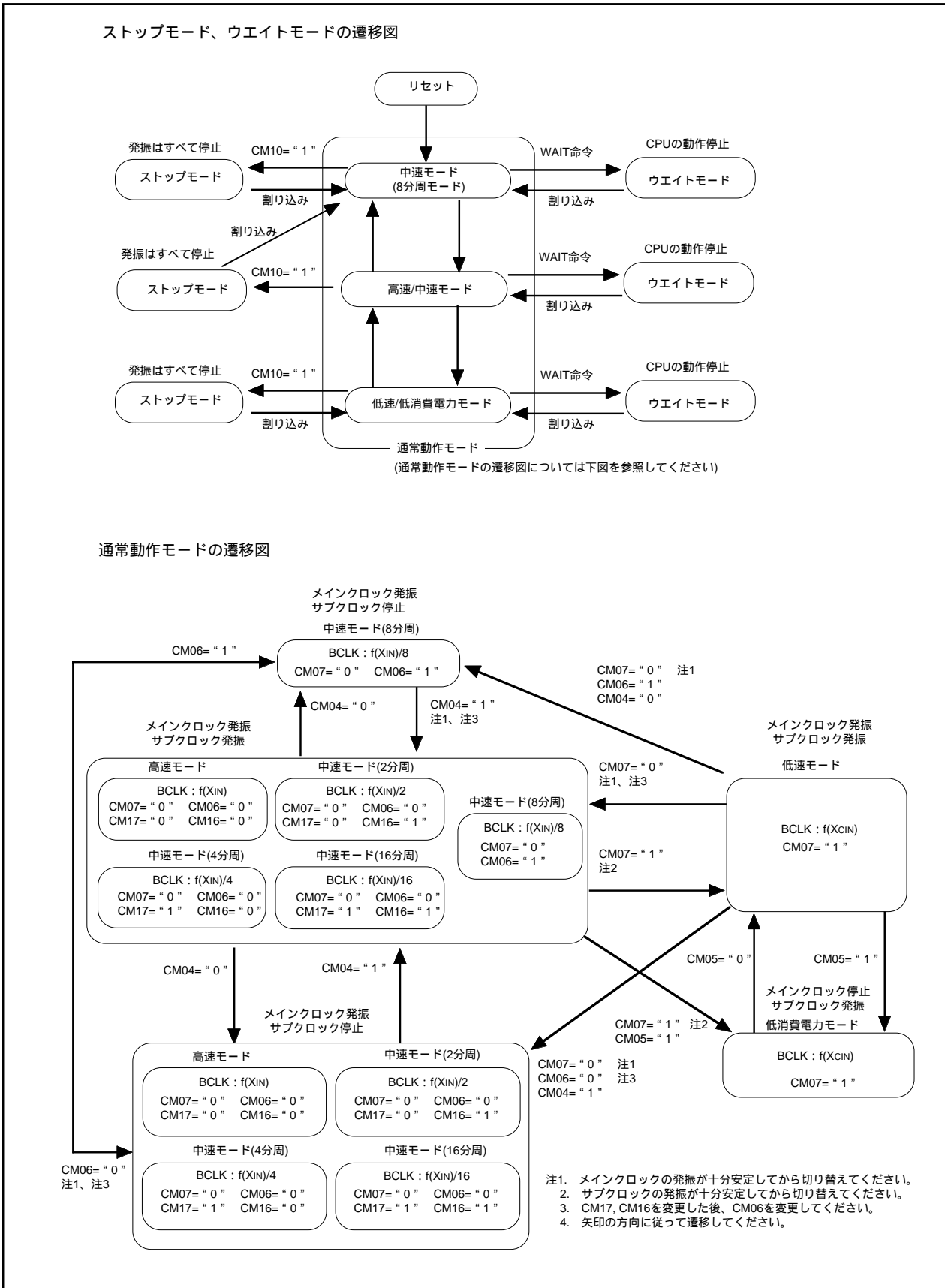


図2.5.7 状態遷移図

2.6 プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図2.6.1にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、ポートP9方向レジスタ(03F3₁₆番地)、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ書き込み許可ビットは、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

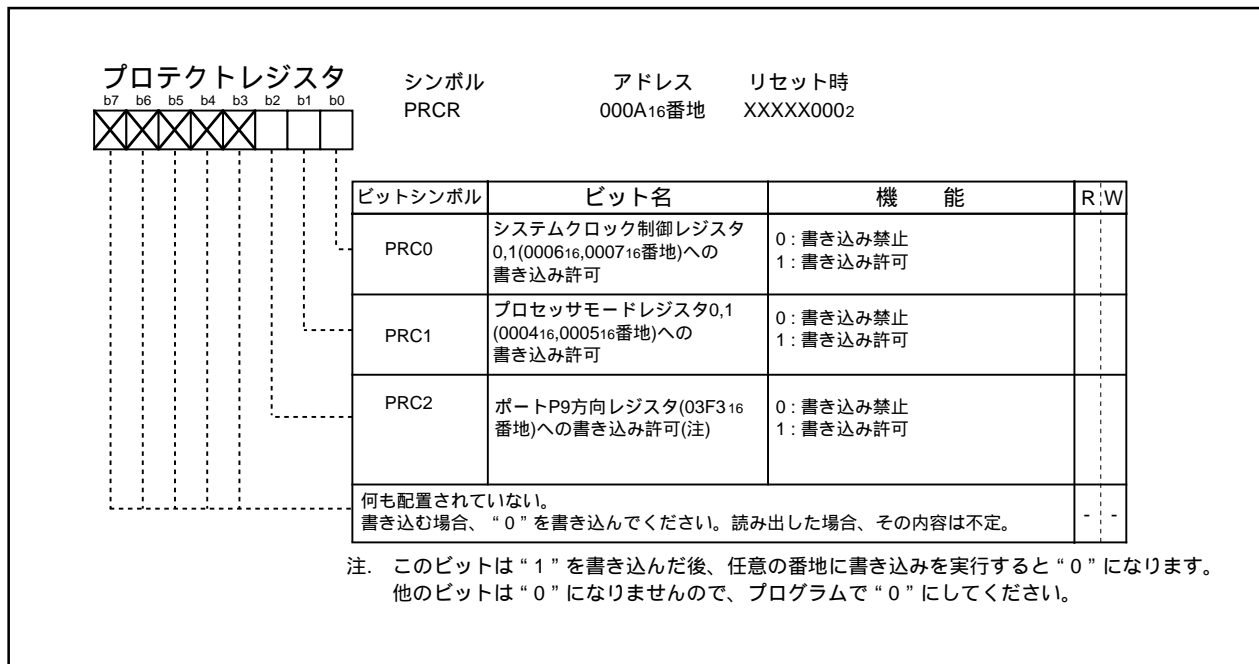


図2.6.1 プロテクトレジスタ

2.7 割り込みの概要

2.7.1 割り込みの分類

図2.7.1に割り込みの分類を示します。

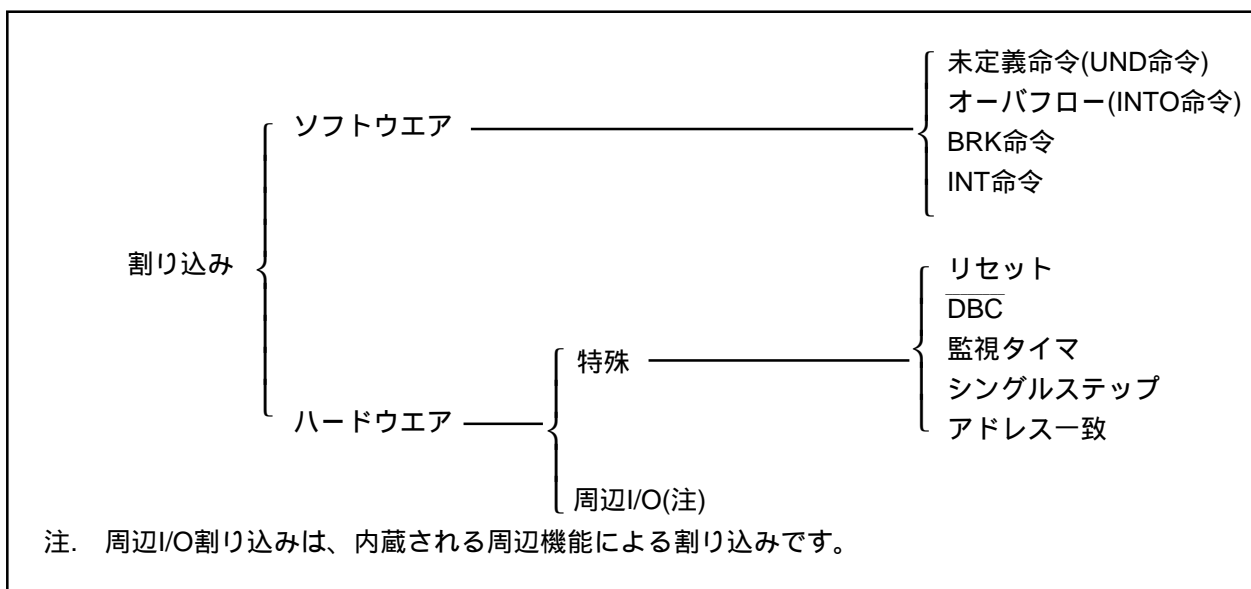


図2.7.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

2.7.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32~63では、スタックポインタは切り替わりません。

2.7.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

(1) 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

リセット

リセットは、RESET端子に“L”を入力すると発生します。

DBC割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

監視タイマ割り込み

監視タイマによる割り込みです。

シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

(2) 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスクابل割り込みです。

バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

DMA0、DMA1割り込み

DMAによる割り込みです。

VSYNC割り込み

VSYNCのエッジを入力すると発生します。

A-D変換割り込み

A-D変換器による割り込みです。

UART0送信、UART2送信割り込み

シリアルI/Oの送信による割り込みです。

UART0受信、UART2受信割り込み

シリアルI/Oの受信による割り込みです。

マルチマスタI²C-BUSインタフェース0、マルチマスタI²C-BUSインタフェース1割り込み

シリアル送受信完了、又はストップコンディション検出による割り込みです。

タイマA0~タイマA4割り込み

タイマAによる割り込みです。

タイマB0~タイマB2割り込み

タイマBによる割り込みです。

INT₀、INT₁割り込み

INT割り込みは、INT端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

OSD1、OSD2割り込み

OSD表示終了による割り込みです。

データスライサ0、データスライサ1割り込み

データスライサ回路が要求する割り込みです。

2.7.4 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図2.7.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図2.7.2 割り込みベクタの指定アドレス

(1) 固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表2.7.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.1 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L) ~ アドレス(H)	備考
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ~ FFFE _B ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注)	FFFEC ₁₆ ~ FFFE _F ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆	
DBC(注)	FFFF4 ₁₆ ~ FFFF7 ₁₆	通常は使用禁止
予約要因	FFFF8 ₁₆ ~ FFFF _B ₁₆	使用禁止
リセット	FFFFC ₁₆ ~ FFFF _F ₁₆	

注. デバッグ専用割り込み

(2) 可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表2.7.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号4	+16 ~ +19(注)	OSD1	
ソフトウェア割り込み番号5	+20 ~ +23(注)	データスライサ1	
ソフトウェア割り込み番号6	+24 ~ +27(注)	予約要因	
ソフトウェア割り込み番号7	+28 ~ +31(注)	予約要因	
ソフトウェア割り込み番号8	+32 ~ +35(注)	OSD2	
ソフトウェア割り込み番号9	+36 ~ +39(注)	マルチマスタ ¹ IC-BUSインタフェース1	
ソフトウェア割り込み番号10	+40 ~ +43(注)	バス衝突検出	
ソフトウェア割り込み番号11	+44 ~ +47(注)	DMA0	
ソフトウェア割り込み番号12	+48 ~ +51(注)	DMA1	
ソフトウェア割り込み番号13	+52 ~ +55(注)	マルチマスタ ¹ IC-BUSインタフェース0	
ソフトウェア割り込み番号14	+56 ~ +59(注)	A-D変換	
ソフトウェア割り込み番号15	+60 ~ +63(注)	UART2送信	
ソフトウェア割り込み番号16	+64 ~ +67(注)	UART2受信	
ソフトウェア割り込み番号17	+68 ~ +71(注)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注)	データスライサ0	
ソフトウェア割り込み番号20	+80 ~ +83(注)	VSYNC	
ソフトウェア割り込み番号21	+84 ~ +87(注)	タイマA0	
ソフトウェア割り込み番号22	+88 ~ +91(注)	タイマA1	
ソフトウェア割り込み番号23	+92 ~ +95(注)	タイマA2	
ソフトウェア割り込み番号24	+96 ~ +99(注)	タイマA3	
ソフトウェア割り込み番号25	+100 ~ +103(注)	タイマA4	
ソフトウェア割り込み番号26	+104 ~ +107(注)	タイマB0	
ソフトウェア割り込み番号27	+108 ~ +111(注)	タイマB1	
ソフトウェア割り込み番号28	+112 ~ +115(注)	タイマB2	
ソフトウェア割り込み番号29	+116 ~ +119(注)	$\overline{\text{INT0}}$	
ソフトウェア割り込み番号30	+120 ~ +123(注)	$\overline{\text{INT1}}$	
ソフトウェア割り込み番号31	+124 ~ +127(注)	予約要因	
ソフトウェア割り込み番号32 ~ ソフトウェア割り込み番号63	+128 ~ +131(注) ~ +252 ~ +255(注)	ソフトウェア割り込み	Iフラグによるマスク不可

注. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

2.7.5 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図2.7.3に割り込み制御レジスタを示します。

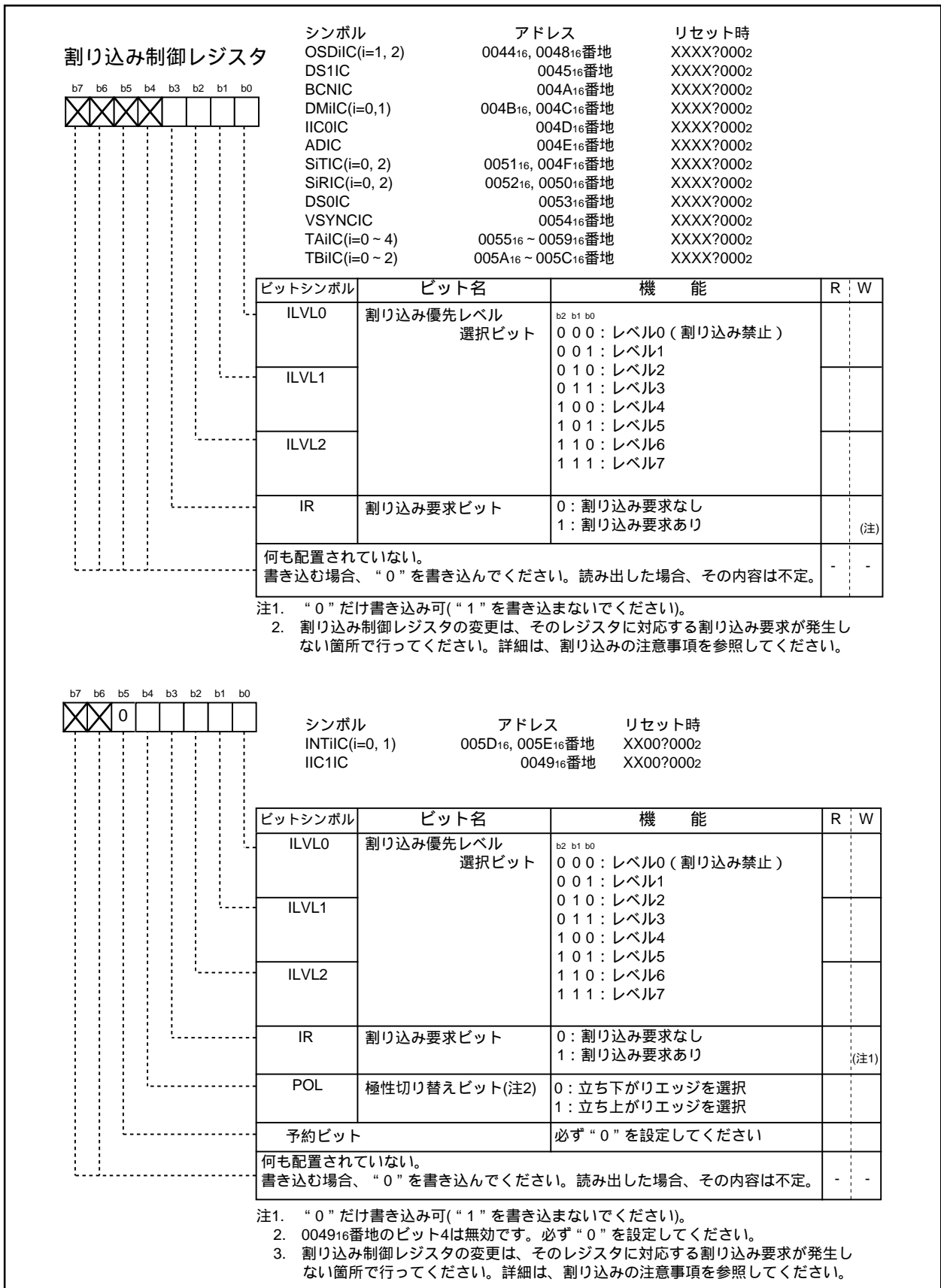


図2.7.3. 割り込み制御レジスタ

2.7.6 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

2.7.7 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

2.7.8 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.7.3に割り込み優先レベルの設定を、表2.7.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.7.3 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表2.7.4 プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

2.7.9 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされることがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.7.10 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注. ユーザは使用できません。

2.7.11 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図2.7.4に割り込み応答時間を示します。

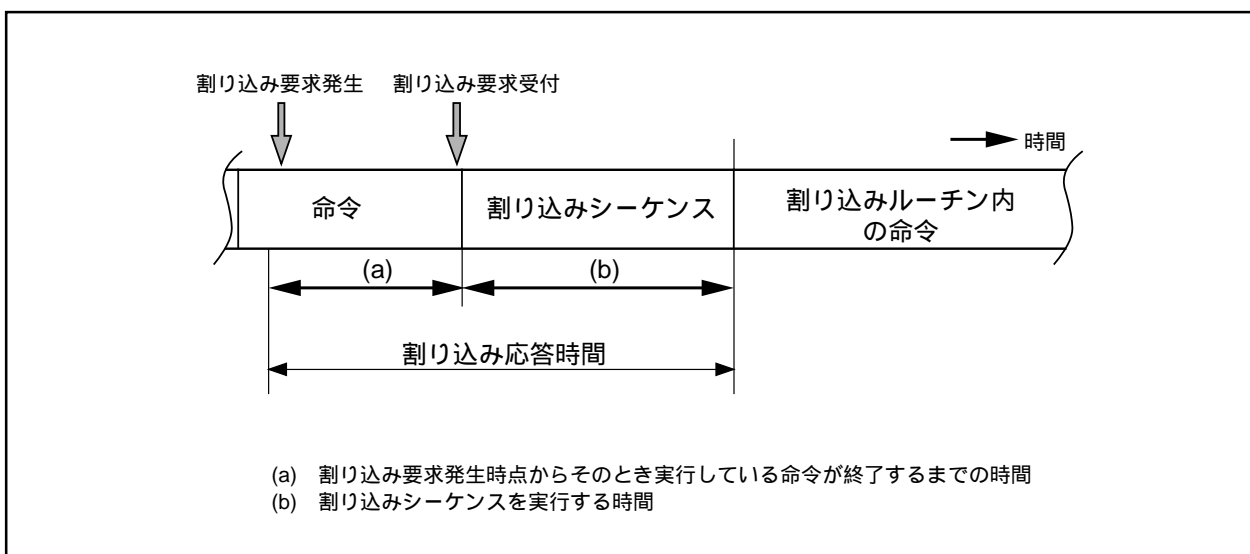


図2.7.4 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
 (b)の時間は次のとおりです。

表2.7.5 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルにして
 ください。

2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

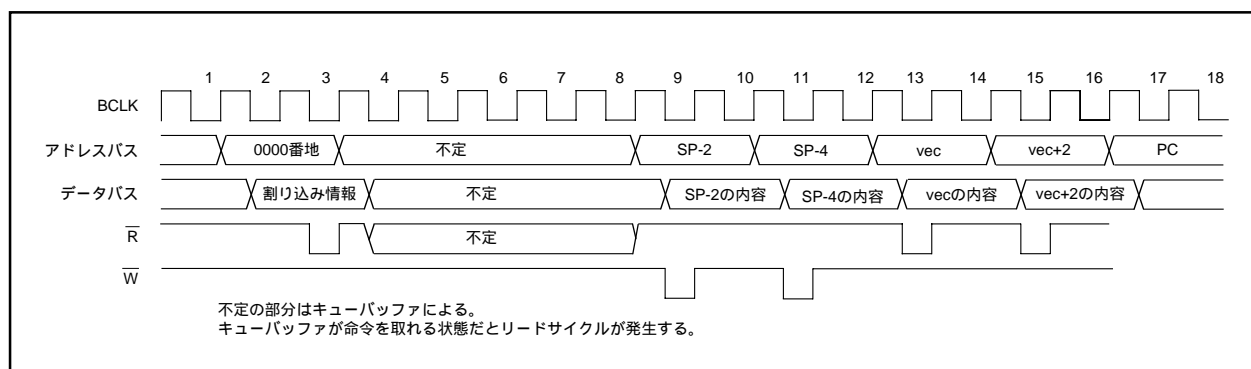


図2.7.5 割り込みシーケンスの実行時間

2.7.12 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表2.7.6に示す値がIPLに設定されます。

表2.7.6 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ	7
リセット	0
その他	変化しない

2.7.13 レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図2.7.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

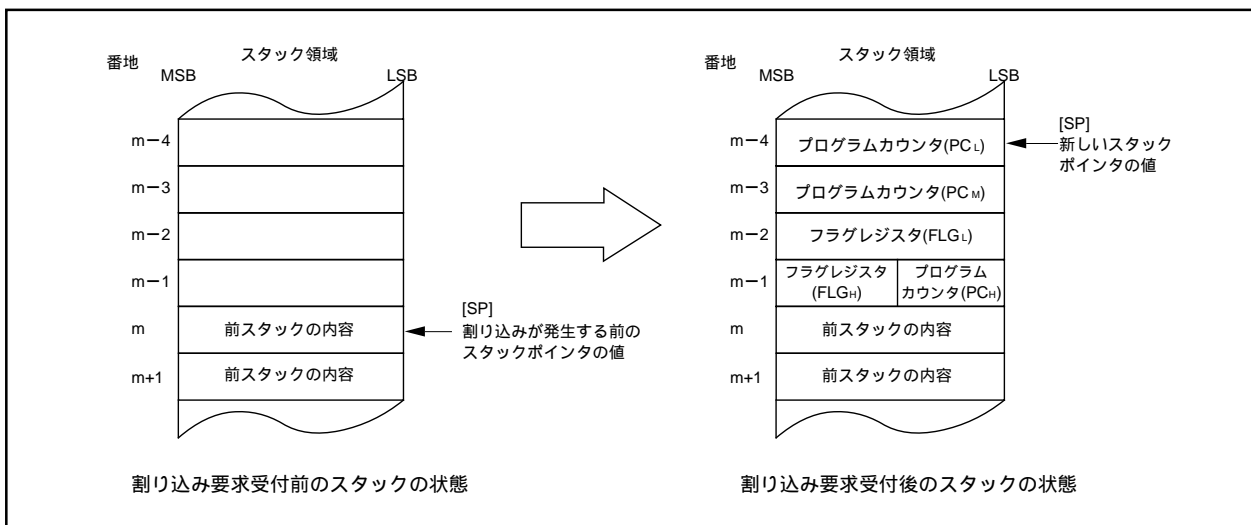


図2.7.6 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図2.7.7にレジスタ退避動作を示します。

注. Uフラグが示すスタックポインタです。

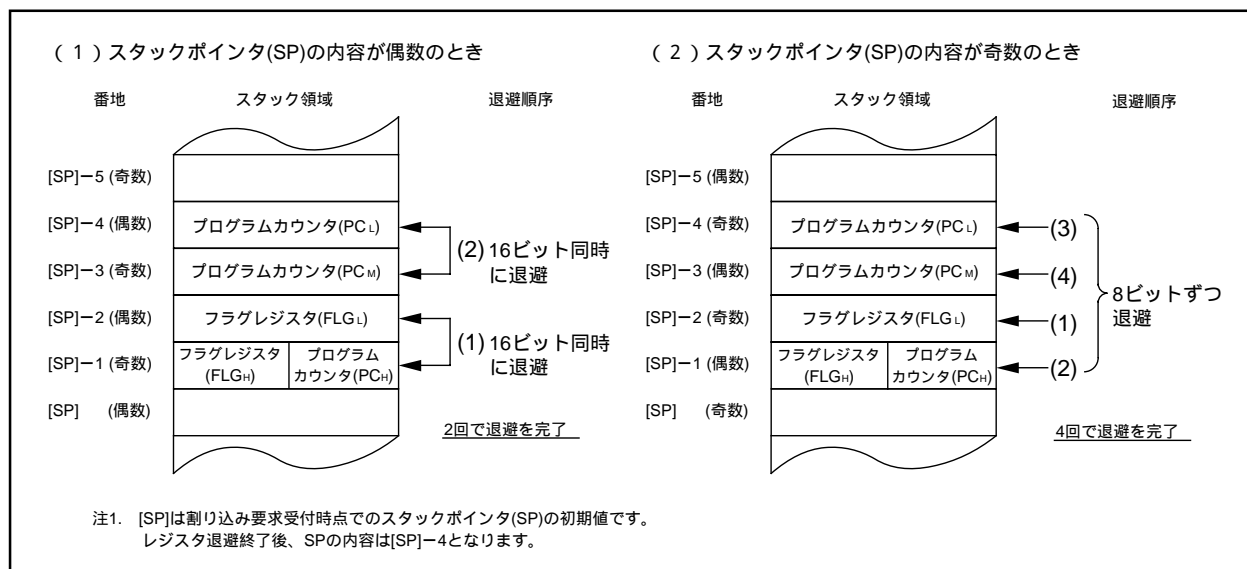


図2.7.7 レジスタ退避動作

2.7.14 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

2.7.15 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図2.7.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

2.7.16 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図2.7.9に割り込み優先レベルの判定回路を示します。

リセット > \overline{DBC} > 監視タイマ > シングルステップ > アドレス一致

図2.7.8 ハードウェア割り込みの割り込み優先順位

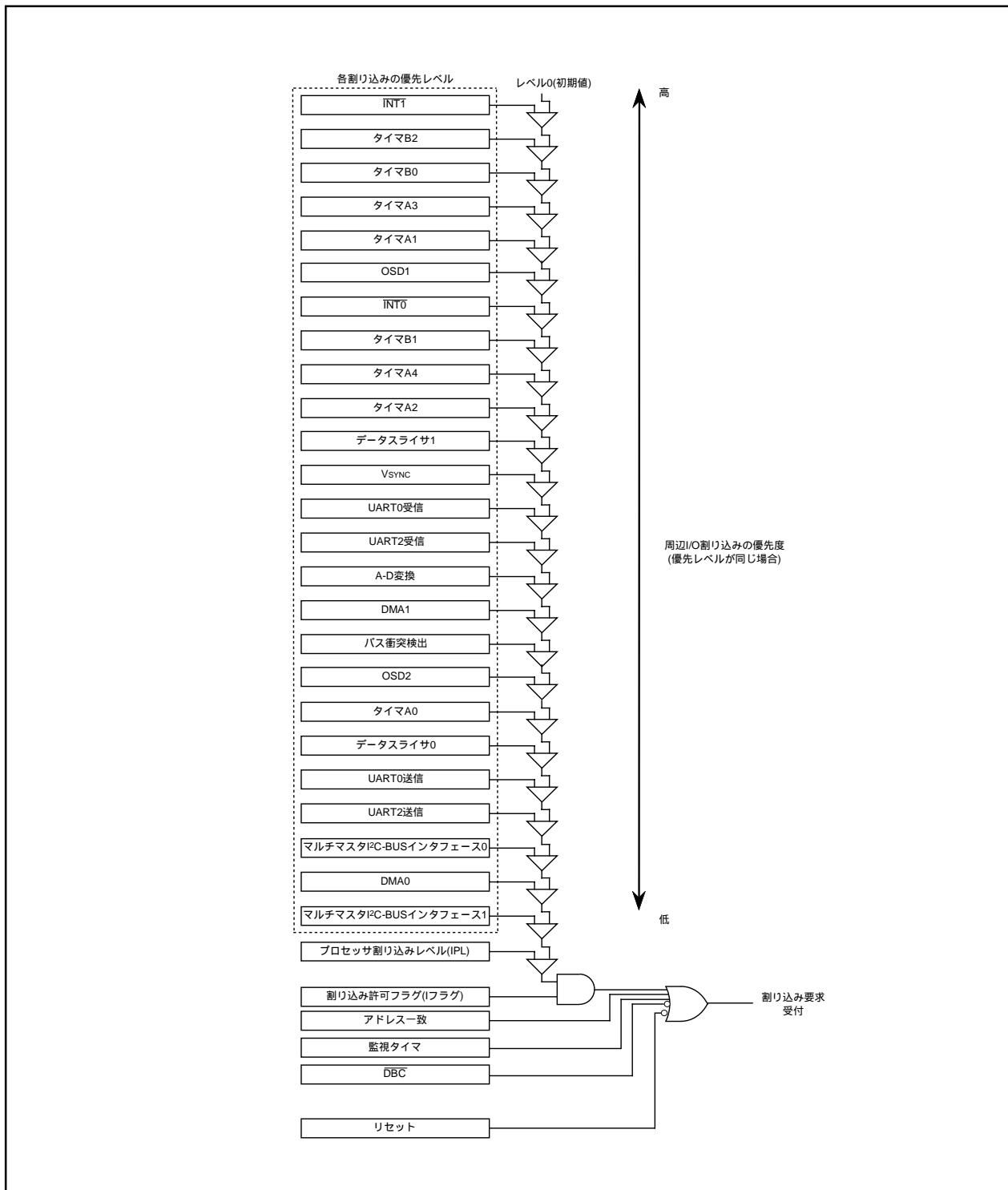


図2.7.9 割り込み優先レベル判定回路

2.7.17 INT $\bar{0}$ /INT $\bar{1}$ 割り込み

INT $\bar{0}$ 、INT $\bar{1}$ は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

外部割り込み入力、割り込み要因選択レジスタ(035F₁₆番地)のINT \bar{i} 割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がり両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図2.7.10に割り込み制御予約レジスタ i 、図2.7.11 に割り込み要因選択レジスタを示します。

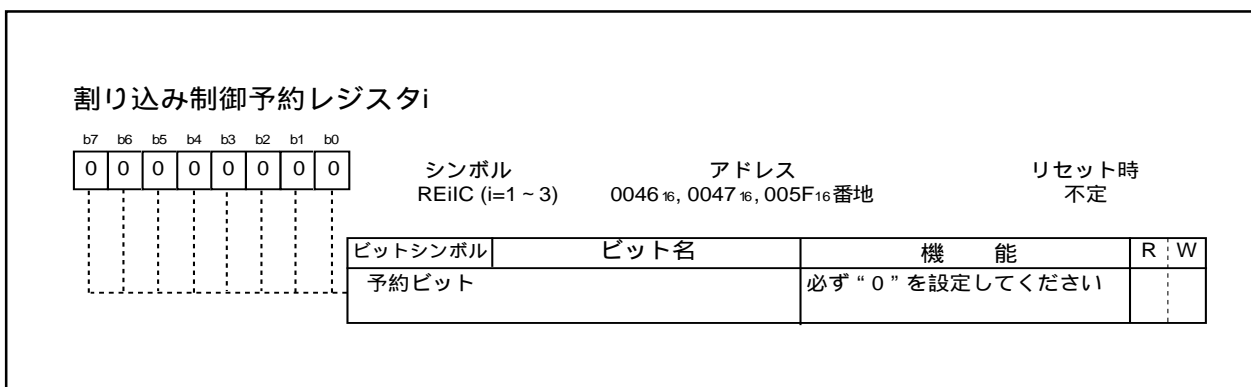


図2.7.10 割り込み制御予約レジスタ i (i=0 ~ 3)

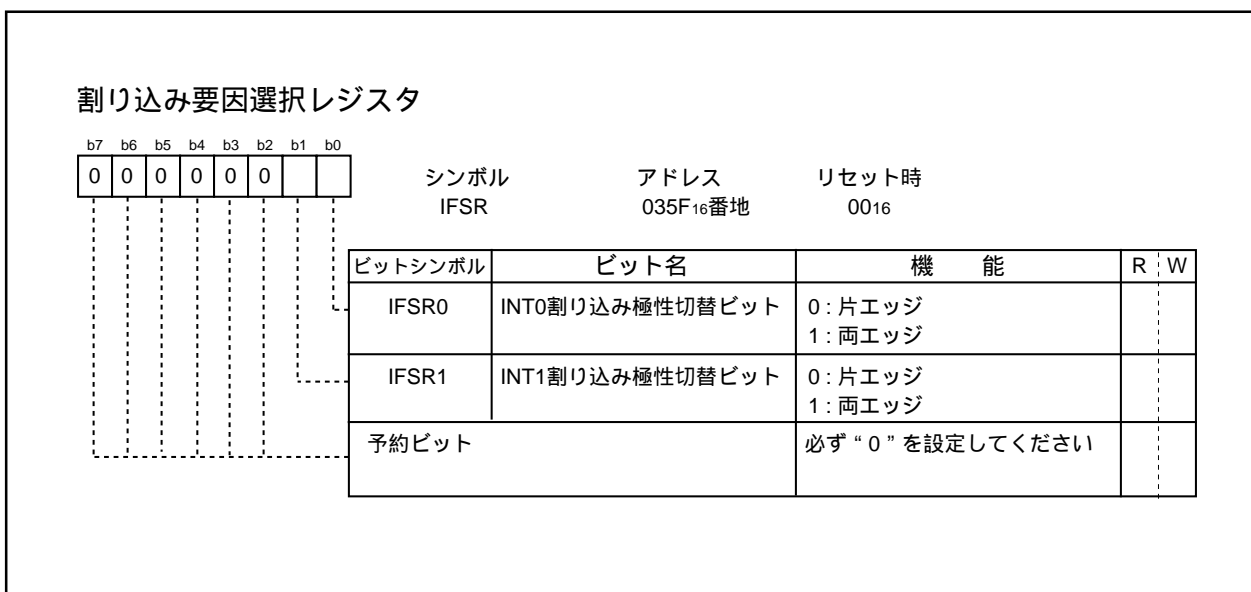


図2.7.11 割り込み要因選択レジスタ

2.7.18 アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図2.7.12と図2.7.13にアドレス一致割り込み関連レジスタを示します。

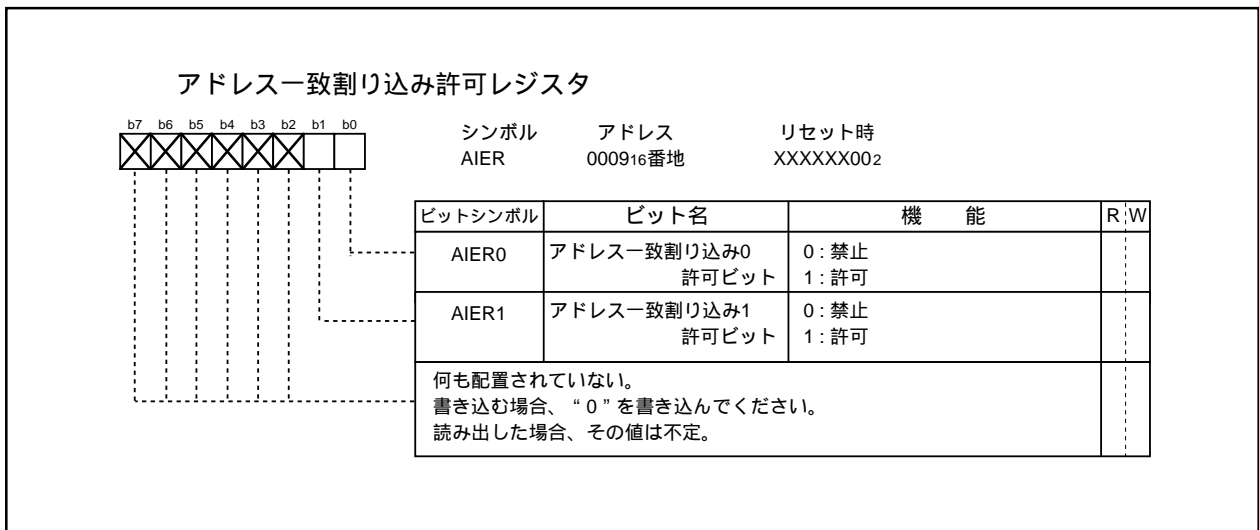


図2.7.12 アドレス一致割り込み許可レジスタ

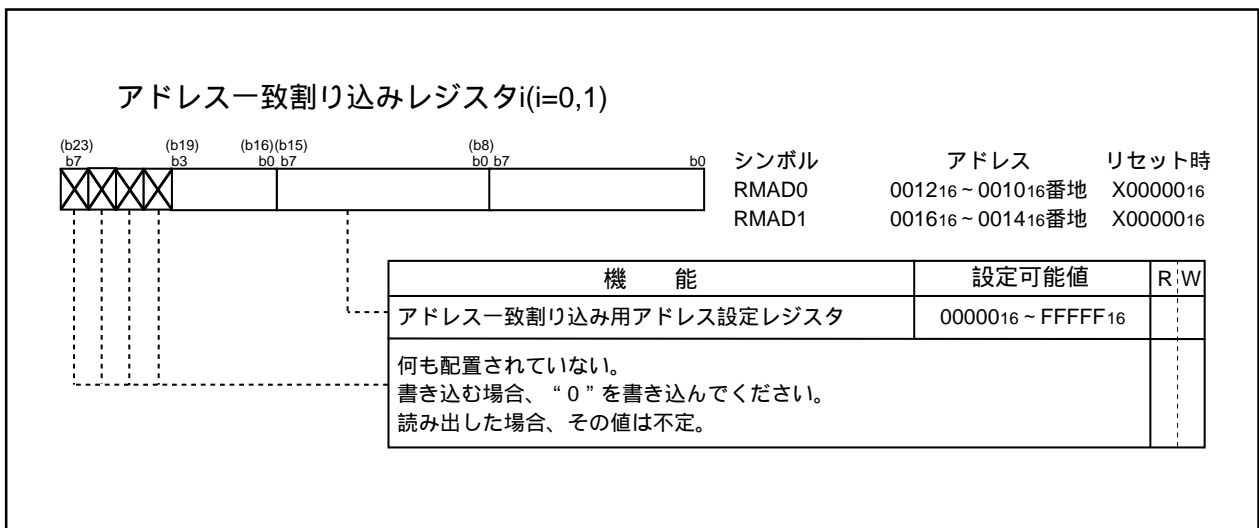


図2.7.13 アドレス一致割り込みレジスタ*i* (*i*=0,1)

2.7.19 割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_1$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_1$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図2.7.14に示します。

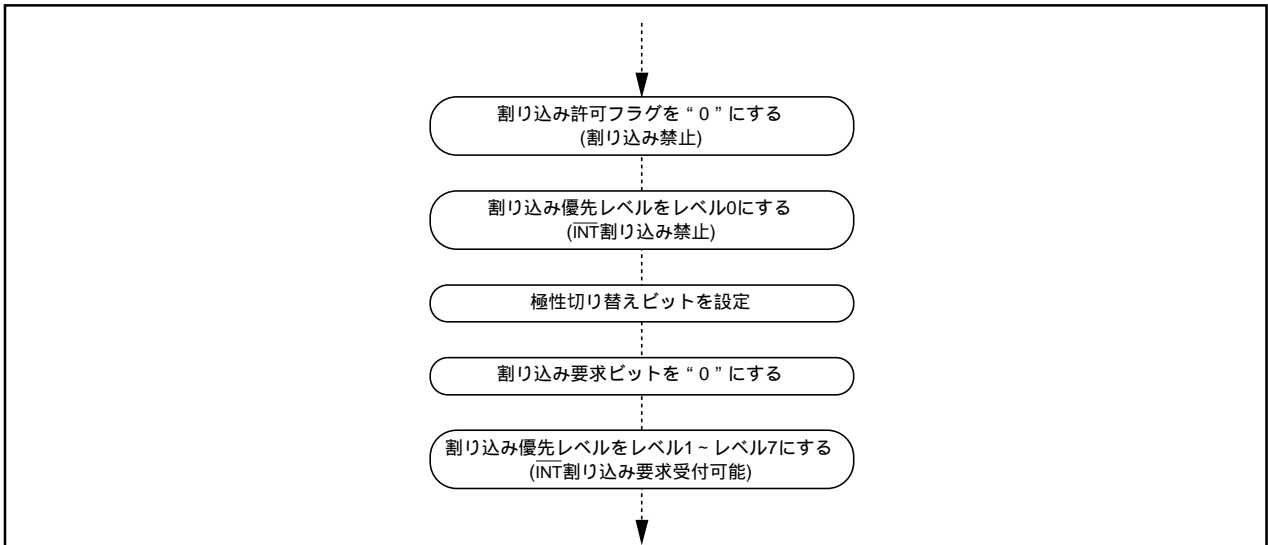


図2.7.14 INT割り込み発生要因の切り替え

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```

INT_SWITCH1 :
FCLR  I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
NOP    ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET   I           ; 割り込み許可状態
  
```

例 2 :

```

INT_SWITCH2 :
FCLR  I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
MOV.W  MEM, R0    ; ダミーリード
FSET   I           ; 割り込み許可状態
  
```

例 3 :

```

INT_SWITCH3 :
PUSHC  FLG
FCLR  I           ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
POPC   FLG        ; 割り込み許可状態
  
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

(5) 注意事項

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。

割り込み要求ビットをクリアする場合はMOV命令を使用し、割り込み制御レジスタを変更してください。

M16C/60シリーズ、M16C/20シリーズで割り込み制御レジスタを変更する場合は、必ず対応する割り込み要求が発生しない箇所で割り込み制御レジスタを変更するか、割り込みを禁止状態にしてから割り込み制御レジスタを変更してください。

M16C/60シリーズで割り込み要求ビットをクリアするプログラム例

例1：割り込み制御レジスタを即値で書き替える場合

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H,0055H      ; タイマ A0 割り込み要求ビットクリア
MOV.W   MEM,R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例2：割り込み要求ビットのみをクリアする場合

```
FCLR    I                ; 割り込み禁止
MOV.B   0055H,R0L       ; タイマ A0 割り込み制御レジスタ読み出し
AND.B   #0F7H,R0L       ; タイマ A0 割り込み要求ビットのみクリア
MOV.B   R0L,0055H       ; タイマ A0 割り込み制御レジスタ書き込み
MOV.W   MEM,R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例1、例2でダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

2.8 監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケータで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケータの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケータの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケータによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比 (16または128)} \times \text{監視タイマのカウント値 (32768)}}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比 (2)} \times \text{監視タイマのカウント値 (32768)}}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケータの分周比として16分周を選択している場合、監視タイマの周期は、約32.8msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み発生時に初期化されます。プリスケータは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケータは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。

図2.8.1に監視タイマのブロック図、図2.8.2に監視タイマ制御レジスタを、図2.8.3に監視タイマスタートレジスタを示します。

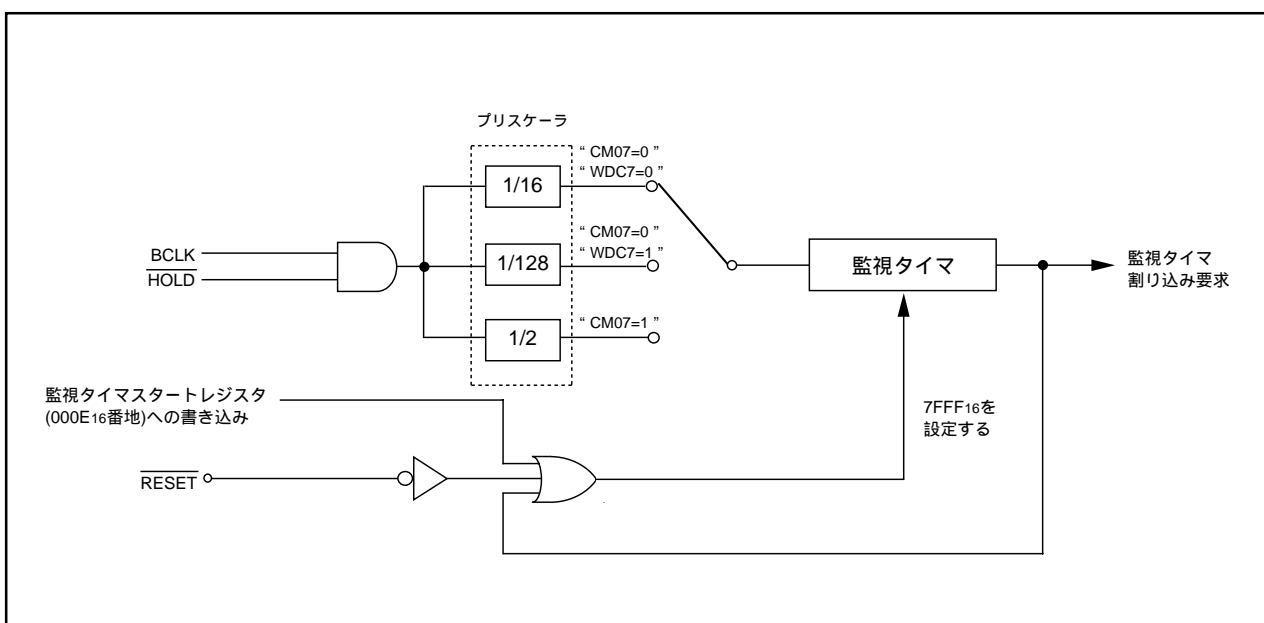


図2.8.1 監視タイマのブロック図

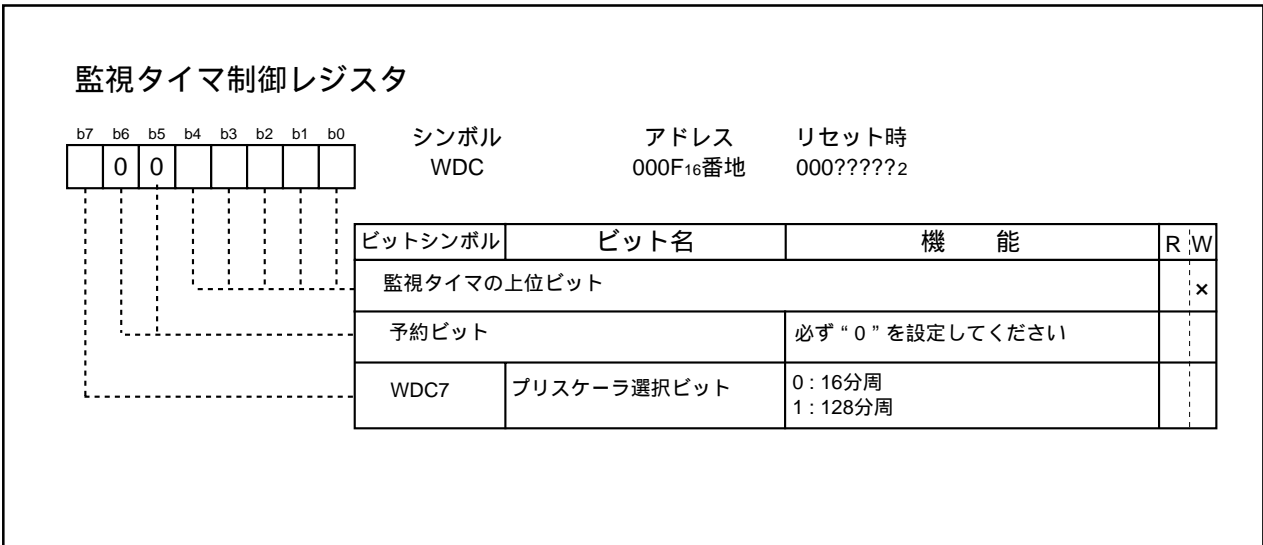


図2.8.2 監視タイマ制御レジスタ

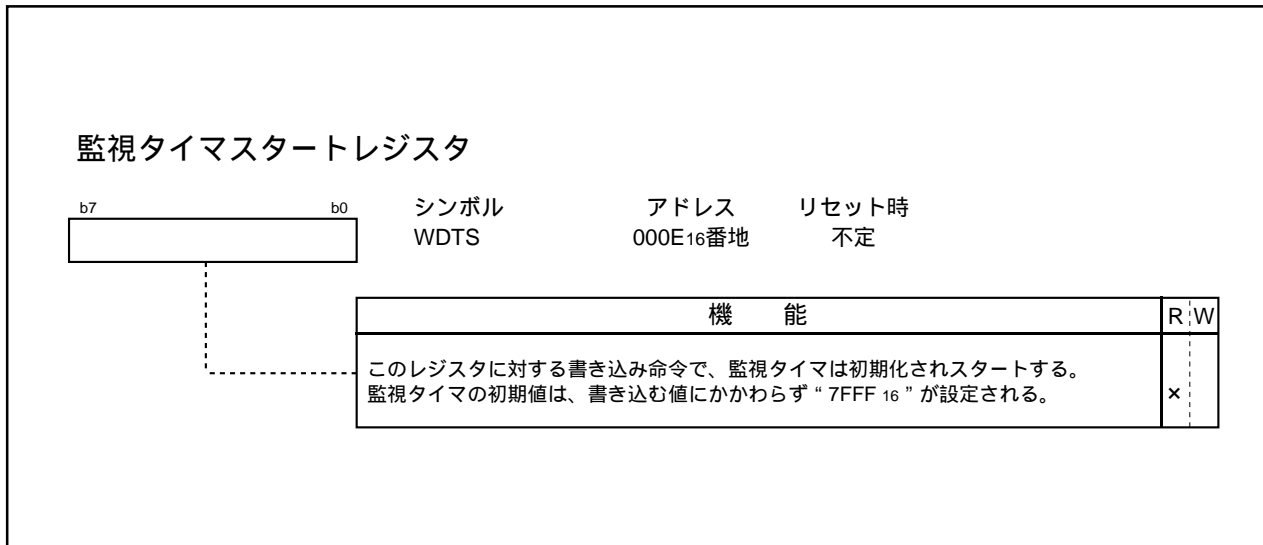


図2.8.3 監視タイマスタートレジスタ

2.9 DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図2.9.1にDMACのブロック図を、表2.9.1にDMACの仕様を、図2.9.2～図2.9.7にDMACで使用するレジスタを示します。

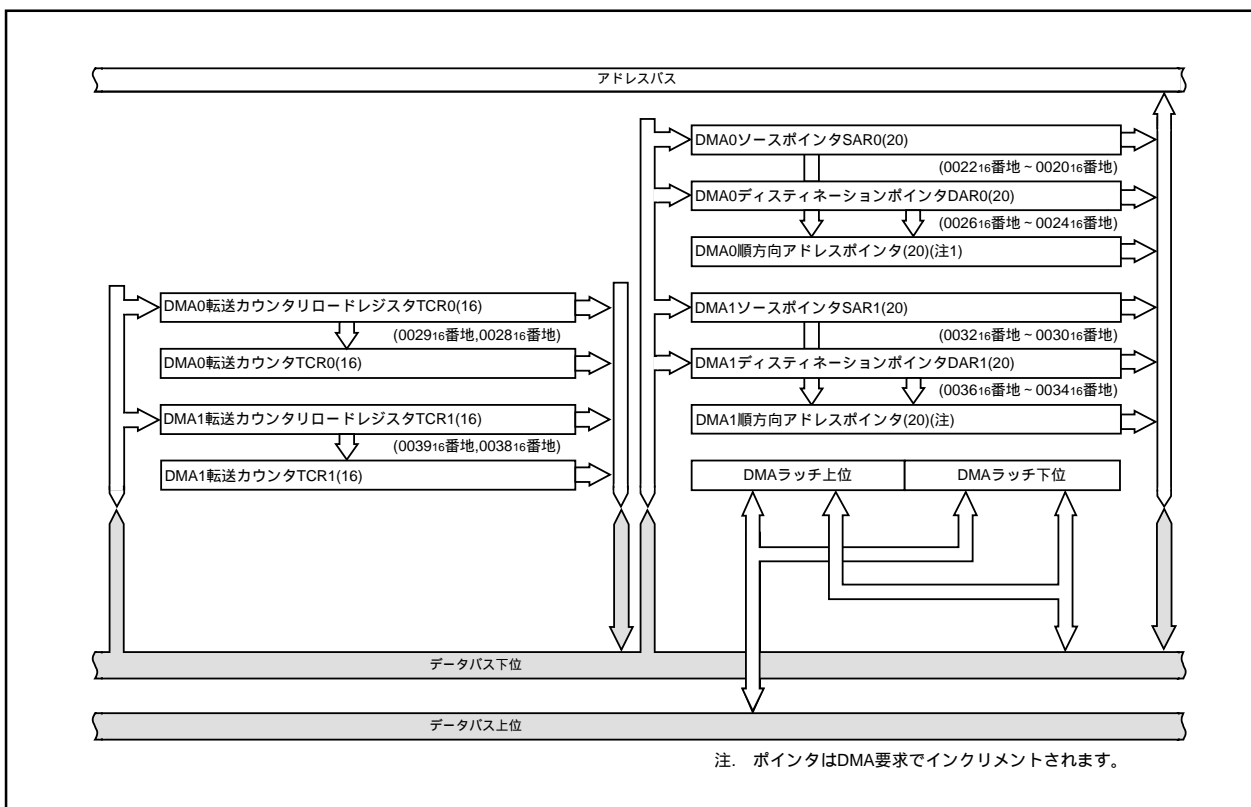


図2.9.1 DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(1フラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生すると、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表2.9.1 DMAC仕様

項目	仕様
チャンネル数	2チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT ₀ 端子の立ち下がりエッジまたは両エッジ INT ₁ 端子の立ち下がりエッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB2割り込み要求 UART0送信および受信割り込み要求 UART2送信および受信割り込み要求 マルチマスタI ² C-BUSインタフェース0割り込み要求 マルチマスタI ² C-BUSインタフェース1割り込み要求 A-D変換割り込み要求 OSD1~OSD2割り込み要求 データスライサ0(注2)割り込み要求 VSYNC割り込み要求 ソフトウエアトリガ
チャンネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

2. データスライサ1のDMA要求要因は設定ありません。

3. 選択できる要因はチャンネルによって異なります。

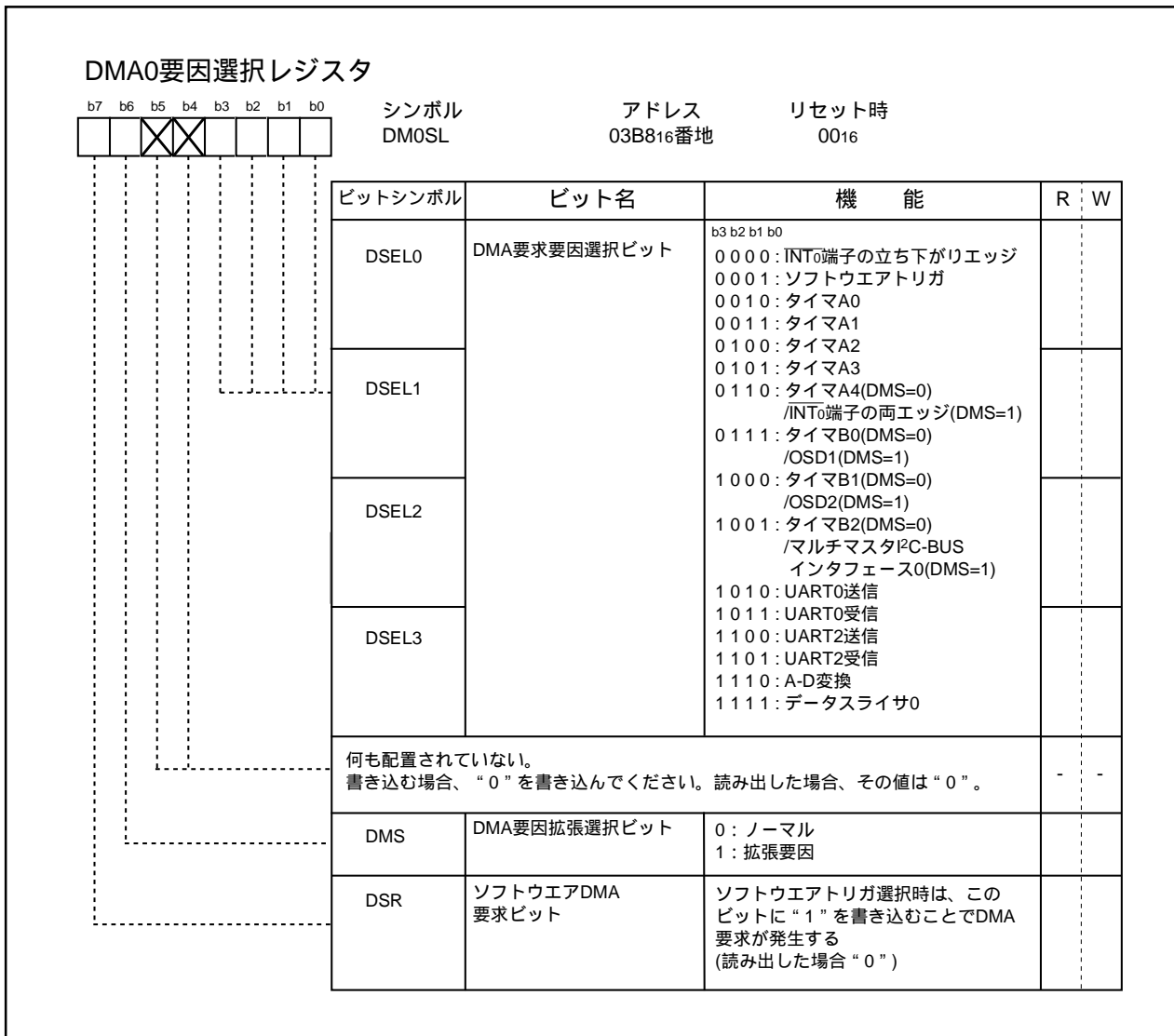


図2.9.2 DMA0要因選択レジスタ

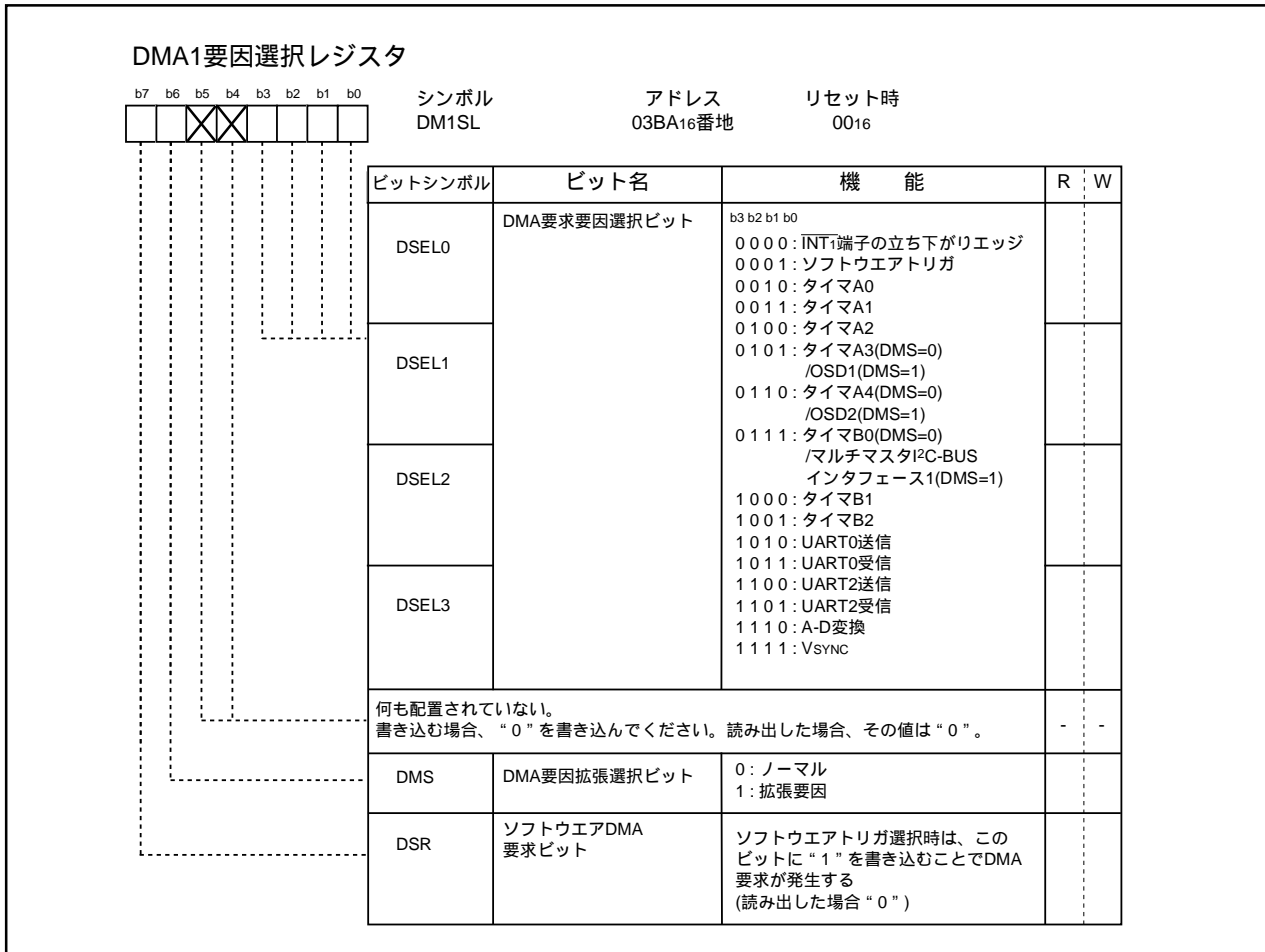


図2.9.3 DMA1要因選択レジスタ

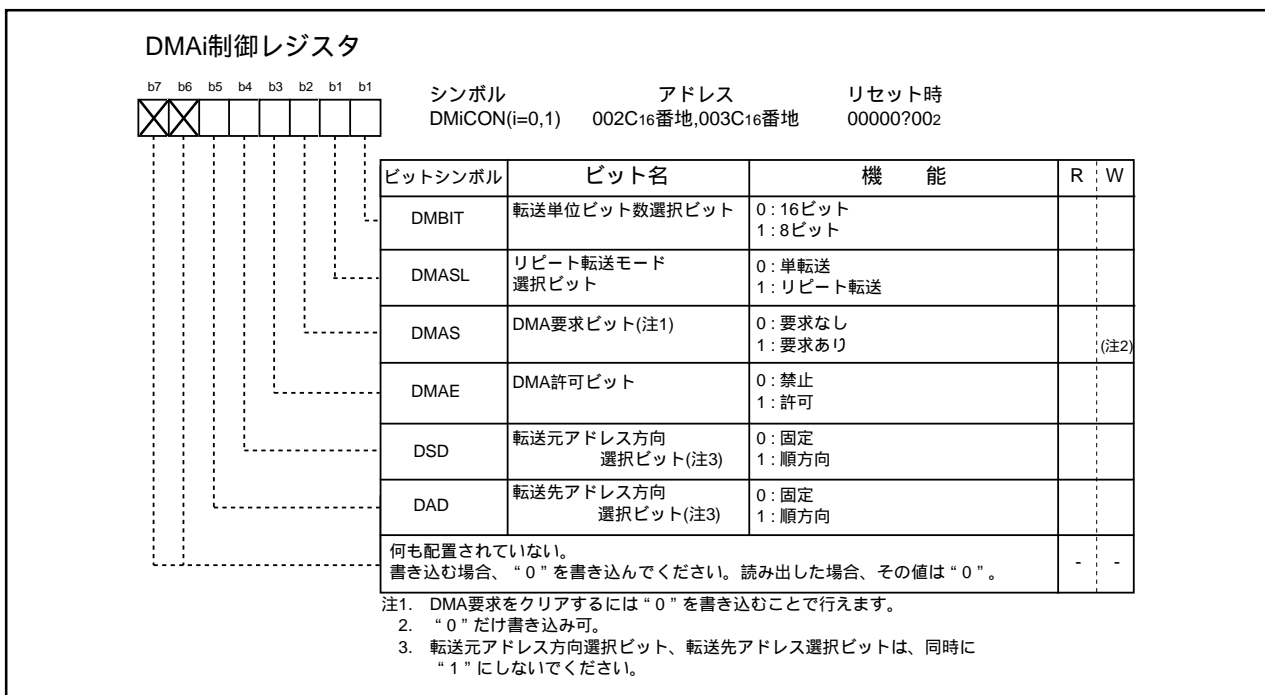


図2.9.4 DMAi制御レジスタ

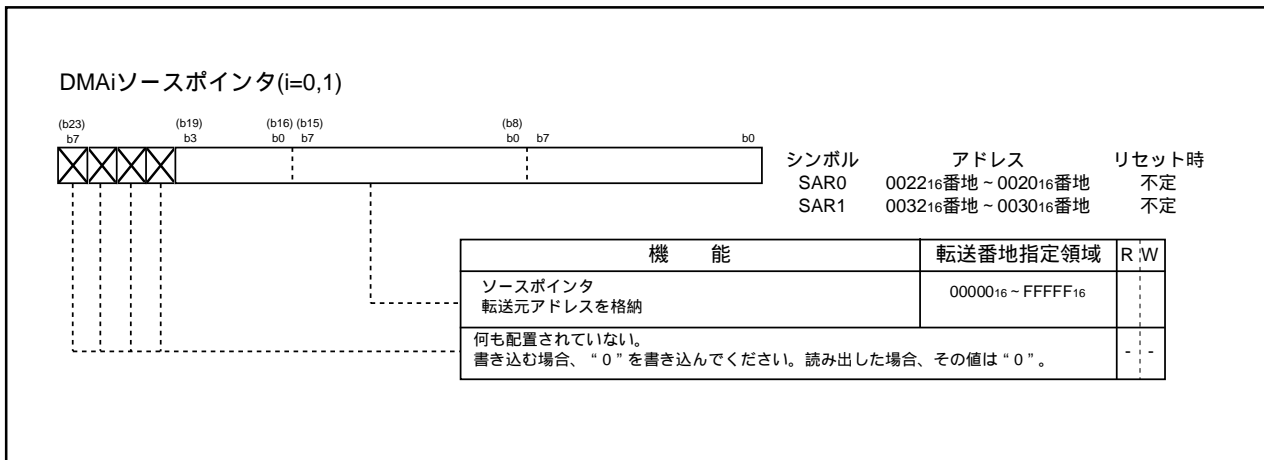


図2.9.5 DMAiソースポインタ (i=0,1)

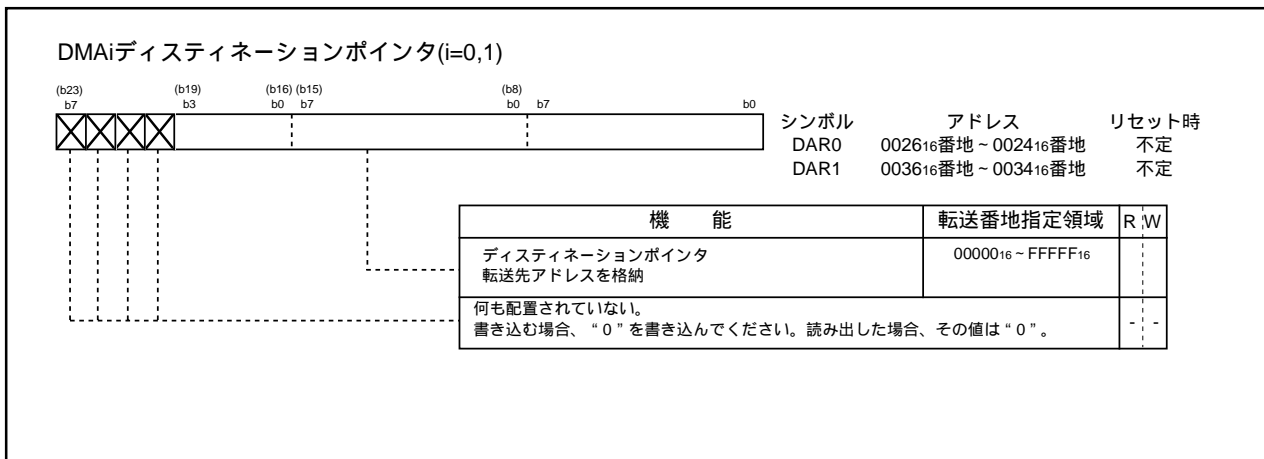


図2.9.6 DMAiディスティネーションポインタ (i=0,1)

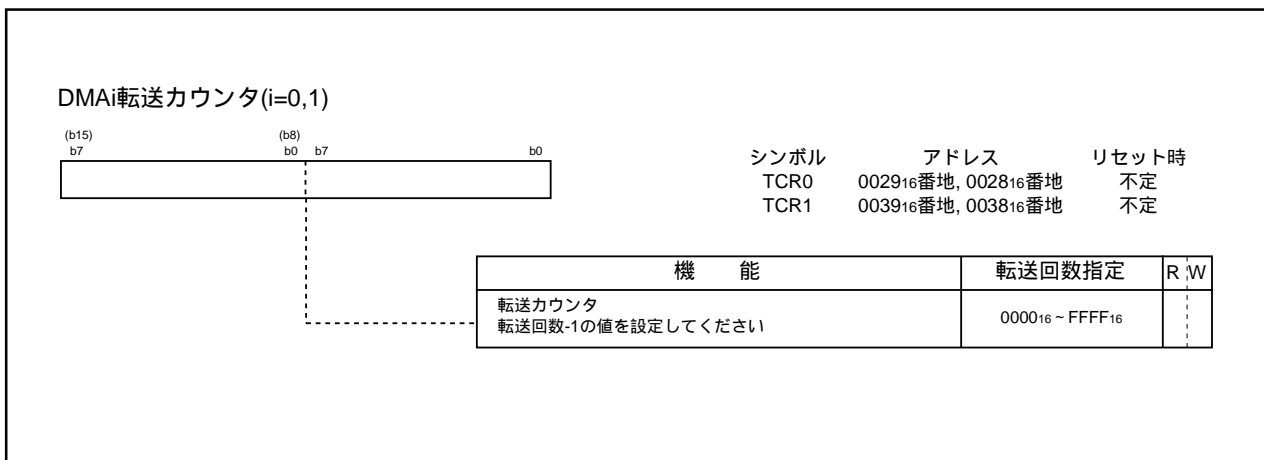


図2.9.7 DMAi転送カウンタ (i=0,1)

2.9.1 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

(1) 転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

(2) BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

(3) ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域、SFR領域、およびOSD RAM領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図2.9.8にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

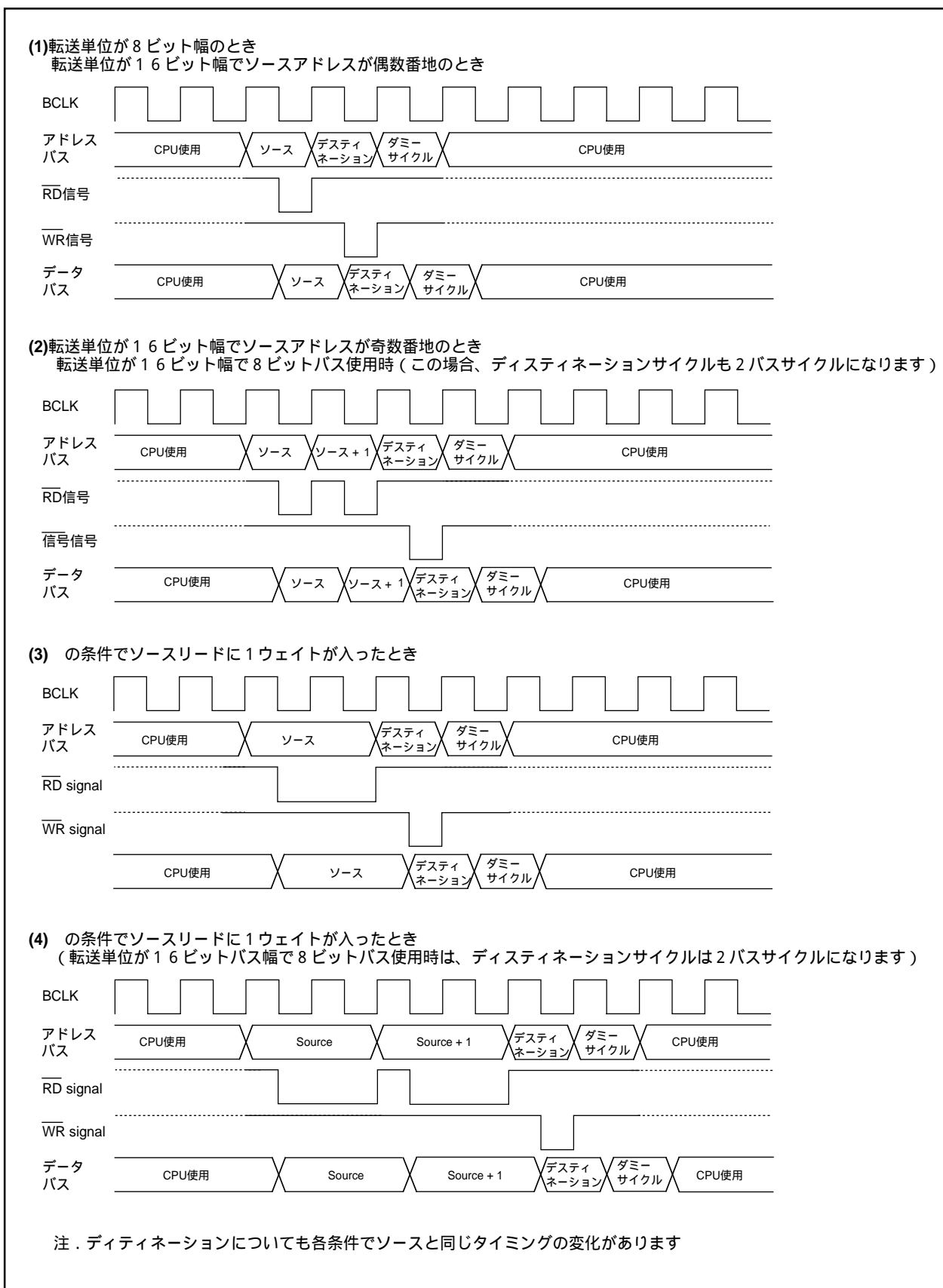


図2.9.8 ソースリードについての転送サイクル例

2.9.2 DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表2.9.2にDMAC転送サイクル数を示します。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表2.9.2 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数j,k

内部領域		外部領域	
内部ROM/RAM	SFR領域 / OSD RAM	セパレート バス ウエイトなし	セパレート バス ウエイトあり
1	2	1	2

2.9.3 DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

2.9.4 DMA要求ビット

DMACは、各チャンネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INTi}}$ 端子(DMACチャンネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として $\overline{\text{INTi}}$ 端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各 $\overline{\text{INTi}}$ 端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図2.9.9外部要因によるDMA転送例で示します。

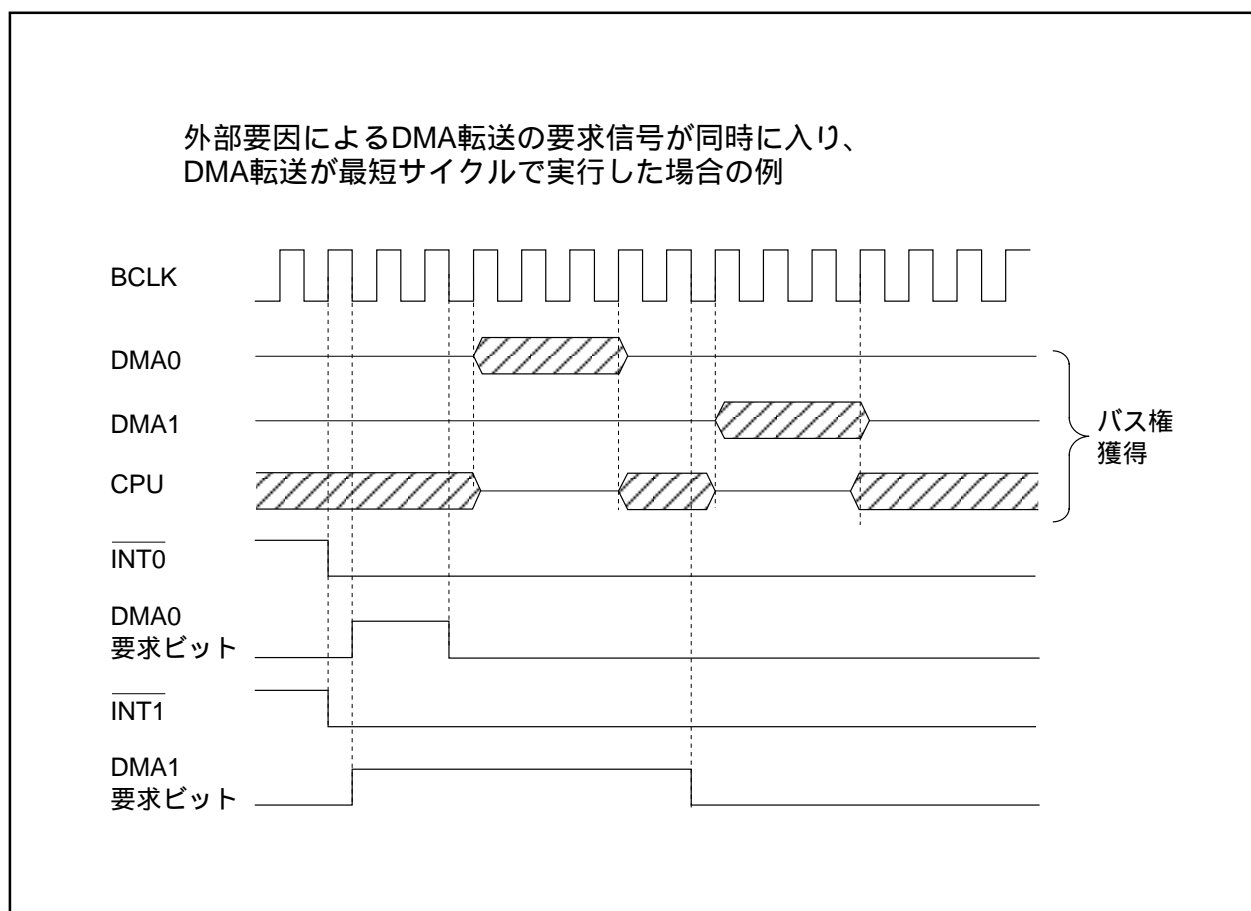


図2.9.9 外部要因によるDMA転送例

2.10 タイマ

タイマは、16ビットタイマを8本内蔵しています。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図2.10.1にタイマA、図2.10.2にタイマBの構成を示します。

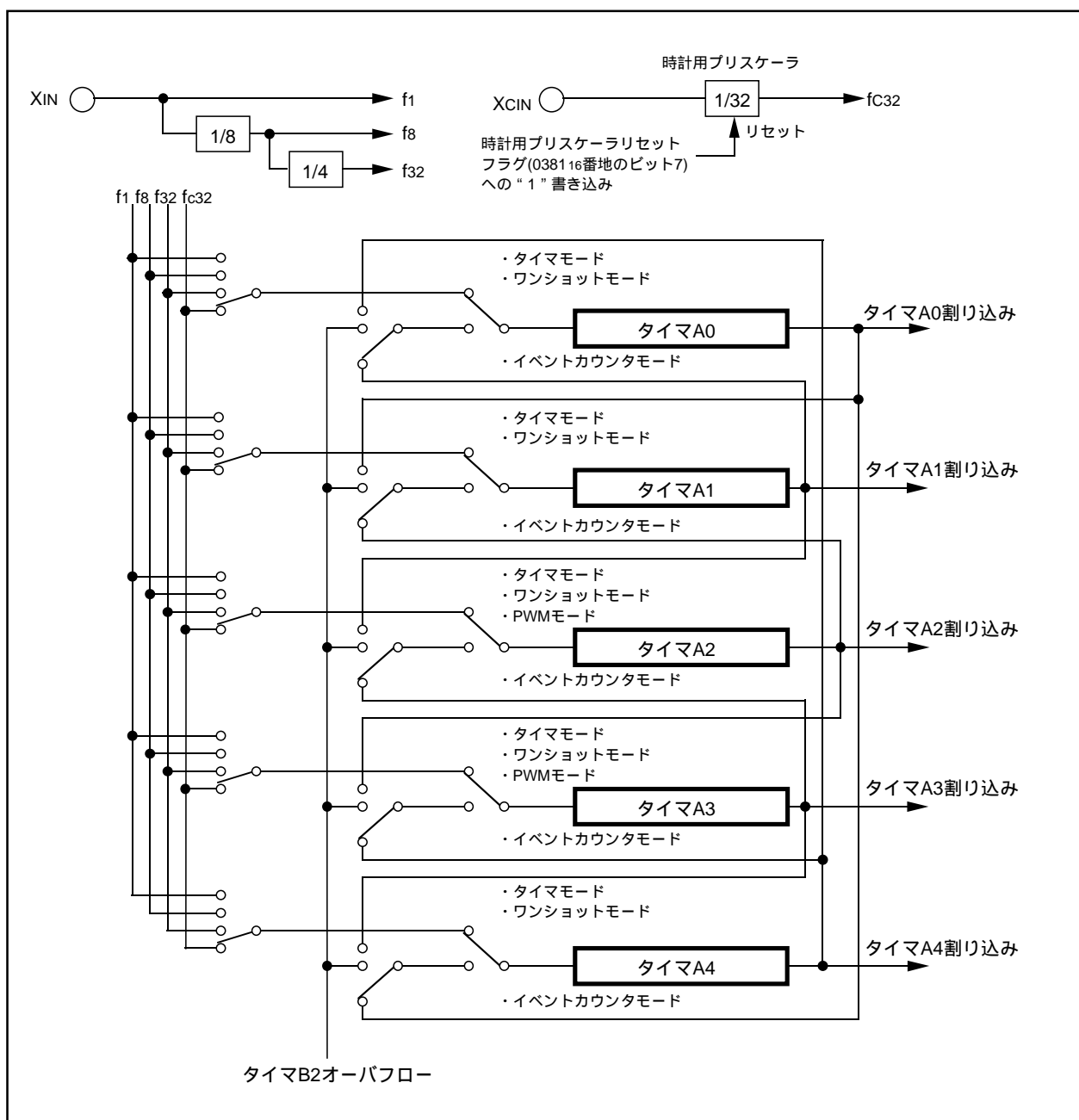


図2.10.1 タイマA構成

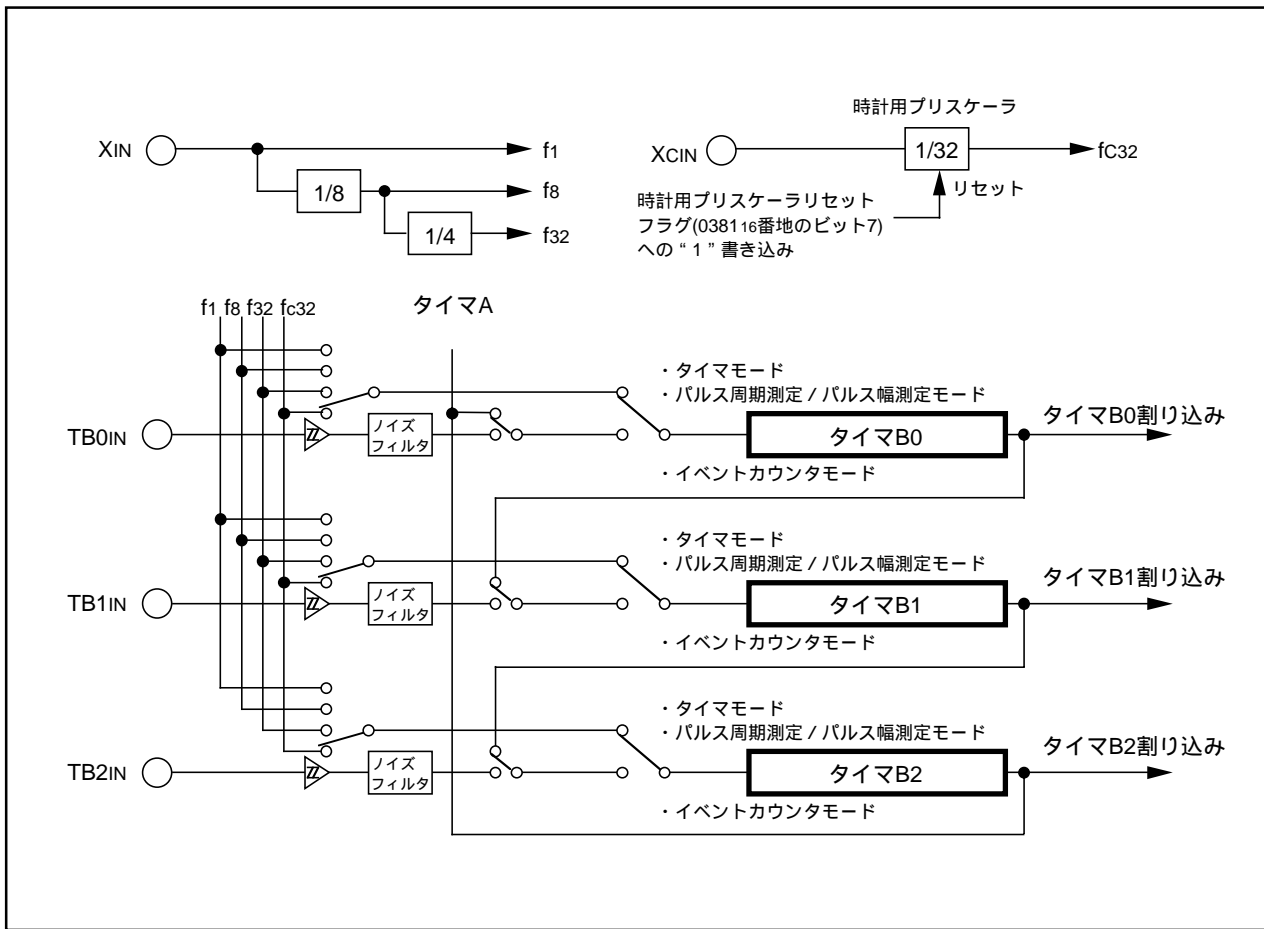


図2.10.2 タイマB構成

2.10.1 タイマA

図2.10.3にタイマAのブロック図を、図2.10.4 ~ 図2.10.10にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、パルス出力機能を除いて、タイマA0 ~ A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0 ~ 4)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード タイマのオーバフローをカウントするモード
- ・ワンショットタイマモード カウント値が“ 0000₁₆ ”になるとカウントが止まるモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

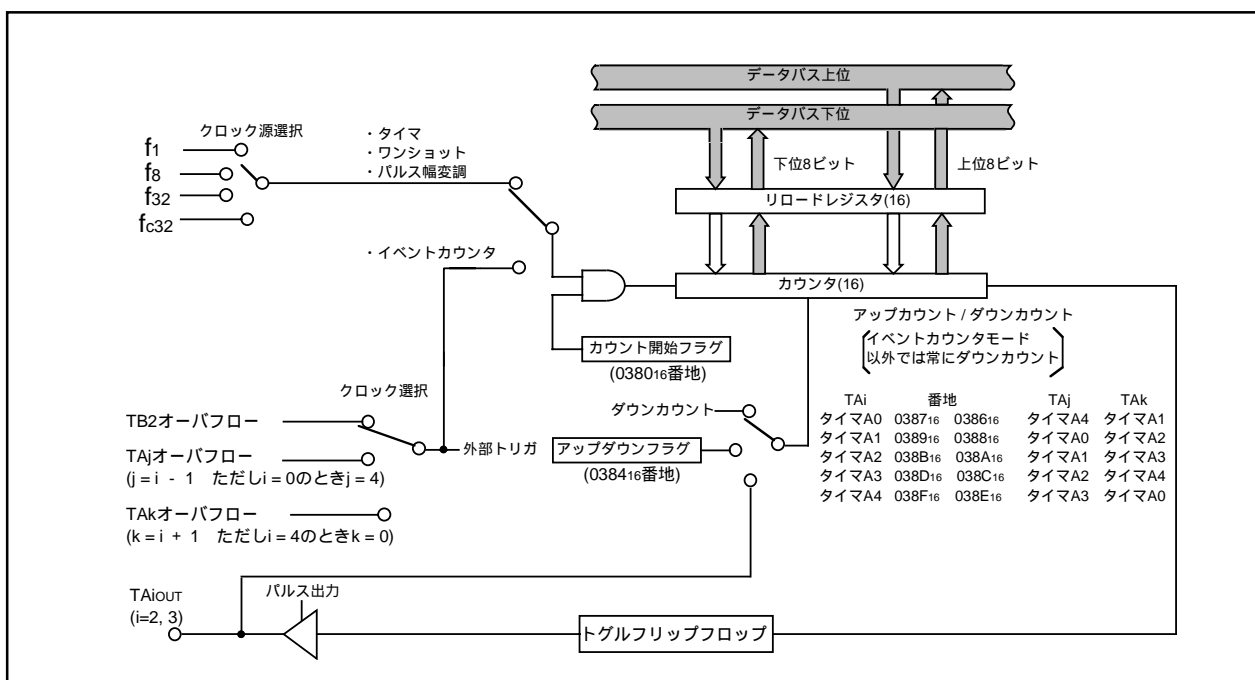


図2.10.3 タイマAブロック図

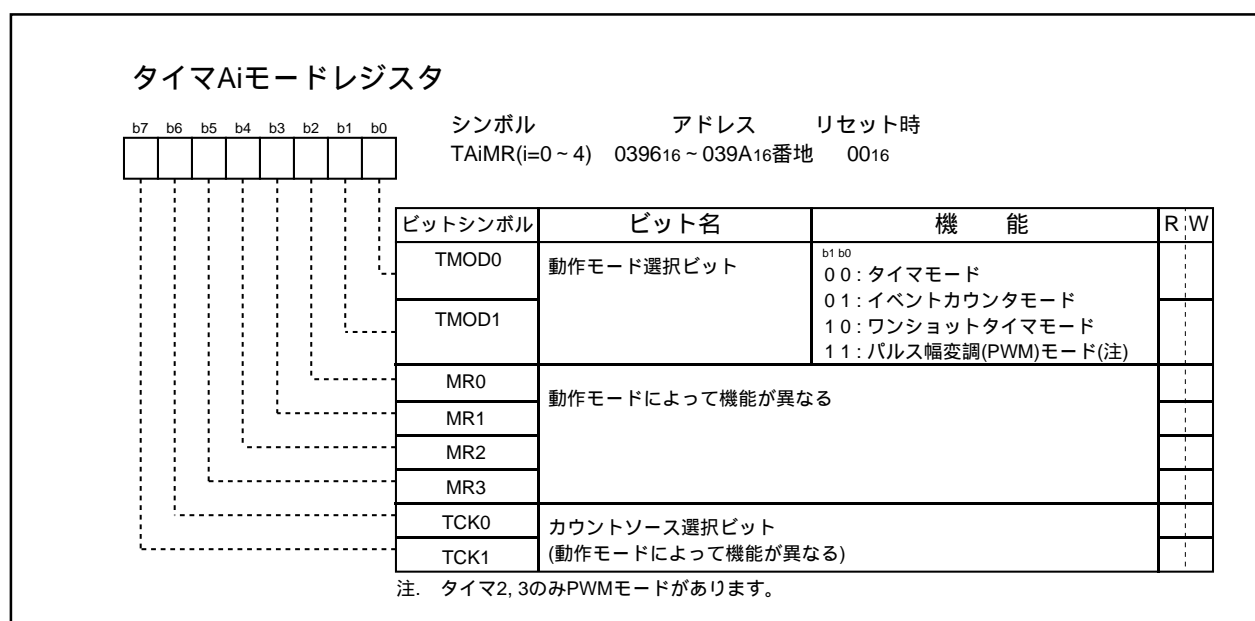


図2.10.4 タイマAiモードレジスタ

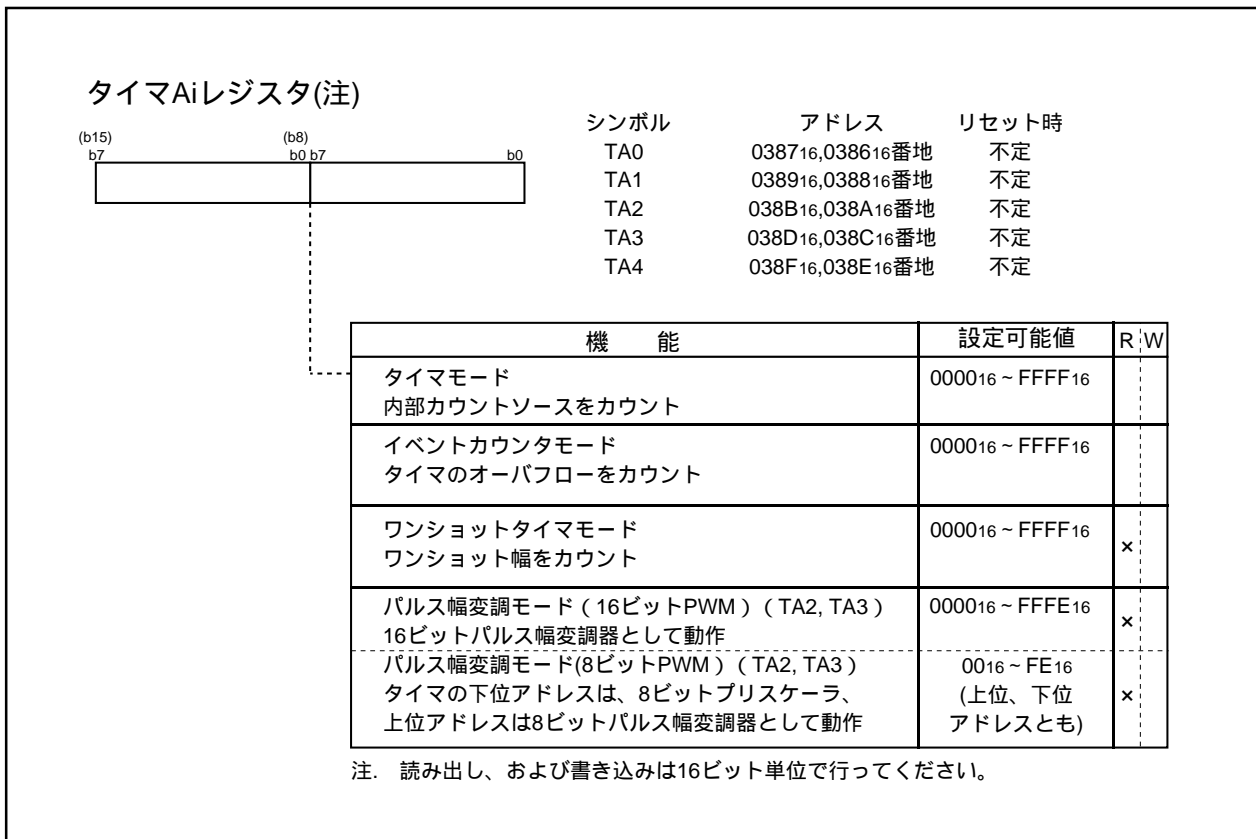


図2.10.5 タイマAiレジスタ

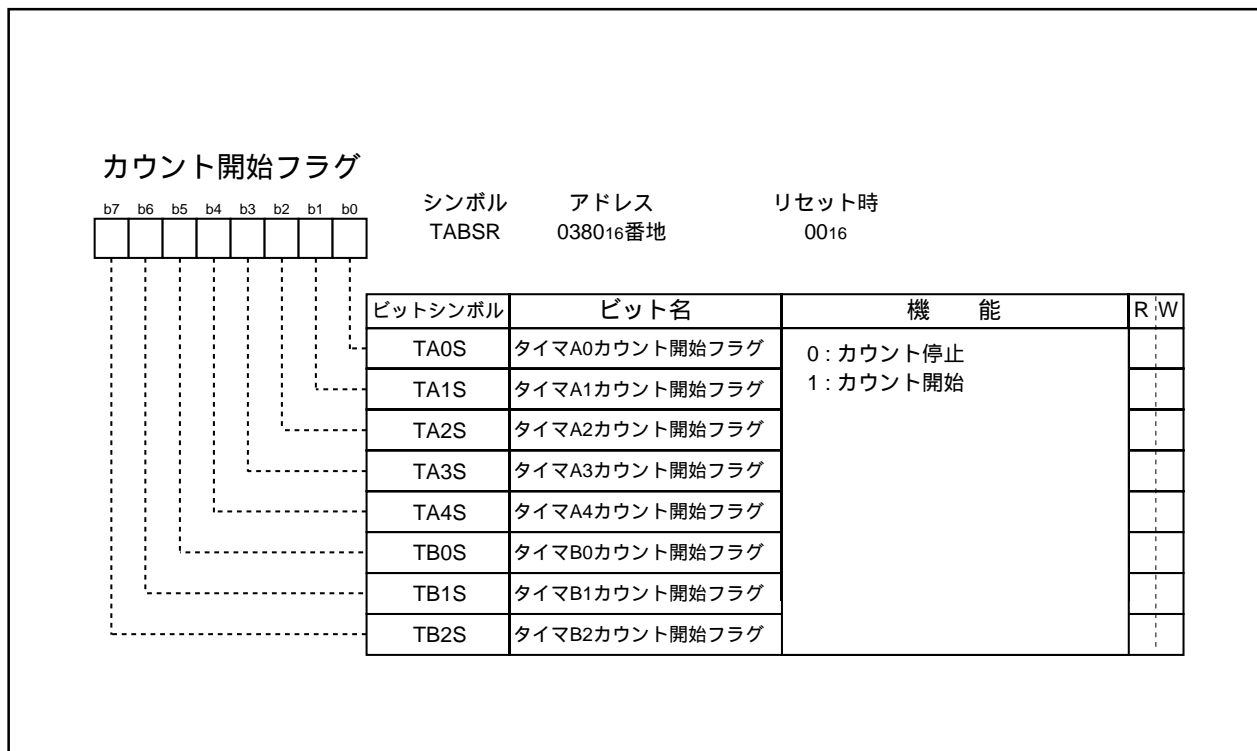


図2.10.6 カウント開始フラグ

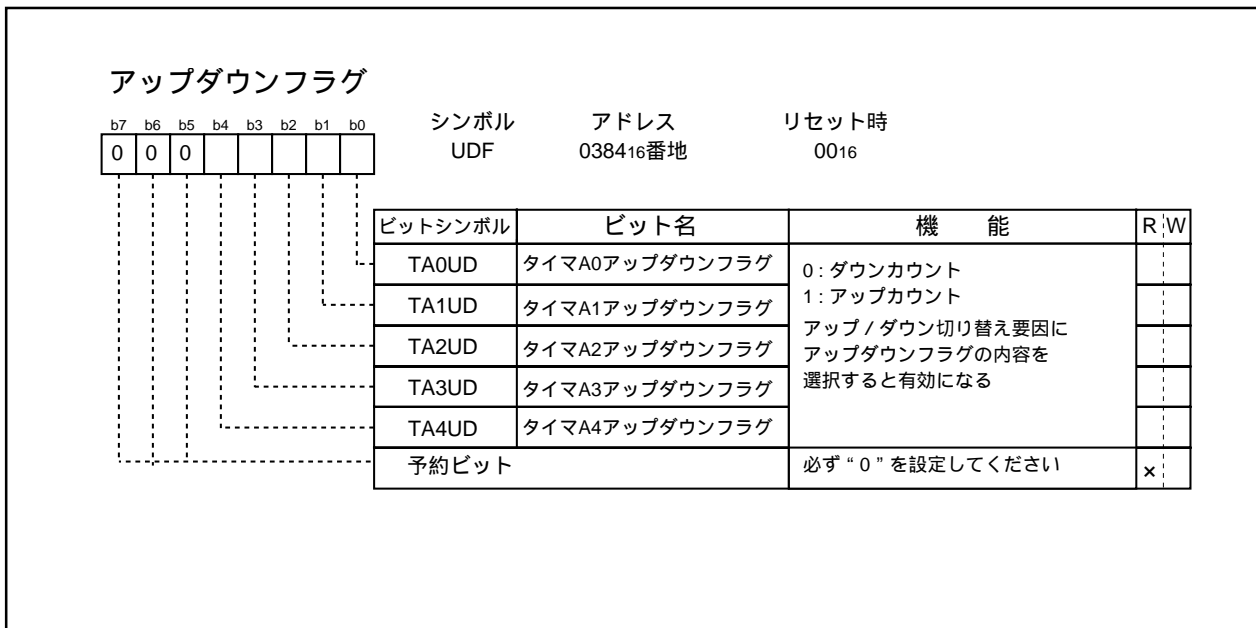


図2.10.7 アップダウンフラグ

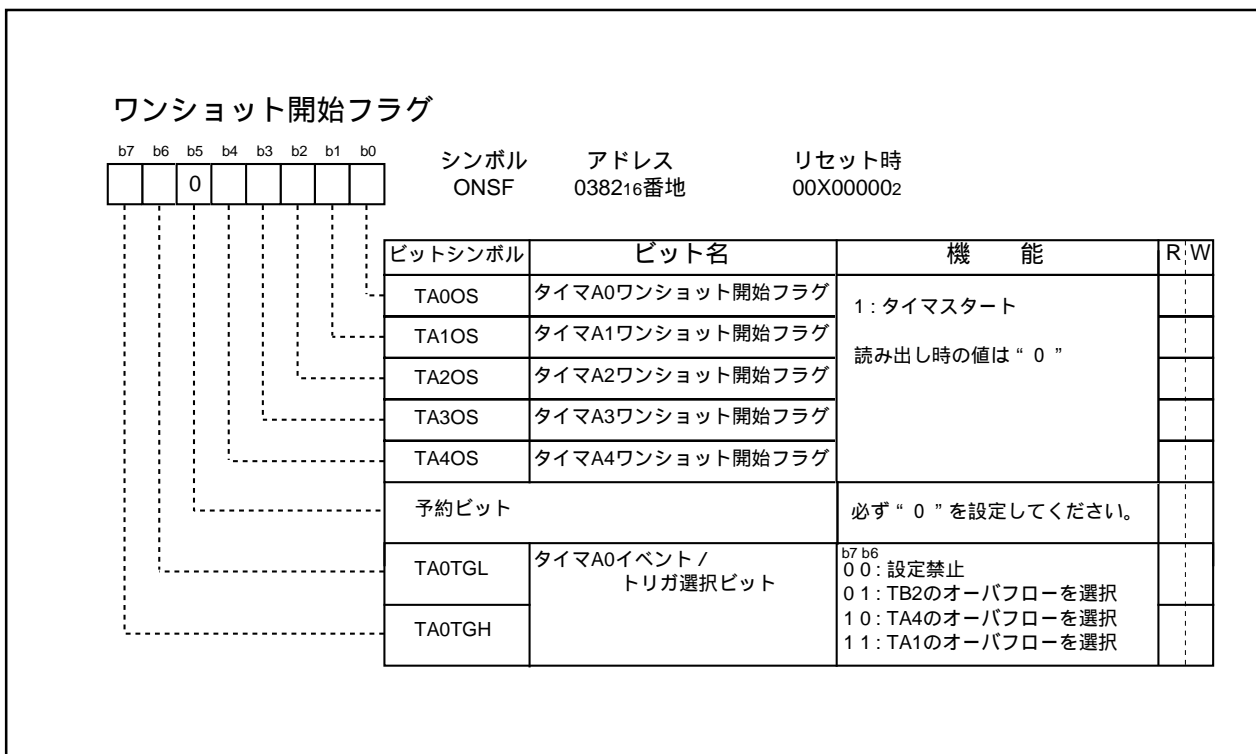


図2.10.8 ワンショット開始フラグ

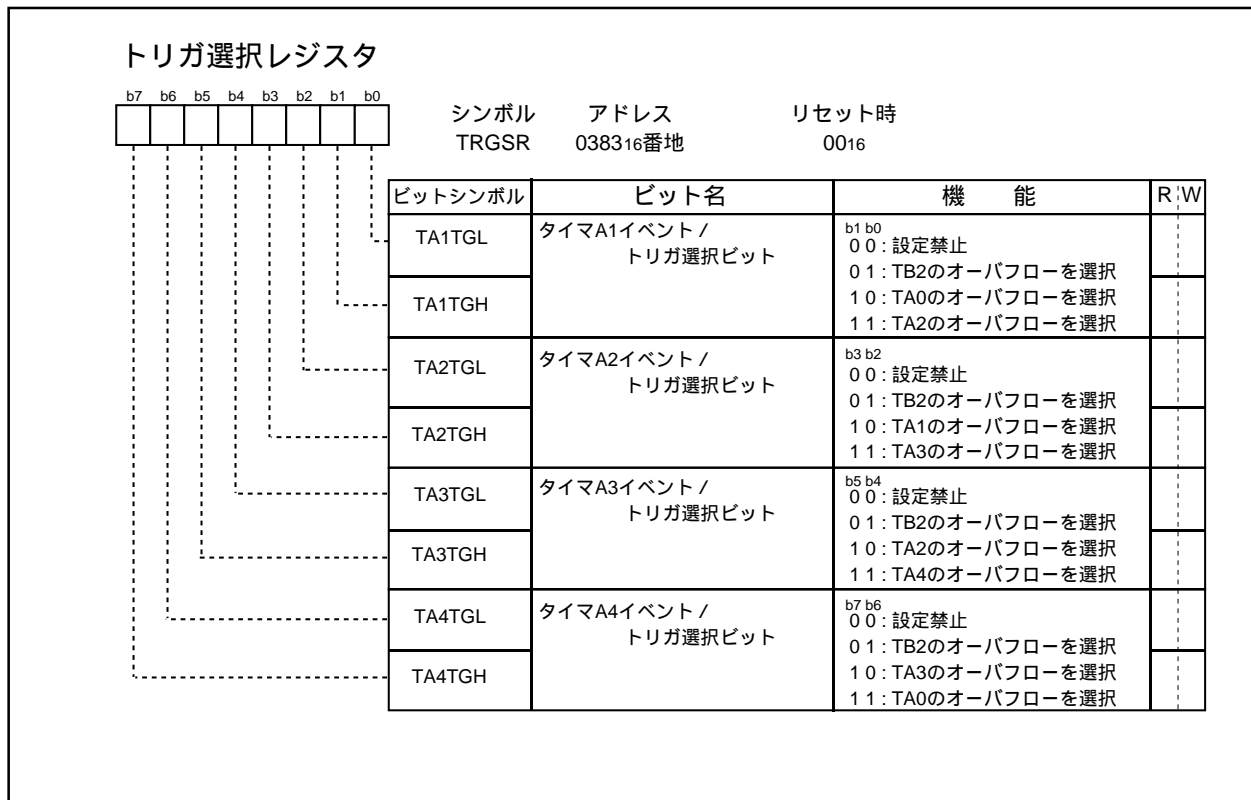


図2.10.9 トリガ選択レジスタ

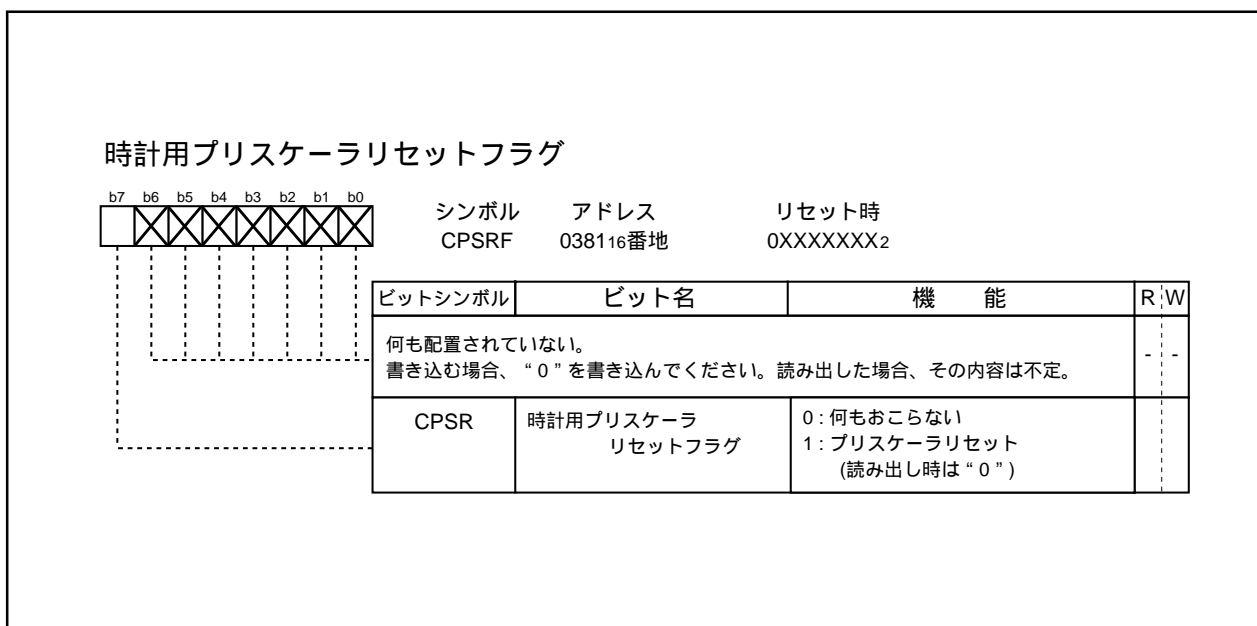


図2.10.10 時計用プリスケアラリセットフラグ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.1)。図2.10.11にタイマモード時のタイマAiモードレジスタを示します。

表2.10.1 タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

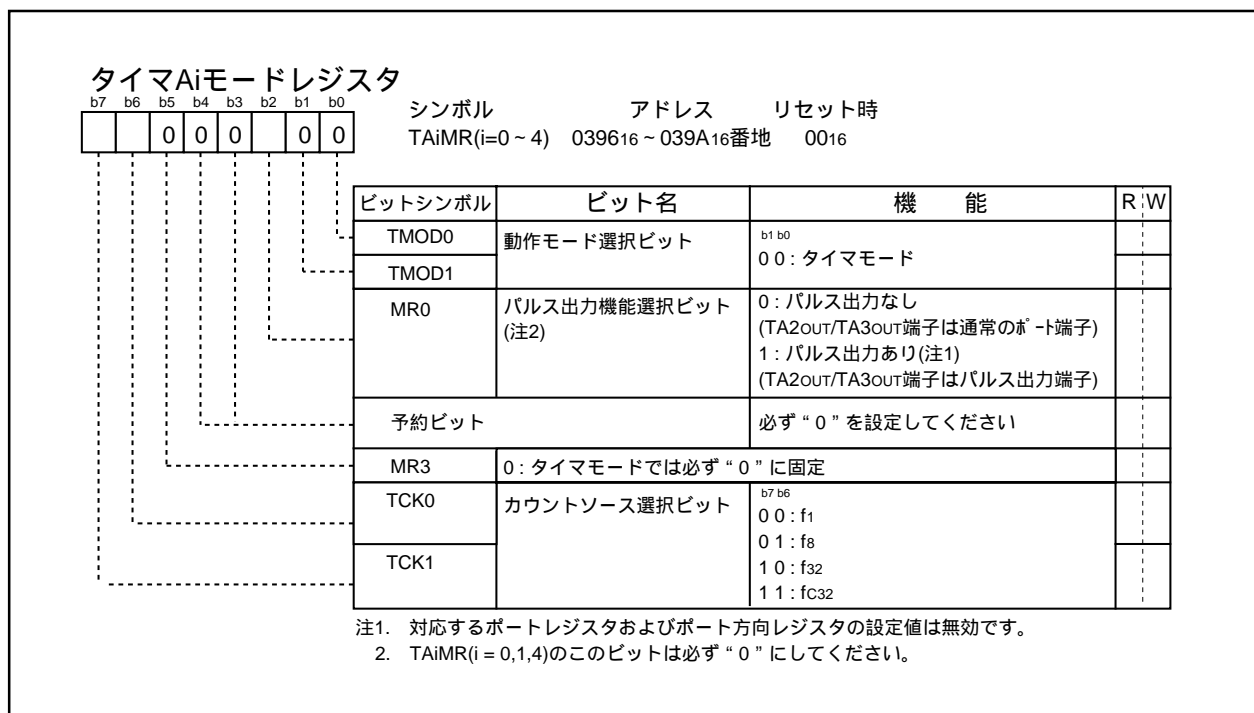


図2.10.11 タイマモード時のタイマAiモードレジスタ(*i* = 0 ~ 4)

(2) イベントカウンタモード

内部タイマのオーバフローをカウントするモードです。

表2.10.2 イベントカウンタモードの仕様

項 目	仕 様
カウントソース	TB2のオーバフロー、TAjのオーバフロー、TAkのオーバフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注)
分周比	アップカウント時 $1/(\text{FFFF}_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注. フリーラン機能選択時は除きます。

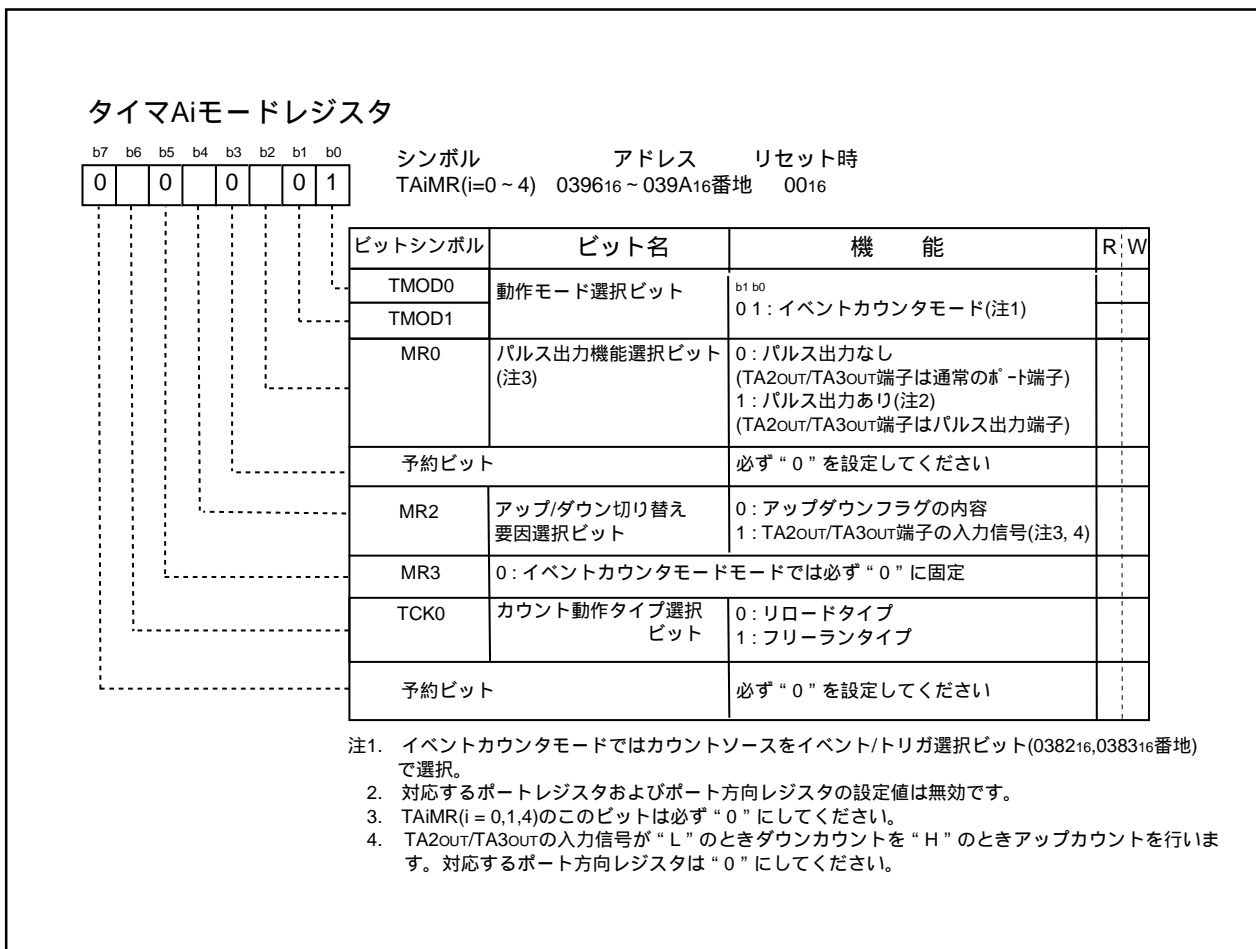


図2.10.12 イベントカウンタモード時のタイマAiモードレジスタ (i=0~4)

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表2.10.3)。トリガが発生するとその時点から任意の期間、タイマが動作します。図2.10.13にワンショットタイマモード時のタイマAiモードレジスタを示します。

表2.10.3 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

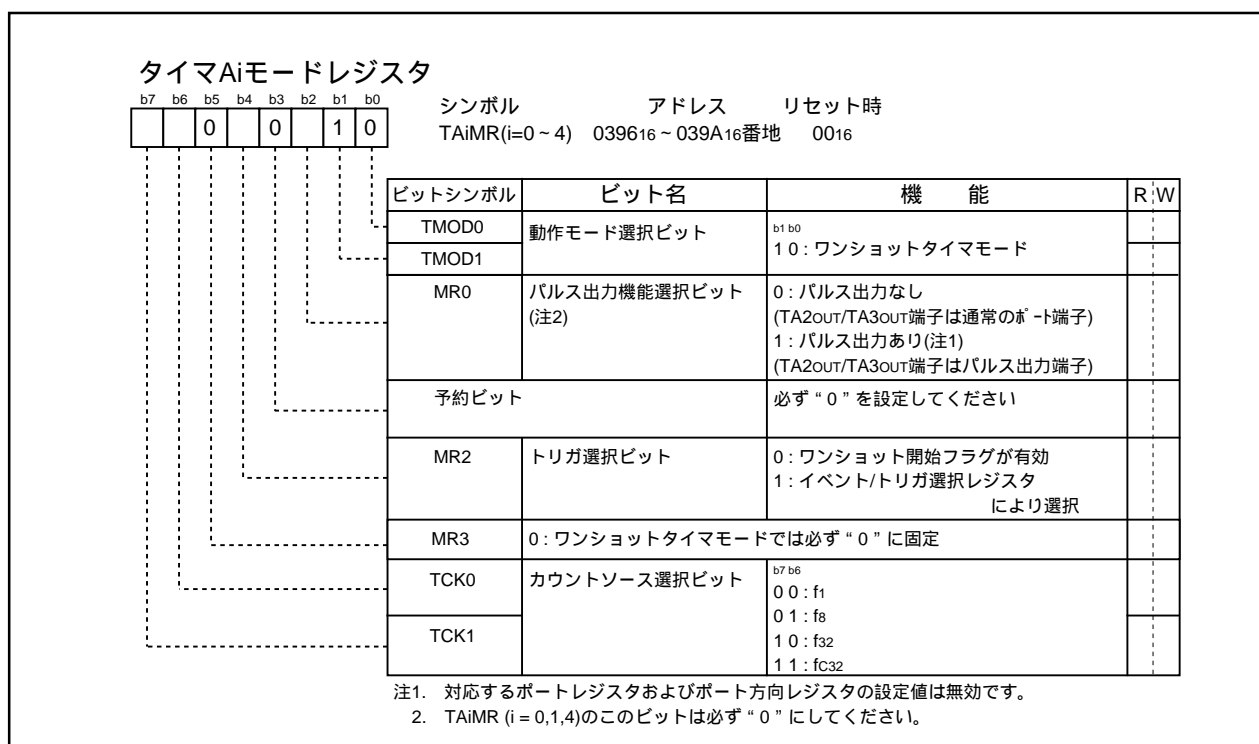


図2.10.13 ワンショットタイマモード時のタイマAiモードレジスタ (i = 0 ~ 4)

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表2.10.4)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図2.10.14にパルス幅変調モード時のタイマAiモードレジスタ、図2.10.15に8ビットパルス幅変調器の動作例を示します。

表2.10.4 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n:設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TA2OUT/TA3OUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

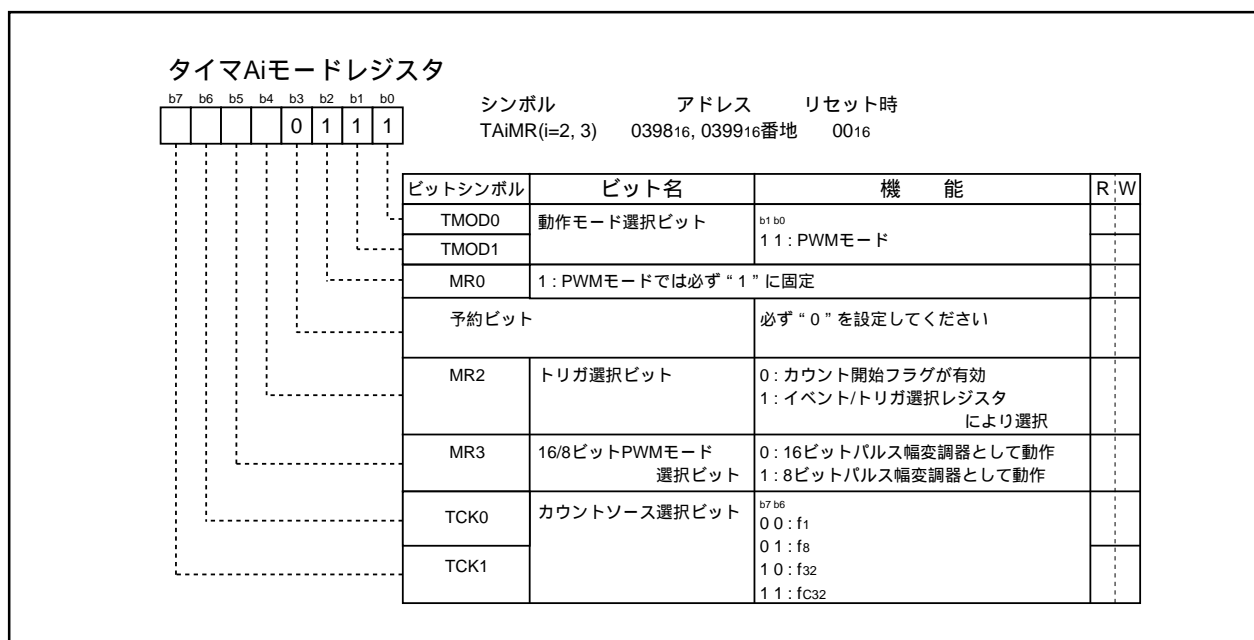


図2.10.14 パルス幅変調モード時のタイマAiモードレジスタ (i = 2, 3)

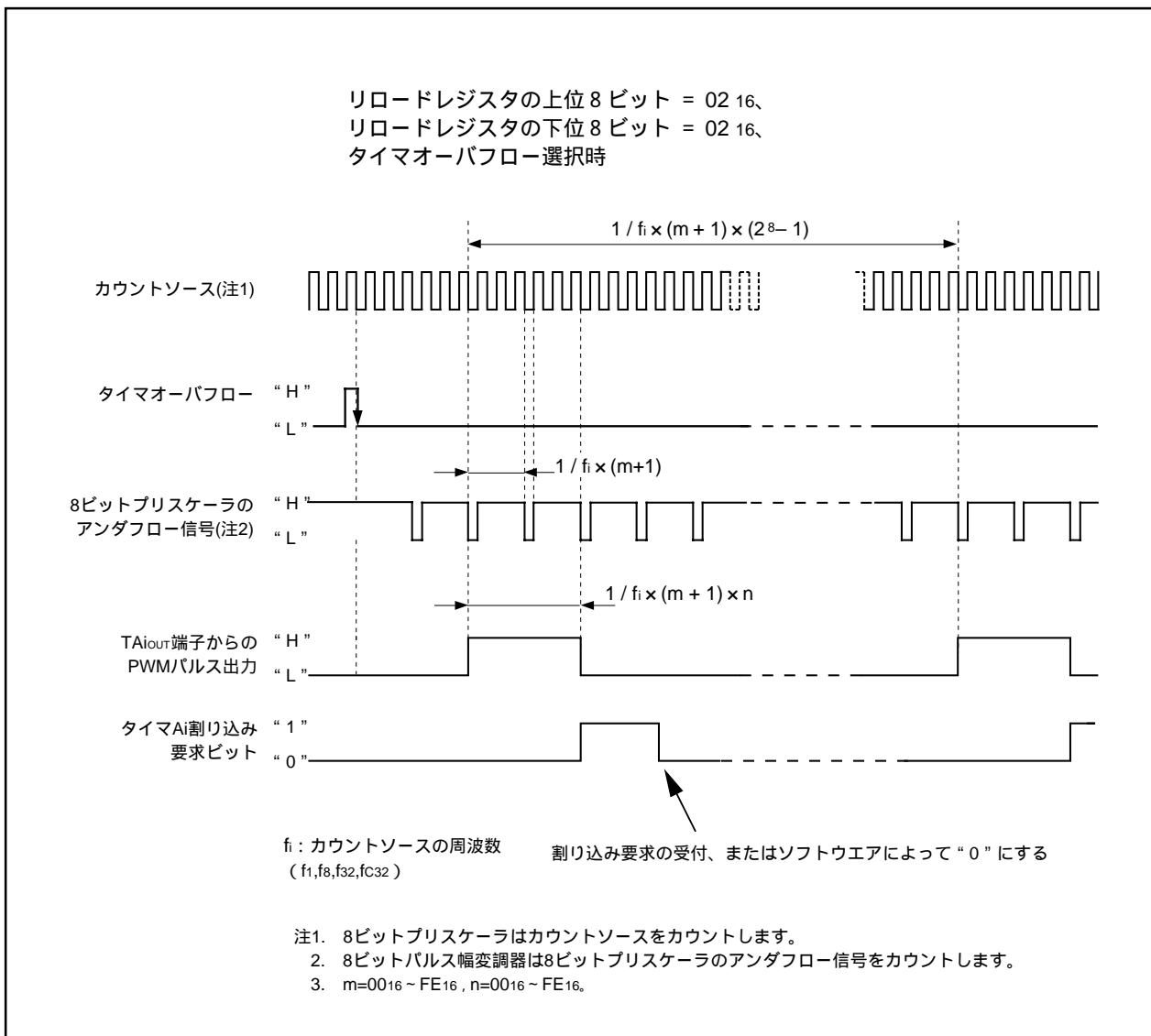


図2.10.15 8ビットパルス幅変調器の動作例

2.10.2 タイマB

図2.10.16にタイマBのブロック図を、図2.10.17～図2.10.20にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0~2)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・パルス周期測定/パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

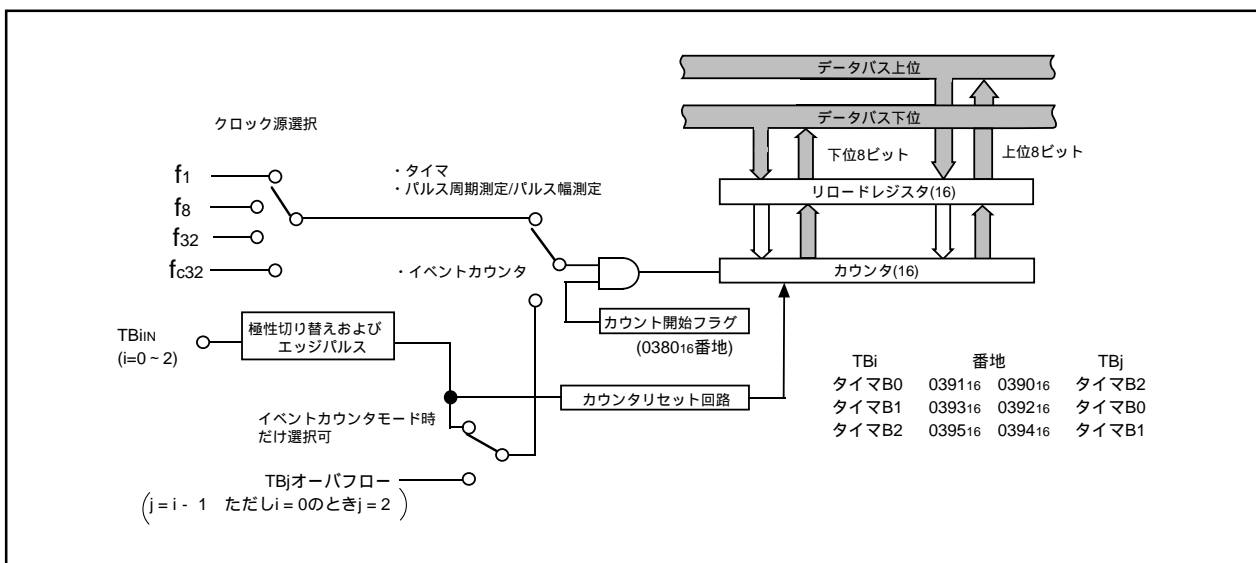


図2.10.16 タイマBブロック図

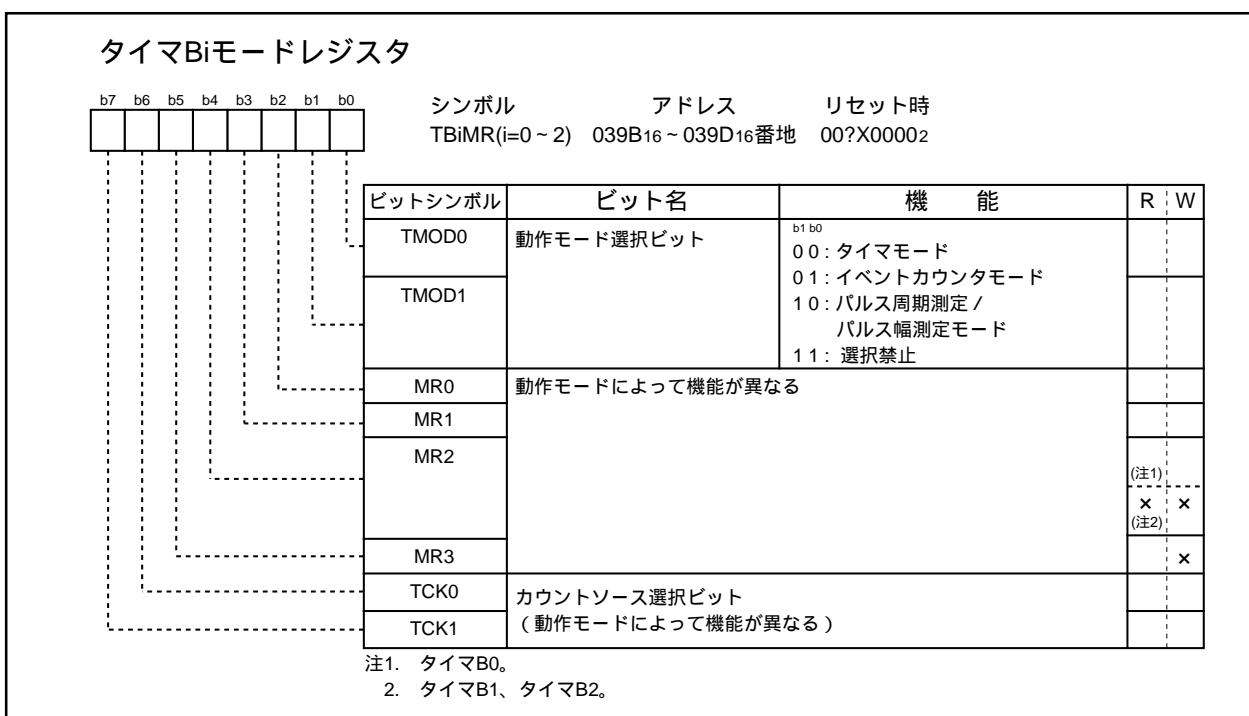


図2.10.17 タイマBiモードレジスタ (i = 0 ~ 2)

タイマBiレジスタ(注)

シンボル	アドレス	リセット時
TB0	0391 ₁₆ ,0390 ₁₆ 番地	不定
TB1	0393 ₁₆ ,0392 ₁₆ 番地	不定
TB2	0395 ₁₆ ,0394 ₁₆ 番地	不定

機能	設定可能値	R	W
タイマモード タイマの周期をカウント	0000 ₁₆ ~ FFFF ₁₆		
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆		
パルス周期測定モード/パルス幅測定モード パルス周期、またはパルス幅を測定	—		x

注. 読み出し、および書き込みは16ビット単位で行ってください。

図2.10.18 タイマBiレジスタ (i = 0 ~ 2)

カウント開始フラグ

シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R	W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始		
TA1S	タイマA1カウント開始フラグ			
TA2S	タイマA2カウント開始フラグ			
TA3S	タイマA3カウント開始フラグ			
TA4S	タイマA4カウント開始フラグ			
TB0S	タイマB0カウント開始フラグ			
TB1S	タイマB1カウント開始フラグ			
TB2S	タイマB2カウント開始フラグ			

図2.10.19 カウント開始フラグ

時計用プリスケアラリセットフラグ

シンボル	アドレス	リセット時
CPSRF	0381 ₁₆ 番地	0XXXXXX ₂

ビットシンボル	ビット名	機能	R	W
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。	-	-
CPSR	時計用プリスケアラ リセットフラグ	0: 何もおこらない 1: プリスケアラリセット (読み出し時は“0”)		

図2.10.20 時計用プリスケアラリセットフラグ

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.5)。図2.10.21にタイマモード時のタイマBiモードレジスタを示します。

表2.10.5 タイマモードの仕様

項目	仕様
カウントソース	f1,f8,f32,fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

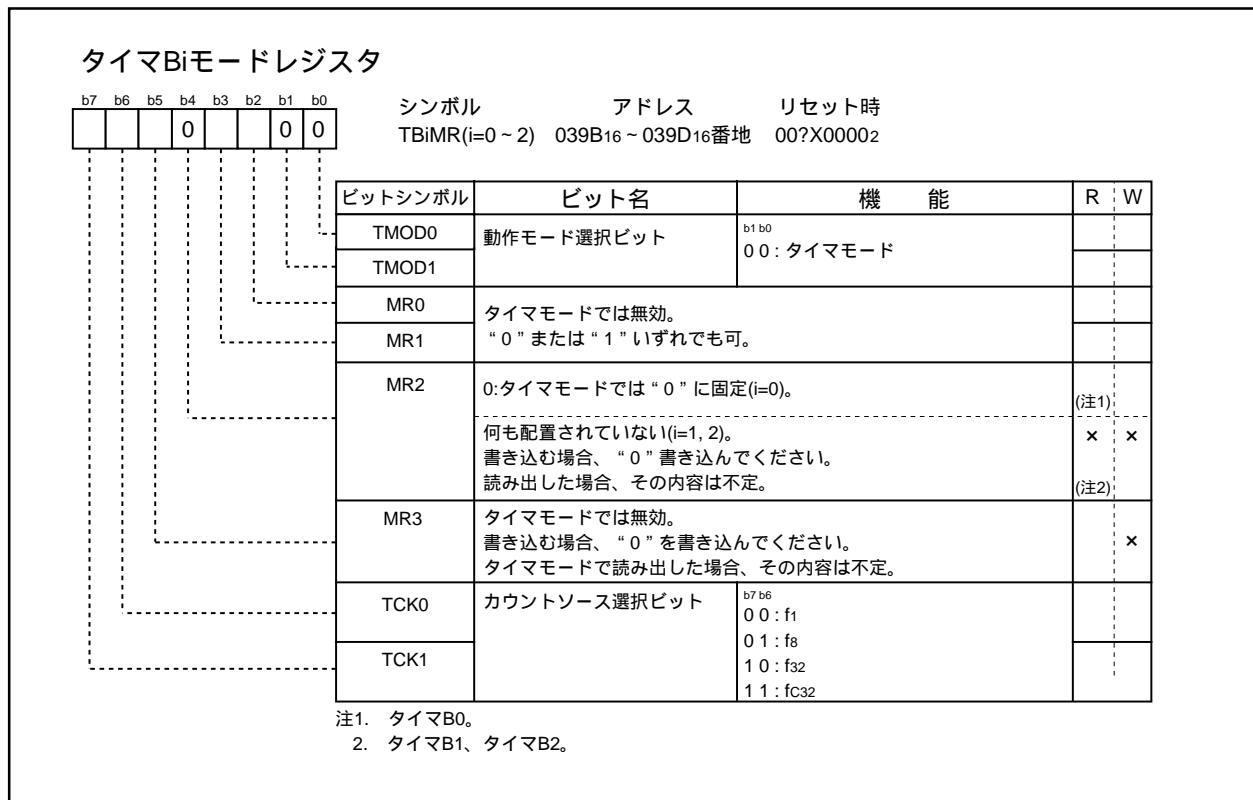


図2.10.21 タイマモード時のタイマBiモードレジスタ (i = 0 ~ 2)

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表2.10.6)。タイマBiレジスタを図2.10.22に示します。

表2.10.6 イベントカウンタモードの仕様

項目	仕様
カウントソース	TBin端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上りをソフトウェアによって選択可 TBjのオーバフロー
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBin端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ		シンボル	アドレス	リセット時	
		TBiMR(i=0~2)	039B16~039D16番地	00?X00002	
ビットシンボル	ビット名	機能		R	W
TMOD0	動作モード選択ビット	b1 b0	01: イベントカウンタモード		
TMOD1					
MR0	カウント極性選択ビット(注1)	b3 b2	00: 外部信号の立ち下がりを実カウント 01: 外部信号の立ち上りをカウント 10: 外部信号の立ち下がりおよび立ち上りをカウント 11: 選択禁止		
MR1					
MR2	0: イベントカウンタモードでは“0”に固定(i=0)。 何も配置されていない(i=1, 2)。書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			(注2)	x x
MR3	イベントカウンタモードでは無効。書き込む場合、“0”を書き込んでください。イベントカウンタモードで読み出した場合、その内容は不定。				x
TCK0	イベントカウンタモードでは無効。“0”または“1”いずれでも可。				
TCK1	イベントクロック選択		0: TBin端子からの入力(注4) 1: TBjのオーバフロー (j=i-1 ただしi=0のときj=2)		

注1. TBin端子からの入力をイベントクロックとして選択したときだけ有効。タイマのオーバフローを選択したときは、“0”でも“1”でも可。
 2. タイマB0。
 3. タイマB1、タイマB2。
 4. 対応するポート方向レジスタは“0”にしてください。

図2.10.22 イベントカウンタモード時のタイマBiモードレジスタ (i = 0 ~ 2)

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を設定するモードです (表2.10.7)。図2.10.23にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタ、図2.10.24にパルス周期測定時の動作図、及び図2.10.25にパルス幅測定時の動作図を示します。

表2.10.7 パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態、次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと“0”になります。)
TBiIn端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

- 注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。
- 2. カウント開始後 2 回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
			0			1	0

シンボル アドレス リセット時

TBiMR(i=0~2) 039B16 ~ 039D16番地 00?X00002

ビットシンボル	ビット名	機能	R	W
TMOD0	動作モード選択ビット	b1 b0 10: パルス周期測定 / パルス幅測定モード		
TMOD1				
MR0	測定モード選択ビット	b3 b2 00: パルス周期測定 (測定パルスの立ち下がり - 立ち下がり間) 01: パルス周期測定 (測定パルスの立ち上がり - 立ち上がり間) 10: パルス幅測定 (測定パルスの立ち下がり - 立ち上がり間、および立ち上がり - 立ち下がり間) 11: 選択禁止		
MR1				
MR2			0: パルス周期測定/パルス幅測定モードでは“0”に固定(i=0)。何も配置されていない(i=1, 2)。書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。 <small>(注2)</small>	
MR3	タイマBiオーバフローフラグ(注1)	0: オーバフローなし 1: オーバフローあり		x
TCK0	カウントソース選択ビット	b7 b6 00: f1 01: f8 10: f32 11: fc32		
TCK1				

注1. タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。
 2. タイマB0。
 3. タイマB1、タイマB2。

図2.10.23 パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタ (i = 0 ~ 2)

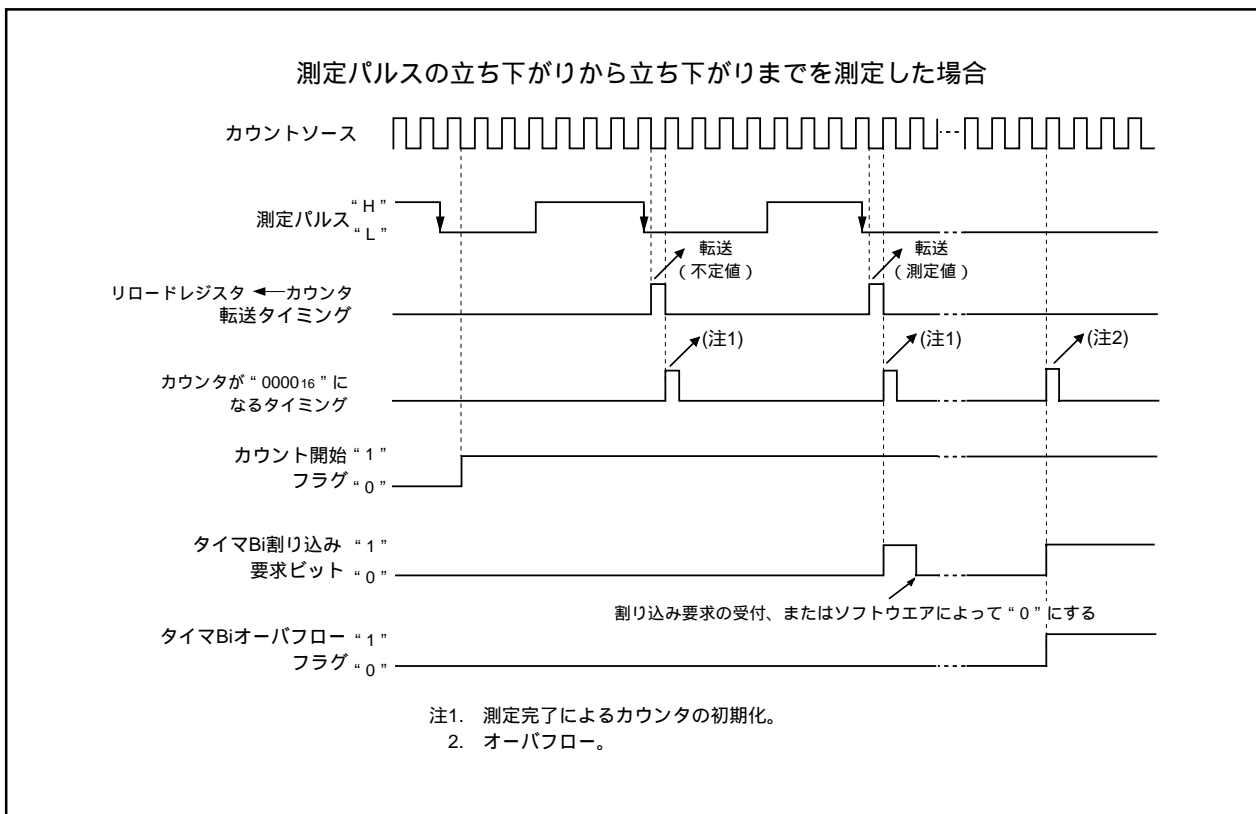


図2.10.24 パルス周期測定時の動作図

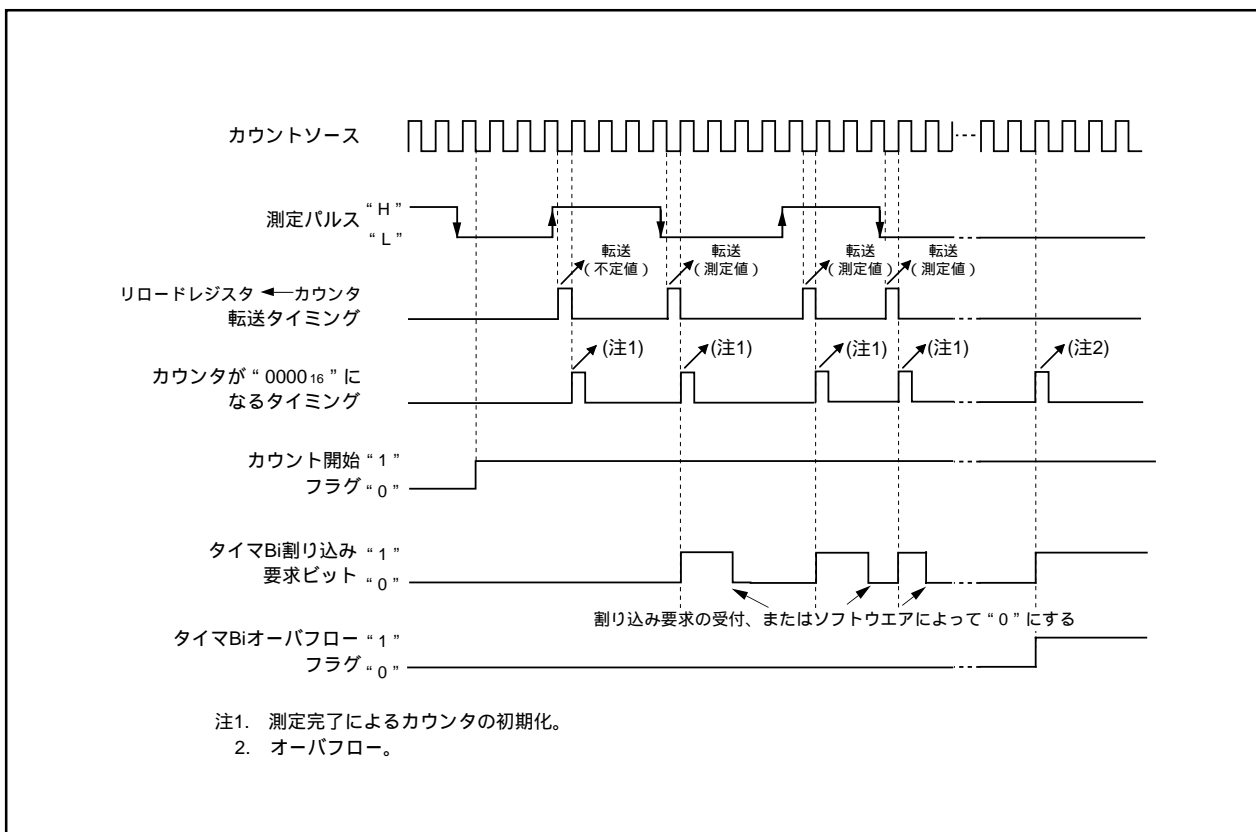


図2.10.25 パルス幅測定時の動作図

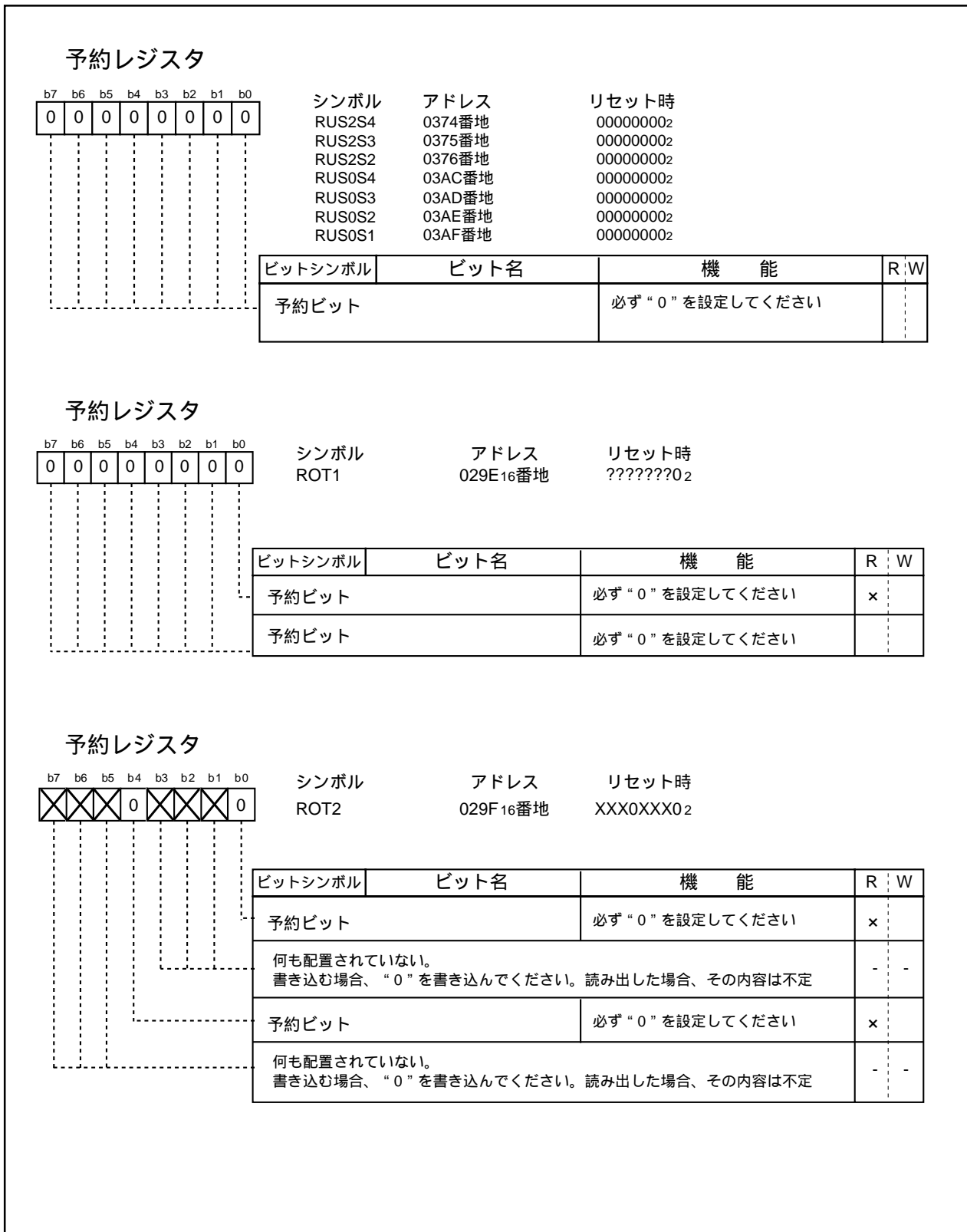


図2.10.26 予約レジスタ

(4) TB0INノイズフィルタ

TB0IN端子の入力にはノイズフィルタが内蔵されています。ノイズフィルタのON/OFF、フィルタクロックの選択は、ペリフェラルモードレジスタのビット2~ビット4で行います。

注. ノイズフィルタを使用する場合、ペリフェラルモードレジスタのビット7をメインクロックの周波数に従って設定してください。

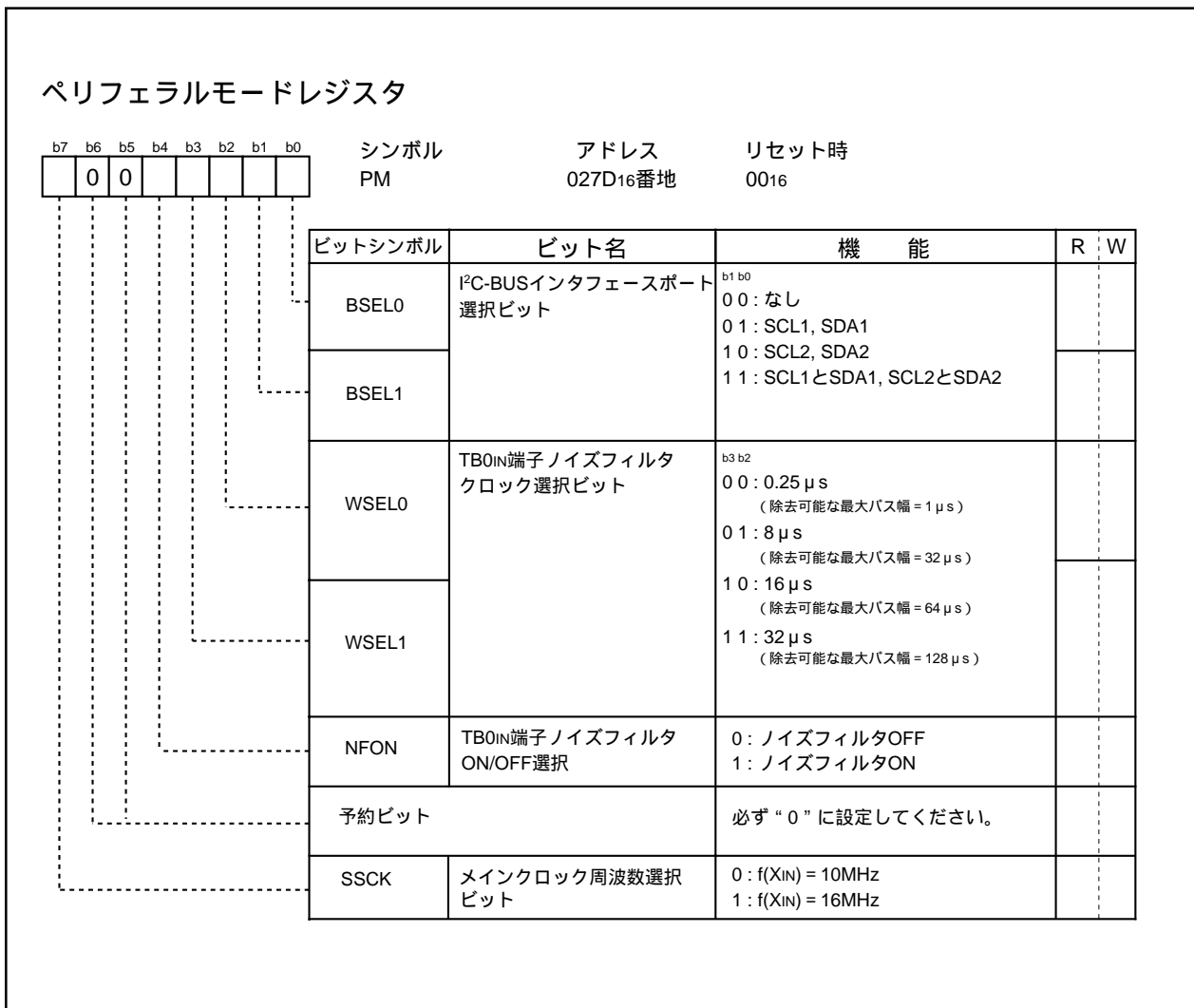


図2.10.27 ペリフェラルモードレジスタ

2.11 シリアルI/O

シリアルI/Oは、UART0、UART2、およびマルチマスタ²C-BUSインタフェース0、マルチマスタ²C-BUSインタフェース1の4ユニットで構成しています。

次にそれぞれについて説明します。

2.11.1 UART0, UART2

UART0及びUART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図2.11.1にUARTi(i=0, 2)のブロック図を、図2.11.2、図2.11.3に送受信部のブロック図を示します。

UARTi(i=0, 2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、0378₁₆番地のビット0～ビット2)の内容で選択します。

UART0, UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

表2.11.1にUART0及びUART2の機能比較を、図2.11.4～図2.11.13に、UARTi関連のレジスタを示します。

表2.11.1 UART0, UART2の機能比較

機 能	UART0	UART2
CLK極性選択	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	不可
シリアルデータ論理切り替え	不可	可
TxD、RxD入出力極性切り替え	不可	可
TxD、RxD端子出力形式	CMOS出力	Nチャネルオープンドレイン出力
パリティエラー信号出力	不可	可
バス衝突検出	不可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。

2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

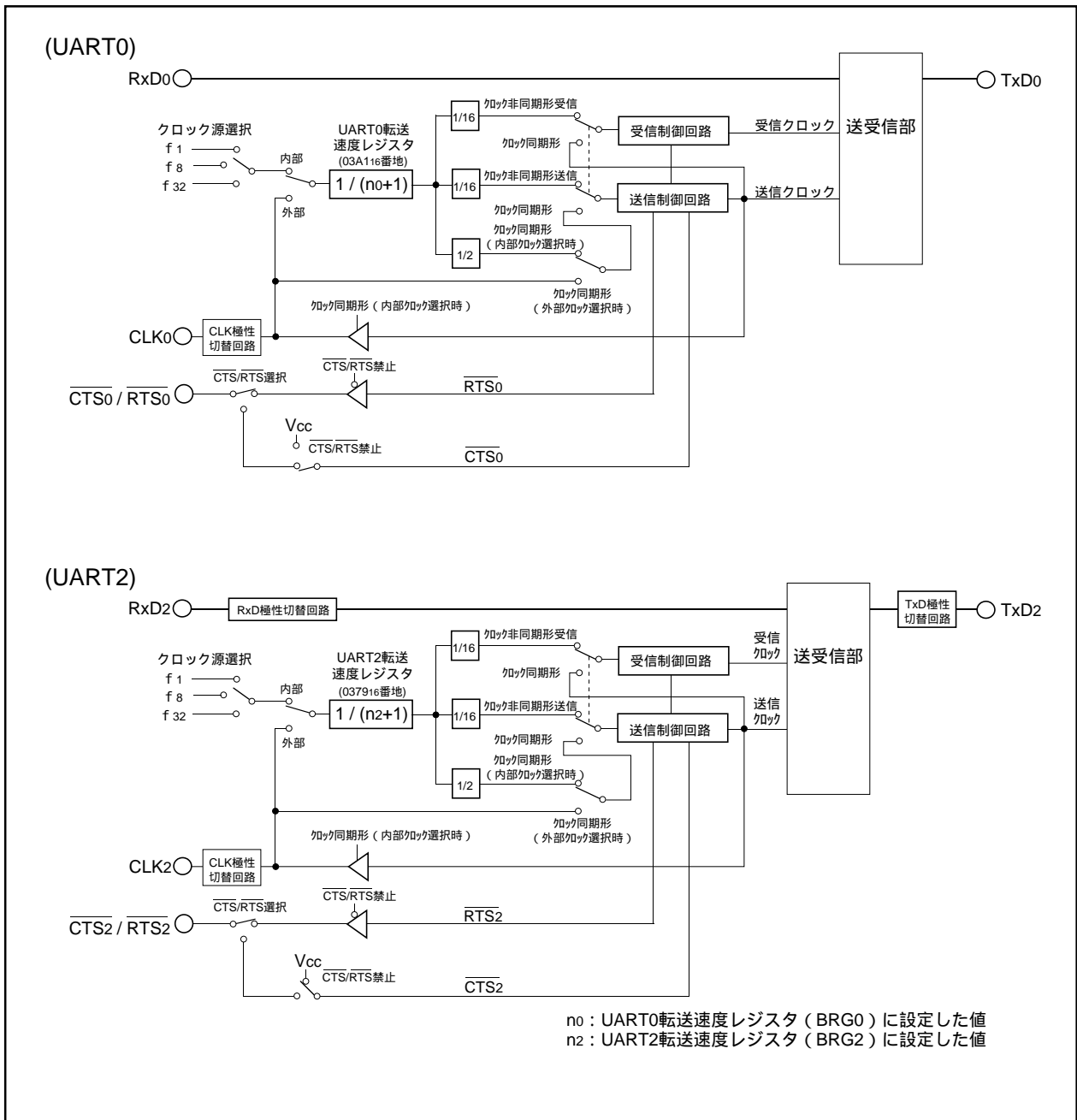


図2.11.1 UARTi(i=0, 2)ブロック図

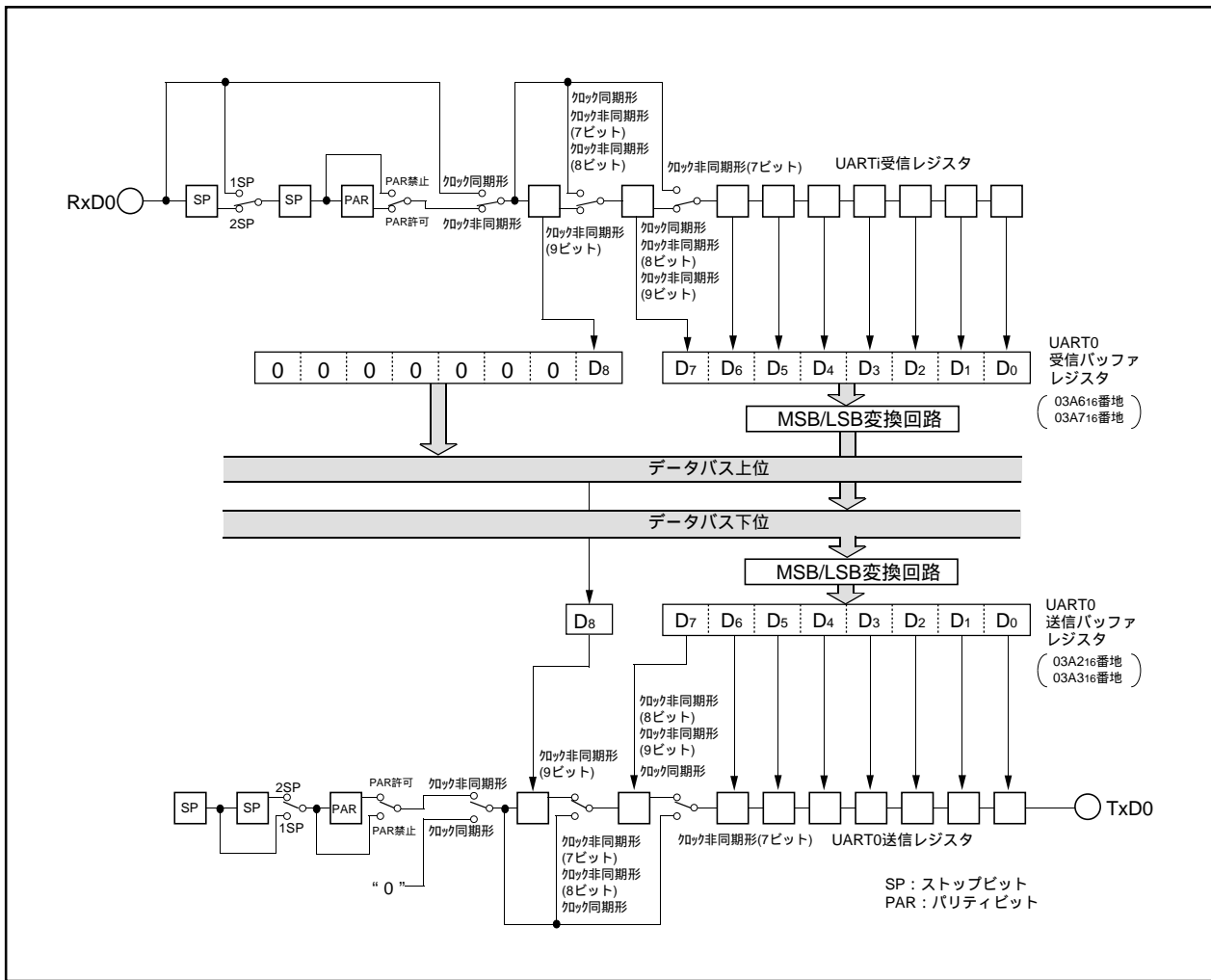


図2.11.2 UART0送受信部ブロック図

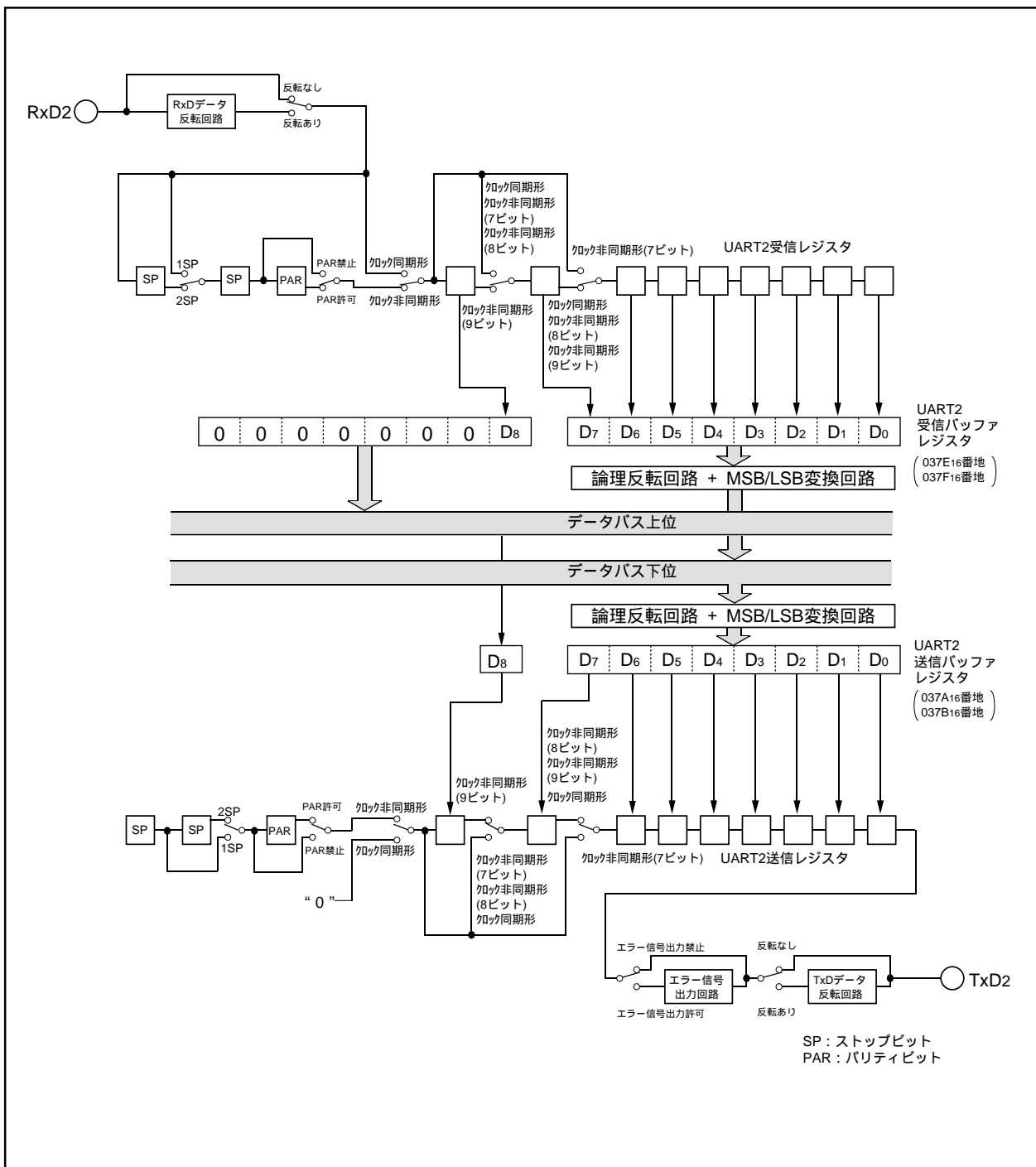


図2.11.3 UART2送受信部ブロック図

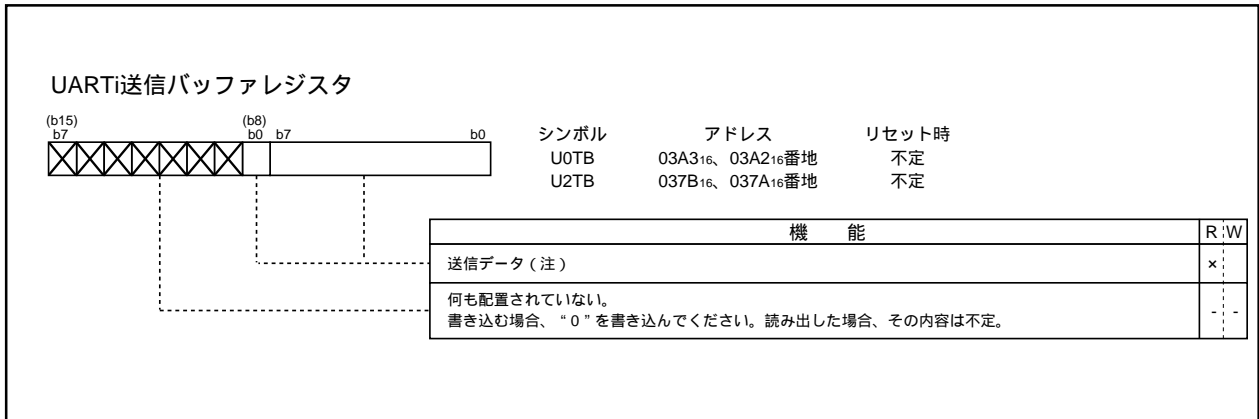


図2.11.4 UARTi送信バッファレジスタ (i = 0, 2)

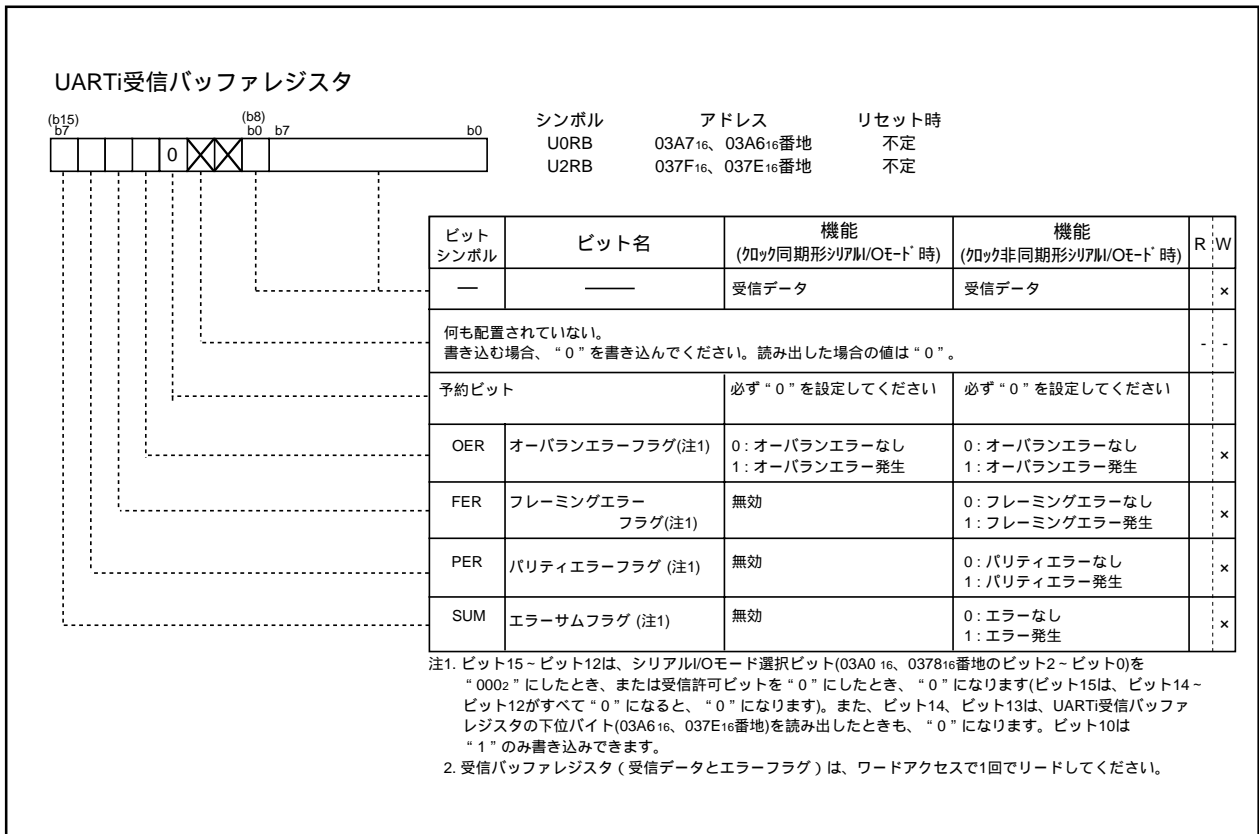


図2.11.5 UARTi受信バッファレジスタ (i = 0, 2)

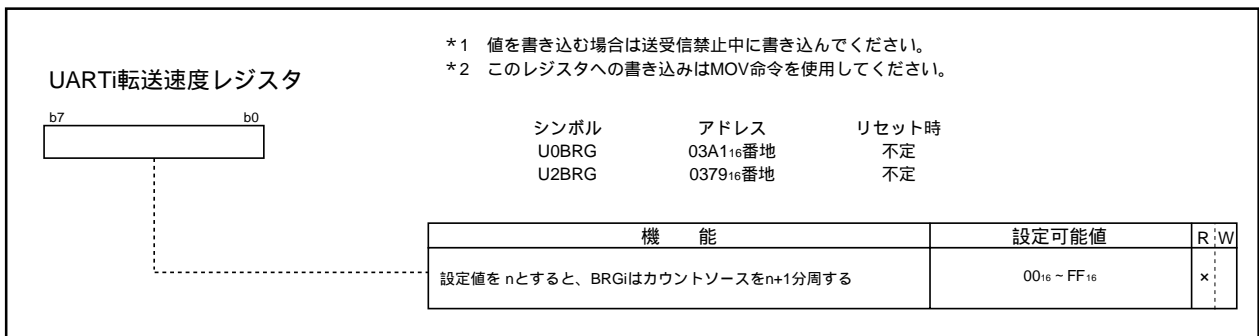


図2.11.6 UARTi転送速度レジスタ (i = 0, 2)

UART0送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

シンボル
U0MR

アドレス
03A0₁₆番地

リセット時
00₁₆

ビットシンボル	ビット名	機能 (クロック同期形シリアル/OE-ド'時)	機能 (クロック非同期形シリアル/OE-ド'時)	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 001 に固定してください 000: シリアル/Oは無効 010: 使用禁止 011: 使用禁止 111: 使用禁止	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアル/Oは無効 010: 使用禁止 011: 使用禁止 111: 使用禁止	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0: 内部クロック 1: 外部クロック	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が "1" のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
IOPCL	予約ビット	"0" に固定してください	"0" に固定してください	

図2.11.7 UART0送受信モードレジスタ

UART2送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シンボル
U2MR

アドレス
0378₁₆番地

リセット時
00₁₆

ビットシンボル	ビット名	機能 (クロック同期形シリアル/OE-ド'時)	機能 (クロック非同期形シリアル/OE-ド'時)	R/W
SMD0	シリアル/Oモード選択ビット	b2 b1 b0 001 に固定してください 000: シリアル/Oは無効 010: 使用禁止 011: 使用禁止 111: 使用禁止	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアル/Oは無効 010: 使用禁止 011: 使用禁止 111: 使用禁止	
SMD1				
SMD2				
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0: 内部クロック 1: 外部クロック	
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	
PRY	パリティ奇/偶選択ビット	無効	ビット6が "1" のとき有効、 0: 奇数パリティ 1: 偶数パリティ	
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	
IOPOL	TxD,RxD入出力極性切り替えビット	0: 反転なし 1: 反転あり 通常は "0" に設定してください	0: 反転なし 1: 反転あり 通常は "0" に設定してください	

図2.11.8 UART2送受信モードレジスタ

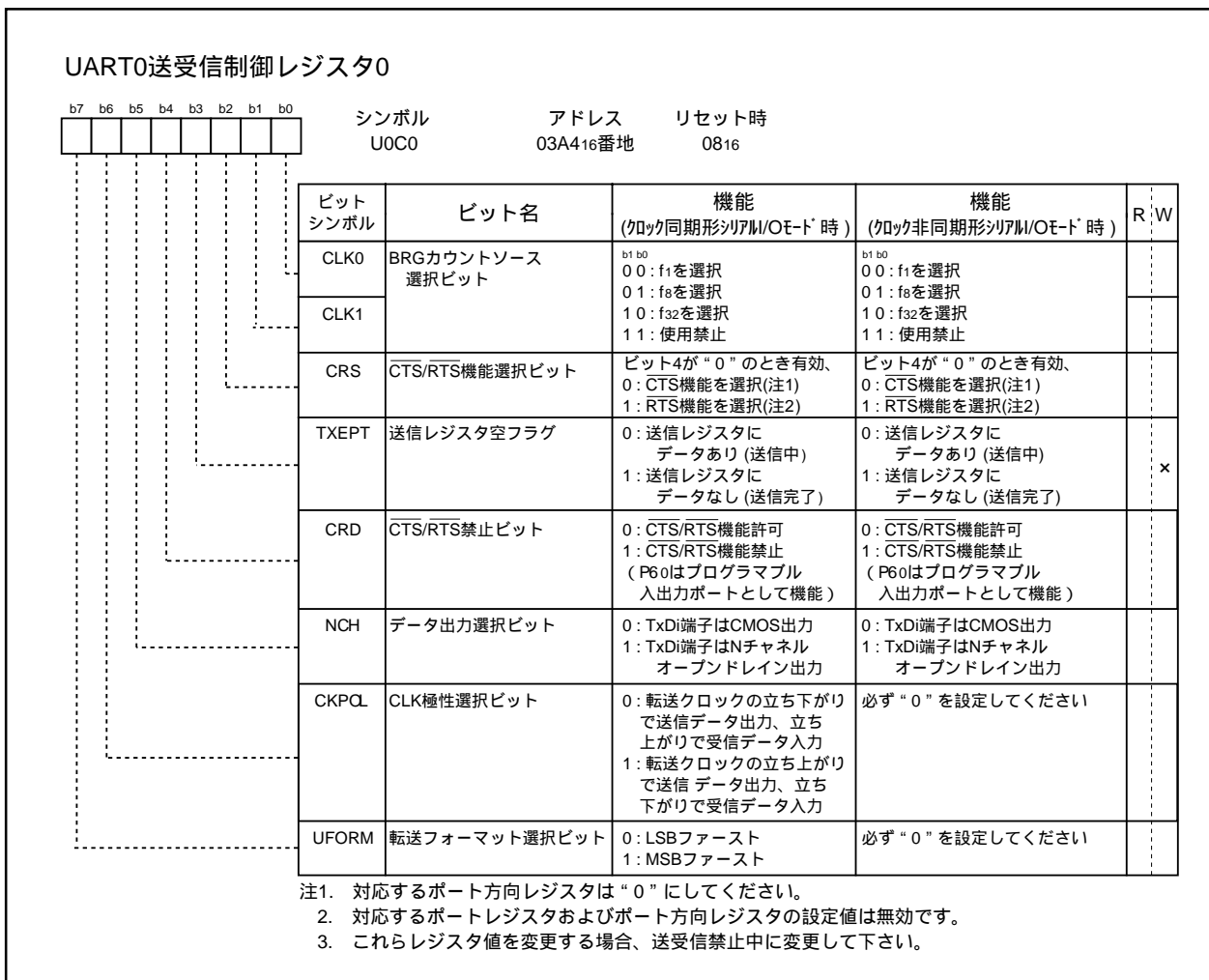


図2.11.9 UART0送受信制御レジスタ0

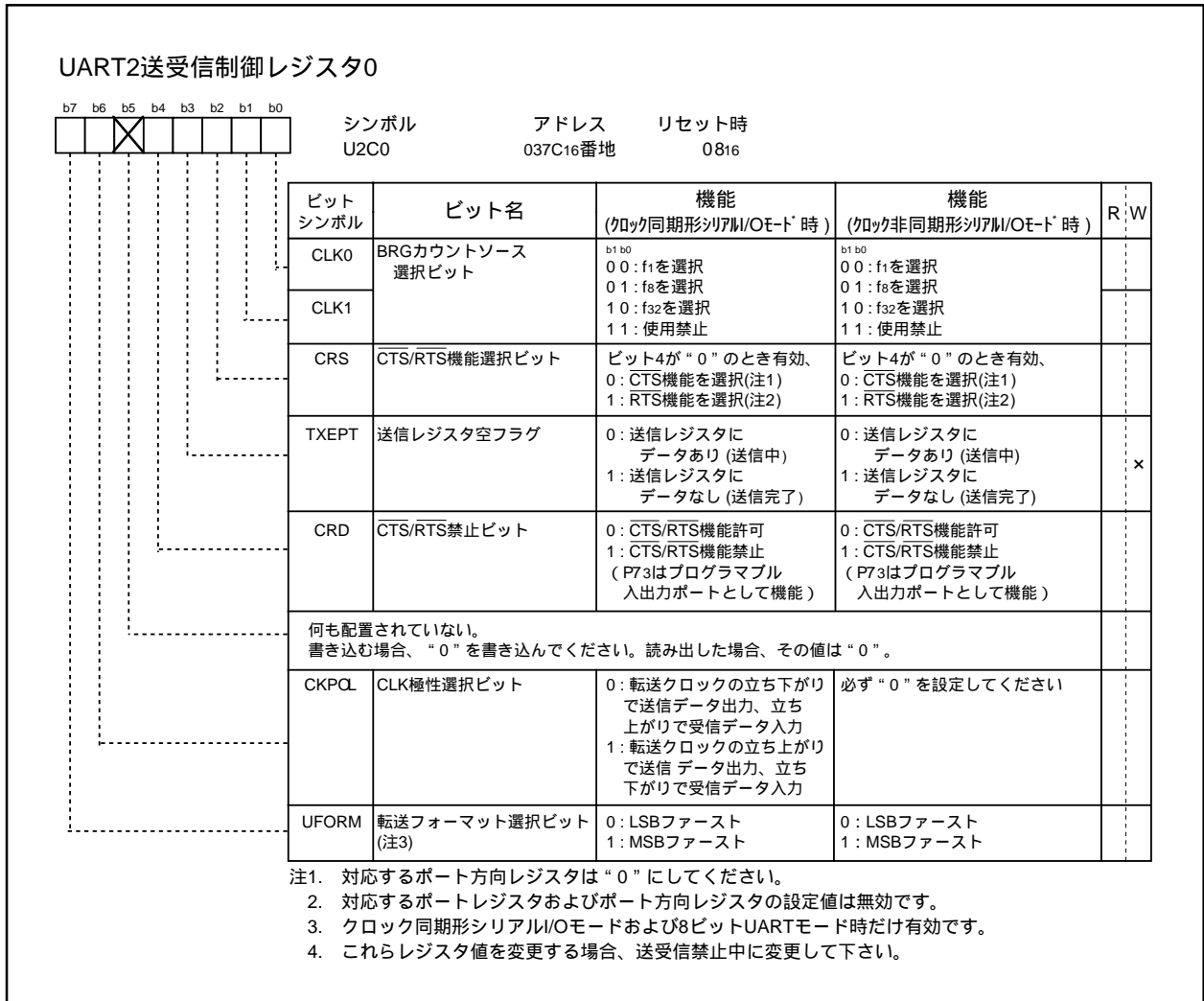


図2.11.10 UART2送受信制御レジスタ0

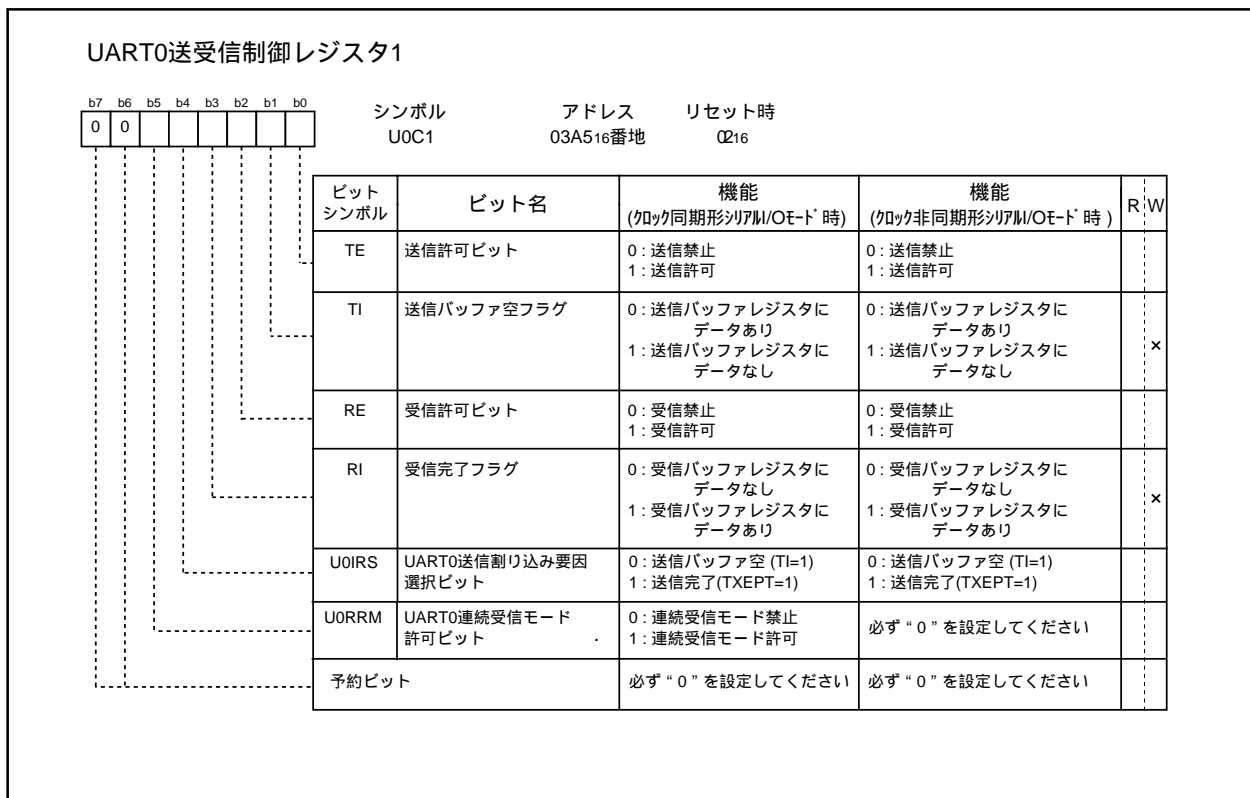


図2.11.11 UART0送受信制御レジスタ1

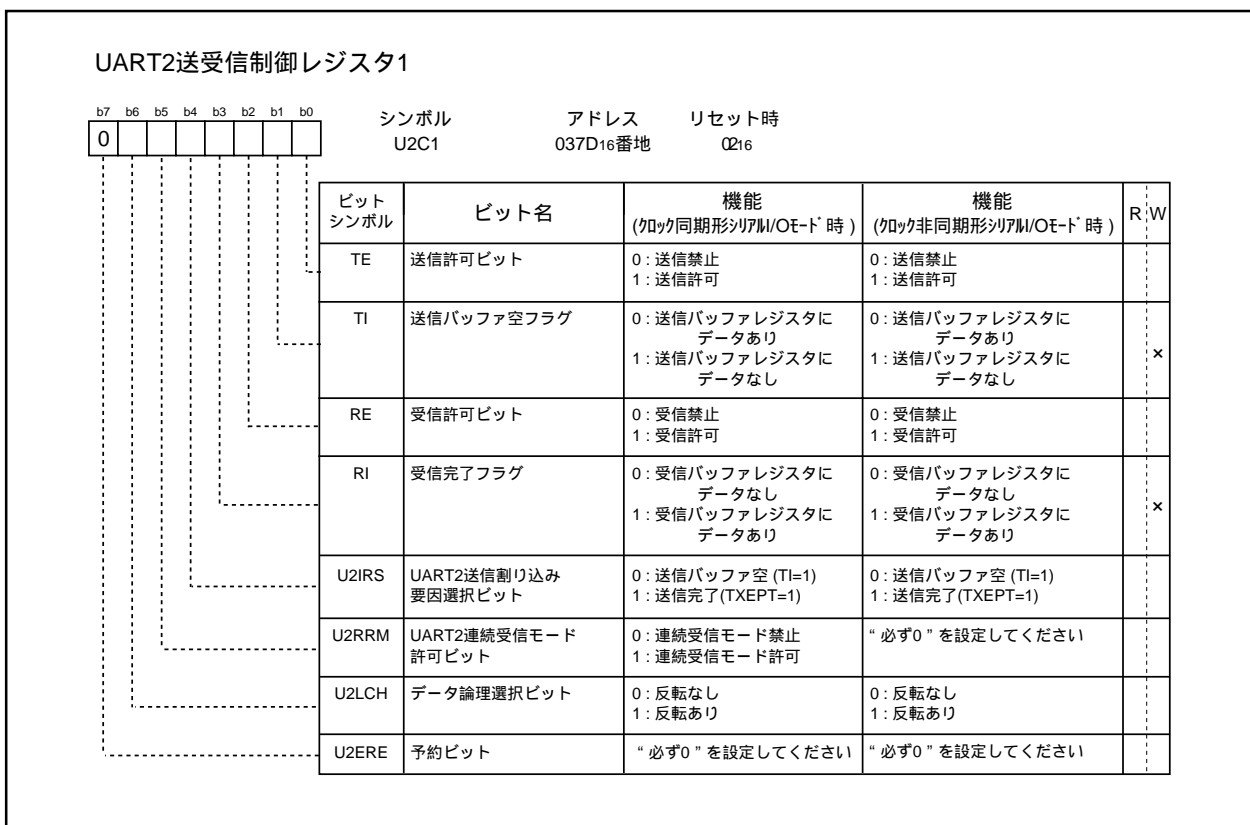


図2.11.12 UART2送受信制御レジスタ1

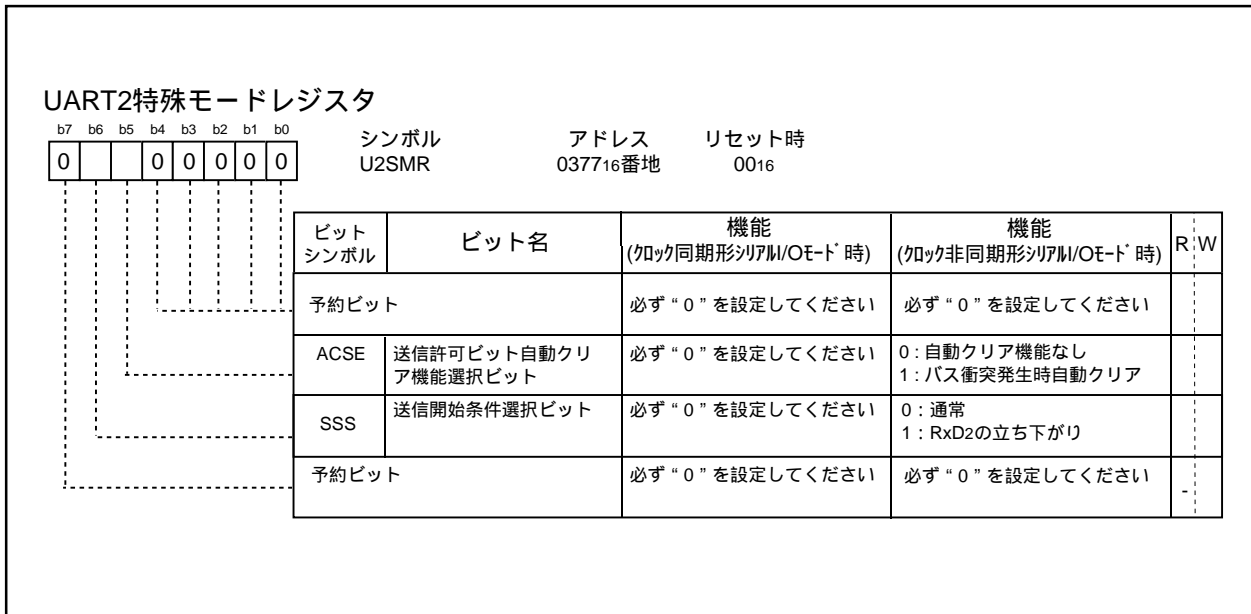


図2.11.13 UART2特殊モードレジスタ

2.11.2 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表2.11.2、表2.11.3にクロック同期形シリアルI/Oモードの仕様を、図2.11.14と図2.11.15にクロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタを示します。

表2.11.2 クロック同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A0 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、0378 ₁₆ 番地のビット3=“1”) : CLKi端子からの入力
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆、037D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、037D₁₆番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆、037C₁₆番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A4₁₆、037C₁₆番地のビット6)=“1” : CLKi端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆、037D₁₆番地のビット2)=“1” 送信許可ビット(03A5₁₆、037D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、037D₁₆番地のビット1)=“0” 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆、037C₁₆番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A4₁₆、037C₁₆番地のビット6)=“1” : CLKi端子の入力が“L”
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0、037D₁₆番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0、037D₁₆番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

- オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表2.11.3 クロック同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	<p>CLK極性選択</p> <p>送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可</p> <p>LSBファースト/MSBファースト選択</p> <p>ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可</p> <p>連続受信モード選択</p> <p>受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。</p> <p>シリアルデータ論理切り替え(UART2)</p> <p>送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p>

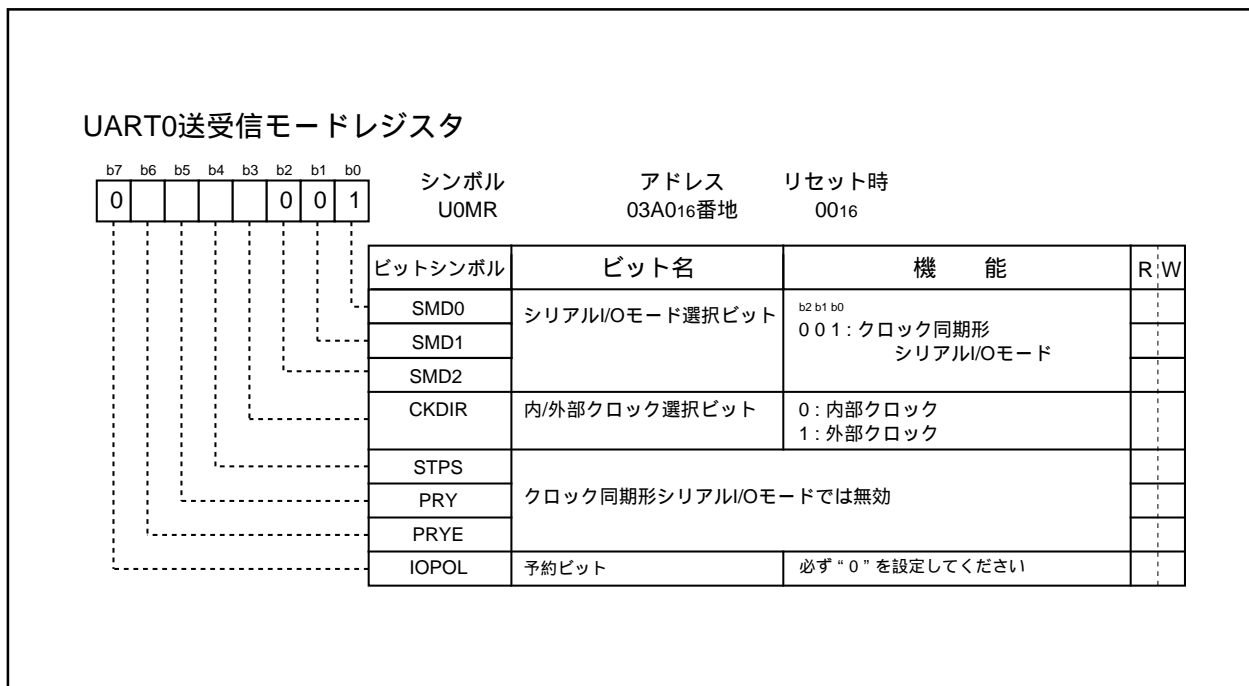


図2.11.14 クロック同期形シリアル/Oモード時のUART0送受信モードレジスタ

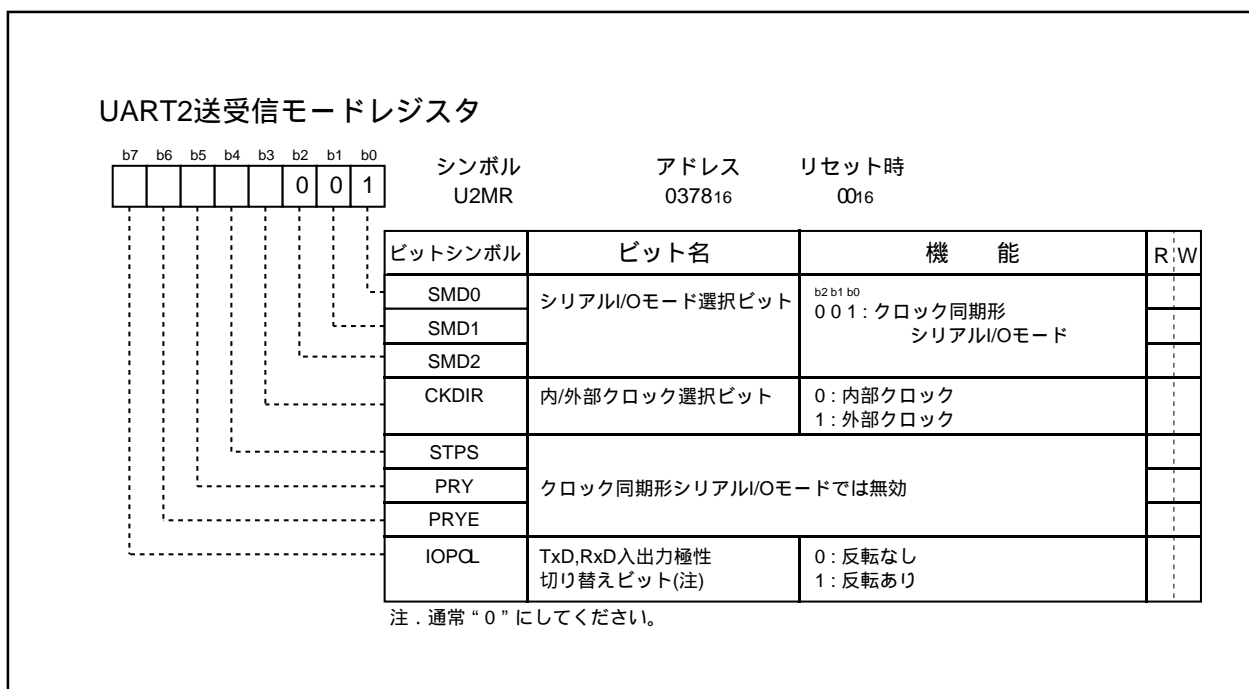


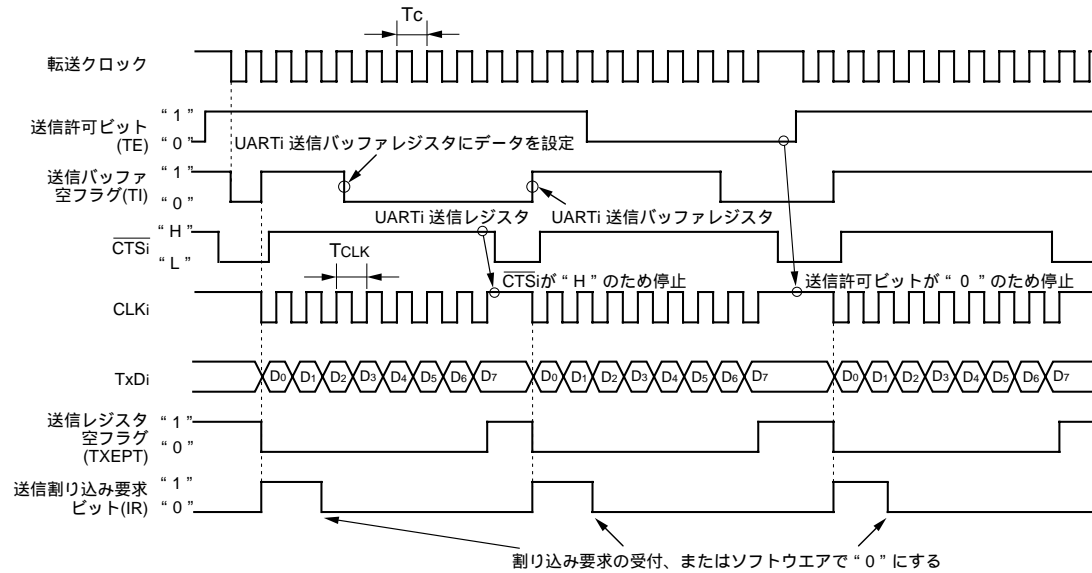
図2.11.15 クロック同期形シリアル/Oモード時のUART2送受信モードレジスタ

表2.11.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表2.11.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxDi (P63、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P71)	シリアルデータ入力	ポートP62、P71の方向レジスタ(03EE ₁₆ 番地のビット2、03EF ₁₆ 番地のビット1) = “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P72)	転送クロック出力	内/外部クロック選択ビット(03A0 ₁₆ 、0378 ₁₆ 番地のビット3) = “0”
	転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ 、0378 ₁₆ 番地のビット3) = “1” ポートP61、P72の方向レジスタ(03EE ₁₆ 番地のビット1、03EF ₁₆ 番地のビット2) = “0”
CTS _i /RTS _i (P60、P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット2) = “0” ポートP60、P73の方向レジスタ(03EE ₁₆ 番地のビット0、03EF ₁₆ 番地のビット3) = “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット2) = “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “1”

送信タイミング例(内部クロック選択時)



()内はビットシンボルです。

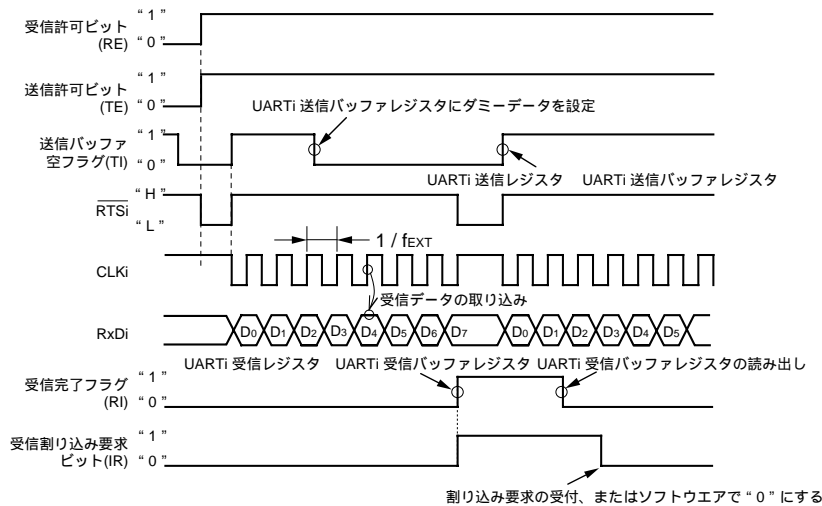
上記タイミング図は次の設定条件の場合です。

- 内部クロック選択
- CTS機能選択
- CLK極性選択ビット = "0"
- 送信割り込み要因選択ビット = "0"

$$Tc = TCLK = 2(n+1) / f_i$$

fi : BRGiのカウンタソースの周波数(f1, f8, f32)
n : BRGiに設定した値

受信タイミング例(外部クロック選択時)



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 外部クロック選択
 - RTS機能選択
 - CLK極性選択ビット = "0"
- fEXT : 外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
送信許可ビット "1"
受信許可ビット "1"
UARTi送信バッファレジスタへのダミーデータの書き込み

図2.11.16 クロック同期形シリアル/Oモード時の送信 / 受信タイミング例

(1) 極性選択機能

図2.11.17に示すように、CLK極性選択ビット(03A4₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

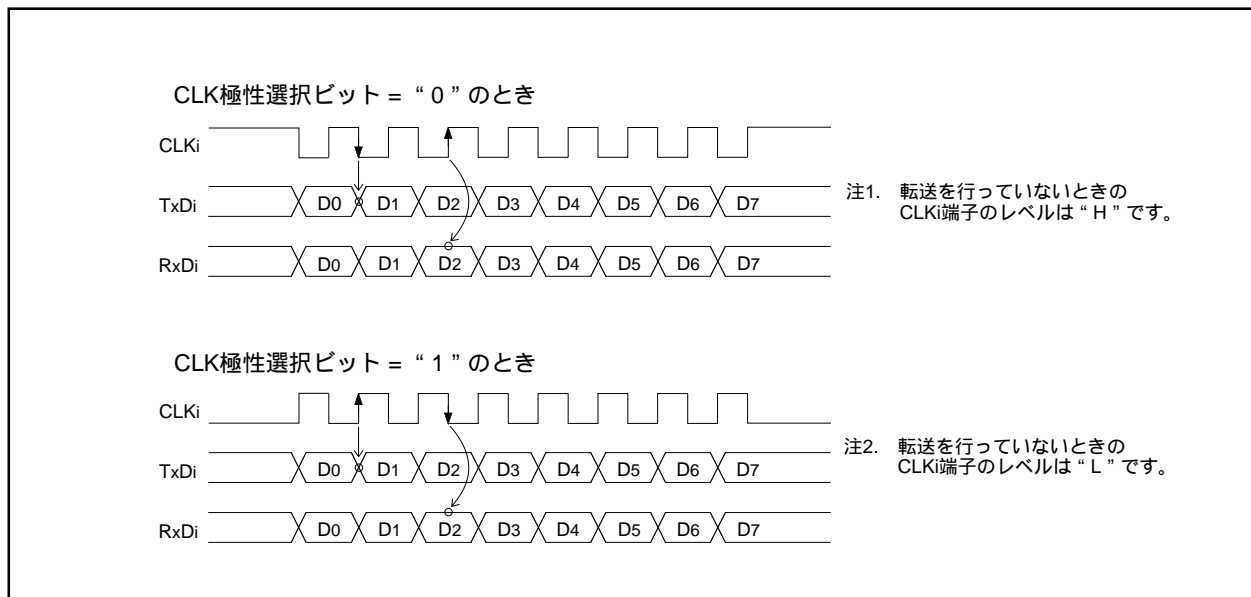


図2.11.17 転送クロックの極性

(2) LSBファースト/MSBファースト選択機能

図2.11.18に示すように、転送フォーマット選択ビット(03A4₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

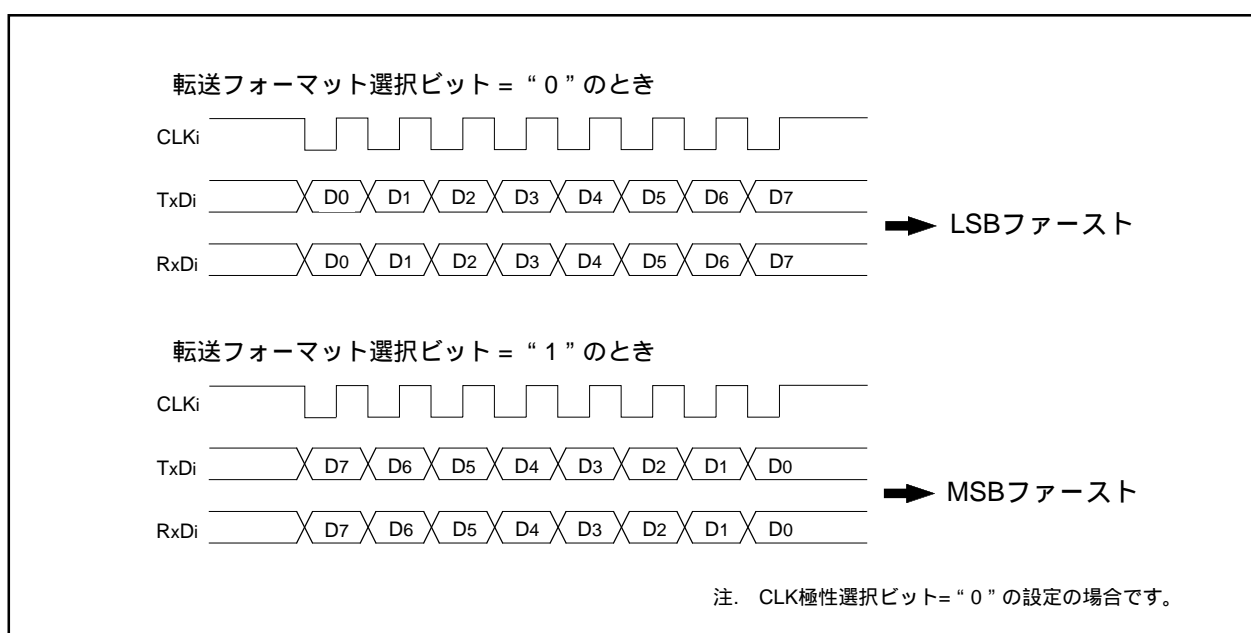


図2.11.18 転送フォーマット

(3) 連続受信モード

連続受信モード許可ビット(03A5₁₆番地のビット2、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(4) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図2.11.19にシリアルデータ論理切り替えのタイミング例を示します。

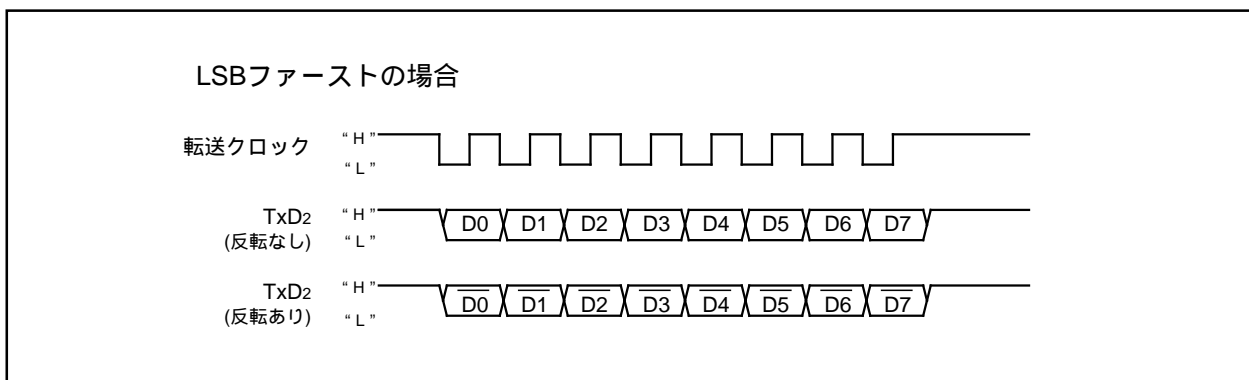


図2.11.19 シリアルデータ論理切り替えのタイミング例

2.11.3 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表2.11.5、表2.11.6にクロック非同期形シリアルI/Oモードの仕様を、図2.11.20と図2.11.21にUARTモード時のUARTi送受信モードレジスタを示します。

表2.11.5 クロック非同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A0 ₁₆ 、0378 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、0378 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆、037D₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、037D₁₆番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆、037D₁₆番地のビット2)=“1” スタートビットの検出
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0、037D₁₆番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0、037D₁₆番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

2. f_{EXT}はCLKi端子からの入力です。

3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表2.11.6 クロック非同期形シリアル/Oモードの仕様(2)

項 目	仕 様
選択機能	シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

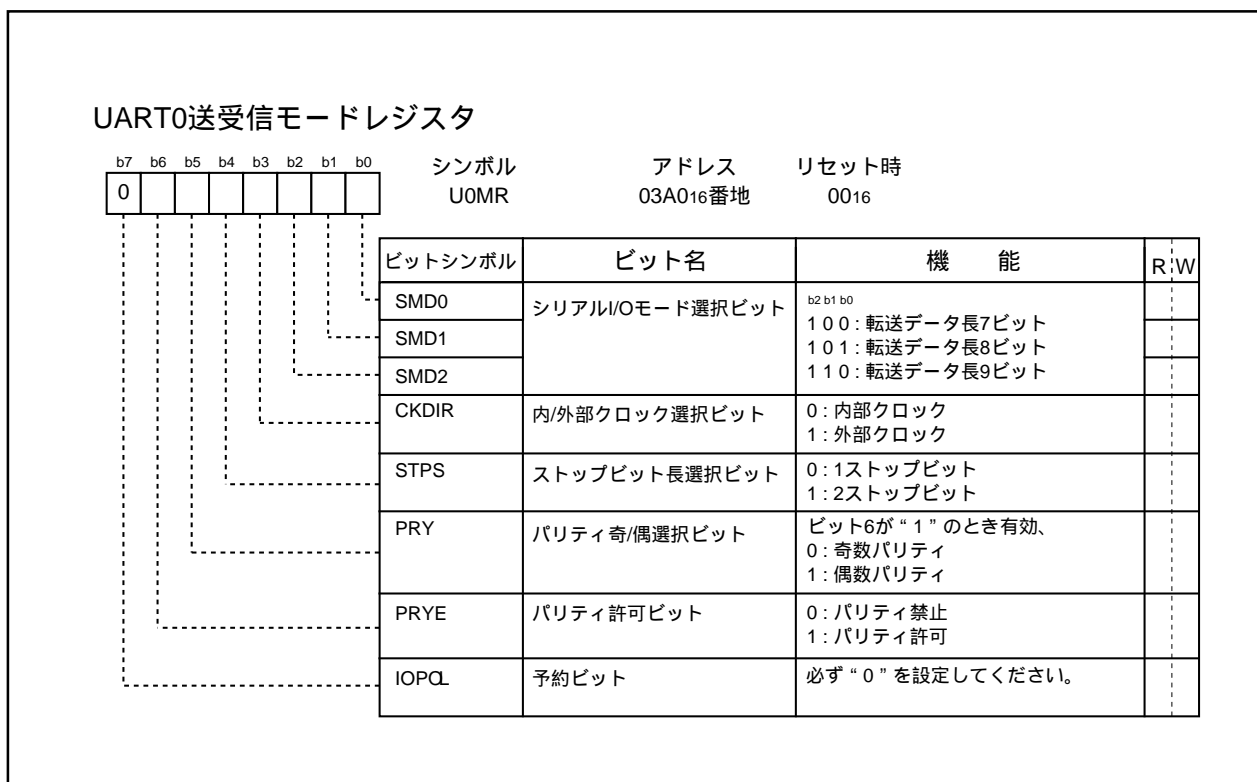


図2.11.20 UARTモード時のUART0送受信モードレジスタ

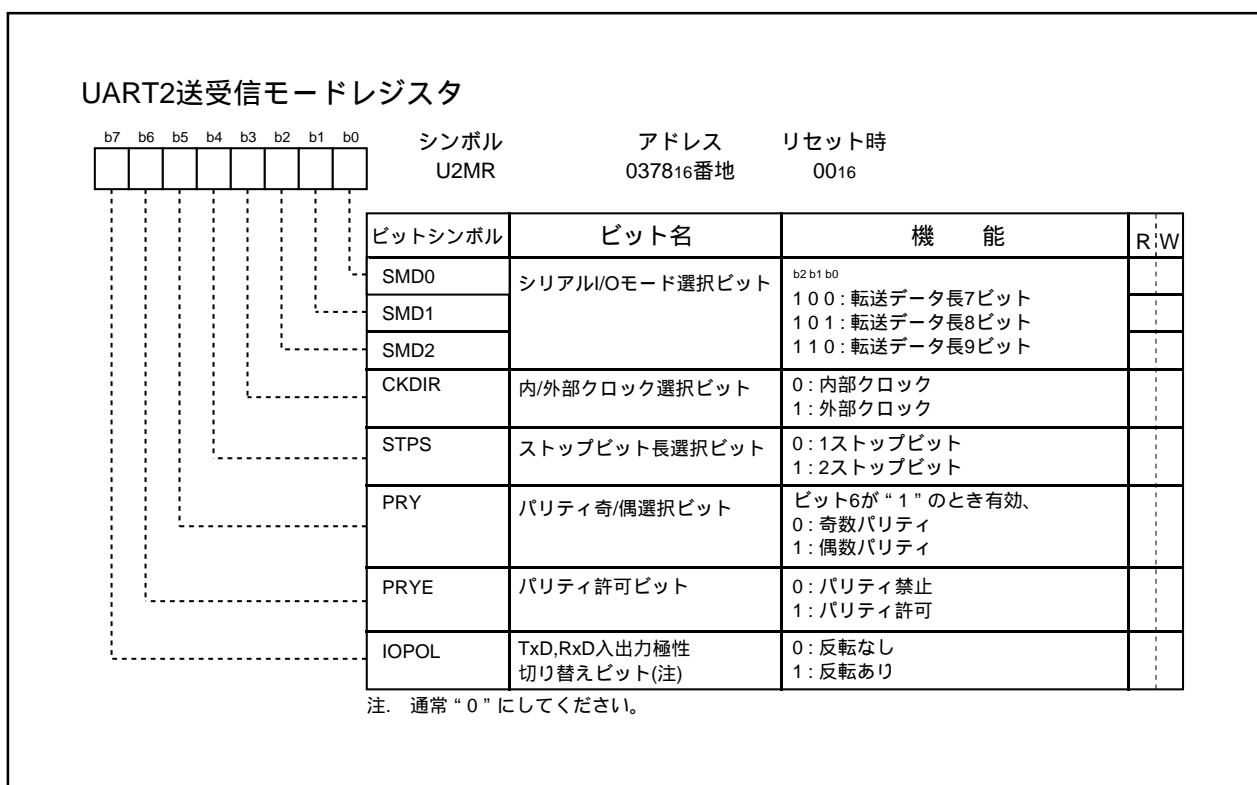


図2.11.21 UARTモード時のUART2送受信モードレジスタ

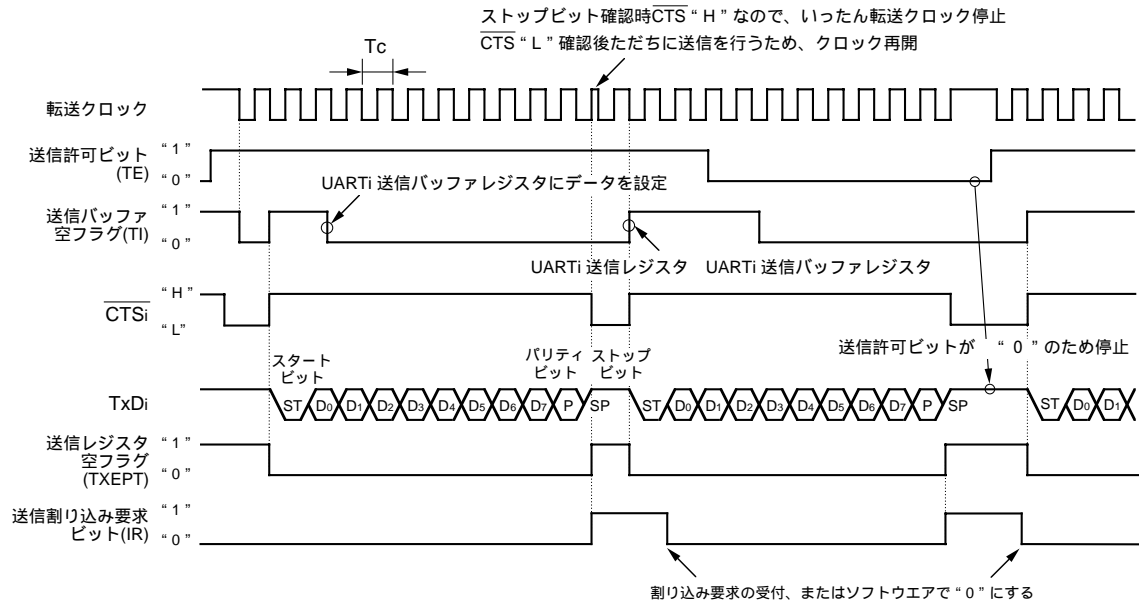
表2.11.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表2.11.7 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxDi (P63、P70)	シリアルデータ出力	
RxDi (P62、P71)	シリアルデータ入力	ポートP62、P71の方向レジスタ(03EE ₁₆ 番地のビット2、03EF ₁₆ 番地のビット1) = “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P72)	プログラマブル入出力	内/外部クロック選択ビット(03A0 ₁₆ 、0378 ₁₆ 番地のビット3) = “0”
	転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ 、0378 ₁₆ 番地のビット3) = “1” ポートP61、P72の方向レジスタ(03EE ₁₆ 番地のビット1、03EF ₁₆ 番地のビット2) = “0”
CTS _i /RTS _i (P60、P73)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット2) = “0” ポートP60、P73の方向レジスタ(03EE ₁₆ 番地のビット0、03EF ₁₆ 番地のビット3) = “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット2) = “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ 、037C ₁₆ 番地のビット4) = “1”

< UART0 >

転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



< UART0 >

転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

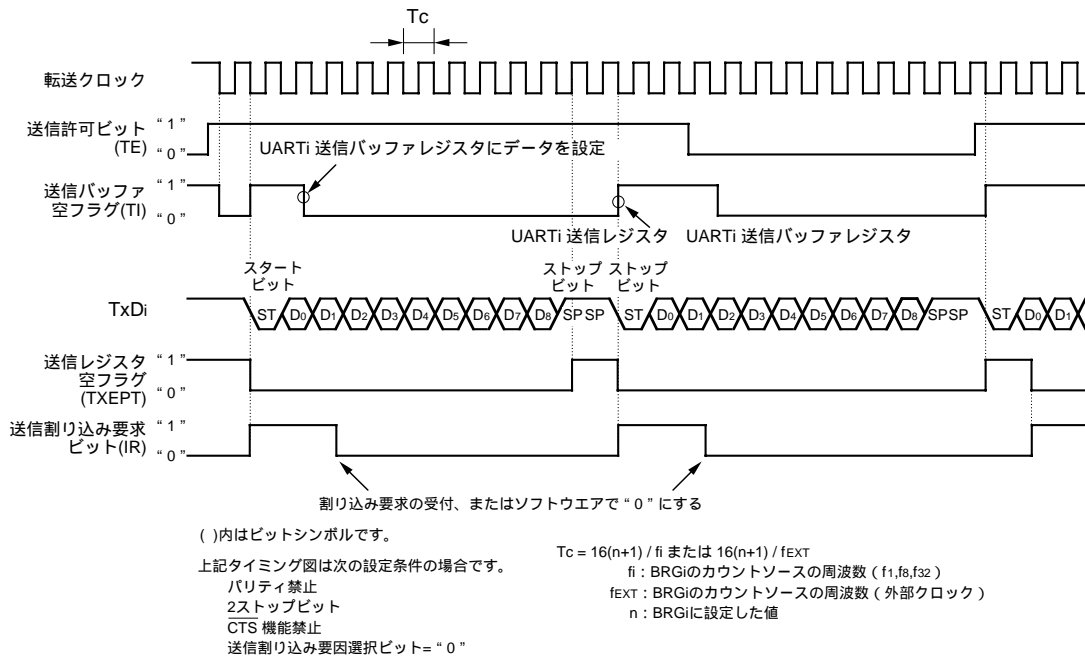
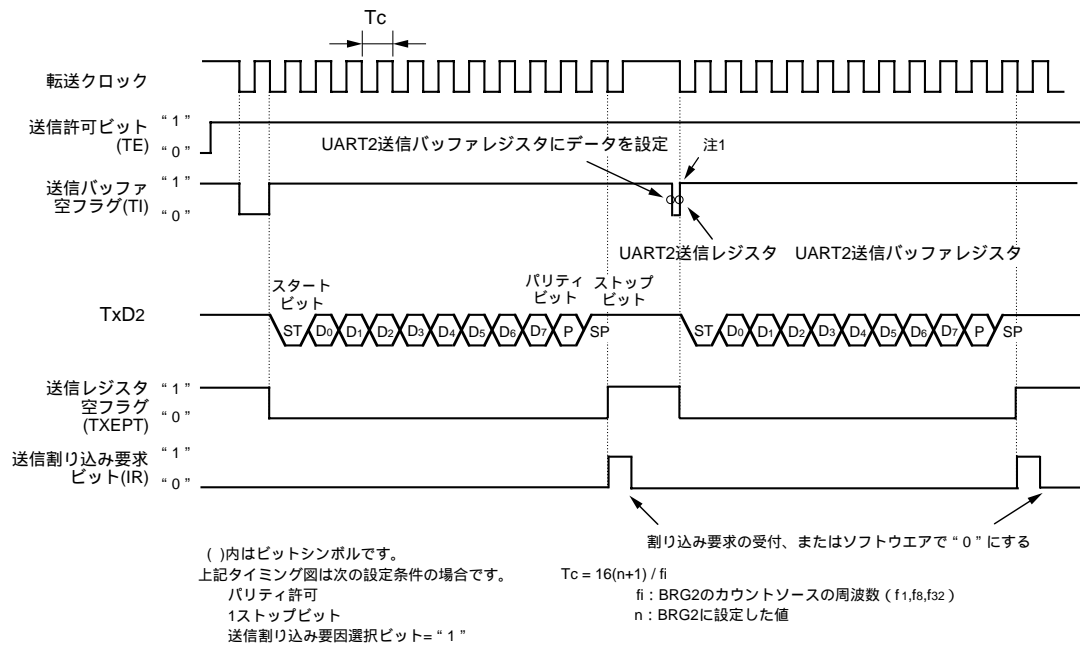


図2.11.22 UARTモード時の送受信タイミング例

< UART2 >

転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



注: 上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。

< UART2、UART0 >

転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)

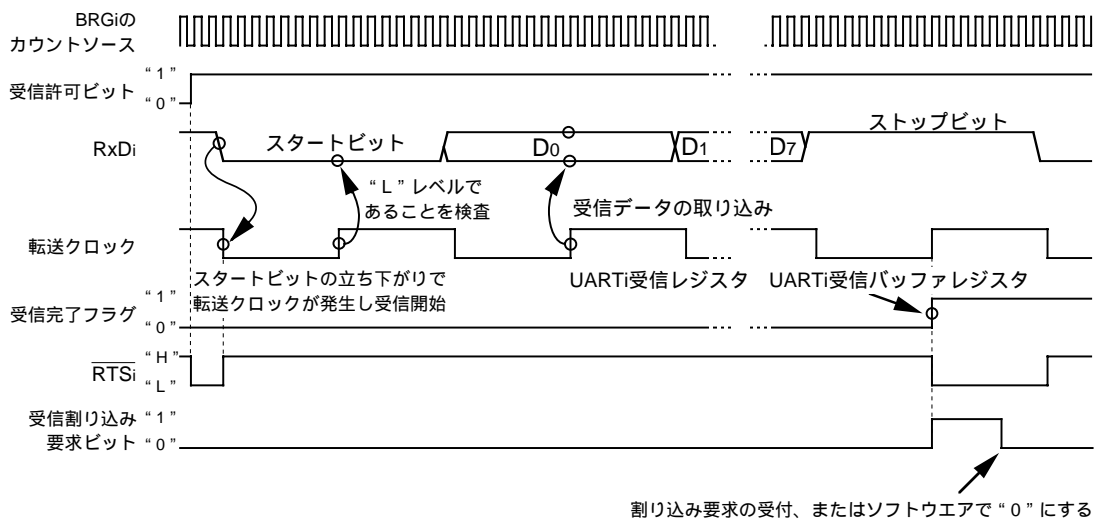


図2.11.23 UARTモード時の送受信タイミング例

(1) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図2.11.24に、シリアルデータ論理切り替え機能のタイミング例を示します。

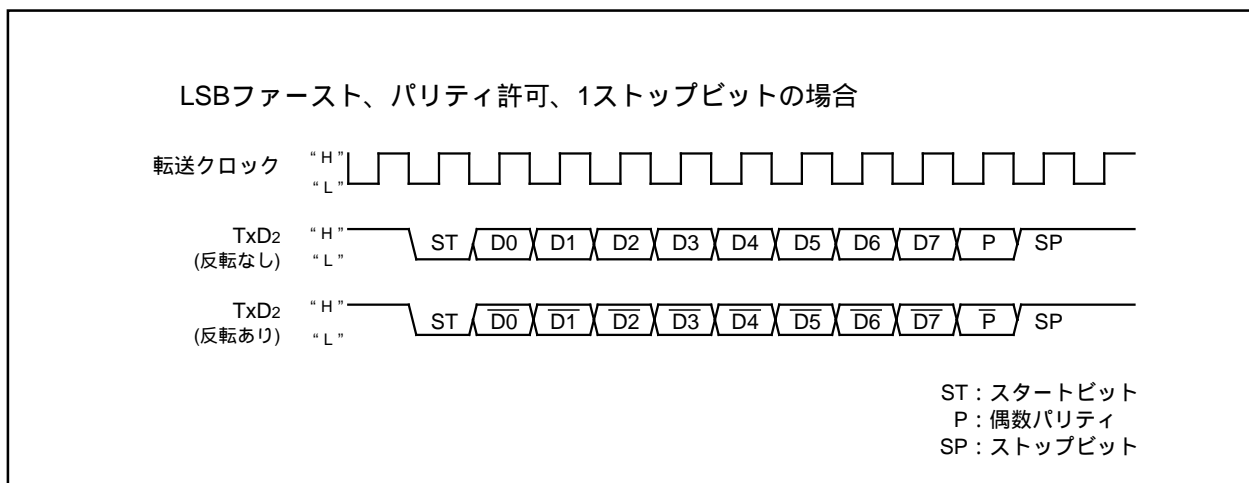


図2.11.24 シリアルデータ論理切り替え機能のタイミング例

(2) TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

(3) バス衝突検出、その他機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図2.11.25にバス衝突検出タイミング例(UARTモード時)を示します。

また、UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします(図2.11.25参照)。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します(図2.11.26参照)。

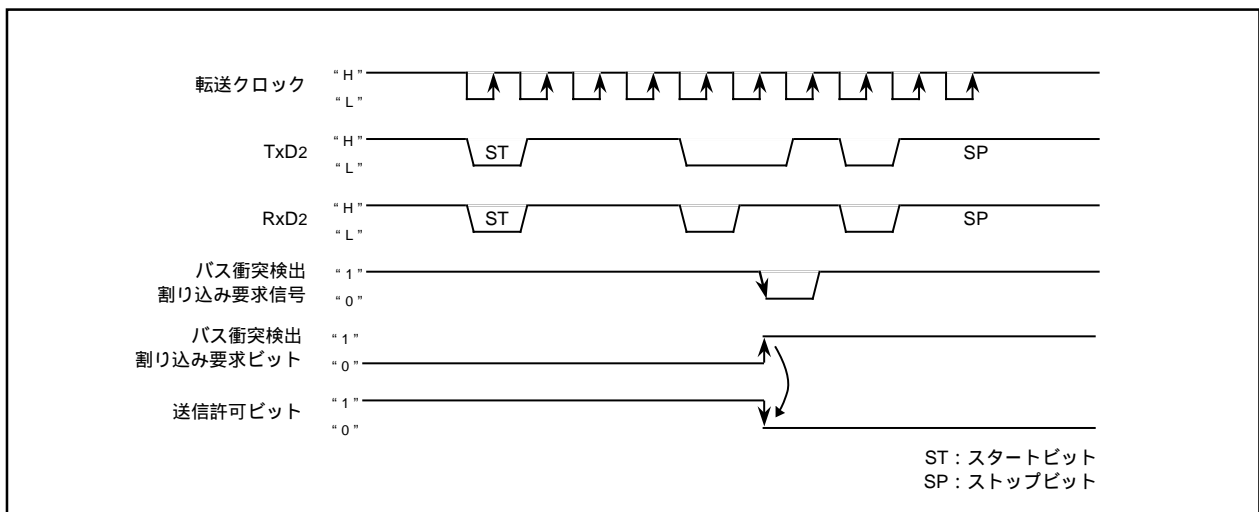


図2.11.25 バス衝突検出タイミング例(UARTモード時)

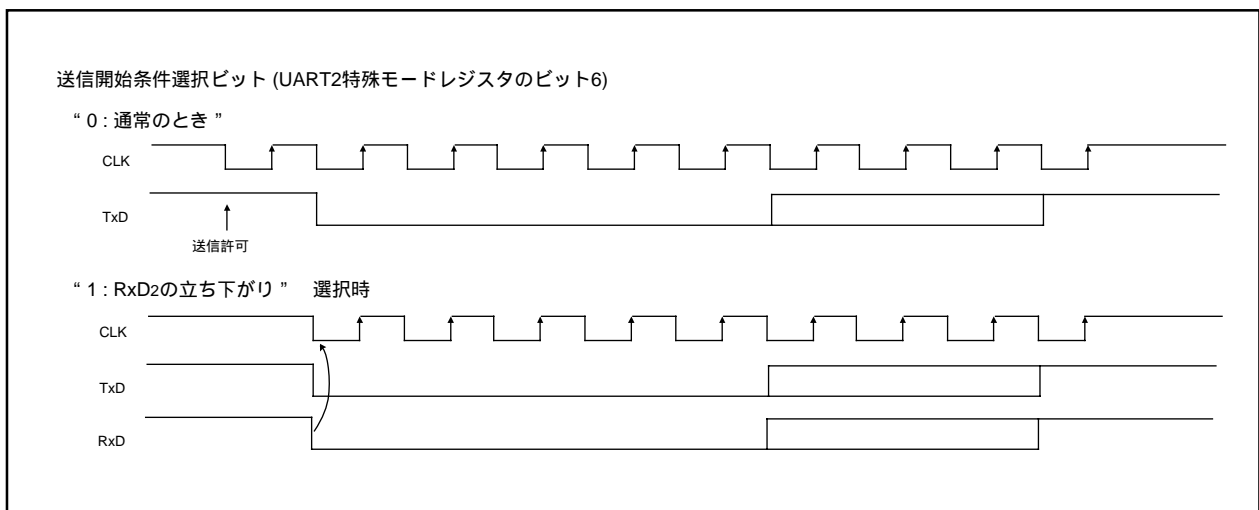


図2.11.26 その他機能

2.11.4 シリアルインタフェースポート

入出力ポート (P67、P70 ~ P72、P93、P94)は、UART2とマルチマスタ²C-BUSインタフェース0, 1 (「2.11.6 マルチマスタ²C-BUSインタフェースi」参照)の入出力ポートとして機能します。両シリアルインタフェースと各ポートの接続はペリフェラルモードレジスタ (027D₁₆番地)のビット0、ビット1 (BSEL0, BSEL1)、²C0ポートセレクションレジスタ (02E5₁₆番地)のビット0 (PSEL0)、ビット2 (FIICON)、および²C1ポートセレクションレジスタ (02ED₁₆番地)のビット2 (FIICON)で選択してください。

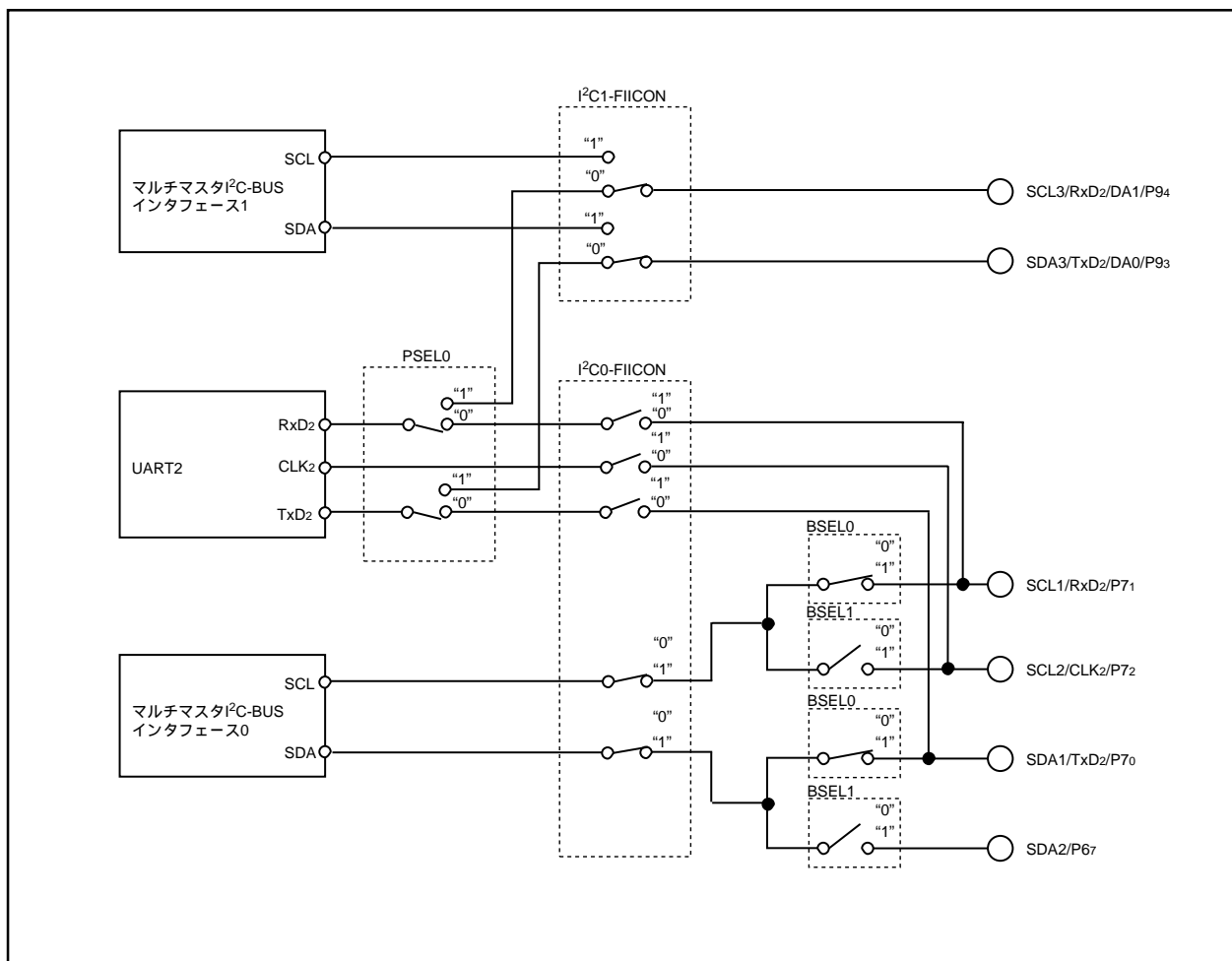


図2.11.27 シリアルインタフェースポート制御

2.11.5 マルチマスタI²C-BUSインタフェース0、マルチマスタI²C-BUSインタフェース1

マルチマスタI²C-BUSインタフェース0とマルチマスタI²C-BUSインタフェース1は、それぞれ専用回路を持っており、独立して動作します。

マルチマスタI²C-BUSインタフェースiは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーションロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

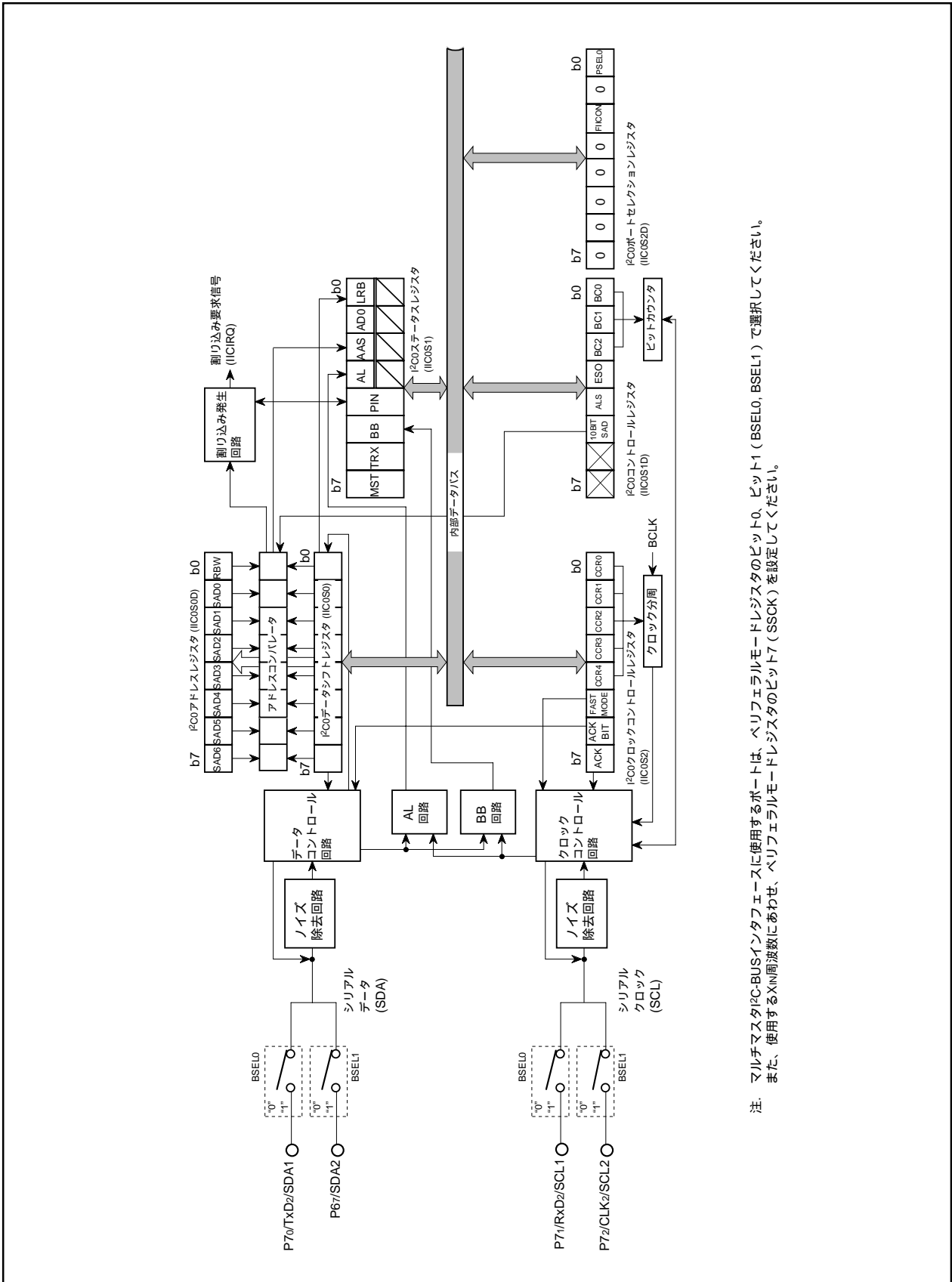
図2.11.28、図2.11.29にマルチマスタI²C-BUSインタフェースiのブロック図、表2.11.8にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースiは、I²Ciアドレスレジスタ、I²Ciデータシフトレジスタ、I²Ciクロックコントロールレジスタ、I²Ciコントロールレジスタ、I²Ciステータスレジスタ、I²Ciポートセレクションレジスタ、I²Ci送信バッファレジスタとその他の制御回路により構成されています。

表2.11.8 マルチマスタI²C-BUSインタフェースi機能

項 目	機 能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz (BCLK = 16 MHz)

注. I²C-BUSインタフェース0とポート (SCL1, SCL2, SDA1, SDA2) の接続を制御する機能 (ペリフェラルモードレジスタ [027D16番地] のビット0, ビット1) の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。



注. マルチマスター²C-BUSインタフェースに使用するポートは、ペリアラモードレジスタのビット0、ビット1 (BSEL0, BSEL1) で選択してください。
また、使用するX_N周波数にあわせ、ペリアラモードレジスタのビット7 (SSCK) を設定してください。

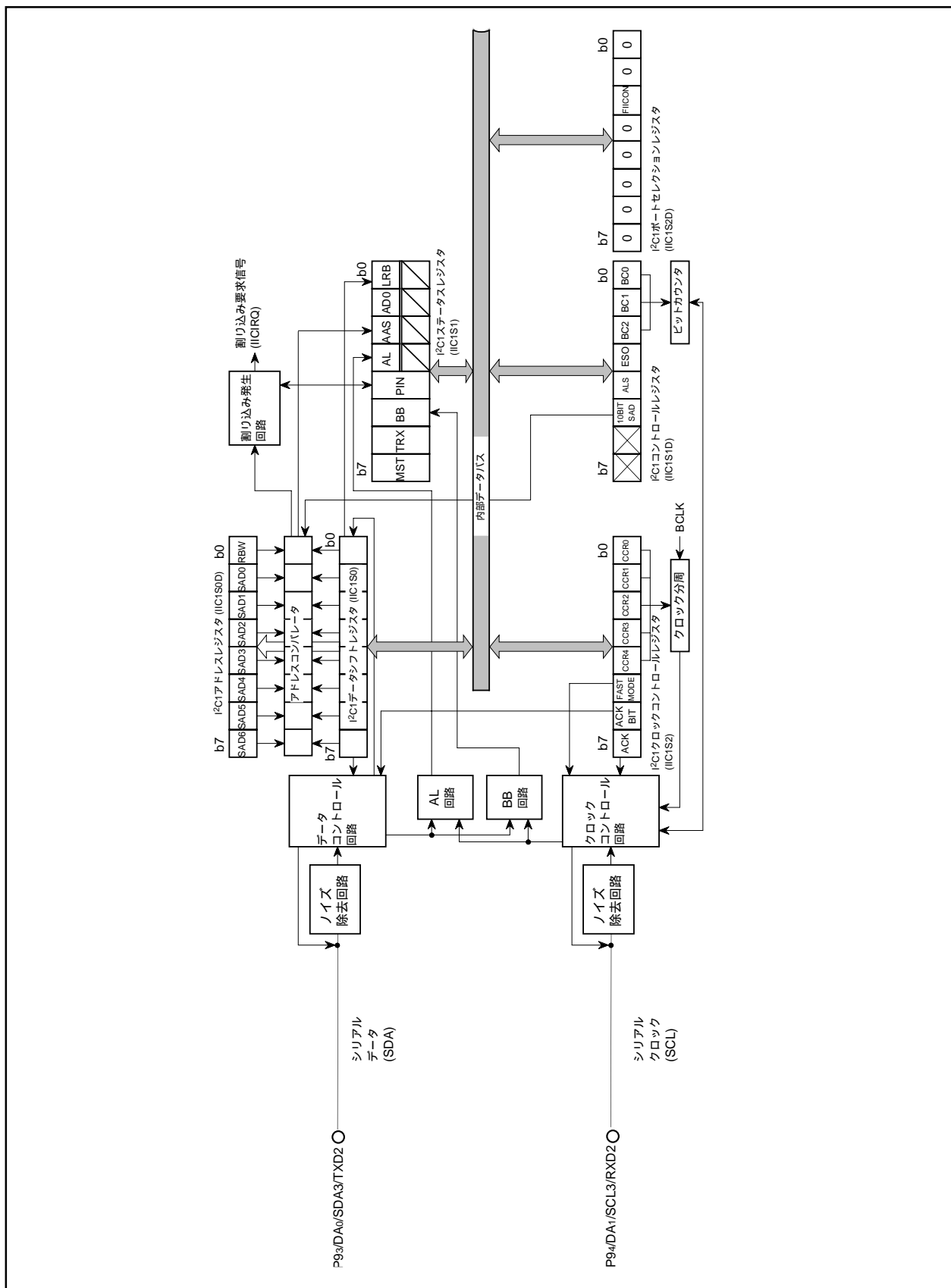


図2.11.29 マルチマスターI²C-BUSインタフェース1のブロック

(1) I²Ciポートセレクションレジスタ (i=0, 1)

I²Ciポートセレクションレジスタは、マルチマスタI²C-BUSインタフェース機能を有効にするためのビットから構成されています。

ビット0：TxD₂, RxD₂ポート選択ビット (注)I²C0ポートセレクションレジスタのみ

UART2使用時、このビットを“0”に設定するとP7₀がTxD₂, P7₁がRxD₂として機能し、“1”に設定すると、P9₃がTxD₂, P9₄がRxD₂として機能します。

なお、このビットより、後述するマルチマスタI²C-BUSインタフェース有効ビット(FIICON)の方が優先して機能します。

ビット2：マルチマスタI²C-BUSインタフェース有効ビット(FIICON)

“0”の場合、マルチマスタI²C-BUSインタフェースiはノンアクティブとなり、“1”の場合、アクティブとなります。アクティブ時、マルチマスタI²C-BUSインタフェース0はペリフェラルモードレジスタ(027D₁₆番地)のビット0、ビット1で選択したポートと接続され、マルチマスタI²C-BUSインタフェース1はポートP9₃, P9₄と接続されます。

注．このビットを“1”に設定した後、マルチマスタI²C-BUSインタフェースiがアクティブになるまで20BCLKサイクル必要です。したがって、この期間にマルチマスタI²C-BUSインタフェースi関連のレジスタにアクセスしないでください。

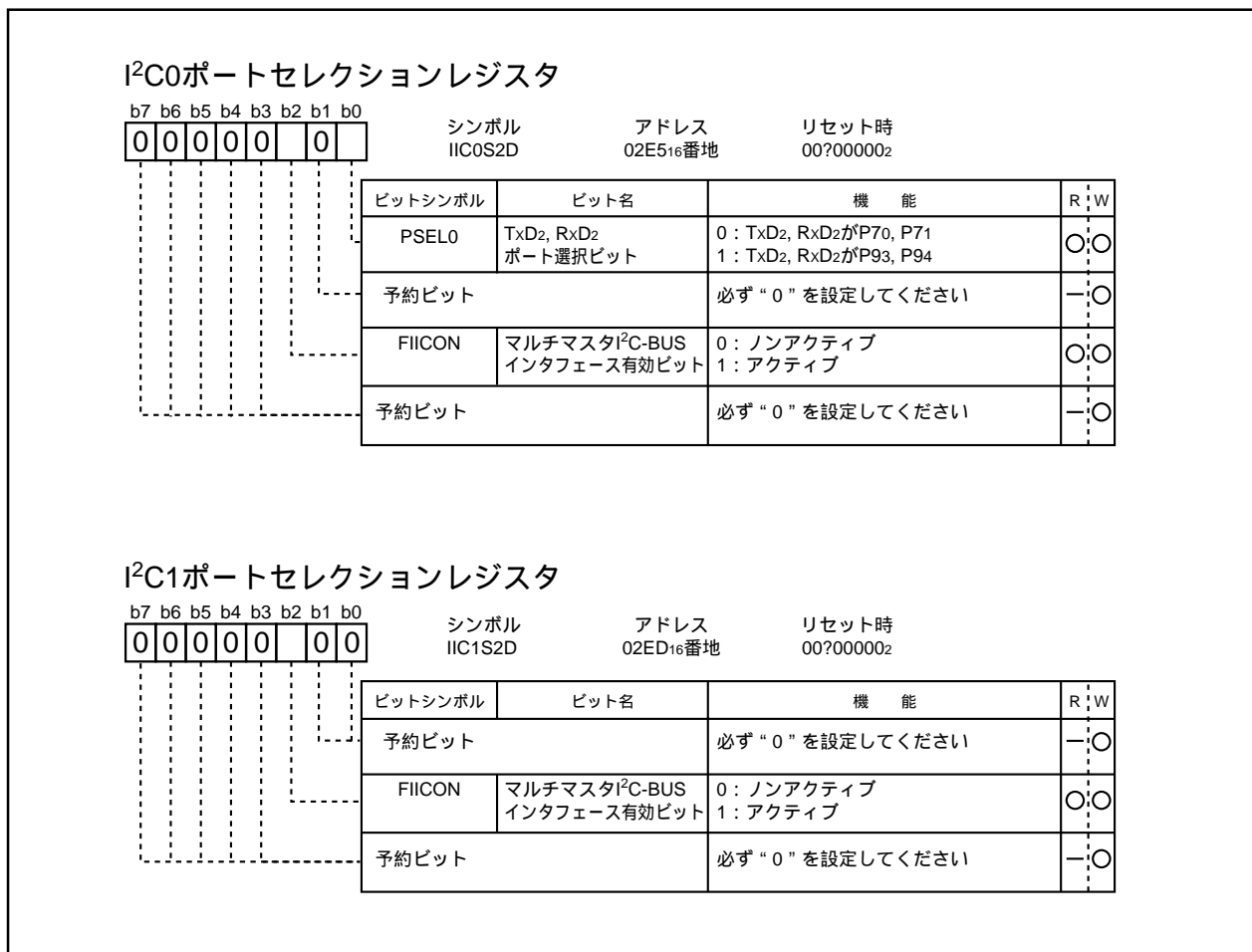


図2.11.30 I²Ciポートセレクションレジスタ (i=1, 0)

(2) I²Ciデータシフトレジスタ、I²Ci送信バッファレジスタ (i=0, 1)

I²Ciデータシフトレジスタは、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データはこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してこのレジスタのビット0からデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

I²Ciデータシフトレジスタは、I²CiコントロールレジスタのESOビットが“1”のときのみ書き込みが可能です。I²Ciデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESOビットが“1”、I²CiステータスレジスタのMSTビットが“1”のとき、I²Ciデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Ciデータシフトレジスタの読み出しは、ESOビットの値にかかわらずいつでも可能です。

I²Ci送信バッファレジスタはリスタートコンディション発生前にI²Ciデータシフトレジスタへ送信データ(スレーブアドレス)を格納するためのレジスタです。つまり、マスタ時、I²Ci送信バッファレジスタに書き込んだデータは同時にI²Ciデータシフトレジスタに書き込まれますが、SCLの出力は行われません。また、I²Ci送信バッファレジスタは、ESOビットが“1”のときのみ書き込み可能で、ESOビットの値にかかわらず読み出しはできません。

- 注1. MSTビットが“1” “0”に変化した後にI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタにデータを書き込む場合、20BCLK以上の間隔を確保してください。
2. I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込みを実行した後、スタートまたはリスタートコンディションを発生する場合は、4BCLK以上の間隔を確保してください。

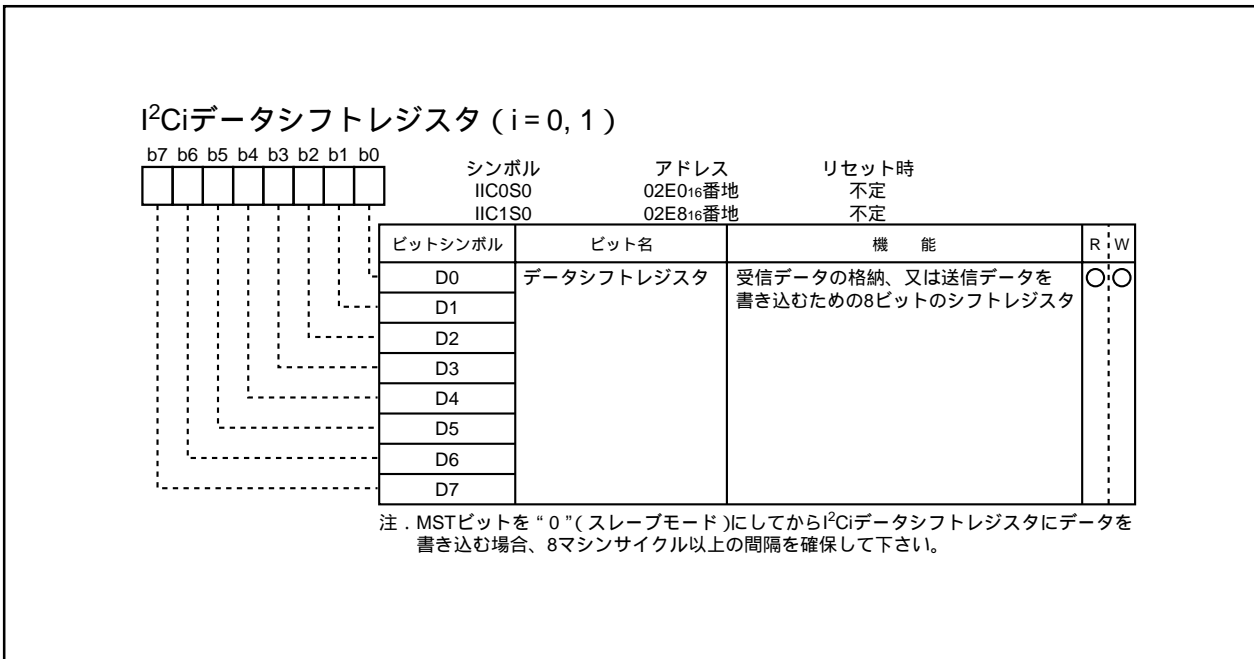


図2.11.31 I²Ciデータシフトレジスタ (i=1, 0)

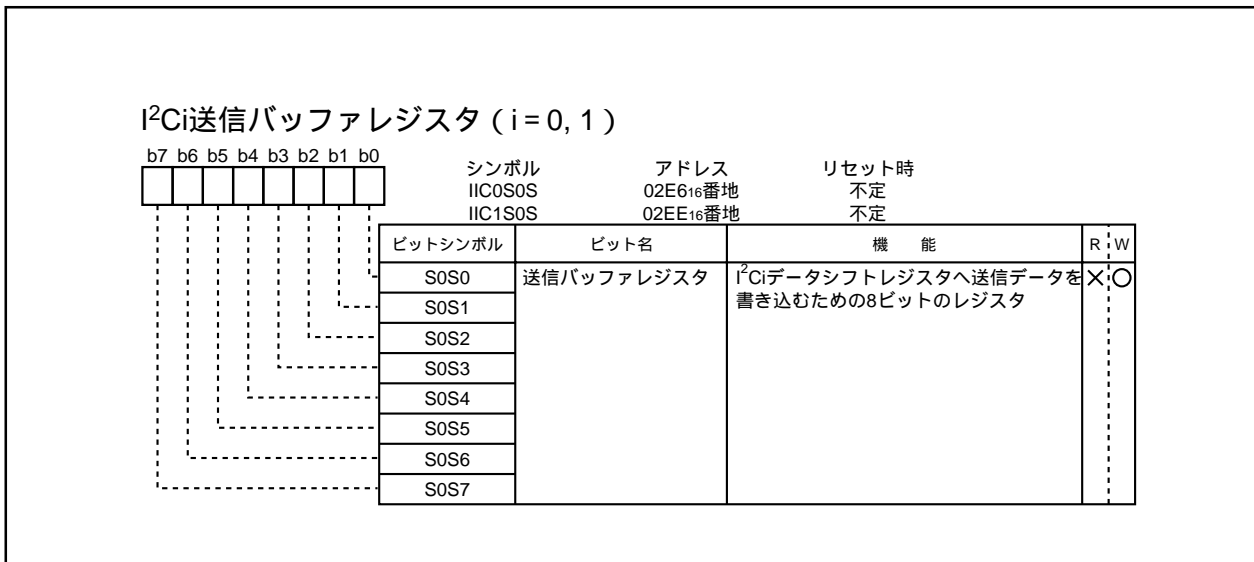


図2.11.32 I²Ci送信バッファレジスタ (i=1, 0)

(3) I²Ciアドレスレジスタ (i=0, 1)

I²Ciアドレスレジスタは7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されています。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

ビット0 : リード/ライトビット (RBW)

7ビットアドレッシングモード時には、アドレス比較の際に使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Ciアドレスレジスタの内容 (SAD6 ~ SAD0 + RBW) が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

ビット1 ~ ビット7 : スレーブアドレス (SAD0 ~ SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

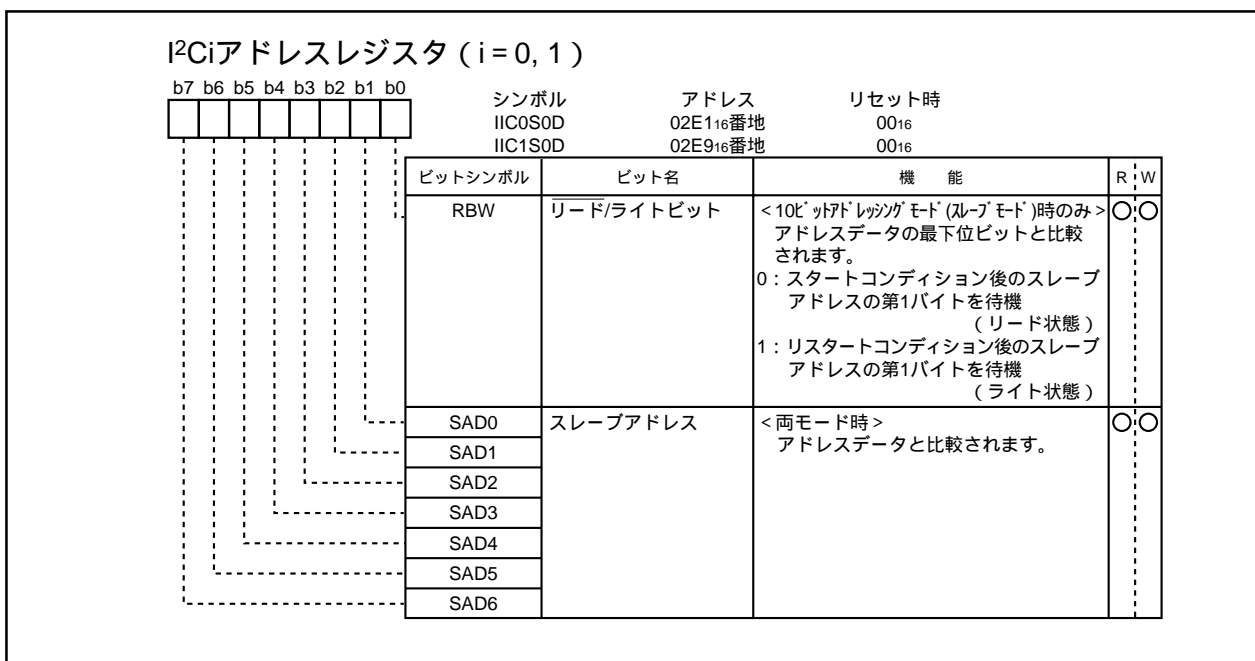


図2.11.33 I²Ciアドレスレジスタ (i=1, 0)

(4) I²Ciクロックコントロールレジスタ (i=0, 1)

I²Ciクロックコントロールレジスタはアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

ビット0～ビット4：SCL周波数制御ビット (CCR0～CCR4)

SCL周波数を制御するビットです。

ビット5：SCLモード指定ビット (FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

ビット6：アックビット (ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT = “0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします (アックを返します)。

スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします (アックを返しません)。

*アッククロック：確認応答用のクロック

ビット7：アッククロックビット (ACK)

データ転送の確認応答であるアクノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し (“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Ciクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Ciクロックジェネレータがリセットされ、データが正常に転送できません。

I²C_iクロックコントロールレジスタ (i = 0, 1)

		シンボル	アドレス	リセット時
b7 b6 b5 b4 b3 b2 b1 b0		IIC0S2	02E4 ₁₆ 番地	00 ₁₆
		IIC1S2	02EC ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能		R W	
		レジスタ値 b4 ~ b0	標準 クロックモード		高速 クロックモード
CCR0	SCL周波数制御ビット	00 ~ 02	禁止	禁止	○ ○
		03	禁止	333	
		04	禁止	250	
		05	100	400 (注)	
		06	83.3	166	
		:	500/CCR値	1000/CCR値	
		1D	17.2	34.5	
		1E	16.6	33.3	
		1F	16.1	32.3	
		(BCLK = 10MHz, 単位:kHz)			
FAST MODE	SCLモード指定ビット	0: 標準クロックモード 1: 高速クロックモード		○ ○	
ACK BIT	アックビット	0: アック返す 1: アック返さない		○ ○	
ACK	アックロックビット	0: アックロックなし 1: アックロックあり		○ ○	

注 . 高速クロックモード, 400kHz時のデューティは "0" 期間 : "1" 期間 = 3 : 2
それ以外のデューティは "0" 期間 : "1" 期間 = 1 : 1

図2.11.34 I²C_iクロックコントロールレジスタ (i = 1, 0)

(5) I²Ciコントロールレジスタ (i=0, 1)

I²Ciコントロールレジスタはデータ通信フォーマットの制御を行うレジスタです。

ビット0～ビット2：ビットカウンタ (BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“000₂”になり、アドレスデータは必ず8ビットで送受信されます。

注. ビットカウンタ値=“111₂”の状態、ストップコンディション、スタートコンディションの待機はできません。

ビット3：I²C-BUSインタフェースi使用許可ビット (ESO)

マルチマスタI²C-BUSインタフェースiの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ESO=“0”のとき、次のように処理されます。

- ・I²CiステータスレジスタのPIN=“1”, BB=“0”, AL=“0”に設定される。
- ・I²CiデータシフトレジスタおよびI²Ci送信バッファレジスタへの書き込みは禁止される。

ビット4：データフォーマット選択ビット (ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「(6) I²Ciステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

ビット5：アドレッシングフォーマット選択ビット (10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Ciアドレスレジスタの上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Ciアドレスレジスタの全ビットがアドレスデータと比較されます。

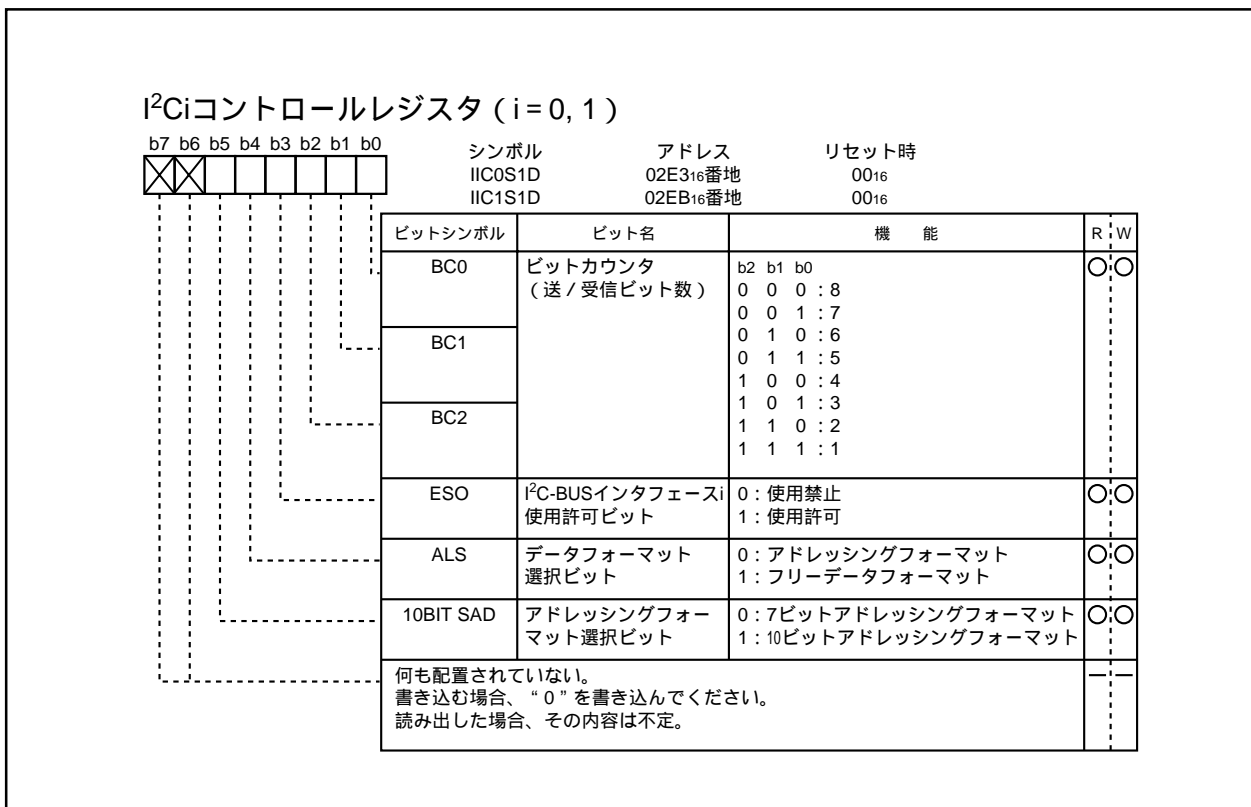


図2.11.35 I²Ciコントロールレジスタ (i=1, 0)

(6) I²Ciステータスレジスタ (i=0,1)

I²CiステータスレジスタはI²C-BUSインタフェースiの状態を制御するレジスタです。ビット0～ビット3とビット5は読み出し専用で、ビット4、ビット6、ビット7は読み出し/書き込み可能です。

ビット0：最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。

このビットは、I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を実行すると“1”から“0”になります。

ビット1：ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディション、スタートコンディションの検出により“0”になります。

* ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

ビット2：スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

《スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。》

- ・スタートコンディション発生直後のアドレスデータがI²Ciアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合
- ・ジェネラルコールを受信した場合

《スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。》

- ・アドレスデータとI²Ciアドレスレジスタ（スレーブアドレス、及びRBWビットで構成される8ビット）とを比較し、1バイト目が一致した場合

《このビットはI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

ビット3：アービトレーションロスト*検出フラグ (AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時にTRXビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MSTビットが“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

《このビットはI²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

*アービトレーションロスト：マスタとしての通信が不許可となった状態。

ビット4：I²C-BUSインタフェース割り込み要求ビット（PIN）

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック（アッククロックを含む）の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。スレープ時は、ストップコンディションを検出すると、PINビットの立ち下がりに関係なくマルチマスタI²C-BUSインタフェース割り込み要求ビット（IR）は“0”から“1”（要求あり）になります。PINビットが“0”のときはSCLは“0”に保たれクロックの発生は禁止されます。図2.11.37に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“1”になります。

- ・PINビットへの“1”書き込み
- ・I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタへの書き込み命令の実行（注）
- ・ESOビットが“0”のとき
- ・リセット時

注. これらのレジスタへの書き込み命令後、PINビットが“1”になるまで12BCLKサイクル必要です。

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後（アービトレーションロストを検出した場合を含む）
- ・1バイトのデータ受信完了直後
- ・スレープ受信の際、ALS = “0”で、スレープアドレス又はジェネラルコールアドレス受信完了直後
- ・スレープ受信の際、ALS = “1”で、アドレスデータ受信完了直後

ビット5：バスビジーフラグ（BB）

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能（注）によって禁止されます。

このフラグはソフトウェアによる書き込みはできません。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I²CiコントロールレジスタのESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

ビット6：通信モード指定ビット（転送方向指定ビット：TRX）

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²CiコントロールレジスタのALSビットが“0”でスレープの場合、マスタから送信されたアドレスデータの最下位ビット（R/Wビット）が“1”のときはTRXビットは“1”（送信）になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”（受信）になります。

以下のいずれかの条件でTRXビットが“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合

・リセット時

ビット7：通信モード指定ビット（マスタ/スレーブ指定ビット：MST）

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ送信終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
- ・リセット時

注. スタートコンディション重複防止機能は、スタートコンディションの発生と、それに伴うビットカウンタのリセット、及びSCLの出力を禁止する機能です。この機能はBBフラグがセットされてから1バイトの送受信が完了（送受信割り込み要求 < IICIRQ > の発生）するまで有効となります。

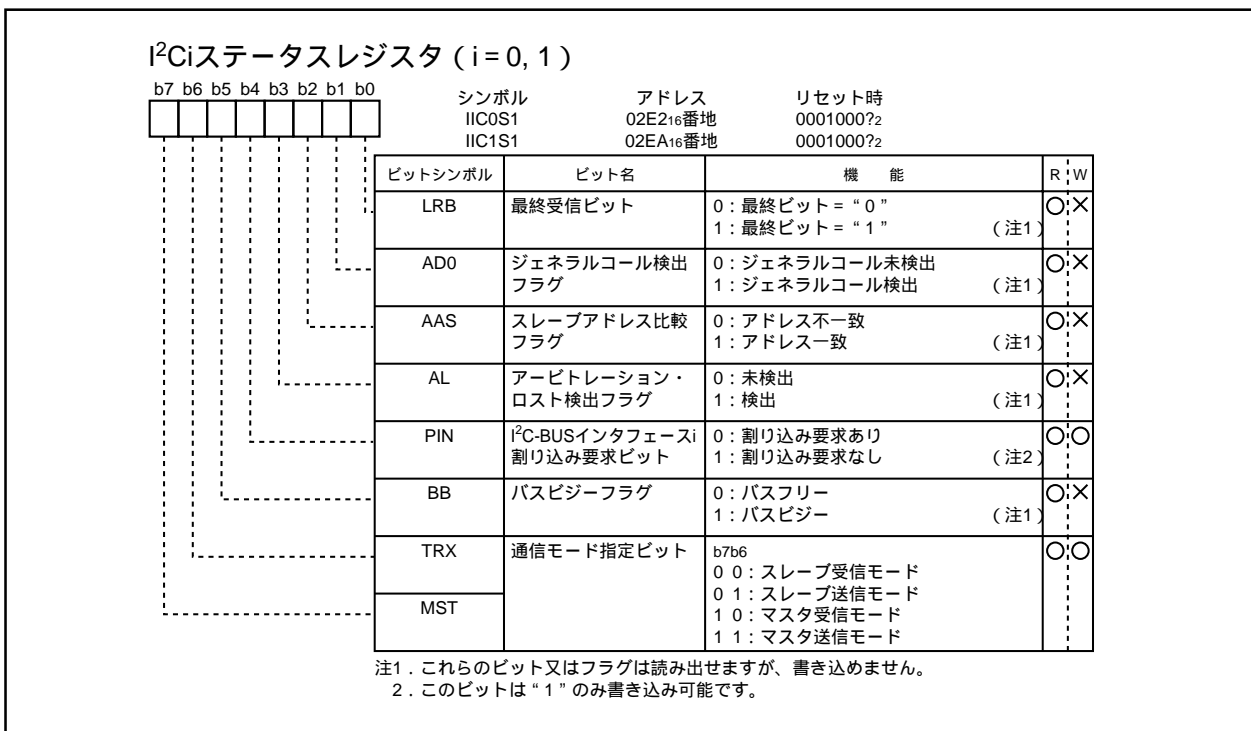


図2.11.36 I²Ciステータスレジスタ (i = 1, 0)

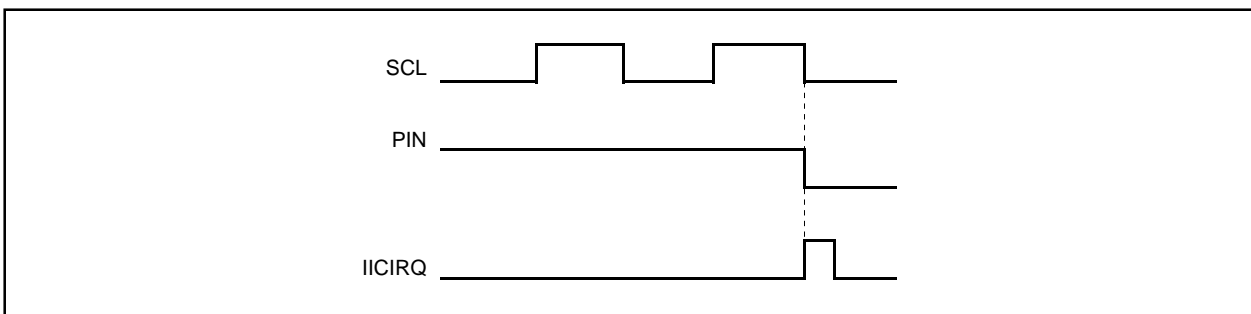


図2.11.37 割り込み要求信号の発生タイミング

(7) スタートコンディション発生方法

I²CiコントロールレジスタのESOビットが“1”の状態、I²Ciステータスレジスタに書き込み命令を行いIMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図2.11.38のスタートコンディション発生タイミング図と表2.11.9のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

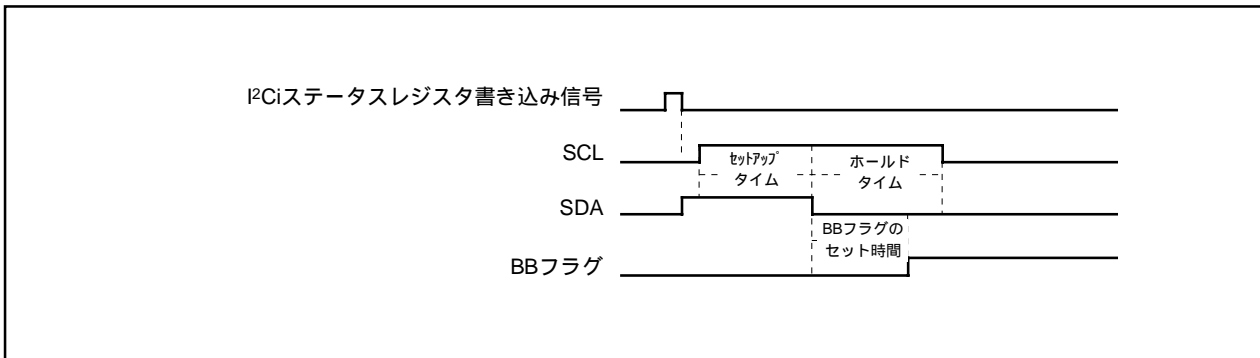


図2.11.38 スタートコンディション発生タイミング図

(8) ストップコンディションの発生方法

I²CiコントロールレジスタのESOビットが“1”の状態、I²Ciステータスレジスタへ書き込み命令を行いIMST = “1”, TRX = “1”, BB = “0”にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図2.11.39のストップコンディション発生タイミング図と表2.11.9のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

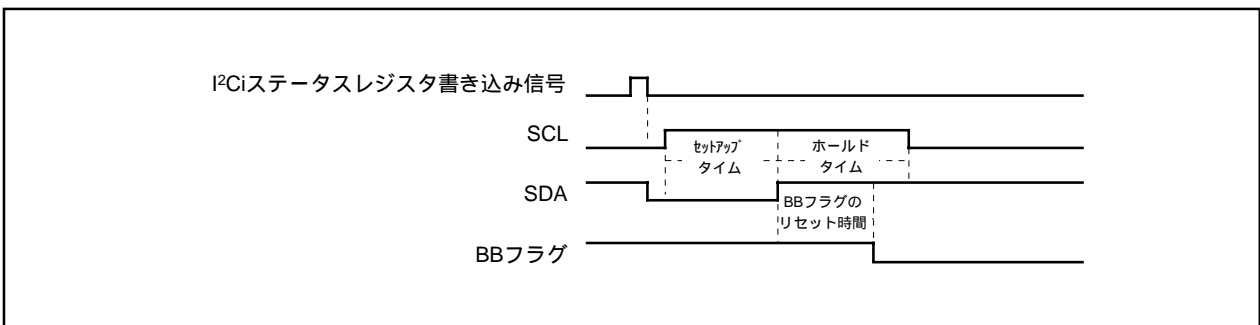


図2.11.39 ストップコンディション発生タイミング図

表2.11.9 スタートコンディション、ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間 (最小)	5.6 μ s	2.1 μ s
ホールド時間 (最小)	4.8 μ s	2.3 μ s
BBフラグセット/リセット時間	3.5 μ s	0.75 μ s

(9) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図2.11.40と表2.11.10に示します。表2.11.10の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ (MST = 0) 時にストップコンディションを検出すると, CPUに対して割り込み要求信号 <IICIRQ> を発生します。

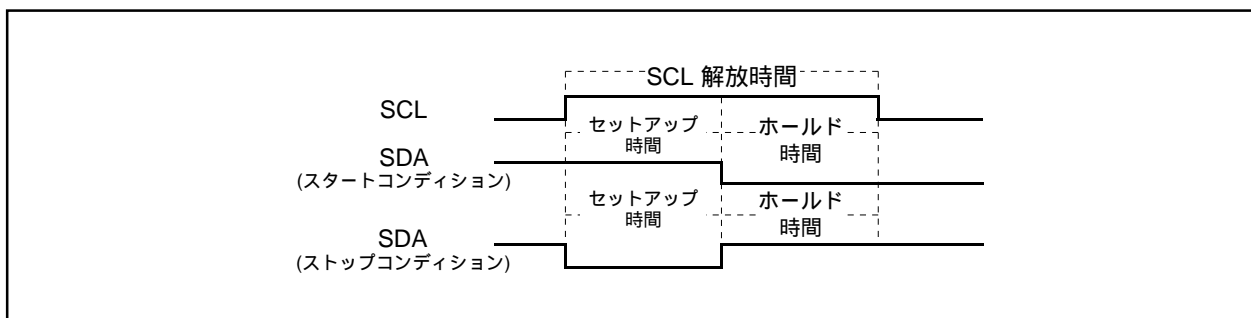


図2.11.40 スタートコンディション, ストップコンディション検出のタイミング図

表2.11.10 スタートコンディション, ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μ s < SCL解放時間	1.0 μ s < SCL解放時間
3.25 μ s < セットアップ時間	0.5 μ s < セットアップ時間
3.25 μ s < ホールド時間	0.5 μ s < ホールド時間

(10) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Ciコントロールレジスタの10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Ciアドレスレジスタに格納された上位7ビットのスレーブアドレスを比較します。この比較時には、I²CiアドレスレジスタのRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図2.11.41の(1),(2)を参照してください。

10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Ciコントロールレジスタの10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Ciアドレスレジスタに格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I²CiアドレスレジスタのRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるR/Wビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²CiステータスレジスタのAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Ciデータシフトレジスタに格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²CiアドレスレジスタのRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Ciアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図2.11.41の(3),(4)を参照してください。

(11) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

I²Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Ciクロックコントロールレジスタに“85₁₆”を設定することによって、アックを返すモード、SCL = 100kHzにします。

I²Ciステータスレジスタに“10₁₆”を設定し、SCLを“H”レベルに保持します。

I²Ciコントロールレジスタに“08₁₆”を設定することによって、通信許可状態にします。

I²Ciデータシフトレジスタの上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。

I²Ciステータスレジスタに“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。

I²Ciデータシフトレジスタに送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。

複数バイトの制御データを送信する場合、 を繰り返します。

アックが返らなかった場合又は送信が終了した場合は、I²Ciステータスレジスタに“D0₁₆”を設定することによってストップコンディションを発生させます。

(12) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

I²Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。

I²Ciクロックコントロールレジスタに“25₁₆”を設定することによって、アックなしモード、SCL = 400kHzにします。

I²Ciステータスレジスタに“10₁₆”を設定しSCLを“H”レベルに保持します。

I²Ciコントロールレジスタに“08₁₆”を設定することによって、通信許可状態にします。

スタートコンディションを受信すると、アドレス比較されます。

< 送信されたアドレスがすべて“0”の場合（ジュネラルコール）>

I²CiステータスレジスタのAD0=“1”に設定され、割り込み要求信号が発生します。

< 送信されたアドレスが、 で設定したアドレスと一致した場合 >

I²CiステータスレジスタのAAS=“1”に設定され、割り込み要求信号が発生します。

< 上記以外の場合 >

I²CiステータスレジスタのAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。

I²Ciデータシフトレジスタにダミーデータを設定します。

複数バイトの制御データを受信する場合、 を繰り返します。

ストップコンディションを検出すると通信が終了します。

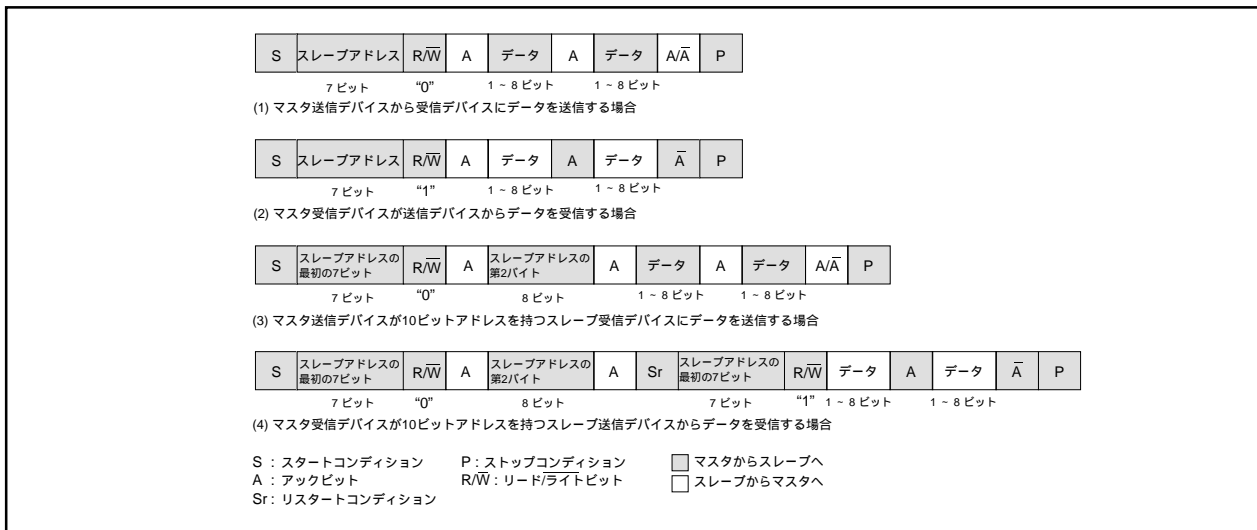


図2.11.41 アドレスデータ通信フォーマット

(13) マルチマスタ²I²Ci-BUSインタフェースiの注意事項

BCLKの動作モードについて

分周なしモードを選択し、メインクロック周波数を $f(X_{IN}) = 16\text{MHz}$ 又は 10MHz にしてください。このとき、パリアフェラルドモードレジスタ(027D16番地)のビット7を周波数に合わせて設定してください。

使用する命令について

マルチマスタ²I²C-BUSインタフェースi関連レジスタをアクセスする命令のデータサイズは、バイト(.B)を指定してください。

リード・モディファイ・ライト命令の使用について

BSET, BCLRなどのリード・モディファイ・ライト命令をマルチマスタ²I²Ci-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- ・²I²Ciデータシフトレジスタ(IICiS0)
 - 転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- ・²I²Ciアドレスレジスタ(IICiS0D)
 - ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
 - 上記のタイミングでリード/ライトビット(RBW)が、ハードウエアによって変化するためです。
- ・²I²Ciステータスレジスタ(IICiS1)
 - すべてのビットはハードウエアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- ・²I²Ciコントロールレジスタ(IICiS1D)
 - スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
 - 上記のタイミングでビットカウンタ(BC0~BC2)が、ハードウエアによって変化するためです。
- ・²I²Ciクロックコントロールレジスタ(IICiS2)
 - リード・モディファイ・ライト命令は使用可能です。
- ・²I²Ciポートセレクションレジスタ(IICiS2D)
 - 上位4ビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。
- ・²I²Ci送信バッファレジスタ(IICiS0S)
 - すべてのビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。

スタートコンディション発生手順について

```

      :
      FCLR   I           (割り込みの禁止)
      BTST   5, IICiS1  (BBフラグ確認及び分岐処理)
      JC     BUSBUSY
BUSFREE:
      MOV.B  SA, IICiS0  (スレーブアドレス値 < SA > の書き込み)
      NOP
      NOP
      NOP
      MOV.B  #F0H, IICiS1 (スタートコンディション発生トリガ)
      FSET   I           (割り込みの許可)
      :
BUSBUSY:
      FSET   I           (割り込みの許可)
      :

```

スレーブアドレス値の書き込みと、スタートコンディション発生トリガの設定は、手順例のとおり必ずNOP命令×4を挿入して実行してください。

マルチマスタシステムの場合は、BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。シングルマスタシステムの場合は、上記の割り込み禁止処理は必要ありません。

リスタートコンディション発生手順について

```

      :
      MOV.B  SA, IICiS0S (スレーブアドレス値 < SA > の書き込み)
      NOP
      NOP
      MOV.B  #F0H, IICiS1 (リスタートコンディション発生トリガ)
      :

```

I²Ciデータシフトレジスタへのスレーブアドレス値の書き込みは、I²Ci送信バッファレジスタを使用してください。また、必ずNOP命令×4を挿入してください。

I²Ciステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²Ciデータシフトレジスタ及びI²Ciステータスレジスタに書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

2.12 A-D変換器

容量結合増幅器で構成され、8ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P102～P107と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D716番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧(VREF)を切り離すことができます。切り離すことにより、VREFから抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

表2.12.1にA-D変換器の性能を、図2.12.1にA-D変換器のブロック図を、図2.12.2～図2.12.5にA-D変換器関連のレジスタを示します。

表2.12.1. A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ VCCI
動作クロック AD(注2)	fAD/fADの2分周/fADの4分周 fAD=f(XIN)
分解能	8ビット
絶対精度	サンプル&ホールド機能なし : ±5LSB サンプル&ホールド機能あり : ±5LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	6本(AN0 ~ AN5)
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 49 ADサイクル サンプル&ホールドあり 28 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

- f(XIN)が10MHzを超える場合は分周し、ADの周波数を10MHz以下にしてください。
サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

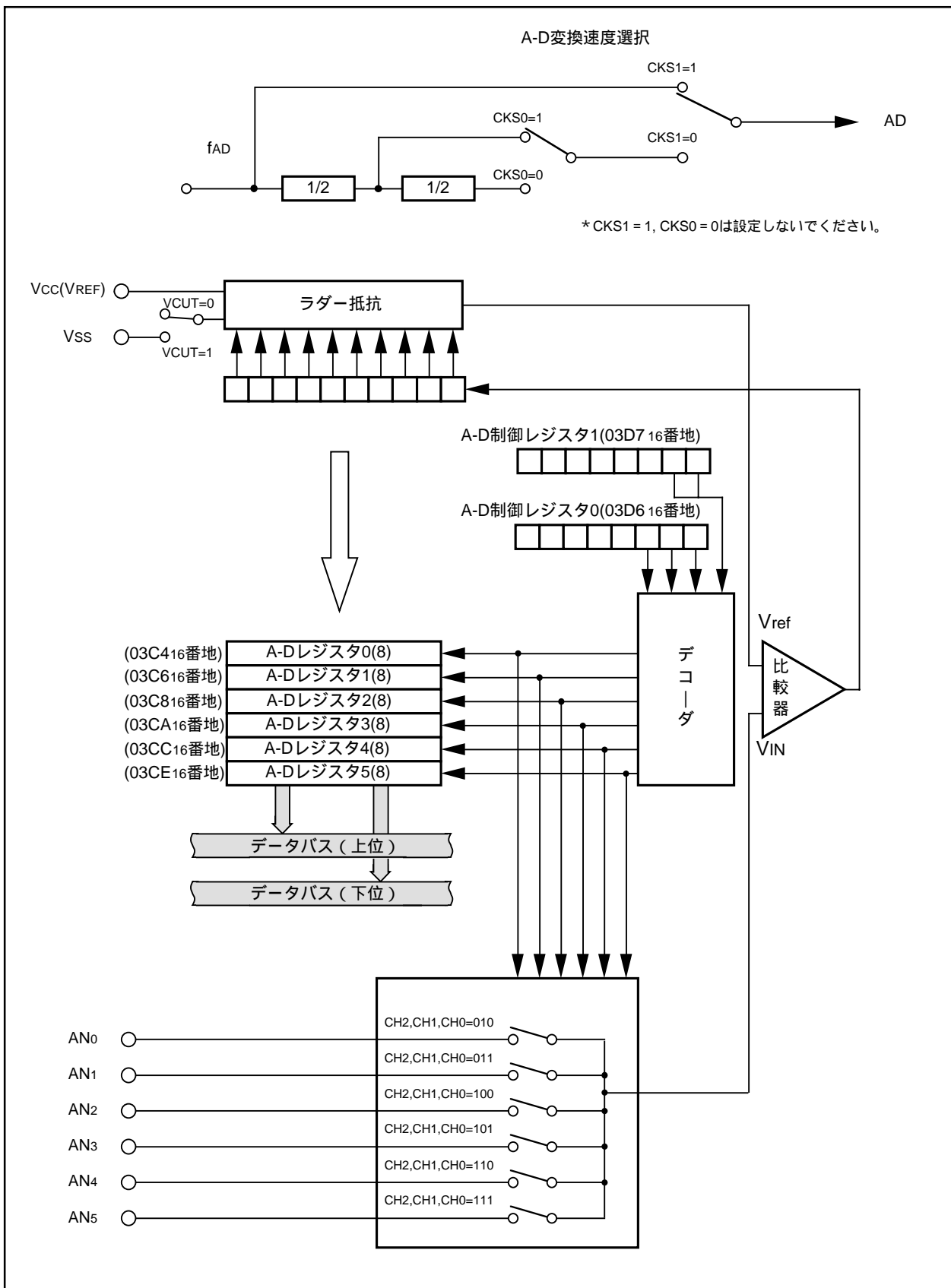


図2.12.1 A-D変換器のブロック図

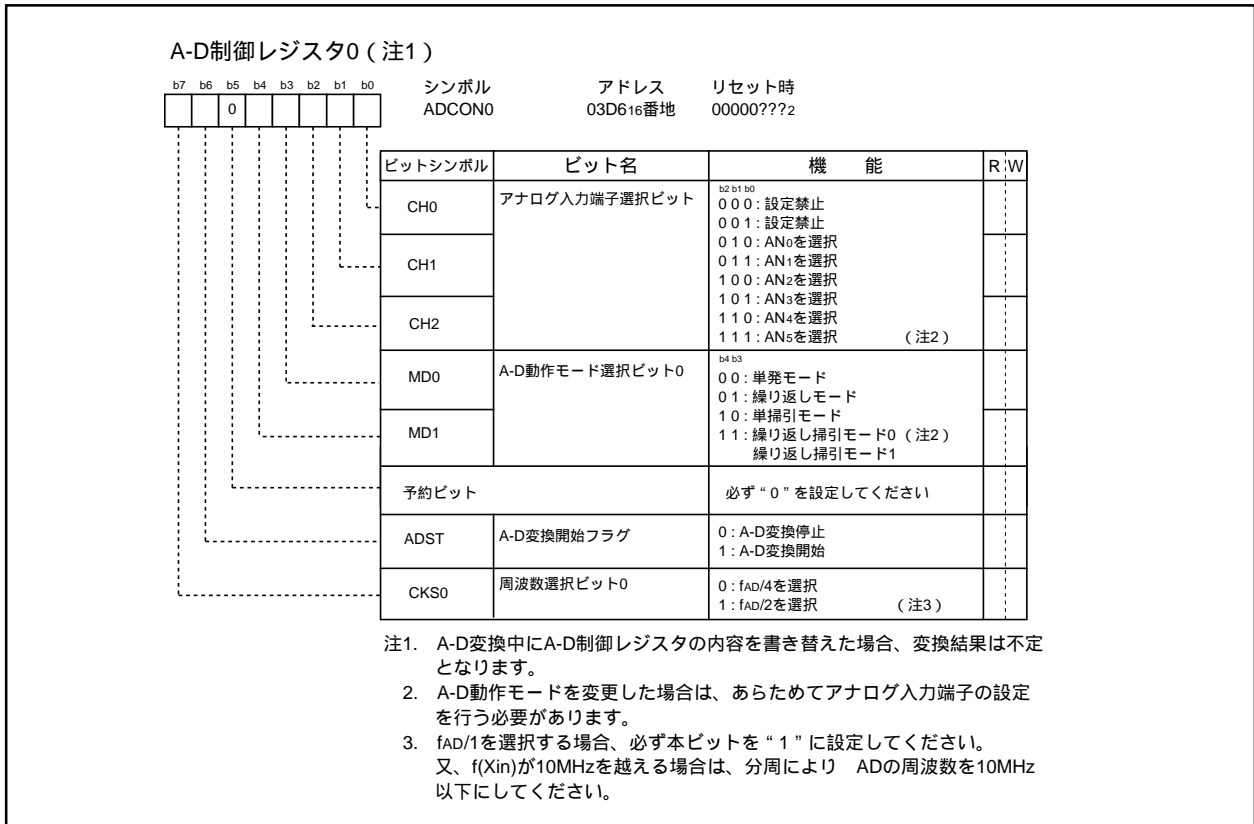


図2.12.2 A-D制御レジスタ0

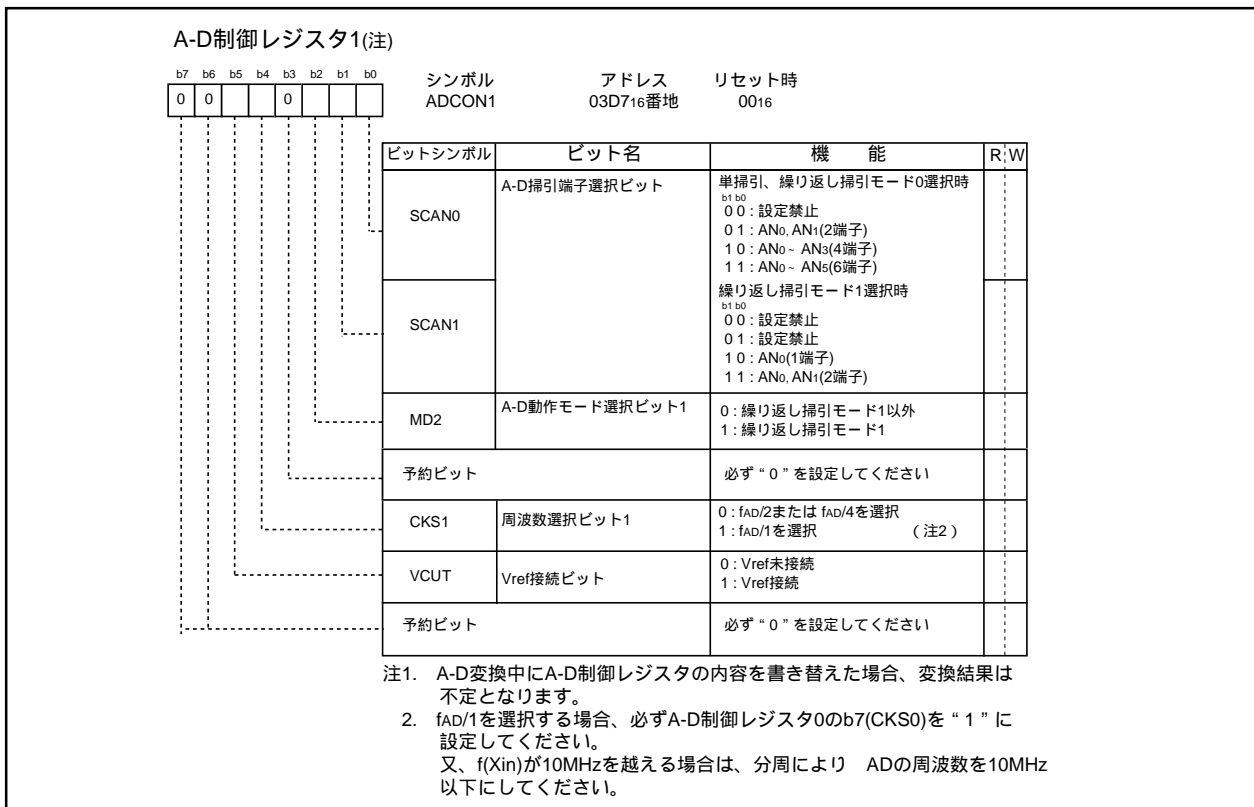


図2.12.3 A-D制御レジスタ1

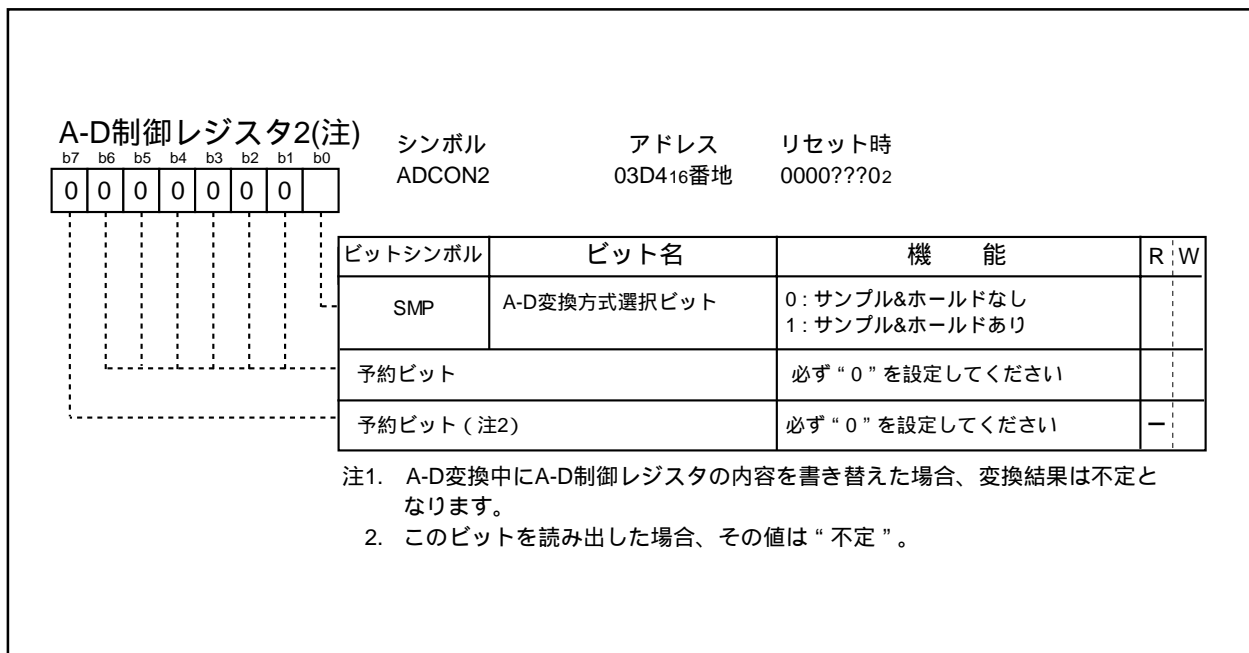


図2.12.4 A-D制御レジスタ2

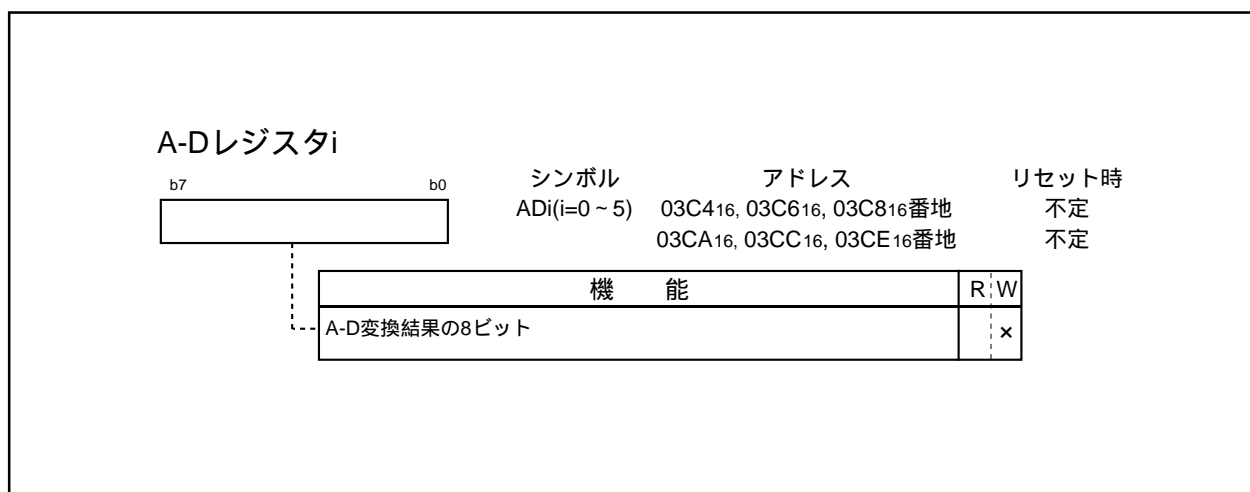


図2.12.5 A-Dレジスタi

2.12.1 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表2.12.2に単発モードの仕様、図2.12.6と図2.12.7に単発モード時のA-D制御レジスタを示します。

表2.12.2 単発モードの仕様

項 目	仕 様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了 A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ ~ AN ₅ より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

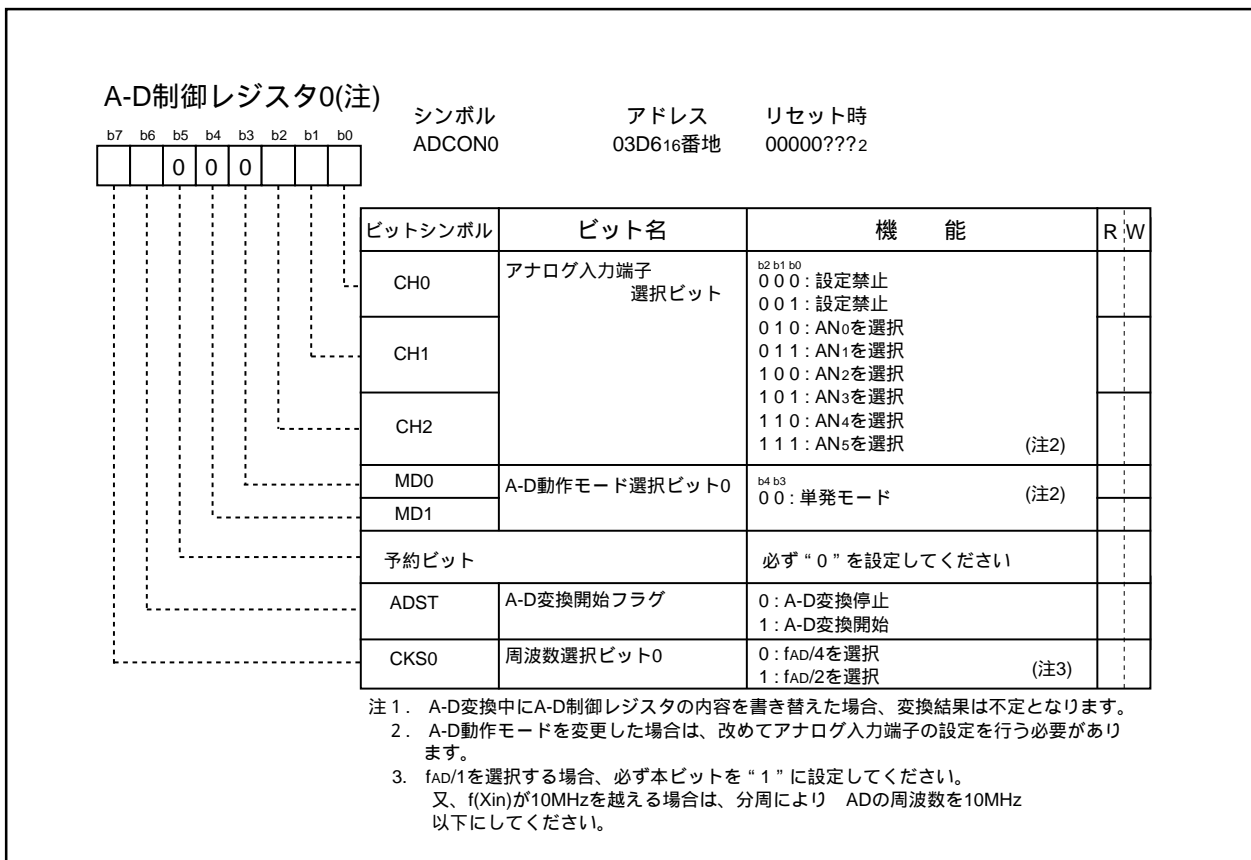


図2.12.6 単発モード時のA-D制御レジスタ0

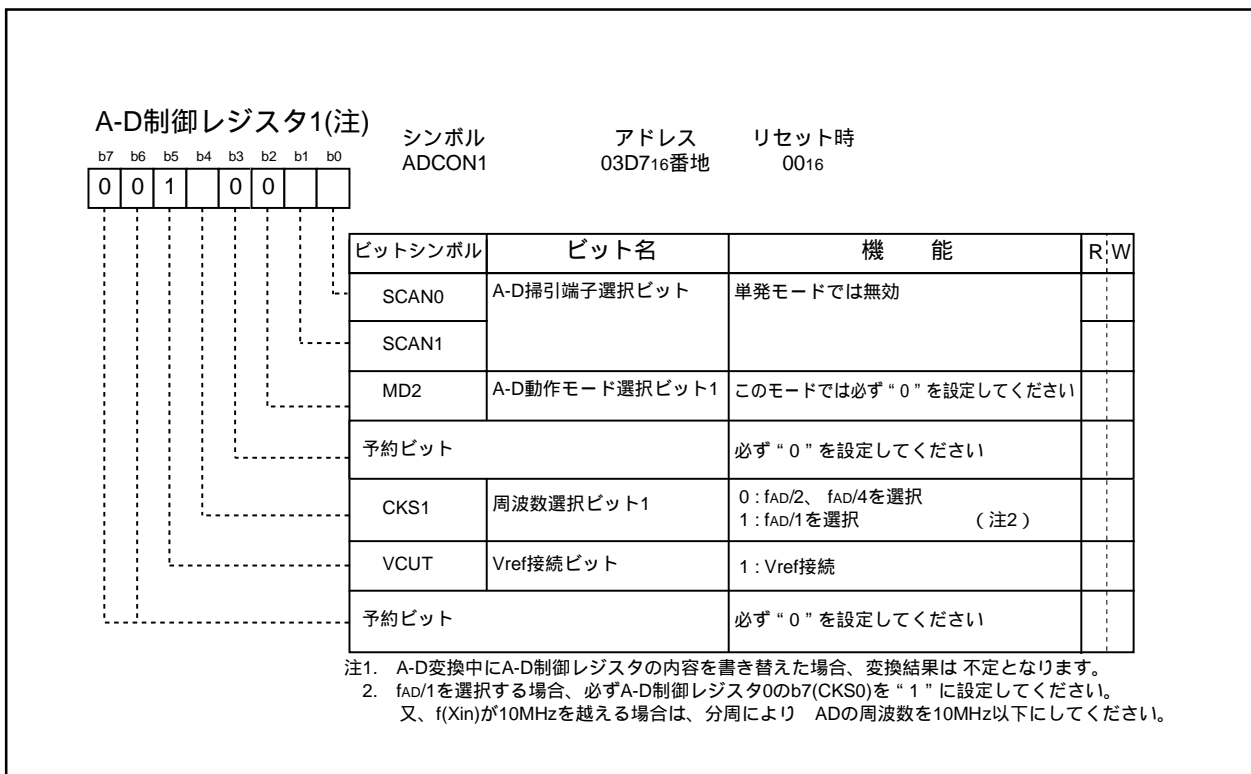


図2.12.7 単発モード時のA-D制御レジスタ1

2.12.2 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表2.12.3に繰り返しモードの仕様、図2.12.8と図2.12.9に繰り返しモード時のA-D制御レジスタを示します。

表2.12.3 繰り返しモードの仕様

項 目	仕 様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0 ~ AN5より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

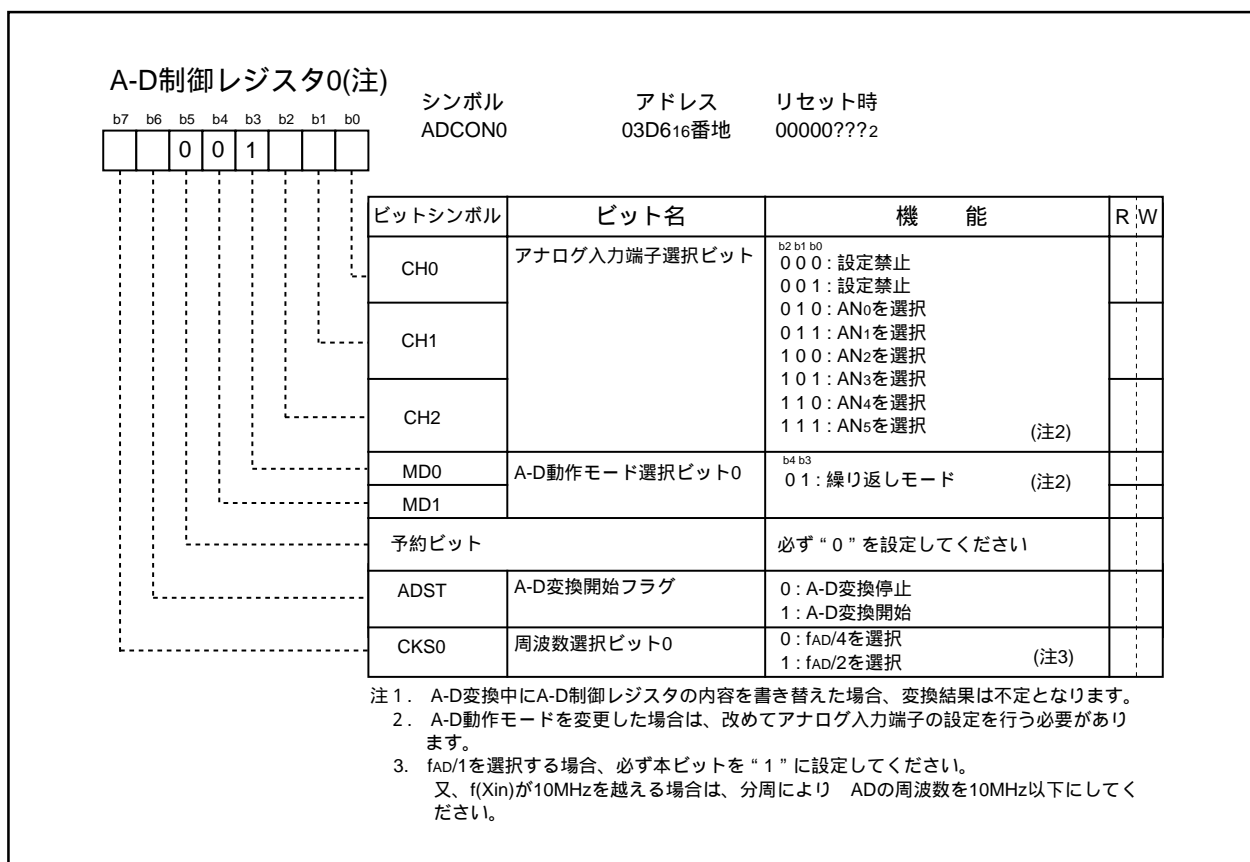


図2.12.8 繰り返しモード時のA-D制御レジスタ0

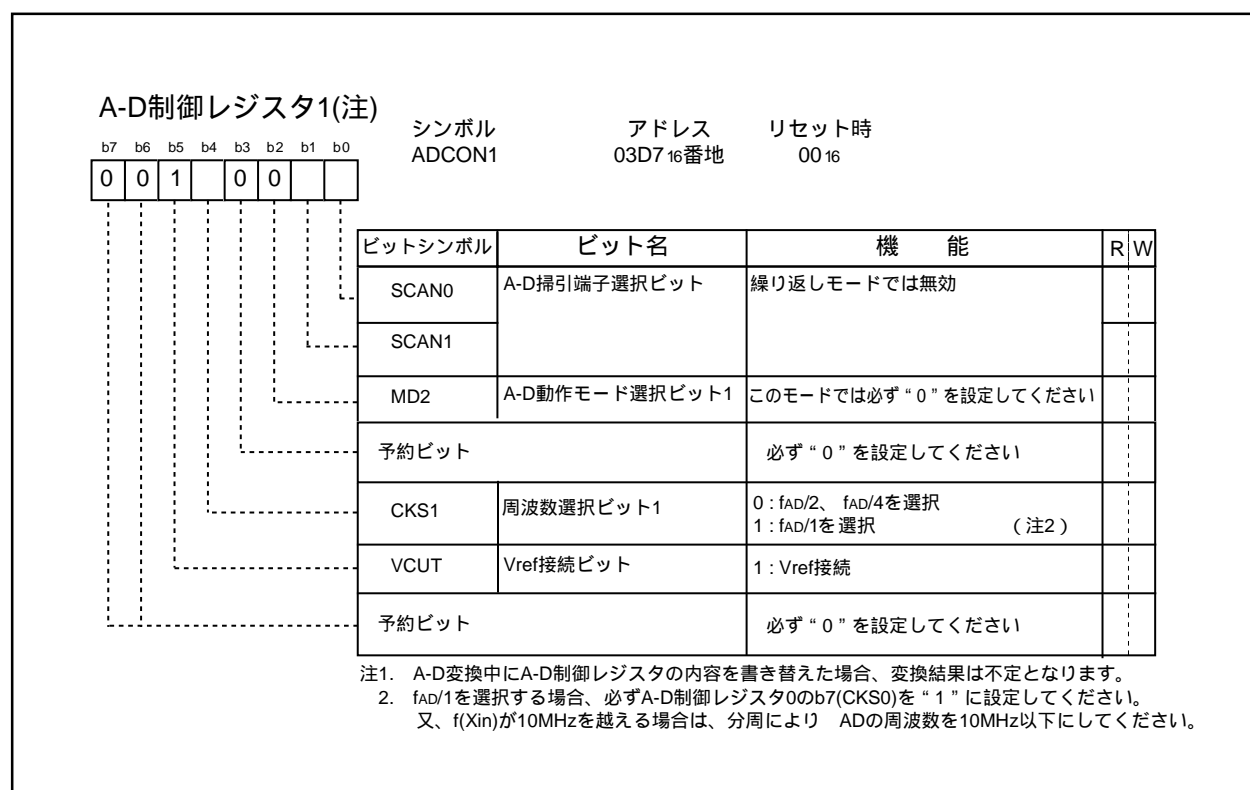


図2.12.9 繰り返しモード時のA-D制御レジスタ1

2.12.3 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表2.12.4に単掃引モードの仕様、図2.12.10と図2.12.11に単掃引モード時のA-D制御レジスタを示します。

表2.12.4 単掃引モードの仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN0, AN1(2端子)、AN0 ~ AN3(4端子)、AN0 ~ AN5(6端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

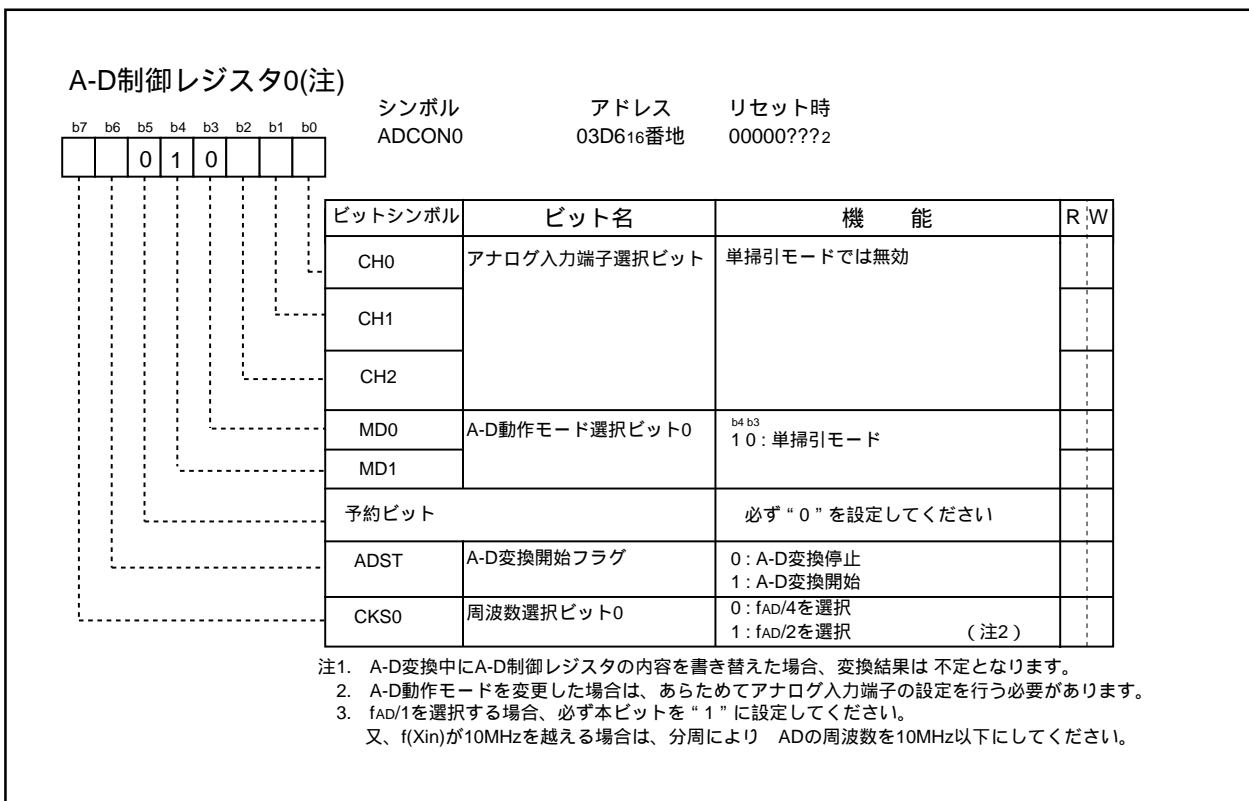


図2.12.10 単掃引モード時のA-D制御レジスタ0

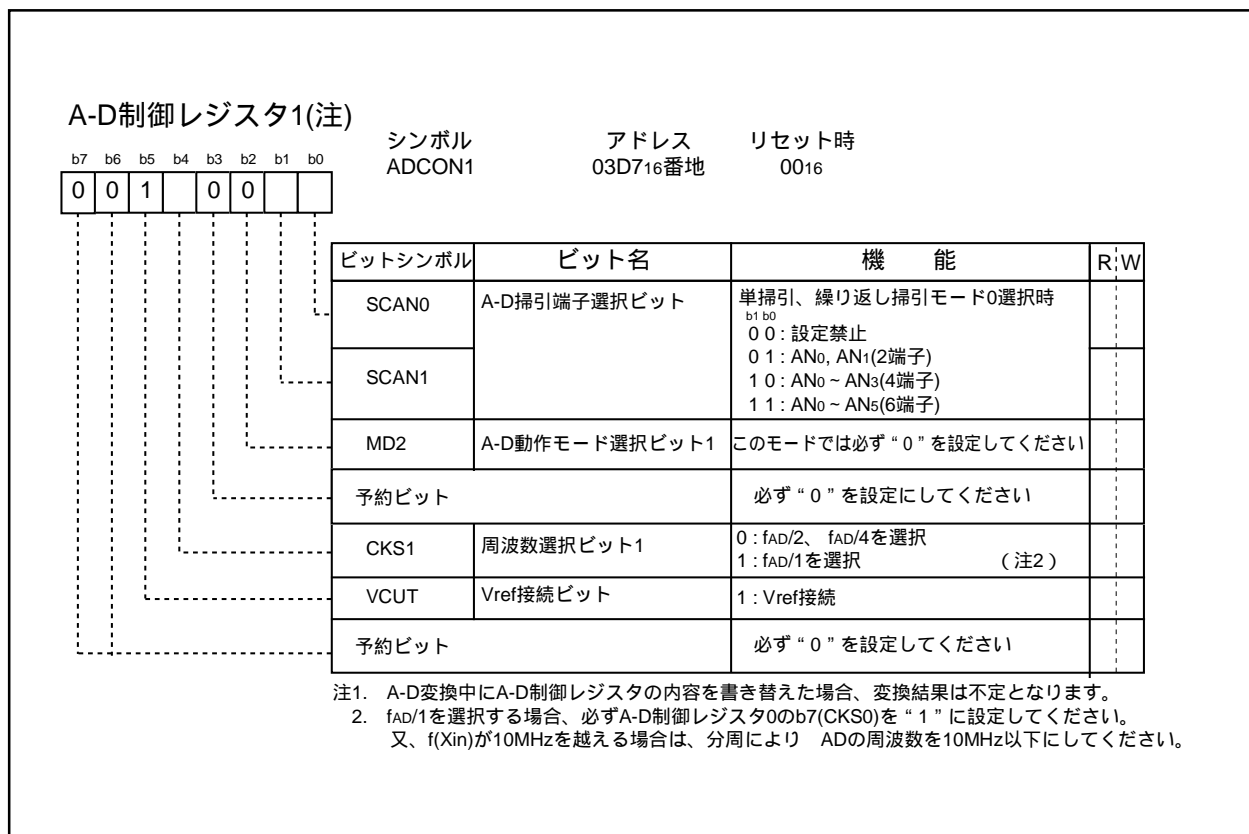


図2.12.11 単掃引モード時のA-D制御レジスタ1

2.12.4 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表2.12.5に繰り返し掃引モード0の仕様、図2.12.12と図2.12.13に繰り返し掃引モード0時のA-D制御レジスタを示します。

表2.12.5 繰り返し掃引モード0の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0, AN1(2端子)、AN0 ~ AN3(4端子)、AN0 ~ AN5(6端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

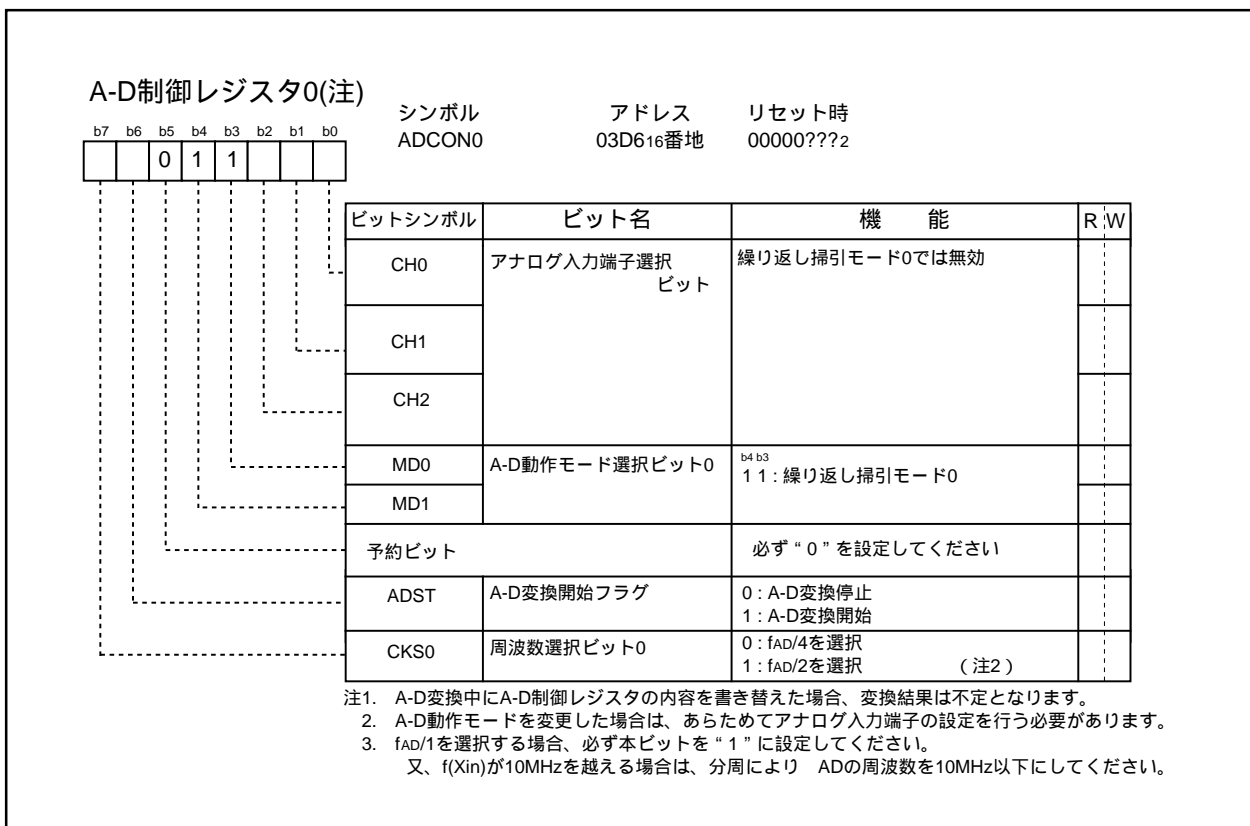


図2.12.12 繰り返し掃引モード0時のA-D制御レジスタ0

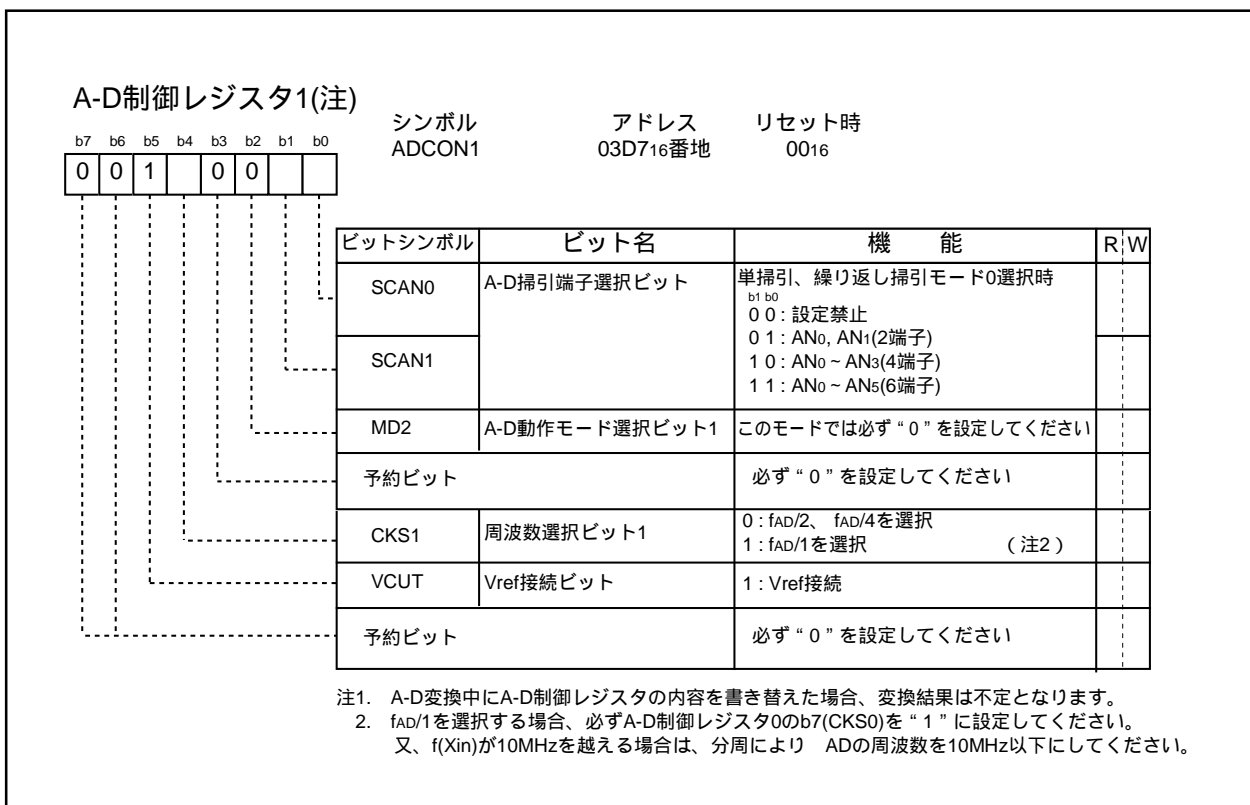


図2.12.13 繰り返し掃引モード0時のA-D制御レジスタ1

2.12.5 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表2.12.6に繰り返し掃引モード1の仕様、図2.12.14と図2.12.15に繰り返し掃引モード1時のA-D制御レジスタを示します。

表2.12.6 繰り返し掃引モード1の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

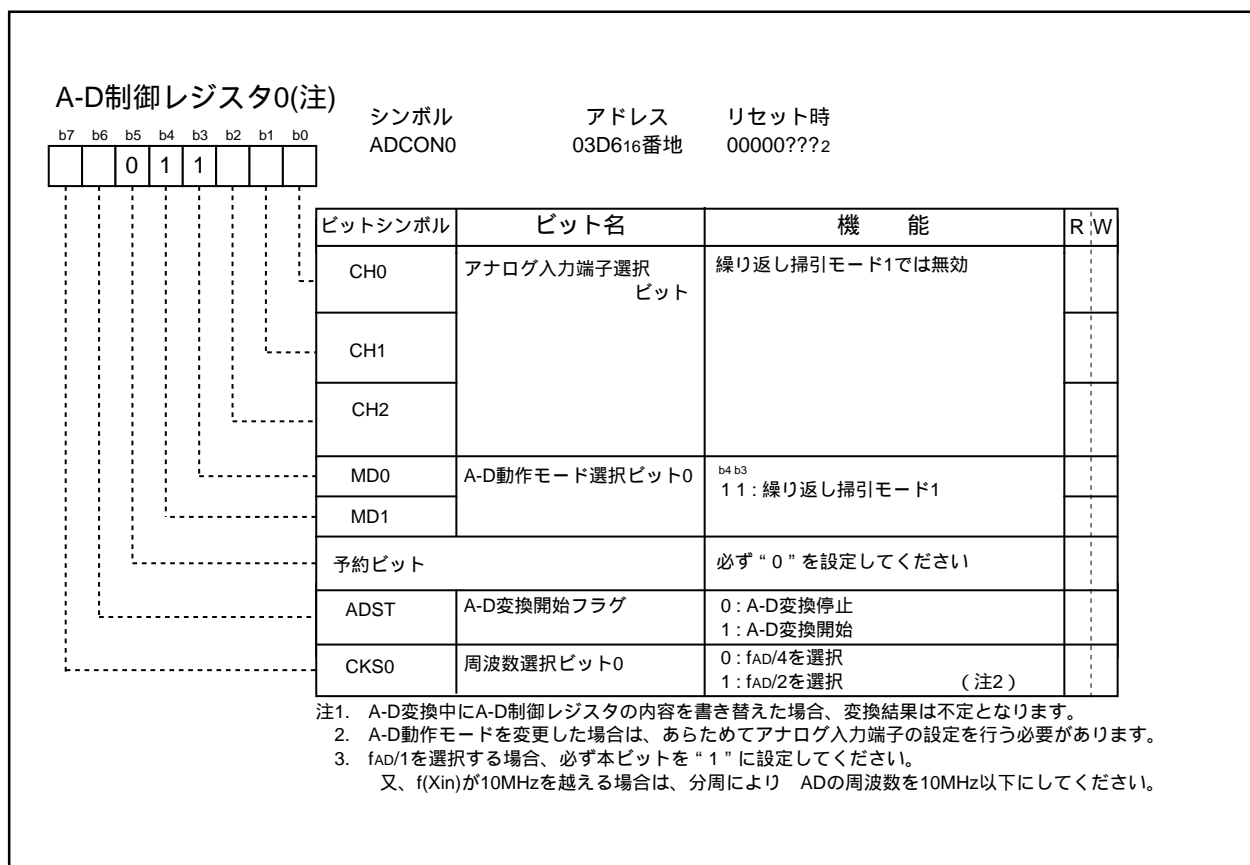


図2.12.14 繰り返し掃引モード1時のA-D制御レジスタ0

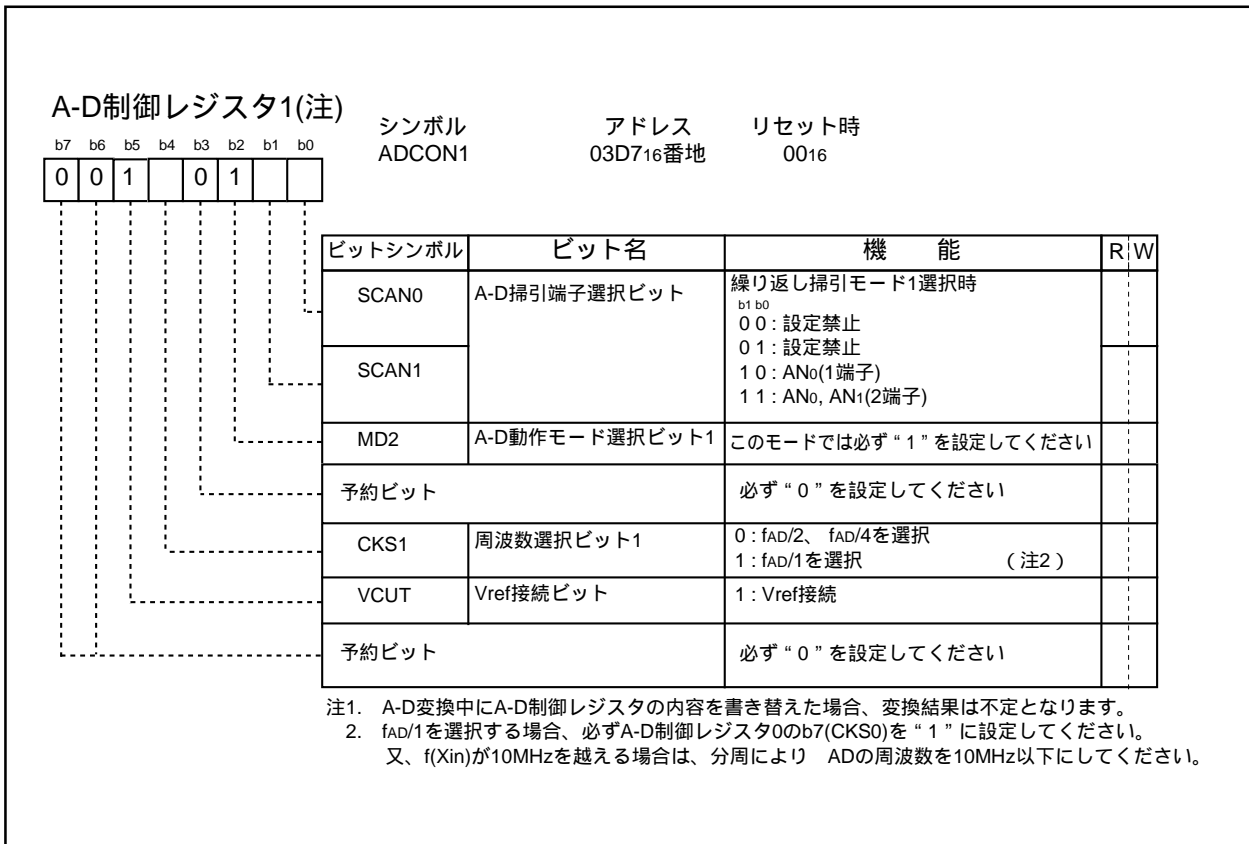


図2.12.15 繰り返し掃引モード1時のA-D制御レジスタ1

2.12.6 サンプル&ホールド

A-D制御レジスタ2(03D416番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、28 ADサイクルとなります。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

2.13 D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} : 基準電圧

表2.13.1にD-A変換器の性能を、図2.13.1にD-A変換器のブロック図を、図2.13.2にD-A制御レジスタ、図2.13.3にD-Aレジスタ、図2.13.4にD-A変換器の等価回路を示します。

表2.13.1 D-A変換器の性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

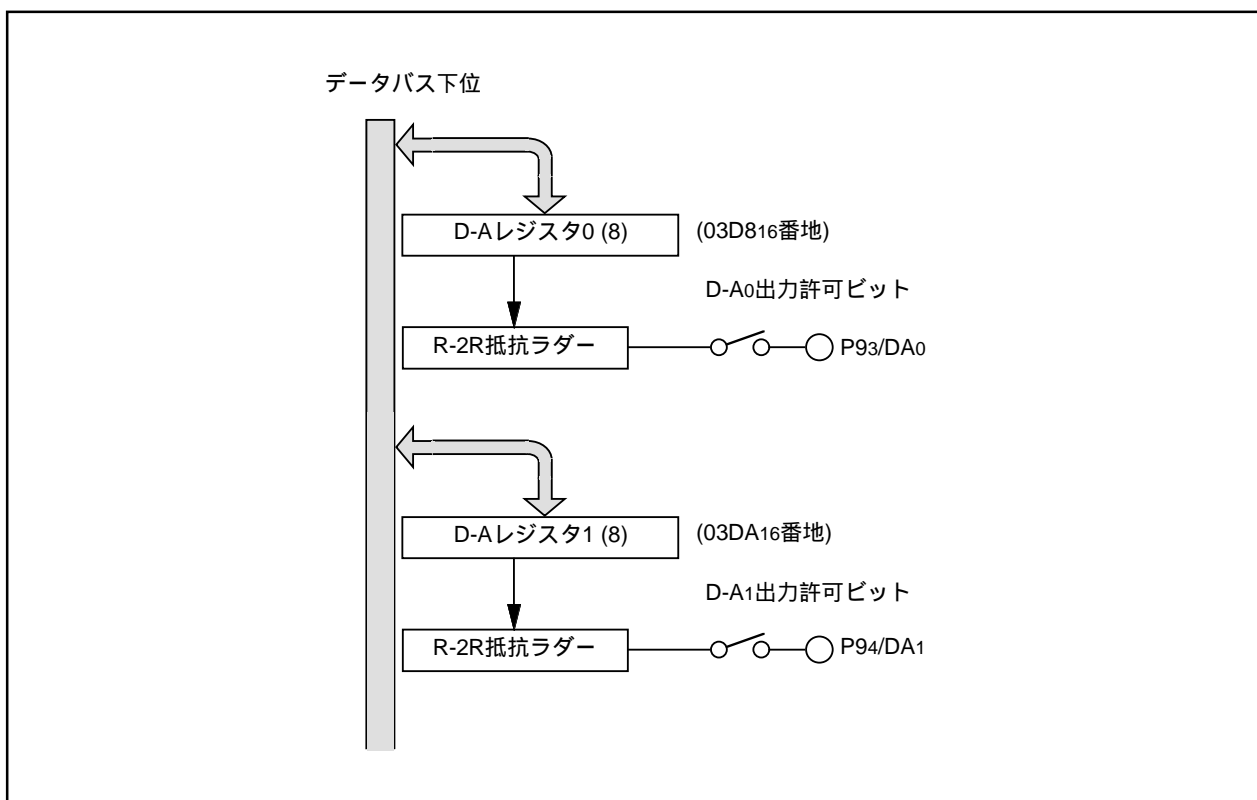


図2.13.1 D-A変換器のブロック図

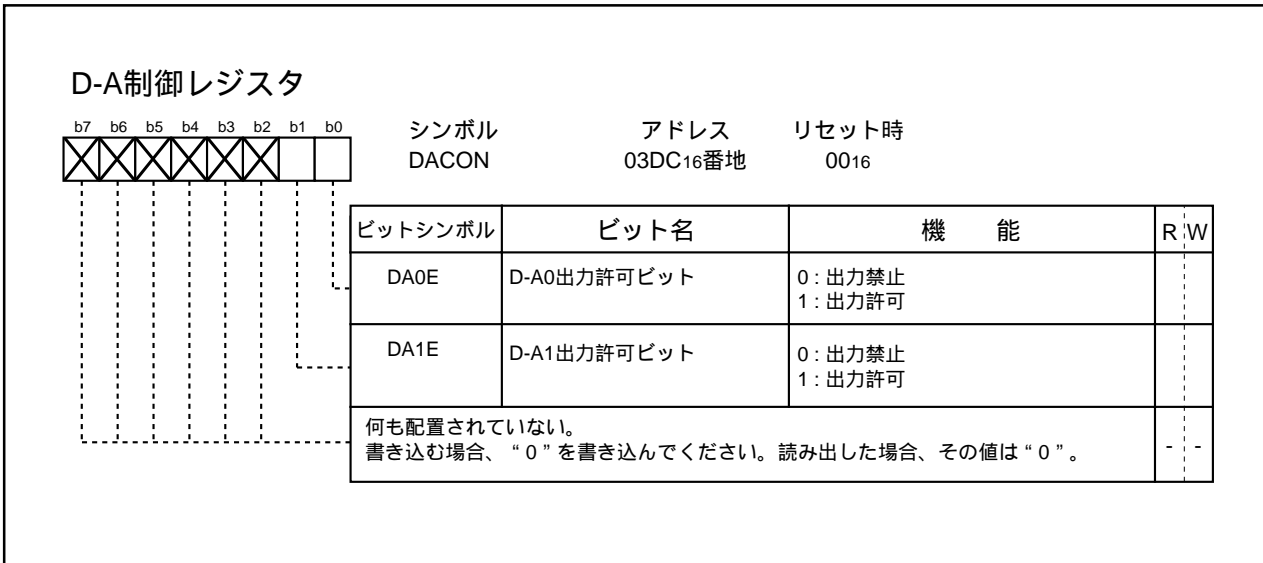


図2.13.2 D-A制御レジスタ

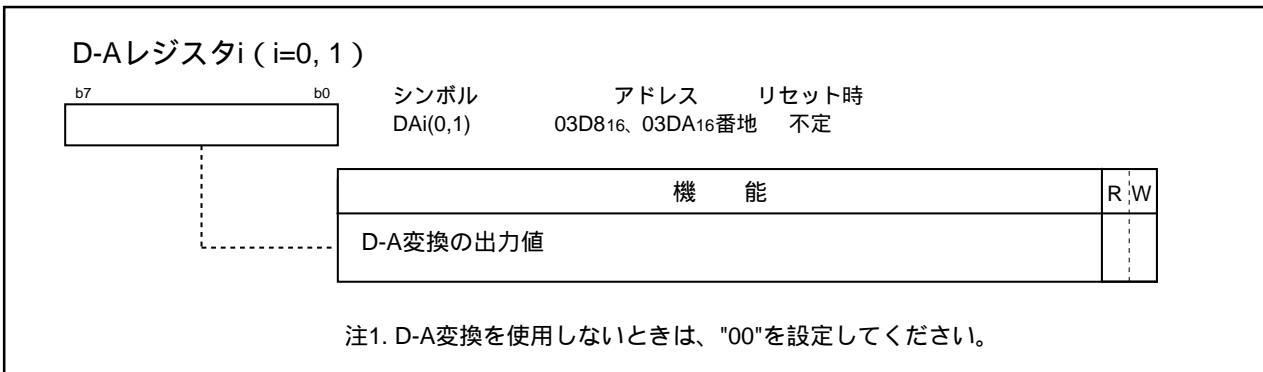


図2.13.3 D-Aレジスタ*i* (i=0, 1)

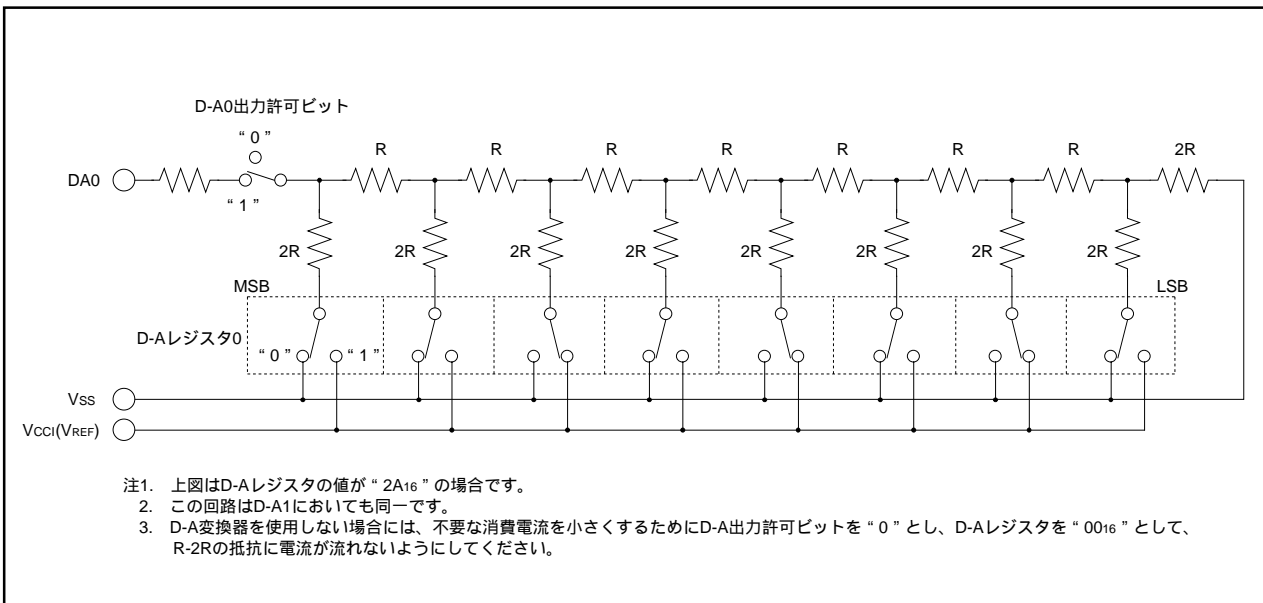


図2.13.4 D-A変換器の等価回路

2.14 データスライサ

本マイクロコンピュータは、クローズドキャプションデコーダ（以下CCDと称す）及びビデオID（以下ID1と称す）デコードに対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重畳されたCCD及びID1（*1）を取り出すことができます。CVIN端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ1（026016/030016番地）のビット0を“0”に設定することによって、データスライサ回路及びタイミング信号発生回路をOFFすることができます。これらの設定によって、電源電流を抑えることができます。

注．データスライサを使用する場合、ペリフェラルモードレジスタ(027D16番地)のビット7をメインクロック周波数に従って設定してください。

(*1) 525i/p ID1データスライスを行うことができます。525pでCCデータのスライスはできません。指定のない場合、以下525iに関する記載となります。

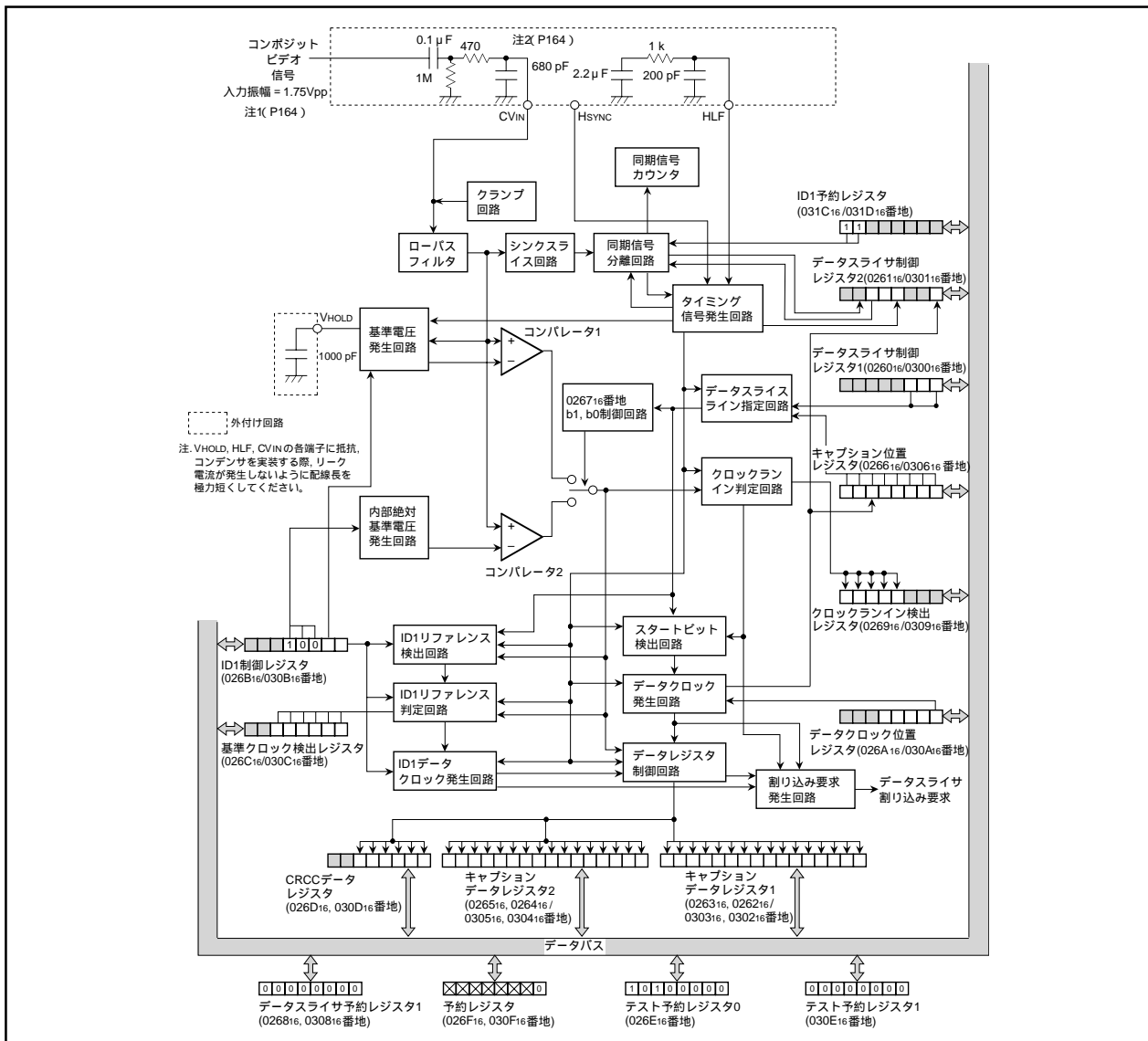


図2.14.1 データスライサブロック図

注1. CVIN端子から入力する振幅は、以下を満足するようにしてください。

(1) 入力振幅 + シンクチップクランプ電位 < VCCi + 0.3Vとしてください。

VCCiは、VCCi電源端子電圧を示します。

シンクチップクランプ電位は、 $(43/120) \times VCCi$ となります。

例) VCCi = 3.3Vで入力振幅 = 2.0Vの場合

$$2.0V + 1.18V = 3.18V < 3.6V = 3.3V + 0.3V$$

(2) 図2.14.2にCVIN端子の入力振幅に対する各信号レベルを示します。

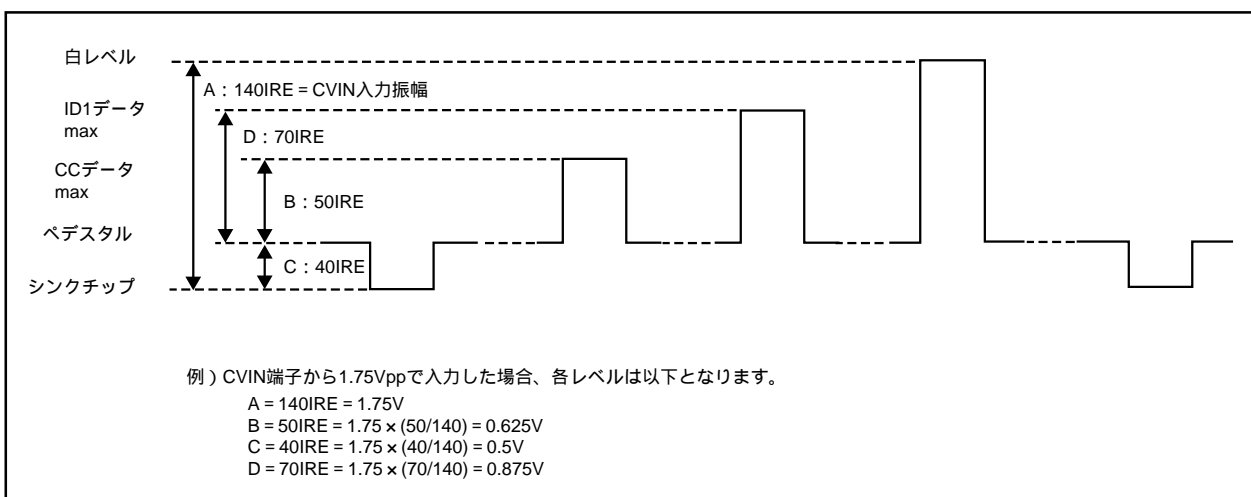


図2.14.2 CVIN端子の入力振幅に対する各レベル

注2. 図2.14.1に示す外付け各定数は一例であり、システム上のビデオ信号出力インピーダンスや基板容量などに大きく影響されます。入力振幅、外付け各定数決定には、十分な評価をお願いします。

2.14.1 データスライサを使用しない場合の注意事項

データスライサ制御レジスタ1 (026016/030016番地) のビット0が“0”の場合、図2.14.3のように端子を処理してください。

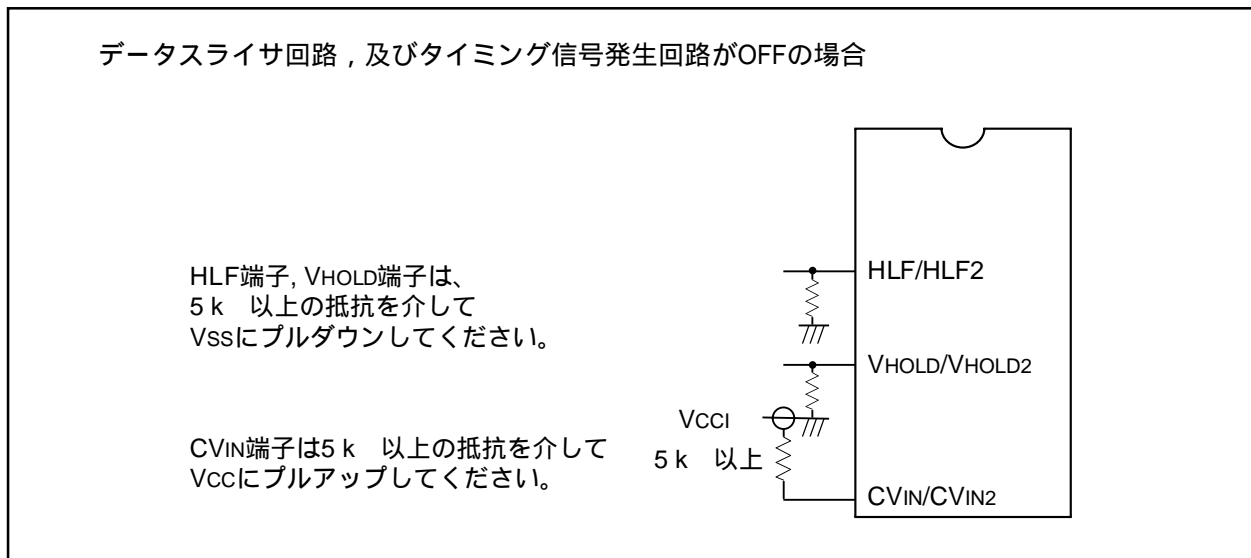


図2.14.3 データスライサ回路，及びタイミング信号発生回路OFFの場合の，データスライサ入出力端子の処理方法

図2.14.4、図2.14.5にデータスライサ制御レジスタを示します。

データスライサ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
0	0	0	0	0	0	0	0	DSC01/ DSC11	0260 ₁₆ 番地 0300 ₁₆ 番地	00 ₁₆ 00 ₁₆

ビットシンボル	ビット名	機能	R	W
DSC010/ DSC110	データスライサ及びタイミング 信号発生回路制御ビット	0: 停止 (スライサ未使用時、設定してください) 1: 動作 (スライサ使用時、設定してください)	○	○
DSC011/ DSC111	データスライサ用基準電圧 発生フィールドの選択ビット	0: F2 1: F1 CC21と (CCX or ID1) の2ラインをスライスする場合(注1, 2) 1: 通常、F1を選択してください。 ID1のみをスライスする場合 0/1: どちらかを選択してください(注3) 525p ID1をスライスする場合 X: 本ビットの設定は無効です	○	○
DSC012/ DSC112	基準クロックソース 選択ビット	0: ビデオ信号 (通常は "0" を設定してください) 1: Hsync 信号	○	○
予約ビット		必ず "0" を設定してください	○	○

フィールド1 (F1) 及びフィールド2 (F2) の定義

F1: Hsep

Vsep

F2: Hsep

Vsep

注1. 0266₁₆、026B₁₆、0306₁₆、030B₁₆番地のレジスタ設定により選択します
 2. ID1スライス設定を行う場合、026B₁₆、030B₁₆番地の設定が必要です
 3. F1/F2に同一データが重畳されていることが必要です
 4. CC21とは、CCフォーマットのLine21データを示します。
 CCXとは、CCフォーマットの0266₁₆、0306₁₆で選択するラインデータを示します。
 ID1とは、ID1フォーマットデータを示します。

図2.14.4 データスライサ制御レジスタ1

データスライサ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
0	0	0	0	0	0	0	0	DSC02/ DSC12	0261 ₁₆ 番地 0301 ₁₆ 番地	?0?0?0?1 ₁₆ ?0?0?0?1 ₁₆

ビットシンボル	ビット名	機能	R	W
DSC020/ DSC120	キャプションデータラッチ完了フラグ	CC21とCCXの2ラインをスライスする場合 0: CC21キャプションデータラッチ未完了、又はクロックランイン無 1: CC21キャプションデータラッチ完了、かつクロックランイン有 CCXのみをスライスする場合 0: CCXキャプションデータラッチ未完了、又はクロックランイン無 1: CCXキャプションデータラッチ完了、かつクロックランイン有 ID1のみをスライスする場合 0: ID1キャプションデータラッチ未完了 1: ID1キャプションデータラッチ完了 (*) フラグは垂直同期信号 (Vsep) の立ち下がりで "0" にリセットされます。	○	×
予約ビット		必ず "0" を設定してください	○	○
テスト用ビット		読み出し専用	○	×
DSC023/ DSC123	フィールド判別フラグ	0: F2 1: F1 (*) 026B ₁₆ 、030B ₁₆ で525p選択時、本フラグは無効です。	○	×
DSC024/ DSC124	垂直同期信号(Vsep)信号 発生方法選択ビット	0: 方法(1) 1: 方法(2)	○	○
DSC025/ DSC125	Vパルスの形状判別フラグ	0: 一致 1: 不一致	○	×
予約ビット		必ず "0" を設定してください	○	○
テスト用ビット		読み出し専用	○	×

フィールド1 (F1) 及びフィールド2 (F2) の定義

F1: Hsep

Vsep

F2: Hsep

Vsep

図2.14.5 データスライサ制御レジスタ2

2.14.2 クランプ回路・ローパスフィルタ

CVIN端子から入力されたコンポジットビデオ信号は、クランプ回路でシンクチップ部分を基準にしてクランプされます。ローパスフィルタはクランプされたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力されるCVIN端子は、外部でのコンデンサ (0.1 μ F) 結合が必要です。またCVIN端子は、数100k ~ 1 M 程度の抵抗でプルダウンしてください。さらにCVIN端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します (図2.14.1 及び注意事項参照)。

2.14.3 シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。

図2.14.21に示すID1予約レジスタ (031C16/031D16番地) のビット7, 6を11bに設定してください。

2.14.4 同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

(1) 水平同期信号 (Hsep)

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号Hsepを発生します。

(2) 垂直同期信号 (Vsep)

Vsep信号の発生方法は、データスライサ制御レジスタ2 (026116/030116番地) のビット4を用いて、次の2種類から選択することができます。

- ・方法1 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の立ち上がりに同期してVsep信号を発生します。
- ・方法2 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の“L”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりに同期してVsep信号を発生します (図2.14.6参照)。

発生タイミングを図2.14.6に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データスライサ制御レジスタ2のビット5を読み出すことによって、コンポジットシンク信号のVパルス部分の形状が判別できます。図2.14.7のようにA, Bのレベルが一致していれば“0”、不一致であれば“1”になります。

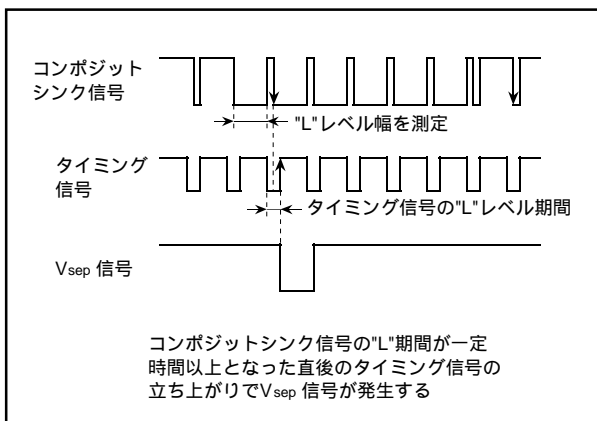


図2.14.6 Vsep発生タイミング (方法2)

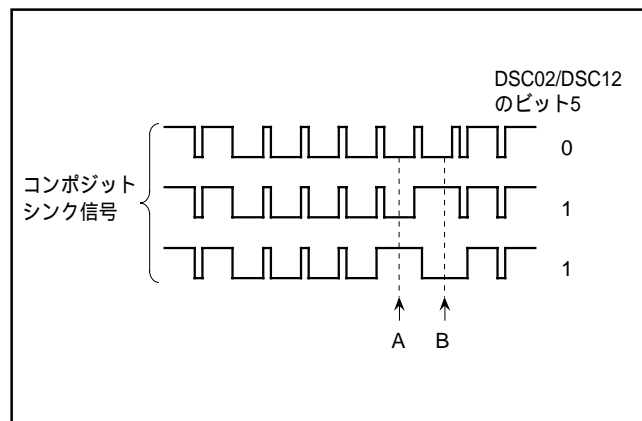


図2.14.7 Vパルス形状の判別

2.14.5 タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ 1 (0260₁₆/0300₁₆番地)のビット0を“1”に設定することによって動作します。

基準クロックは、コンポジットシンク信号のかわりにHSYNC信号をカウントソースとすることもできます。ただし、HSYNC信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ 1 (0260₁₆/0300₁₆番地)のビット2で選択できます。

HLF端子は、図2.14.1に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注． データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。

この期間、各種タイミング信号、Hsep信号、Vsep信号は不定となりますので、プログラム作成の際は、安定時間を考慮してください。

2.14.6 データスライスライン指定回路

(1) データスライスラインの指定

キャプションデータが重畳されるラインを決定します。1フィールド中のライン21（固定）と任意の1ラインの計2ライン/1フィールド、F1/F2の両フィールドのデータスライスが可能です。各設定はキャプション位置レジスタ（0266₁₆/0306₁₆番地）で行います（表2.14.1参照）。

Vsepの立ち下がりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット4～ビット0の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには“00₁₆”～“1F₁₆”の値が設定できます（任意の1ラインのみの設定時、表2.14.1参照）。図2.14.8に垂直帰線期間中の信号を示します。キャプション位置レジスタを図2.14.9に示します。ID1をスライスする場合、0266₁₆/0306₁₆番地ビット4-0=10000bを設定してください。

525p ID1スライスを行う場合、0266₁₆/0306₁₆番地ビット4-0=00001b、及びデータクロック位置レジスタ（026A₁₆/030A₁₆番地）ビット6,5=01bを設定してください。

(2) スライス電圧を設定するラインの指定

CC21、CCXをスライスする場合、どのラインのクロックランインに対して、スライス用の基準電圧（スライス電圧）を発生するかを表2.14.1に示します。スライス電圧を発生させるフィールドの指定はデータスライサ制御レジスタ1のビット1で設定します。1フィールド中のスライス電圧発生ラインは、キャプション位置レジスタのビット7、6で設定します（表2.14.1参照）。

ID1をスライスする場合、0266₁₆/0306₁₆番地ビット7、6=00bまたは、01bを設定してください。

525p ID1スライスを行う場合、0266₁₆/0306₁₆番地ビット7、6=01bを設定してください。

(3) フィールドの判別

データスライサ制御レジスタ2のビット3によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりのタイミングで変化します。

525p ID1スライスを行う場合、本フラグは無効です。

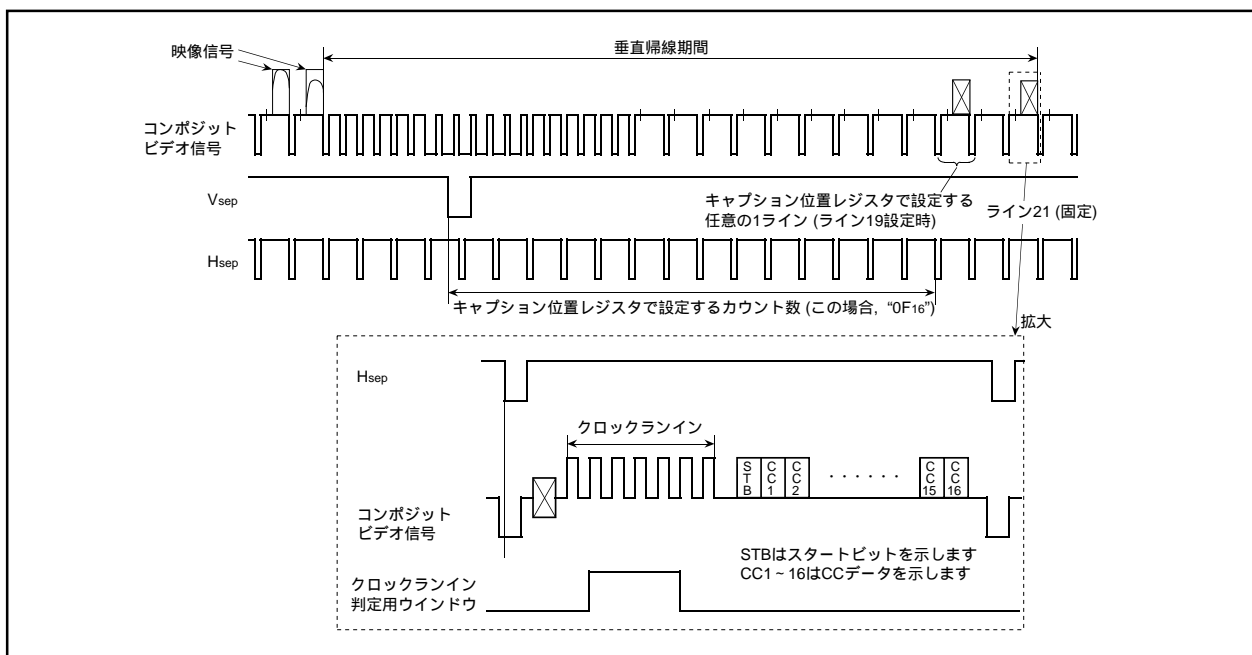


図2.14.8 垂直帰線期間中の信号

キャプション位置レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット時
	CPS0	0266 ₁₆ 番地	00?00000 ₂
	CPS1	0306 ₁₆ 番地	00?00000 ₂

ビットシンボル	ビット名	機能	R	W
CPS00/CPS10	キャプション位置ビット	(CCX or ID1) キャプション位置を設定します。 CCXの場合は、表2.14.1を参照してください。 ID1スライスの場合 ビット4 - 0 = 1000bを設定してください (ライン20選択) 525p ID1スライスの場合 ビット4 - 0 = 00001bを設定してください (ライン41選択) (*026A ₁₆ /030A ₁₆ 番地 ビット6, 5 = 01bの設定が必要です)	○	○
CPS01/CPS11			○	○
CPS02/CPS12			○	○
CPS03/CPS13			○	○
CPS04/CPS14			○	○
CPS05/CPS15	キャプションデータラッチ完了フラグ2	CC21とCCXの2ラインをスライスする場合 0: CCXキャプションデータラッチ未完了、又はクロックライン無 1: CCXキャプションデータラッチ完了、かつクロックライン有 CC21とID1の2ラインをスライスする場合 0: ID1キャプションデータラッチ未完了 1: ID1キャプションデータラッチ完了 CC21、CCX、ID1のいづれか1ラインのみをスライスする場合 本ビットは無効です。 (*フラグは垂直同期信号 (Vsep) の立ち下がり で " 0 " にリセットされます。	○	×
CPS06/CPS16	スライスラインモード指定ビット	CC21又はCCXをスライスする場合、表2.14.1を参照ください。 ID1スライスの場合 ビット7, 6 = 00b又は01bを設定してください。 525p ID1スライスの場合 ビット6, 5 = 01bを設定してください。	○	○
CPS07/CPS17			○	○

図2.14.9 キャプション位置レジスタ

表2.14.1 データスライスラインの指定

CPS0/CPS1		データスライスするフィールド・ライン	スライス電圧発生フィールド・ライン
ビット7	ビット6		
0	0	・F1/F2両フィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21(計1ライン)
0	1	・F1/F2両フィールド ・CPS0/CPS1のビット4~0で指定される1ライン(計1ライン) (注3)	・DSC01/DSC11のビット1で指定されるフィールド ・CPS0/CPS1のビット4~0で指定される1ライン(計1ライン) (注3)
1	0	・F1/F2両フィールド ・ライン21(計1ライン)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21(計1ライン)
1	1	・F1/F2両フィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)	・DSC01/DSC11のビット1で指定されるフィールド ・ライン21とCPS0/CPS1のビット4~0で指定される1ライン(計2ライン) (注2)

注1. DSC01/DSC11: データライサ制御レジスタ1

CPS0/CPS1: キャプション位置レジスタ

2. CPS0/CPS1のビット4~0には" 0016 " ~ " 1016 " の値を設定してください。
3. CPS0/CPS1のビット4~0には" 0016 " ~ " 1F16 " の値を設定してください。

スライス基準電圧選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット時
	SBV0	267 ₁₆ 番地	00 ₁₆
	SBV1	307 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R	W	
SVB00/SVB10	スライス基準電圧選択ビット	b1, b0	○	○	
SVB01/SVB11		0 0	基準電圧発生回路による基準電圧選択	○	○
		0 1	内部絶対基準電圧選択	○	○
		1 0	CC21は基準電圧発生回路による電圧、(CCX or ID1) は、内部絶対基準電圧選択設定禁止	○	○
		1 1	設定禁止	○	○
	予約ビット	必ず " 0 " を設定してください。	○	○	

図2.14.10 スライス基準電圧選択レジスタ

2.14.7 基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータ1, 2に入力されます。

(1) 基準電圧発生回路

データスライスライン指定回路で指定されたラインにおけるクロックランインの振幅を用いて基準電圧（スライス電圧）を発生します。VHOLD端子とVSS間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注．データスライサを動作させてからスライス電圧が安定するまで、数十ライン程度のスライス電圧発生ラインが必要です。

この期間、スライスデータは不定となりますのでプログラム作成の際は安定時間を考慮してください。

(2) コンパレータ1

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧（基準電圧）を比較し、コンポジットビデオ信号をデジタル値に変換します。

(3) コンパレータ2

コンポジットビデオ信号の電圧と電源電圧から内部で生成する絶対基準電圧を比較し、コンポジットビデオ信号をデジタル値に変換します。

2.14.8 CCスタートビット・ID1レファレンスビット検出回路

データスライスライン指定回路で決定したラインにおいて、CCスタートビット・ID1レファレンスビットを検出します。

CCスタートビットの場合

データスライスラインの入力パルスのカウントすることでクロックランインパルスを検出します。クロックランインパルスを検出した場合、タイミング発生回路から出力されるサンプリングクロックでスタートビットパターンを検出し、CCスタートビットを判定します。

ID1レファレンスビットの場合

Hsepから一定時間後にタイミング信号発生回路で生成されるウィンドウ中にID1レファレンスビットを検出します。

2.14.9 クロックランイン判定・ID1レファレンスビット回路

クロックランイン判定

データスライスラインの特定ウィンドウ中でパルス数をカウントすることによってクロックランインであることを判定します。クロックランインなしと判定した場合、キャプションデータラッチ完了フラグは1になりません。

また、クロックランインパルス1周期にカウントされる基準クロック数はクロックランイン検出レジスタ（0269₁₆/0309₁₆番地）のビット7～ビット3に格納します。

ID1レファレンスビット判定

ID1レファレンスビットの一定期間中にカウントされる基準クロック数を基準クロック検出レジスタ（0269₁₆/030C₁₆番地）のビット5～0に格納します。

これらのビットはデータスライサ割り込み（「(12)割り込み要求発生回路」）の発生後に読み出してください。

クロックランイン検出レジスタを図2.14.11、基準クロック検出レジスタを図2.14.12に示します。

クロックライン検出レジスタ										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
								CRD0	0269 ₁₆ 番地	00000??? ₂
								CRD1	0309 ₁₆ 番地	00000??? ₂
ビットシンボル	ビット名		機能			R	W			
テスト用ビット			読み出し専用			○	×			
CRD03/CRD13	クロックライン検出ビット		クロックラインパルス1周期にカウントされる基準クロック数			○	×			
CRD04/CRD14						○	×			
CRD05/CRD15						○	×			
CRD06/CRD16						○	×			
CRD07/CRD17						○	×			

図2.14.11 クロックライン検出レジスタ

基準クロック検出レジスタ										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
×	×							BCD0	026C ₁₆ 番地	?? ₁₆
								BCD1	030C ₁₆ 番地	?? ₁₆
ビットシンボル	ビット名		機能			R	W			
BCD00/BCD10	ID1 REF幅検出ビット		ID1 REFの一定期間にカウントされる基準クロック数			○	×			
BCD01/BCD11			026C ₁₆ , 030C ₁₆ 番地のビット0に“1”を設定し、							
BCD02/BCD12			ID1スライス機能が動作している場合のみ有効です。							
BCD03/BCD13										
BCD04/BCD14										
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。						-	-			

図2.14.12 基準クロック検出レジスタ

2.14.10 データクロック発生回路

CCデータスライス時

CCスタートビット検出回路で検出されたCCスタートビットに同期し、データクロック位置レジスタ（026A₁₆/030A₁₆番地）により設定された一定のオフセット後にデータクロックを発生します。データクロックはキャプションデータをキャプションレジスタへ格納する為のクロックです。16ビットのデータがキャプションレジスタへ格納され、クロックライン判定回路でクロックライン有と判定された場合、キャプションデータラッチ完了フラグがセットされます。

図2.14.13にデータクロック位置レジスタを示します。

ID1データスライス時

ID1レファレンスビットに同期したデータクロックを発生します。このデータクロックにより、20ビットのデータ中、14ビットデータはキャプションレジスタへ、残りCRCC6ビットデータはCRCCデータレジスタ（026D₁₆/030D₁₆番地）に格納されます。20ビットデータが各々のレジスタに格納されると、キャプションデータラッチ完了フラグがセットされます。

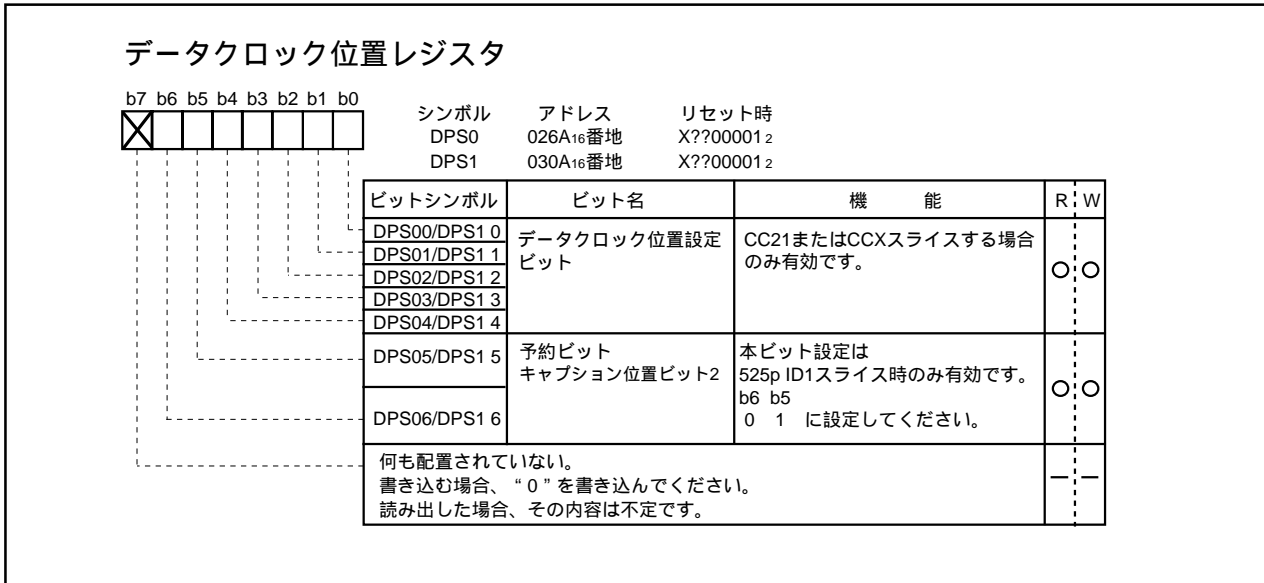


図2.14.13 データクロック位置レジスタ

2.14.11 キャプションレジスタ及びCRCデータレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期してキャプションレジスタ及びCRCCデータレジスタに格納されます。格納されたキャプションレジスタ及びCRCCデータレジスタを読み出すことによってデータ内容を得ることができます。これらのレジスタはVsepの立ち下がりによって“0”にリセットされます。これらのレジスタは、データスライサ割り込み発生後に読み出してください。

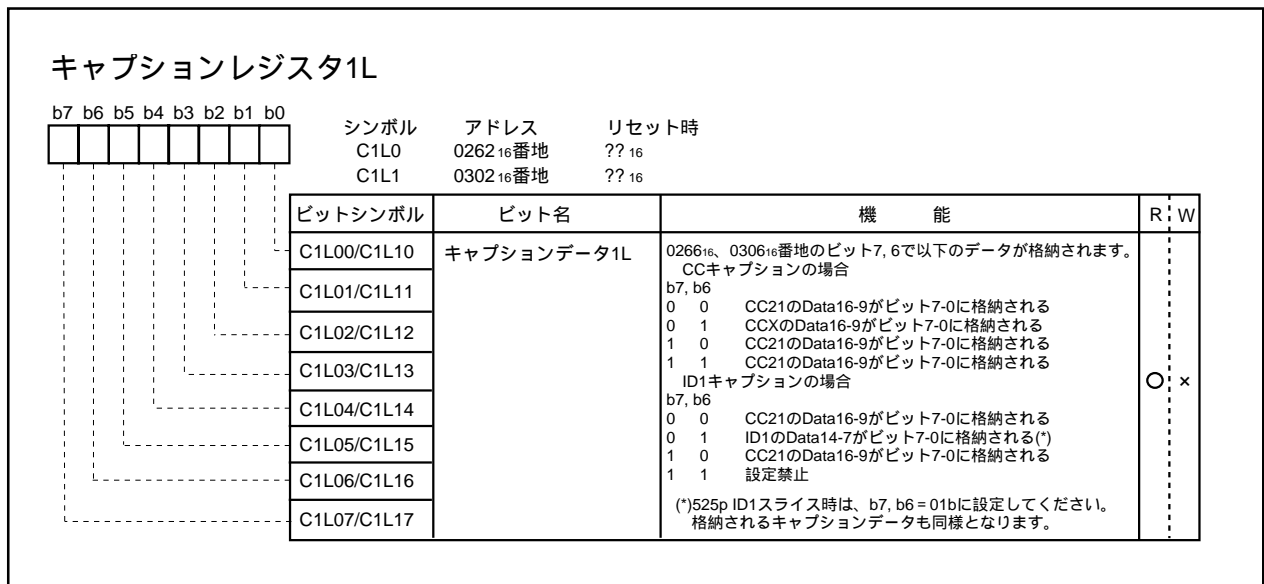


図2.14.14 キャプションレジスタ1L

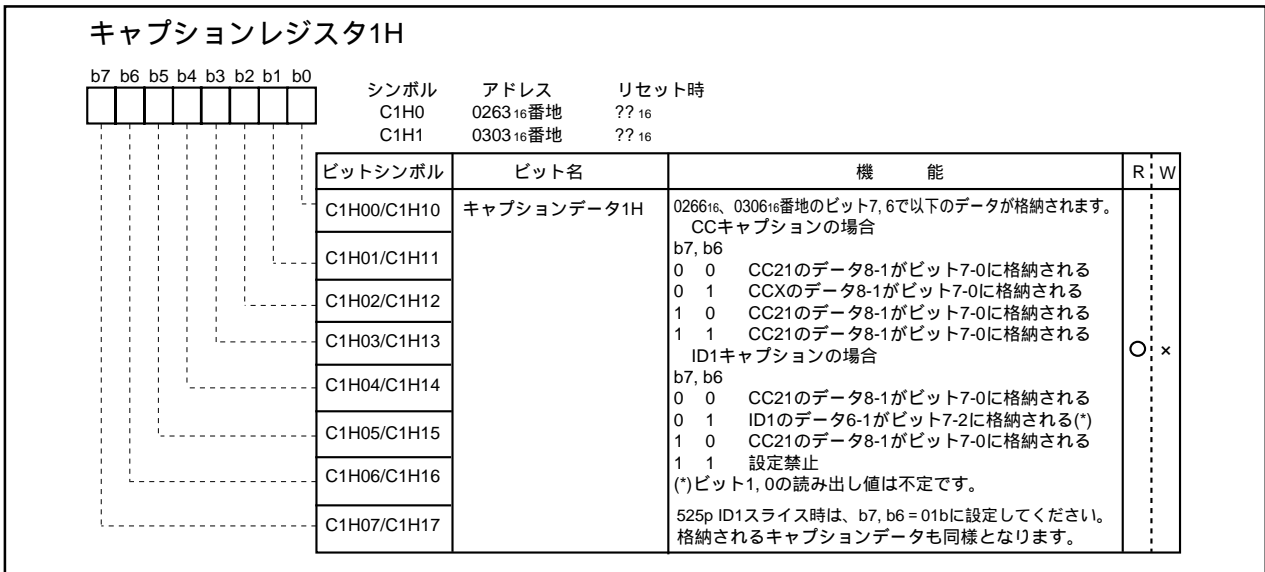


図2.14.15 キャプションレジスタ1H

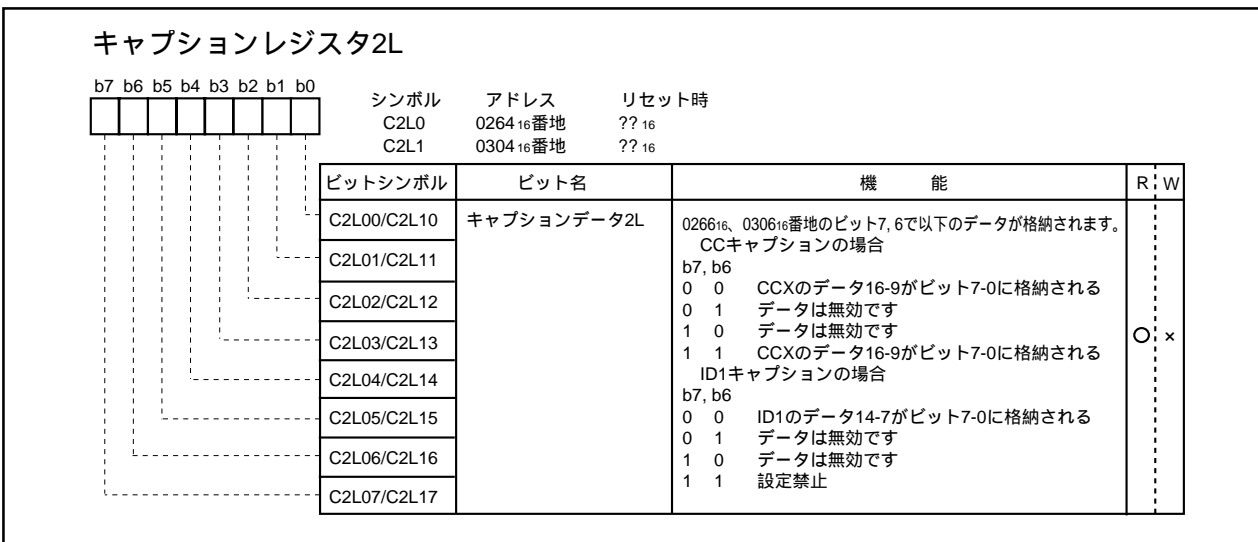


図2.14.16 キャプションレジスタ2L

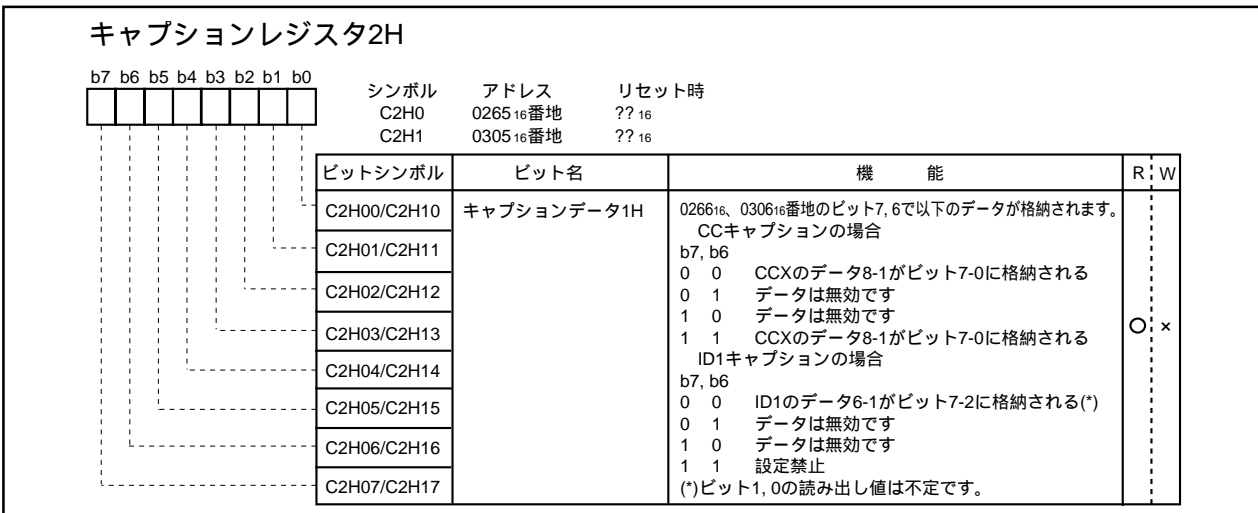


図2.14.17 キャプションレジスタ2H

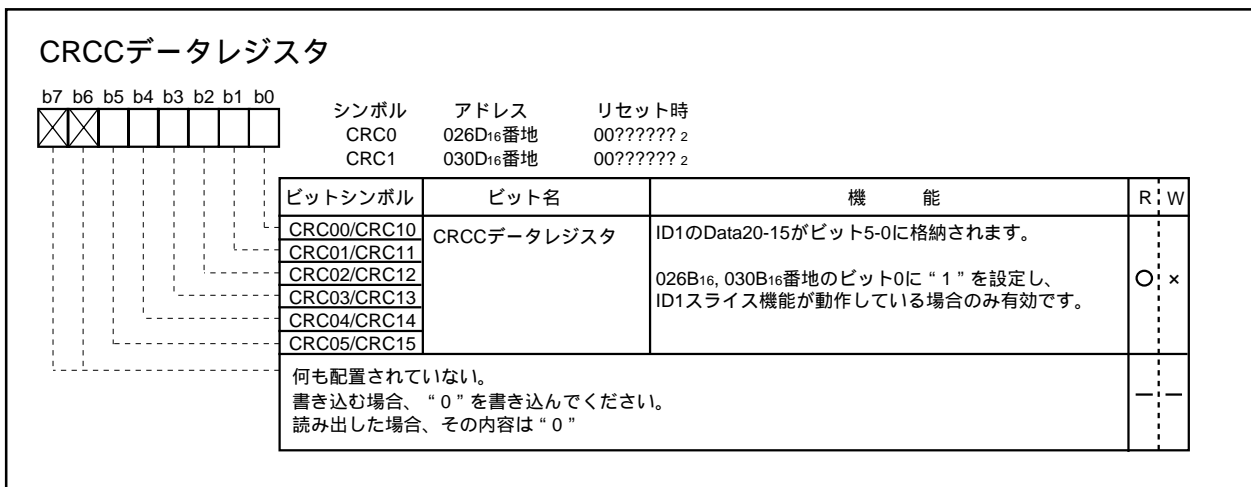


図2.14.18 CRCCデータレジスタ

2.14.12 割り込み要求発生回路

キャプション位置レジスタ（0266₁₆/0306₁₆番地）のビット7、ビット6の組み合わせによって表2.14.3に示すように割り込み要求が発生します。キャプションデータレジスタ1、2、CRCCデータレジスタ、及びクロックランイン検出レジスタ、基準クロック検出レジスタの内容は、データスライサ割り込み要求発生後に読み出してください。

表2.14.3 割り込み要求発生要因

キャプション位置レジスタ		データスライスライン終了時割り込み要求
ビット7	ビット6	
0	0	ライン21スライス後
0	1	キャプション位置レジスタビット4~0で指定される1ライン後（注）
1	0	ライン21スライス後
1	1	ライン21スライス後

注 . 525p時キャプション位置レジスタビット4~0及びデータクロック位置レジスタビット6, 5で指定される1ライン後となります。

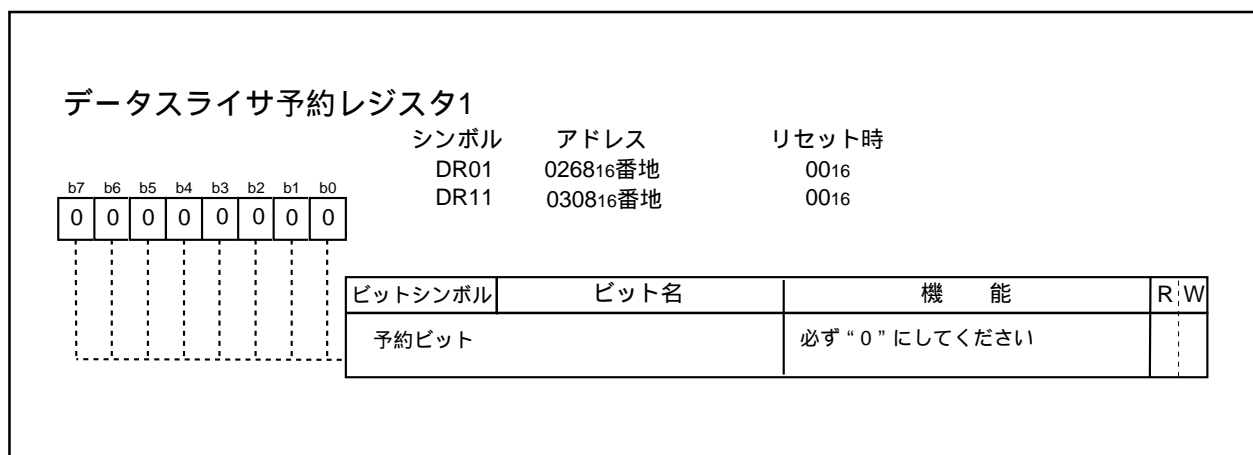


図2.14.19 データスライサ予約レジスタ_i (i=1, 2)

2.14.13 ID1データスライス

ID1データをスライスする場合、図2.14.20のID1制御レジスタの設定が必要です。



図2.14.20 ID1制御レジスタ

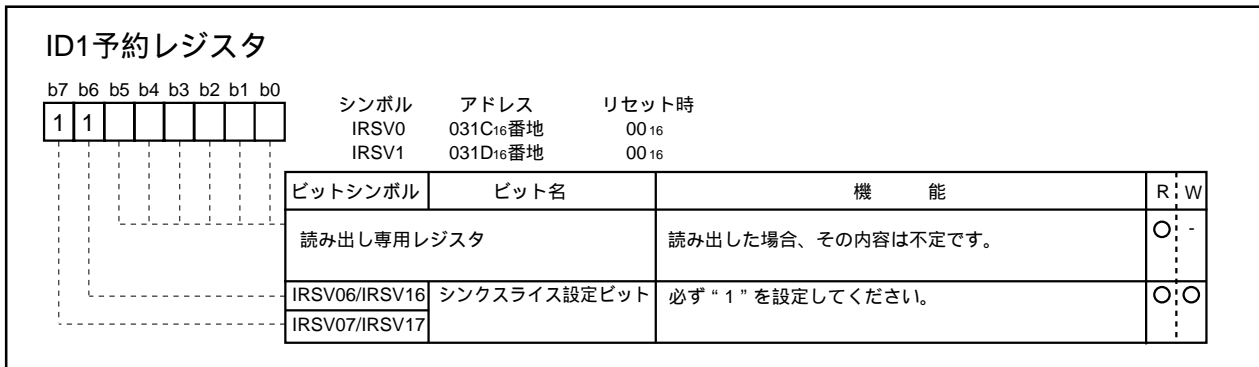


図2.14.21 ID1予約レジスタ

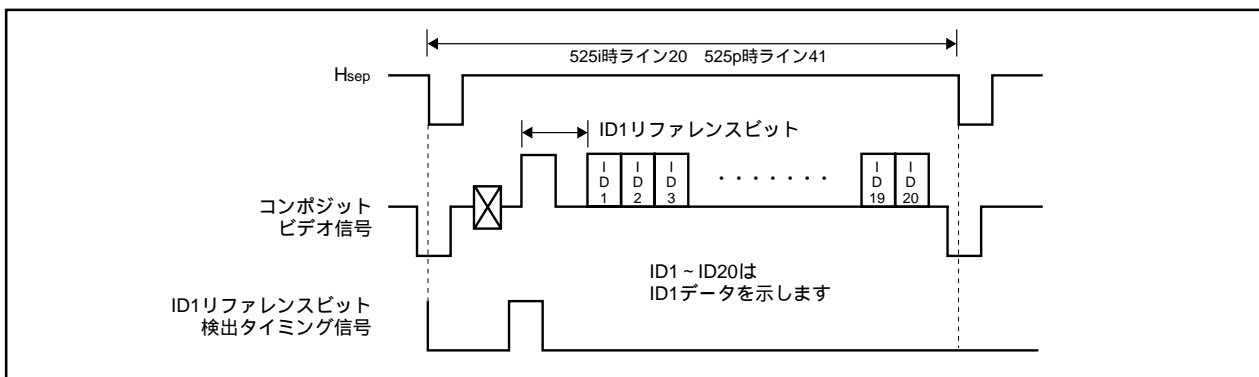


図2.14.22 垂直帰線期間中のID1信号

2.15 HSYNCカウンタ

HSYNCカウンタは、HSYNCカウント入力端子 (HC0, HC1) から入力された信号をカウントソースとしてカウントします。

システムクロックを分周した一定時間 (T時間 = 1024 μs, 2048 μs, 4096 μs, 8192 μs) のカウント値が、8ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウント値が“FF₁₆”を越えた場合は、“FF₁₆”がラッチに格納されます。

ラッチの値は、HSYNCカウンタラッチ (027F₁₆番地) を読み出すことによって得ることができます。カウントソース及びカウント更新周期 (T時間) は、同期信号カウンタレジスタのビット0, ビット3, ビット4によって選択します。

図2.15.1にHSYNCカウンタレジスタを、図2.15.2にHSYNCカウンタのブロック図を示します。

注1. HSYNCカウンタを使用する場合、ペリフェラルモードレジスタ (027D₁₆) のビット7をメインクロック周波数に従って設定してください。

注2. HSYNCカウンタラッチは読み出し専用のレジスタです。

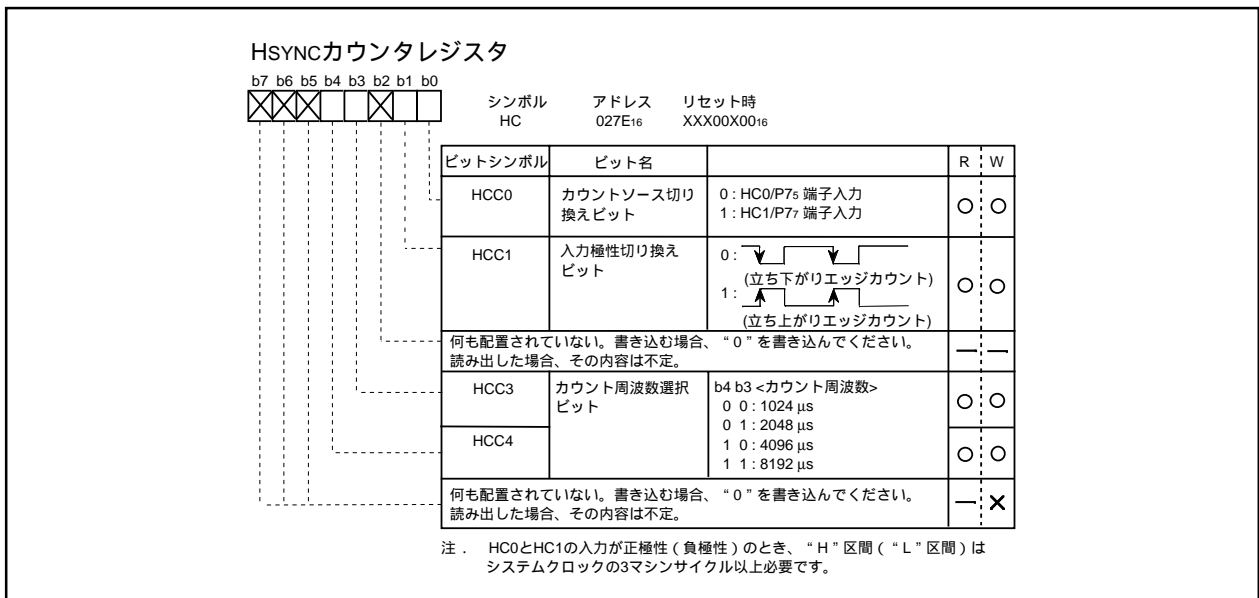


図2.15.1 HSYNCカウンタレジスタ

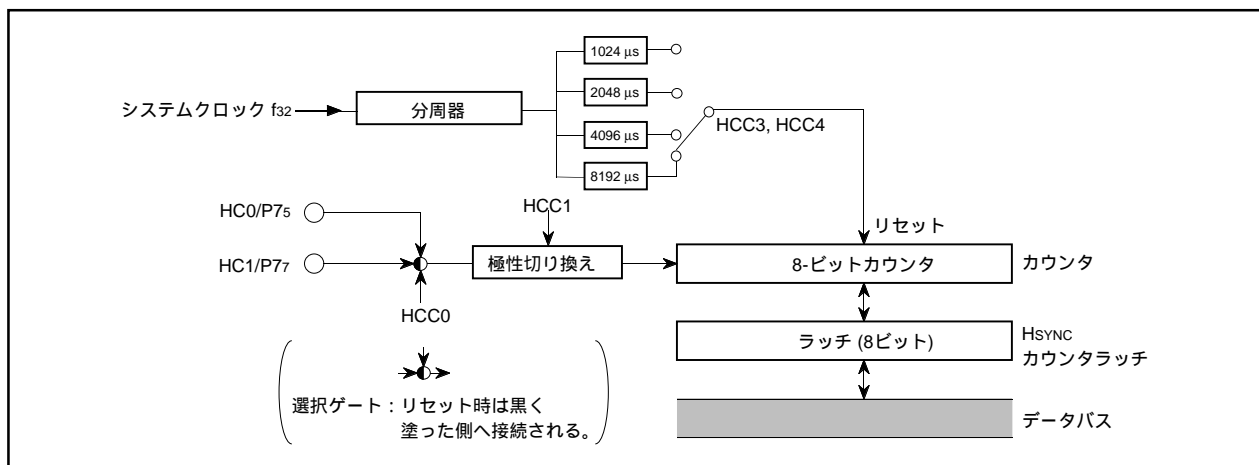


図2.15.2 HSYNCカウンタのブロック図

2.16 OSD機能

OSD機能の概要を表2.16.1に示します。OSD機能には、32文字×16行又は42文字×16行が画面単位に選択できるブロック表示と、1文字のspray表示があり、それらは同時に表示できます。さらにブロック表示は、ブロックコントロールレジスタ*i* ($i=1\sim 16$) によって、ブロック単位に3つの表示モードが選択できます。各表示の特長を下図に示します。

注. OSD機能使用時、BCLKの動作モードは“分周なしモード”を選択し、またメインクロック周波数を $f(XIN) = 16\text{MHz}$ 又は 10MHz にしてください。このとき、使用するXIN周波数に合わせ、ペリフェラルモードレジスタのビット7 (SSCK) を設定してください。

表2.16.1 各表示スタイルの特長

表示スタイル 項目	ブロック表示					spray表示
	CCモード (グラフィックモード)	OSDモード (オンスクリーンディスプレイモード)			CDOSDモード (グラフィックオンスクリーンディスプレイモード)	
		OSDSEモード	OSDPEモード	OSDLEモード		
表示文字数	32文字×16行 / 42文字×16行					1文字×2行
ドット構成	16×20ドット (文字表示領域は16×26ドット)	16×20ドット 12×20ドット 8×20ドット 4×20ドット	24×32ドット	16×26ドット	32×20ドット	
文字ROM種類	OSDL許可モード	254種類		254種類	126種類	RAMフォント2種類
	OSDL禁止モード	508種類	254種類	——		
文字サイズ(注1)	4種類	14種類	12種類		14種類	8種類
プリ分周比	1倍, 2倍	1倍, 2倍, 3倍				1倍, 2倍
ドットサイズ	1Tc×1/2H, 1Tc×1H	1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H		1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H, 1Tc×1H, 2Tc×1H, 2Tc×2H
アトリビュート	スムーズイタリック, アンダーライン, フラッシュ(点滅)	フチドリ		——		
キャラクタフォント 着色	1画面8種類(文字単位) 最大512種類	1画面16種類(文字単位) 最大512種類			1画面16種類 (ドット単位) (指定ドットのみ文字 単位に着色可能) 最大512種類	1画面16種類 (ドット単位) 最大512種類
文字背景着色	可能 (文字単位, 1画面4種類, 最大512種類)	可能 (文字単位, 1画面16種類, 最大512種類)			——	
表示レイヤ	レイヤ1	レイヤ1, 2	レイヤ1	レイヤ1, 2		レイヤ3(最優先表示)
OSD出力(注2)	アナログR, G, B出力(各8階調512色), デジタルOUT1, OUT2出力					
ラスタ着色	可能(画面単位, 最大512種類)					
他機能(注3)	オートリッドスキャン機能	トリプルレイヤOSD機能, ウィンドウ機能, ブランク機能				
拡張表示(多行表示)	可能					

- 注1. 文字サイズはドットサイズとプリ分周比によって指定します。「2.16.3 ドットサイズ」を参照してください。
 2. spray表示はOUT2を出力しません。
 3. spray表示では、ウィンドウ機能は動作しません。

OSD回路には拡張表示モードがあり、1行表示するごとに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、16行以上の多行表示を行うことができます。

図2.16.1に各表示スタイルの表示可能なフォントを、図2.16.2にOSD回路のブロック図を示します。また、図2.16.3にOSDコントロールレジスタ1を、図2.16.4にブロックコントロールレジスタiを示します。

表示スタイル	表示可能なフォント	
CCモード		<p>ブランク領域</p> <p>アンダーライン領域 ブランク領域</p>
OSDSモード		
OSDPモード		
OSDLモード		
CDOSDモード		
スプライト		

* : 文字コード限定
** : フラッグフォント

図2.16.1 各表示スタイルの表示可能なフォント

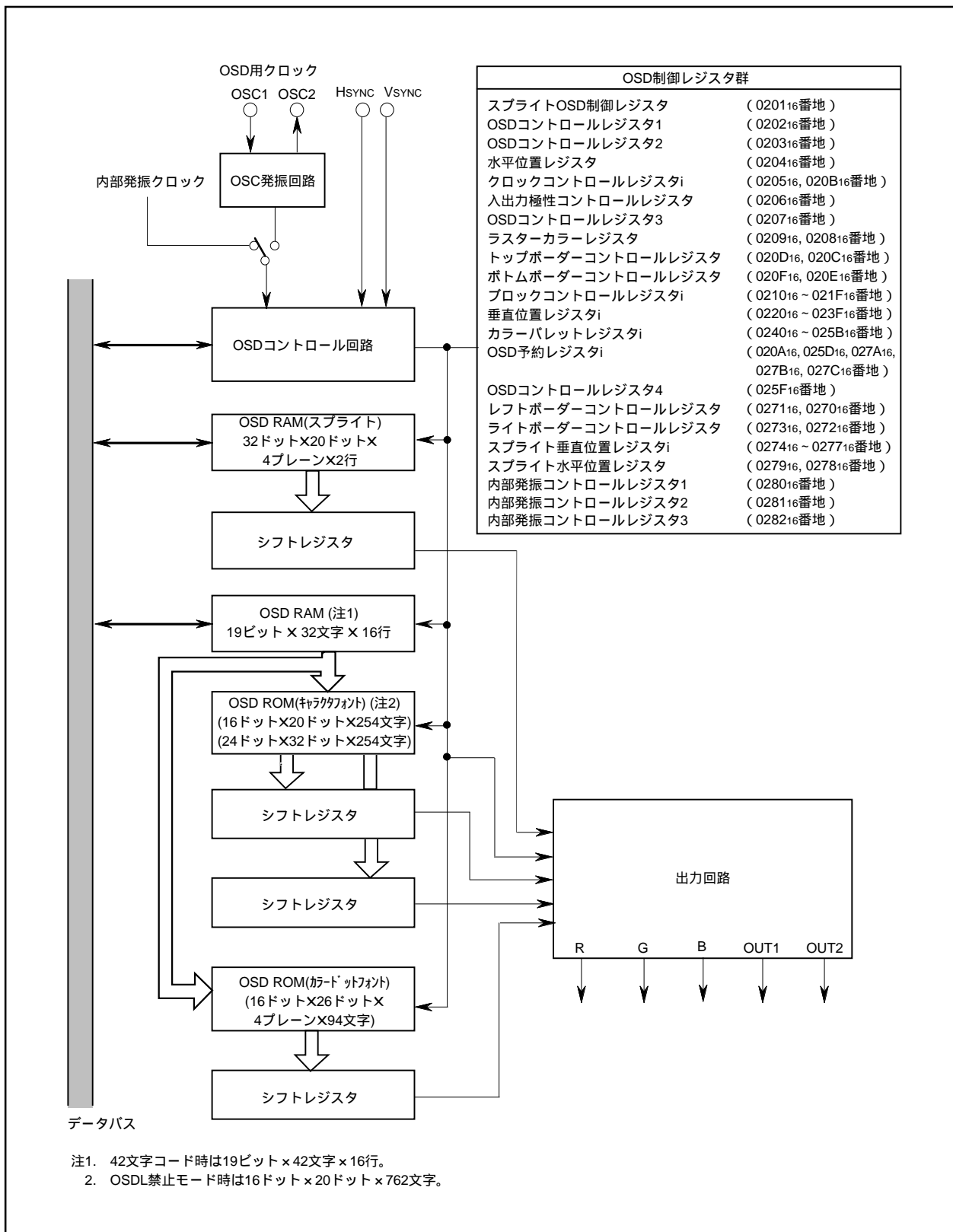


図2.16.2 OSD回路ブロック図

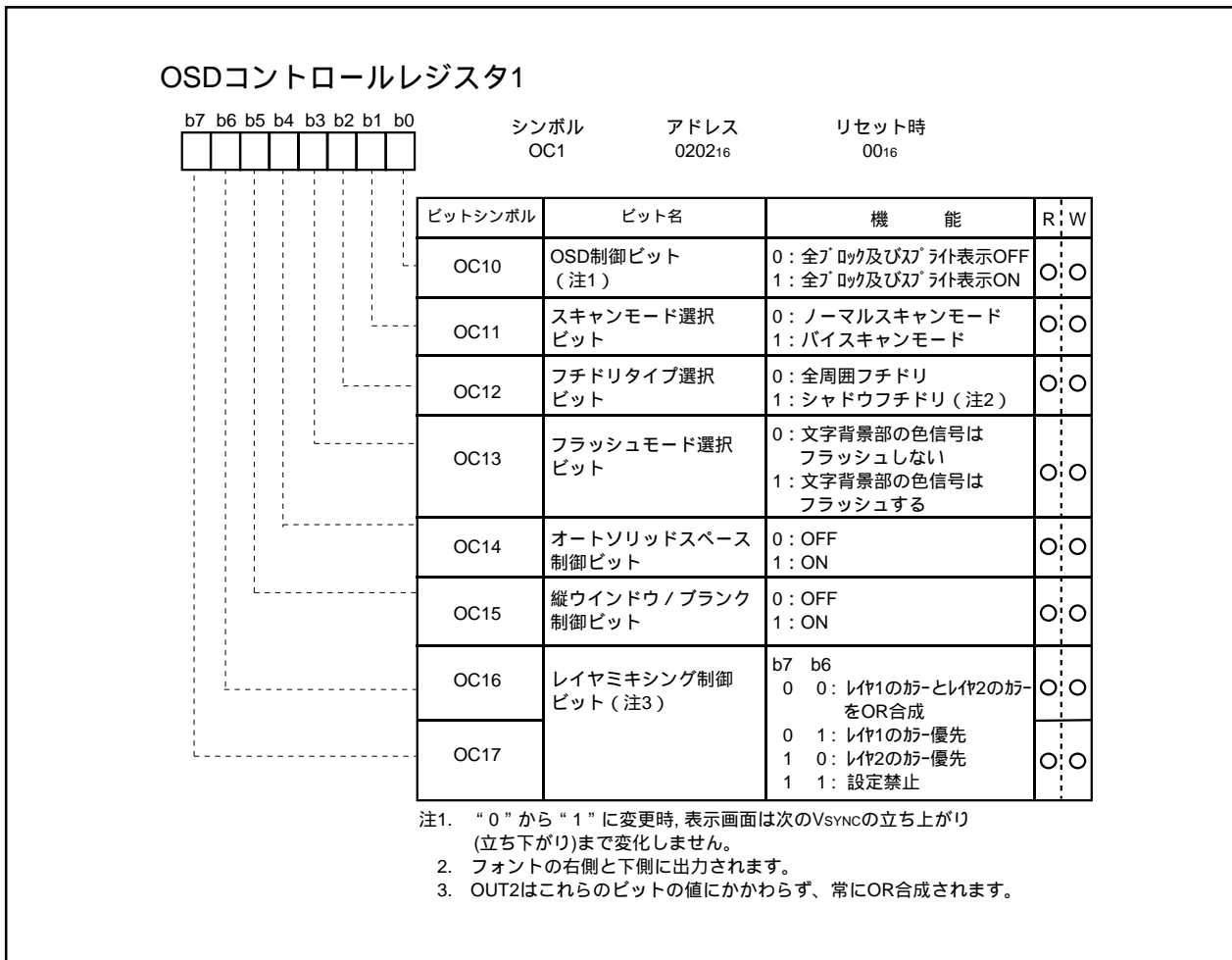


図2.16.3 OSDコントロールレジスタ1

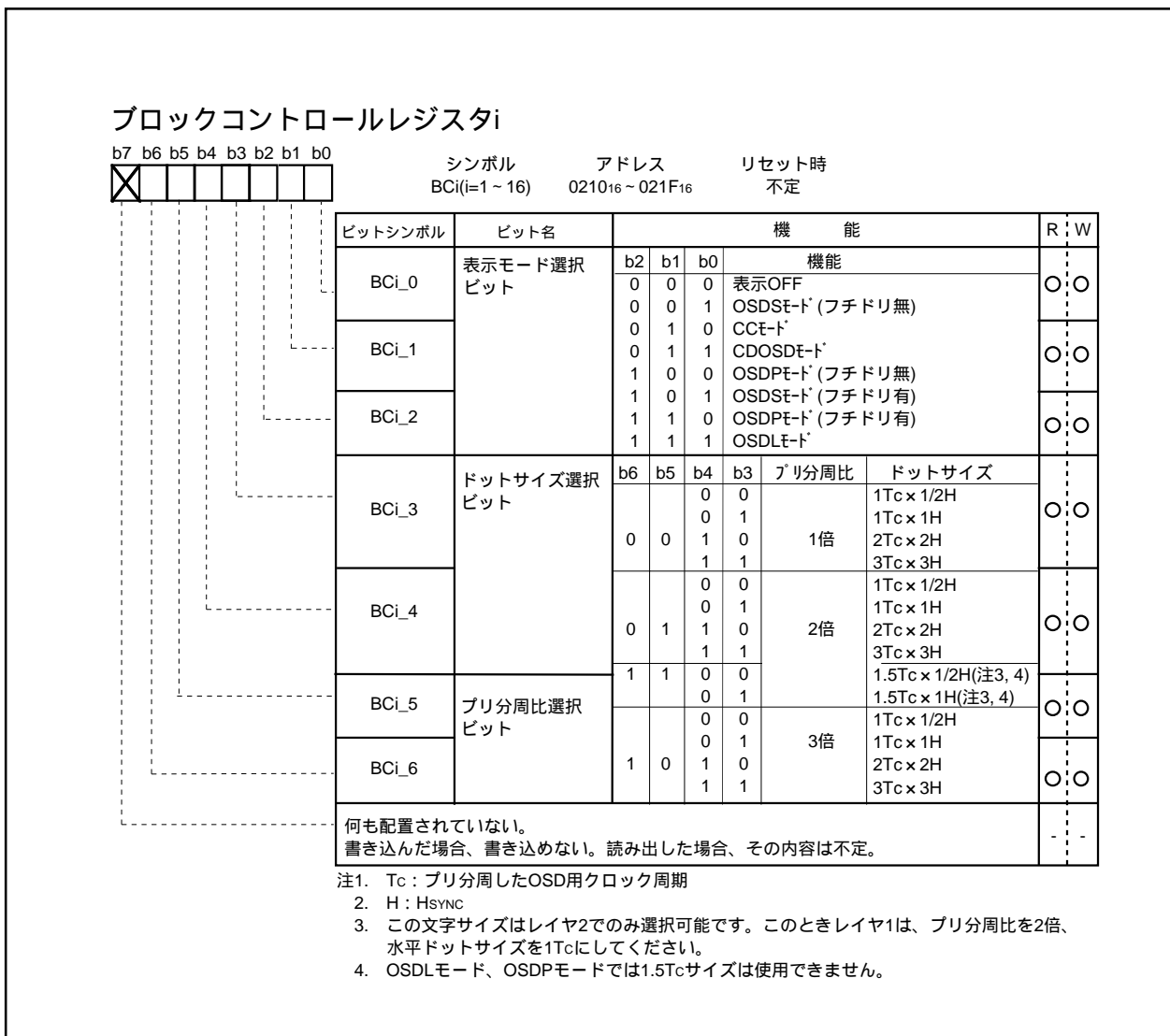


図2.16.4 ブロックコントロールレジスタ*i* (i = 1~16)

2.16.1 トリプルレイヤOSD

チャンネルやボリュームなどの表示、クローズドキャプション、及びスプライト表示を3重に重ねて表示できるように、レイヤ1からレイヤ3の3層の表示面を備えています。

各ブロックをどのレイヤに表示するかは、表示モード単位にOSDコントロールレジスタ2のビット0及びビット1で選択します（図2.16.7参照）。レイヤ3には、常にスプライトが表示されます。

レイヤ1のブロックとレイヤ2のブロックが重なった場合、OSDコントロールレジスタ1のビット7及びビット6で指定されるレイヤミキシングによって、画面が合成されます（図2.16.5参照）。レイヤ3は常にレイヤ1、レイヤ2に優先して表示されます。

- 注1. レイヤ1とレイヤ2のミキシングを行う場合、表2.16.2の制限事項に注意してください。
2. OSDPモードは常にレイヤ1に表示されます。また、レイヤ2のブロックと重ねて表示することはできません。
3. OUT2はOSDコントロールレジスタ1のビット6、ビット7の値にかかわらず、常にOR合成されます。また、OUT2（レイヤ1又はレイヤ2）はスプライト表示（レイヤ3）と重なった場合でも、マスクされずに出力されます。

表2.16.2 レイヤ1とレイヤ2のミキシングを行う場合の制限事項

項目 \ ブロック	レイヤ1のブロック	レイヤ2のブロック	
表示モード	CC, OSDS/L, CDOSDモード	OSDS/L, CDOSDモード	
プリ分周比	1倍, 2倍(CCモード時) 1倍~3倍(OSD, CDOSDモード時)	レイヤ1と同一	
ドットサイズ	1Tc×1/2H, 1Tc×1H (CCモード時)	プリ分周比1倍時	プリ分周比2倍時
		1Tc×1/2H 1Tc×1H	1Tc×1/2H, 1.5Tc×1/2H 1Tc×1H, 1.5Tc×1H
	1Tc×1H, 1Tc×1/2H, 2Tc×2H, 3Tc×3H (OSDS/L, CDOSDモード時)	・レイヤ1と同一サイズ ・レイヤ1のプリ分周比=2倍、かつレイヤ1の水平ドットサイズ=1Tc時に限り、水平ドットサイズ1.5Tcが選択可能。このとき、垂直ドットサイズはレイヤ1と同一サイズ	
水平表示開始位置	任意	レイヤ1と同一位置	
垂直表示開始位置	任意 ただし、ドットサイズが2Tc×2H, 3Tc×3Hの場合は、レイヤ1とレイヤ2の垂直表示開始位置の差を以下のように設定してください。 <ul style="list-style-type: none"> ・2Tc×2H：2H単位 ・3Tc×3H：3H単位 		

注. OSDLモードでは1.5Tcサイズは使用できません。

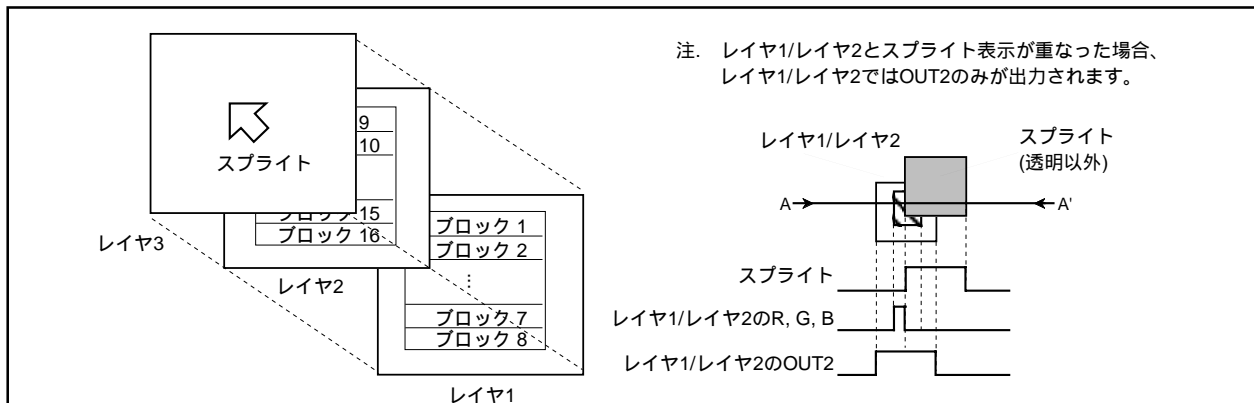




図2.16.5 トリプルレイヤOSD


レイヤ1に “HELLO” , レイヤ2に “CH5” を表示した例



レイヤ1とレイヤ2のカラーをOR合成(注)
OC17= “ 0 ” , OC16= “ 0 ”



レイヤ1のカラー優先
OC17= “ 0 ” , OC16= “ 1 ”



レイヤ2のカラー優先
OC17= “ 1 ” , OC16= “ 0 ”

注. レイヤミキシングのOR合成は、カラーパレットレジスタの内容（色）ではなく、カラーパレットレジスタ NO. (i) が OR合成されます。例えば、カラーパレット1と4をOR合成すると、NO.1(0001₂)と、NO.4(0100₂) がOR合成され、NO. は NO.5 (0101₂) となります。つまり、カラーパレットレジスタ5の内容（色）が出力されます。OR合成部分は、カラーパレットレジスタ1、4の色に関係なく、カラーパレットレジスタ5の色が出力されます。

図2.16.6 レイヤミキシングOSD表示例

OSDコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シンボル
OC2

アドレス
0203₁₆

リセット時
00₁₆

ビットシンボル	ビット名	機 能		R	W	
		b1	b0			
OC20	表示レイヤ選択ビット	0	0	CC, OSDS/L/P, CDOSD	—	0
		0	1	CC, OSDS/L/P	CDOSD	
		1	0	CC, OSDP, CDOSD	OSDS/L	
		1	1	CC, OSDP	CDOSD OSDS/L	
OC21						0
OC22	R, G, B信号出力 選択ビット	0 : デジタル出力 1 : アナログ出力 (8階調)				0
OC23	ソリッドスペース 出力ビット	0 : OUT1出力 1 : OUT2出力				0
OC24	横ウインドウ/ ブランク制御ビット	0 : 動作しない 1 : 動作する				0
OC25	ウインドウ/ブランク 選択ビット1(横)	0 : 横ブランク機能 1 : 横ウインドウ機能				0
OC26	ウインドウ/ブランク 選択ビット2(縦)	0 : 縦ブランク機能 1 : 縦ウインドウ機能				0
OC27	OSD割り込み要求 選択ビット	0 : レイヤ1のブロック表示終了時 1 : レイヤ2のブロック表示終了時				0

図2.16.7 OSDコントロールレジスタ2

2.16.2 表示位置

文字の表示位置はブロック単位で指定します。

ブロックはブロック1～ブロック16まで16あり、1つのブロックには最大32文字（32文字モード時）/42文字（42文字モード時）まで表示できます（後述「2.16.6 OSD用メモリ」を参照してください）。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向は全ブロック共通で4Tosc（Tosc：OSD発振周期）単位で256段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに1Th（Th：水平同期信号周期）単位で1024段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

同レイヤ内で表示位置が他のブロックと重なった場合（図2.16.8の(b)）、ブロック番号（1～16）の若い（小さい）が前面に表示されます。

同レイヤ内で1つのブロック表示中に、他のブロックの表示開始位置がきた場合（図2.16.8の(c)は垂直表示開始位置の設定値が大きい方が表示されます。ただし、ドットサイズが2Tc×2Hと3Tc×3Hのブロックは他のブロックの表示期間中*に表示させないでください。

* OSDS/Pモードブロックの場合：垂直表示開始位置から垂直20ドット

* OSDLモードブロックの場合：垂直表示開始位置から垂直32ドット

* CC・CDOSDモードブロックの場合：垂直表示開始位置から垂直26ドット

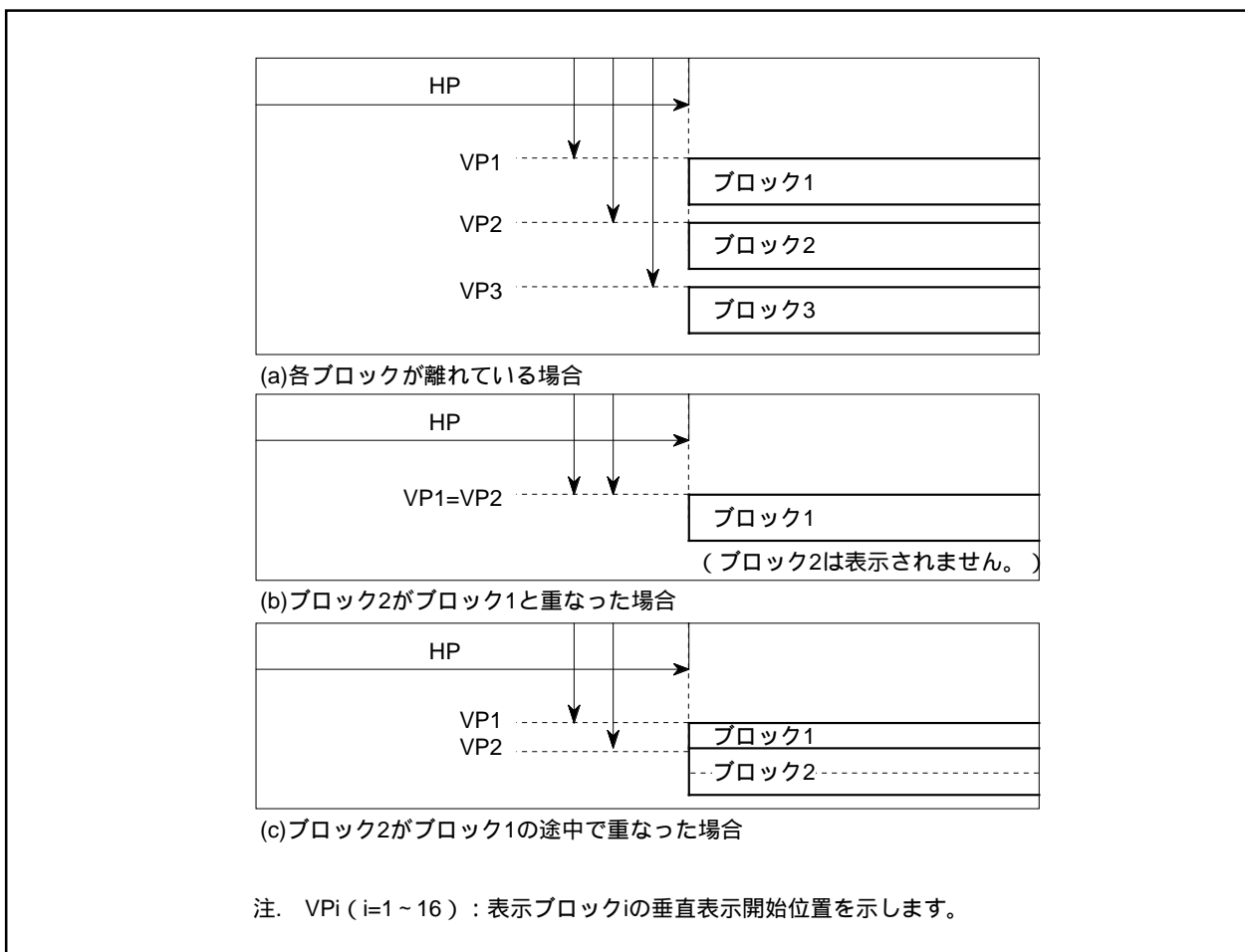


図2.16.8 表示位置

垂直方向の表示位置は水平同期信号（HSYNC）をカウントすることによって確定されます。この際、VSYNC、HSYNC信号が正極性（負極性）入力の場合VSYNC信号の立ち上がり（立ち下がり）エッジから一定期間後にHSYNC信号の立ち上がり（立ち下がり）エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC信号の立ち上がり（立ち下がり）エッジからHSYNC信号の立ち上がり（立ち下がり）エッジまでの間隔は充分（ $2 \times \text{BCLK}$ 以上）とるようにしてください。HSYNC信号及びVSYNC信号の極性は、入出力極性コントロールレジスタ（0206₁₆番地）によって正極性、負極性のいずれかを選択できます。

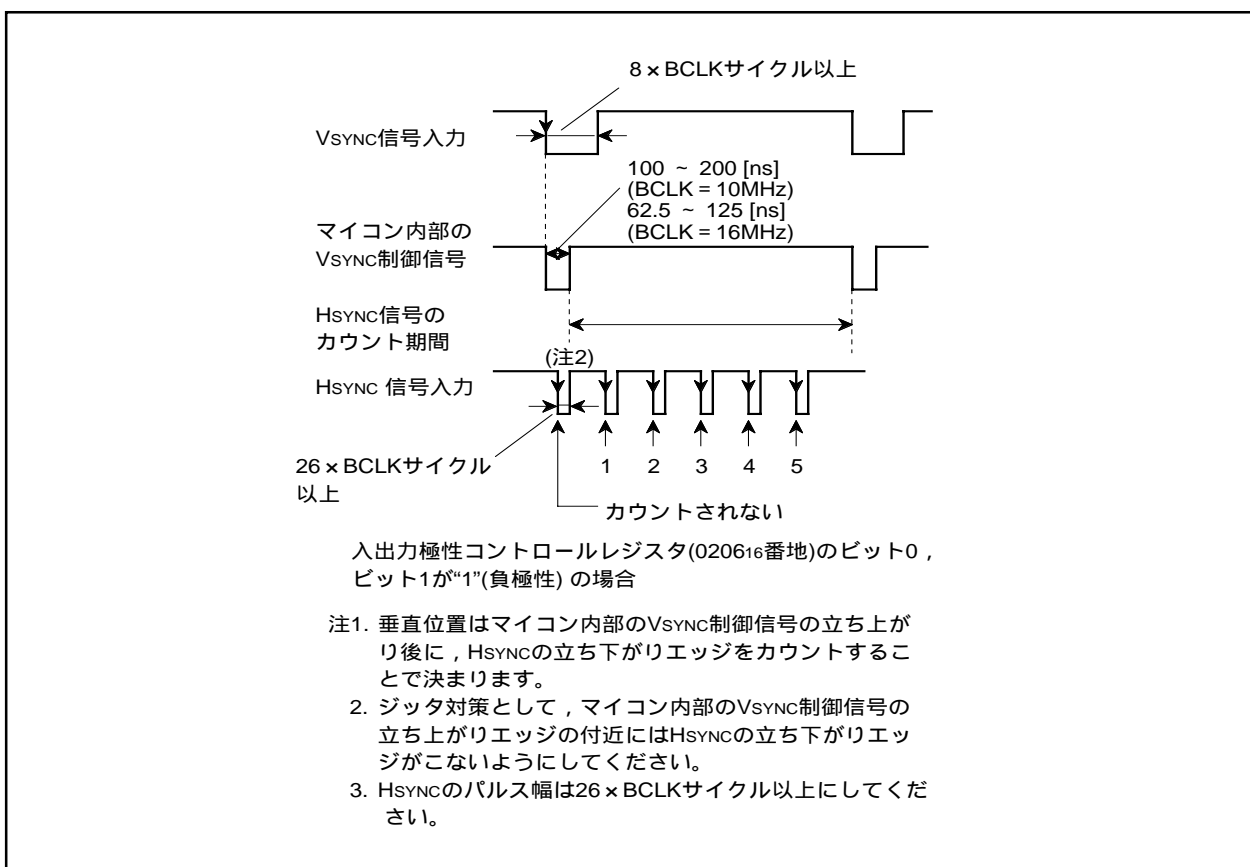


図2.16.9 表示位置補足説明

垂直位置はブロックごとに垂直位置レジスタ i ($i=1\sim 16$) (0220₁₆～023F₁₆番地)に“002₁₆”～“3FF₁₆”の値を設定することにより、1024段階(1段階あたり1TH (TH:水平同期信号周期))の設定ができます。図2.16.10に垂直位置レジスタ i ($i=1\sim 16$)を示します。

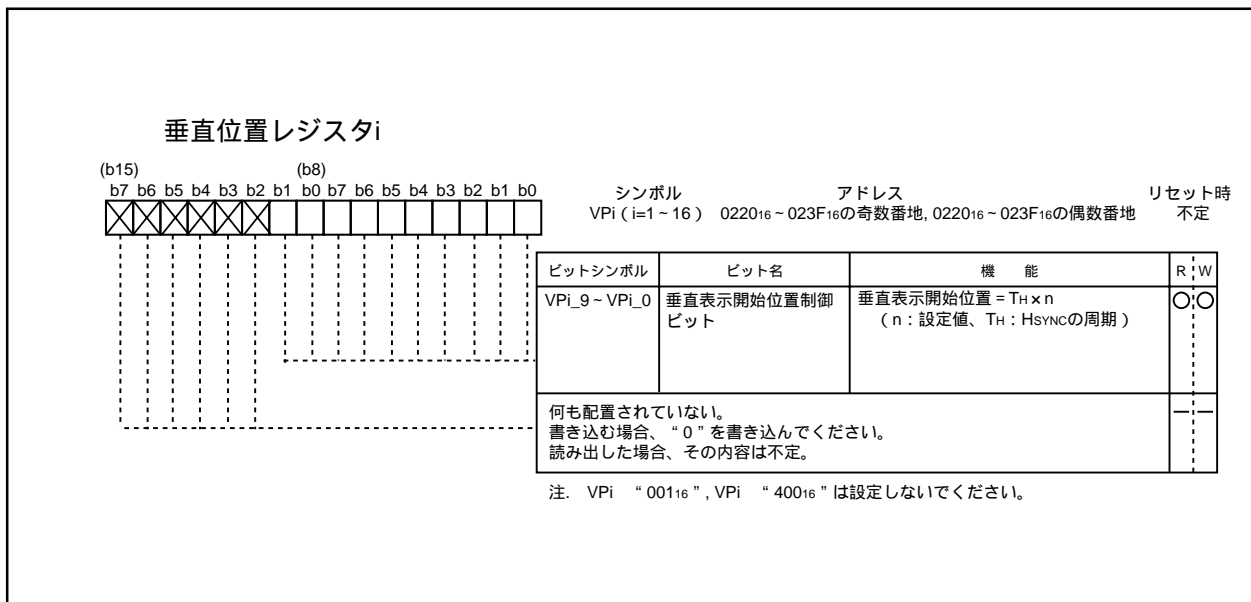


図2.16.10 垂直位置レジスタ i ($i=1\sim 16$)

水平位置は全ブロック共通で、水平位置レジスタ (0204₁₆番地)のビット0～ビット7に“00₁₆”～“FF₁₆”の値を設定することにより、256段階(1段階あたり4Tosc (Tosc: OSD発振周期))の設定ができます。図2.16.11に水平位置レジスタを示します。

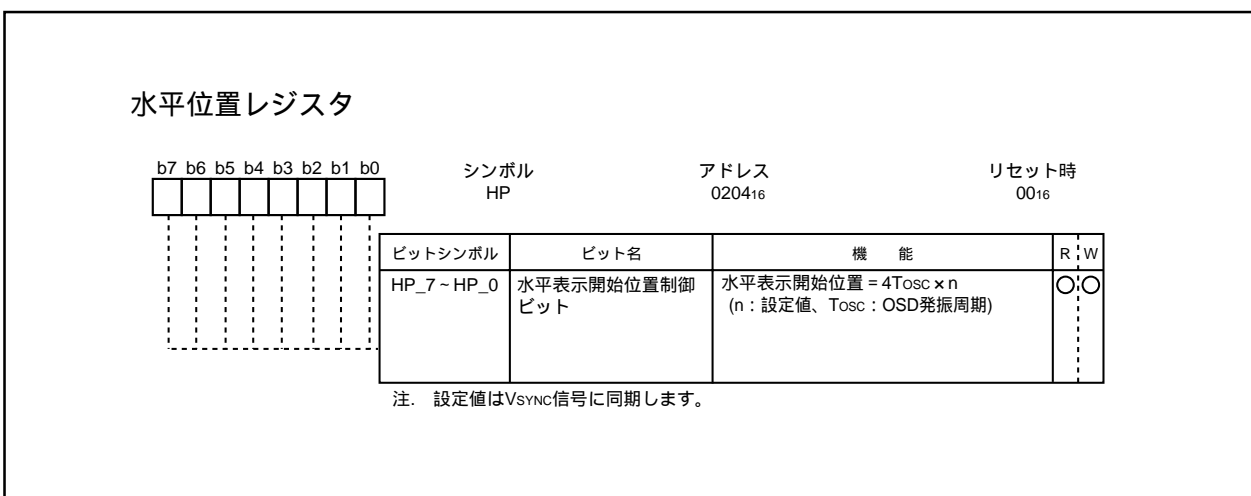


図2.16.11 水平位置レジスタ

注．水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、 $1T_c$ (T_c : プリ分周したOSD用クロック周期) の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。

通常この差は、文字サイズにかかわらず、常に $1T_c$ ですが、プリ分周比2倍で文字サイズ $1.5T_c$ を選択した場合に限り、この差は $1.5T_c$ となります。

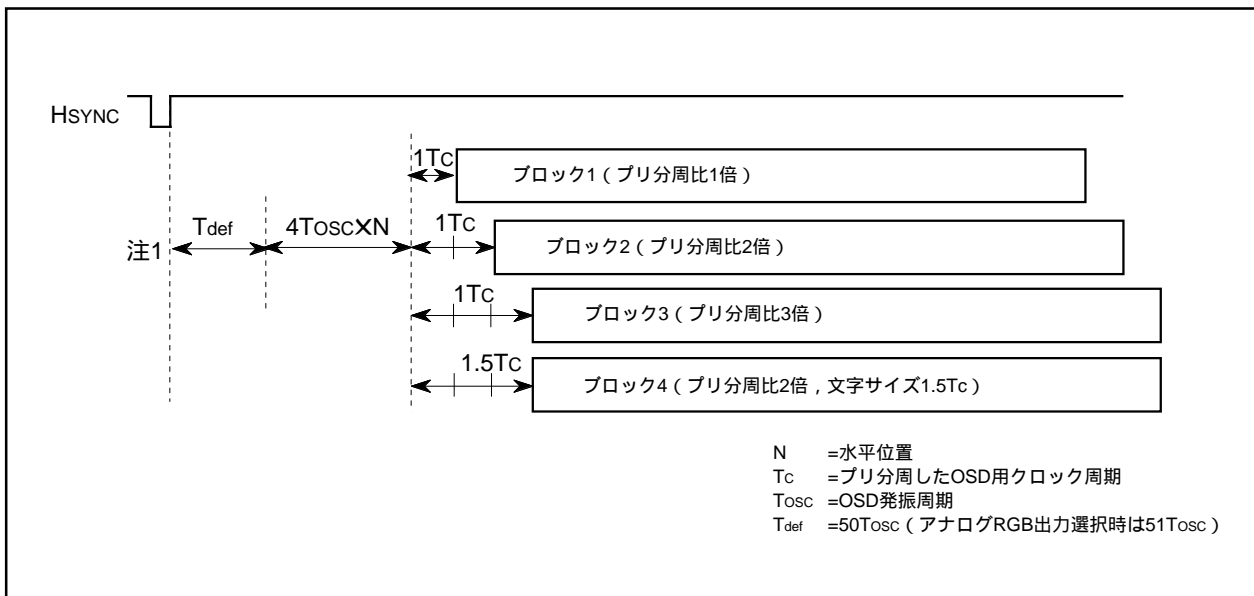


図2.16.12 水平表示開始位置の注意点

2.16.3 ドットサイズ

表示するドットの大きさはブロック単位に選択できます。垂直方向のドットサイズは、HSYNCを垂直ドットサイズコントロール回路で分周することによって決定されます。水平方向のドットサイズは、OSD用クロックソース（内部発振クロック, OSC1）をプリ分周回路で分周したクロックを水平ドットサイズコントロール回路で分周することによって決定されます。プリ分周回路で分周されたクロックの周期を1TCと定義します。

ドットサイズは、ブロックコントロールレジスタiのビット3～ビット6によって指定します。ブロックコントロールレジスタiは図2.16.4、クロックコントロールレジスタは図2.16.15を参照してください。図2.16.13にドットサイズ制御回路のブロック図を示します。

- 注1. CCモード時、プリ分周比 = 3倍は使用できません
- 2. レイヤ2のプリ分周比は、レイヤ1のプリ分周比と同一になるように、ブロックコントロールレジスタiを設定してください。
- 3. バイスキャンモード時、垂直方向のドットサイズはノーマルスキャンモード時の2倍となります。スキャンモードについては、後述「2.16.18 スキャンモード」を参照してください。

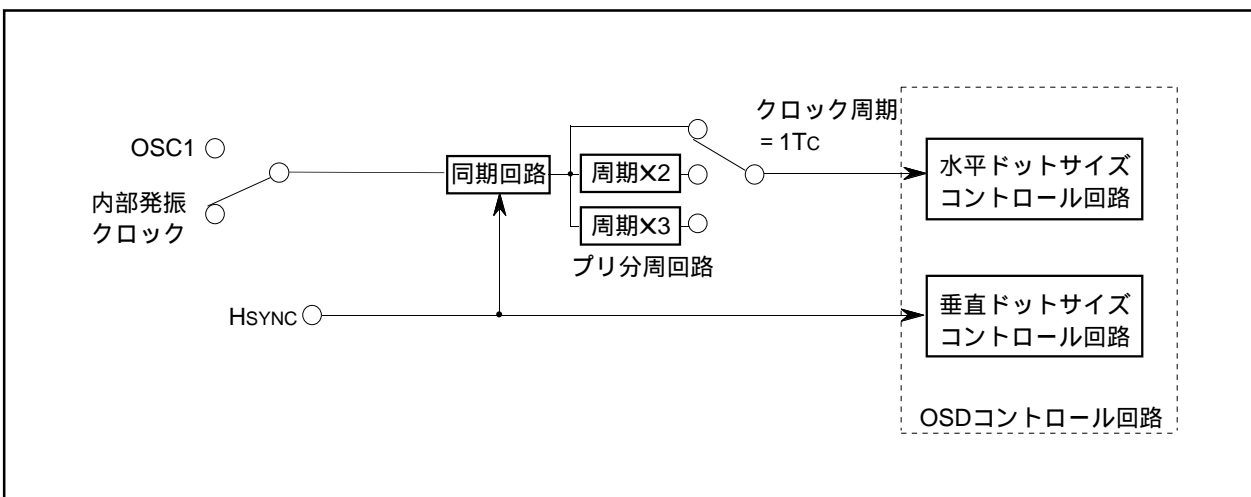


図2.16.13 ドットサイズ制御回路のブロック図

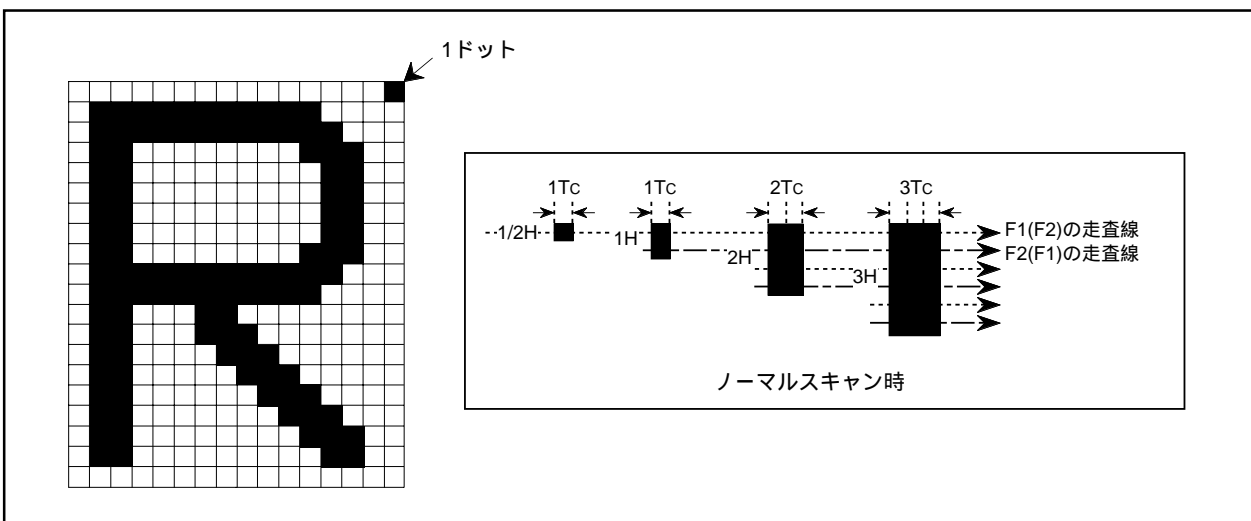


図2.16.14 ドットサイズの定義

2.16.4 OSD用クロック

OSDに使用するクロックは、以下の3種類の中から選択することができます。

- ・内部発振器から出力される内部発振クロック（20MHz～40MHz）
- ・OSC1，OSC2端子から供給されるLC発振子からのクロック
- ・OSC1，OSC2端子から供給されるセラミック共振子（又は水晶発振子）からのクロック

OSD用クロックは、クロックコントロールレジスタ*i*（*i*=1～2）によってクロックソースを選択し、内部発振クロックを選択した場合は、内部発振コントロールレジスタ*i*（*i*=1～3）で発振周波数を選択します。

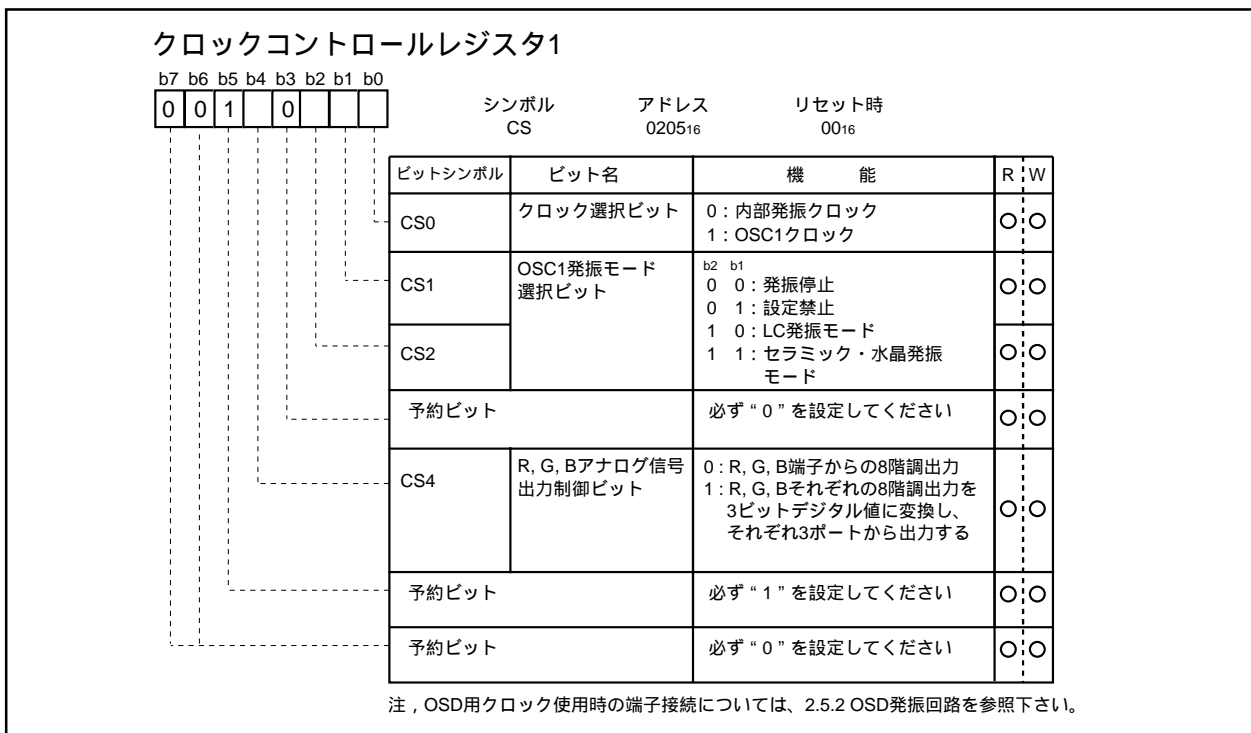


図2.16.15 クロックコントロールレジスタ1

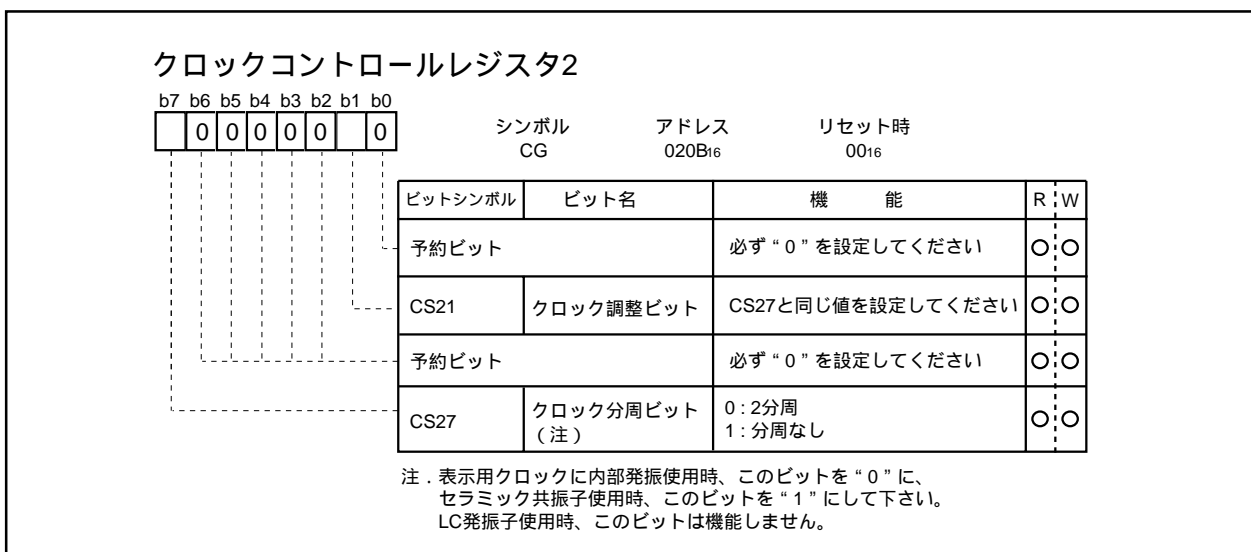


図2.16.16 クロックコントロールレジスタ2

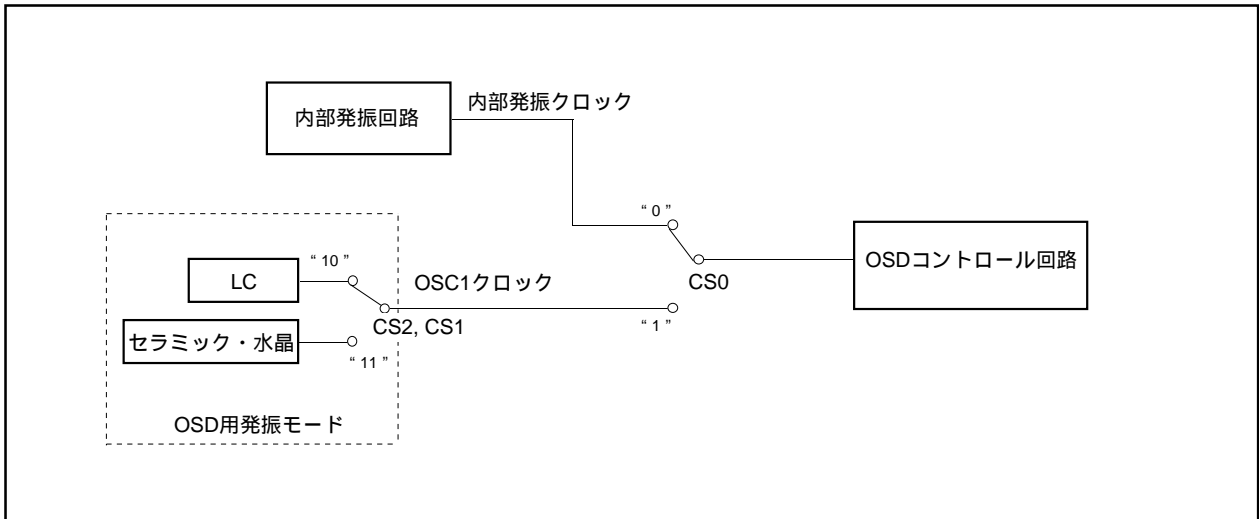


図2.16.17 OSD用クロックの選択回路のブロック図

内部発振コントロールレジスタ1 (注)

b7 b6 b5 b4 b3 b2 b1 b0

0	0						
---	---	--	--	--	--	--	--

シンボル
DIV0

アドレス
0280番地

リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
DIV00	基準クロック分周ビット	f (XIN) = 16MHzのとき : 00111 ₂ を設定してください f (XIN) = 10MHzのとき : 00100 ₂ を設定してください	○	○
DIV01				
DIV02				
DIV03				
DIV04				
DIV05	内部発振調整ビット	VCO00と同じ値を設定してください。	○	○
予約ビット		必ず“0”を設定してください	○	○

内部発振コントロールレジスタ2 (注)

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

シンボル
DIV1

アドレス
0281番地

リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
DIV10	内部発振周波数選択ビット	内部発振周波数 = (N + 1)/2MHz N : DIV16 ~ DIV10で表される値 VCO01 = “0” のとき, N = 3B ₁₆ - 4F ₁₆ を、 VCO01 = “1” のとき, N = 27 ₁₆ ~ 3B ₁₆ を 設定してください。 例 : 20MHz時 27 ₁₆ を設定 40MHz時 4F ₁₆ を設定	○	○
DIV11				
DIV12				
DIV13				
DIV14				
DIV15				
DIV16				
予約ビット		必ず“0”を設定してください	○	○

内部発振コントロールレジスタ3 (注)

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0				
---	---	---	---	--	--	--	--

シンボル
VCO

アドレス
0282番地

リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
VCO00	内部発振回路動作ビット	0 : 内部発振回路動作OFF 1 : 内部発振回路動作ON	○	○
VCO01	内部発振回路制御ビット	0 : 30MHz ~ 40MHz用発振回路選択 1 : 20MHz ~ 30MHz用発振回路選択	○	○
VCO02	発振特性切換ビット	(b3,b2) = (0,0)に固定してください	○	○
VCO03				
予約ビット		必ず“0”を設定してください	○	○

注 . ジッターが発生する恐れがあるため、これらレジスタに表示中アクセスしないで下さい。

図2.16.18 内部発振コントロールレジスタ

2.16.5 フィールド判別表示

垂直ドットサイズ = 1/2Hのブロックの表示は、インターレイス方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1（図2.16.20参照）を交互に表示します。

以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち上がりエッジからマイコン内部のV_{SYNC}制御信号（図2.16.9を参照）の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のV_{SYNC}制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ（入出力極性コントロールレジスタ；0206₁₆番地のビット7）で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます（図2.16.19参照）。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

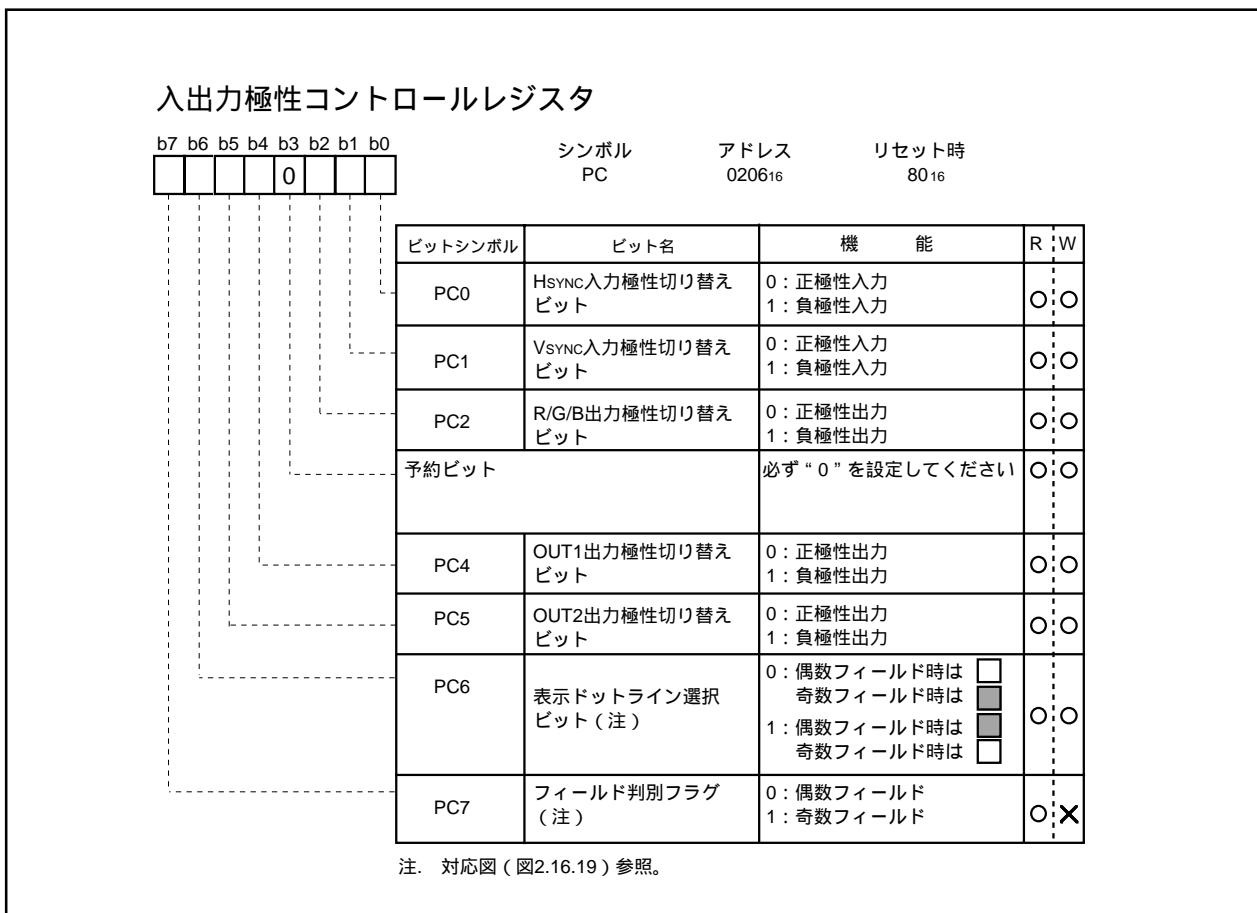


図2.16.19 入出力極性コントロールレジスタ

Hsync信号, Vsync信号共に負極性入力の場合

Hsync		フィールド	フィールド判別フラグ (注)	表示ドットライン 選択ビット	表示ドット ライン
Vsyncと マイコン内部 のVsync 制御信号		奇数			
上: Vsync信号	(n)フィールド (偶数) 	偶数	0 (T2 > T1)	0	ドットライン1 <input type="checkbox"/>
下: マイコン内部 のVsync制御 信号	(n+1)フィールド (奇数) 	奇数	1 (T3 < T2)	1	ドットライン0 <input checked="" type="checkbox"/>
				0	ドットライン0 <input checked="" type="checkbox"/>
				1	ドットライン1 <input type="checkbox"/>

フィールド判別フラグを使用する場合、パリティモードレジスタ (027D16番地) のビット7をメインクロック周波数に従って設定してください。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
2	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
3	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
4	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
5	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
6	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
7	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
8	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
9	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
10	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
11	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
12	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
13	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
14	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
16	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
17	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
18	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
19	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
20	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
21	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
22	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
23	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
24	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
25	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
26	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■

CCモード・CDOSDモード

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
2	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
3	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
4	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
5	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
6	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
7	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
8	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
9	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
10	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
11	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
12	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
13	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
14	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
16	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
17	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
18	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
19	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
20	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■

OSDSモード

例. 表示ドットライン選択ビット = “0” の場合, 偶数フィールド時 のフォント, 奇数フィールド時 のフォントを表示します。また, 入出力極性コントロールレジスタのビット7には, フィールド判別フラグとして, 奇数フィールド時 “1” が, 偶数フィールド時 “0” が読み出されます。

OSD用ROMフォント構成図

注. フィールド判別フラグはマイコン内部のVsync制御信号 (負極性入力) の立ち上がりのタイミングで変化します。

図2.16.20 フィールド判別フラグと表示フォントの関係

2.16.6 OSD用メモリ

OSD用メモリは、文字のドットデータを格納するOSD ROM (40000₁₆ ~ 5FFFF₁₆番地)と、表示する文字種類、色、及びスプライト表示を指定するOSD RAM (0400₁₆ ~ 13FF₁₆番地)の2種類があります。以下、別々に説明します。

(1)OSD ROM (40000₁₆ ~ 5FFFF₁₆番地)

OSD ROMのキャラクタフォントエリアにはキャラクタフォントデータを、同ROMのカラードットフォントエリアにはCDフォントデータを格納します。表示キャラクタフォント及びCDフォント種類の指定は、それらの文字コードをOSD RAMに書き込んで行います。

キャラクタフォントの構成は、16×20ドットフォントと24×32ドットフォントが混在するOSDL許可モードと、16×20ドットフォントのみのOSDL禁止モードがあります。OSDL許可/禁止モードの選択は、画面単位にOSDコントロールレジスタ4のビット0で行います。

OSDL許可/禁止モード別の制約事項を図2.16.21に示します。

OSDL許可モード時、文字コード“000₁₆” ~ “1FF₁₆”が使用できます。このとき、文字コード“000₁₆” ~ “0FF₁₆”は16×20ドットフォント、文字コード“100₁₆” ~ “1FF₁₆”は24×32ドットフォントになります。ただし、文字コード“0FE₁₆”, “0FF₁₆”, “100₁₆”, “180₁₆”は使用できません。

OSDL禁止モード時、文字コード“000₁₆” ~ “2FF₁₆”が使用できます。このとき、すべての文字が16×20ドットになります。ただし、文字コード“0FE₁₆”, “0FF₁₆”, “100₁₆”, “180₁₆”, “200₁₆”, “280₁₆”は使用できません。

CDコードは“00₁₆” ~ “7F₁₆”が使用できます。このとき、すべての文字コードが16×26ドットフォントになります。ただし、CDコード“3F₁₆”, “40₁₆”は使用できません。

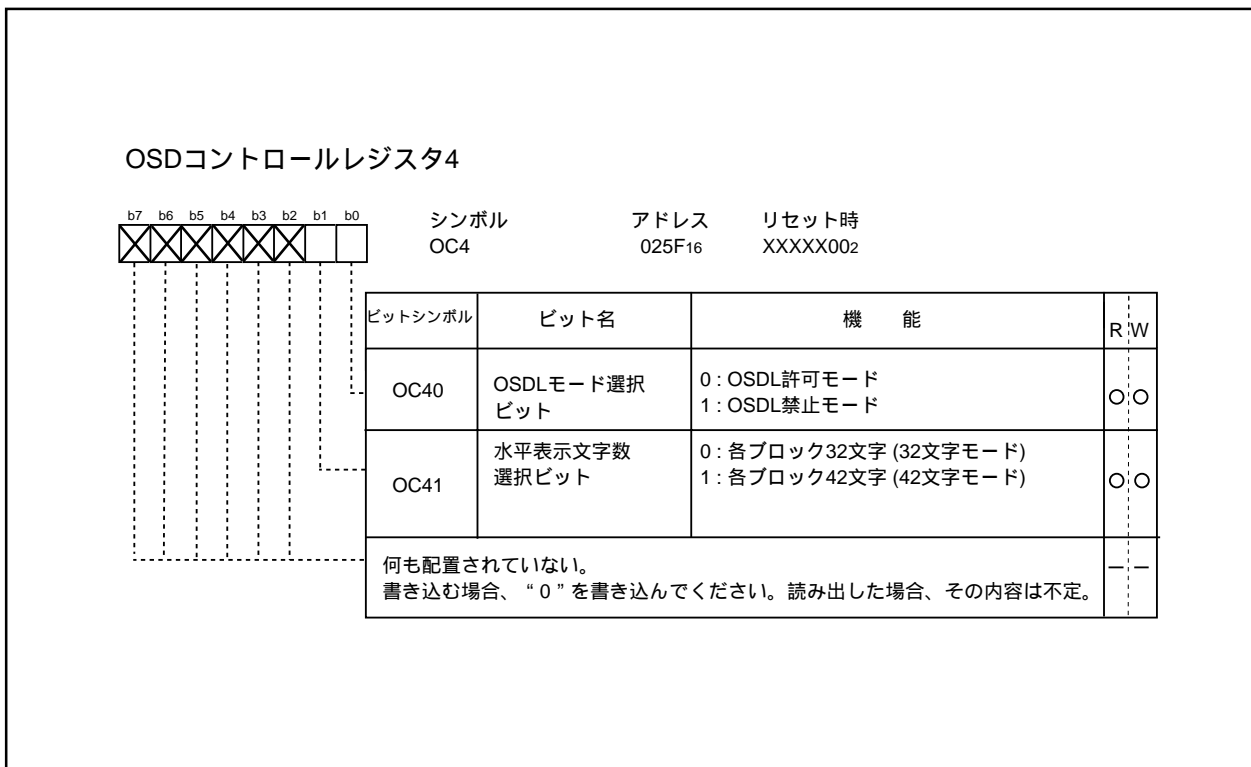
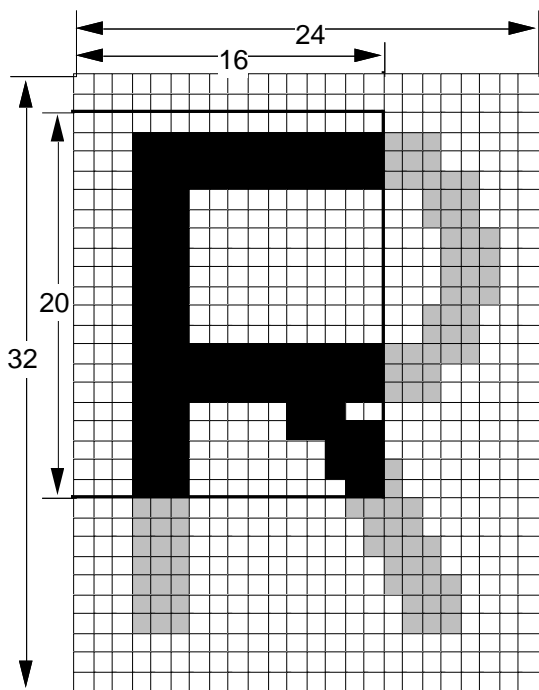


図2.16.21 OSDコントロールレジスタ4

OSDL許可/禁止モード、表示モード、及び文字コードの関係によって下表の制約があります。

OSDL許可/禁止モード 表示モード & 文字コード		OSDL許可モード (OSDコントロールレジスタ4のビット0 = "0")				OSDL禁止モード (OSDコントロールレジスタ4のビット0 = "1")			
		文字サイズ	CC	OSDS / P	OSDL	文字サイズ	CC	OSDS / P	OSDL
指定文字コード	000 ₁₆ ~ 0FF ₁₆	S	使用可	使用可	使用不可 (注3)	S	使用可	使用可	表示OFF
	100 ₁₆ ~ 1FF ₁₆	L	使用可 (注1)	使用可 (注1)	使用可		使用可	使用可	表示OFF
	200 ₁₆ ~ 27F ₁₆	使用不可 (注3)					使用不可 (注3)	使用可	表示OFF
	280 ₁₆ ~ 2FF ₁₆							使用可 (フチドリ無) (注2)	表示OFF
	300 ₁₆ ~ 3FF ₁₆							使用不可 (注3)	表示OFF



- 注1 . 24×32フォントの一部が表示されます。
- 注2 . OSDL禁止モード時、文字コード“280₁₆”～“2FF₁₆”は、OSDS/Pモード（フチドリ無）で使用してください。
- 注3 . この設定を使用した場合、フォントデータの出力が不定となるため、使用しないでください。ただし、OSDPモード時は、ブランクフォント出力文字コードとして、“3FE₁₆”、“3FF₁₆”が使用できます。

図2.16.22 OSDL許可 / 禁止モード別の制約事項

(2) OSD RAM (キャラクタ表示用OSD RAM、0400₁₆ ~ 0EFF₁₆番地)

キャラクタ表示用のOSD RAMは、0400₁₆ ~ 0EFF₁₆番地に割り当てられており、ブロックごとに文字コード指定部、色コード1指定部、色コード2指定部に分かれています。1ブロックのキャラクタ数(32文字モード又は42文字モード)をOSDコントロールレジスタ4のビット1によって選択します。アドレスマップを表2.16.3 ~ 表2.16.7に示します。

たとえば、ブロック1の第一文字目(左端)に文字を表示する場合、0400₁₆番地に文字コードを、0401₁₆番地に表示する色コード1を、0480₁₆番地に表示する色コード2を書き込みます。OSD RAMのビット構成を図2.16.23に示します。

注: 下記ドットサイズのブロックは、通常ブロックに対して、3n (n = 1 ~ 14) 文字目が抜けた状態になります。

OSDLモード時: 全ドットサイズ

レイヤ2上のOSDS、CDOSDモード時: 1.5Tc × 1/2H 又は 1.5Tc × 1H

したがって1ブロックの最大文字数は22文字(32文字モード時)又は28文字(42文字モード時)となります(2.16.22参照)なお、3n文字目のRAMデータは表示に影響を与えませんので、任意のデータを格納してください。さらに32文字モード時のみ以下の点に注意してください。なお、42文字モード時は、28文字目の文字領域にもキャラクタが表示されますので、通常の設定を行ってください。

・OSDSモード時

22文字目の文字領域には、キャラクタは表示されず、文字背景の左側1/3のみが表示されます。この背景を表示しない場合は、文字背景色を透明に設定してください。

・OSDLモード時

22文字目はブランク文字、又は透明の文字色を設定してください。

・CDOSDモード時

22文字目の文字領域(左側1/3)には、キャラクタは表示されず、色コード1のビット3 ~ ビット6で指定されたカラーパレット色が表示されます。

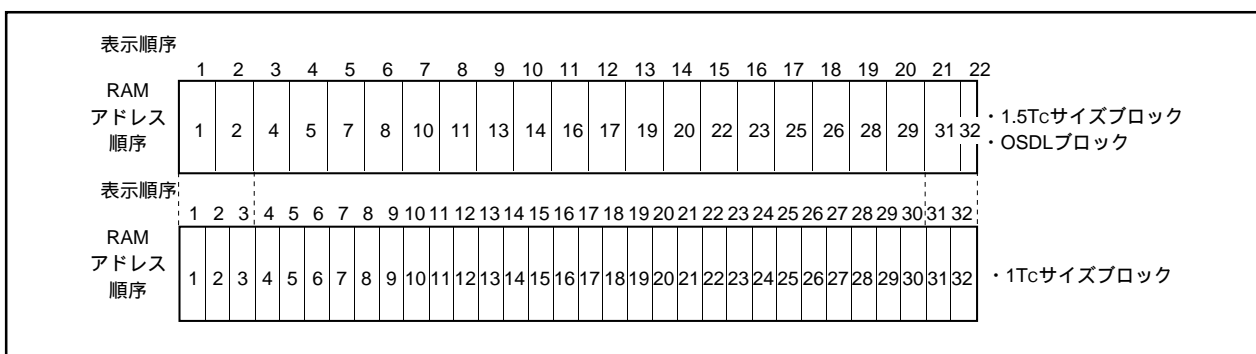


図2.16.23 3n番目の文字のRAMデータ (32文字モード時)

表2.16.3 OSD RAM内容 (1~32文字目)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック1	1文字目	0400 ₁₆	0401 ₁₆	0480 ₁₆
	2文字目	0402 ₁₆	0403 ₁₆	0482 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	043C ₁₆	043D ₁₆	04BC ₁₆
	32文字目	043E ₁₆	043F ₁₆	04BE ₁₆
ブロック2	1文字目	0440 ₁₆	0441 ₁₆	04C0 ₁₆
	2文字目	0442 ₁₆	0443 ₁₆	04C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	047C ₁₆	047D ₁₆	04FC ₁₆
	32文字目	047E ₁₆	047F ₁₆	04FE ₁₆
ブロック3	1文字目	0500 ₁₆	0501 ₁₆	0580 ₁₆
	2文字目	0502 ₁₆	0503 ₁₆	0582 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	053C ₁₆	053D ₁₆	05BC ₁₆
	32文字目	053E ₁₆	053F ₁₆	05BE ₁₆
ブロック4	1文字目	0540 ₁₆	0541 ₁₆	05C0 ₁₆
	2文字目	0542 ₁₆	0543 ₁₆	05C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	057C ₁₆	057D ₁₆	05FC ₁₆
	32文字目	057E ₁₆	057F ₁₆	05FE ₁₆
ブロック5	1文字目	0600 ₁₆	0601 ₁₆	0680 ₁₆
	2文字目	0602 ₁₆	0603 ₁₆	0682 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	063C ₁₆	063D ₁₆	06BC ₁₆
	32文字目	063E ₁₆	063F ₁₆	06BE ₁₆
ブロック6	1文字目	0640 ₁₆	0641 ₁₆	06C0 ₁₆
	2文字目	0642 ₁₆	0643 ₁₆	06C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	067C ₁₆	067D ₁₆	06FC ₁₆
	32文字目	067E ₁₆	067F ₁₆	06FE ₁₆
ブロック7	1文字目	0700 ₁₆	0701 ₁₆	0780 ₁₆
	2文字目	0702 ₁₆	0703 ₁₆	0782 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	073C ₁₆	073D ₁₆	07BC ₁₆
	32文字目	073E ₁₆	073F ₁₆	07BE ₁₆
ブロック8	1文字目	0740 ₁₆	0741 ₁₆	07C0 ₁₆
	2文字目	0742 ₁₆	0743 ₁₆	07C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	077C ₁₆	077D ₁₆	07FC ₁₆
	32文字目	077E ₁₆	077F ₁₆	07FE ₁₆
ブロック9	1文字目	0800 ₁₆	0801 ₁₆	0880 ₁₆
	2文字目	0802 ₁₆	0803 ₁₆	0882 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	083C ₁₆	083D ₁₆	08BC ₁₆
	32文字目	083E ₁₆	083F ₁₆	08BE ₁₆
ブロック10	1文字目	0840 ₁₆	0841 ₁₆	08C0 ₁₆
	2文字目	0842 ₁₆	0843 ₁₆	08C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	087C ₁₆	087D ₁₆	08FC ₁₆
	32文字目	087E ₁₆	087F ₁₆	08FE ₁₆

表2.16.4 OSD RAM内容(1~32文字目)(つづき)

ブロック	表示位置(左から)	文字コード指定	色コード1指定	色コード2指定
ブロック11	1文字目	0900 ₁₆	0901 ₁₆	0980 ₁₆
	2文字目	0902 ₁₆	0903 ₁₆	0982 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	093C ₁₆	093D ₁₆	09BC ₁₆
	32文字目	093E ₁₆	093F ₁₆	09BE ₁₆
ブロック12	1文字目	0940 ₁₆	0941 ₁₆	09C0 ₁₆
	2文字目	0942 ₁₆	0943 ₁₆	09C2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	097C ₁₆	097D ₁₆	09FC ₁₆
	32文字目	097E ₁₆	097F ₁₆	09FE ₁₆
ブロック13	1文字目	0A00 ₁₆	0A01 ₁₆	0A80 ₁₆
	2文字目	0A02 ₁₆	0A03 ₁₆	0A82 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	0A3C ₁₆	0A3D ₁₆	0ABC ₁₆
	32文字目	0A3E ₁₆	0A3F ₁₆	0ABE ₁₆
ブロック14	1文字目	0A40 ₁₆	0A41 ₁₆	0AC0 ₁₆
	2文字目	0A42 ₁₆	0A43 ₁₆	0AC2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	0A7C ₁₆	0A7D ₁₆	0AFC ₁₆
	32文字目	0A7E ₁₆	0A7F ₁₆	0AFE ₁₆
ブロック15	1文字目	0B00 ₁₆	0B01 ₁₆	0B80 ₁₆
	2文字目	0B02 ₁₆	0B03 ₁₆	0B82 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	0B3C ₁₆	0B3D ₁₆	0BBC ₁₆
	32文字目	0B3E ₁₆	0B3F ₁₆	0BBE ₁₆
ブロック16	1文字目	0B40 ₁₆	0B41 ₁₆	0BC0 ₁₆
	2文字目	0B42 ₁₆	0B43 ₁₆	0BC2 ₁₆
	⋮	⋮	⋮	⋮
	31文字目	0B7C ₁₆	0B7D ₁₆	0BF0 ₁₆
	32文字目	0B7E ₁₆	0B7F ₁₆	0BFE ₁₆

表2.16.5 OSD RAM内容 (33~42文字目)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック1	33文字目	0C00 ₁₆	0C01 ₁₆	0C80 ₁₆
	34文字目	0C02 ₁₆	0C03 ₁₆	0C82 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C0C ₁₆	0C0D ₁₆	0C8C ₁₆
	40文字目	0C0E ₁₆	0C0F ₁₆	0C8E ₁₆
	41文字目	0E00 ₁₆	0E01 ₁₆	0E80 ₁₆
ブロック2	42文字目	0E02 ₁₆	0E03 ₁₆	0E82 ₁₆
	33文字目	0C10 ₁₆	0C11 ₁₆	0C90 ₁₆
	34文字目	0C12 ₁₆	0C13 ₁₆	0C92 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C1C ₁₆	0C1D ₁₆	0C9C ₁₆
	40文字目	0C1E ₁₆	0C1F ₁₆	0C9E ₁₆
ブロック3	41文字目	0E08 ₁₆	0E09 ₁₆	0E88 ₁₆
	42文字目	0E0A ₁₆	0E0B ₁₆	0E8A ₁₆
	33文字目	0C20 ₁₆	0C21 ₁₆	0CA0 ₁₆
	34文字目	0C22 ₁₆	0C23 ₁₆	0CA2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C2C ₁₆	0C2D ₁₆	0CAC ₁₆
ブロック4	40文字目	0C2E ₁₆	0C2F ₁₆	0CAE ₁₆
	41文字目	0E10 ₁₆	0E11 ₁₆	0E90 ₁₆
	42文字目	0E12 ₁₆	0E13 ₁₆	0E92 ₁₆
	33文字目	0C30 ₁₆	0C31 ₁₆	0CB0 ₁₆
	34文字目	0C32 ₁₆	0C33 ₁₆	0CB2 ₁₆
	⋮	⋮	⋮	⋮
ブロック5	39文字目	0C3C ₁₆	0C3D ₁₆	0CBC ₁₆
	40文字目	0C3E ₁₆	0C3F ₁₆	0CBE ₁₆
	41文字目	0E18 ₁₆	0E19 ₁₆	0E98 ₁₆
	42文字目	0E1A ₁₆	0E1B ₁₆	0E9A ₁₆
	33文字目	0C40 ₁₆	0C41 ₁₆	0CC0 ₁₆
	34文字目	0C42 ₁₆	0C43 ₁₆	0CC2 ₁₆
ブロック6	⋮	⋮	⋮	⋮
	39文字目	0C4C ₁₆	0C4D ₁₆	0CCC ₁₆
	40文字目	0C4E ₁₆	0C4F ₁₆	0CCE ₁₆
	41文字目	0E20 ₁₆	0E21 ₁₆	0EA0 ₁₆
	42文字目	0E22 ₁₆	0E23 ₁₆	0EA2 ₁₆
	33文字目	0C50 ₁₆	0C51 ₁₆	0CD0 ₁₆
ブロック7	34文字目	0C52 ₁₆	0C53 ₁₆	0CD2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C5C ₁₆	0C5D ₁₆	0CDC ₁₆
	40文字目	0C5E ₁₆	0C5F ₁₆	0CDE ₁₆
	41文字目	0E28 ₁₆	0E29 ₁₆	0EA8 ₁₆
	42文字目	0E2A ₁₆	0E2B ₁₆	0EAA ₁₆
ブロック7	33文字目	0C60 ₁₆	0C61 ₁₆	0CE0 ₁₆
	34文字目	0C62 ₁₆	0C63 ₁₆	0CE2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C6C ₁₆	0C6D ₁₆	0CEC ₁₆
	40文字目	0C6E ₁₆	0C6F ₁₆	0CEE ₁₆
	41文字目	0E30 ₁₆	0E31 ₁₆	0EB0 ₁₆
ブロック7	42文字目	0E32 ₁₆	0E33 ₁₆	0EB2 ₁₆

表2.16.6 OSD RAM内容 (33~42文字目) (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック8	33文字目	0C70 ₁₆	0C71 ₁₆	0CF0 ₁₆
	34文字目	0C72 ₁₆	0C73 ₁₆	0CF2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0C7C ₁₆	0C7D ₁₆	0CFC ₁₆
	40文字目	0C7E ₁₆	0C7F ₁₆	0CFE ₁₆
	41文字目	0E38 ₁₆	0E39 ₁₆	0EB8 ₁₆
ブロック9	42文字目	0E3A ₁₆	0E3B ₁₆	0EBA ₁₆
	33文字目	0D00 ₁₆	0D01 ₁₆	0D80 ₁₆
	34文字目	0D02 ₁₆	0D03 ₁₆	0D82 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D0C ₁₆	0D0D ₁₆	0D8C ₁₆
	40文字目	0D0E ₁₆	0D0F ₁₆	0D8E ₁₆
ブロック10	41文字目	0E40 ₁₆	0E41 ₁₆	0EC0 ₁₆
	42文字目	0E42 ₁₆	0E43 ₁₆	0EC2 ₁₆
	33文字目	0D10 ₁₆	0D11 ₁₆	0D90 ₁₆
	34文字目	0D12 ₁₆	0D13 ₁₆	0D92 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D1C ₁₆	0D1D ₁₆	0D9C ₁₆
ブロック11	40文字目	0D1E ₁₆	0D1F ₁₆	0D9E ₁₆
	41文字目	0E48 ₁₆	0E49 ₁₆	0EC8 ₁₆
	42文字目	0E4A ₁₆	0E4B ₁₆	0ECA ₁₆
	33文字目	0D20 ₁₆	0D21 ₁₆	0DA0 ₁₆
	34文字目	0D22 ₁₆	0D23 ₁₆	0DA2 ₁₆
	⋮	⋮	⋮	⋮
ブロック12	39文字目	0D2C ₁₆	0D2D ₁₆	0DAC ₁₆
	40文字目	0D2E ₁₆	0D2F ₁₆	0DAE ₁₆
	41文字目	0E50 ₁₆	0E51 ₁₆	0ED0 ₁₆
	42文字目	0E52 ₁₆	0E53 ₁₆	0ED2 ₁₆
	33文字目	0D30 ₁₆	0D31 ₁₆	0DB0 ₁₆
	34文字目	0D32 ₁₆	0D33 ₁₆	0DB2 ₁₆
ブロック13	⋮	⋮	⋮	⋮
	39文字目	0D3C ₁₆	0D3D ₁₆	0DBC ₁₆
	40文字目	0D3E ₁₆	0D3F ₁₆	0DBE ₁₆
	41文字目	0E58 ₁₆	0E59 ₁₆	0ED8 ₁₆
	42文字目	0E5A ₁₆	0E5B ₁₆	0EDA ₁₆
	33文字目	0D40 ₁₆	0D41 ₁₆	0DC0 ₁₆
ブロック14	34文字目	0D42 ₁₆	0D43 ₁₆	0DC2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D4C ₁₆	0D4D ₁₆	0DCC ₁₆
	40文字目	0D4E ₁₆	0D4F ₁₆	0DCE ₁₆
	41文字目	0E60 ₁₆	0E61 ₁₆	0EE0 ₁₆
	42文字目	0E62 ₁₆	0E63 ₁₆	0EE2 ₁₆
ブロック14	33文字目	0D50 ₁₆	0D51 ₁₆	0DD0 ₁₆
	34文字目	0D52 ₁₆	0D53 ₁₆	0DD2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D5C ₁₆	0D5D ₁₆	0DDC ₁₆
	40文字目	0D5E ₁₆	0D5F ₁₆	0DDE ₁₆
	41文字目	0E68 ₁₆	0E69 ₁₆	0EE8 ₁₆
42文字目	0E6A ₁₆	0E6B ₁₆	0EEA ₁₆	

表2.16.7 OSD RAM内容 (33~42文字目) (つづき)

ブロック	表示位置 (左から)	文字コード指定	色コード1指定	色コード2指定
ブロック15	33文字目	0D60 ₁₆	0D61 ₁₆	0DE0 ₁₆
	34文字目	0D62 ₁₆	0D63 ₁₆	0DE2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D6C ₁₆	0D6D ₁₆	0DEC ₁₆
	40文字目	0D6E ₁₆	0D6F ₁₆	0DEE ₁₆
	41文字目	0E70 ₁₆	0E71 ₁₆	0EF0 ₁₆
ブロック16	42文字目	0E72 ₁₆	0E73 ₁₆	0EF2 ₁₆
	33文字目	0D70 ₁₆	0D71 ₁₆	0DF0 ₁₆
	34文字目	0D72 ₁₆	0D73 ₁₆	0DF2 ₁₆
	⋮	⋮	⋮	⋮
	39文字目	0D7C ₁₆	0D7D ₁₆	0DFC ₁₆
	40文字目	0D7E ₁₆	0D7F ₁₆	0DFE ₁₆
	41文字目	0E78 ₁₆	0E79 ₁₆	0EF8 ₁₆
	42文字目	0E7A ₁₆	0E7B ₁₆	0EFA ₁₆



図2.16.24 OSD RAMのビット構成

(3) OSD RAM (スプライト表示用OSD RAM、1000₁₆ ~ 13E7₁₆番地)

スプライトフォント1とスプライトフォント2のOSD RAMは、1000₁₆ ~ 13E7₁₆番地に割り当てられており、各フォントは4つのプレーンから構成されています。各プレーンはカラーパレット選択ビットと対応しており、ドット単位に16種類の中からカラーパレットが指定できます。

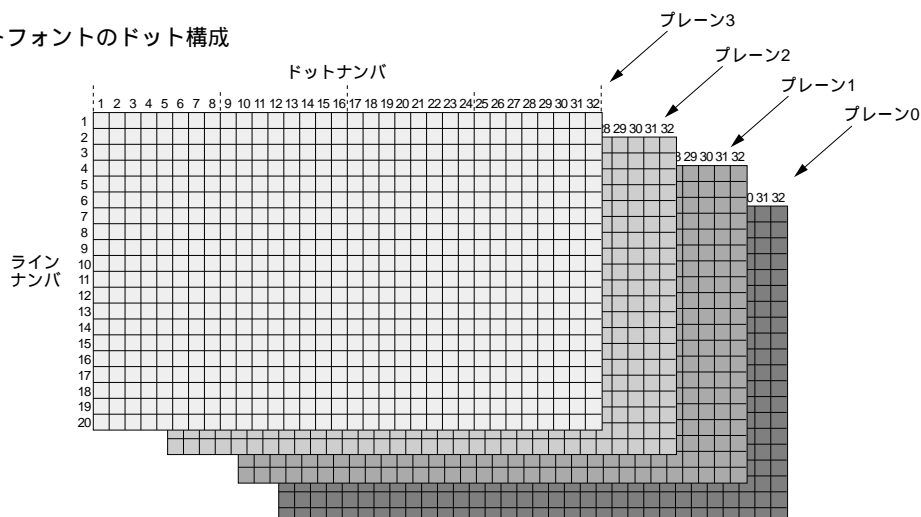
表2.16.8 OSD RAMアドレス (スプライトフォント1対応)

プレーン	プレーン3 (カラーパレット選択ビット3)				プレーン2 (カラーパレット選択ビット2)				プレーン1 (カラーパレット選択ビット1)				プレーン0 (カラーパレット選択ビット0)			
	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32
ドット	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32
ビット	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0
ライン1	10C0 ₁₆	10C1 ₁₆	11C0 ₁₆	11C1 ₁₆	1080 ₁₆	1081 ₁₆	1180 ₁₆	1181 ₁₆	1040 ₁₆	1041 ₁₆	1140 ₁₆	1141 ₁₆	1000 ₁₆	1001 ₁₆	1100 ₁₆	1101 ₁₆
ライン2	10C2 ₁₆	10C3 ₁₆	11C2 ₁₆	11C3 ₁₆	1082 ₁₆	1083 ₁₆	1182 ₁₆	1183 ₁₆	1042 ₁₆	1043 ₁₆	1142 ₁₆	1143 ₁₆	1002 ₁₆	1003 ₁₆	1102 ₁₆	1103 ₁₆
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	10E4 ₁₆	10E5 ₁₆	11E4 ₁₆	11E5 ₁₆	10A4 ₁₆	10A5 ₁₆	11A4 ₁₆	11A5 ₁₆	1064 ₁₆	1065 ₁₆	1164 ₁₆	1165 ₁₆	1024 ₁₆	1025 ₁₆	1124 ₁₆	1125 ₁₆
ライン20	10E6 ₁₆	10E7 ₁₆	11E6 ₁₆	11E7 ₁₆	10A6 ₁₆	10A7 ₁₆	11A6 ₁₆	11A7 ₁₆	1066 ₁₆	1067 ₁₆	1166 ₁₆	1167 ₁₆	1026 ₁₆	1027 ₁₆	1126 ₁₆	1127 ₁₆

表2.16.9 対応OSD RAMアドレス (スプライトフォント2対応)

プレーン	プレーン3 (カラーパレット選択ビット3)				プレーン2 (カラーパレット選択ビット2)				プレーン1 (カラーパレット選択ビット1)				プレーン0 (カラーパレット選択ビット0)			
	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32
ドット	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32	1~8	9~16	17~24	25~32
ビット	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0	b7~b0
ライン1	12C0 ₁₆	12C1 ₁₆	13C0 ₁₆	13C1 ₁₆	1280 ₁₆	1281 ₁₆	1380 ₁₆	1381 ₁₆	1240 ₁₆	1241 ₁₆	1340 ₁₆	1341 ₁₆	1200 ₁₆	1201 ₁₆	1300 ₁₆	1301 ₁₆
ライン2	12C2 ₁₆	12C3 ₁₆	13C2 ₁₆	13C3 ₁₆	1282 ₁₆	1283 ₁₆	1382 ₁₆	1383 ₁₆	1242 ₁₆	1243 ₁₆	1342 ₁₆	1343 ₁₆	1202 ₁₆	1203 ₁₆	1302 ₁₆	1303 ₁₆
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	12E4 ₁₆	12E5 ₁₆	13E4 ₁₆	13E5 ₁₆	12A4 ₁₆	12A5 ₁₆	13A4 ₁₆	13A5 ₁₆	1264 ₁₆	1265 ₁₆	1364 ₁₆	1365 ₁₆	1224 ₁₆	1225 ₁₆	1324 ₁₆	1325 ₁₆
ライン20	12E6 ₁₆	12E7 ₁₆	13E6 ₁₆	13E7 ₁₆	12A6 ₁₆	12A7 ₁₆	13A6 ₁₆	13A7 ₁₆	1266 ₁₆	1267 ₁₆	1366 ₁₆	1367 ₁₆	1226 ₁₆	1227 ₁₆	1326 ₁₆	1327 ₁₆

スプライトフォントのドット構成



2.16.7 文字色

図2.16.25に示すように、16種類のカラーパレットが定義できます。カラーパレット0は透明、カラーパレット8は黒に固定されており、残りの14種類は512色から任意の色を設定できます。文字色の種類、指定方法は以下のとおりです。

CCモード 8種類

OSDコントロールレジスタ3 (0207₁₆番地) のビット0によって、カラーパレットの選択範囲 (カラーパレット0~7、又はカラーパレット8~15) を選択します。選択範囲の中からOSD RAMのRC11~RC13によってカラーパレットを指定します。

OSD/S/L/Pモード 16種類

OSD RAMのRC11~RC14によってカラーパレットを指定します。

CDOSDモード 16種類

CDフォントデータによって、ドット単位にカラーパレットを指定します。

また、CDOSDモードに限り、カラーパレット0を選択したドットは、文字単位で、OSD RAMのRC13~RC16で設定されたカラーパレットに着色されます (図2.16.25参照)。

スプライト表示 16種類

スプライトフォントデータによって、ドット単位にカラーパレットを指定します。

- 注1. フチドリ、ソリッドスペース出力 (OUT1出力) はレジスタの設定値にかかわらず、常にカラーパレット8 (黒) が選択されます。
2. カラーパレット0 (透明) と、その他カラーパレットの透明設定とは異なります。複数のレイヤが重なったとき、優先レイヤがカラーパレット0 (透明) の場合は下層レイヤが表示されますが、優先レイヤがその他カラーパレットの透明設定の場合は、下層レイヤは表示されず、背景画面が表示されます (図2.16.27参照)。

2.16.8 文字背景色

文字表示領域に文字背景色を着色することができます。文字背景色は、文字単位に指定できます。

CCモード 4種類

OSDコントロールレジスタ3 (0207₁₆番地) のビット1, 2によって、カラーパレットの選択範囲 (カラーパレット0~3、4~7、8~11、又はカラーパレット12~15) を選択します。選択範囲の中から、OSD RAMのRC20,RC21によってカラーパレットを指定します。

OSDS/L/Pモード 16種類

OSD RAMのRC15, RC16, RC20, RC21によってカラーパレットを指定します。

- 注. 文字背景色は文字表示領域から、フチドリ、キャラクタフォント部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。

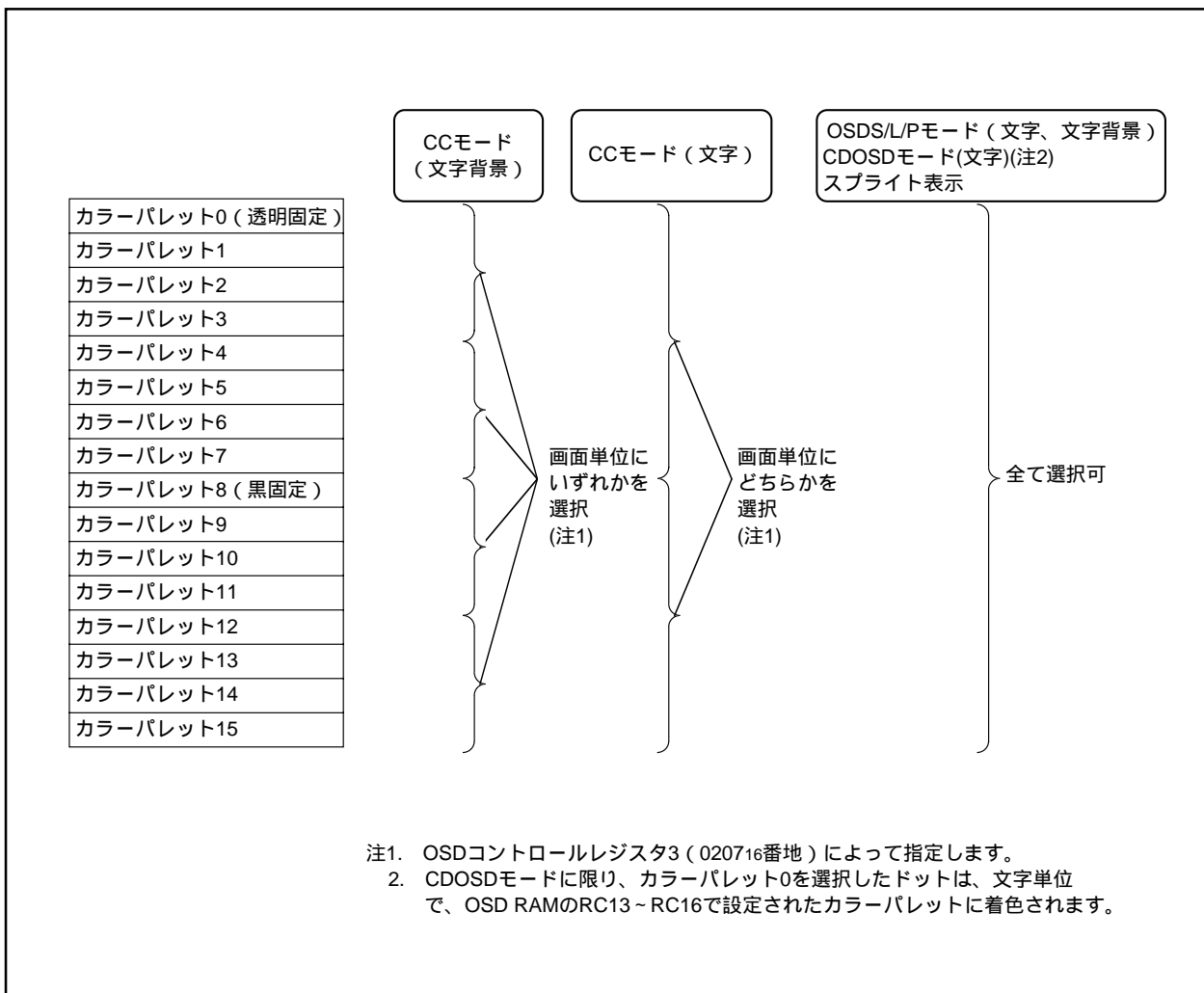


図2.16.25 カラーパレットの選択

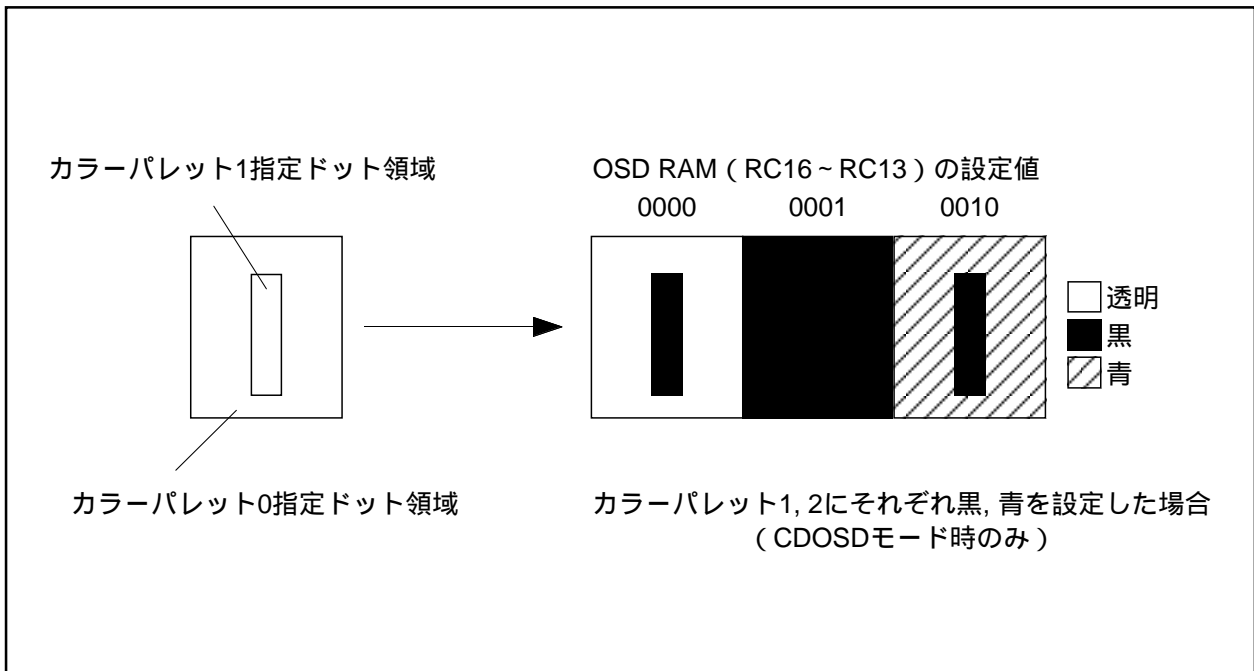


図2.16.26 CDOSDモード時のカラーパレット0, 8の設定

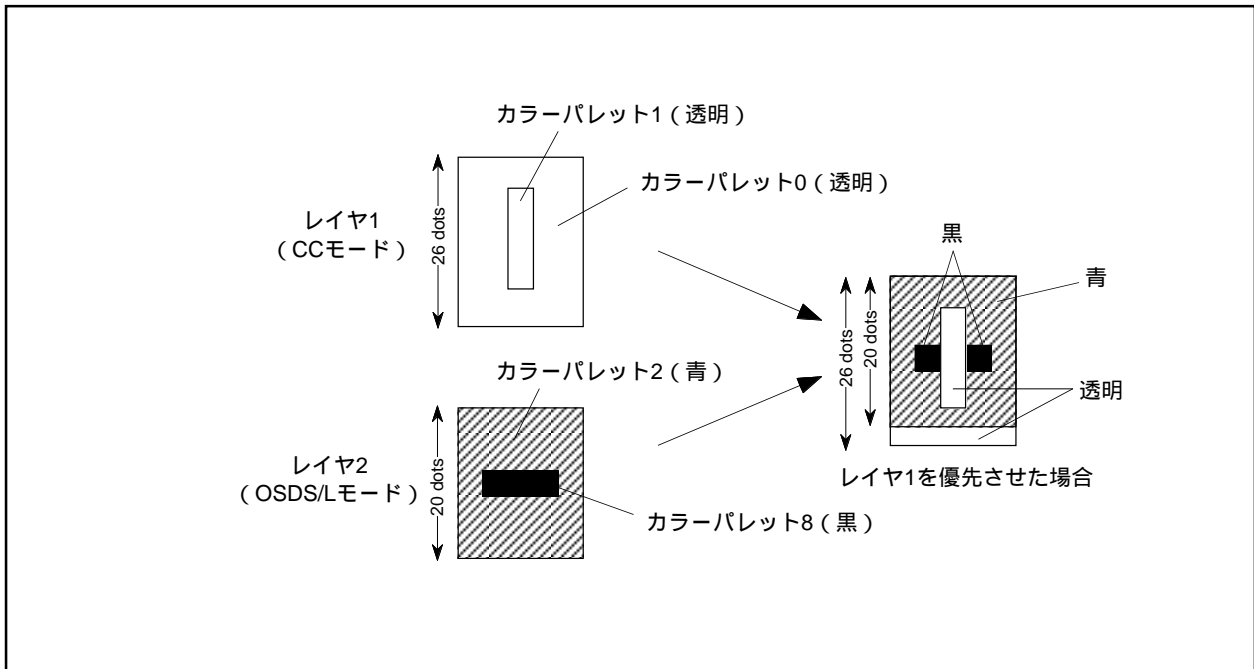
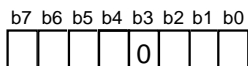


図2.16.27 カラーパレット0 (透明) とその他カラーパレットの透明設定との違い

OSDコントロールレジスタ3



シンボル
OC3

アドレス
0207₁₆

リセット時
00₁₆

ビットシンボル	ビット名	機能	R	W
OC30	CCモード文字色選択ビット	0 : カラーパレット0~7 1 : カラーパレット8~15	○	○
OC31	CCモード文字背景色 選択ビット (注)	b2 b1 0 0 : カラーパレット0~3 0 1 : カラーパレット4~7	○	○
OC32		1 0 : カラーパレット8~11 1 1 : カラーパレット12~15		
予約ビット		必ず“0”を設定してください	○	○
OC34	フラッシュ周期 選択ビット	0 : 1周期=VSYNC周期 × 32 1 : 1周期=VSYNC周期 × 64	○	○
OC35	OSDモードウインドウ 制御ビット	0 : ウインドウOFF 1 : ウインドウON	○	○
OC36	CCモードウインドウ 制御ビット	0 : ウインドウOFF 1 : ウインドウON	○	○
OC37	CDOSDモードウインドウ 制御ビット	0 : ウインドウOFF 1 : ウインドウON	○	○

注. ソリッドスペース (OUT1出力選択時) はこのレジスタ値にかかわらず、常にカラーパレット8が選択されます。

図2.16.28 OSDコントロールレジスタ3

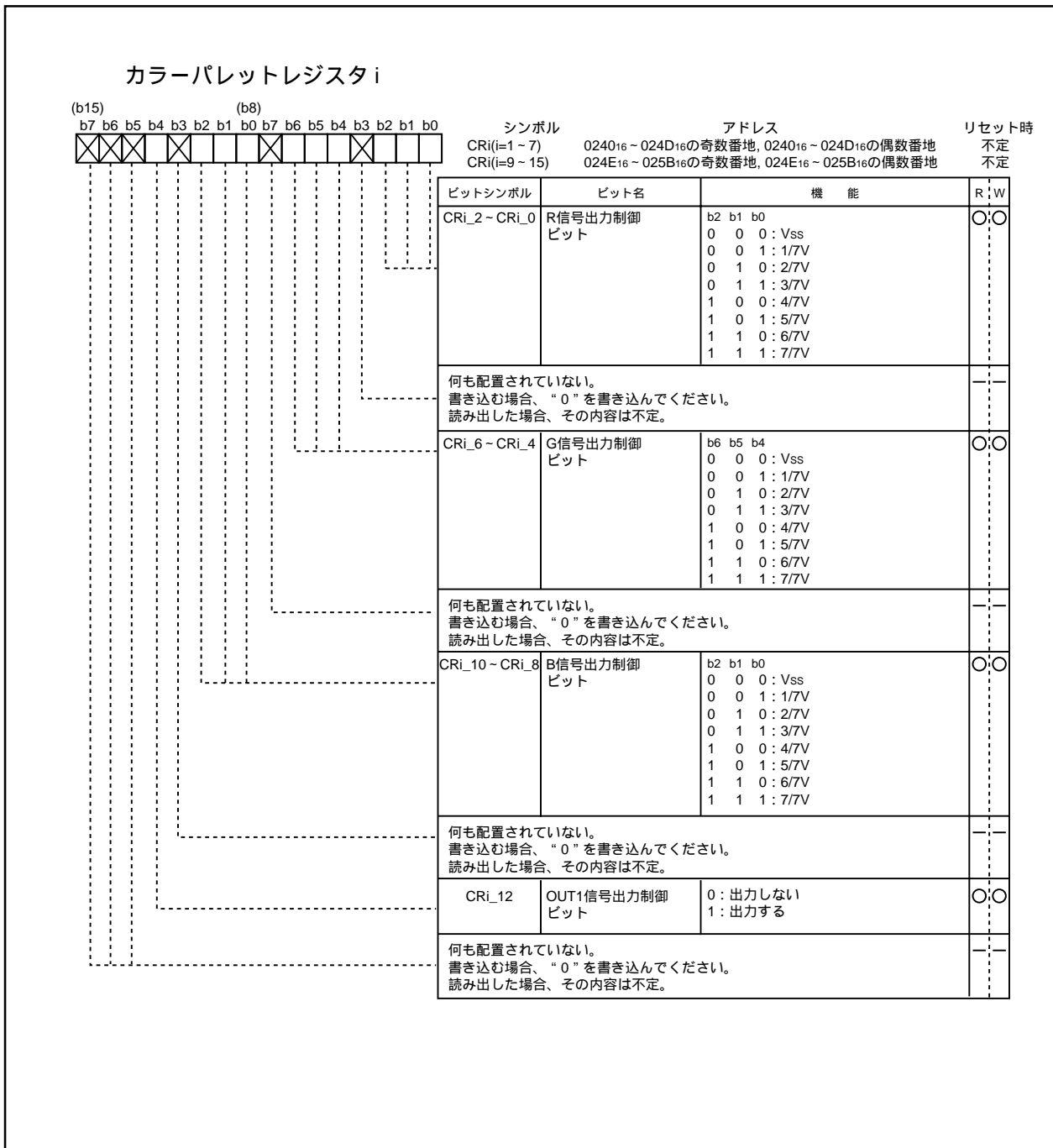


図2.16.29 カラーパレットレジスタ i (i = 1~7, 9~15)

2.16.9 OUT1, OUT2信号

OUT1, OUT2信号は映像信号の輝度を制御するために使用します。OUT1, OUT2信号の出力波形は、カラーパレットレジスタiのビット6 (図2.16.29参照)、ブロックコントロールレジスタiのビット0~2 (図2.16.4参照)、OSD RAMのRC17によって制御します。図2.16.30にOUT1, OUT2制御の設定値とその出力波形を示します。

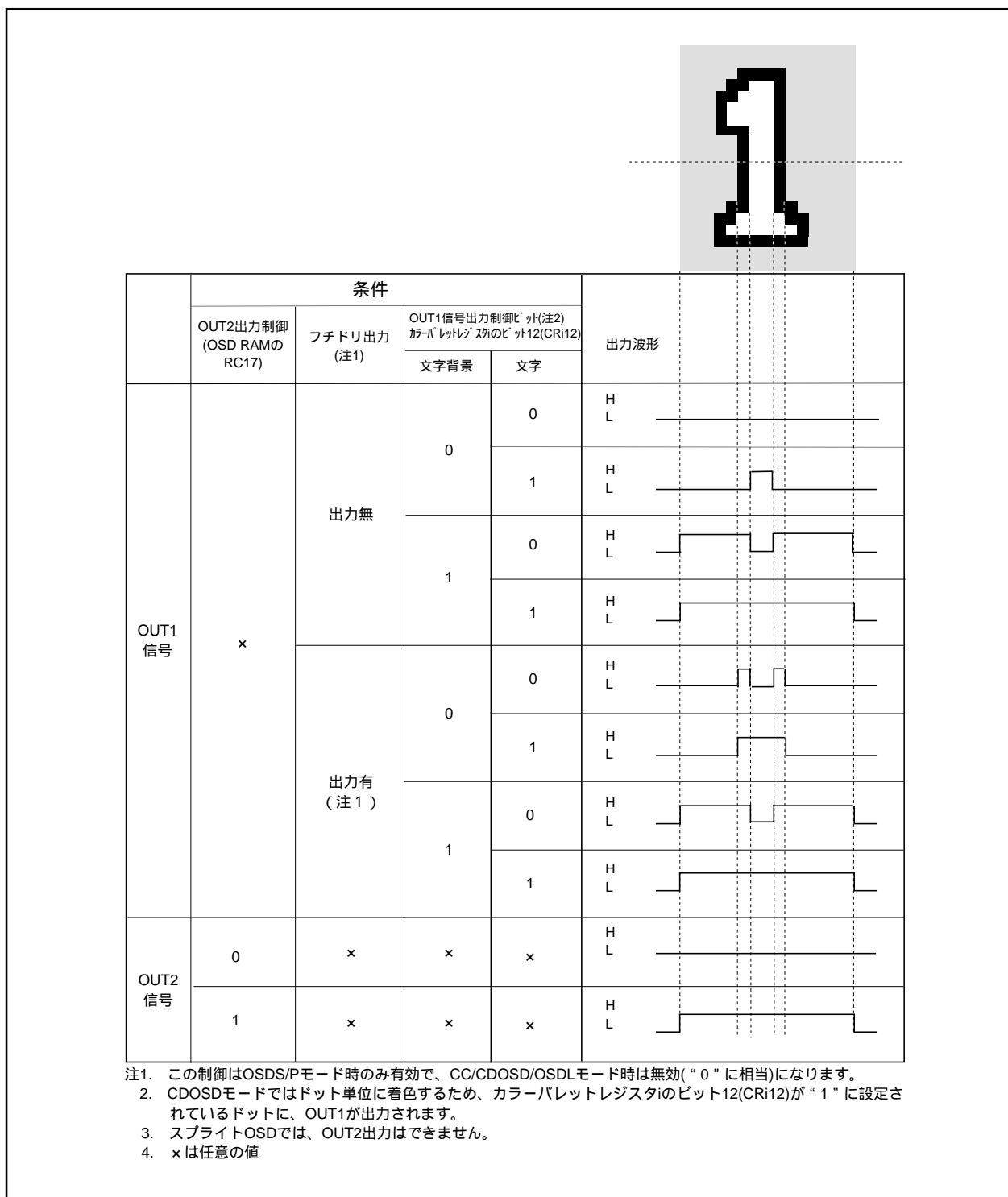


図2.16.30 OUT1, OUT2制御の設定値とその出力波形

2.16.10 アトリビュート

キャラクタフォントに対してアトリビュート（フラッシュ、アンダーライン、イタリックフォント）を制御することができます。各モード別に制御できるアトリビュートが異なります。

CCモード フラッシュ、アンダーライン、イタリックを文字単位に指定
OSDS/Pモード フチドリ（周囲・シャドウ選択可）をブロック単位に指定

(1) アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び24ライン目に出力されます。アンダーラインはOSD RAMのRC16で制御します。なお、アンダーラインはキャラクタフォントと同色です。

(2) フラッシュ（点滅）

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーライン部、文字背景部をフラッシュさせます。フラッシュはOSD RAMのRC15で文字単位に制御します。また文字背景部のフラッシュの有無はOSDコントロールレジスタ1のビット3（図2.16.3参照）で制御します。このビットが“0”の場合、キャラクタフォント部及びアンダーライン部のみがフラッシュします。“1”の場合、ソリッドスペース出力なしの文字は、R, G, B, OUT1（表示領域全体）がフラッシュし、ソリッドスペース出力ありの文字はR, G, Bのみ（表示領域全体）がフラッシュします。またフラッシュの周期はVSYNCのカウントを基準とし、この周期はOSDコントロールレジスタ3のビット4で選択します。

< NTSC方式の場合 >

ビット4 = “0” の時

- ・ VSYNC周期 × 24 400ms（フラッシュON時）
- ・ VSYNC周期 × 8 133ms（フラッシュOFF時）

ビット4 = “1” の時

- ・ VSYNC周期 × 48 800ms（フラッシュON時）
- ・ VSYNC周期 × 16 267ms（フラッシュOFF時）

(3) イタリック

イタリック体はCCモード時にだけ、OSD ROMに格納されたフォントを右側に傾斜させることにより作成します。イタリックはOSD RAMのRC14で制御します。

図2.16.31に“R”を表示した場合の、アトリビュートの表示例を示します。

- 注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
2. フラッシュ設定をしていないイタリック文字の右側にフラッシュ設定（文字背景部もフラッシュ有）した文字が隣接する場合、左側の文字の右側にはみ出した部分もフラッシュします。
3. OUT2はフラッシュしません。
4. プリ分周比=1倍の場合は1ドット×5段階の傾斜をもつイタリック体、プリ分周比=2倍の場合は1/2ドット×10段階の傾斜をもつイタリック体となります（図2.16.31 (c), (d)参照）。
5. 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません（図2.16.32参照）。
6. イタリック体の文字に隣接する文字（片側又は両側）は、その文字がイタリックを指定していない場合でもイタリック体になります（図2.16.32参照）。
7. 32文字目（32文字モード）/42文字目（42文字モード）のキャラクタをイタリック体にした場合、文字領域からはみ出した部分は表示されません（図2.16.32参照）。
8. プリ分周比1倍のイタリック使用時、フォントの右端にドットデータの存在する文字を使用しないで下さい。

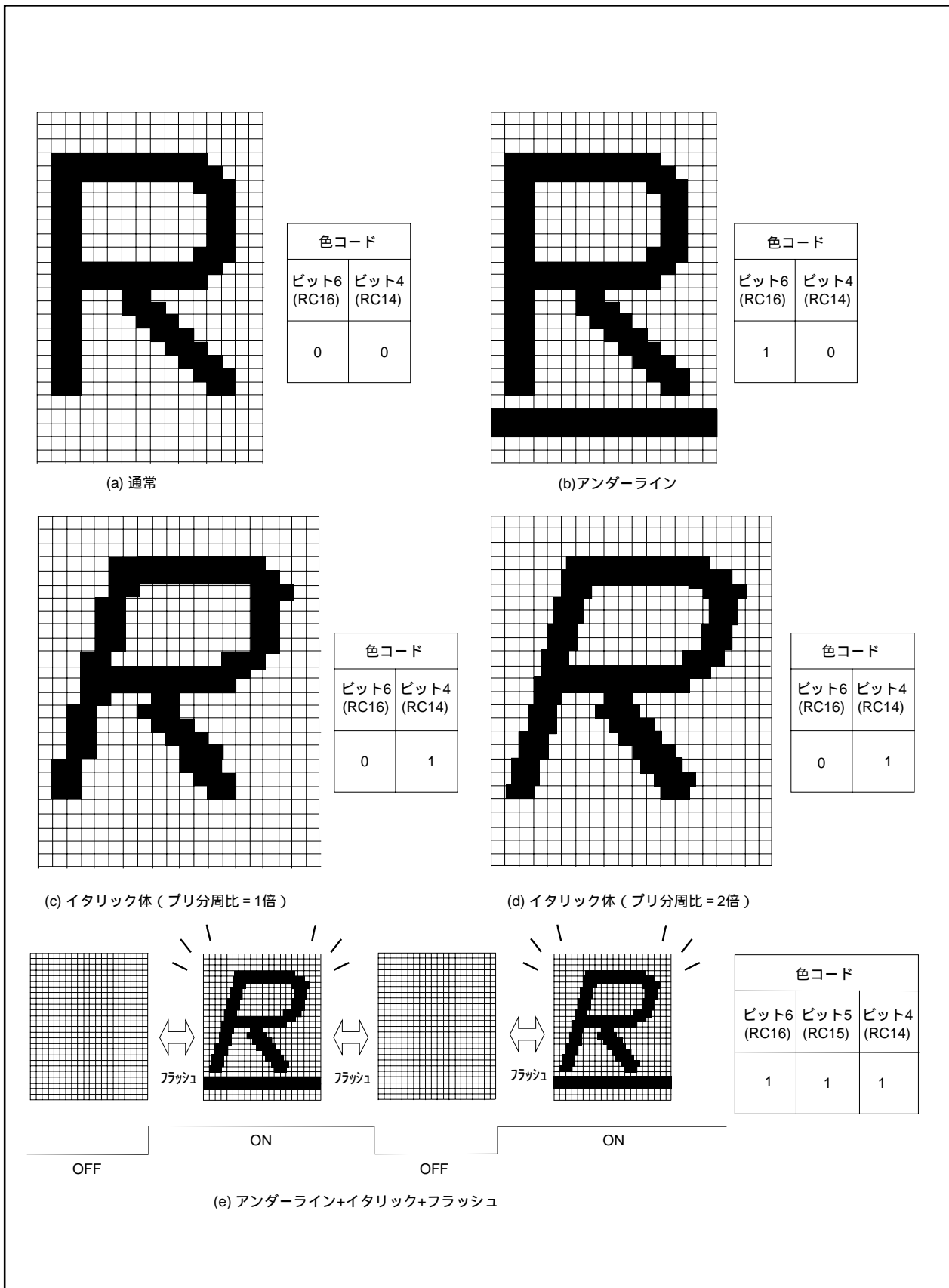


図2.16.31 アトリビュート表示例 (CCモード時)

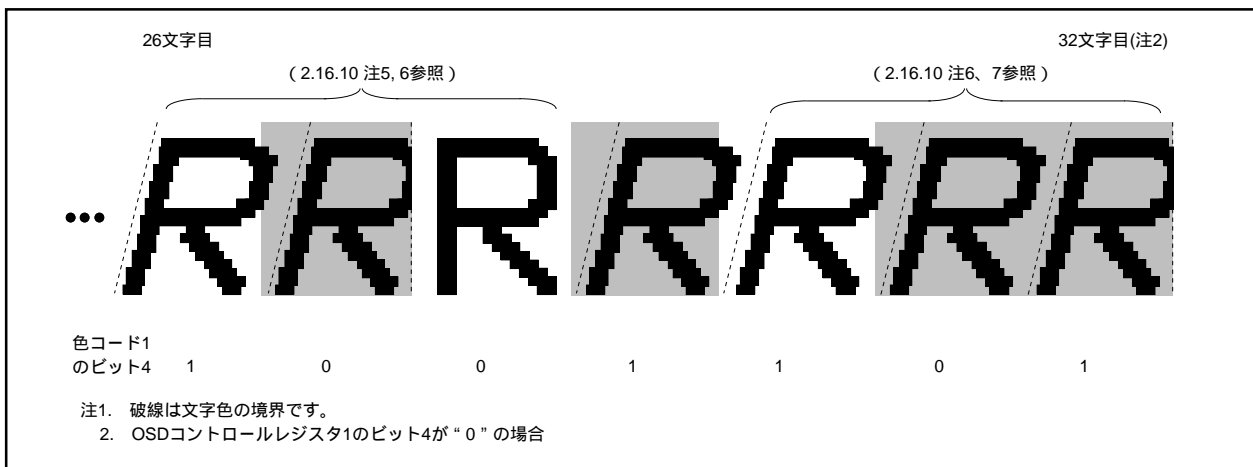


図2.16.32 イタリック表示例

(4) フチドリ

フチドリはOSDS / Pモード時に出力されます。OSDコントロールレジスタ1のビット2 (図2.16.3参照) によって、キャラクタフォントの周囲 (周囲フチドリ)、又はキャラクタフォントの右側と下側 (シャドウフチドリ) のいずれかを選択できます (図2.16.33参照)。フチドリのON/OFFは、ブロックコントロールレジスタiのビット0~2 (図2.16.4参照) でブロック単位に制御できます。

フチドリの出力はOUT1信号で行われます。また、フチドリの色はカラーパレット8 (黒) に固定されています。

フチドリの水平サイズ (x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅 (OSDクロックをプリ分周した周期幅) です。ただし、プリ分周比2倍で文字サイズに1.5Tcを選択した場合に限り、水平サイズは1.5Tc幅となります。垂直サイズ (y) は、画面のスクアンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

- 注1. フチドリドットの表示域は図2.16.34に示す網掛けの範囲です。
2. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます (図2.16.36のA参照)。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます (図2.16.36のB参照)。
 3. キャラクタフォントの文字領域をはみ出した上下方向のフチドリは表示されません (図2.16.36参照)。

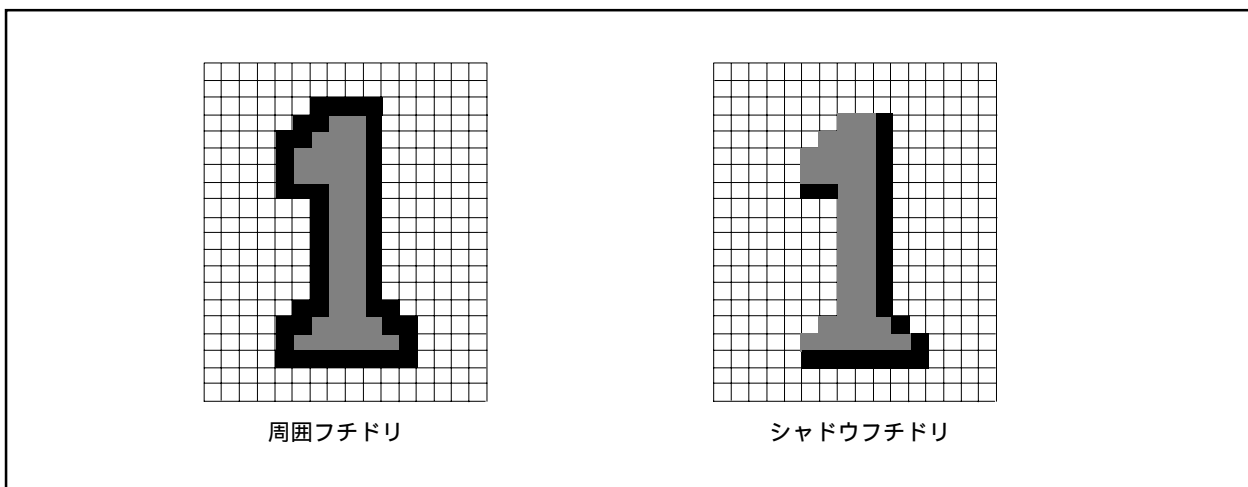


図2.16.33 フチドリ表示例

	スキャンモード キャラクタフォントの 垂直ドットサイズ	ノーマルスキャンモード	バイスキャンモード
フチドリドットサイズ	1/2H	1H, 2H, 3H	1/2H, 1H, 2H, 3H
水平サイズ (x)	1Tc (プリ分周したOSD用クロック周期) 文字サイズに1.5Tcを選択した場合は1.5Tc		
垂直サイズ (y)	1/2H	1H	1H

図2.16.34 フチドリの水平サイズ及び垂直サイズ

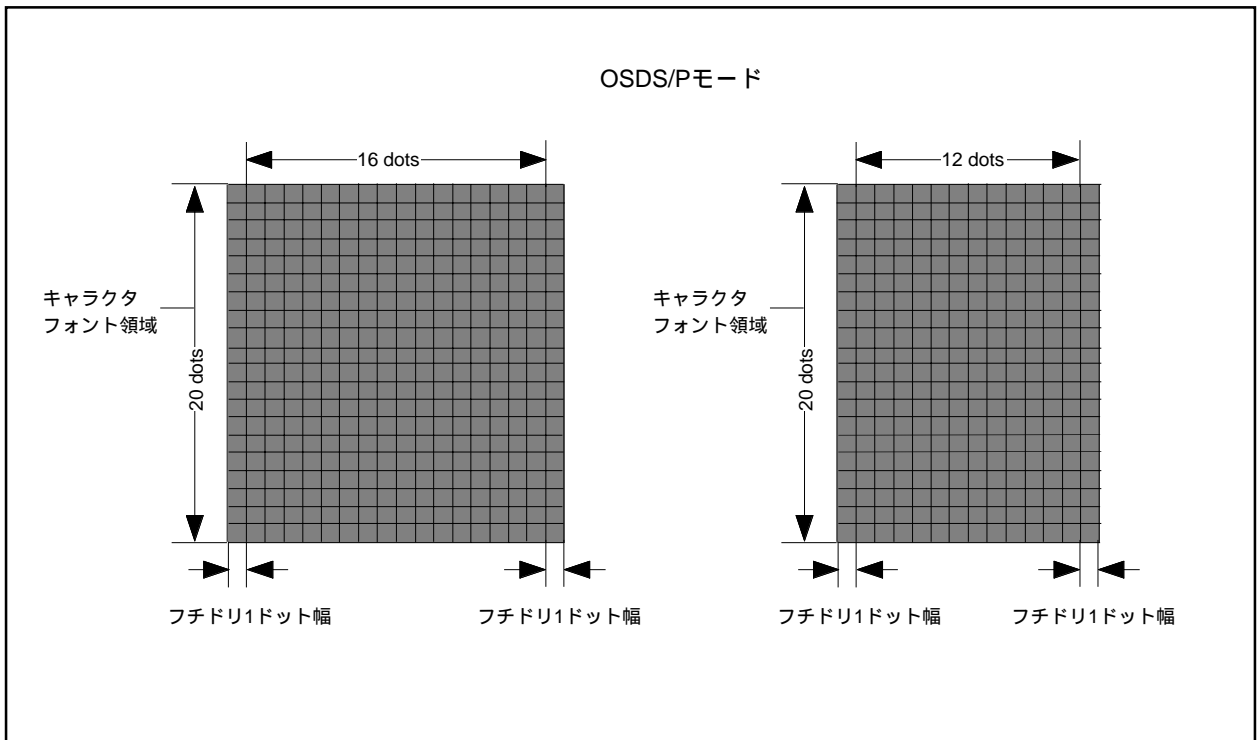


図2.16.35 フチドリの領域

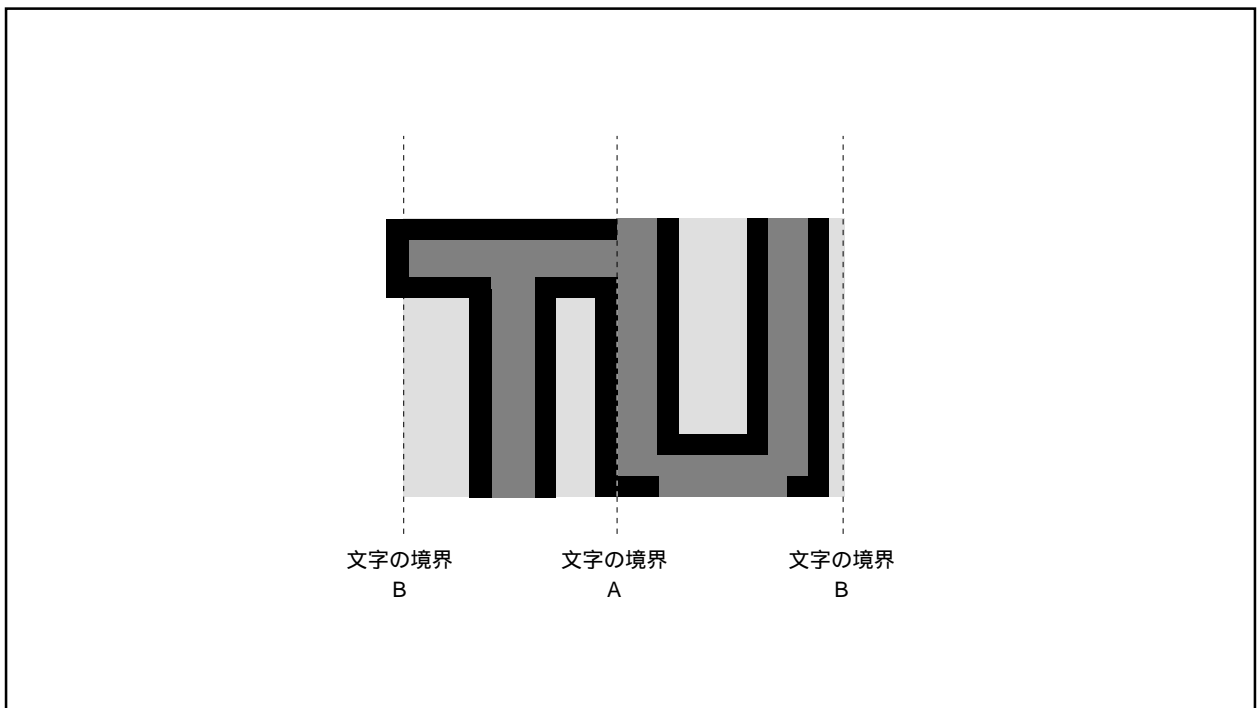


図2.16.36 フチドリの優先順位

2.16.11 オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース（OUT1又はOUT2ブランク出力）を、ハードウェアで自動的に発生させる機能です。

ソリッドスペースは、文字コードが“00916”以外の文字、及びその左右の文字の文字領域に出力されます。この機能はOSDコントロールレジスタ1のビット4（図2.16.3参照）でON/OFFします。

また、OUT1及びOUT2の出力の選択は、OSDコントロールレジスタ2のビット3で行います。

- 注1. ソリッドスペース出力にOUT1を選択した場合、ソリッドスペース出力のある文字背景色は、設定にかかわらず常にカラーパレット8(黒)になります。
- 2. 文字コード“00916”にブランクフォント以外のフォントを設定した場合、設定したフォントが出力されます。

表2.16.10 オートソリッドスペース機能の設定

OSDコントロールレジスタ1のビット4	0				1			
OSDコントロールレジスタ2のビット3	0		1		0		1	
OSD RAMのRC17	0	1	0	1	0	1	0	1
OUT1出力信号	・キャラクタフォント部 ・文字背景部		・キャラクタフォント部 ・文字背景部		ソリッドスペース		・キャラクタフォント部 ・文字背景部	
OUT2出力信号	OFF	文字表示領域	OFF	文字表示領域	OFF	文字表示領域	ソリッドスペース	・ソリッドスペース ・文字表示領域

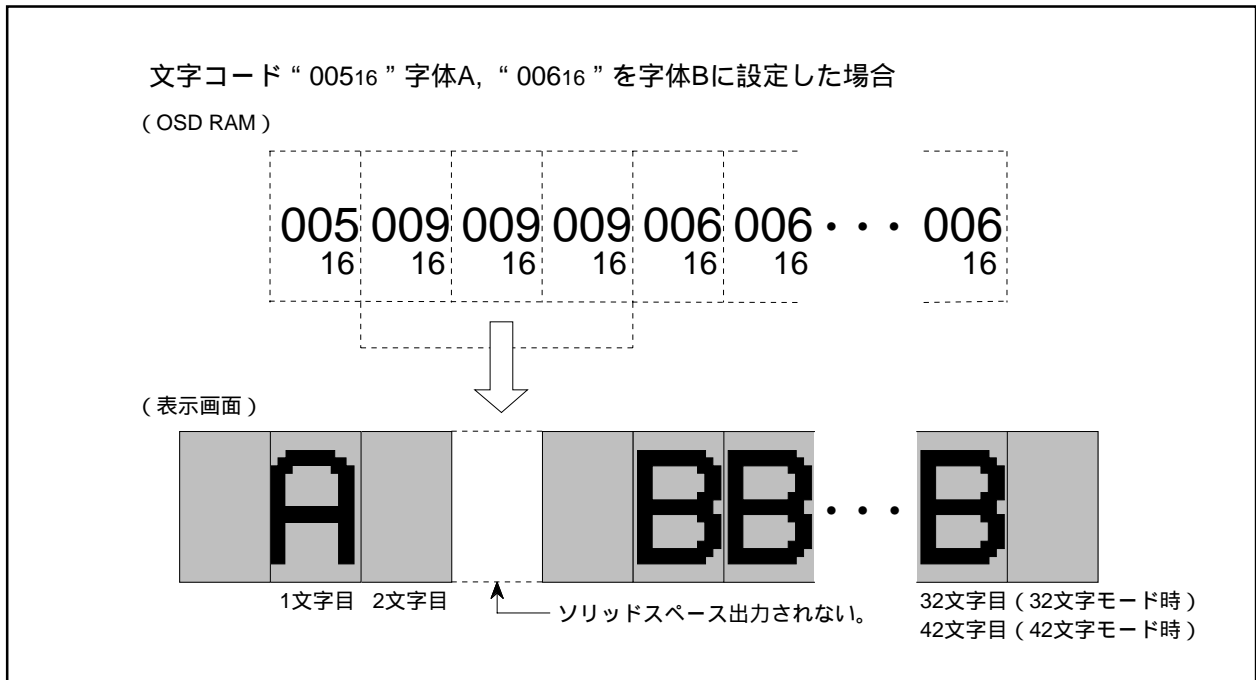


図2.16.37 オートソリッドスペース画面表示例

2.16.12 特殊OSDモードブロック

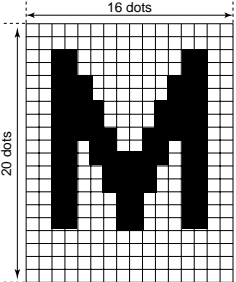
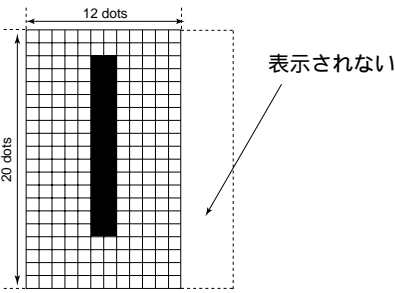
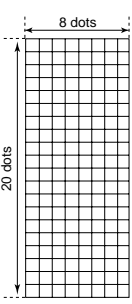
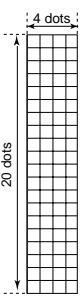
OSDPモードを指定したブロックは、水平ドット構成が16ドット、12ドット、8ドット、4ドット（垂直ドット数は全て20ドット）のフォントを混在させることができます。各フォント種類の選択は文字コードで行います。図2.16.38に特殊OSDモードブロック表示例と表2.16.11に文字コードと表示フォントの対応を示します。

注. 8×20と4×20ドットフォントは、文字背景色のみ表示できます。また、これらのフォントより右側に文字は表示できません。



図2.16.38 OSDPモードブロック表示例

表2.16.11 文字コードと表示フォントの対応

文字コード	表示フォント	注意
00016 ~ 0EF16, 10016 ~ 2FF16 (10016, 18016, 20016, 28016を除く)		
0F016 ~ 0FD16		<ul style="list-style-type: none"> ・ 設定したフォントの左から12ドット分 (16×12ドット)が表示されます。 ・ CC, OSDSモード時は、設定したフォント全体(16×20ドット)が表示されます。
3FE16		<ul style="list-style-type: none"> ・ ブランクフォント (文字背景色のみ)が表示されます。 ・ このフォントより右側に文字表示はできません。 ・ このフォントはブロックの1文字目 (左端) に設定しないでください。
3FF16		<ul style="list-style-type: none"> ・ ブランクフォント (文字背景色のみ)が表示されます ・ このフォントより右側に文字表示はできません。 ・ このフォントはブロックの1文字目 (左端) に設定しないでください。

2.16.13 多行表示

本マイクロコンピュータは、16のブロックを別々の垂直位置に表示することによって16行の表示を行うことができます。更に、OSD1割り込みを用いることにより、16行以上の表示を行うことができます。

OSD1割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置（垂直位置レジスタにより指定）にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。ただし、OSDコントロールレジスタ2（図2.16.7参照）の設定によってOSD1割り込み要求が発生するモードが異なります。

- ・OSDコントロールレジスタ2のビット7が“0”のとき、レイヤ1のブロック表示終了時にOSD1割り込み要求が発生
- ・OSDコントロールレジスタ2のビット7が“1”のとき、レイヤ2のブロック表示終了時にOSD1割り込み要求が発生

- 注1. ブロック表示終了時に発生する“OSD1割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタi（0210₁₆～021F₁₆番地）の表示制御ビットの設定によってブロックの表示がオフ（非表示）状態であれば、“OSD1割り込み要求”は発生しません（図2.16.39のA参照）。
2. 1つのブロック表示中に途中の他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します（図2.16.39のB参照）。
3. ウィンドウを設定した画面で、ウィンドウ外にあるブロック（表示OFF）が表示終了した時点でも“OSD1割り込み要求”は発生します（図2.16.39のC参照）。

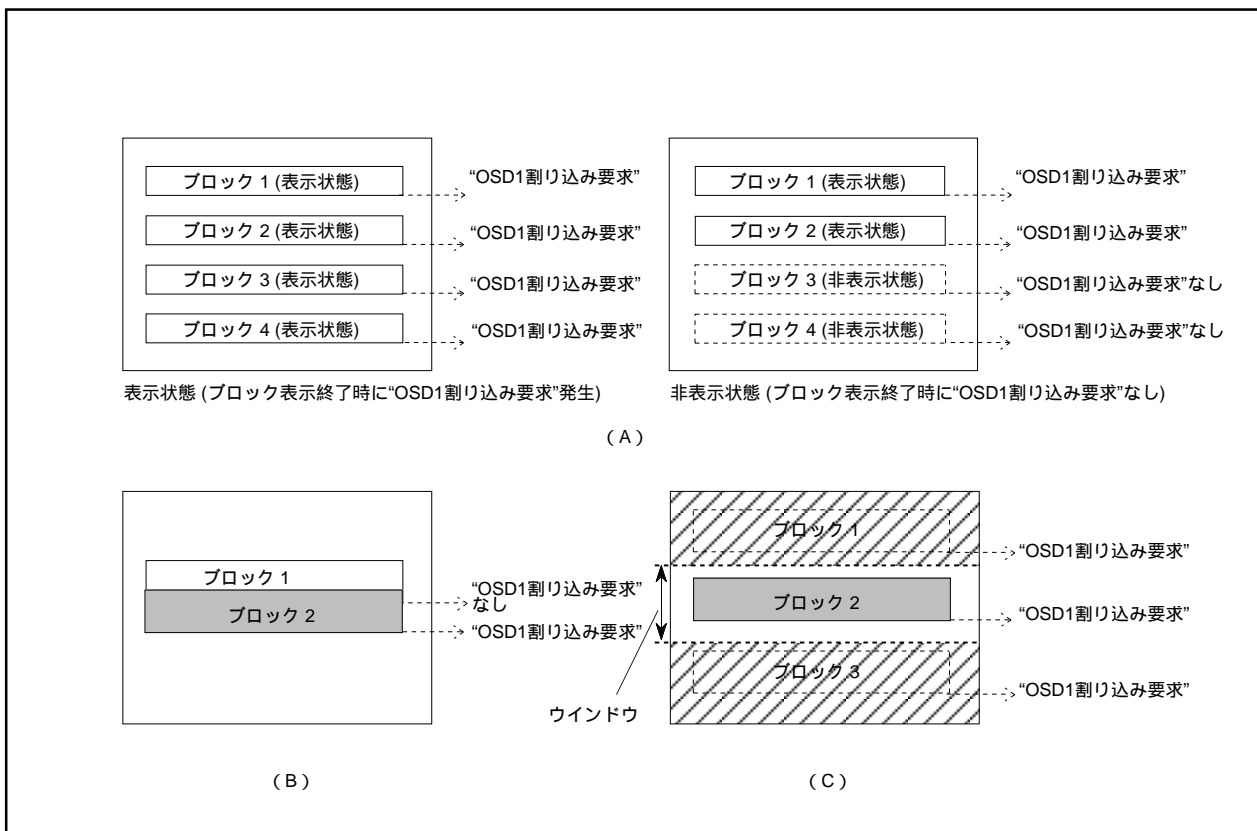


図2.16.39 OSD1割り込み発生 の 注意 点

2.16.14 スプライトOSD機能

スプライト表示はブロックOSD表示の有無や表示位置にかかわらず、任意の位置に表示することのできる機能で、カーソル表示等に最適です。スプライトフォントはスプライトフォント1とスプライトフォント2の2文字から構成されています。各スプライトフォントは横32ドット×縦20ドット構成のRAMフォントで、4つのプレーンから構成されており、1ドットあたり4ビットのデータを持っています。各プレーンはカラーパレット選択ビットと対応しており、各ドットごとにプレーンの組合せ（4ビット）によって表される16種類のカラーパレットが選択可能です。スプライトフォントはRAMで構成されているため、ソフトウェアによって任意のフォントデータに加工できます。

スプライトOSDはスプライトOSD制御レジスタによって、スプライト表示ON/OFF、ドットサイズ、を設定します。スプライト水平位置レジスタ、スプライト垂直位置レジスタによって、ブロック表示とは独立して表示位置を設定することができます。スプライトフォント1とスプライトフォント2はそれぞれ独立して垂直位置が設定できます。各フォント表示終了時、OSD2割り込み要求が発生します。水平位置は2Tosc単位に2048段階で、垂直位置は1TH単位に1024段階で設定できます。

スプライト表示が他のOSD表示と重なった場合、常にスプライト表示が優先します。ただし、OUT2が出力されているOSD表示と重なった場合は、OSD表示のOUT2はマスクされず、出力されます。

- 注1. スプライトOSDでは、OUT2は出力できません。
- 2. スプライトOSD使用時、HS “00316”, HS “80016” は設定しないでください。
- 3. スプライトOSD使用時、VSi = “00016”, VSi “40016” は設定しないでください。
- 4. 同レイヤ内でスプライトフォント1とスプライトフォント2を重ねて表示した場合、垂直表示位置の設定値が大きい方が表示されます。垂直表示位置が同一の場合、スプライトフォント1が表示されます。

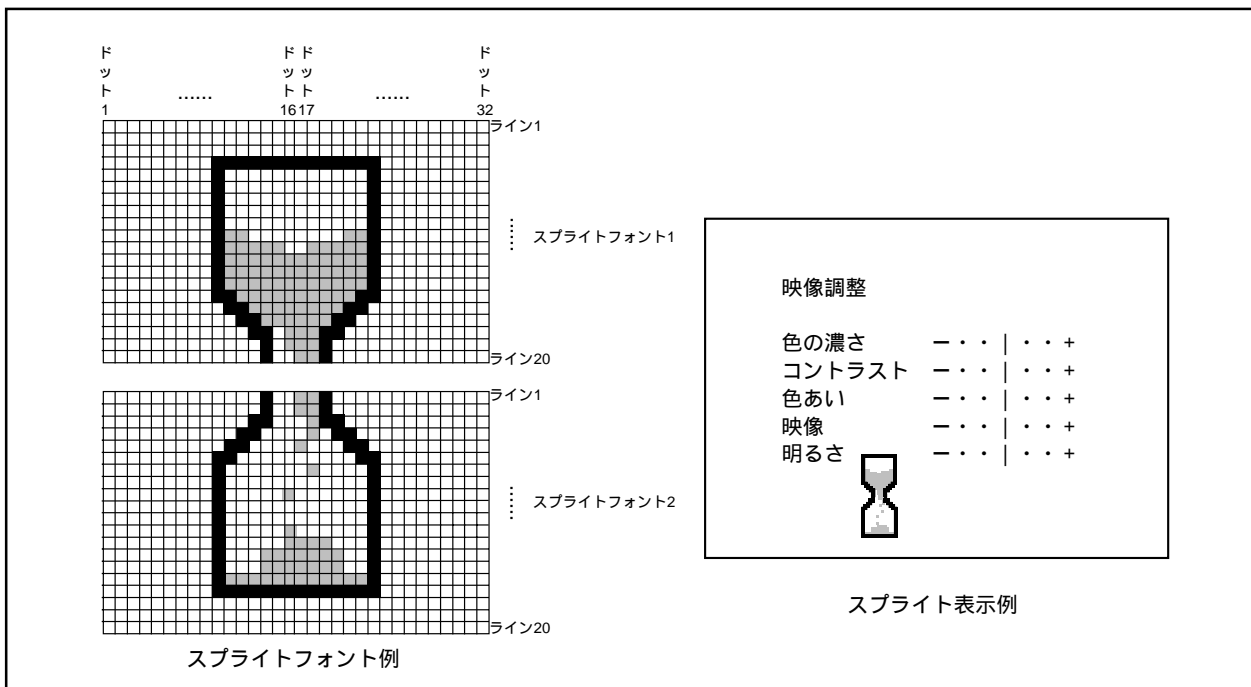


図2.16.40 スプライトOSD表示例

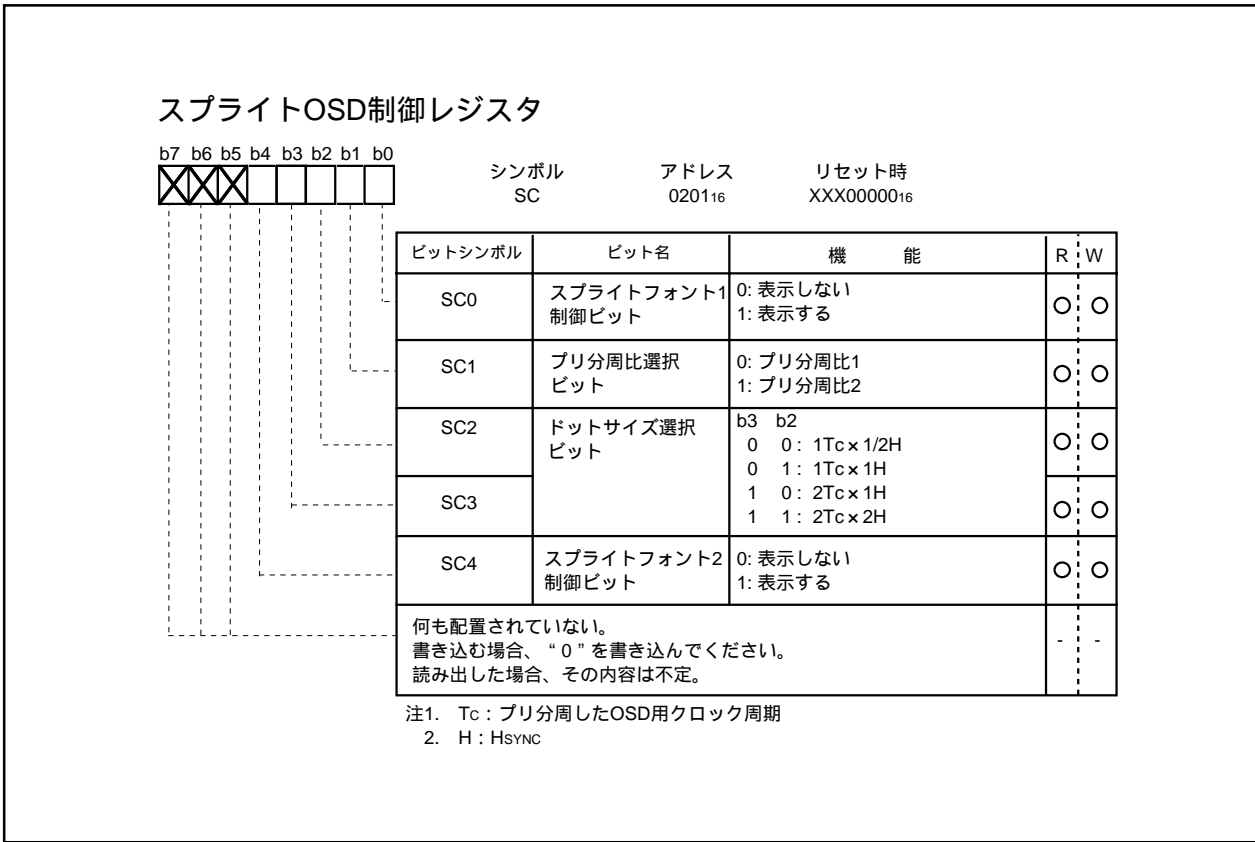


図2.16.41 スプライトOSD制御レジスタ

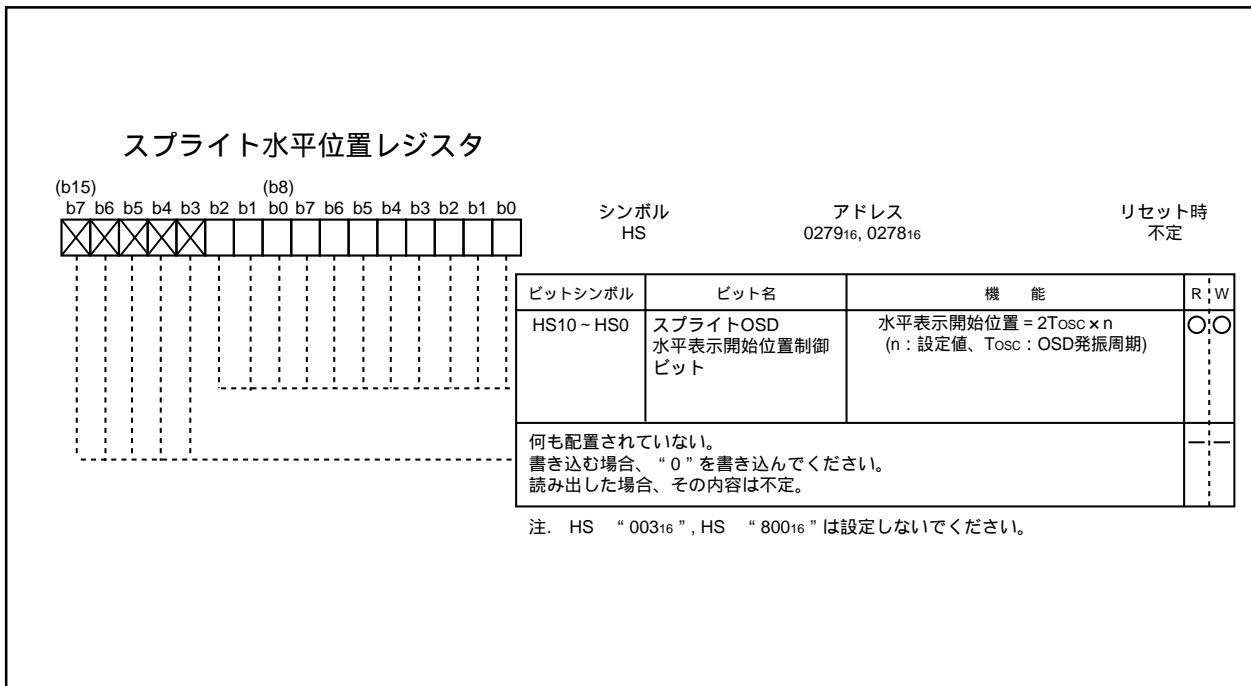


図2.16.42 スプライト水平位置レジスタ

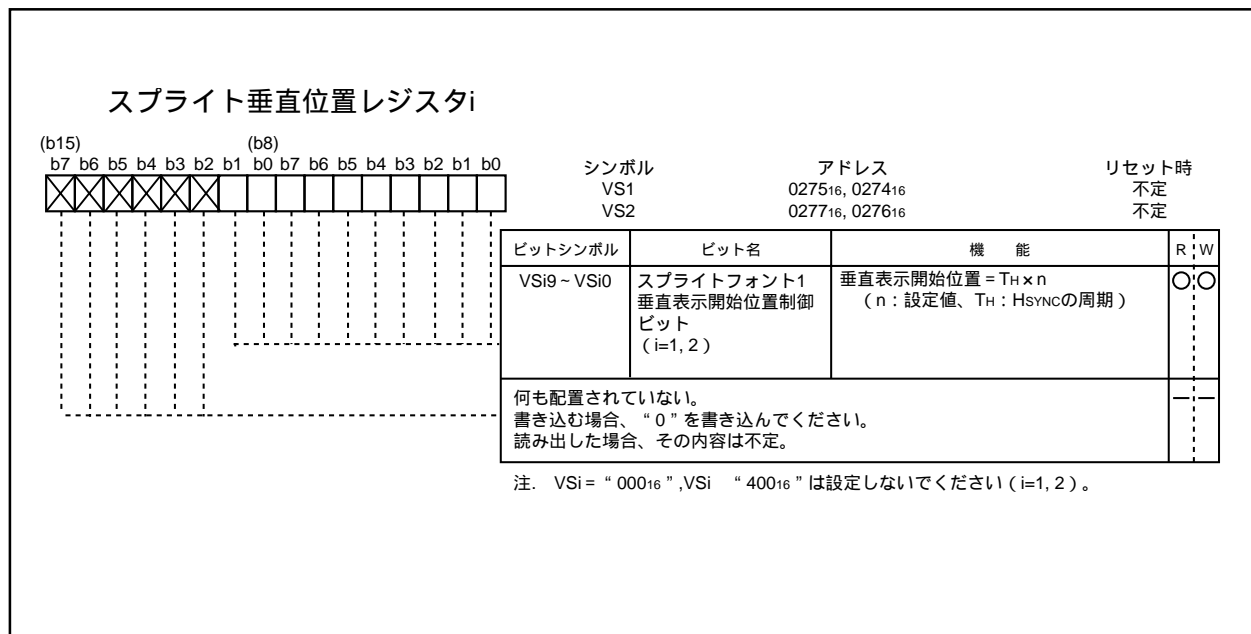


図2.16.43 スプライト垂直位置レジスタ_i (i=1, 2)

2.16.15 ウィンドウ機能

画面内にウィンドウを設定し、ウィンドウを設定した領域でのみ、OSDを出力する機能です。

縦ウィンドウ機能のON/OFFは、OSDコントロールレジスタ1のビット5によって行い、OSDコントロールレジスタ2のビット6で縦ブランク機能と切り換えて使用します。したがって、縦ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの上端はトップボーダーコントロールレジスタ（TBR）、下端はボトムボーダーコントロールレジスタ（BBR）によって指定します。

横ウィンドウ機能のON/OFFは、OSDコントロールレジスタ2のビット4によって行い、OSDコントロールレジスタ2のビット5で横ブランク機能と切り換えて使用します。したがって、横ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの左端はレフトボーダーコントロールレジスタ（LBR）、右端はライトボーダーコントロールレジスタ（RBR）によって指定します。

- 注1. 横ブランクと横ウィンドウ、縦ブランクと縦ウィンドウは、同時に使用することはできません。
2. OSDコントロールレジスタ1,2でウィンドウ機能を動作設定にした場合、OUT2のウィンドウ機能はOSDコントロールレジスタ3（ビット5～ビット7）の設定値にかかわらず、すべての表示モードで動作します。例えばCCモードのみウィンドウ機能を動作させた場合でも、OUT2のウィンドウ機能はOSDS/L/PとCDOSDモードでも動作します。
3. スプライト表示では、ウィンドウ機能は動作しません。

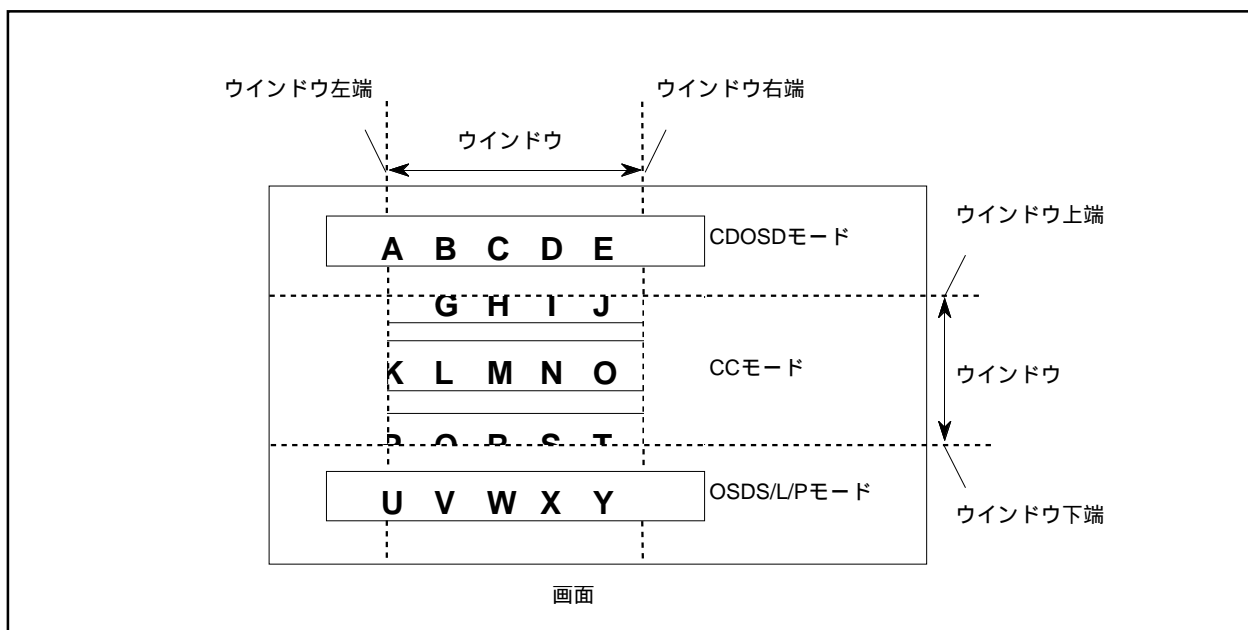


図2.16.44 ウィンドウ機能例（CCモード有効時）

2.16.16 ブランク機能

ブランク機能は、画面の両端（縦、横）にブランク（OUT1）を出力する機能です。

縦ブランク機能のON/OFFは、OSDコントロールレジスタ1のビット5で行い、OSDコントロールレジスタ2のビット6で縦ウインドウ機能と切り換えて使用します。したがって、縦ウインドウ機能と同時に使用することはできません。ブランクの上端はトップボーダーコントロールレジスタ（TBR）、ブランクの下端はボトムボーダーコントロールレジスタ（BBR）によって、1H単位に指定します。

横ブランク機能のON/OFFは、OSDコントロールレジスタ2のビット4で行い、OSDコントロールレジスタ2ビット5で横ウインドウ機能と切り換えて使用します。したがって、横ウインドウ機能と同時に使用することはできません。ブランクの左端はレフトボーダーコントロールレジスタ（LBR）、ブランクの右端はライトボーダーコントロールレジスタ（RBR）によって、4T_{osc}単位に指定します。

なお、ブランクを出力している領域のOSD出力（ラスター以外）が消えることはありません。これらブランク信号は、水平・垂直帰線期間中出力されません。

- 注1. 横ブランクと横ウインドウ、縦ブランクと縦ウインドウは、同時に使用することはできません。
 2. ブランク機能使用時、OSDコントロールレジスタ1のビット0を必ず“1”にしてください。

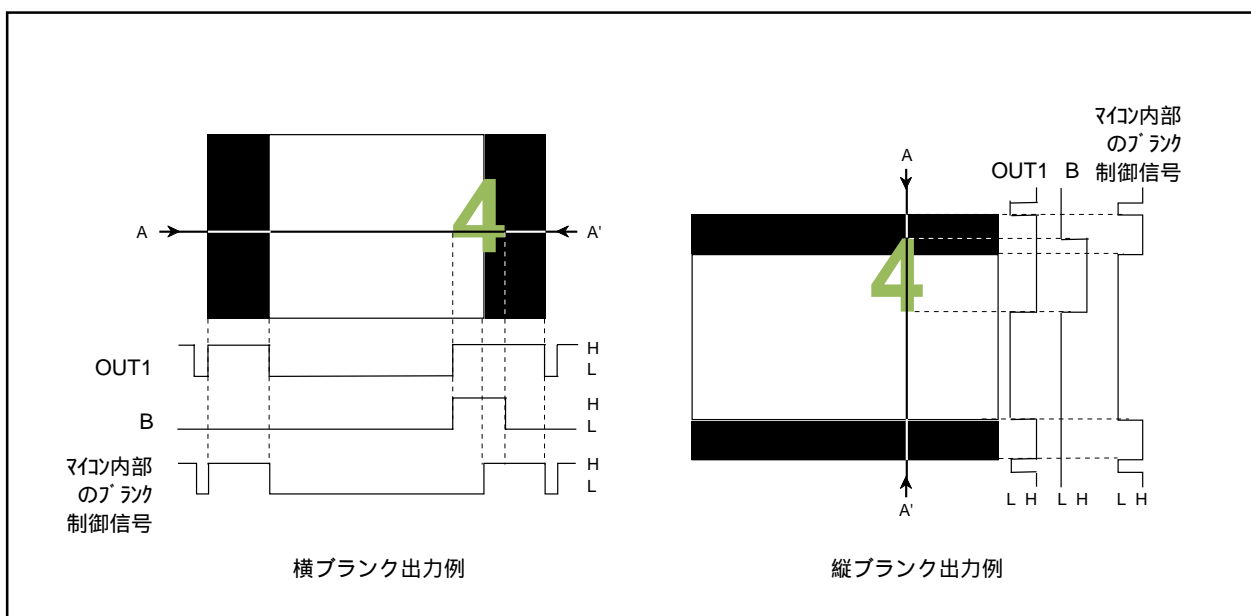


図2.16.45 ブランク出力例（OSD出力がB+OUT1の場合）

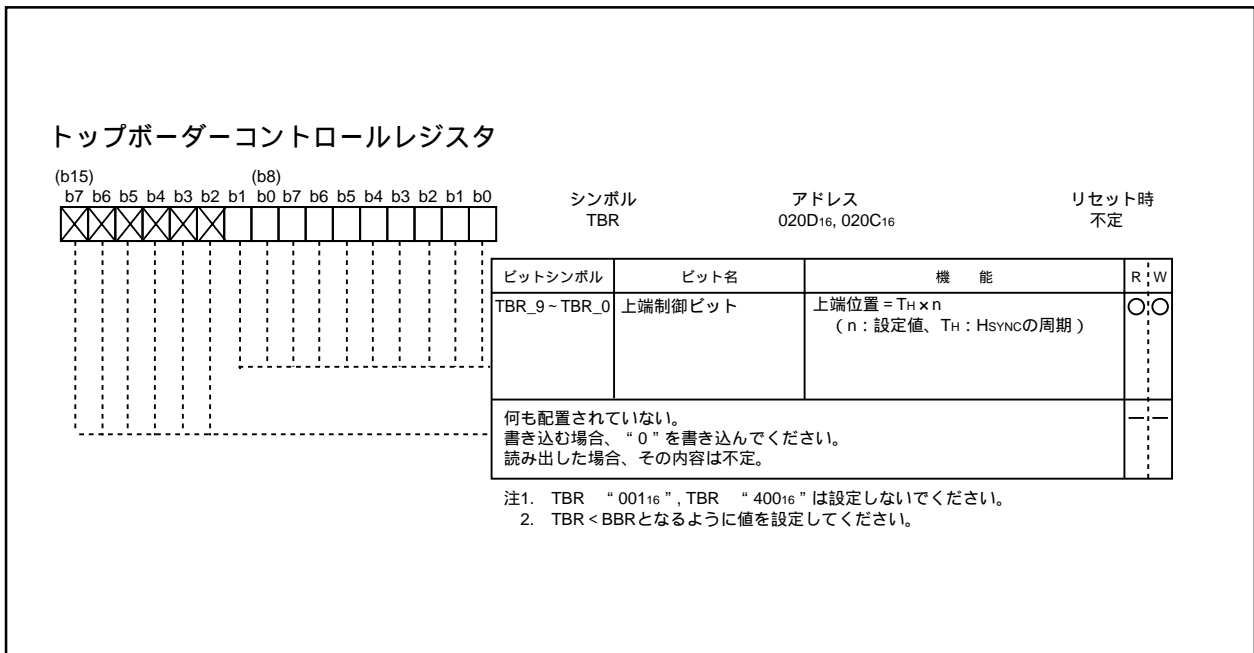


図2.16.46 トップボーダーコントロールレジスタ

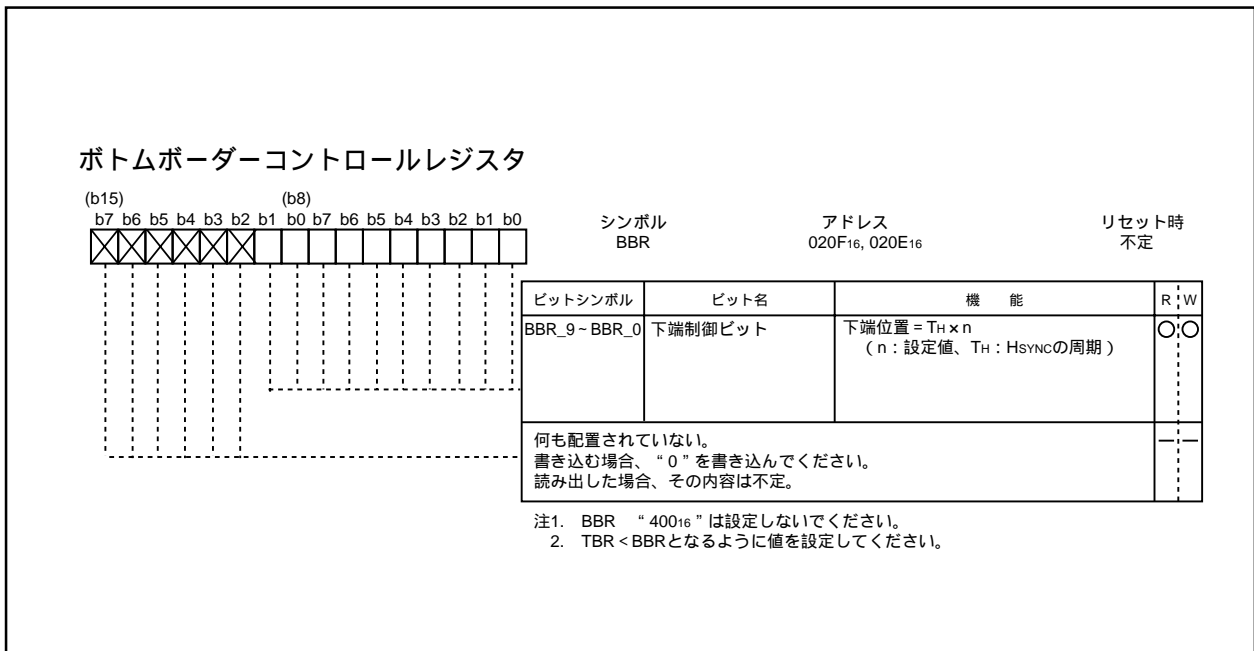


図2.16.47 ボトムボーダーコントロールレジスタ

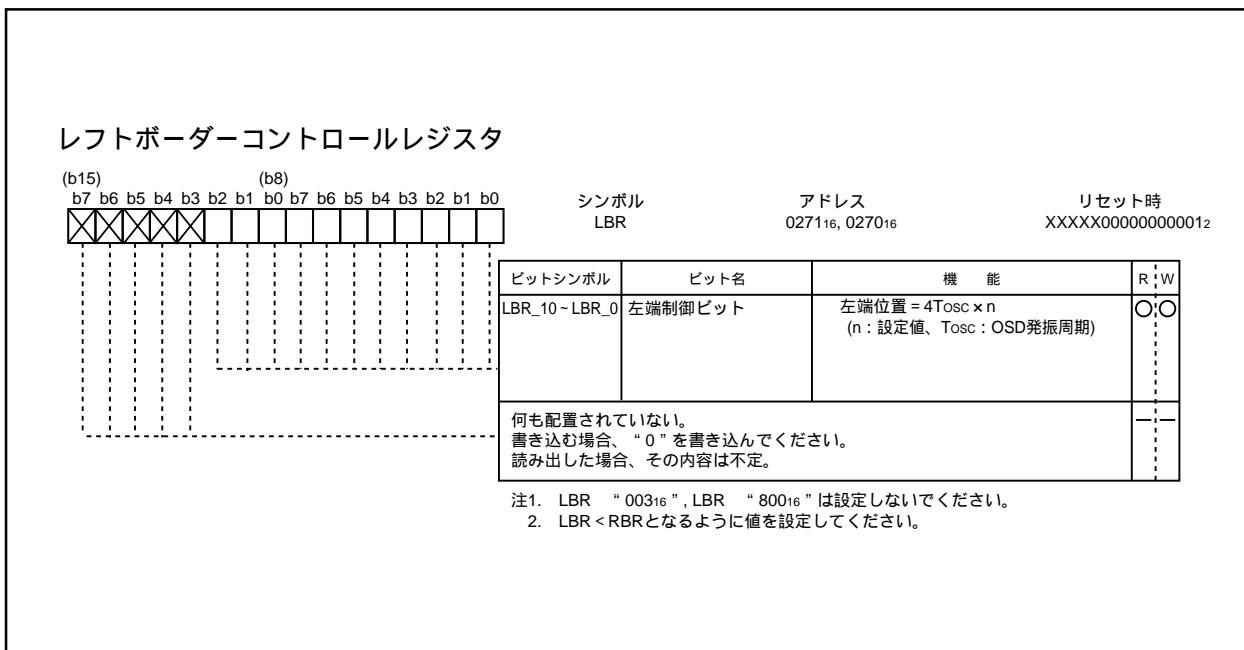


図2.16.48 レフトボーダーコントロールレジスタ

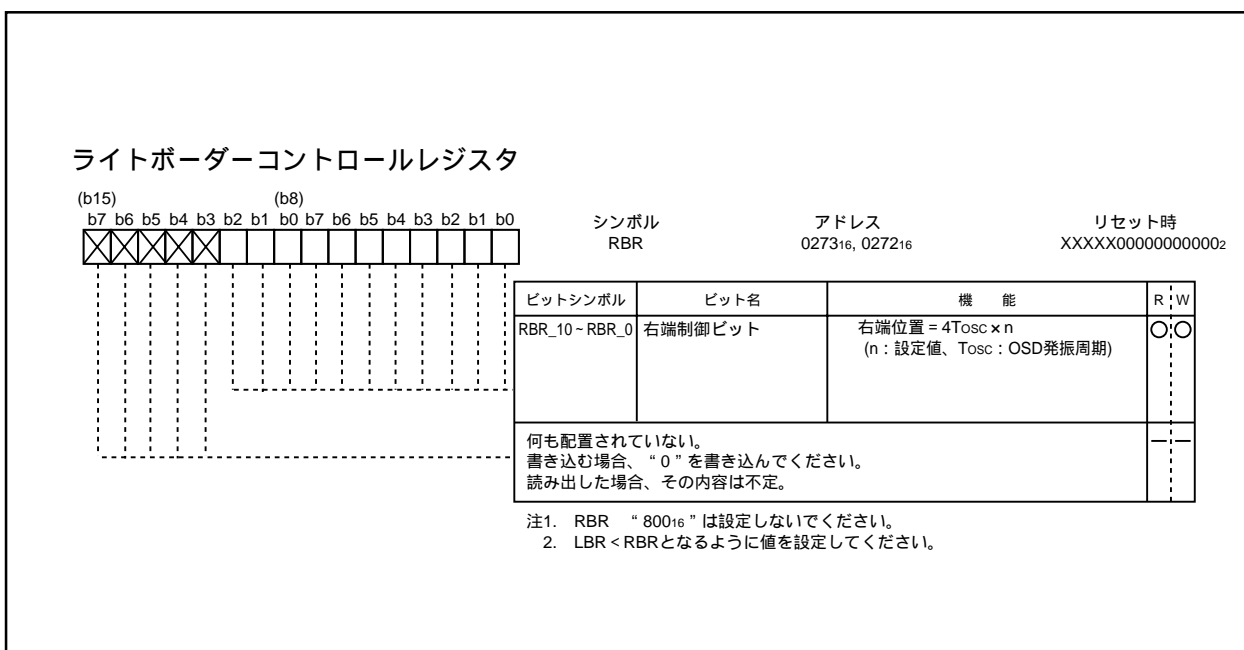


図2.16.49 ライトボーダーコントロールレジスタ

2.16.17 ラスター着色機能

ラスターカーラーレジスタを設定することによって、一画面全体（ラスタ）に着色を行うことができます。R, G, B, OUT1, OUT2端子それぞれをラスタ信号出力に切り替えることが可能で、512種類のラスタ着色が可能です。

文字色 / 文字背景色がラスタ色と重なっている部分は、文字色 / 文字背景色に指定した色信号（R, G, B, OUT1, OUT2）が優先して出力されます。したがって文字色 / 文字背景色とラスタ色が混合することはありません。

図2.16.50にラスタカラーレジスタを、図2.16.51にラスタ着色例を示します。

注: ブランクが出力されている領域にはラスタは出力されません。

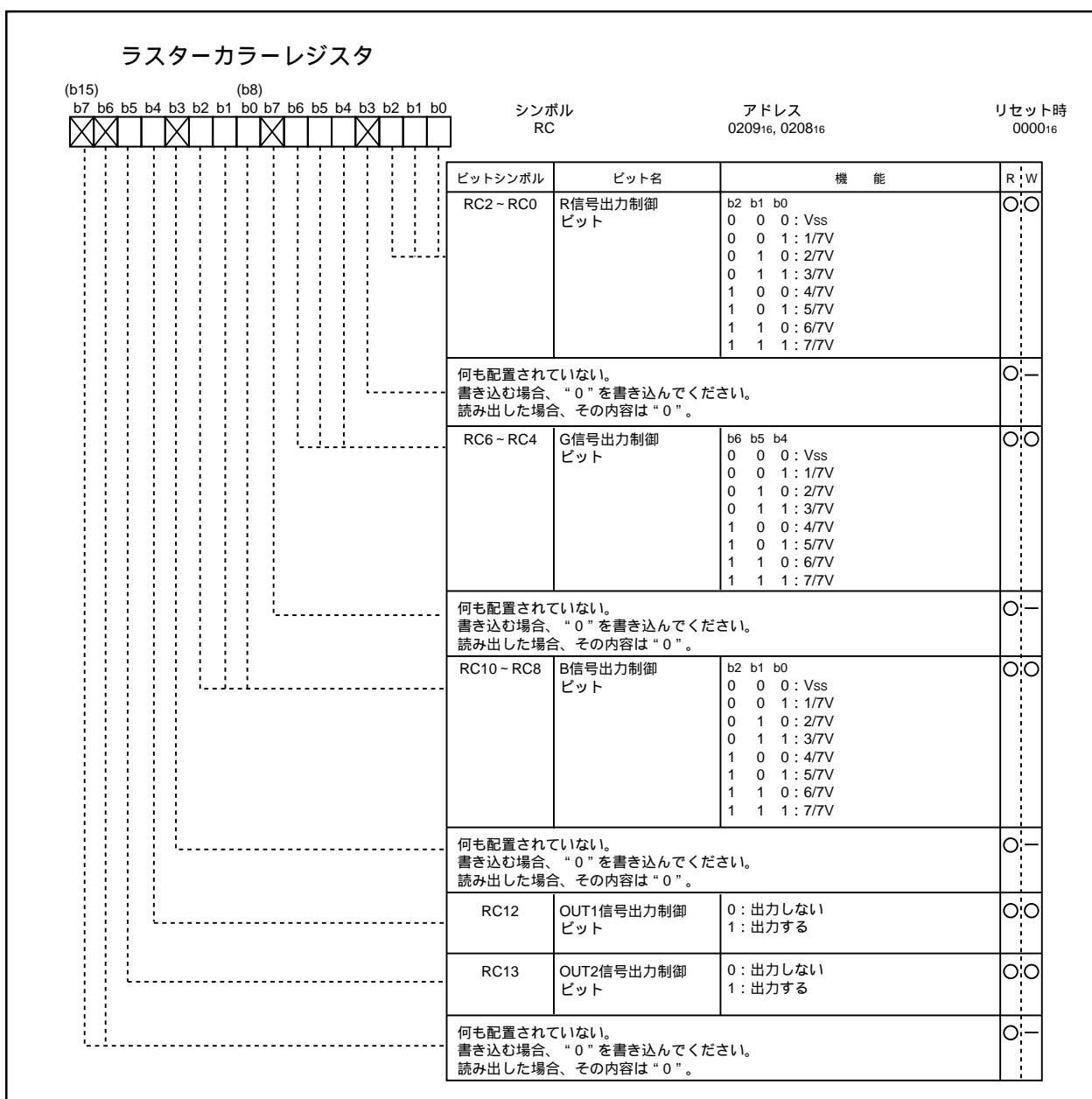


図2.16.50 ラスタカラーレジスタ

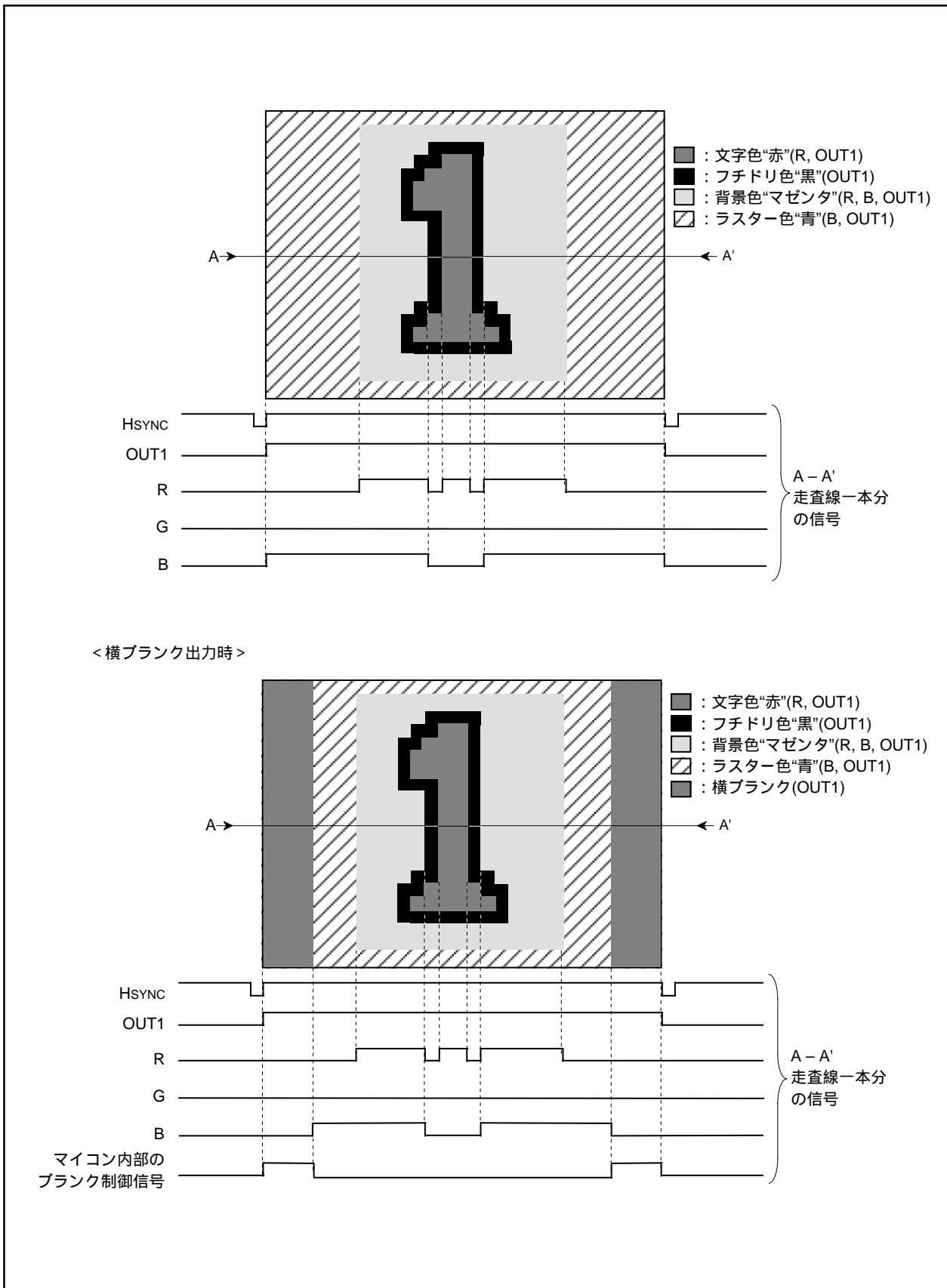


図2.16.51 ラスター着色例

2.16.18 スキャンモード

通常の2倍の周波数のHsyncに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置、垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタ1のビット1で選択します（図2.16.3参照）。

表2.16.12 スキャンモードの設定

項目	スキャンモード	ノーマルスキャン	バイスキャン
OSDコントロールレジスタ1のビット1		0	1
垂直表示開始位置		垂直位置レジスタの値×1H	垂直位置レジスタの値×2H
垂直ドットサイズ		1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H	1Tc×1H 1Tc×2H 2Tc×4H 3Tc×6H

2.16.19 R, G, B信号出力制御

R, G, B信号の出力形態はクロックコントロールレジスタのビット4とOSDコントロールレジスタ2のビット2によって下表のように制御されます。

表2.16.13 R, G, B信号出力制御

クロックコントロールレジスタのビット4	OSDコントロールレジスタ2のビット2	R, G, B信号の出力形態
0	0	R, G, B各端子2値出力（デジタル出力）
	1	R, G, B各端子8値出力（アナログ出力）
1	0	DIGR0(P9 ₂), DIGR1(R), DIGR2(P10 ₇) DIGG0(P8 ₇), DIGG1(G), DIGG2(P10 ₆) DIGB0(P8 ₆), DIGB1(B), DIGB2(P10 ₅) 各端子2値出力 (カラーパレットレジスタiの各信号出力制御ビットに対応) DIGR0~2:それぞれCRi0~2 DIGG0~2:それぞれCRi4~6 DIGB0~2:それぞれCRi8~10

2.16.20 OSD予約レジスタ

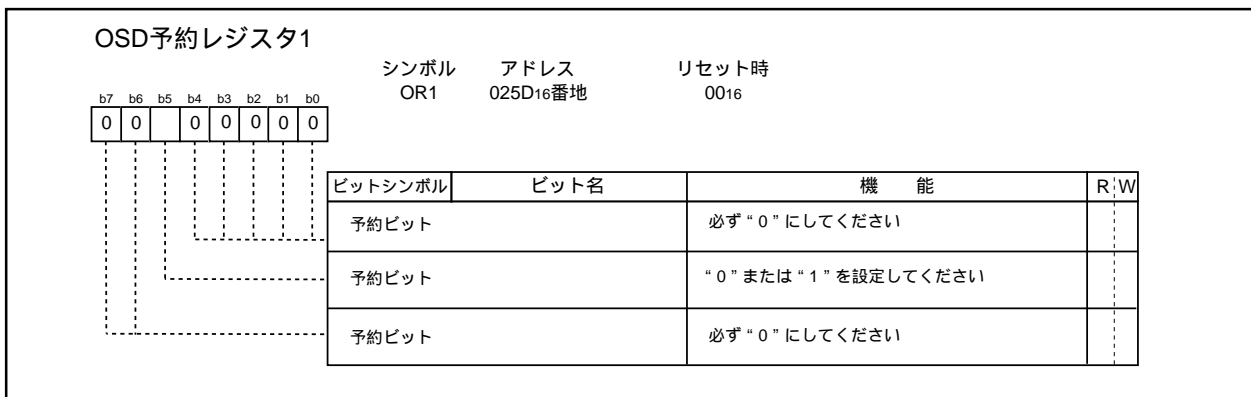


図2.16.52 OSD予約レジスタ1

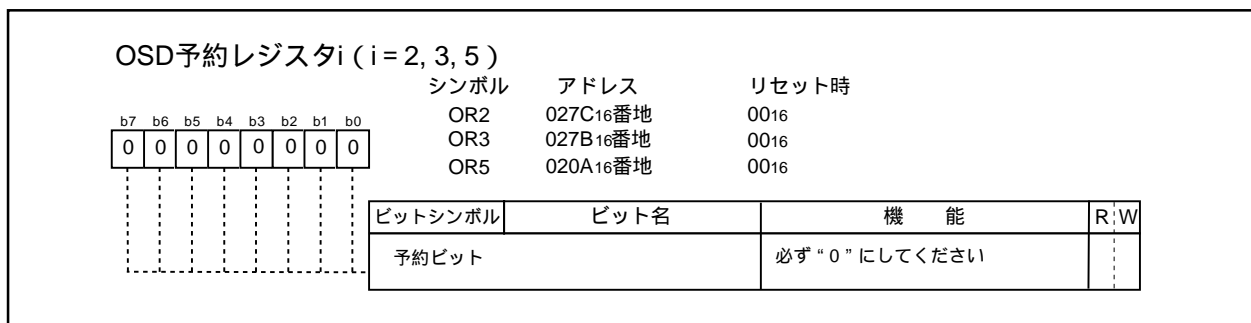


図2.16.53 OSD予約レジスタ_i (i = 2, 3, 5)

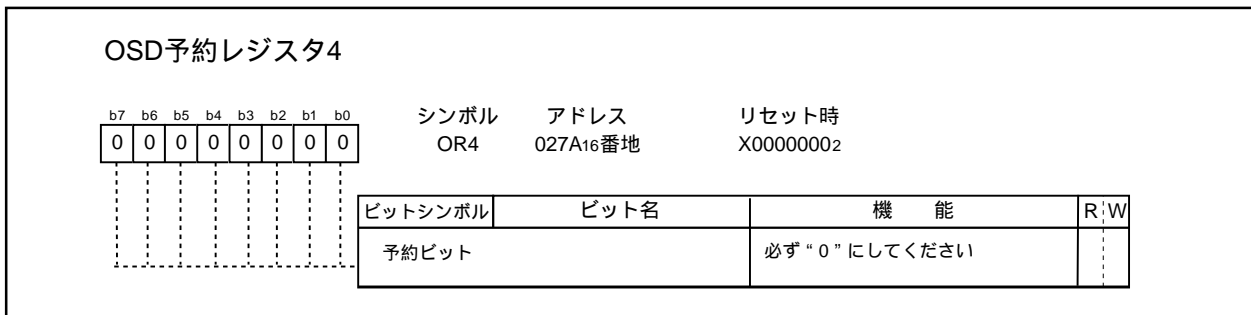


図2.16.54 OSD予約レジスタ4

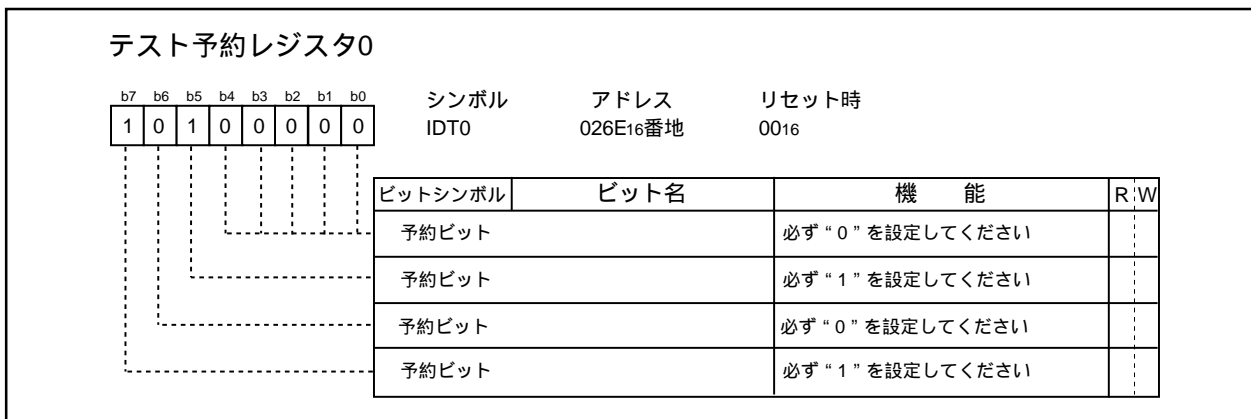


図2.16.55 テスト予約レジスタ0

2.17 プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P5, P60～P63, P67, P7, P82, P83, P86, P87, P90～P94, P102～P107の76本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。

プログラマブル入出力ポートの構成を、図2.17.1～図2.17.4に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

2.17.1 方向レジスタ

方向レジスタを、図2.17.6～2.17.10に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(1) プロテクトレジスタの影響

P9の方向レジスタの書き込みは、プロテクトレジスタの影響を受けます。P9の方向レジスタを容易に書き替えることができません。

2.17.2 ポートレジスタ

ポートレジスタを、図2.17.11～図2.17.15に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(1) ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなく、ポートレジスタの内容を読み込みます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

(2) ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれますが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

2.17.3 プルアップ制御レジスタ

プルアップ制御レジスタを、図2.17.17～図2.17.19に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P5のプルアップ制御レジスタは無効です。

2.17.4 ポート制御レジスタ

ポート制御レジスタを、図2.17.16に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下のようになります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時ポートP1がポートとして使用できる場合も、上記と同様に機能します。

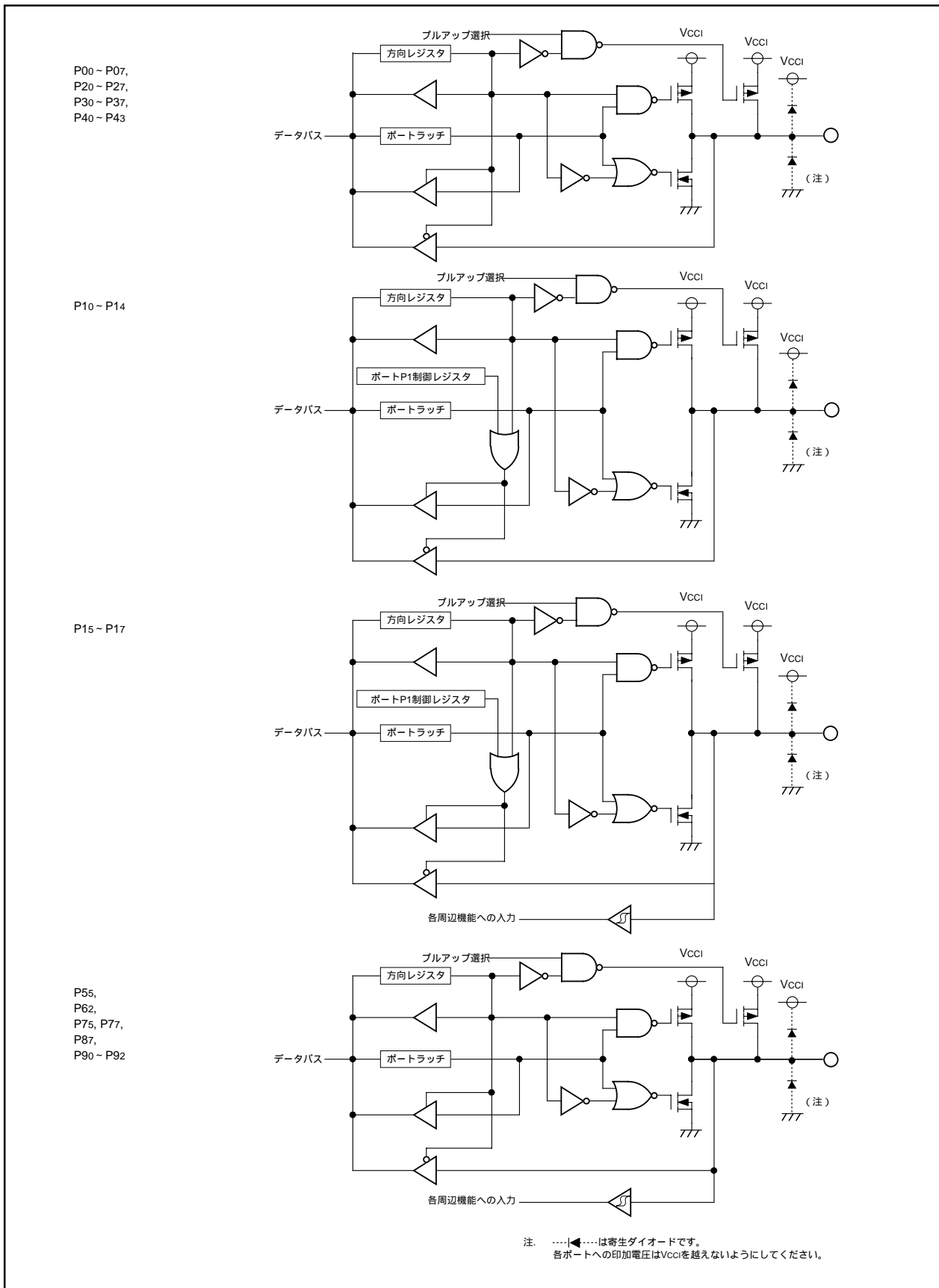


図2.17.1 プログラマブル入出力ポートの構成(1)

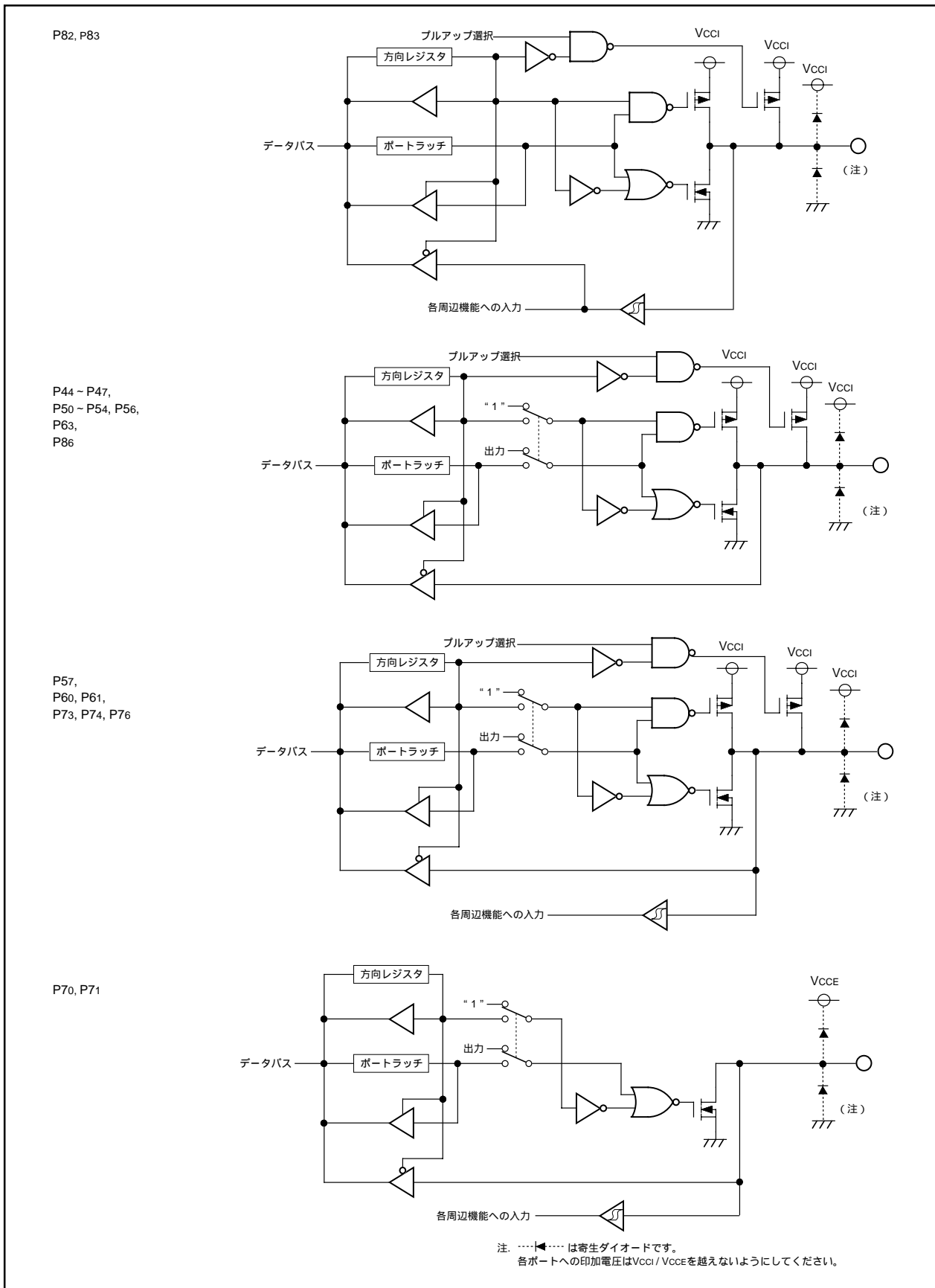


図2.17.2 プログラマブル入出力ポートの構成(2)

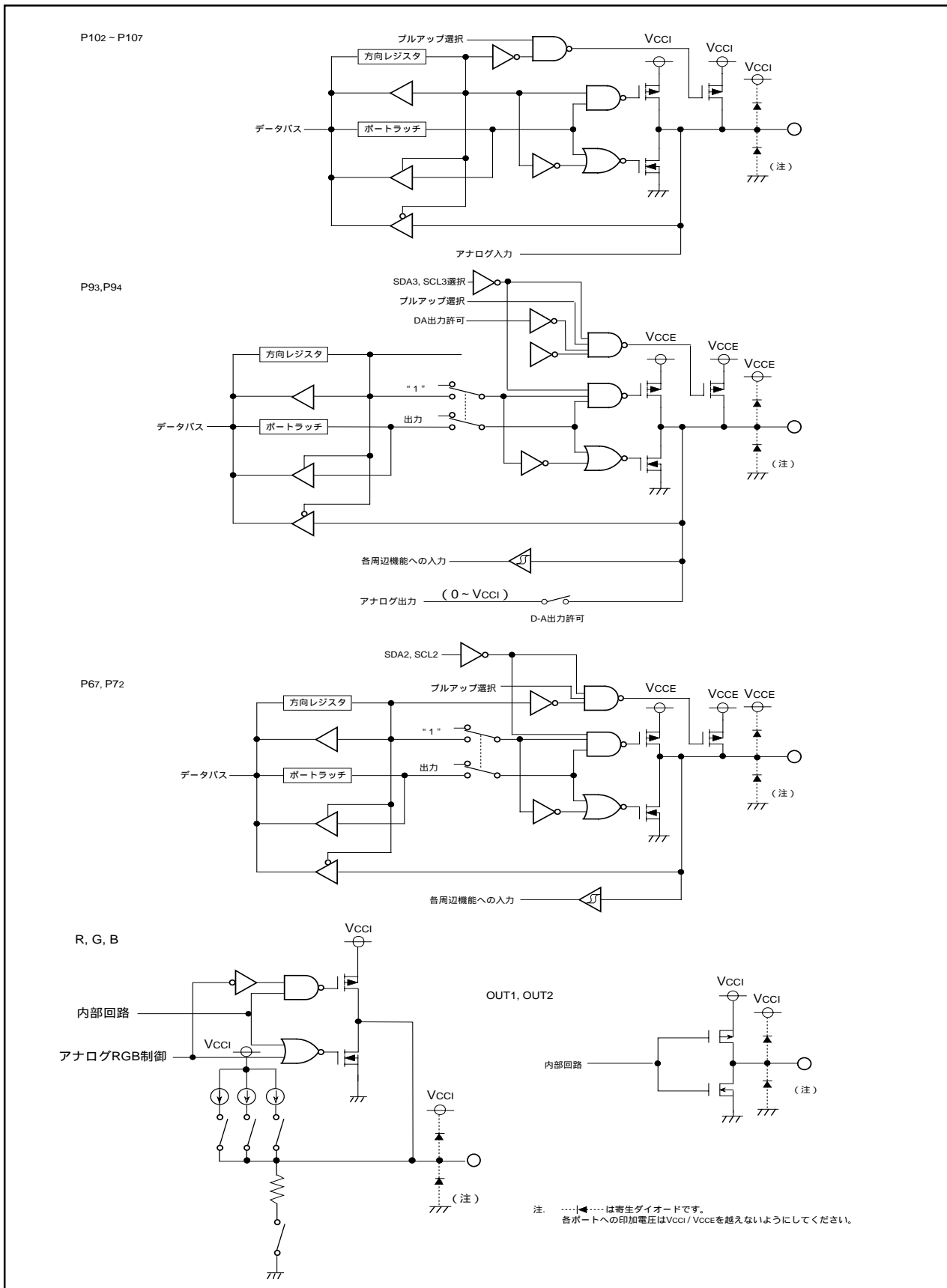


図2.17.3 プログラマブル入出力ポートの構成(3)

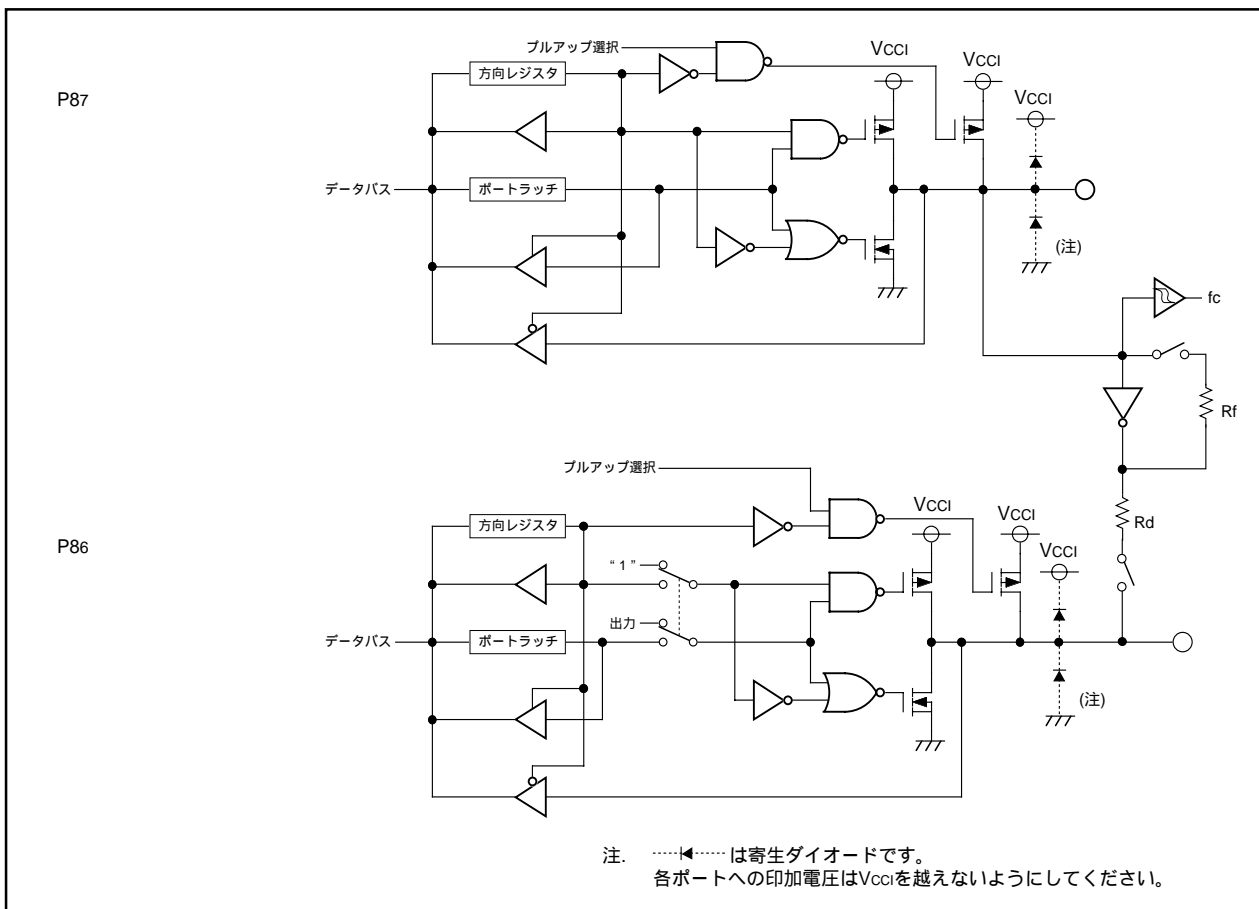


図2.17.4 プログラマブル入出力ポートの構成(4)

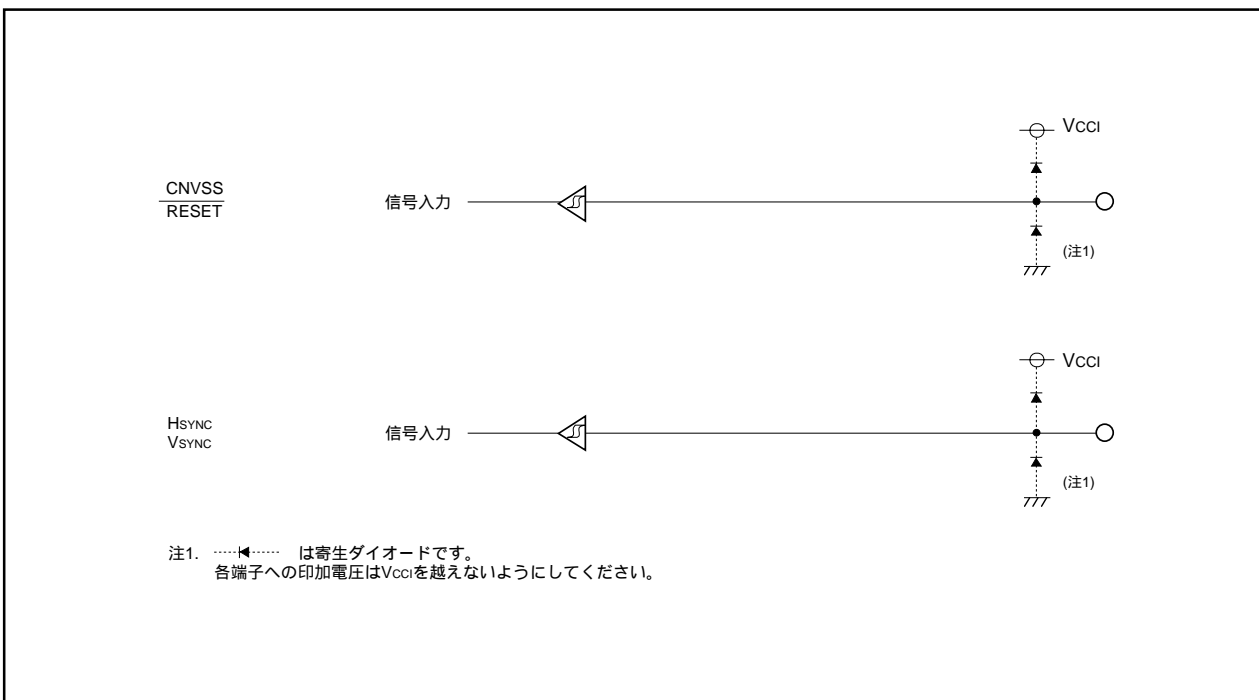


図2.17.5 端子の構成

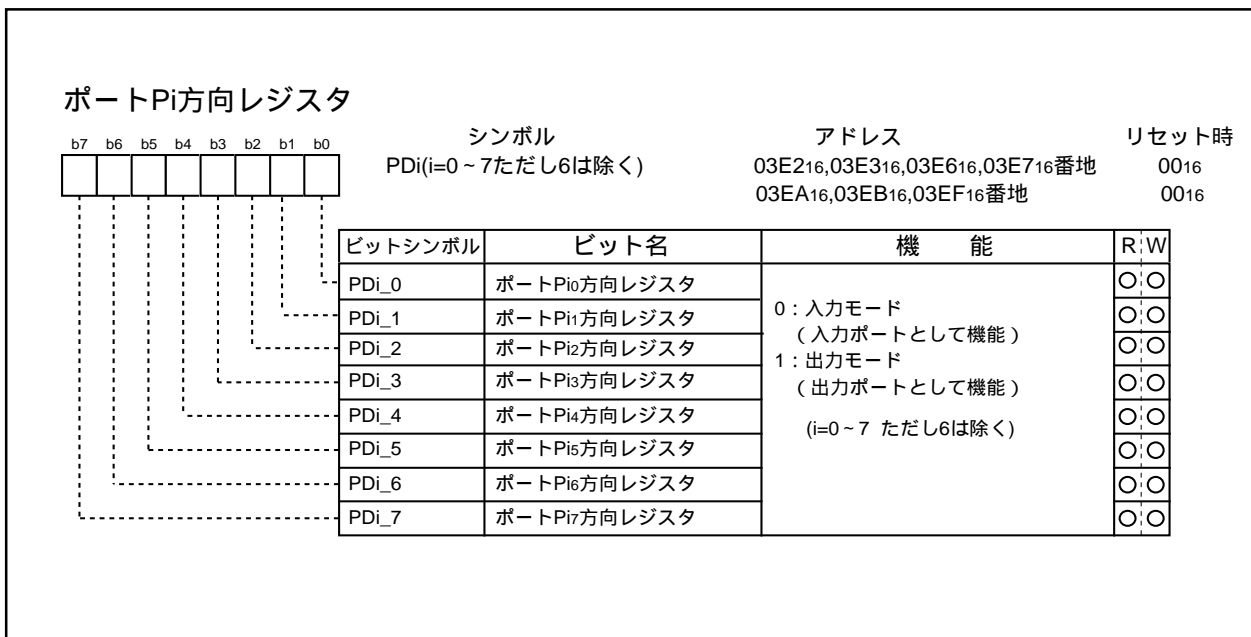


図2.17.6 ポートPi方向レジスタ (i = 0~7ただし6は除く)

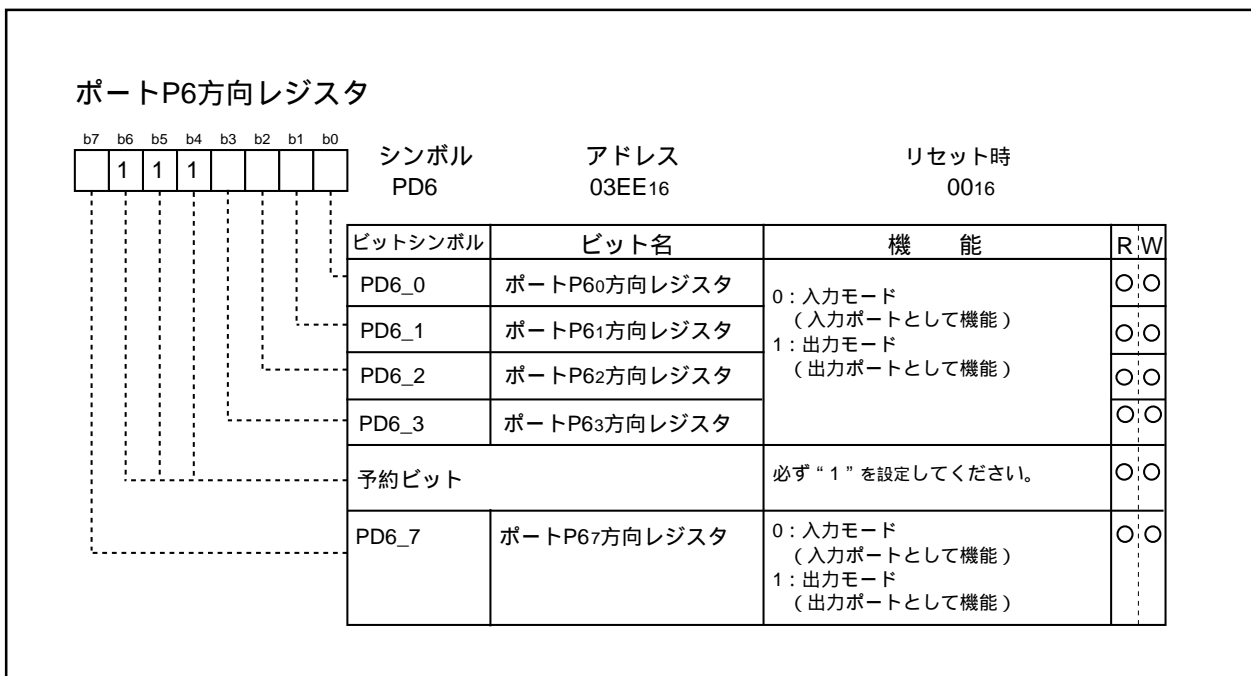


図2.17.7 ポートP6方向レジスタ

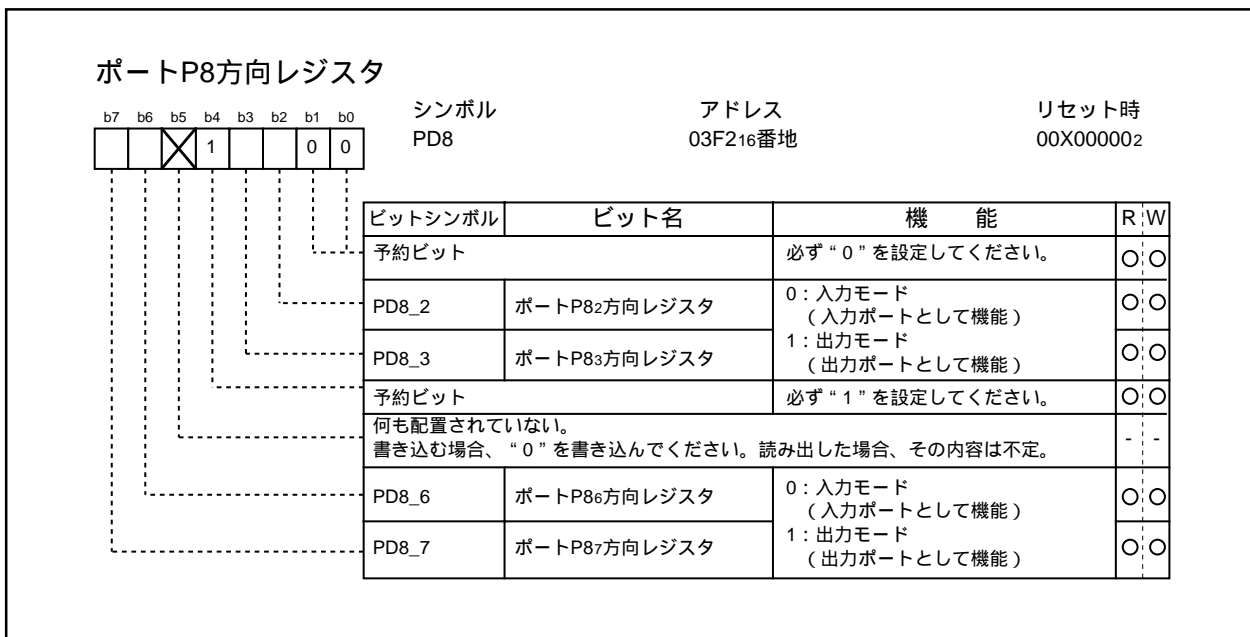


図2.17.8 ポートP8方向レジスタ

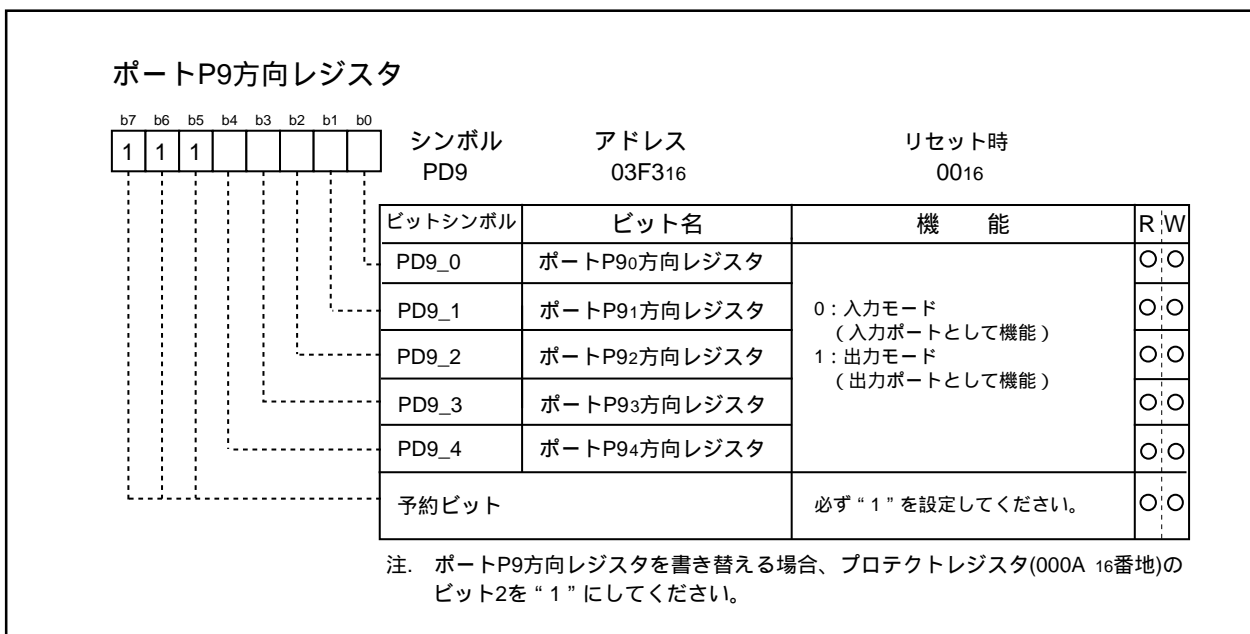


図2.17.9 ポートP9方向レジスタ

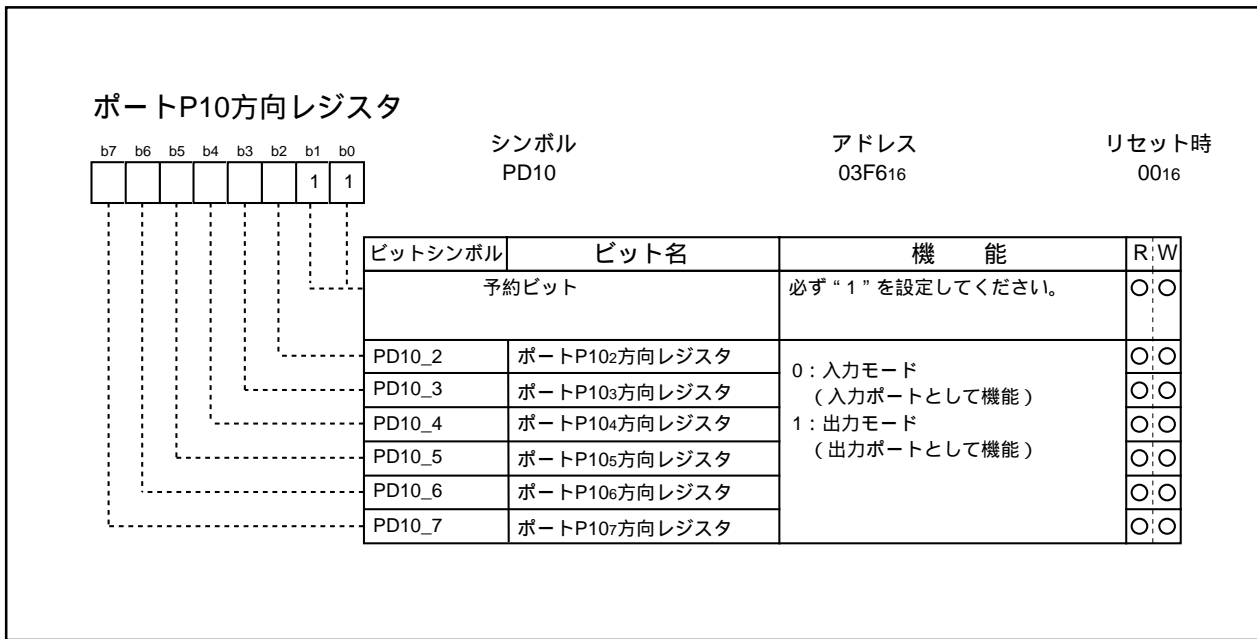


図2.17.10 ポートP10方向レジスタ

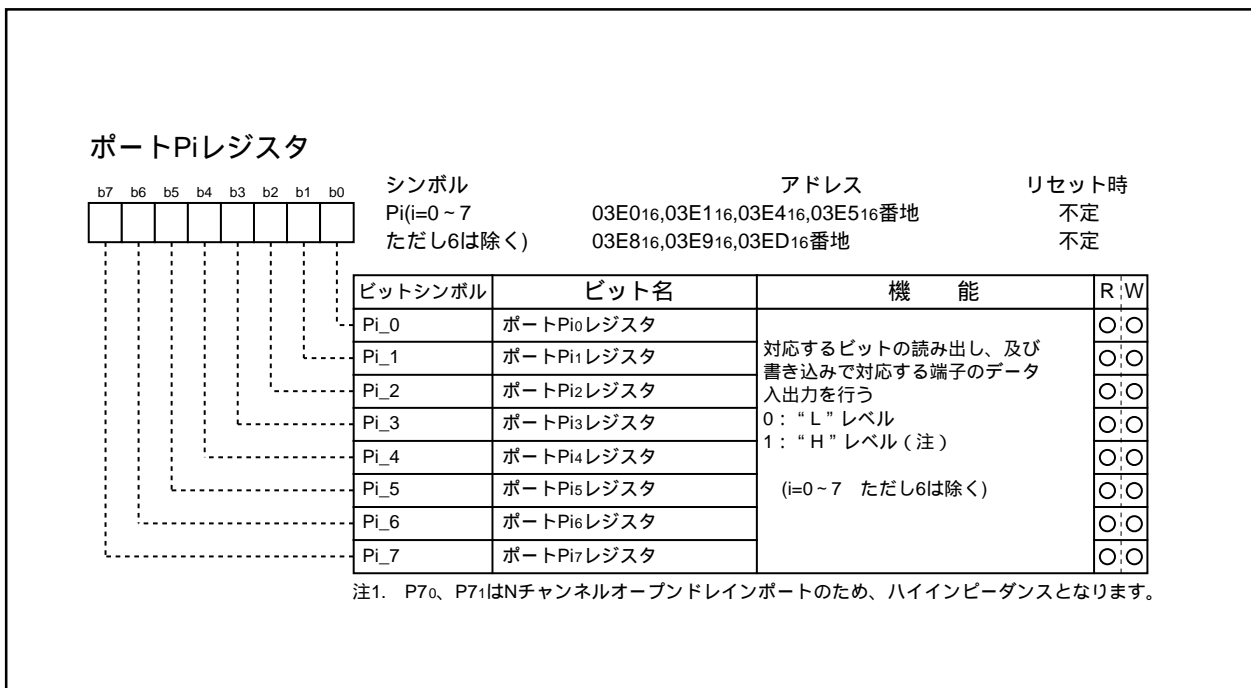


図2.17.11 ポートPiレジスタ (i = 0 ~ 7ただし6は除く)

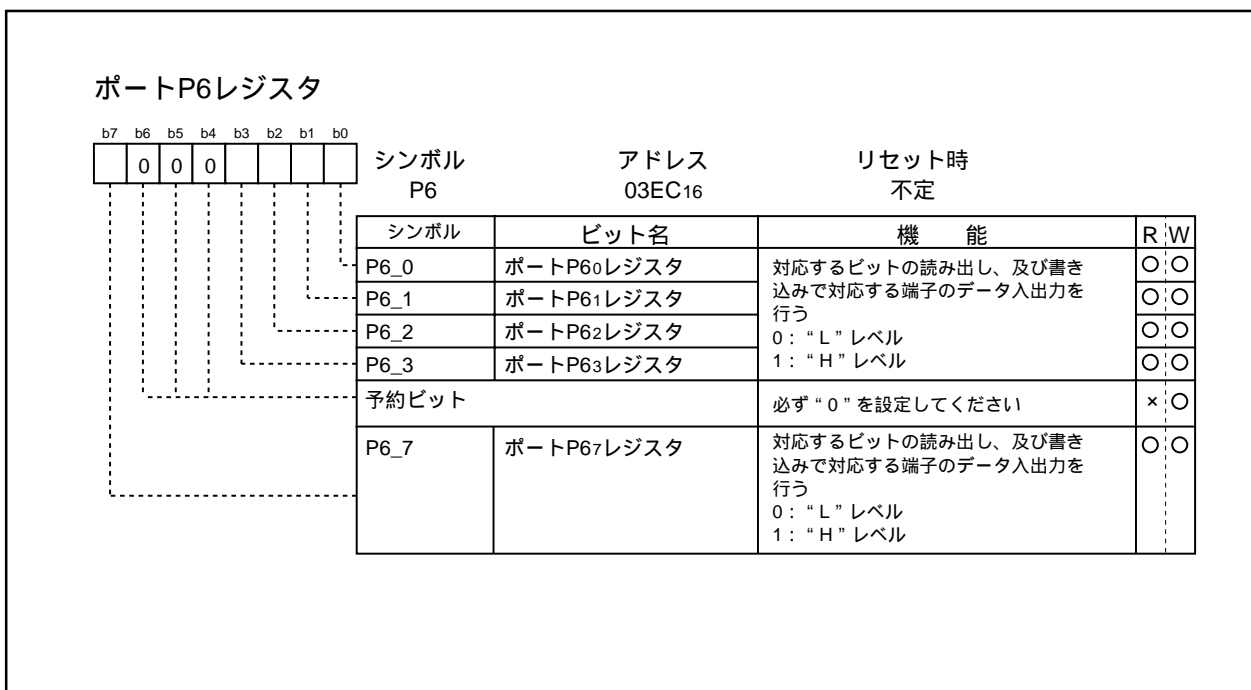


図2.17.12 ポートP6レジスタ

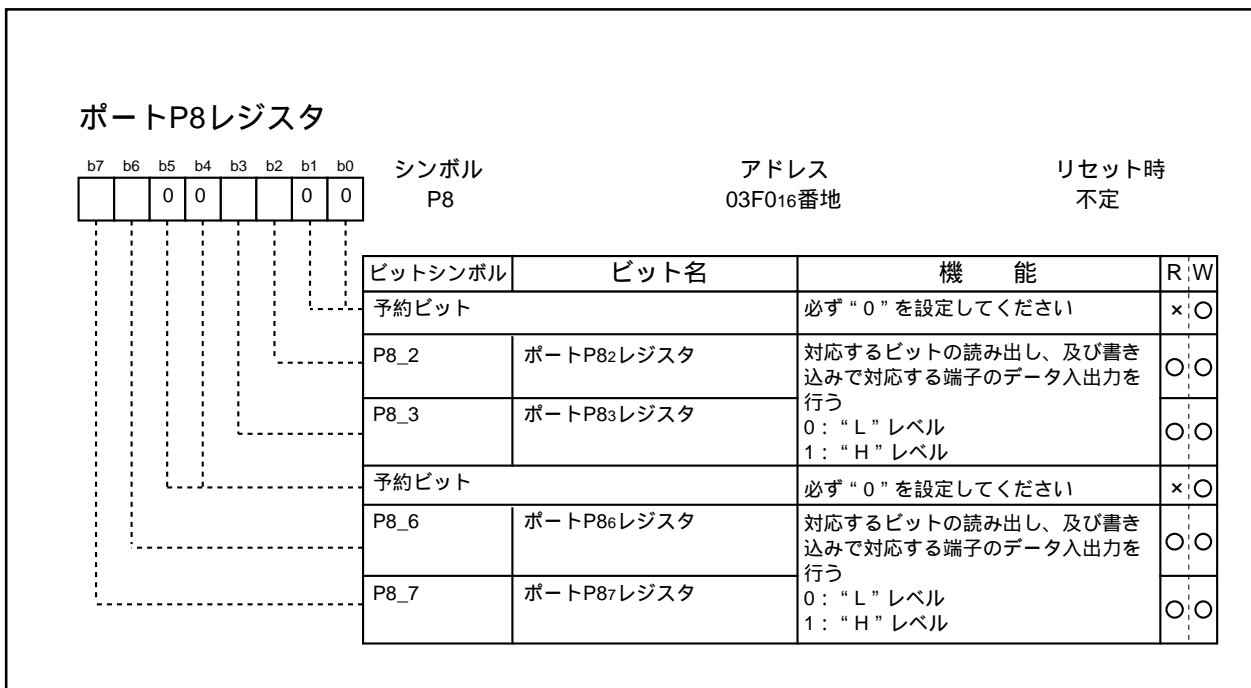


図2.17.13 ポートP8レジスタ

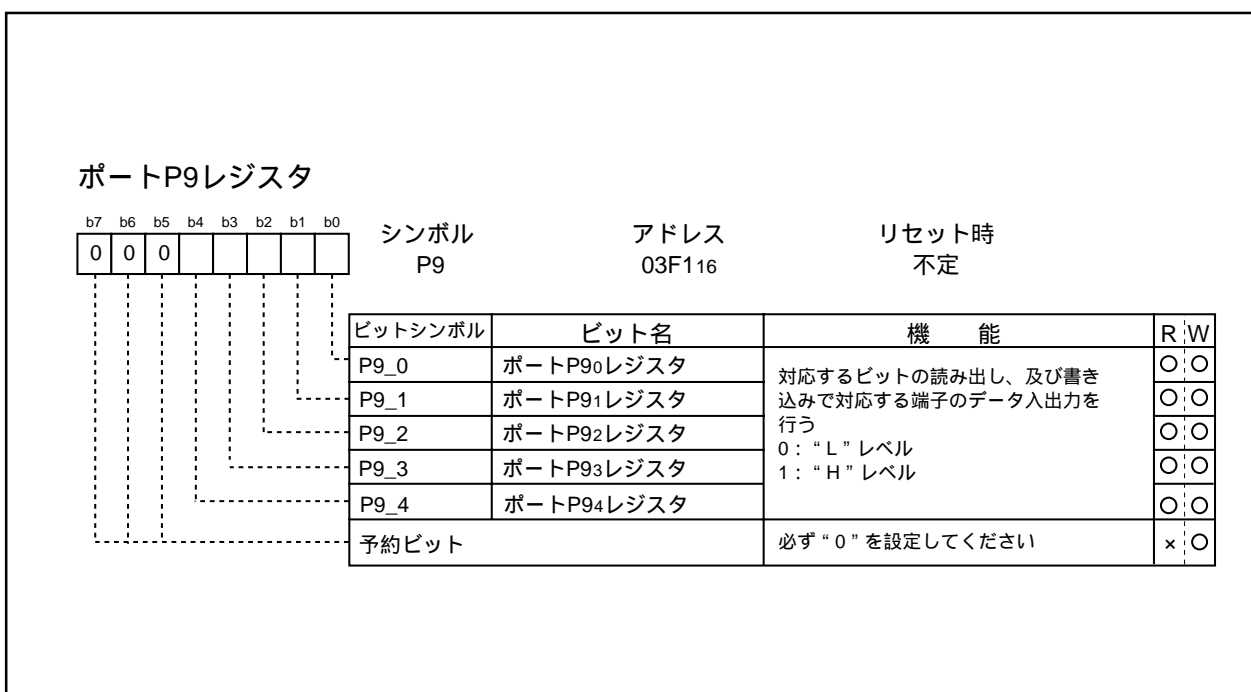


図2.17.14 ポートP9レジスタ

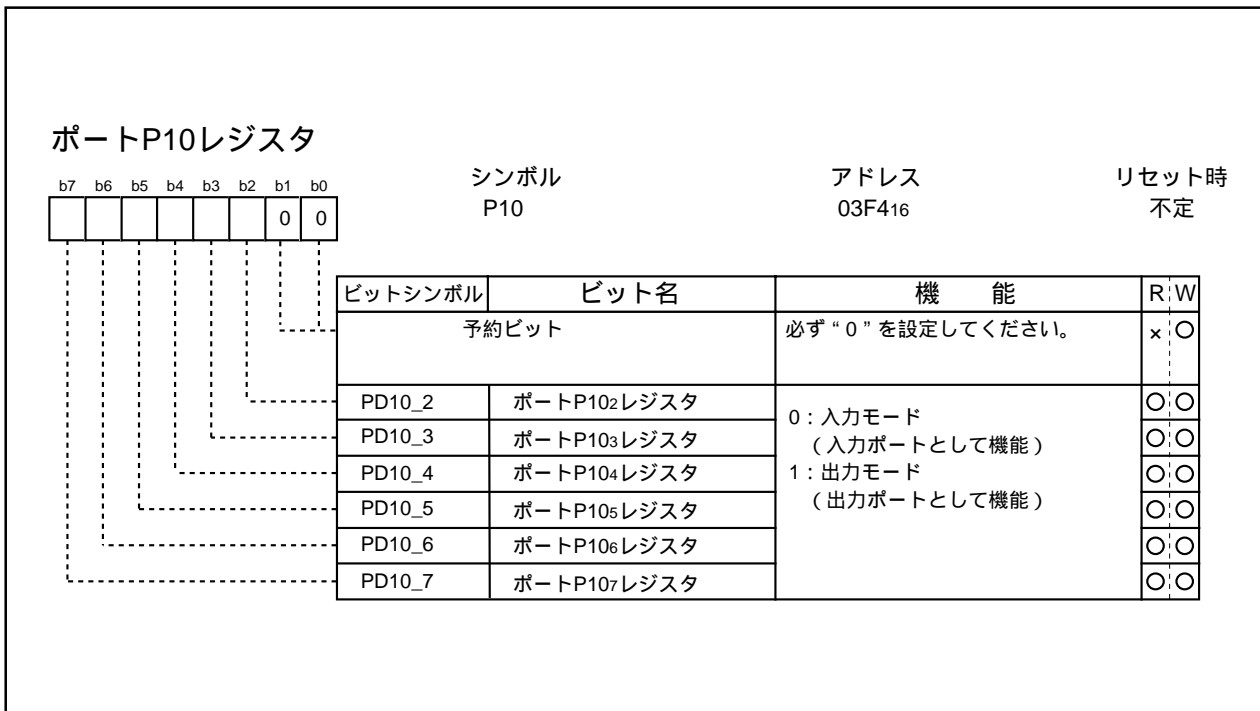


図2.17.15 ポートP10レジスタ

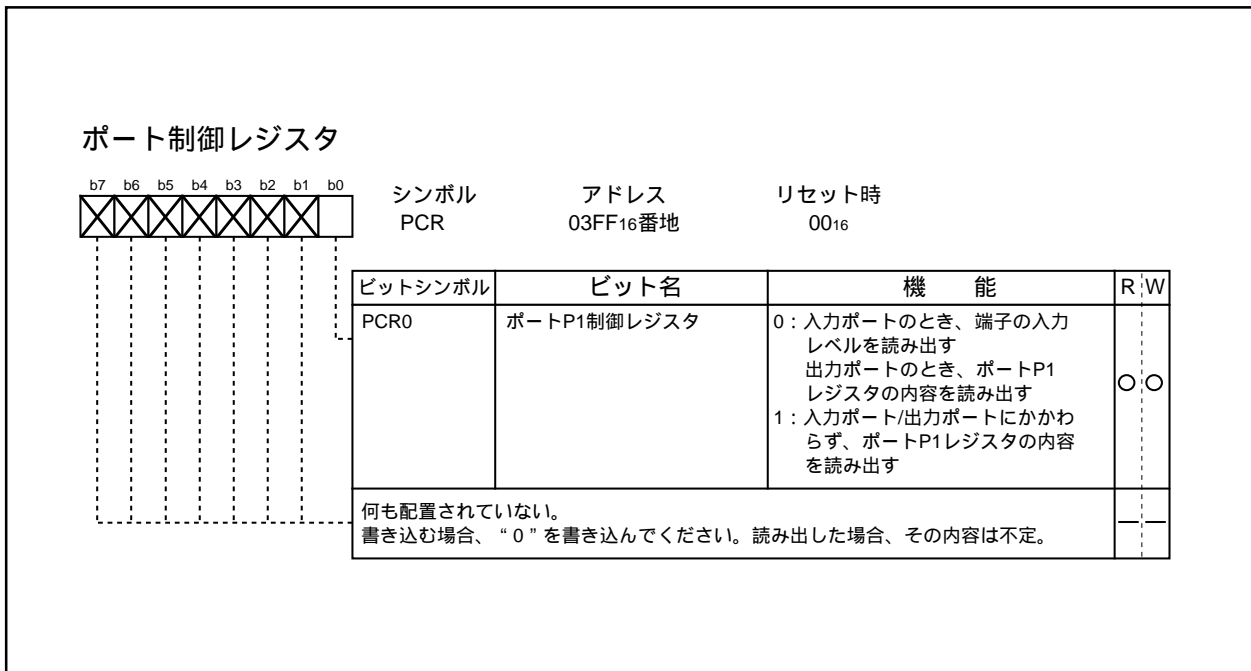


図2.17.16 ポート制御レジスタ

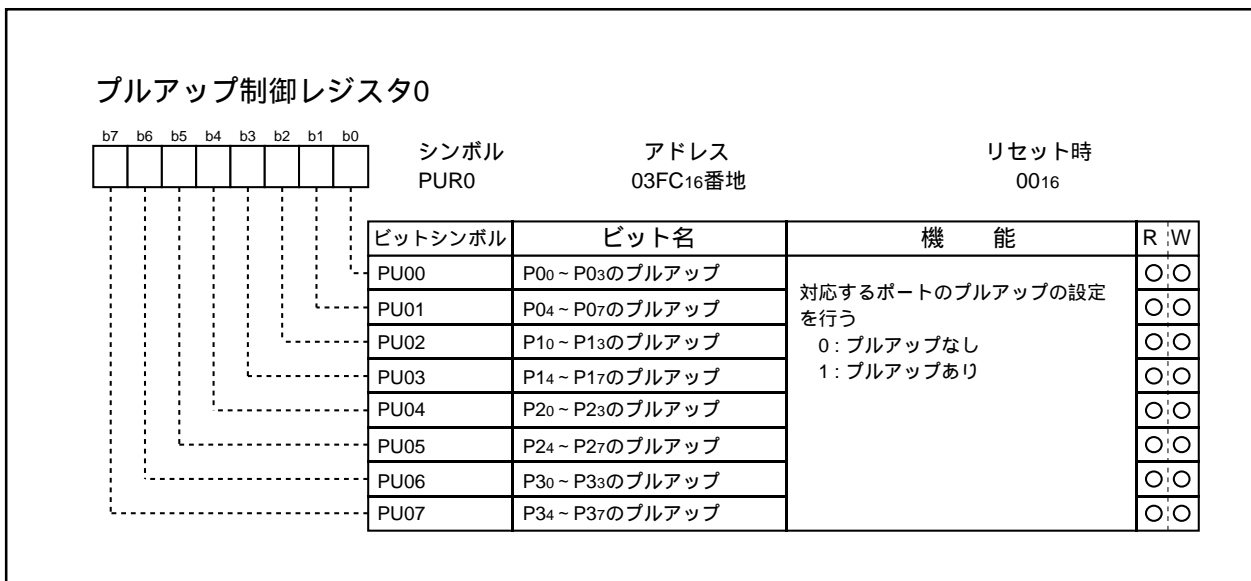


図2.17.17 プルアップ制御レジスタ0

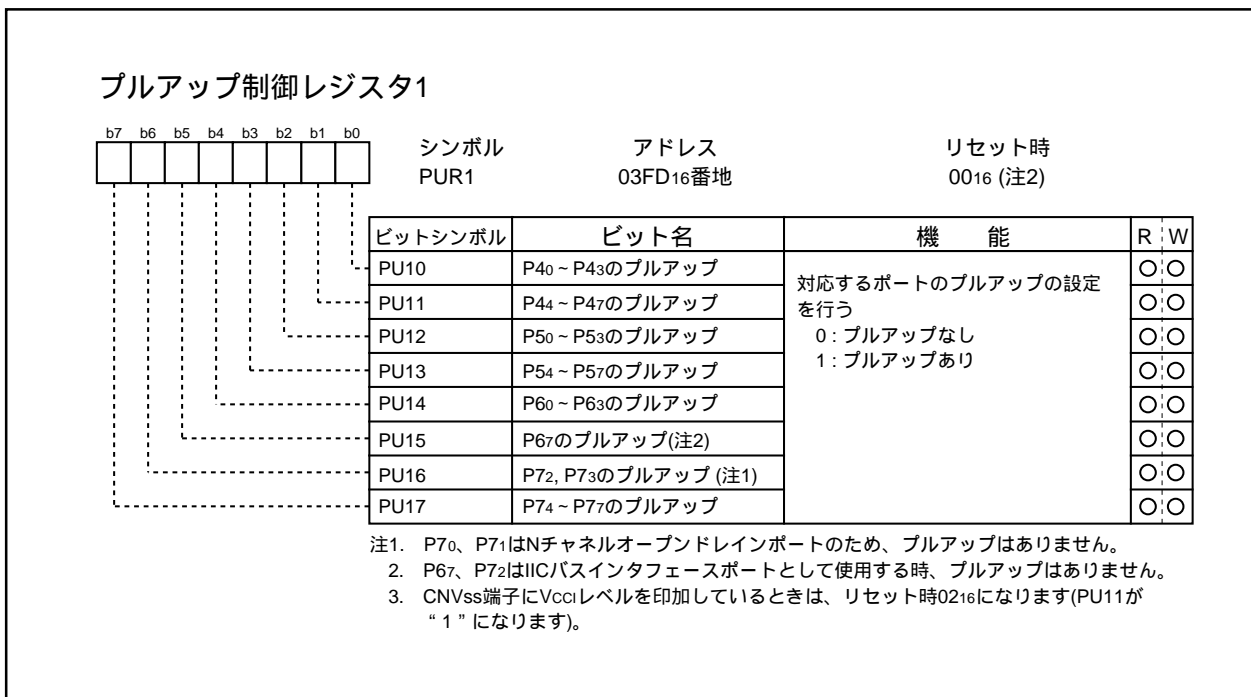


図2.17.18 プルアップ制御レジスタ1

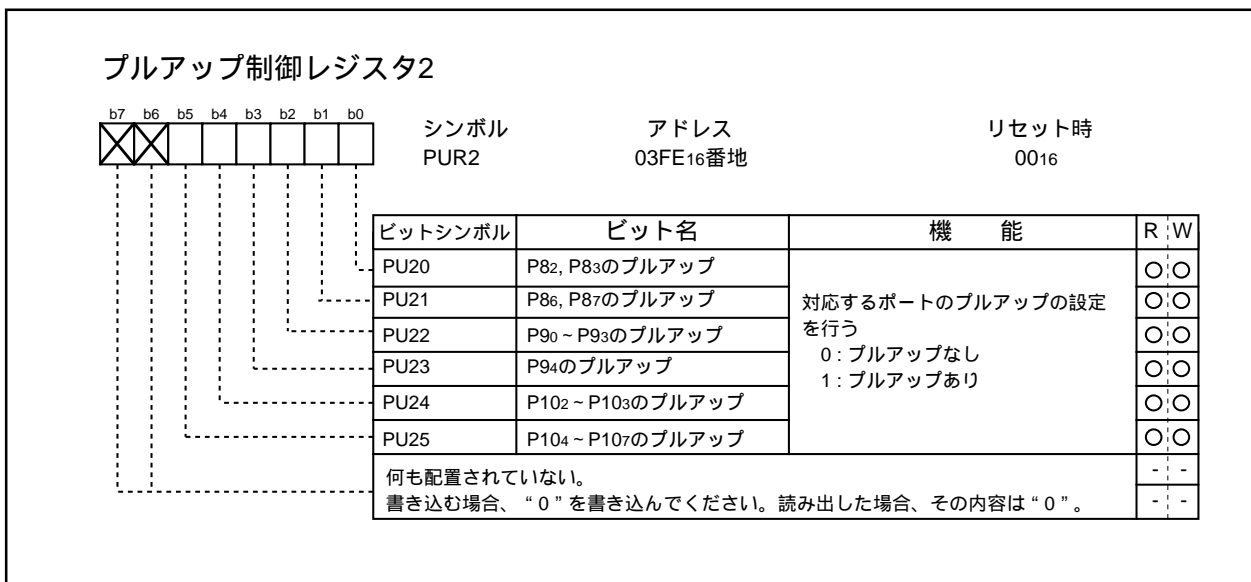


図2.17.19 プルアップ制御レジスタ2

表2.17.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0 ~ P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注)	開放
BYTE	Vssに接続
CNVss	抵抗を介してVssに接続(プルダウン)

注. XIN端子に外部クロックを入力しているとき

表2.17.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6 ~ P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/ $\overline{CS1}$ ~ P47/ $\overline{CS3}$	ポートを入力モードに設定し、 $\overline{CS1}$ ~ $\overline{CS3}$ 出力許可ビットを“0”に設定し、抵抗を介してVccIに接続(プルアップ)
\overline{BHE} , ALE, \overline{HLDA} , XOUT(注1), BCLK	開放
HOLD, \overline{RDY}	抵抗を介してVccIに接続(プルアップ)
CNVss	メモリ拡張モード時、抵抗を介してVssに接続(プルダウン) マイクロプロセッサモード時、抵抗を介してVccIに接続(プルアップ)

注. XIN端子に外部クロックを入力しているとき

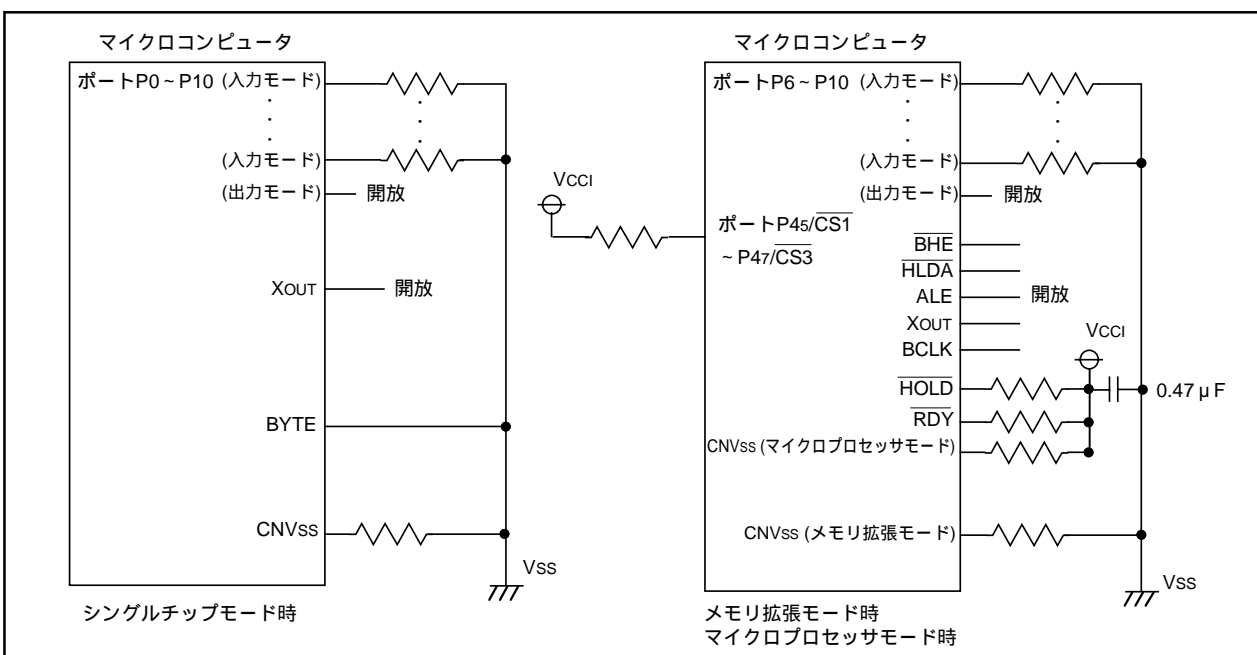


図2.17.20 未使用端子の処理例

3. 使用上の注意事項

3.1 タイマAの注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

3.2 タイマAの注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

3.3 タイマAの注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、ワンショットタイマモードを選択したとき
動作モードをタイマモードからワンショットタイマモードに変更したとき
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

3.4 タイマAの注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、PWMモードを選択したとき
動作モードをタイマモードからPWMモードに変更したとき
動作モードをイベントカウンタモードからPWMモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

3.5 タイマBの注意事項 (タイマモード、イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

3.6 タイマBの注意事項 (パルス周期測定、パルス幅測定モード)

- (1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
- (2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

3.7 A-D変換器の注意事項

- (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始させてください。
- (2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。
- (5) 掃引モードのA-D変換所要時間は(掃引端子数+2端子)×繰り返し回数×1端子のA-D変換所要時間となります。
- (6) Hsync、Vsync入力を使用したOSD、またはデータスライサ動作中は、A-D掃引モード(単掃引、繰り返し掃引0、繰り返し掃引1)は使用しないでください。

3.8 ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
- (3) 低速モードおよび低消費電力モード時には、周辺機能クロック停止ビット(CM02)に“1”を設定してウェイトモードに移行しないでください。
- (4) ウェイトモードおよびストップモードに移行する場合、OSDコントロールレジスタ1のOSD制御ビットOC10を“0”に設定してください。

3.9 割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

INT₀, INT₁端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  NOP    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  POPC   FLG        ; 割り込み許可状態
```

例1と例2でFSET I命令の前にNOP命令2個（HOLD機能使用時は4個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

(5) 注意事項

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。

割り込み要求ビットをクリアする場合はMOV命令を使用し、割り込み制御レジスタを変更してください。

M16C/60シリーズ、M16C/20シリーズで割り込み制御レジスタを変更する場合は、必ず対応する割り込み要求が発生しない箇所で割り込み制御レジスタを変更するか、割り込みを禁止状態にしてから割り込み制御レジスタを変更してください。

M16C/60シリーズで割り込み要求ビットをクリアするプログラム例

例1：割り込み制御レジスタを即値で書き替える場合

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H,0055H      ; タイマ A0 割り込み要求ビットクリア
MOV.W   MEM,R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例2：割り込み要求ビットのみをクリアする場合

```
FCLR    I                ; 割り込み禁止
MOV.B   0055H,R0L       ; タイマ A0 割り込み制御レジスタ読み出し
AND.B   #0F7H,R0L       ; タイマ A0 割り込み要求ビットのみクリア
MOV.B   R0L,0055H       ; タイマ A0 割り込み制御レジスタ書き込み
MOV.W   MEM,R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例1、例2でダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

3.10 フラッシュメモリ版とマスクROM版について

フラッシュメモリ版およびマスクROM内蔵版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージンなどが異なる場合があります。

マスクROM内蔵版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施し、確認して下さい。

4. マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ

5. 電気的特性

5.1 絶対最大定格

表5.1.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{CCI}	内部ロジック電源電圧		-0.3 ~ 4.0	V
V _{CCE}	外部I/Oバッファ電圧 (P93/P94/P72/P71/P70/P67)		-0.3 ~ 6.0	V
V _{I1}	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, X _{IN} , OSC1, RESET, CNV _{SS} , BYTE, Hsync, Vsync		-0.3 ~ V _{CCI} +0.3	V
V _{I2}	P67, P70, P71, P72, P93, P94 (注)		-0.3 ~ V _{CCE} +0.3	V
V _{I3}	TVSETB		-0.3 ~ 0.3	V
V _{O1}	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, R, G, B, OUT1, OUT2, OSC2, X _{OUT}		-0.3 ~ V _{CCI} +0.3	V
V _{O2}	P67, P70, P71, P72, P93, P94		-0.3 ~ V _{CCE} +0.3	V
P _d	消費電力 (シングルチップモード時)	T _a =25	415	mW
T _{opr}	動作周囲温度		-20 ~ 70	
T _{stg}	保存温度		-40 ~ 125	

注 . P93、P94をDA端子として使用する場合、V_{I2}は-0.3 ~ V_{CCI} + 0.3 [V] となります。

5.2 推奨動作条件

表5.2.1 推奨動作条件(指定のない場合は、 $V_{CCI}=3.3V \pm 0.15V$, $V_{CCE}=5.0V \pm 0.25V$, $T_a = -20 \sim 70$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CCI}	内部ロジック電源電圧 (注3)	3.15	3.30	3.45	V	
V _{CCE}	外部I/Oバッファ電圧 (注3) P93, P94, P72, P71, P70, P67	4.75	5.00	5.25	V	
V _{SS}	電源電圧		0		V	
V _{IH}	"H"入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, X _{IN} , OSC1, RESET, CNV _{SS} , BYTE, Hsync, Vsync, X _{CIN}	0.8V _{CCI}		V _{CCI}	V	
V _{IH}	"H"入力電圧 P67, P70, P71, P72, P93, P94	0.8V _{CCE}		V _{CCE}	V	
V _{IH}	"H"入力電圧 P00 ~ P07, P10 ~ P17 (シングルチップモード時)	0.8V _{CCI}		V _{CCI}	V	
V _{IH}	"H"入力電圧 P00 ~ P07, P10 ~ P17 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0.5V _{CCI}		V _{CCI}	V	
V _{IL}	"L"入力電圧 P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, X _{IN} , OSC1, RESET, CNV _{SS} , BYTE, Hsync, Vsync, X _{CIN}	0		0.2V _{CCI}	V	
V _{IL}	"L"入力電圧 P67, P70, P71, P72, P93, P94	0		0.2V _{CCE}	V	
V _{IL}	"L"入力電圧 P00 ~ P07, P10 ~ P17 (シングルチップモード時)	0		0.2V _{CCI}	V	
V _{IL}	"L"入力電圧 P00 ~ P07, P10 ~ P17 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0		0.16V _{CCI}	V	
I _{OH} (peak)	"H"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P67, P72 ~ P77, P82, P83, P86, P87, P90 ~ P94, P102 ~ P107, R, G, B, OUT1, OUT2			- 10.0	mA	
I _{OH} (avg)	"H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P67, P72 ~ P77, P82, P83, P86, P87, P90 ~ P94, P102 ~ P107, R, G, B, OUT1, OUT2			- 5.0	mA	
I _{OL} (peak)	"L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P67, P72 ~ P77, P82, P83, P86, P87, P90 ~ P94, P102 ~ P107, R, G, B, OUT1, OUT2			10.0	mA	
I _{OL} (avg)	"L"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, R, G, B, OUT1, OUT2			5.0	mA	
I _{OL} (avg)	"L"平均出力電流 P67, P70 ~ P72, P93, P94			6.0	mA	
f (X _{IN})	メインクロック入力発振周波数 (注4)			16.1	MHz	
f (X _{CIN})	サブクロック入力発振周波数		32.768	50.0	kHz	
f _{OSC}	発振周波数(OSD用) (注5)	LC発振モード	7.9	30.1	MHz	
		セラミック発振モード	14.9	30.1		
		内部発振モード	19.9	40.1		
f _{CVIN}	入力周波数	525iビデオ信号の水平同期信号	15.262	15.734	16.206	kHz
		525pビデオ信号の水平同期信号	—	31.47	—	kHz
V _I	入力振幅		1.5	1.75	2.00	V

- 注1. 平均出力電流は100msの期間内での平均値です。
 注2. 尖頭出力電流 (I_{OH}/I_{OL}) の合計は80mA以下にしてください。
 注3. 電源端子V_{CCI}-V_{SS}間、V_{CCI}-CNV_{SS}間、V_{CCI}-TVSETB間、V_{CCE}-V_{SS}間にはノイズ除去のため、容量0.1 μF以上のコンデンサを外付けして使用してください。
 注4. 後述するタイミング必要条件、およびスイッチング特性を満足する必要があります。
 注5. f_{OSC} = f(X_{IN}) × 3.1を満足する必要があります。

5.3 電気的特性

表5.3.1 電気的特性(指定のない場合は、 $V_{CC1}=3.3V, V_{CC2}=5.0V, V_{SS}=0V, T_a=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, R, G, B, OUT1, OUT2	IOH=-5mA	VCC1-1.5 (注1)			V	
VOH	"H"出力電圧 P67, P72, P93, P94	IOH=-5mA	VCC2-1.5 (注2)			V	
VOL	"L"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, R, G, B, OUT1, OUT2	IOL=5mA			1.5 (注3)	V	
VOL	"L"出力電圧 P67, P70, P71, P72, P93, P94	IOL=6mA			0.6(注4)	V	
VT+-VT-	ヒステリシス HOLD, RDY, TB0IN ~ TB2IN, INT0, INT1, CTS0, CTS2, CLK0, RxD0, Hsync, Vsync, HC0, HC1, XIN		0.2		0.6	V	
VT+-VT-	ヒステリシス SCL1, SCL2, SCL3, CLK2, SDA1, SDA2, SDA3, RxD2		0.2		0.8	V	
VT+-VT-	ヒステリシス RESET		0.2		1.2	V	
IiH	"H"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P73 ~ P77, P82, P83, P86, P87, P90 ~ P92, P102 ~ P107, XIN, RESET, CNVss, BYTE, OSC1, Hsync, Vsync	Vi=3.3V			10.0	μA	
IiH	"H"入力電流 P67, P70, P71, P72, P93, P94	Vi=5.0V			10.0	μA	
IiL	"L"入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P67, P70 ~ P77, P82, P83, P86, P87, P90 ~ P94, P102 ~ P107, XIN, RESET, CNVss, BYTE, OSC1, Hsync, Vsync	Vi=0V			-10.0	μA	
RpULLUP	プルアップ抵抗 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63, P67, P72 ~ P77, P82, P83, P86, P87, P90 ~ P94, P102 ~ P107,	Vi=0V	30.0	50.0	167.0	k	
Icc	電源電流	シングルチップ モードでポート 出力端子は開 放、その他の端 子はVss	f(XIN)=16MHz 方形波、分周なし	OSD(40MHz)ON, デ-タスライオン	90	120	mA
				OSD OFF, デ-タスライオフ	40	60	
			f(XIN)=16MHz 方形波、8分周	OSD OFF, デ-タスライオフ	15		μA
			f(XCIN) = 32kHz ウエイト時		100	400	
			クロック停止時 Ta=25		50	200	
	クロック停止時 Ta=70		0.5	2	mA		
Rbs	IICバス・パススイッチ接続抵抗 (SCL1-SCL2間, SDA1-SDA2間)	VCC2=5.0V			130		
RfXIN	帰還抵抗 XIN				3.0	M	
RfXCIN	帰還抵抗 XCIN				6.0	M	

- 注1. 各IOH毎のVOH最小値規格は、(IOH=-5mA, VOH=VCC1-1.5V)と(IOH=0mA, VOH=VCC1)を結んだ直線となります。
注2. 各IOH毎のVOH最小値規格は、(IOH=-5mA, VOH=VCC2-1.5V)と(IOH=0mA, VOH=VCC2)を結んだ直線となります。
注3. 各IOL毎のVOL最大値規格は、(IOL=5mA, VOL=1.5V)と(IOL=0mA, VOL=0.0V)を結んだ直線となります。
注4. 各IOL毎のVOL最大値規格は、(IOL=6mA, VOL=0.6V)と(IOL=0mA, VOL=0.0V)を結んだ直線となります。

5.4 A-D変換特性

表5.4.1 A-D変換特性 (指定のない場合は、 $V_{CCI}=3.3V$, $V_{SS}=0V$, $T_a=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CCI}$			8	Bits
-	絶対精度	サンプル&ホールド機能なし			± 5	LSB
		サンプル&ホールド機能あり			± 5	LSB
t_{CONV}	変換時間		2.8			μs
t_{SAMP}	サンプリング時間		0.3			μs
V_{REF}	基準電圧			V_{CCI}		V
V_{IA}	アナログ入力電圧		0		V_{CCI}	V

5.5 D-A変換特性

表5.5.1 D-A変換特性 (指定のない場合は、 $V_{CCI}=3.3V$, $V_{SS}=0V$, $T_a=25$, $f(X_{IN})=16MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				10	%
t_{su}	設定時間				3	μs
R_o	出力抵抗		4	10	20	k

5.6 アナログR,G,B出力特性

表5.6.1 アナログR,G,B出力特性 (指定のない場合は、 $V_{CCI}=3.3V$, $V_{SS}=0V$, $T_a=25$, 負荷容 R_I =無, 負荷容 C_I =無)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{ppm}	最大出力振幅	RGB各出力制御ビット=111b設定	0.9	1.0	1.2	V
V_{oe}	出力偏差				± 20	%
I_o	最大出力電流	RGB各出力制御ビット=111b設定	2.2	4.0	5.8	mA
R_o	出力抵抗		190		400	
T_{st}	セットリングタイム	30% 70%または、70% 30%			33	nS

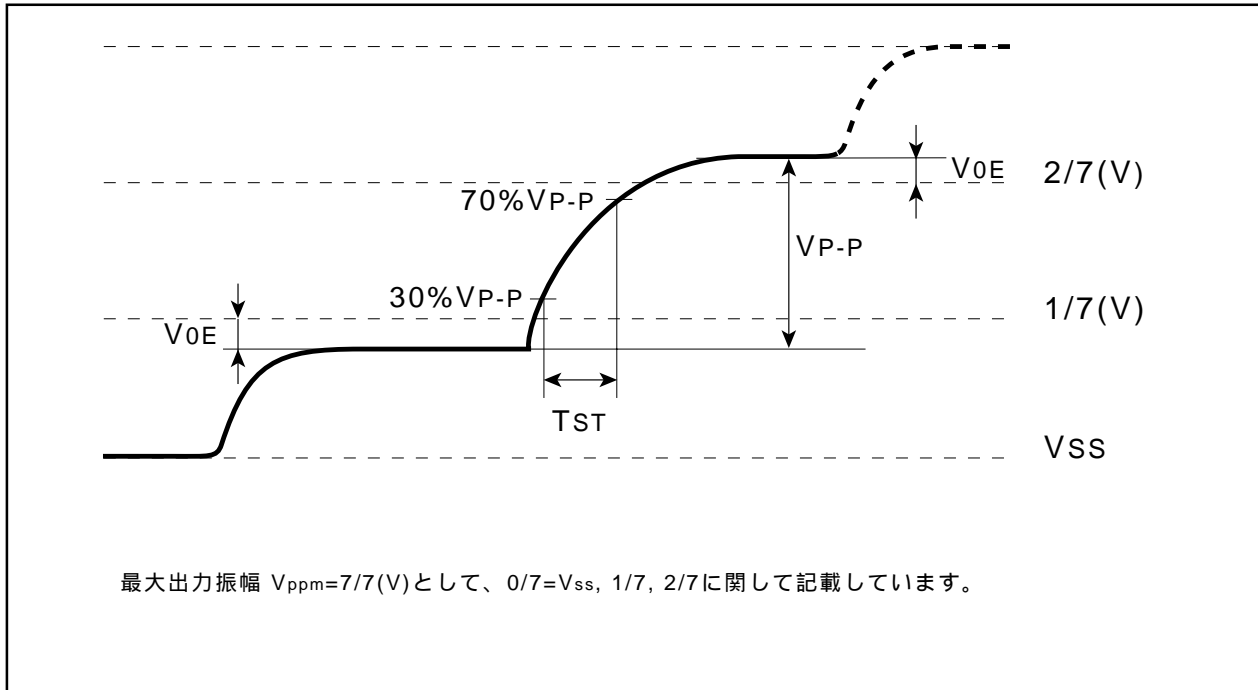


図5.6.1 アナログR,G,B出力特性

5.7 タイミング必要条件

表5.7.1 外部クロック入力 (指定のない場合は、 $V_{CCI}=3.3V$, $V_{CCE}=5.0V$, $V_{SS}=0V$, $T_a=25$)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62		ns
$t_w(H)$	外部クロック入力 "H" パルス幅	28		ns
$t_w(L)$	外部クロック入力 "L" パルス幅	28		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表5.7.2 メモリ拡張及びマイクロプロセッサモード (指定のない場合は、 $V_{CCI}=3.3V$, $V_{CCE}=5.0V$, $V_{SS}=0V$, $T_a=25$)

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウエイトなし)		(注)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウエイトあり)		(注)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	40		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns
$t_d(BCLK-HLDA)$	HLDA出力遅延時間		40	ns

注 . BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(RD-DB) = \frac{10^9}{f(BCLK) \times 2} - 45 \text{ (ns)}$$

$$t_{ac2}(RD-DB) = \frac{3 \times 10^9}{f(BCLK) \times 2} - 45 \text{ (ns)}$$

表5.7.3 タイマB入力(イベントカウンタモードのカウンタ入力)
(指定のない場合は、VCCI=3.3V, VSS=0V, Ta=25)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
t _c (TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表5.7.4 タイマB入力(パルス周期測定モード)
(指定のない場合は、VCCI=3.3V, VSS=0V, Ta=25)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表5.7.5 タイマB入力(パルス幅測定モード)
(指定のない場合は、VCCI=3.3V, VSS=0V, Ta=25)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表5.7.6 シリアルI/O(指定のない場合は、VCCI=3.3V, VCCE=5.0V, VSS=0V, Ta=25)

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLKi入力サイクル時間	200		ns
t _w (CKH)	CLKi入力 "H" パルス幅	100		ns
t _w (CKL)	CLKi入力 "L" パルス幅	100		ns
t _d (C-Q)	TxDi出力遅延時間		80	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	30		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表5.7.7 外部割り込みINTi入力(指定のない場合は、VCCI=3.3V, VSS=0V, Ta=25)

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	$\overline{\text{INTi}}$ 入力 "H" パルス幅	250		ns
t _w (INL)	$\overline{\text{INTi}}$ 入力 "L" パルス幅	250		ns

5.8 スイッチング特性

表5.8.1 メモリ拡張モード及びマイクロプロセッサモード(ウエイトなしの場合)
(指定のない場合は、VCCI=3.3V, VCCE=5.0V, VSS=0V, Ta=25℃, CM15=“1”)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図5.9.1		35	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			35	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			35	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			35	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB-WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 40 \text{ (ns)}$$

2. この規格は、出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。

表5.8.2 メモリ拡張モード及びマイクロプロセッサモード(ウエイトあり、外部メモリ領域をアクセスした場合)
(指定のない場合は、VCCI=3.3V, VCCE=5.0V, VSS=0V, Ta=25 , CM15= “ 1 ”)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図5.9.1		35	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			35	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			35	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			35	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB-WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 40 \text{ (ns)}$$

2. この規格は、出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。

5.9 測定回路

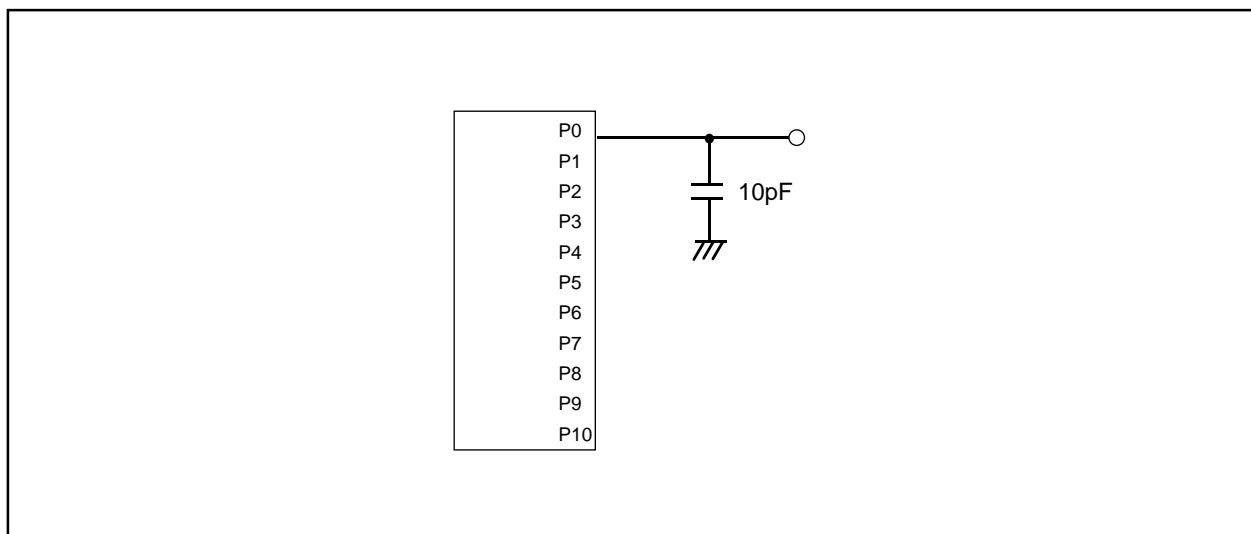


図5.9.1 ポートP0～P10の測定回路

5.10 タイミング図

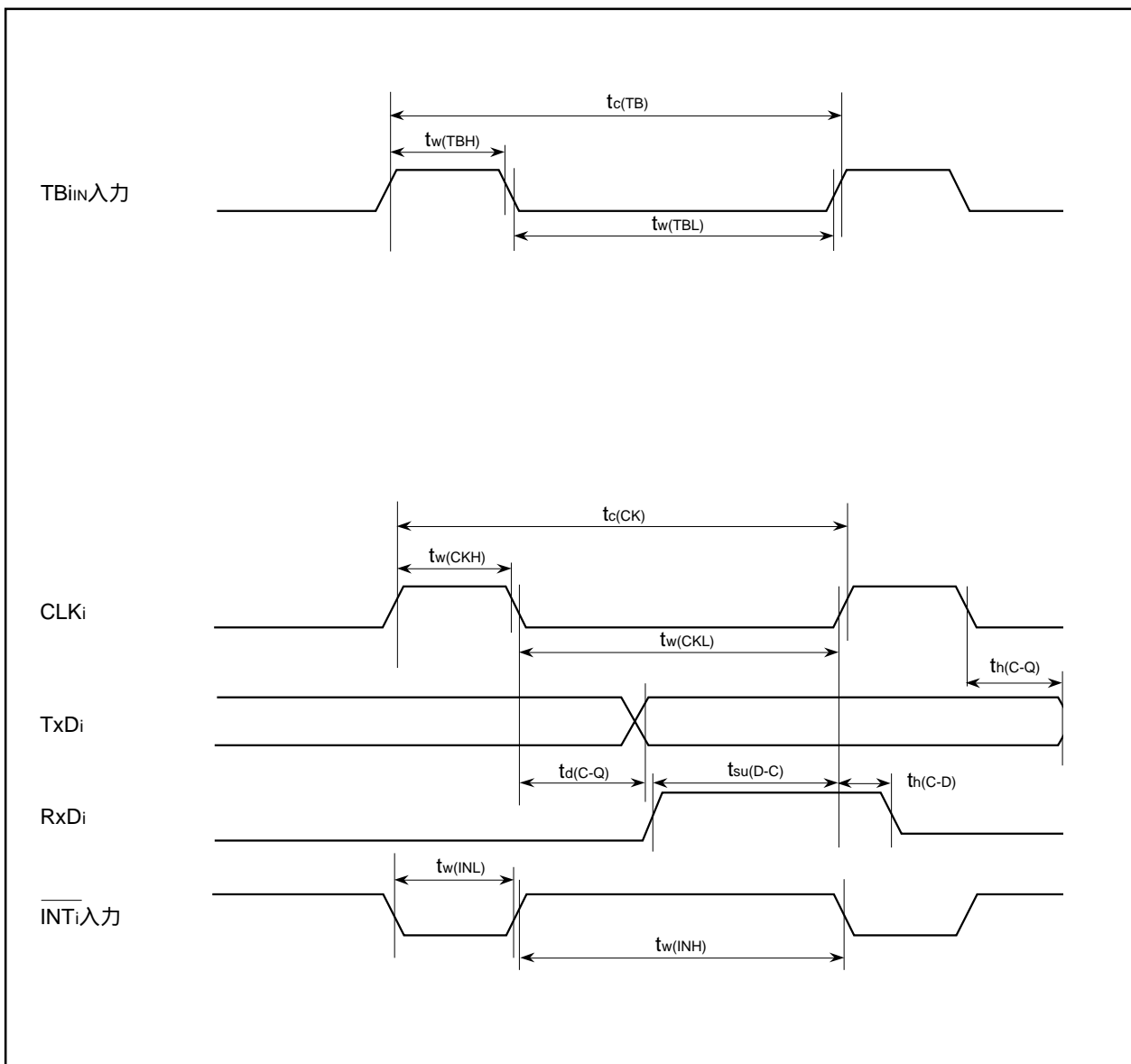
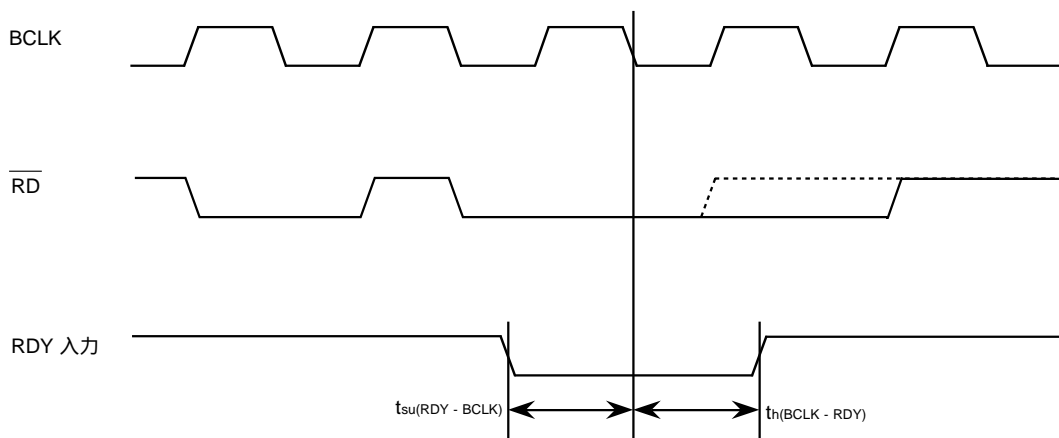


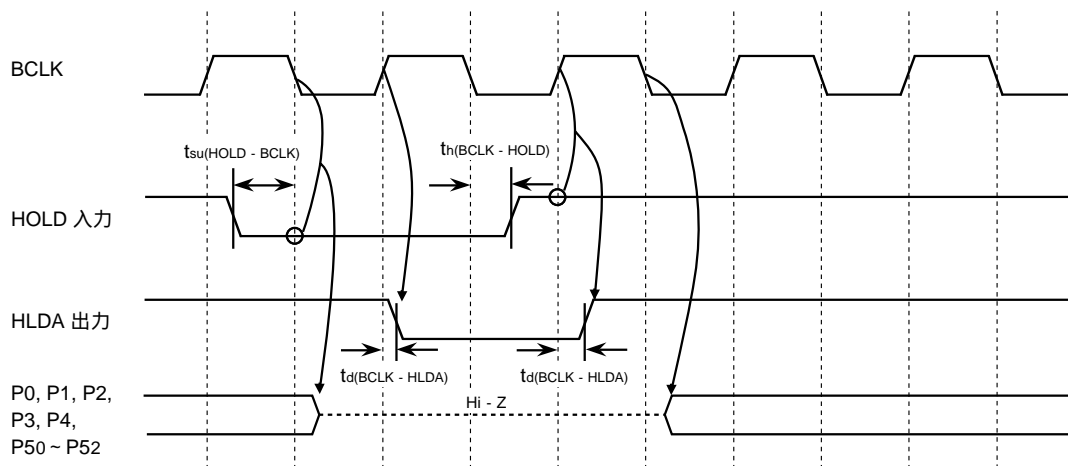
図5.10.1 タイミング図

メモリ拡張モード及びマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注. BYTE端子の入カレベル、プロセッサモードレジスタ0のポートP4₀~P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

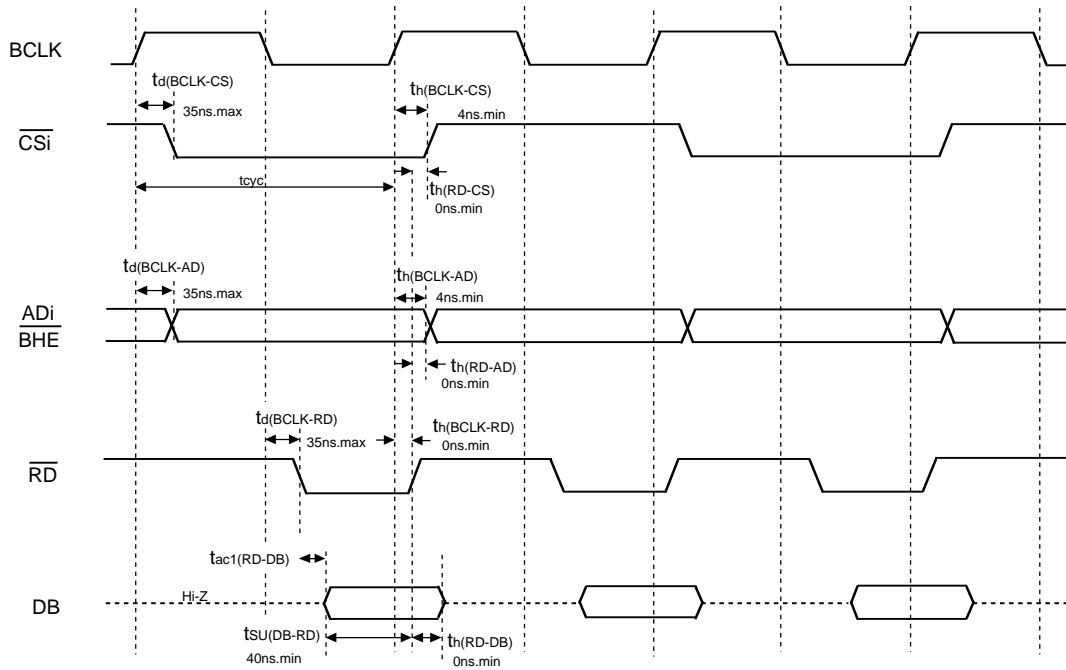
測定条件

	V _{CCI} =3.3 V	V _{CCE} =5.0 V
・入力タイミング電圧	V _{IL} /V _{IH} 0.66 V/2.64 V	1.0 V/4.0 V
・出力タイミング電圧	V _{OL} /V _{OH} 1.65 V/1.65 V	2.5 V/2.5 V

図5.10.2 メモリ拡張モード時及びマイクロプロセッサモード時のタイミング図(1)

メモリ拡張モード及びマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

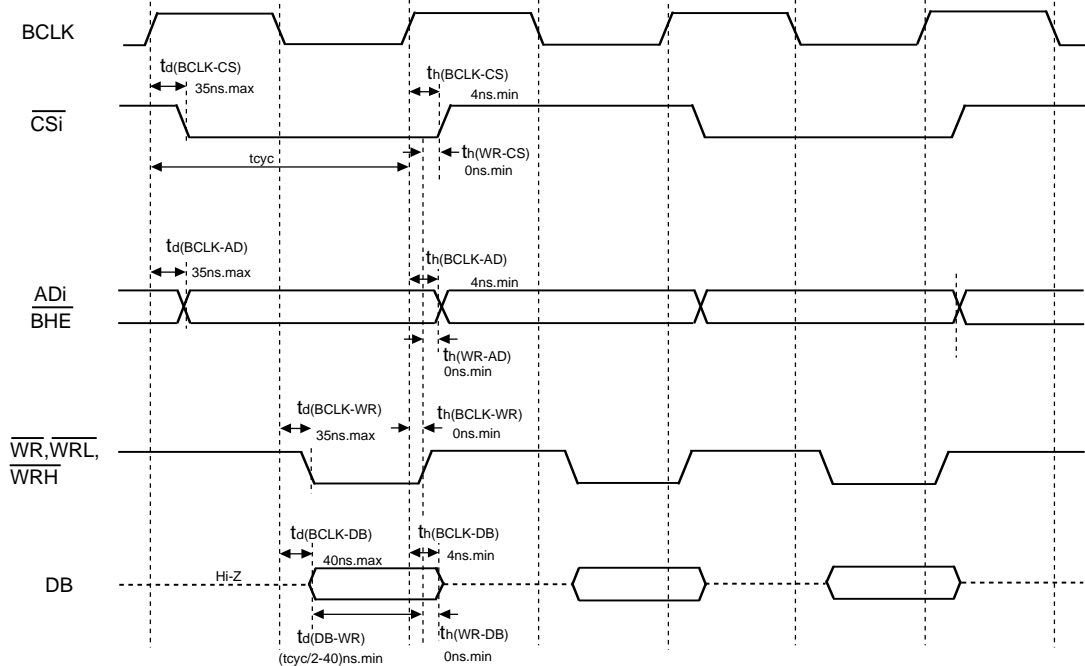
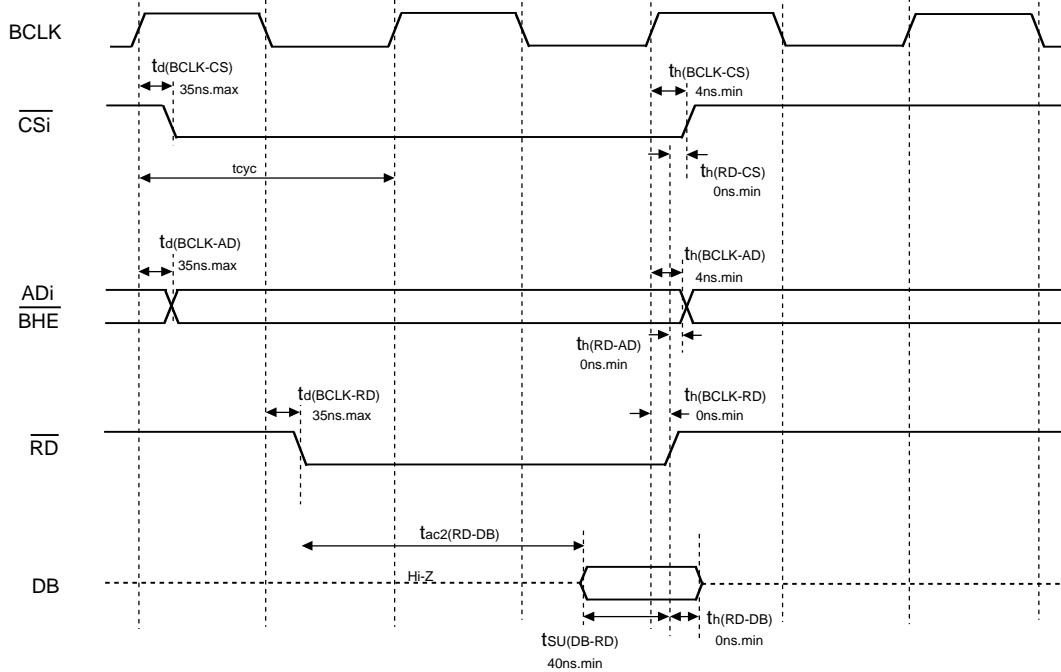


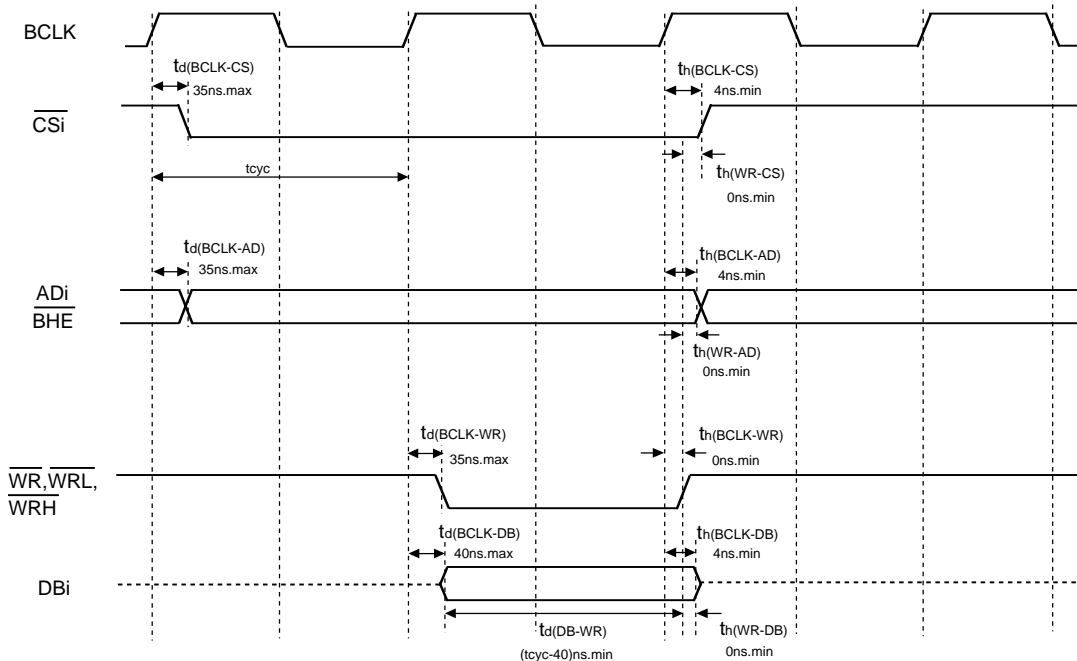
図5.10.3 メモリ拡張モード時及びマイクロプロセッサモード時のタイミング図(2)

メモリ拡張モード及びマイクロプロセッサモード
(ウェイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- ・入力タイミング電圧
- ・出力タイミング電圧

	V _{CC1} =3.3 V	V _{CC2} =5.0 V
V _{IL} /V _{IH}	0.52 V/1.65 V	1.0 V/4.0 V
V _{OL} /V _{OH}	1.65 V	1.65 V

図5.10.4 メモリ拡張モード時及びマイクロプロセッサモード時のタイミング図 (3)

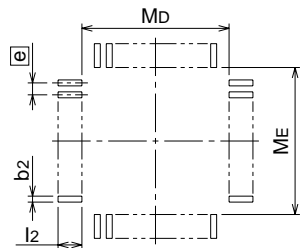
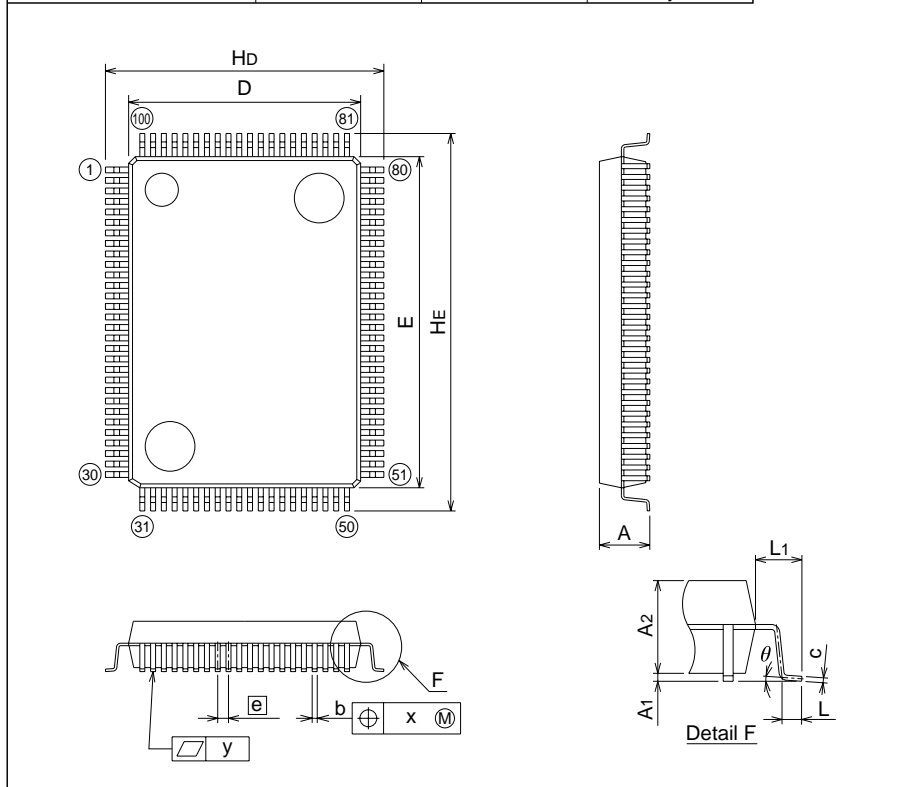
6. パッケージ寸法図

100P6S-A

(MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
H _d	16.5	16.8	17.1
H _E	22.5	22.8	23.1
L	0.4	0.6	0.8
L ₁	-	1.4	-
x	-	-	0.13
y	-	-	0.1
θ	0°	-	10°
b ₂	-	0.35	-
l ₂	1.3	-	-
M _d	-	14.6	-
M _e	-	20.6	-

7. フラッシュメモリ

7.1 概要

M306V7(フラッシュメモリ版)は、3.3V単一電源での書き換えが可能なDINOR(Divied bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図7.1.1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

表7.1.1に性能概要を示します。

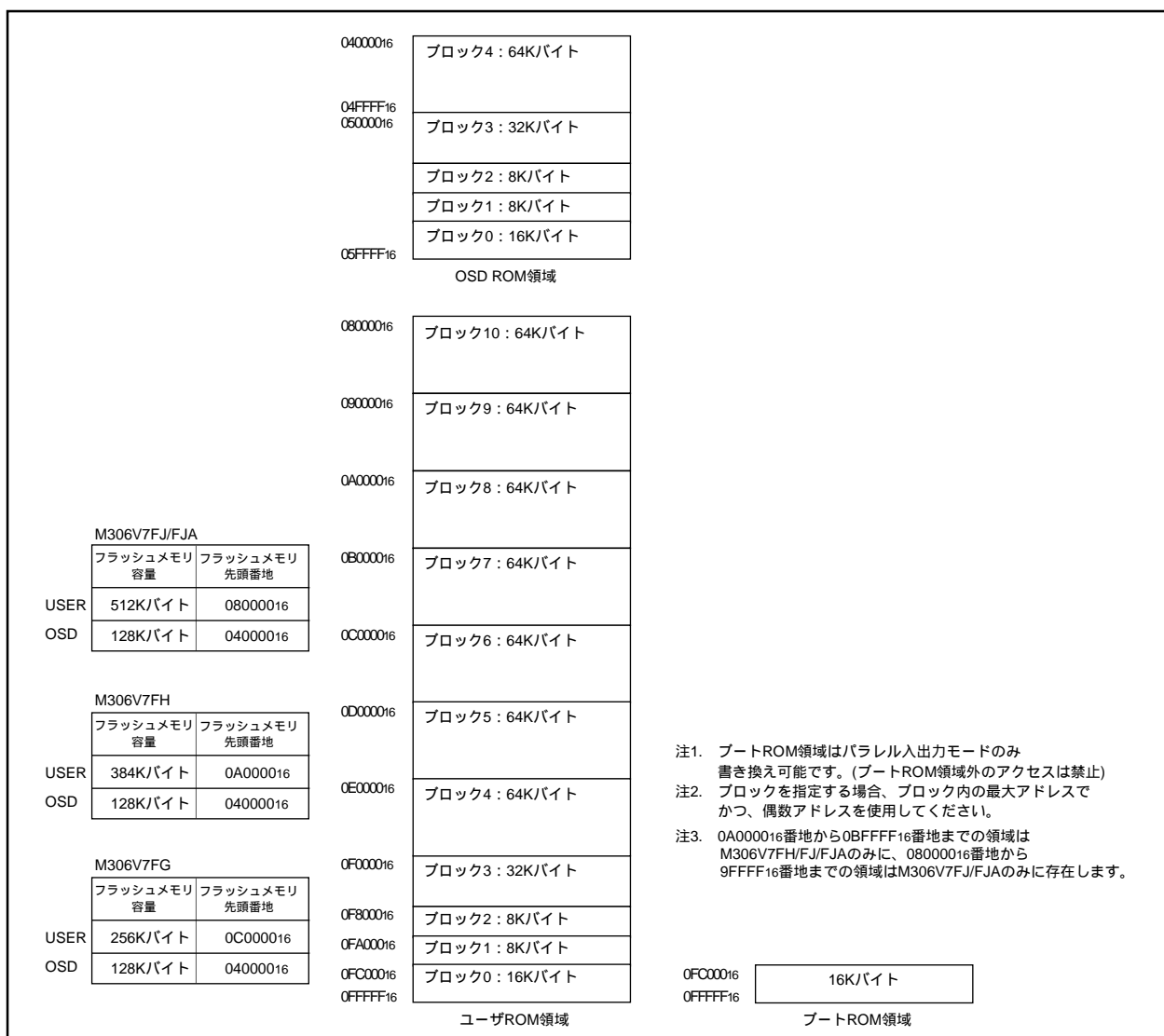


図7.1.1 内蔵フラッシュメモリのブロック図

表7.1.1. M306V7(フラッシュメモリ版)の性能概要

項目	性能	
電源電圧	3.15V ~ 3.45V (f(XIN)=16MHz、ウエイトなし)	
プログラム/イレーズ電圧	3.15V ~ 3.45V f(BCLK)=6.25MHz、ウエイトなし	
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)	
消去ブロック分割	ユーザROM領域	図7.1.1を参照してください。
	OSDROM領域	図7.1.1を参照してください。
	ブートROM領域	1分割(16Kバイト)(注1)
プログラム方式	ページ単位(256バイト単位)	
イレーズ方式	一括消去/ブロック消去	
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御	
コマンド数	6コマンド	
プログラム/イレーズ回数	100回	
プログラム/イレーズ周囲温度	10 ~ 40	
ROMコードプロテクト	標準シリアルモード対応	

注．ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

7.2 CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図7.1.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納していても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

7.2.1 マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図7.1.1に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

7.2.2 ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

7.2.3 機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(USER領域では0313₁₆番地/OSD領域では0317₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA₀は“0”)へライト、リードしてください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図7.2.1にフラッシュメモリ制御レジスタおよびフラッシュメモリ切替レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります(パラレル入出力モードのRY/BY端子と同等の機能)。

フラッシュメモリ制御レジスタのビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタのビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタのビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスされる領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ切替レジスタのビット1はUSER領域とOSD領域の切り替えビットです。このビットの設定内容によりアクセス領域が切り換わります。選択されていない領域へのアクセスは、メモリリードを含めてできません。また、このビットを変更してから対象領域がアクセス可能になるまでに50クロックサイクルの待ち時間が必要です。

図7.2.2にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

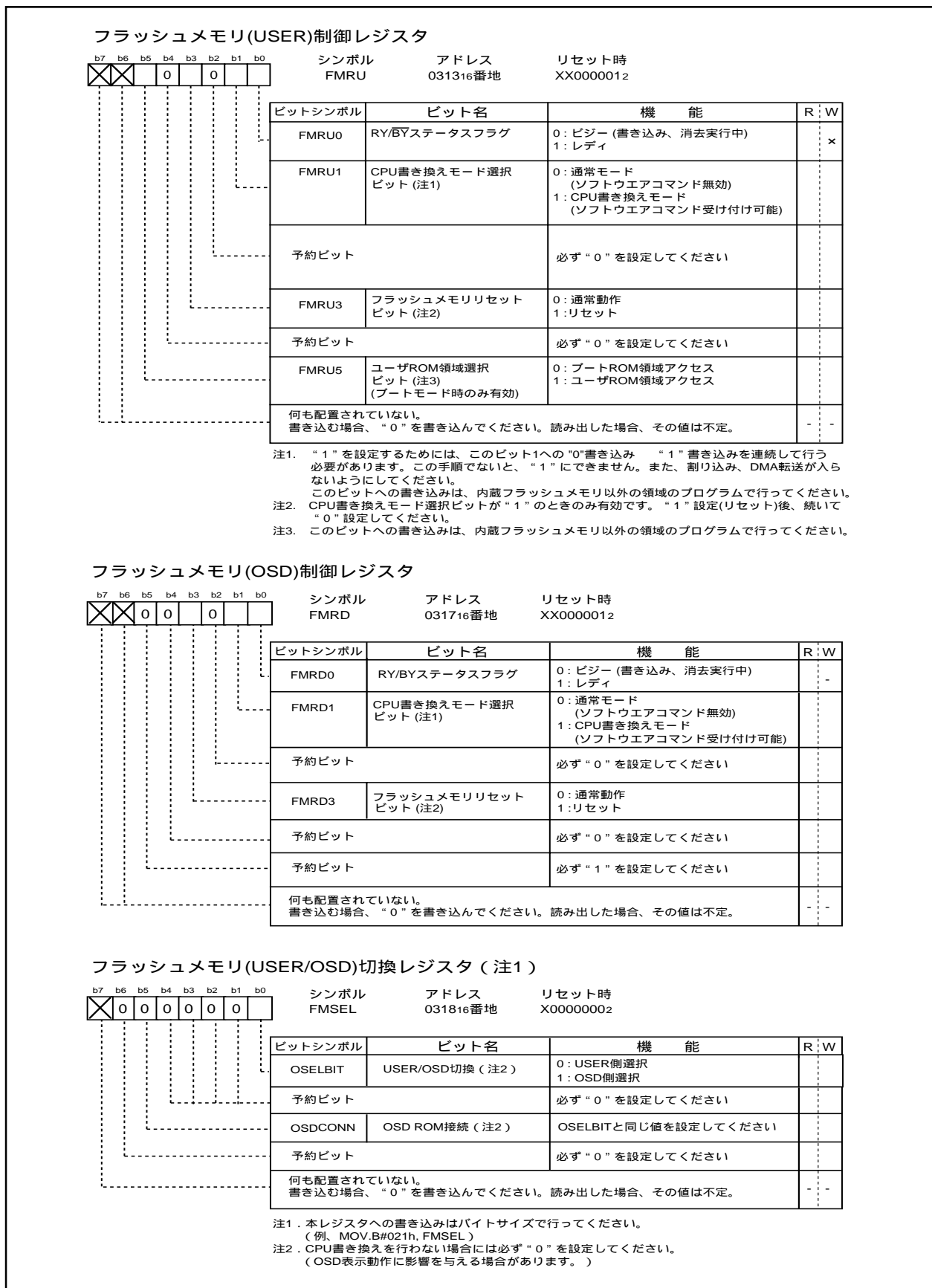


図7.2.1 フラッシュメモリ制御レジスタ、フラッシュメモリ切替レジスタ

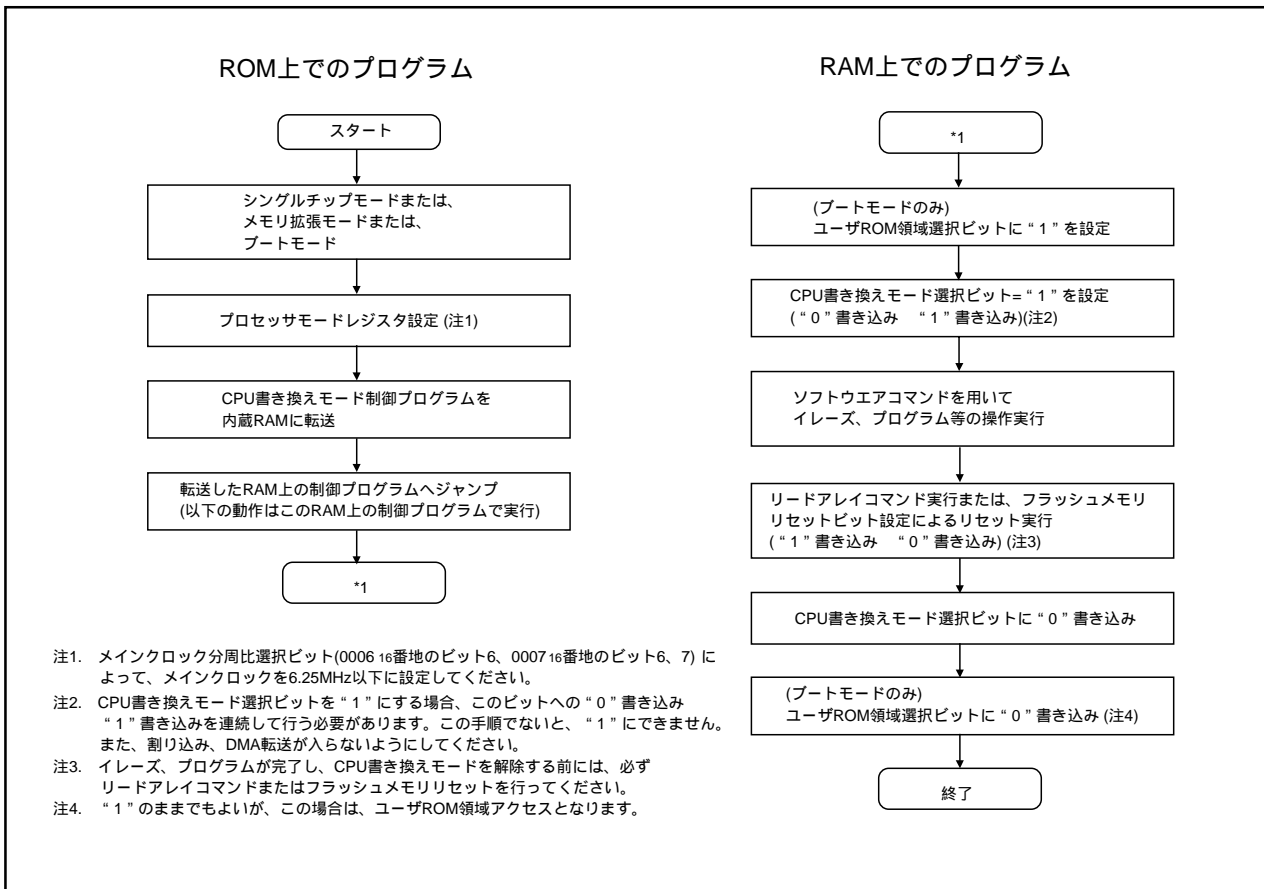


図7.2.2 CPU書き換えモードの設定/解除フローチャート

7.2.4 CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)によって、メインクロックを6.25MHz以下に設定してください。

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。監視タイマ割り込みは、各割り込み発生時にフラッシュメモリの動作モードを強制的にリードアレイモードに変更するので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在する必要があります。監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、消去/プログラムの動作が必要です。

ユーザROM領域のFC000₁₆番地～FFFFF₁₆番地のブロックに対する消去動作や書き換え動作を中止すると、以後の全ブロックへの消去動作や書き換え動作ができなくなるがあるので、このブロックの書き換えは、標準シリアル入出力モードを使用することを推奨します。

(4)リセット

常に受け付けます。リセット解除時、060000₁₆番地～(フラッシュメモリ先頭番地-1)は予約領域でアクセスできません。したがって、この領域をユーザROM領域内に持つ製品の場合、リセットベクタにはこの領域のアドレスを書かないでください。

(5)アクセス禁止

CPU書き換えモード選択ビット、ユーザROM領域選択ビット及びUSER/OSD切換ビットは、内蔵フラッシュメモリ以外の領域のプログラムで書き込みを行ってください。

(6)アクセス方法

CPU書き換えモード選択ビットを“1”に設定する場合は、“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

(7)切り換え時間

USER/OSD切換ビットによりアクセス領域を変更する場合は、対象領域がアクセス可能になるまで50クロックサイクル程度の待ち時間を挿入してください。

7.2.5 ソフトウェアコマンド

表7.2.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表7.2.1 ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	ライト	X (注5)	FF ₁₆						
リードステータスレジスタ	ライト	X	70 ₁₆	リード	X	SRD (注2)			
クリアステータスレジスタ	ライト	X	50 ₁₆						
ページプログラム (注3)	ライト	X	41 ₁₆	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	20 ₁₆	ライト	BA (注4)	D0 ₁₆			
イレーズ全アンロックブロック	ライト	X	A7 ₁₆	ライト	X	D0 ₁₆			

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD=ステータスレジスタデータ

注3. WA=ライトアドレス, WD=ライトデータ

WAとWDは 00₁₆ からFE₁₆(バイトアドレス。ただし、偶数アドレス)へ順番に設定されなければなりません。ページサイズは256バイトです。

注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)

注5. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

ページプログラムコマンド(4116)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“4116”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA0～A7は“0016”から“FE16”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタのリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)または、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図7.2.3にページプログラムプログラムフローチャート例を示します。

なお、既にプログラムされたページに対する追加書き込みは禁止します。

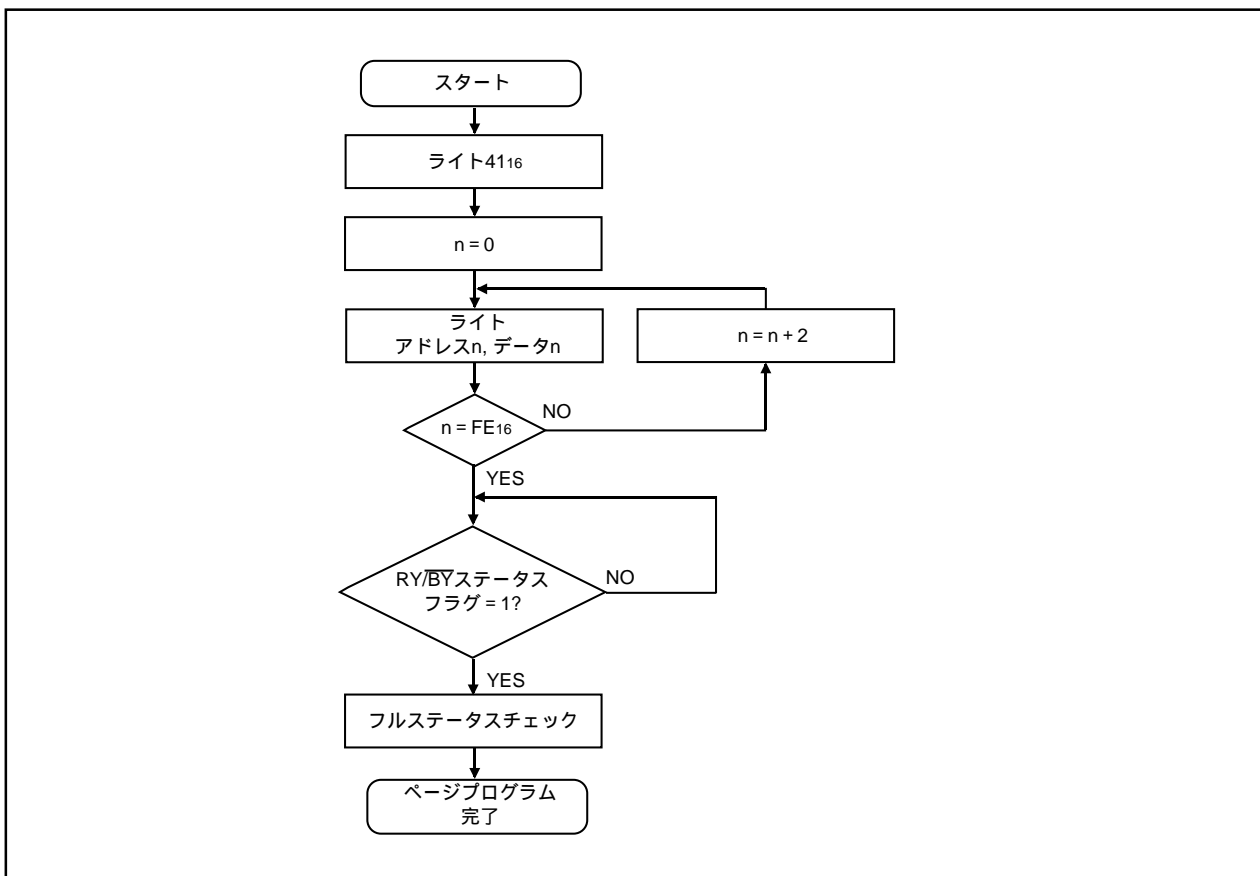


図7.2.3 ページプログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタのリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタのRY/ $\overline{\text{BY}}$ ステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図7.2.4にブロックイレーズのフローチャート例を示します。

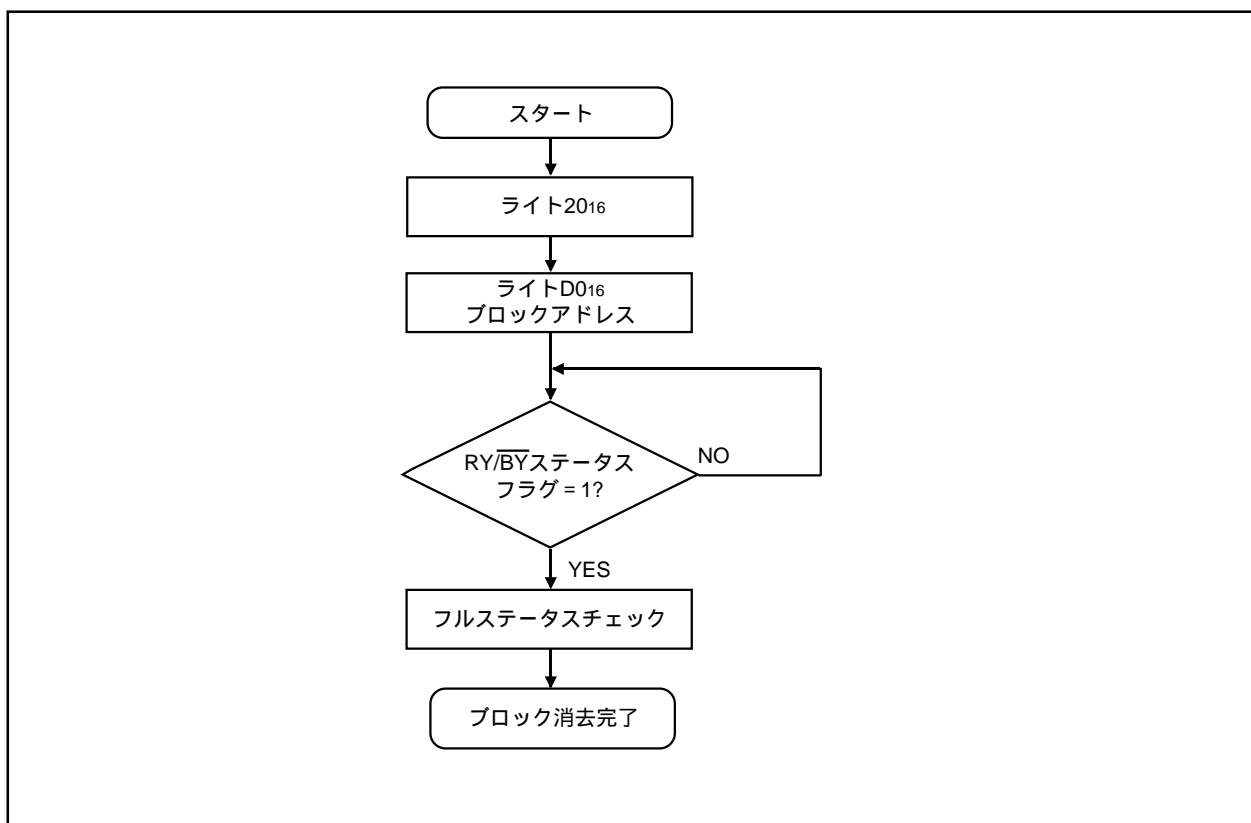


図7.2.4 ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A716/D016)

第1バスサイクルでコマンドコード“ A716 ”、続く第2バスサイクルで確認コマンドコード“ D016 ”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

7.2.6 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。ステータスレジスタを表7.2.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。リセット解除後、ステータスレジスタは、“80₁₆”になります。各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはRY/ $\overline{\text{BY}}$ ピンの出力と同様にデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、コマンドライトによる次のコマンドは受け付けません。

また、規定コマンドが正しく入力されなかった場合にはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80₁₆”を出力し、書き込みがフェイルしたときは“90₁₆”を出力、そして、過剰書き込みが発生したときに“88₁₆”が出力されます。

表7.2.2 ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

7.2.7 フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図7.2.5にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

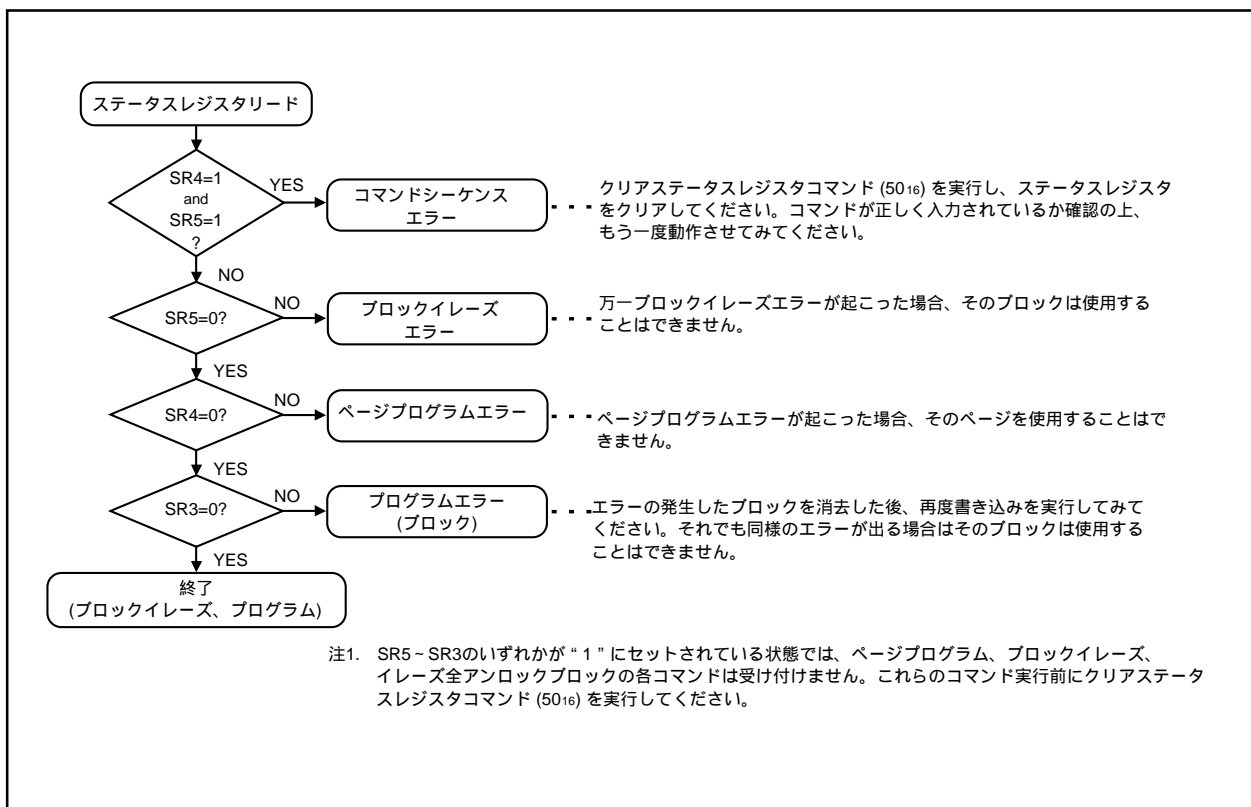


図7.2.5 フルステータスチェックフローチャートおよび各エラー発生時の対処方法

7.2.8 内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に書き換えられないように、標準シリアル入出力モードではIDコードチェック機能を内蔵しています。

7.3 パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M306V7(フラッシュメモリ版)をサポートしている専用ライターを使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

7.3.1 ユーザROM領域とブートROM領域

パラレル入出力モードでは、図7.1.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図7.1.1に示します。

ブートROM領域は、16Kバイトで、パラレル入出力モードでは、0FC000₁₆ ~ 0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは16Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

7.4 標準シリアル入出力モード

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VccI,Vss	電源入力		VccI 端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	VccI に接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、X IN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、X INから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VssまたはVccIに接続してください。
VCCE	アナログ電源入力		VCCEに保証電圧を印加してください。
TVSETB	設定入力	入力	Vssに接続してください。
P00 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P50	CE入力	入力	"H"を入力してください。
P51 ~ P54,P56,P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P55	EPM入力	入力	"L"を入力してください。
P67	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P60	BUSY出力	出力	BUSY信号の出力端子です。
P61	SCLK入力	入力	シリアルクロックの入力端子です。
P62	RXD入力	入力	シリアルデータの入力端子です。
P63	TXD出力	出力	シリアルデータの出力端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P82,P83,P86,P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P90 ~ P94	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P102 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。
HLF, VHOLD, CVIN		入力	"H"を入力、"L"を入力、または開放してください。
HLF2, VHOLD2, CVIN2		入力	"H"を入力、"L"を入力、または開放してください。
VSYN, HSYN		入力	"H"を入力、"L"を入力、または開放してください。

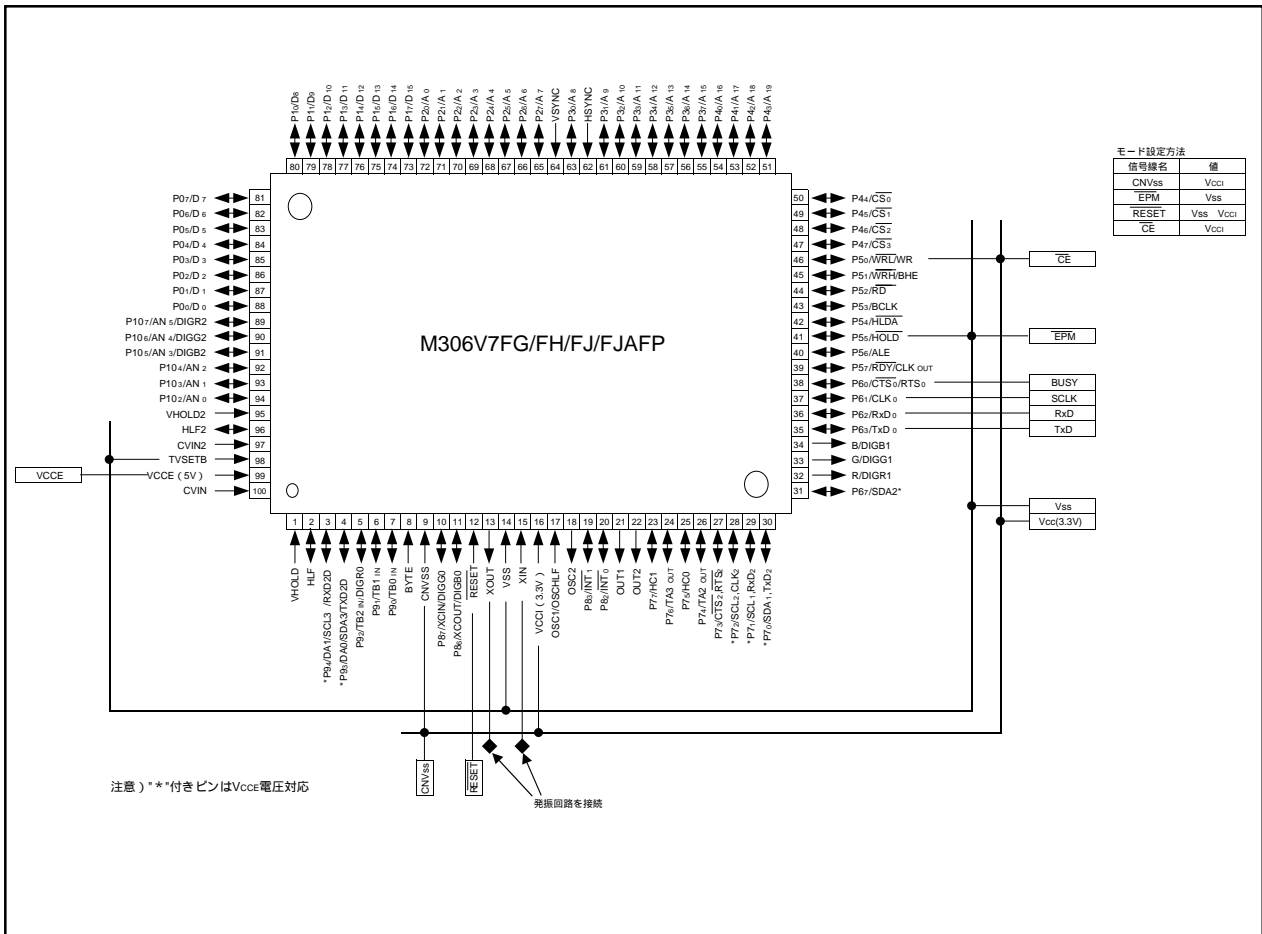


図7.4.1 シリアル入出力モード時の端子結線図(1)

7.4.1 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(CE)端子“H”、P55(EPM)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図7.4.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART0の端子CLK0、RxD0、TxD0、RTS0(BUSY)の4本を使って行います。

CLK0端子は転送クロックの入力端子で、外部から転送クロックを入力します。TxD0端子はCMOS出力です。RTS0(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図7.1.1に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(UART0)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK0端子に入力する転送クロック立ち上がり同期して、RxD0端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がり同期して、TxD0端子から外部に出力します。

TxD0端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS0(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS0(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表7.4.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェアコマンドは、基本的にはパラレル入出力モードのものと同じですが、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能、USER ROM領域選択機能、OSD ROM領域選択機能を追加しています。

以下に各ソフトウェアコマンドの内容を説明します。

表7.4.1 ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンブロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
8	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
9	バージョン情報出力機能	FB ₁₆	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	~9バイト目 バージョンデータ出力	受付可
10	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
11	USER ROM領域選択機能	E0 ₁₆							受付可
12	OSD ROM領域選択機能	E1 ₁₆							受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

- SRDはステータスレジスタデータ。SRD1はステータスレジスタ1データ。
- ブランク品に対しては全コマンドの受け付け可。
- USER ROM/OSD ROM領域選択については以下の特例あり。
 - ページリード、ページプログラム、及びブロックイレーズでは、コマンド実行前に領域を自動的に切り替える。
 - イレーズ全アンブロックでは、選択されている領域のみが実行対象となる。
 - ブートROM領域出力実行後は、USER ROM領域が選択された状態で終了する。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

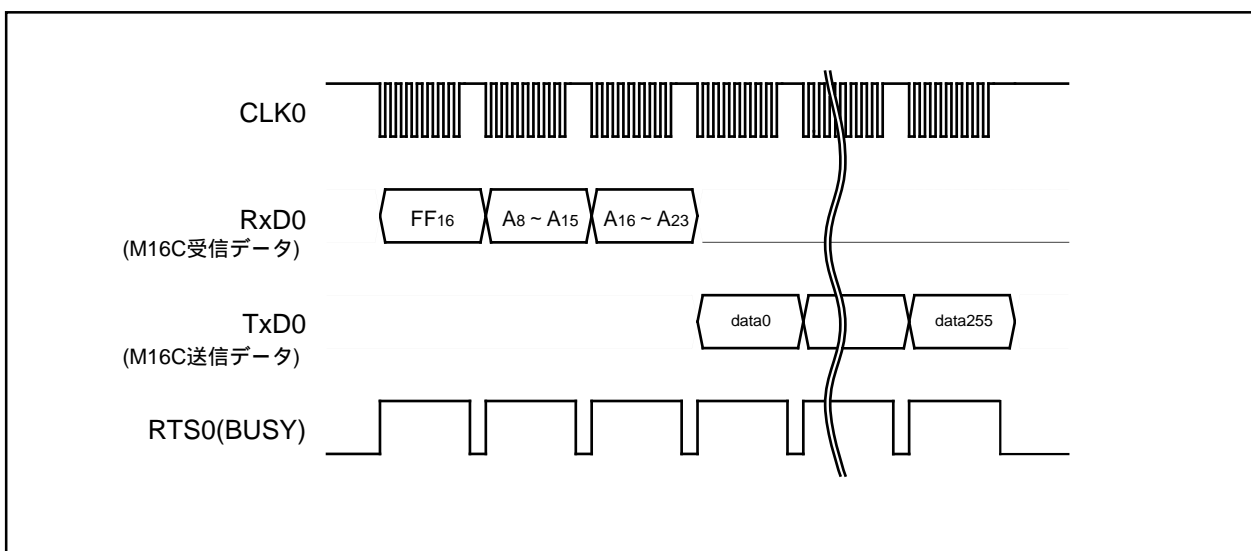


図7.4.2 ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

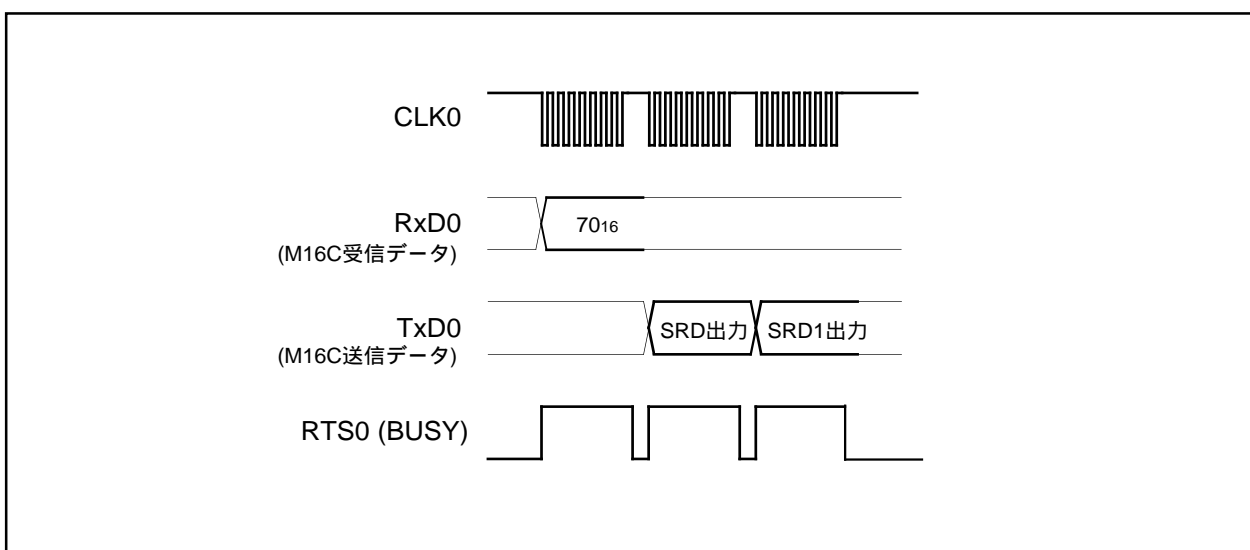


図7.4.3 リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS0(BUSY)信号は“H”から“L”に変化します。

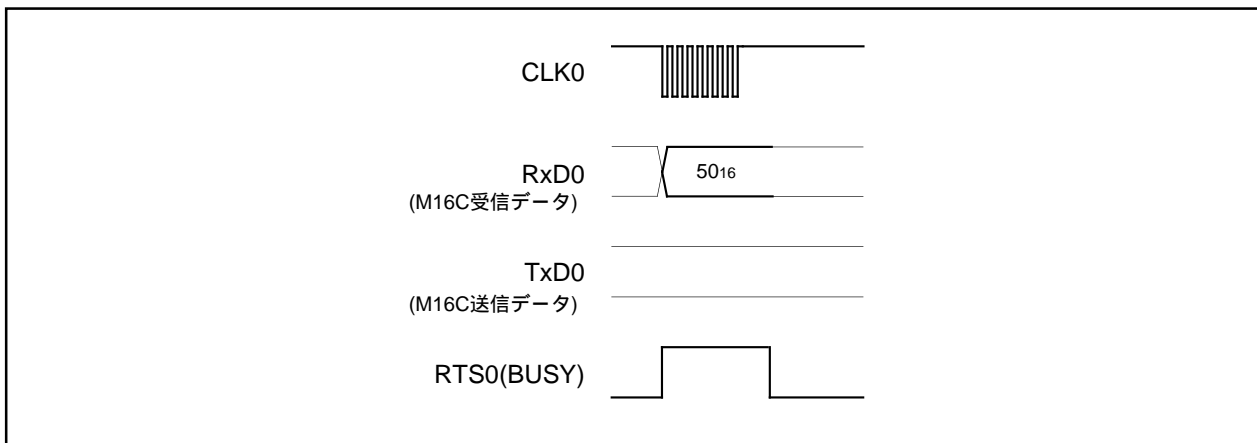


図7.4.4 クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS0(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

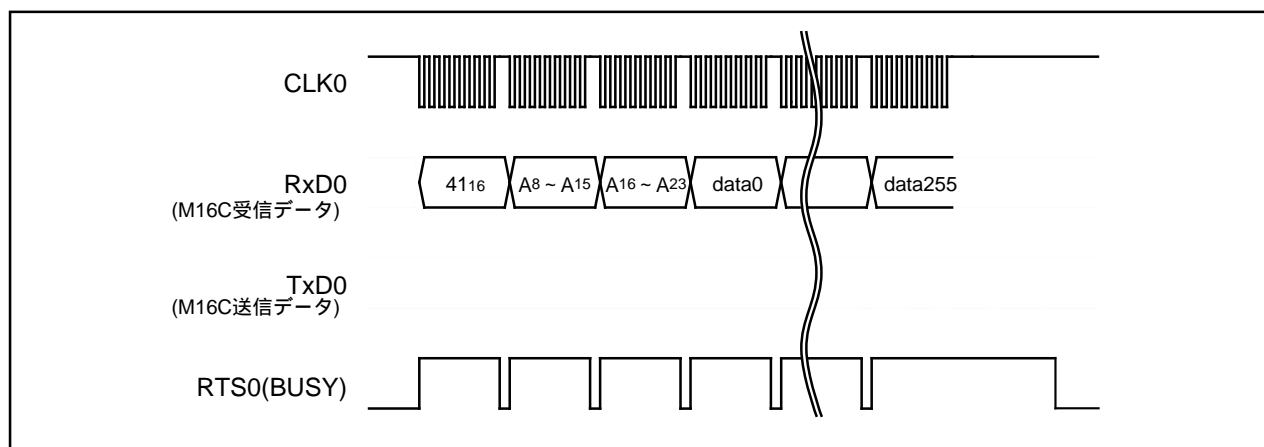


図7.4.5 ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₀(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

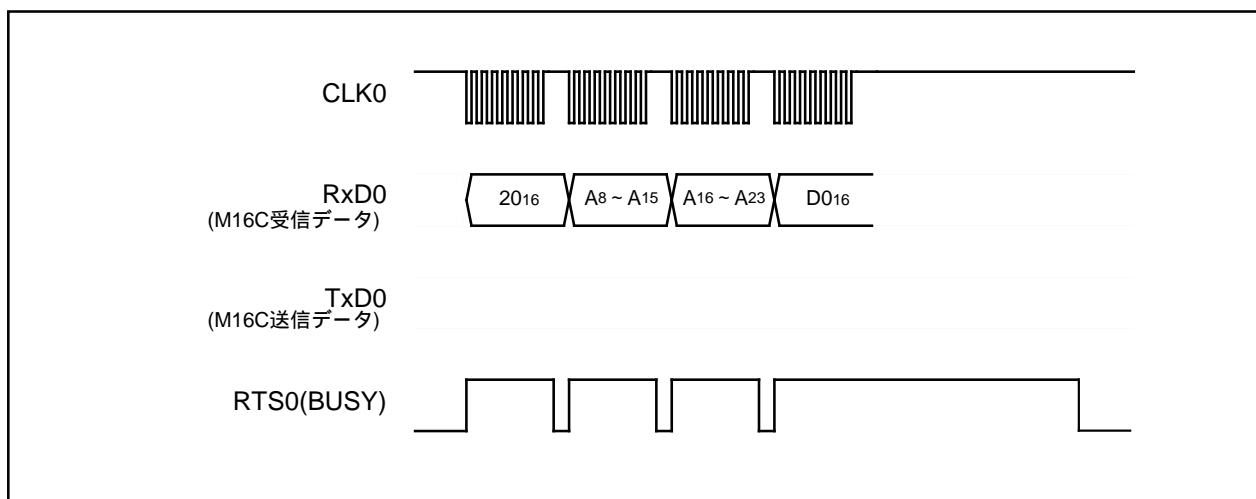


図7.4.6 ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A716 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D016 ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS0(BUSY)信号が“ H ” から “ L ” に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

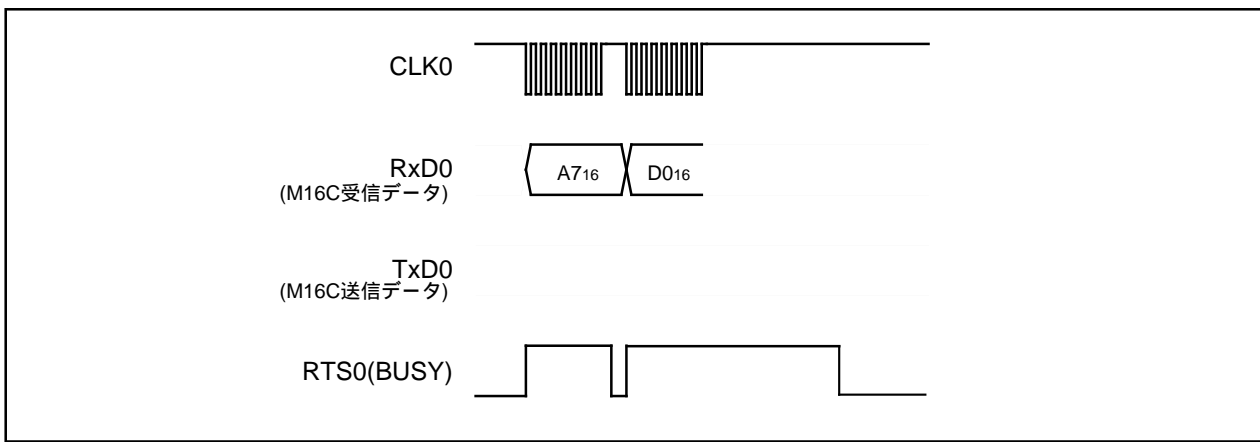


図7.4.7 イレーズ全アンロックブロックコマンド時のタイミング

ROM領域選択機能

USER ROM領域とOSD ROM領域の切り替えを行うためのコマンドです。

1バイト目の転送でコマンドコード“ E0 ”または“ E1 ”を転送すると、それぞれUSER ROM領域またはOSD ROM領域を選択します。切り替え動作を終了すると、RTS0(BUSY)信号が“ H ” から “ L ” に変化します。

なお、ステータスレジスタを読み出すことにより選択中の領域を知ることができます。詳しくはステータスレジスタの節を参照してください。

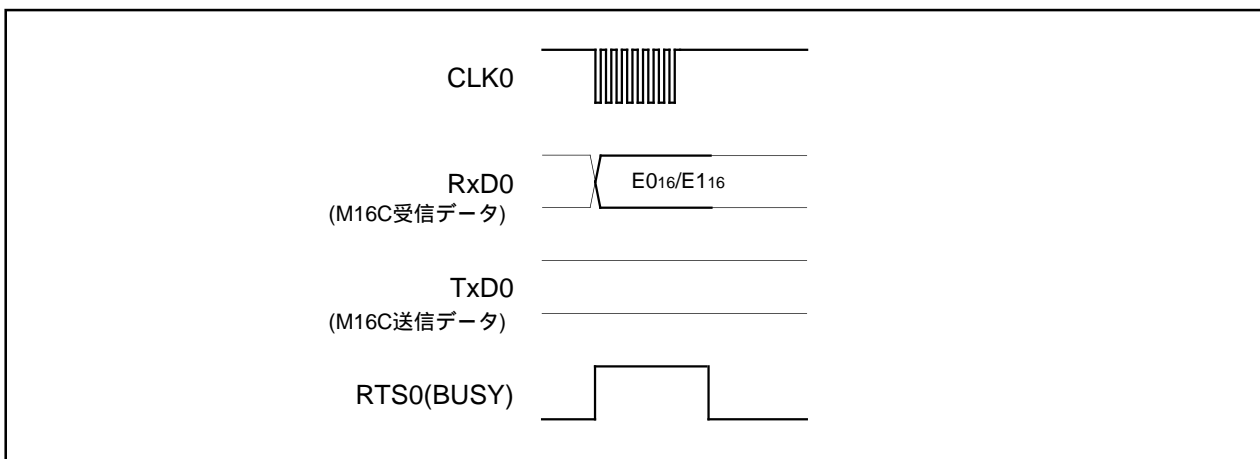


図7.4.8 ROM領域選択コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

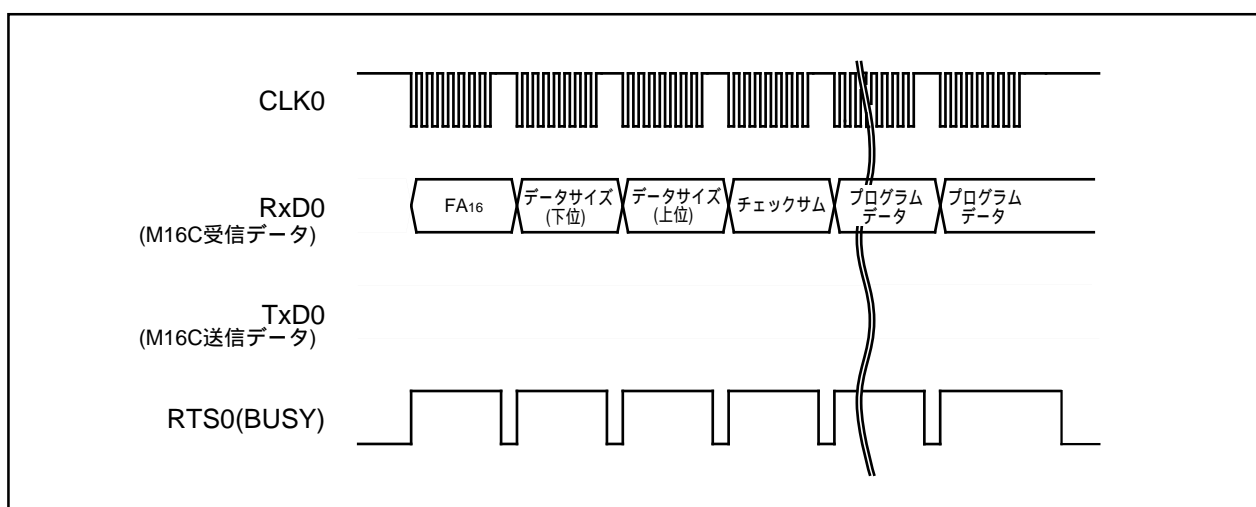


図7.4.9 ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

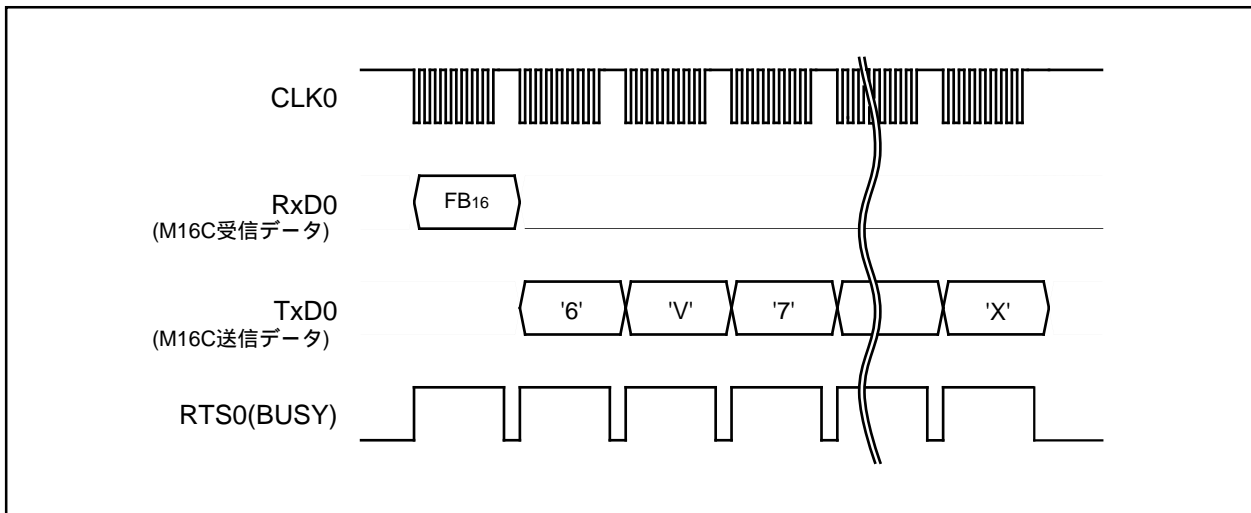


図7.4.10 バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

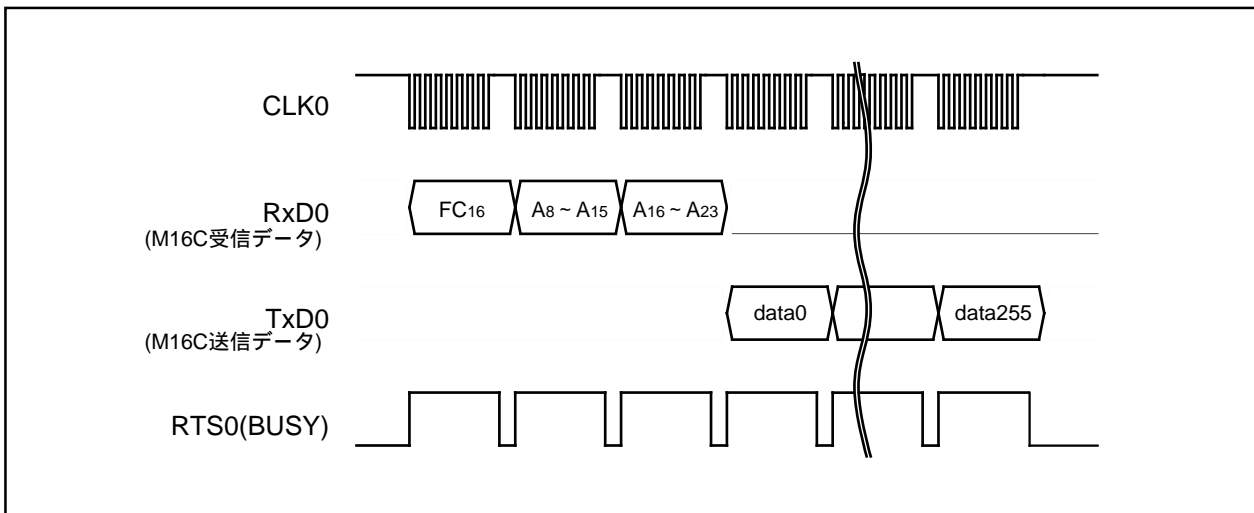


図7.4.11 ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA0～A7、A8～A15、A16～A23を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

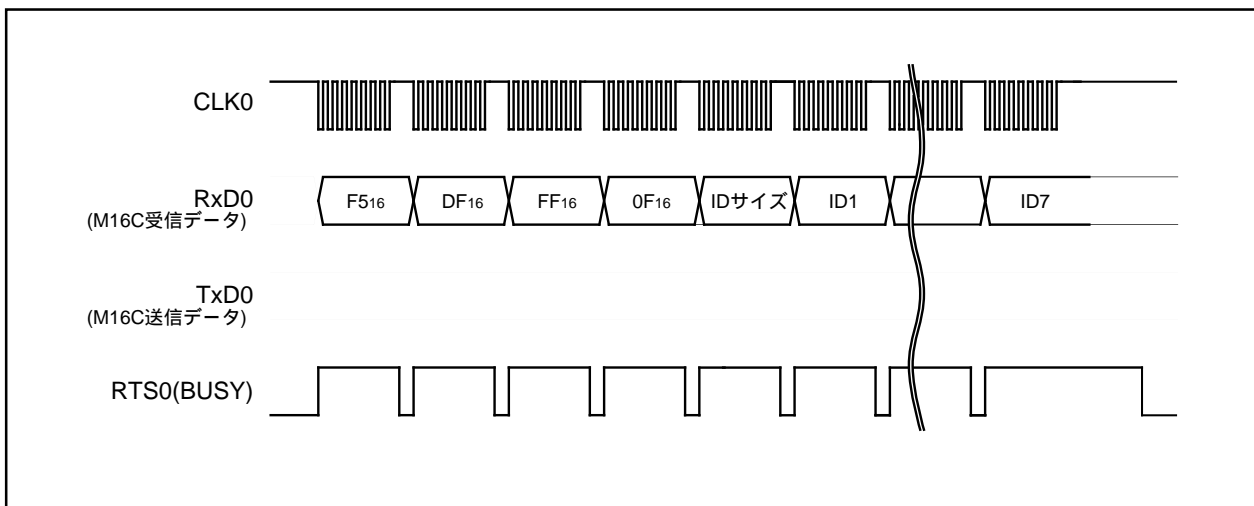


図7.4.12 IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFD₁₆、0FFFE₃₁₆、0FFFE_{B16}、0FFFE_{F16}、0FFFF₃₁₆、0FFFF₇₁₆、0FFFF_{B16}番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

アドレス	ID	機能
0FFFD ₁₆ ～0FFFD _{F16}	ID1	未定義命令ベクタ
0FFFE ₀₁₆ ～0FFFE ₃₁₆	ID2	オーバーフローベクタ
0FFFE ₄₁₆ ～0FFFE ₇₁₆		BRK命令ベクタ
0FFFE ₈₁₆ ～0FFFE _{B16}	ID3	アドレス一致ベクタ
0FFFE _{C16} ～0FFFE _{F16}	ID4	シングルステップベクタ
0FFFF ₀₁₆ ～0FFFF ₃₁₆	ID5	監視タイマベクタ
0FFFF ₄₁₆ ～0FFFF ₇₁₆	ID6	DBCベクタ
0FFFF ₈₁₆ ～0FFFF _{B16}	ID7	予約要因
0FFFF _{C16} ～0FFFF _{F16}		リセットベクタ

4バイト

図7.4.13 IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表7.4.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表7.4.2 ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“1”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“80₁₆”、書き込みがフェイルしたときは“90₁₆”、そして、過剰書き込みが発生したときに“88₁₆”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレース、イレース全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50₁₆)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表7.4.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表7.4.3 ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00：未照合 01：照合不一致 10：リザーブ 11：照合済み	
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	選択領域	OSD ROM	USER ROM

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11, SR10)

ID照合の結果を示すフラグです。ID照合しなければ受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

選択領域(SR8)

現在選択中のROM領域を示すフラグです。

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図7.4.14 にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

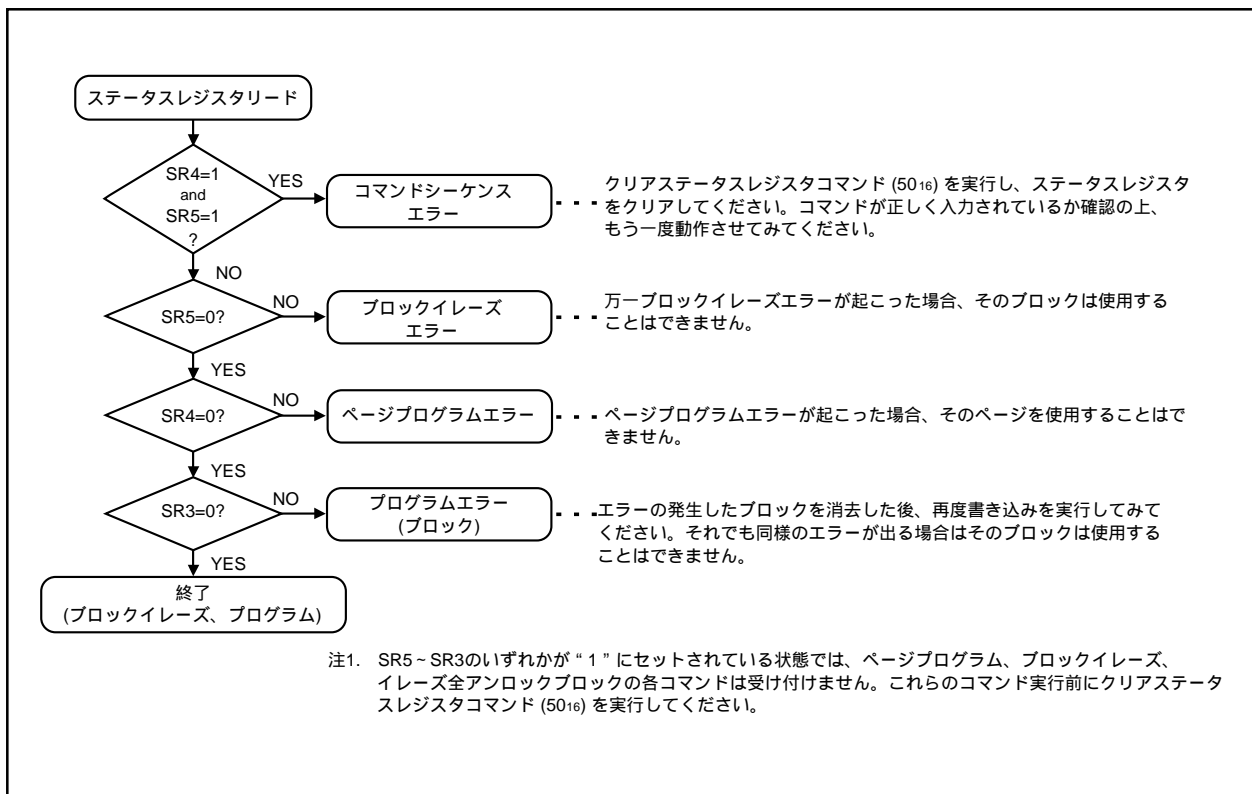


図7.4.14 フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。外部装置(ライター)によって制御するピン等が異なりますので、詳細は外部装置(ライター)のマニュアルを参考にしてください。

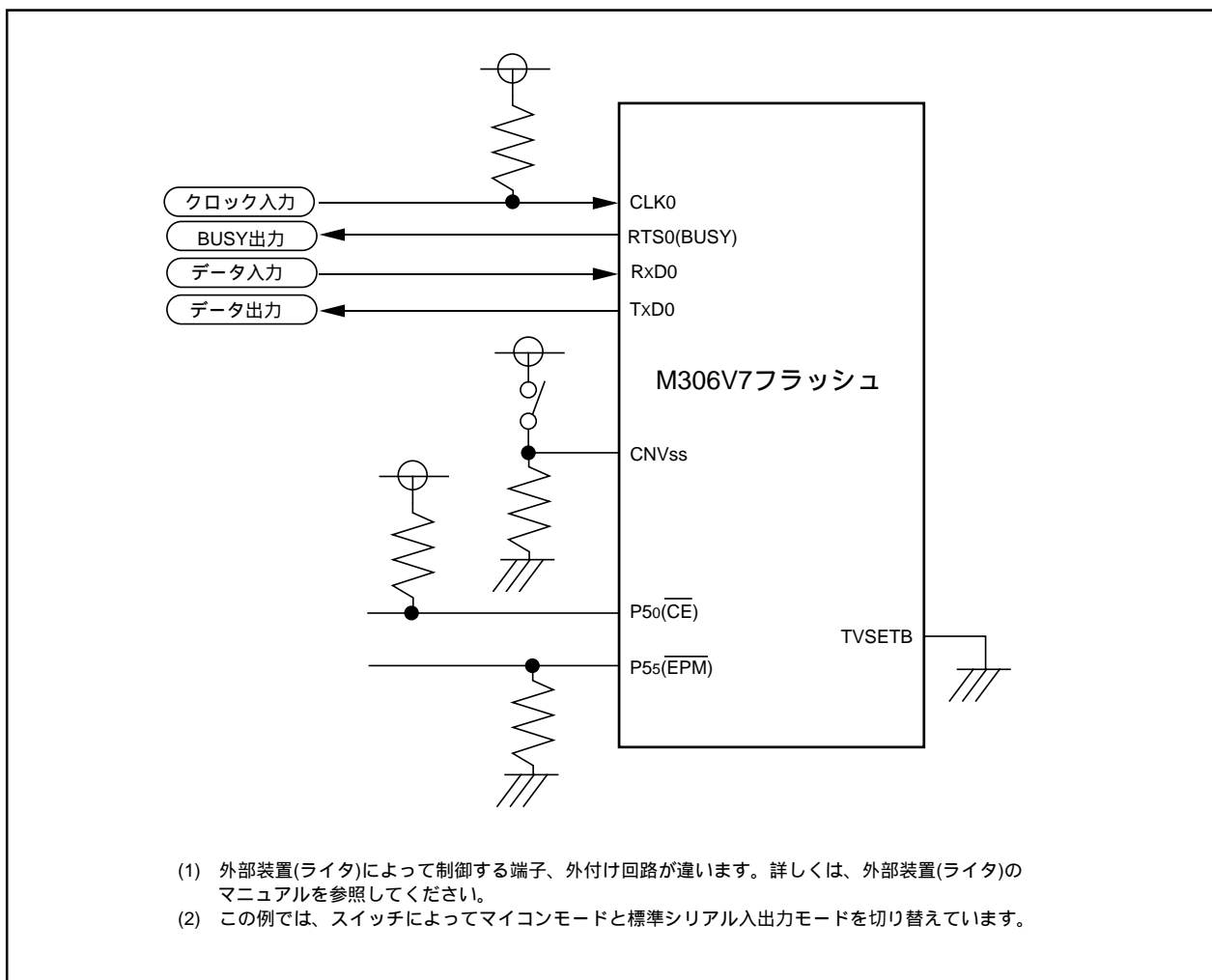


図7.4.15 標準シリアル入出力モード時の応用回路例

制御レジスタの構成図

各レジスタ構成は、下図を参照してください。

例

プロセッサモードレジスタ1(注)

シンボル: PM1 アドレス: 000516番地 リセット時: 00000X002

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	X	1	0

ビットシンボル	ビット名	機能	R/W
	予約ビット	必ず“0”を設定してください	
	予約ビット	必ず“1”を設定してください	
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		-
	予約ビット	必ず“0”を設定してください	-
PM17	ウェイトビット	0: ウェイトなし 1: ウェイトあり	

注1. リセット解除直後の内容
 0...リセット解除時“0”
 1...リセット解除時“1”
 ?...不定
 X...何も配置されていないビット

注2. ビットの属性...制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R: 読み出し
 ...読み出し可能
 x...読み出し不可
 -...何も配置されていないビット(特に記載がない場合は、読み出し値は不定)

W: 書き込み
 ...書き込み可能
 x...書き込み不可
 -...何も配置されていないビット

☒: 何も配置されていないビット

改訂記録

M306V7MG/MH/MJ/MJA-XXXFP, M306V7FG/FH/FJ/FJAFP
データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.05.18	-	PDF ファイル初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	部	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com