お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

1. 概　要

M306V5ME-XXXSPとM306V5EESPは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを登載したシングルチップマイクロコンピュータで、64ピンプラスチックモールドSDIPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、OSDやデータスライサを内蔵しており、クローズドキャプション付TVの制御に適したシングルチップマイクロコンピュータです。

M306V5EESPは、メモリにEPROMを内蔵している以外はM306V5ME-XXXSPと同等の機能を有しています。

1.1 特　長

- メモリ容量 ..... ＜ROM＞192Kバイト
  ＜RAM＞5Kバイト
  ＜OSD ROM＞61Kバイト
  ＜OSD RAM＞2.2Kバイト
- 最短命令実行時間 ..... 100ns(f(XIN)=10MHz時)
- 電源電圧 ..... 4.5V～5.5V
- 消費電力 250mW
- 割り込み ..... 内部21要因、外部3要因、ソフトウエア4要因、7レベル
- 多機能16ビットタイマ ..... 出力系2本 + 入力系1本 + 5本
- シリアルI/O 4ユニット
  UART／クロック同期：2
  マルチマスタI^2C-BUSインタフェース0（2系統）：1
  マルチマスタI^2C-BUSインタフェース1（1系統）：1
- DMAC ..... 2チャネル(スタート条件:23要因)
- A-D 変換器 ..... 8ビット×6チャネル
- D-A 変換器 ..... 8ビット×2チャネル
- データスライサ 1回路
- HSYNCカウンタ ..... 1回路（2系統）
- OSD機能 1回路
- 監視タイマ 1本
- プログラマブル入出力 46本
- クロック発生回路 2回路内蔵

1.2 応　用

クローズドキャプション付TV

――― 目　次 ―――

1. 概　要 1
1.1 特　長 1
1.2 応　用 1
1.3 ピン接続図 3
1.4 ブロック図 4
1.5 性能概要 5
2. 機能ブロック動作説明 10
2.1 メモリ 10
2.2 中央演算処理装置 16
2.3 リセット 19
2.4 シングルチップモード 23
2.5 クロック発生回路 27
2.6 プロテクト 37
2.7 割り込みの概要 38
2.8 監視タイマ 57
2.9 DMAC 59
2.10 タイマ 69
2.11 シリアルI/O 89
2.12 A-D変換器 139
2.13 D-A変換器 154
2.14 データスライサ 156
2.15 HSYNCカウンタ 166
2.16 OSD機能 167
2.16.1 トリプルレイヤOSD 173
2.16.2 表示位置 175
2.16.3 ドットサイズ 179
2.16.4 OSD用クロック 180
2.16.5 フィールド判別表示 181
2.16.6 OSD用メモリ 183
2.16.7 文字色 196
2.16.8 文字背景色 196
2.16.9 OUT1, OUT2信号 201
2.16.10 アトリビュート 202
2.16.11 オートソリッドスペース機能 . 207
2.16.12 特殊OSDモードブロック 208
2.16.13 多行表示 210
2.16.14 スプライトOSD機能 211
2.16.15 ウインドウ機能 214
2.16.16 ブランク機能 215
2.16.17 ラスター着色機能 218
2.16.18 スキャンモード 220
2.16.19 R, G, B信号出力制御 220
2.16.20 OSD予約レジスタ 221
2.17 プログラマブル入出力ポート 222
3. 使用上の注意事項 240
3.1 タイマAの注意事項
(タイマモード) 240
3.2 タイマAの注意事項
(イベントカウンタモード) 240
3.3 タイマAの注意事項
(ワンショットタイマモード) 240
3.4 タイマAの注意事項
(パルス幅変調モード) 240
3.5 タイマBの注意事項
(タイマモード、イベントカウンタモード)..... 241
3.6 タイマBの注意事項
(パルス周期測定、パルス幅測定モード)..... 241
3.7 A-D変換器の注意事項 241
3.8 ストップモード、ウエイトモードの
注意事項 241
3.9 割り込みの注意事項 242
3.10 PROM内蔵版使用上の注意事項 243
4. マスク化発注時の提出資料 244
5. 電気的特性 245
5.1 絶対最大定格 245
5.2 推奨動作条件 246
5.3 電気的特性 247
5.4 A-D変換特性 248
5.5 D-A変換特性 248
5.6 アナログR,G,B出力特性 248
5.7 タイミング必要条件 249
5.8 タイミング図 251
6. マスク化確認書 252
7. マーク指定書 256
8. ワンタイムPROM版M306V5EEFPマーキング図 257
9. パッケージ寸法図 258

1.3 ピン接続図

図1.3.1にピン接続図(上面図)を示します。

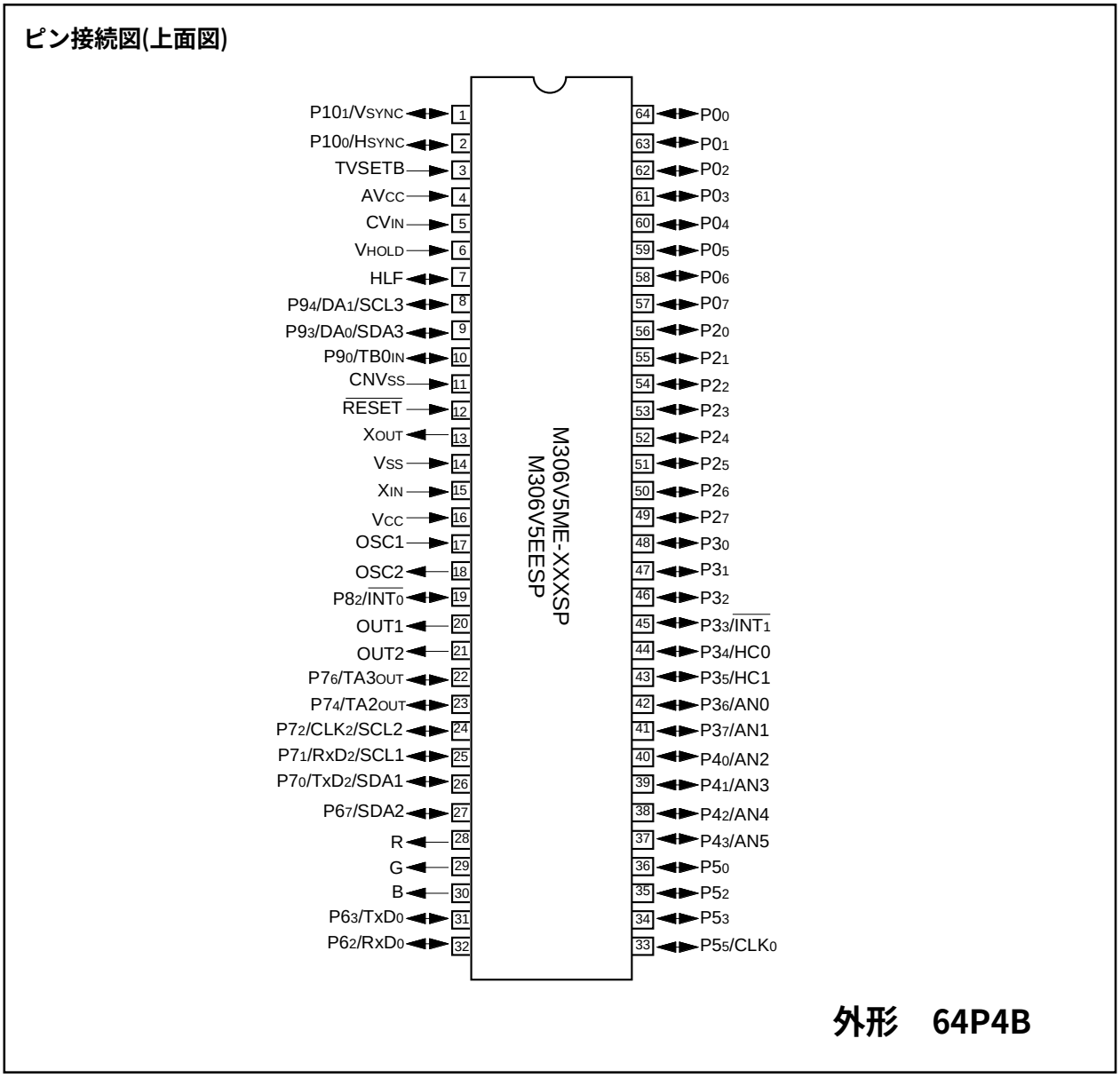


図1.3.1 ピン接続図(上面図)

1.4 ブロック図

図1.4.1にブロック図を示します。

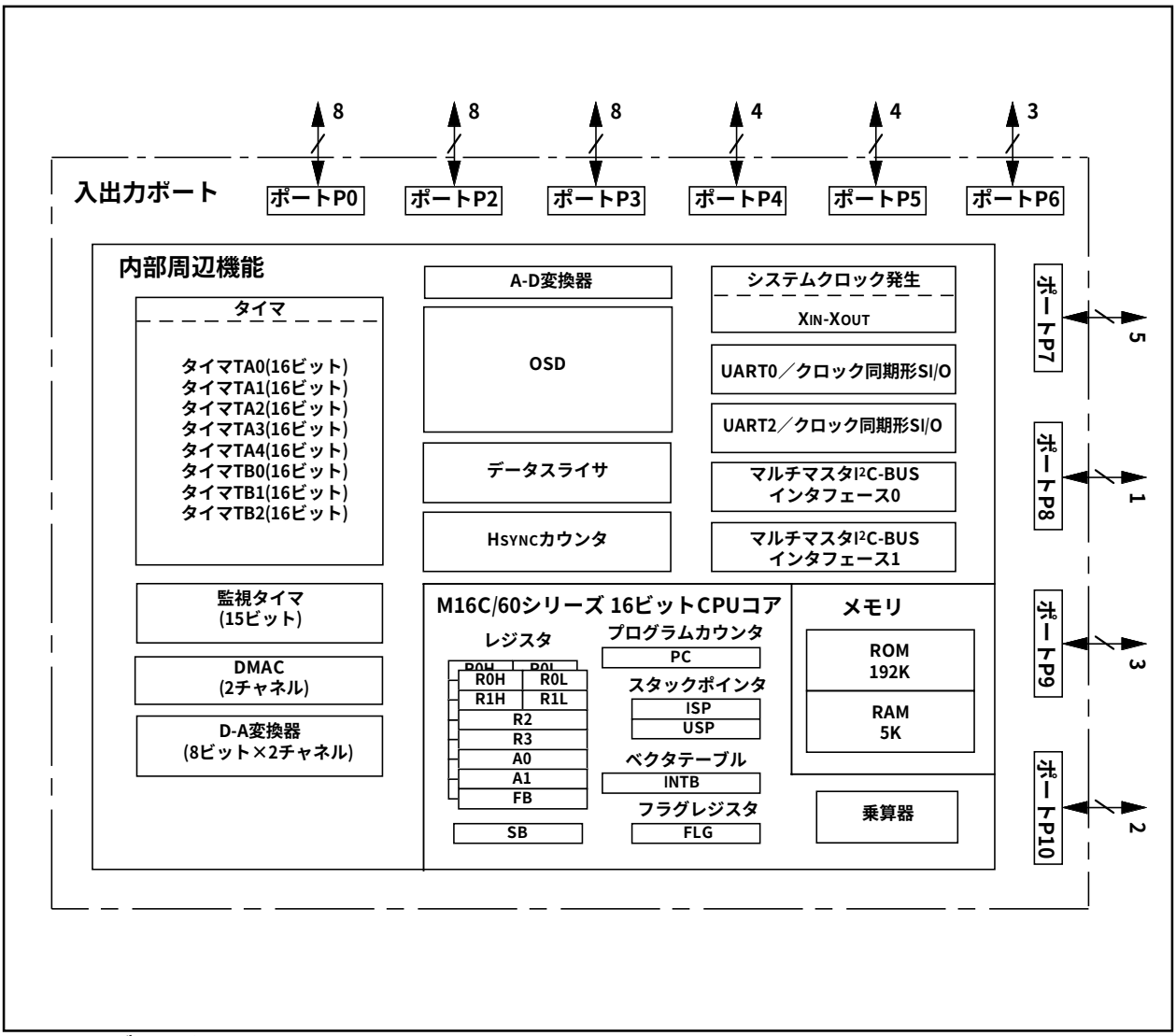


図1.4.1 ブロック図

1.5 性能概要

表1.5.1に性能概要を示します。

表1.5.1 性能概要

項目		性能
基本命令数		91命令
最短命令実行時間		100ns(f(XIN)=10MHz時)
メモリ容量	ROM	192Kバイト
	RAM	5Kバイト
	OSD ROM	61Kバイト
	OSD RAM	2.2Kバイト
入出力ポート	P0, P2～P10	8ビット×3, 5ビット×1, 4ビット×2, 3ビット×2, 2ビット×1, 1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4 TB0,TB1,TB2	16ビット×5 16ビット×3
シリアルI/O	UART0	1ユニット：UART又はクロック同期形
	UART2	1ユニット：UART又はクロック同期形
	マルチマスタI²C-BUSインタフェース0	1ユニット（2チャネル）
	マルチマスタI²C-BUSインタフェース1	1ユニット（1チャネル）
A-D変換器		8ビット×6チャネル
D-A変換器		8ビット×2チャネル
DMAC		2チャネル(スタート条件：23要因)
OSD機能		トリプルレイヤ、フォント890 種類、42文字×16行
データスライサ		32ビットバッファ
HSYNCカウンタ		8ビット×2チャネル
監視タイマ		15ビット×1(プリスケーラ付)
割り込み		内部21要因、外部3要因、ソフトウエア4要因、7レベル
クロック発生回路		2回路内蔵
電源電圧		4.5V～5.5V(f(XIN)=10MHz時)
消費電力		250mW
入出力特性	入出力耐電圧	5V
	出力電流	5mA
動作周囲温度		－10°C～70°C
素子構造		CMOS高性能シリコンゲート
パッケージ		64ピンプラスチックモールドSDIP

サポートを行う予定の製品を以下に示します。

表1.5.2　製品一覧表

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M306V5ME-XXXSP	192Kバイト	5Kバイト	64P4B	マスクROM版
M306V5EESP	192Kバイト	5Kバイト	64P4B	ワンタイムPROM版
M306V5EESS	192Kバイト	5Kバイト	64S1B	EPROM版

注.　EPROM版はプログラム開発用ツール（評価用）ですので、量産には使用しないでください。

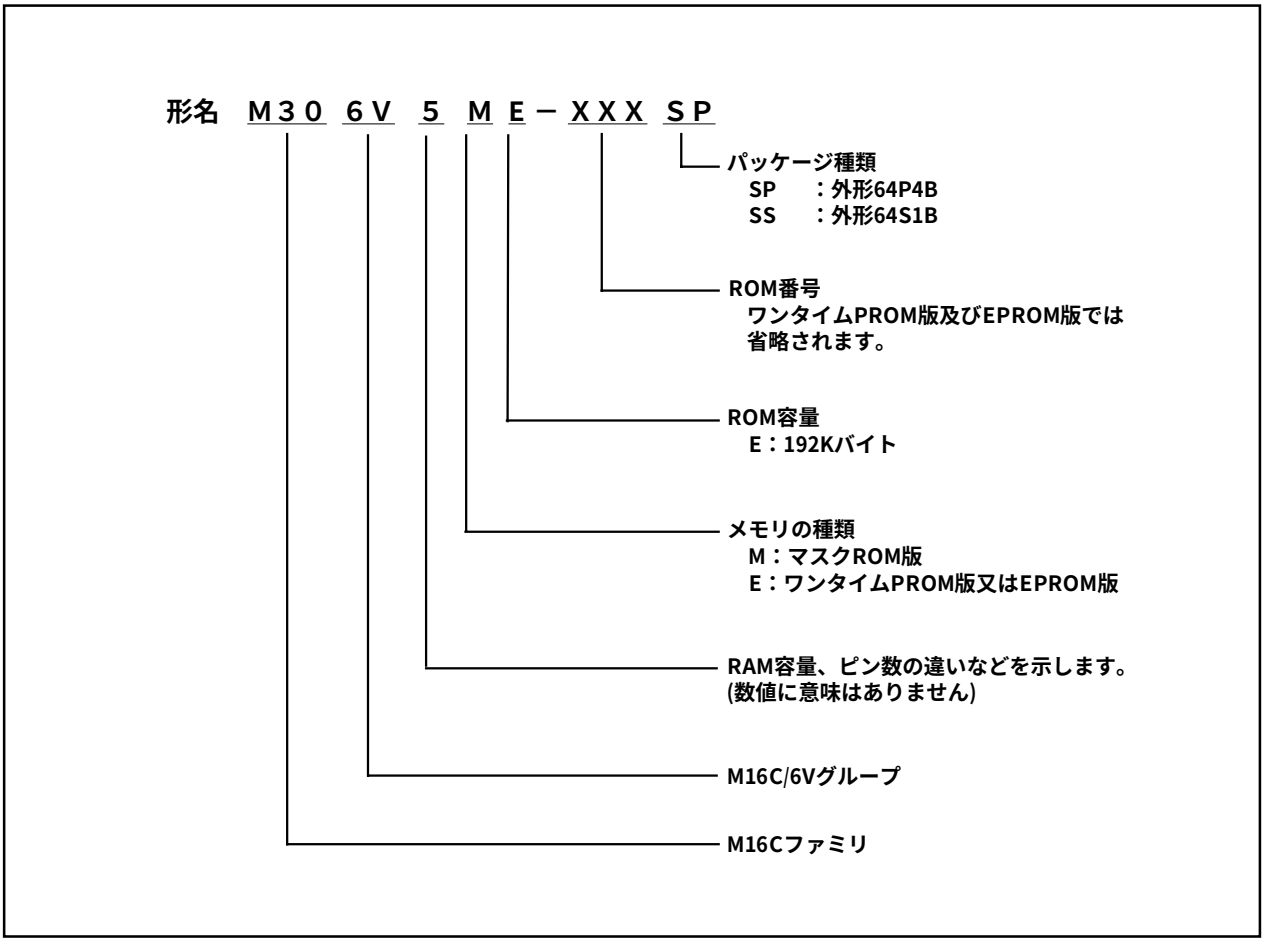


図1.5.1　形名とメモリサイズ・パッケージ

1.5.1　M16C/6V（64ピン版）グループについて

M16C/6V（64ピン版）グループは、64ピンプラスチックモールドSDIPに収められています。100ピンパッケージ品と比較して、ピン数が少なくなっていますので、以下に注意してください。

（1） M16C/6V（64ピン版）グループはシングルチップのみサポートしています。メモリ拡張モード、マイクロプロセッサモードはサポートしていません。

（2） リセット解除直後に、以下の順序で初期設定を必ず行ってください。

①OSD予約レジスタi（1～4）を指定の値に設定する。

②ポートPi方向レジスタ、ポートPiレジスタ、プルアップ制御レジスタiの各予約ビットを指定の値に設定する。

③ポート予約レジスタi（1～3）を指定の値に設定する。

④他予約レジスタ、及び他レジスタの各予約ビットを指定の値に設定する。

表1.5.3　端子の機能説明（1）

端子名	名　称	入出力	機　　能
V_{CC}, V_{SS}	電源入力		V_{CC}端子には、4.5V～5.5Vを印加してください。V_{SS}端子には、0Vを印加してください。
CNV_{SS}	CNV_{SS}	入力	V_{SS}端子に接続してください。
$\overline{RESET}$	リセット入力		この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
X_{IN} X_{OUT}	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X_{IN}端子からクロックを入力し、X_{OUT}端子は開放にしてください。
AV_{CC}	アナログ電源入力		A-D変換器の電源入力端子です。V_{CC}端子に接続してください。
$P0_0$～$P0_7$	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。
$P2_0$～$P2_7$	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
$P3_0$～$P3_7$	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、外部割り込み端子、H_{SYNC}カウンタ、およびA-D変換器の入力端子として機能します。
$P4_0$～$P4_3$	入出力ポートP4	入出力	P0と同等の機能を持つ4ビット入出力ポートです。ソフトウエアで選択することによって、A-D変換器の入力端子として機能します。
$P5_0$, $P5_2$, $P5_3$, $P5_5$	入出力ポートP5	入出力	P0と同等の機能を持つ4ビット入出力ポートです。ソフトウエアで選択することによって、UART0の入出力端子として機能します。
$P6_2$, $P6_3$, $P6_7$	入出力ポートP6	入出力	P0と同等の機能を持つ3ビット入出力ポートです。ソフトウエアで選択することによって、UART0、およびマルチマスタI^2C-BUSインタフェース0の入出力端子として機能します。
$P7_0$～$P7_2$, $P7_4$, $P7_6$	入出力ポートP7	入出力	P0と同等の機能を持つ5ビット入出力ポートです（ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力）。ソフトウエアで選択することによって、タイマA2、A3、UART2、マルチマスタI^2C-BUSインタフェース0の入出力端子として機能します。
$P8_2$	入出力ポートP8	入出力	$P8_2$はP0と同等の機能を持つ入出力ポートです。$P8_2$はソフトウエアで選択することによって、外部割り込みの入力端子として機能します。
$P9_0$, $P9_3$, $P9_4$	入出力ポートP9	入出力	P0と同等の機能を持つ3ビット入出力ポートです。ソフトウエアで選択することによって、タイマB0の入力端子、D-A変換器の出力端子、マルチマスタI^2C-BUSインタフェース1の入出力端子として機能します。

表1.5.4　端子の機能説明（2）

端子名	名　称	入出力	機　　能
$P10_0$, $P10_1$	入出力ポートP10	入出力	P0と同等の機能を持つ2ビット入出力ポートです。ソフトウエアで選択することによって、OSD機能の入力端子としても機能します。
R, G, B	OSD出力	出力	OSD出力端子（アナログ出力）です。
OUT1,OUT2	OSD出力	出力	OSD出力端子（デジタル出力）です。
OSC1	OSD用ｸﾛｯｸ入力	入力	OSD用のクロック入力端子です。
OSC2	OSD用ｸﾛｯｸ出力	出力	OSD用のクロック出力端子です。
CV_{IN}	データスライサ入出力	入力	コンデンサを介してコンポジットビデオ信号を入力してください。
V_{HOLD}		入力	V_{HOLD}とV_{SS}の間にコンデンサを接続してください。
HLF		入出力	HLFとV_{SS}の間にコンデンサと抵抗からなるフィルタを接続してください。
TVSETB		入力	テスト入力端子です。“Ｌ”レベルに固定してください。

2. 機能ブロック動作説明

本製品は、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、OSD回路、データスライサ回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

2.1 メモリ

メモリ配置図を図2.1.1に示します。アドレス空間は00000_{16}番地から$FFFFF_{16}$番地までの1Mバイトあります。

$FFFFF_{16}$番地から番地の小さい方向にROMが配置されています。$D0000_{16}$番地から$FFFFF_{16}$番地まで192Kバイトの内部ROMが配置されています。

$FFFDC_{16}$番地から$FFFFF_{16}$番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

$02C00_{16}$番地から$03FFF_{16}$番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000_{16}番地から$003FF_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図2.1.2～図2.1.5に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

$FFE00_{16}$番地から$FFFDB_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

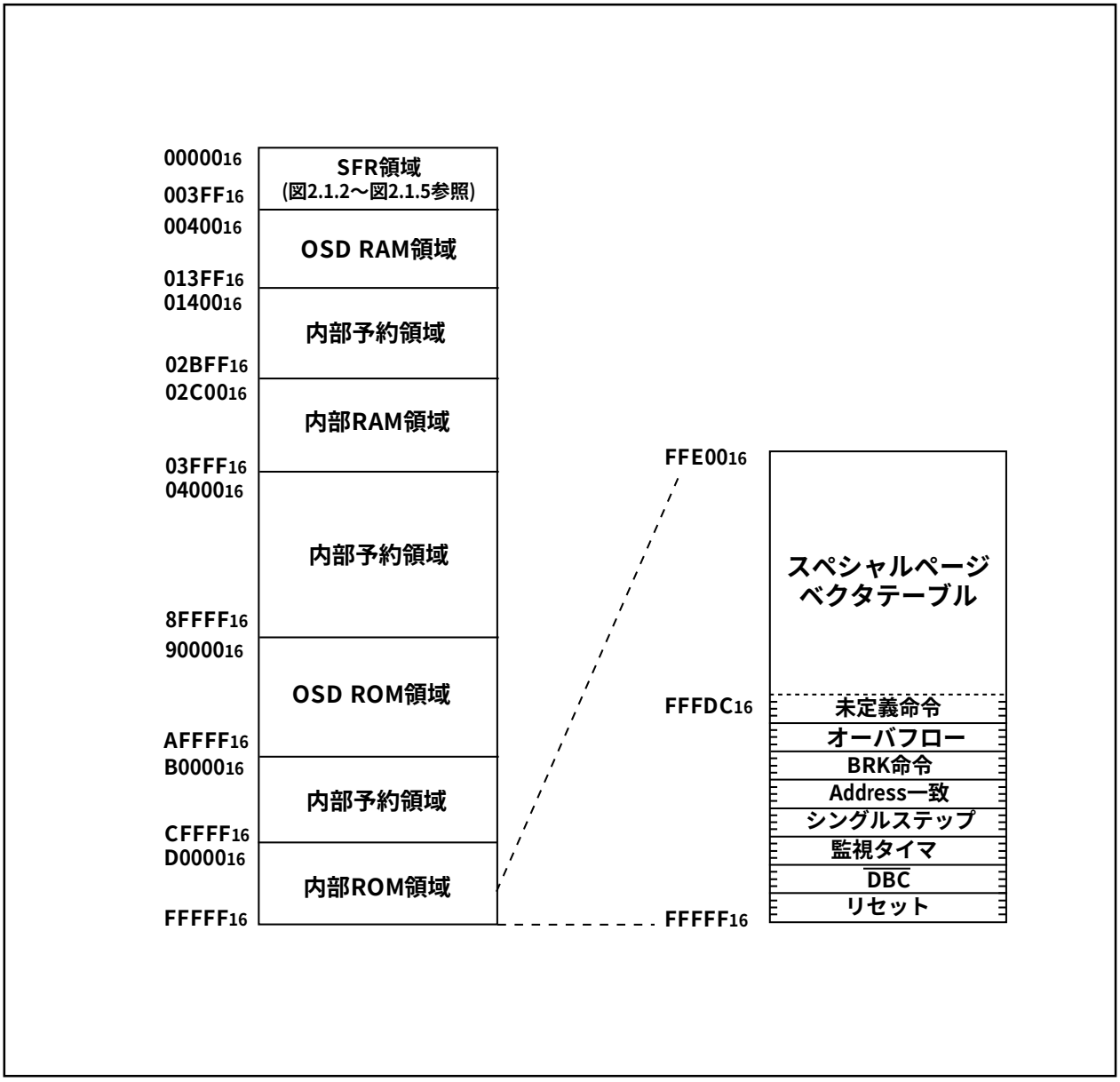

00000₁₆
003FF₁₆
SFR領域
(図2.1.2～図2.1.5参照)
00400₁₆
013FF₁₆
OSD RAM領域
01400₁₆
02BFF₁₆
内部予約領域
02C00₁₆
03FFF₁₆
内部RAM領域
04000₁₆
8FFFF₁₆
内部予約領域
90000₁₆
AFFFF₁₆
OSD ROM領域
B0000₁₆
CFFFF₁₆
内部予約領域
D0000₁₆
FFFFF₁₆
内部ROM領域
FFE00₁₆
FFFDC₁₆
FFFFF₁₆
スペシャルページ
ベクタテーブル
未定義命令
オーバフロー
BRK命令
Address一致
シングルステップ
監視タイマ
DBC
リセット

図2.1.1　メモリ配置図

0000_{16}	
0001_{16}	
0002_{16}	
0003_{16}	
0004_{16}	プロセッサモードレジスタ0(PM0)
0005_{16}	プロセッサモードレジスタ1(PM1)
0006_{16}	システムクロック制御レジスタ０(CM0)
0007_{16}	システムクロック制御レジスタ１(CM1)
0008_{16}	
0009_{16}	アドレス一致割り込み許可レジスタ(AIER)
$000A_{16}$	プロテクトレジスタ(PRCR)
$000B_{16}$	
$000C_{16}$	
$000D_{16}$	
$000E_{16}$	監視タイマスタートレジスタ(WDTS)
$000F_{16}$	監視タイマ制御レジスタ(WDC)
0010_{16}	アドレス一致割り込みレジスタ０(RMAD0)
0011_{16}	
0012_{16}	
0013_{16}	
0014_{16}	アドレス一致割り込みレジスタ１(RMAD1)
0015_{16}	
0016_{16}	
0017_{16}	
0018_{16}	
0019_{16}	
$001A_{16}$	
$001B_{16}$	
$001C_{16}$	
$001D_{16}$	
$001E_{16}$	
$001F_{16}$	
0020_{16}	DMA0ソースポインタ(SAR0)
0021_{16}	
0022_{16}	
0023_{16}	
0024_{16}	DMA0ディスティネーションポインタ(DAR0)
0025_{16}	
0026_{16}	
0027_{16}	
0028_{16}	DMA0転送カウンタ(TCR0)
0029_{16}	
$002A_{16}$	
$002B_{16}$	
$002C_{16}$	DMA0制御レジスタ(DM0CON)
$002D_{16}$	
$002E_{16}$	
$002F_{16}$	
0030_{16}	DMA1ソースポインタ(SAR1)
0031_{16}	
0032_{16}	
0033_{16}	
0034_{16}	DMA1ディスティネーションポインタ(DAR1)
0035_{16}	
0036_{16}	
0037_{16}	
0038_{16}	DMA1転送カウンタ(TCR1)
0039_{16}	
$003A_{16}$	
$003B_{16}$	
$003C_{16}$	DMA1制御レジスタ(DM1CON)
$003D_{16}$	
$003E_{16}$	
$003F_{16}$	

0040_{16}	
0041_{16}	
0042_{16}	
0043_{16}	
0044_{16}	OSD1割り込み制御レジスタ(OSD1IC)
0045_{16}	割り込み制御予約レジスタ0(RE0IC)
0046_{16}	割り込み制御予約レジスタ1(RE1IC)
0047_{16}	割り込み制御予約レジスタ2(RE2IC)
0048_{16}	OSD2割り込み制御レジスタ(OSD2IC)
0049_{16}	ﾏﾙﾁﾏｽﾀI²C-BUSｲﾝﾀﾌｪｰｽ1割り込み制御ﾚｼﾞｽﾀ(IIC1IC)
$004A_{16}$	バス衝突検出割り込み制御レジスタ (BCNIC)
$004B_{16}$	DMA0割り込み制御レジスタ (DM0IC)
$004C_{16}$	DMA1割り込み制御レジスタ(DM1IC)
$004D_{16}$	ﾏﾙﾁﾏｽﾀI²C-BUSｲﾝﾀﾌｪｰｽ0割り込み制御ﾚｼﾞｽﾀ(IIC0IC)
$004E_{16}$	A-D変換割り込み制御レジスタ(ADIC)
$004F_{16}$	UART2送信割り込み制御レジスタ(S2TIC)
0050_{16}	UART2受信割り込み制御レジスタ(S2RIC)
0051_{16}	UART0送信割り込み制御レジスタ(S0TIC)
0052_{16}	UART0受信割り込み制御レジスタ(S0RIC)
0053_{16}	データスライサ割り込み制御レジスタ(DSIC)
0054_{16}	VSYNC割り込み制御レジスタ(VSYNCIC)
0055_{16}	タイマA0割り込み制御レジスタ(TA0IC)
0056_{16}	タイマA1割り込み制御レジスタ(TA1IC)
0057_{16}	タイマA2割り込み制御レジスタ(TA2IC)
0058_{16}	タイマA3割り込み制御レジスタ(TA3IC)
0059_{16}	タイマA4割り込み制御レジスタ(TA4IC)
$005A_{16}$	タイマB0割り込み制御レジスタ(TB0IC)
$005B_{16}$	タイマB1割り込み制御レジスタ(TB1IC)
$005C_{16}$	タイマB2割り込み制御レジスタ(TB2IC)
$005D_{16}$	INT0割り込み制御レジスタ(INT0IC)
$005E_{16}$	INT1割り込み制御レジスタ(INT1IC)
$005F_{16}$	割り込み制御予約レジスタ3(RE3IC)
0060_{16}	
≈	≈
$01FF_{16}$	

図2.1.2　周辺装置制御レジスタの配置(1)

0200_{16}	
0201_{16}	スプライトOSD制御レジスタ（SC）
0202_{16}	OSDコントロールレジスタ1（OC1）
0203_{16}	OSDコントロールレジスタ2（OC2）
0204_{16}	水平位置レジスタ（HP）
0205_{16}	クロックコントロールレジスタ（CS）
0206_{16}	入出力極性コントロールレジスタ（PC）
0207_{16}	OSDコントロールレジスタ3（OC3）
0208_{16} 0209_{16}	ラスターカラーレジスタ（RSC）
$020A_{16}$	
$020B_{16}$	
$020C_{16}$ $020D_{16}$	トップボーダーコントロールレジスタ（TBR）
$020E_{16}$ $020F_{16}$	ボトムボーダーコントロールレジスタ（BBR）
0210_{16}	ブロックコントロールレジスタ1（BC1）
0211_{16}	ブロックコントロールレジスタ2（BC2）
0212_{16}	ブロックコントロールレジスタ3（BC3）
0213_{16}	ブロックコントロールレジスタ4（BC4）
0214_{16}	ブロックコントロールレジスタ5（BC5）
0215_{16}	ブロックコントロールレジスタ6（BC6）
0216_{16}	ブロックコントロールレジスタ7（BC7）
0217_{16}	ブロックコントロールレジスタ8（BC8）
0218_{16}	ブロックコントロールレジスタ9（BC9）
0219_{16}	ブロックコントロールレジスタ10（BC10）
$021A_{16}$	ブロックコントロールレジスタ11（BC11）
$021B_{16}$	ブロックコントロールレジスタ12（BC12）
$021C_{16}$	ブロックコントロールレジスタ13（BC13）
$021D_{16}$	ブロックコントロールレジスタ14（BC14）
$021E_{16}$	ブロックコントロールレジスタ15（BC15）
$021F_{16}$	ブロックコントロールレジスタ16（BC16）
0220_{16} 0221_{16}	垂直位置レジスタ1（VP1）
0222_{16} 0223_{16}	垂直位置レジスタ2（VP2）
0224_{16} 0225_{16}	垂直位置レジスタ3（VP3）
0226_{16} 0227_{16}	垂直位置レジスタ4（VP4）
0228_{16} 0229_{16}	垂直位置レジスタ5（VP5）
$022A_{16}$ $022B_{16}$	垂直位置レジスタ6（VP6）
$022C_{16}$ $022D_{16}$	垂直位置レジスタ7（VP7）
$022E_{16}$ $022F_{16}$	垂直位置レジスタ8（VP8）
0230_{16} 0231_{16}	垂直位置レジスタ9（VP9）
0232_{16} 0233_{16}	垂直位置レジスタ10（VP10）
0234_{16} 0235_{16}	垂直位置レジスタ11（VP11）
0236_{16} 0237_{16}	垂直位置レジスタ12（VP12）
0238_{16} 0239_{16}	垂直位置レジスタ13（VP13）
$023A_{16}$ $023B_{16}$	垂直位置レジスタ14（VP14）
$023C_{16}$ $023D_{16}$	垂直位置レジスタ15（VP15）
$023E_{16}$ $023F_{16}$	垂直位置レジスタ16（VP16）

0240_{16} 0241_{16}	カラーパレットレジスタ1（CR1）
0242_{16} 0243_{16}	カラーパレットレジスタ2（CR2）
0244_{16} 0245_{16}	カラーパレットレジスタ3（CR3）
0246_{16} 0247_{16}	カラーパレットレジスタ4（CR4）
0248_{16} 0249_{16}	カラーパレットレジスタ5（CR5）
$024A_{16}$ $024B_{16}$	カラーパレットレジスタ6（CR6）
$024C_{16}$ $024D_{16}$	カラーパレットレジスタ7（CR7）
$024E_{16}$ $024F_{16}$	カラーパレットレジスタ9（CR9）
0250_{16} 0251_{16}	カラーパレットレジスタ10（CR10）
0252_{16} 0253_{16}	カラーパレットレジスタ11（CR11）
0254_{16} 0255_{16}	カラーパレットレジスタ12（CR12）
0256_{16} 0257_{16}	カラーパレットレジスタ13（CR13）
0258_{16} 0259_{16}	カラーパレットレジスタ14（CR14）
$025A_{16}$ $025B_{16}$	カラーパレットレジスタ15（CR15）
$025C_{16}$	
$025D_{16}$	OSD予約レジスタ1（OR1）
$025E_{16}$	
$025F_{16}$	OSDコントロールレジスタ4（OC4）
0260_{16}	データスライサ制御レジスタ1（DSC1）
0261_{16}	データスライサ制御レジスタ2（DSC2）
0262_{16} 0263_{16}	キャプションデータレジスタ1（CD1）
0264_{16} 0265_{16}	キャプションデータレジスタ2（CD2）
0266_{16}	キャプション位置レジスタ（CPS）
0267_{16}	データスライサ予約レジスタ2（DR2）
0268_{16}	データスライサ予約レジスタ1（DR1）
0269_{16}	クロックランイン検出レジスタ（CRD）
$026A_{16}$	データクロック位置レジスタ（DPS）
$026B_{16}$	
≈	≈
$026F_{16}$	
0270_{16} 0271_{16}	レフトボーダーコントロールレジスタ（LBR）
0272_{16} 0273_{16}	ライトボーダーコントロールレジスタ（RBR）
0274_{16} 0275_{16}	スプライト垂直位置レジスタ1（VS1）
0276_{16} 0277_{16}	スプライト垂直位置レジスタ2（VS2）
0278_{16} 0279_{16}	スプライト水平位置レジスタ（HS）
$027A_{16}$	OSD予約レジスタ4（OR4）
$027B_{16}$	OSD予約レジスタ3（OR3）
$027C_{16}$	OSD予約レジスタ2（OR2）
$027D_{16}$	ペリフェラルモードレジスタ（PM）
$027E_{16}$	HSYNCカウンタレジスタ（HC）
$027F_{16}$	HSYNCカウンタラッチ
0280_{16}	
≈	≈
$02DF_{16}$	

図2.1.3　周辺装置制御レジスタの配置(2)

02E0$_{16}$	I^{2}C0データシフトレジスタ（IIC0S0）
02E1$_{16}$	I^{2}C0アドレスレジスタ（IIC0S0D）
02E2$_{16}$	I^{2}C0ステータスレジスタ（IIC0S1）
02E3$_{16}$	I^{2}C0コントロールレジスタ（IIC0S1D）
02E4$_{16}$	I^{2}C0クロックコントロールレジスタ（IIC0S2）
02E5$_{16}$	I^{2}C0ポートセレクションレジスタ（IIC0S2D）
02E6$_{16}$	I^{2}C0送信バッファレジスタ（IIC0S0S）
02E7$_{16}$	
02E8$_{16}$	I^{2}C1データシフトレジスタ（IIC1S0）
02E9$_{16}$	I^{2}C1アドレスレジスタ（IIC1S0D）
02EA$_{16}$	I^{2}C1ステータスレジスタ（IIC1S1）
02EB$_{16}$	I^{2}C1コントロールレジスタ（IIC1S1D）
02EC$_{16}$	I^{2}C1クロックコントロールレジスタ（IIC1S2）
02ED$_{16}$	I^{2}C1ポートセレクションレジスタ（IIC1S2D）
02EE$_{16}$	I^{2}C1送信バッファレジスタ（IIC1S0S）
02EF$_{16}$	
≈	≈
0339$_{16}$	
0340$_{16}$	予約レジスタ1(INVC1)
0341$_{16}$	
0342$_{16}$	
0343$_{16}$	
0344$_{16}$	
0345$_{16}$	
0346$_{16}$	
0347$_{16}$	
0348$_{16}$	予約レジスタ0(INVC0)
0349$_{16}$	
≈	≈
035E$_{16}$	
035F$_{16}$	割り込み要因選択レジスタ(IFSR)
0360$_{16}$	
0361$_{16}$	
0362$_{16}$	予約レジスタ3(INVC3)
0363$_{16}$	
0364$_{16}$	
0365$_{16}$	
0366$_{16}$	予約レジスタ4(INVC4)
0367$_{16}$	
0368$_{16}$	
0369$_{16}$	
036A$_{16}$	
036B$_{16}$	
036C$_{16}$	
036D$_{16}$	
036E$_{16}$	
036F$_{16}$	
0370$_{16}$	
0371$_{16}$	
0372$_{16}$	
0373$_{16}$	
0374$_{16}$	
0375$_{16}$	
0376$_{16}$	予約レジスタ5(INVC5)
0377$_{16}$	UART2特殊モードレジスタ(U2SMR)
0378$_{16}$	UART2送受信モードレジスタ(U2MR)
0379$_{16}$	UART2転送速度レジスタ(U2BRG)
037A$_{16}$ 037B$_{16}$	UART2送信バッファレジスタ(U2TB)
037C$_{16}$	UART2送受信制御レジスタ0(U2C0)
037D$_{16}$	UART2送受信制御レジスタ1(U2C1)
037E$_{16}$ 037F$_{16}$	UART2受信バッファレジスタ(U2RB)

0380$_{16}$	カウント開始フラグ(TABSR)
0381$_{16}$	予約レジスタ6 (INVC6)
0382$_{16}$	ワンショット開始フラグ(ONSF)
0383$_{16}$	トリガ選択レジスタ(TRGSR)
0384$_{16}$	アップダウンフラグ(UDF)
0385$_{16}$	
0386$_{16}$ 0387$_{16}$	タイマA0レジスタ(TA0)
0388$_{16}$ 0389$_{16}$	タイマA1レジスタ(TA1)
038A$_{16}$ 038B$_{16}$	タイマA2レジスタ(TA2)
038C$_{16}$ 038D$_{16}$	タイマA3レジスタ(TA3)
038E$_{16}$ 038F$_{16}$	タイマA4レジスタ(TA4)
0390$_{16}$ 0391$_{16}$	タイマB0レジスタ(TB0)
0392$_{16}$ 0393$_{16}$	タイマB1レジスタ(TB1)
0394$_{16}$ 0395$_{16}$	タイマB2レジスタ(TB2)
0396$_{16}$	タイマA0モードレジスタ(TA0MR)
0397$_{16}$	タイマA1モードレジスタ(TA1MR)
0398$_{16}$	タイマA2モードレジスタ(TA2MR)
0399$_{16}$	タイマA3モードレジスタ(TA3MR)
039A$_{16}$	タイマA4モードレジスタ(TA4MR)
039B$_{16}$	タイマB0モードレジスタ(TB0MR)
039C$_{16}$	タイマB1モードレジスタ(TB1MR)
039D$_{16}$	タイマB2モードレジスタ(TB2MR)
039E$_{16}$	
039F$_{16}$	
03A0$_{16}$	UART0送受信モードレジスタ(U0MR)
03A1$_{16}$	UART0転送速度レジスタ(U0BRG)
03A2$_{16}$ 03A3$_{16}$	UART0送信バッファレジスタ(U0TB)
03A4$_{16}$	UART0送受信制御レジスタ０(U0C0)
03A5$_{16}$	UART0送受信制御レジスタ１(U0C1)
03A6$_{16}$ 03A7$_{16}$	UART0受信バッファレジスタ(U0RB)
03A8$_{16}$	予約レジスタ2(INVC2)
03A9$_{16}$	
03AA$_{16}$	
03AB$_{16}$	
03AC$_{16}$	
03AD$_{16}$	
03AE$_{16}$	
03AF$_{16}$	
03B0$_{16}$	UART送受信制御レジスタ2 (UCON)
03B1$_{16}$	
03B2$_{16}$	
03B3$_{16}$	
03B4$_{16}$	
03B5$_{16}$	
03B6$_{16}$	
03B7$_{16}$	
03B8$_{16}$	DMA0要因選択レジスタ(DM0SL)
03B9$_{16}$	
03BA$_{16}$	DMA1要因選択レジスタ(DM1SL)
03BB$_{16}$	
03BC$_{16}$	
03BD$_{16}$	
03BE$_{16}$	
03BF$_{16}$	

図2.1.4　周辺装置制御レジスタの配置(3)

03C0$_{16}$	
03C1$_{16}$	
03C2$_{16}$	
03C3$_{16}$	
03C4$_{16}$	A-Dレジスタ0(AD0)
03C5$_{16}$	
03C6$_{16}$	A-Dレジスタ1(AD1)
03C7$_{16}$	
03C8$_{16}$	A-Dレジスタ2(AD2)
03C9$_{16}$	
03CA$_{16}$	A-Dレジスタ3(AD3)
03CB$_{16}$	
03CC$_{16}$	A-Dレジスタ4(AD4)
03CD$_{16}$	
03CE$_{16}$	A-Dレジスタ5(AD5)
03CF$_{16}$	
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	A-D制御レジスタ2(ADCON2)
03D5$_{16}$	
03D6$_{16}$	A-D制御レジスタ0(ADCON0)
03D7$_{16}$	A-D制御レジスタ1(ADCON1)
03D8$_{16}$	D-Aレジスタ0(DA0)
03D9$_{16}$	
03DA$_{16}$	D-Aレジスタ1(DA1)
03DB$_{16}$	
03DC$_{16}$	D-A制御レジスタ(DACON)
03DD$_{16}$	
03DE$_{16}$	
03DF$_{16}$	
03E0$_{16}$	ポートP0レジスタ(P0)
03E1$_{16}$	ポート予約レジスタ1(PR1)
03E2$_{16}$	ポートP0方向レジスタ(PD0)
03E3$_{16}$	ポート予約レジスタ2(PR2)
03E4$_{16}$	ポートP2レジスタ(P2)
03E5$_{16}$	ポートP3レジスタ(P3)
03E6$_{16}$	ポートP2方向レジスタ(PD2)
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4レジスタ(P4)
03E9$_{16}$	ポートP5レジスタ(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	ポートP5方向レジスタ(PD5)
03EC$_{16}$	ポートP6レジスタ(P6)
03ED$_{16}$	ポートP7レジスタ(P7)
03EE$_{16}$	ポートP6方向レジスタ(PD6)
03EF$_{16}$	ポートP7方向レジスタ(PD7)
03F0$_{16}$	ポートP8レジスタ(P8)
03F1$_{16}$	ポートP9レジスタ(P9)
03F2$_{16}$	ポートP8方向レジスタ(PD8)
03F3$_{16}$	ポートP9方向レジスタ(PD9)
03F4$_{16}$	ポートP10レジスタ(P10)
03F5$_{16}$	
03F6$_{16}$	ポートP10方向レジスタ(PD10)
03F7$_{16}$	
03F8$_{16}$	
03F9$_{16}$	
03FA$_{16}$	
03FB$_{16}$	
03FC$_{16}$	プルアップ制御レジスタ０(PUR0)
03FD$_{16}$	プルアップ制御レジスタ１(PUR1)
03FE$_{16}$	プルアップ制御レジスタ２(PUR2)
03FF$_{16}$	ポート予約レジスタ3(PR3)

図2.1.5　周辺装置制御レジスタの配置(4)

2.2 中央演算処理装置

中央演算処理装置には図2.2.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

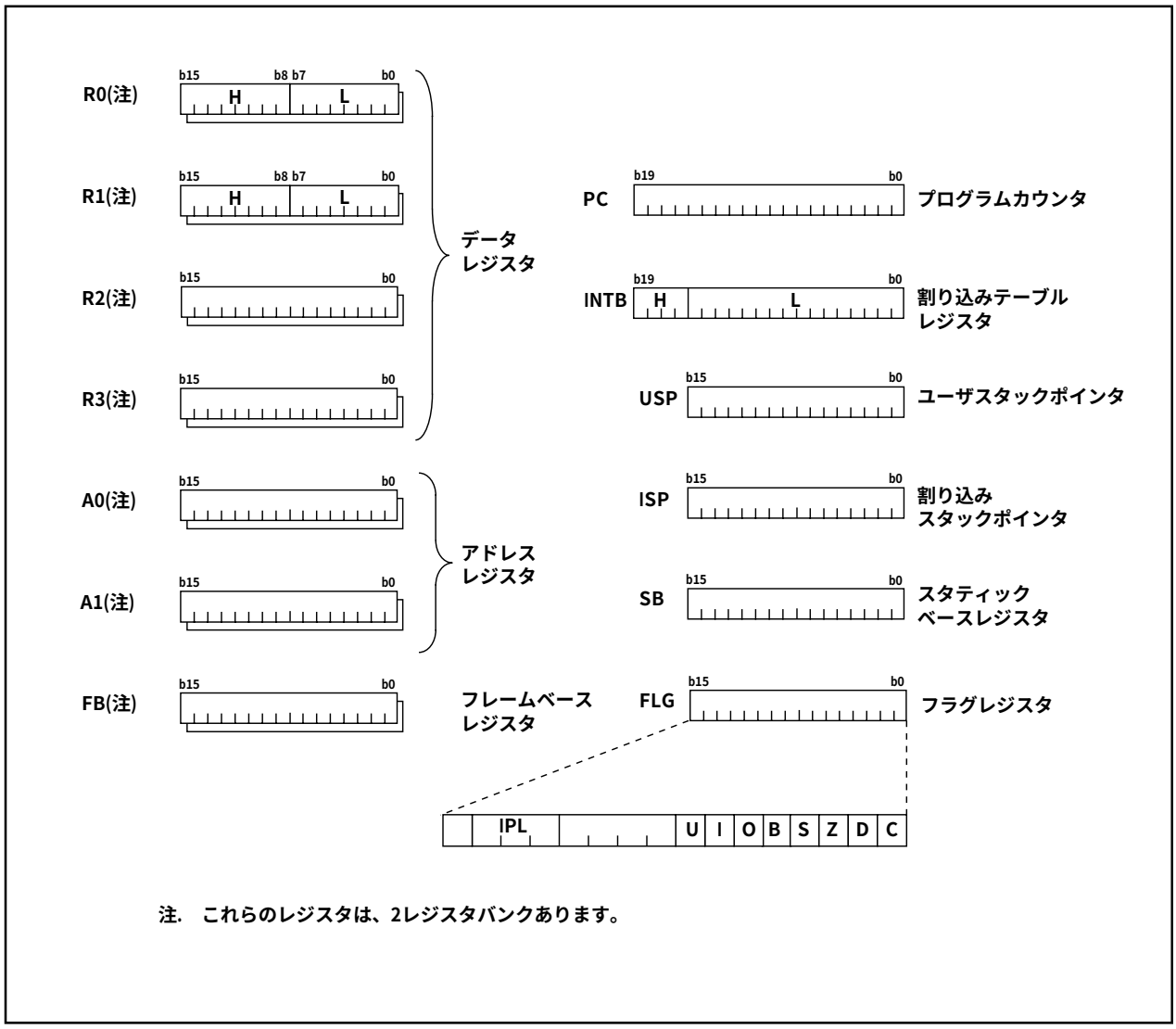


図2.2.1 中央演算処理装置のレジスタ構成

2.2.1 データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

2.2.2 アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

2.2.3 フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

2.2.4 プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

2.2.5 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

2.2.6 スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

2.2.7 スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

2.2.8 フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)を図2.2.2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)
算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)
シングルステップ割り込みを許可するフラグです。
このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)
演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)
演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)
レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)
演算の結果がオーバフローしたときに“1”になります。
●ビット6：割り込み許可フラグ(Iフラグ)
マスカブル割り込みを許可するフラグです。
このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。
割り込みを受け付けると、このフラグは“0”になります。
●ビット7：スタックポインタ指定フラグ(Uフラグ)
このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。
ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。
●ビット8～ビット11：予約領域
●ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)
プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。
要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。
●ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウエアマニュアルを参照してください。

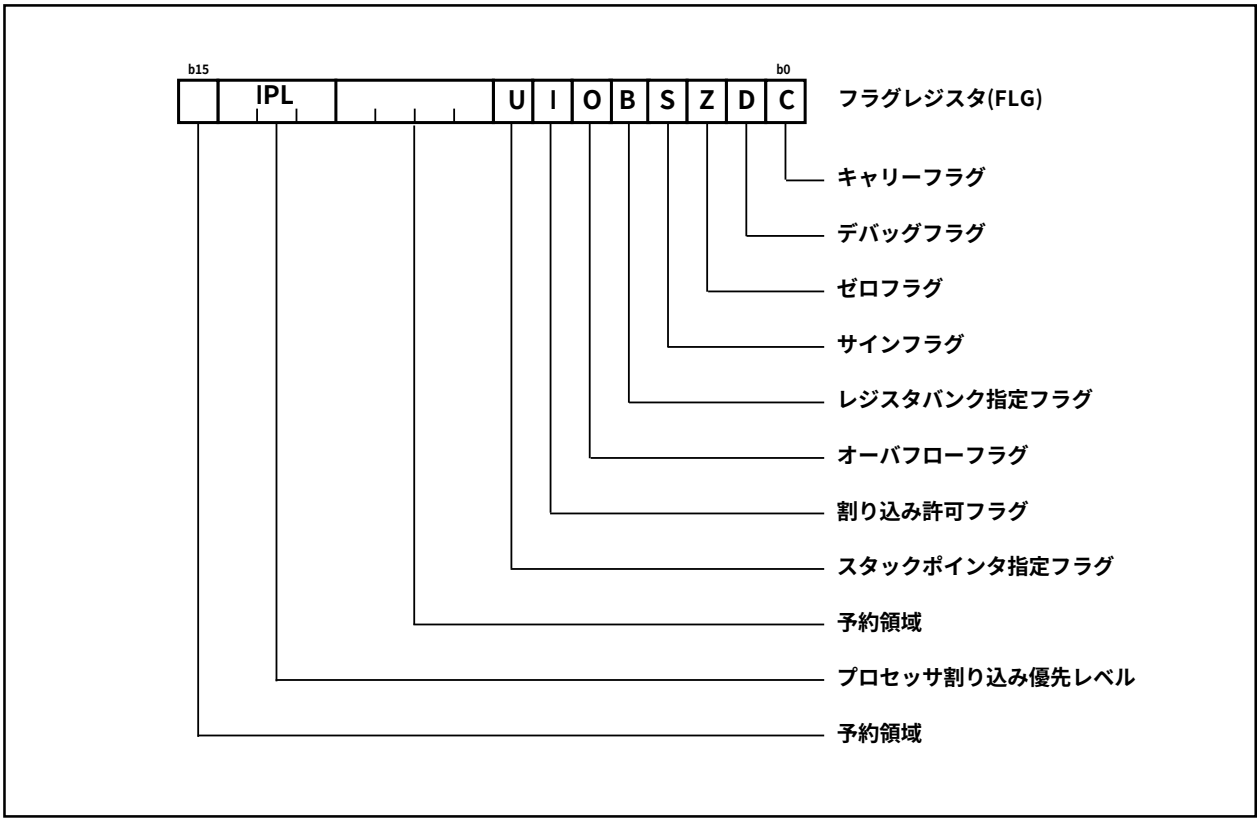


図2.2.2　フラグレジスタ(FLG)

2.3 リセット

リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです（ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照）。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図2.3.1、リセットシーケンスを図2.3.2に示します。

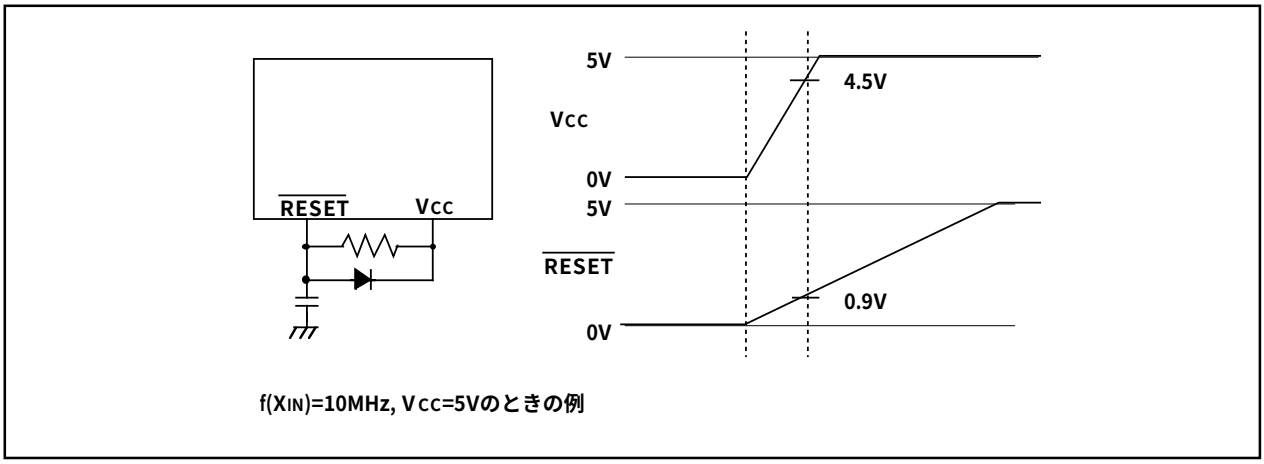


図2.3.1　リセット回路の一例

2.3.1 ソフトウエアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

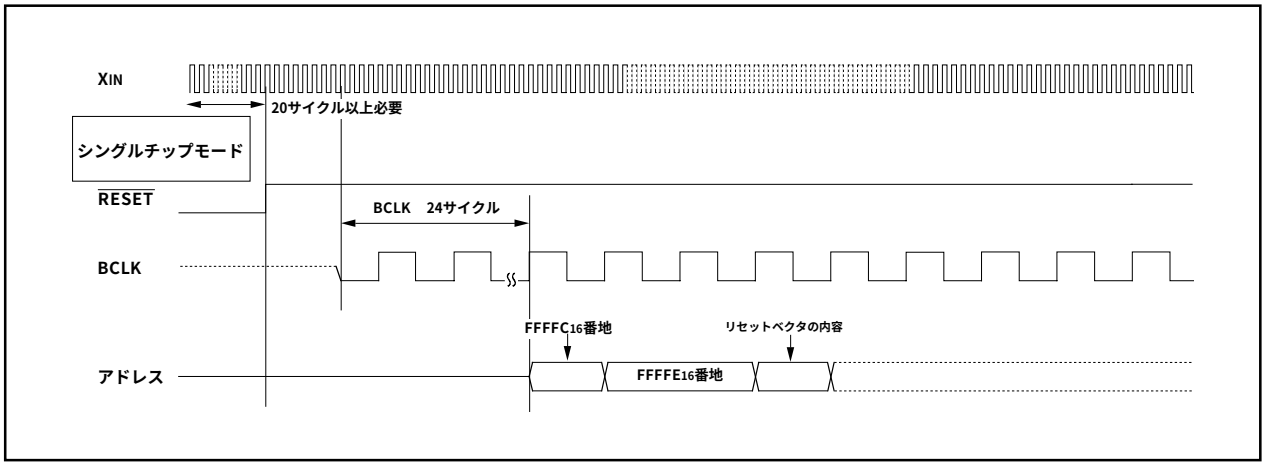


図2.3.2　リセットシーケンス

2.3.2 RESET端子のレベルが“L”の期間の端子の状態

$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を表2.3.1、リセット解除直後のマイクロコンピュータの内部状態を図2.3.3、図2.3.4に示します。

表2.3.1　$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
	CNVss = Vss
P0, P2～P3 $P4_0$～$P4_3$ $P5_0$, $P5_2$, $P5_3$, $P5_5$ $P6_2$, $P6_3$, $P6_7$ $P7_0$～$P7_2$, $P7_4$, $P7_6$ $P8_2$ $P9_0$, $P9_3$, $P9_4$ $P10_0$, $P10_1$	入力ポート(フローティング)
R, G, B, OUT1, OUT2	出力ポート
CV_{IN}, V_{HOLD}, HLF	入出力ポート
OSC1	入力ポート
OSC2	出力ポート

プロセッサモードレジスタ0 (注)	(0004_{16})…	00_{16}
プロセッサモードレジスタ1	(0005_{16})…	0 0 0 0 0 × 0 0
システムクロック制御レジスタ0	(0006_{16})…	48_{16}
システムクロック制御レジスタ1	(0007_{16})…	20_{16}
アドレス一致割り込み許可レジスタ	(0009_{16})…	× × × × × × 0 0
プロテクトレジスタ	($000A_{16}$)…	× × × × × 0 0 0
監視タイマ制御レジスタ	($000F_{16}$)…	0 0 0 ? ? ? ? ?
アドレス一致割り込みレジスタ0	(0010_{16})…	00_{16}
	(0011_{16})…	00_{16}
	(0012_{16})…	× × × × 0 0 0 0
アドレス一致割り込みレジスタ1	(0014_{16})…	00_{16}
	(0015_{16})…	00_{16}
	(0016_{16})…	× × × × 0 0 0 0
DMA0制御レジスタ	($002C_{16}$)…	0 0 0 0 0 ? 0 0
DMA1制御レジスタ	($003C_{16}$)…	0 0 0 0 0 ? 0 0
OSD1割り込み制御レジスタ	(0044_{16})…	× × × × ? 0 0 0
OSD2割り込み制御レジスタ	(0048_{16})…	× × × × ? 0 0 0
マルチマスタI²C-BUSインタフェース1割り込み制御レジスタ	(0049_{16})…	× × 0 0 ? 0 0 0
バス衝突検出割り込み制御レジスタ	($004A_{16}$)…	× × × × ? 0 0 0
DMA0割り込み制御レジスタ	($004B_{16}$)…	× × × × ? 0 0 0
DMA1割り込み制御レジスタ	($004C_{16}$)…	× × × × ? 0 0 0
マルチマスタI²C-BUSインタフェース0割り込み制御レジスタ	($004D_{16}$)…	× × × × ? 0 0 0
A-D変換割り込み制御レジスタ	($004E_{16}$)…	× × × × ? 0 0 0
UART2送信割り込み制御レジスタ	($004F_{16}$)…	× × × × ? 0 0 0
UART2受信割り込み制御レジスタ	(0050_{16})…	× × × × ? 0 0 0
UART0送信割り込み制御レジスタ	(0051_{16})…	× × × × ? 0 0 0
UART0受信割り込み制御レジスタ	(0052_{16})…	× × × × ? 0 0 0
データスライサ割り込み制御レジスタ	(0053_{16})…	× × × × ? 0 0 0
VSYNC割り込み制御レジスタ	(0054_{16})…	× × × × ? 0 0 0
タイマA0割り込み制御レジスタ	(0055_{16})…	× × × × ? 0 0 0
タイマA1割り込み制御レジスタ	(0056_{16})…	× × × × ? 0 0 0
タイマA2割り込み制御レジスタ	(0057_{16})…	× × × × ? 0 0 0
タイマA3割り込み制御レジスタ	(0058_{16})…	× × × × ? 0 0 0
タイマA4割り込み制御レジスタ	(0059_{16})…	× × × × ? 0 0 0
タイマB0割り込み制御レジスタ	($005A_{16}$)…	× × × × ? 0 0 0
タイマB1割り込み制御レジスタ	($005B_{16}$)…	× × × × ? 0 0 0
タイマB2割り込み制御レジスタ	($005C_{16}$)…	× × × × ? 0 0 0
INT0割り込み制御レジスタ	($005D_{16}$)…	× × 0 0 ? 0 0 0
INT1割り込み制御レジスタ	($005E_{16}$)…	× × 0 0 ? 0 0 0
スプライトOSD制御レジスタ	(0201_{16})…	× × × 0 0 0 0 0
OSDコントロールレジスタ1	(0202_{16})…	00_{16}
OSDコントロールレジスタ2	(0203_{16})…	00_{16}
水平位置レジスタ	(0204_{16})…	00_{16}
クロックコントロールレジスタ	(0205_{16})…	00_{16}
入出力極性コントロールレジスタ	(0206_{16})…	1 0 0 0 0 0 0 0
OSDコントロールレジスタ3	(0207_{16})…	00_{16}
ラスターカラーレジスタ	(0208_{16})…	00_{16}
	(0209_{16})…	00_{16}
OSD予約レジスタ1	($025D_{16}$)…	00_{16}
OSDコントロールレジスタ4	($025F_{16}$)…	× × × × × × 0 0
データスライサ制御レジスタ1	(0260_{16})…	00_{16}
データスライサ制御レジスタ2	(0261_{16})…	? 0 ? 0 ? ? 0 ?
キャプション位置レジスタ	(0266_{16})…	0 0 ? 0 0 0 0 0
データスライサ予約レジスタ2	(0267_{16})…	00_{16}
データスライサ予約レジスタ1	(0268_{16})…	00_{16}
クロックランイン検出レジスタ	(0269_{16})…	00_{16}
データクロック位置レジスタ	($026A_{16}$)…	× × × 0 0 0 0 1
レフトボーダーコントロールレジスタ	(0270_{16})…	01_{16}
	(0271_{16})…	× × × × × 0 0 0
ライトボーダーコントロールレジスタ	(0272_{16})…	00_{16}
	(0273_{16})…	× × × × × 0 0 0
スプライト水平位置レジスタ(上位)	(0279_{16})…	× × × × × 0 0 0
OSD予約レジスタ4	($027A_{16}$)…	× 0 0 0 0 0 0 0
OSD予約レジスタ3	($027B_{16}$)…	00_{16}
OSD予約レジスタ2	($027C_{16}$)…	00_{16}
ペリフェラルモードレジスタ	($027D_{16}$)…	0 × × 0 0 0 0 0
HSYNCカウンタレジスタ	($027E_{16}$)…	× × × 0 0 × 0 0

×：このビットは何も配置されていません。
？：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図2.3.3　リセット解除後のマイクロコンピュータの内部状態(1)

I²C0アドレスレジスタ	(02E1₁₆)···	00₁₆
I²C0ステータスレジスタ	(02E2₁₆)···	0 0 0 1 0 0 0 ?
I²C0コントロールレジスタ	(02E3₁₆)···	00₁₆
I²C0クロックコントロールレジスタ	(02E4₁₆)···	00₁₆
I²C0ポートセレクションレジスタ	(02E5₁₆)···	0 0 ? ? 0 0 0 0
I²C1アドレスレジスタ	(02E9₁₆)···	00₁₆
I²C1ステータスレジスタ	(02EA₁₆)···	0 0 0 1 0 0 0 ?
I²C1コントロールレジスタ	(02EB₁₆)···	00₁₆
I²C1クロックコントロールレジスタ	(02EC₁₆)···	00₁₆
I²C1ポートセレクションレジスタ	(02ED₁₆)···	0 0 ? ? 0 0 0 0
予約レジスタ1	(0340₁₆)···	0 0 0 ? ? ? ? ?
予約レジスタ0	(0348₁₆)···	00₁₆
割り込み要因選択レジスタ	(035F₁₆)···	00₁₆
予約レジスタ3	(0362₁₆)···	40₁₆
予約レジスタ4	(0366₁₆)···	40₁₆
予約レジスタ5	(0376₁₆)···	00₁₆
UART2特殊モードレジスタ	(0377₁₆)···	00₁₆
UART2送受信モードレジスタ	(0378₁₆)···	00₁₆
UART2送受信制御レジスタ0	(037C₁₆)···	08₁₆
UART2送受信制御レジスタ1	(037D₁₆)···	02₁₆
カウント開始フラグ	(0380₁₆)···	00₁₆
予約レジスタ6	(0381₁₆)···	0 × × × × × × ×
ワンショット開始フラグ	(0382₁₆)···	0 0 × 0 0 0 0 0
トリガ選択レジスタ	(0383₁₆)···	00₁₆
アップダウンフラグ	(0384₁₆)···	00₁₆
タイマA0モードレジスタ	(0396₁₆)···	00₁₆
タイマA1モードレジスタ	(0397₁₆)···	00₁₆
タイマA2モードレジスタ	(0398₁₆)···	00₁₆
タイマA3モードレジスタ	(0399₁₆)···	00₁₆
タイマA4モードレジスタ	(039A₁₆)···	00₁₆
タイマB0モードレジスタ	(039B₁₆)···	0 0 ? × 0 0 0 0
タイマB1モードレジスタ	(039C₁₆)···	0 0 ? × 0 0 0 0
タイマB2モードレジスタ	(039D₁₆)···	0 0 ? × 0 0 0 0
UART0送受信モードレジスタ	(03A0₁₆)···	00₁₆
UART0送受信制御レジスタ0	(03A4₁₆)···	08₁₆
UART0送受信制御レジスタ1	(03A5₁₆)···	02₁₆
予約レジスタ2	(03A8₁₆)···	00₁₆
UART送受信制御レジスタ2	(03B0₁₆)···	× 0 0 0 0 0 0 0
DMA0要因選択レジスタ	(03B8₁₆)···	00₁₆
DMA1要因選択レジスタ	(03BA₁₆)···	00₁₆
A-D制御レジスタ2	(03D4₁₆)···	0 0 0 0 ? ? ? 0
A-D制御レジスタ0	(03D6₁₆)···	0 0 0 0 0 ? ? ?
A-D制御レジスタ1	(03D7₁₆)···	00₁₆
D-A制御レジスタ	(03DC₁₆)···	00₁₆
ポートP0方向レジスタ	(03E2₁₆)···	00₁₆
ポート予約レジスタ2	(03E3₁₆)···	00₁₆
ポートP2方向レジスタ	(03E6₁₆)···	00₁₆
ポートP3方向レジスタ	(03E7₁₆)···	00₁₆
ポートP4方向レジスタ	(03EA₁₆)···	00₁₆
ポートP5方向レジスタ	(03EB₁₆)···	00₁₆
ポートP6方向レジスタ	(03EE₁₆)···	00₁₆
ポートP7方向レジスタ	(03EF₁₆)···	00₁₆
ポートP8方向レジスタ	(03F2₁₆)···	0 0 × 0 0 0 0 0
ポートP9方向レジスタ	(03F3₁₆)···	00₁₆
ポートP10方向レジスタ	(03F6₁₆)···	00₁₆
プルアップ制御レジスタ0	(03FC₁₆)···	00₁₆
プルアップ制御レジスタ1（注）	(03FD₁₆)···	00₁₆
プルアップ制御レジスタ2	(03FE₁₆)···	00₁₆
ポート予約レジスタ3	(03FF₁₆)···	00₁₆
データレジスタ（R0/R1/R2/R3）		0000₁₆
アドレスレジスタ（A0/A1）		0000₁₆
フレームベースレジスタ（FB）		0000₁₆
割り込みテーブルレジスタ（INTB）		00000₁₆
ユーザスタックポインタ（USP）		0000₁₆
割り込みスタックポインタ（ISP）		0000₁₆
スタティックベースレジスタ（SB）		0000₁₆
フラグレジスタ（FLG）		0000₁₆

×：このビットは何も配置されていません。
？：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図2.3.4　リセット解除後のマイクロコンピュータの内部状態(2)

2.4 シングルチップモード

本マイクロコンピュータは、シングルチップモードのみサポートしています。

シングルチップモードは、内部領域（SFR、OSD RAM、内部RAM、内部ROM）だけのアクセスが可能なモードです。

このモードでは、P0,P2～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

図2.4.1にプロセッサモードレジスタ0、図2.4.2にプロセッサモードレジスタ1を示します。

図2.4.3にメモリ配置図を示します。

プロセッサモードレジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル	アドレス	リセット時
PM0	0004_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : 使用禁止 1 0 : 使用禁止 1 1 : 使用禁止	○	○
PM01			○	○
予約ビット		必ず“0”を設定してください	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
予約ビット		必ず“0”を設定してください	○	○

注. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

図2.4.1　プロセッサモードレジスタ0

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	X	1	0

シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00000X00_2$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
予約ビット（注2）		必ず“1”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
予約ビット		必ず“0”を設定してください	—	○
PM17	ウエイトビット	0 : ウエイトなし 1 : ウエイトあり	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A $_{16}$番地)のビット1を“1”にしてください。
2. このビットはリセット時“0”になりますので、リセット解除後必ず“1”を設定してください。

図2.4.2　プロセッサモードレジスタ1

図2.4.3　シングルチップモード時のメモリ配置

2.4.1　ソフトウエアウエイト

プロセッサモードレジスタ1（0005$_{16}$番地）のウエイトビット（ビット7）によって、ソフトウエアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM／RAM領域に対してソフトウエアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。

SFR領域およびOSD RAMは、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表2.4.1にソフトウエアウエイトとバスサイクル、図2.4.4にソフトウエアウエイトを使用した場合のバスタイミング例を示します。

表2.4.1　ソフトウエアウエイトとバスサイクル

領　域	ウエイトビット	バスサイクル
SFR／OSD RAM	無効	BCLKの2サイクル
内部ROM／RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル

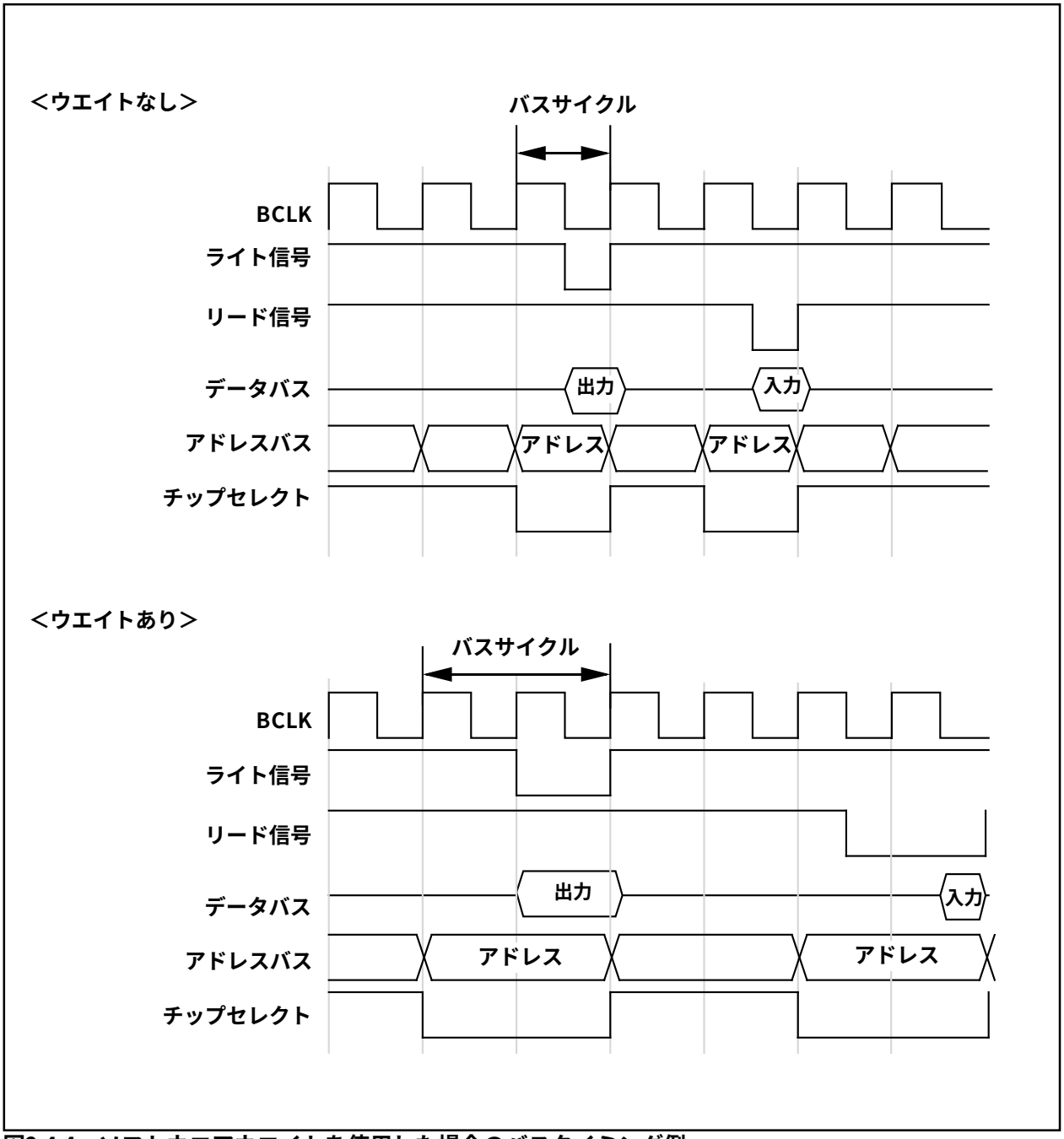


図2.4.4　ソフトウエアウエイトを使用した場合のバスタイミング例

2.5 クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路と、OSD動作クロック源を供給する発振回路をそれぞれ1回路内蔵しています。

表2.5.1 クロック発振回路

	メインクロック発振回路	OSDクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●OSDの動作クロック源
接続できる発振子	セラミック共振子（又は水晶発振子）	セラミック共振子 （又は水晶発振子） LC発振子
発振子の接続端子	XIN、XOUT	OSC1、OSC2
発振の停止/再開機能	あり	
ﾘｾｯﾄ直後の発振子の状態	発振	
その他	外部で生成されたｸﾛｯｸを入力することが可能	

2.5.1　発振回路例

図2.5.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.1中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。

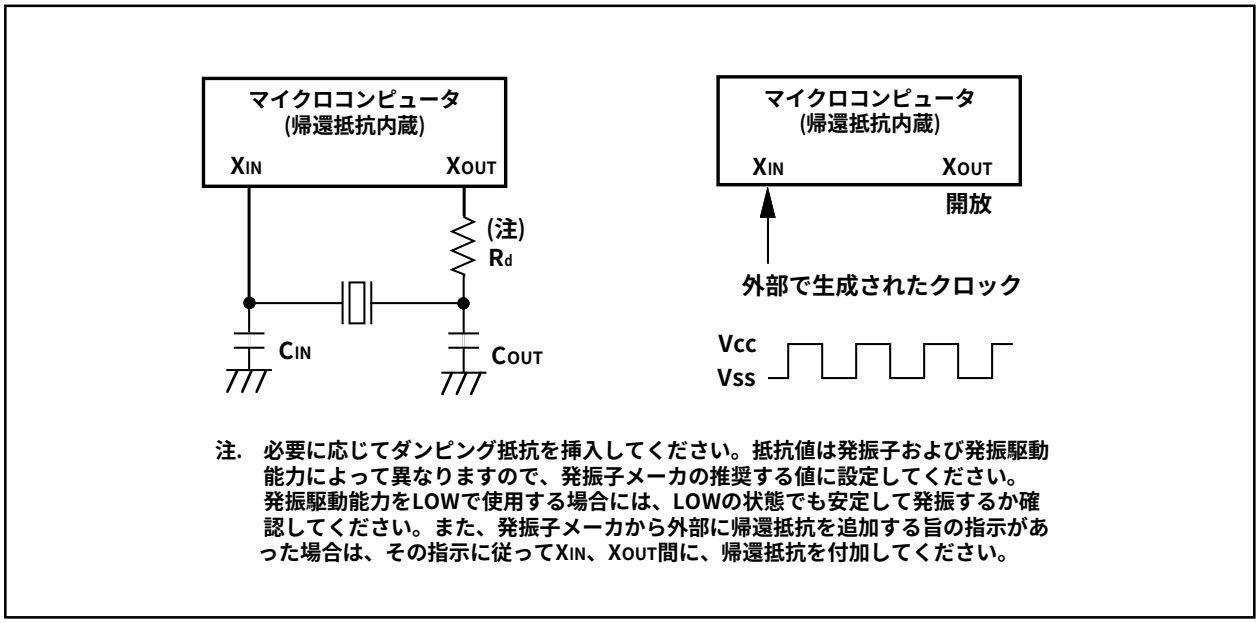


図2.5.1　メインクロックの接続例

2.5.2　OSD発振回路

OSDクロック発振回路は、OSC1とOSC2端子間にLC発振子又はセラミック共振子（又は水晶発振子）を接続するだけでOSDクロックを得ることができます。LC発振子とセラミック共振子（又は水晶発振子）の選択はクロックコントロールレジスタ（0205$_{16}$番地）のビット1及びビット2で設定してください。

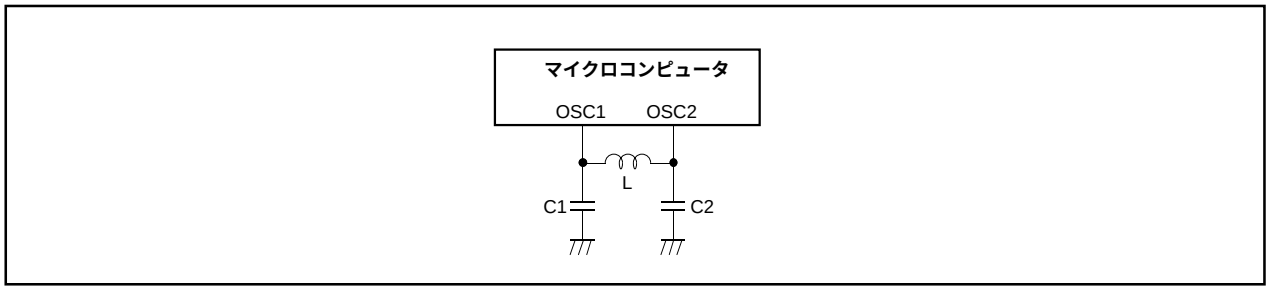


図2.5.2　OSDクロックの接続例

2.5.3　クロックの制御

図2.5.3にメインクロック発生回路のブロック図を示します。

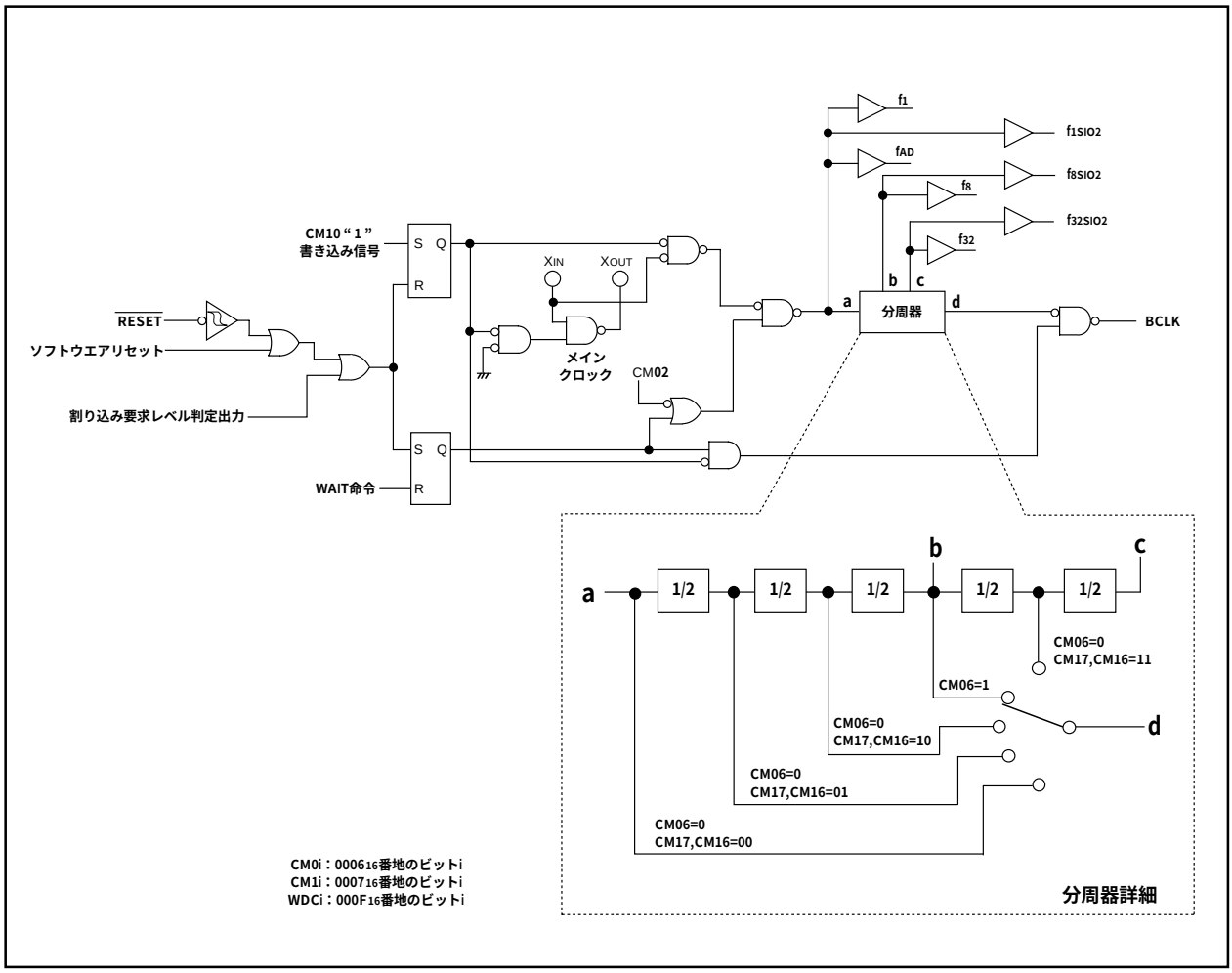


図2.5.3　クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007$_{16}$番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。

(2) BCLK

メインクロックの1、2、4、8、16分周をクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006$_{16}$番地のビット6)は“1”になります。

(3) 周辺機能クロック（f_1、f_8、f_{32}、f_{1SIO2}、f_{8SIO2}、f_{32SIO2}、f_{AD}）

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006$_{16}$番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

図2.5.4と図2.5.5にシステムクロック制御レジスタ0、システムクロック制御レジスタ1を示します。

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0		0	0	1		0	0

シンボル	アドレス	リセット時
CM0	000_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する	○	○
予約ビット		必ず“1”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM06	メインクロック分周比選択ビット0(注2)	0 : CM16,CM17有効 1 : 8分周モード	○	○
予約ビット		必ず“0”を設定してください	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
2. 高速モード、中速モードからストップモードへの移行およびリセット時、このビットは“1”になります。

図2.5.4　システムクロック制御レジスタ0

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
CM15	X_{IN}-X_{OUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17			○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
2. 高速モード、中速モードからストップモードへの移行およびリセット時、このビットは“1”になります。
3. システムクロック制御レジスタ0(0006_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
4. このビットが“1”の場合、X_{OUT}は“H”レベルとなり、内蔵している帰還抵抗は切り離されます。

図2.5.5　システムクロック制御レジスタ1

2.5.4　ストップモード

全クロック停止制御ビット(0007$_{16}$番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が4.5V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f_1～f_{32}、f_{1SIO2}～f_{32SIO2}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i＝0, 2)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表2.5.2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006$_{16}$番地のビット6)は“1”になります。

表2.5.2　ストップモード時のポートの状態

端　子	状態
ポート	ストップモードに入る直前の状態を保持

2.5.5　ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表2.5.3に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表2.5.3　ウエイトモード時のポートの状態

端　子	状態
ポート	ウエイトモードに入る直前の状態を保持

2.5.6 BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表2.5.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット直後、8分周モードになります。ストップモードへの移行時、メインクロック分周比選択ビット0(0006_{16}番地のビット6)は“1”になります。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。このモードから他のモードへ移行する場合、メインクロックの発振が安定している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックがBCLKとなるモードです。

表2.5.4 システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM06	BCLKの動作モード
0	1	0	2分周モード
1	0	0	4分周モード
無効	無効	1	8分周モード
1	1	0	16分周モード
0	0	0	分周なしモード

2.5.7 パワーコントロール

パワーコントロールとは、CPUや発振器を停止したり、動作クロックを下げることによってCPUの消費電力を小さくすることです。パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

(2) ウエイトモード

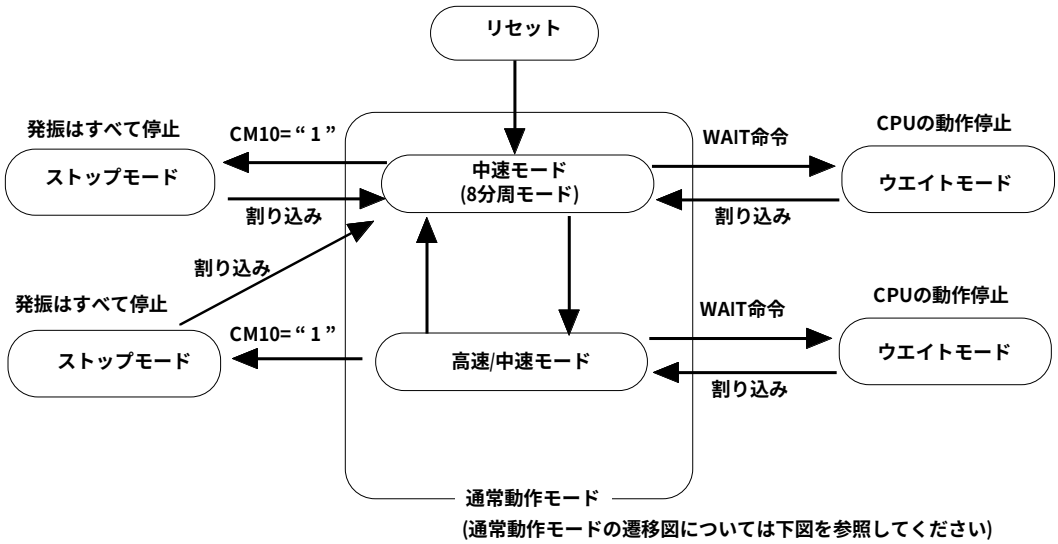
CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

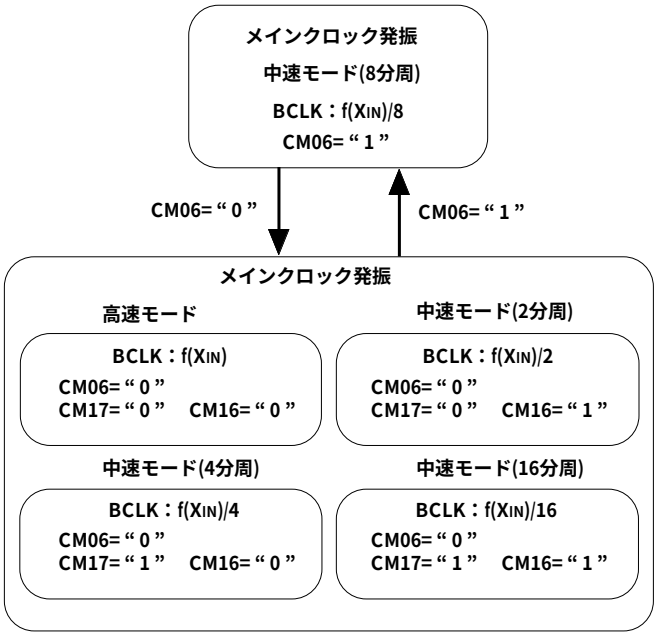
すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図2.5.6に示します。

ストップモード、ウエイトモードの遷移図



通常動作モードの遷移図



注1. メインクロックの発振が十分安定してから切り替えてください。
2. CM17, CM16を変更した後、CM06を変更してください。
3. 矢印の方向に従って遷移してください。

図2.5.6 状態遷移図

2.6 プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図2.6.1にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004_{16}番地)、プロセッサモードレジスタ1(0005_{16}番地)、システムクロック制御レジスタ0(0006_{16}番地)、システムクロック制御レジスタ1(0007_{16}番地)、ポートP9方向レジスタ($03F3_{16}$番地)、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ書き込み許可ビットは、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット($000A_{16}$番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット($000A_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC2	ポートP9方向レジスタ($03F3_{16}$番地)への書き込み許可(注)	0 : 書き込み禁止 1 : 書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—

注. このビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。
他のビットは“0”になりませんので、プログラムで“0”にしてください。

図2.6.1　プロテクトレジスタ

2.7　割り込みの概要

2.7.1　割り込みの分類

図2.7.1に割り込みの分類を示します。

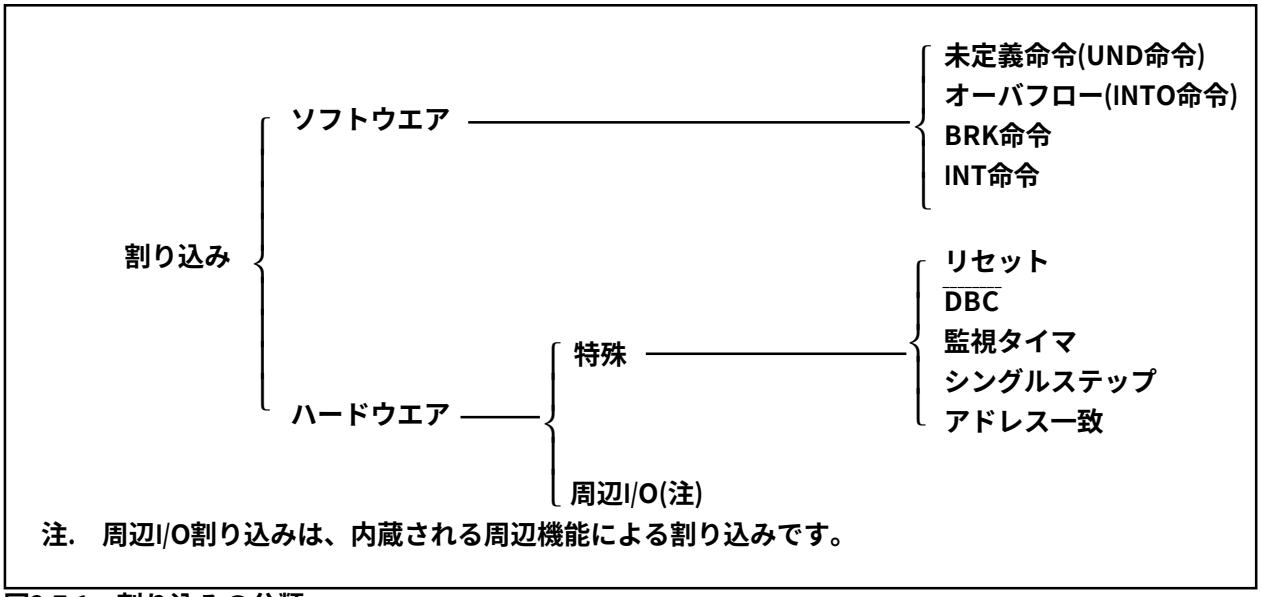


図2.7.1　割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

2.7.2　ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

2.7.3 ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

(1) 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

●リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

●$\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

●監視タイマ割り込み

監視タイマによる割り込みです。

●シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

●アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

(2) 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

●バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

●DMA0、DMA1割り込み

DMAによる割り込みです。

●V_{SYNC}割り込み

V_{SYNC}のエッジを入力すると発生します。

●A-D変換割り込み

A-D変換器による割り込みです。

●UART0送信、UART2送信割り込み

シリアルI/Oの送信による割り込みです。

●UART0受信、UART2受信割り込み

シリアルI/Oの受信による割り込みです。

●マルチマスタI^2C-BUSインタフェース0、マルチマスタI^2C-BUSインタフェース1割り込み

シリアル送受信完了、又はストップコンディション検出による割り込みです。

●タイマA0～タイマA4割り込み

タイマAによる割り込みです。

●タイマB0～タイマB2割り込み

タイマBによる割り込みです。

●$\overline{\text{INT}}_0$、$\overline{\text{INT}}_1$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

●OSD1、OSD2割り込み

OSD表示終了による割り込みです。

●データスライサ割り込み

データスライサ回路が要求する割り込みです。

2.7.4 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図2.7.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図2.7.2 割り込みベクタの指定アドレス

(1) 固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表2.7.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.1 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注)	FFFF416 ～ FFFF716	通常は使用禁止
予約要因	FFFF816 ～ FFFFB16	使用禁止
リセット	FFFFC16 ～ FFFFF16	

注. デバッガ専用割り込み

(2) 可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表2.7.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号4	+16～+19(注)	OSD1	
ソフトウエア割り込み番号5	+20～+23(注)	予約要因	
ソフトウエア割り込み番号6	+24～+27(注)	予約要因	
ソフトウエア割り込み番号7	+28～+31(注)	予約要因	
ソフトウエア割り込み番号8	+32～+35(注)	OSD2	
ソフトウエア割り込み番号9	+36～+39(注)	マルチマスタI²C-BUSインタフェース1	
ソフトウエア割り込み番号10	+40～+43(注)	バス衝突検出	
ソフトウエア割り込み番号11	+44～+47(注)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注)	DMA1	
ソフトウエア割り込み番号13	+52～+55(注)	マルチマスタI²C-BUSインタフェース0	
ソフトウエア割り込み番号14	+56～+59(注)	A-D変換	
ソフトウエア割り込み番号15	+60～+63(注)	UART2送信	
ソフトウエア割り込み番号16	+64～+67(注)	UART2受信	
ソフトウエア割り込み番号17	+68～+71(注)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注)	データスライサ	
ソフトウエア割り込み番号20	+80～+83(注)	VSYNC	
ソフトウエア割り込み番号21	+84～+87(注)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注)	タイマA3	
ソフトウエア割り込み番号25	+100～+103(注)	タイマA4	
ソフトウエア割り込み番号26	+104～+107(注)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注)	$\overline{INT_0}$	
ソフトウエア割り込み番号30	+120～+123(注)	$\overline{INT_1}$	
ソフトウエア割り込み番号31	+124～+127(注)	予約要因	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注) ～ +252～+255(注)	ソフトウエア割り込み	Iフラグによるマスク不可

注. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

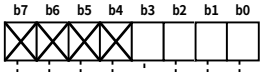
2.7.5　割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図2.7.3に割り込み制御レジスタを示します。

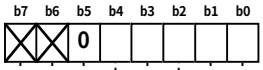
割り込み制御レジスタ



シンボル	アドレス	リセット時
OSDiIC(i=1, 2)	0044_{16}, 0048_{16}番地	XXXX?000$_2$
BCNIC	$004A_{16}$番地	XXXX?000$_2$
DMiIC(i=0,1)	$004B_{16}$, $004C_{16}$番地	XXXX?000$_2$
IIC0IC	$004D_{16}$番地	XXXX?000$_2$
ADIC	$004E_{16}$番地	XXXX?000$_2$
SiTIC(i=0, 2)	0051_{16}, $004F_{16}$番地	XXXX?000$_2$
SiRIC(i=0, 2)	0052_{16}, 0050_{16}番地	XXXX?000$_2$
DSIC	0053_{16}番地	XXXX?000$_2$
VSYNCIC	0054_{16}番地	XXXX?000$_2$
TAiIC(i=0～4)	0055_{16}～0059_{16}番地	XXXX?000$_2$
TBiIC(i=0～2)	$005A_{16}$～$005C_{16}$番地	XXXX?000$_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			－	－

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
　2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=0, 1)	$005D_{16}$, $005E_{16}$番地	XX00?000$_2$
IIC1IC	0049_{16}番地	XX00?000$_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
POL	極性切り替えビット(注2)	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			－	－

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
　2.　0049_{16}番地のビット4は無効です。必ず“0”を設定してください。
　3.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図2.7.3.　割り込み制御レジスタ

2.7.6　割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

2.7.7　割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

2.7.8　割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.7.3に割り込み優先レベルの設定を、表2.7.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

・割り込み許可フラグ(Iフラグ) ＝　“1”
・割り込み要求ビット　＝　“1”
・割り込み優先レベル　＞　プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.7.3　割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	―――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	高い

表2.7.4　プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

2.7.9　割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.7.10　割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

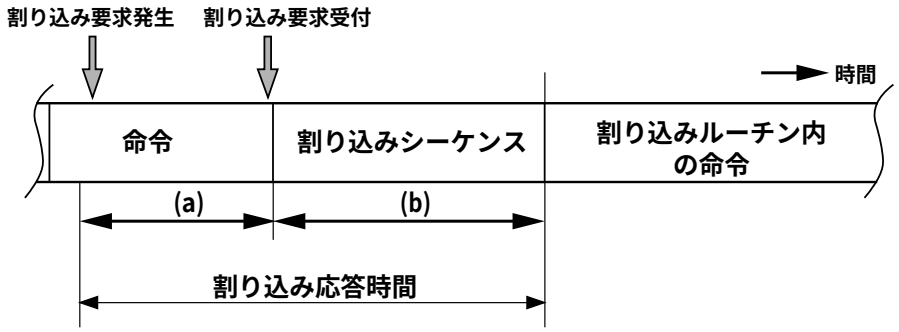
(1)　0000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2)　割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注)に退避する。
(3)　割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4)　CPU内部の一時レジスタ(注)の内容をスタック領域に退避する。
(5)　プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6)　プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注.　ユーザは使用できません。

2.7.11　割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図2.7.4に割り込み応答時間を示します。



(a)　割り込み要求発生時点からそのとき実行している命令が終了するまでの時間
(b)　割り込みシーケンスを実行する時間

図2.7.4　割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表2.7.5　割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1.　$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルにしてください。
2.　割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

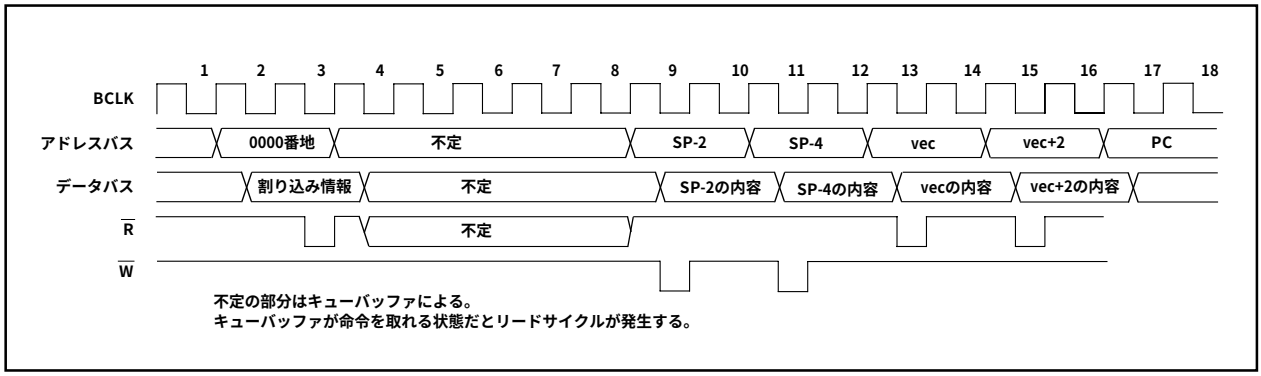


図2.7.5　割り込みシーケンスの実行時間

2.7.12　割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表2.7.6に示す値がIPLに設定されます。

表2.7.6　割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ	7
リセット	0
その他	変化しない

2.7.13　レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図2.7.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

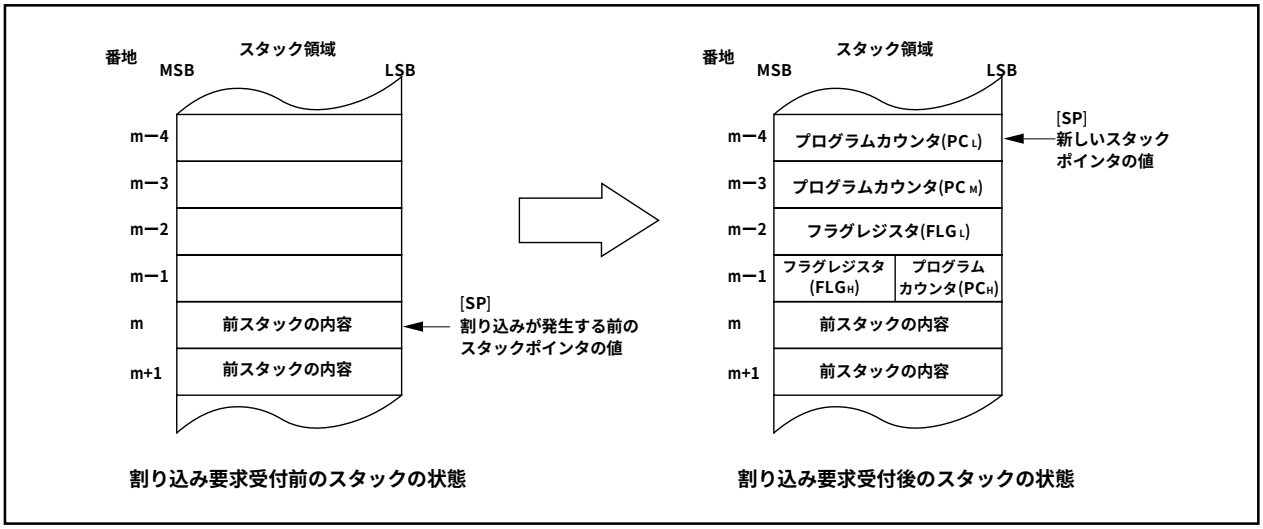


図2.7.6　割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図2.7.7にレジスタ退避動作を示します。

注.　Uフラグが示すスタックポインタです。

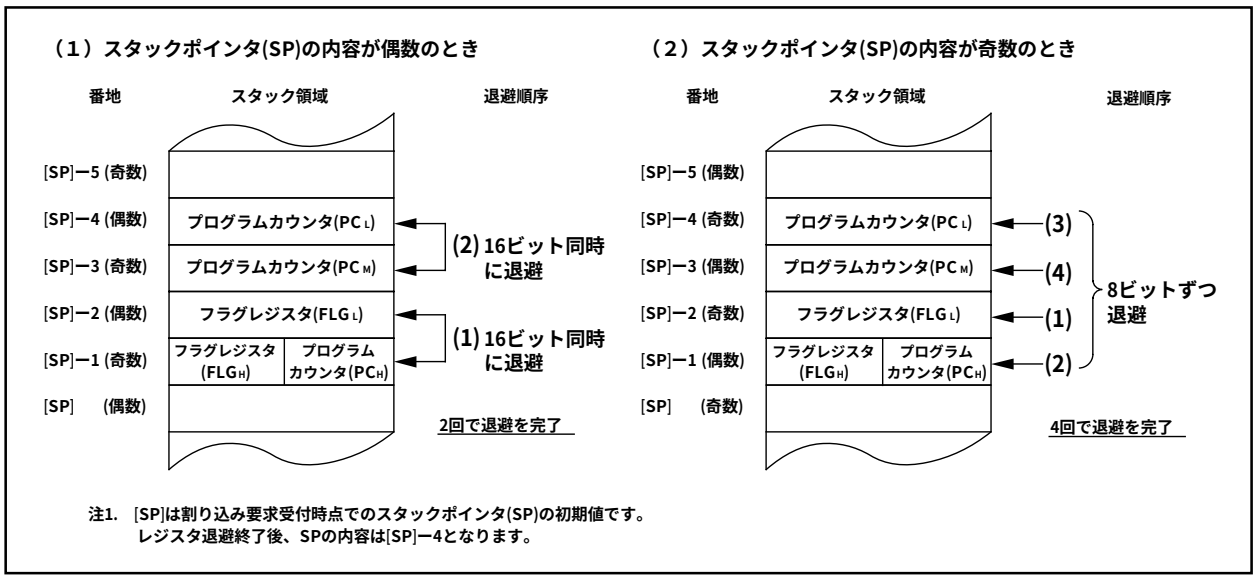


図2.7.7　レジスタ退避動作

2.7.14　割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

2.7.15　割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図2.7.8に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

2.7.16　割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図2.7.9に割り込み優先レベルの判定回路を示します。

リセット＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図2.7.8　ハードウエア割り込みの割り込み優先順位

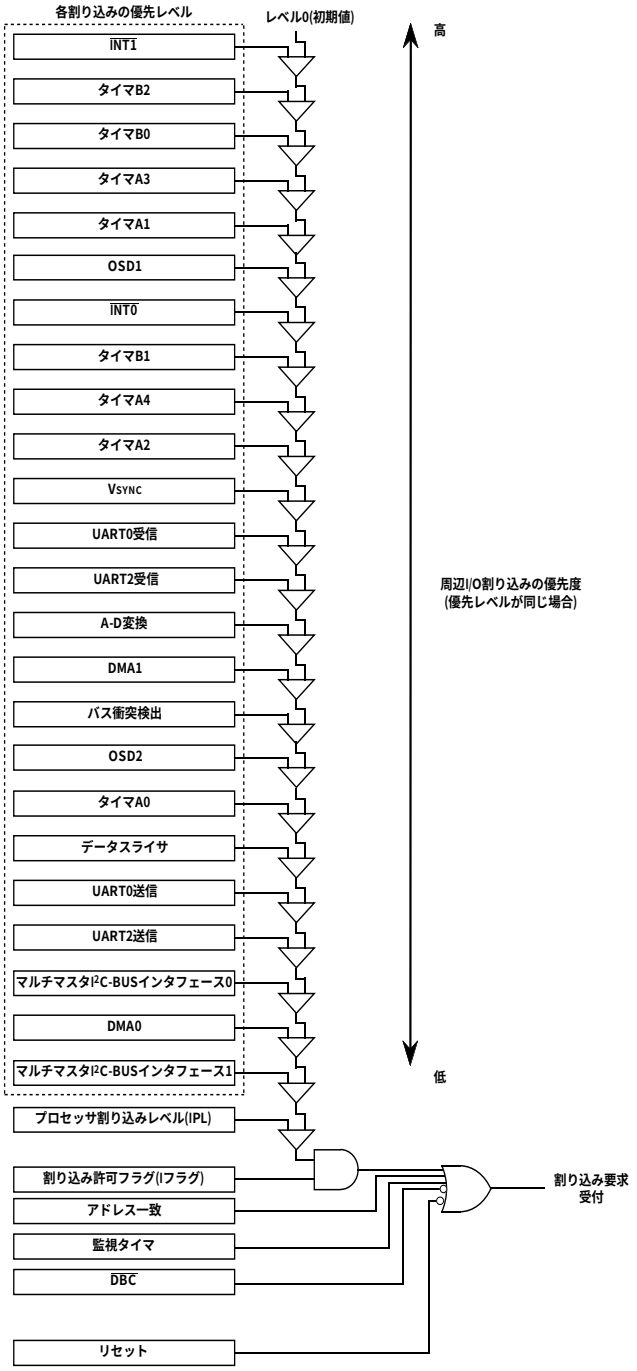


図2.7.9　割り込み優先レベル判定回路

2.7.17 $\overline{\text{INT}}$割り込み

$\overline{\text{INT}}_0$、$\overline{\text{INT}}_1$は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

外部割り込み入力は、割り込み要因選択レジスタ(035F16番地)のINTi割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図2.7.10に割り込み制御予約レジスタi、図2.7.11　に割り込み要因選択レジスタを示します。

割り込み制御予約レジスタi

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

シンボル	アドレス	リセット時
REiIC (i=0～3)	0045$_{16}$, 0046$_{16}$, 0047$_{16}$, 005F$_{16}$番地	不定

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	○	○

図2.7.10 割り込み制御予約レジスタi（i=0～3）

割り込み要因選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル	アドレス	リセット時
IFSR	035F$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
IFSR0	INT0割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR1	INT1割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
予約ビット		必ず“0”を設定してください	○	○

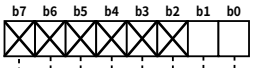
図2.7.11 割り込み要因選択レジスタ

2.7.18　アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図2.7.12と図2.7.13にアドレス一致割り込み関連レジスタを示します。

アドレス一致割り込み許可レジスタ

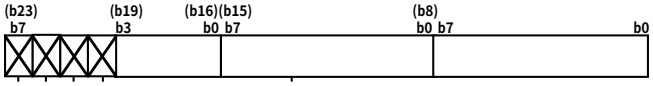


シンボル	アドレス	リセット時
AIER	0009_{16}番地	$XXXXXX00_2$

ビットシンボル	ビット名	機　能	R	W
AIER0	アドレス一致割り込み0許可ビット	0：禁止 1：許可	○	○
AIER1	アドレス一致割り込み1許可ビット	0：禁止 1：許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

図2.7.12　アドレス一致割り込み許可レジスタ

アドレス一致割り込みレジスタi(i=0,1)



シンボル	アドレス	リセット時
RMAD0	0012_{16}～0010_{16}番地	$X00000_{16}$
RMAD1	0016_{16}～0014_{16}番地	$X00000_{16}$

機　能	設定可能値	R	W
アドレス一致割り込み用アドレス設定レジスタ	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		—	—

図2.7.13　アドレス一致割り込みレジスタi (i=0,1)

2.7.19 割り込みの注意事項

(1) 00000_{16}番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000_{16}番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

●$\overline{INT_0}$、$\overline{INT_1}$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
●$\overline{INT_0}$、$\overline{INT_1}$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{INT}$割り込み発生要因の切り替え手順例を図2.7.14に示します。

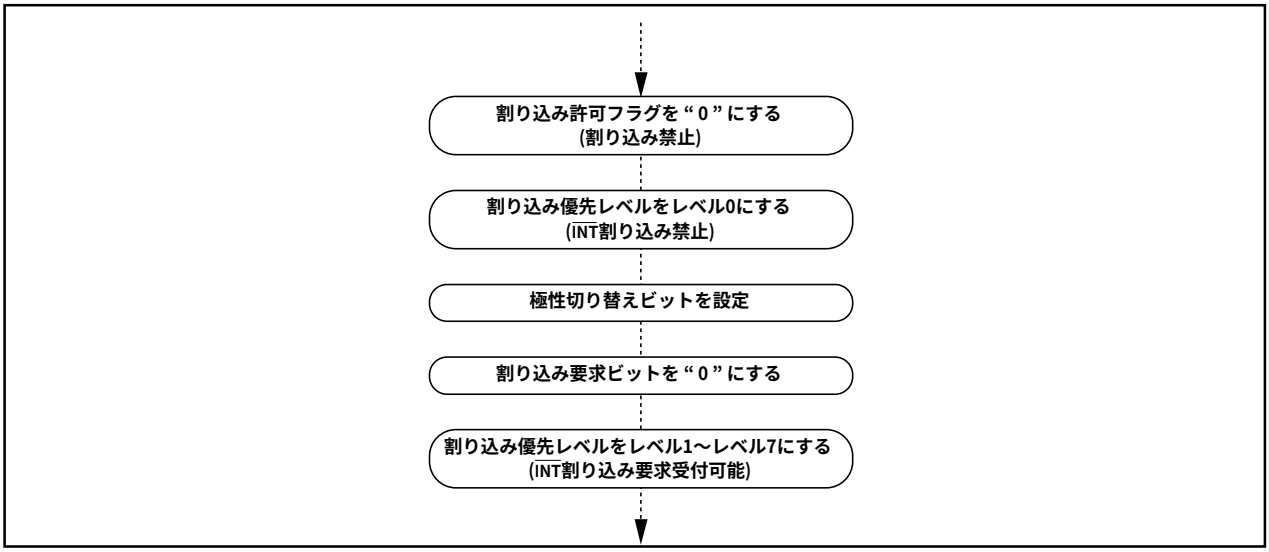


図2.7.14　INT割り込み発生要因の切り替え

(4)　割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR     I              ；割り込み禁止状態
  AND.B    #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP
  NOP
  FSET     I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR     I              ；割り込み禁止状態
  AND.B    #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W    MEM，R0        ；ダミーリード
  FSET     I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC    FLG
  FCLR     I              ；割り込み禁止状態
  AND.B    #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC     FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.8 監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。監視タイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケーラによる誤差が生じます。

監視タイマは、監視タイマスタートレジスタ(000E16番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。

$$監視タイマの周期=\frac{プリスケーラの分周比（16または128）\times 監視タイマのカウント値（32768）}{BCLK}$$

例えば、BCLKが10MHzで、プリスケーラーの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

図2.8.1に監視タイマのブロック図、図2.8.2に監視タイマ制御レジスタを、図2.8.3に監視タイマスタートレジスタを示します。

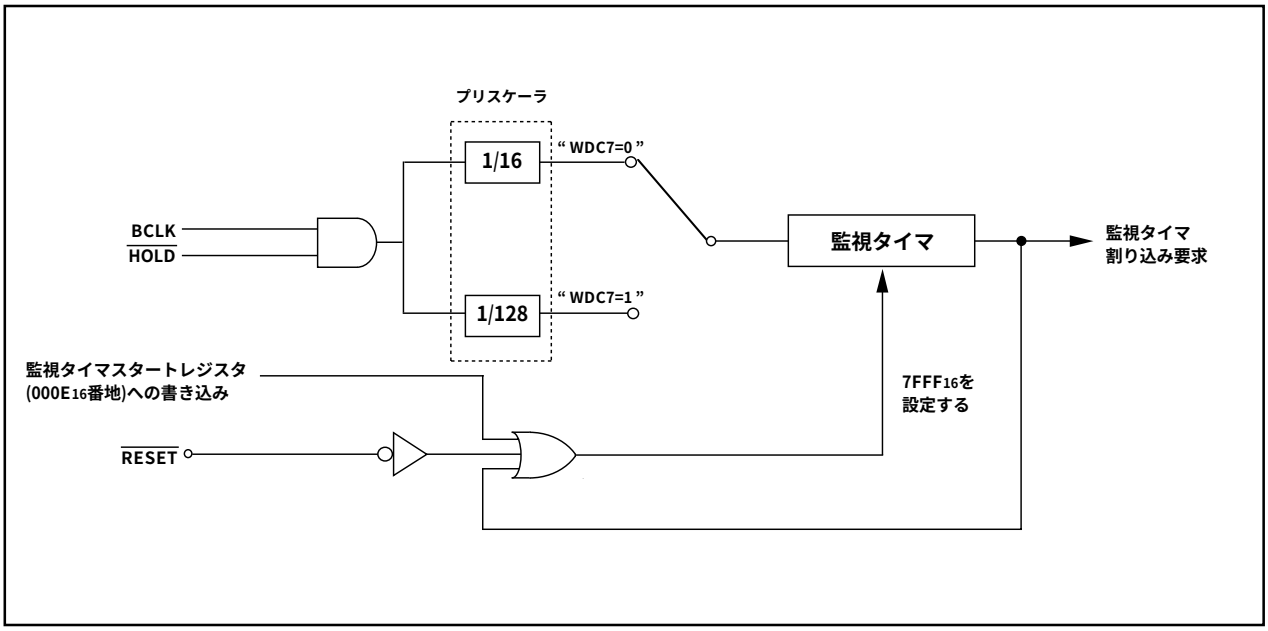


図2.8.1 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット時
WDC	000F16番地	000?????2

ビットシンボル	ビット名	機　　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	○	○

図2.8.2　監視タイマ制御レジスタ

監視タイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

機　　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF 16”が設定される。	×	○

図2.8.3　監視タイマスタートレジスタ

2.9 DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図2.9.1にDMACのブロック図を、表2.9.1にDMACの仕様を、図2.9.2～図2.9.7にDMACで使用するレジスタを示します。

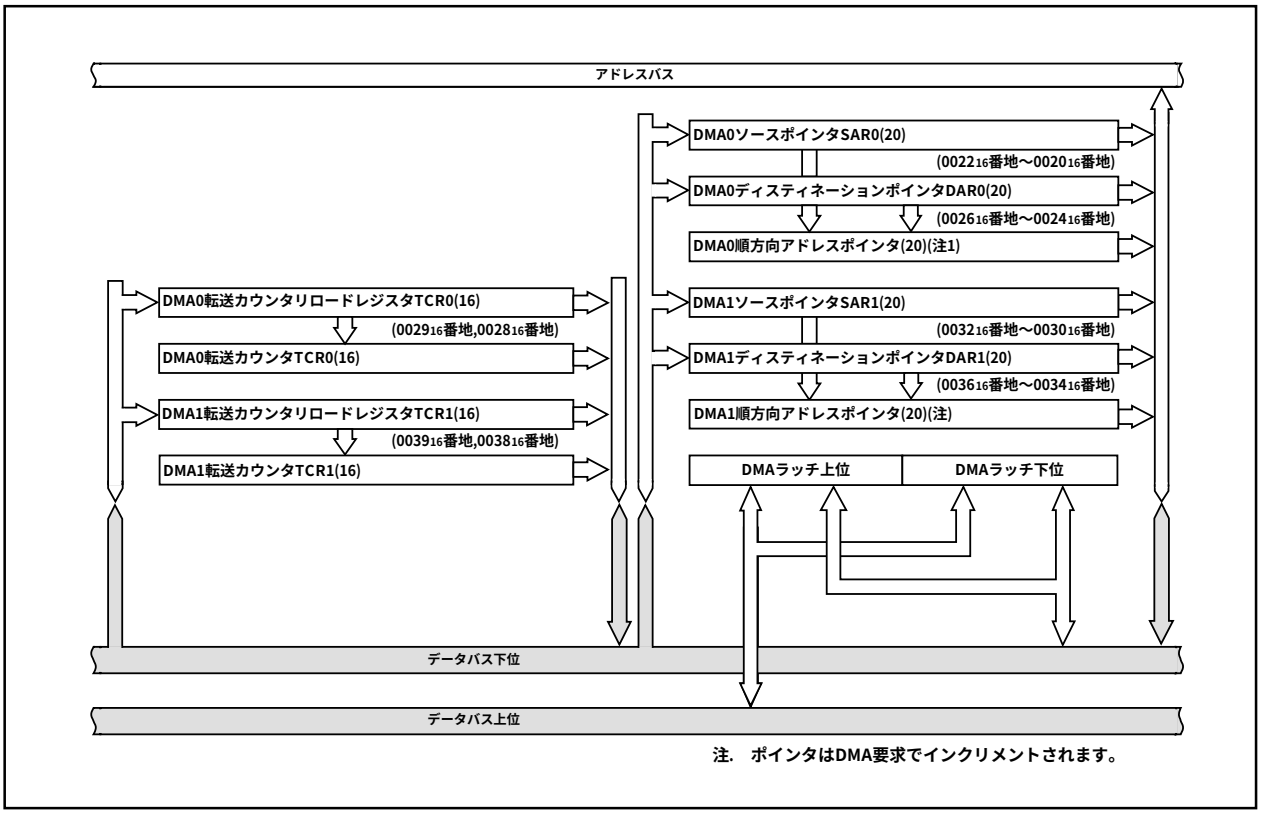


図2.9.1 DMACブロック図

DMA転送の要求信号には、ソフトウエアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

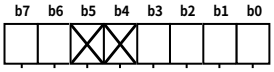
DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表2.9.1　DMAC仕様

項　　目	仕　　様
チャネル数	2チャネル(サイクルスチール方式)
転送空間	●1Mバイトの任意の空間から固定アドレス ●固定アドレスから1Mバイトの任意の空間 ●固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020$_{16}$番地～003F$_{16}$番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注)	$\overline{\text{INT}}_0$端子の立ち下がりエッジまたは両エッジ $\overline{\text{INT}}_1$端子の立ち下がりエッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信および受信割り込み要求 UART2送信および受信割り込み要求 マルチマスタI^{2}C-BUSインタフェース0割り込み要求 マルチマスタI^{2}C-BUSインタフェース1割り込み要求 A-D変換割り込み要求 OSD1～OSD2割り込み要求 データスライサ割り込み要求 VSYNC割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	●単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ●リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	●DMA許可ビットが“0”のときDMACはアクティブでない状態 ●単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注.　DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

DMA0要因選択レジスタ



シンボル	アドレス	リセット時
DM0SL	$03B8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{INT_0}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4(DMS=0) /$\overline{INT_0}$端子の両エッジ(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /OSD1(DMS=1) 1 0 0 0 : タイマB1(DMS=0) /OSD2(DMS=1) 1 0 0 1 : タイマB2(DMS=0) /マルチマスタI²C-BUS インタフェース0(DMS=1) 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : データスライサ	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図2.9.2　DMA0要因選択レジスタ

DMA1要因選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		X	X				

シンボル	アドレス	リセット時
DM1SL	03BA16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT}}_1$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3(DMS=0) /OSD1(DMS=1) 0 1 1 0 : タイマA4(DMS=0) /OSD2(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /マルチマスタI²C-BUS インタフェース1(DMS=1) 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : VSYNC	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0 : ノーマル 1 : 拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図2.9.3　DMA1要因選択レジスタ

DMAi制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b1
X	X						

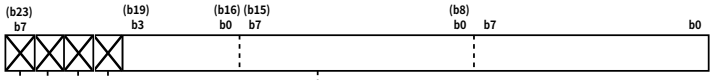
シンボル	アドレス	リセット時
DMiCON(i=0,1)	002C16番地,003C16番地	00000?002

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード 選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
2.　“0”だけ書き込み可。
3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

図2.9.4　DMAi制御レジスタ

DMAiソースポインタ(i=0,1)

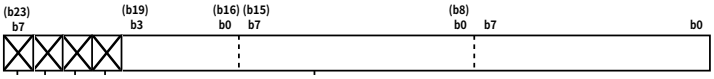


シンボル	アドレス	リセット時
SAR0	0022_{16}番地～0020_{16}番地	不定
SAR1	0032_{16}番地～0030_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

図2.9.5　DMAiソースポインタ (i=0,1)

DMAiディスティネーションポインタ(i=0,1)

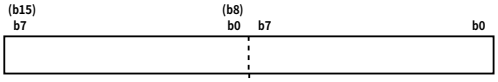


シンボル	アドレス	リセット時
DAR0	0026_{16}番地～0024_{16}番地	不定
DAR1	0036_{16}番地～0034_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

図2.9.6　DMAiディスティネーションポインタ (i=0,1)

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	0029_{16}番地, 0028_{16}番地	不定
TCR1	0039_{16}番地, 0038_{16}番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000_{16}～$FFFF_{16}$	○	○

図2.9.7　DMAi転送カウンタ (i=0,1)

2.9.1 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。さらに、ソフトウエアウエイトの影響により、バスサイクル自体が長くなります。

(1) 転送元/転送先アドレスの影響

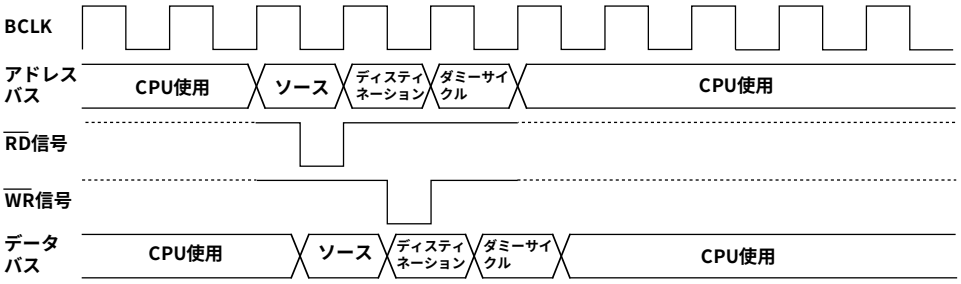
転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

(2) ソフトウエアウエイトの影響

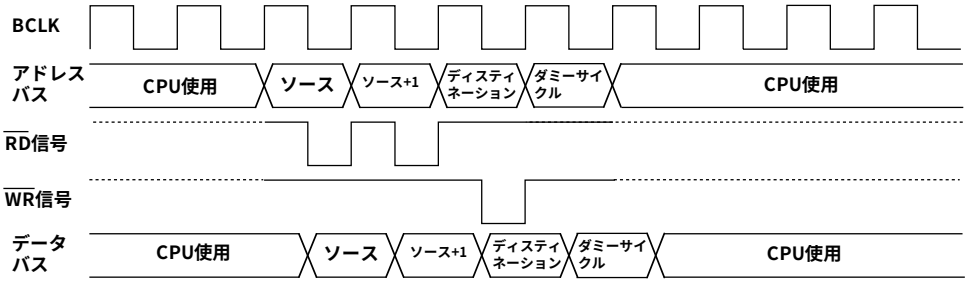
ソフトウエアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図2.9.8にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。

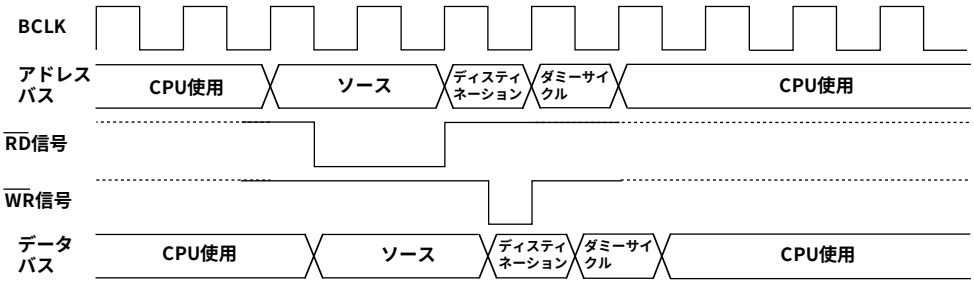
① 転送単位が16ビット幅でソースアドレスが偶数番地のとき



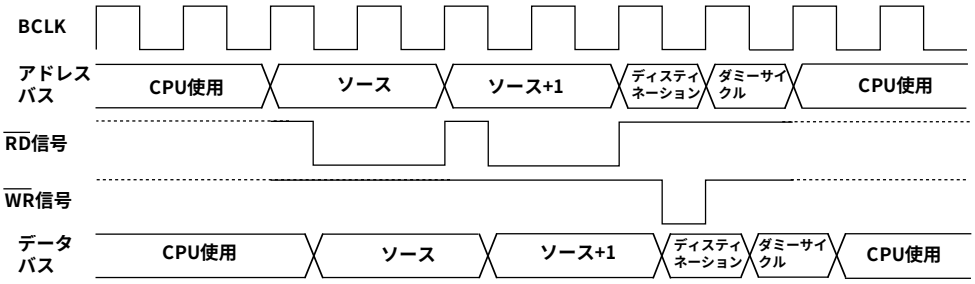
② 転送単位が16ビット幅でソースアドレスが奇数番地のとき



③ ①の条件でソースリードに1ウエイトが入ったとき



④ ②の条件でソースリードに1ウエイトが入ったとき



注. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図2.9.8 ソースリードについての転送サイクル例

2.9.2　DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表2.9.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表2.9.2　DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード	
			読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	16ビット	偶　数	1	1
		奇　数	1	1
16ビット転送 (DMBIT=“0”)	16ビット	偶　数	1	1
		奇　数	2	2

係数j,k

内部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域 ／OSD RAM ウエイトなし
1	2	2

2.9.3 DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

(1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする

(2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

2.9.4 DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウエアDMA要因(内部要因)

・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウエアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}$i端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として$\overline{\text{INT}}$i端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各$\overline{\text{INT}}$i端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャネルのDMA要求ビットは同時に“1”になります。このとき各チャネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図2.9.9外部要因によるDMA転送例で示します。

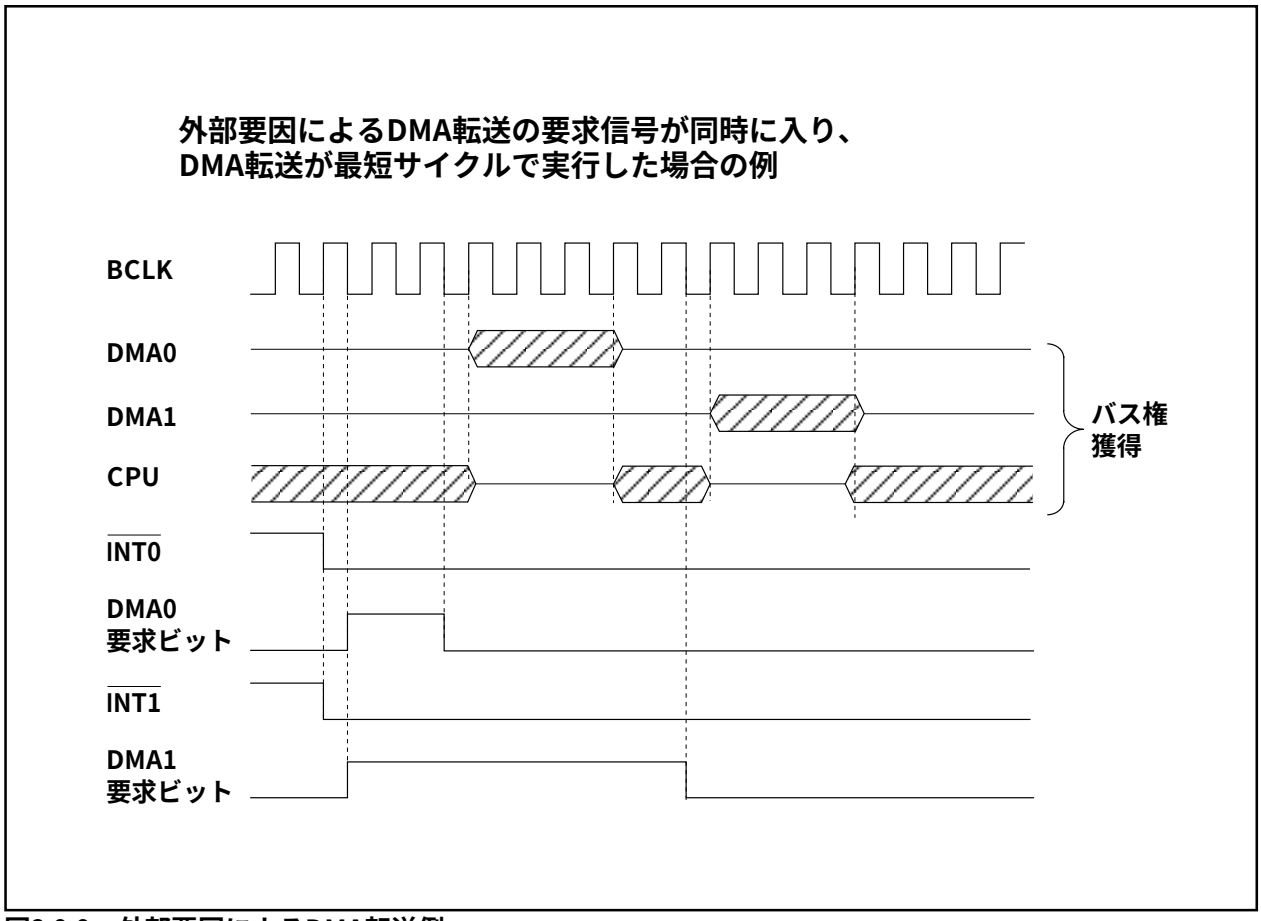


図2.9.9 外部要因によるDMA転送例

2.10 タイマ

タイマは、16ビットタイマを8本内蔵しています。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図2.10.1にタイマA、図2.10.2にタイマBの構成を示します。

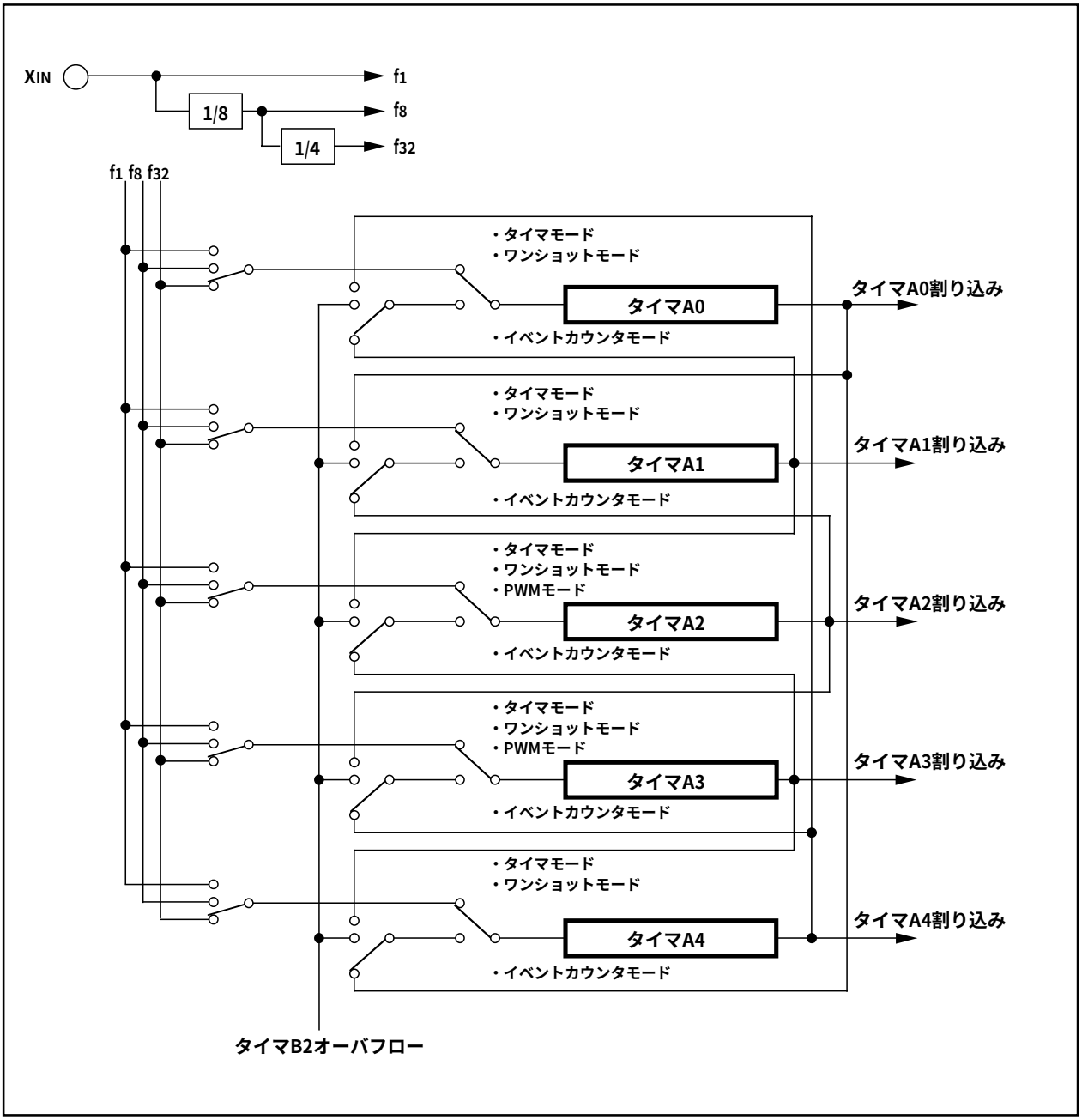


図2.10.1 タイマA構成

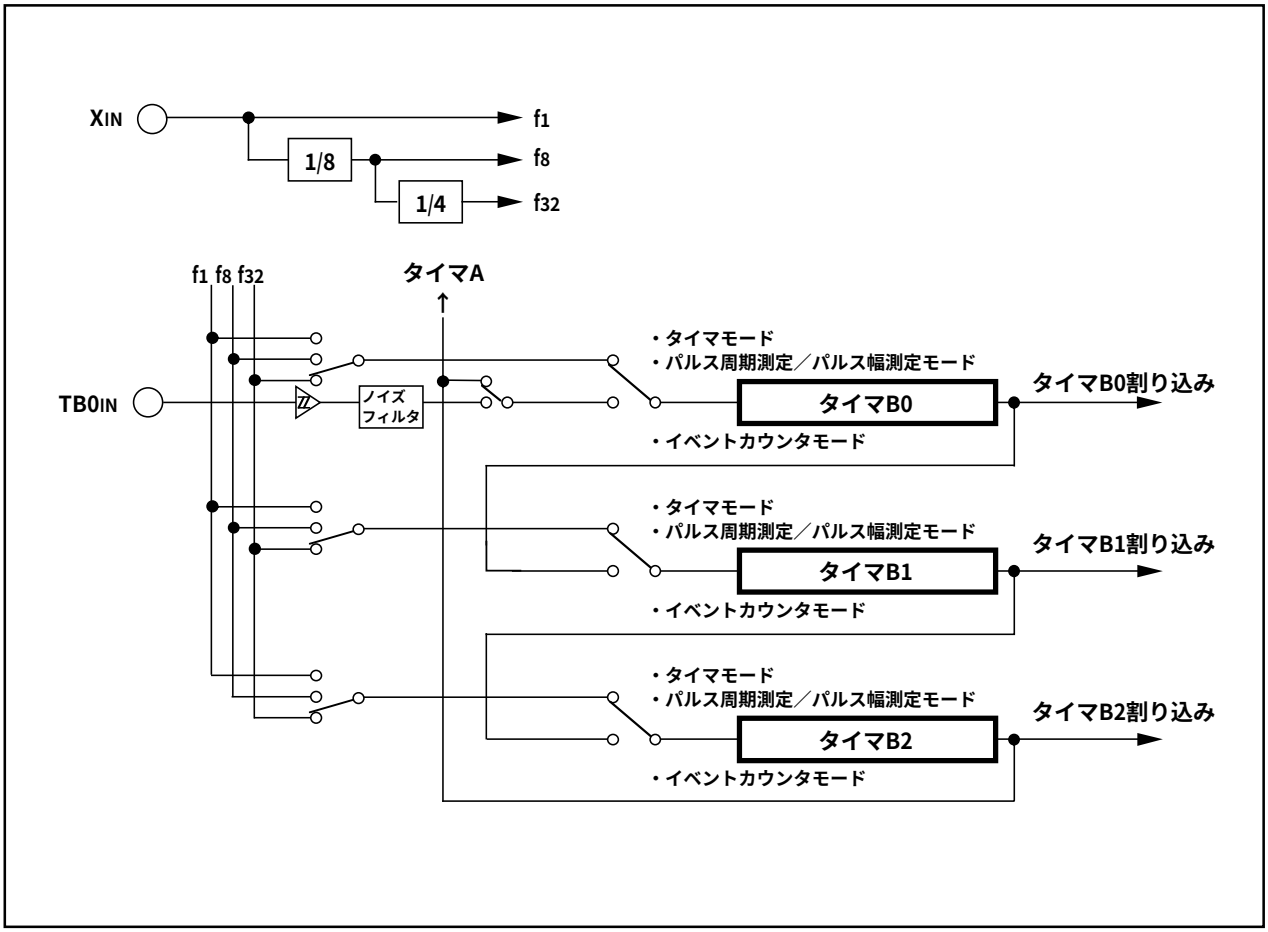


図2.10.2　タイマB構成

2.10.1 タイマA

図2.10.3にタイマAのブロック図を、図2.10.4～図2.10.10にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、パルス出力機能を除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　タイマのオーバフローをカウントするモード
- ・ワンショットタイマモード　　カウント値が“0000_{16}”になるとカウントが止まるモード
- ・パルス幅変調モード　　任意のパルス幅を連続して出力するモード

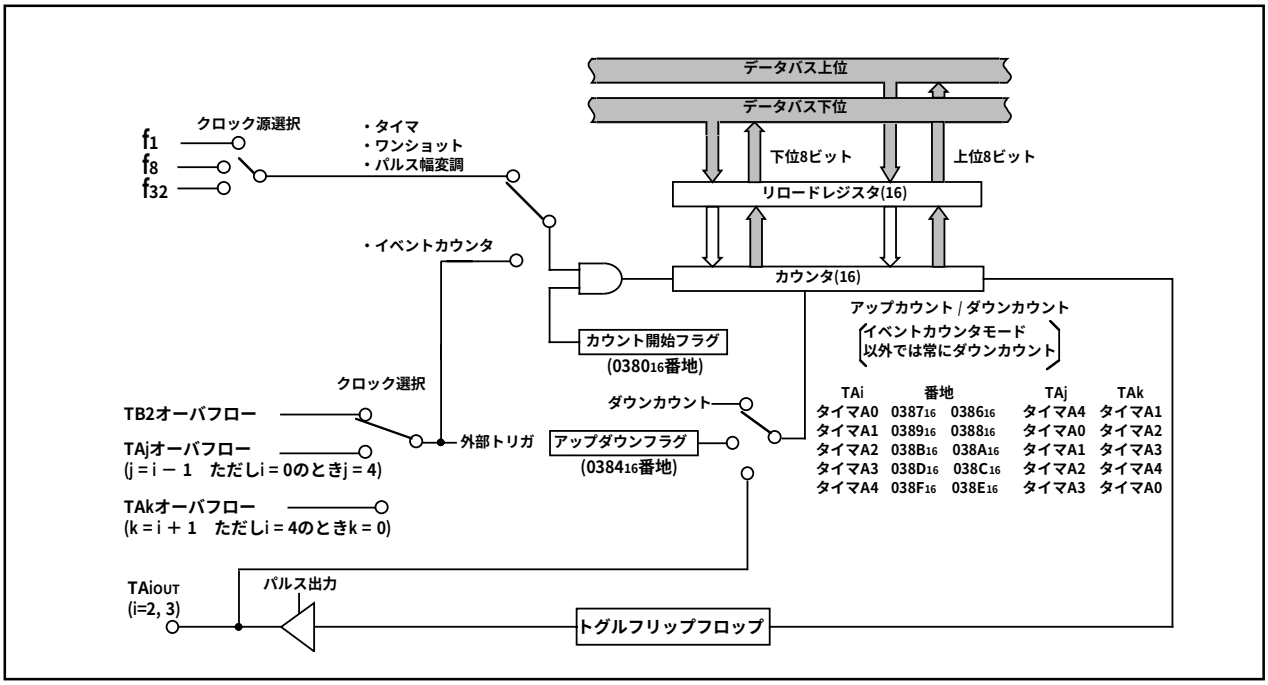


図2.10.3　タイマAブロック図

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

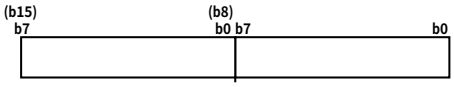
シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード(注)	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		○	○
TCK1			○	○

注.　タイマ2, 3のみPWMモードがあります。

図2.10.4　タイマAiモードレジスタ

タイマAiレジスタ(注)



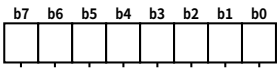
シンボル	アドレス	リセット時
TA0	0387_{16},0386_{16}番地	不定
TA1	0389_{16},0388_{16}番地	不定
TA2	$038B_{16}$,$038A_{16}$番地	不定
TA3	$038D_{16}$,$038C_{16}$番地	不定
TA4	$038F_{16}$,$038E_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード タイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000_{16}～$FFFF_{16}$	×	○
●パルス幅変調モード（16ビットPWM）（TA2, TA3） 16ビットパルス幅変調器として動作	0000_{16}～$FFFE_{16}$	×	○
●パルス幅変調モード(8ビットPWM）（TA2, TA3） タイマの下位アドレスは、8ビットプリスケーラ、 上位アドレスは8ビットパルス幅変調器として動作	00_{16}～FE_{16} (上位、下位 アドレスとも)	×	○

注.　読み出し、および書き込みは16ビット単位で行ってください。

図2.10.5　タイマAiレジスタ

カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

図2.10.6　カウント開始フラグ

アップダウンフラグ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0					

シンボル	アドレス	リセット時
UDF	0384_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
予約ビット		必ず“0”を設定してください	×	○

図2.10.7　アップダウンフラグ

ワンショット開始フラグ

b7	b6	b5	b4	b3	b2	b1	b0
		X					

シンボル	アドレス	リセット時
ONSF	0382_{16}番地	$00X00000_{2}$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“0”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—
TA0TGL	タイマA0イベント／トリガ選択ビット	b7 b6 0 0 : 設定禁止 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

図2.10.8　ワンショット開始フラグ

トリガ選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TRGSR	0383_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : 設定禁止 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : 設定禁止 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／トリガ選択ビット	b5 b4 0 0 : 設定禁止 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／トリガ選択ビット	b7 b6 0 0 : 設定禁止 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

図2.10.9　トリガ選択レジスタ

予約レジスタ6

b7	b6	b5	b4	b3	b2	b1	b0
0	X	X	X	X	X	X	X

シンボル	アドレス	リセット時
INVC6	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—
予約ビット		必ず“0”を設定してください。	○	○

図2.10.10　予約レジスタ6

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.1)。図2.10.11にタイマモード時のタイマAiモードレジスタを示します。

表2.10.1 タイマモードの仕様

項　目	仕　様
カウントソース	f_1,f_8,f_{32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0		0	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット(注2)	0 : パルス出力なし (TA2OUT/TA3OUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TA2OUT/TA3OUT端子はパルス出力端子)	○	○
予約ビット		必ず“0”を設定してください	○	○
MR3	0 : タイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : 設定禁止	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
2. TAiMR(i = 0,1,4)のこのビットは必ず“0”にしてください。

図2.10.11 タイマモード時のタイマAiモードレジスタ(i = 0～4)

(2) イベントカウンタモード

内部タイマのオーバフローをカウントするモードです。

表2.10.2 イベントカウンタモードの仕様

項　　目	仕　　様
カウントソース	●TB2のオーバフロー、TAjのオーバフロー、TAkのオーバフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注.　フリーラン機能選択時は除きます。

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0		0		0		0	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット(注3)	0 : パルス出力なし (TA2OUT/TA3OUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TA2OUT/TA3OUT端子はパルス出力端子)	○	○
予約ビット		必ず“0”を設定してください	○	○
MR2	アップ/ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TA2OUT/TA3OUT端子の入力信号(注3, 4)	○	○
MR3	0 : イベントカウンタモードモードでは必ず“0”に固定		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
予約ビット		必ず“0”を設定してください	○	○

注1. イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0382_{16},0383_{16}番地)で選択。
2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
3. TAiMR(i = 0,1,4)のこのビットは必ず“0”にしてください。
4. TA2OUT/TA3OUTの入力信号が“L”のときダウンカウントを“H”のときアップカウントを行います。対応するポート方向レジスタは“0”にしてください。

図2.10.12　イベントカウンタモード時のタイマAiモードレジスタ（i=0～4）

(3) ワンショットタイマモード

1度だけタイマを動作するモードです（表2.10.3）。トリガが発生するとその時点から任意の期間、タイマが動作します。図2.10.13にワンショットタイマモード時のタイマAiモードレジスタを示します。

表2.10.3　ワンショットタイマモードの仕様

項　　目	仕　　様
カウントソース	f1,f8,f32
カウント動作	●ダウンカウント ●カウントの値が0000_{16}になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000_{16}になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000_{16}になるタイミング
TA2OUT/TA3OUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0		0		1	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット (注2)	0 : パルス出力なし (TA2OUT/TA3OUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TA2OUT/TA3OUT端子はパルス出力端子)	○	○
予約ビット		必ず“0”を設定してください	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択レジスタ により選択	○	○
MR3	0 : ワンショットタイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定禁止	○	○
TCK1			○	○

注1.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
2.　TAiMR (i = 0,1,4)のこのビットは必ず“0”にしてください。

図2.10.13　ワンショットタイマモード時のタイマAiモードレジスタ (i = 0～4)

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表2.10.4)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図2.10.14にパルス幅変調モード時のタイマAiモードレジスタ、図2.10.15に8ビットパルス幅変調器の動作例を示します。

表2.10.4　パルス幅変調モードの仕様

項　　目	仕　　様
カウントソース	f1,f8,f32
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fi　n:設定値 ●周期　$(2^{16}-1)$ / fi固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fi　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^{8}-1)\times(m+1)$ / fi　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TA2OUT/TA3OUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
				0	1	1	1

シンボル	アドレス	リセット時
TAiMR(i=2, 3)	039_{16}, 0399_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	1 : PWMモードでは必ず“1”に固定		○	○
予約ビット		必ず“0”を設定してください	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定禁止	○	○
TCK1			○	○

図2.10.14　パルス幅変調モード時のタイマAiモードレジスタ (i = 2, 3)

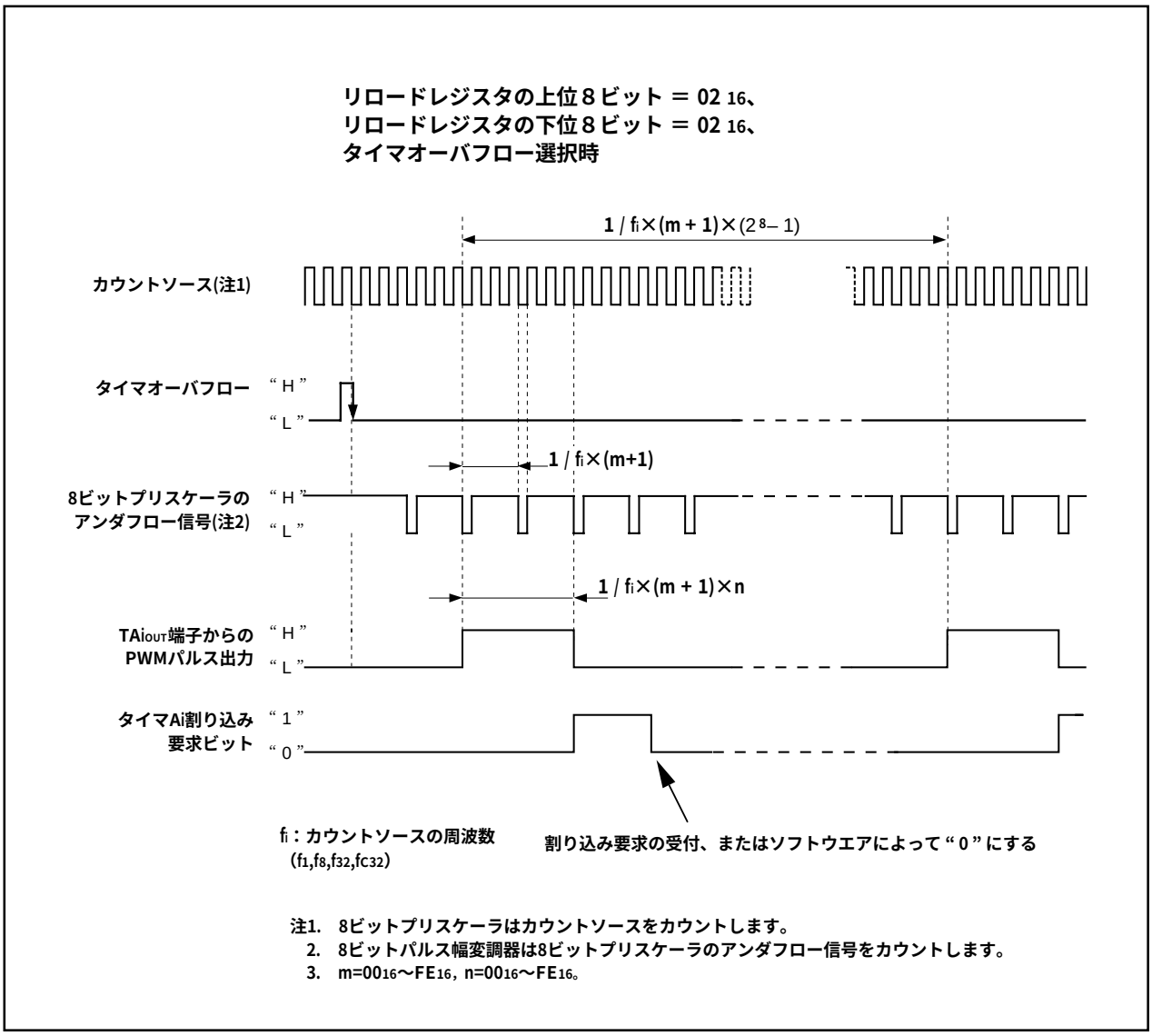


図2.10.15　8ビットパルス幅変調器の動作例

2.10.2　タイマB

図2.10.17にタイマBのブロック図を、図2.10.17～図2.10.20にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～2)のビット0とビット1で選択できます。

・タイマモード 内部カウントソースをカウントするモード
・イベントカウンタモード　外部からのパルスまたはタイマのオーバフローをカウントするモード
・パルス周期測定／パルス幅測定モード　外部パルスの周期またはパルス幅を測定するモード

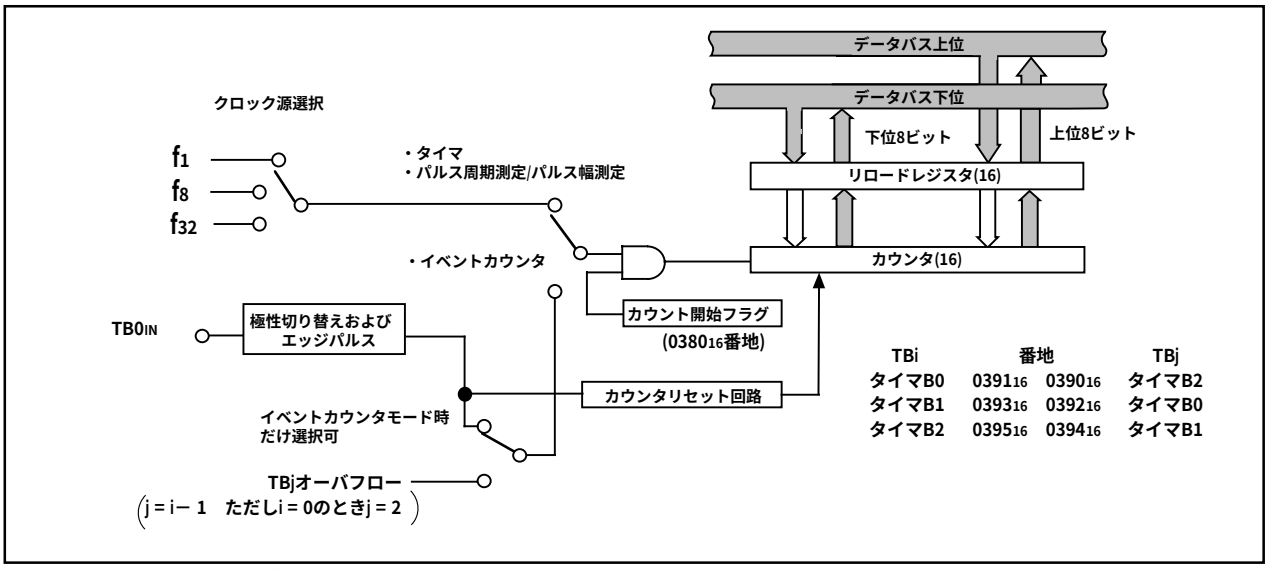


図2.10.16　タイマＢブロック図

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B₁₆～039D₁₆番地	00?X0000₂

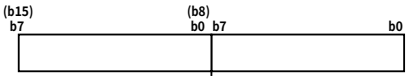
ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0。
　2.　タイマB1、タイマB2。

図2.10.17　タイマBiモードレジスタ (i = 0～2)

タイマBiレジスタ(注)

シンボル	アドレス	リセット時
TB0	0391 16,0390 16番地	不定
TB1	0393 16,0392 16番地	不定
TB2	0395 16,0394 16番地	不定

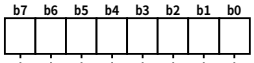


機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000 16～FFFF 16	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000 16～FFFF 16	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注.　読み出し、および書き込みは16ビット単位で行ってください。

図2.10.18　タイマBiレジスタ (i = 0～2)

カウント開始フラグ

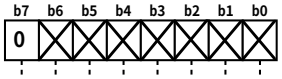


シンボル	アドレス	リセット時
TABSR	0380 16番地	00 16

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

図2.10.19　カウント開始フラグ

予約レジスタ6



シンボル	アドレス	リセット時
INVC6	0381 16番地	0XXXXXXX 2

ビットシンボル	ビット名	機　　能	R	W
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。		—	—
	予約ビット	必ず“0”を設定してください。	○	○

図2.10.20　予約レジスタ6

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.5)。図2.10.21にタイマモード時のタイマBiモードレジスタを示します。

表2.10.5 タイマモードの仕様

項　目	仕　様
カウントソース	f1,f8,f32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TB0IN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B16～039D16番地	00?X0000₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”に固定(i=0)。		○ (注1)	○
	何も配置されていない(i=1, 2)。 書き込む場合、“0”書き込んでください。 読み出した場合、その内容は不定。		× (注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その内容は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定禁止	○	○
TCK1			○	○

注1. タイマB0。
2. タイマB1、タイマB2。

図2.10.21 タイマモード時のタイマBiモードレジスタ (i = 0～2)

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表2.10.6)。タイマBiレジスタを図2.10.22に示します。

表2.10.6 イベントカウンタモードの仕様

項　　目	仕　　様
カウントソース	●TB0IN端子に入力された外部信号 ●カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TB0IN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット時
TBiMR(i=0～2)	$039B_{16}$～$039D_{16}$番地	$00?X0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0 : イベントカウンタモードでは“0”に固定(i=0)。		○(注2)	○
	何も配置されていない(i=1, 2)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その内容は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TB0IN端子からの入力(注4) 1 : TBjのオーバフロー (j = i - 1　ただしi = 0のときj = 2)	○	○

注1. TB0IN端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバフローを選択したときは、“0”でも“1”でも可。
2. タイマB0。
3. タイマB1、タイマB2。
4. 対応するポート方向レジスタは“0”にしてください。

図2.10.22 イベントカウンタモード時のタイマBiモードレジスタ (i = 0～2)

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を設定するモードです（表2.10.7）。図2.10.23にパルス周期測定／パルス幅測定モード時のタイマB0モードレジスタ、図2.10.24にパルス周期測定時の動作図、及び図2.10.25にパルス幅測定時の動作図を示します。

表2.10.7　パルス周期測定／パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f1,f8,f32
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“ 0000_{16} ”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“１”書き込み
カウント停止条件	●カウント開始フラグへの“０”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマB0オーバフローフラグが“１”になります。タイマB0オーバフローフラグは、カウント開始フラグが“１”の状態でタイマB0モードレジスタ書き込みを行うと“０”になります。)
TB0IN端子機能	測定パルス入力
タイマの読み出し	タイマB0レジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1.　カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
　2.　カウント開始後２回目の有効エッジ入力までは、タイマB0レジスタからの読み出し値は不定です。

タイマB0モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット時
TB0MR	$039B_{16}$番地	$00?X0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 ／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 （測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定 （測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定 （測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“０”に固定。		×	○
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : 設定禁止	○	○
TCK1			○	○

注.　タイマB0オーバフローフラグは、カウント開始フラグが“１”の状態でタイマB0モードレジスタに書き込みを行うと“０”になります。このフラグをソフトウエアで“１”にすることはできません。

図2.10.23　パルス周期測定／パルス幅測定モード時のタイマB0モードレジスタ

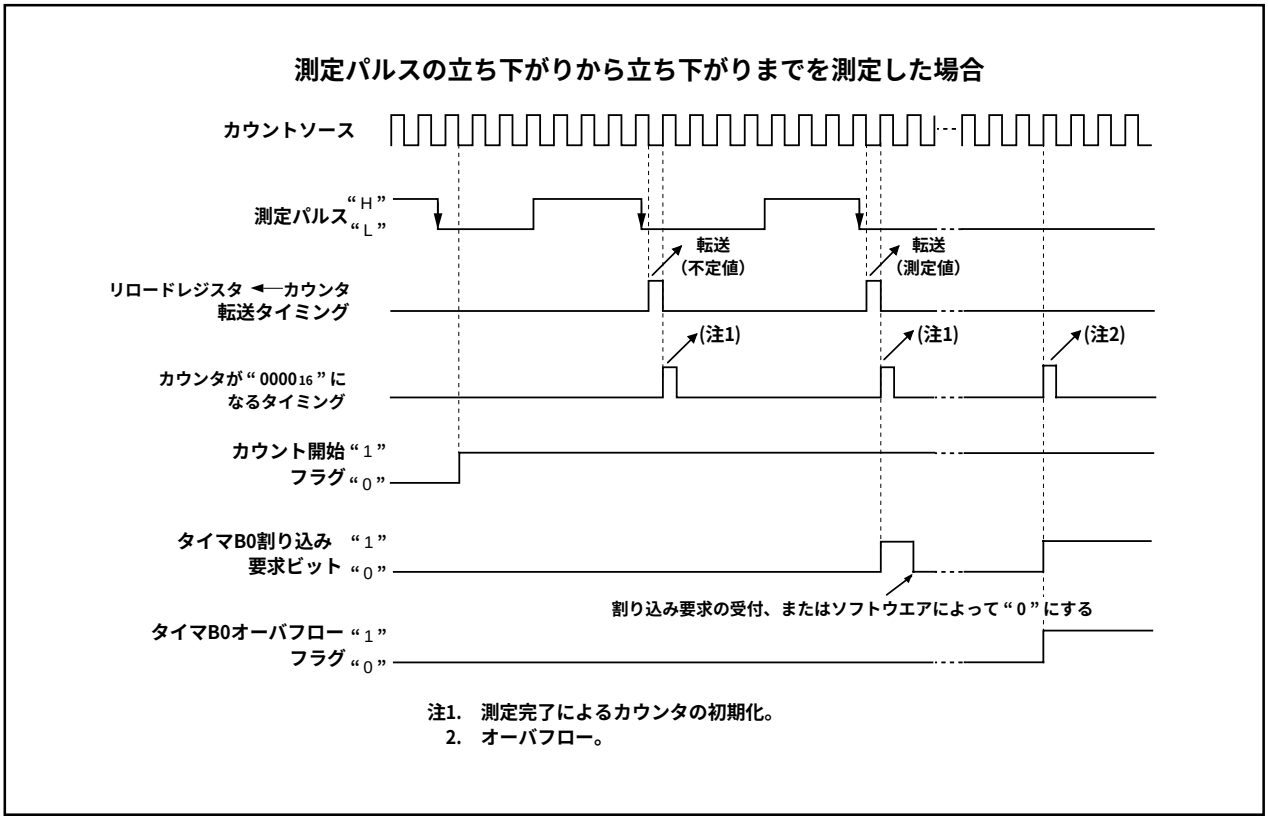


図2.10.24　パルス周期測定時の動作図

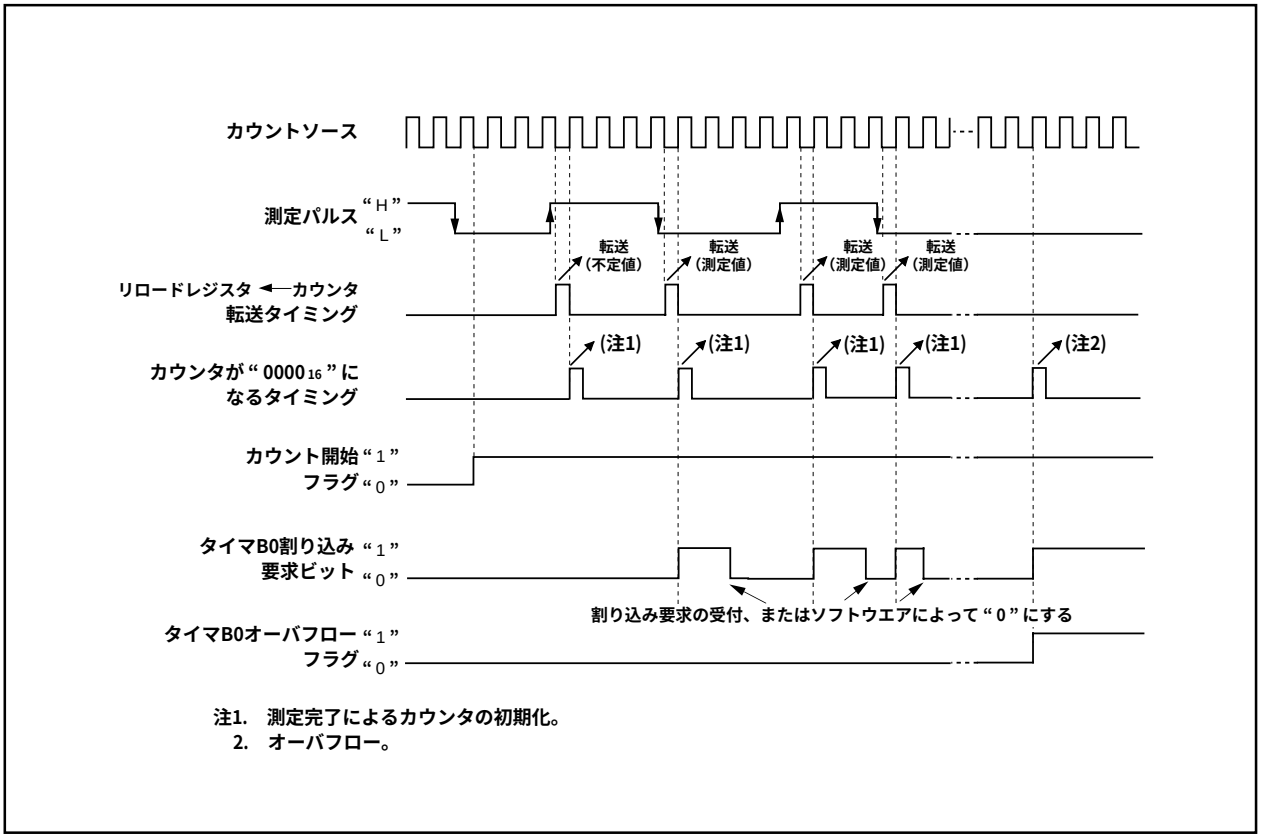


図2.10.25　パルス幅測定時の動作図

予約レジスタi

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

シンボル	アドレス	リセット時
INVC0	0348_{16}番地	00000000_2
INVC1	0340_{16}番地	$000?????_2$
INVC2	$03A8_{16}$番地	00000000_2
INVC5	0376_{16}番地	00000000_2

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○

図2.10.26　予約レジスタi（i＝0～2, 5）

予約レジスタi

b7	b6	b5	b4	b3	b2	b1	b0
0	1	0	0	0	0	0	0

シンボル	アドレス	リセット時
INVC3	0362_{16}番地	40_{16}
INVC4	0366_{16}番地	40_{16}

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“1”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○

注.　このレジスタにデータを設定する場合は、プロテクトレジスタ（$000A_{16}$番地）のビット2を“1”にしてから実行してください。

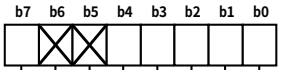
図2.10.27　予約レジスタi（i＝3, 4）

(4) TB0IN ノイズフィルタ

TB0IN端子の入力にはノイズフィルタが内蔵されています。ノイズフィルタのON/OFF、フィルタクロックの選択は、ペリフェラルモードレジスタのビット2～ビット4で行います。

注. ノイズフィルタを使用する場合、ペリフェラルモードレジスタのビット7をメインクロックの周波数に従って設定してください。

ペリフェラルモードレジスタ



シンボル	アドレス	リセット時
PM	$027D_{16}$番地	$0XX00000_2$

ビットシンボル	ビット名	機　　能	R	W
BSEL0	I²C-BUSインタフェースポート選択ビット	b1 b0 0 0 : なし 0 1 : SCL1, SDA1 1 0 : SCL2, SDA2 1 1 : SCL1とSDA1, SCL2とSDA2	○	○
BSEL1			○	○
WSEL0	TB0IN端子ノイズフィルタクロック選択ビット	b3 b2 0 0 : 0.25μs (除去可能な最大パス幅=0.75μs) 0 1 : 8μs (除去可能な最大パス幅=24μs) 1 0 : 16μs (除去可能な最大パス幅=48μs) 1 1 : 32μs (除去可能な最大パス幅=96μs)	○	○
WSEL1			○	○
NFON		0 : ノイズフィルタOFF 1 : ノイズフィルタON	○	○
何も配置されていない(i=1, 2)。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—
SSCK	メインクロック周波数選択ビット	0 : f(XIN)=10MHz 1 : f(XIN)=16MHz	○	○

注. f(XIN)=16MHz時のMCUの動作保証はありません。

図2.10.28　ペリフェラルモードレジスタ

2.11 シリアルI/O

シリアルI/Oは、UART0、UART2、およびマルチマスタI^{2}C-BUSインタフェース0、マルチマスタI^{2}C-BUSインタフェース1の4ユニットで構成しています。

次にそれぞれについて説明します。

2.11.1 UART0, UART2

UART0及びUART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図2.11.1にUARTi(i=0, 2)のブロック図を、図2.11.2、図2.11.3に送受信部のブロック図を示します。

UARTi(i=0, 2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0$_{16}$、0378$_{16}$番地のビット0～ビット2)の内容で選択します。

UART0, UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェースに対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

表2.11.1にUART0及びUART2の機能比較を、図2.11.4～図2.11.14に、UARTi関連のレジスタを示します。

表2.11.1 UART0, UART2の機能比較

機　　能	UART0	UART2
CLK極性選択	可　(注1)	可　(注1)
LSBファースト/MSBファースト選択	可　(注1)	可　(注2)
連続受信モード選択	可　(注1)	可　(注1)
転送クロック複数端子出力選択	不可	不可
シリアルデータ論理切り替え	不可	可　(注4)
スリープモード選択	可　(注3)	不可
TxD、RxD入出力極性切り替え	不可	可
TxD、RxD端子出力形式	CMOS出力	Nﾁｬﾈﾙｵｰﾌﾟﾝﾄﾞﾚｲﾝ出力
パリティエラー信号出力	不可	可　(注4)
バス衝突検出	不可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。
2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。
3. UARTモード時に選択できます。
4. SIMインタフェース対応。

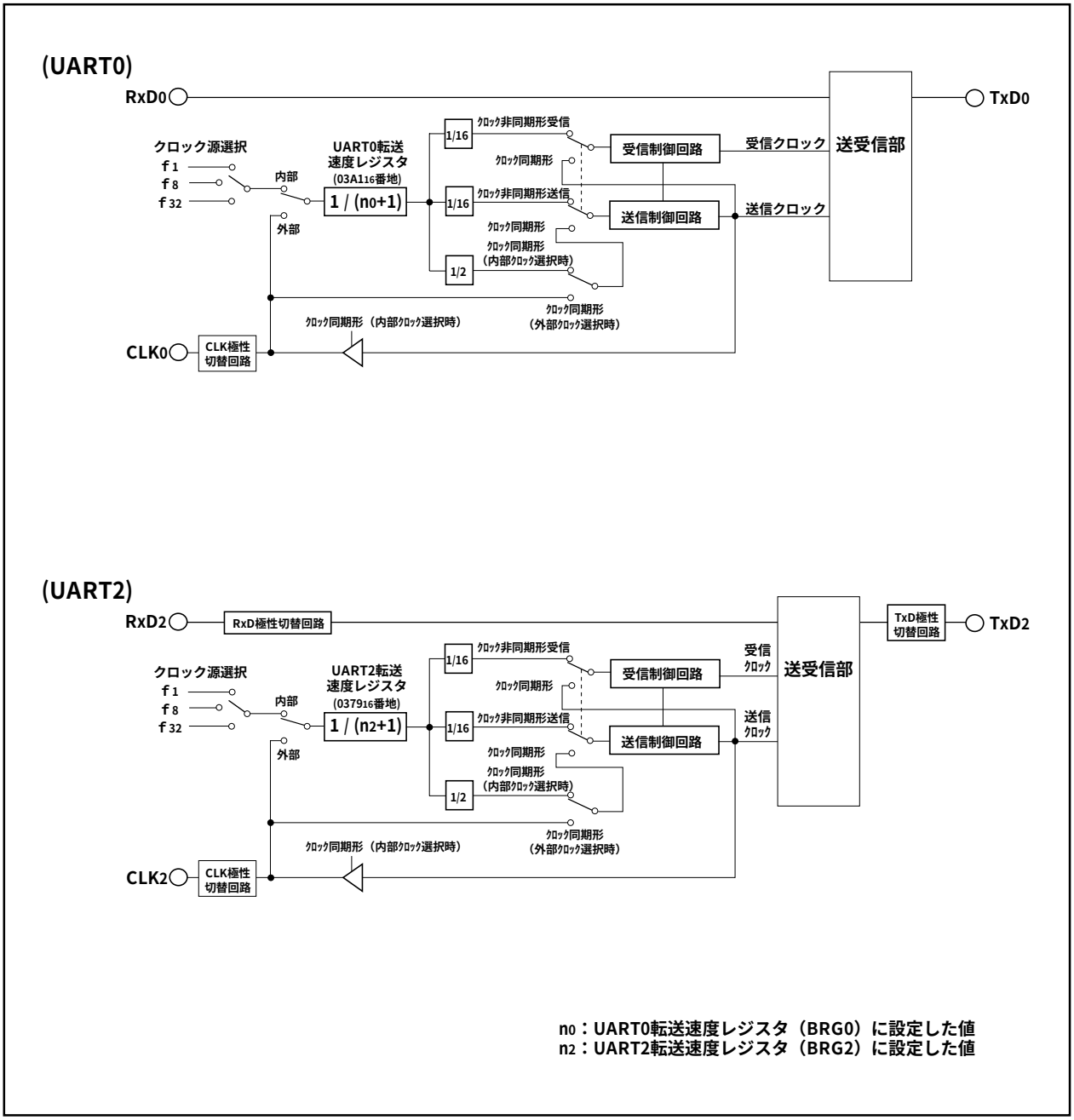


図2.11.1　UARTi(i=0, 2)ブロック図

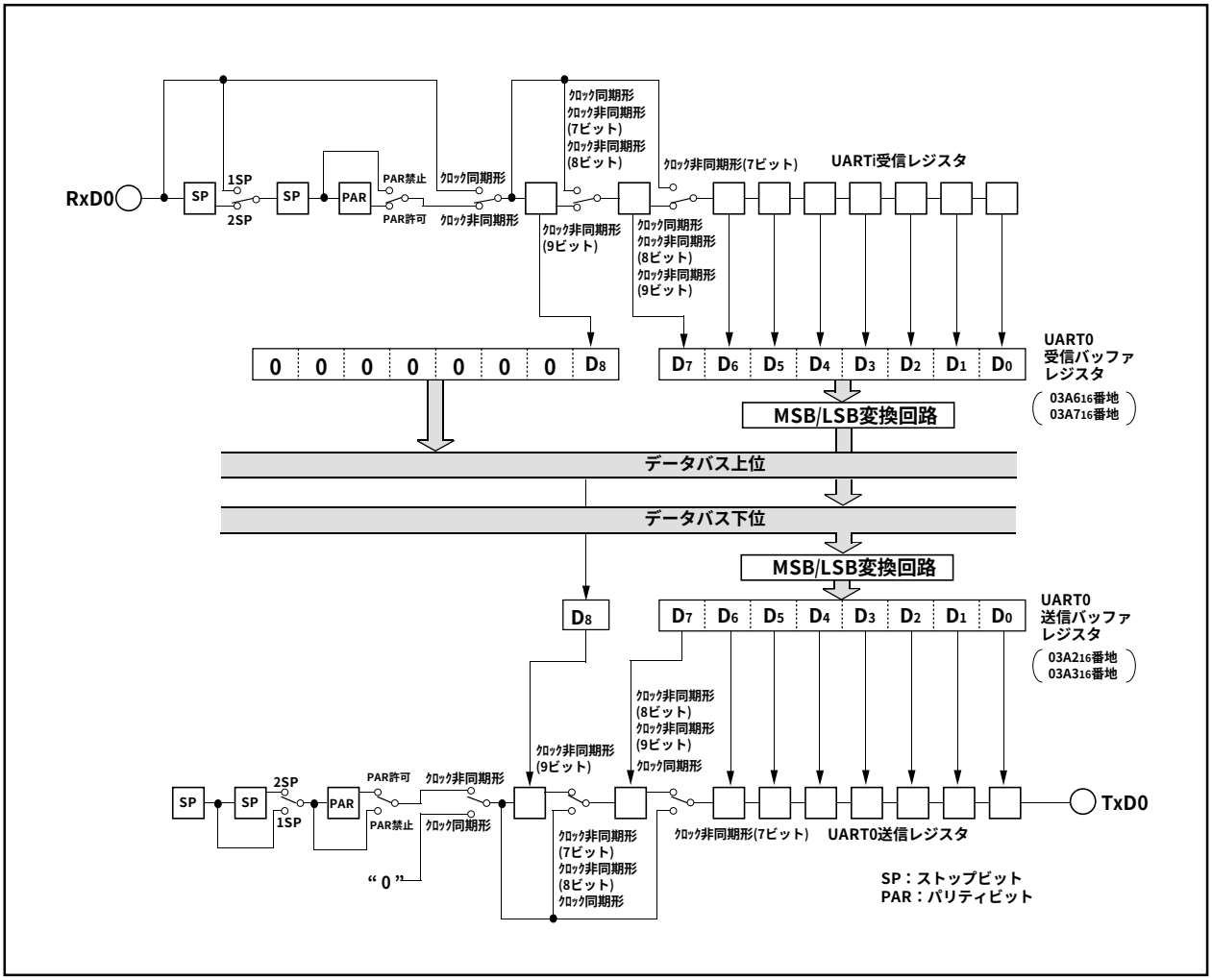


図2.11.2　UART0送受信部ブロック図

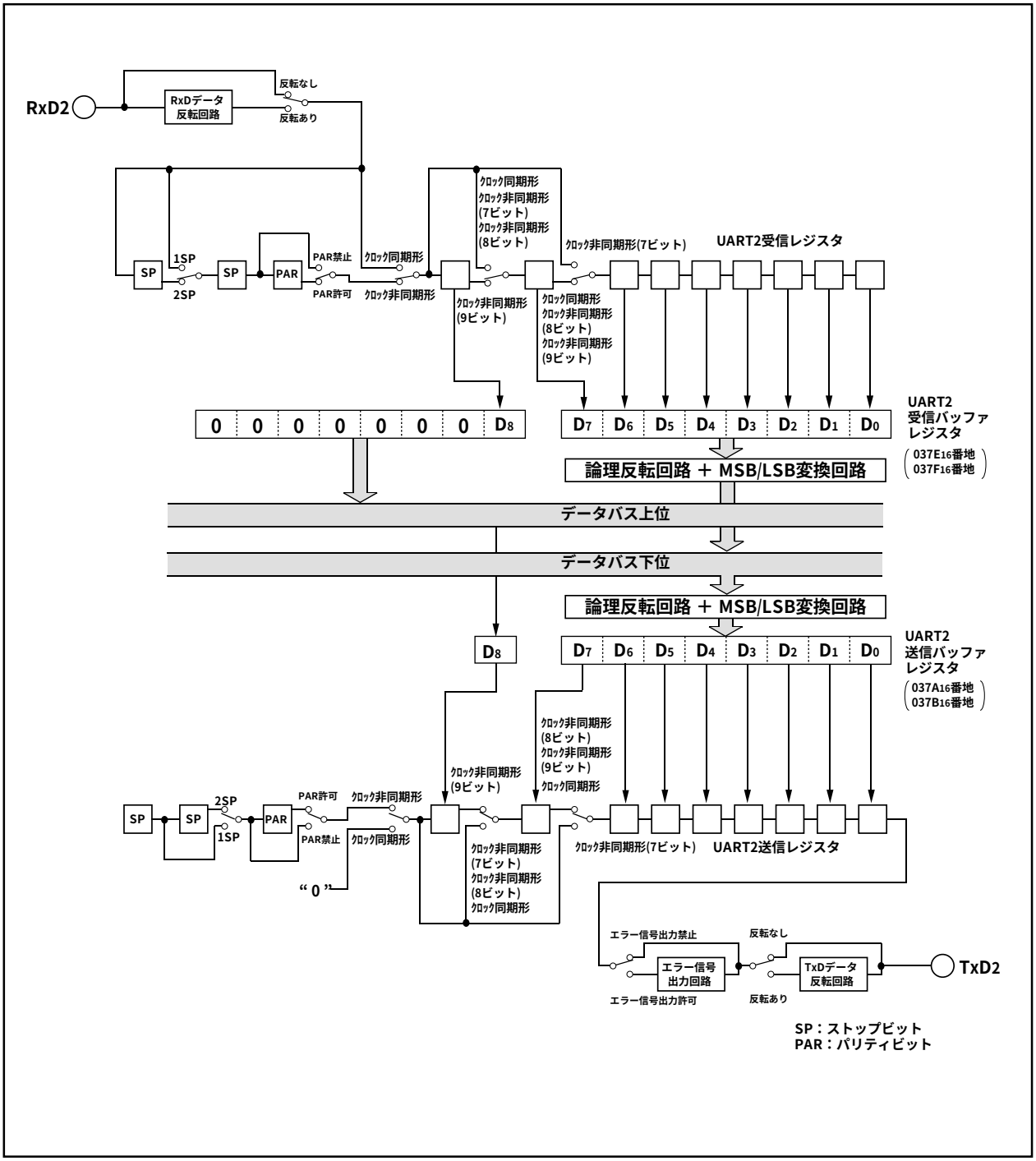
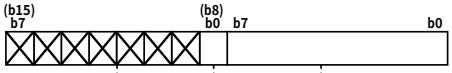


図2.11.3　UART2送受信部ブロック図

UARTi送信バッファレジスタ

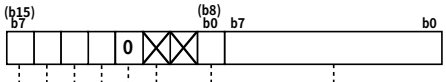


シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　　能	R	W
送信データ（注）	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。	—	—

図2.11.4　UARTi送信バッファレジスタ (i = 0, 2)

UARTi受信バッファレジスタ



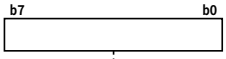
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合の値は“0”。				—	—
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラーフラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。ビット10は“1”のみ書き込みできます。

図2.11.5　UARTi受信バッファレジスタ (i = 0, 2)

UARTi転送速度レジスタ



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

図2.11.6　UARTi転送速度レジスタ (i = 0, 2)

UART0送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U0MR	03A0$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”に固定してください	0 : スリープモード解除 1 : スリープモード選択	○	○

図2.11.7　UART0送受信モードレジスタ

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

図2.11.8　UART2送受信モードレジスタ

UART0送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
			1		0		

シンボル	アドレス	リセット時
U0C0	$03A4_{16}$番地	08_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	○	○
CLK1				○	○
予約ビット		“必ず0”を設定してください	“必ず0”を設定してください	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
予約ビット		“必ず1”を設定してください	“必ず1”を設定してください	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“必ず0”を設定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“必ず0”を設定してください	○	○

図2.11.9　UART0送受信制御レジスタ0

UART2送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		X	1		0		

シンボル	アドレス	リセット時
U2C0	037C16番地	08 16

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	○	○
CLK1				○	○
予約ビット		“必ず0”を設定してください	“必ず0”を設定してください	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
予約ビット		“必ず1”を設定してください	“必ず1”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“必ず0”を設定してください	○	○
UFORM	転送フォーマット選択ビット (注)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注. クロック同期形シリアルI/OモードおよびUARTモード時だけ有効です。

図2.11.10 UART2送受信制御レジスタ0

UART0送受信制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
✕	✕	✕	✕				

シンボル	アドレス	リセット時
U0C1	03A5$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

図2.11.11　UART0送受信制御レジスタ1

UART2送受信制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2C1	037D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“必ず0”を設定してください	0 : 出力しない 1 : 出力する	○	○

図2.11.12　UART2送受信制御レジスタ1

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	0	0	0	0		0	

シンボル	アドレス	リセット時
UCON	$03B0_{16}$番地	$X0000000_2$

ビット シンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	○	○
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。				—	—

図2.11.13　UART送受信制御レジスタ2

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0			0	0	0	0	0

シンボル	アドレス	リセット時
U2SMR	0377_{16}番地	00_{16}

ビット シンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	必ず“0”を設定してください	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	必ず“0”を設定してください	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	—	○

図2.11.14　UART2特殊モードレジスタ

2.11.2　クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表2.11.2、表2.11.3にクロック同期形シリアルI/Oモードの仕様を、図2.11.15と図2.11.16にクロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタを示します。

表2.11.2　クロック同期形シリアルI/Oモードの仕様(1)

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時($03A0_{16}$、0378_{16}番地のビット3=“0”)：fi/2(n+1) (注1)　　fi=f1, f8, f32 ●外部クロック選択時($03A0_{16}$、0378_{16}番地のビット3=“1”)：CLKi端子からの入力
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($03A5_{16}$、$037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$037D_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット($03A4_{16}$、$037C_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット($03A4_{16}$、$037C_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($03A5_{16}$、$037D_{16}$番地のビット2)=“1” ・送信許可ビット($03A5_{16}$、$037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$037D_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット($03A4_{16}$、$037C_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット($03A4_{16}$、$037C_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、$037D_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、$037D_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
2.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表2.11.3　クロック同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UART0送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
U0MR	$03A0_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形 シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは必ず“0”を設定してください		○	○

図2.11.15　クロック同期形シリアルI/Oモード時のUART0送受信モードレジスタ

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
U2MR	0378_{16}	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形 シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD,RxD入出力極性 切り替えビット(注)	0 : 反転なし 1 : 反転あり	○	○

注．通常“0”にしてください。

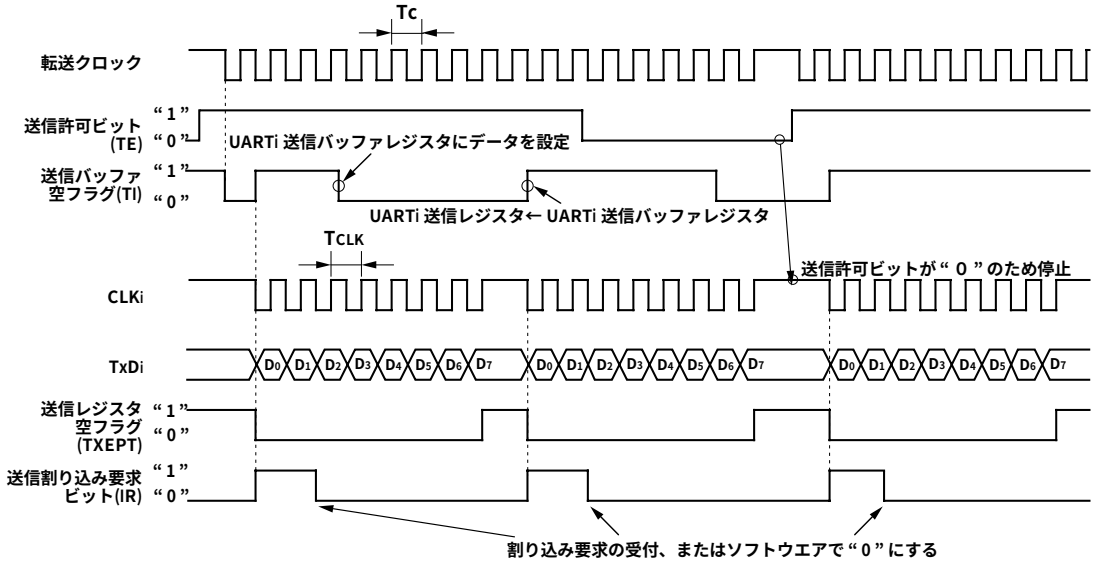
図2.11.16　クロック同期形シリアルI/Oモード時のUART2送受信モードレジスタ

表2.11.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“ H ”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表2.11.4　クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機　　能	選択方法
TxDi (P63、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P71)	シリアルデータ入力	ポートP62、P71の方向レジスタ(03EE 16番地のビット2、03EF 16番地のビット1) = “ 0 ” (送信だけを行うときは入力ポートとして使用可)
CLKi (P55 、P72)	転送クロック出力	内/外部クロック選択ビット(03A0 16、0378 16番地のビット3)= “ 0 ” ポートP55、P72の方向レジスタ(03EB 16番地のビット5、03EF 16番地のビット2) = “ 0 ”
	転送クロック入力	内/外部クロック選択ビット(03A0 16、0378 16番地のビット3)= “ 1 ” ポートP55、P72の方向レジスタ(03EB 16番地のビット5、03EF 16番地のビット2) = “ 0 ”

●送信タイミング例(内部クロック選択時)

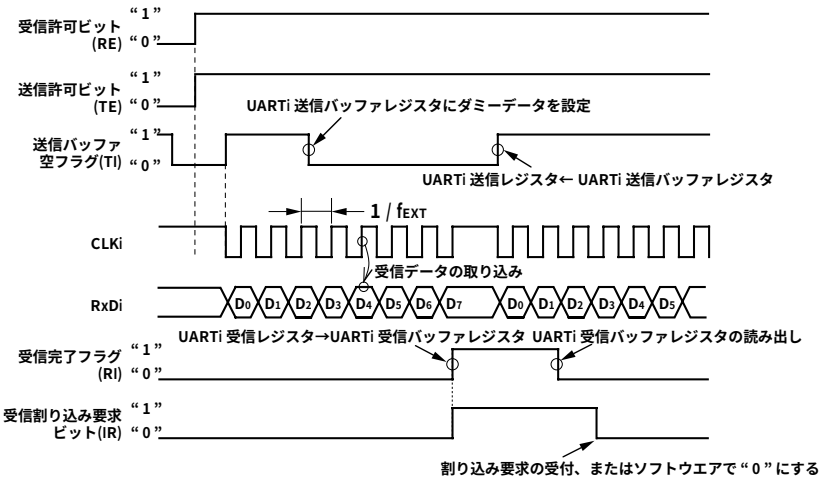


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
fi：BRGiのカウントソースの周波数(f1, f8, f32)
n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●CLK極性選択ビット =“0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、
以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図2.11.17　クロック同期形シリアルI/Oモード時の送信／受信タイミング例

(1) 極性選択機能

図2.11.18に示すように、CLK極性選択ビット(03A4$_{16}$、037C$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

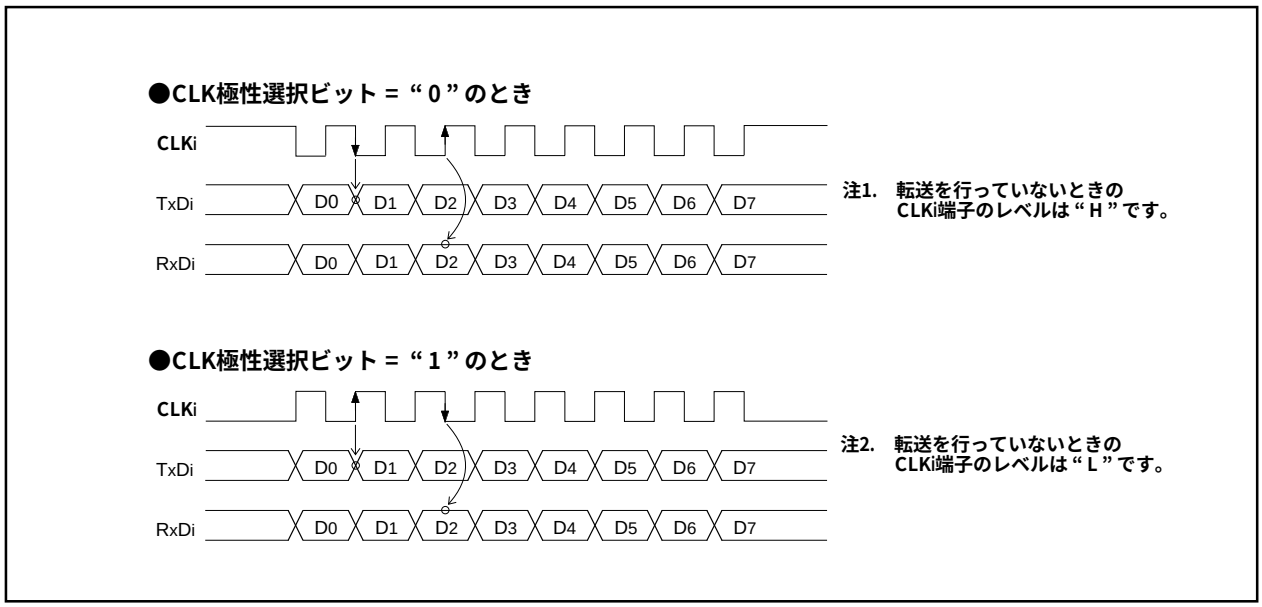


図2.11.18 転送クロックの極性

(2) LSBファースト/MSBファースト選択機能

図2.11.19に示すように、転送フォーマット選択ビット(03A4$_{16}$、037C$_{16}$番地のビット7)の内容が “ 0 ” のとき転送フォーマットはLSBファースト、“ 1 ” のとき転送フォーマットはMSBファーストになります。

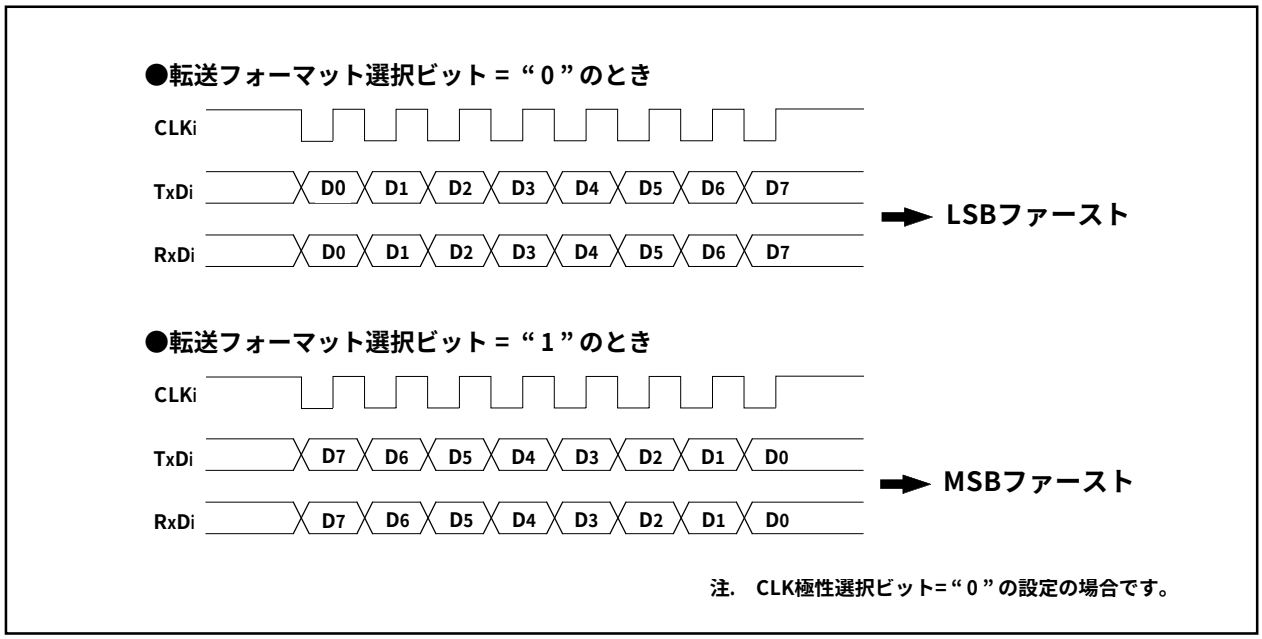


図2.11.19 転送フォーマット

(3) 連続受信モード

連続受信モード許可ビット(03B0$_{16}$番地のビット2、037D$_{16}$番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(4) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D$_{16}$番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図2.11.20にシリアルデータ論理切り替えのタイミング例を示します。

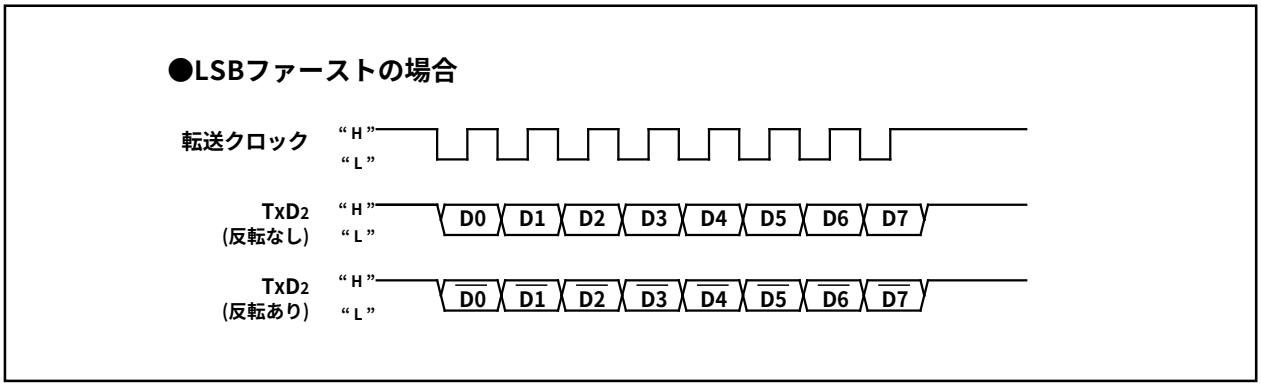


図2.11.20 シリアルデータ論理切り替えのタイミング例

2.11.3 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表2.11.5、表2.11.6にクロック非同期形シリアルI/Oモードの仕様を、図2.11.21と図2.11.22にUARTモード時のUARTi送受信モードレジスタを示します。

表2.11.5 クロック非同期形シリアルI/Oモードの仕様(1)

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時(03A0$_{16}$、0378$_{16}$番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時(03A0$_{16}$、0378$_{16}$番地のビット3=“1”)：f_{EXT}/16(n+1) (注1)(注2)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、037D$_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5$_{16}$、037D$_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、037D$_{16}$番地のビット4)=“0” ：UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、037D$_{16}$番地のビット4)=“1” ：UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。
2. f_{EXT}はCLKi端子からの入力です。
3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

2.11.6　クロック非同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●スリープモード選択(UART0) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UART0送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U0MR	03A0$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

図2.11.21　UARTモード時のUART0送受信モードレジスタ

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット(注)	0 : 反転なし 1 : 反転あり	○	○

注.　通常“0”にしてください。

図2.11.22　UARTモード時のUART2送受信モードレジスタ

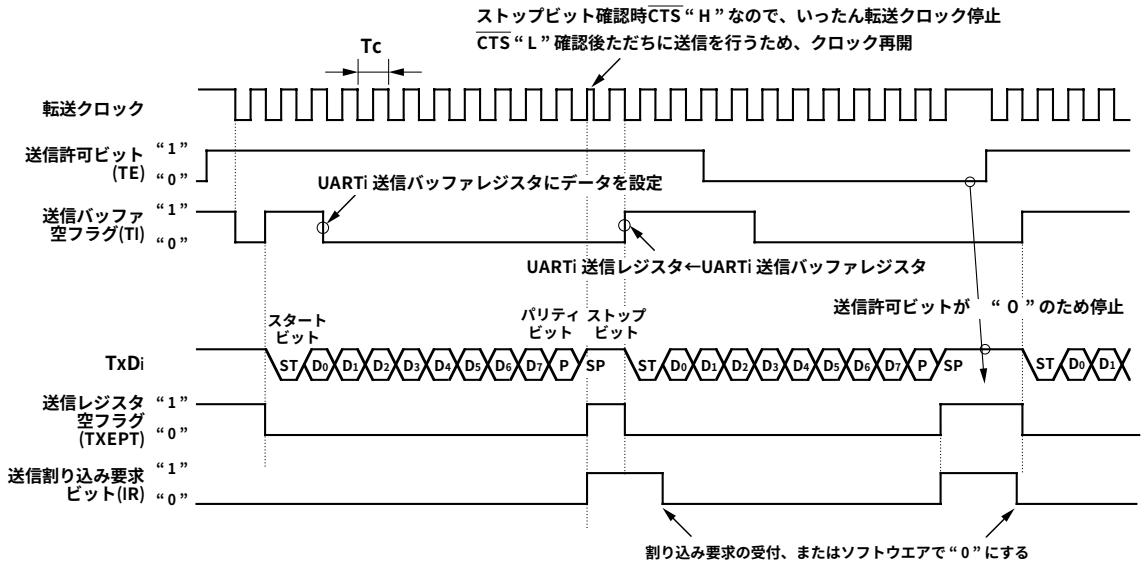
表2.11.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表2.11.7　クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機　　能	選択方法
TxDi (P63、P70)	シリアルデータ出力	
RxDi (P62、P71)	シリアルデータ入力	ポートP62、P71の方向レジスタ(03EE 16番地のビット2、03EF 16番地のビット1) =“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P55、P72)	プログラマブル入力	内/外部クロック選択ビット(03A0 16、0378 16番地のビット3)=“0” ポートP55、P72の方向レジスタ(03EB 16番地のビット5、03EF 16番地のビット2) =“0”
	転送クロック入力	内/外部クロック選択ビット(03A0 16、0378 16番地のビット3)=“1” ポートP55、P72の方向レジスタ(03EB 16番地のビット5、03EF 16番地のビット2) =“0”

＜UART0＞

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



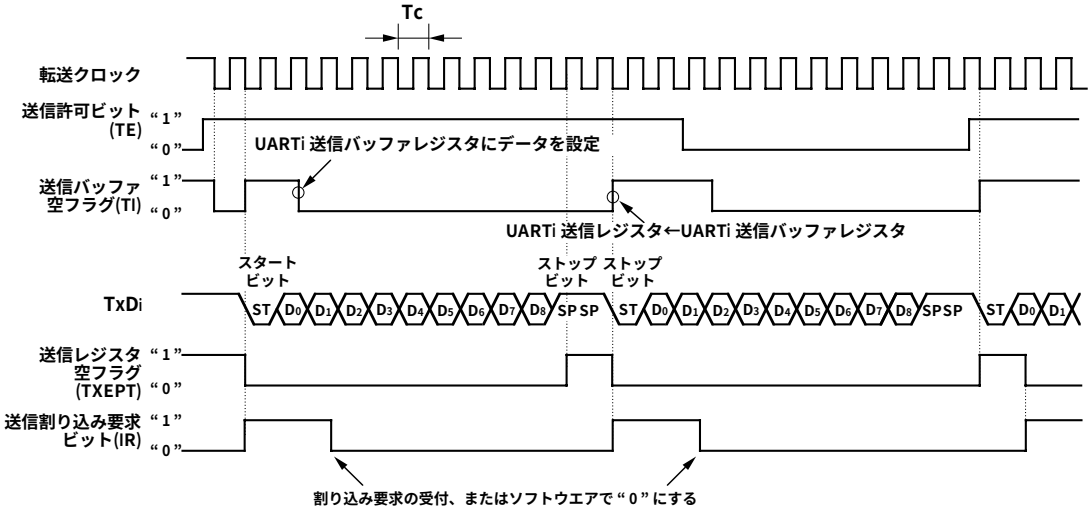
( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

＜UART0＞

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



( )内はビットシンボルです。

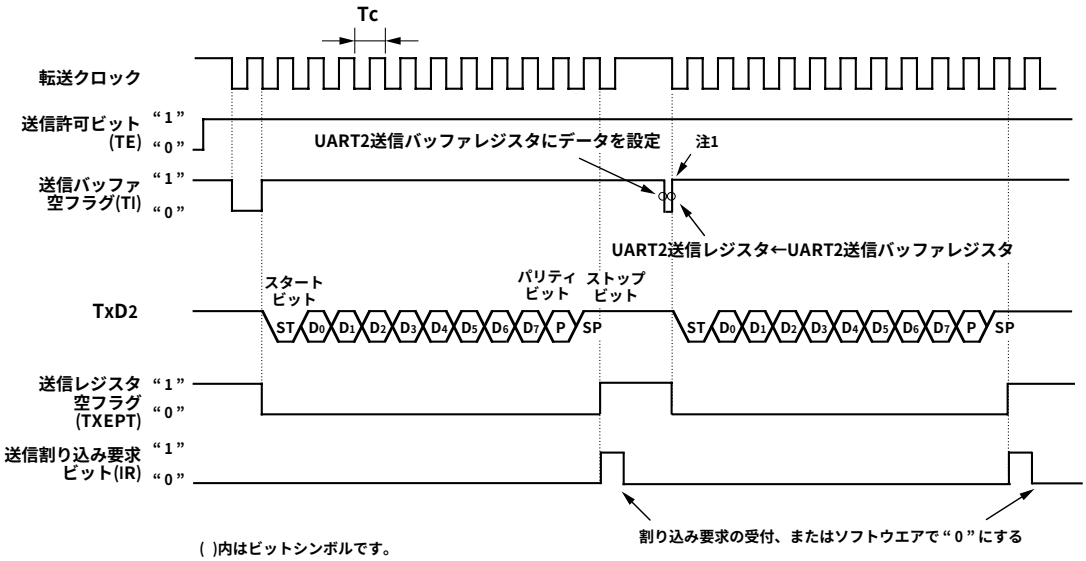
上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●$\overline{CTS}$ 機能禁止
- ●送信割り込み要因選択ビット=“0”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図2.11.23　UARTモード時の送受信タイミング例

＜UART2＞

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



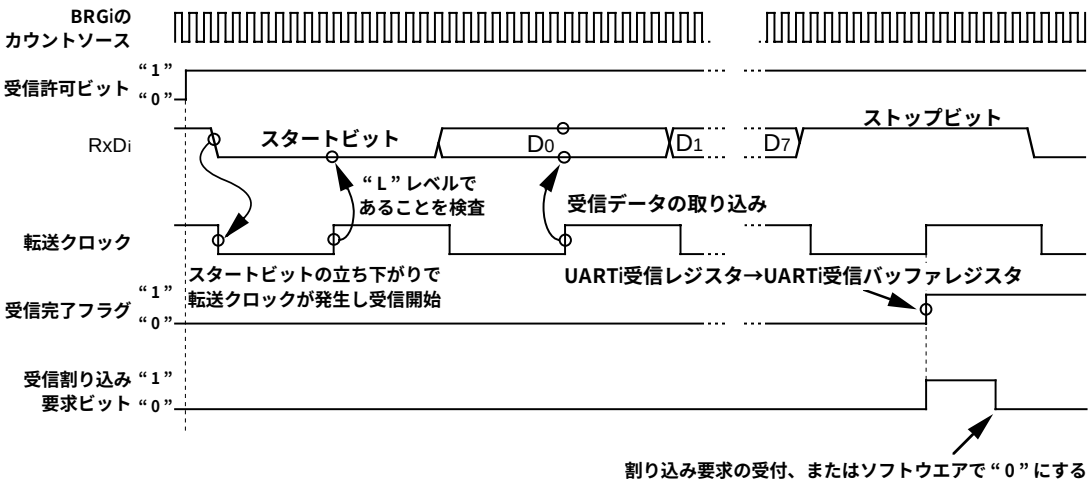
( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。

＜UART2、UART0＞

●転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)



上記タイミング図は次の設定条件の場合です。
●パリティ禁止
●1ストップビット

図2.11.23　UARTモード時の送受信タイミング例

(1) スリープモード(UART0)

UART0を使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A016番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

(2) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図2.11.24に、シリアルデータ論理切り替え機能のタイミング例を示します。

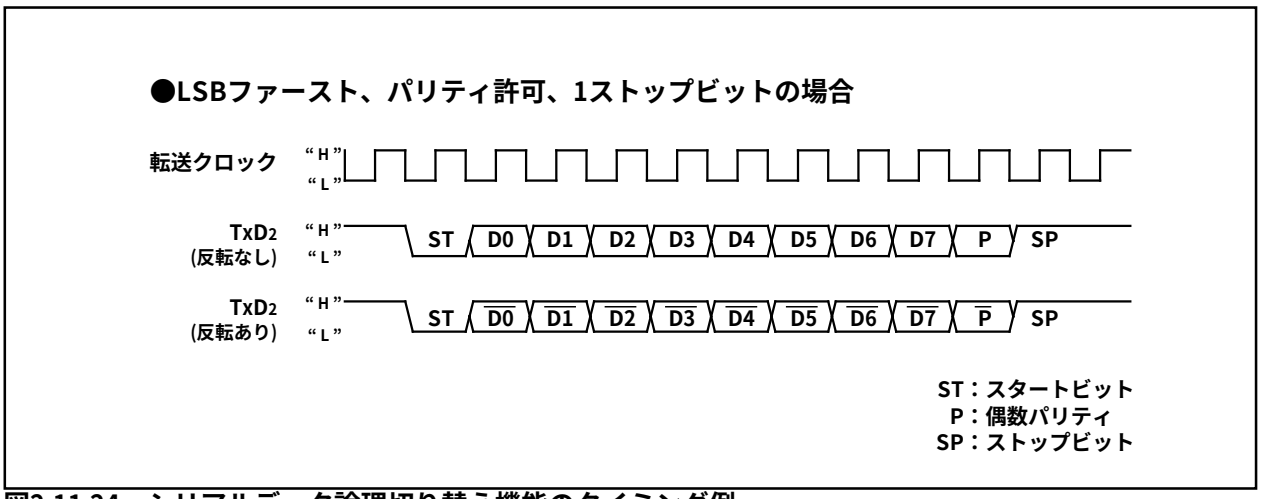


図2.11.24　シリアルデータ論理切り替え機能のタイミング例

(3) TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”（反転なし）に設定してください。

(4) バス衝突検出、その他機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図2.11.25にバス衝突検出タイミング例(UARTモード時)を示します。

また、UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします（図2.11.25参照）。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します（図2.11.26参照）。

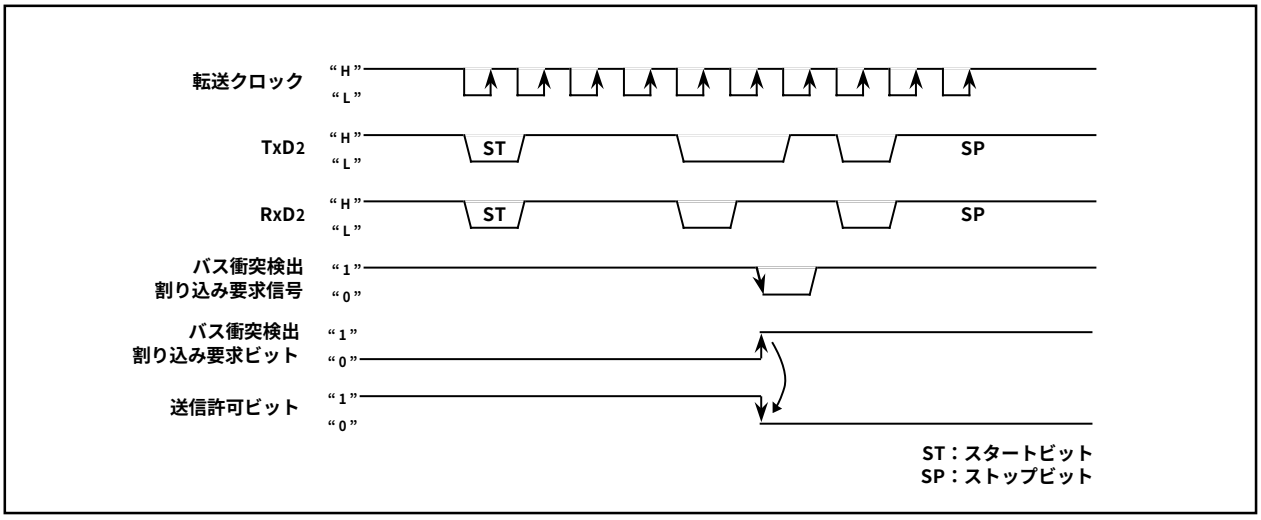


図2.11.25　バス衝突検出タイミング例(UARTモード時)

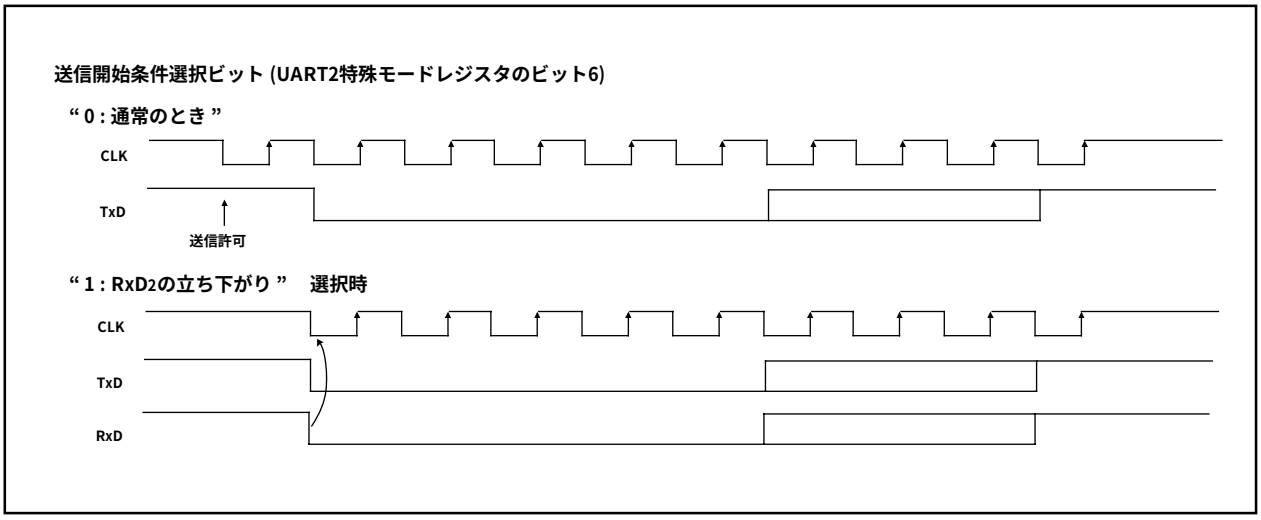


図2.11.26　その他機能

2.11.4　クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカードI/C等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表2.11.8と表2.11.9にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

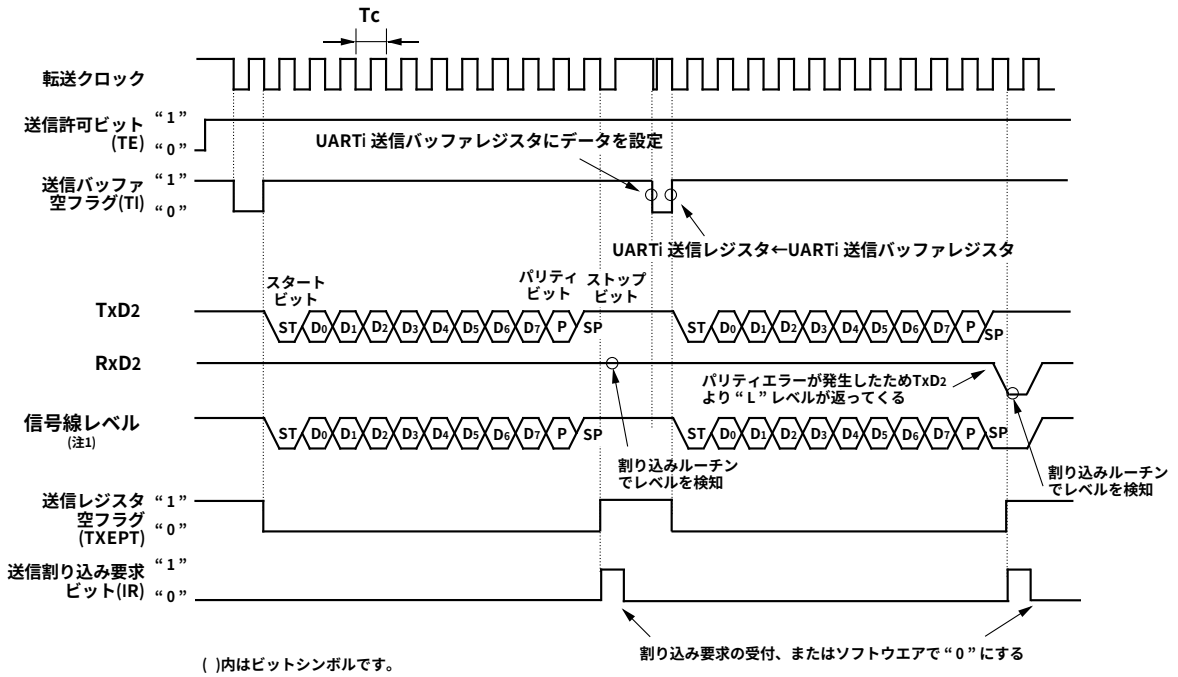
表2.11.8　クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)(1)

項　　目	仕　　様
転送データフォーマット	●転送データ　8ビットUARTモード(0378$_{16}$番地のビット2～ビット0=“101$_2$”) ●1ストップビット　(0378$_{16}$番地のビット4=“0”) ●ダイレクトフォーマットの場合 パリティを偶数パリティに設定　(0378$_{16}$番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定　(037D$_{16}$番地のビット6=“0”) 転送フォーマットをLSBに設定　(037C$_{16}$番地のビット7=“0”) ●インバースフォーマットの場合 パリティを奇数パリティに設定　(0378$_{16}$番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定　(037D$_{16}$番地のビット6=“1”) 転送フォーマットをMSBに設定　(037C$_{16}$番地のビット7=“1”)
転送クロック	●内部クロック選択時(0378$_{16}$番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1, f8, f32 ●外部クロック選択時(0378$_{16}$番地のビット3=“1”)： fEXT/16(n+1) (注1)(注2)
その他設定項目	●UART2ではスリープモード選択機能はありません ●送信割り込み要因を送信完了に設定　(037D$_{16}$番地のビット4=“1”)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(037D$_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(037D$_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 UART2送信レジスタからデータ転送完了時 (037D$_{16}$番地のビット4=“1”) ●受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時

表2.11.9　クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)(2)

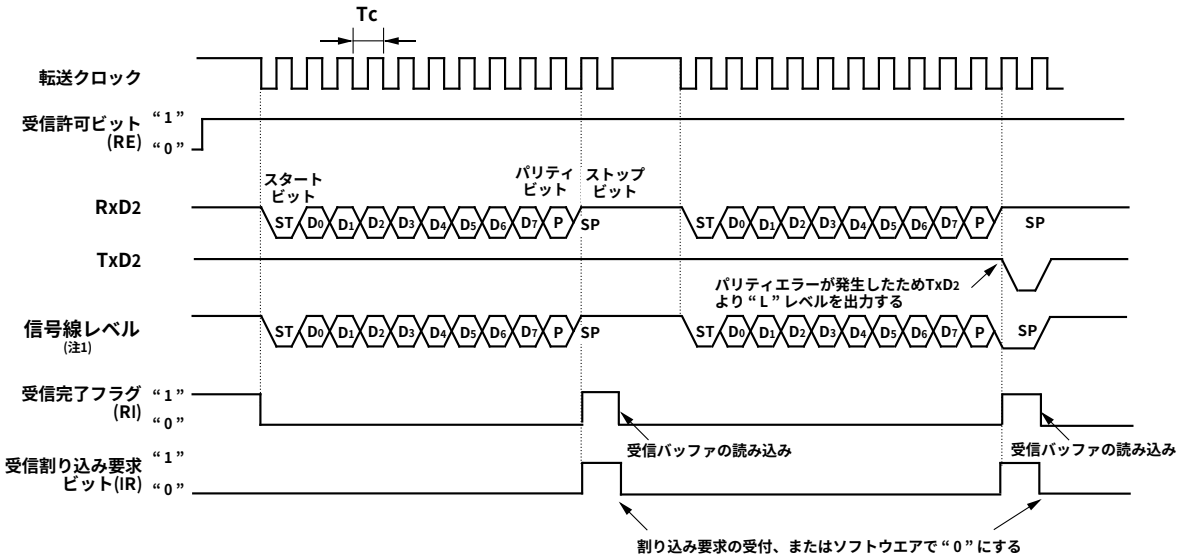
項　　目	仕　　様
エラー検出	●オーバランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注3) ●フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ●パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能($037D_{16}$番地のビット7=“1”)によりTxD2端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxD2端子入力レベルによりパリティエラーを検知 ●エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
2.　f_{EXT}はCLK2端子からの入力です。
3.　オーバランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは“1”になりません。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

注1．TxD2とRxD2を接続しているため同じ波形になる

図2.11.27　UARTモード(SIMインタフェース対応)の送受信タイミング例

(1) パリティエラー信号出力機能

エラー信号出力許可ビット(037D16番地のビット7)の内容が“1”のとき、パリティエラー検出時にTxD2端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図2.11.28にパリティエラー信号出力タイミングを示します。

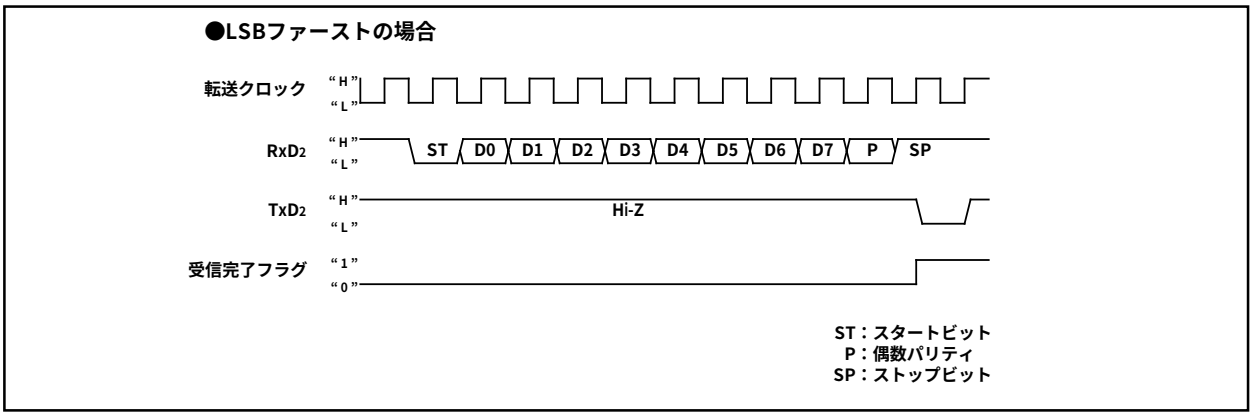


図2.11.28　パリティエラー信号出力タイミング

(2) ダイレクトフォーマット／インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット／インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図2.11.29にSIMインタフェースフォーマットを示します。

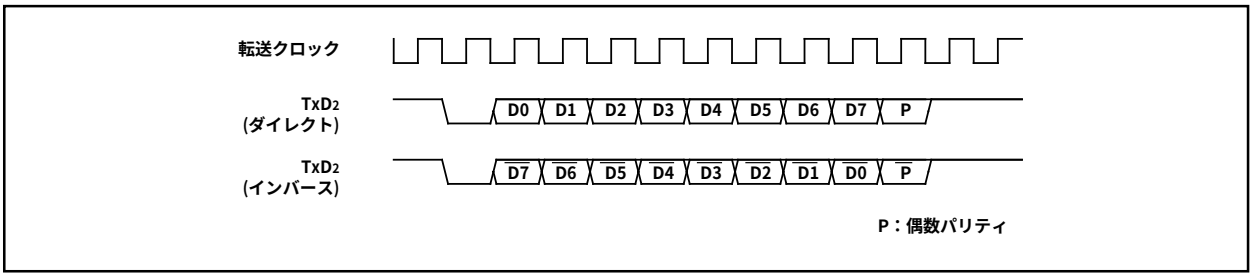


図2.11.29　SIMインタフェースフォーマット

図2.11.30にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

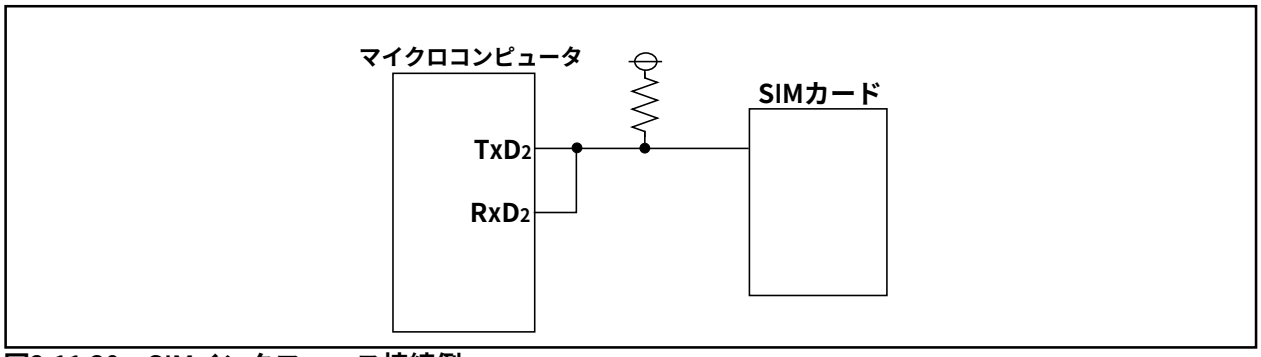


図2.11.30　SIMインタフェース接続例

2.11.5　シリアルインタフェースポート

入出力ポート（$P6_7$、$P7_0$～$P7_2$)は、UART2とマルチマスタI^2C-BUSインタフェース0（「2.11.6　マルチマスタI^2C-BUSインタフェースi」参照）の入出力ポートとして機能します。両シリアルインタフェースと各ポートの接続はペリフェラルモードレジスタ（$027D_{16}$番地）のビット0、ビット1（BSEL0, BSEL1）、およびI^2C0ポートセレクションレジスタ（$02E5_{16}$番地）のビット2（FIICON）で選択してください。

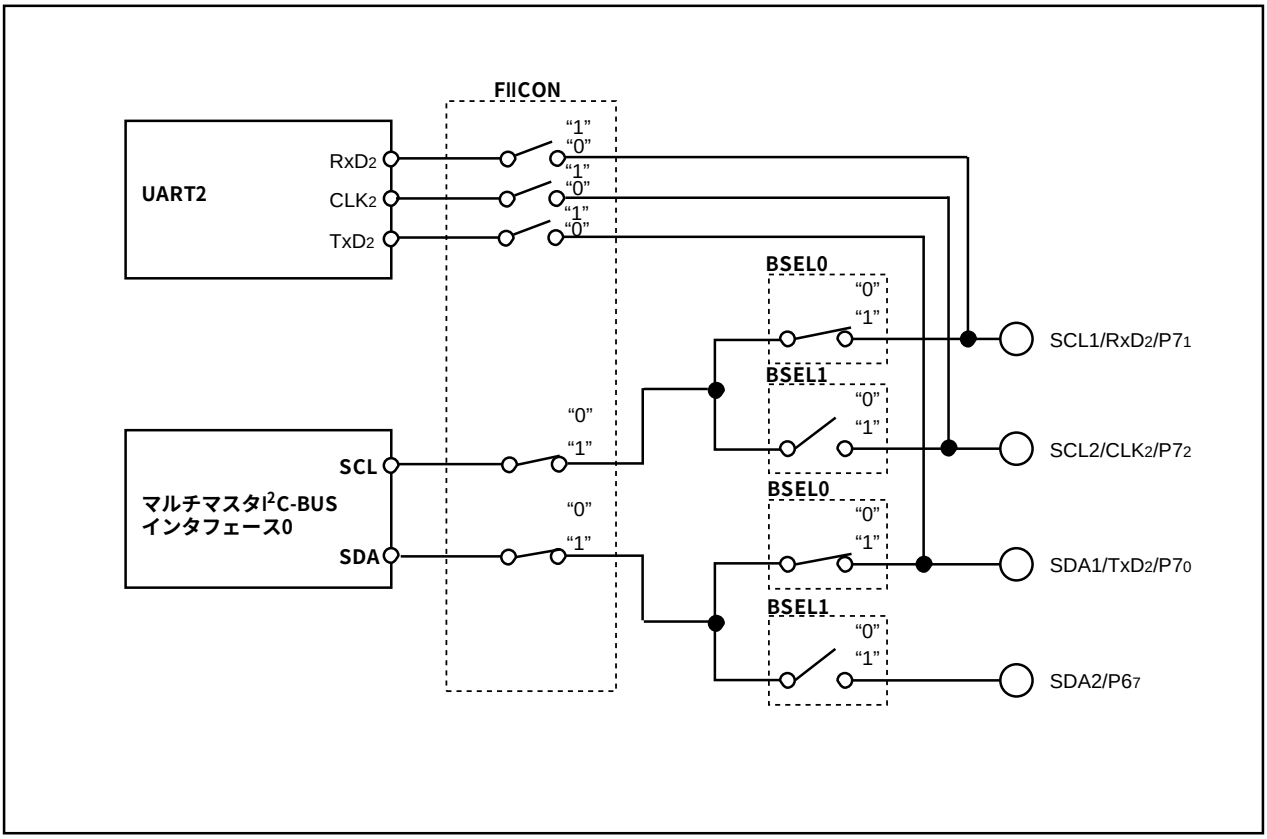


図2.11.31　シリアルインタフェースポート制御

2.11.6 マルチマスタI²C-BUSインタフェース0、マルチマスタI²C-BUSインタフェース1

マルチマスタI²C-BUSインタフェース0とマルチマスタI²C-BUSインタフェース1は、それぞれ専用回路を持っており、独立して動作します。

マルチマスタI²C-BUSインタフェースiは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーションロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図2.11.32、図2.11.33にマルチマスタI²C-BUSインタフェースiのブロック図、表2.11.13にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースiは、I²Ciアドレスレジスタ、I²Ciデータシフトレジスタ、I²Ciクロックコントロールレジスタ、I²Ciコントロールレジスタ、I²Ciステータスレジスタ、I²Ciポートセレクションレジスタ、I²Ci送信バッファレジスタとその他の制御回路により構成されています。

表2.11.13 マルチマスタI²C-BUSインタフェースi機能

項　　目	機　　能
フォーマット	フィリップス社I²C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I²C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz～400kHz（BCLK＝10 MHz）

注. I²C-BUSインタフェース0とポート（SCL1，SCL2，SDA1，SDA2）の接続を制御する機能 （ペリフェラルモードレジスタ［027D16番地］のビット0，ビット1）の使用に起因する第三者の特許権その他の権利侵害については，当社はその責任は負いません。

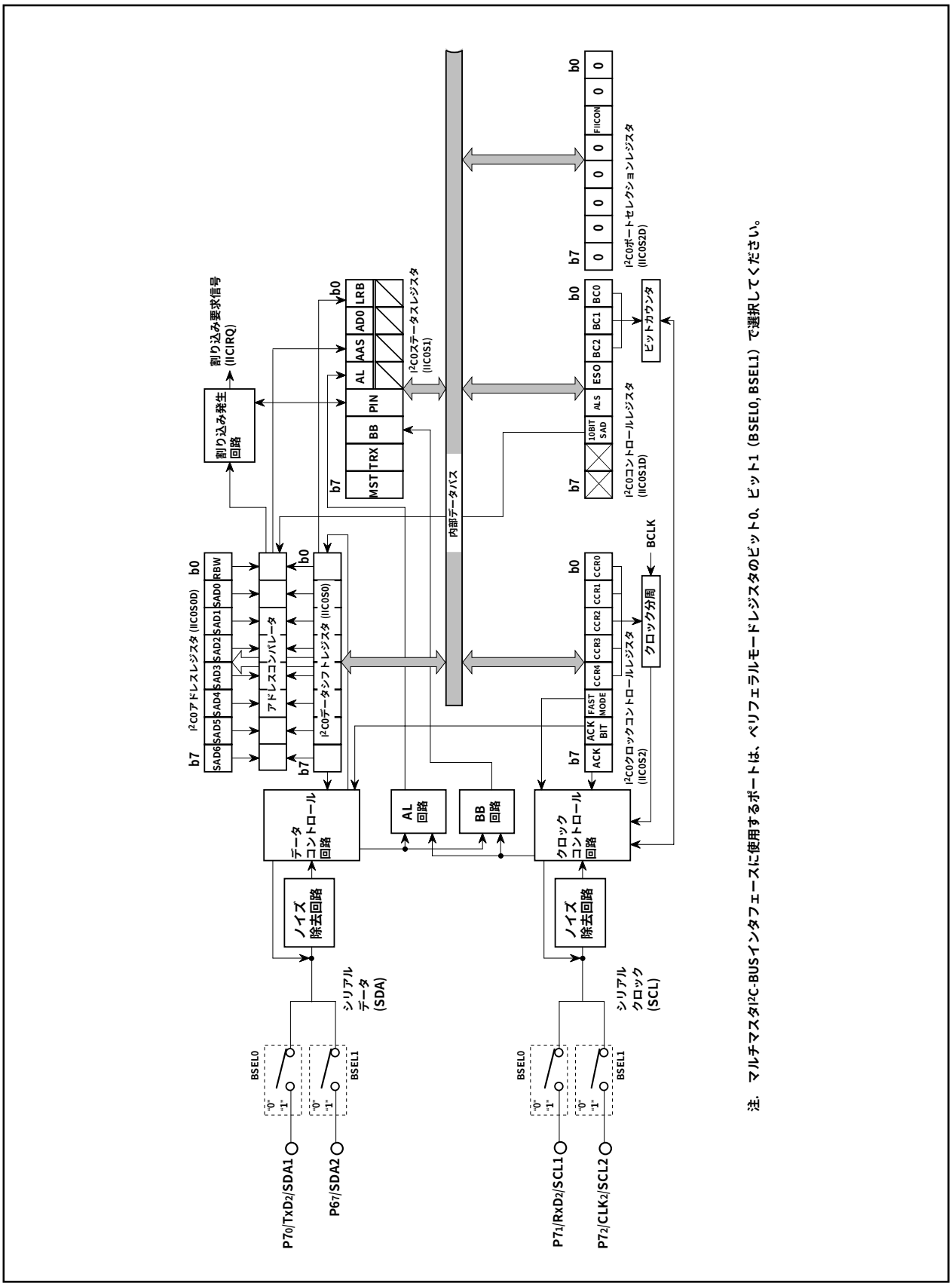


図2.11.32　マルチマスタI²C-BUSインタフェース0のブロック図

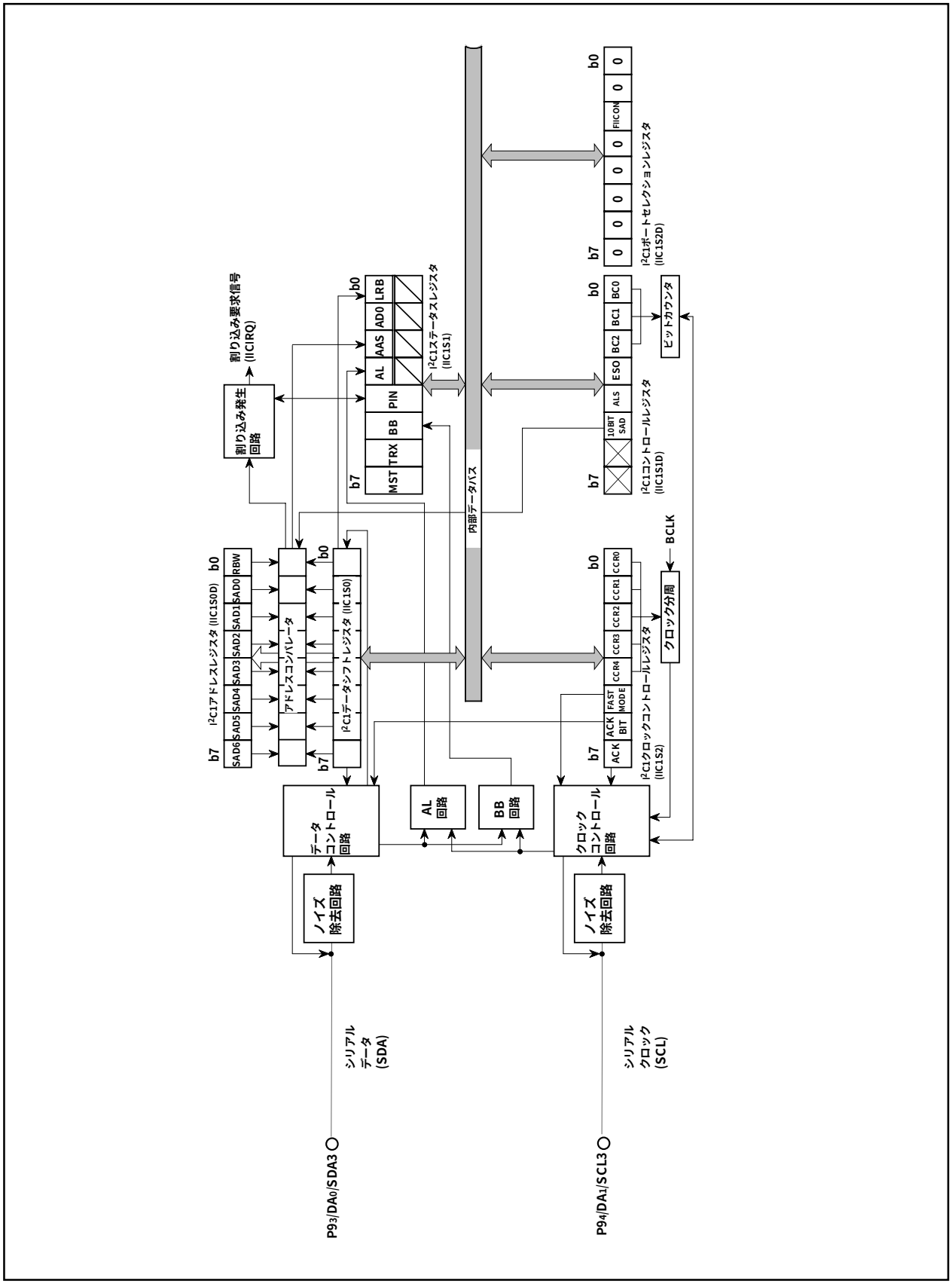


図2.11.33　マルチマスタI²C-BUSインタフェース1のブロック図

(1) I²Ciポートセレクションレジスタ（i=0, 1）

I²Ciポートセレクションレジスタは、マルチマスタI²C-BUSインタフェース機能を有効にするためのビットから構成されています。

■ビット2：マルチマスタI²C-BUSインタフェース有効ビット(FIICON)

“0”の場合、マルチマスタI²C-BUSインタフェースiはノンアクティブとなり、“1”の場合、アクティブとなります。アクティブ時、マルチマスタI²C-BUSインタフェース0はペリフェラルモードレジスタ(027D16番地)のビット0、ビット1で選択したポートと接続され、マルチマスタI²C-BUSインタフェース1はポートP93, P94と接続されます。

注. このビットを“1”に設定した後、マルチマスタI²C-BUSインタフェースiがアクティブになるまで10BCLKサイクル必要です。したがって、この期間にマルチマスタI²C-BUSインタフェースi関連のレジスタにアクセスしないでください。

I²Ciポートセレクションレジスタ（i=0, 1）

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0		0	0

シンボル	アドレス	リセット時
IIC0S2D	02E516番地	00??0000₂
IIC1S2D	02ED16番地	00??0000₂

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	—	○
FIICON	マルチマスタI²C-BUSインタフェース有効ビット	0：ノンアクティブ 1：アクティブ	○	○
予約ビット		必ず“0”を設定してください	—	○

図2.11.34　I²Ciポートセレクションレジスタ（i=1, 0）

(2) I^2Ciデータシフトレジスタ、I^2Ci送信バッファレジスタ（i＝0, 1）

I^2Ciデータシフトレジスタは、受信データの格納、又は送信データを書き込むための８ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット７から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してこのレジスタのビット0からデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

I^2Ciデータシフトレジスタは、I^2CiコントロールレジスタのESOビットが“１”のときのみ書き込みが可能です。I^2Ciデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESOビットが“１”、I^2CiステータスレジスタのMSTビットが“１”のとき、I^2Ciデータシフトレジスタの書き込み命令により、SCLが出力されます。I^2Ciデータシフトレジスタの読み出しは、ESOビットの値にかかわらずいつでも可能です。

I^2Ci送信バッファレジスタはリスタートコンディション発生前にI^2Ciデータシフトレジスタへ送信データ(スレーブアドレス)を格納するためのレジスタです。つまり、マスタ時、I^2Ci送信バッファレジスタに書き込んだデータは同時にI^2Ciデータシフトレジスタに書き込まれますが、SCLの出力は行われません。また、I^2Ci送信バッファレジスタは、ESOビットが“１”のときのみ書き込み可能で、ESOビットの値にかかわらず読み出しはできません。

注1. MSTビットが“１”→“０”に変化した後にI^2Ciデータシフトレジスタ、又はI^2Ci送信バッファレジスタにデータを書き込む場合、20BCLK以上の間隔を確保してください。

2. I^2Ciデータシフトレジスタ、又はI^2Ci送信バッファレジスタに書き込みを実行した後、スタートまたはリスタートコンディションを発生する場合は、2BCLK以上の間隔を確保してください。

I²Ciデータシフトレジスタ（i＝0, 1）

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
IIC0S0	02E0₁₆番地	不定
IIC1S0	02E8₁₆番地	不定

ビットシンボル	ビット名	機　能	R	W
D0	データシフトレジスタ	受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタ	○	○
D1				
D2				
D3				
D4				
D5				
D6				
D7				

注．MSTビットを“0”（スレーブモード）にしてからI²Ciデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保して下さい。

図2.11.35　I²Ciデータシフトレジスタ（i＝1, 0）

I²Ci送信バッファレジスタ（i＝0, 1）

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
IIC0S0S	02E6₁₆番地	不定
IIC1S0S	02EE₁₆番地	不定

ビットシンボル	ビット名	機　能	R	W
S0S0	送信バッファレジスタ	I²Ciデータシフトレジスタへ送信データを書き込むための8ビットのレジスタ	×	○
S0S1				
S0S2				
S0S3				
S0S4				
S0S5				
S0S6				
S0S7				

図2.11.36　I²Ci送信バッファレジスタ（i＝1, 0）

(3) I²Ciアドレスレジスタ（i=0, 1）

I²Ciアドレスレジスタは7ビットのスレーブアドレスと1ビットの$\overline{\text{リード}}$/ライトビットにより構成されています。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

■ビット０：$\overline{\text{リード}}$/ライトビット（RBW）

7ビットアドレッシングモード時には、アドレス比較の際に使用されません。10ビットアドレッシングモード時には、受信した１バイト目のアドレスデータとI²Ciアドレスレジスタの内容（SAD6～SAD0＋RBW）が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“０”になります。

■ビット１～ビット７：スレーブアドレス（SAD0～SAD6）

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

I²Ciアドレスレジスタ（i=0, 1）

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
IIC0S0D	02E1$_{16}$番地	00$_{16}$
IIC1S0D	02E9$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
RBW	$\overline{\text{リード}}$/ライトビット	<10ﾋﾞｯﾄｱﾄﾞﾚｯｼﾝｸﾞﾓｰﾄﾞ(ｽﾚｰﾌﾞﾓｰﾄﾞ)時のみ> アドレスデータの最下位ビットと比較されます。 0：スタートコンディション後のスレーブアドレスの第1バイトを待機（リード状態） 1：リスタートコンディション後のスレーブアドレスの第1バイトを待機（ライト状態）	○	○
SAD0	スレーブアドレス	<両モード時> アドレスデータと比較されます。	○	○
SAD1				
SAD2				
SAD3				
SAD4				
SAD5				
SAD6				

図2.11.37　I²Ciアドレスレジスタ（i=1, 0）

(4) I^2Ciクロックコントロールレジスタ（i＝0, 1）

I^2Ciクロックコントロールレジスタはアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

■ビット0～ビット4：SCL周波数制御ビット（CCR0～CCR4）

SCL周波数を制御するビットです。

■ビット5：SCLモード指定ビット（FAST MODE）

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

■ビット6：アックビット（ACK BIT）

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT＝“0”の状態で、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします（アックを返します）。

スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします（アックを返しません）。

＊アッククロック：確認応答用のクロック

■ビット７：アッククロックビット（ACK）

データ転送の確認応答であるアクノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し（“H”の状態にする）、データを受信するデバイスが発生させるアックビットを受信します。

注. I^2Ciクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI^2Ciクロックジェネレータがリセットされ，データが正常に転送できません。

I²Ciクロックコントロールレジスタ（i＝0, 1）

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
IIC0S2	02E4₁₆番地	00₁₆
IIC1S2	02EC₁₆番地	00₁₆

ビットシンボル	ビット名	機　能			R	W
CCR0	SCL周波数制御ビット	レジスタ値 b4～b0	標準 クロックモード	高速 クロックモード	○	○
CCR1		00～02	禁止	禁止		
		03	禁止	333		
		04	禁止	250		
CCR2		05	100	400（注）		
		06	83.3	166		
CCR3		：	500/CCR値	1000/CCR値		
		1D	17.2	34.5		
CCR4		1E	16.6	33.3		
		1F	16.1	32.3		
		（BCLK＝10MHz, 単位;kHz）				
FAST MODE	SCLモード指定ビット	0：標準クロックモード 1：高速クロックモード			○	○
ACK BIT	アックビット	0：アック返す 1：アック返さない			○	○
ACK	アッククロックビット	0：アッククロックなし 1：アッククロックあり			○	○

注．高速クロックモード, 400kHz時のデューティーは“0”期間：“1”期間＝3：2
それ以外のデューティーは“0”期間：“1”期間＝1：1

図2.11.38　I²Ciクロックコントロールレジスタ（i＝1, 0）

(5)　I^2Ciコントロールレジスタ（i＝0, 1）

I^2Ciコントロールレジスタはデータ通信フォーマットの制御を行うレジスタです。

■ビット0～ビット2：ビットカウンタ（BC0～BC2）

次に転送されるデータ1バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“000_2”になり、アドレスデータは必ず８ビットで送受信されます。

注.　ビットカウンタ値＝“111_2”の状態で、ストップコンディション、スタートコンディションの待機はできません。

■ビット3：I^2C-BUSインタフェース使用許可ビット（ESO）

マルチマスタI^2C-BUSインタフェースiの使用を許可するビットです。“０”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“１”の場合、使用許可となります。

ESO＝“０”のとき、次のように処理されます。

・I^2CiステータスレジスタのPIN＝“１”, BB＝“０”, AL＝“０”に設定される。

・I^2CiデータシフトレジスタおよびI^2Ci送信バッファレジスタへの書き込みは禁止される。

■ビット4：データフォーマット選択ビット（ALS）

スレーブアドレスの認識を行うか否かを決定するビットです。“０”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール（「(6)　I^2Ciステータスレジスタ」のビット1参照）を受信したときのみ転送処理が行えます。“１”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

■ビット5：アドレッシングフォーマット選択ビット（10BIT SAD）

スレーブのアドレス指定フォーマットを選択するビットです。“０”の場合は７ビットアドレッシングフォーマットとなり、I^2Ciアドレスレジスタの上位7ビット（スレーブアドレス）のみアドレスデータと比較されます。“１”の場合には10ビットアドレッシングフォーマットとなり、I^2Ciアドレスレジスタの全ビットがアドレスデータと比較されます。

I²Ciコントロールレジスタ（i=0, 1）

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
IIC0S1D	02E3₁₆番地	00₁₆
IIC1S1D	02EB₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	R	W
BC0 BC1 BC2	ビットカウンタ （送／受信ビット数）	b2 b1 b0 0 0 0：8 0 0 1：7 0 1 0：6 0 1 1：5 1 0 0：4 1 0 1：3 1 1 0：2 1 1 1：1	○	○
ESO	I²C-BUSインタフェースi 使用許可ビット	0：使用禁止 1：使用許可	○	○
ALS	データフォーマット 選択ビット	0：アドレッシングフォーマット 1：フリーデータフォーマット	○	○
10BIT SAD	アドレッシングフォー マット選択ビット	0：7ビットアドレッシングフォーマット 1：10ビットアドレッシングフォーマット	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

図2.11.39　I²Ciコントロールレジスタ（i=1, 0）

(6) I^2Ciステータスレジスタ (i=0,1)

I^2CiステータスレジスタはI^2C -BUSインタフェースiの状態を制御するレジスタです。ビット0～ビット3とビット5は読み出し専用で、ビット4、ビット6、ビット7は読み出し/書き込み可能です。

■ビット0：最終受信ビット（LRB）

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。

このビットは、I^2Ciデータシフトレジスタ、又はI^2Ci送信バッファレジスタに書き込み命令を実行すると“1”から“0”になります。

■ビット１：ジェネラルコール検出フラグ（AD0）

アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディション、スタートコンディションの検出により“0”になります。

＊ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“00_{16}”を送信すること。

■ビット２：スレーブアドレス比較フラグ（AAS）

アドレスデータの比較結果を示すフラグです。

《スレーブ受信モード時、7ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“1”になります。》

・スタートコンディション発生直後のアドレスデータがI^2Ciアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合

・ジェネラルコールを受信した場合

《スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。》

・アドレスデータとI^2Ciアドレスレジスタ（スレーブアドレス、及びRBWビットで構成される8ビット）とを比較し、1バイト目が一致した場合

《このビットはI^2Ciデータシフトレジスタ、又はI^2Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

■ビット３：アービトレーションロスト*検出フラグ（AL）

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になります。同時にTRXビットは“0”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MSTビットが“0”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

《このビットはI^2Ciデータシフトレジスタ、又はI^2Ci送信バッファレジスタに書き込み命令を行うことにより“1”から“0”になります。》

＊アービトレーションロスト：マスタとしての通信が不許可となった状態。

■ビット４：I²C-BUSインタフェースi割り込み要求ビット（PIN）

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“１”から“０”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック（アッククロックを含む）の立ち下がりに同期して“０”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。スレーブ時は、ストップコンディションを検出すると、PINビットの立ち下がりに関係なくマルチマスタI²C-BUSインタフェース割り込み要求ビット（IR）は“０”から“１”（要求あり）になります。PINビットが“０”のときはSCLは“０”に保たれクロックの発生は禁止されます。図2.11.41に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件でPINビットが“１”になります。

・PINビットへの“１”書き込み
・I²Ciデータシフトレジスタ、又はI²Ci送信バッファレジスタへの書き込み命令の実行（注）
・ESOビットが“０”のとき
・リセット時

注.　これらレジスタへの書き込み命令実行後、PINビットが“１”になるまで8BCLKサイクル以上要します。

PINビットが“０”になる条件を以下に示します。

・１バイトのデータ送信完了直後（アービトレーションロストを検出した場合を含む）
・１バイトのデータ受信完了直後
・スレーブ受信の際、ALS＝“０”で、スレーブアドレス又はジェネラルコールアドレス受信完了直後
・スレーブ受信の際、ALS＝“１”で、アドレスデータ受信完了直後

■ビット5：バスビジーフラグ（BB）

バスシステムの使用状態を示すビットです。“０”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“１”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能（注）によって禁止されます。

このフラグはソフトウエアによる書き込みはできません。スタートコンディションの検出により“１”になり、ストップコンディションの検出により“０”になります。また、I²CiコントロールレジスタのESOビットが“０”の場合、及びリセット時にはBBフラグは“０”に保持されます。

■ビット6：通信モード指定ビット（転送方向指定ビット：TRX）

データ通信の転送方向を決定するビットです。“０”の場合、受信モードとなり、送信デバイスのデータを受信します。“１”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I²CiコントロールレジスタのALSビットが“０”でスレーブの場合、マスタから送信されたアドレスデータの最下位ビット（R/$\overline{W}$ビット）が“１”のときはTRXビットは“１”（送信）になります。ALSビットが“０”でR/$\overline{W}$ビットが“０”のときはTRXビットは“０”（受信）になります。

以下のいずれかの条件でTRXビットが“０”になります。

・アービトレーションロストを検出した場合
・ストップコンディションを検出した場合
・スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
・MST＝“０”で、スタートコンディションを検出した場合
・MST＝“０”で、アックが返ってこなかったことを検出した場合
・リセット時

■ビット7：通信モード指定ビット（マスタ/スレーブ指定ビット：MST）

データ通信を行う際のマスタ/スレーブを指定するビットです。“０”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“１”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“０”になります。

・アービトレーションロストを検出した場合、１バイトデータ送信終了直後
・ストップコンディションを検出した場合
・スタートコンディション重複防止機能（注）によりスタートコンディション発生を禁止された場合
・リセット時

注. スタートコンディション重複防止機能は、スタートコンディションの発生と、それに伴うビットカウンタのリセット、及びSCLの出力を禁止する機能です。この機能はBBフラグがセットされてから1バイトの送受信が完了（送受信割り込み要求＜IICIRQ＞の発生）するまで有効となります。

I²Ciステータスレジスタ（i＝0, 1）

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
IIC0S1	02E2₁₆番地	0001000?₂
IIC1S1	02EA₁₆番地	0001000?₂

ビットシンボル	ビット名	機　能	R	W
LRB	最終受信ビット	0：最終ビット＝“0” 1：最終ビット＝“1”　（注1）	○	×
AD0	ジェネラルコール検出フラグ	0：ジェネラルコール未検出 1：ジェネラルコール検出　（注1）	○	×
AAS	スレーブアドレス比較フラグ	0：アドレス不一致 1：アドレス一致　（注1）	○	×
AL	アービトレーション・ロスト検出フラグ	0：未検出 1：検出　（注1）	○	×
PIN	I²C-BUSインタフェースi割り込み要求ビット	0：割り込み要求あり 1：割り込み要求なし　（注2）	○	○
BB	バスビジーフラグ	0：バスフリー 1：バスビジー　（注1）	○	×
TRX	通信モード指定ビット	b7b6 0 0：スレーブ受信モード 0 1：スレーブ送信モード 1 0：マスタ受信モード 1 1：マスタ送信モード	○	○
MST				

注1．これらのビット又はフラグは読み出せますが、書き込めません。
　2．このビットは“1”のみ書き込み可能です。

図2.11.40　I²Ciステータスレジスタ（i＝1, 0）

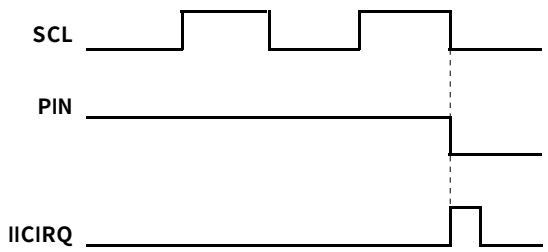


図2.11.41　割り込み要求信号の発生タイミング

(7) スタートコンディション発生方法

I²CiコントロールレジスタのESOビットが“1”の状態で、I²Ciステータスレジスタに書き込み命令を行いMST, TRX, BBビットを“1”にするとスタートコンディションが発生します。その後、ビットカウンタが“000₂”になり1バイト分のSCLが出力されます。スタートコンディションの発生及びBBビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図2.11.42のスタートコンディション発生タイミング図と表2.11.13のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

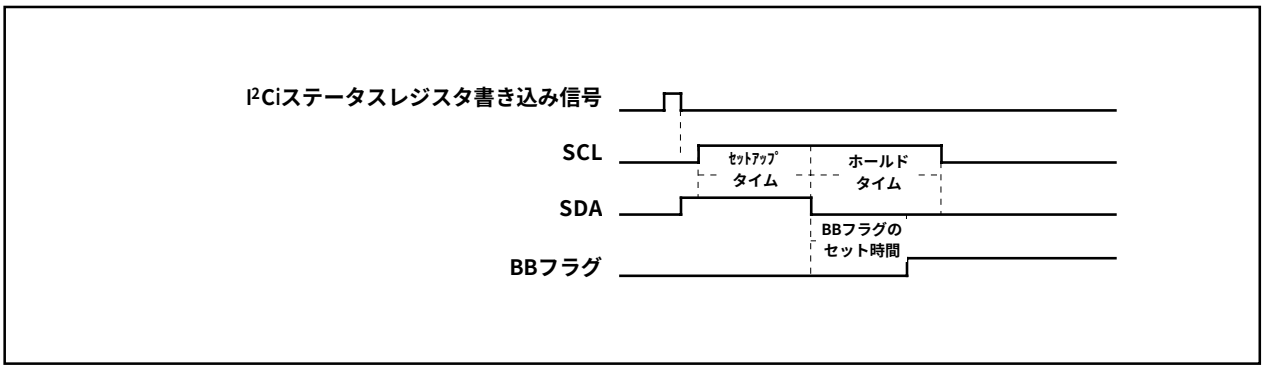


図2.11.42　スタートコンディション発生タイミング図

(8) ストップコンディションの発生方法

I²CiコントロールレジスタのESOビットが“1”の状態でI²Ciステータスレジスタへ書き込み命令を行いMST＝“1”，TRX＝“1”，BB＝“0”にすると、ストップコンディションが発生します。ストップコンディションの発生及びBBフラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図2.11.43のストップコンディション発生タイミング図と表2.11.13のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

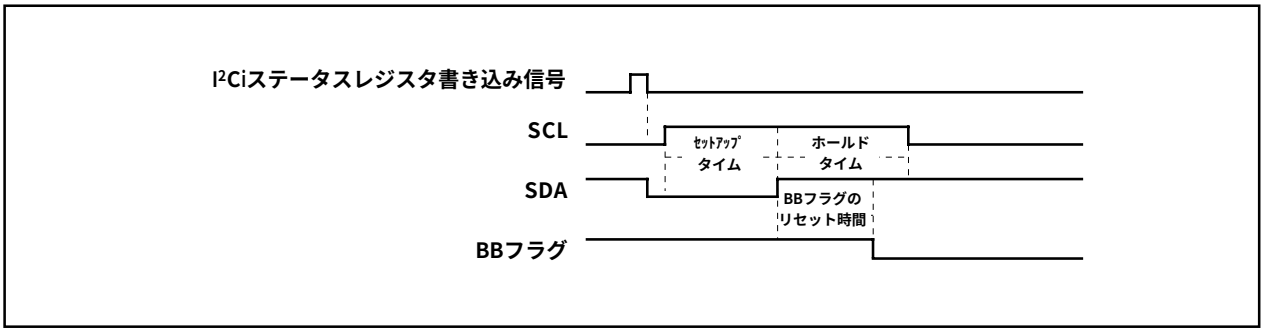


図2.11.43　ストップコンディション発生タイミング図

表2.11.13　スタートコンディション，ストップコンディション発生タイミング表

項　目	標準クロックモード	高速クロックモード
セットアップ時間	5.35 μs（53.5サイクル）	1.85 μs（18.5サイクル）
ホールド時間	4.9 μs（49サイクル）	2.4 μs（24サイクル）
BBフラグセット/リセット時間	3.75 μs（37.5サイクル）	0.85 μs（8.5サイクル）

注.　BCLK＝10MHz時の絶対時間、（ ）内はBCLKのサイクル数

(9) スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図2.11.44と表2.11.14に示します。表2.11.14の3条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ（MST＝０）時にストップコンディションを検出すると，CPUに対して割り込み要求信号＜llClRQ＞を発生します。

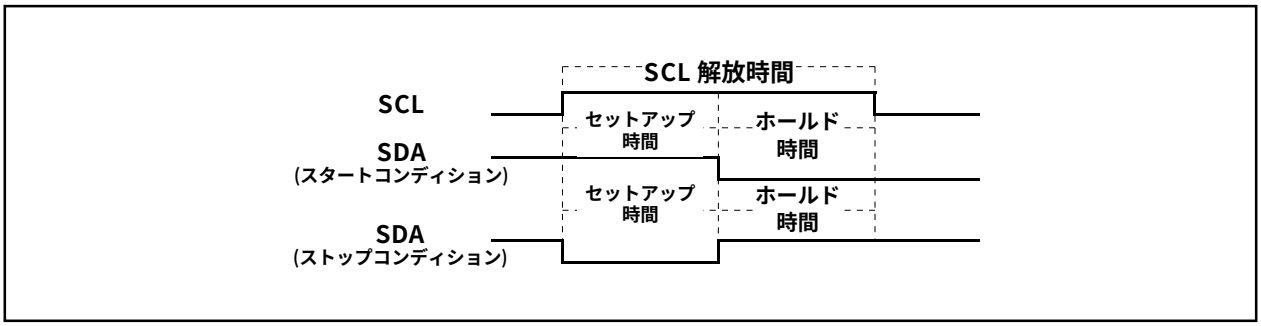


図2.11.44 スタートコンディション，ストップコンデション検出のタイミング図

表2.11.14 スタートコンディション，ストップコンディション検出条件

標準クロックモード	高速クロックモード
6.5 μs（65サイクル）＜SCL解放時間	1.0 μs（10サイクル）＜SCL解放時間
3.25 μs（32.5サイクル）＜セットアップ時間	0.5 μs（5サイクル）＜セットアップ時間
3.25 μs（32.5サイクル）＜ホールド時間	0.5 μs（5サイクル）＜ホールド時間

注．BCLK＝10MHz時の絶対時間、（ ）内はBCLKのサイクル数

(10) アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

■7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I^2Ciコントロールレジスタの10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I^2Ciアドレスレジスタに格納された上位７ビットのスレーブアドレスを比較します。この比較時には、I^2CiアドレスレジスタのRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図2.11.45の（1），（2） を参照してください。

■10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I^2Ciコントロールレジスタの10BIT SADビットを“１”にしてください。マスタから送信された１バイト目のアドレスデータと、I^2Ciアドレスレジスタに格納されたスレーブアドレス7ビットがアドレス比較されます。この比較時には、I^2CiアドレスレジスタのRBWビットと、マスタから送信されるアドレスデータの最終ビット(R/$\overline{W}$ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるR/$\overline{W}$ビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I^2CiステータスレジスタのAASビットが“１”にセットされます。2バイト目のアドレスデータは、I^2Ciデータシフトレジスタに格納した後、ソフトウエアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I^2CiアドレスレジスタのRBWビットをソフトウエアで“１”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/$\overline{W}$のデータとI^2Ciアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図2.11.45の（3），（4） を参照してください。

(11) マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

①I^2Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
②I^2Ciクロックコントロールレジスタに“85_{16}”を設定することによって、アックを返すモード、SCL＝100kHzにします。
③I^2Ciステータスレジスタに“10_{16}”を設定し、SCLを“H”レベルに保持します。
④I^2Ciコントロールレジスタに“08_{16}”を設定することによって、通信許可状態にします。
⑤I^2Ciデータシフトレジスタの上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
⑥I^2Ciステータスレジスタに“$F0_{16}$”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
⑦I^2Ciデータシフトレジスタに送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
⑧複数バイトの制御データを送信する場合、⑦を繰り返します。
⑨アックが返らなかった場合又は送信が終了した場合は、I^2Ciステータスレジスタに“$D0_{16}$”を設定することのよってストップコンディションを発生させます。

(12) スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

①I^2Ciアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
②I^2Ciクロックコントロールレジスタに“25_{16}”を設定することによって、アックなしモード、SCL＝400kHzにします。
③I^2Ciステータスレジスタに“10_{16}”を設定しSCLを“H”レベルに保持します。
④I^2Ciコントロールレジスタに“08_{16}”を設定することによって、通信許可状態にします。
⑤スタートコンディションを受信すると、アドレス比較されます。
⑥
＜送信されたアドレスがすべて“0”の場合（ジュネラルコール）＞
I^2CiステータスレジスタのAD0=“1”に設定され、割り込み要求信号が発生します。
＜送信されたアドレスが、①で設定したアドレスと一致した場合＞
I^2CiステータスレジスタのAAS=“1”に設定され、割り込み要求信号が発生します。
＜上記以外の場合＞
I^2CiステータスレジスタのAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
⑦I^2Ciデータシフトレジスタにダミーデータを設定します。
⑧複数バイトの制御データを受信する場合、⑦を繰り返します。
⑨ストップコンディションを検出すると通信が終了します。

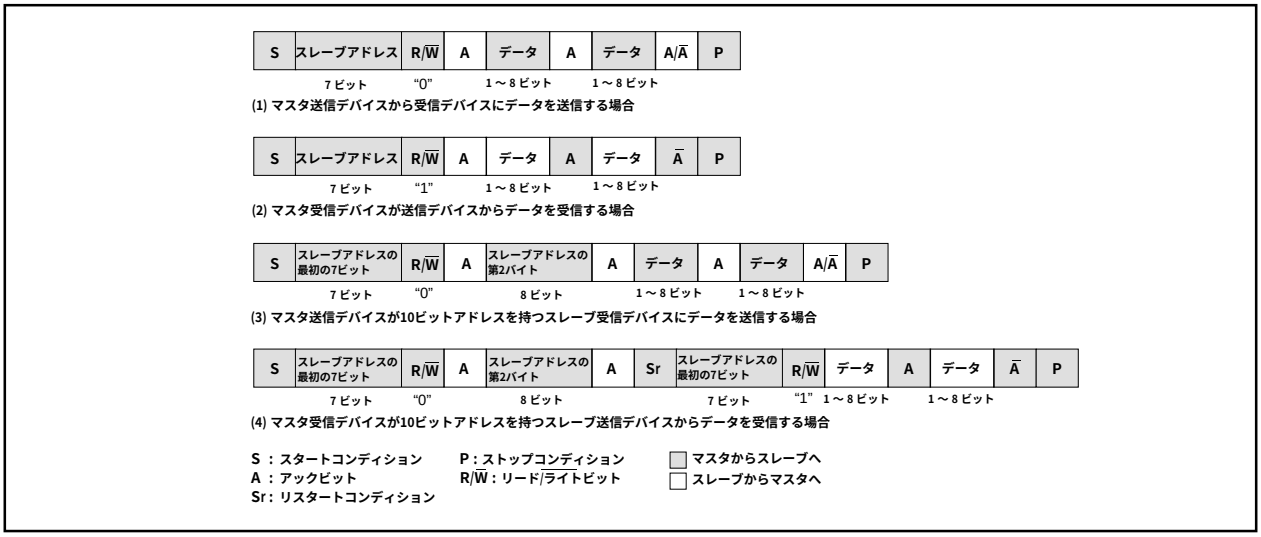


図2.11.45　アドレスデータ通信フォーマット

(13)　マルチマスタI²Ci-BUSインタフェースiの注意事項

■BCLKの動作モードについて

分周なしモードを選択し、メインクロック周波数をf(XIN)＝10MHzにしてください。

■使用する命令について

マルチマスタI²C-BUSインタフェースi関連レジスタをアクセスする命令のデータサイズは、バイト（.B）を指定してください。

■リード・モディファイ・ライト命令の使用について

BSET, BCLRなどのリード・モディファイ・ライト命令をマルチマスタI²Ci-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- **I²Ciデータシフトレジスタ（IICiS0）**
  転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- **I²Ciアドレスレジスタ（IICiS0D）**
  ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
  上記のタイミングでリード/ライトビット（RBW）が、ハードウエアによって変化するためです。
- **I²Ciステータスレジスタ（IICiS1）**
  すべてのビットはハードウエアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- **I²Ciコントロールレジスタ（IICiS1D）**
  スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
  上記のタイミングでビットカウンタ（BC0～BC2）が、ハードウエアによって変化するためです。
- **I²Ciクロックコントロールレジスタ（IICiS2）**
  リード・モディファイ・ライト命令は使用可能です。
- **I²Ciポートセレクションレジスタ（IICiS2D）**
  上位4ビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。
- **I²Ci送信バッファレジスタ（IICiS0S）**
  すべてのビットが読み出し値不定のため、リード・モディファイ・ライト命令は使用できません。

■スタートコンディション発生手順について

```
                :
        FCLR    I                       (割り込みの禁止)
        BTST    5, IICiS1               (BBフラグ確認及び分岐処理)
        JC      BUSBUSY
BUSFREE:
        MOV.B   SA, IICiS0              (スレーブアドレス値<SA>の書き込み)
        NOP                                                          ①  ②
        NOP
        MOV.B   #F0H, IICiS1            (スタートコンディション発生のトリガ)
        FSET    I                       (割り込みの許可)
                :
BUSBUSY:
        FSET    I                       (割り込みの許可)
                :
```

①スレーブアドレス値の書き込みと、スタートコンディション発生のトリガの設定は、手順例のとおり必ずNOP命令×2を挿入して実行してください。

②マルチマスタシステムの場合は、BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生のトリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。
BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。
シングルマスタシステムの場合は、上記の割り込み禁止処理は必要ありません。

■リスタートコンディション発生手順について

```
                :
        MOV.B   SA, IICiS0S             (スレーブアドレス値<SA>の書き込み) — ①
        NOP
        NOP
        MOV.B   #F0H, IICiS1            (リスタートコンディション発生のトリガ)
                :
```

①I^2Ciデータシフトレジスタへのスレーブアドレス値の書き込みは、I^2Ci送信バッファレジスタを使用してください。また、必ずNOP命令×2を挿入してください。

■I^2Ciステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

■ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I^2Ciデータシフトレジスタ（IICiS0）及びI^2Ciステータスレジスタ（IICiS1）に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

2.12 A-D変換器

容量結合増幅器で構成され、8ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P3_6$, $P3_7$, $P4_0$～$P4_3$と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット($03D7_{16}$番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

表2.12.1にA-D変換器の性能を、図2.12.1にA-D変換器のブロック図を、図2.12.2～図2.12.5にA-D変換器関連のレジスタを示します。

表2.12.1. A-D変換器の性能

項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックφAD(注2)	f_{AD}/f_{AD}の2分周/f_{AD}の4分周　f_{AD}=f(X_{IN})
分解能	8ビット
絶対精度	V_{CC} = 5Vのとき ●サンプル&ホールド機能なし：±5LSB ●サンプル&ホールド機能あり：±5LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	6本(AN_0～AN_5)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 49φADサイクル ●サンプル&ホールドあり 28φADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

2. f(X_{IN})が10MHzを超える場合は分周し、φADの周波数を10MHz以下にしてください。
サンプル&ホールド機能なしのときφADの周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときφADの周波数は1MHz以上にしてください。

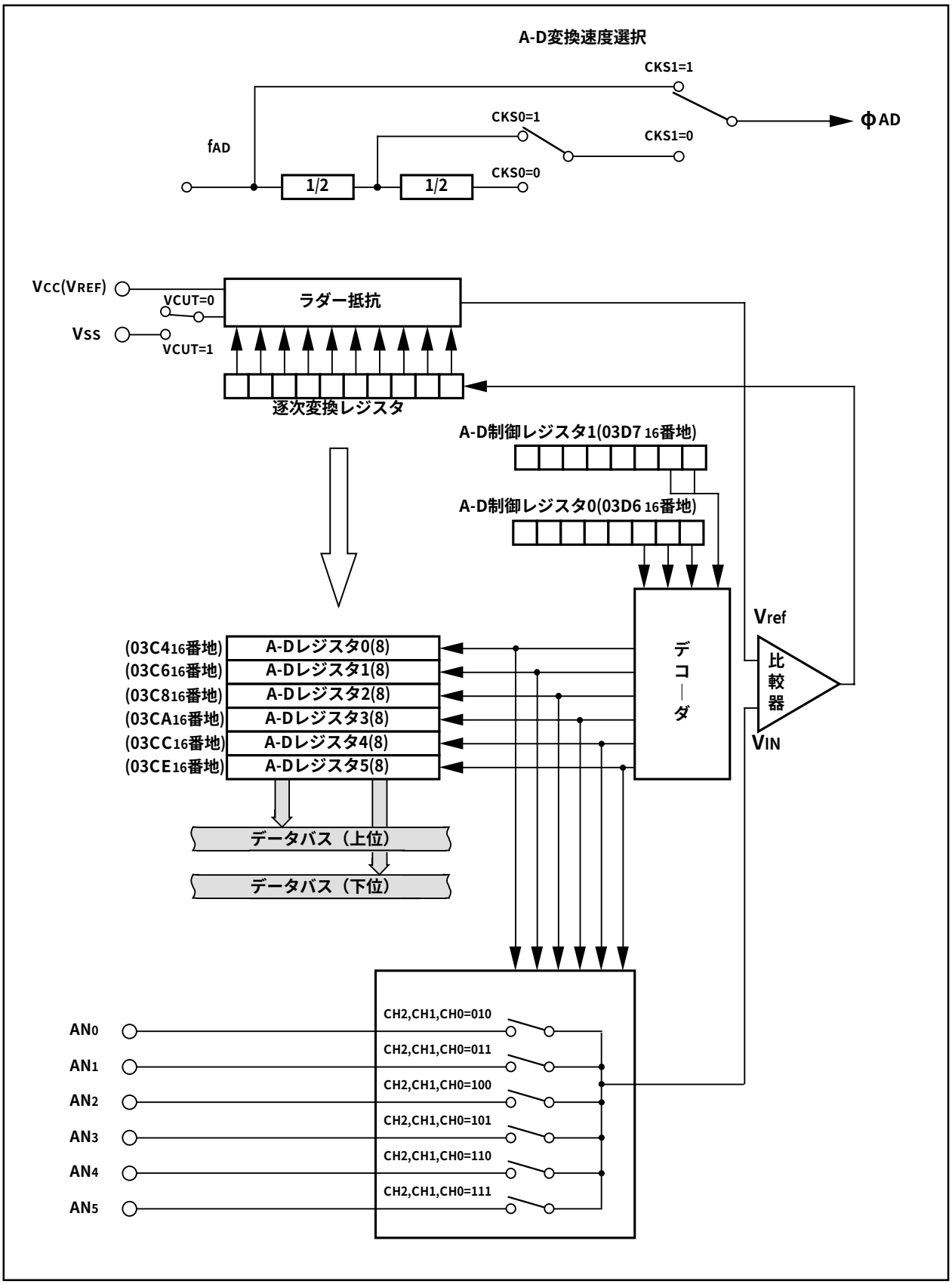


図2.12.1　A-D変換器のブロック図

A-D制御レジスタ0（注1）

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル	アドレス	リセット時
ADCON0	03D6$_{16}$番地	00000???$_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : 設定禁止 0 0 1 : 設定禁止 0 1 0 : AN$_0$を選択 0 1 1 : AN$_1$を選択 1 0 0 : AN$_2$を選択 1 0 1 : AN$_3$を選択 1 1 0 : AN$_4$を選択 1 1 1 : AN$_5$を選択　（注2）	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 （注2） 繰り返し掃引モード1	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : f$_{AD}$/4を選択 1 : f$_{AD}$/2を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
2.　A-D動作モードを変更した場合は、あらためてアナログ入力端子の設定を行う必要があります。

図2.12.2　A-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0			0			

シンボル	アドレス	リセット時
ADCON1	03D7$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : 設定禁止 0 1 : AN$_0$, AN$_1$(2端子) 1 0 : AN$_0$～ AN$_3$(4端子) 1 1 : AN$_0$～ AN$_5$(6端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : 設定禁止 0 1 : 設定禁止 1 0 : AN$_0$(1端子) 1 1 : AN$_0$, AN$_1$(2端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : f$_{AD}$/2または f$_{AD}$/4を選択 1 : f$_{AD}$を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.3　A-D制御レジスタ1

A-D制御レジスタ2(注)

b7	b6	b5	b4	b3	b2	b1	b0
✕	✕	✕	✕	0	0	0	

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$0000???0_2$

ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			—	—

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.4　A-D制御レジスタ2

A-Dレジスタi

b7	b0

シンボル	アドレス	リセット時
ADi(i=0～5)	$03C4_{16}$, $03C6_{16}$, $03C8_{16}$番地	不定
	$03CA_{16}$, $03CC_{16}$, $03CE_{16}$番地	不定

機　　能	R	W
A-D変換結果の8ビット	○	✕

図2.12.5　A-Dレジスタi

2.12.1　単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表2.12.2に単発モードの仕様、図2.12.6と図2.12.7に単発モード時のA-D制御レジスタを示します。

表2.12.2　単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了 ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_5より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000???_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : 設定禁止 0 0 1 : 設定禁止 0 1 0 : AN_0を選択 0 1 1 : AN_1を選択 1 0 0 : AN_2を選択 1 0 1 : AN_3を選択 1 1 0 : AN_4を選択 1 1 1 : AN_5を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード　(注2)	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1．A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
2．A-D動作モードを変更した場合は、改めてアナログ入力端子の設定を行う必要があります。

図2.12.6　単発モード時のA-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注．A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は 不定となります。

図2.12.7　単発モード時のA-D制御レジスタ1

2.12.2　繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表2.12.3に繰り返しモードの仕様、図2.12.8と図2.12.9に繰り返しモード時のA-D制御レジスタを示します。

表2.12.3　繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_5より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000???_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : 設定禁止 0 0 1 : 設定禁止 0 1 0 : AN_0を選択 0 1 1 : AN_1を選択 1 0 0 : AN_2を選択 1 0 1 : AN_3を選択 1 1 0 : AN_4を選択 1 1 1 : AN_5を選択 (注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード (注2)	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1．A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
2．A-D動作モードを変更した場合は、改めてアナログ入力端子の設定を行う必要があります。

図2.12.8　繰り返しモード時のA-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0	0	

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注．A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.9　繰り返しモード時のA-D制御レジスタ1

2.12.3　単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表2.12.4に単掃引モードの仕様、図2.12.10と図2.12.11に単掃引モード時のA-D制御レジスタを示します。

表2.12.4　単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000???_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は 不定となります。

図2.12.10　単掃引モード時のA-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : 設定禁止 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～AN_3(4端子) 1 1 : AN_0～AN_5(6端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定にしてください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.11　単掃引モード時のA-D制御レジスタ1

2.12.4　繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表2.12.5に繰り返し掃引モード0の仕様、図2.12.12と図2.12.13に繰り返し掃引モード0時のA-D制御レジスタを示します。

表2.12.5　繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000???_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.12　繰り返し掃引モード0時のA-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : 設定禁止 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～AN_3(4端子) 1 1 : AN_0～AN_5(6端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.13　繰り返し掃引モード0時のA-D制御レジスタ1

2.12.5　繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表2.12.6に繰り返し掃引モード1の仕様、図2.12.14と図2.12.15に繰り返し掃引モード1時のA-D制御レジスタを示します。

表2.12.6　繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子　　AN_0(1端子)、AN_0,AN_1(2端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000???_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
予約ビット		必ず“0”を設定してください	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.14　繰り返し掃引モード1時のA-D制御レジスタ0

A-D制御レジスタ1(注)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1		0	1		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : 設定禁止 0 1 : 設定禁止 1 0 : AN_0(1端子) 1 1 : AN_0, AN_1(2端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは必ず“1”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	○	○

注.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.15　繰り返し掃引モード1時のA-D制御レジスタ1

2.12.6　サンプル&ホールド

A-D制御レジスタ2(03D4$_{16}$番地)のビット0の内容を“１”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、28φ$_{AD}$サイクルとなります。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA-D変換を開始してください。

2.13 D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V=V_{REF}\times n/256$(n=0～255)

V_{REF}:基準電圧

表2.13.1にD-A変換器の性能を、図2.13.1にD-A変換器のブロック図を、図2.13.2にD-A制御レジスタ、図2.13.3にD-Aレジスタ、図2.13.4にD-A変換器の等価回路を示します。

表2.13.1　D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル

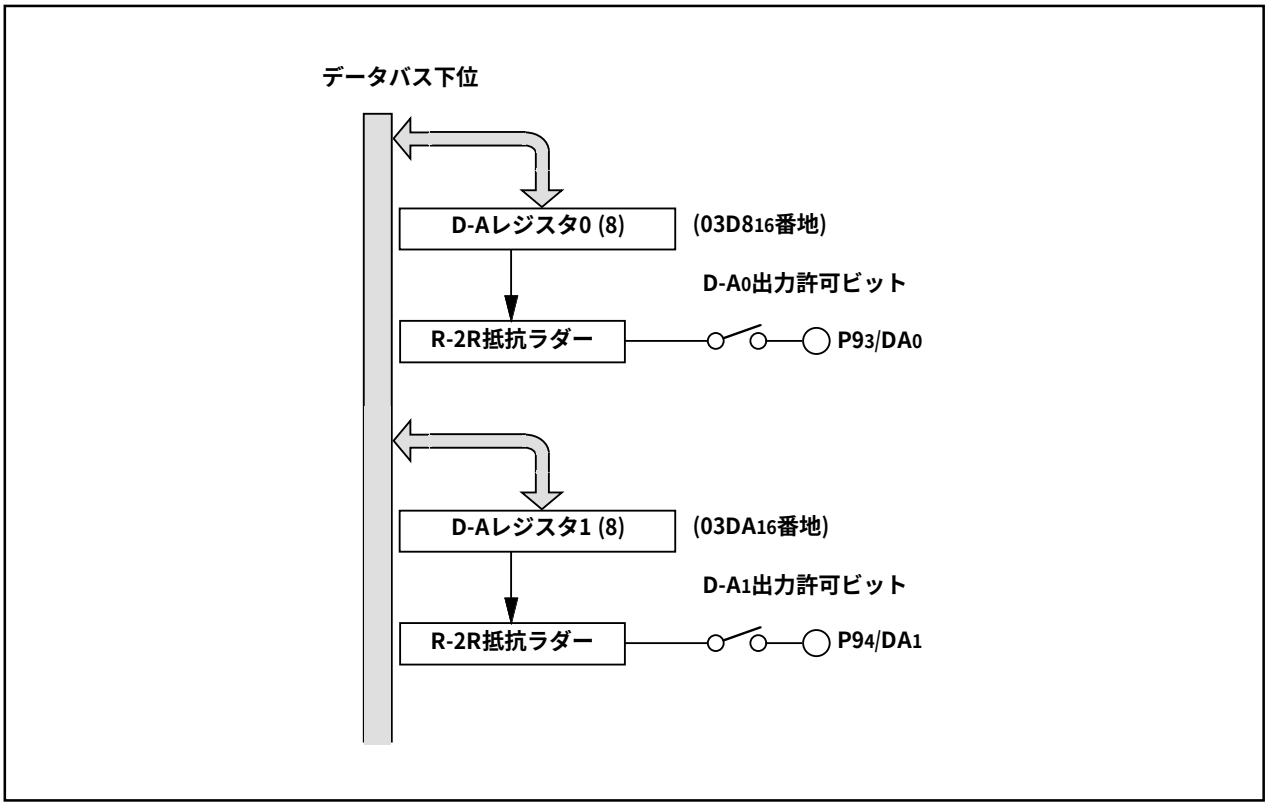
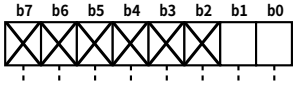


図2.13.1　D-A変換器のブロック図

D-A制御レジスタ

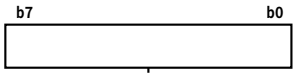


シンボル	アドレス	リセット時
DACON	03DC16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は“ 0 ”。			—	—

図2.13.2　D-A制御レジスタ

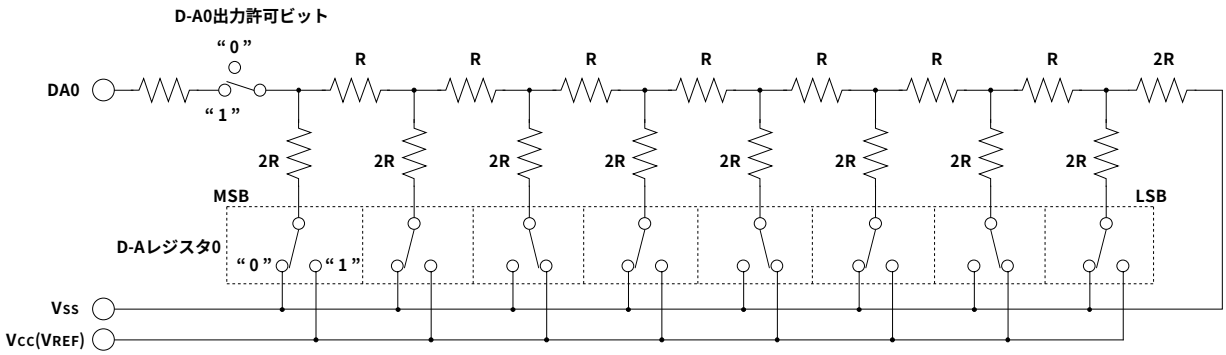
D-Aレジスタi（i=0, 1）



シンボル	アドレス	リセット時
DAi(0,1)	03D816、03DA16番地	不定

機　　能	R	W
D-A変換の出力値	○	○

図2.13.3　D-Aレジスタi（i=0, 1）



注1.　上図はD-Aレジスタの値が“ 2A16 ”の場合です。
2.　この回路はD-A1においても同一です。
3.　D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“ 0 ”とし、D-Aレジスタを“ 0016 ”として、R-2Rの抵抗に電流が流れないようにしてください。

図2.13.4　D-A変換器の等価回路

2.14 データスライサ

本マイクロコンピュータは、クローズドキャプションデコーダ（以下CCDと称す）に対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重畳されたキャプションデータを取り出すことができます。CVIN端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ１（0260₁₆番地）のビット０を“０”に設定することによって、データスライサ回路及びタイミング信号発生回路をOFFすることができます。これらの設定によって、電源電流を抑えることができます。

注. データスライサを使用する場合、ペリフェラルモードレジスタ(027D₁₆番地)のビット7をメインクロック周波数に従って設定してください。

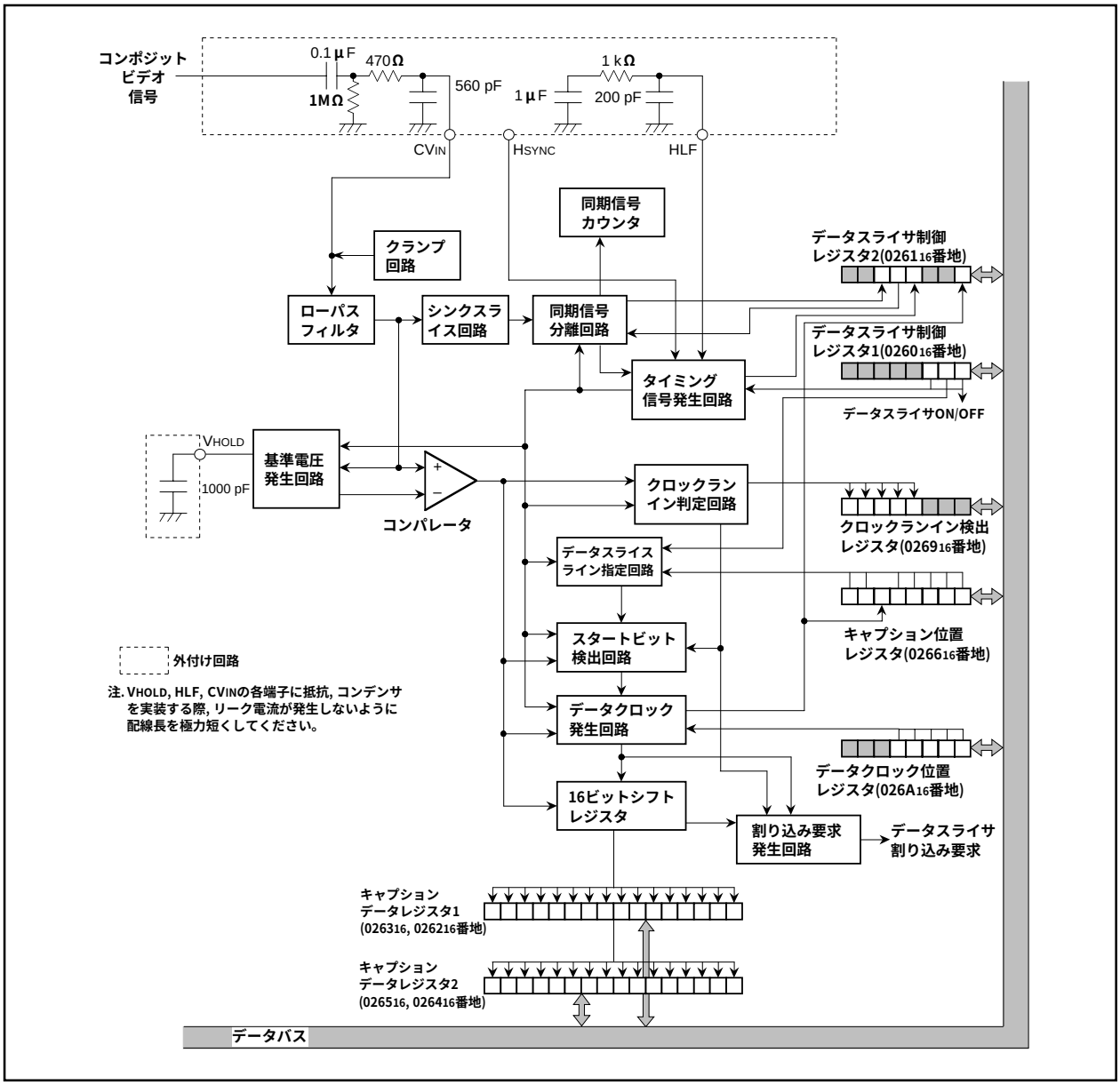


図2.14.1 データスライサブロック図

2.14.1　データスライサを使用しない場合の注意事項

データスライサ制御レジスタ1（026016番地）のビット0が“0”の場合、図2.14.2のように端子を処理してください。

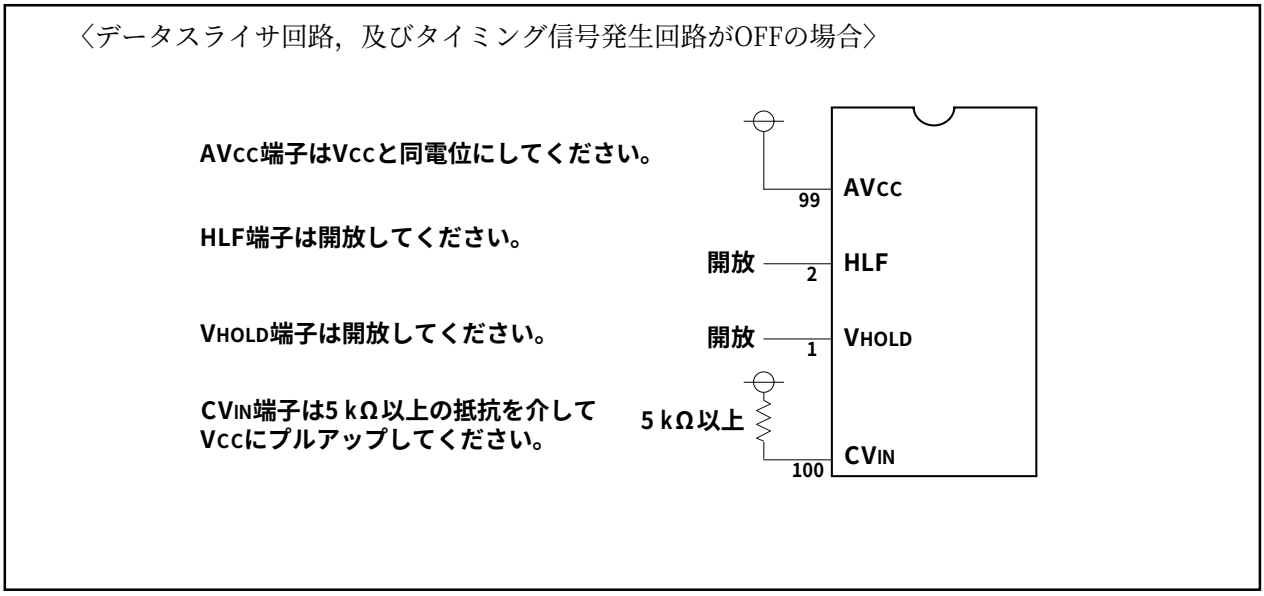


図2.14.2　データスライサ回路，及びタイミング信号発生回路OFFの場合の，データスライサ入出力端子の処理方法

データスライサ制御レジスタ1（026016番地）のビット0、2の両方が“1”の場合、図2.14.3のように端子を処理してください。

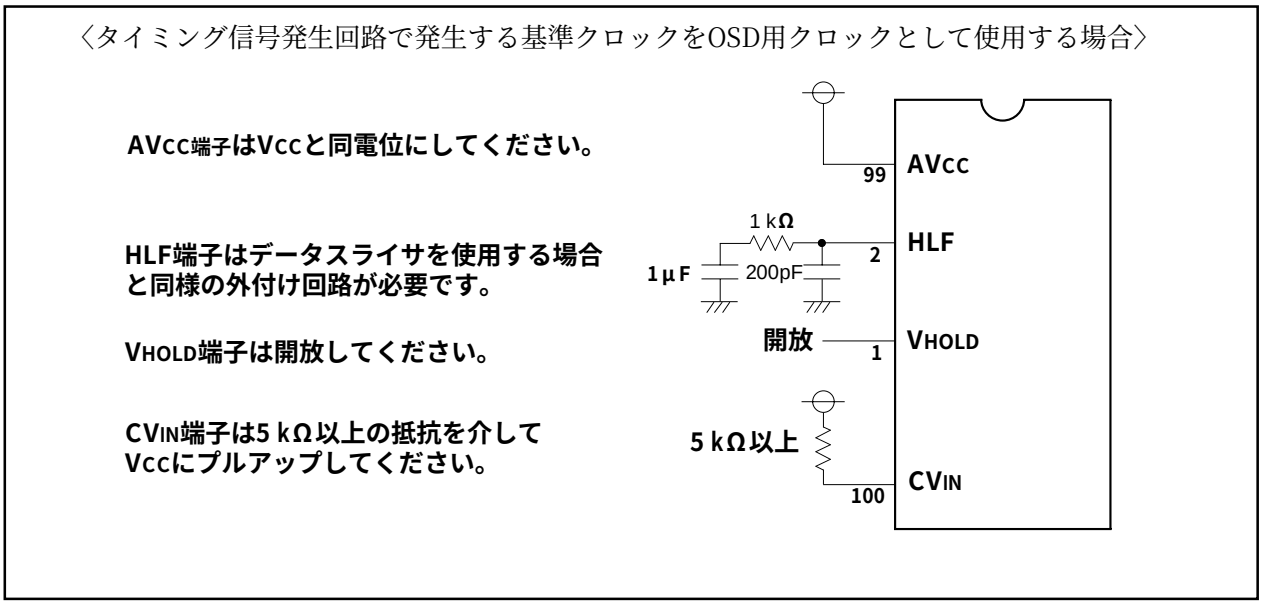


図2.14.3　タイミング信号発生回路ONの場合の，データスライサ入出力端子の処理方法

図2.14.4、図2.14.5にデータスライサ制御レジスタを示します。

データスライサ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0			

シンボル DSC1　アドレス 0260_{16}番地　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
DSC10	ﾃﾞｰﾀｽﾗｲｻ及びﾀｲﾐﾝｸﾞ信号発生回路制御ビット	0：停止 1：動作	○	○
DSC11	ﾃﾞｰﾀｽﾗｲｽ用基準電圧発生ﾌｨｰﾙﾄﾞの選択ビット	0：F2 1：F1	○	○
DSC12	基準クロックソース選択ビット	0：ビデオ信号 1：HSYNC信号	○	○
予約ビット		必ず“0”を設定してください	○	○

フィールド1（F1）及びフィールド2（F2）の定義

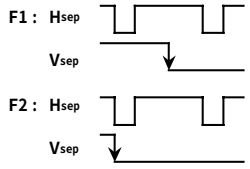


図2.14.4　データスライサ制御レジスタ1

データスライサ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
	0					0	

シンボル DSC2　アドレス 0261_{16}番地　リセット時 $?0?0??0?_{16}$

ビットシンボル	ビット名	機　　能	R	W
DSC20	ｷｬﾌﾟｼｮﾝﾃﾞｰﾀﾗｯﾁ完了ﾌﾗｸﾞ1	0：ｷｬﾌﾟｼｮﾝﾃﾞｰﾀﾗｯﾁ未完了，又はｸﾛｯｸﾗﾝｲﾝなし 1：ｷｬﾌﾟｼｮﾝﾃﾞｰﾀﾗｯﾁ完了，かつｸﾛｯｸﾗﾝｲﾝあり	○	×
予約ビット		必ず“0”を設定してください	○	○
テスト用ビット		読み出し専用	○	×
DSC23	フィールド判別フラグ	0：F2 1：F1	○	×
DSC24	垂直同期信号(Vsep信号)発生方法選択ビット	0：方法(1) 1：方法(2)	○	○
DSC25	Vパルスの形状判別フラグ	0：一致 1：不一致	○	×
予約ビット		必ず“0”を設定してください	○	○
テスト用ビット		読み出し専用	○	×

フィールド1（F1）及びフィールド2（F2）の定義

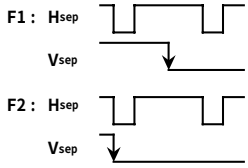


図2.14.5　データスライサ制御レジスタ2

2.14.2　クランプ回路・ローパスフィルタ

CVIN端子から入力されたコンポジットビデオ信号は、クランプ回路でシンクチップ部分を基準にしてクランプされます。ローパスフィルタはクランプされたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力されるCVIN端子は、外部でのコンデンサ（0.1μF）結合が必要です。またCVIN端子は、数100kΩ～１MΩ程度の抵抗でプルダウンしてください。さらにCVIN端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します（図2.14.1参照）。

2.14.3　シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。

2.14.4　同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

(1)　水平同期信号（Hsep）

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号Hsepを発生します。

(2)　垂直同期信号（Vsep）

Vsep信号の発生方法は、データスライサ制御レジスタ２（0261_{16}番地）のビット４を用いて、次の２種類から選択することができます。

・方法１　コンポジットシンク信号の“Ｌ”レベル幅を測定し、一定時間以上であれば、その“Ｌ”レベル直後のタイミング信号の立ち上がりに同期してVsep信号を発生します。

・方法２　コンポジットシンク信号の“Ｌ”レベル幅を測定し、一定時間以上であれば、その“Ｌ”レベル直後のタイミング信号の“Ｌ”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりに同期してVsep信号を発生します（図2.14.6参照）。

発生タイミングを図2.14.6に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データスライサ制御レジスタ2のビット5を読み出すことによって、コンポジットシンク信号のVパルス部分の形状が判別できます。図2.14.7のようにA，Bのレベルが一致していれば“０”、不一致であれば“１”になります。

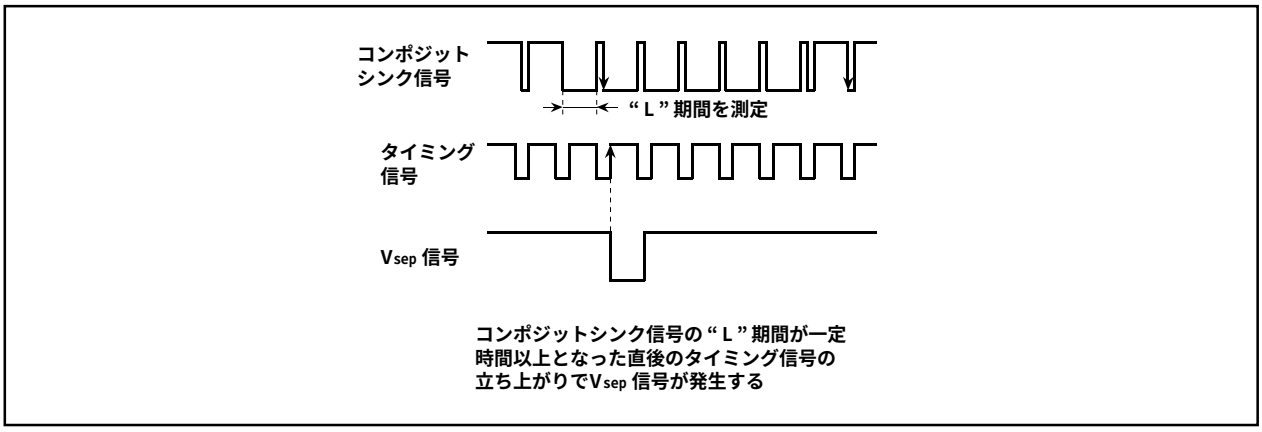


図2.14.6　Vsep発生タイミング（方法２）

2.14.5　タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ１（0260₁₆番地）のビット０を“１”に設定することによって動作します。

基準クロックはデータスライサの他にOSD機能の表示用クロックとしても使用できます。また、コンポジットシンク信号のかわりにHSYNC信号をカウントソースとすることもできます。ただし、HSYNC信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ１（0260₁₆番地）のビット２で選択できます。

HLF端子は、図2.14.1に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注．データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。
この期間，各種タイミング信号，Hsep信号，Vsep信号は不定となりますので，プログラム作成の際は，安定時間を考慮してください。

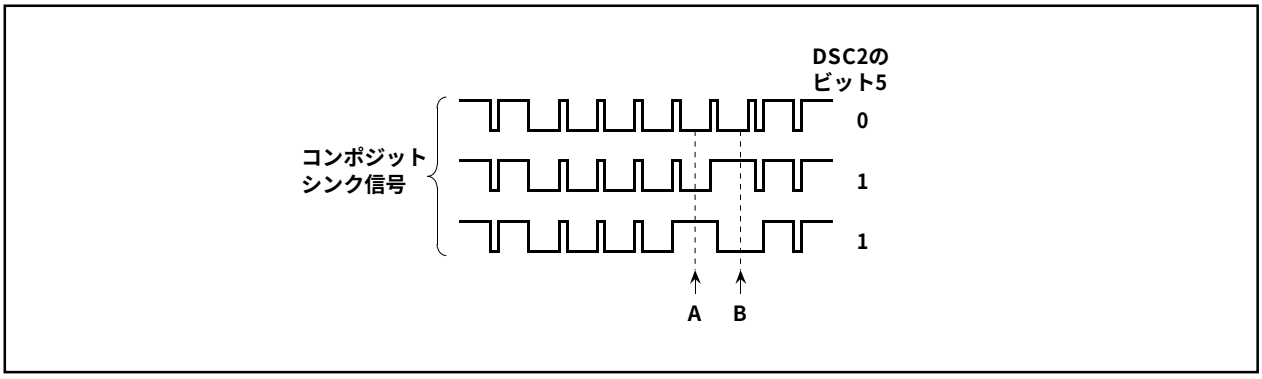


図2.14.7　Vパルス形状の判別

2.14.6　データスライスライン指定回路

(1)　データスライスラインの指定

キャプションデータが重畳されるラインを決定します。1フィールド中のライン21（固定）と任意の1ラインの計2ライン／1フィールド、F1／F2の両フィールドのデータスライスが可能です。各設定はキャプション位置レジスタ（0266$_{16}$番地）で行います（表2.14.1参照）。

Vsepの立ち下がりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット４～ビット0の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには“00$_{16}$”～“1F$_{16}$”の値が設定できます（任意の1ラインのみの設定時）。図2.14.8に垂直帰線期間中の信号を示します。キャプション位置レジスタを図2.14.9に示します。

(2)　スライス電圧を設定するラインの指定

どのラインのクロックランインに対して、スライス用の基準電圧（スライス電圧）を発生するかを表2.14.1に示します。スライス電圧を発生させるフィールドの指定はデータスライサ制御レジスタ1のビット1で設定します。1フィールド中のスライス電圧発生ラインは、キャプション位置レジスタのビット7、6で設定します（表2.14.1参照）。

(3)　フィールドの判別

データスライサ制御レジスタ2のビット3によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりのタイミングで変化します。

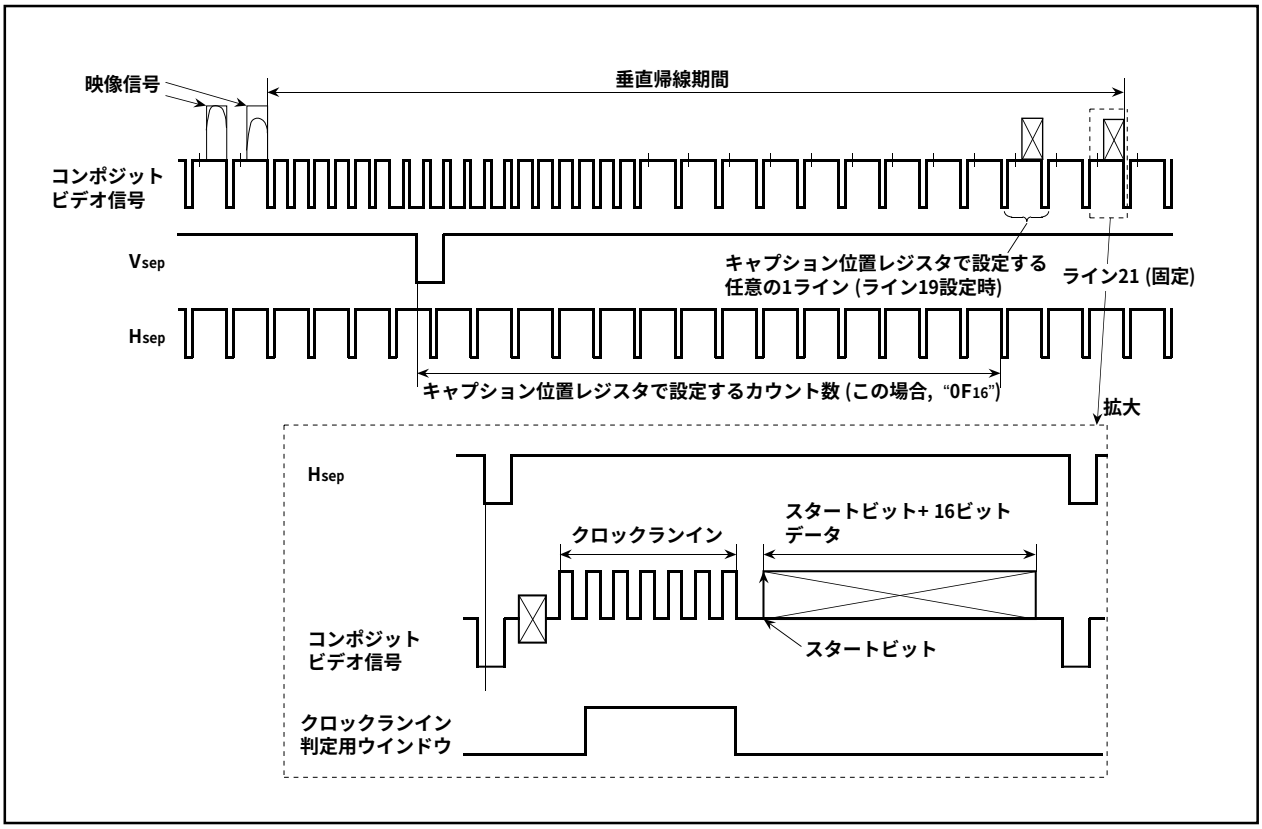


図2.14.8　垂直帰線期間中の信号

キャプション位置レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CPS	0266_{16}番地	$00?00000_2$

ビットシンボル	ビット名	機　　能	R	W
CPS0	キャプション位置ビット		○	○
CPS1			○	○
CPS2			○	○
CPS3			○	○
CPS4			○	○
CPS5	キャプションデータラッチ完了フラグ2	0：ｷｬﾌﾟｼｮﾝﾃﾞｰﾀﾗｯﾁ未完了，又はｸﾛｯｸﾗﾝｲﾝなし 1：ｷｬﾌﾟｼｮﾝﾃﾞｰﾀﾗｯﾁ完了，かつｸﾛｯｸﾗﾝｲﾝあり	○	×
CPS6	スライスラインモード指定ビット(1フィールド中)	対応表（表2.14.1）参照	○	○
CPS7			○	○

図2.14.9　キャプション位置レジスタ

表2.14.1　データスライスラインの指定

CPS		データスライスするフィールド・ライン	スライス電圧発生フィールド・ライン
ビット7	ビット6		
0	0	・F1/F2両フィールド ・ライン21とCPSのビット4～0で指定される1ライン（計2ライン）（注2）	・DSC1のビット1で指定されるフィールド ・ライン21（計1ライン）
0	1	・F1/F2両フィールド ・CPのビット4～0で指定される1ライン（計1ライン）（注3）	・DSC1のビット1で指定されるフィールド ・CPSのビット4～0で指定される1ライン（計1ライン）（注3）
1	0	・F1/F2両フィールド ・ライン21（計1ライン）	・DSC1のビット1で指定されるフィールド ・ライン21（計1ライン）
1	1	・F1/F2両フィールド ・ライン21とCPSのビット4～0で指定される1ライン（計2ライン）（注2）	・DSC1のビット1で指定されるフィールド ・ライン21とCPSのビット4～0で指定される1ライン（計2ライン）（注2）

注1. DSC1：データスライサ制御レジスタ1
　　CPS：キャプション位置レジスタ
2. CPSのビット4～0には“00_{16}”～“10_{16}”の値を設定してください。
3. CPSのビット4～0には“00_{16}”～“$1F_{16}$”の値を設定してください。

2.14.7　基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータに入力されます。

(1)　基準電圧発生回路

データスライスライン指定回路で指定されたラインにおけるクロックランインの振幅を用いて基準電圧（スライス電圧）を発生します。VHOLD端子とVSS間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

(2)　コンパレータ

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧（基準電圧）を比較し、コンポジットビデオ信号をデジタル値に変換します。

2.14.8　スタートビット検出回路

データスライスライン指定回路で決定したラインにおいてスタートビットを検出します。スタートビットの判定は以下のようになります。

①タイミング信号が出力する基準クロックを13分周したサンプリングクロックを生成します。
②そのサンプリングクロックを用いてクロックランインパルスを検出します。
③パルス検出後、サンプリングクロックでコンパレータ出力からスタートビットパターンを検出します。

2.14.9　クロックランイン判定回路

コンポジットビデオ信号中のウインドウ中でパルス数をカウントすることによってクロックランインであることを判定します。

また、クロックランインパルス1周期にカウントされる基準クロック数はクロックランイン検出レジスタ（0269$_{16}$番地）のビット７～ビット３に格納されます。これらのビットはデータスライサ割り込み（「(12)割り込み要求発生回路」）の発生後に読み出してください。

クロックランイン検出レジスタを図2.14.10に示します。

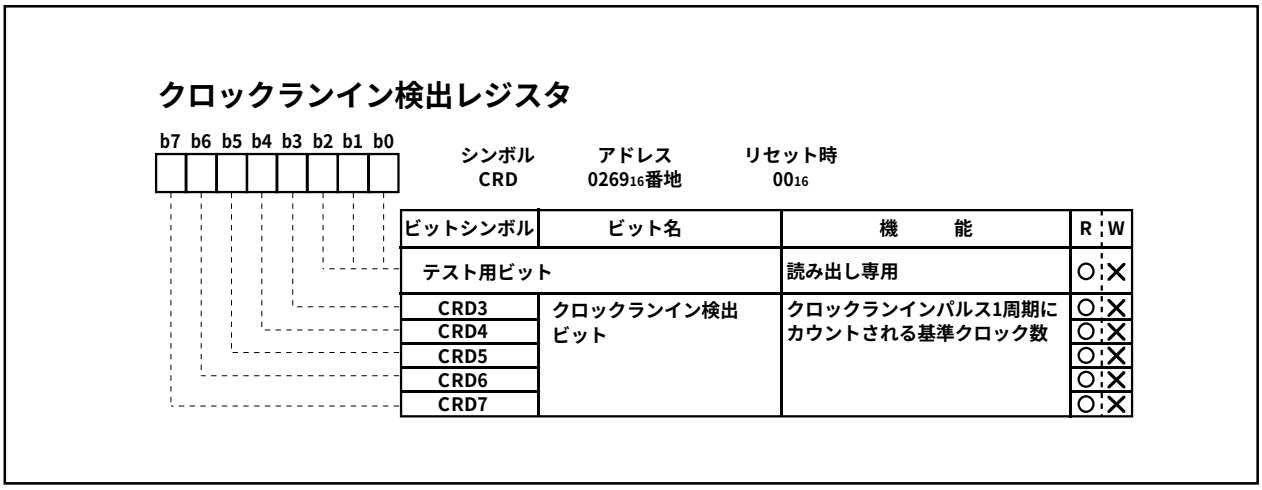


図2.14.10　クロックランイン検出レジスタ

2.14.10　データクロック発生回路

データクロック発生回路は、スタートビット検出回路で検出されたスタートビットに同期したデータクロックを発生します。データクロックはキャプションデータを16ビットシフトレジスタへ格納するためのクロックです。16ビットのデータが16ビットシフトレジスタへ格納され、かつクロックランイン判定回路でクロックランインありと判定された場合、キャプションデータラッチ完了フラグがセットされます。この完了フラグは垂直同期信号（Vsep）の立ち下がりで“0”にリセットされます。

データクロック位置レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X					

シンボル	アドレス	リセット時
DPS	$026A_{16}$番地	$XXX00001_2$

ビットシンボル	ビット名	機　　能	R	W
DPS0	データクロック位置設定ビット		○	○
DPS1			○	○
DPS2			○	○
DPS3			○	○
DPS4			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は“0”。			—	—

図2.14.11　データクロック位置レジスタ

2.14.11　16ビットシフトレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期して16ビットシフトレジスタに格納されます。格納されたキャプションデータは、キャプションデータレジスタ1（0263_{16}, 0262_{16}番地）、キャプションデータレジスタ2（0265_{16}, 0264_{16}番地）を読み出すことによってデータ内容を得ることができます。またこれらのレジスタはVsepの立ち下がりで“0”にリセットされます。キャプションデータレジスタ1, 2はデータスライサ割り込み（「2.14.12　割り込み要求発生回路」）発生後に読み出してください。

2.14.12　割り込み要求発生回路

キャプション位置レジスタ（026616番地）のビット7、ビット6の組み合わせによって表2.14.3に示すように割り込み要求が発生します。キャプションデータレジスタ1, 2の内容、及びクロックランイン検出レジスタのビット7～3の内容は、データスライサ割り込み要求発生後に読み出してください。

表2.14.2　キャプションデータラッチ完了フラグ，及び16ビットシフトレジスタ内容

ｽﾗｲｽﾗｲﾝの設定ﾓｰﾄﾞ		キャプションデータラッチ完了フラグの内容		16ビットシフトレジスタの内容	
CPS		完了フラグ1（DSC2のビット0）	完了フラグ2（CPSのビット5）	キャプションデータレジスタ1	キャプションデータレジスタ2
ビット7	ビット6				
0	0	ライン21	CPSのビット4～0で指定される1ライン	ライン21の16ビットデータ	CPSのビット4～0で指定される1ラインの16ビットデータ
0	1	CPSのビット4～0で指定される1ライン	無効	CPSのビット4～0で指定される1ラインの16ビットデータ	無効
1	0	ライン21	無効	ライン21の16ビットデータ	無効
1	1	ライン21	CPSのビット4～0で指定される1ライン	ライン21の16ビットデータ	CPSのビット4～0で指定される1ラインの16ビットデータ

CPS: キャプション位置レジスタ
DSC2: データスライサ制御レジスタ 2

表2.14.3　割り込み要求発生要因

キャプション位置レジスタ		データスライスライン終了時割り込み要求
ビット7	ビット6	
0	0	ライン21スライス後
0	1	キャプション位置レジスタビット4～0で指定される1ライン後
1	0	ライン21スライス後
1	1	ライン21スライス後

データスライサ予約レジスタi（i = 1, 2）

シンボル	アドレス	リセット時
DR1	026816番地	0016
DR2	026716番地	0016

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください	○	○

図2.14.12　データスライサ予約レジスタi（i=1, 2）

2.15 HSYNCカウンタ

HSYNCカウンタは、HSYNCカウント入力端子（HC0, HC1）から入力された信号をカウントソースとしてカウントします。

システムクロックf32を分周した一定時間（T時間＝1024 µs, 2048 µs, 4096 µs, 8192 µs,）のカウント値が、8ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウント値が“FF16”を越えた場合は、“FF16”がラッチに格納されます。

ラッチの値は、HSYNCカウンタラッチ（027F16番地）を読み出すことによって得ることができます。カウントソース及びカウント更新周期（T時間）は、同期信号カウンタレジスタのビット0, ビット3, ビット4によって選択します。

図2.15.1にHSYNCカウンタレジスタを、図2.15.2にHSYNCカウンタのブロック図を示します。

注. HSYNCカウンタを使用する場合、HSYNCカウント入力端子に対応するポート方向レジスタを入力に設定してください。

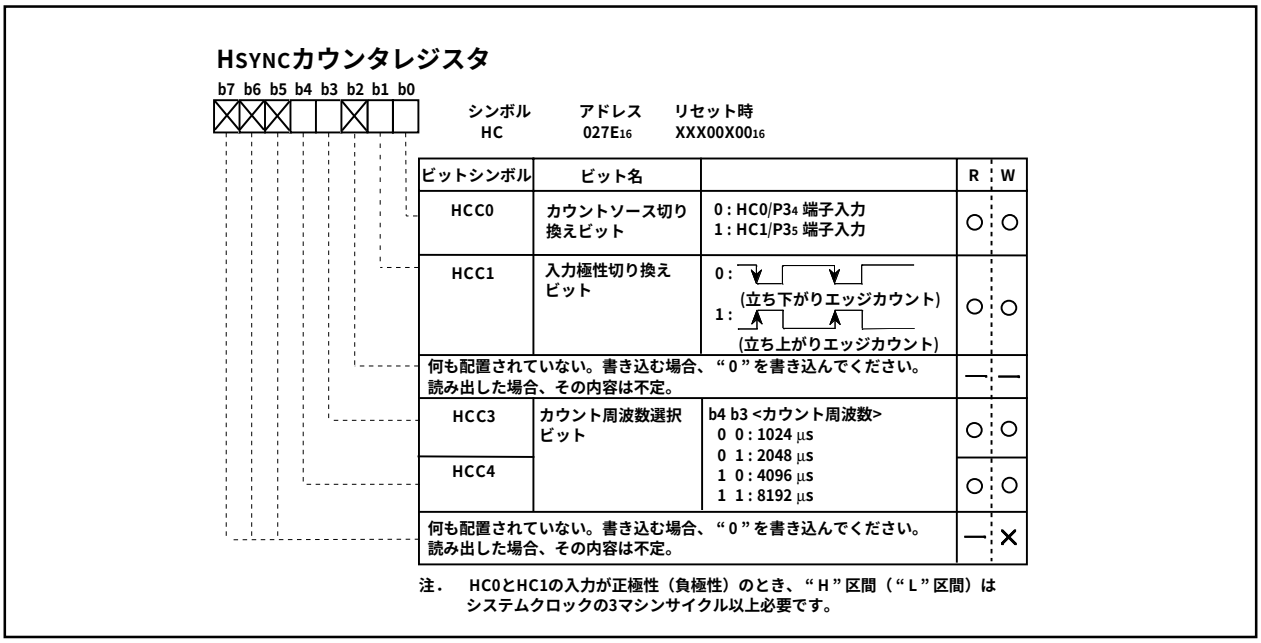


図2.15.1 HSYNCカウンタレジスタ

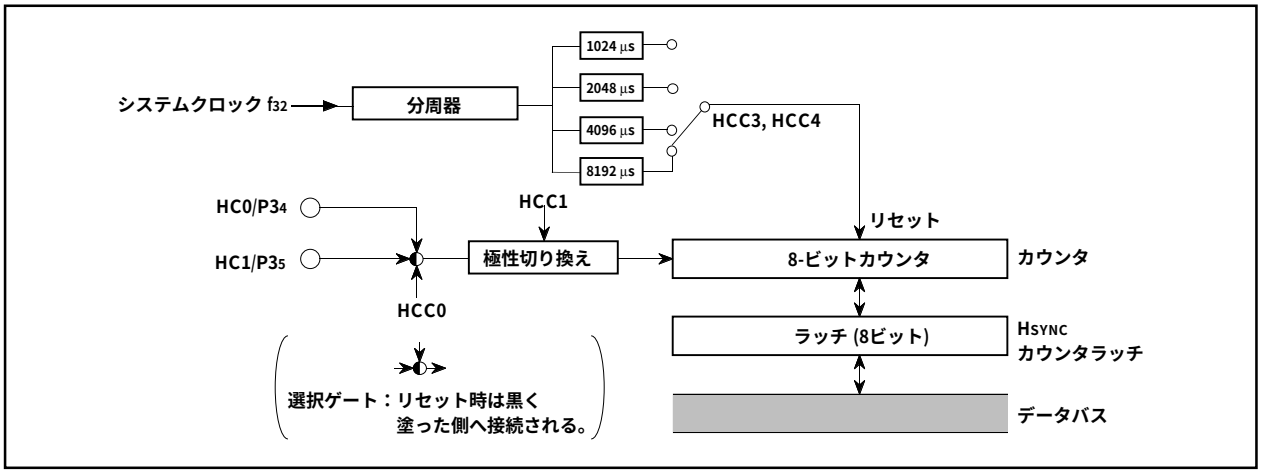


図2.15.2 HSYNCカウンタのブロック図

2.16 OSD機能

OSD機能の概要を表2.16.1に示します。OSD機能には、32文字×16行又は42文字×16行が画面単位に選択できるブロック表示と、1文字のスプライト表示があり、それらは同時に表示できます。さらにブロック表示は、ブロックコントロールレジスタi（i = 1～16）によって、ブロック単位に3つの表示モードが選択できます。各表示の特長を下図に示します。

注．　OSD機能使用時、BCLKの動作モードは“分周なしモード”を選択し、またメインクロック周波数を f(XIN) = 10MHzにしてください。

表2.16.1　各表示スタイルの特長

表示スタイル / 項目		ブロック表示					スプライト表示
		CCモード (ｸﾛｰｽﾞﾄﾞｷｬﾌﾟｼｮﾝﾓｰﾄﾞ)	OSDモード (オンスクリーンディスプレイモード)			CDOSDモード (ｶﾗｰﾄﾞｯﾄｵﾝｽｸﾘｰﾝﾃﾞｨｽﾌﾟﾚｲﾓｰﾄﾞ)	
			OSDSﾓｰﾄﾞ	OSDPﾓｰﾄﾞ	OSDLﾓｰﾄﾞ		
表示文字数		32文字×16行／42文字×16行					1文字×2行
ドット構成		16×20ドット (文字表示領域は16×26ﾄﾞｯﾄ)		16×20ﾄﾞｯﾄ 12×20ﾄﾞｯﾄ 8×20ﾄﾞｯﾄ 4×20ﾄﾞｯﾄ	24×32ﾄﾞｯﾄ	16×26ドット	32×20ドット
文字ROM種類	OSDL許可ﾓｰﾄﾞ	254種類			254種類	126種類	RAMフォント2種類
	OSDL禁止ﾓｰﾄﾞ	508種類	254種類		――		
文字サイズ(注1)		4種類	14種類	12種類		14種類	8種類
	プリ分周比	1倍, 2倍	1倍, 2倍, 3倍				1倍, 2倍
	ドットサイズ	1Tc×1/2H, 1Tc×1H	1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H		1Tc×1/2H, 1Tc×1H, 1.5Tc×1/2H, 1.5Tc×1H, 2Tc×2H, 3Tc×3H	1Tc×1/2H, 1Tc×1H, 2Tc×1H, 2Tc×2H
アトリビュート		スムーズイタリック, アンダーライン, フラッシュ(点滅)	フチドリ		――		
キャラクタフォント着色		1画面8種類(文字単位) 最大512種類	1画面16種類(文字単位) 最大512種類			1画面16種類 (ドット単位) (指定ドットのみ文字単位に着色可能) 最大512種類	1画面16種類 (ドット単位) 最大512種類
文字背景着色		可能 (文字単位, 1画面4種類, 最大512種類)	可能 (文字単位, 1画面16種類, 最大512種類)			――	
表示レイヤ		レイヤ1	レイヤ1, 2	レイヤ1	レイヤ1, 2		レイヤ3(最優先表示)
OSD出力(注2)		アナログR, G, B出力(各8階調512色), デジタルOUT1, OUT2出力					
ラスター着色		可能(画面単位, 最大512種類)					
他機能(注3)		ｵｰﾄｿﾘｯﾄﾞｽﾍﾟｰｽ機能	トリプルレイヤOSD機能, ウインドウ機能 , ブランク機能				
拡張表示(多行表示)		可能					

注1.　文字サイズはドットサイズとプリ分周比によって指定します。「2.16.3　ドットサイズ」を参照してください。
2.　スプライト表示はOUT2を出力しません。
3.　スプライト表示では、ウインドウ機能は動作しません。

OSD回路には拡張表示モードがあり、１行表示するごとに割り込みをかけ、ソフトウエアで表示の終了したブロックのデータを書き替えることにより、16行以上の多行表示を行うことができます。

図2.16.1に各表示スタイルの表示可能なフォントを、図2.16.2にOSD回路のブロック図を示します。また、図2.16.3にOSDコントロールレジスタ1を、図2.16.4にブロックコントロールレジスタiを示します。

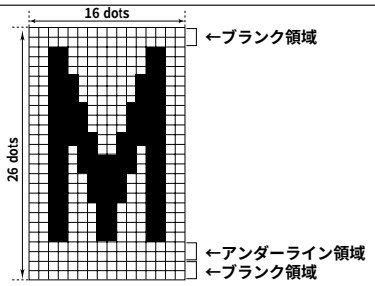
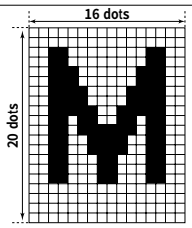
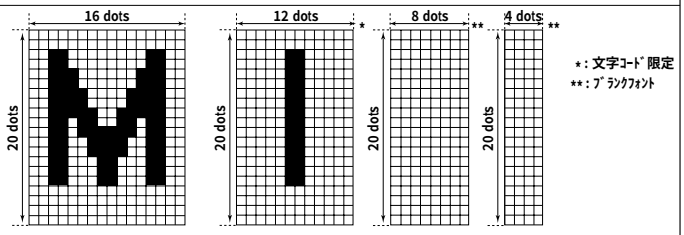
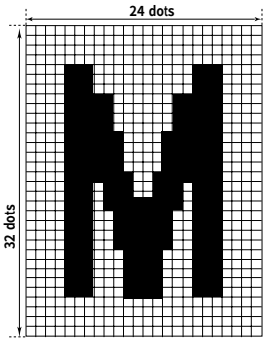
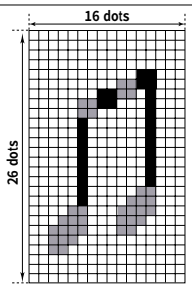
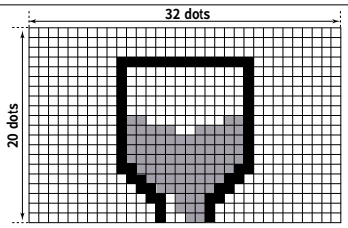
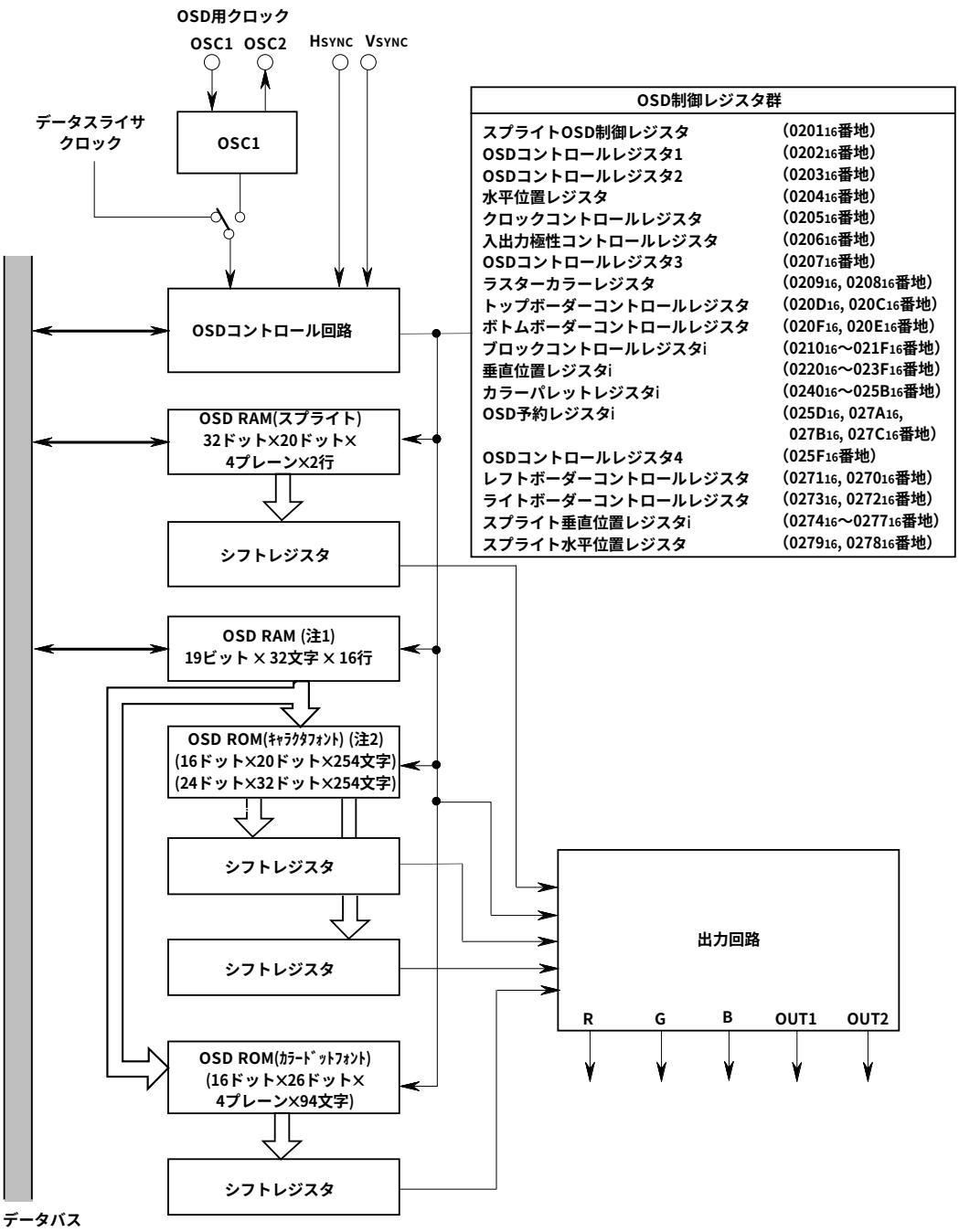
表示スタイル	表示可能なフォント
CCモード	
OSDSモード	
OSDPモード	
OSDLモード	
CDOSDモード	
スプライト	

図2.16.1　各表示スタイルの表示可能なフォント



注1. 42文字コード時は19ビット×42文字×16行。
2. OSDL禁止モード時は16ドット×20ドット×762文字。

図2.16.2 OSD回路ブロック図

OSDコントロールレジスタ1

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
OC1	0202_{16}	00_{16}

ビットシンボル	ビット名	機　　能	R	W
OC10	OSD制御ビット（注1）	0：全ﾌﾞﾛｯｸ及びｽﾌﾟﾗｲﾄ表示OFF 1：全ﾌﾞﾛｯｸ及びｽﾌﾟﾗｲﾄ表示ON	○	○
OC11	スキャンモード選択ビット	0：ノーマルスキャンモード 1：バイスキャンモード	○	○
OC12	フチドリタイプ選択ビット	0：全周囲フチドリ 1：シャドウフチドリ（注2）	○	○
OC13	フラッシュモード選択ビット	0：文字背景部の色信号はフラッシュしない 1：文字背景部の色信号はフラッシュする	○	○
OC14	オートソリッドスペース制御ビット	0：OFF 1：ON	○	○
OC15	縦ウインドウ／ブランク制御ビット	0：OFF 1：ON	○	○
OC16	レイヤミキシング制御ビット（注3）	b7　b6 0　0：ﾚｲﾔ1のｶﾗｰとﾚｲﾔ2のｶﾗｰをOR合成 0　1：ﾚｲﾔ1のｶﾗｰ優先 1　0：ﾚｲﾔ2のｶﾗｰ優先 1　1：設定禁止	○	○
OC17			○	○

注1.　表示中切り替えても，表示画面は次のV_{SYNC}の立ち上がり(立ち下がり)まで変化しません。
2.　フォントの右側と下側に出力されます。
3.　OUT2はこれらのビットの値にかかわらず、常にOR合成されます。

図2.16.3　OSDコントロールレジスタ1

ブロックコントロールレジスタi

b7	b6	b5	b4	b3	b2	b1	b0
X							

シンボル	アドレス	リセット時
BCi(i=1～16)	0210_{16}～$021F_{16}$	不定

ビットシンボル	ビット名	機能						R	W
BCi_0	表示モード選択ビット	b2	b1	b0	機能			○	○
		0	0	0	表示OFF				
		0	0	1	OSDSﾓｰﾄﾞ(フチドリ無)				
BCi_1		0	1	0	CCﾓｰﾄﾞ			○	○
		0	1	1	CDOSDﾓｰﾄﾞ				
		1	0	0	OSDPﾓｰﾄﾞ(フチドリ無)				
BCi_2		1	0	1	OSDSﾓｰﾄﾞ(フチドリ有)			○	○
		1	1	0	OSDPﾓｰﾄﾞ(フチドリ有)				
		1	1	1	OSDLﾓｰﾄﾞ				
BCi_3	ドットサイズ選択ビット	b6	b5	b4	b3	ﾌﾟﾘ分周比	ドットサイズ	○	○
		0	0	0	0	1倍	1Tc×1/2H		
				0	1		1Tc×1H		
				1	0		2Tc×2H		
				1	1		3Tc×3H		
BCi_4		0	1	0	0	2倍	1Tc×1/2H	○	○
				0	1		1Tc×1H		
				1	0		2Tc×2H		
				1	1		3Tc×3H		
BCi_5	プリ分周比選択ビット	1	1	0	0		1.5Tc×1/2H(注3, 4)	○	○
				0	1		1.5Tc×1H(注3, 4)		
BCi_6		1	0	0	0	3倍	1Tc×1/2H	○	○
				0	1		1Tc×1H		
				1	0		2Tc×2H		
				1	1		3Tc×3H		
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は不定。								–	–

注1. Tc：プリ分周したOSD用クロック周期
2. H：HSYNC
3. この文字サイズはレイヤ2でのみ選択可能です。このときレイヤ1は、プリ分周比を2倍、水平ドットサイズを1Tcにしてください。
4. OSDLモード、OSDPモードでは1.5Tcサイズは使用できません。

図2.16.4　ブロックコントロールレジスタi (i = 1～16)

2.16.1　トリプルレイヤOSD

チャンネルやボリュームなどの表示、クローズドキャプション、及びスプライト表示を3重に重ねて表示できるように、レイヤ1からレイヤ3の3層の表示面を備えています。

各ブロックをどのレイヤに表示するかは、表示モード単位にOSDコントロールレジスタ2のビット0及びビット1で選択します（図2.16.7参照）。レイヤ3には、常にスプライトが表示されます。

レイヤ1のブロックとレイヤ2のブロックが重なった場合、OSDコントロールレジスタ1のビット7及びビット6で指定されるレイヤミキシングによって、画面が合成されます（図2.16.5参照）。レイヤ3は常にレイヤ1, レイヤ2に優先して表示されます。

注1.　レイヤ1とレイヤ2のミキシングを行う場合、表2.16.2の制限事項に注意してください。
2.　OSDPモードは常にレイヤ1に表示されます。また、レイヤ2のブロックと重ねて表示することはできません。
3.　OUT2はOSDコントロールレジスタ1のビット6、ビット7の値にかかわらず、常にOR合成されます。また、OUT2（レイヤ1又はレイヤ2）はスプライト表示（レイヤ3）と重なった場合でも、マスクされずに出力されます。

表2.16.2　レイヤ1とレイヤ2のミキシングを行う場合の制限事項

項目＼ブロック	レイヤ1のブロック	レイヤ2のブロック	
表示モード	CC，OSDS/L，CDOSDモード	OSDS/L，CDOSDモード	
プリ分周比	1倍，2倍(CCモード時) 1倍～3倍(OSD，CDOSDモード時)	レイヤ1と同一	
ドットサイズ	1Tc×1/2H，1Tc×1H （CCモード時）	プリ分周比1倍時	プリ分周比2倍時
		1Tc×1/2H 1Tc×1H	1Tc×1/2H, 1.5Tc×1/2H 1Tc×1H, 1.5Tc×1H
	1Tc×1H，1Tc×1/2H， 2Tc×2H，3Tc×3H （OSDS/L，CDOSDモード時）	・レイヤ1と同一サイズ ・レイヤ1のプリ分周比＝2倍、かつレイヤ1の水平ドットサイズ＝1Tc時に限り、水平ドットサイズ1.5Tcが選択可能。このとき、垂直ドットサイズはレイヤ1と同一サイズ	
水平表示開始位置	任意	レイヤ1と同一位置	
垂直表示開始位置	任意 ただし、ドットサイズが2Tc×2H, 3Tc×3Hの場合は、レイヤ1とレイヤ2の垂直表示開始位置の差を以下のように設定してください。 ・2Tc×2H：2H単位 ・3Tc×3H：3H単位		

注.　OSDLモードでは1.5Tcサイズは使用できません。

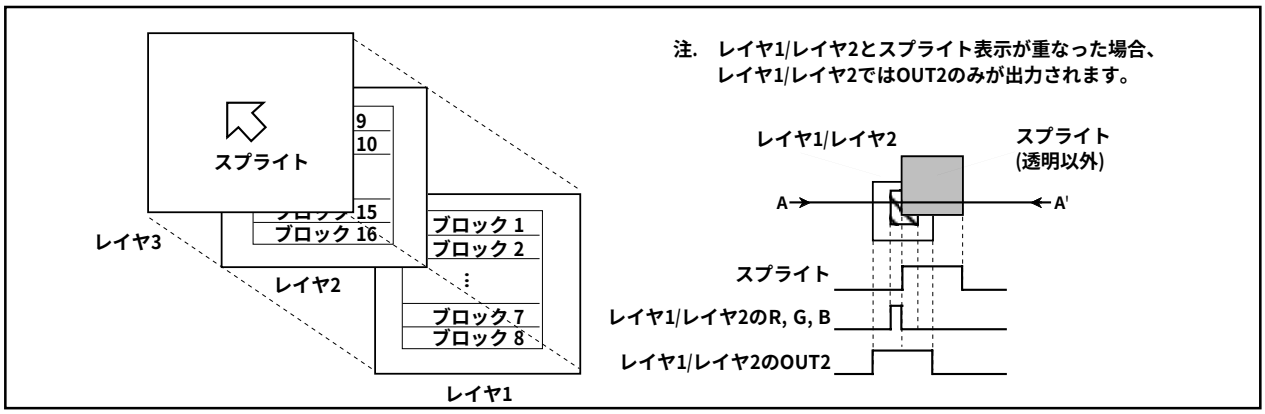
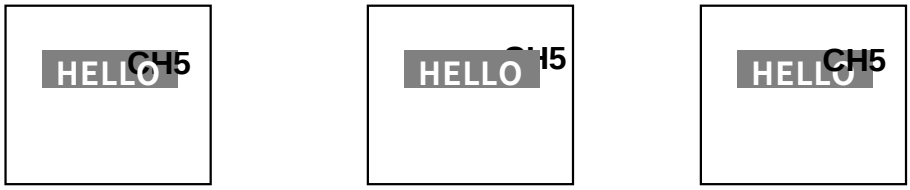


図2.16.5　トリプルレイヤOSD

レイヤ1に“ HELLO ”，レイヤ2に“ CH5 ”を表示した例



レイヤ1とレイヤ2のカラーをOR合成(注)	レイヤ1のカラー優先	レイヤ2のカラー優先
OC17=“ 0 ”, OC16=“ 0 ”	OC17=“ 0 ”, OC16=“ 1 ”	OC17=“ 1 ”, OC16=“ 0 ”

注. レイヤミキシングのOR合成は、カラーパレットレジスタの内容（色）ではなく、カラーパレットレジスタNO.（i）が OR合成されます。例えば、カラーパレット1と4をOR合成すると、NO.1(0001_2)と、NO.4(0100_2)がOR合成され、 NO. は NO.5（0101_2）となります。つまり、カラーパレットレジスタ5の内容（色）が出力されます。OR合成部分は,カラーパレットレジスタ1、4の色に関係なく、カラーパレットレジスタ5の色が出力されます。

図2.16.6　レイヤミキシングOSD表示例

OSDコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
OC2	0203_{16}	00_{16}

ビットシンボル	ビット名	機　　能				R	W
		b1	b0	レイヤ1	レイヤ2		
OC20	表示レイヤ選択ビット	0	0	CC, OSDS/L/P, CDOSD	——	○	○
		0	1	CC, OSDS/L/P	CDOSD		
OC21		1	0	CC, OSDP, CDOSD	OSDS/L	○	○
		1	1	CC, OSDP	CDOSD OSDS/L		
OC22	R, G, B信号出力選択ビット	0：デジタル出力 1：アナログ出力（8階調）				○	○
OC23	ソリッドスペース出力ビット	0：OUT1出力 1：OUT2出力				○	○
OC24	横ウインドウ／ブランク制御ビット	0：動作しない 1：動作する				○	○
OC25	ウインドウ／ブランク選択ビット1(横)	0：横ブランク機能 1：横ウインドウ機能				○	○
OC26	ウインドウ／ブランク選択ビット2(縦)	0：縦ブランク機能 1：縦ウインドウ機能				○	○
OC27	OSD割り込み要求選択ビット	0：レイヤ1のブロック表示終了時 1：レイヤ2のブロック表示終了時				○	○

図2.16.7　OSDコントロールレジスタ2

2.16.2　表示位置

文字の表示位置はブロック単位で指定します。

ブロックはブロック1～ブロック16まで16あり、1つのブロックには最大32文字（32文字モード時）／42文字（42文字モード時）まで表示できます（後述「2.16.6　OSD用メモリ」を参照してください）。

各ブロックの表示位置は水平方向、垂直方向ともソフトウエアによって設定できます。

水平方向は全ブロック共通で4TOSC（TOSC：OSD発振周期）単位で256段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに1TH（TH：水平同期信号周期）単位で1024段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

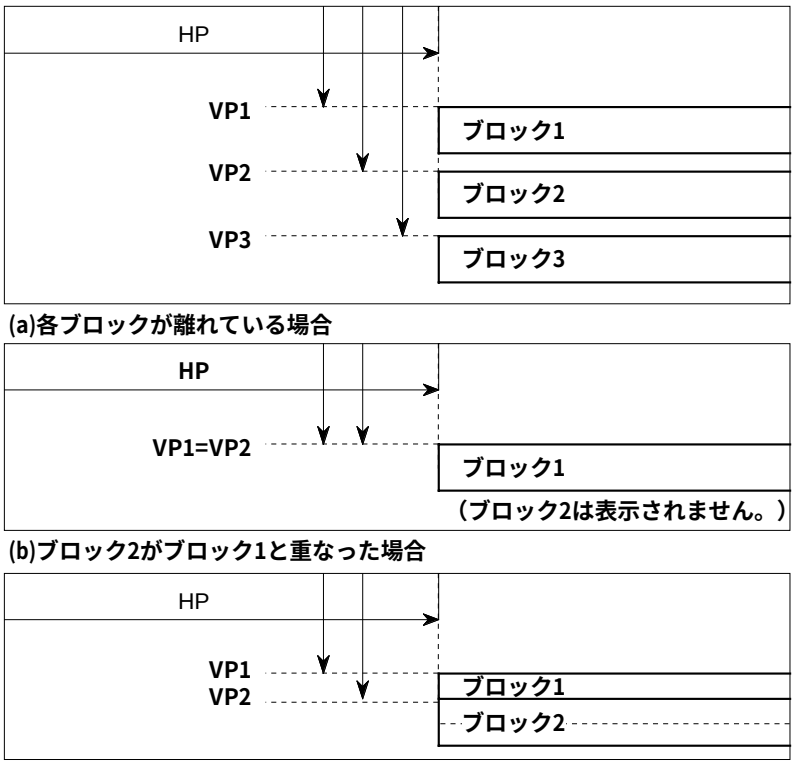
●同レイヤ内で表示位置が他のブロックと重なった場合（図2.16.8の(b)）、ブロック番号（1～16）の若い（小さい）が前面に表示されます。

●同レイヤ内で１つのブロック表示中に、他のブロックの表示開始位置がきた場合（図2.16.8の(c)は垂直表示開始位置の設定値が大きい方が表示されます。ただし、ドットサイズが2Tc×2Hと3Tc×3Hのブロックは他のブロックの表示期間中＊に表示させないでください。

＊OSDS／Pモードブロックの場合：垂直表示開始位置から垂直20ドット

＊OSDLモードブロックの場合：垂直表示開始位置から垂直32ドット

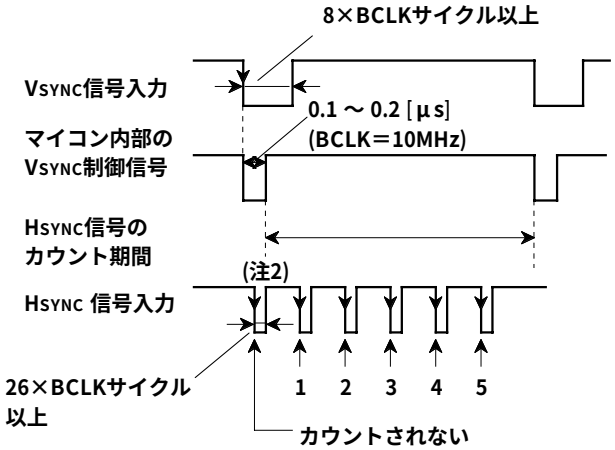
＊CC・CDOSDモードブロックの場合：垂直表示開始位置から垂直26ドット



注.　VPi（i=1～16）：表示ブロックiの垂直表示開始位置を示します。

図2.16.8　表示位置

垂直方向の表示位置は水平同期信号（HSYNC）をカウントすることによって確定されます。この際、VSYNC、HSYNC信号が正極性（負極性）入力の場合VSYNC信号の立ち上がり（立ち下がり）エッジから一定期間後にHSYNC信号の立ち上がり（立ち下がり）エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC信号の立ち上がり（立ち下がり）エッジからHSYNC信号の立ち上がり（立ち下がり）エッジまでの間隔は充分（2×BCLK以上）とるようにしてください。HSYNC信号及びVSYNC信号の極性は、入出力極性コントロールレジスタ（0206$_{16}$番地）によって正極性、負極性のいずれかを選択できます。



入出力極性コントロールレジスタ(0206$_{16}$番地)のビット0，ビット1が"1"(負極性) の場合

注1. 垂直位置はマイコン内部のVSYNC制御信号の立ち上がり後に，HSYNCの立ち下がりエッジをカウントすることで決まります。
2. ジッタ対策として，マイコン内部のVSYNC制御信号の立ち上がりエッジの付近にはHSYNCの立ち下がりエッジがこないようにしてください。
3. HSYNCのパルス幅は26×BCLKサイクル以上にしてください(BCLK＝10 MHz)。

図2.16.9　表示位置補足説明

垂直位置はブロックごとに垂直位置レジスタi（i＝1～16）（0220_{16}～$023F_{16}$番地）に“002_{16}”～“$3FF_{16}$”の値を設定することにより、1024段階（1段階あたり1T_H（T_H：水平同期信号周期））の設定ができます。図2.16.10に垂直位置レジスタi（i=1～16）を示します。

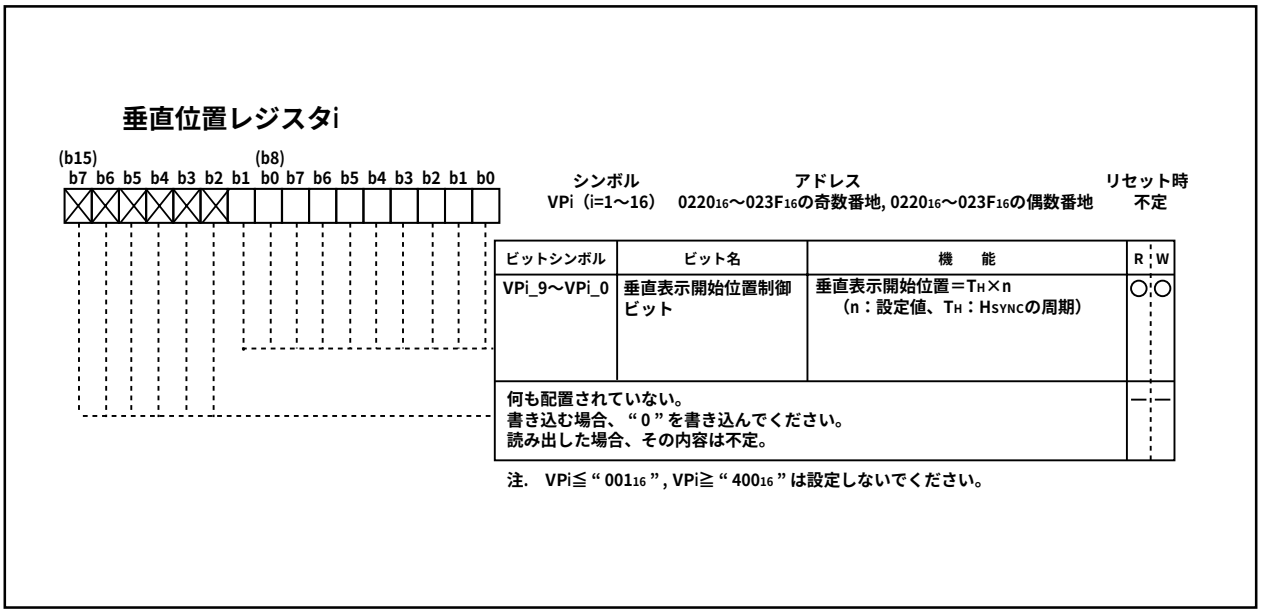


図2.16.10　垂直位置レジスタi (i = 1～16)

水平位置は全ブロック共通で、水平位置レジスタ（0204_{16}番地）のビット0～ビット7に“00_{16}”～“FF_{16}”の値を設定することにより、256段階（１段階あたり4T_{OSC}（T_{OSC}：OSD発振周期）の設定ができます。図2.16.11に水平位置レジスタを示します。

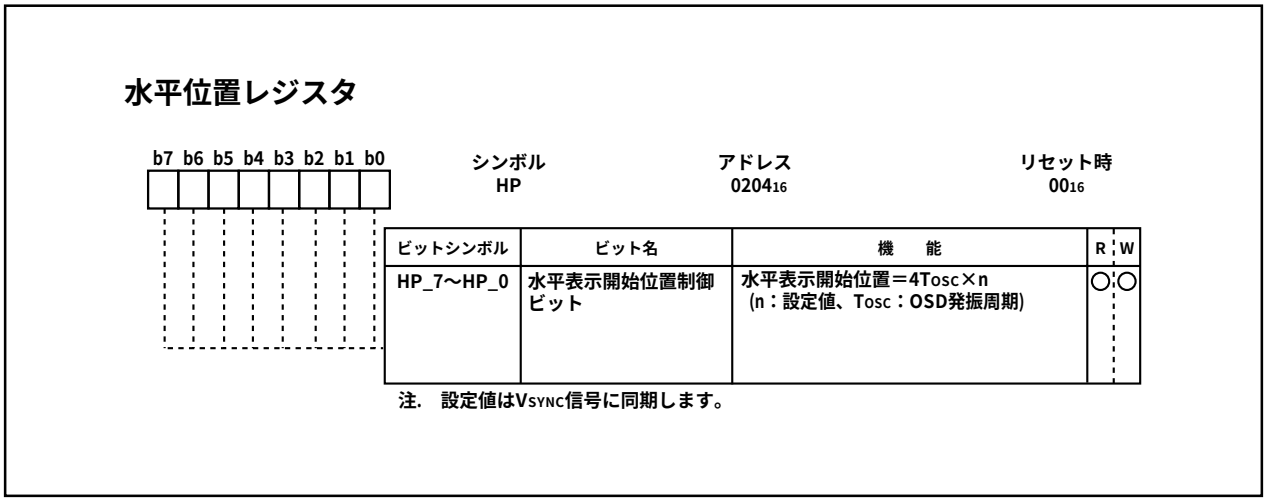


図2.16.11　水平位置レジスタ

注．水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、1Tc（Tc：プリ分周したOSD用クロック周期）の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。
通常この差は、文字サイズにかかわらず、常に1Tcですが、プリ分周比2倍で文字サイズ1.5Tcを選択した場合に限り、この差は1.5Tcとなります。

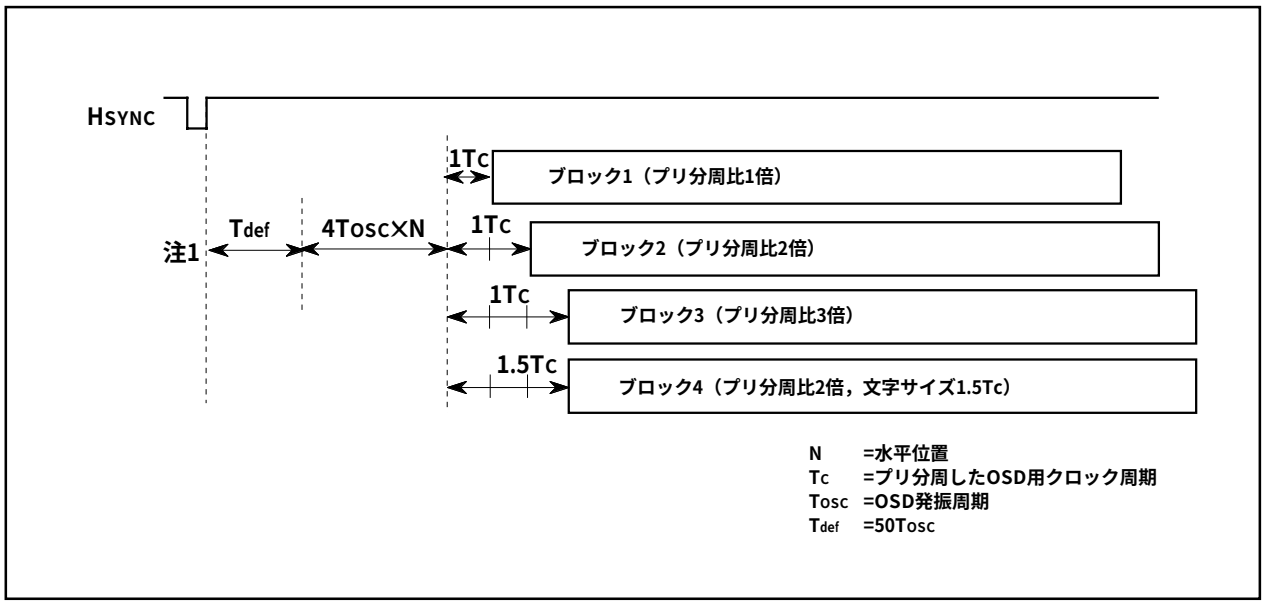


図2.16.12　水平表示開始位置の注意点

2.16.3　ドットサイズ

表示するドットの大きさはブロック単位に選択できます。垂直方向のドットサイズは、HSYNCを垂直ドットサイズコントロール回路で分周することによって決定されます。水平方向のドットサイズは、OSD用クロックソース（データスライサクロック, OSC1）をプリ分周回路で分周したクロックを水平ドットサイズコントロール回路で分周することによって決定されます。プリ分周回路で分周されたクロックの周期を1TCと定義します。

ドットサイズは、ブロックコントロールレジスタiのビット3～ビット6によって指定します。ブロックコントロールレジスタiは図2.16.4、クロックコントロールレジスタは図2.16.15を参照してください。図2.16.13にドットサイズ制御回路のブロック図を示します。

注1.　CCモード時、プリ分周比＝3倍は使用できません
2.　レイヤ2のプリ分周比は、レイヤ1のプリ分周比と同一になるように、ブロックコントロールレジスタiを設定してください。
3.　バイスキャンモード時、垂直方向のドットサイズはノーマルスキャンモード時の2倍となります。スキャンモードについては、後述「2.16.18　スキャンモード」を参照してください。

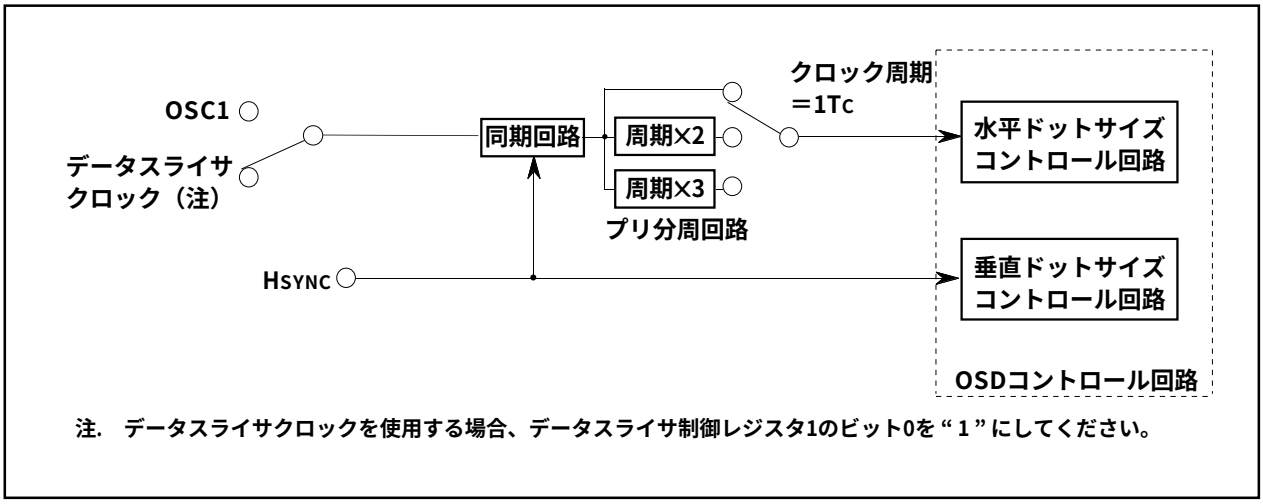


図2.16.13　ドットサイズ制御回路のブロック図

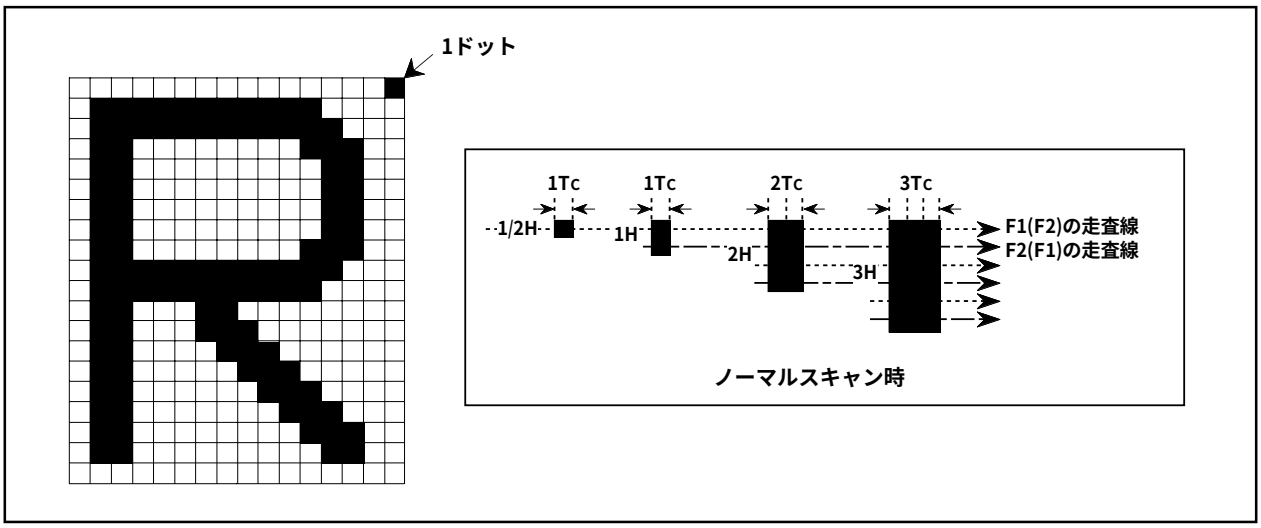


図2.16.14　ドットサイズの定義

2.16.4　OSD用クロック

OSDに使用するクロックは、以下の3種類の中から選択することができます。

・データスライサから出力されるデータスライサクロック（約26MHz）
・OSC1，OSC2端子から供給されるLC発振子からのクロック
・OSC1，OSC2端子から供給されるセラミック共振子（又は水晶発振子）からのクロック

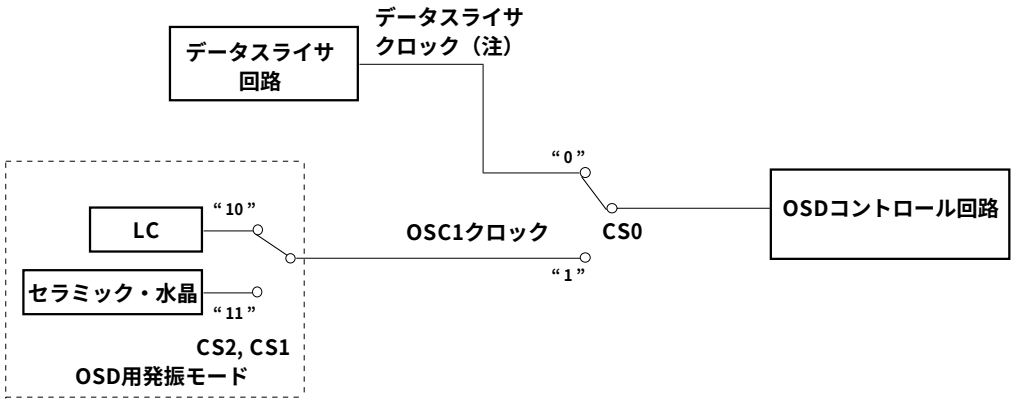
クロックコントロールレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0			

シンボル CS　アドレス 0205_{16}　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
CS0	クロック選択ビット	0：データスライサクロック 1：OSC1クロック	○	○
CS1	OSC1発振モード選択ビット	b2 b1 0 0：発振停止 0 1：設定禁止 1 0：LC発振モード 1 1：セラミック・水晶発振モード	○	○
CS2			○	○
予約ビット		必ず“0”を設定してください	○	○

図2.16.15　クロックコントロールレジスタ



注.　データスライサクロックを使用する場合、データスライサ制御レジスタ1のビット0を“1”にしてください。

図2.16.16　OSD用クロックの選択回路のブロック図

2.16.5　フィールド判別表示

垂直ドットサイズ＝1/2Hのブロックの表示は、インターレイス方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1（図2.16.18参照）を交互に表示します。

以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち下がりエッジからマイコン内部のVSYNC制御信号（図2.16.9を参照）の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のVSYNC制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ（入出力極性コントロールレジスタ；0206$_{16}$番地のビット7）で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます（図2.16.18参照）。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

入出力極性コントロールレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
				0			

シンボル	アドレス	リセット時
PC	0206$_{16}$	1000X000$_2$

ビットシンボル	ビット名	機　　能	R	W
PC0	HSYNC入力極性切り替えビット	0：正極性入力 1：負極性入力	○	○
PC1	VSYNC入力極性切り替えビット	0：正極性入力 1：負極性入力	○	○
PC2	R/G/B出力極性切り替えビット	0：正極性出力 1：負極性出力	○	○
予約ビット		必ず“0”を設定してください	○	○
PC4	OUT1出力極性切り替えビット	0：正極性出力 1：負極性出力	○	○
PC5	OUT2出力極性切り替えビット	0：正極性出力 1：負極性出力	○	○
PC6	表示ドットライン選択ビット（注）	0：偶数フィールド時は □ 奇数フィールド時は ▨ 1：偶数フィールド時は ▨ 奇数フィールド時は □	○	○
PC7	フィールド判別フラグ（注）	0：偶数フィールド 1：奇数フィールド	○	×

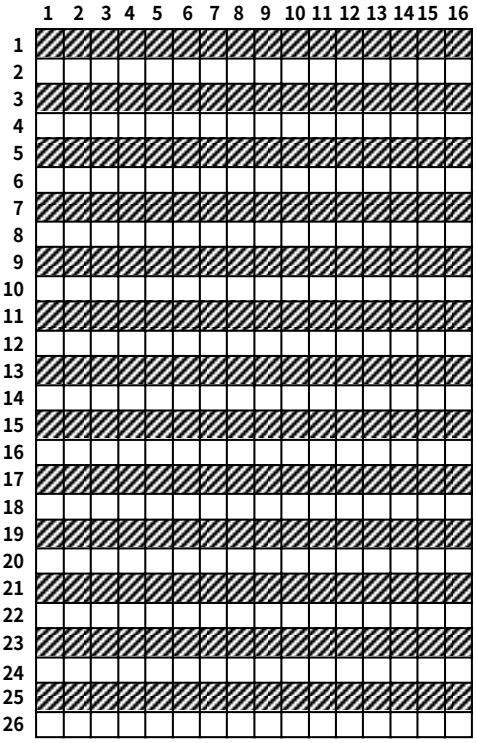
注.　対応図（図2.16.18）参照。

図2.16.17　入出力極性コントロールレジスタ

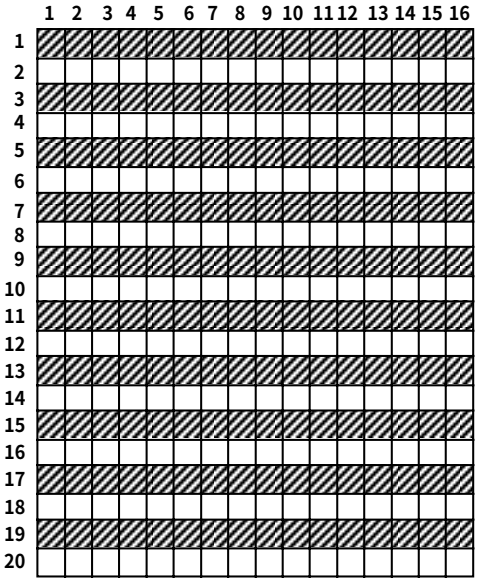
HSYNC信号, VSYNC信号共に負極性入力の場合

		フィールド	フィールド判別フラグ(注)	表示ドットライン選択ビット	表示ドットライン
HSYNC					
VSYNCとマイコン内部のVSYNC制御信号	(n−1)フィールド(奇数) T1 0.5〜0.1[μs] f(BCLK)=10MHz時	奇数			
上：VSYNC信号 下：マイコン内部のVSYNC制御信号	(n)フィールド(偶数) T2	偶数	0 (T2 > T1)	0	ドットライン1 □
				1	ドットライン0 ▨
	(n+1)フィールド(奇数) T3	奇数	1 (T3 < T2)	0	ドットライン0 ▨
				1	ドットライン1 □

フィールド判別フラグを使用する場合, ペリフェラルモードレジスタ（027D16番地）のビット7をメインクロック周波数に従って設定してください。



CCモード・CDOSDモード



OSDSモード

例. 表示ドットライン選択ビット＝“0”の場合, 偶数フィールド時□のフォント, 奇数フィールド時▨のフォントを表示します。また, 入出力極性コントロールレジスタのビット7には, フィールド判別フラグとして, 奇数フィールド時“1”が, 偶数フィールド時“0”が読み出されます。

OSD用ROMフォント構成図

注. フィールド判別フラグはマイコン内部のVSYNC制御信号（負極性入力）の立ち上がりのタイミングで変化します。

図2.16.18　フィールド判別フラグと表示フォントの関係

2.16.6　OSD用メモリ

OSD用メモリは、文字のドットデータを格納するOSD ROM（90000_{16}～$AFFFF_{16}$番地）と、表示する文字種類、色、及びスプライト表示を指定するOSD RAM（0400_{16}～$13FF_{16}$番地）の2種類があります。以下、別々に説明します。

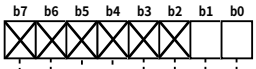
(1)OSD ROM（90000_{16}～$AFFFF_{16}$番地）

OSD ROMのキャラクタフォントエリアにはキャラクタフォントデータを、同ROMのカラードットフォントエリアにはCDフォントデータを格納します。表示キャラクタフォント及びCDフォント種類の指定は、それらの文字コードをOSD RAMに書き込んで行います。

キャラクタフォントの構成は、16×20ドットフォントと24×32ドットフォントが混在するOSDL許可モードと、16×20ドットフォントのみのOSDL禁止モードがあります。OSDL許可／禁止モードの選択は、画面単位にOSDコントロールレジスタ4のビット0で行います。

OSDL許可／OSDL禁止モードそれぞれのキャラクタフォントデータの格納アドレスを図2.16.20、図2.16.21に示します。また、OSDL許可／禁止モード別の制約事項を図2.16.22に示します。CDフォントデータの格納アドレスを図2.16.23に示します。

OSDコントロールレジスタ4



シンボル	アドレス	リセット時
OC4	$025F_{16}$	$XXXXX00_2$

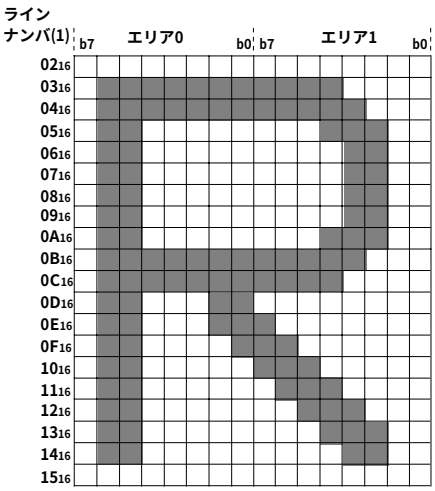
ビットシンボル	ビット名	機　能	R	W
OC40	OSDLモード選択ビット	0 : OSDL許可モード 1 : OSDL禁止モード	○	○
OC41	水平表示文字数選択ビット	0 : 各ブロック32文字 (32文字モード) 1 : 各ブロック42文字 (42文字モード)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—

図2.16.19　OSDコントロールレジスタ4

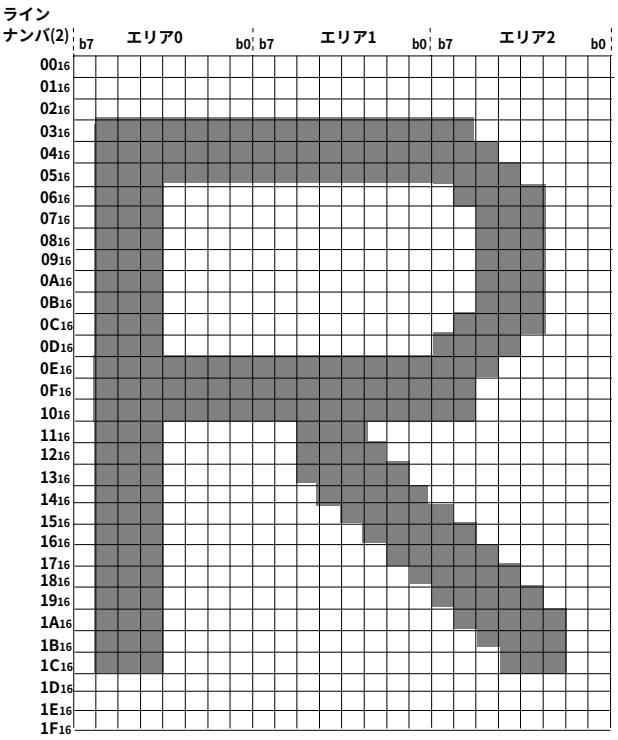
キャラクタフォントデータのOSD ROMアドレス（OSDL許可モード）

フォント種類 ＼ OSD ROM ｱﾄﾞﾚｽﾋﾞｯﾄ		AD16	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
		アドレスポインタ構成																
フォント(1) 文字コード000_{16}～$0FF_{16}$		0	ラインナンバ(1)(MSB～LSB)					文字ｺｰﾄﾞ(C8)=0	文字コード(C7～C0)								0	エリアビット
フォント(2) 100_{16}～$1FF_{16}$	エリア0, 1	0	ラインナンバ(2)(MSB～LSB)					文字ｺｰﾄﾞ(C8)=1	文字コード(C7～C0)								0	エリアビット
	エリア2	1	ラインナンバ(2)(MSB～LSB)					0	0	文字コード(C6～C0)							0	文字ｺｰﾄﾞ(C7)

ラインナンバ(1)=“ 02_{16} ”～“ 15_{16} ”
ラインナンバ(2)=“ 00_{16} ”～“ $1F_{16}$ ”
文字コード=“ 000_{16} ”～“ $1FF_{16}$ ”
（ただし“ $0FE_{16}$ ”, “ $0FF_{16}$ ”, “ 100_{16} ”, “ 180_{16} ”は使用できません。該当アドレスに“ FF_{16} ”を書き込んでください。）
エリアビット=0：エリア0　1：エリア1



フォント(1)
(文字コード“ 000_{16} ”～“ $0FF_{16}$ ”)



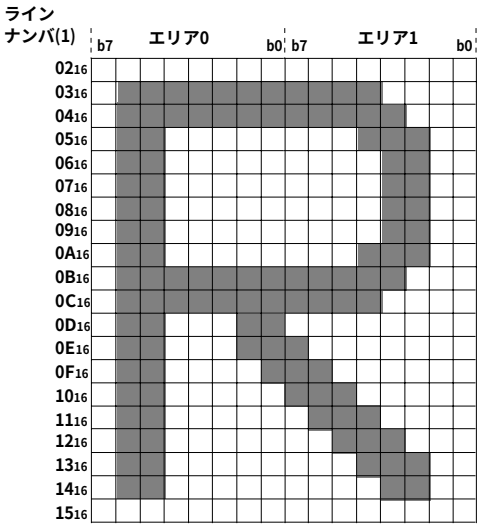
フォント(2)
(文字コード“ 100_{16} ”～“ $1FF_{16}$ ”)

図2.16.20　キャラクタフォントデータの格納アドレス（OSDL許可モード）

キャラクタフォントデータのOSD ROMアドレス（OSDL禁止モード）

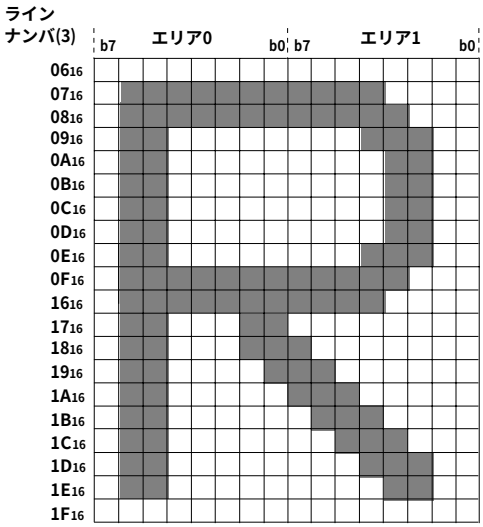
OSD ROM ｱﾄﾞﾚｽﾋﾞｯﾄ / フォント種類	AD16	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
	アドレスポインタ構成																
フォント(1) 文字コード000_{16}～$1FF_{16}$	文字ｺｰﾄﾞ(C9)=0	ラインナンバ(1)(MSB～LSB)					文字コード(C8～C0)									0	エリアビット
フォント(2) 文字コード200_{16}～$27F_{16}$	文字ｺｰﾄﾞ(C9)=1	ラインナンバ(1)(MSB～LSB)					文字コード(C8～C0)									0	エリアビット
フォント(3) 文字コード280_{16}～$2FF_{16}$	0	1	ラインナンバ(3)(NL3～NL0)				1	ﾗｲﾝﾅﾝﾊﾞ(3)(NL4)	文字コード (C6～C0)							0	エリアビット

ラインナンバ(1)=“02_{16}”～“15_{16}”
ラインナンバ(3)=“06_{16}”～“$0F_{16}$”，“16_{16}”～“$1F_{16}$”
文字コード=“000_{16}”～“$2FF_{16}$”
（ただし“$0FE_{16}$”，“$0FF_{16}$”，“100_{16}”，“180_{16}”，“200_{16}”，“280_{16}”は使用できません。該当アドレスに“FF_{16}”を書き込んでください。）
エリアビット=0：エリア0　1：エリア1



フォント(1)
フォント(2)

(文字コード“000_{16}”～“$27F_{16}$”)



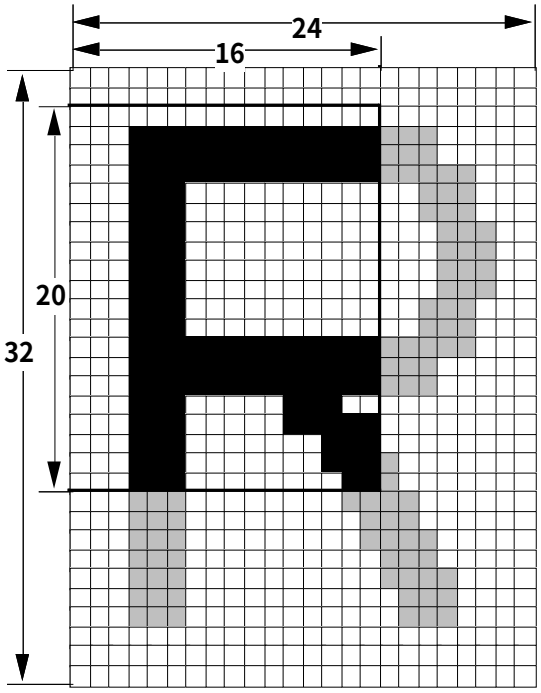
フォント(3)

(文字コード“280_{16}”～“$2FF_{16}$”)

図2.16.21　キャラクタフォントデータの格納アドレス（OSDL禁止モード）

OSDL許可/禁止モード、表示モード、及び文字コードの関係によって下表の制約があります。

表示モード & 文字コード ＼ OSDL許可/禁止モード			OSDL許可モード (OSDコントロールレジスタ4のビット0＝“0”)			OSDL禁止モード (OSDコントロールレジスタ4のビット0＝“1”)			
表示モード		文字サイズ	CC	OSDS／P	OSDL	文字サイズ	CC	OSDS／P	OSDL
指定文字コード	000_{16}～$0FF_{16}$	S	使用可	使用可	使用不可（注３）	S	使用可	使用可	表示OFF
	100_{16}～$1FF_{16}$	L	使用可（注１）	使用可（注１）	使用可		使用可	使用可	表示 OFF
	200_{16}～$27F_{16}$	使用不可（注３）					使用不可（注３）	使用可	表示 OFF
	280_{16}～$2FF_{16}$							使用可（フチドリ無）（注２）	表示OFF
	300_{16}～$3FF_{16}$							使用不可（注３）	表示OFF



注１．　24×32フォントの一部が表示されます。
２．　OSDL禁止モード時、文字コード“280_{16}”～“$2FF_{16}$”は、OSDS/Pモード（フチドリ無）で使用してください。
３．　この設定を使用した場合、フォントデータの出力が不定となるため、使用しないでください。
ただし、OSDPモード時は、ブランクフォント出力文字コードとして、“$3FE_{16}$”,“$3FF_{16}$”が使用できます。

図2.16.22　OSDL許可／禁止モード別の制約事項

CDフォントデータのOSD ROMアドレス

OSD ROM アドレスビット	AD16	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
ﾗｲﾝﾅﾝﾊﾞ／CDｺｰﾄﾞ／ｴﾘｱﾋﾞｯﾄ	1	CD ｺｰﾄﾞ (C6)	プレーン選択ビット	ラインナンバ(MSB～LSB)						CDコード(C5～C0)						1	ｴﾘｱ ﾋﾞｯﾄ

ラインナンバ=“ 00_{16} ”～“ 19_{16} ”
CDコード=“ 00_{16} ”～“ $7F_{16}$ ”
（ただし“ $3F_{16}$ ”，“ 40_{16} ”は使用できません。該当アドレスに“ FF_{16} ”を書き込んでください。）
エリアビット=0：エリア0　1：エリア1

プレーン3
（カラーパレット選択ビット3）

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

プレーン2
（カラーパレット選択ビット2）

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

プレーン1
（カラーパレット選択ビット1）

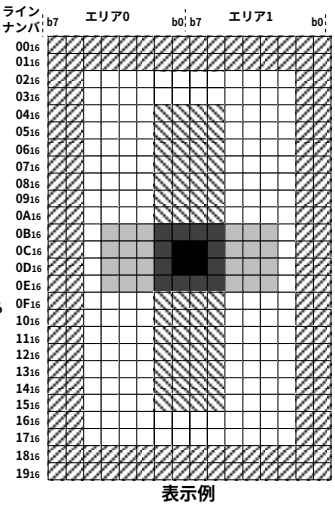
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

プレーン0
（カラーパレット選択ビット0）

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ラインナンバ	b7	エリア0							b0	b7	エリア1							b0
00_{16}	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
01_{16}	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
02_{16}	4	4	0	0	0	0	0	0	0	0	0	0	0	0	0	4	4	4
03_{16}	4	4	0	0	0	0	0	0	0	0	0	0	0	0	0	4	4	4
04_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
05_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
06_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
07_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
08_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
09_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
$0A_{16}$	4	4	0	0	0	0	2	2	2	2	0	0	0	0	0	4	4	4
$0B_{16}$	4	4	0	1	1	1	3	3	3	3	1	1	1	0	4	4	4	4
$0C_{16}$	4	4	0	1	1	1	3	11	11	3	1	1	1	0	4	4	4	4
$0D_{16}$	4	4	0	1	1	1	3	11	11	3	1	1	1	0	4	4	4	4
$0E_{16}$	4	4	0	1	1	1	3	3	3	3	1	1	1	0	4	4	4	4
$0F_{16}$	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
10_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
11_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
12_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
13_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
14_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
15_{16}	4	4	0	0	0	0	2	2	2	2	0	0	0	0	4	4	4	4
16_{16}	4	4	0	0	0	0	0	0	0	0	0	0	0	0	4	4	4	4
17_{16}	4	4	0	0	0	0	0	0	0	0	0	0	0	0	4	4	4	4
18_{16}	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
19_{16}	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4

0 OSD RAMのRC13～RC16で設定されるカラーパレット が選択されます。
1 カラーパレット1が選択されます。
2 カラーパレット 2が選択されます。
3 カラーパレット 3が選択されます。
4 カラーパレット 4が選択されます。
11 カラーパレット 11が選択されます。



表示例

図2.16.23　CDフォントデータの格納アドレス

(2) OSD RAM（キャラクタ表示用OSD RAM、0400$_{16}$～0EFF$_{16}$番地）

キャラクタ表示用のOSD RAMは、0400$_{16}$～0EFF$_{16}$番地に割り当てられており、ブロックごとに文字コード指定部、色コード1指定部、色コード2指定部に分かれています。1ブロックのキャラクタ数（32 文字モード又は42文字モード）をOSDコントロールレジスタ4のビット1によって選択します。アドレスマップを表2.16.3～表2.16.7に示します。

たとえば、ブロック１の第一文字目（左端）に文字を表示する場合、0400$_{16}$番地に文字コードを、0401$_{16}$番地に表示する色コード1を、0480$_{16}$番地に表示する色コード2を書き込みます。OSD RAMのビット構成を図2.16.25に示します。

注. 下記ドットサイズのブロックは、通常ブロックに対して、3n（n＝1～14）文字目が抜けた状態になります。

■OSDLモード時：全ドットサイズ

■レイヤ2上のOSDS、CDOSDモード時：1.5Tc × 1/2H 又は1.5Tc × 1H

したがって1ブロックの最大文字数は22文字（32文字モード時）又は28文字（42文字モード時）となります（2.16.25参照）なお、3n文字目のRAMデータは表示に影響を与えませんので、任意のデータを格納してください。さらに32文字モード時のみ以下の点に注意してください。なお、42文字モード時は、28文字目の文字領域にもキャラクタが表示されますので、通常の設定を行ってください。

・OSDSモード時
22文字目の文字領域には、キャラクタは表示されず、文字背景の左側1/3のみが表示されます。この背景を表示しない場合は、文字背景色を透明に設定してください。

・OSDLモード時
22文字目はブランク文字、又は透明の文字色を設定してください。

・CDOSDモード時
22文字目の文字領域（左側1/3）には、キャラクタは表示されず、色コード1のビット3～ビット6で指定されたカラーパレット色が表示されます。

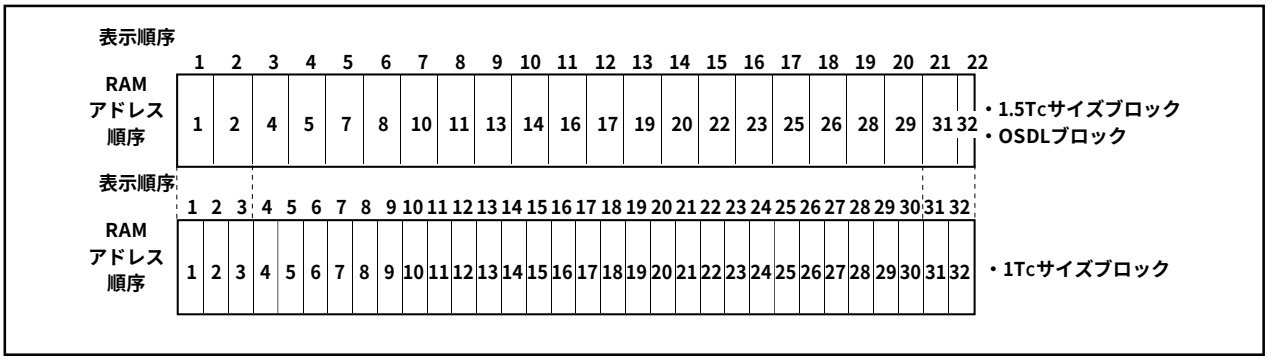


図2.16.24　3n番目の文字のRAMデータ (32文字モード時)

表2.16.3　OSD RAM内容（1～32文字目）

ブロック	表示位置（左から）	文字コード指定	色コード1指定	色コード2指定
ブロック1	１文字目	0400_{16}	0401_{16}	0480_{16}
	２文字目 ： 31文字目	0402_{16} ： $043C_{16}$	0403_{16} ： $043D_{16}$	0482_{16} ： $04BC_{16}$
	32文字目	$043E_{16}$	$043F_{16}$	$04BE_{16}$
ブロック2	１文字目	0440_{16}	0441_{16}	$04C0_{16}$
	２文字目 ： 31文字目	0442_{16} ： $047C_{16}$	0443_{16} ： $047D_{16}$	$04C2_{6}$ ： $04FC_{16}$
	32文字目	$047E_{16}$	$047F_{16}$	$04FE_{16}$
ブロック3	１文字目	0500_{16}	0501_{16}	0580_{16}
	２文字目 ： 31文字目	0502_{16} ： $053C_{16}$	0503_{16} ： $053D_{16}$	0582_{16} ： $05BC_{16}$
	32文字目	$053E_{16}$	$053F_{16}$	$05BE_{16}$
ブロック4	１文字目	0540_{16}	0541_{16}	$05C0_{16}$
	２文字目 ： 31文字目	0542_{16} ： $057C_{16}$	0543_{16} ： $057D_{16}$	$05C2_{16}$ ： $05FC_{16}$
	32文字目	$057E_{16}$	$057F_{16}$	$05FE_{16}$
ブロック5	１文字目	0600_{16}	0601_{16}	0680_{16}
	２文字目 ： 31文字目	0602_{16} ： $063C_{16}$	0603_{16} ： $063D_{16}$	0682_{16} ： $06BC_{16}$
	32文字目	$063E_{16}$	$063F_{16}$	$06BE_{16}$
ブロック6	１文字目	0640_{16}	0641_{16}	$06C0_{16}$
	２文字目 ： 31文字目	0642_{16} ： $067C_{16}$	0643_{16} ： $067D_{16}$	$06C2_{16}$ ： $06FC_{16}$
	32文字目	$067E_{16}$	$067F_{16}$	$06FE_{16}$
ブロック7	１文字目	0700_{16}	0701_{16}	0780_{16}
	２文字目 ： 31文字目	0702_{16} ： $073C_{16}$	0703_{16} ： $073D_{16}$	0782_{16} ： $07BC_{16}$
	32文字目	$073E_{16}$	$073F_{16}$	$07BE_{16}$
ブロック8	１文字目	0740_{16}	0741_{16}	$07C0_{16}$
	２文字目 ： 31文字目	0742_{16} ： $077C_{16}$	0743_{16} ： $077D_{16}$	$07C2_{16}$ ： $07FC_{16}$
	32文字目	$077E_{16}$	$077F_{16}$	$07FE_{16}$
ブロック9	１文字目	0800_{16}	0801_{16}	0880_{16}
	２文字目 ： 31文字目	0802_{16} ： $083C_{16}$	0803_{16} ： $083D_{16}$	0882_{16} ： $08BC_{16}$
	32文字目	$083E_{16}$	$083F_{16}$	$08BE_{16}$
ブロック10	１文字目	0840_{16}	0841_{16}	$08C0_{16}$
	２文字目 ： 31文字目	0842_{16} ： $087C_{16}$	0843_{16} ： $087D_{16}$	$08C2_{16}$ ： $08FC_{16}$
	32文字目	$087E_{16}$	$087F_{16}$	$08FE_{16}$

表2.16.4　OSD RAM内容（1～32文字目）（つづき）

ブロック	表示位置（左から）	文字コード指定	色コード1指定	色コード2指定
ブロック11	１文字目	0900_{16}	0901_{16}	0980_{16}
	２文字目 ： 31文字目	0902_{16} ： $093C_{16}$	0903_{16} ： $093D_{16}$	0982_{16} ： $09BC_{16}$
	32文字目	$093E_{16}$	$093F_{16}$	$09BE_{16}$
ブロック12	１文字目	0940_{16}	0941_{16}	$09C0_{16}$
	２文字目 ： 31文字目	0942_{16} ： $097C_{16}$	0943_{16} ： $097D_{16}$	$09C2_{16}$ ： $09FC_{16}$
	32文字目	$097E_{16}$	$097F_{16}$	$09FE_{16}$
ブロック13	１文字目	$0A00_{16}$	$0A01_{16}$	$0A80_{16}$
	２文字目 ： 31文字目	$0A02_{16}$ ： $0A3C_{16}$	$0A03_{16}$ ： $0A3D_{16}$	$0A82_{16}$ ： $0ABC_{16}$
	32文字目	$0A3E_{16}$	$0A3F_{16}$	$0ABE_{16}$
ブロック14	１文字目	$0A40_{16}$	$0A41_{16}$	$0AC0_{16}$
	２文字目 ： 31文字目	$0A42_{16}$ ： $0A7C_{16}$	$0A43_{16}$ ： $0A7D_{16}$	$0AC2_{16}$ ： $0AFC_{16}$
	32文字目	$0A7E_{16}$	$0A7F_{16}$	$0AFE_{16}$
ブロック15	１文字目	$0B00_{16}$	$0B01_{16}$	$0B80_{16}$
	２文字目 ： 31文字目	$0B02_{16}$ ： $0B3C_{16}$	$0B03_{16}$ ： $0B3D_{16}$	$0B82_{16}$ ： $0BBC_{16}$
	32文字目	$0B3E_{16}$	$0B3F_{16}$	$0BBE_{16}$
ブロック16	１文字目	$0B40_{16}$	$0B41_{16}$	$0BC0_{16}$
	２文字目 ：	$0B42_{16}$ ：	$0B43_{16}$ ：	$0BC2_{16}$ ：
	31文字目	$0B7C_{16}$	$0B7D_{16}$	$0BF0_{16}$
	32文字目	$0B7E_{16}$	$0B7F_{16}$	$0BFE_{16}$

表2.16.5　OSD RAM内容（33～42文字目）

ブロック	表示位置（左から）	文字コード指定	色コード1指定	色コード2指定
ブロック1	33文字目	$0C00_{16}$	$0C01_{16}$	$0C80_{16}$
	34文字目	$0C02_{16}$	$0C03_{16}$	$0C82_{16}$
	:	:	:	:
	39文字目	$0C0C_{16}$	$0C0D_{16}$	$0C8C_{16}$
	40文字目	$0C0E_{16}$	$0C0F_{16}$	$0C8E_{16}$
	41文字目	$0E00_{16}$	$0E01_{16}$	$0E80_{16}$
	42文字目	$0E02_{16}$	$0E03_{16}$	$0E82_{16}$
ブロック2	33文字目	$0C10_{16}$	$0C11_{16}$	$0C90_{16}$
	34文字目	$0C12_{16}$	$0C13_{16}$	$0C92_{16}$
	:	:	:	:
	39文字目	$0C1C_{16}$	$0C1D_{16}$	$0C9C_{16}$
	40文字目	$0C1E_{16}$	$0C1F_{16}$	$0C9E_{16}$
	41文字目	$0E08_{16}$	$0E09_{16}$	$0E88_{16}$
	42文字目	$0E0A_{16}$	$0E0B_{16}$	$0E8A_{16}$
ブロック3	33文字目	$0C20_{16}$	$0C21_{16}$	$0CA0_{16}$
	34文字目	$0C22_{16}$	$0C23_{16}$	$0CA2_{16}$
	:	:	:	:
	39文字目	$0C2C_{16}$	$0C2D_{16}$	$0CAC_{16}$
	40文字目	$0C2E_{16}$	$0C2F_{16}$	$0CAE_{16}$
	41文字目	$0E10_{16}$	$0E11_{16}$	$0E90_{16}$
	42文字目	$0E12_{16}$	$0E13_{16}$	$0E92_{16}$
ブロック4	33文字目	$0C30_{16}$	$0C31_{16}$	$0CB0_{16}$
	34文字目	$0C32_{16}$	$0C33_{16}$	$0CB2_{16}$
	:	:	:	:
	39文字目	$0C3C_{16}$	$0C3D_{16}$	$0CBC_{16}$
	40文字目	$0C3E_{16}$	$0C3F_{16}$	$0CBE_{16}$
	41文字目	$0E18_{16}$	$0E19_{16}$	$0E98_{16}$
	42文字目	$0E1A_{16}$	$0E1B_{16}$	$0E9A_{16}$
ブロック5	33文字目	$0C40_{16}$	$0C41_{16}$	$0CC0_{16}$
	34文字目	$0C42_{16}$	$0C43_{16}$	$0CC2_{16}$
	:	:	:	:
	39文字目	$0C4C_{16}$	$0C4D_{16}$	$0CCC_{16}$
	40文字目	$0C4E_{16}$	$0C4F_{16}$	$0CCE_{16}$
	41文字目	$0E20_{16}$	$0E21_{16}$	$0EA0_{16}$
	42文字目	$0E22_{16}$	$0E23_{16}$	$0EA2_{16}$
ブロック6	33文字目	$0C50_{16}$	$0C51_{16}$	$0CD0_{16}$
	34文字目	$0C52_{16}$	$0C53_{16}$	$0CD2_{16}$
	:	:	:	:
	39文字目	$0C5C_{16}$	$0C5D_{16}$	$0CDC_{16}$
	40文字目	$0C5E_{16}$	$0C5F_{16}$	$0CDE_{16}$
	41文字目	$0E28_{16}$	$0E29_{16}$	$0EA8_{16}$
	42文字目	$0E2A_{16}$	$0E2B_{16}$	$0EAA_{16}$
ブロック7	33文字目	$0C60_{16}$	$0C61_{16}$	$0CE0_{16}$
	34文字目	$0C62_{16}$	$0C63_{16}$	$0CE2_{16}$
	:	:	:	:
	39文字目	$0C6C_{16}$	$0C6D_{16}$	$0CEC_{16}$
	40文字目	$0C6E_{16}$	$0C6F_{16}$	$0CEE_{16}$
	41文字目	$0E30_{16}$	$0E31_{16}$	$0EB0_{16}$
	42文字目	$0E32_{16}$	$0E33_{16}$	$0EB2_{16}$

表2.16.6　OSD RAM内容（33～42文字目）（つづき）

ブロック	表示位置（左から）	文字コード指定	色コード1指定	色コード2指定
ブロック8	33文字目	$0C70_{16}$	$0C71_{16}$	$0CF0_{16}$
	34文字目	$0C72_{16}$	$0C73_{16}$	$0CF2_{16}$
	:	:	:	:
	39文字目	$0C7C_{16}$	$0C7D_{16}$	$0CFC_{16}$
	40文字目	$0C7E_{16}$	$0C7F_{16}$	$0CFE_{16}$
	41文字目	$0E38_{16}$	$0E39_{16}$	$0EB8_{16}$
	42文字目	$0E3A_{16}$	$0E3B_{16}$	$0EBA_{16}$
ブロック9	33文字目	$0D00_{16}$	$0D01_{16}$	$0D80_{16}$
	34文字目	$0D02_{16}$	$0D03_{16}$	$0D82_{16}$
	:	:	:	:
	39文字目	$0D0C_{16}$	$0D0D_{16}$	$0D8C_{16}$
	40文字目	$0D0E_{16}$	$0D0F_{16}$	$0D8E_{16}$
	41文字目	$0E40_{16}$	$0E41_{16}$	$0EC0_{16}$
	42文字目	$0E42_{16}$	$0E43_{16}$	$0EC2_{16}$
ブロック10	33文字目	$0D10_{16}$	$0D11_{16}$	$0D90_{16}$
	34文字目	$0D12_{16}$	$0D13_{16}$	$0D92_{16}$
	:	:	:	:
	39文字目	$0D1C_{16}$	$0D1D_{16}$	$0D9C_{16}$
	40文字目	$0D1E_{16}$	$0D1F_{16}$	$0D9E_{16}$
	41文字目	$0E48_{16}$	$0E49_{16}$	$0EC8_{16}$
	42文字目	$0E4A_{16}$	$0E4B_{16}$	$0ECA_{16}$
ブロック11	33文字目	$0D20_{16}$	$0D21_{16}$	$0DA0_{16}$
	34文字目	$0D22_{16}$	$0D23_{16}$	$0DA2_{16}$
	:	:	:	:
	39文字目	$0D2C_{16}$	$0D2D_{16}$	$0DAC_{16}$
	40文字目	$0D2E_{16}$	$0D2F_{16}$	$0DAE_{16}$
	41文字目	$0E50_{16}$	$0E51_{16}$	$0ED0_{16}$
	42文字目	$0E52_{16}$	$0E53_{16}$	$0ED2_{16}$
ブロック12	33文字目	$0D30_{16}$	$0D31_{16}$	$0DB0_{16}$
	34文字目	$0D32_{16}$	$0D33_{16}$	$0DB2_{16}$
	:	:	:	:
	39文字目	$0D3C_{16}$	$0D3D_{16}$	$0DBC_{16}$
	40文字目	$0D3E_{16}$	$0D3F_{16}$	$0DBE_{16}$
	41文字目	$0E58_{16}$	$0E59_{16}$	$0ED8_{16}$
	42文字目	$0E5A_{16}$	$0E5B_{16}$	$0EDA_{16}$
ブロック13	33文字目	$0D40_{16}$	$0D41_{16}$	$0DC0_{16}$
	34文字目	$0D42_{16}$	$0D43_{16}$	$0DC2_{16}$
	:	:	:	:
	39文字目	$0D4C_{16}$	$0D4D_{16}$	$0DCC_{16}$
	40文字目	$0D4E_{16}$	$0D4F_{16}$	$0DCE_{16}$
	41文字目	$0E60_{16}$	$0E61_{16}$	$0EE0_{16}$
	42文字目	$0E62_{16}$	$0E63_{16}$	$0EE2_{16}$
ブロック14	33文字目	$0D50_{16}$	$0D51_{16}$	$0DD0_{16}$
	34文字目	$0D52_{16}$	$0D53_{16}$	$0DD2_{16}$
	:	:	:	:
	39文字目	$0D5C_{16}$	$0D5D_{16}$	$0DDC_{16}$
	40文字目	$0D5E_{16}$	$0D5F_{16}$	$0DDE_{16}$
	41文字目	$0E68_{16}$	$0E69_{16}$	$0EE8_{16}$
	42文字目	$0E6A_{16}$	$0E6B_{16}$	$0EEA_{16}$

表2.16.7　OSD RAM内容（33～42文字目）（つづき）

ブロック	表示位置（左から）	文字コード指定	色コード1指定	色コード2指定
ブロック15	33文字目	$0D60_{16}$	$0D61_{16}$	$0DE0_{16}$
	34文字目	$0D62_{16}$	$0D63_{16}$	$0DE2_{16}$
	:	:	:	:
	39文字目	$0D6C_{16}$	$0D6D_{16}$	$0DEC_{16}$
	40文字目	$0D6E_{16}$	$0D6F_{16}$	$0DEE_{16}$
	41文字目	$0E70_{16}$	$0E71_{16}$	$0EF0_{16}$
	42文字目	$0E72_{16}$	$0E73_{16}$	$0EF2_{16}$
ブロック16	33文字目	$0D70_{16}$	$0D71_{16}$	$0DF0_{16}$
	34文字目	$0D72_{16}$	$0D73_{16}$	$0DF2_{16}$
	:	:	:	:
	39文字目	$0D7C_{16}$	$0D7D_{16}$	$0DFC_{16}$
	40文字目	$0D7E_{16}$	$0D7F_{16}$	$0DFE_{16}$
	41文字目	$0E78_{16}$	$0E79_{16}$	$0EF8_{16}$
	42文字目	$0E7A_{16}$	$0E7B_{16}$	$0EFA_{16}$

ブロック 1～ブロック16

b2	b1	b0	b7							b0	b7							b0
C9	RC21	RC20	RC17	RC16	RC15	RC14	RC13	RC12	RC11	C8	C7	C6	C5	C4	C3	C2	C1	C0
色コード2			色コード1								文字コード							

ビット	CCモード			OSDS／L／Pモード			CDOSDモード		
	ビット名		機能	ビット名		機能	ビット名		機能
C0 C1 C2 C3 C4 C5 C6 C7	文字コード (下位9ビット)		OSD ROMの 文字コードを 指定	文字コード (下位9ビット)		OSD ROMの 文字コードを 指定	CDコード (7ビット)		OSD ROM (カラードット) の文字コードを 指定
C8							使用しない		――――
RC11 RC12 RC13	文字	カラーパレット 選択ビット0 カラーパレット 選択ビット1 カラーパレット 選択ビット2	文字のカラー パレットを指定 (注3)	文字	カラーパレット 選択ビット0 カラーパレット 選択ビット1 カラーパレット 選択ビット2 カラーパレット 選択ビット3	文字のカラー パレットを指定 (注3)	ドット色	ｶﾗｰﾊﾟﾚｯﾄ 選択ビット0 ｶﾗｰﾊﾟﾚｯﾄ 選択ビット1 ｶﾗｰﾊﾟﾚｯﾄ 選択ビット2 ｶﾗｰﾊﾟﾚｯﾄ 選択ビット3	OSD ROMに よってカラー パレット0が 選択されている ドットのカラー パレットを指定 (注4)
RC14	イタリック制御		0：イタリックOFF 1：イタリックON						
RC15	フラッシュ制御		0：フラッシュOFF 1：フラッシュON	文字背景	カラーパレット 選択ビット0 カラーパレット 選択ビット1	文字背景のカラー パレットを指定 (注3)			
RC16	アンダーライン制御		0：アンダーラインOFF 1：アンダーラインON						
RC17	OUT2出力制御		0：OUT2出力OFF 1：OUT2出力ON	OUT2出力制御		0：OUT2出力OFF 1：OUT2出力ON	OUT2出力制御		0：OUT2出力OFF 1：OUT2出力ON
RC20 RC21	文字背景	カラーパレット 選択ビット0 カラーパレット 選択ビット1	文字背景のカラー パレットを指定 (注3)	文字背景	カラーパレット 選択ビット2 カラーパレット 選択ビット3	文字背景のカラー パレットを指定 (注3)	使用しない		――――
C9	文字コード (上位1ビット)		OSD ROMの 文字コードを 指定	文字コード (上位1ビット)		OSD ROMの 文字コードを 指定	使用しない		――――

注1. 色コード2のビット3～ビット7の読み出し値は不定です。
2. “ 使用しない ” ビットは書き込んだ値が読み出されます。
3. 図2.16.27を参照してください。
4. CDOSDモードに限り、カラーパレット0を選択したドットは、文字単位で、OSD RAMのRC13～RC16で設定されたカラーパレットに着色されます。ただし、文字サイズが1.5Tc × 1H、1.5Tc × 1/2H時は、RC13～RC16とRC17の値は、同一ブロック内では全文字（3n番目の文字含む）同一値を設定してください。

図2.16.25　OSD RAMのビット構成

(3) OSD RAM（スプライト表示用OSD RAM、1000_{16}〜$13E7_{16}$番地）

スプライトフォント1とスプライトフォント2のOSD RAMは、1000_{16}〜$13E7_{16}$番地に割り当てられており、各フォントは4つのプレーンから構成されています。各プレーンはカラーパレット選択ビットと対応しており、ドット単位に16種類の中からカラーパレットが指定できます。

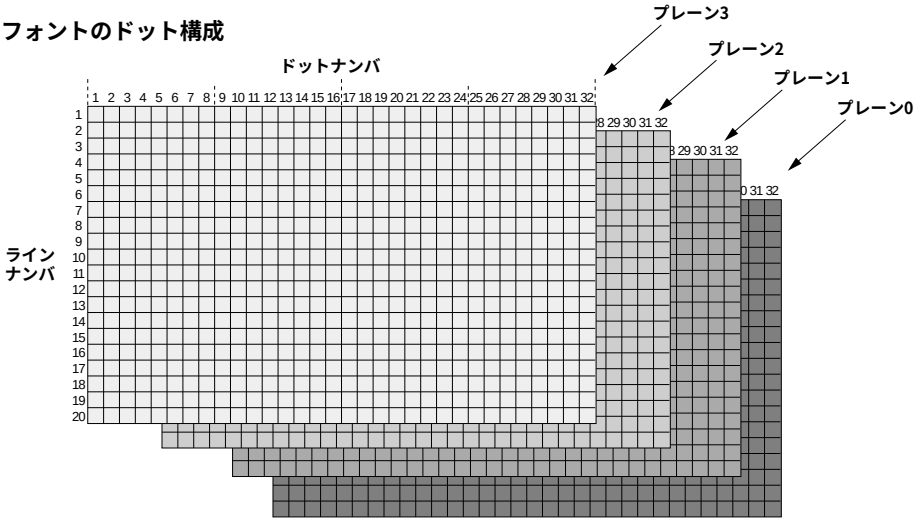
表2.16.8　OSD RAMアドレス（スプライトフォント1対応）

プレーン	プレーン3（カラーパレット選択ビット3）				プレーン2（カラーパレット選択ビット2）				プレーン1（カラーパレット選択ビット1）				プレーン0（カラーパレット選択ビット0）			
ドット	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32
ビット	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0
ライン1	$10C0_{16}$	$10C1_{16}$	$11C0_{16}$	$11C1_{16}$	1080_{16}	1081_{16}	1180_{16}	1181_{16}	1040_{16}	1041_{16}	1140_{16}	1141_{16}	1000_{16}	1001_{16}	1100_{16}	1101_{16}
ライン2	$10C2_{16}$	$10C3_{16}$	$11C2_{16}$	$11C3_{16}$	1082_{16}	1083_{16}	1182_{16}	1183_{16}	1042_{16}	1043_{16}	1142_{16}	1143_{16}	1002_{16}	1003_{16}	1102_{16}	1103_{16}
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	$10E4_{16}$	$10E5_{16}$	$11E4_{16}$	$11E5_{16}$	$10A4_{16}$	$10A5_{16}$	$11A4_{16}$	$11A5_{16}$	1064_{16}	1065_{16}	1164_{16}	1165_{16}	1024_{16}	1025_{16}	1124_{16}	1125_{16}
ライン20	$10E6_{16}$	$10E7_{16}$	$11E6_{16}$	$11E7_{16}$	$10A6_{16}$	$10A7_{16}$	$11A6_{16}$	$11A7_{16}$	1066_{16}	1067_{16}	1166_{16}	1167_{16}	1026_{16}	1027_{16}	1126_{16}	1127_{16}

表2.16.9　対応OSD RAMアドレス（スプライトフォント2対応）

プレーン	プレーン3（カラーパレット選択ビット3）				プレーン2（カラーパレット選択ビット2）				プレーン1（カラーパレット選択ビット1）				プレーン0（カラーパレット選択ビット0）			
ドット	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32	1〜8	9〜16	17〜24	25〜32
ビット	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0	b7〜b0
ライン1	$12C0_{16}$	$12C1_{16}$	$13C0_{16}$	$13C1_{16}$	1280_{16}	1281_{16}	1380_{16}	1381_{16}	1240_{16}	1241_{16}	1340_{16}	1341_{16}	1200_{16}	1201_{16}	1300_{16}	1301_{16}
ライン2	$12C2_{16}$	$12C3_{16}$	$13C2_{16}$	$13C3_{16}$	1282_{16}	1283_{16}	1382_{16}	1383_{16}	1242_{16}	1243_{16}	1342_{16}	1343_{16}	1202_{16}	1203_{16}	1302_{16}	1303_{16}
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
ライン19	$12E4_{16}$	$12E5_{16}$	$13E4_{16}$	$13E5_{16}$	$12A4_{16}$	$12A5_{16}$	$13A4_{16}$	$13A5_{16}$	1264_{16}	1265_{16}	1364_{16}	1365_{16}	1224_{16}	1225_{16}	1324_{16}	1325_{16}
ライン20	$12E6_{16}$	$12E7_{16}$	$13E6_{16}$	$13E7_{16}$	$12A6_{16}$	$12A7_{16}$	$13A6_{16}$	$13A7_{16}$	1266_{16}	1267_{16}	1366_{16}	1367_{16}	1226_{16}	1227_{16}	1326_{16}	1327_{16}

スプライトフォントのドット構成



2.16.7　文字色

図2.16.26に示すように、16種類のカラーパレットが定義できます。カラーパレット0は透明、カラーパレット8は黒に固定されており、残りの14種類は512色から任意の色を設定できます。文字色の種類、指定方法は以下のとおりです。

CCモード 8種類
OSDコントロールレジスタ3（0207$_{16}$番地）のビット0によって、カラーパレットの選択範囲（カラーパレット0～7、又はカラーパレット8～15）を選択します。選択範囲の中からOSD RAMのRC11～RC13によってカラーパレットを指定します。

OSD/S/L/Pモード 16種類
OSD RAMのRC11～RC14によってカラーパレットを指定します。

CDOSDモード 16種類
CDフォントデータによって、ドット単位にカラーパレットを指定します。
また、CDOSDモードに限り、カラーパレット0を選択したドットは、文字単位で、OSD RAMのRC13～RC16で設定されたカラーパレットに着色されます（図2.16.27参照）。

スプライト表示 16種類
スプライトフォントデータによって、ドット単位にカラーパレットを指定します。

注1.　フチドリ、ソリッドスペース出力（OUT1出力）はレジスタの設定値にかかわらず、常にカラーパレット8（黒）が選択されます。
2.　カラーパレット0（透明）と、その他カラーパレットの透明設定とは異なります。複数のレイヤが重なったとき、優先レイヤがカラーパレット0（透明）の場合は下層レイヤが表示されますが、優先レイヤがその他カラーパレットの透明設定の場合は、下層レイヤは表示されず、背景画面が表示されます（図2.16.28参照）。

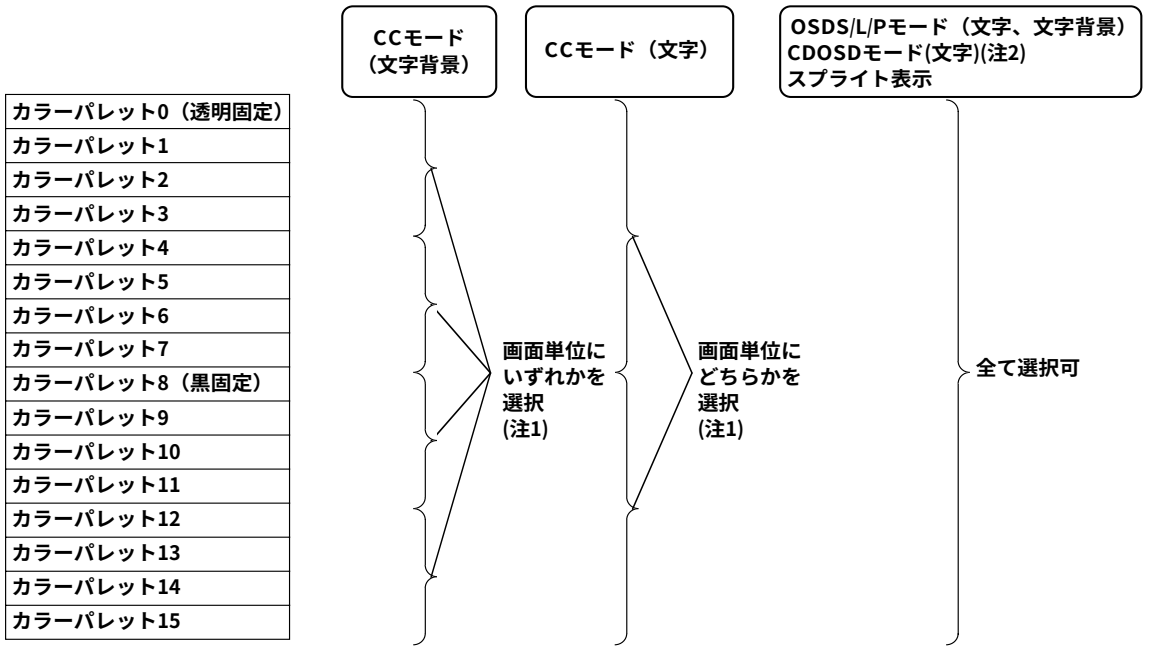
2.16.8　文字背景色

文字表示領域に文字背景色を着色することができます。文字背景色は、文字単位に指定できます。

CCモード 4種類
OSDコントロールレジスタ3（0207$_{16}$番地）のビット1, 2によって、カラーパレットの選択範囲（カラーパレット0～3、4～7、8～11、又はカラーパレット12～15）を選択します。選択範囲の中から、OSD RAMのRC20,RC21によってカラーパレットを指定します。

OSDS/L/Pモード 16種類
OSD RAMのRC15, RC16, RC20, RC21によってカラーパレットを指定します。

注.　文字背景色は文字表示領域から、フチドリ、キャラクタフォント部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。



注1. OSDコントロールレジスタ3（0207$_{16}$番地）によって指定します。
2. CDOSDモードに限り、カラーパレット0を選択したドットは、文字単位で、OSD RAMのRC13～RC16で設定されたカラーパレットに着色されます。

図2.16.26　カラーパレットの選択

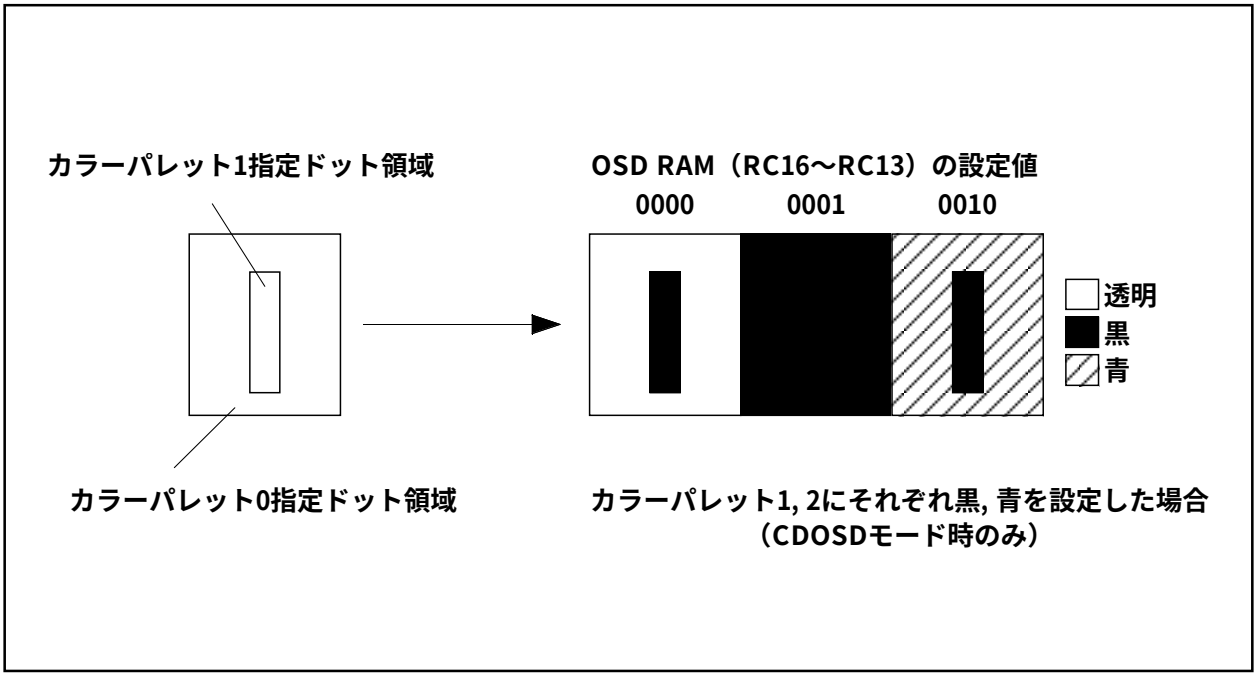


図2.16.27　CDOSDモード時のカラーパレット0, 8の設定

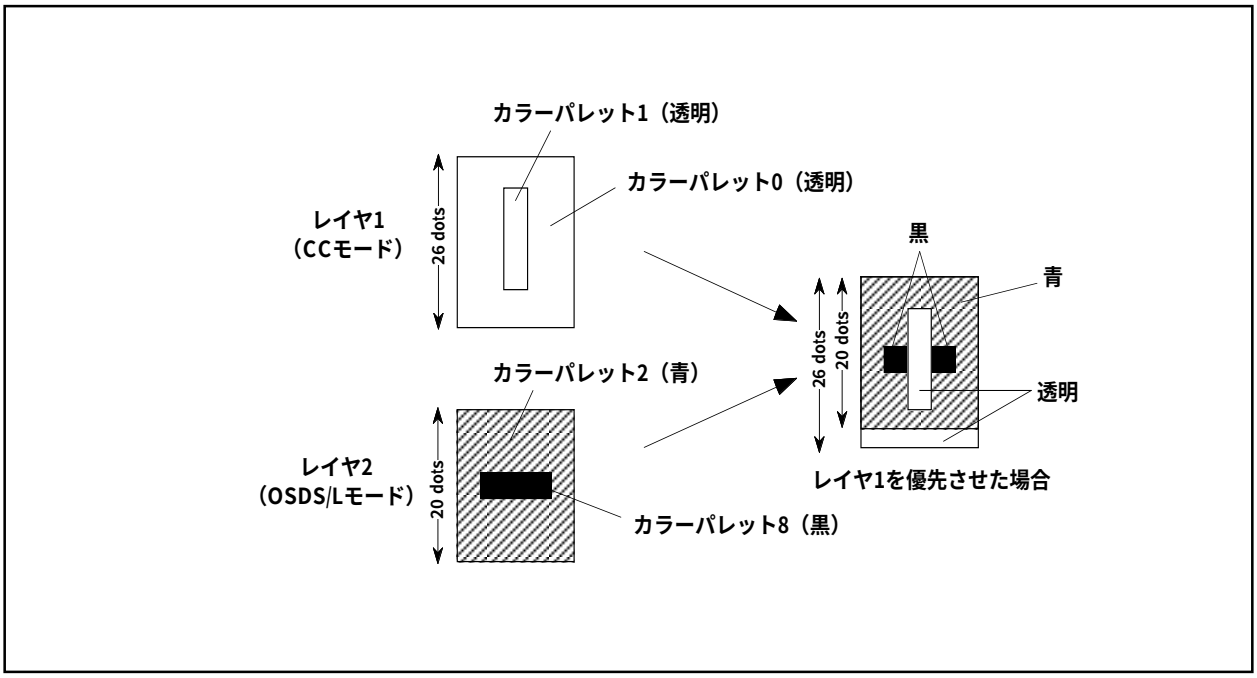


図2.16.28　カラーパレット0（透明）とその他カラーパレットの透明設定との違い

OSDコントロールレジスタ3

b7	b6	b5	b4	b3	b2	b1	b0
				0			

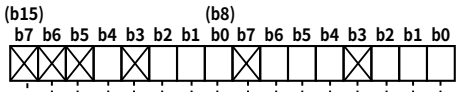
シンボル	アドレス	リセット時
OC3	0207_{16}	00_{16}

ビットシンボル	ビット名	機　　能	R	W
OC30	CCモード文字色選択ビット	0：カラーパレット0～7 1：カラーパレット8～15	○	○
OC31	CCモード文字背景色選択ビット（注）	b2 b1 0 0：カラーパレット0～3 0 1：カラーパレット4～7 1 0：カラーパレット8～11 1 1：カラーパレット12～15	○	○
OC32				
予約ビット		必ず“0”を設定してください	○	○
OC34	フラッシュ周期選択ビット	0：1周期=VSYNC周期×32 1：1周期=VSYNC周期×64	○	○
OC35	OSDモードウインドウ制御ビット	0：ウインドウOFF 1：ウインドウON	○	○
OC36	CCモードウインドウ制御ビット	0：ウインドウOFF 1：ウインドウON	○	○
OC37	CDOSDモードウインドウ制御ビット	0：ウインドウOFF 1：ウインドウON	○	○

注．ソリッドスペース（OUT1出力選択時）はこのレジスタ値にかかわらず、常にカラーパレット8が選択されます。

図2.16.29　OSDコントロールレジスタ3

カラーパレットレジスタ i



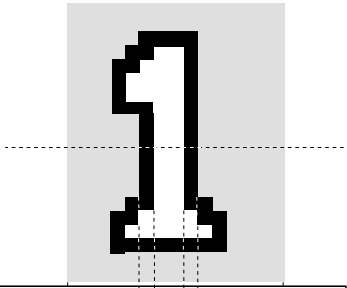
シンボル	アドレス	リセット時
CRi(i=1～7)	0240_{16}～$024D_{16}$の奇数番地, 0240_{16}～$024D_{16}$の偶数番地	不定
CRi(i=9～15)	$024E_{16}$～$025B_{16}$の奇数番地, $024E_{16}$～$025B_{16}$の偶数番地	不定

ビットシンボル	ビット名	機　能	R	W
CRi_2～CRi_0	R信号出力制御ビット	b2 b1 b0 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
CRi_6～CRi_4	G信号出力制御ビット	b6 b5 b4 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
CRi_10～CRi_8	B信号出力制御ビット	b10 b9 b8 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
CRi_12	OUT1信号出力制御ビット	0：出力しない 1：出力する	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

図2.16.30　カラーパレットレジスタi (i = 1～7, 9～15)

2.16.9 OUT1, OUT2信号

OUT1, OUT2信号は映像信号の輝度を制御するために使用します。OUT1, OUT2信号の出力波形は、カラーパレットレジスタiのビット6（図2.16.30参照）、ブロックコントロールレジスタiのビット0～2（図2.16.4参照）、OSD RAMのRC17によって制御します。図2.16.31にOUT1, OUT2制御の設定値とその出力波形を示します。



	条件				出力波形
	OUT2出力制御 (OSD RAMの RC17)	フチドリ出力 (注1)	OUT1信号出力制御ﾋﾞｯﾄ(注2) ｶﾗｰﾊﾟﾚｯﾄﾚｼﾞｽﾀiのﾋﾞｯﾄ12(CRi12) 文字背景	文字	
OUT1 信号	×	出力無	0	0	H L
				1	H L
			1	0	H L
				1	H L
		出力有 （注１）	0	0	H L
				1	H L
			1	0	H L
				1	H L
OUT2 信号	0	×	×	×	H L
	1	×	×	×	H L

注1. この制御はOSDS/Pモード時のみ有効で、CC/CDOSD/OSDLモード時は無効(“0”に相当)になります。
2. CDOSDモードではドット単位に着色するため、カラーパレットレジスタiのビット12(CRi12)が“1”に設定されているドットに、OUT1が出力されます。
3. スプライトOSDでは、OUT2出力はできません。
4. ×は任意の値

図2.16.31 OUT1, OUT2制御の設定値とその出力波形

2.16.10　アトリビュート

キャラクタフォントに対してアトリビュート（フラッシュ、アンダーライン、イタリックフォント）を制御することができます。各モード別に制御できるアトリビュートが異なります。

CCモード ..... フラッシュ、アンダーライン、イタリックを文字単位に指定
OSDS／Pモード ..... フチドリ（周囲・シャドウ選択可）をブロック単位に指定

(1)　アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び 24ライン目に出力されます。アンダーラインはOSD RAMのRC16で制御します。なお、アンダーラインはキャラクタフォントと同色です。

(2)　フラッシュ（点滅）

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーライン部、文字背景部をフラッシュさせます。フラッシュはOSD RAMのRC15で文字単位に制御します。また文字背景部のフラッシュの有無はOSDコントロールレジスタ1のビット3（図2.16.3参照）で制御します。このビットが“0”の場合、キャラクタフォント部及びアンダーライン部のみがフラッシュします。“1”の場合、ソリッドスペース出力なしの文字は、R, G, B, OUT1（表示領域全体）がフラッシュし、ソリッドスペース出力ありの文字はR, G, Bのみ（表示領域全体）がフラッシュします。またフラッシュの周期はVSYNCのカウントを基準とします。

＜NTSC方式の場合＞
■ビット4＝“0”の時
・VSYNC周期×24　400ms（フラッシュON時）
・VSYNC周期×8　133ms（フラッシュOFF時）
■ビット4＝“1”の時
・VSYNC周期×48　800ms（フラッシュON時）
・VSYNC周期×16　267ms（フラッシュOFF時）

(3)　イタリック

イタリック体はCCモード時にだけ、OSD ROMに格納されたフォントを右側に傾斜させることにより作成します。イタリックはOSD RAMのRC14で制御します。

図2.16.33に“R”を表示した場合の、アトリビュートの表示例を示します。

注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
2. フラッシュ設定をしていないイタリック文字の右側にフラッシュ設定（文字背景部もフラッシュ有）した文字が隣接する場合、左側の文字の右側にはみ出した部分もフラッシュします。
3. OUT2はフラッシュしません。
4. プリ分周比=1倍の場合は1ドット×5段階の傾斜をもつイタリック体、プリ分周比=2倍の場合は1/2ドット×10段階の傾斜をもつイタリック体となります（図2.16.32 (c), (d)参照）。ただし、プリ分周比=1倍でイタリック表示する場合、OSDクロック周波数を11～14MHzにしてください。
5. 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません（図2.16.33参照）。
6. イタリック体の文字に隣接する文字（片側又は両側）は、その文字がイタリックを指定していない場合でもイタリック体になります（図2.16.33参照）。
7. 32文字目（32文字モード）／42文字目（42文字モード）のキャラクタをイタリック体にした場合、文字領域からはみ出した部分は表示されません（図2.16.33参照）。

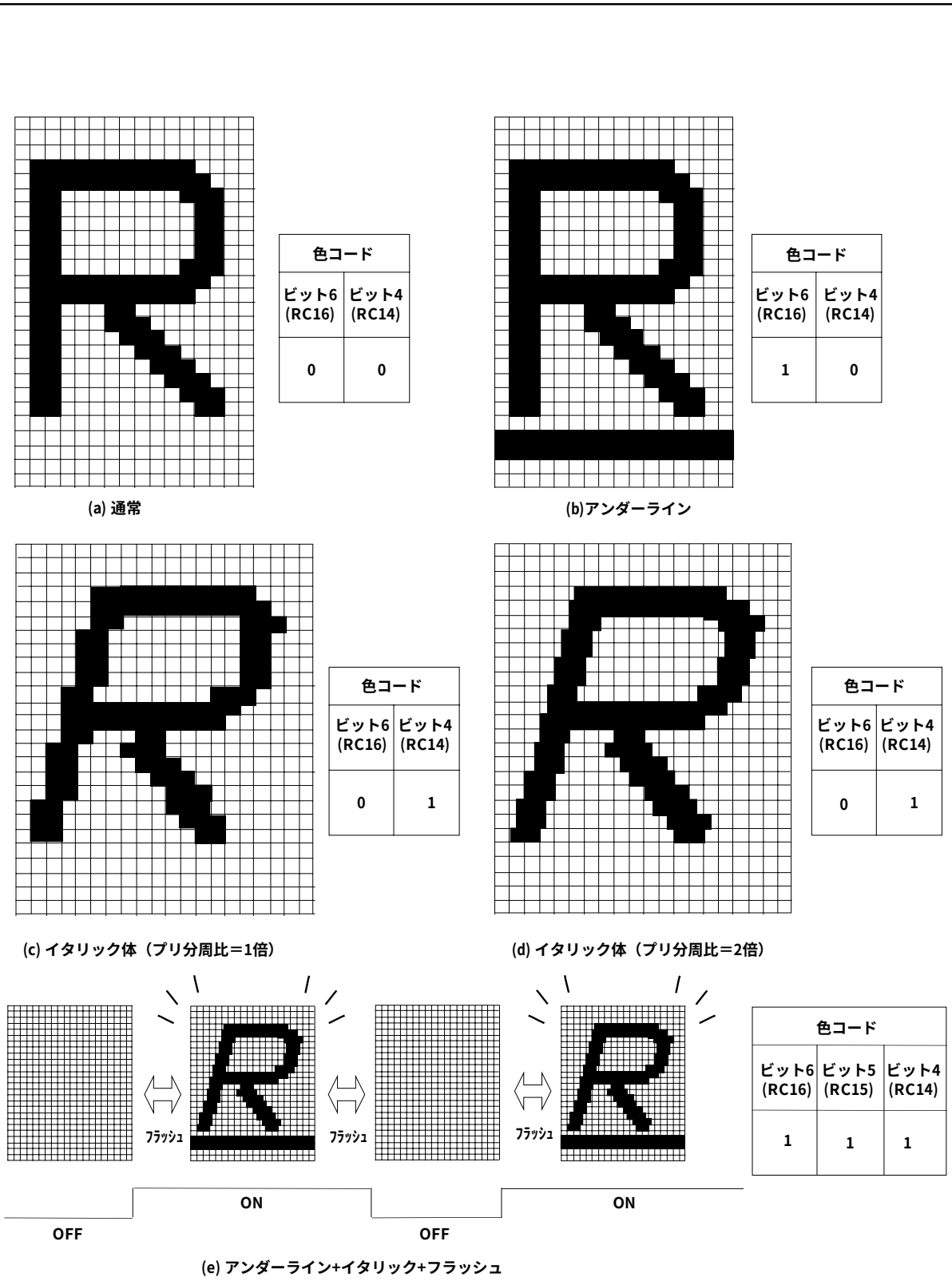


図2.16.32　アトリビュート表示例（CCモード時）

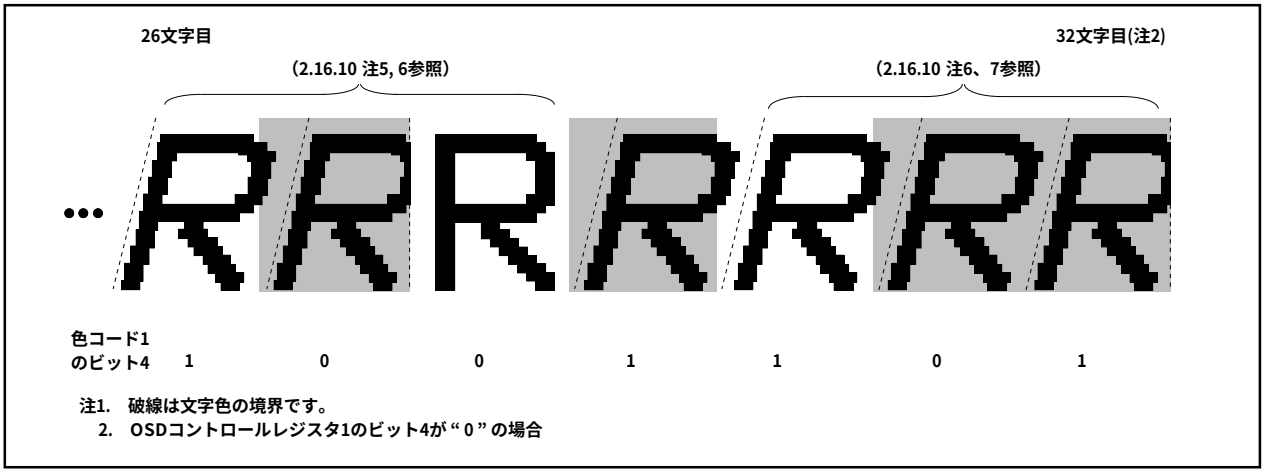


図2.16.33　イタリック表示例

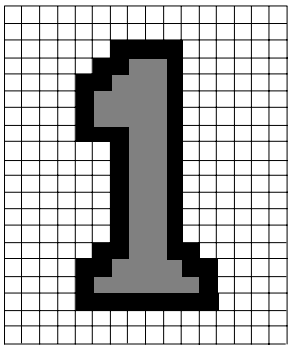
(4) フチドリ

フチドリはOSDS／Pモード時に出力されます。OSDコントロールレジスタ1のビット2（図2.16.3参照）によって、キャラクタフォントの周囲（周囲フチドリ）、又はキャラクタフォントの右側と下側（シャドウフチドリ）のいずれかを選択できます（図2.16.34参照）。フチドリのON/OFFは、ブロックコントロールレジスタiのビット0～2（図2.16.4参照）でブロック単位に制御できます。

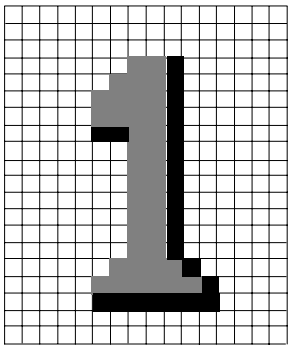
フチドリの出力はOUT1信号で行われます。また、フチドリの色はカラーパレット8（黒）に固定されています。

フチドリの水平サイズ（x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅（OSDクロックをプリ分周した周期幅）です。ただし、プリ分周比２倍で文字サイズに1.5Tcを選択した場合に限り、水平サイズは1.5Tc幅となります。垂直サイズ（y）は、画面のスキャンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

注1. フチドリドットの表示域は図2.16.36に示す網掛けの範囲です。
2. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます（図2.16.37のA参照）。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます（図2.16.37のB参照）。
3. キャラクタフォントの文字領域をはみ出した上下方向のフチドリは表示されません（図2.16.37参照）。

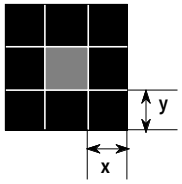


周囲フチドリ



シャドウフチドリ

図2.16.34　フチドリ表示例



スキャンモード ／ キャラクタフォントの垂直ドットサイズ ／ フチドリドットサイズ	ノーマルスキャンモード		バイスキャンモード
	1/2H	1H, 2H, 3H	1/2H, 1H, 2H, 3H
水平サイズ（x）	1Tc（プリ分周したOSD用クロック周期） 文字サイズに1.5Tcを選択した場合は1.5Tc		
垂直サイズ（y）	1/2H	1H	1H

図2.16.35　フチドリの水平サイズ及び垂直サイズ

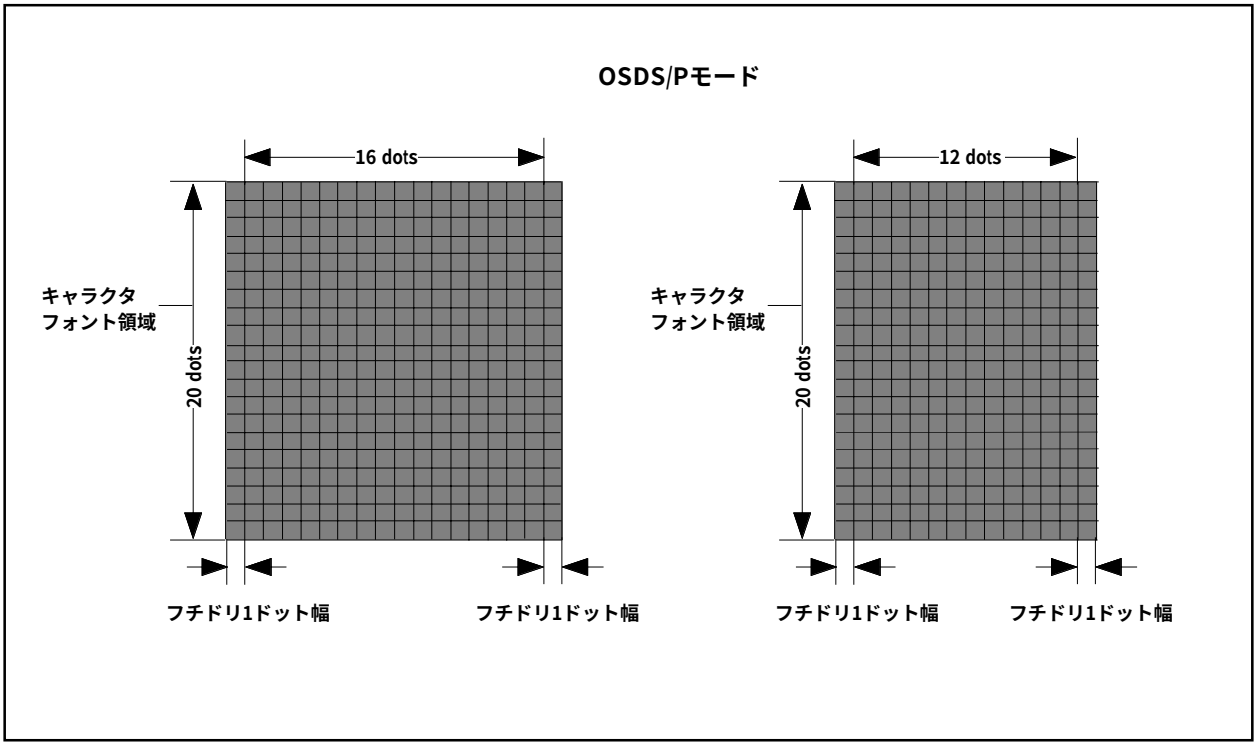


図2.16.36　フチドリの領域

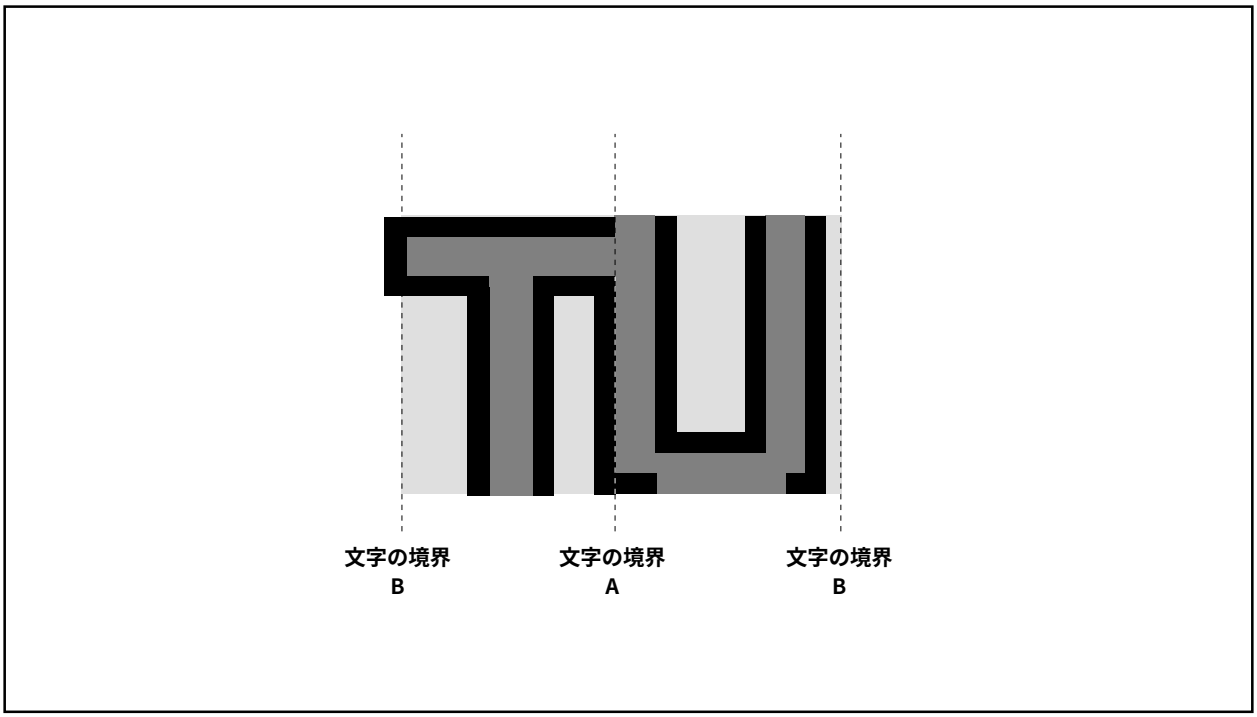


図2.16.37　フチドリの優先順位

2.16.11　オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース（OUT1又はOUT2ブランク出力）を、ハードウエアで自動的に発生させる機能です。

ソリッドスペースは、文字コードが“ 009_{16} ”以外の文字、及びその左右の文字の文字領域に出力されます。この機能はOSDコントロールレジスタ1のビット4（図2.16.3参照）でON/OFFします。

また、OUT1及びOUT2の出力の選択は、OSDコントロールレジスタ2のビット3で行います。

注1.　ソリッドスペース出力にOUT1を選択した場合、ソリッドスペース出力のある文字背景色は、設定にかかわらず常にカラーパレット8(黒)になります。

2.　文字コード“ 009_{16} ”にブランクフォント以外のフォントを設定した場合、設定したフォントが出力されます。

表2.16.10　オートソリッドスペース機能の設定

OSDコントロールレジスタ1のビット4	0				1			
OSDコントロールレジスタ2のビット3	0		1		0		1	
OSD RAMのRC17	0	1	0	1	0	1	0	1
OUT1出力信号	・キャラクタフォント部 ・文字背景部		・キャラクタフォント部 ・文字背景部		ソリッドスペース		・キャラクタフォント部 ・文字背景部	
OUT2出力信号	OFF	文字表示領域	OFF	文字表示領域	OFF	文字表示領域	ソリッドスペース	・ソリッドスペース ・文字表示領域

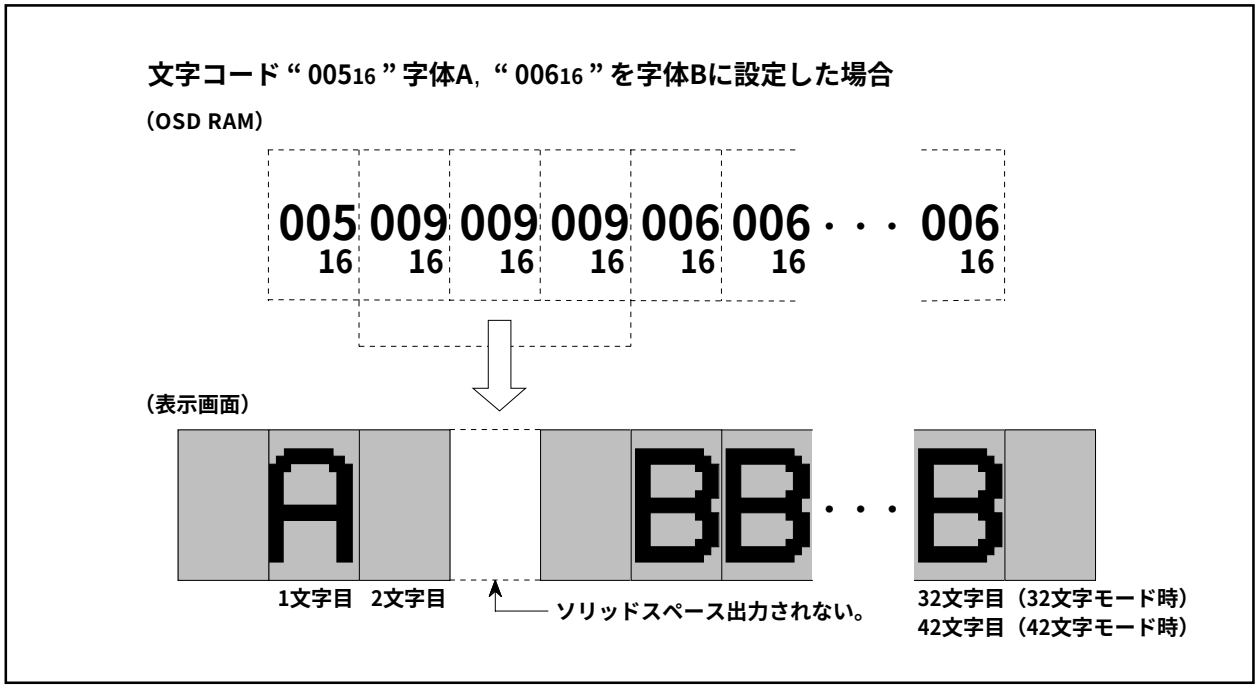


図2.16.38　オートソリッドスペース画面表示例

2.16.12　特殊OSDモードブロック

OSDPモードを指定したブロックは、水平ドット構成が16ドット、12ドット、8ドット、4ドット（垂直ドット数は全て20ドット）のフォントを混在させることができます。各フォント種類の選択は文字コードで行います。図2.16.39に特殊OSDモードブロック表示例と表2.16.11に文字コードと表示フォントの対応を示します。

注.　8×20と4×20ドットフォントは、文字背景色のみ表示できます。また、これらのフォントより右側に文字は表示できません。

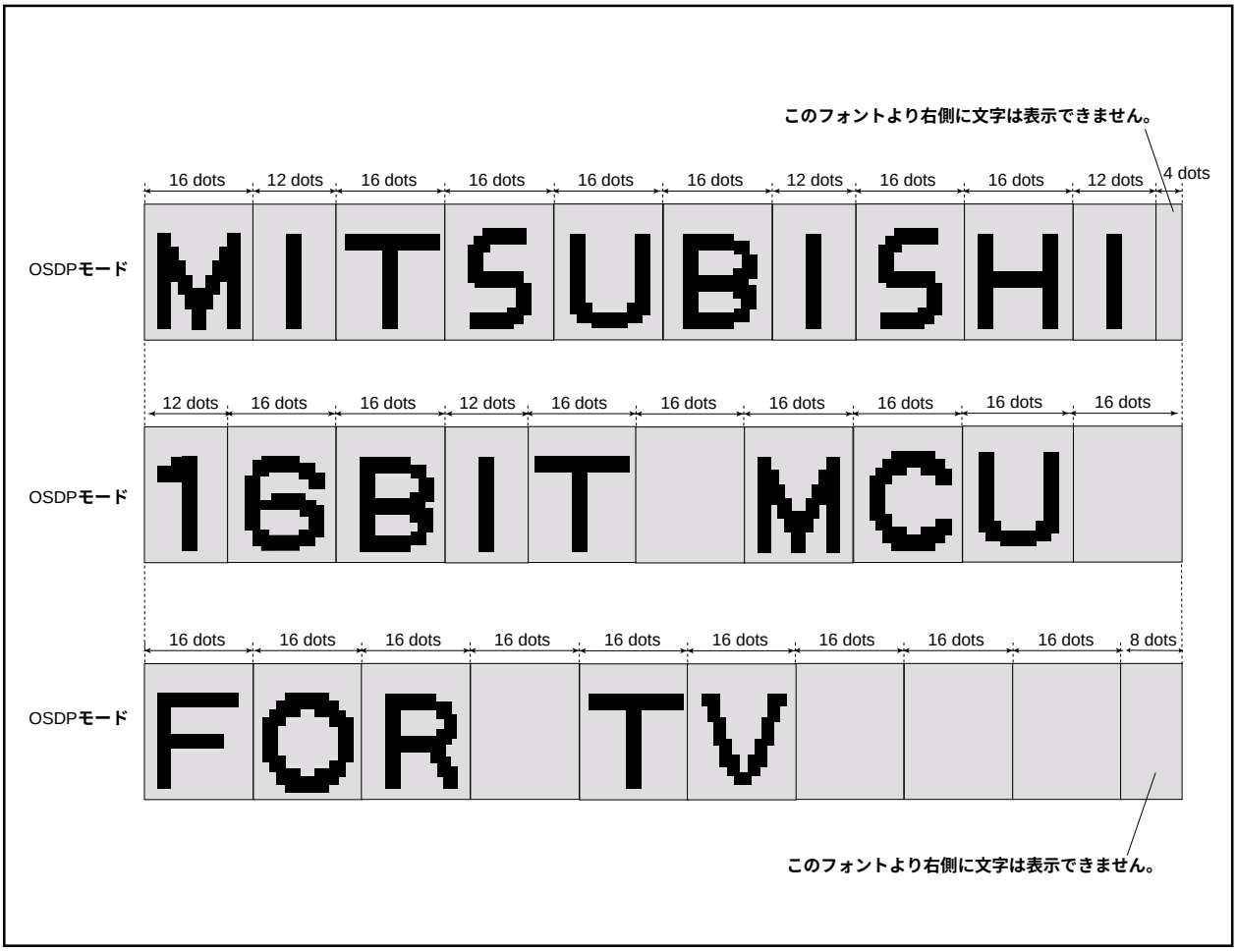
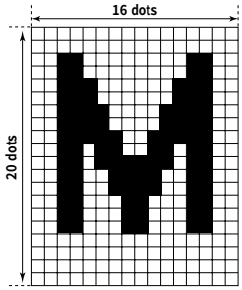
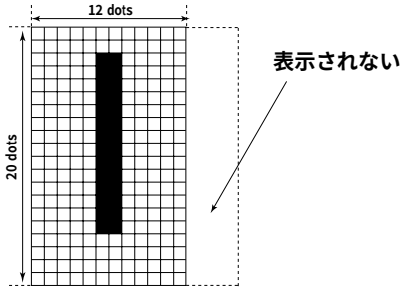
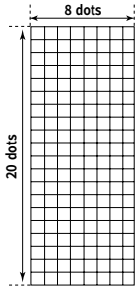
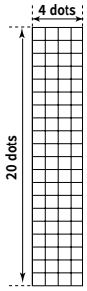


図2.16.39　OSDPモードブロック表示例

表2.16.11　文字コードと表示フォントの対応

文字コード	表示フォント	注意
000_{16}〜$0EF_{16}$, 100_{16}〜$2FF_{16}$ (100_{16}, 180_{16}, 200_{16}, 280_{16}を除く)		
$0F0_{16}$〜$0FD_{16}$		・設定したフォントの左から12ドット分(16×12ドット)が表示されます。 ・CC, OSDSモード時は、設定したフォント全体(16×20ドット)が表示されます。
$3FE_{16}$		・ブランクフォント（文字背景色のみ）が表示されます。 ・このフォントより右側に文字表示はできません。 ・このフォントはブロックの1文字目（左端）に設定しないでください。
$3FF_{16}$		・ブランクフォント（文字背景色のみ）が表示されます ・このフォントより右側に文字表示はできません。 ・このフォントはブロックの1文字目（左端）に設定しないでください。

2.16.13　多行表示

本マイクロコンピュータは、16のブロックを別々の垂直位置に表示することによって16行の表示を行うことができます。更に、OSD1割り込みを用いることにより、16行以上の表示を行うことができます。

OSD1割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置（垂直位置レジスタにより指定）にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。ただし、OSDコントロールレジスタ2（図2.16.7参照）の設定によってOSD1割り込み要求が発生するモードが異なります。

・OSDコントロールレジスタ2のビット7が“ 0 ”のとき、レイヤ1のブロック表示終了時にOSD1割り込み要求が発生
・OSDコントロールレジスタ2のビット7が“ 1 ”のとき、レイヤ2のブロック表示終了時にOSD1割り込み要求が発生

注1. ブロック表示終了時に発生する“ OSD1割り込み要求 ”は,ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタi（0210$_{16}$～021F$_{16}$番地）の表示制御ビットの設定によってブロックの表示がオフ（非表示）状態であれば、“ OSD1割り込み要求 ”は発生しません（図2.16.40のA参照）。
2. 1つのブロック表示中に途中の他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します（図2.16.40のB参照）。
3. ウインドウを設定した画面で、ウインドウ外にあるブロック（表示OFF）が表示終了した時点でも“ OSD1割り込み要求 ”は発生します（図2.16.40のC参照）。

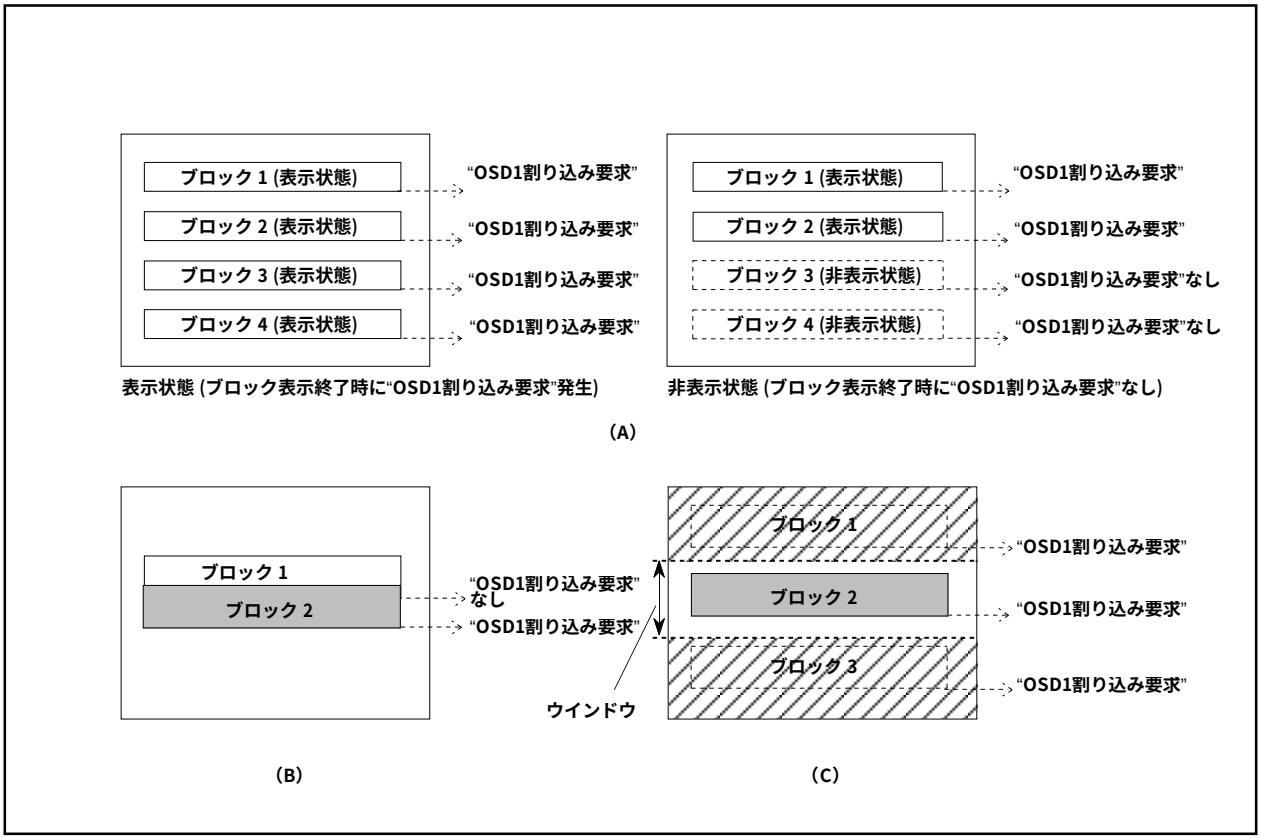


図2.16.40　OSD1割り込み発生の注意点

2.16.14　スプライトOSD機能

スプライト表示はブロックOSD表示の有無や表示位置にかかわらず、任意の位置に表示することのできる機能で、カーソル表示等に最適です。スプライトフォントはスプライトフォント1とスプライトフォント2の2文字から構成されています。各スプライトフォントは横32ドット×縦20ドット構成のRAMフォントで、4つのプレーンから構成されており、1ドットあたり4ビットのデータを持っています。各プレーンはカラーパレット選択ビットと対応しており、各ドットごとにプレーンの組合せ（4ビット）によって表される16種類のカラーパレットが選択可能です。スプライトフォントはRAMで構成されているため、ソフトウエアによって任意のフォントデータに加工できます。

スプライトOSDはスプライトOSD制御レジスタによって、スプライト表示ON/OFF、ドットサイズ、を設定します。スプライト水平位置レジスタ、スプライト垂直位置レジスタによって、ブロック表示とは独立して表示位置を設定することができます。スプライトフォント1とスプライトフォント2はそれぞれ独立して垂直位置が設定できます。各フォント表示終了時、OSD2割り込み要求を発生します。水平位置は2TOSC単位に2048段階で、垂直位置は1TH単位に1024段階で設定できます。

スプライト表示が他のOSD表示と重なった場合、常にスプライト表示が優先します。ただし、OUT2が出力されているOSD表示と重なった場合は、OSD表示のOUT2はマスクされず、出力されます。

注1.　スプライトOSDでは、OUT2は出力できません。
2.　スプライトOSD使用時、HS≦“ 003_{16} ”, HS≧“ 800_{16} ”は設定しないでください。
3.　スプライトOSD使用時、VSi = “ 000_{16} ”, VSi ≧“ 400_{16} ”は設定しないでください。
4.　同レイヤ内でスプライトフォント1とスプライトフォント2を重ねて表示した場合、垂直表示位置の設定値が大きい方が表示されます。垂直表示位置が同一の場合、スプライトフォント1が表示されます。

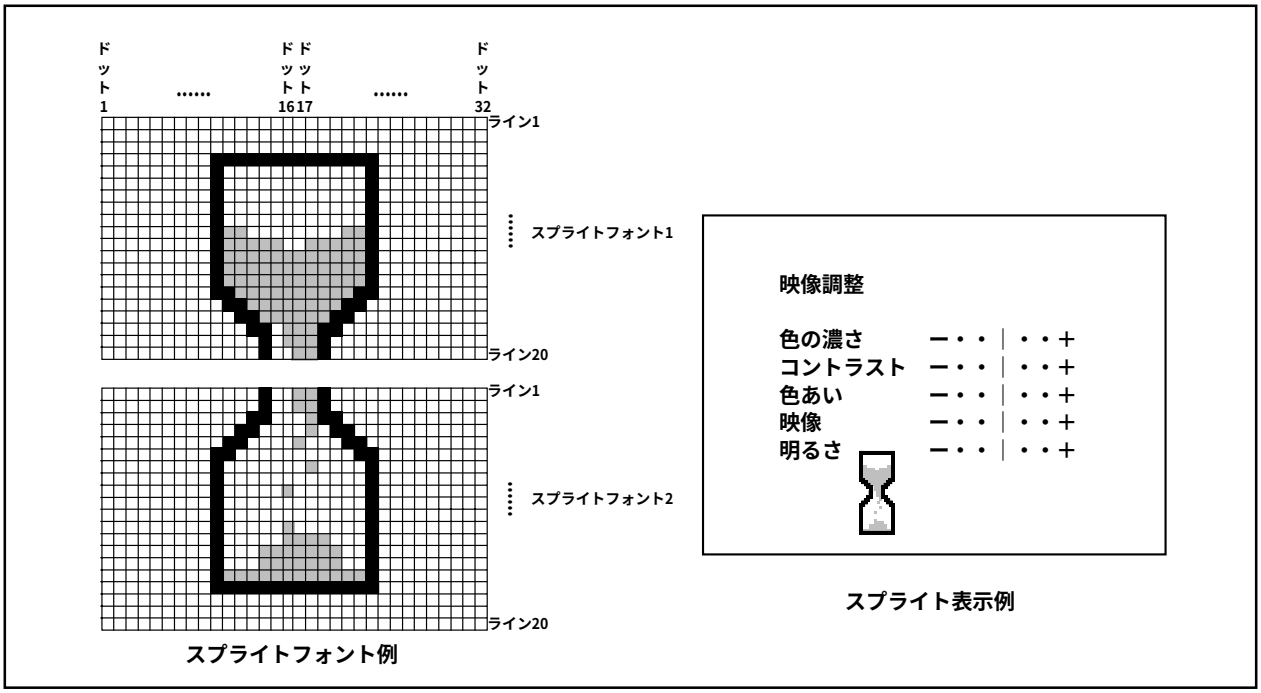
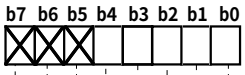


図2.16.41　スプライトOSD表示例

スプライトOSD制御レジスタ



シンボル	アドレス	リセット時
SC	0201_{16}	$XXX00000_{16}$

ビットシンボル	ビット名	機　　能	R	W
SC0	スプライトフォント1制御ビット	0: 表示しない 1: 表示する	○	○
SC1	プリ分周比選択ビット	0: プリ分周比1 1: プリ分周比2	○	○
SC2	ドットサイズ選択ビット	b3 b2 0 0 : 1Tc×1/2H 0 1 : 1Tc×1H 1 0 : 2Tc×1H 1 1 : 2Tc×2H	○	○
SC3			○	○
SC4	スプライトフォント2制御ビット	0: 表示しない 1: 表示する	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			–	–

注1.　T_C：プリ分周したOSD用クロック周期
　2.　H：H_{SYNC}

図2.16.42　スプライトOSD制御レジスタ

スプライト水平位置レジスタ

(b15) b7 b6 b5 b4 b3 b2 b1 b0 (b8) b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
HS	0279_{16}, 0278_{16}	不定

ビットシンボル	ビット名	機　能	R	W
HS10～HS0	スプライトOSD 水平表示開始位置制御ビット	水平表示開始位置＝2Tosc×n (n：設定値、Tosc：OSD発振周期)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注.　HS≦“003_{16}”, HS≧“800_{16}”は設定しないでください。

図2.16.43　スプライト水平位置レジスタ

スプライト垂直位置レジスタi

(b15) b7 b6 b5 b4 b3 b2 b1 b0 (b8) b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
VS1	0275_{16}, 0274_{16}	不定
VS2	0277_{16}, 0276_{16}	不定

ビットシンボル	ビット名	機　能	R	W
VSi9～VSi0	スプライトフォント1 垂直表示開始位置制御ビット （i=1, 2）	垂直表示開始位置＝T_H×n （n：設定値、T_H：H_{SYNC}の周期）	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注.　VSi＝“000_{16}”,VSi≧“400_{16}”は設定しないでください（i=1, 2）。

図2.16.44　スプライト垂直位置レジスタi（i=1, 2）

2.16.15　ウインドウ機能

画面内にウインドウを設定し、ウインドウを設定した領域でのみ、OSDを出力する機能です。

縦ウインドウ機能のON/OFFは、OSDコントロールレジスタ1のビット5によって行い、OSDコントロールレジスタ2のビット6で縦ブランク機能と切り換えて使用します。したがって、縦ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウインドウ機能を使用する表示モードを選択します。ウインドウの上端はトップボーダーコントロールレジスタ（TBR）、下端はボトムボーダーコントロールレジスタ（BBR）によって指定します。

横ウインドウ機能のON/OFFは、OSDコントロールレジスタ2のビット4によって行い、OSDコントロールレジスタ2のビット5で横ブランク機能と切り換えて使用します。したがって、横ブランク機能と同時に使用することはできません。また、OSDコントロールレジスタ3のビット5～ビット7で、ウインドウ機能を使用する表示モードを選択します。ウインドウの左端はレフトボーダーコントロールレジスタ（LBR）、右端はライトボーダーコントロールレジスタ（RBR）によって指定します。

注1.　横ブランクと横ウインドウ、縦ブランクと縦ウインドウは、同時に使用することはできません。
2.　OSDコントロールレジスタ1, 2でウィンドウ機能を動作設定にした場合、OUT2のウィンドウ機能はOSDコントロールレジスタ3（ビット5～ビット7）の設定値にかかわらず、すべての表示モードで動作します。例えばCCモードのみウィンドウ機能を動作させた場合でも、OUT2のウィンドウ機能はOSDS/L/PとCDOSDモードでも動作します。
3.　スプライト表示では、ウインドウ機能は動作しません。

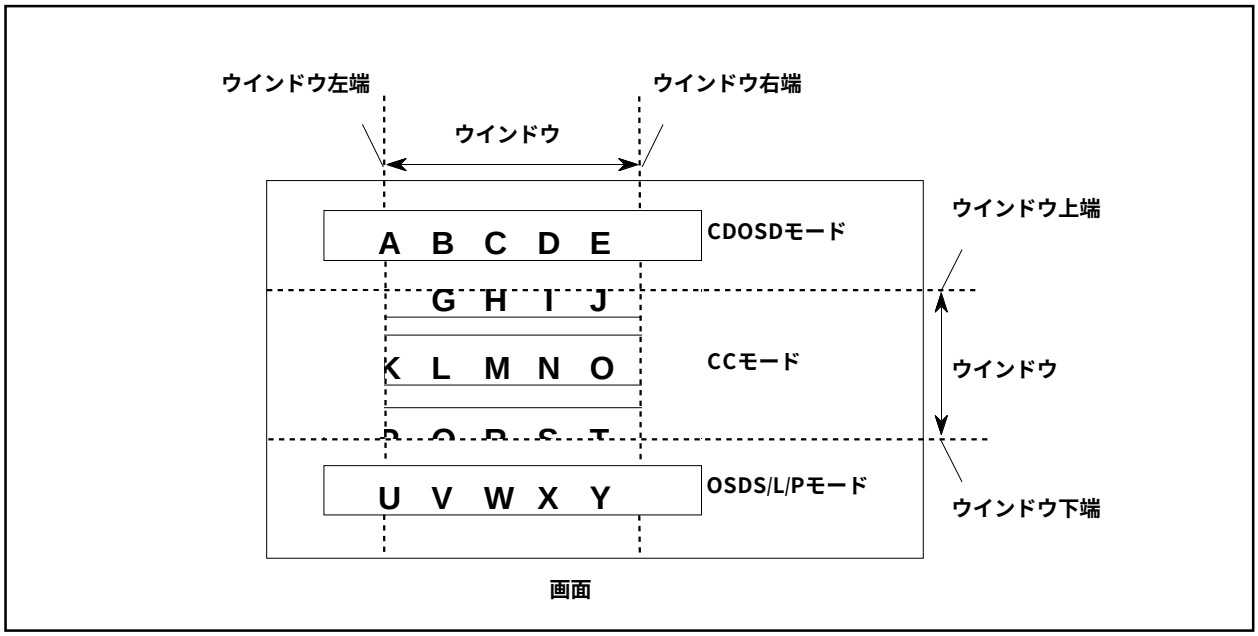


図2.16.45　ウインドウ機能例（CCモード有効時）

2.16.16　ブランク機能

ブランク機能は、画面の両端（縦、横）にブランク（OUT1）を出力する機能です。

縦ブランク機能のON/OFFは、OSDコントロールレジスタ1のビット5で行い、OSDコントロールレジスタ2のビット6で縦ウインドウ機能と切り換えて使用します。したがって、縦ウインドウ機能と同時に使用することはできません。ブランクの上端はトップボーダーコントロールレジスタ（TBR）、ブランクの下端はボトムボーダーコントロールレジスタ（BBR）によって、1H単位に指定します。

横ブランク機能のON/OFFは、OSDコントロールレジスタ2のビット4で行い、OSDコントロールレジスタ2ビット5で横ウインドウ機能と切り換えて使用します。したがって、横ウインドウ機能と同時に使用することはできません。ブランクの左端はレフトボーダーコントロールレジスタ（LBR）、ブランクの右端はライトボーダーコントロールレジスタ（RBR）によって、4Tosc単位に指定します。

なお、ブランクを出力している領域のOSD出力（ラスター以外）が消えることはありません。

これらブランク信号は、水平・垂直帰線期間中出力されません。

注1.　横ブランクと横ウインドウ、縦ブランクと縦ウインドウは、同時に使用することはできません。
　2.　ブランク機能使用時、OSDコントロールレジスタ1のビット0を必ず“1”にしてください。

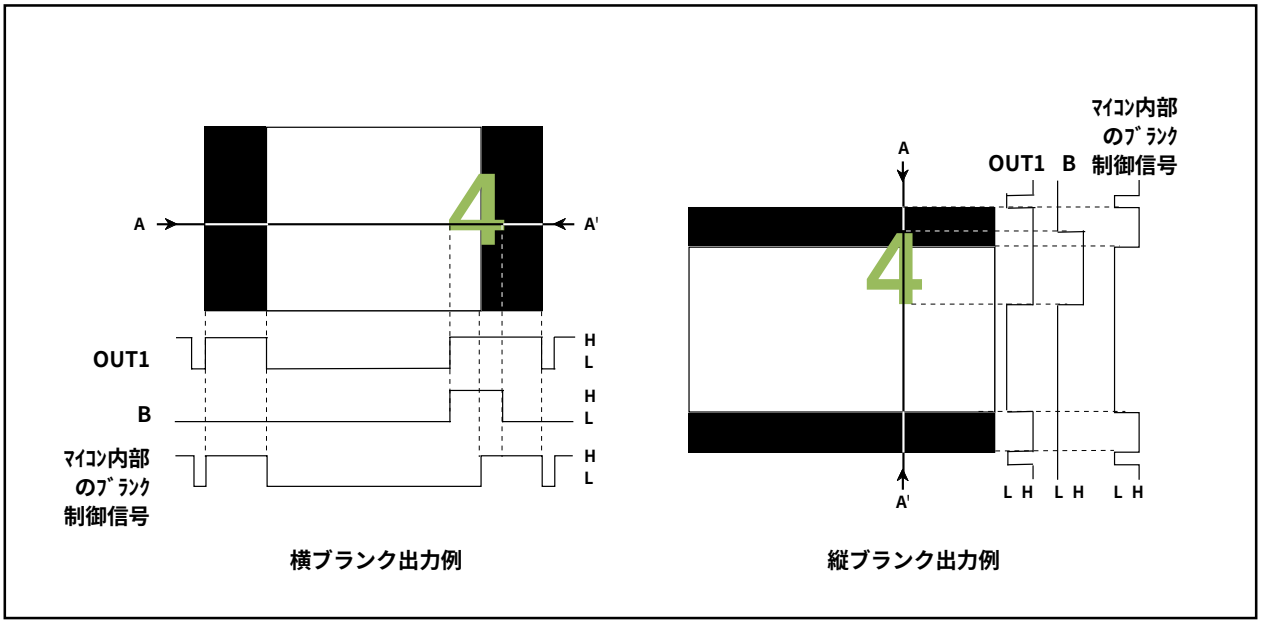
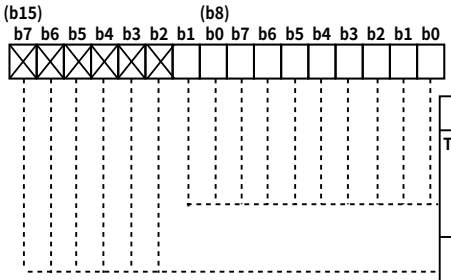


図2.16.46　ブランク出力例（OSD出力がB+OUT1の場合）

トップボーダーコントロールレジスタ



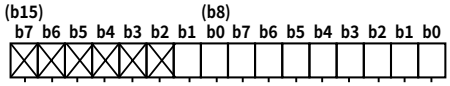
シンボル	アドレス	リセット時
TBR	$020D_{16}$, $020C_{16}$	不定

ビットシンボル	ビット名	機　能	R	W
TBR_9～TBR_0	上端制御ビット	上端位置＝T_H×n （n：設定値、T_H：H_{SYNC}の周期）	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注1.　TBR≦“001_{16}”, TBR≧“400_{16}”は設定しないでください。
　　2.　TBR＜BBRとなるように値を設定してください。

図2.16.47　トップボーダーコントロールレジスタ

ボトムボーダーコントロールレジスタ



シンボル	アドレス	リセット時
BBR	$020F_{16}$, $020E_{16}$	不定

ビットシンボル	ビット名	機　能	R	W
BBR_9～BBR_0	下端制御ビット	下端位置＝T_H×n （n：設定値、T_H：H_{SYNC}の周期）	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注1.　BBR≧“400_{16}”は設定しないでください。
　　2.　TBR＜BBRとなるように値を設定してください。

図2.16.48　ボトムボーダーコントロールレジスタ

レフトボーダーコントロールレジスタ

(b15) b7 b6 b5 b4 b3 b2 b1 (b8) b0 b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
LBR	0271_{16}, 0270_{16}	$XXXXX00000000001_2$

ビットシンボル	ビット名	機　能	R	W
LBR_10～LBR_0	左端制御ビット	左端位置＝4Tosc×n (n：設定値、Tosc：OSD発振周期)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注1.　LBR≦“003_{16}”, LBR≧“800_{16}”は設定しないでください。
　　2.　LBR＜RBRとなるように値を設定してください。

図2.16.49　レフトボーダーコントロールレジスタ

ライトボーダーコントロールレジスタ

(b15) b7 b6 b5 b4 b3 b2 b1 (b8) b0 b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
RBR	0273_{16}, 0272_{16}	$XXXXX00000000000_2$

ビットシンボル	ビット名	機　能	R	W
RBR_10～RBR_0	右端制御ビット	右端位置＝4Tosc×n (n：設定値、Tosc：OSD発振周期)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

注1.　RBR≧“800_{16}”は設定しないでください。
　　2.　LBR＜RBRとなるように値を設定してください。

図2.16.50　ライトボーダーコントロールレジスタ

2.16.17　ラスター着色機能

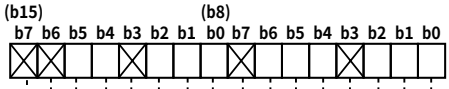
ラスターカラーレジスタを設定することによって、一画面全体（ラスター）に着色を行うことができます。R, G, B, OUT1, OUT2端子それぞれをラスター信号出力に切り替えることが可能で、512種類のラスター着色が可能です。

文字色／文字背景色がラスター色と重なっている部分は、文字色／文字背景色に指定した色信号（R, G, B, OUT1, OUT2）が優先して出力されます。したがって文字色／文字背景色とラスター色が混合することはありません。

図2.16.51にラスターカラーレジスタを、図2.16.52にラスター着色例を示します。

注.　ブランクが出力されている領域にはラスターは出力されません。

ラスターカラーレジスタ



シンボル：RSC　　アドレス：0209_{16}, 0208_{16}　　リセット時：0000_{16}

ビットシンボル	ビット名	機　能	R	W
RSC2～RSC0	R信号出力制御ビット	b2 b1 b0 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
RSC6～RSC4	G信号出力制御ビット	b6 b5 b4 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
RSC10～RSC8	B信号出力制御ビット	b10 b9 b8 0 0 0：Vss 0 0 1：1/7Vcc 0 1 0：2/7Vcc 0 1 1：3/7Vcc 1 0 0：4/7Vcc 1 0 1：5/7Vcc 1 1 0：6/7Vcc 1 1 1：Vcc	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—
RSC12	OUT1信号出力制御ビット	0：出力しない 1：出力する	○	○
RSC13	OUT2信号出力制御ビット	0：出力しない 1：出力する	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。			—	—

図2.16.51　ラスターカラーレジスタ

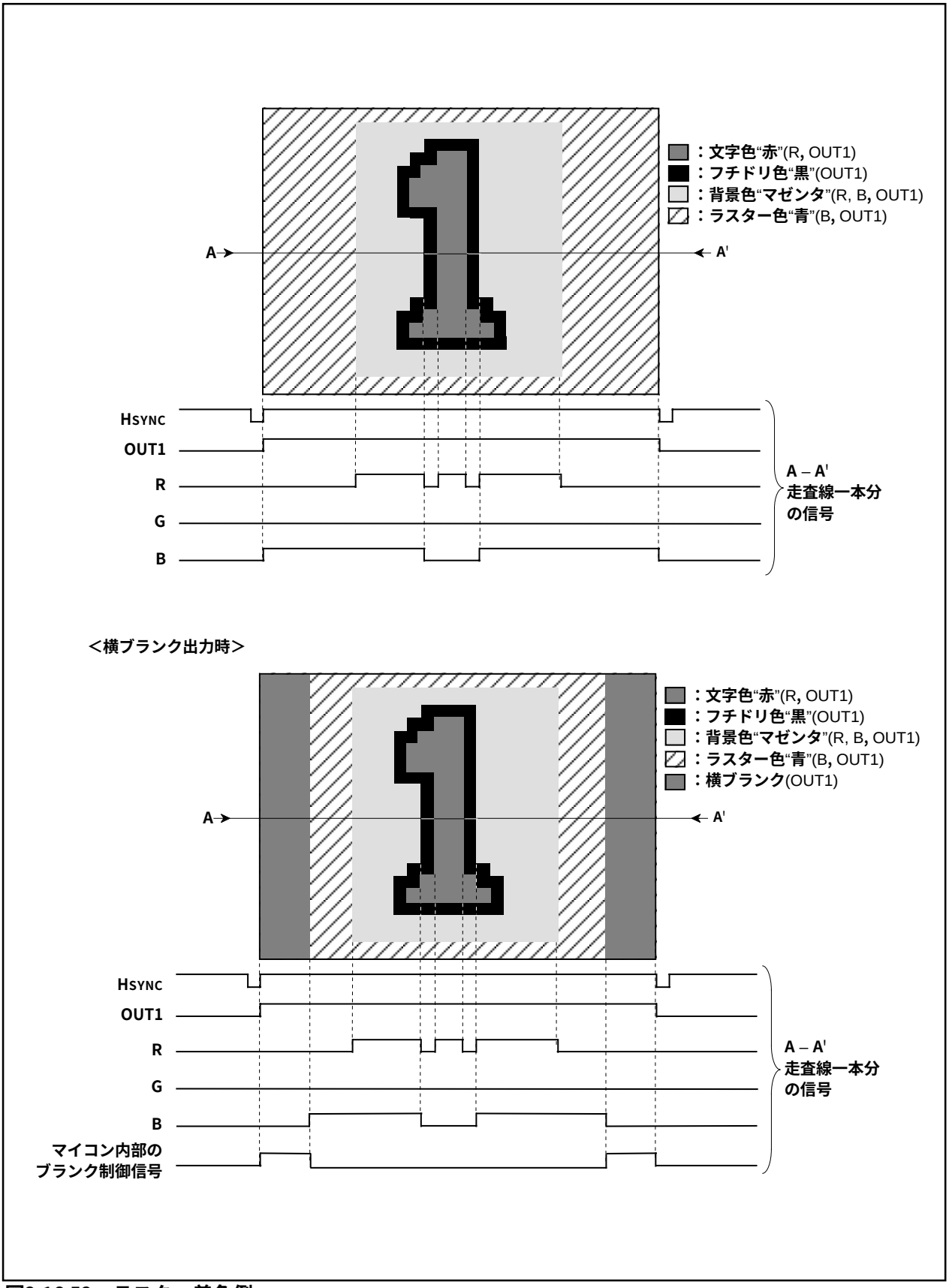


図2.16.52　ラスター着色例

2.16.18　スキャンモード

通常の2倍の周波数のHSYNCに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置, 垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタ1のビット1で選択します（図2.16.3参照）。

表2.16.12　スキャンモードの設定

項目 ＼ スキャンモード	ノーマルスキャン	バイスキャン
OSDコントロールレジスタ1のビット1	0	1
垂直表示開始位置	垂直位置レジスタの値×1H	垂直位置レジスタの値×2H
垂直ドットサイズ	1Tc×1/2H 1Tc×1H 2Tc×2H 3Tc×3H	1Tc×1H 1Tc×2H 2Tc×4H 3Tc×6H

2.16.19　R, G, B信号出力制御

R, G, B信号の出力形態はOSDコントロールレジスタ2のビット2によって下表のように制御されます。

表2.16.13　R, G, B信号出力制御

OSDコントロールレジスタ2のビット2	R, G, B信号の出力形態
0	R, G, B各端子2値出力（デジタル出力）
1	R, G, B各端子8値出力（アナログ出力）

2.16.20 OSD予約レジスタ

OSD予約レジスタi（i = 1, 2）

シンボル	アドレス	リセット時
OR1	025D16番地	0016
OR2	027C16番地	0016

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください	○	○

図2.16.53 OSD予約レジスタi (i = 1, 2)

OSD予約レジスタ3

シンボル	アドレス	リセット時
OR3	027B16番地	XX000000₂

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください	○	○
予約ビット		必ず“0”にしてください	×	○

図2.16.54 OSD予約レジスタ3

OSD予約レジスタ4

シンボル	アドレス	リセット時
OR4	027A16番地	X0000000₂

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	1

ビットシンボル	ビット名	機　能	R	W
予約ビット（注）		必ず“1”にしてください	○	○
予約ビット		必ず“0”にしてください	○	○
予約ビット		必ず“0”にしてください	—	○

注. このビットはリセット時“0”になりますので、リセット解除後必ず“1”を設定してください。

図2.16.55 OSD予約レジスタ4

2.17 プログラマブル入出力ポート

プログラマブル入出力ポートは、$P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_0$～$P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$の46本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。

プログラマブル入出力ポートの構成を、図2.17.1～図2.17.3に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

2.17.1 方向レジスタ

方向レジスタを、図2.17.5～2.17.12に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(1) プロテクトレジスタの影響

P9の方向レジスタの書き込みは、プロテクトレジスタの影響を受けます。P9の方向レジスタを容易に書き替えることができません。

2.17.2 ポートレジスタ

ポートレジスタを、図2.17.13～ 図2.17.20に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(1) ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなく、ポートレジスタの内容を読み込みます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

(2) ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれますが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

2.17.3　プルアップ制御レジスタ

プルアップ制御レジスタを、図2.17.24～ 図2.17.26に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

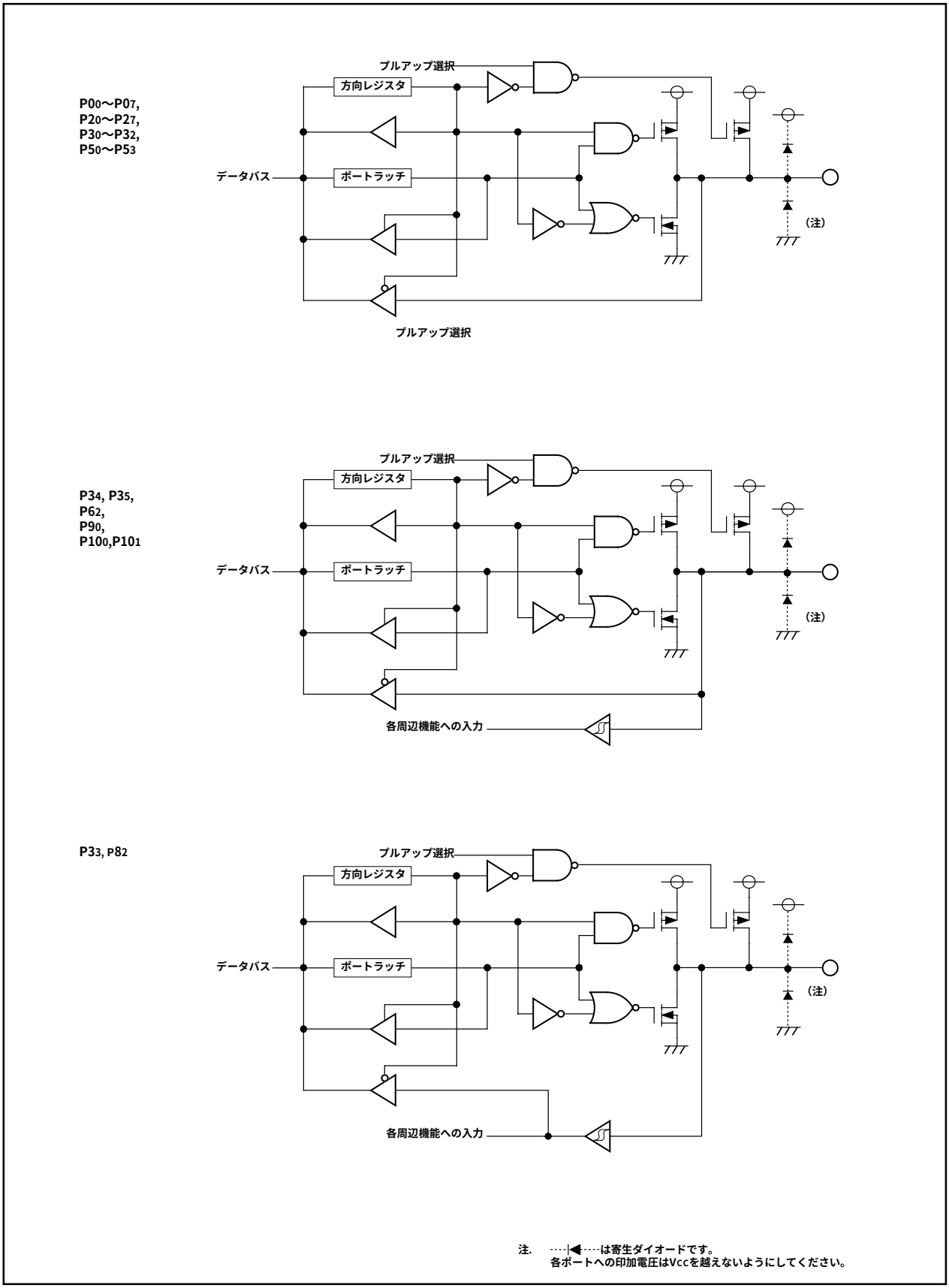
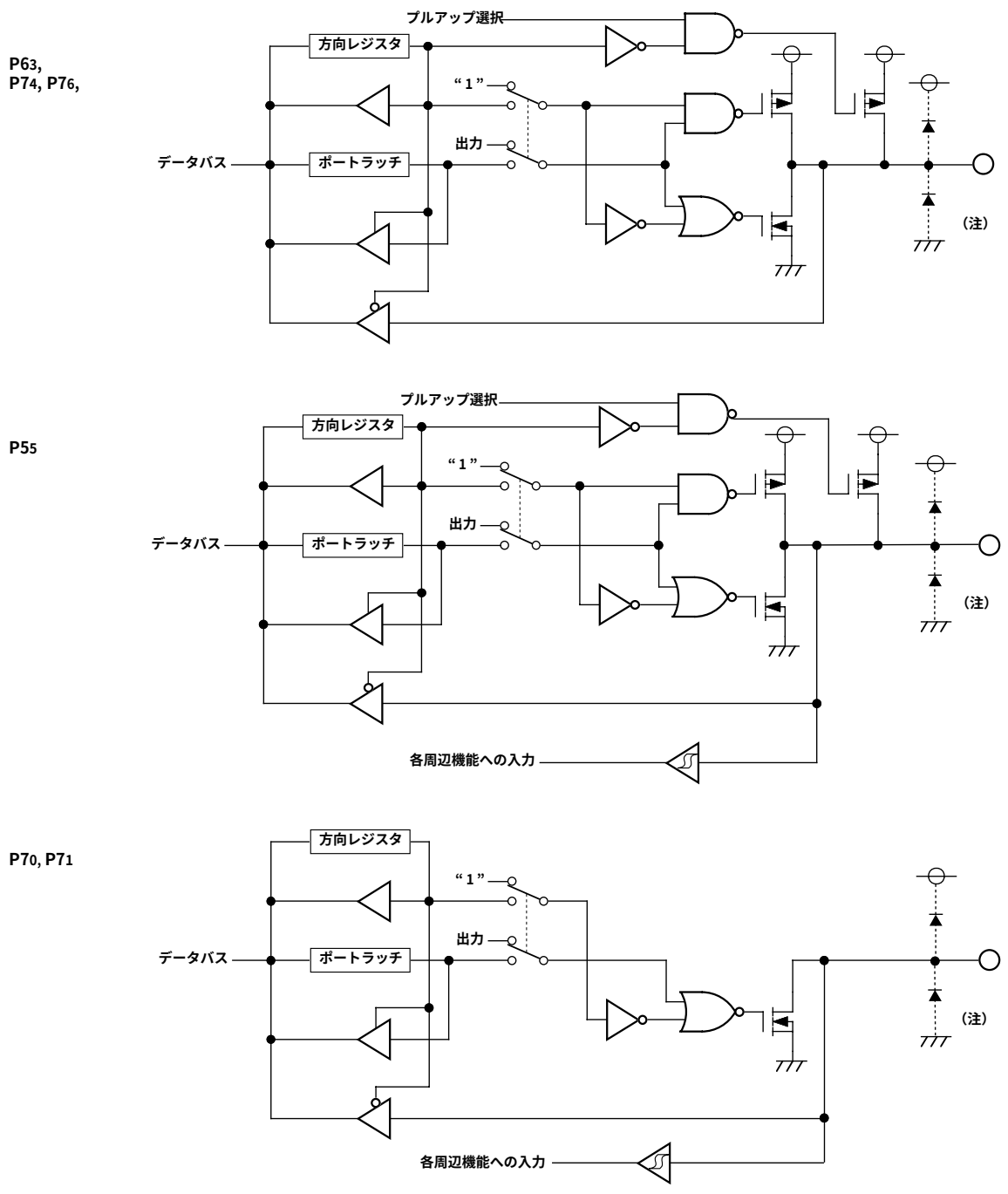


図2.17.1　プログラマブル入出力ポートの構成(1)



注. ----|◀---- は寄生ダイオードです。
各ポートへの印加電圧はVccを越えないようにしてください。

図2.17.2　プログラマブル入出力ポートの構成(2)

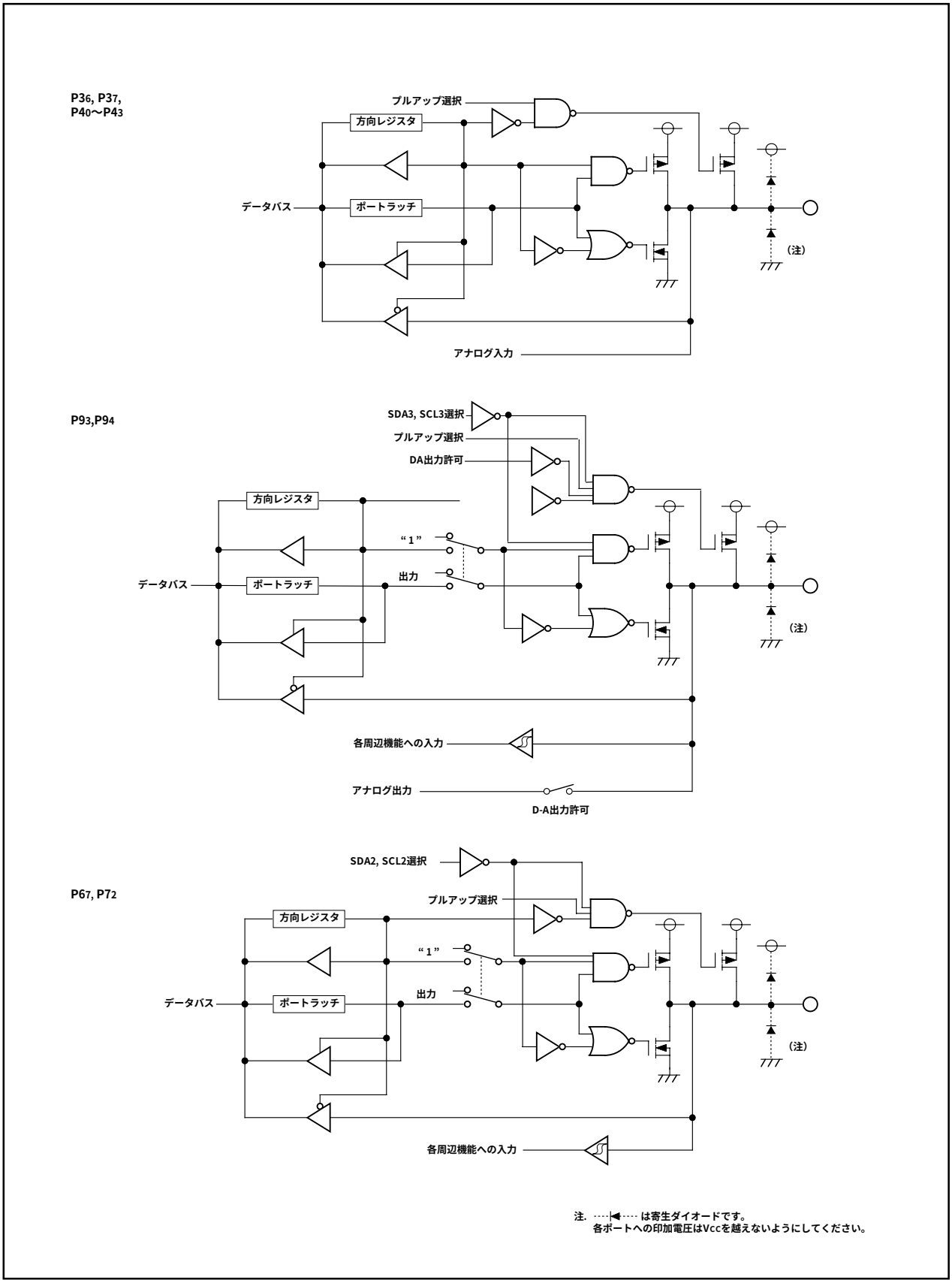
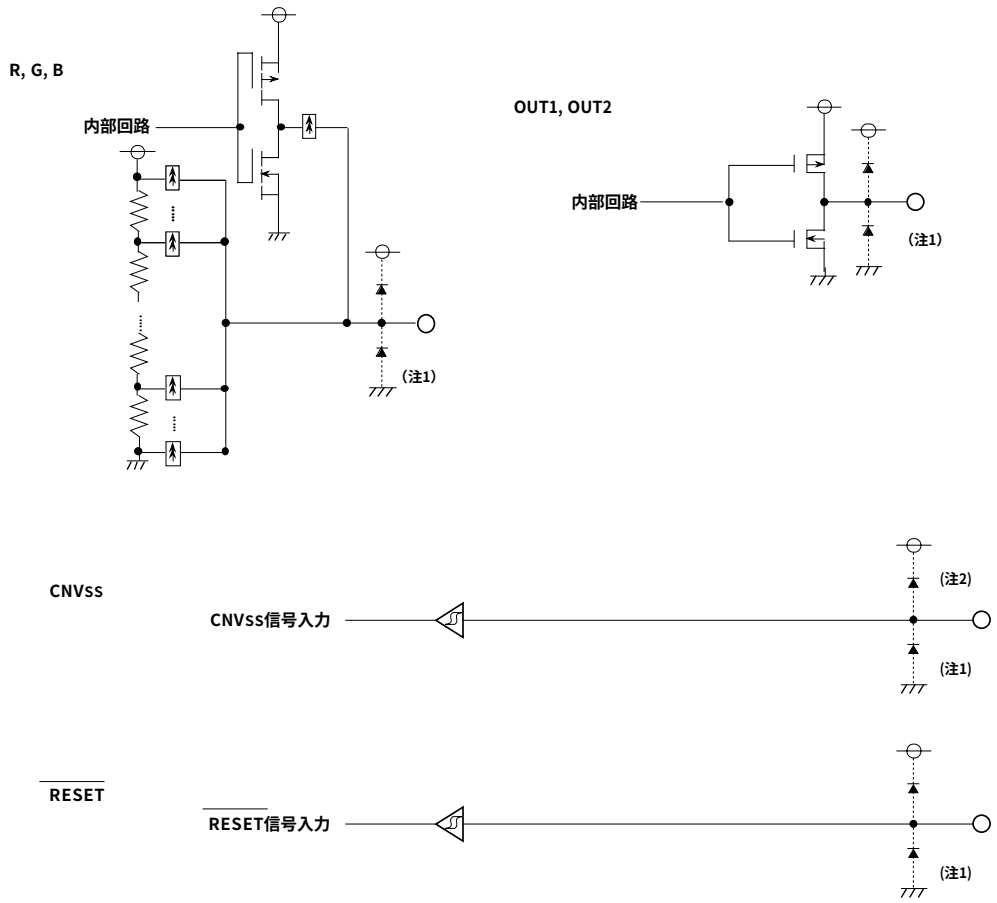


図2.17.3　プログラマブル入出力ポートの構成(3)



注1. ……◀…… は寄生ダイオードです。
各端子への印加電圧はVccを越えないようにしてください。
2. マスクROM版にのみVcc側の寄生ダイオードが付加されています。
各端子への印加電圧はVccを越えないようにしてください。

図2.17.4　端子の構成

ポートPi方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PDi(i=0, 2, 3)	$03E2_{16}$,$03E6_{16}$,$03E7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0, 2, 3)	○	○
PDi_1	ポートPi1方向レジスタ		○	○
PDi_2	ポートPi2方向レジスタ		○	○
PDi_3	ポートPi3方向レジスタ		○	○
PDi_4	ポートPi4方向レジスタ		○	○
PDi_5	ポートPi5方向レジスタ		○	○
PDi_6	ポートPi6方向レジスタ		○	○
PDi_7	ポートPi7方向レジスタ		○	○

図2.17.5　ポートPi方向レジスタ (i = 0, 2, 3)

ポートP4方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1				

シンボル	アドレス	リセット時
PD4	$03EA_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PD4_0	ポートP40方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD4_1	ポートP41方向レジスタ		○	○
PD4_2	ポートP42方向レジスタ		○	○
PD4_3	ポートP43方向レジスタ		○	○
予約ビット		必ず“1”を設定してください	○	○

図2.17.6　ポートP4方向レジスタ

ポートP5方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
1	1		1			1	

シンボル	アドレス	リセット時
PD5	$03EB_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PD5_0	ポートP5$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“1”を設定してください	○	○
PD5_2	ポートP5$_2$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD5_3	ポートP5$_3$方向レジスタ		○	○
予約ビット		必ず“1”を設定してください	○	○
PD5_5	ポートP5$_5$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“1”を設定してください	○	○

図2.17.7　ポートP5方向レジスタ

ポートP6方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	1	1	1			0	1

シンボル	アドレス	リセット時
PD6	$03EE_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“1”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
PD6_2	ポートP6$_2$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD6_3	ポートP6$_3$方向レジスタ		○	○
予約ビット		必ず“1”を設定してください	○	○
PD6_7	ポートP6$_7$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○

図2.17.8　ポートP6方向レジスタ

ポートP7方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0		0		1			

シンボル	アドレス	リセット時
PD7	$03EF_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PD7_0	ポートP7$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD7_1	ポートP7$_1$方向レジスタ			
PD7_2	ポートP7$_2$方向レジスタ			
予約ビット		必ず“1”を設定してください	○	○
PD7_4	ポートP7$_4$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“0”を設定してください	○	○
PD7_6	ポートP7$_6$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“0”を設定してください	○	○

図2.17.9　ポートP7方向レジスタ

ポートP8方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
1	1	×	1	0		0	0

シンボル	アドレス	リセット時
PD8	$03F2_{16}$番地	$00X00000_2$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
PD8_2	ポートP8$_2$方向レジスタ	0：入力モード （入力ポートとして機能）	○	○
		1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“1”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—
予約ビット		必ず“1”を設定してください	○	○

図2.17.10　ポートP8方向レジスタ

ポートP9方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
1	1	1			1	1	

シンボル	アドレス	リセット時
PD9	$03F3_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PD9_0	ポートP9_0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
予約ビット		必ず“1”を設定してください	○	○
PD9_3	ポートP9_3方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD9_4	ポートP9_4方向レジスタ			
予約ビット		必ず“1”を設定してください	○	○

図2.17.11　ポートP9方向レジスタ

ポートP10方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル	アドレス	リセット時
PD10	$03F6_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PD10_0	ポートP10_0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD10_1	ポートP10_1方向レジスタ			
予約ビット		必ず“0”を設定してください	○	○

図2.17.12　ポートP10方向レジスタ

ポートPiレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル: Pi(i=0, 2, 3)　　アドレス: $03E0_{16}$, $03E4_{16}$, $03E5_{16}$番地　　リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル (i=0, 2, 3)	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

図2.17.13　ポートPiレジスタ (i = 0, 2, 3)

ポートP4レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0				

シンボル: P4　　アドレス: $03E8_{16}$番地　　リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
P4_0	ポートP40レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P4_1	ポートP41レジスタ		○	○
P4_2	ポートP42レジスタ		○	○
P4_3	ポートP43レジスタ		○	○
予約ビット		必ず“0”を設定してください	○	○

図2.17.14　ポートP4レジスタ

ポートP5レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0		0			0	

シンボル	アドレス	リセット時
P5	$03E9_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
P5_0	ポートP5$_0$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”を設定してください	○	○
P5_2	ポートP5$_2$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P5_3	ポートP5$_3$レジスタ		○	○
予約ビット		必ず“0”を設定してください	○	○
P5_5	ポートP5$_5$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”を設定してください	○	○

図2.17.15　ポートP5レジスタ

ポートP6レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0			0	0

シンボル	アドレス	リセット時
P6	$03EC_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”に設定してください	○	○
P6_2	ポートP6$_2$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P6_3	ポートP6$_3$レジスタ		○	○
予約ビット		必ず“0”に設定してください	○	○
P6_7	ポートP6$_7$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○

図2.17.16　ポートP6レジスタ

ポートP7レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0		0		0			

シンボル	アドレス	リセット時
P7	$03ED_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
P7_0	ポートP7_0レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル（注）	○	○
P7_1	ポートP7_1レジスタ		○	○
P7_2	ポートP7_2レジスタ		○	○
予約ビット		必ず“0”を設定してください	○	○
P7_4	ポートP7_4レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”を設定してください	○	○
P7_6	ポートP7_6レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”を設定してください	○	○

注．P7_0、P7_1はNチャンネルオープンドレインポートのため、ハイインピーダンスとなります。

図2.17.17　ポートP7レジスタ

ポートP8レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0		0	0

シンボル	アドレス	リセット時
P8	$03F0_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”に設定してください	○	○
P8_2	ポートP8_2レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”に設定してください	○	○

図2.17.18　ポートP8レジスタ

ポートP9レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0			0	0	

シンボル: P9
アドレス: $03F1_{16}$番地
リセット時: 不定

ビットシンボル	ビット名	機　　能	R	W
P9_0	ポートP9$_0$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
予約ビット		必ず“0”を設定してください	○	○
P9_3	ポートP9$_3$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P9_4	ポートP9$_4$レジスタ		○	○
予約ビット		必ず“0”を設定してください	○	○

図2.17.19　ポートP9レジスタ

ポートP10レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル: P10
アドレス: $03F4_{16}$番地
リセット時: 不定

ビットシンボル	ビット名	機　　能	R	W
P10_0	ポートP10$_0$レジスタ	対応するビットの読み出し、及び書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P10_1	ポートP10$_1$レジスタ		○	○
予約ビット		必ず“0”を設定してください	○	○

図2.17.20　ポートP10レジスタ

ポート予約レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

シンボル	アドレス	リセット時
PR1	$03E1_{16}$番地	不定

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	○	○

図2.17.21　ポート予約レジスタ1

ポート予約レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1	1	1	1	1

シンボル	アドレス	リセット時
PR2	$03E3_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“1”を設定してください	○	○

図2.17.22　ポート予約レジスタ2

ポート予約レジスタ3

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	X	X	X	0

シンボル	アドレス	リセット時
PR3	$03FF_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			—	—

図2.17.23　ポート予約レジスタ3

プルアップ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
				0	0		

シンボル	アドレス	リセット時
PUR0	$03FC_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU01	$P0_4$～$P0_7$のプルアップ		○	○
予約ビット		必ず“0”を設定してください	○	○
PU04	$P2_0$～$P2_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU05	$P2_4$～$P2_7$のプルアップ		○	○
PU06	$P3_0$～$P3_3$のプルアップ		○	○
PU07	$P3_4$～$P3_7$のプルアップ		○	○

図2.17.24　プルアップ制御レジスタ0

プルアップ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
						0	

シンボル	アドレス	リセット時
PUR1	$03FD_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU10	$P4_0$～$P4_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
予約ビット		必ず“0”を設定してください	○	○
PU12	$P5_0$, $P5_2$, $P5_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU13	$P5_5$のプルアップ		○	○
PU14	$P6_2$, $P6_3$のプルアップ		○	○
PU15	$P6_7$のプルアップ(注2)		○	○
PU16	$P7_2$のプルアップ (注2)		○	○
PU17	$P7_4$, $P7_6$のプルアップ		○	○

注1.　$P7_0$, $P7_1$はNチャネルオープンドレインポートのため、プルアップはありません。
　2.　$P6_7$, $P7_2$はI^2C-BUSインタフェースポートとして使用する時、プルアップはありません

図2.17.25　プルアップ制御レジスタ1

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	0	0			0	

シンボル	アドレス	リセット時
PUR2	$03FE_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU20	$P8_2$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
予約ビット		必ず“0”を設定してください	○	○
PU22	$P9_0$, $P9_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU23	$P9_4$のプルアップ		○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			―	―

図2.17.26　プルアップ制御レジスタ2

表2.17.1　シングルチップモード時の未使用端子の処理例

端　子　名	処　理　内　容
ポートP0,P2～P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注)	開放
AVCC	VCCに接続
CNVss	抵抗を介してVssに接続（プルダウン）

注.　XIN端子に外部クロックを入力しているとき

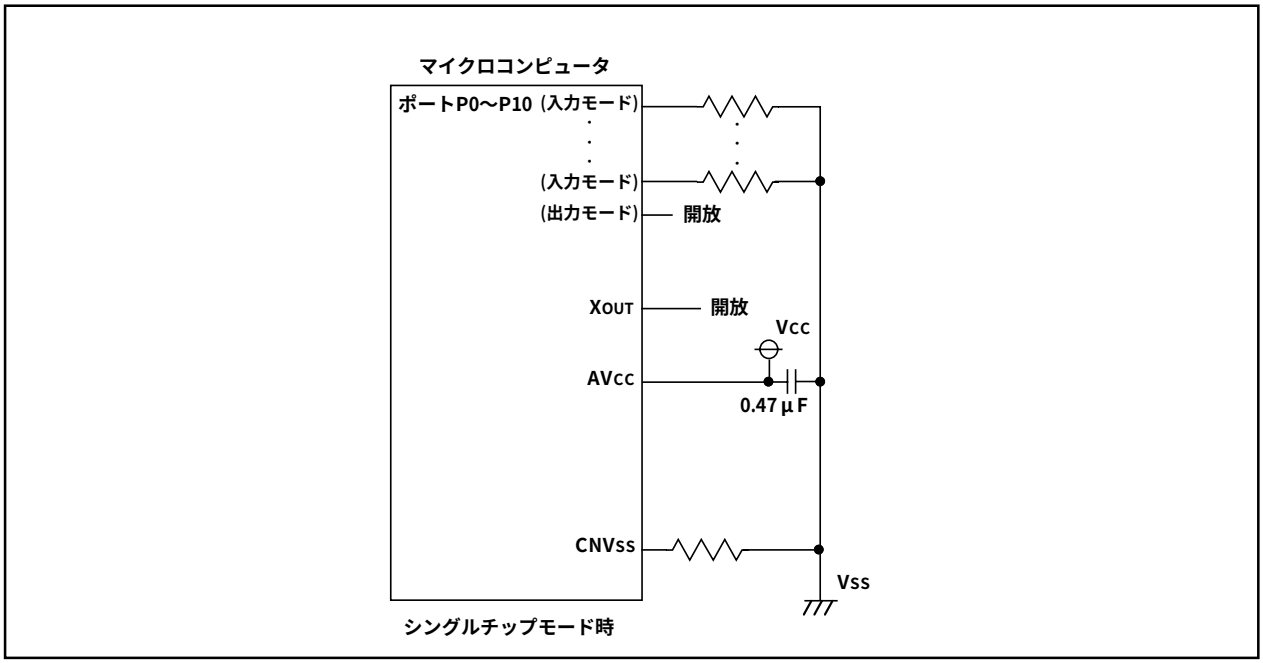


図2.17.27　未使用端子の処理例

3. 使用上の注意事項

3.1 タイマＡの注意事項 (タイマモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

3.2 タイマＡの注意事項 (イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF16が、オーバフロー時は0000 16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

3.3 タイマＡの注意事項 (ワンショットタイマモード)

(1) カウント中にカウント開始フラグを“０”にすると次のようになります。

●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
●TAiOUT端子の出力レベルは“Ｌ”になります。
●割り込み要求が発生し、タイマAi割り込み要求ビットが“１”になります。

(2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、ワンショットタイマモードを選択したとき
●動作モードをタイマモードからワンショットタイマモードに変更したとき
●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

3.4 タイマＡの注意事項 (パルス幅変調モード)

(1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、PWMモードを選択したとき
●動作モードをタイマモードからPWMモードに変更したとき
●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

(2) PWMパルスを出力中にカウント開始フラグを“０”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“Ｈ”レベルを出力している場合は、出力レベルは“Ｌ”になり、タイマAi割り込み要求ビットが“１”になります。“Ｌ”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

3.5 タイマBの注意事項 (タイマモード、イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

3.6 タイマBの注意事項 (パルス周期測定、 パルス幅測定モード)

(1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。

(2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

3.7 A-D変換器の注意事項

(1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始させてください。

(2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(3) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。

(4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

(5) 掃引モードのA-D変換所要時間は（掃引端子数+2端子）×繰り返し回数×1端子のA-D変換所要時間となります。

(6) HSYNC、VSYNC入力を使用したOSD、またはデータスライサ動作中は、A-D掃引モード（単掃引、繰り返し掃引0、繰り返し掃引1）は使用しないでください。

3.8 ストップモード、ウエイトモードの注意事項

(1) ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

(2) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

3.9 割り込みの注意事項

(1) 0000_{16}番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000_{16}番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“0000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

●$\overline{INT_0}$, $\overline{INT_1}$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

(4) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
　対象となる命令・・・AND、OR、BCLR、BSET

3.10　PROM内蔵版使用上の注意事項

3.10.1　PROM内蔵版の全機種に対する注意事項

内蔵PROMへの書き込み時は高い電圧を使用しますので、マイクロコンピュータに過電圧がかからないようにしてください。電源の投入時は特に注意してください。

3.10.2　ワンタイムPROM版に対する注意事項

ワンタイムPROM版では、ユーザにて内蔵PROMを書き込むためのブランク出荷品を用意しています。

ブランク出荷品については、アセンブリ工程以降、PROMの書き込みテスト、およびスクリーニングを、弊社では実施しません。したがって、書き込み以降の信頼性を向上させるために、図3.10.1に示す手順で書き込み、およびテストを行った後、使用することを推奨します。

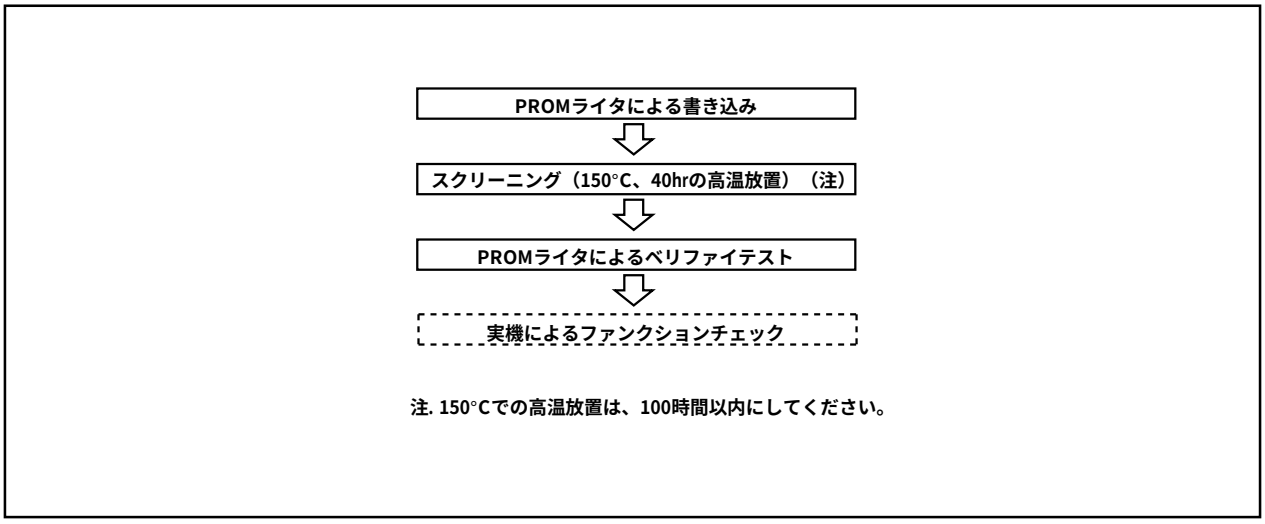


図3.10.1　ワンタイムPROM版の書き込み、およびテスト

4. マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

(1) マスク化確認書

(2) マーク指定書

(3) ROMのデータ ･････････････ EPROM、又はフロッピーディスク

＊EPROMの場合は同一のデータのものを3組準備してください。

＊フロッピーディスクの場合は3.5インチ2HD（IBMフォーマット）で1枚準備してください。

5. 電気的特性

5.1 絶対最大定格

表5.1.1 絶対最大定格

記号	項目		条件	定格値	単位
Vcc	電源電圧			−0.3～6.0	V
AVcc	アナログ電源電圧			−0.3～6.0	V
V_I	入力電圧	$P0_0$～$P0_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_0$, $P7_1$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$, X_{IN}, OSC1, $\overline{RESET}$		−0.3～Vcc+0.3	V
V_I	入力電圧	CNV_{SS}		−0.3～6.0 (注)	V
V_O	出力電圧	$P0_0$～$P0_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_0$, $P7_1$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$, R, G, B, OUT1, OUT2, X_{OUT}, OSC2		−0.3～Vcc+0.3	V
P_d	消費電力		Ta=25 ℃	500	mW
T_{opr}	動作周囲温度			−10～ 70	℃
T_{stg}	保存温度			−40～125	℃

注. CNV_{SS}だけEPROM書き込み時は−0.3～13(V)

5.2 推奨動作条件

表5.2.1 推奨動作条件(指定のない場合は、Vcc=4.5V～5.5V, Ta=－10℃～70℃)

記号	項目	規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧（注3）	4.5	5.0	5.5	V
AVcc	アナログ電源電圧（注3）		Vcc		V
Vss	電源電圧		0		V
V_{IH}	"H"入力電圧 P0₀～P0₇, P2₀～P2₇, P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅, P6₂, P6₃, P6₇, P7₀, P7₁, P7₂, P7₄, P7₆, P8₂, P9₀, P9₃, P9₄, P10₀, P10₁, X_{IN}, OSC1, $\overline{RESET}$, CNVss	0.8Vcc		Vcc	V
V_{IL}	"L "入力電圧 P0₀～P0₇, P2₀～P2₇, P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅, P6₂, P6₃, P6₇, P7₀, P7₁, P7₂, P7₄, P7₆, P8₂, P9₀, P9₃, P9₄, P10₀, P10₁, X_{IN}, OSC1, $\overline{RESET}$, CNVss	0		0.2Vcc	V
I_{OH} (peak)	"H"尖頭出力電流 P0₀～P0₇, P2₀～P2₇,P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅,P6₂, P6₃, P6₇, P7₂, P7₄, P7₆, P8₂, P9₀, P9₃, P9₄, P10₀, P10₁, R, G, B, OUT1, OUT2			－10.0	mA
I_{OH} (avg)	"H"平均出力電流 P0₀～P0₇, P2₀～P2₇,P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅,P6₂, P6₃, P6₇, P7₂, P7₄, P7₆, P8₂, P9₀, P9₃, P9₄, P10₀, P10₁, R, G, B, OUT1, OUT2			－5.0	mA
I_{OL} (peak)	"L "尖頭出力電流 P0₀～P0₇, P2₀～P2₇,P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅,P6₂, P6₃, P6₇, P7₀, P7₁, P7₂, P7₄,P7₆, P8₂, P9₀, P9₃, P9₄, P10₀, P10₁, R, G, B, OUT1, OUT2			10.0	mA
I_{OL} (avg)	"L "平均出力電流 P0₀～P0₇, P2₀～P2₇,P3₀～P3₇, P4₀～P4₃, P5₀, P5₂, P5₃, P5₅,P6₂, P6₃, P7₄, P7₆, P8₂, P9₀, P10₀, P10₁, R, G, B, OUT1, OUT2			5.0	mA
I_{OL} (avg)	"L "平均出力電流 P6₇, P7₀～P7₂, P9₃, P9₄			6.0	mA
f (X_{IN})	メインクロック入力発振周波数			10	MHz
f osc	発振周波数(OSD用) OSC1 LC発振モード	11.0		27.0	MHz
	発振周波数(OSD用) OSC1 ｾﾗﾐｯｸ発振モード	15.0		27.0	MHz
f CVIN	入力周波数 ビデオ信号の水平同期信号	15.262	15.734	16.206	kHz
V_I	入力振幅 ビデオ信号CVIN	1.5	2.0	2.5	V

注1. 平均出力電流は100msの期間内での平均値です。
2. ポートP0, P2, P9, P10の$I_{OL(peak)}$の合計は80mA以下、ポートP0, P2, P9, P10の$I_{OH(peak)}$の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8₂の$I_{OL(peak)}$の合計は80mA以下、ポートP3, P4, P5, P6, P7₂, P7₄, P7₆, P8₂の$I_{OH(peak)}$の合計は80mA 以下にしてください。
3. 電源端子Vcc-Vss間、AVcc-Vss間には電源ノイズ除去のため容量0.1μF以上のコンデンサを外付けして使用してください。また、Vcc-CNVss間にも容量0.1μF以上のコンデンサを外付けして使用してください。

5.3 電気的特性

表5.3.1 電気的特性(指定のない場合は、Vcc=5V,Vss=0V,Ta=25°C,f(XIN)=10MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$, R, G, B, OUT1, OUT2	I_{OH}=−5mA	3.0			V
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$	I_{OH}=−200μA	4.7			V
V_{OH}	"H"出力電圧	X_{OUT} HIGH POWER	I_{OH}=−1mA	3.0			V
		X_{OUT} LOW POWER	I_{OH}=−0.5mA	3.0			
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P10_0$, $P10_1$, R, G, B, OUT1, OUT2	I_{OL}=5mA			2.0	V
V_{OL}	"L"出力電圧	$P6_7$, $P7_0$～$P7_2$, $P9_3$, $P9_4$	I_{OL}=6.0mA			0.6	V
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$	I_{OL}=200μA			0.45	V
V_{OL}	"L"出力電圧	X_{OUT} HIGH POWER	I_{OL}=1mA			2.0	V
		X_{OUT} LOW POWER	I_{OL}=0.5mA			2.0	
V_{T+}-V_{T-}	ヒステリシス	$TB0_{IN}$, $\overline{INT_0}$, $\overline{INT_1}$, CLK_0, CLK_2, SCL1～SCL3, SDA1～SDA3, H_{SYNC}, V_{SYNC}, HC0, HC1, RxD_0, RxD_2		0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$		0.2		1.8	V
V_{T+}-V_{T-}	ヒステリシス	X_{IN}		0.2		0.8	V
I_{IH}	"H"入力電流	$P0_0$～$P0_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_0$, $P7_1$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$ X_{IN}, $\overline{RESET}$, CNV_{SS}, OSC1	V_I=5V			5.0	μA
I_{IL}	"L"入力電流	$P0_0$～$P0_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_0$, $P7_1$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$, $P10_0$, $P10_1$ X_{IN}, RESET, CNV_{SS}, OSC1	V_I=0V			−5.0	μA
R_{PULLUP}	プルアップ抵抗	$P0_0$～$P0_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_3$, $P5_0$, $P5_2$, $P5_3$, $P5_5$, $P6_2$, $P6_3$, $P6_7$, $P7_2$, $P7_4$, $P7_6$, $P8_2$, $P9_0$, $P9_3$, $P9_4$	V_I=0V	30.0	50.0	167.0	kΩ
Icc	電源電流		シングルチップモードで出力端子は開放、その他の端子はVss		70	90	mA
			OSD OFF, ﾃﾞｰﾀｽﾗｲｻOFF		30	50	mA
			f(X_{IN})=10MHz 方形波、8分周 OSD OFF, ﾃﾞｰﾀｽﾗｲｻOFF		10		
			クロック停止時 Ta=25°C			10	μA
			クロック停止時 Ta=70°C			200	
R_{BS}	IICバス・バススイッチ接続抵抗 (SCL1-SCL2間, SDA1-SDA2間)		V_{CC}=4.5V			130	Ω
R_{fXIN}	帰還抵抗 X_{IN}				1.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}				6.0		MΩ

5.4 A-D変換特性

表5.4.1 A-D変換特性 (指定のない場合は、Vcc=AVcc=5V, Vss=0V, Ta=25℃, f(XIN)=10MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc			8	Bits
–	絶対精度	サンプル&ホールド機能なし	VREF =Vcc = 5V			±5	LSB
		サンプル&ホールド機能あり	VREF =Vcc = 5V			±5	LSB
RLADDER	ラダー抵抗		VREF =Vcc	10		40	kΩ
tCONV	変換時間			2.8			μs
tSAMP	サンプリング時間			0.3			μs
VREF	基準電圧				Vcc		V
VIA	アナログ入力電圧			0		Vcc	V

5.5 D-A変換特性

表5.5.1 D-A変換特性 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, f(XIN)=10MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				10	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注)			1.5	mA

注. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00 16 ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D制御レジスタでVref未接続とした場合でも、I VREFは流れます。

5.6 アナログR,G,B出力特性

表5.6.1 アナログR, G, B出力特性 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, f(XIN)=10MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
Ro	出力抵抗				2	kΩ
VOE	出力偏差				±0.5	V
TST	セットリングタイム	負荷容量10pF, 負荷抵抗20kΩ, 70%DCレベル			50	ns

5.7 タイミング必要条件

表5.7.1 外部クロック入力（指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C）

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表5.7.2 タイマB入力(イベントカウンタモードのカウント入力)
(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB0IN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TB0IN入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TB0IN入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TB0IN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TB0IN入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TB0IN入力 "L " パルス幅(両エッジカウント)	80		ns

表5.7.3 タイマB入力(パルス周期測定モード)
(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB0IN入力サイクル時間	400		ns
$t_{w(TBH)}$	TB0IN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TB0IN入力 "L " パルス幅	200		ns

表5.7.4 タイマB入力(パルス幅測定モード)
(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB0IN入力サイクル時間	400		ns
$t_{w(TBH)}$	TB0IN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TB0IN入力 "L " パルス幅	200		ns

表5.7.5　シリアルI/O(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表5.7.6　外部割り込み$\overline{INTi}$入力(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

5.8 タイミング図

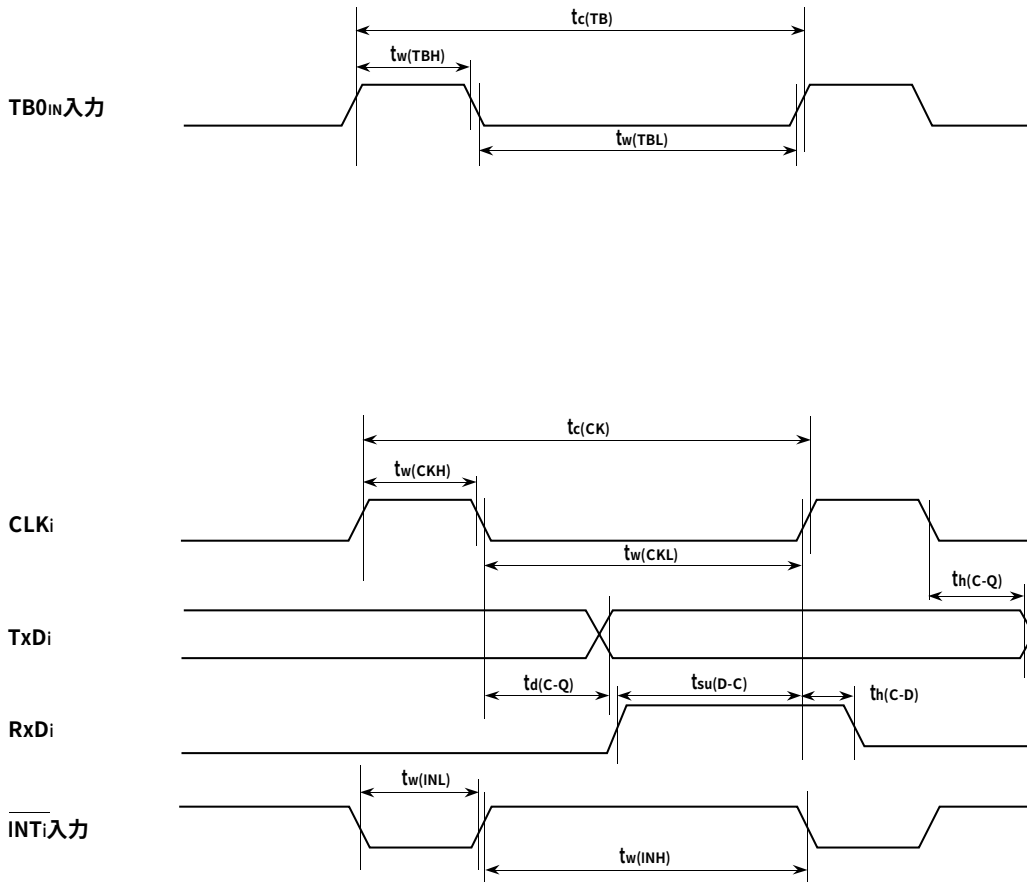


図5.8.1 タイミング図

6. マスク化確認書

GZZ-SH56-45A<93A0>

マスクROM番号	

受付欄	年　月　日	
	課長印	担当者印

三菱シングルチップ16ビットマイクロコンピュータ
M306V5ME-XXXSP
マスク化確認書

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

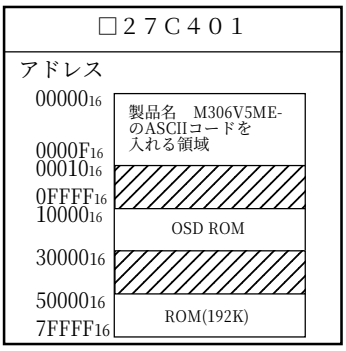
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード　□□□□　(16進表示)

EPROMの種類



(1)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M306V5ME-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

(2)　斜線部分には“FF_{16}”を入れてください。

アドレス	
00000_{16}	’M’ = $4D_{16}$
00001_{16}	’3’ = 33_{16}
00002_{16}	’0’ = 30_{16}
00003_{16}	’6’ = 36_{16}
00004_{16}	’V’ = 56_{16}
00005_{16}	’5’ = 35_{16}
00006_{16}	’M’ = $4D_{16}$
00007_{16}	’E’ = 45_{16}

アドレス	
00008_{16}	’－’ = $2D_{16}$
00009_{16}	FF_{16}
$0000A_{16}$	FF_{16}
$0000B_{16}$	FF_{16}
$0000C_{16}$	FF_{16}
$0000D_{16}$	FF_{16}
$0000E_{16}$	FF_{16}
$0000F_{16}$	FF_{16}

(1/4)

GZZ-SH56-45A<93A0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M306V5ME-XXXSP
マスク化確認書

(3) OSD ROM領域の以下のテストフォント用アドレスには必ず“ FF_{16} ”を格納してください。
なお、当社指定のOSDフォントエディタでOSD ROMデータを生成した場合、このテストフォント用アドレスには自動的に“ FF_{16} ”が設定されます。

(下記アドレスは全て16進表記)

100FE	120FE	140FE	160FE	18002	1A002	1C002	1E002
100FF	120FF	140FF	160FF	18003	1A003	1C003	1E003
101FE	121FE	141FE	161FE	18102	1A102	1C102	1E102
101FF	121FF	141FF	161FF	18103	1A103	1C103	1E103
102FE	122FE	142FE	162FE	18202	1A202	1C202	1E202
102FF	122FF	142FF	162FF	18203	1A203	1C203	1E203
103FE	123FE	143FE	163FE	18302	1A302	1C302	1E302
103FF	123FF	143FF	163FF	18303	1A303	1C303	1E303
104FE	124FE	144FE	164FE	18402	1A402	1C402	1E402
104FF	124FF	144FF	164FF	18403	1A403	1C403	1E403
105FE	125FE	145FE	165FE	18502	1A502	1C502	1E502
105FF	125FF	145FF	165FF	18503	1A503	1C503	1E503
106FE	126FE	146FE	166FE	18602	1A602	1C602	1E602
106FF	126FF	146FF	166FF	18603	1A603	1C603	1E603
107FE	127FE	147FE	167FE	18702	1A702	1C702	1E702
107FF	127FF	147FF	167FF	18703	1A703	1C703	1E703
108FE	128FE	148FE	168FE	18802	1A802	1C802	1E802
108FF	128FF	148FF	168FF	18803	1A803	1C803	1E803
109FE	129FE	149FE	169FE	18902	1A902	1C902	1E902
109FF	129FF	149FF	169FF	18903	1A903	1C903	1E903
10AFE	12AFE	14AFE	16AFE	18A02	1AA02	1CA02	1EA02
10AFF	12AFF	14AFF	16AFF	18A03	1AA03	1CA03	1EA03
10BFE	12BFE	14BFE	16BFE	18B02	1AB02	1CB02	1EB02
10BFF	12BFF	14BFF	16BFF	18B03	1AB03	1CB03	1EB03
10CFE	12CFE	14CFE	16CFE	18C02	1AC02	1CC02	1EC02
10CFF	12CFF	14CFF	16CFF	18C03	1AC03	1CC03	1EC03
10DFE	12DFE	14DFE	16DFE	18D02	1AD02	1CD02	1ED02
10DFF	12DFF	14DFF	16DFF	18D03	1AD03	1CD03	1ED03
10EFE	12EFE	14EFE	16EFE	18E02	1AE02	1CE02	1EE02
10EFF	12EFF	14EFF	16EFF	18E03	1AE03	1CE03	1EE03
10FFE	12FFE	14FFE	16FFE	18F02	1AF02	1CF02	1EF02
10FFF	12FFF	14FFF	16FFF	18F03	1AF03	1CF03	1EF03
110FE	130FE	150FE	170FE	19002	1B002	1D002	1F002
110FF	130FF	150FF	170FF	19003	1B003	1D003	1F003
111FE	131FE	151FE	171FE	19102	1B102	1D102	1F102
111FF	131FF	151FF	171FF	19103	1B103	1D103	1F103
112FE	132FE	152FE	172FE	19202	1B202	1D202	1F202
112FF	132FF	152FF	172FF	19203	1B203	1D203	1F203
113FE	133FE	153FE	173FE	19302	1B302	1D302	1F302
113FF	133FF	153FF	173FF	19303	1B303	1D303	1F303
114FE	134FE	154FE	174FE	19402	1B402	1D402	1F402
114FF	134FF	154FF	174FF	19403	1B403	1D403	1F403
115FE	135FE	155FE	175FE	19502	1B502	1D502	1F502
115FF	135FF	155FF	175FF	19503	1B503	1D503	1F503
116FE	136FE	156FE	176FE	19602	1B602	1D602	1F602
116FF	136FF	156FF	176FF	19603	1B603	1D603	1F603
117FE	137FE	157FE	177FE	19702	1B702	1D702	1F702
117FF	137FF	157FF	177FF	19703	1B703	1D703	1F703
118FE	138FE	158FE	178FE	19802	1B802	1D802	1F802
118FF	138FF	158FF	178FF	19803	1B803	1D803	1F803
119FE	139FE	159FE	179FE	19902	1B902	1D902	1F902
119FF	139FF	159FF	179FF	19903	1B903	1D903	1F903

20400	20401	20600	20601
21400	21401	21600	21601
22400	22401	22600	22601
23400	23401	23600	23601
24400	24401	24600	24601
25400	25401	25600	25601
26400	26401	26600	26601
27400	27401	27600	27601
28400	28401	28600	28601
29400	29401	29600	29601
2A400	2A401	2A600	2A601
2B400	2B401	2B600	2B601
2C400	2C401	2C600	2C601
2D400	2D401	2D600	2D601
2E400	2E401	2E600	2E601
2F400	2F401	2F600	2F601
20C00	20C01	20E00	20E01
21C00	21C01	21E00	21E01
22C00	22C01	22E00	22E01
23C00	23C01	23E00	23E01
24C00	24C01	24E00	24E01
25C00	25C01	25E00	25E01
26C00	26C01	26E00	26E01
27C00	27C01	27E00	27E01
28C00	28C01	28E00	28E01
29C00	29C01	29E00	29E01
2AC00	2AC01	2AE00	2AE01
2BC00	2BC01	2BE00	2BE01
2CC00	2CC01	2CE00	2CE01
2DC00	2DC01	2DE00	2DE01
2EC00	2EC01	2EE00	2EE01
2FC00	2FC01	2FE00	2FE01
10000	10800	10001	10801
11000	11800	11001	11801
12000	12800	12001	12801
13000	13800	13001	13801
14000	14800	14001	14801
15000	15800	15001	15801
16000	16800	16001	16801
17000	17800	17001	17801
18000	18800	18001	18801
19000	19800	19001	19801
1A000	1A800	1A001	1A801
1B000	1B800	1B001	1B801
1C000	1C800	1C001	1C801
1D000	1D800	1D001	1D801
1E000	1E800	1E001	1E801
1F000	1F800	1F001	1F801

213F8	213F9	213FC	213FD
223F8	223F9	223FC	223FD
233F8	233F9	233FC	233FD
243F8	243F9	243FC	243FD
253F8	253F9	253FC	253FD
263F8	263F9	263FC	263FD
273F8	273F9	273FC	273FD
283F8	283F9	283FC	283FD
293F8	293F9	293FC	293FD
2A3F8	2A3F9	2A3FC	2A3FD
21BF8	21BF9	21BFC	21BFD
22BF8	22BF9	22BFC	22BFD
23BF8	23BF9	23BFC	23BFD
24BF8	24BF9	24BFC	24BFD
25BF8	25BF9	25BFC	25BFD
26BF8	26BF9	26BFC	26BFD
27BF8	27BF9	27BFC	27BFD
28BF8	28BF9	28BFC	28BFD
29BF8	29BF9	29BFC	29BFD
2ABF8	2ABF9	2ABFC	2ABFD

(2/4)

GZZ-SH56-45A<93A0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M306V5ME-XXXSP
マスク化確認書

アセンブラソースプログラムの先頭に、下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M306V5ME- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD（IBMフォーマット）です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード　□□□□□□□□　(16進表示)

マスクファイル名　□□□□□□□□　.MSK(英数字8桁)

(注)　フロッピーディスクで提出いただく場合は、00000_{16}から$0000F_{16}$番地に製品形名のデータを格納しないでください。

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M306V5ME-XXXSPは64P4Bのマーク指定書を提出ください。

GZZ-SH56-45A<93A0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M306V5ME-XXXSP
マスク化確認書

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　　□　水晶発振子

□　外部クロック入力　　□　その他(　　)

またその周波数は何MHzですか。

f(X_{IN}) = [　　] MHz

(2)　マイコンの使用動作モードは次のどの条件で使用されますか。

□　シングルチップモード　　□　メモリ拡張モード

□　マイクロプロセッサモード

ご協力ありがとうございました。

※4.　特記事項

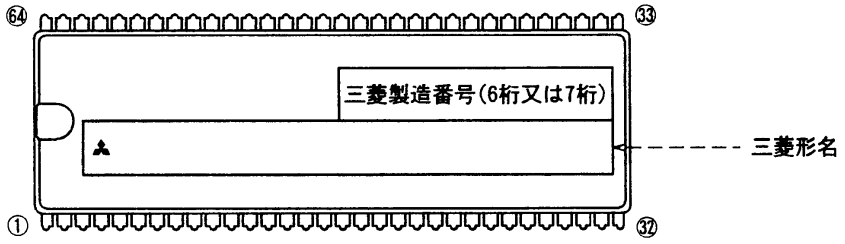
7. マーク指定書

64P4B（64ピンシュリンク DIP）マーク指定書

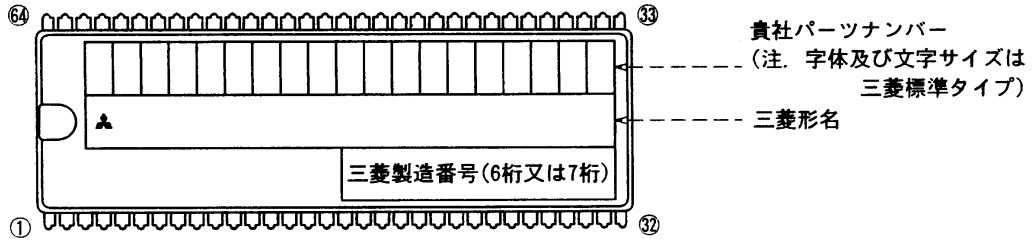
三菱IC形名 [　　]

下記マーキングタイプ（A，B，C）のいずれかをご選択の上，マーキングスペースに三菱形名及び貴社ご必要マークをご記入ください。

A．三菱標準マーク



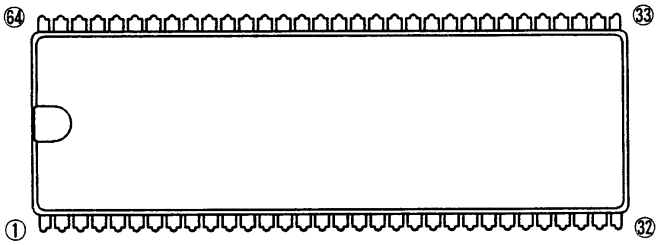
B．貴社パーツナンバー＋三菱形名



注1．マークは右詰になります。
2．字体及び文字サイズは三菱標準タイプになります。
3．貴社パーツナンバーは，19字以内で英数字，大文字アルファベット，ハイフンなどでご記入ください。
4．三菱スリーダイヤマーク不要の場合は，右欄にチェックをお願いします。

不要 [　　]

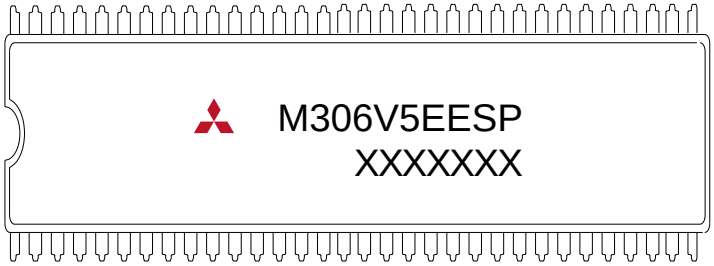
C．特殊マーク



注1．貴社でご希望のマーク配列を上図にご記入ください。これを元に当社において技術的に可能な配列を検討致します。
なお，製品分類の為三菱製造番号（6桁又は7桁）とマスクROM番号（3桁）は常にマークさせていただきますのでご了承ください。
2．特殊字体（貴社商標など）をご希望の場合は右欄にチェックをお願いします。
また，新規特殊字体の場合は，コピーなどではない鮮明なロゴ図面原紙のご提出をお願いします。

特殊字体希望 [　　]

8. ワンタイムPROM版M306V5EEFPマーキング図

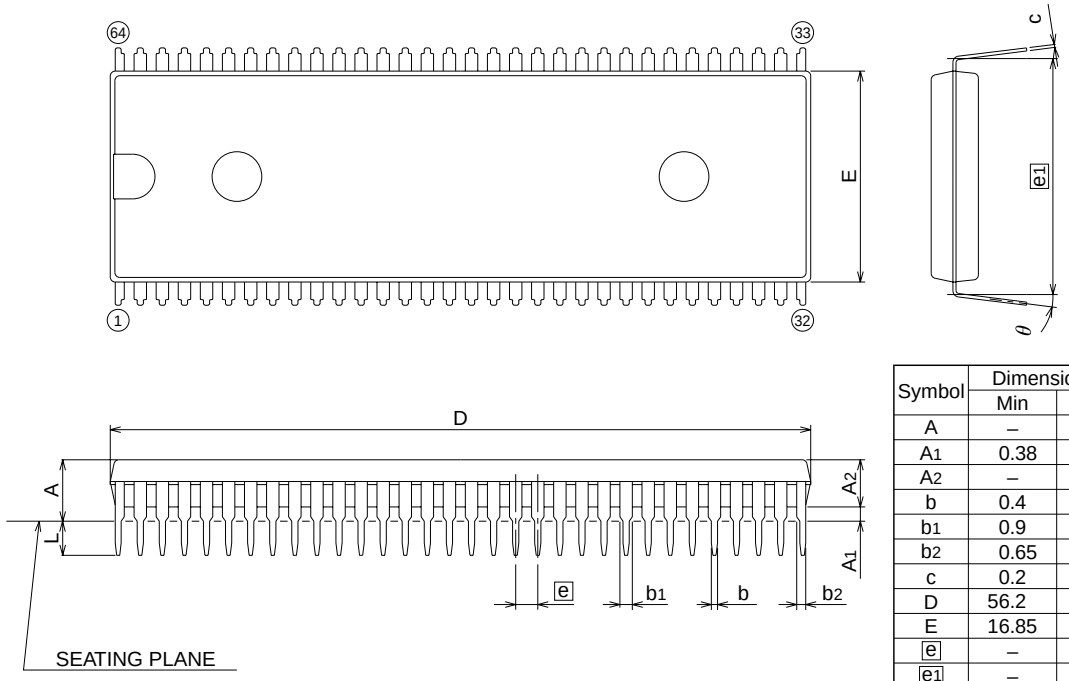


XXXXXXXは三菱製造番号

9. パッケージ寸法図

64P4B (MMP) **Plastic 64pin 750mil SDIP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SDIP64-P-750-1.78	–	7.9	Alloy 42/Cu Alloy



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	5.08
A_1	0.38	–	–
A_2	–	3.8	–
b	0.4	0.5	0.59
b_1	0.9	1.0	1.3
b_2	0.65	0.75	1.05
c	0.2	0.25	0.32
D	56.2	56.4	56.6
E	16.85	17.0	17.15
e	–	1.778	–
e1	–	19.05	–
L	2.8	–	–
θ	0°	–	15°

制御レジスタの構成図

各レジスタ構成は、下図を参照してください。

例

プロセッサモードレジスタ1(注)

リセット解除直後の内容 注1　　ビットの属性 注2

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	☒	1	0

シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00000X00_2$

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“1”を設定してください	○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			―	―
予約ビット		必ず“0”を設定してください	―	○
PM17	ウエイトビット	0：ウエイトなし 1：ウエイトあり	○	○

注．このレジスタのビット1はリセット時“0”になりますので、リセット解除後必ず“1”を設定してください。このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

☒：何も配置されていないビット

注1．リセット解除直後の内容

0･･･リセット解除時“0”
1･･･リセット解除時“1”
?･･･不定
X･･･何も配置されていないビット

2．ビットの属性･･･制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R：読み出し
○･･･読み出し可能
×･･･読み出し不可
―･･･何も配置されていないビット（特に記載がない場合は、読み出し値は不定）

W：書き込み
○･･･書き込み可能
×･･･書き込み不可
―･･･何も配置されていないビット

――― レジスタ索引 ―――

【アルファベット・記号】

A-D制御レジスタ1（ADCON1） 141, 144, 146, 148, 150, 152
A-D制御レジスタ0（ADCON0） 141, 144, 146, 148, 150, 151
A-D制御レジスタ2（ADCON2） 142
A-D変換割り込み制御レジスタ（ADIC） 45
A-Dレジスタi（ADi） 142
D-A制御レジスタ（DACON） 155
D-Aレジスタi（DAi） 155
DMAi制御レジスタ（DMiCON） 62
DMA0要因選択レジスタ（DM0SL） 61
DMA1要因選択レジスタ（DM1SL） 62
DMAiソースポインタ（SARi） 63
DMAiディスティネーションポインタ（DARi） .. 63
DMAi転送カウンタ（TCRi） 63
DMAi割り込み制御レジスタ（DMiIC） 45
HSYNCカウンタラッチ 13
HSYNCカウンタレジスタ（HC） 166
I²Ciアドレスレジスタ（IICiS0D） 125
I²Ciクロックコントロールレジスタ（IICiS2） ... 127
I²Ciコントロールレジスタ（IICiS1D） 129
I²Ciステータスレジスタ（IICiS1） 132
I²Ci送信バッファレジスタ（IICiS0S） 124
I²Ciデータシフトレジスタ（IICiS0） 124
I²Ciポートセレクションレジスタ（IICiS2D） 122
INTi割り込み制御レジスタ（INTiIC） 45
OSDi割り込み制御レジスタ（OSDiIC） 45
OSDコントロールレジスタ1（OC1） 171
OSDコントロールレジスタ2（OC2） 174
OSDコントロールレジスタ3（OC3） 199
OSDコントロールレジスタ4（OR4） 183
OSD予約レジスタi（ORi） 221
VSYNC割り込み制御レジスタ（VSYNCIC） 45
UART送受信制御レジスタ2（UCON） 98
UART0送受信制御レジスタ0（U0C0） 95
UART0送受信制御レジスタ1（U0C1） 97
UART0送受信モードレジスタ（U0MR） 94, 101, 108
UART2送受信制御レジスタ0（U2C0） 96
UART2送受信制御レジスタ1（U2C1） 97
UART2送受信モードレジスタ（U2MR） 94, 101, 108
UART2特殊モードレジスタ（U2SMR） 98
UARTi受信割り込み制御レジスタ（SiRIC） ... 45
UARTi受信バッファレジスタ（UiRB） 93
UARTi送信バッファレジスタ（UiTB） 93
UARTi送信割り込み制御レジスタ（SiTIC） ... 45
UARTi 転送速度レジスタ（UiBRG） 93

【ア行】

アップダウンフラグ（UDF） 73
アドレス一致割り込みレジスタi（RMADi） ... 54
アドレス一致割り込み許可レジスタ（AIER） 54

【カ行】

カウント開始フラグ（TABSR） 82
カラーパレットレジスタi（CRi） 200
監視タイマスタートレジスタ（WDTS） 58
監視タイマ制御レジスタ（WDC） 58
キャプション位置レジスタ（CPS） 162
キャプションデータレジスタi（CDi） 13
クロックコントロールレジスタ（CS） 180
クロックランイン検出レジスタ（CRD） 163

【サ行】

システムクロック制御レジスタ0（CM0） 31
システムクロック制御レジスタ1（CM1） 32
水平位置レジスタ（HP） 177
垂直位置レジスタi（VPi） 177
スプライトOSD制御レジスタ（SC） 212
スプライト垂直位置レジスタi（VSi） 213
スプライト水平位置レジスタ（HS） 213

【タ行】

タイマAiレジスタ（TAi） 72
タイマAiモードレジスタ（TAiMR） ..... 71, 75, 77～79
タイマAi割り込み制御レジスタ（TAiIC） 45
タイマBiレジスタ（TBi） 82
タイマBiモードレジスタ（TBiMR） ..... 81, 83～ 85
タイマBi割り込み制御レジスタ（TBiIC） 45

データクロック位置レジスタ（DPS） 164
データスライサ制御レジスタ1（DSC1） 158
データスライサ制御レジスタ2（DSC2） 158
データスライサ予約レジスタi（DRi） 165
データスライサ割り込み制御レジスタ（DSIC） .. 45
トップボーダーコントロールレジスタ（TBR） 216
トリガ選択レジスタ（TRGSR） 74

【ナ行】
入出力極性コントロールレジスタ（PC） 181

【ハ行】
バス衝突検出割り込み制御レジスタ（BCNIC） ... 45
プルアップ制御レジスタ0（PUR0） 237
プルアップ制御レジスタ1（PUR1） 238
プルアップ制御レジスタ2（PUR2） 238
プロセッサモードレジスタ0（PM0） 23
プロセッサモードレジスタ1（PM1） 24
ブロックコントロールレジスタi（BCi） 172
プロテクトレジスタ（PRCR） 37
ペリフェラルモードレジスタ（PM） 88
ボトムボーダーコントロールレジスタ（BBR） 216
ポートP0, P2, P3レジスタ（P0, P2, P3）
..... 232
ポートP0, P2, P3方向レジスタ（PD0, PD2, PD3）
..... 228
ポートP4（P4）レジスタ 232
ポートP4方向レジスタ（PD4） 228
ポートP5（P5）レジスタ 233
ポートP5方向レジスタ（PD5） 229
ポートP6（P6）レジスタ 233
ポートP6方向レジスタ（PD6） 229
ポートP7（P7）レジスタ 234
ポートP7方向レジスタ（PD7） 230
ポートP8（P8）レジスタ 234
ポートP8方向レジスタ（PD8） 230
ポートP9レジスタ（P9） 235
ポートP9方向レジスタ（PD9） 231
ポートP10レジスタ（P10） 235
ポートP10方向レジスタ（PD10） 231
ポート予約レジスタi（PRi） 236

【マ行】
マルチマスタI²C-BUSインタフェースi割り込み制御
レジスタ（IICiIC） 45

【ヤ行】
予約レジスタi（INVCi） 74, 87

【ラ行】
ラスターカラーレジスタ（RSC） 218
レフトボーダーコントロールレジスタ（LBR） 217
ライトボーダーコントロールレジスタ（RBR） 217

【ワ行】
割り込み制御予約レジスタi（REiIC） 53
割り込み要因選択レジスタ（IFSR） 53
ワンショット開始フラグ（ONSF） 73

三菱マイクロコンピュータ

M306V5ME-XXXSP
M306V5EESP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER with CLOSED CAPTION DECODER
and ON-SCREEN DISPLAY CONTROLLER

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。
本資料ご利用に際しての留意事項	・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。 ・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。 ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。 ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。 ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。 ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

2001年8月 作成

©2001 MITSUBISHI ELECTRIC CORPORATION

改訂履歴	M306V5ME-XXXSP, M306V5EESP（REV.1.1）データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	0006
1.1	**P200 図 2.16.30** **P218 図 2.16.51** **G 信号出力制御ビット** **B 信号出力制御ビット** **改訂前** → **改訂後** **b2 b1 b0** → **b6 b5 b4** **b2 b1 b0** → **b10 b9 b8**	0108
	P246 表 5.2.1 **fosc 発信周波数(OSD 用) OSC1** **セラミック発振モード** **改訂前** → **改訂後** **最小 24.0MHz** → **15.0MHz** **最大 25.0MHz** → **27.0MHz**	