お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

1. 概　要

M306H2MC-XXXFPは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを登載したシングルチップマイクロコンピュータで、116ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、 データスライサを内蔵しており、TELETEXTの放送サービスに対応しています。

1.1 特　長

- メモリ容量 …… ROM　128Kバイト
  RAM　5Kバイト
- 最短命令実行時間 …… 100.0ns(f(X_{IN})=10MHz時)
- 電源電圧 …… 4.75V～5.25V(f(X_{IN})=10MHz時)
  2.80V～5.25V(f(X_{CIN})=32kHz, 低消費電力モードのみ)
- 割り込み …… 内部25要因、外部8要因、ソフトウエア4要因、7レベル
  (キー入力割り込みを含む)
- 多機能16ビットタイマ …… 出力系5本 + 入力系6本
- シリアルI/O…… 5本(UART/クロック 同期　3本、クロック同期　2本)
- DMAC …… 2チャネル(スタート条件:24要因)
- A-D 変換器 …… 8ビット×8チャネル（最大10チャネルまで拡張可）
- D-A 変換器 …… 8ビット×2チャネル
- CRC 演算回路 ……1回路
- 監視タイマ ……1本
- プログラマブル入出力 …… 87本
- 入力ポート …… 1本($P8_5$、$\overline{NMI}$端子と兼用)
- 出力ポート …… 1本(P11、SLICEON端子と兼用)
- チップセレクト出力 ……4本
- クロック発生回路 ……2回路内蔵
  (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
- データスライサ ……PDC, VPS, EPG-J, XDS, WSS対応

1.2 応　用

VTR　他

――― 目　次 ―――

1. 概要 1
1.1 特長 1
1.2 応用 1
1.3 ピン接続図 3
1.4 ブロック図 4
1.5 性能概要 5
2. 機能ブロック動作説明 9
2.1 メモリ 9
2.2 中央演算処理装置 13
2.3 リセット 16
2.4 プロセッサモード 20
2.5 クロック発生回路 31
2.6 プロテクト 40
2.7 割り込み 41
2.8 監視タイマ 60
2.9 DMAC 62
2.10 タイマ 72
2.11 シリアルI/O 90
2.12 A-D変換器 131
2.13 D-A変換器 141
2.14 CRC演算回路 143
2.15 拡張機能 145
2.16 プログラマブル入出力ポート 169
3. 使用上の注意事項 179
4. 電気的特性 184
5. マスク化発注時の提出資料 202
6. パッケージ寸法図 203
7. M306H2MC-XXXFPとM306H2FCFPとの相違点 ... 204

1.3 ピン接続図

図1.3.1にピン接続図(上面図)を示します。

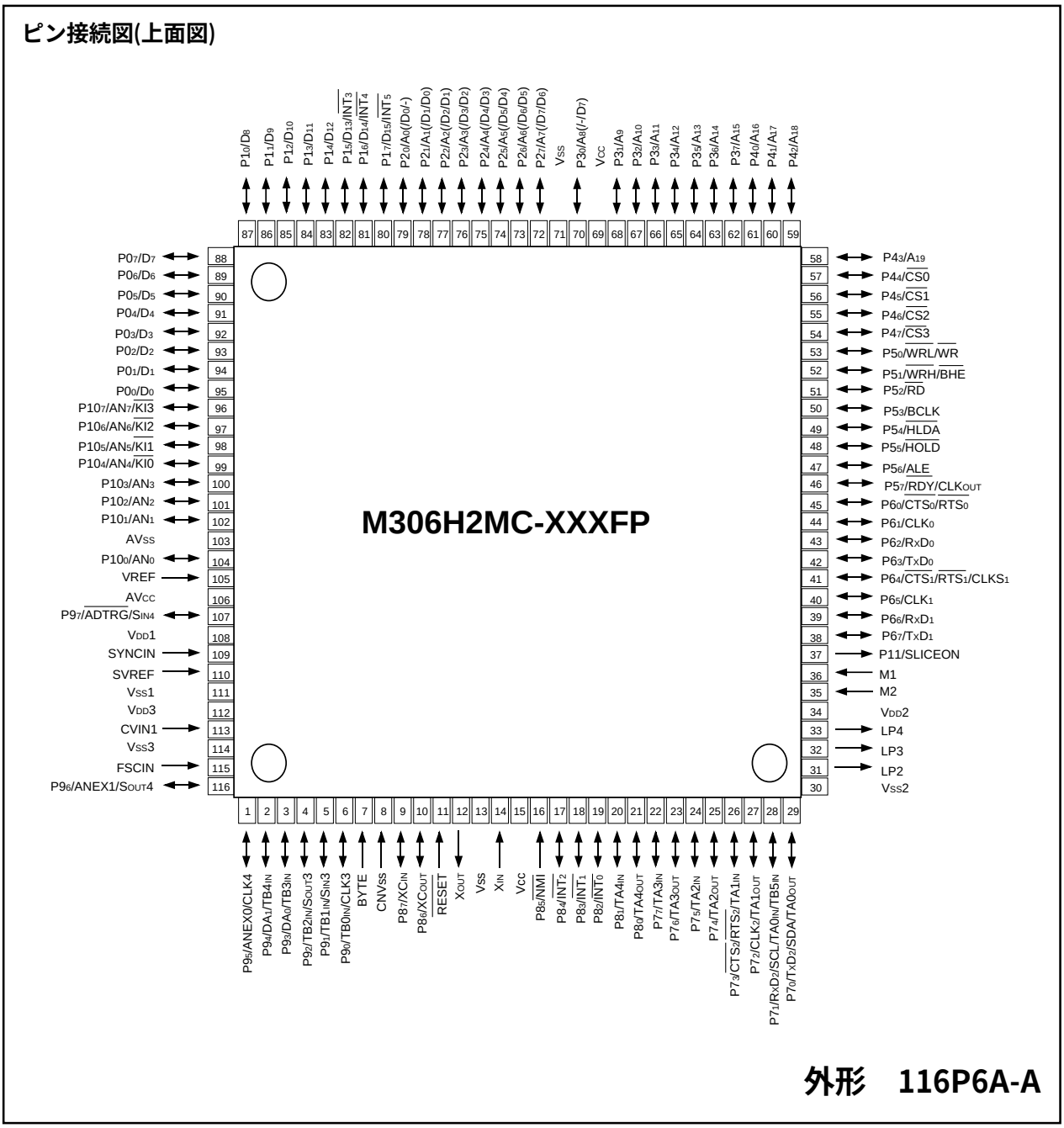


図1.3.1 ピン接続図(上面図)

1.4 ブロック図

図1.4.1にM306H2MC-XXXFPのブロック図を示します。

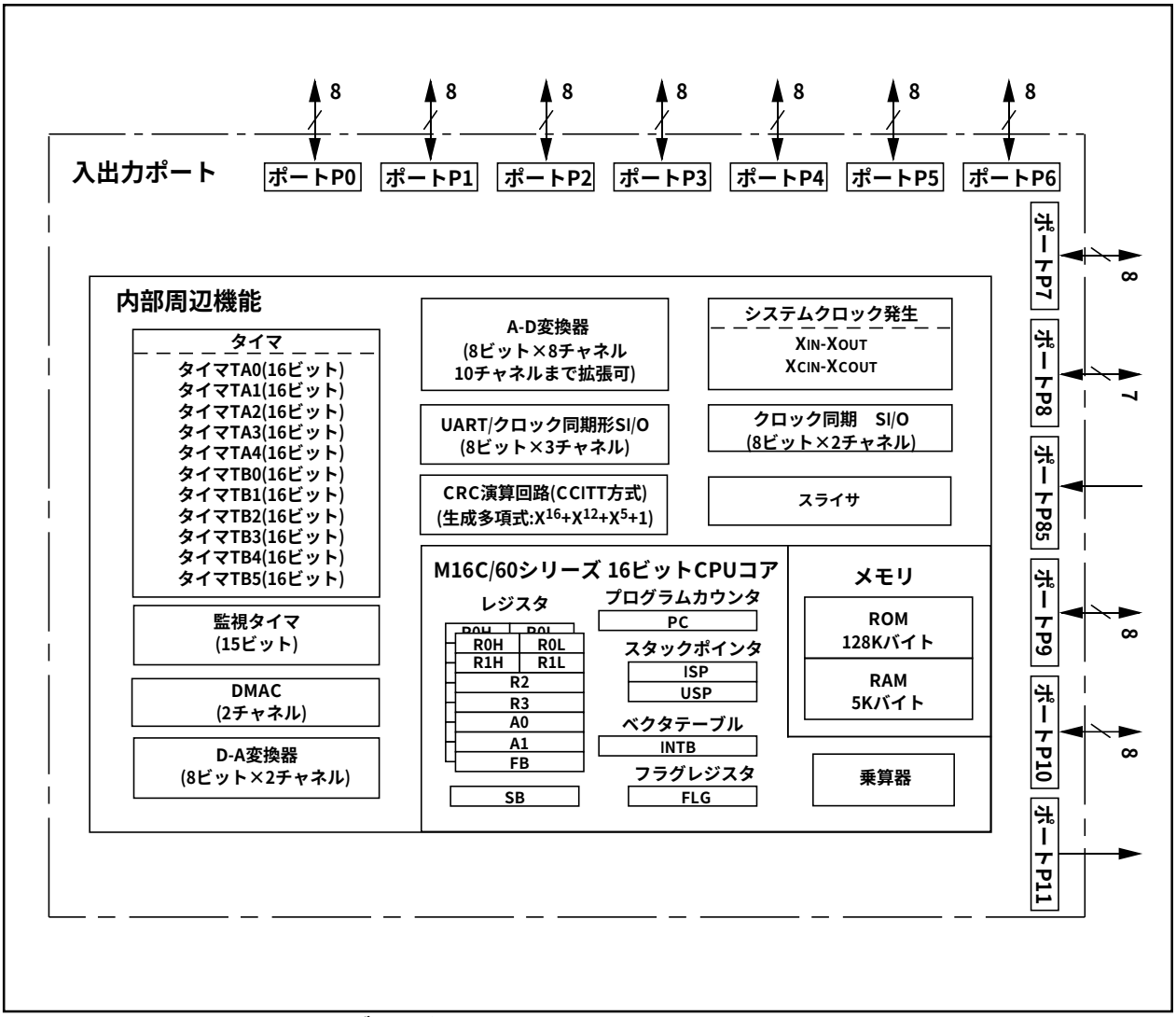


図1.4.1 M306H2MC-XXXFPのブロック図

1.5 性能概要

表1.5.1にM306H2MC-XXXFPの性能概要を示します。

表1.5.1　M306H2MC-XXXFPの性能概要

項　　目		性　　能
基本命令数		91命令
最短命令実行時間		100ns(f(XIN)=10MHz)
メモリ容量	ROM	128Kバイト
	RAM	5Kバイト
入出力ポート	P0～P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
出力ポート	P11	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4 TB0,TB1,TB2,TB3,TB4,TB5	16ビット×5 16ビット×6
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形　)×3
	SI/03, SI/04	クロック同期形×2
A-D変換器		8ビット×(8+2) チャネル
D-A変換器		8ビット×2 チャネル
DMAC		2チャネル(スタート条件:24要因)
CRC演算回路		CRC-CCITT方式
監視タイマ		15ビット×1(プリスケーラ付)
割り込み		内部25要因、外部8要因、ソフトウエア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		4.75～5.25V(f(XIN)=10MHz) 2.80～5.25V(f(XCIN)=32kHz, 低消費電力モードのみ)
素子構造		CMOS高性能シリコンゲート
パッケージ		116ピンプラスチックモールドQFP
データスライサ	スライスRAM	864バイト(48×18×8bit)
	データスライサ	PDC, VPS, EPG-J, XDS, WSS対応

表1.5.2 端子の機能説明

端子名	名　称	入出力	機　　能
V_{CC}, V_{SS}	電源入力		V_{CC}端子には、4.75V～5.25Vを印加してください。V_{SS}端子には、0Vを印加してください。
CNV_{SS}	CNV_{SS}	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード（メモリ拡張モード）で動作を開始する場合V_{SS}端子に、マイクロプロセッサモードで動作を開始する場合V_{CC}端子に接続してください。
$\overline{RESET}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
X_{IN} X_{OUT}	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X_{IN}端子からクロックを入力し、X_{OUT}端子は開放にしてください。
BYTE	外部データバス幅切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、V_{SS}端子に接続してください。
AV_{CC}	アナログ電源入力		A-D変換器の電源入力端子です。V_{CC}端子に接続してください。
AV_{SS}	アナログ電源入力		A-D変換器の電源入力端子です。V_{SS}端子に接続してください。
V_{REF}	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
$P0_0$～$P0_7$	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。シングルチップモードの入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗の選択できません。
D_0～D_7		入出力	セパレートバス設定時データ(D_0～D_7)の入出力を行います。
$P1_0$～$P1_7$	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。$P1_5$～$P1_7$はソフトウェアで選択することによって、外部割り込み端子として機能します。
D_8～D_{15}		入出力	セパレートバス設定時データ(D_8～D_{15})の入出力を行います。
$P2_0$～$P2_7$	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A_0～A_7		出力	アドレスの下位8ビット(A_0～A_7)の出力を行います。
A_0/D_0～A_7/D_7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D_0～D_7)の入出力と、アドレスの下位8ビット(A_0～A_7)の出力を時分割で行います。
A_0 A_1/D_0～A_7/D_6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D_0～D_6)の入出力と、アドレス(A_1～A_7)の出力を時分割で行います。また、アドレス(A_0)の出力を行います。
$P3_0$～$P3_7$	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A_8～A_{15}		出力	アドレスの中位8ビット(A_8～A_{15})の出力を行います。
A_8/D_7、A_9～A_{15}		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D_7)の入出力と、アドレス(A_8)の出力を時分割で行います。また、アドレス(A_9～A_{15})の出力を行います。
$P4_0$～$P4_7$ A_{16}～A_{19}、$\overline{CS_0}$～$\overline{CS_3}$	入出力ポートP4	入出力 出力 出力	P0と同等の機能を持つ8ビット入出力ポートです。 A_{16}～A_{19}、$\overline{CS_0}$～$\overline{CS_3}$信号を出力します。A_{16}～A_{19}はアドレスの上位4ビットです。$\overline{CS_0}$～$\overline{CS_3}$はチップセレクト信号でアクセス空間の指定に使用します。

表1.5.3 端子の機能説明

端子名	名　称	入出力	機　　能
$P5_0$～$P5_7$	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウエアで選択することによって、$P5_7$からX_{IN}の8分周、32分周または、X_{CIN}と同じ周期をもつクロックを出力します。
$\overline{WRL}$/$\overline{WR}$、 $\overline{WRH}$/$\overline{BHE}$、 $\overline{RD}$、 BCLK、 $\overline{HLDA}$、 $\overline{HOLD}$、 ALE、 $\overline{RDY}$		出力 出力 出力 出力 出力 入力 出力 入力	$\overline{WRL}$、$\overline{WRH}$、($\overline{WR}$、$\overline{BHE}$)、$\overline{RD}$、BCLK、$\overline{HLDA}$、ALE信号を出力します。なお、ソフトウエアによって$\overline{WRL}$、$\overline{WRH}$または、$\overline{BHE}$、$\overline{WR}$を切り替えることができます。 ■$\overline{WRL}$、$\overline{WRH}$、$\overline{RD}$選択時 外部データバス幅が16ビットの場合、$\overline{WRL}$信号が“L”レベルのとき偶数番地に、$\overline{WRH}$信号が“L”レベルのときは奇数番地に書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。 ■$\overline{WR}$、$\overline{BHE}$、$\overline{RD}$選択時 $\overline{WR}$信号が“L”レベルのとき書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。$\overline{BHE}$信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 $\overline{HOLD}$端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、$\overline{HLDA}$は“L”レベルを出力します。ALEはアドレスをラッチするための信号です。$\overline{RDY}$端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
$P6_0$～$P6_7$	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウエアで選択することによって、UART0、UART1の入出力端子として機能します。
$P7_0$～$P7_7$	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力)。ソフトウエアで選択することによって、タイマA0～A3、タイマB5またはUART2の入出力端子として機能します。
$P8_0$～$P8_4$、 $P8_6$、 $P8_7$、 $P8_5$	入出力ポートP8 入力ポート$P8_5$	入出力 入出力 入出力 入力	$P8_0$～$P8_4$、$P8_6$、$P8_7$はP6と同等の機能を持つ入出力ポートです。ソフトウエアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。$P8_6$、$P8_7$はソフトウエアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、$P8_6$(X_{COUT}端子)と$P8_7$(X_{CIN}端子)の間には水晶発振子を接続してください。$P8_5$は$\overline{NMI}$と兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したとき$\overline{NMI}$割り込みが発生します。$\overline{NMI}$の機能はソフトウエアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
$P9_0$～$P9_7$	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、SI/O3, 4の入出力端子、タイマB0～B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
$P10_0$～$P10_7$	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによってA-D変換器の入力端子として機能します。また、$P10_4$～$P10_7$はキー入力割り込み機能の入力端子としても機能します。
P11	出力ポートP11	出力	1ビット出力ポートです。ソフトウエアで選択することによってSLICEON信号の出力端子として機能します。

表1.5.4 端子の機能説明

端子名	名　称	入出力	機　　能
VDD1,VSS1	電源入力		デジタル系の電源入力端子です。VDD1端子には、4.75V～5.25Vを印加してください。VSS1端子には、0Vを印加してください。
VDD2,VSS2	アナログ電源入力		アナログ系の電源入力端子です。VDD2端子には、4.75V～5.25Vを印加してください。VSS2端子には、0Vを印加してください。
VDD3,VSS3	アナログ電源入力		アナログ系の電源入力端子です。VDD3端子には、4.75V～5.25Vを印加してください。VSS3端子には、0Vを印加してください。
SVREF	同期スライスレベル入力	入力	同期信号をスライスする際のスライス電位を入力します。
CVIN1	複合ビデオ入力1	入力	外部の複合ビデオ信号の入力端子です。この信号を内部でデータスライスします。
SYNCIN	複合ビデオ入力2	入力	外部の複合ビデオ信号の入力端子です。 この信号を内部で同期分離します。
M1	テスト入力1	入力	テスト用入力端子です。0Vを印加してください。
LP2	フィルタ出力1	出力	フィルタ出力1（fsc用）です。
LP3	フィルタ出力2	出力	フィルタ出力2（VPS用）です。
LP4	フィルタ出力3	出力	フィルタ出力3（PDC用）です。
FSCIN	同期信号発生用fsc入力端子	入力	同期信号発生用のサブキャリア（fsc）入力端子です。
M2	テスト入力2	入力	テスト用入力端子です。0Vを印加してください。

2. 機能ブロック動作説明

本製品は、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、データスライサ回路、入出力ポートなどの周辺装置です。

次に各装置について説明します。

2.1 メモリ

メモリ配置図を図2.1.1に示します。アドレス空間は00000_{16}番地から$FFFFF_{16}$番地までの1Mバイトあります。

$FFFFF_{16}$番地から番地の小さい方向にROMが配置されています。本製品では、$E0000_{16}$番地から$FFFFF_{16}$番地まで128Kバイトの内部ROMが配置されています。

$FFFDC_{16}$番地から$FFFFF_{16}$番地はリセットおよび$\overline{NMI}$などの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400_{16}番地から番地の大きい方向にRAMが配置されています。本製品では、00400_{16}番地から$017FF_{16}$番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

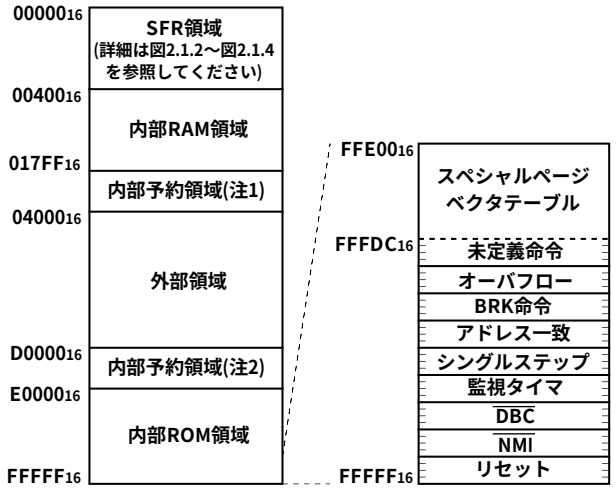
00000_{16}番地から$003FF_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図2.1.2～図2.1.4に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

$FFE00_{16}$番地から$FFFDB_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており次の領域は使用できません。

・01800_{16}番地から$03FFF_{16}$番地(メモリ拡張モード時およびマイクロプロセッサモード時)

・$D0000_{16}$番地から$DFFFF_{16}$番地(メモリ拡張モード時)



注1. メモリ拡張モード時およびマイクロプロセッサモード時
注2. メモリ拡張モード時

図2.1.1 メモリ配置図

0000₁₆	
0001₁₆	
0002₁₆	
0003₁₆	
0004₁₆	プロセッサモードレジスタ0(PM0)
0005₁₆	プロセッサモードレジスタ1(PM1)
0006₁₆	システムクロック制御レジスタ０(CM0)
0007₁₆	システムクロック制御レジスタ１(CM1)
0008₁₆	チップセレクト制御レジスタ(CSR)
0009₁₆	アドレス一致割り込み許可レジスタ(AIER)
000A₁₆	プロテクトレジスタ(PRCR)
000B₁₆	
000C₁₆	
000D₁₆	
000E₁₆	監視タイマスタートレジスタ(WDTS)
000F₁₆	監視タイマ制御レジスタ(WDC)
0010₁₆	アドレス一致割り込みレジスタ０(RMAD0)
0011₁₆	
0012₁₆	
0013₁₆	
0014₁₆	アドレス一致割り込みレジスタ１(RMAD1)
0015₁₆	
0016₁₆	
0017₁₆	
0018₁₆	
0019₁₆	
001A₁₆	
001B₁₆	
001C₁₆	
001D₁₆	
001E₁₆	
001F₁₆	
0020₁₆	DMA0ソースポインタ(SAR0)
0021₁₆	
0022₁₆	
0023₁₆	
0024₁₆	DMA0ディスティネーションポインタ(DAR0)
0025₁₆	
0026₁₆	
0027₁₆	
0028₁₆	DMA0転送カウンタ(TCR0)
0029₁₆	
002A₁₆	
002B₁₆	
002C₁₆	DMA0制御レジスタ(DM0CON)
002D₁₆	
002E₁₆	
002F₁₆	
0030₁₆	DMA1ソースポインタ(SAR1)
0031₁₆	
0032₁₆	
0033₁₆	
0034₁₆	DMA1ディスティネーションポインタ(DAR1)
0035₁₆	
0036₁₆	
0037₁₆	
0038₁₆	DMA1転送カウンタ(TCR1)
0039₁₆	
003A₁₆	
003B₁₆	
003C₁₆	DMA1制御レジスタ(DM1CON)
003D₁₆	
003E₁₆	
003F₁₆	
0040₁₆	
0041₁₆	
0042₁₆	
0043₁₆	

0044₁₆	INT3割り込み制御レジスタ(INT3IC)
0045₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0046₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0047₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0048₁₆	SI/O4割り込み制御レジスタ(S4IC) INT5割り込み制御レジスタ(INT5IC)
0049₁₆	SI/O3割り込み制御レジスタ(S3IC) INT4割り込み制御レジスタ(INT4IC)
004A₁₆	バス衝突検出割り込み制御レジスタ (BCNIC)
004B₁₆	DMA0割り込み制御レジスタ (DM0IC)
004C₁₆	DMA1割り込み制御レジスタ(DM1IC)
004D₁₆	キー入力割り込み制御レジスタ(KUPIC)
004E₁₆	A-D変換割り込み制御レジスタ(ADIC)
004F₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0050₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0051₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0055₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059₁₆	タイマA4割り込み制御レジスタ(TA4IC)
005A₁₆	タイマB0割り込み制御レジスタ(TB0IC)
005B₁₆	タイマB1割り込み制御レジスタ(TB1IC)
005C₁₆	タイマB2割り込み制御レジスタ(TB2IC)
005D₁₆	INT0割り込み制御レジスタ(INT0IC)
005E₁₆	INT1割り込み制御レジスタ(INT1IC)
005F₁₆	INT2割り込み制御レジスタ(INT2IC)
0060₁₆	
≈	≈
0200₁₆	
0201₁₆	
0202₁₆	
0203₁₆	
0204₁₆	
0205₁₆	
0206₁₆	
0207₁₆	
0208₁₆	
0209₁₆	
020A₁₆	
020B₁₆	
020C₁₆	
020D₁₆	
020E₁₆	スライスRAMアドレス制御レジスタ
020F₁₆	
0210₁₆	スライスRAMデータ制御レジスタ
0211₁₆	
0212₁₆	
0213₁₆	
0214₁₆	
0215₁₆	
0216₁₆	拡張レジスタ用アドレス制御レジスタ
0217₁₆	
0218₁₆	拡張レジスタ用データ制御レジスタ
0219₁₆	
021A₁₆	ハミング8/4レジスタ
021B₁₆	
021C₁₆	ハミング24/18レジスタ 0
021D₁₆	
021E₁₆	ハミング24/18レジスタ 1
021F₁₆	
0220₁₆	
≈	≈
033F₁₆	

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出し及び書き込みを行わないでください。

図2.1.2 周辺装置制御レジスタの配置(1)

0340_{16}	タイマB3,4,5カウント開始フラグ(TBSR)
0341_{16}	
0342_{16}	
0343_{16}	
0344_{16}	
0345_{16}	
0346_{16}	
0347_{16}	
0348_{16}	
0349_{16}	
$034A_{16}$	
$034B_{16}$	
$034C_{16}$	
$034D_{16}$	
$034E_{16}$	
$034F_{16}$	
0350_{16}	タイマB3レジスタ(TB3)
0351_{16}	
0352_{16}	タイマB4レジスタ(TB4)
0353_{16}	
0354_{16}	タイマB5レジスタ(TB5)
0355_{16}	
0356_{16}	
0357_{16}	
0358_{16}	
0359_{16}	
$035A_{16}$	
$035B_{16}$	タイマB3モードレジスタ(TB3MR)
$035C_{16}$	タイマB4モードレジスタ(TB4MR)
$035D_{16}$	タイマB5モードレジスタ(TB5MR)
$035E_{16}$	
$035F_{16}$	割り込み要因選択レジスタ(IFSR)
0360_{16}	SI/O3送受信レジスタ(S3TRR)
0361_{16}	
0362_{16}	SI/O3制御レジスタ(S3C)
0363_{16}	SI/O3転送速度レジスタ(S3BRG)
0364_{16}	SI/O4送受信レジスタ(S4TRR)
0365_{16}	
0366_{16}	SI/O4制御レジスタ(S4C)
0367_{16}	SI/O4転送速度レジスタ(S4BRG)
0368_{16}	
0369_{16}	
$036A_{16}$	
$036B_{16}$	
$036C_{16}$	
$036D_{16}$	
$036E_{16}$	
$036F_{16}$	
0370_{16}	
0371_{16}	
0372_{16}	
0373_{16}	
0374_{16}	
0375_{16}	UART2特殊モードレジスタ3(U2SMR3)
0376_{16}	UART2特殊モードレジスタ2(U2SMR2)
0377_{16}	UART2特殊モードレジスタ(U2SMR)
0378_{16}	UART2送受信モードレジスタ(U2MR)
0379_{16}	UART2転送速度レジスタ(U2BRG)
$037A_{16}$	UART2送信バッファレジスタ(U2TB)
$037B_{16}$	
$037C_{16}$	UART2送受信制御レジスタ0(U2C0)
$037D_{16}$	UART2送受信制御レジスタ1(U2C1)
$037E_{16}$	UART2受信バッファレジスタ(U2RB)
$037F_{16}$	

0380_{16}	カウント開始フラグ(TABSR)
0381_{16}	時計用プリスケーラリセットフラグ(CPSRF)
0382_{16}	ワンショット開始フラグ(ONSF)
0383_{16}	トリガ選択レジスタ(TRGSR)
0384_{16}	アップダウンフラグ(UDF)
0385_{16}	
0386_{16}	タイマA0(TA0)
0387_{16}	
0388_{16}	タイマA1(TA1)
0389_{16}	
$038A_{16}$	タイマA2(TA2)
$038B_{16}$	
$038C_{16}$	タイマA3(TA3)
$038D_{16}$	
$038E_{16}$	タイマA4(TA4)
$038F_{16}$	
0390_{16}	タイマB0(TB0)
0391_{16}	
0392_{16}	タイマB1(TB1)
0393_{16}	
0394_{16}	タイマB2(TB2)
0395_{16}	
0396_{16}	タイマA0モードレジスタ(TA0MR)
0397_{16}	タイマA1モードレジスタ(TA1MR)
0398_{16}	タイマA2モードレジスタ(TA2MR)
0399_{16}	タイマA3モードレジスタ(TA3MR)
$039A_{16}$	タイマA4モードレジスタ(TA4MR)
$039B_{16}$	タイマB0モードレジスタ(TB0MR)
$039C_{16}$	タイマB1モードレジスタ(TB1MR)
$039D_{16}$	タイマB2モードレジスタ(TB2MR)
$039E_{16}$	
$039F_{16}$	
$03A0_{16}$	UART0送受信モードレジスタ(U0MR)
$03A1_{16}$	UART0転送速度レジスタ(U0BRG)
$03A2_{16}$	UART0送信バッファレジスタ(U0TB)
$03A3_{16}$	
$03A4_{16}$	UART0送受信制御レジスタ０(U0C0)
$03A5_{16}$	UART0送受信制御レジスタ１(U0C1)
$03A6_{16}$	UART0受信バッファレジスタ(U0RB)
$03A7_{16}$	
$03A8_{16}$	UART1送受信モードレジスタ(U1MR)
$03A9_{16}$	UART1転送速度レジスタ(U1BRG)
$03AA_{16}$	UART1送信バッファレジスタ(U1TB)
$03AB_{16}$	
$03AC_{16}$	UART1送受信制御レジスタ０(U1C0)
$03AD_{16}$	UART1送受信制御レジスタ１(U1C1)
$03AE_{16}$	UART1受信バッファレジスタ(U1RB)
$03AF_{16}$	
$03B0_{16}$	UART送受信制御レジスタ2(UCON)
$03B1_{16}$	
$03B2_{16}$	
$03B3_{16}$	
$03B4_{16}$	フラッシュメモリ制御レジスタ(FER)　(注1)
$03B5_{16}$	
$03B6_{16}$	
$03B7_{16}$	
$03B8_{16}$	DMA0要因選択レジスタ(DM0SL)
$03B9_{16}$	
$03BA_{16}$	DMA1要因選択レジスタ(DM1SL)
$03BB_{16}$	
$03BC_{16}$	CRCデータレジスタ(CRCD)
$03BD_{16}$	
$03BE_{16}$	CRCインプットレジスタ(CRCIN)
$03BF_{16}$	

注1.　このレジスタはフラッシュメモリ版にのみ存在します。
注2.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出し及び書き込みを行わないでください。

図2.1.3　周辺装置制御レジスタの配置(2)

03C0$_{16}$	A-Dレジスタ0(AD0)
03C1$_{16}$	
03C2$_{16}$	A-Dレジスタ1(AD1)
03C3$_{16}$	
03C4$_{16}$	A-Dレジスタ2(AD2)
03C5$_{16}$	
03C6$_{16}$	A-Dレジスタ3(AD3)
03C7$_{16}$	
03C8$_{16}$	A-Dレジスタ4(AD4)
03C9$_{16}$	
03CA$_{16}$	A-Dレジスタ5(AD5)
03CB$_{16}$	
03CC$_{16}$	A-Dレジスタ6(AD6)
03CD$_{16}$	
03CE$_{16}$	A-Dレジスタ7(AD7)
03CF$_{16}$	
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	A-D制御レジスタ2(ADCON2)
03D5$_{16}$	
03D6$_{16}$	A-D制御レジスタ0(ADCON0)
03D7$_{16}$	A-D制御レジスタ1(ADCON1)
03D8$_{16}$	D-Aレジスタ0(DA0)
03D9$_{16}$	
03DA$_{16}$	D-Aレジスタ1(DA1)
03DB$_{16}$	
03DC$_{16}$	D-A制御レジスタ(DACON)
03DD$_{16}$	
03DE$_{16}$	
03DF$_{16}$	
03E0$_{16}$	ポートP0(P0)
03E1$_{16}$	ポートP1(P1)
03E2$_{16}$	ポートP0方向レジスタ(PD0)
03E3$_{16}$	ポートP1方向レジスタ(PD1)
03E4$_{16}$	ポートP2(P2)
03E5$_{16}$	ポートP3(P3)
03E6$_{16}$	ポートP2方向レジスタ(PD2)
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4(P4)
03E9$_{16}$	ポートP5(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	ポートP5方向レジスタ(PD5)
03EC$_{16}$	ポートP6(P6)
03ED$_{16}$	ポートP7(P7)
03EE$_{16}$	ポートP6方向レジスタ(PD6)
03EF$_{16}$	ポートP7方向レジスタ(PD7)
03F0$_{16}$	ポートP8(P8)
03F1$_{16}$	ポートP9(P9)
03F2$_{16}$	ポートP8方向レジスタ(PD8)
03F3$_{16}$	ポートP9方向レジスタ(PD9)
03F4$_{16}$	ポートP10(P10)
03F5$_{16}$	
03F6$_{16}$	ポートP10方向レジスタ(PD10)
03F7$_{16}$	
03F8$_{16}$	
03F9$_{16}$	
03FA$_{16}$	
03FB$_{16}$	
03FC$_{16}$	プルアップ制御レジスタ０(PUR0)
03FD$_{16}$	プルアップ制御レジスタ１(PUR1)
03FE$_{16}$	プルアップ制御レジスタ２(PUR2)
03FF$_{16}$	ポート制御レジスタ(PCR)

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出し及び書き込みを行わないでください。

図2.1.4　周辺装置制御レジスタの配置(3)

2.2 中央演算処理装置

中央演算処理装置には図2.2.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

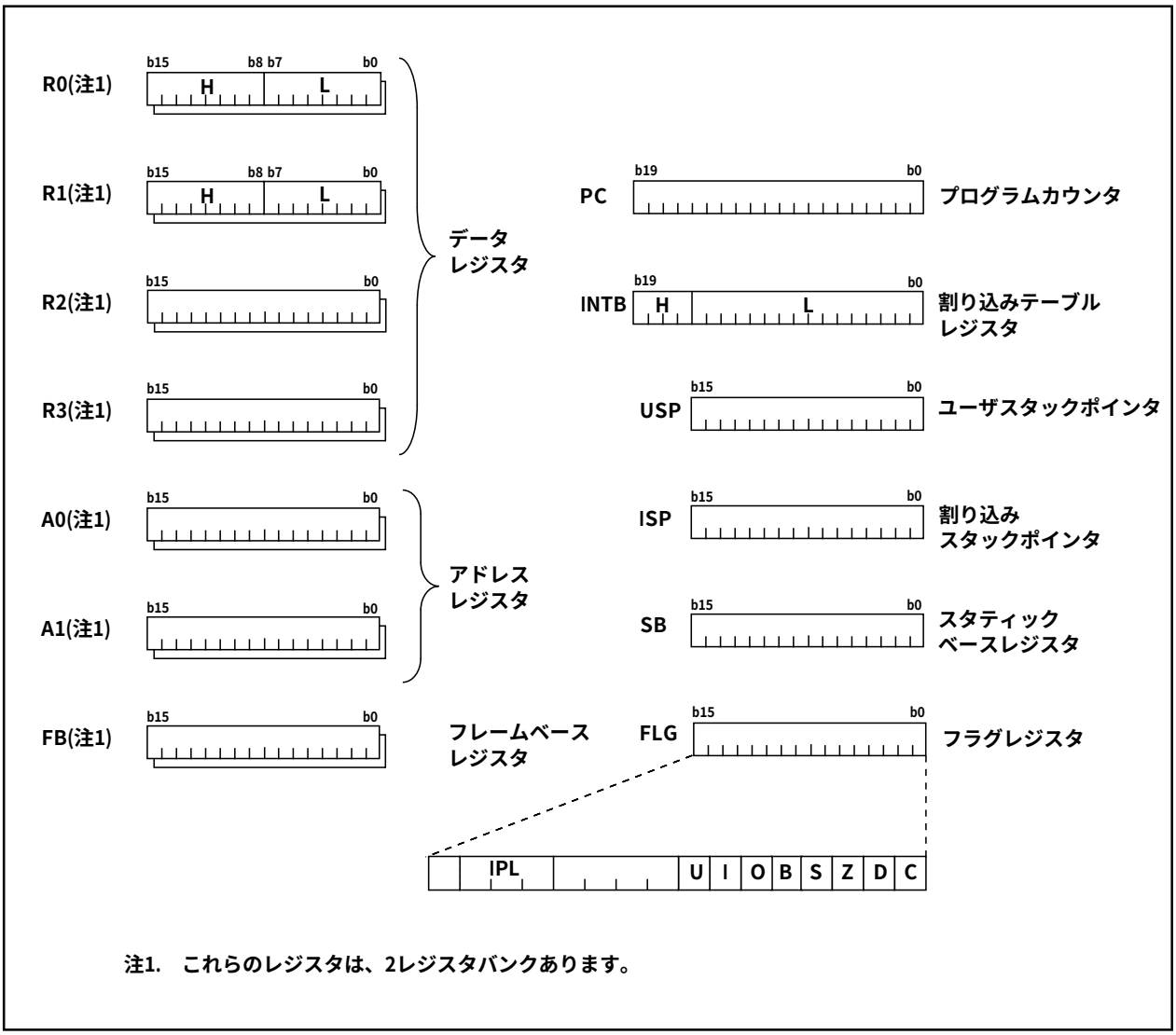


図2.2.1 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図2.2.2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

●ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

●ビット8～ビット11：予約領域

●ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

●ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウエアマニュアルを参照してください。

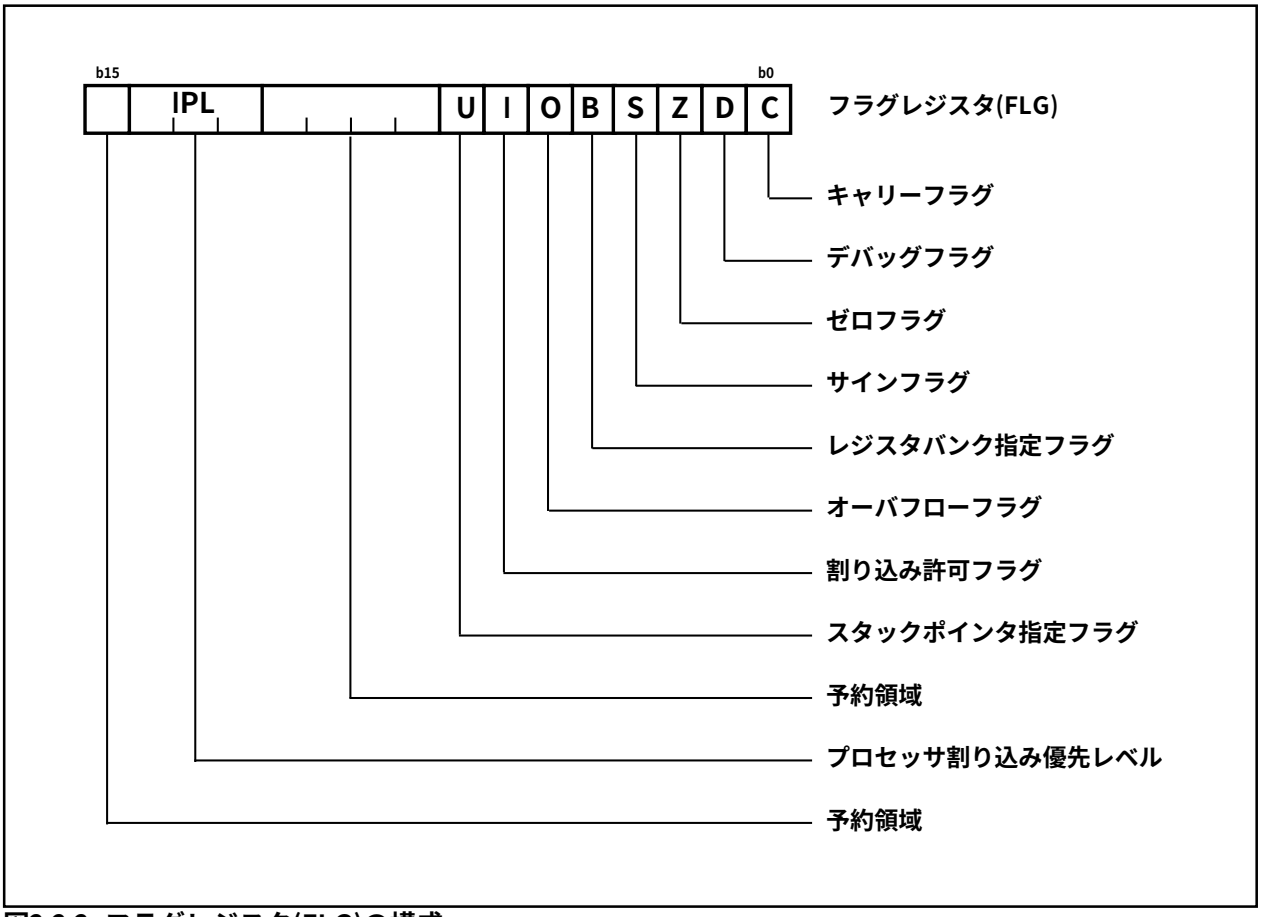


図2.2.2 フラグレジスタ(FLG)の構成

2.3 リセット

リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです(ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照)。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。リセット回路の一例を図2.3.1、リセットシーケンスを図2.3.2に示します。

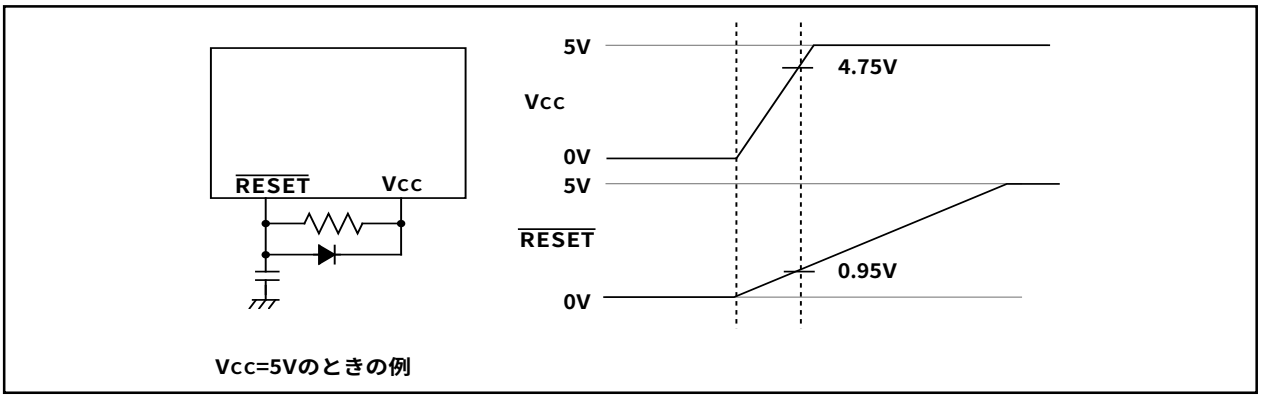


図2.3.1 リセット回路の一例

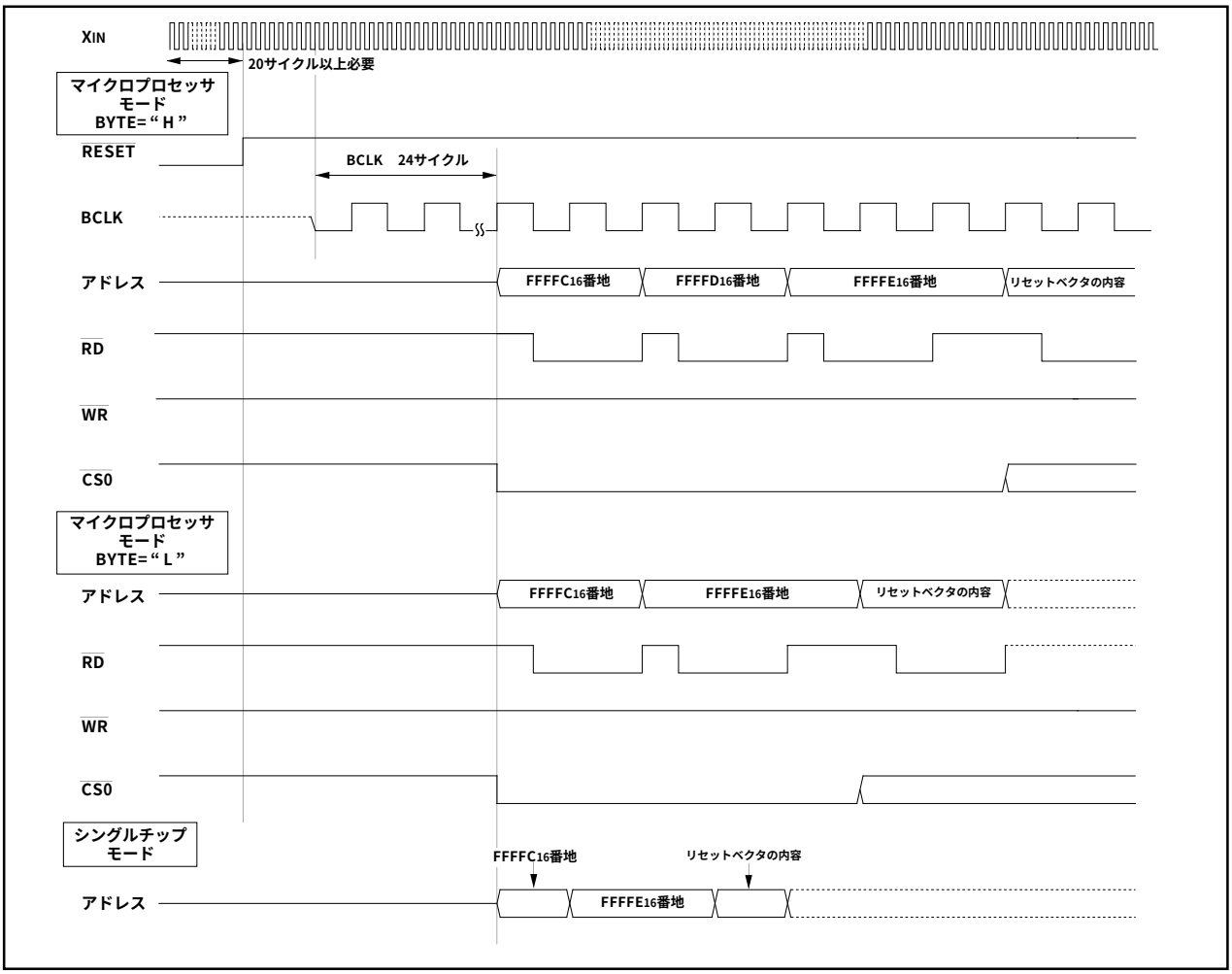


図2.3.2 リセットシーケンス

$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を表2.3.1、リセット解除直後のマイクロコンピュータの内部状態を図2.3.3、図2.3.4に示します。

表2.3.1 $\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, $P4_0$～$P4_3$	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
$P4_4$	入力ポート(フローティング)	$\overline{\text{CS0}}$出力(“H”レベルを出力)	$\overline{\text{CS0}}$出力(“H”レベルを出力)
$P4_5$～$P4_7$	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
$P5_0$	入力ポート(フローティング)	$\overline{\text{WR}}$出力(“H”レベルを出力)	$\overline{\text{WR}}$出力(“H”レベルを出力)
$P5_1$	入力ポート(フローティング)	$\overline{\text{BHE}}$出力(不定)	$\overline{\text{BHE}}$出力(不定)
$P5_2$	入力ポート(フローティング)	$\overline{\text{RD}}$出力(“H”レベルを出力)	$\overline{\text{RD}}$出力(“H”レベルを出力)
$P5_3$	入力ポート(フローティング)	BCLK出力	BCLK出力
$P5_4$	入力ポート(フローティング)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)
$P5_5$	入力ポート(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)
$P5_6$	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
$P5_7$	入力ポート(フローティング)	$\overline{\text{RDY}}$入力(フローティング)	$\overline{\text{RDY}}$入力(フローティング)
P6, P7, $P8_0$～$P8_4$, $P8_6$, $P8_7$, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)
P11	出力ポート	出力ポート	出力ポート
CVIN1 SVREF,SYNCIN FSCIN	入力ポート	入力ポート	入力ポート
LP2,LP3,LP4	出力ポート	出力ポート	出力ポート

2.3.1 ソフトウエアリセット

プロセッサモードレジスタ0(0004_{16}番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモードレジスタ0(注1)	(0004_{16})···	00_{16}
プロセッサモードレジスタ1	(0005_{16})···	0 0 0 0 0 × × 0
システムクロック制御レジスタ0	(0006_{16})···	0 1 0 0 1 0 0 0
システムクロック制御レジスタ1	(0007_{16})···	0 0 1 0 0 0 0 0
チップセレクト制御レジスタ	(0008_{16})···	0 0 0 0 0 0 0 1
アドレス一致割り込み許可レジスタ	(0009_{16})···	× × × × × × 0 0
プロテクトレジスタ	($000A_{16}$)···	× × × × × 0 0 0
監視タイマ制御レジスタ	($000F_{16}$)···	0 0 0 ? ? ? ? ?
アドレス一致割り込みレジスタ0	(0010_{16})···	00_{16}
	(0011_{16})···	00_{16}
	(0012_{16})···	× × × × 0 0 0 0
アドレス一致割り込みレジスタ1	(0014_{16})···	00_{16}
	(0015_{16})···	00_{16}
	(0016_{16})···	× × × × 0 0 0 0
DMA0制御レジスタ	($002C_{16}$)···	0 0 0 0 0 ? 0 0
DMA1制御レジスタ	($003C_{16}$)···	0 0 0 0 0 ? 0 0
INT3割り込み制御レジスタ	(0044_{16})···	× × 0 0 ? 0 0 0
タイマB5割り込み制御レジスタ	(0045_{16})···	× × × × ? 0 0 0
タイマB4割り込み制御レジスタ	(0046_{16})···	× × × × ? 0 0 0
タイマB3割り込み制御レジスタ	(0047_{16})···	× × × × ? 0 0 0
SI/O4割り込み制御レジスタ	(0048_{16})···	× × 0 0 ? 0 0 0
SI/O3割り込み制御レジスタ	(0049_{16})···	× × 0 0 ? 0 0 0
バス衝突検出割り込み制御レジスタ	($004A_{16}$)···	× × × × ? 0 0 0
DMA0割り込み制御レジスタ	($004B_{16}$)···	× × × × ? 0 0 0
DMA1割り込み制御レジスタ	($004C_{16}$)···	× × × × ? 0 0 0
キー入力割り込み制御レジスタ	($004D_{16}$)···	× × × × ? 0 0 0
A-D変換割り込み制御レジスタ	($004E_{16}$)···	× × × × ? 0 0 0
UART2送信割り込み制御レジスタ	($004F_{16}$)···	× × × × ? 0 0 0
UART2受信割り込み制御レジスタ	(0050_{16})···	× × × × ? 0 0 0
UART0送信割り込み制御レジスタ	(0051_{16})···	× × × × ? 0 0 0
UART0受信割り込み制御レジスタ	(0052_{16})···	× × × × ? 0 0 0
UART1送信割り込み制御レジスタ	(0053_{16})···	× × × × ? 0 0 0
UART1受信割り込み制御レジスタ	(0054_{16})···	× × × × ? 0 0 0
タイマA0割り込み制御レジスタ	(0055_{16})···	× × × × ? 0 0 0
タイマA1割り込み制御レジスタ	(0056_{16})···	× × × × ? 0 0 0
タイマA2割り込み制御レジスタ	(0057_{16})···	× × × × ? 0 0 0
タイマA3割り込み制御レジスタ	(0058_{16})···	× × × × ? 0 0 0
タイマA4割り込み制御レジスタ	(0059_{16})···	× × × × ? 0 0 0
タイマB0割り込み制御レジスタ	($005A_{16}$)···	× × × × ? 0 0 0
タイマB1割り込み制御レジスタ	($005B_{16}$)···	× × × × ? 0 0 0
タイマB2割り込み制御レジスタ	($005C_{16}$)···	× × × × ? 0 0 0
INT0割り込み制御レジスタ	($005D_{16}$)···	× × 0 0 ? 0 0 0
INT1割り込み制御レジスタ	($005E_{16}$)···	× × 0 0 ? 0 0 0
INT2割り込み制御レジスタ	($005F_{16}$)···	× × 0 0 ? 0 0 0
スライスRAMアドレス制御レジスタ	($020E_{16}$)···	00_{16}
	($020F_{16}$)···	00_{16}
スライスRAMデータ制御レジスタ	(0210_{16})···	00_{16}
	(0211_{16})···	00_{16}
拡張レジスタ用アドレス制御レジスタ	(0216_{16})···	00_{16}
	(0217_{16})···	00_{16}
拡張レジスタ用データ制御レジスタ	(0218_{16})···	00_{16}
	(0219_{16})···	00_{16}
ハミング8/4レジスタ	($021A_{16}$)···	00_{16}
	($021B_{16}$)···	00_{16}
ハミング24/18レジスタ0	($021C_{16}$)···	00_{16}
	($021D_{16}$)···	00_{16}
ハミング24/18レジスタ1	($021E_{16}$)···	00_{16}
	($021F_{16}$)···	00_{16}
タイマB3,4,5カウント開始フラグ	(0340_{16})···	0 0 0 × × × × ×
タイマB3モードレジスタ	($035B_{16}$)···	0 0 ? × 0 0 0 0
タイマB4モードレジスタ	($035C_{16}$)···	0 0 ? × 0 0 0 0
タイマB5モードレジスタ	($035D_{16}$)···	0 0 ? × 0 0 0 0
割り込み要因選択レジスタ	($035F_{16}$)···	00_{16}
SI/O3制御レジスタ	(0362_{16})···	40_{16}
SI/O4制御レジスタ	(0366_{16})···	40_{16}
UART2特殊モードレジスタ2	(0376_{16})···	00_{16}
UART2特殊モードレジスタ	(0377_{16})···	00_{16}
UART2送受信モードレジスタ	(0378_{16})···	00_{16}
UART2送受信制御レジスタ0	($037C_{16}$)···	0 0 0 0 1 0 0 0
UART2送受信制御レジスタ1	($037D_{16}$)···	0 0 0 0 0 0 1 0

×：このビットは何も配置されていません。
？：不定です。
これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注1.　CNVss端子にVccレベルを印加しているときは、リセット時03_{16}になります。

図2.3.3 リセット解除後のマイクロコンピュータの内部状態(1)

カウント開始フラグ	(0380_{16})…	00_{16}
時計用プリスケーラリセットフラグ	(0381_{16})…	0 × × × × × ×
ワンショット開始フラグ	(0382_{16})…	0 0 × 0 0 0 0 0
トリガ選択レジスタ	(0383_{16})…	00_{16}
アップダウンフラグ	(0384_{16})…	00_{16}
タイマA0モードレジスタ	(0396_{16})…	00_{16}
タイマA1モードレジスタ	(0397_{16})…	00_{16}
タイマA2モードレジスタ	(0398_{16})…	00_{16}
タイマA3モードレジスタ	(0399_{16})…	00_{16}
タイマA4モードレジスタ	$(039A_{16})$…	00_{16}
タイマB0モードレジスタ	$(039B_{16})$…	0 0 ? × 0 0 0 0
タイマB1モードレジスタ	$(039C_{16})$…	0 0 ? × 0 0 0 0
タイマB2モードレジスタ	$(039D_{16})$…	0 0 ? × 0 0 0 0
UART0送受信モードレジスタ	$(03A0_{16})$…	00_{16}
UART0送受信制御レジスタ0	$(03A4_{16})$…	0 0 0 0 1 0 0 0
UART0送受信制御レジスタ1	$(03A5_{16})$…	0 0 0 0 0 0 1 0
UART1送受信モードレジスタ	$(03A8_{16})$…	00_{16}
UART1送受信制御レジスタ0	$(03AC_{16})$…	0 0 0 0 1 0 0 0
UART1送受信制御レジスタ1	$(03AD_{16})$…	0 0 0 0 0 0 1 0
UART送受信制御レジスタ2	$(03B0_{16})$…	× 0 0 0 0 0 0 0
DMA0要因選択レジスタ	$(03B8_{16})$…	00_{16}
DMA1要因選択レジスタ	$(03BA_{16})$…	00_{16}
A-D制御レジスタ2	$(03D4_{16})$…	0 0 0 0 × × × 0
A-D制御レジスタ0	$(03D6_{16})$…	0 0 0 0 0 ? ? ?
A-D制御レジスタ1	$(03D7_{16})$…	00_{16}

D-A制御レジスタ	$(03DC_{16})$…	00_{16}
ポートP0方向レジスタ	$(03E2_{16})$…	00_{16}
ポートP1方向レジスタ	$(03E3_{16})$…	00_{16}
ポートP2方向レジスタ	$(03E6_{16})$…	00_{16}
ポートP3方向レジスタ	$(03E7_{16})$…	00_{16}
ポートP4方向レジスタ	$(03EA_{16})$…	00_{16}
ポートP5方向レジスタ	$(03EB_{16})$…	00_{16}
ポートP6方向レジスタ	$(03EE_{16})$…	00_{16}
ポートP7方向レジスタ	$(03EF_{16})$…	00_{16}
ポートP8方向レジスタ	$(03F2_{16})$…	0 0 × 0 0 0 0 0
ポートP9方向レジスタ	$(03F3_{16})$…	00_{16}
ポートP10方向レジスタ	$(03F6_{16})$…	00_{16}
プルアップ制御レジスタ0	$(03FC_{16})$…	00_{16}
プルアップ制御レジスタ1(注1)	$(03FD_{16})$…	00_{16}
プルアップ制御レジスタ2	$(03FE_{16})$…	00_{16}
ポート制御レジスタ	$(03FF_{16})$…	00_{16}
データレジスタ(R0/R1/R2/R3)		0000_{16}
アドレスレジスタ(A0/A1)		0000_{16}
フレームベースレジスタ(FB)		0000_{16}
割り込みテーブルレジスタ(INTB)		00000_{16}
ユーザスタックポインタ(USP)		0000_{16}
割り込みスタックポインタ(ISP)		0000_{16}
スタティックベースレジスタ(SB)		0000_{16}
フラグレジスタ(FLG)		0000_{16}

×：このビットは何も配置されていません。
？：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1．CNVss端子にVccレベルを印加しているときは、リセット時02_{16}になります。

図2.3.4 リセット解除後のマイクロコンピュータの内部状態(2)

2.4 プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

●シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

●メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

●マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVSS端子およびプロセッサモードビット(0004_{16}番地のビット1、ビット0)によって行います。プロセッサモードビットを“10_2”にしないでください。

CNVSS端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

●CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01_2”にするとメモリ拡張モードへ切り替えることができます。

●CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図2.4.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図2.4.2に各プロセッサモードのメモリ配置図を示します。

プロセッサモードレジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PM0	0004_{16}番地	00_{16}(注2)

ビットシンボル	ビット名	機　　能	R	W
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 使用しないでください。 1 1 : マイクロプロセッサモード	○	○
PM01			○	○
PM02	R/Wモード選択ビット	0 : $\overline{RD}$,$\overline{BHE}$,$\overline{WR}$ 1 : RD,WRH,WRL	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
PM04	マルチプレクスバス空間選択ビット	b5 b4 0 0 : マルチプレクスバスを使用しない 0 1 : CS2の空間に割り当てる 1 0 : CS1の空間に割り当てる 1 1 : 全空間に割り当てる (注4)	○	○
PM05			○	○
PM06	ポートP4_0～P4_3機能選択ビット(注3)	0 : アドレス出力 1 : ポート機能 (アドレスは出力されません)	○	○
PM07	BCLK出力禁止ビット	0 : 出力する 1 : 出力しない (端子はフローティングになります)	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2.　CNV$_{SS}$端子にV$_{CC}$レベルを印加しているときは、リセット時03_{16}になります(PM00およびPM01が“1”になります)。
注3.　マイクロプロセッサモード、メモリ拡張モード時有効。
注4.　メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますの各チップセレクトごとに256バイトしか使えません。

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0			0

シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00000XX0_2$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください。	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
予約ビット		必ず“0”を設定してください	—	○
予約ビット		必ず“0”を設定してください	○	○
PM17	ウエイトビット	0 : ウエイトなし 1 : ウエイトあり	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

図2.4.1　プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

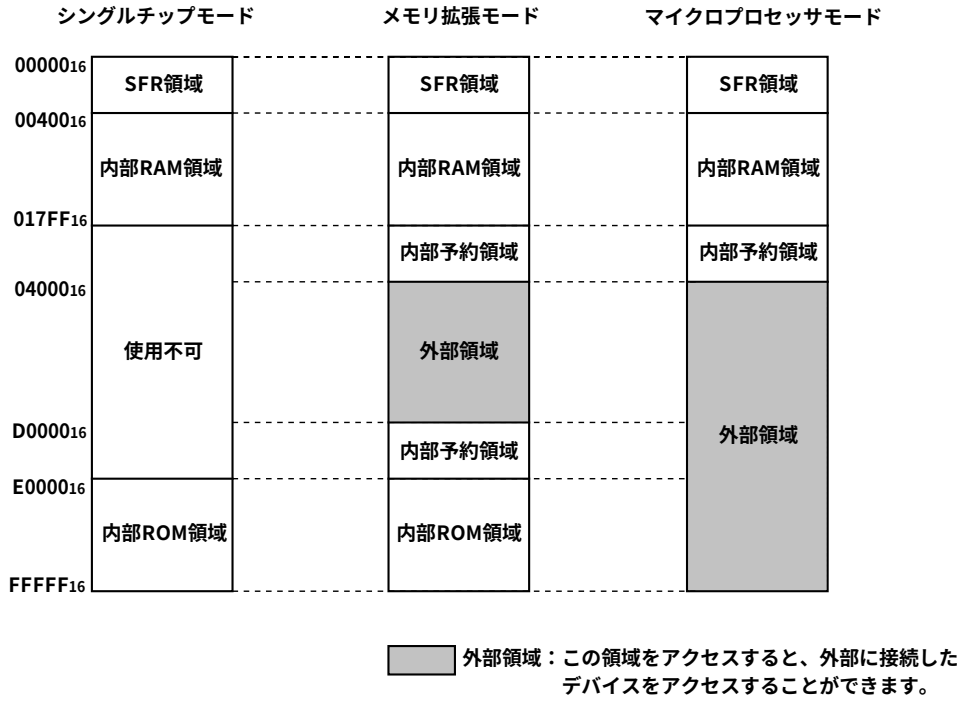


図2.4.2 各プロセッサモード時のメモリ配置

2.4.1 バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004_{16}番地)のビット4～ビット6で切り替えることができます。

表2.4.1に各バスの設定と切り替え要因を示します。

表2.4.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス／マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。$P4_0$～$P4_3$は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、および$P4_0$～$P4_3$がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス／マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

●セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウエアウエイトの有無を選択できます。

●マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。データバスが8ビット(BYTE端子が“H”レベル)のとき、D_0～D_7の8ビットがA_0～A_7とマルチプレクスされます。

データバスが16ビット(BYTE端子が“L”レベル)のとき、D_0～D_7の8ビットがA_1～A_8とマルチプレクスされD_8～D_{15}はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、$P5_6$から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウエアウエイトを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので、各チップセレクトごとに256バイトしか使えません。

表2.4.2 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード／マイクロプロセッサモード				メモリ拡張モード
マルチプレクスバス空間選択ビット		“01”、“10” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“00” (セパレートバス)		“11”(注1) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
$P0_0$～$P0_7$	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
$P1_0$～$P1_7$	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
$P2_0$	入出力ポート	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス／データバス
$P2_1$～$P2_7$	入出力ポート	アドレスバス／データバス(注2)	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス／データバス
$P3_0$	入出力ポート	アドレスバス	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	A_8/D_7
$P3_1$～$P3_7$	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
$P4_0$～$P4_3$ ポート$P4_0$～$P4_3$機能選択ビット=“1”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
$P4_0$～$P4_3$ ポート$P4_0$～$P4_3$機能選択ビット=“0”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
$P4_4$～$P4_7$	入出力ポート	$\overline{CS}$(チップセレクト）またはプログラマブル入出力ポートの選択 （詳細は「バス制御」を参照）				
$P5_0$～$P5_3$	入出力ポート	$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$、BCLK出力または$\overline{RD}$、$\overline{BHE}$、$\overline{WR}$、BCLK出力 （詳細は「バス制御」を参照）				
$P5_4$	入出力ポート	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$
$P5_5$	入出力ポート	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$
$P5_6$	入出力ポート	ALE	ALE	ALE	ALE	ALE
$P5_7$	入出力ポート	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$

注1. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので、各チップセレクトごとに256バイトしか使えません。
注2. セパレートバスではアドレスバスになります。

2.4.2 バス制御

外部デバイスのアクセスに必要な信号、およびソフトウエアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張およびマイクロプロセッサモードのとき有効です。ソフトウエアリセットは全プロセッサモードで有効です。

(1) アドレスバス／データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A_0～A_{19}の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD_0～D_7の8本がデータバスに、BYTE端子が“L”のときはD_0～D_{15}の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部アクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP_{44}～P_{47}と兼用で、チップセレクト制御レジスタ(0008_{16}番地)のビット0～ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードではチップセレクト制御レジスタの内容にかかわらずP_{44}～P_{47}はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のとき$\overline{CS0}$だけチップセレクト信号を出力し、$\overline{CS1}$～$\overline{CS3}$は入力ポートになっています。チップセレクト制御レジスタの構成を図2.4.3に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表2.4.3に示します。

プロセッサモード	チップセレクト信号			
	$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$
メモリ拡張モード	30000_{16}～$CFFFF_{16}$ (640Kバイト)	28000_{16}～$2FFFF_{16}$ (32Kバイト)	08000_{16}～$27FFF_{16}$ (128Kバイト)	0400_{16}～$07FFF_{16}$ (16Kバイト)
マイクロプロセッサモード	30000_{16}～$FFFFF_{16}$ (832Kバイト)			

表2.4.3 チップセレクト信号によって指定する外部領域

チップセレクト制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CSR	0008_{16}番地	01_{16}

ビットシンボル	ビット名	機　能	R	W
CS0	$\overline{CS0}$出力許可ビット	0：チップセレクト出力禁止（通常のポート端子） 1：チップセレクト出力許可	○	○
CS1	$\overline{CS1}$出力許可ビット		○	○
CS2	$\overline{CS2}$出力許可ビット		○	○
CS3	$\overline{CS3}$出力許可ビット		○	○
CS0W	$\overline{CS0}$ウエイトビット	0：ウエイトあり 1：ウエイトなし	○	○
CS1W	$\overline{CS1}$ウエイトビット		○	○
CS2W	$\overline{CS2}$ウエイトビット		○	○
CS3W	$\overline{CS3}$ウエイトビット		○	○

図2.4.3 チップセレクト制御レジスタの構成

(3) リード／ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード／ライト信号はプロセッサモードレジスタ0(000_{16}番地)のビット2によって、$\overline{RD}$、$\overline{BHE}$、$\overline{WR}$の組み合わせ、または$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせを使用してください(プロセッサモードレジスタ0(000_{16}番地)のビット2を“0”にしてください)。各信号の動作を表2.4.4、表2.4.5に示します。

リセット解除後、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせです。

$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせに切り替える場合、プロセッサモードレジスタ0(000_{16}番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

表2.4.4 $\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表2.4.5 $\overline{RD}$、$\overline{WR}$、$\overline{BHE}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H／L	1バイトのデータを書き込む
	L	H	使用しない	H／L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

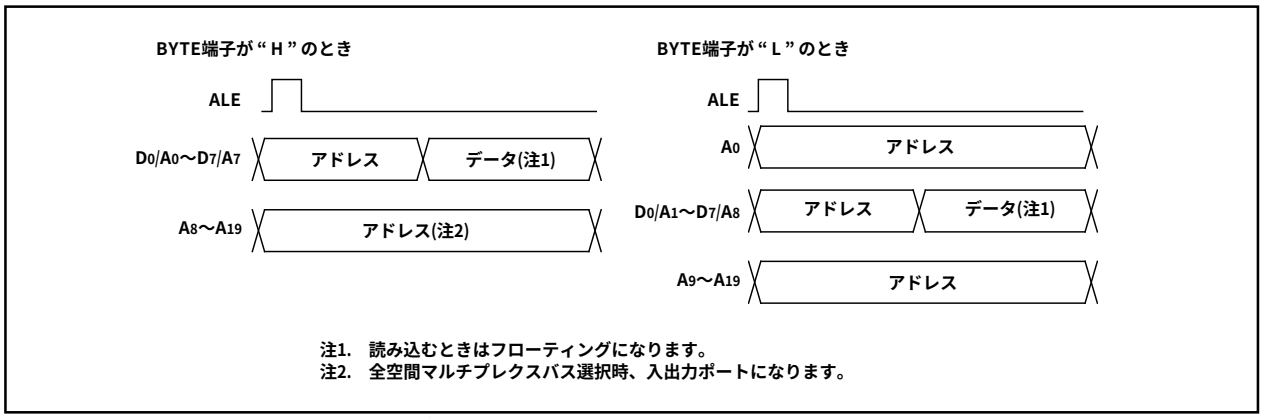


図2.4.4 ALE信号とアドレスバス/データバス

(5) $\overline{\text{RDY}}$信号

$\overline{\text{RDY}}$は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図2.4.5に示すようにBCLKの立ち下がりで$\overline{\text{RDY}}$端子に“L”が入力されているとき、バスはウエイト状態になります。BCLKの立ち下がりで$\overline{\text{RDY}}$端子に“H”が入力されているとき、バスはウエイト状態を解除します。表2.4.6にバスのウエイト状態におけるマイクロコンピュータの状態、図2.4.5に$\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例を示します。

$\overline{\text{RDY}}$信号は、チップセレクト制御レジスタ(0008_{16}番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008_{16}番地)のビット4～ビット7に全て“1”を設定している場合は、RDY信号は無効ですが、RDY端子の未使用端子の処理が必要です。

表2.4.6 バスのウエイト状態におけるマイクロコンピュータの状態(注1)

項　目	状　態
発振	動作
R/$\overline{\text{W}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$ ALE信号、$\overline{\text{HLDA}}$ プログラマブル入出力ポート	$\overline{\text{RDY}}$信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1.　ソフトウエアウエイトによるウエイトの直前には$\overline{\text{RDY}}$信号は受け付けられません。

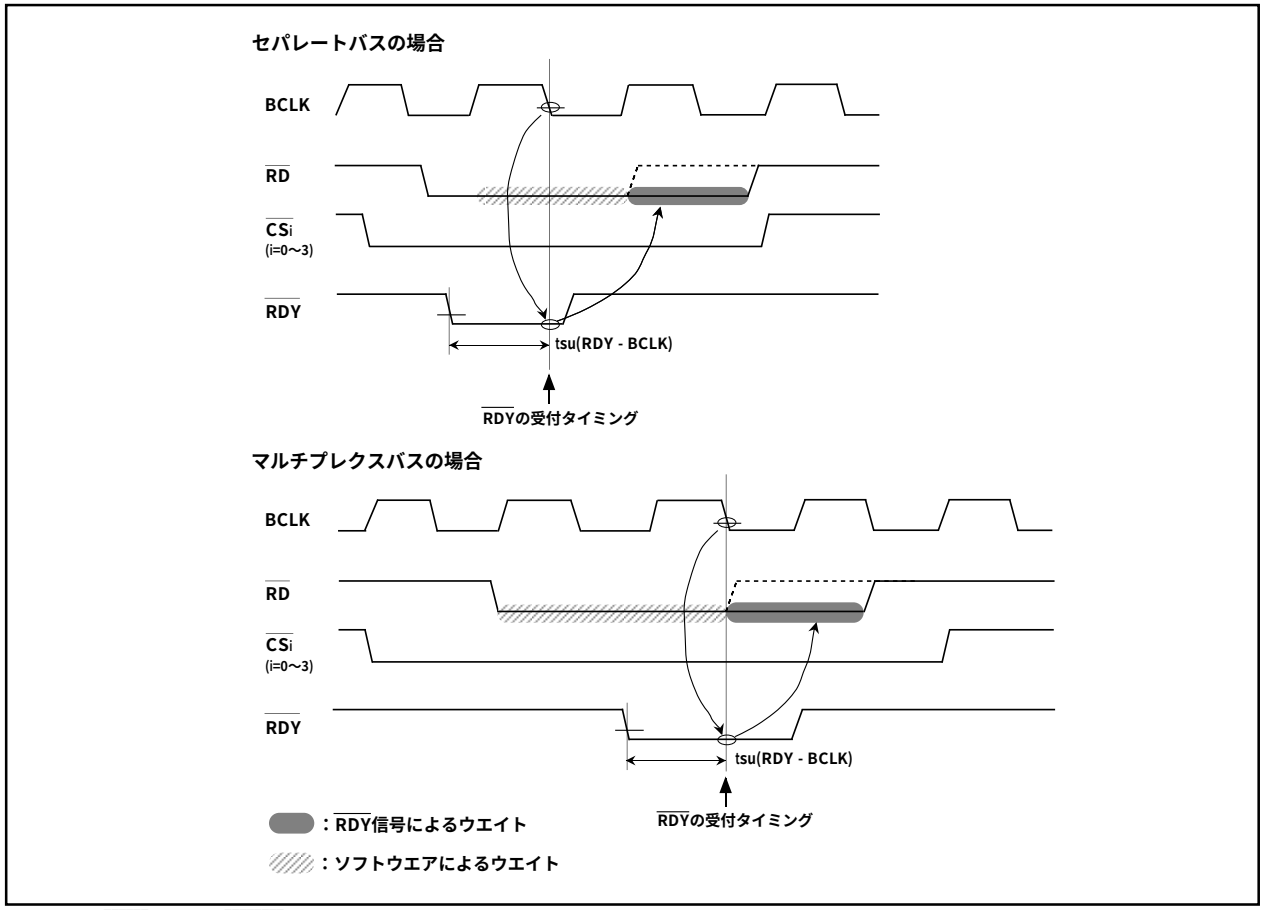


図2.4.5 $\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用権をCPUから外部回路へ移行するための信号です。$\overline{\text{HOLD}}$端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、$\overline{\text{HOLD}}$端子が“L”の期間その状態を保持します。また、その間$\overline{\text{HLDA}}$端子から“L”を出力します。表2.4.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、$\overline{\text{HOLD}}$、DMAC、CPUとなっています。

$\overline{\text{HOLD}}$ > DMAC > CPU

図2.4.6 バス使用優先順位

表2.4.7 ホールド状態におけるマイクロコンピュータの状態

項　目		状　態
発振		動作
R/$\overline{\text{W}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$、$\overline{\text{BHE}}$		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表2.4.8に示します。

表2.4.8 内部領域をアクセスしたときの外部バスの状態

項　目		SFRをアクセスしたときの状態	内部RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$		$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$を出力	“H”を出力
$\overline{\text{BHE}}$		$\overline{\text{BHE}}$を出力	直前にアクセスされた外部領域の状態を保持
$\overline{\text{CS}}$		“H”を出力	“H”を出力
ALE		“L”を出力	“L”を出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004$_{16}$番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

(9) ソフトウエアウエイト

プロセッサモードレジスタ1(0005$_{16}$番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008$_{16}$番地)のビット4～ビット7によって、ソフトウエアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウエアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、$\overline{\text{RDY}}$信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された領域ごとにソフトウエアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクト$\overline{\text{CS0}}$～$\overline{\text{CS3}}$に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウエアウエイトを挿入してください。

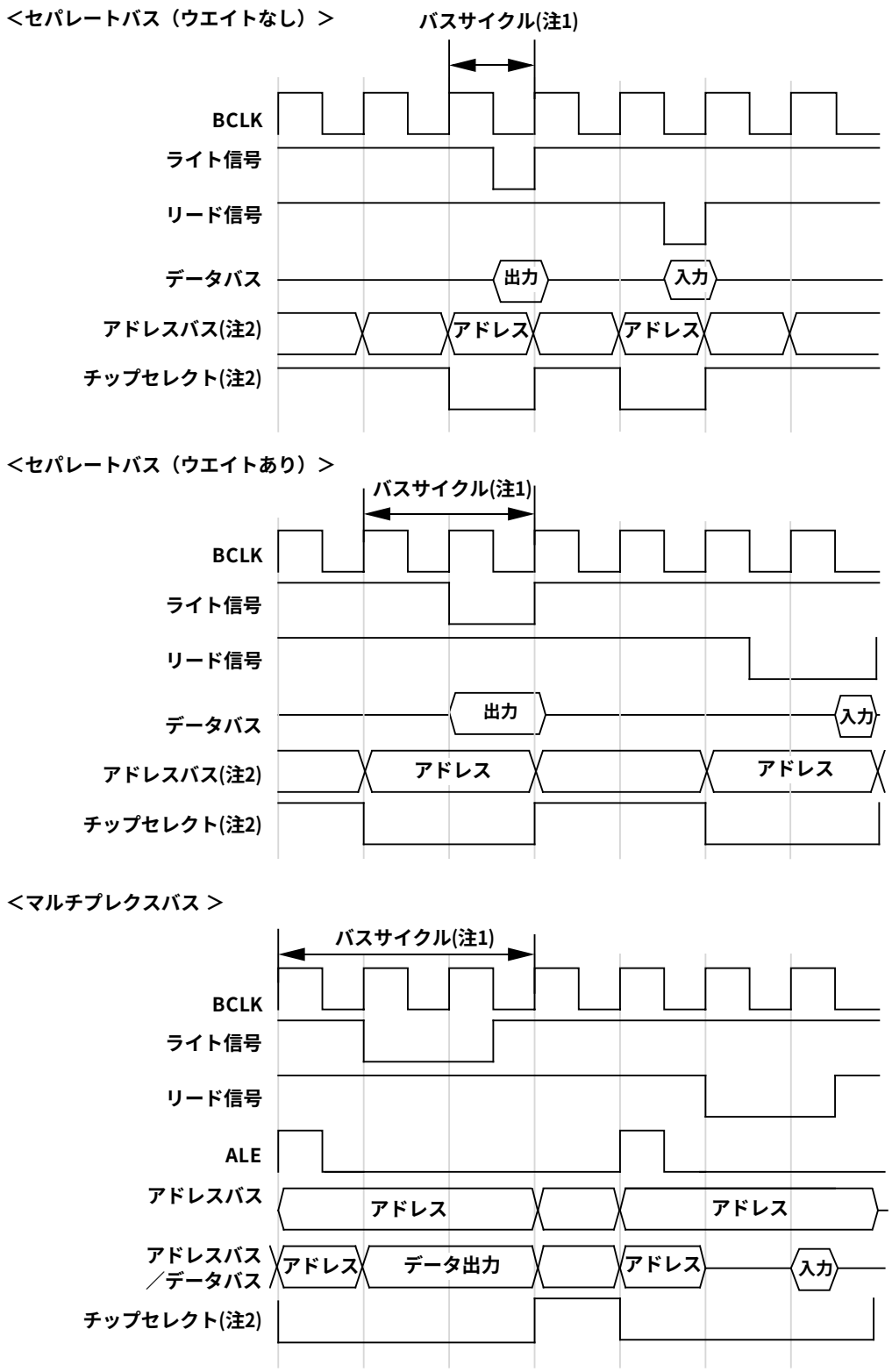
表2.4.9にソフトウエアウエイトとバスサイクル、図2.4.7にソフトウエアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

表2.4.9 ソフトウエアウエイトとバスサイクル

領　域	バス形状	ウエイトビット	チップセレクト制御レジスタビット4～ビット7	バスサイクル
SFR	―――	無効	無効	BCLKの2サイクル
内部ROM/RAM	―――	0	無効	BCLKの1サイクル
	―――	1	無効	BCLKの2サイクル
外部メモリ領域	セパレートバス	0	1	BCLKの1サイクル
	セパレートバス	0	0	BCLKの2サイクル
	セパレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

注1. $\overline{\text{RDY}}$信号を使用する場合“0”を設定してください。



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。
注2. 命令キューバッファなどのCPUの状態により、アドレスおよびチップセレクトは、伸びる場合があります。

図2.4.7 ソフトウエアウエイトを使用した場合のバスタイミング例

2.5 クロック発生回路

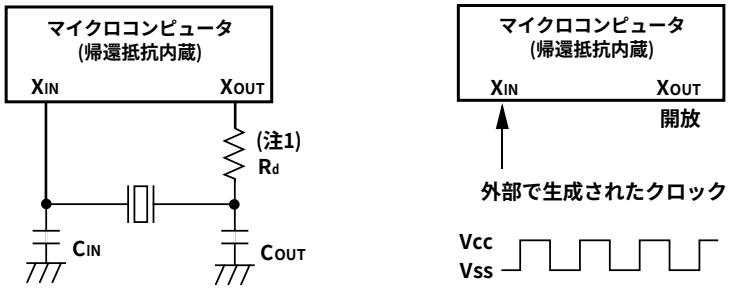
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表2.5.1 メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●CPUの動作クロック源 ●タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

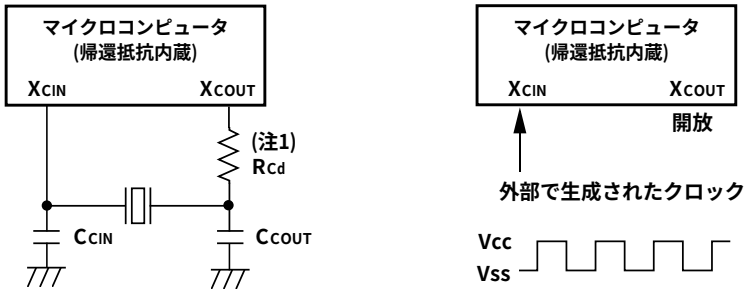
2.5.1 発振回路例

図2.5.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.1中および図2.5.2中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

図2.5.1 メインクロックの接続例



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図2.5.2 サブクロックの接続例

2.5.2 クロックの制御

図2.5.3にクロック発生回路のブロック図を示します。

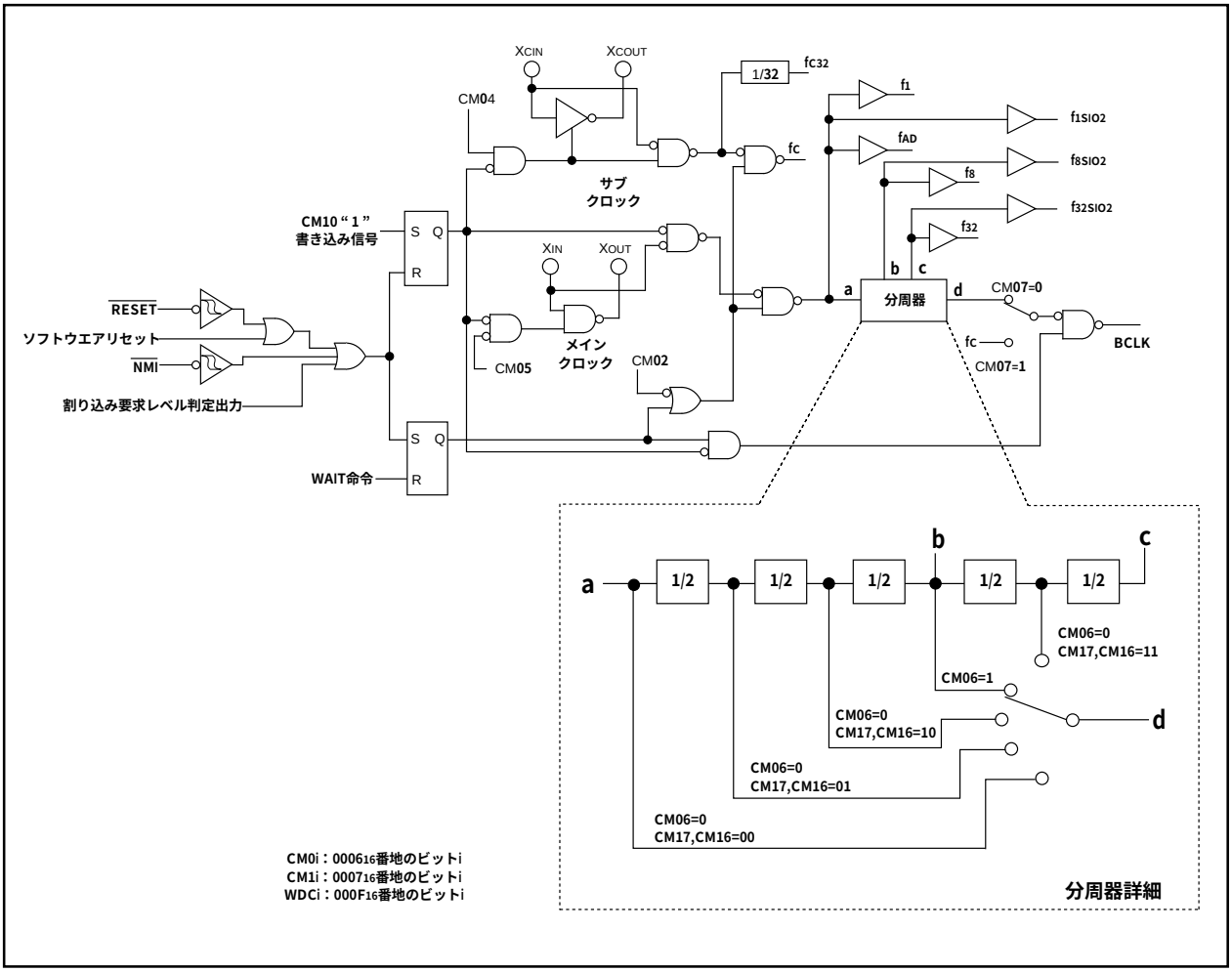


図2.5.3 クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が充分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfCをクロック源とするCPUの動作クロックです。

リセット直後、メインクロックの8分周がBCLKになります。BCLK出力禁止ビット(000416番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f_1、f_8、f_{32}、f_{1SIO2}、f_{8SIO2}、f_{32SIO2}、f_{AD})

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) f_{C32}

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) f_C

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図2.5.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	000_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット(シングルチップモード時のみ有効)	b1 b0 0 0 : 入出力ポートP5$_7$ 0 1 : fcを出力 1 0 : f8を出力 1 1 : f32を出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	ポートXc切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能	○	○
CM05	メインクロック (XIN-XOUT)停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : XIN,XOUT選択 1 : XCIN,XCOUT選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介して、XOUT(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、ポートXc切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。
また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. fc32は含みません。低速モードおよび低消費電力モード時は“1”にしないでください。
注9. XCIN/XCOUTを使用する場合、ポートP8$_6$、P8$_7$は入力ポートで、プルアップなしを設定してください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
CM15	XIN-XOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(0006_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XCIN、XCOUTは、ハイインピーダンスになります。

図2.5.4 システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

2.5.3クロック出力

シングルチップモード時、クロック出力機能選択ビット(000616番地のビット0、ビット1)によってP57/CLKOUT端子からf8、f32またはfCを出力することができます。WAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf8、f32のクロック出力は停止します。

2.5.4 ストップモード

全クロック停止制御ビット(000716番地のビット0)に“1”を書き込むと、メインクロック、サブクロックの発振が停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、VCCが2V以上であれば内部RAMの内容を保持することができます。

拡張機能（データスライス機能/ハミング機能）の内部発振回路は拡張レジスタ XTAL_VCO, PDC_VCO_ON, VPS_VCO_ONに“0”を書き込むと発振停止を行います。

ストップモードでは、発振、BCLK、f1～f32、f1SIO2～f32SIO2、fC、fC32、fADは停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i＝0～2)、SIO3,4は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表2.5.2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表2.5.2 ストップモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0}$～$\overline{CS3}$, $\overline{BHE}$		ストップモードに入る直前の状態を保持	
$\overline{RD}$, $\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$		“H”	
$\overline{HLDA}$,BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	fC選択時	シングルチップモード時だけ有効	“H”
	f8、f32選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

2.5.5 ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブブロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウエイトモードに移行しないでください。ウエイトモード時のポートの状態を表2.5.3に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウエイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウエイトモードの解除にハードウエアリセットおよび$\overline{\text{NMI}}$割り込みのみを使用する場合、全ての割り込み優先レベルを0にしてから、ウエイトモードに移行してください。

表2.5.3 ウエイトモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{\text{CS0}}$～$\overline{\text{CS3}}$, $\overline{\text{BHE}}$		ウエイトモードに入る直前の状態を保持	
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$		“H”	
$\overline{\text{HLDA}}$, BCLK		“H”	
ALE		“L”	
ポート		ウエイトモードに入る直前の状態を保持	ウエイトモードに入る直前の状態を保持
CLKOUT	fC選択時	シングルチップモード時だけ有効	停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

2.5.6 BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表2.5.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fCがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fCがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表2.5.4 システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

CM1i：000716番地のビットi
CM0i：000616番地のビットi

2.5.7 パワーコントロール

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

シングルチップモード時の低消費電力モードのみ、低電圧動作(Vcc=3.0V)を行うことができます。

低消費電力モードへの移行、及び低消費電力モードから復帰する場合は、必ず電源電圧Vccを5V状態にして行ってください。

注意事項

低電圧動作を行う場合は、CPU, ROM, RAM, 入出力ポート, タイマ(タイマA,タイマB)及び、割り込み制御回路のみを使用することができます。

上記以外の機能(データスライサ, DMAC, A/D, D/A等)は、すべて使用できません。

(2) ウエイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

メインクロック、サブクロックの発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図2.5.5に示します。

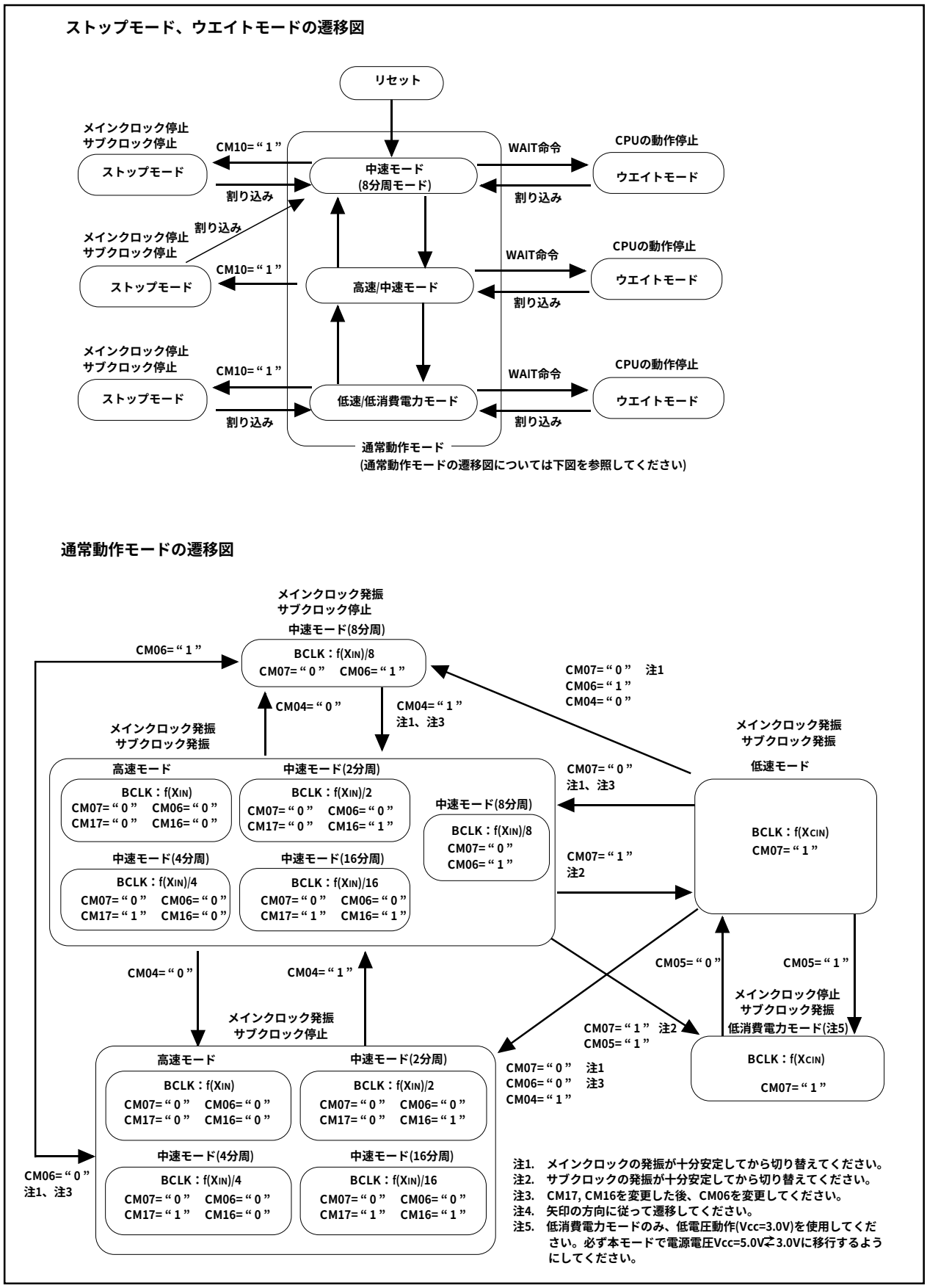

ストップモード、ウエイトモードの遷移図
リセット
メインクロック停止
サブクロック停止
ストップモード
CM10=“1”
割り込み
中速モード
(8分周モード)
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
高速/中速モード
低速/低消費電力モード
通常動作モード
(通常動作モードの遷移図については下図を参照してください)
通常動作モードの遷移図
メインクロック発振
サブクロック停止
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0” CM06=“1”
CM06=“1”
CM04=“0”
CM04=“1”
注1、注3
CM07=“0” 注1
CM06=“1”
CM04=“0”
メインクロック発振
サブクロック発振
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0”
CM06=“1”
CM07=“0”
注1、注3
CM07=“1”
注2
低速モード
BCLK：f(XCIN)
CM07=“1”
CM05=“0”
CM05=“1”
メインクロック停止
サブクロック発振
低消費電力モード(注5)
BCLK：f(XCIN)
CM07=“1”
CM07=“1” 注2
CM05=“1”
CM07=“0” 注1
CM06=“0” 注3
CM04=“1”
メインクロック発振
サブクロック停止
CM06=“0”
注1、注3
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. CM17, CM16を変更した後、CM06を変更してください。
注4. 矢印の方向に従って遷移してください。
注5. 低消費電力モードのみ、低電圧動作(Vcc=3.0V)を使用してください。必ず本モードで電源電圧Vcc=5.0V⇄3.0Vに移行するようにしてください。

図2.5.5 状態遷移図

2.6 プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図2.6.1にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004$_{16}$番地)、プロセッサモードレジスタ1(0005$_{16}$番地)、システムクロック制御レジスタ0(0006$_{16}$番地)、システムクロック制御レジスタ1(0007$_{16}$番地)、ポートP9方向レジスタ(03F3$_{16}$番地)、SI/O3制御レジスタ(0362$_{16}$番地)、およびSI/O4制御レジスタ(0366$_{16}$番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/Oi制御レジスタ(i = 3、4)書き込み許可ビット(000A$_{16}$番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A$_{16}$番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A$_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	╳			

シンボル	アドレス	リセット時
PRCR	000A$_{16}$番地	XXXXX000$_2$

ビットシンボル	ビット名	機　　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006$_{16}$,0007$_{16}$番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004$_{16}$,0005$_{16}$番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC2	ポートP9方向レジスタ(03F3$_{16}$番地)、SI/Oi制御レジスタ(i=3,4)(0362$_{16}$, 0366$_{16}$番地)への書き込み許可(注1)	0 : 書き込み禁止 1 : 書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。
他のビットは“0”になりませんので、プログラムで“0”にしてください。

図2.6.1 プロテクトレジスタの構成

2.7 割り込みの概要

2.7.1 割り込みの分類

図2.7.1に割り込みの分類を示します。

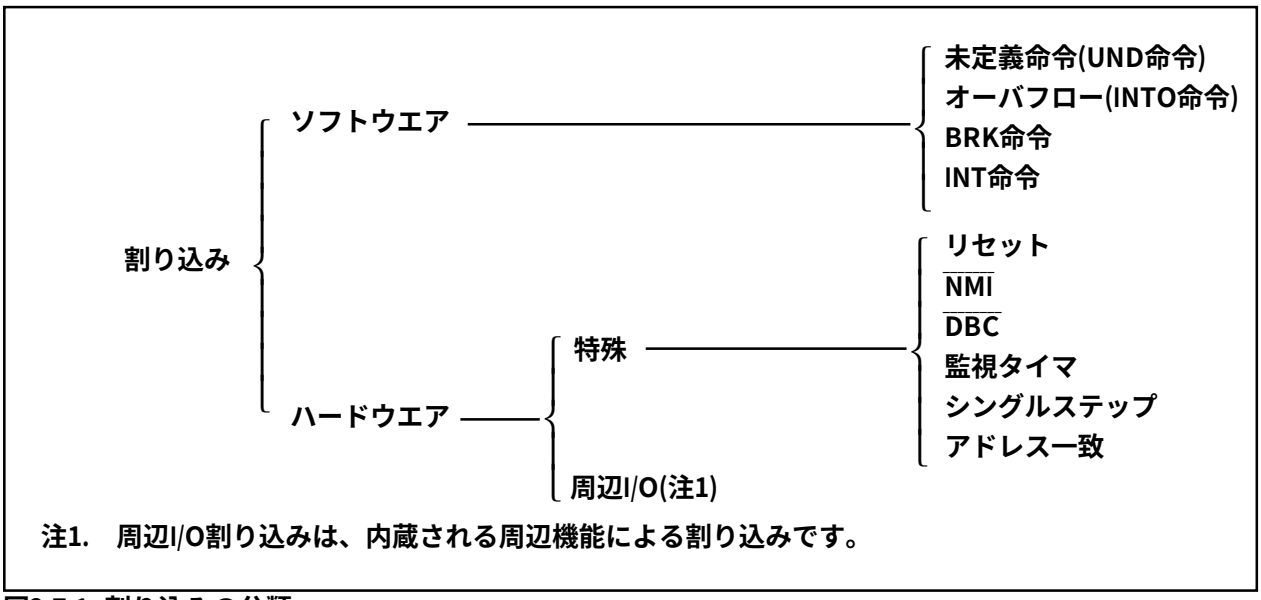


図2.7.1 割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**

●ノンマスカブル割り込み：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

2.7.2 ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

2.7.3 ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、$\overline{\text{KI}}$端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$～$\overline{\text{INT5}}$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

2.7.4 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図2.7.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

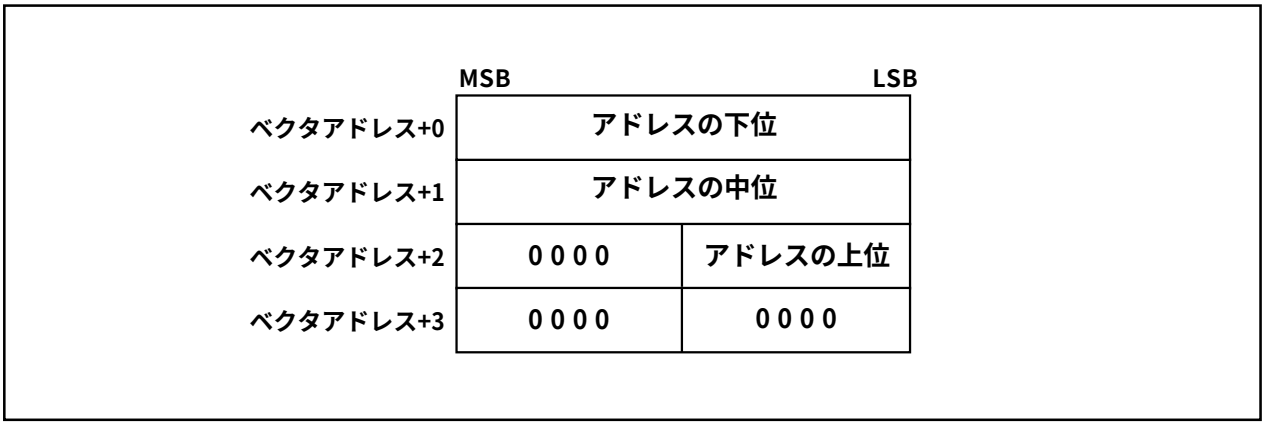


図2.7.2 割り込みベクタの指定アドレス

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表2.7.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.1 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注1)	FFFF416 ～ FFFF716	通常は使用禁止
$\overline{\text{NMI}}$	FFFF816 ～ FFFFB16	$\overline{\text{NMI}}$端子入力による外部割り込み
リセット	FFFFC16 ～ FFFFF16	

注1. デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。

表2.7.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号4	+16～+19(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウエア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウエア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウエア割り込み番号8	+32～+35(注1)	SI/O4／$\overline{\text{INT5}}$　(注2)	
ソフトウエア割り込み番号9	+36～+39(注1)	SI/O3／$\overline{\text{INT4}}$　(注2)	
ソフトウエア割り込み番号10	+40～+43(注1)	バス衝突検出	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウエア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウエア割り込み番号14	+56～+59(注1)	A-D	
ソフトウエア割り込み番号15	+60～+63(注1)	UART2送信／NACK (注3)	
ソフトウエア割り込み番号16	+64～+67(注1)	UART2受信／ACK　(注3)	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマA3	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマA4	
ソフトウエア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。
注2.　割り込み要因切り替えビット(035F$_{16}$番地のビット6,7)により選択します。
注3.　IICモード選択時にNACK、ACK割り込みが選択されます。

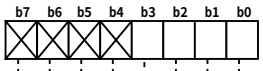
2.7.5 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図2.7.3に割り込み制御レジスタの構成を示します。

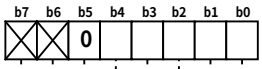
割り込み制御レジスタ



シンボル	アドレス	リセット時
TBiIC(i=3～5)	0045_{16}～0047_{16}番地	$XXXXX000_2$
BCNIC	$004A_{16}$番地	$XXXXX000_2$
DMiIC(i=0,1)	$004B_{16}$, $004C_{16}$番地	$XXXXX000_2$
KUPIC	$004D_{16}$番地	$XXXXX000_2$
ADIC	$004E_{16}$番地	$XXXXX000_2$
SiTIC(i=0～2)	0051_{16}, 0053_{16}, $004F_{16}$番地	$XXXXX000_2$
SiRIC(i=0～2)	0052_{16}, 0054_{16}, 0050_{16}番地	$XXXXX000_2$
TAiIC(i=0～4)	0055_{16}～0059_{16}番地	$XXXXX000_2$
TBiIC(i=0～2)	$005A_{16}$～$005C_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=3)	0044_{16}番地	$XX00X000_2$
SiIC/INTjIC(i=4, 3)	0048_{16}, 0049_{16}番地	$XX00X000_2$
(j=5, 4)	0048_{16}, 0049_{16}番地	$XX00X000_2$
INTiIC(i=0～2)	$005D_{16}$～$005F_{16}$番地	$XX00X000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図2.7.3 割り込み制御レジスタの構成

(1) 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

(2) 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

(3) 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.7.3に割り込み優先レベルの設定を、表2.7.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- 割り込み許可フラグ(Iフラグ) ＝ “1”
- 割り込み要求ビット ＝ “1”
- 割り込み優先レベル ＞ プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.7.3 割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	―――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	↓
1 0 0	レベル4	↓
1 0 1	レベル5	↓
1 1 0	レベル6	↓
1 1 1	レベル7	高い

表2.7.4 プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP                    ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.7.6 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

(a) 0000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(b) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(c) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(d) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(e) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(f) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

(1) 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図2.7.4に割り込み応答時間を示します。

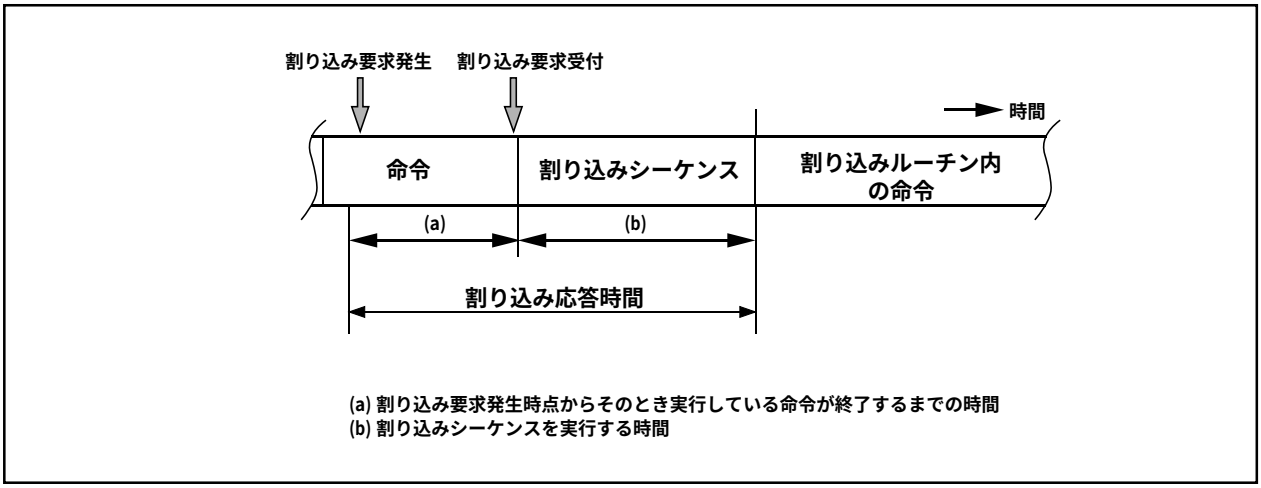


図2.7.4 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。(b)の時間は次のとおりです。

表2.7.5 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. $\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

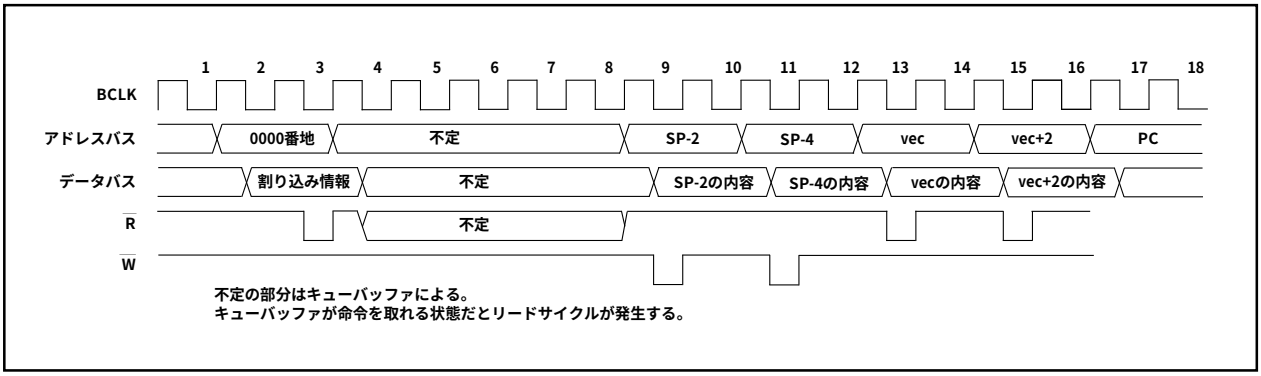


図2.7.5 割り込みシーケンスの実行時間

(2) 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表2.7.6に示す値がIPLに設定されます。

表2.7.6 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、$\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

(3) レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図2.7.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

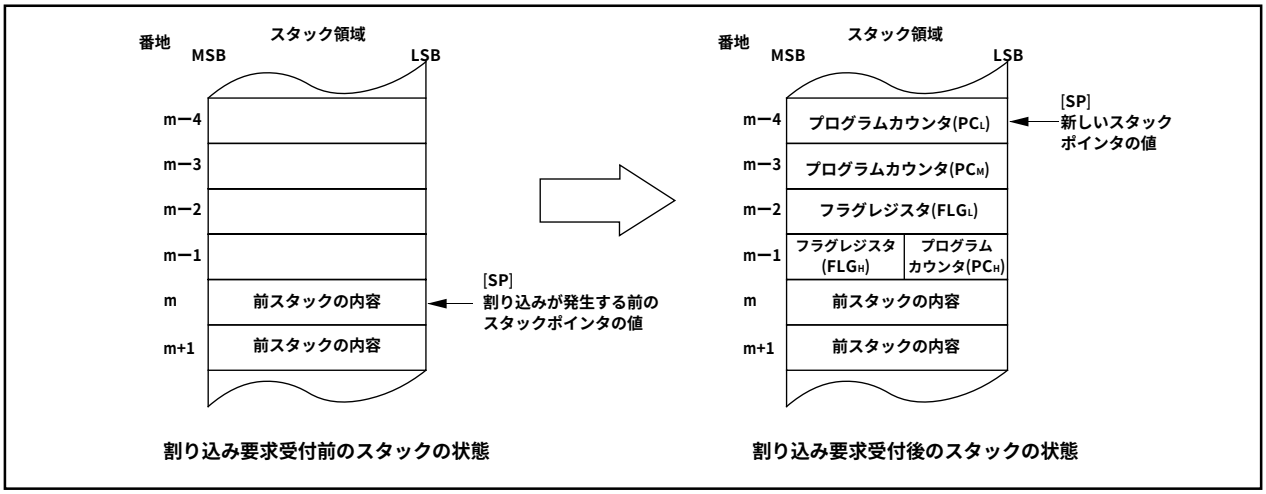


図2.7.6 割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図2.7.7にレジスタ退避動作を示します。

注1. ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。

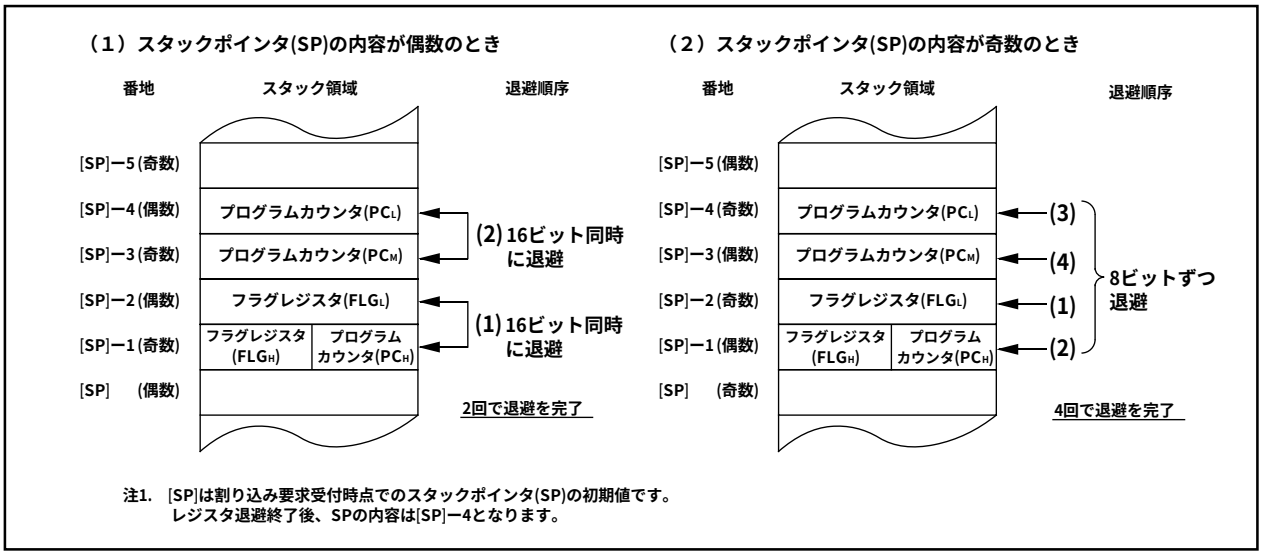


図2.7.7 レジスタ退避動作

(4) 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

(5) 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図2.7.8に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

リセット＞$\overline{\text{NMI}}$＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図2.7.8 ハードウエア割り込みの割り込み優先順位

(6) 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図2.7.9に割り込み優先レベルの判定回路を示します。

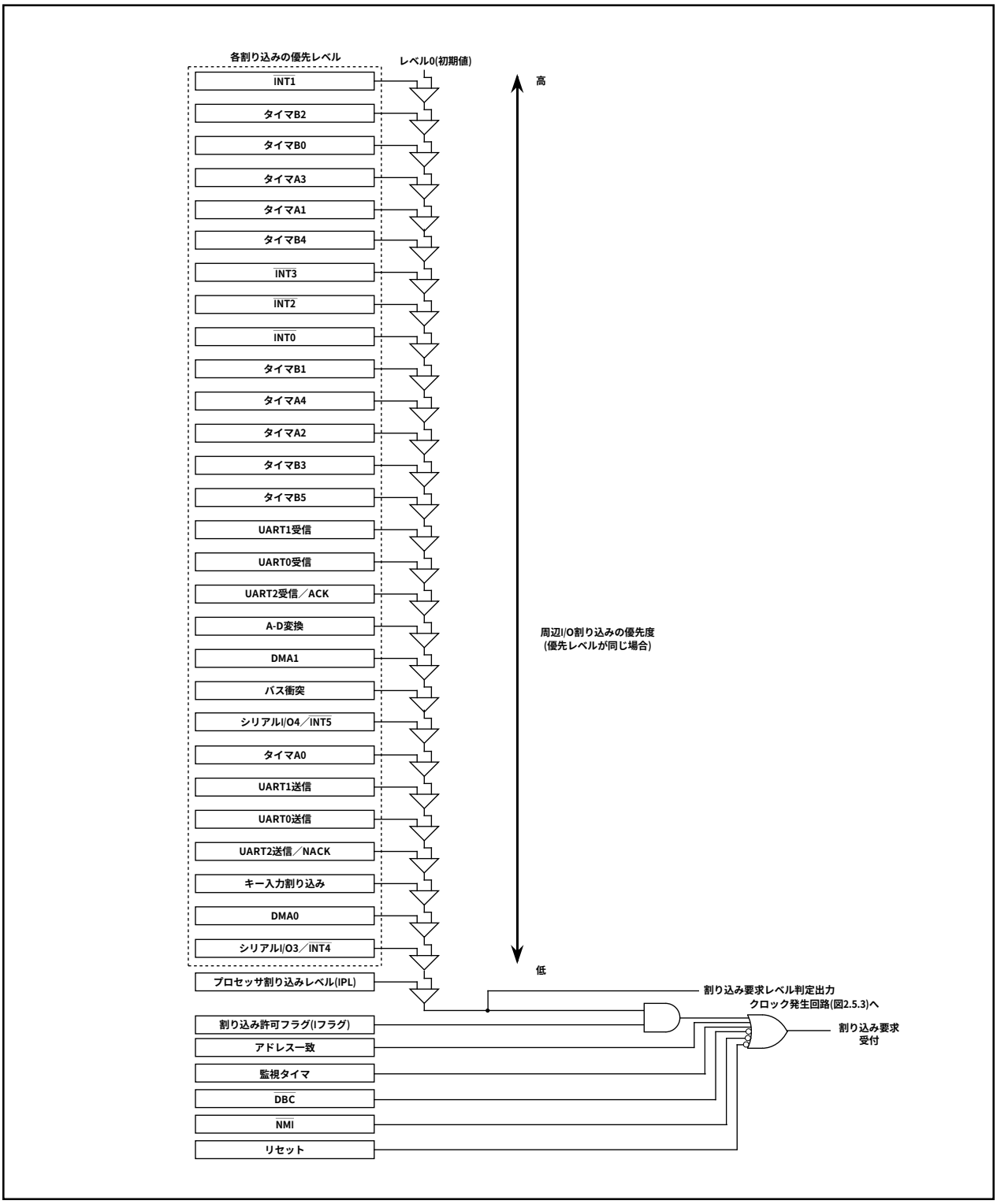


図2.7.9 割り込み優先レベル判定回路

2.7.7 $\overline{\text{INT}}$割り込み

$\overline{\text{INT0}}$～$\overline{\text{INT5}}$は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

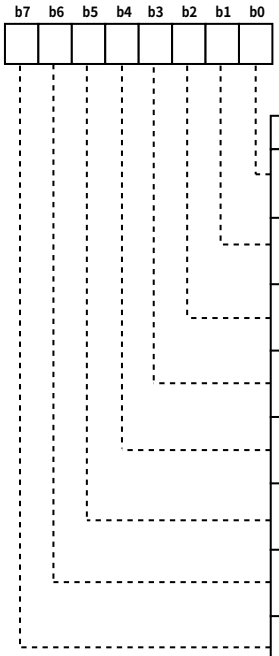
割り込み制御レジスタの内、0048$_{16}$番地はシリアルI/O4と外部割り込み$\overline{\text{INT5}}$入力の割り込み制御レジスタを兼用し、0049$_{16}$番地はシリアルI/O3と外部割り込み$\overline{\text{INT4}}$入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F$_{16}$番地)の割り込み要因切り替えビット(ビット6, 7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048$_{16}$番地と0049$_{16}$番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F$_{16}$番地)のINTi割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図2.7.10に割り込み要因選択レジスタの構成を示します。

割り込み要因選択レジスタ



シンボル	アドレス	リセット時
IFSR	035F$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
IFSR0	INT0割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR1	INT1割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR2	INT2割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR3	INT3割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR4	INT4割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR5	INT5割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR6	割り込み要因切替ビット	0 : SIO3 1 : INT4	○	○
IFSR7	割り込み要因切替ビット	0 : SIO4 1 : INT5	○	○

図2.7.10 割り込み要因選択レジスタの構成

2.7.8 $\overline{\text{NMI}}$割り込み

P85/$\overline{\text{NMI}}$端子の入力が“H”レベルから“L”レベルに変化したとき、$\overline{\text{NMI}}$割り込みが発生します。$\overline{\text{NMI}}$割り込みは、ノンマスカブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F016番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

2.7.9 キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図2.7.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

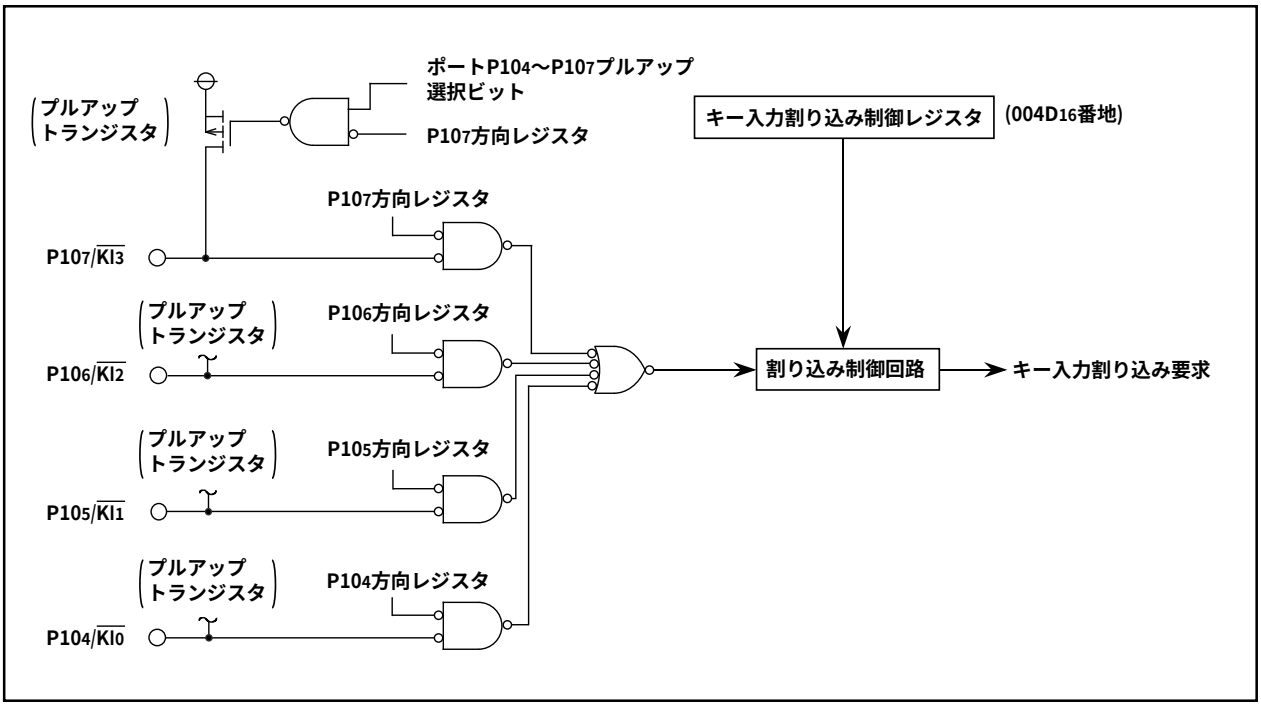


図2.7.11 キー入力割り込みのブロック図

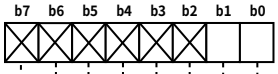
2.7.10 アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みは使用できません。

図2.7.12にアドレス一致割り込み関連レジスタの構成を示します。

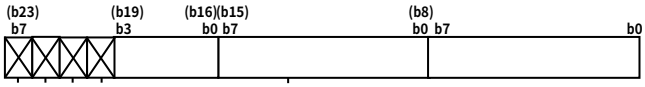
アドレス一致割り込み許可レジスタ



シンボル	アドレス	リセット時
AIER	0009_{16}番地	$XXXXXX00_2$

ビットシンボル	ビット名	機　能	R	W
AIER0	アドレス一致割り込み0許可ビット	0：禁止 1：許可	○	○
AIER1	アドレス一致割り込み1許可ビット	0：禁止 1：許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

アドレス一致割り込みレジスタi(i=0,1)



シンボル	アドレス	リセット時
RMAD0	0012_{16}～0010_{16}番地	$X00000_{16}$
RMAD1	0016_{16}～0014_{16}番地	$X00000_{16}$

機　能	設定可能値	R	W
アドレス一致割り込み用アドレス設定レジスタ	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		—	—

図2.7.12 アドレス一致割り込み関連レジスタの構成

2.7.11 割り込みの注意事項

(1) 00000_{16}番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000_{16}番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

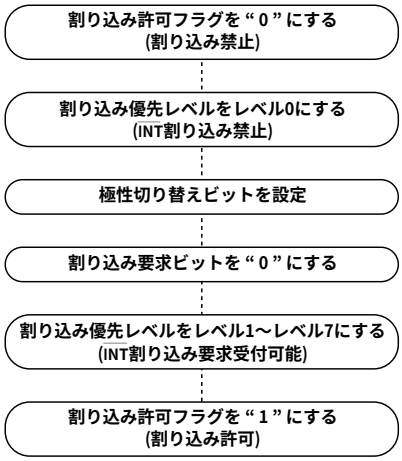
●リセット直後スタックポインタの値は、“000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してV_{CC}に接続(プルアップ)してください。必ず端子処理は必要です。
●$\overline{\text{NMI}}$端子は、入力専用の$P8_5$と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。
●$\overline{\text{NMI}}$端子入力が"L"の状態でリセットをかけないでください。
●$\overline{\text{NMI}}$端子入力が"L"の状態でストップモードに移行しないでください。$\overline{\text{NMI}}$端子入力が"L"の状態では、CM10が"0"に固定されるため、ストップモードに移行されません。
●$\overline{\text{NMI}}$端子入力が"L"の状態でウエイトモードに移行しないでください。$\overline{\text{NMI}}$端子入力が"L"の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。
●$\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

●$\overline{\text{INT}_0}$～$\overline{\text{INT}_5}$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
●$\overline{\text{INT}_0}$～$\overline{\text{INT}_5}$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図2.7.13に示します。



注1.　上記の設定は個々に実行してください。2つ以上の設定を同時に（1命令で）実行しないでください。

図2.7.13 INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP                    ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

2.8 監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7に関係なくプリスケーラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケーラによる誤差が生じます。

BCLKにXINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(16または128)\times監視タイマのカウント値(32768)}{BCLK}$$

BCLKにXCINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(2)\times監視タイマのカウント値(32768)}{BCLK}$$

例えば、BCLKが10MHzで、プリスケーラの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

監視タイマは、監視タイマスタートレジスタ(000E16番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。

図2.8.1に監視タイマのブロック図、図2.8.2に監視タイマ関連レジスタの構成を示します。

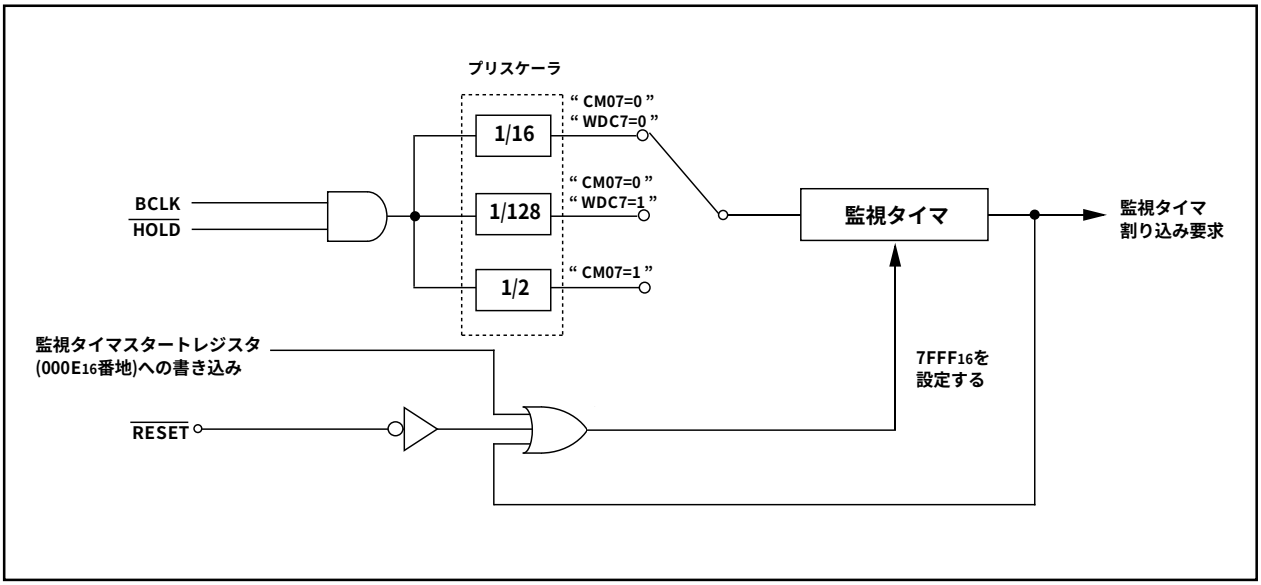


図2.8.1 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット時
WDC	000F16番地	000XXXXX2

ビットシンボル	ビット名	機　　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	○	○

監視タイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

機　　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	×	○

図2.8.2 監視タイマ関連レジスタ

2.9 DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図2.9.1にDMACのブロック図を、表2.9.1にDMACの仕様を、図2.9.2～図2.9.4にDMACで使用するレジスタの構成を示します。

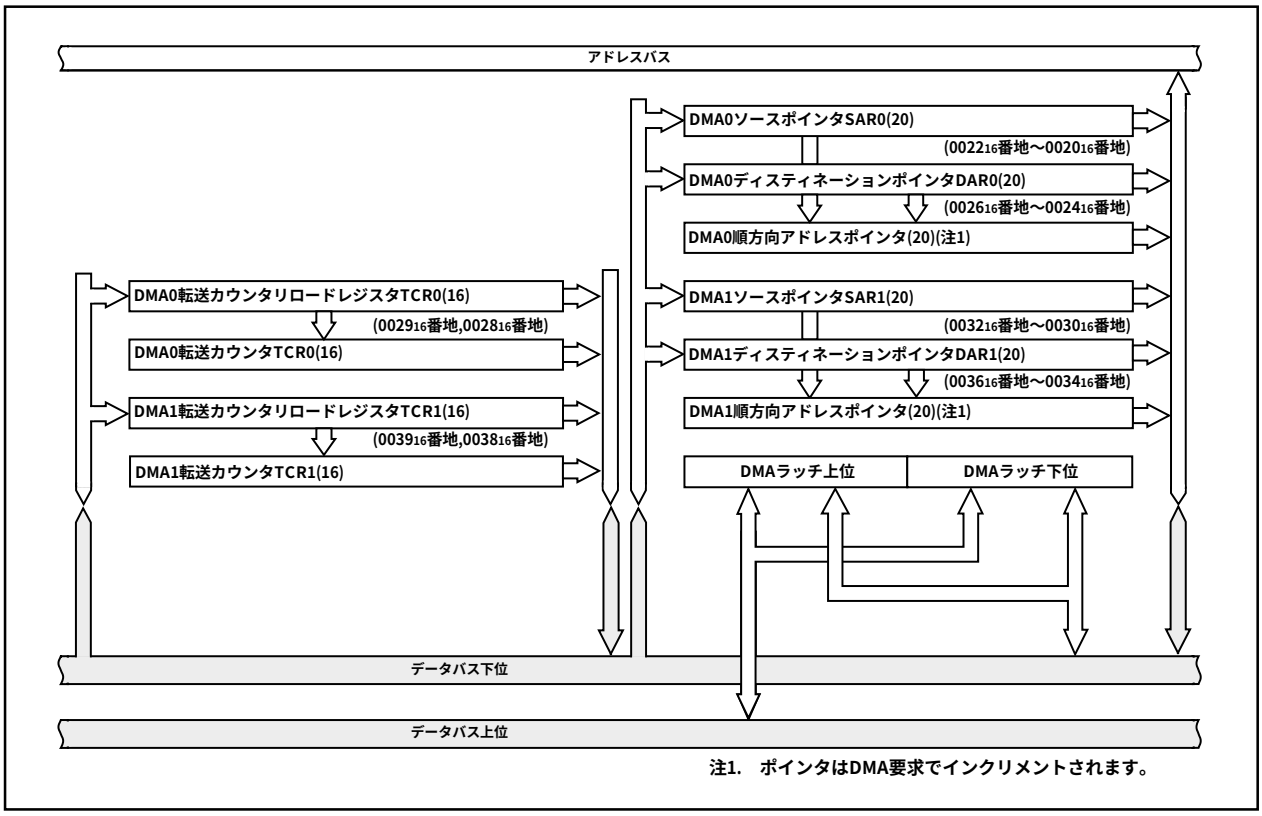


図2.9.1 DMACブロック図

DMA転送の要求信号には、ソフトウエアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

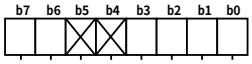
DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表2.9.1 DMAC仕様

項　　目	仕　　様
チャネル数	2チャネル(サイクルスチール方式)
転送空間	●1Mバイトの任意の空間から固定アドレス ●固定アドレスから1Mバイトの任意の空間 ●固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020$_{16}$番地～003F$_{16}$番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	$\overline{\text{INT0}}$または$\overline{\text{INT1}}$端子の立ち下がりエッジまたは両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	●単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ●リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	●DMA許可ビットが“0”のときDMACはアクティブでない状態 ●単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

DMA0要因選択レジスタ

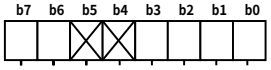


シンボル	アドレス	リセット時
DM0SL	03B8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT0}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4(DMS=0) /$\overline{\text{INT0}}$端子の両エッジ(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /タイマB3(DMS=1) 1 0 0 0 : タイマB1(DMS=0) /タイマB4(DMS=1) 1 0 0 1 : タイマB2(DMS=0) /タイマB5(DMS=1) 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1送信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図2.9.2 DMACレジスタ構成(1)

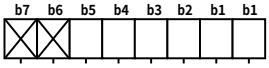
DMA1要因選択レジスタ



シンボル	アドレス	リセット時
DM1SL	03BA16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT1}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3(DMS=0) /シリアルI/O3(DMS=1) 0 1 1 0 : タイマA4(DMS=0) /シリアルI/O4(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /$\overline{\text{INT1}}$端子の両エッジ(DMS=1) 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1受信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0 : ノーマル 1 : 拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

DMAi制御レジスタ



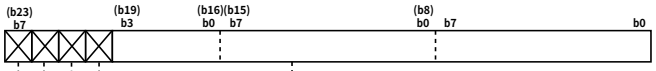
シンボル	アドレス	リセット時
DMiCON(i=0,1)	002C16番地,003C16番地	00000X002

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード 選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
注2.　“0”だけ書き込み可。
注3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

図2.9.3　DMACレジスタ構成(2)

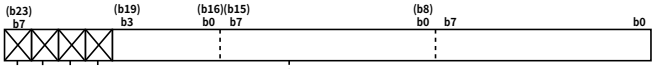
DMAiソースポインタ(i=0,1)



シンボル	アドレス	リセット時
SAR0	0022_{16}番地 ～0020_{16}番地	不定
SAR1	0032_{16}番地 ～0030_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

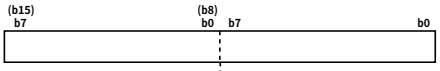
DMAiディスティネーションポインタ(i=0,1)



シンボル	アドレス	リセット時
DAR0	0026_{16}番地 ～ 0024_{16}番地	不定
DAR1	0036_{16}番地 ～ 0034_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	0029_{16}番地, 0028_{16}番地	不定
TCR1	0039_{16}番地, 0038_{16}番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000_{16}～$FFFF_{16}$	○	○

図2.9.4　DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレス、BYTE端子のレベルの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウエアウエイトの影響により、バスサイクル自体が長くなります。

(a) 転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

(b) BYTE端子の影響

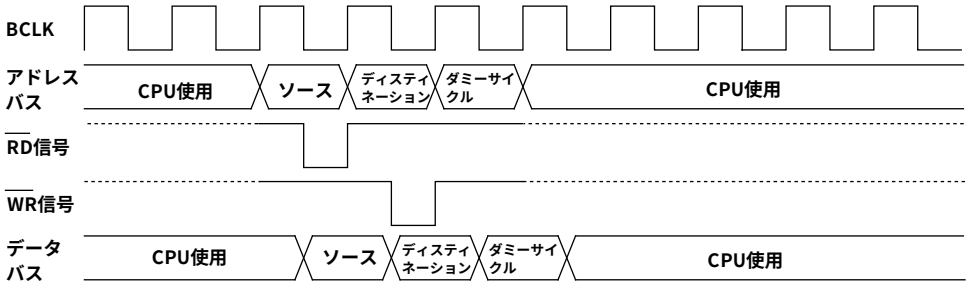
メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

(c) ソフトウエアウエイトの影響

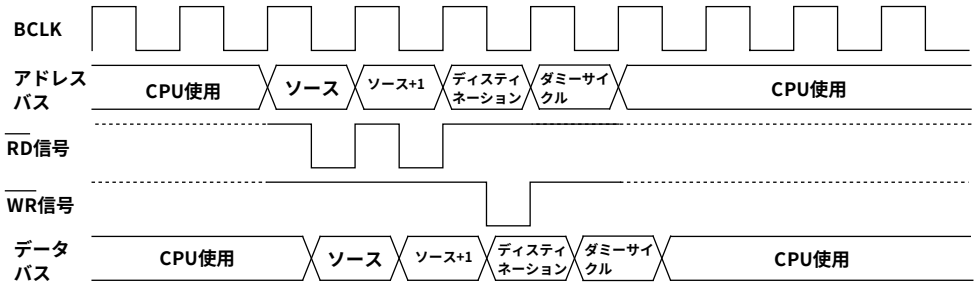
ソフトウエアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図2.9.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば②の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

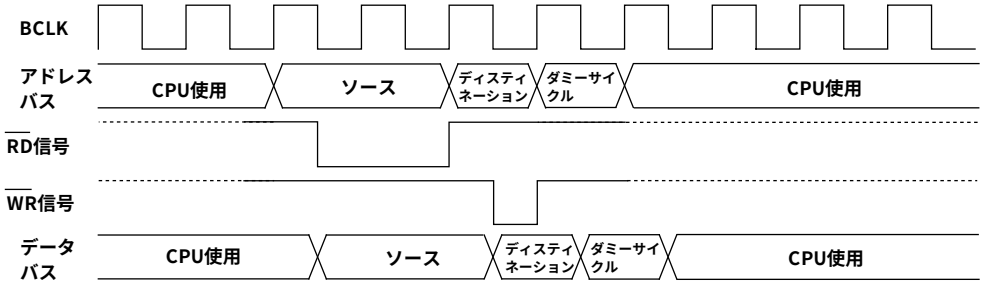
① 転送単位が8ビット幅のとき
転送単位が16ビット幅でソースアドレスが偶数番地のとき



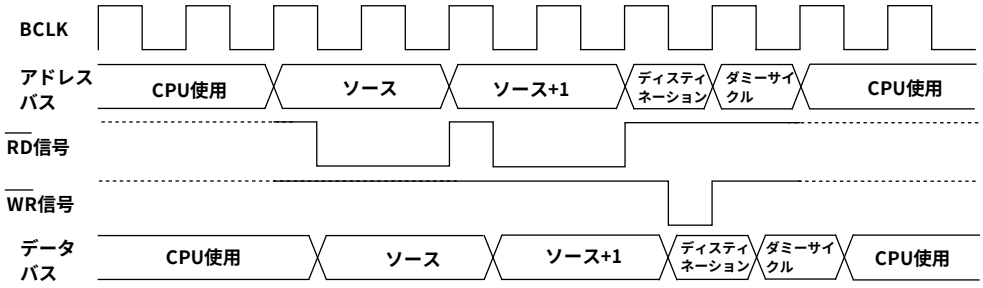
② 転送単位が16ビット幅でソースアドレスが奇数番地のとき
転送単位が16ビット幅で8ビットバス使用時(この場合、ディスティネーションサイクルも2バスサイクルになります)



③ ①の条件でソースリードに1ウエイトが入ったとき



④ ②の条件でソースリードに1ウエイトが入ったとき
(転送単位が16ビットバス幅で8ビットバス使用時は、ディスティネーションサイクルは2バスサイクルになります)



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図2.9.5 ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表2.9.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表2.9.2 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶　数	1	1	1	1
		奇　数	1	1	1	1
	8ビット (BYTE=“H”)	偶　数	—	—	1	1
		奇　数	—	—	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶　数	1	1	1	1
		奇　数	2	2	2	2
	8ビット (BYTE=“H”)	偶　数	—	—	2	2
		奇　数	—	—	2	2

係数j,k

内部領域			外部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート ウエイトあり	マルチプレクス バス
1	2	2	1	2	3

2.9.1 DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

(1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
(2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

2.9.2 DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウエアDMA要因(内部要因)
・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウエアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}$i端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として$\overline{\text{INT}}$i端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各$\overline{\text{INT}}$i端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャネルのDMA要求ビットは同時に“1”になります。このとき各チャネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送　終了後、CPUにバス権を返します。

その動作説明図を図2.9.6外部要因によるDMA転送例で示します。

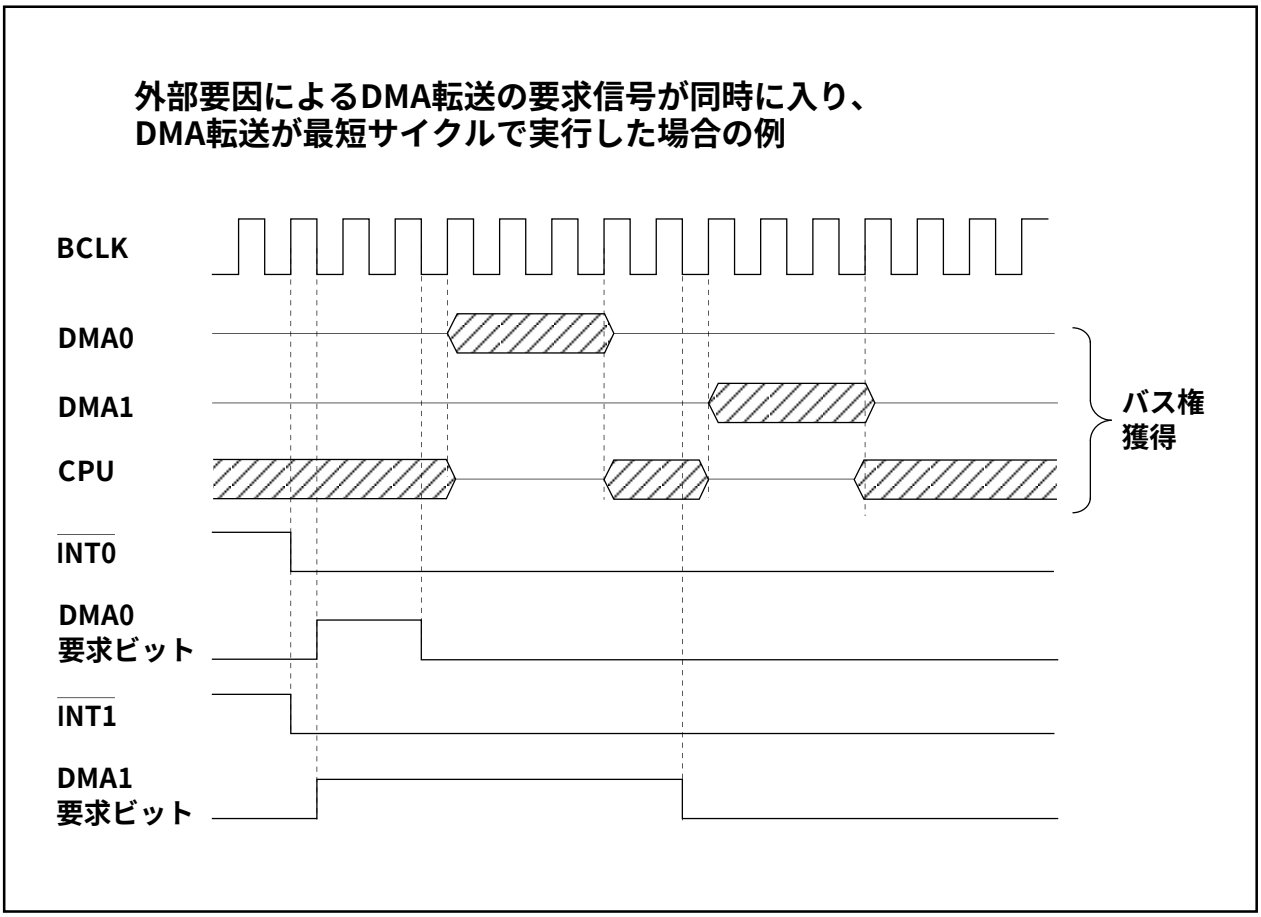
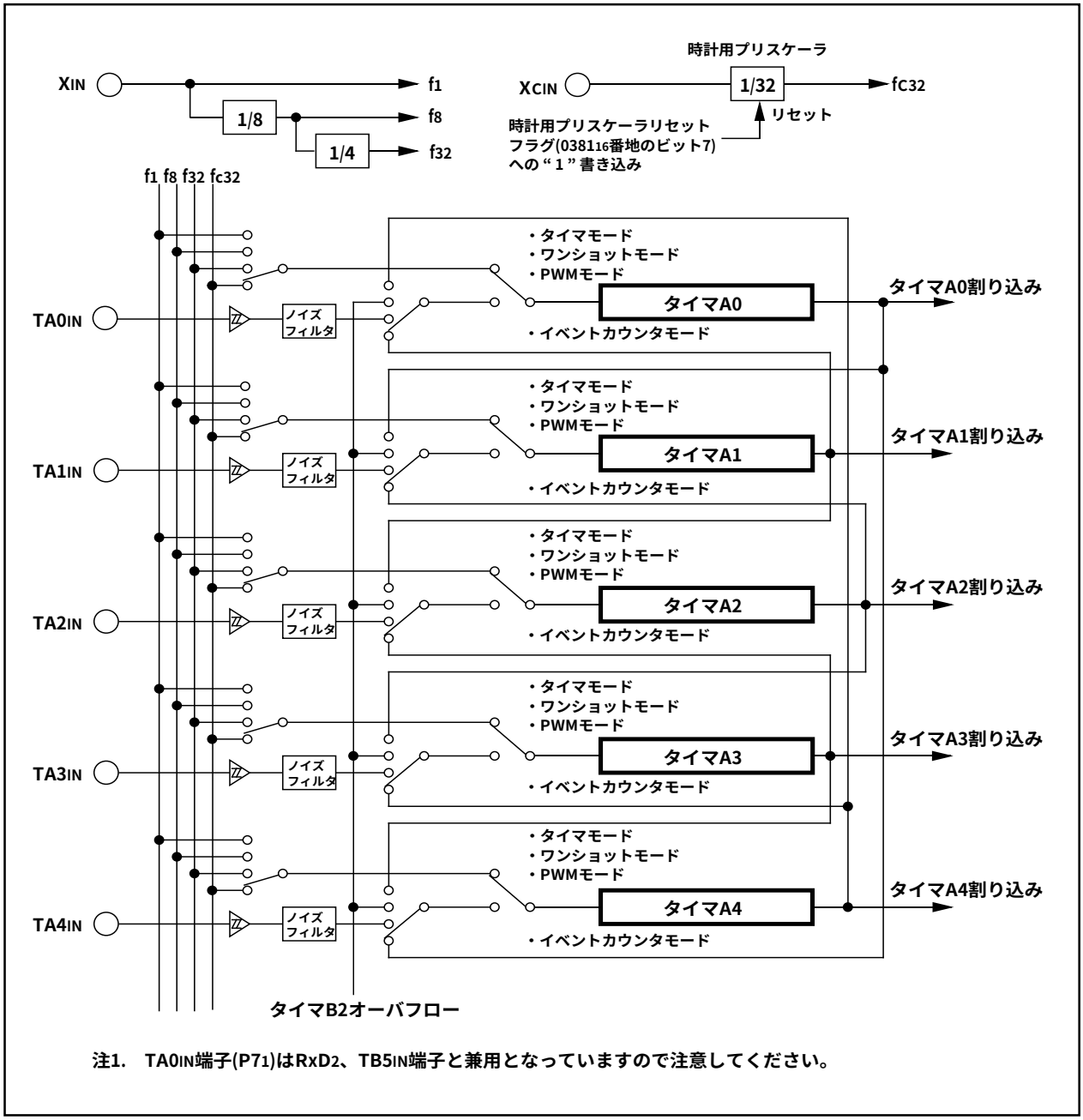


図2.9.6 外部要因によるDMA転送例

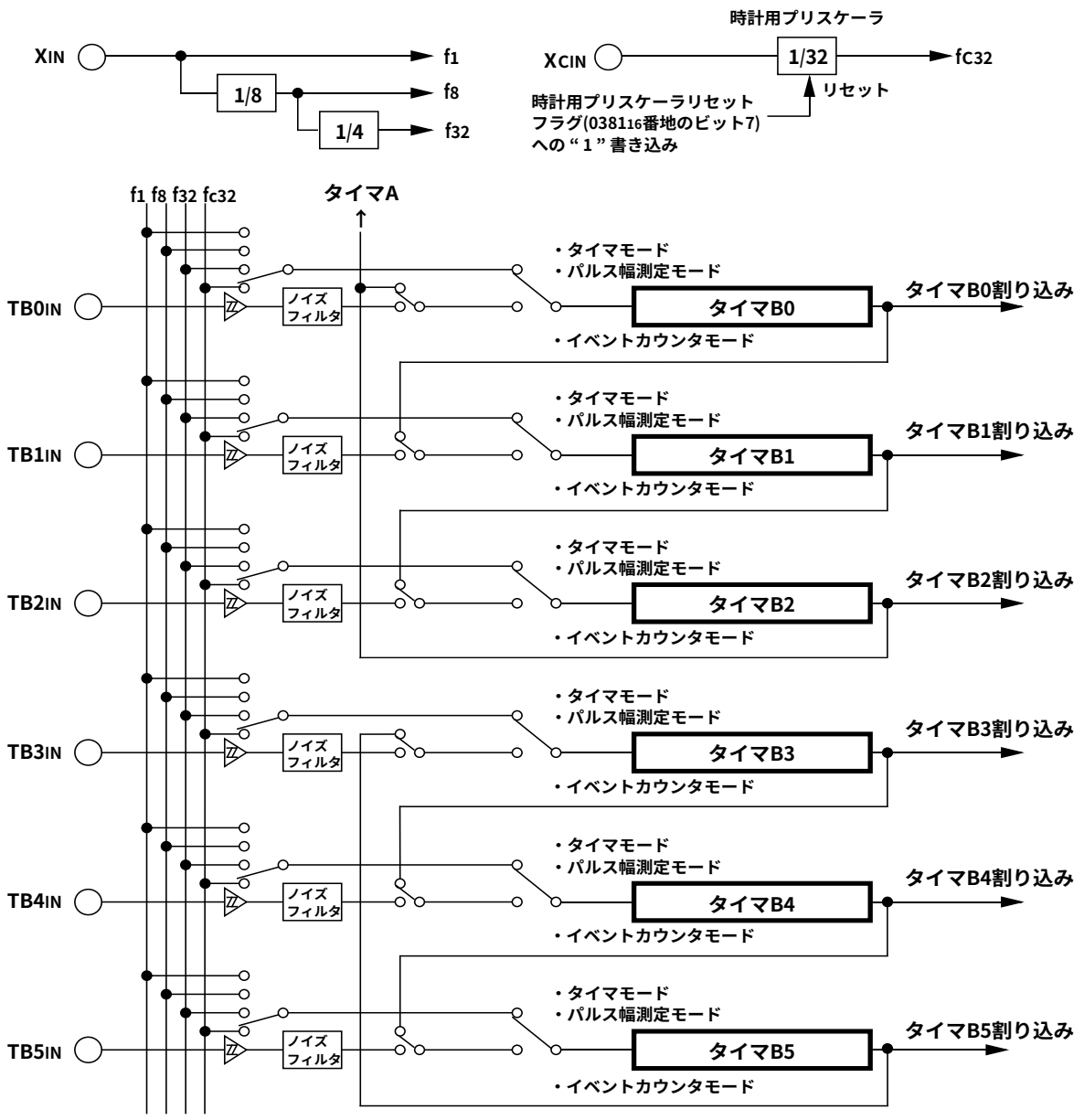
2.10 タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図2.10.1にタイマA、図2.10.2にタイマBの構成を示します。



注1. TA0IN端子(P7₁)はRxD₂、TB5IN端子と兼用となっていますので注意してください。

図2.10.1 タイマA構成



注1.　TB5IN端子(P71)はRxD2、TA0IN端子と兼用となっていますので注意してください。

図2.10.2 タイマB構成

2.10.1 タイマA

図2.10.3にタイマAのブロック図を、図2.10.4～図2.10.6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード　　カウント値が“ 0000_{16} ”になるとカウントが止まるモード
- ・パルス幅変調モード　　任意のパルス幅を連続して出力するモード

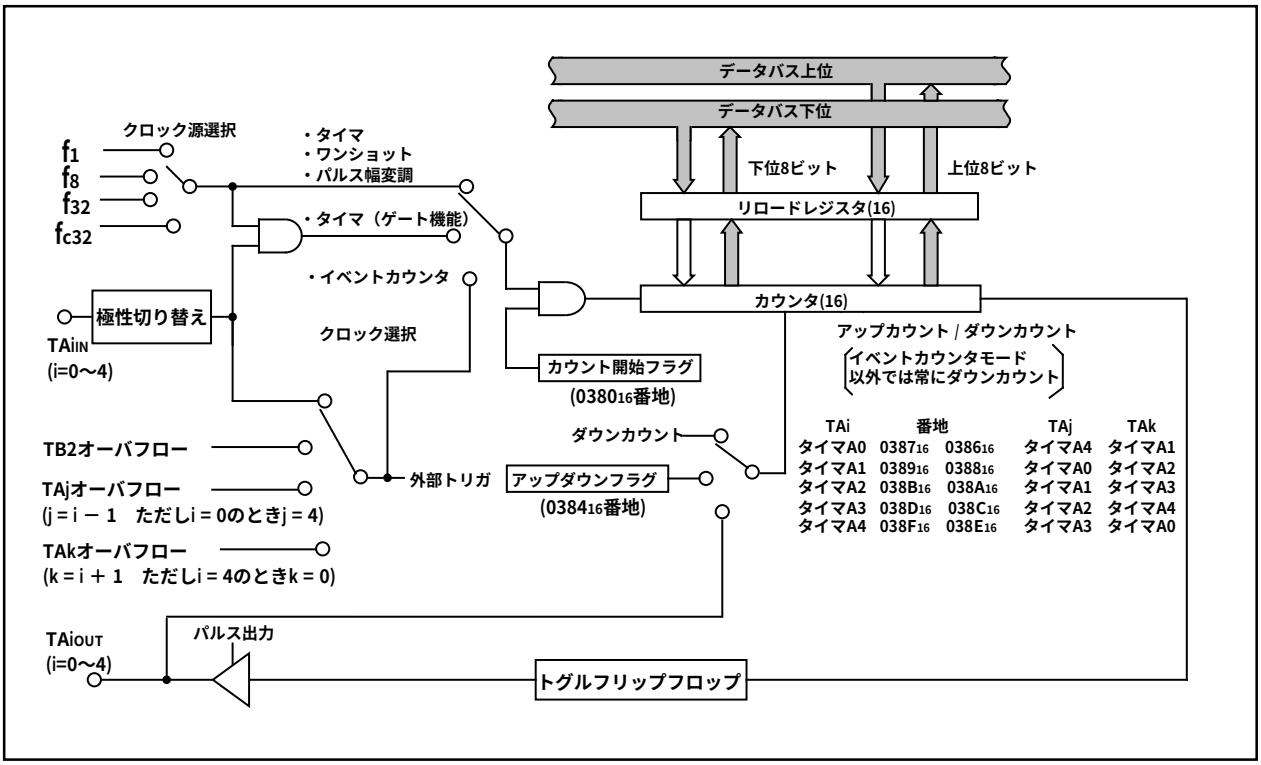


図2.10.3 タイマAブロック図

タイマAiモードレジスタ

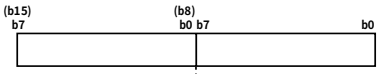
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		○	○
TCK1			○	○

図2.10.4 タイマA関連レジスタ(1)

タイマAiレジスタ(注1)

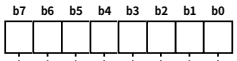


シンボル	アドレス	リセット時
TA0	0387$_{16}$,0386$_{16}$番地	不定
TA1	0389$_{16}$,0388$_{16}$番地	不定
TA2	038B$_{16}$,038A$_{16}$番地	不定
TA3	038D$_{16}$,038C$_{16}$番地	不定
TA4	038F$_{16}$,038E$_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000$_{16}$～FFFF$_{16}$ (注2、注4)	×	○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000$_{16}$～FFFE$_{16}$ (注3、注4)	×	○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケーラ、上位アドレスは8ビットパルス幅変調器として動作	00$_{16}$～FE$_{16}$(上位アドレス) 00$_{16}$～FF$_{16}$(下位アドレス) (注3、注4)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。
注2.　タイマAiレジスタに“0000$_{16}$”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiout端子からパルスは出力されません。
注3.　タイマAiレジスタに“0000$_{16}$”を設定した場合、パルス幅変調器は動作せず、TAiout端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00$_{16}$”を設定した場合も同様です。
注4.　このレジスタへの書き込みにはMOV命令を使用してください。
注5.　イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になります。（3.使用上の注意事項を参照してください。）

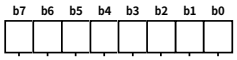
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	038$0_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

アップダウンフラグ(注1)



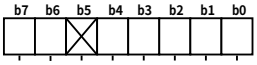
シンボル	アドレス	リセット時
UDF	038$4_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント アップ／ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

注1.　このレジスタへの書き込みにはMOV命令を使用してください。
注2.　TAiin、TAioutに対応するポート方向レジスタは“0”にしてください。

図2.10.5　タイマA関連レジスタ(2)

ワンショット開始フラグ

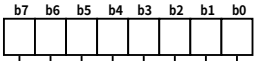


シンボル	アドレス	リセット時
ONSF	0382$_{16}$番地	00X00000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
TA0TGL	タイマA0イベント／ トリガ選択ビット	b7 b6 0 0 : TA0$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ

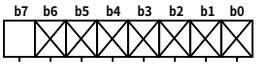


シンボル	アドレス	リセット時
TRGSR	0383$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／ トリガ選択ビット	b1 b0 0 0 : TA1$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／ トリガ選択ビット	b3 b2 0 0 : TA2$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／ トリガ選択ビット	b5 b4 0 0 : TA3$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／ トリガ選択ビット	b7 b6 0 0 : TA4$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“ 0 ”)	○	○

図2.10.6　タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.1)。図2.10.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表2.10.1 タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	ゲート機能選択ビット	b4 b3 0 X(注2): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0 : TAiIN端子が“L”レベルの期間だけカウントを行う(注3)	○	○
MR2		1 1 : TAiIN端子が“H”レベルの期間だけカウントを行う(注3)	○	○
MR3	0 : タイマモードでは必ず“0”を設定してください。		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2.　“0”または“1”いずれでも可。
注3.　対応するポート方向レジスタは“0”にしてください。

図2.10.7 タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表2.10.2に、タイマAiモードレジスタの構成を図2.10.8に示します。二相の外部信号をカウントする場合の仕様を表2.10.3に、タイマAiモードレジスタの構成を図2.10.9に示します。

表2.10.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　　目	仕　　様
カウントソース	●TAiIN端子に入力された外部信号(ソフトウエアにて有効エッジを選択可能) ●TB2のオーバフロー、TAjのオーバフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1.　フリーラン機能選択時は除きます。

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

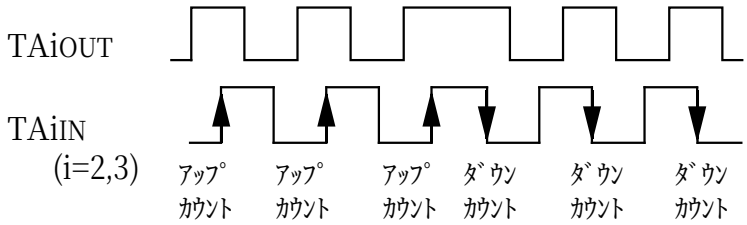
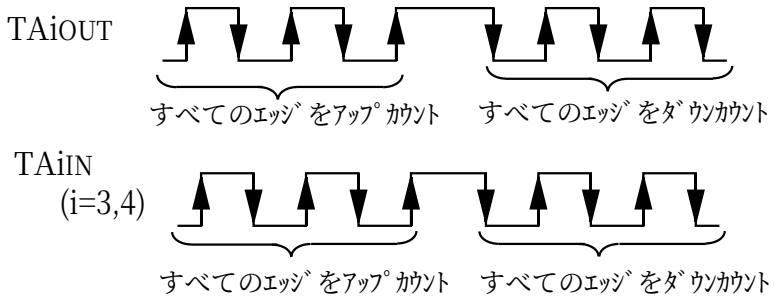
シンボル	アドレス	リセット時
TAiMR(i=0,1)	039616,039716番地	0016

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注4)	○	○
MR3	0 : イベントカウンタモードでは必ず“0”に設定してください。		○	○
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ(注5)	○	○
TCK1	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○

注1.　イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0382₁₆,0383₁₆番地)で選択。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3.　外部信号カウント時だけ有効。
注4.　TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
　　対応するポート方向レジスタは“0”にしてください。
注5.　イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不

図2.10.8 イベントカウンタモード時のタイマAiモードレジスタの構成

表2.10.3 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項　　目	仕　　様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注２)	●通常処理動作(タイマA2、タイマA3) TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。  ●4逓倍処理動作（タイマA3、タイマA4) TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　フリーラン機能選択時は除く。

注2.　タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は逓倍処理動作に固定です。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル	アドレス	リセット時
TAiMR(i=2~4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注4)	○	○
MR3	0 : イベントカウンタモードでは必ず“0”に設定してください。		○	○
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ(注5)	○	○
TCK1	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○

注1.　イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(038_{16},038_{16}番地)で選択。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3.　外部信号カウント時だけ有効。
注4.　TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
　　対応するポート方向レジスタは“0”にしてください。
注5.　イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になります。（3.使用上の注意事項を参照してください。）

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル	アドレス	リセット時
TAiMR(i=2~4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	0 : 二相パルス信号処理使用時では必ず“0”に設定してください。		○	○
MR1	0 : 二相パルス信号処理使用時では必ず“0”に設定してください。		○	○
MR2	1 : 二相パルス信号処理使用時では必ず“1”に設定してください。		○	○
MR3	0 : 二相パルス信号処理使用時では必ず“0”に設定してください。		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ(注3)	○	○
TCK1	二相パルス処理動作選択ビット(注1)(注2)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　タイマA3だけ選択できます。タイマA2は通常動作に、タイマA4は逓倍処理動作に固定です。
注2.　2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(038_{4}番地)は“1”に、
　　イベント/トリガ選択ビット(038_{3}番地)は“00”にしてください。
注3.　イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になります。（3.使用上の注意事項を参照してください。）

図2.10.9 イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表2.10.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図2.10.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表2.10.4 ワンショットタイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●カウントの値が0000_{16}になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000_{16}になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000_{16}になるタイミング
$TAiIN$端子機能	プログラマブル入出力ポート、またはトリガ入力
$TAiOUT$端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択ビットにより選択	○	○
MR3	0 : ワンショットタイマモードでは“0”を設定してください。		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. イベント/トリガ選択ビット(0382_{16},0383_{16}番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図2.10.10 ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表2.10.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図2.10.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図2.10.12に16ビットパルス幅変調器の動作例、および図2.10.13に8ビットパルス幅変調器の動作例を示します。

表2.10.5 パルス幅変調モードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fi　　n:設定値 ●周期　$(2^{16}-1)$ / fi固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fi　　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^{8}-1)\times(m+1)$ / fi　　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
					1	1	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	1 : PWMモードでは“1”を設定してください。		○	○
MR1	外部トリガ選択ビット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択ビットにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　イベント/トリガ選択ビット(0382_{16},0383_{16}番地)でTAiIN端子を選択したときだけ有効。
　　タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2.　対応するポート方向レジスタは“0”にしてください。

図2.10.11 パルス幅変調モード時のタイマAiモードレジスタの構成

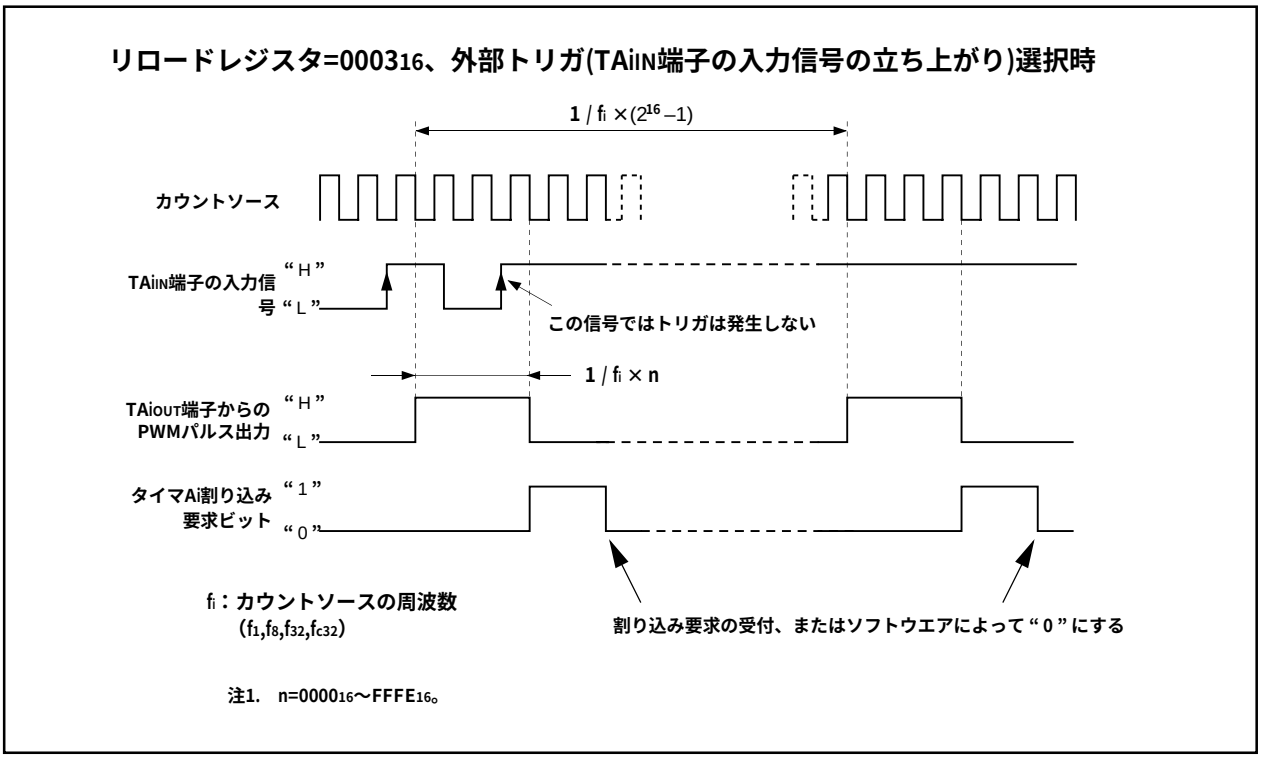


図2.10.12 16ビットパルス幅変調器の動作例

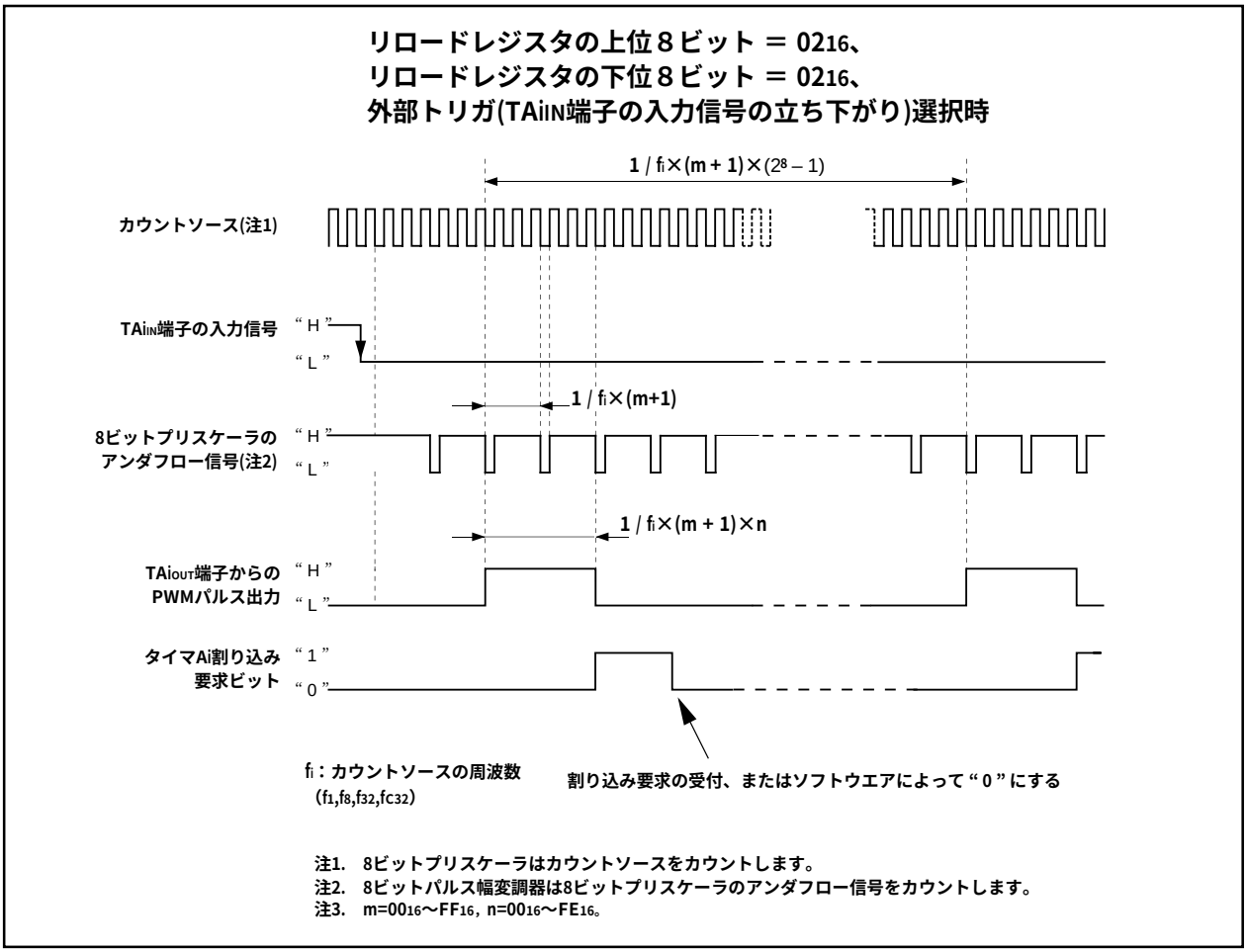


図2.10.13 8ビットパルス幅変調器の動作例

2.10.2 タイマB

図2.10.14にタイマBのブロック図を、図2.10.15、図2.10.16にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～5)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・パルス周期測定／パルス幅測定モード　　外部パルスの周期またはパルス幅を測定するモード

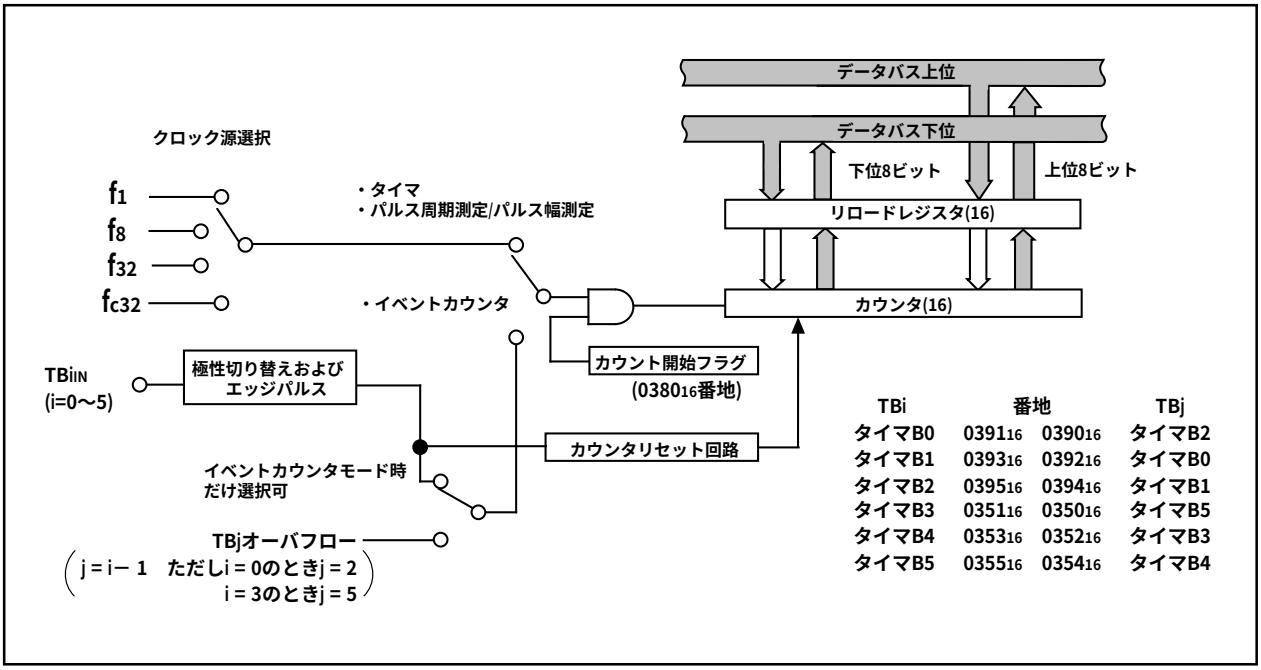
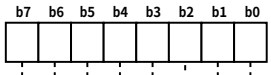


図2.10.14 タイマＢブロック図

タイマBiモードレジスタ



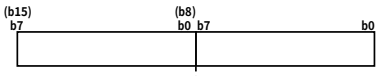
シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B₁₆～039D₁₆番地	00XX0000₂
	035B₁₆～035D₁₆番地	00XX0000₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 設定しないでください	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図2.10.15 タイマB関連レジスタ(1)

タイマBiレジスタ(注1)

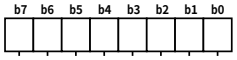


シンボル	アドレス	リセット時
TB0	0391_{16},0390_{16}番地	不定
TB1	0393_{16},0392_{16}番地	不定
TB2	0395_{16},0394_{16}番地	不定
TB3	0351_{16},0350_{16}番地	不定
TB4	0353_{16},0352_{16}番地	不定
TB5	0355_{16},0354_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

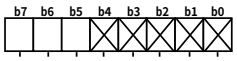
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

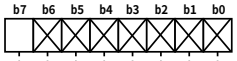
タイマB3,4,5カウント開始フラグ



シンボル	アドレス	リセット時
TBSR	0340_{16}番地	$000XXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウント開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	○	○

図2.10.16　タイマＢ関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.6)。図2.10.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表2.10.6 タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$
	$035B_{16}$～$035D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”を設定してください(i=0, 3)。		○ (注1)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		× (注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図2.10.17 タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表2.10.7)。タイマBiレジスタの構成を図2.10.18に示します。

表2.10.7 イベントカウンタモードの仕様

項　　目	仕　　様
カウントソース	●TBiIN端子に入力された外部信号 ●カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B16～039D16番地 035B16～035D16番地	00XX00002 00XX00002

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 設定しないでください	○	○
MR1			○	○
MR2	0 : イベントカウンタモードでは“0”を設定してください(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その値は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注4) 1 : TBjのオーバフロー (j = i - 1　ただしi = 0のときj = 2 i = 3のときj = 5)	○	○

注1. TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバフローを選択したときは、“0”でも“1”でも可。
注2. タイマB0、タイマB3。
注3. タイマB1、タイマB2、タイマB4、タイマB5。
注4. 対応するポート方向レジスタは“0”にしてください。

図2.10.18 イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表2.10.8)。図2.10.19にパルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成、図2.10.20にパルス周期測定時の動作図、および図2.10.21にパルス幅測定時の動作図を示します。

表2.10.8 パルス周期測定／パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000$_{16}$”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタ書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
注2. カウント開始後２回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B$_{16}$～039D$_{16}$番地	00XX0000$_2$
	035B$_{16}$～035D$_{16}$番地	00XX0000$_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 ／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 （測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定 （測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定 （測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 設定しないでください	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“0”を設定してください(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		×(注3)	×
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1. リセット時は不定です。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウエアで“1”にすることはできません。
注2. タイマB0、タイマB3。
注3. タイマB1、タイマB2、タイマB4、タイマB5。

図2.10.19 パルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成

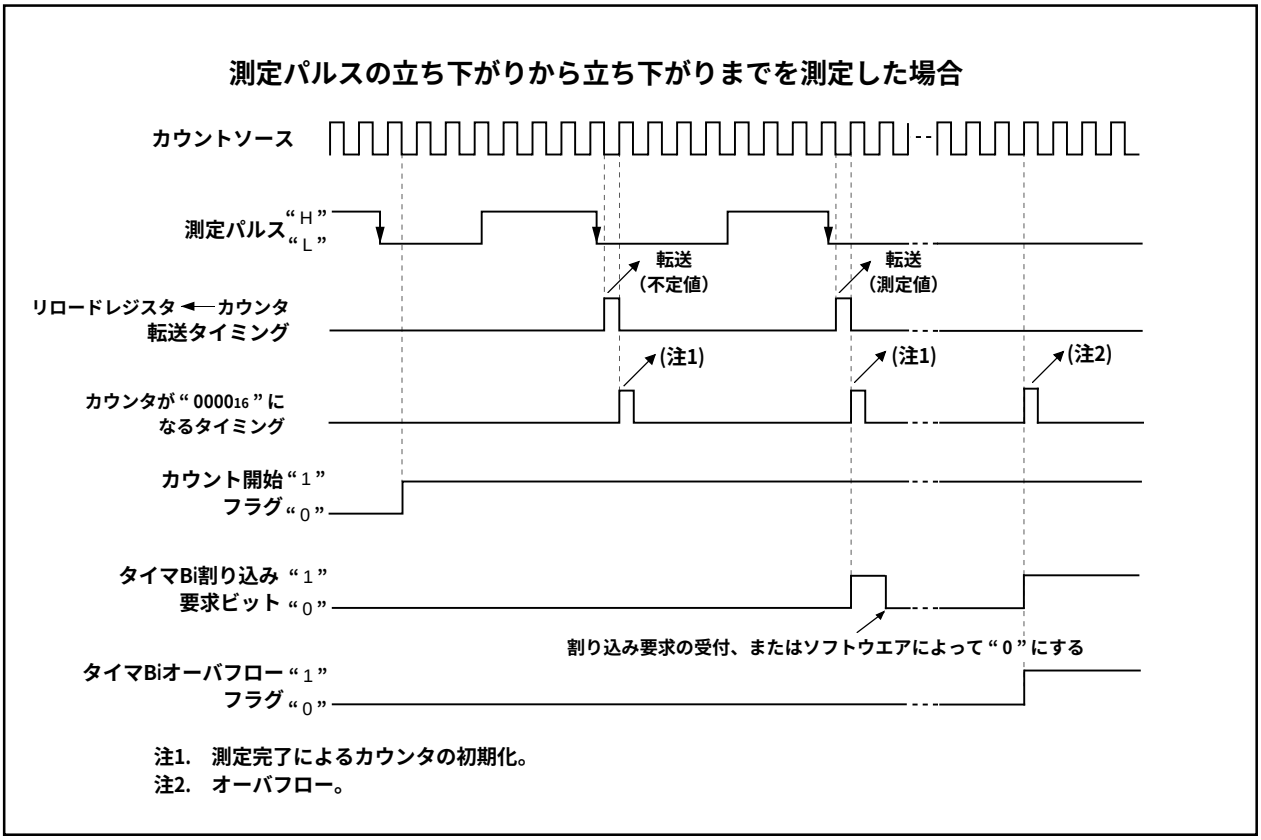


図2.10.20 パルス周期測定時の動作図

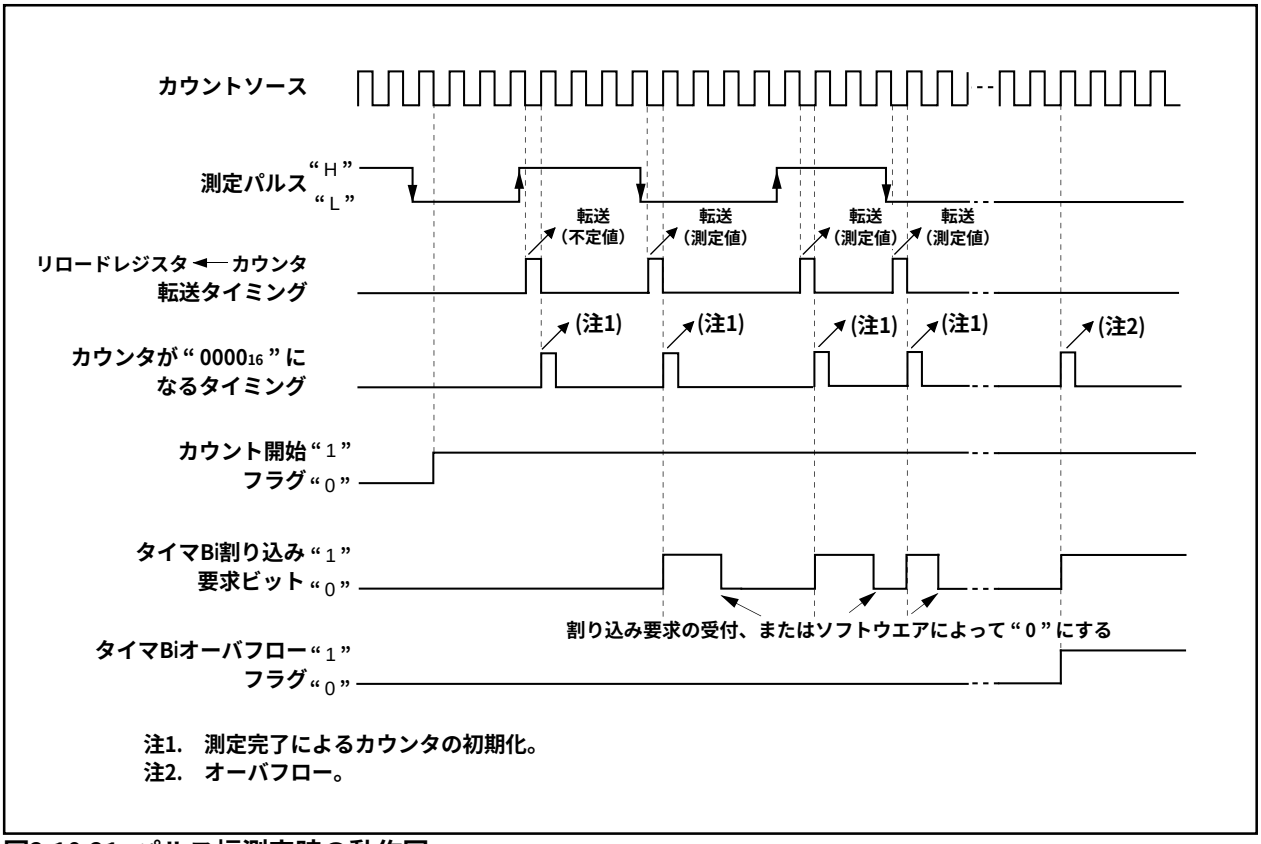


図2.10.21 パルス幅測定時の動作図

2.11 シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3, 4の5チャネルで構成しています。
次にそれぞれについて説明します。

2.11.1 UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図2.11.1にUARTi(i=0～2)のブロック図を、図2.11.2、図2.11.3に送受信部のブロック図を示します。

UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット0～ビット2)の内容で選択します。

UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1.　SIM：Subscriber Identity Module

表2.11.1にUART0～UART2の機能比較を、図2.11.4～図2.11.9に、UARTi関連のレジスタを示します。

表2.11.1 UART0～UART2の機能比較

機　　能	UART0	UART1	UART2
CLK極性選択	可　(注1)	可　(注1)	可　(注1)
LSBファースト/MSBファースト選択	可　(注1)	可　(注1)	可　(注2)
連続受信モード選択	可　(注1)	可　(注1)	可　(注1)
転送クロック複数端子出力選択	不可	可　(注1)	不可
シリアルデータ論理切り替え	不可	不可	可　(注4)
スリープモード選択	可　(注3)	可　(注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nﾁｬﾈﾙｵｰﾌﾟﾝﾄﾞﾚｲﾝ出力
パリティエラー信号出力	不可	不可	可　(注4)
バス衝突検出	不可	不可	可

注1.　クロック同期形シリアルI/Oモード時に選択できます。
注2.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。
注3.　UARTモード時に選択できます。
注4.　SIMインタフェース対応。

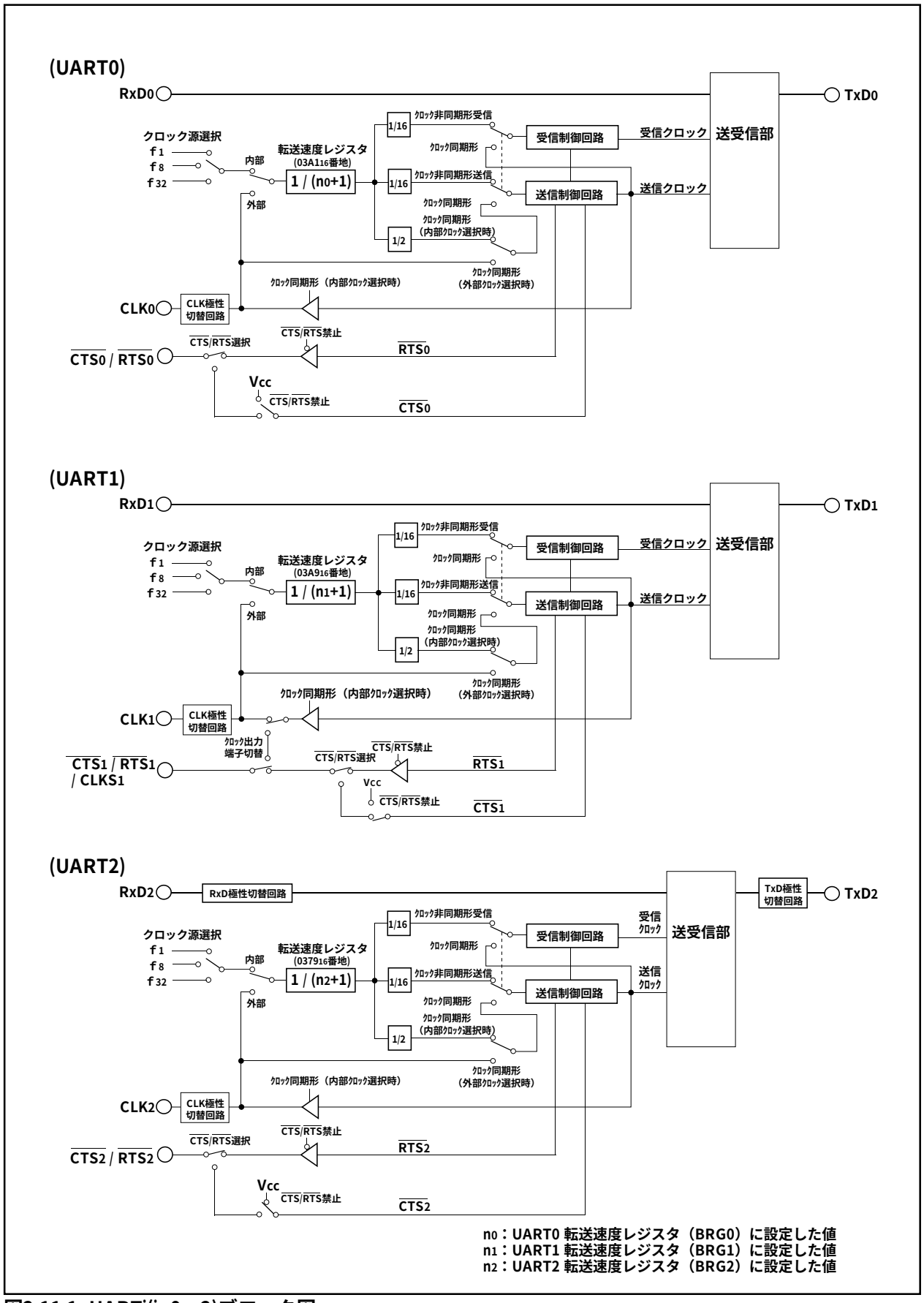


図2.11.1 UARTi(i=0～2)ブロック図

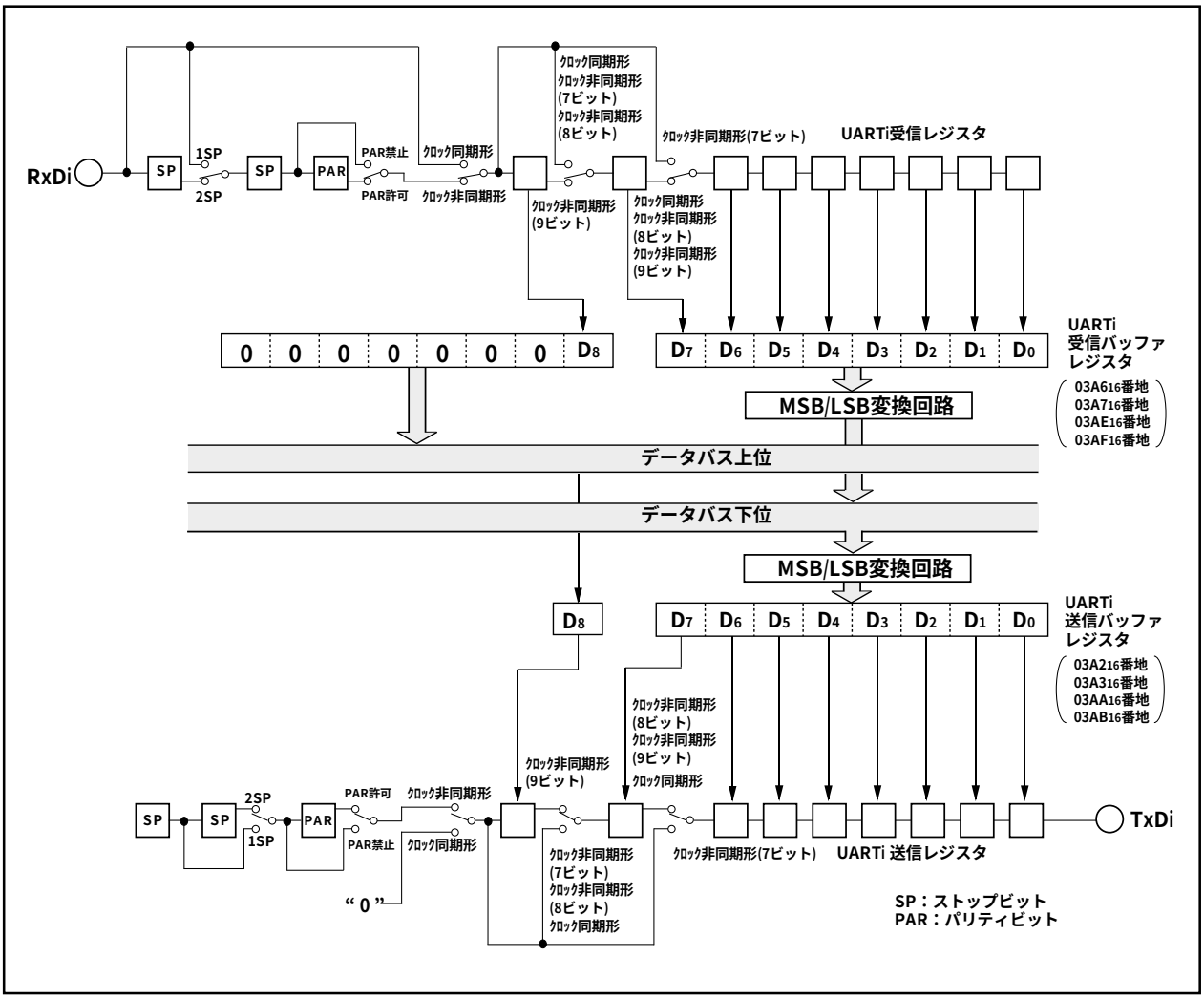


図2.11.2　UARTi(i=0,1)送受信部ブロック図

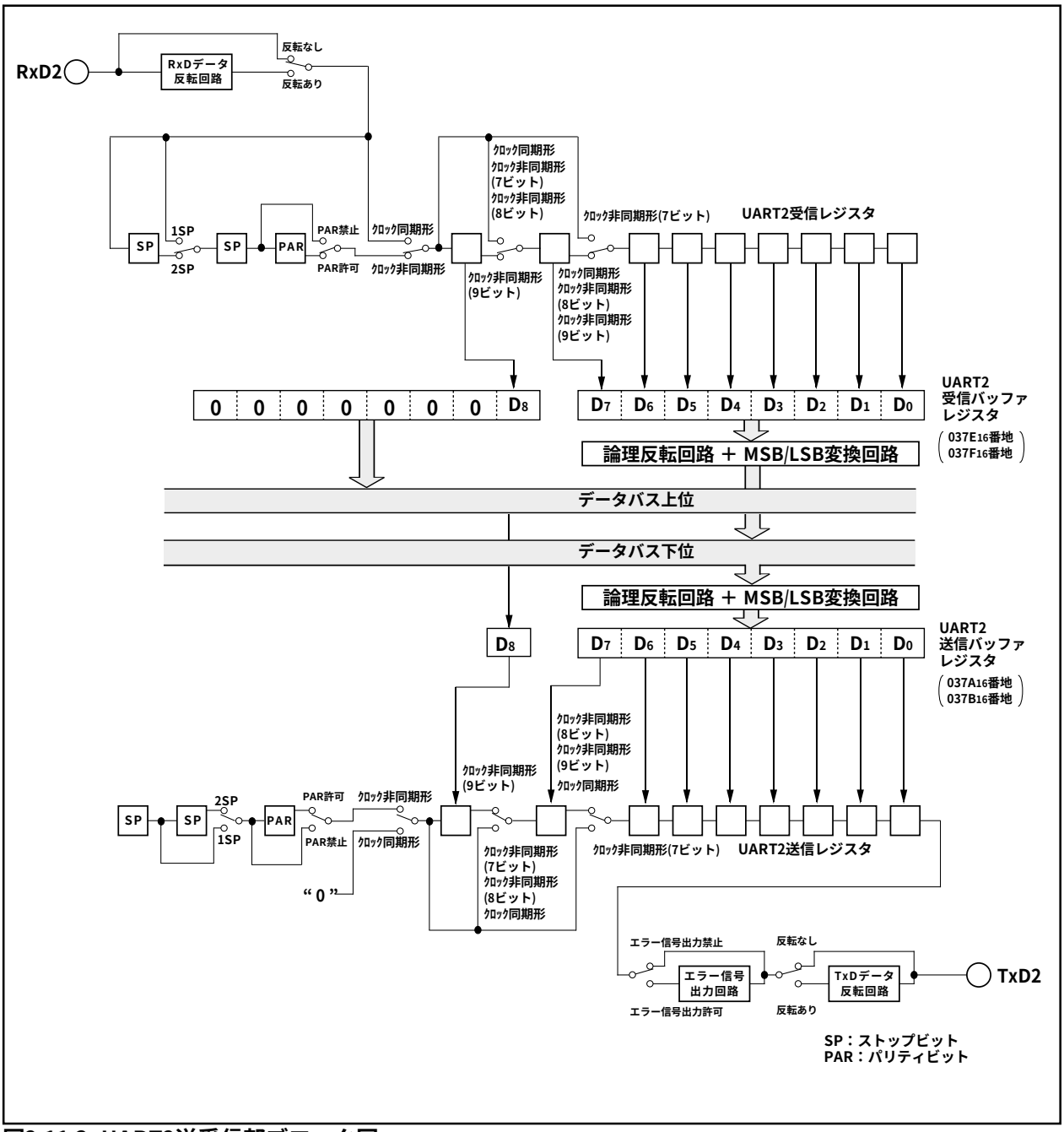
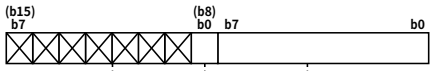


図2.11.3 UART2送受信部ブロック図

UARTi送信バッファレジスタ(注1)

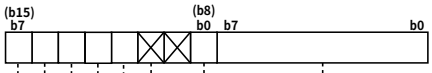


シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



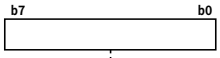
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。
注2.　このレジスタへの書き込みにはMOV命令を使用してください。

図2.11.4　UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

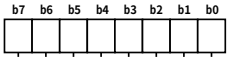
シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	“0”を設定してください	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”を設定してください	0 : 反転なし 1 : 反転あり 通常は“0”を設定してください	○	○

注1. IICモード使用時、ビット2～ビット0に“010$_2$”を設定してください。
注2. 対応する方向レジスタは“0”にしてください。

図2.11.5 UARTi関連のレジスタ (2)

UARTi 送受信制御レジスタ0

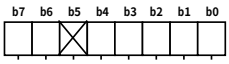


シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 設定しないでください	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 設定しないでください	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください	○	○

注1.　対応するポート方向レジスタは“0”にしてください。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0



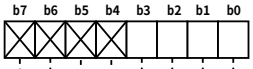
シンボル	アドレス	リセット時
U2C0	037C$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 設定しないでください	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 設定しないでください	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注1.　対応するポート方向レジスタは“0”にしてください。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図2.11.6　UARTi関連のレジスタ (3)

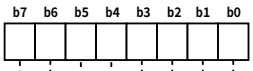
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	03A5$_{16}$,03AD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART2送受信制御レジスタ1



シンボル	アドレス	リセット時
U2C1	037D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”を設定してください	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“0”を設定してください	0 : 出力しない 1 : 出力する	○	○

図2.11.7　UARTi関連のレジスタ (4)

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	0						

シンボル	アドレス	リセット時
UCON	$03B0_{16}$番地	$X0000000_2$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください	○	○
U1RRM	UART1連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0：CLK1にクロックを出力 1：CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1 (注1)	0：通常モード (CLK出力はCLK1のみ) 1：転送クロック複数端子出力機能選択	“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください。		○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				―	―

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット($03A8_{16}$番地のビット3)=“0”

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

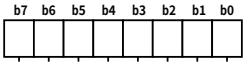
シンボル	アドレス	リセット時
U2SMR	0377_{16}番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください	○	○
ABC	アービトレーションロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください	○	○ (注1)
LSYN	SCLL同期出力許可ビット	0：禁止 1：許可	“0”を設定してください	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”を設定してください	0：転送クロックの立ち上がり 1：タイマＡ０のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”を設定してください	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください	0：通常 1：RxD2の立ち下がり	○	○
SDDS	SDAディジタル遅延選択ビット（注２、注３）	0：アナログディレイ出力選択 1：ディジタルディレイ出力選択 (IICモード時以外は“0”を設定してください)	“0”を設定してください	○	○

注1. “0”だけ書き込み可。
注2. 本機能はIICモード時以外は“1”を書き込まないでください。通常モード時は“0”を設定してください。
本ビットが“0”の場合はUART2特殊モードレジスタ3(U2SMR3／0375_{16}番地)のビット７～ビット５(DL2～DL0＝SDAディジタル遅延値設定ビット)が初期化され“000”となり、アナログ遅延回路が選択されます。また、SDDS＝“0”の場合にはU2SMR3の読み出し、書き込みはできません。
注3. アナログ遅延選択時はアナログ遅延値のみ、ディジタル遅延選択時はディジタル遅延値のみの遅延となります。

図2.11.8 UARTi関連のレジスタ (5)

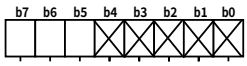
UART2特殊モードレジスタ2(IICバス専用レジスタ)



シンボル	アドレス	リセット時
U2SMR2	0376_{16}番地	00_{16}

ビットシンボル	ビット名	機能(IICバス専用)	R	W
IICM2	IICモード選択ビット2	表2.11.11参照	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STAC	UART2初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UART2クロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	○	○
SHTC	スタート/ストップコンディション条件制御ビット	1 : IICモード選択時、“1”を設定してください。 (表2.11.12参照)	○	○

UART2特殊モードレジスタ3(IICバス専用レジスタ)



シンボル	アドレス	リセット時
U2SMR3	0375_{16}番地	不定 (ただし、SDDS=“1”の場合の初期値“00_{16}”)

ビットシンボル	ビット名	機能(IICバス専用)	R	W
		何も配置されていない。 書き込む場合、”0”を書き込んでください。読み出した場合、その値は不定。 ただし、SDDS＝1とした場合は“0”が読み出される(注1)。	—	—
DL0	SDAディジタル遅延値設定ビット (注1、注2、注3、注4)	b7 b6 b5 ０００：アナログ遅延選択 ００１：1/f(XIN)の1～2サイクル(ディジタル遅延) ０１０：1/f(XIN)の2～3サイクル(ディジタル遅延) ０１１：1/f(XIN)の3～4サイクル(ディジタル遅延) １００：1/f(XIN)の4～5サイクル(ディジタル遅延) １０１：1/f(XIN)の5～6サイクル(ディジタル遅延) １１０：1/f(XIN)の6～7サイクル(ディジタル遅延) １１１：1/f(XIN)の7～8サイクル(ディジタル遅延)	○	○
DL1			○	○
DL2			○	○

注1. 本ビットはUART2特殊モードレジスタ（U2SMR／0377_{16}番地）のビット7(SDDS＝SDAディジタル遅延選択ビット)が“1”のときのみ読み出し、書き込み可能です。SDDS＝“1”にしてUART2特殊モードレジスタ3(U2SMR3)の初期値を読み出した場合、その値は“00_{16}”です。SDDS＝“1”にしてUART2特殊モードレジスタ3(U2SMR3)に書き込む場合、ビット0～ビット4には“0”を書き込んでください。SDDS＝“0”のときは書き込み不可、読み出した場合、その値は不定です。

注2. 本ビットはSDDS＝“0”のときには初期化され“000”となり、アナログ遅延回路が選択されます。本ビットはリセット解除時は“000”となり、アナログ遅延回路が選択されます。ただし、SDDS＝“1”とした場合のみ読み出し可能のため、SDDS＝“0”の場合、読み出した値は不定です。

注3. アナログ遅延選択時はアナログ遅延値のみ、ディジタル遅延選択時はディジタル遅延値のみの遅延となります。

注4. 遅延量はSCL端子、SDA端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなりますので、評価の上、使用してください。

図2.11.9 UARTi関連のレジスタ (6)

2.11.2 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表2.11.2、表2.11.3にクロック同期形シリアルI/Oモードの仕様を、図2.11.10にUARTi送受信モードレジスタの構成を示します。

表2.11.2 クロック同期形シリアルI/Oモードの仕様(1)

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“0”)：fi/2(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“1”)：CLKi端子からの入力
送信制御/受信制御	●$\overline{\text{CTS}}$機能/RTS機能/$\overline{\text{CTS}}$,$\overline{\text{RTS}}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ・$\overline{\text{CTS}}$機能選択時、$\overline{\text{CTS}}$端子の入力が“L”レベル ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット2)=“1” ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1.　nはUART転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。

注2.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表2.11.3 クロック同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、ソフトウエアによって出力端子を選択可 ●シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRx端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは“0”を設定してください。		○	○

注1.　対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
U2MR	0378$_{16}$	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD,RxD入出力極性切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1．通常は“0”にしてください。
注2.　対応する方向レジスタは“0”にしてください。

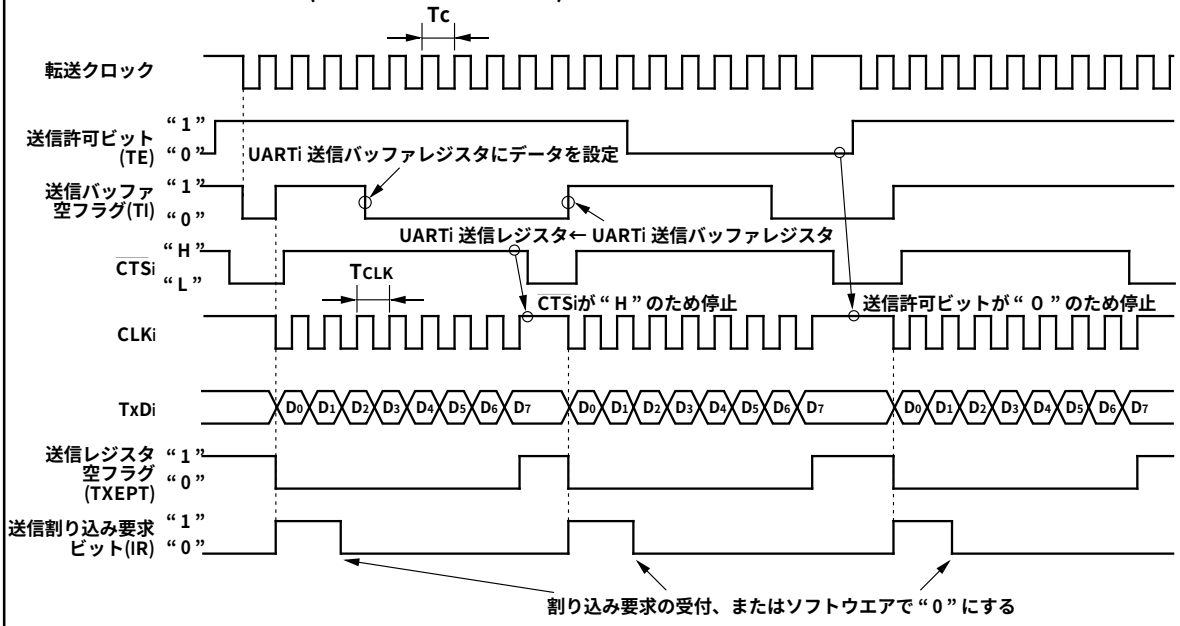
図2.11.10　クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

表2.11.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表2.11.4 クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択時)

端子名	機　　能	選択方法
TxDi ($P6_3$、$P6_7$、$P7_0$)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi ($P6_2$、$P6_6$、$P7_1$)	シリアルデータ入力	ポート$P6_2$、$P6_6$、$P7_1$の方向レジスタ($03EE_{16}$番地のビット2、ビット6、$03EF_{16}$番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi ($P6_1$、$P6_5$、$P7_2$)	転送クロック出力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3)=“1” ポート$P6_1$、$P6_5$、$P7_2$の方向レジスタ($03EE_{16}$番地のビット1、ビット5、$03EF_{16}$番地のビット2)=“0”
$\overline{CTS}$i/$\overline{RTS}$i ($P6_0$、$P6_4$、$P7_3$)	$\overline{CTS}$入力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“0” ポート$P6_0$、$P6_4$、$P7_3$の方向レジスタ($03EE_{16}$番地のビット0、ビット4、$03EF_{16}$番地のビット3)=“0”
	$\overline{RTS}$出力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“1”

●送信タイミング例(内部クロック選択時)

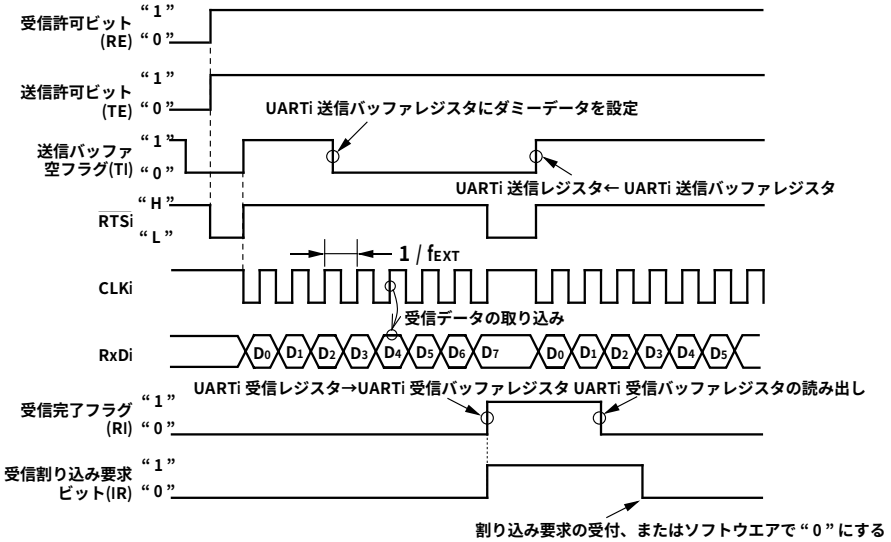


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
fi：BRGiのカウントソースの周波数(f1, f8, f32)
n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット =“0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、
以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図2.11.11 クロック同期形シリアルI/Oモード時の送信／受信タイミング例

(1) 極性選択機能

図2.11.12に示すように、CLK極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

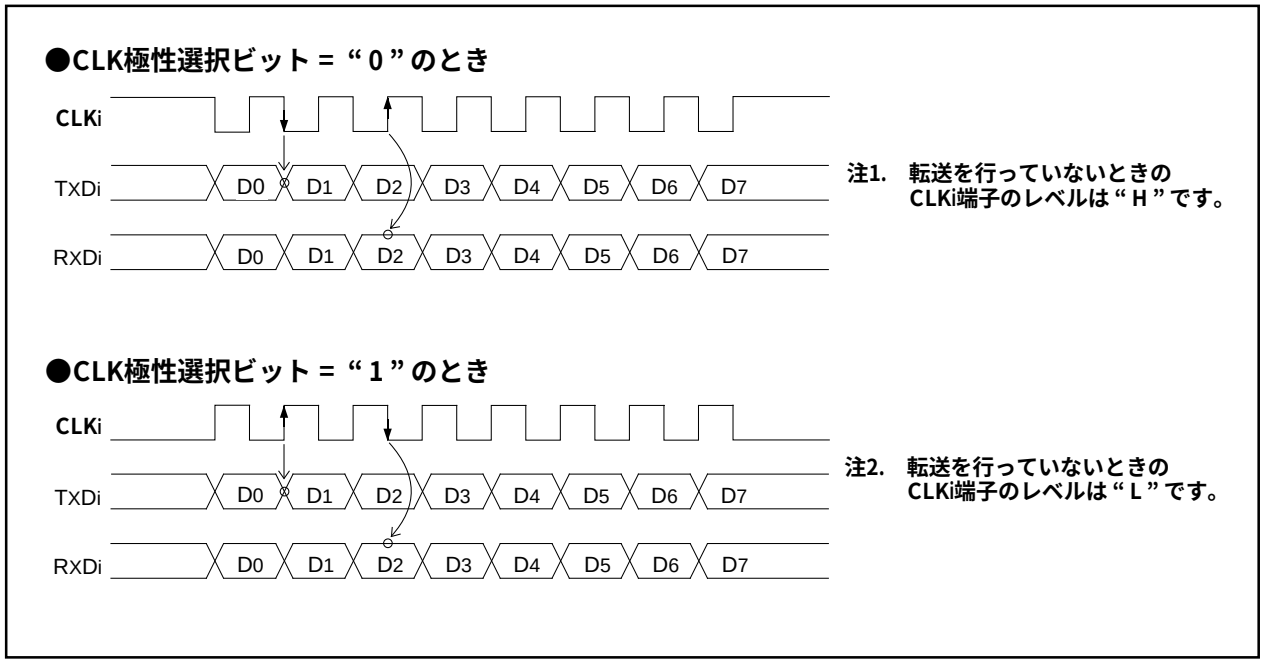


図2.11.12 転送クロックの極性

(2) LSBファースト/MSBファースト選択機能

図2.11.13に示すように、転送フォーマット選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット7)の内容が “ 0 ” のとき転送フォーマットはLSBファースト、“ 1 ” のとき転送フォーマットはMSBファーストになります。

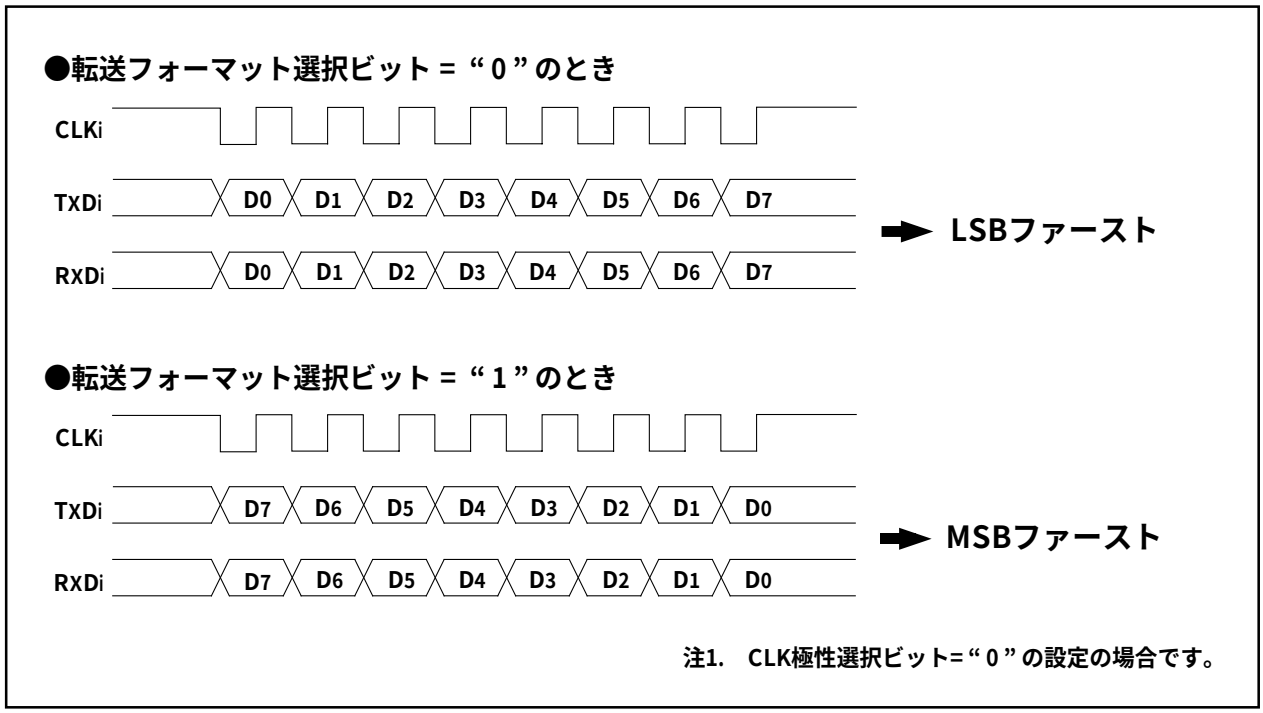
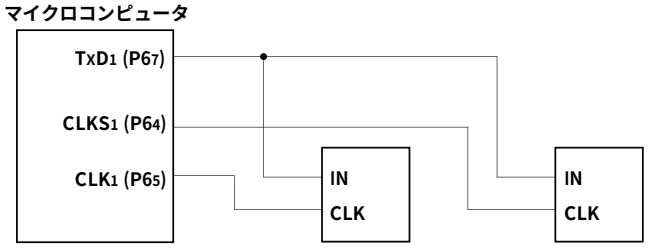


図2.11.13 転送フォーマット

(3) 転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0$_{16}$番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図2.11.14)。この機能は、UART1で内部クロック選択時だけ有効な機能です。



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

図2.11.14 転送クロック複数端子出力機能の使用例

(4) 連続受信モード

連続受信モード許可ビット(03B0$_{16}$番地のビット2、ビット3、037D$_{16}$番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(5) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D$_{16}$番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図2.11.15にシリアルデータ論理切り替えのタイミング例を示します。

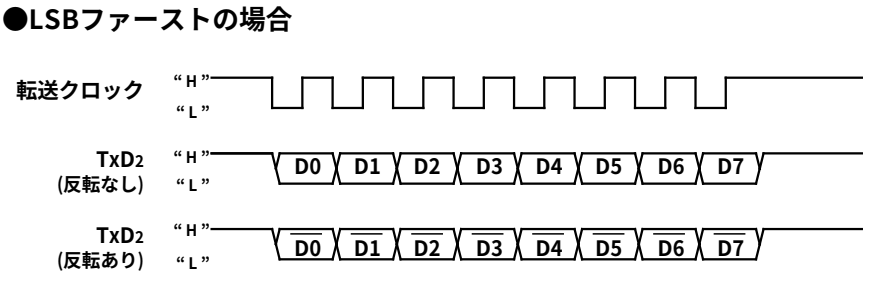


図2.11.15 シリアルデータ論理切り替えのタイミング例

2.11.3 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表2.11.5、表2.11.6にクロック非同期形シリアルI/Oモードの仕様を、図2.11.16にUARTi送受信モードレジスタの構成を示します。

表2.11.5 クロック非同期形シリアルI/Oモードの仕様(1)

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時($03A0_{16}$、$03A8_{16}$番地のビット3=“1”)： f_{EXT}/16(n+1) (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	●$\overline{CTS}$機能/$\overline{RTS}$機能/$\overline{CTS}$,$\overline{RTS}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット1)=“0” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が“L”レベル
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
注2.　f_{EXT}はCLKi端子からの入力です。
注3.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表2.11.6 クロック非同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

注1.　対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	“0”を設定してください	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1.　通常“0”にしてください。

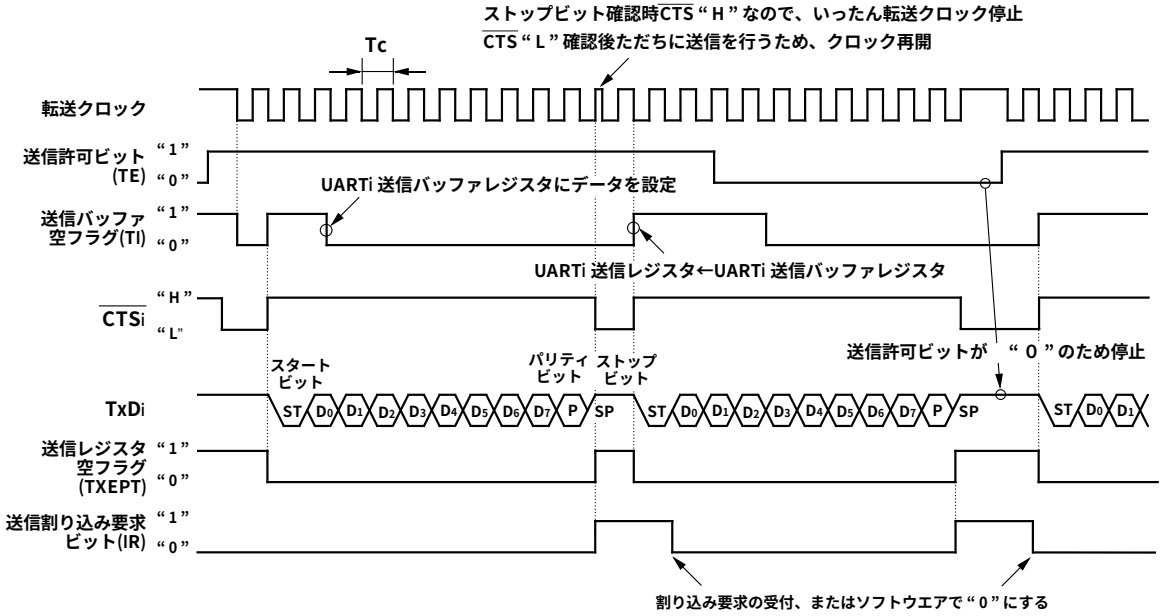
図2.11.16　UARTモード時のUARTi送受信モードレジスタの構成

表2.11.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表2.11.7 クロック非同期形シリアルI/Oモード時入出力端子の機能

端子名	機　能	選択方法
TxDi (P63、P67、P70)	シリアルデータ出力	
RxDi (P62、P66、P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE16番地のビット2、ビット6、03EF16番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	プログラマブル入出力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A016、03A816番地のビット3)=“1” ポートP61、P65の方向レジスタ(03EE16番地のビット1、ビット5)=“0” (UART2は外部クロック選択を設定しないでください)
$\overline{\text{CTS}}$i/$\overline{\text{RTS}}$i (P60、P64、P73)	$\overline{\text{CTS}}$入力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“0” ポートP60、P64、P73の方向レジスタ(03EE16番地のビット0、ビット4、03EF16番地のビット3)=“0”
	$\overline{\text{RTS}}$出力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“1”

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

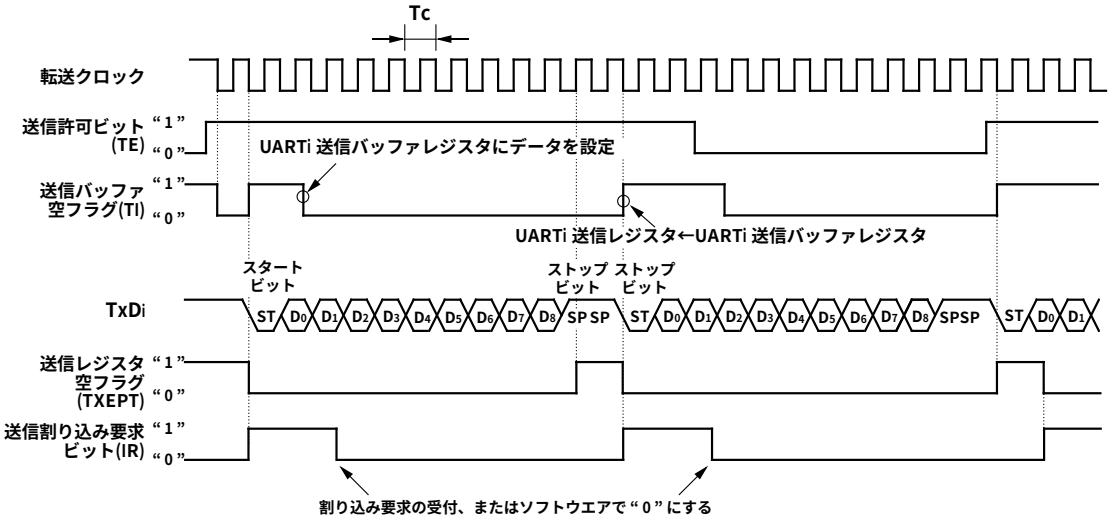


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●CTS 機能選択
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数（f_1,f_8,f_{32}）
f_{EXT}：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

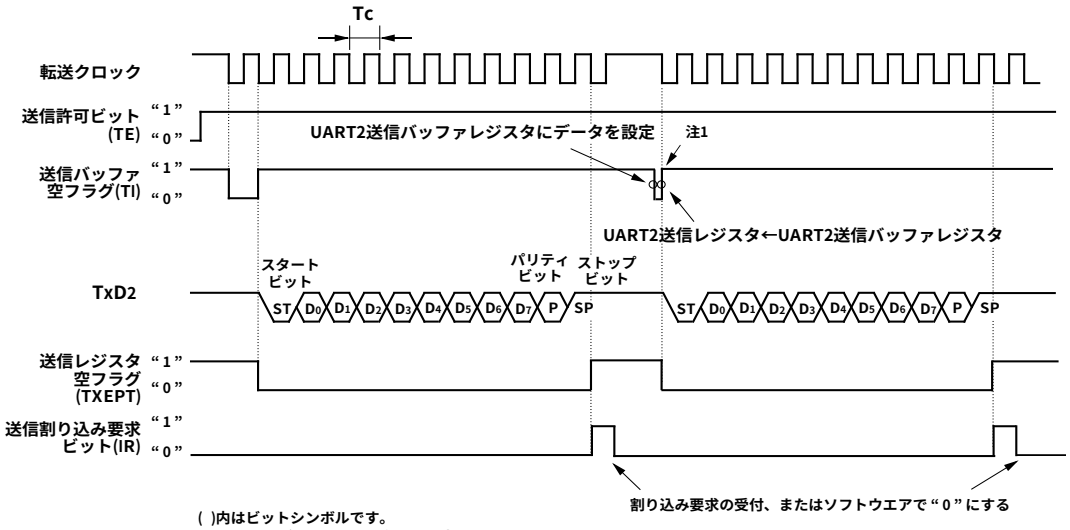


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●CTS 機能禁止
- ●送信割り込み要因選択ビット=“0”

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数（f_1,f_8,f_{32}）
f_{EXT}：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図2.11.17 UARTモード時の送信タイミング例(UART0、UART1)



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

$Tc = 16(n+1) / fi$
fi：BRG2のカウントソースの周波数（f_1, f_8, f_{32}）
n：BRG2に設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。

図2.11.18　UARTモード時の送信タイミング例(UART2)

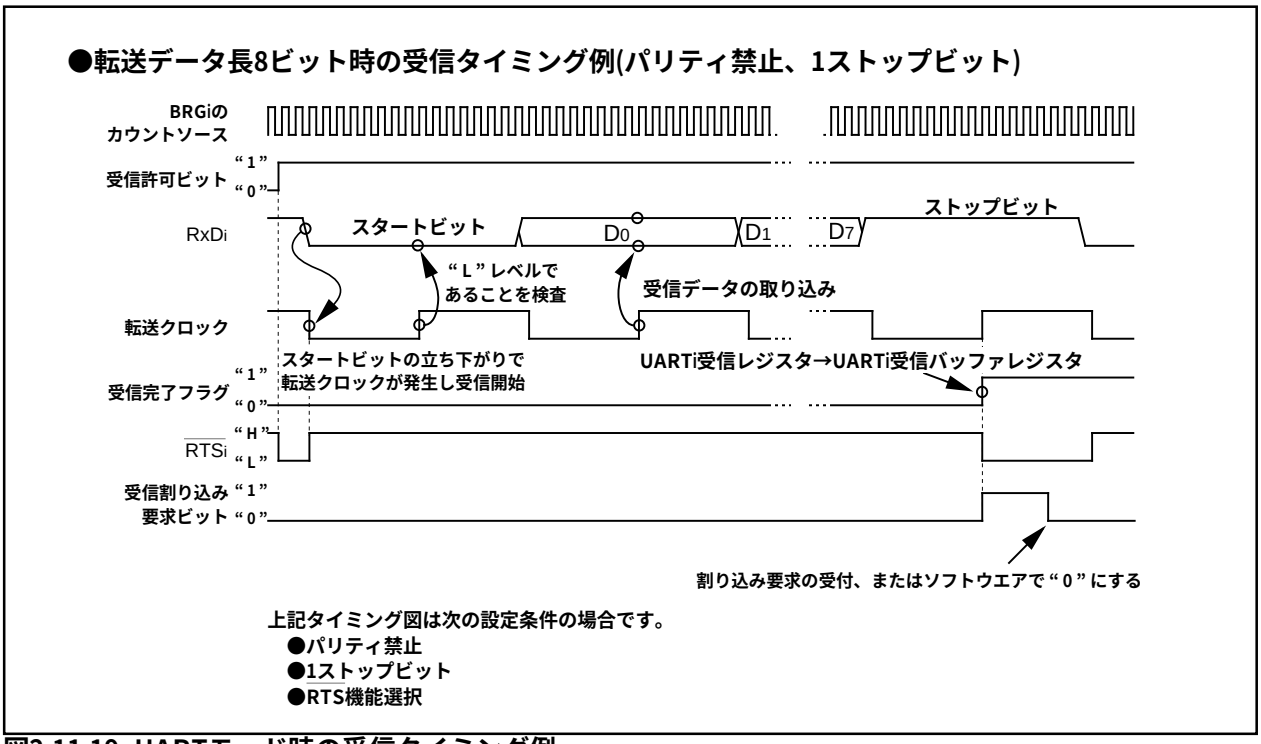


図2.11.19 UARTモード時の受信タイミング例

(1) スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A016、03A816番地のビット7)を"1"にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが"1"のときに受信動作を行い、"0"のときには受信動作を行いません。

(2) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が"1"のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図2.11.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

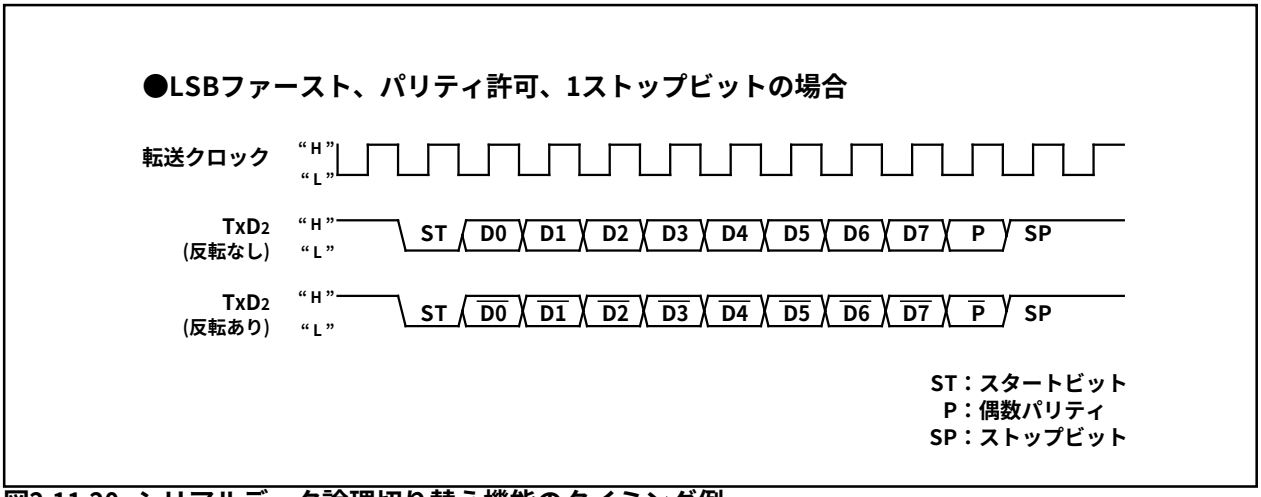


図2.11.20 シリアルデータ論理切り替え機能のタイミング例

(3) TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“ 0 ”（反転なし）に設定してください。

(4) バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図2.11.21にバス衝突検出タイミング例(UARTモード時)を示します。

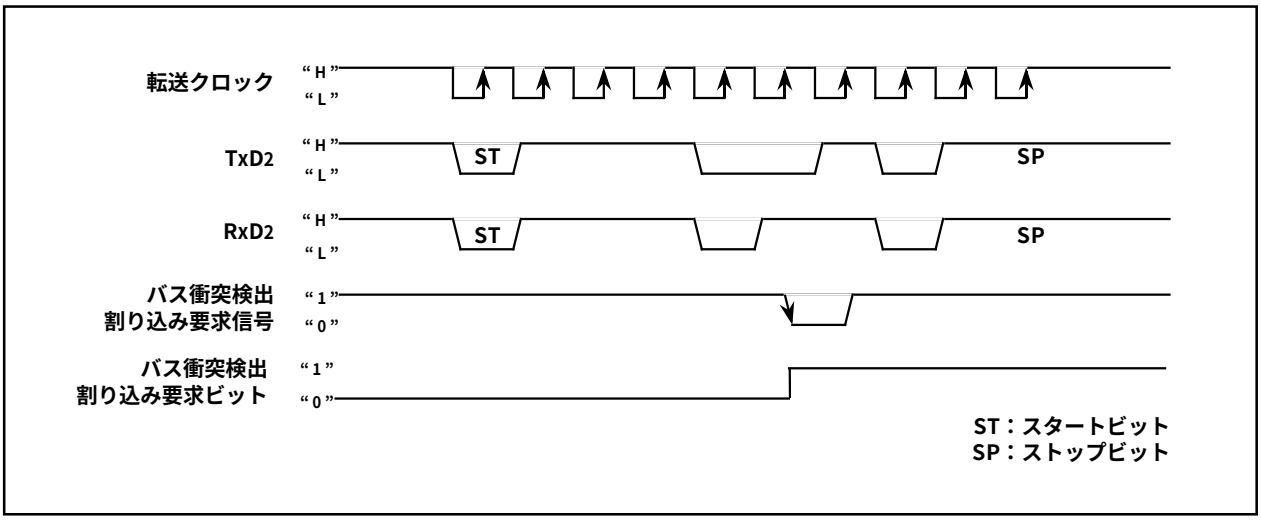


図2.11.21 バス衝突検出タイミング例(UARTモード時)

2.11.4 クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

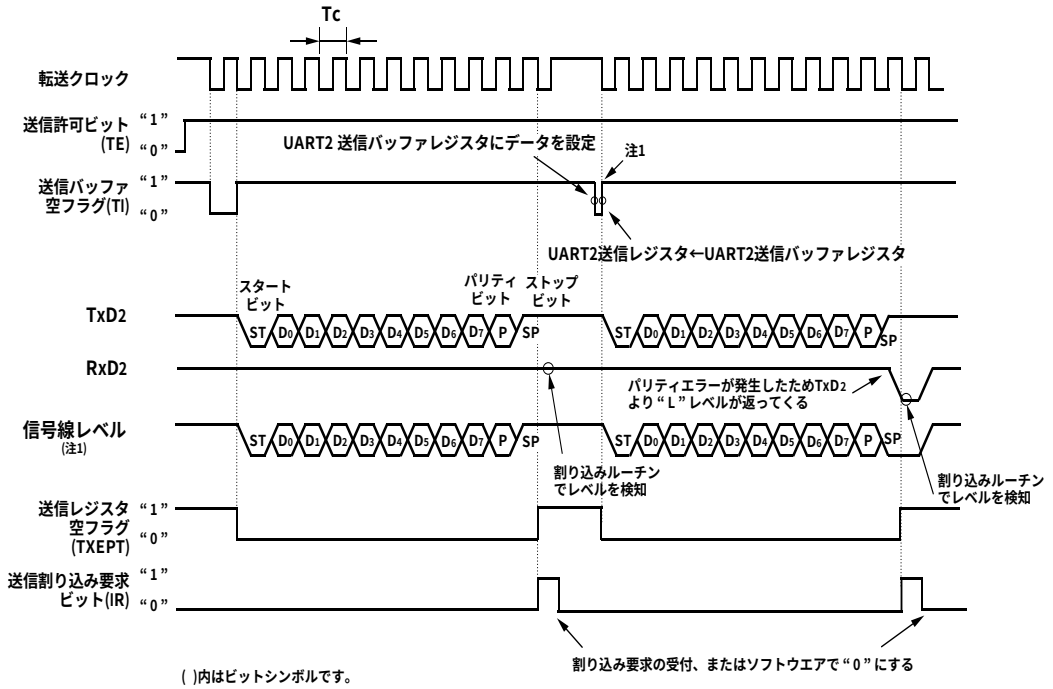
SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表2.11.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表2.11.8 クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項　　目	仕　　様
転送データフォーマット	●転送データ　8ビットUARTモード　(0378_{16}番地のビット2～ビット0=“101_2”) ●1ストップビット　(0378_{16}番地のビット4=“0”) ●ダイレクトフォーマットの場合 パリティを偶数パリティに設定　(0378_{16}番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定　($037D_{16}$番地のビット6=“0”) 転送フォーマットをLSBに設定　($037C_{16}$番地のビット7=“0”) ●インバースフォーマットの場合 パリティを奇数パリティに設定　(0378_{16}番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定　($037D_{16}$番地のビット6=“1”) 転送フォーマットをMSBに設定　($037C_{16}$番地のビット7=“1”)
転送クロック	●内部クロック選択時(0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1,f8,f32 （外部クロック選択を設定しないでください）
送信制御/受信制御	●CTS, RTS機能禁止に設定　($037C_{16}$番地のビット4=“1”)
その他設定項目	●UART2ではスリープモード選択機能はありません ●送信割り込み要因を送信完了に設定 ($037D_{16}$番地のビット4=“1”)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($037D_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 UART2送信レジスタからデータ転送完了時 ($037D_{16}$番地のビット4=“1”) ●受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) ●フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ●パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能($037D_{16}$番地のビット7=“1”)によりTxD2端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxD2端子入力レベルによりパリティエラーを検知 ●エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

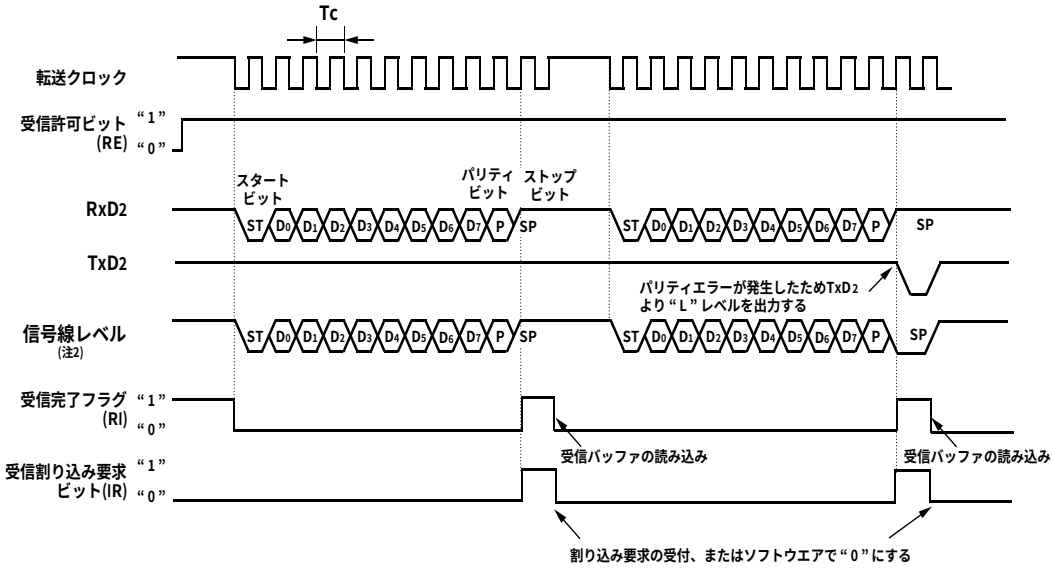
注2.　オーバランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは変化しません。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット="1"

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット="1"

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注2．TxD_2とRxD_2を接続しているため同じ波形になる

図2.11.22 UARTモード(SIMインタフェース対応)の送受信タイミング例

(1) パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(037D16番地のビット7)が“1”のとき、パリティエラー検出時にTxD2端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D16番地のビット7)が“0”の時と比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。従って、送信完了割り込みのプログラムでパリティーエラー信号を検出することができます。図2.11.23にパリティエラー信号出力タイミングを示します。

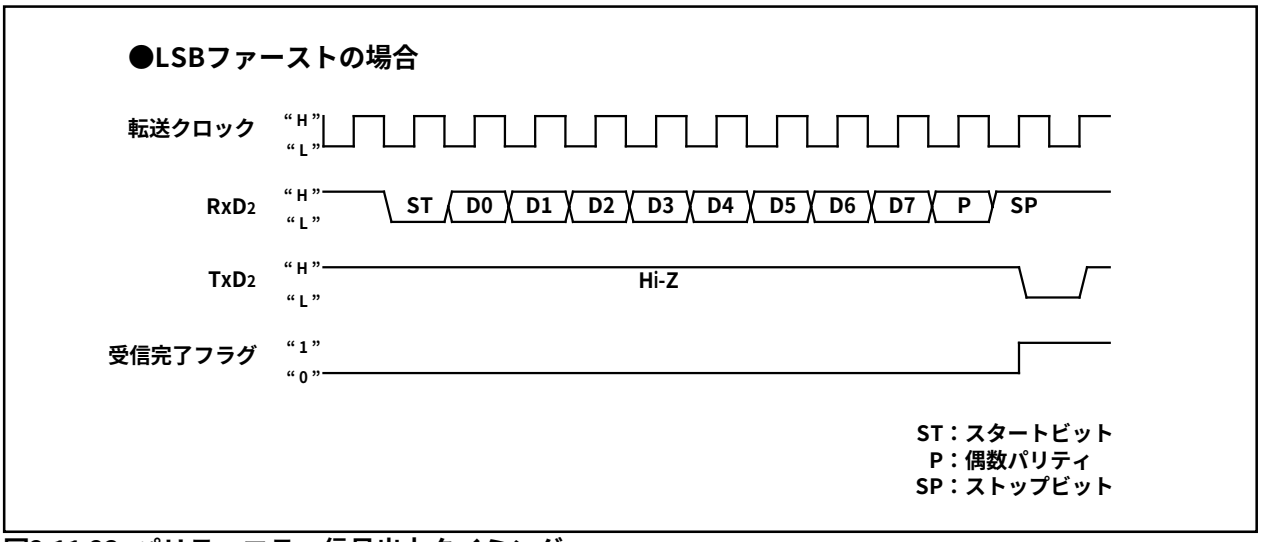


図2.11.23 パリティエラー信号出力タイミング

(2) ダイレクトフォーマット／インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット／インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図2.11.24にSIMインタフェースフォーマットを示します。

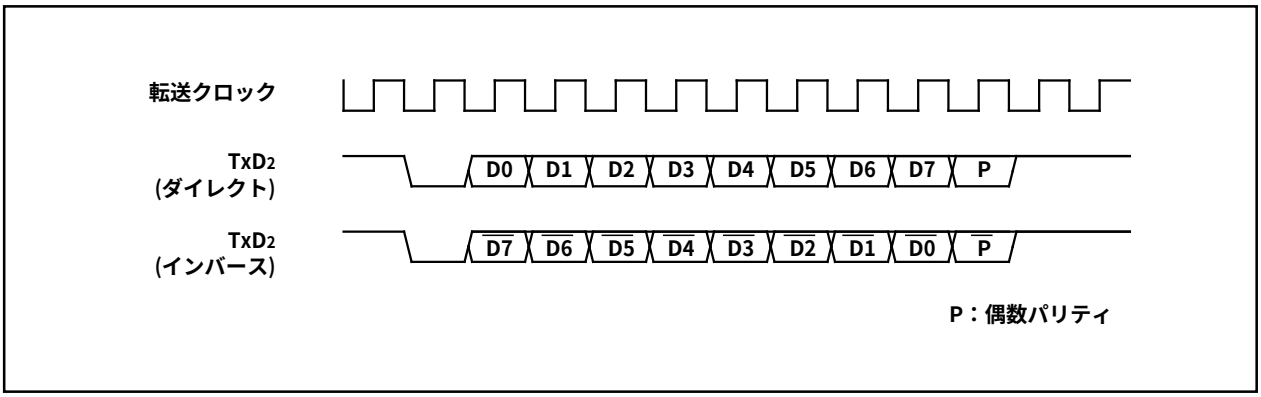


図2.11.24 SIMインタフェースフォーマット

図2.11.25にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

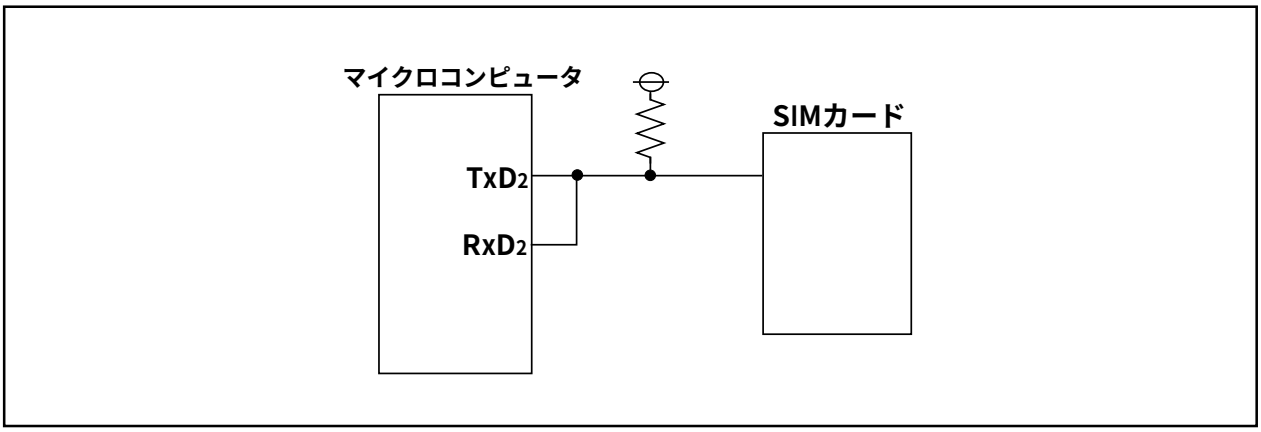


図2.11.25 SIMインタフェース接続例

2.11.5 UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377$_{16}$番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図2.11.26に示します。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表2.11.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを“0”に設定してください。

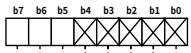
UART2特殊モードレジスタ

シンボル	アドレス	リセット時
U2SMR	0377$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0：禁止 1：許可	“0”を設定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	“0”を設定してください	0：転送クロックの立ち上がり 1：タイマA0のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	“0”を設定してください	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください	0：通常 1：RxD2の立ち下がり	○	○
SDDS	SDAディジタル遅延 選択ビット （注2、注3）	0：アナログディレイ出力選択 1：ディジタルディレイ出力選択 (IICモード時以外は“0”を設定してください)	“0”を設定してください	○	○

注1. “0”だけ書き込み可。
注2. 本機能はIICモード時以外は“1”を書き込まないでください。通常モード時は“0”を設定してください。
本ビットが“0”の場合はUART2特殊モードレジスタ3(U2SMR3／0375$_{16}$番地)のビット7～ビット5(DL2～DL0＝SDAディジタル遅延値設定ビット)が初期化され“000”となり、アナログ遅延回路が選択されます。また、SDDS＝“0”の場合にはU2SMR3の読み出し、書き込みはできません。
注3. アナログ遅延選択時はアナログ遅延値のみ、ディジタル遅延選択時はディジタル遅延値のみの遅延となります。

UART2特殊モードレジスタ3(IICバス専用レジスタ)



シンボル	アドレス	リセット時
U2SMR3	0375$_{16}$番地	不定 (ただし、SDDS=“1”の場合の初期値“00$_{16}$”)

ビットシンボル	ビット名	機能(IICバス専用)	R	W
		何も配置されていない。 書き込む場合、”0”を書き込んでください。読み出した場合、その値は不定。 ただし、SDDS＝1とした場合は“0”が読み出される(注1)。	—	—
DL0	SDAディジタル 遅延値設定ビット (注1、注2、注3、注4)	b7 b6 b5 ０００：アナログ遅延選択 ００１：1/f(XIN)の1～2サイクル(ディジタル遅延) ０１０：1/f(XIN)の2～3サイクル(ディジタル遅延) ０１１：1/f(XIN)の3～4サイクル(ディジタル遅延) １００：1/f(XIN)の4～5サイクル(ディジタル遅延) １０１：1/f(XIN)の5～6サイクル(ディジタル遅延) １１０：1/f(XIN)の6～7サイクル(ディジタル遅延) １１１：1/f(XIN)の7～8サイクル(ディジタル遅延)	○	○
DL1			○	○
DL2			○	○

注1. 本ビットはUART2特殊モードレジスタ（U2SMR／0377$_{16}$番地）のビット7(SDDS＝SDAディジタル遅延選択ビット)が“1”のときのみ読み出し、書き込み可能です。SDDS＝“1”にしてUART2特殊モードレジスタ3(U2SMR3)の初期値を読み出した場合、その値は“00$_{16}$”です。SDDS＝“1”にしてUART2特殊モードレジスタ3(U2SMR3)に書き込む場合、ビット0～ビット4には“0”を書き込んでください。SDDS＝“0”のときは書き込み不可、読み出した場合、その値は不定です。
注2. 本ビットはSDDS＝“0”のときには初期化され“000”となり、アナログ遅延回路が選択されます。本ビットはリセット解除時は“000”となり、アナログ遅延回路が選択されます。ただし、SDDS＝“1”とした場合のみ読み出し可能のため、SDDS＝“0”の場合、読み出した値は不定です。
注3. アナログ遅延選択時はアナログ遅延値のみ、ディジタル遅延選択時はディジタル遅延値のみの遅延となります。
注4. 遅延量はSCL端子、SDA端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなりますので、評価の上、使用してください。

図2.11.26 UART2特殊モードレジスタ

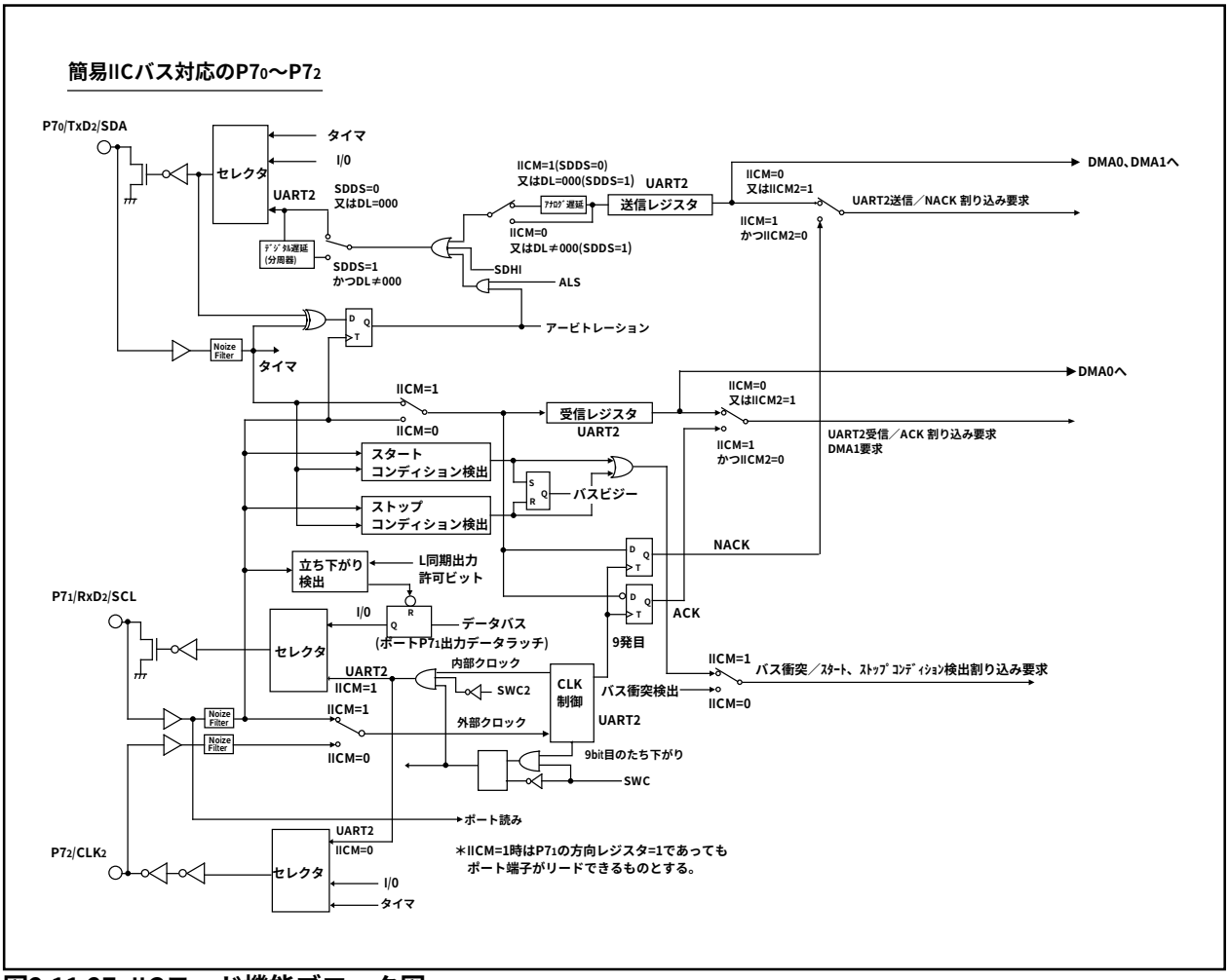


図2.11.27 IICモード機能ブロック図

表2.11.9 IICモード時の各機能

	機　能	通常モード	IICモード(注1)
1	割り込み番号10の要因 (注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2	割り込み番号15の要因 (注2)	UART2送信	アクノリジ未検出 (NACK)
3	割り込み番号16の要因 (注2)	UART2受信	アクノリジ検出 (ACK)
4	UART2送信出力delay	delayなし	delayあり(デジタル/アナログ選択可)
5	UART2使用時のP70	TxD2 (出力)	SDA (入出力) (注3)
6	UART2使用時のP71	RxD2 (入力)	SCL (入出力)
7	UART2使用時のP72	CLK2	P72
8	DMA要求要因選択ビット=1101時 のDMA1要因	UART2受信	アクノリジ検出 (ACK)
9	Noize Filter 幅	15ns	50ns
10	P71のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11	UART2出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時にP70ラッチに設定した値

注1. IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を
“ 010₂ ”に設定してください。
RTS／CTS機能は禁止してください。
MSBファーストに設定してください。

注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の状態で行ってください。

IICモードの機能を図2.11.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”に設定すると、ポートP7$_0$，P7$_1$，P7$_2$の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP7$_2$となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。SDAデジタル遅延選択ビット(0377$_{16}$番地ビット7)によってアナログ遅延とデジタル遅延を選択することができます。デジタル遅延を選択した場合、遅延値をUART2特殊モードレジスタ3(0375$_{16}$番地)によってf1の2サイクルから8サイクルまで選択することができます。遅延回路選択条件を表2.11.10に示します。

表2.11.10 遅延回路選択条件

	レジスタ値			内　　容
	IICM	SDDS	DL	
デジタル遅延選択	1	1	001 ~ 111	デジタル遅延を選択した場合は、アナログ遅延は付加されません。デジタル遅延のみになります。
アナログ遅延選択	1	1	000	DL=“000”を設定した場合、SDDSの値によらずアナログ遅延が選択されます。
		0	(000)	SDDS=“0”にするとDLは初期化されDL=“000”になります。
遅延なし	0	0	(000)	IICM=“0”の時遅延回路は選択されません。ただし、IICM=“0”の時は必ずSDDS=“0”にしてください。

ポートP7$_1$(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA送信出力の初期値は、このモードではポートP7$_0$に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P7$_1$)が“H”の状態でSDA端子(P7$_0$)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P7$_1$)が“H”の状態でSDA端子(P7$_0$)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ1(037F$_{16}$番地、037E$_{16}$番地)のビット11に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”に設定すると、SCL端子のレベルが“L”になることに同期してP7$_1$のデータレジスタが“0”になります。

次に、その他の追加された機能について説明します。その動作を図2.11.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

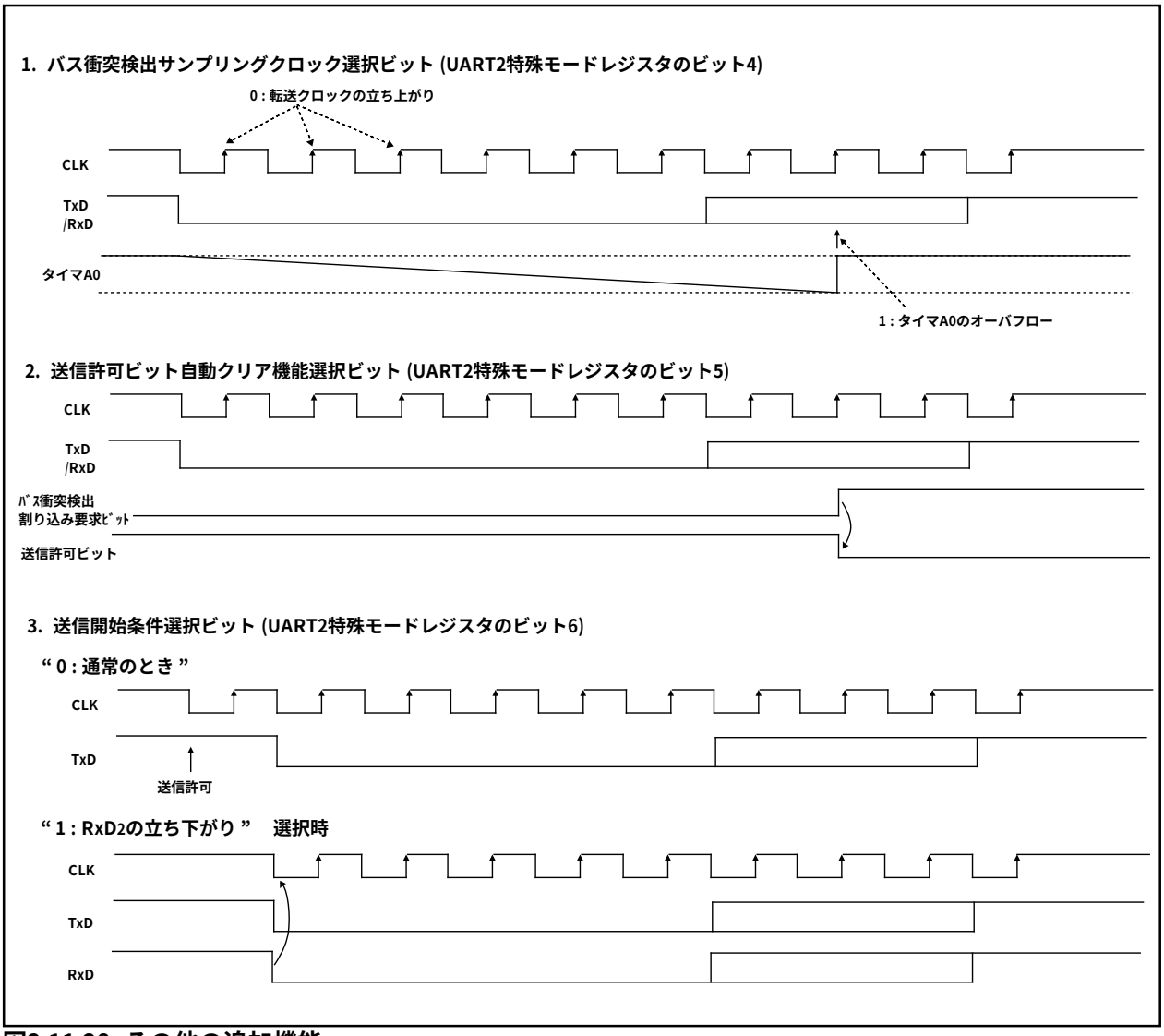


図2.11.28 その他の追加機能

2.11.6 UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376$_{16}$番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図2.11.29に示します。

UART2特殊モードレジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2SMR2	0376$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能	R	W
IICM2	IICモード選択ビット2	表2.11.11参照	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STAC	UART2初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UART2クロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	○	○
SHTC	スタート/ストップコンディション条件制御ビット	IICモード選択時、“1”に設定してください。（表2.11.12参照）	○	○

図2.11.29 UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(037616番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表2.11.11に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表2.11.12に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は、必ず“1”に設定してください。

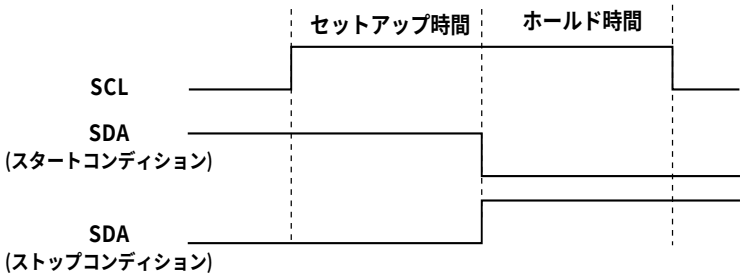
表2.11.11 IICモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要求要因選択ビット= "1101"時のDMA1要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表2.11.12 スタート/ストップコンディション検出タイミング特性（注1）

3～6サイクル < セットアップ時間	（注2）
3～6サイクル < ホールド時間	（注2）

注1. スタート/ストップコンディション条件制御ビットSHTC=“1”の場合
注2. サイクル数はメインクロック入力発振周波数f(XIN)のサイクル数を示します。



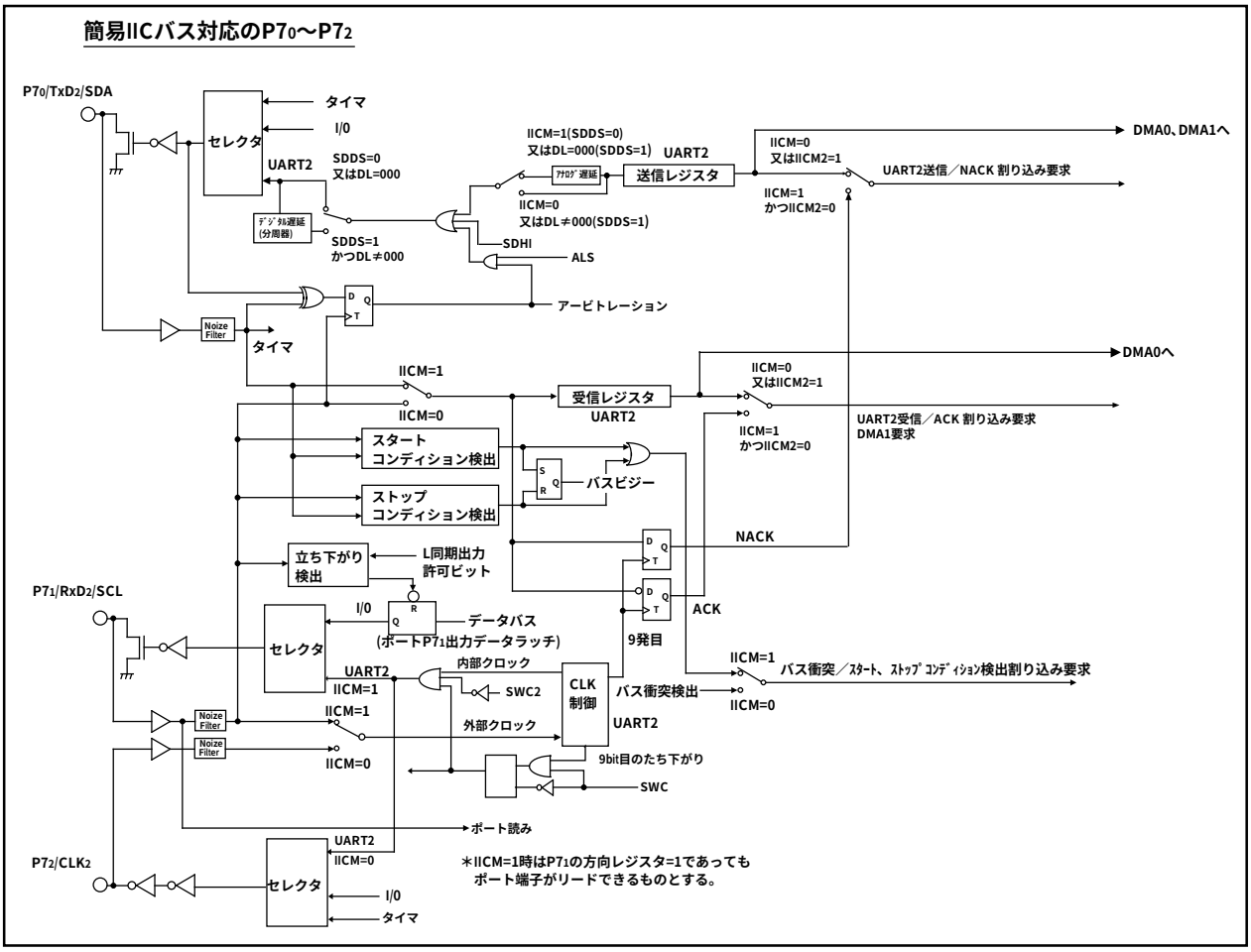


図2.11.30 IICモード機能ブロック図

IICモードの機能を図2.11.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット1はクロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ボーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればボーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりでSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

(1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。

(2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。

(3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりでSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。
また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(037$_{16}$番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

2.11.7 S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

図2.11.31にS I/O3, 4のブロック図を、図2.11.33にS I/O3, 4の制御レジスタを示します。

表2.11.13にS I/O3, 4の仕様を示します。

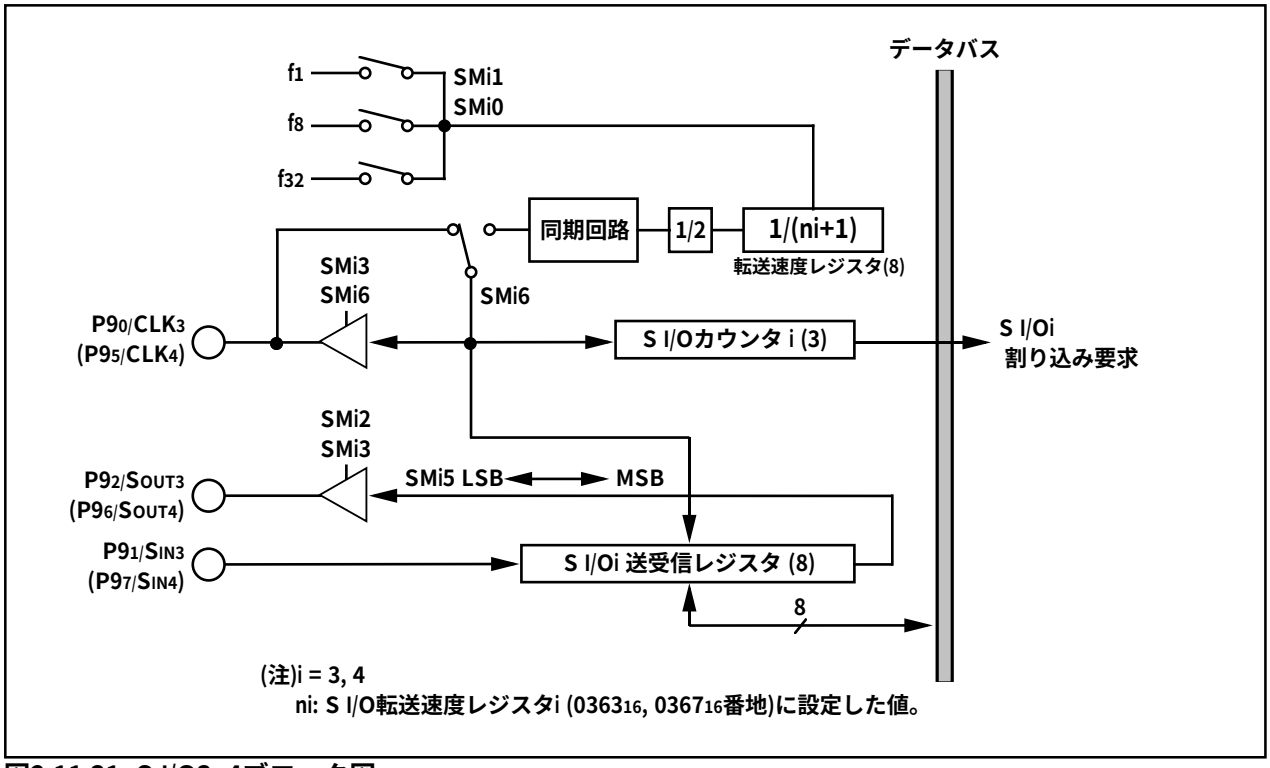
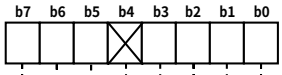


図2.11.31 S I/O3, 4ブロック図

S I/Oi 制御レジスタ (i = 3, 4) (注1)

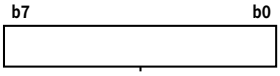


シンボル	アドレス	リセット時
SiC	0362_{16}, 0366_{16}番地	40_{16}

ビットシンボル	ビット名	機　能	R	W
SMi0	内部同期クロック選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 設定しないでください。	○	○
SMi1			○	○
SMi2	SOUTi 出力禁止ビット	0 : SOUTi出力 1 : SOUTi出力禁止(ハイインピーダンス)	○	○
SMi3	S I/Oiポート選択ビット(注2)	0 : 入出力ポート 1 : SOUTi出力、CLK機能	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
SMi5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	○	○
SMi6	同期クロック選択ビット(注2)	0 : 外部クロック 1 : 内部クロック	○	○
SMi7	SOUTi 初期値設定ビット	SMi3=0 時に有効 0 : L出力 1 : H出力	○	○

注1.　SI/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ($000A_{16}$番地)のビット2を“1”にしてから行ってください。
注2.　SI/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

SI/Oi転送速度レジスタ(注1、注2)

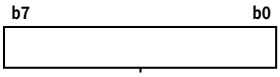


シンボル	アドレス	リセット時
S3BRG	0363_{16}番地	不定
S4BRG	0367_{16}番地	不定

機　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。
注2.　このレジスタへの書き込みにはMOV命令を使用してください。

SI/Oi送受信レジスタ(注1)



シンボル	アドレス	リセット時
S3TRR	0360_{16}番地	不定
S4TRR	0364_{16}番地	不定

機　能	R	W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	○	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。

図2.11.32　S I/O3, 4制御レジスタ

表2.11.13 S I/O3, 4の仕様

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(0362$_{16}$、0366$_{16}$番地のビット6=“1”)：f1/2(ni+1) , f8/2(ni+1) ,f32/2(ni+1) (注1) ●外部クロック選択時(0362$_{16}$、0366$_{16}$番地のビット6=“0”)：CLKi端子からの入力 (注2)
送受信開始条件	●送受信開始には、以下の条件が必要です。 ・同期クロックの選択。(0362$_{16}$、0366$_{16}$番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362$_{16}$、0366$_{16}$番地のビット0, 1で選択) ・SOUTi初期値設定ビット設定。(0362$_{16}$、0366$_{16}$番地のビット7で設定) ・S I/Oiポート選択ビット(0362$_{16}$、0366$_{16}$番地のビット3)=“1” ・転送方向選択ビット設定(0362$_{16}$、0366$_{16}$番地のビット5で設定) ・S I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)への転送データ書き込み ●更に、S I/Oi割り込みを使用する場合、次の条件も必要です。 ・SI/Oi送受信レジスタへの転送データ書き込みの前に、S I/Oi割り込み要求ビットクリア(0049$_{16}$、0048$_{16}$番地のビット3)=“0”
割り込み要求発生タイミング	●最後の転送クロックの立ち上がり。(注3)
選択機能	●LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 ●SOUTi初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを選択できます。設定の方法は図2.11.33を参照してください。
注意事項	●S I/Oi(i=3,4)は、UART0～2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)に書き込まないでください。 ●転送クロックとして内部クロックを選択している場合、転送終了後SOUTiは、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1.　n はS I/Oi転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。(i=3, 4)

注2.　外部クロック選択時には、

・SI/Oi送受信レジスタ(0360$_{16}$, 0364$_{16}$番地)への書き込みを行う際にはCLKi端子に“H”レベルが入力されている状態で行ってください。また、SI/Oi制御レジスタ(0362$_{16}$, 0366$_{16}$番地)のビット7(SOUTi初期値設定ビット)を書き替える場合もCLKi端子に“H”レベルが入力されている状態で行ってください。

・同期クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3.　同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態で停止します。

(1) SOUTi初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを“H”または“L”のどちらかに設定できます。SOUTi初期値設定時のタイミング図および設定方法を図2.11.33に示します。

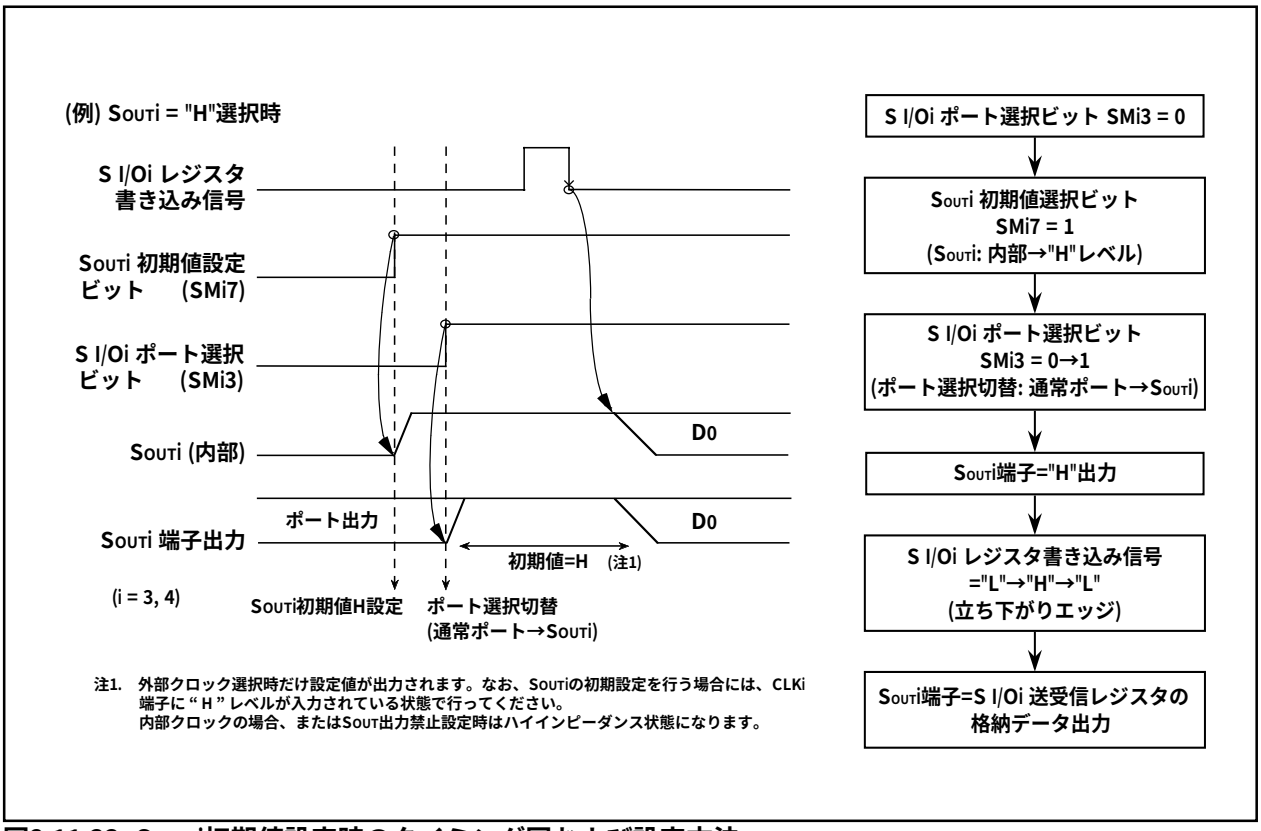


図2.11.33 SOUTi初期値設定時のタイミング図および設定方法

(2) S I/Oi動作タイミング

S I/Oi動作タイミング図を図2.11.34に示します。

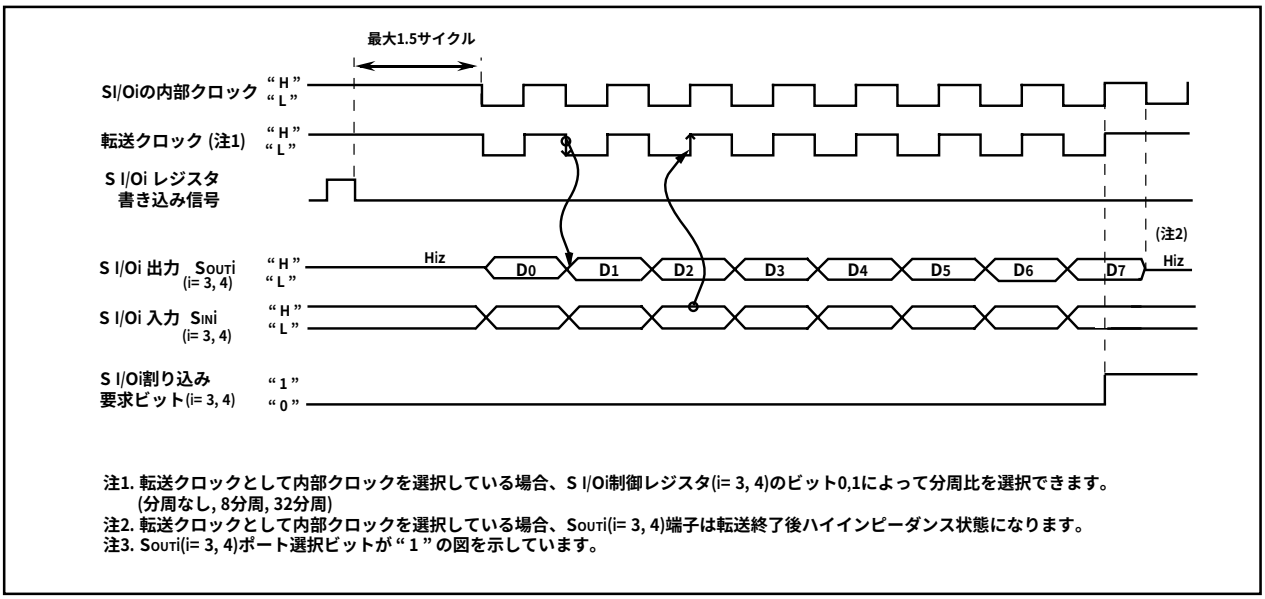


図2.11.34 S I/Oi動作タイミング図

2.12 A-D変換器

容量結合増幅器で構成され、8ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P10_0$～$P10_7$、$P9_5$、$P9_6$と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット($03D7_{16}$番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

表2.12.1にA-D変換器の性能を、図2.12.1にA-D変換器のブロック図を、図2.12.2、図2.12.3にA-D変換器関連のレジスタを示します。

表2.12.1 A-D変換器の性能

項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックϕ_{AD}(注2)	f_{AD}/f_{AD}の2分周/f_{AD}の4分周　$f_{AD}=f(X_{IN})$
分解能	8ビット
絶対精度	●サンプル&ホールド機能なし ±3LSB ●サンプル&ホールド機能あり ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN_0～AN_7) + 2本(ANEX0, ANEX1)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 ●外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつ$\overline{AD_{TRG}}$/$P9_7$入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 49ϕ_{AD}サイクル ●サンプル&ホールドあり 28ϕ_{AD}サイクル

注1.　サンプル&ホールド機能の有無に依存しません。

注2.　サンプル&ホールド機能なしのときϕ_{AD}の周波数は250kHz以上にしてください。
　　サンプル&ホールド機能ありのときϕ_{AD}の周波数は1MHz以上にしてください。

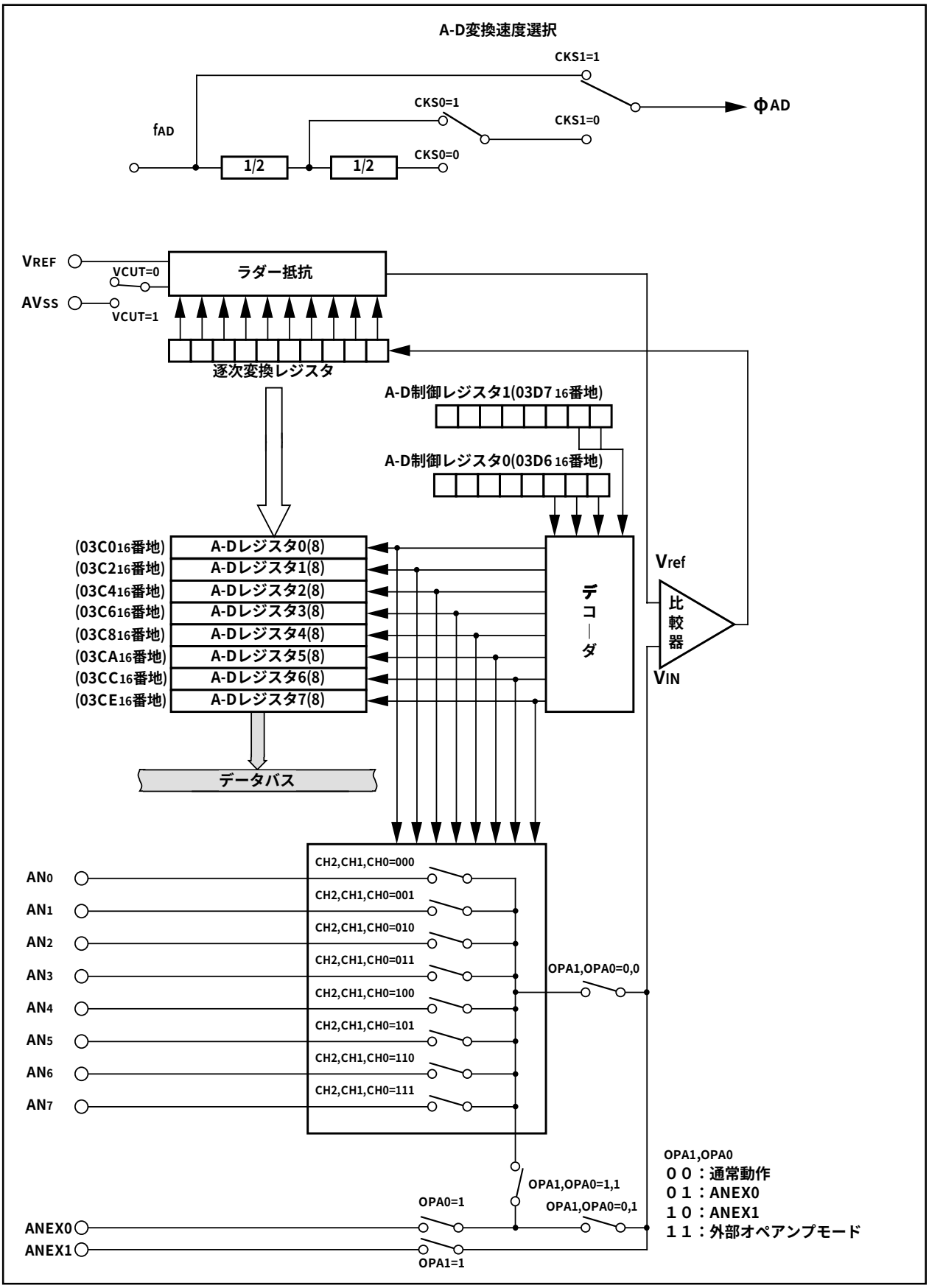


図2.12.1 A-D変換器のブロック図

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0　(注2) 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0			

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0～ AN_3(4端子) 1 0 : AN_0～ AN_5(6端子) 1 1 : AN_0～ AN_7(8端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～ AN_2(3端子) 1 1 : AN_0～ AN_3(4端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.2　A-D変換器関連レジスタ(1)

A-D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	0	0	0	

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$0000XXXX0_2$

ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	$03C0_{16}$,$03C2_{16}$,$03C4_{16}$,$03C6_{16}$番地 $03C8_{16}$,$03CA_{16}$,$03CC_{16}$,$03CE_{16}$番地	不定

b7							b0

機　　能	R	W
A-D変換結果8ビット	○	×

図2.12.3　A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表2.12.2に単発モードの仕様、図2.12.4に単発モード時のA-D制御レジスタ構成を示します。

表2.12.2 単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.4 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表2.12.3に繰り返しモードの仕様、図2.12.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表2.12.3 繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.5 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表2.12.4に単掃引モードの仕様、図2.12.6に単掃引モード時のA-D制御レジスタ構成を示します。

表2.12.4 単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	0			

シンボル ADCON0　アドレス $03D6_{16}$番地　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	0		

シンボル ADCON1　アドレス $03D7_{16}$番地　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図2.12.6 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表2.12.5に繰り返し掃引モード0の仕様、図2.12.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表2.12.5 繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図2.12.7 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表2.12.6に繰り返し掃引モード1の仕様、図2.12.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表2.12.6 繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子　　AN_0(1端子)、AN_0,AN_1(2端子)、AN_0～AN_2(3端子)、AN_0～AN_3(4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	1		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0,AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“1”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図2.12.8 繰り返し掃引モード1時のA-D制御レジスタ

(a) サンプル&ホールド

A-D制御レジスタ2(03D4$_{16}$番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、28φ$_{AD}$サイクルとなります。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

(b) 拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

(c) 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN$_0$～AN$_7$からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図2.12.9に外部オペアンプ接続モードの接続例を示します。

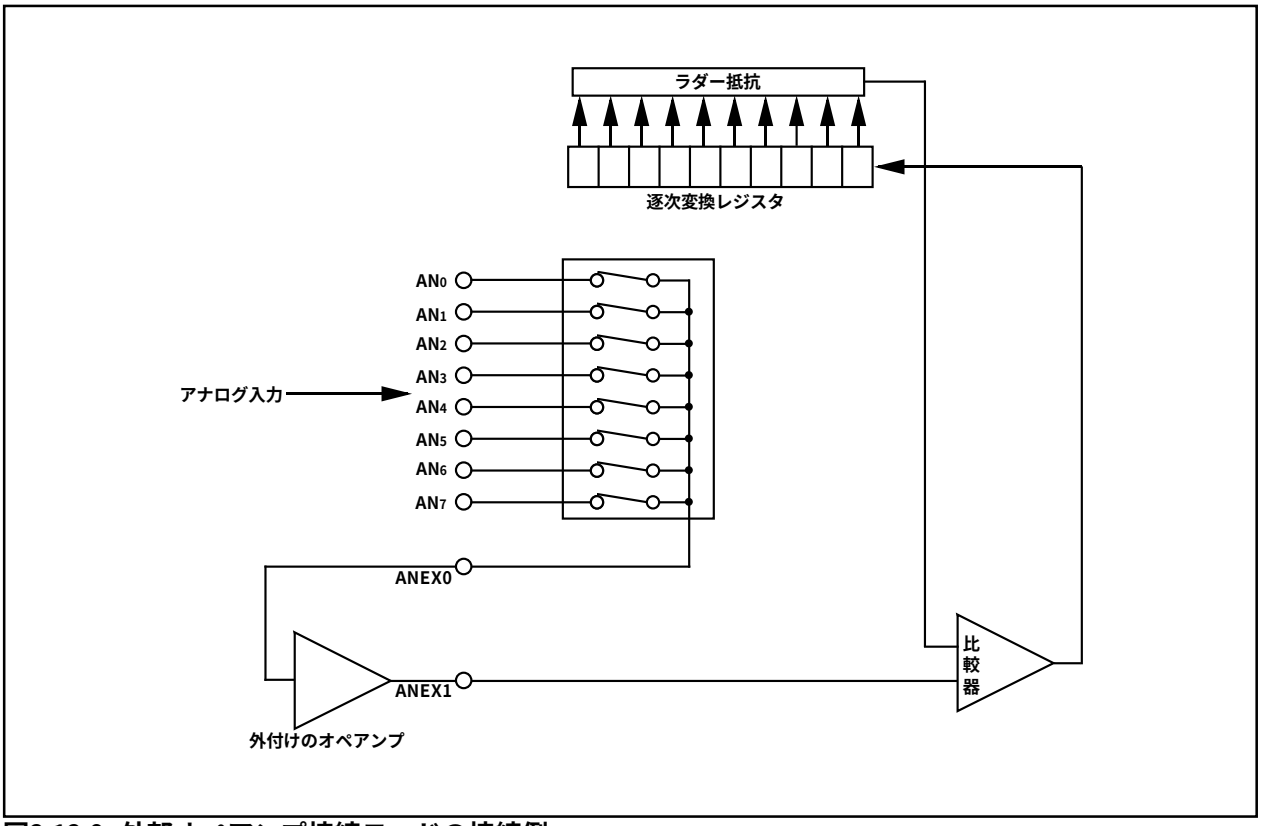


図2.12.9 外部オペアンプ接続モードの接続例

2.13 D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V=V_{REF}\times n/256$ (n=0～255)

V_{REF}:基準電圧

表2.13.1にD-A変換器の性能を、図2.13.1にD-A変換器のブロック図を、図2.13.2にD-A制御レジスタの構成を、図2.13.3にD-A変換器の等価回路を示します。

表2.13.1 D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル

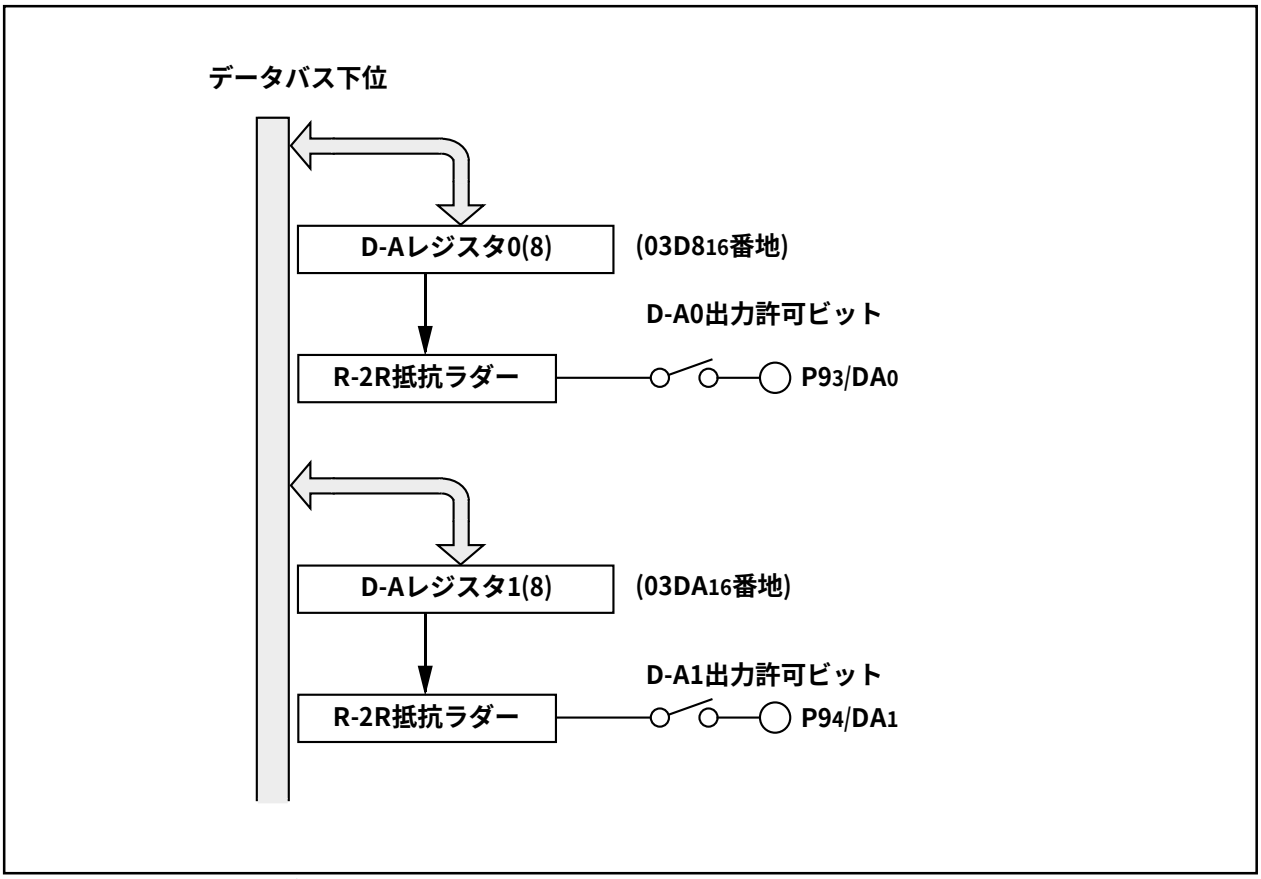


図2.13.1 D-A変換器のブロック図

D-A制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	╳	╳		

シンボル	アドレス	リセット時
DACON	$03DC_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は“ 0 ”。			—	—

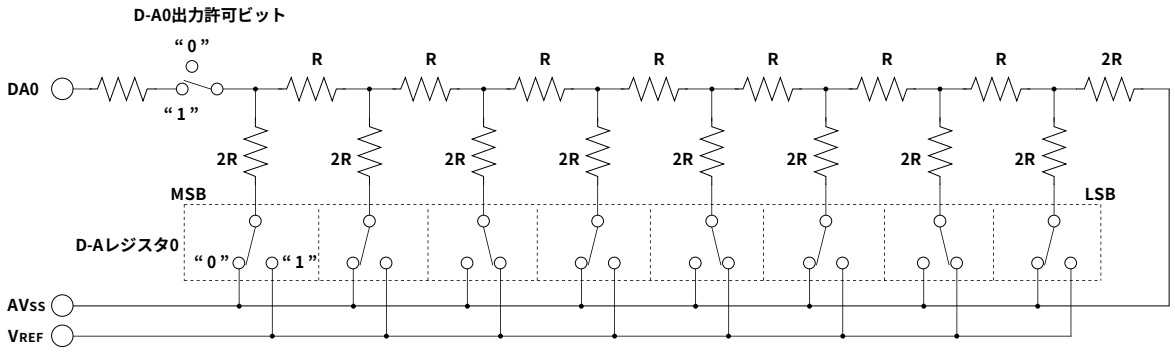
D-Aレジスタ

b7	b0

シンボル	アドレス	リセット時
DAi(0,1)	$03D8_{16}$、$03DA_{16}$番地	不定

機　　能	R	W
D-A変換の出力値	○	○

図2.13.2 D-A制御レジスタの構成



注1. 上図はD-Aレジスタの値が“ $2A_{16}$ ”の場合です。
注2. この回路はD-A1においても同一です。
注3. D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“ 0 ”とし、D-Aレジスタを“ 00_{16} ”として、R-2Rの抵抗に電流が流れないようにしてください。

図2.13.3 D-A変換器の等価回路

2.14 CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^{5}+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図2.14.1にCRCのブロック図、図2.14.2にCRCの関連レジスタを示します。また、図2.14.3にCRC演算回路の演算例を示します。

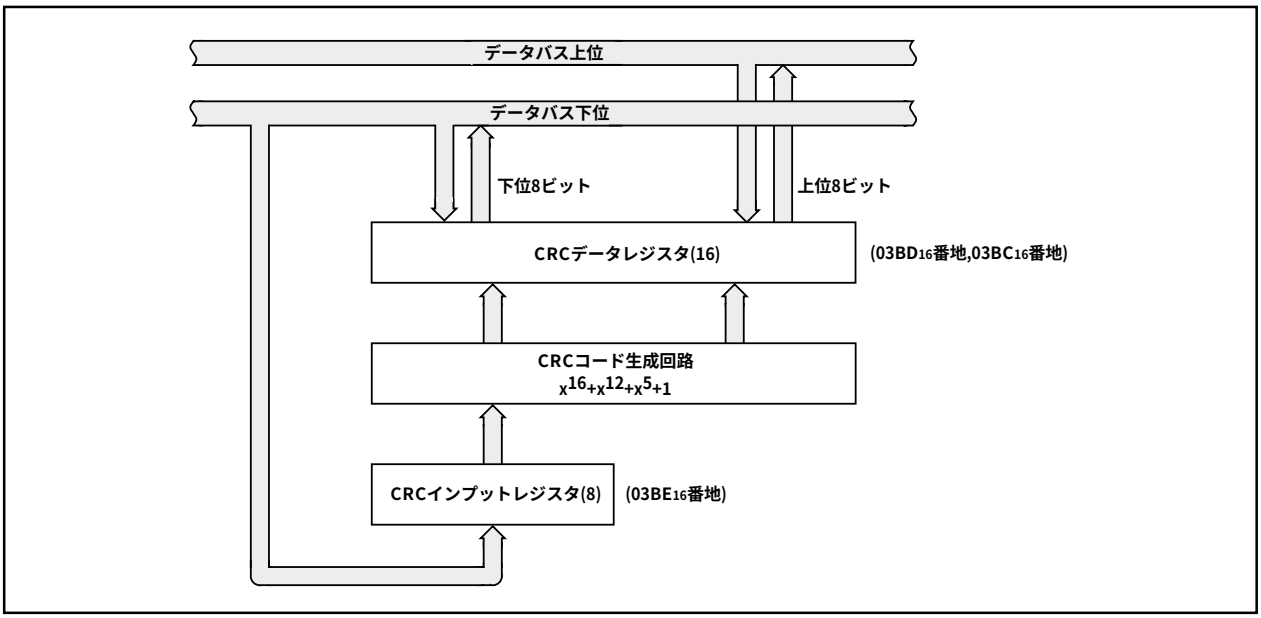


図2.14.1 CRCブロック図

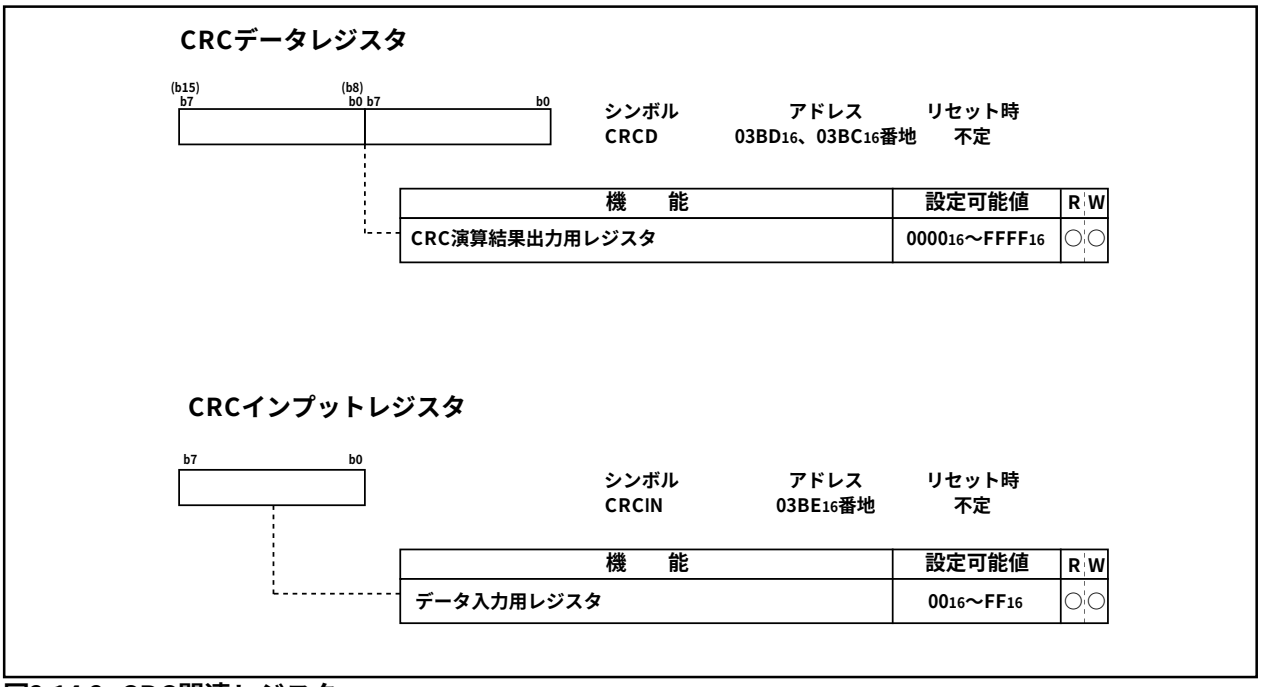


図2.14.2 CRC関連レジスタ

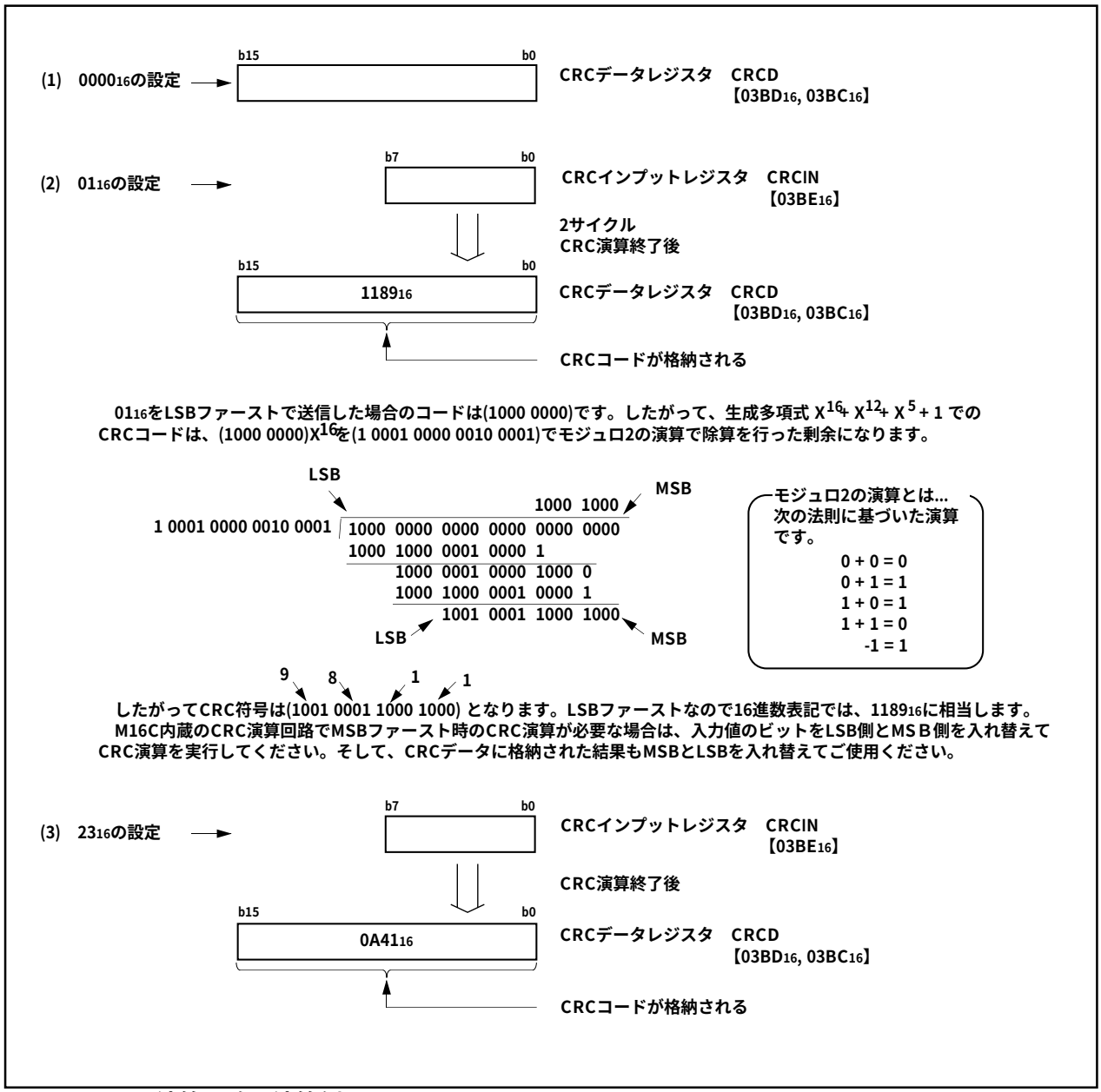


図2.14.3 CRC演算回路の演算例

2.15 拡張機能

2.15.1 拡張機能概要

拡張機能には、データスライサ機能、ハミングデコーダ機能があります。また、それぞれの機能は拡張メモリにより制御します。

(1) データスライサ機能

ハード対応：Teletext, PDC, VPS, VBI, EPG-J

ソフト対応：XDS, WSS, VBI-ID

(2) ハミングデコーダ機能

8/4ハミング, 24/18ハミングを行います。

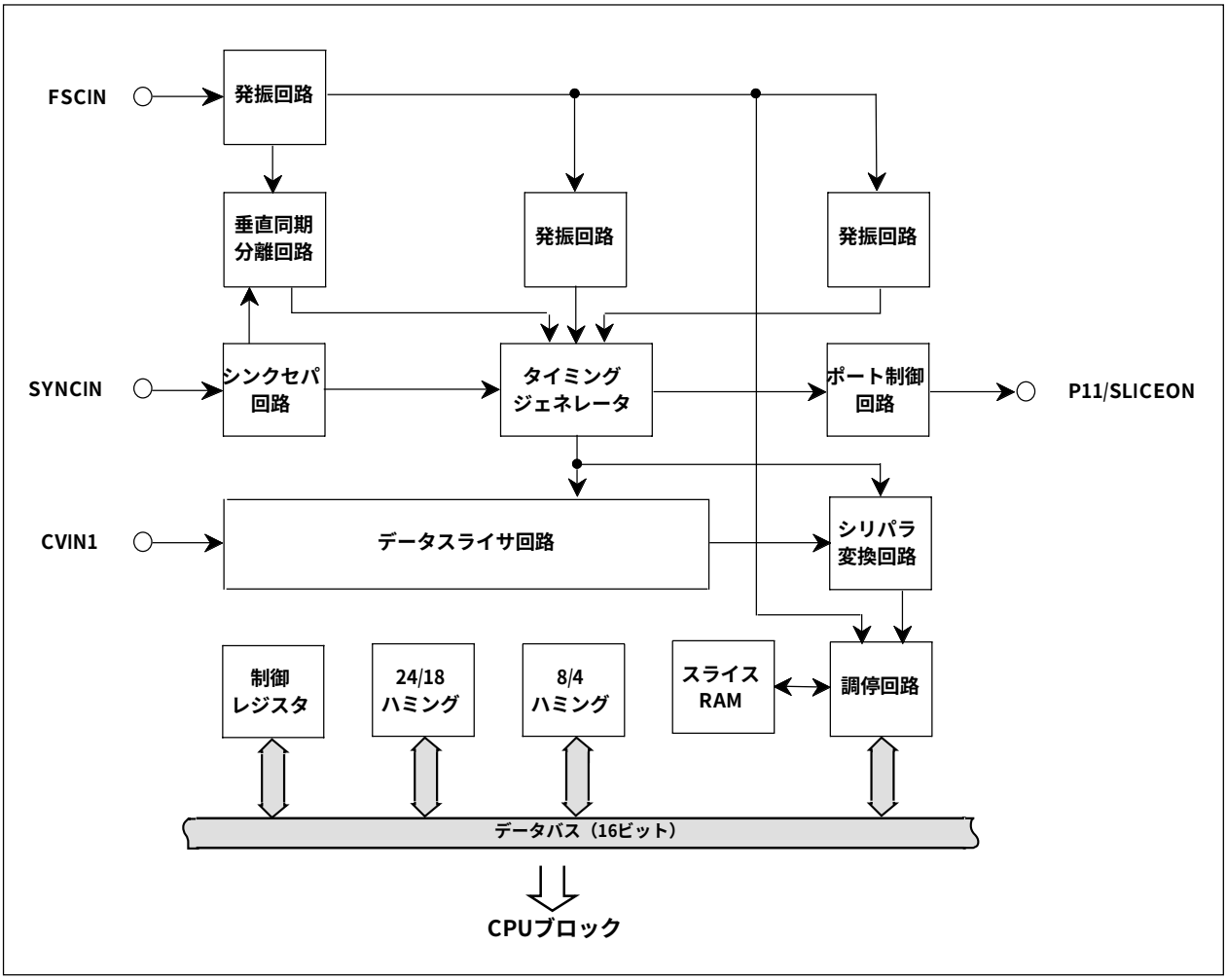


図2.15.1 拡張機能ブロック図

2.15.2 拡張メモリ

拡張機能用メモリはスライスRAM、拡張レジスタの2種類に分けられています。（ハミングデコーダはSFR上に配置されたレジスタで動作します。）

スライスRAM、拡張レジスタへのデータ書き込み及び読み出しはSFR上に配置されたデータ設定用レジスタ（$020E_{16}$番地、0210_{16}番地、0216_{16}番地、および0218_{16}番地）により16ビット単位で行います。表2.15.1に各メモリの内容とデータ設定用レジスタを示します。

表2.15.1 拡張メモリ構成

拡張メモリ	内　　容	データ設定用レジスタ
スライスRAM	スライスしたデータを格納します。	スライスRAMアドレス制御レジスタ($020E_{16}$) スライスRAMデータ制御レジスタ(0210_{16})
拡張レジスタ	データスライサ制御を行うレジスタです。	拡張レジスタ用アドレス制御レジスタ(0216_{16}) 拡張レジスタ用データ制御レジスタ(0218_{16})

2.15.3 スライスRAM

18ライン分のスライスデータを格納します。スライスデータにはPDC,VPS,VBIの3種類があります。

それぞれのデータは全てスライスするラインに対応したアドレス（例えば22ライン目のデータは200$_{16}$～217$_{16}$番地）に格納されます。1ラインにつきSR00x～SR17xまでの24アドレス（16ビット／１アドレス）が用意されており、スライスデータはLSB側から順に格納されます。なお各ラインの先頭アドレス（SR00x）にはスライスデータの種類とフィールド情報が格納されています。

スライスRAM構成を表2.15.2に示します。

表2.15.2 スライスRAM構成

スライスRAMアドレス (SA9～SA0)	SD15	SD14	SD13	SD12	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	備考
000$_{16}$ 001$_{16}$ ～ 016$_{16}$ 017$_{16}$	SR00F SR01F ～ SR16F SR17F	SR00E SR01E ～ SR16E SR17E	SR00D SR01D ～ SR16D SR17D	SR00C SR01C ～ SR16C SR17C	SR00B SR01B ～ SR16B SR17B	SR00A SR01A ～ SR16A SR17A	SR009 SR019 ～ SR169 SR179	SR008 SR018 ～ SR168 SR178	SR007 SR017 ～ SR167 SR177	SR006 SR016 ～ SR166 SR176	SR005 SR015 ～ SR165 SR175	SR004 SR014 ～ SR164 SR174	SR003 SR013 ～ SR163 SR173	SR002 SR012 ～ SR162 SR172	SR001 SR011 ～ SR161 SR171	SR000 SR010 ～ SR160 SR170	6ラインor 318ライン スライスデータ
018$_{16}$ ～ 01F$_{16}$	未使用領域																
020$_{16}$ ～ 037$_{16}$	SR00F ～ SR17F	SR00E ～ SR17E	SR00D ～ SR17D	SR00C ～ SR17C	SR00B ～ SR17B	SR00A ～ SR17A	SR009 ～ SR179	SR008 ～ SR178	SR007 ～ SR177	SR006 ～ SR176	SR005 ～ SR175	SR004 ～ SR174	SR003 ～ SR173	SR002 ～ SR172	SR001 ～ SR171	SR000 ～ SR170	7ラインor 319ライン スライスデータ
040$_{16}$ ～ 1F7$_{16}$	⋮																8ライン～21ラインor 320ライン～333ライン スライスデータ
200$_{16}$ ～ 217$_{16}$	SR00F ～ SR17F	SR00E ～ SR17E	SR00D ～ SR17D	SR00C ～ SR17C	SR00B ～ SR17B	SR00A ～ SR17A	SR009 ～ SR179	SR008 ～ SR178	SR007 ～ SR177	SR006 ～ SR176	SR005 ～ SR175	SR004 ～ SR174	SR003 ～ SR173	SR002 ～ SR172	SR001 ～ SR171	SR000 ～ SR170	22ラインor 334ライン スライスデータ
220$_{16}$ ～ 237$_{16}$	SR00F ～ SR17F	SR00E ～ SR17E	SR00D ～ SR17D	SR00C ～ SR17C	SR00B ～ SR17B	SR00A ～ SR17A	SR009 ～ SR179	SR008 ～ SR178	SR007 ～ SR177	SR006 ～ SR176	SR005 ～ SR175	SR004 ～ SR174	SR003 ～ SR173	SR002 ～ SR172	SR001 ～ SR171	SR000 ～ SR170	23ラインor 335ライン スライスデータ

データのアクセスはスライスRAMアドレス制御レジスタ（020E$_{16}$番地）に表2.15.2の必要なアドレス(SA)を設定し、続けてスライスRAMデータ制御レジスタ（0210$_{16}$番地）よりデータを読み出します。

データの読み出しが終わるとスライスRAMアドレス制御ジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを読み出すことができます。各ラインデータ間の未使用領域にはアクセスしないでください。未使用領域はアドレスの自動インクリメントを行いませんので、各ラインごとに必ずアドレスを設定してください。

図2.15.2にスライスRAMビット構成を、図2.15.3にスライスRAMアクセス関連レジスタの構成を、図2.15.4にスライスRAMアクセスブロック図を示します。

スライスRAMビット構成

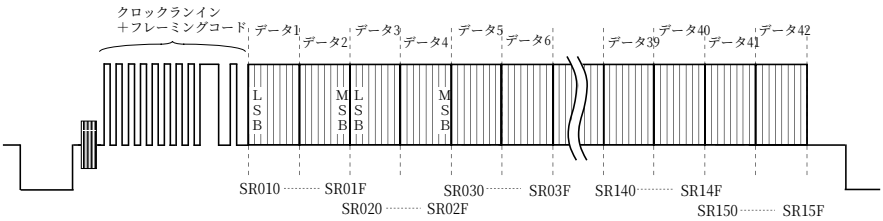
スライスするラインに対応したアドレスの各先頭アドレスは次のスライス情報を格納しています。

	SR00F～SR004	SR003	SR002	SR001	SR000
PDC	0	ﾌｨｰﾙﾄﾞ ＊	0	0	1
VPS	0	ﾌｨｰﾙﾄﾞ ＊	0	1	0
VBI	0	ﾌｨｰﾙﾄﾞ ＊	1	0	0
その他	0	0	0	0	0

＊) ﾌｨｰﾙﾄﾞ
第1ﾌｨｰﾙﾄﾞ：1
第2ﾌｨｰﾙﾄﾞ：0

(1).PDC

PDCデータの場合、1アドレスに16ビット（2データ）をLSB側から格納します。

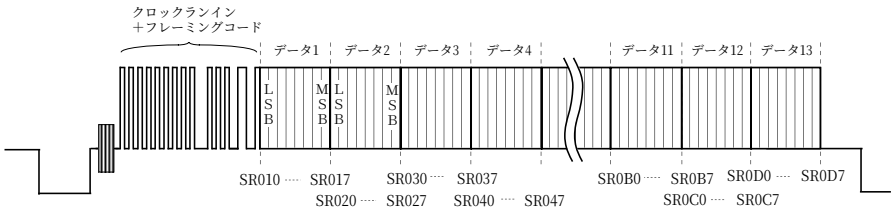


SR16x、SR17xは未使用領域です。

(2).VPS

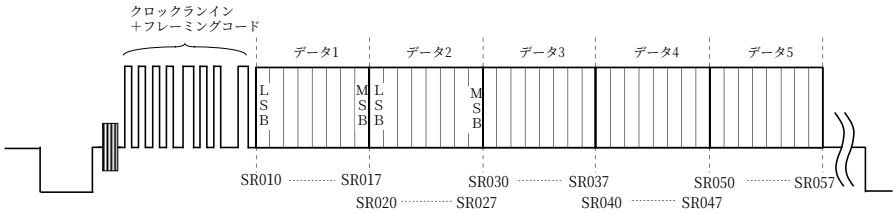
VPSデータ及びVBIデータの場合は1アドレスに8ビット（1データ）をLSB側から格納します。
下位8ビットはスライスデータを格納し、上位8ビットは送られてきたデータがバイフェーズ形式として認識できなかった場合のワーニングビットとなっています。

このワーニングビットはバイフェーズデータ=“ 1,0 ”または“ 0,1 ”（バイフェーズ形式）の場合は“ 0 ”となり、バイフェーズデータ=“ 0,0 ”または“ 1,1 ”（バイフェーズ形式ではない）の場合は“ 1 ”となります。（例えばSR011のバイフェーズデータが“ 0,0 ”または“ 1,1 ”の場合はSR019に“ 1 ”がたちます。）



SR0Ex～SR17xは未使用領域です。

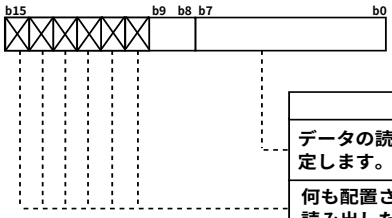
(3).VBI



SR06x～SR17xは未使用領域です。

図2.15.2 スライスRAMビット構成

スライスRAMアドレス制御レジスタ

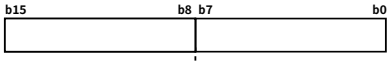


シンボル	アドレス	リセット時
SA	020E16番地	00016

機　　能	設定可能値	R	W
データの読み出しを行うスライスRAMのアドレスを指定します。	00016～23716	×	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		–	–

注：スライスRAMにアクセスする場合は必ずスライスRAMアドレスを設定した後に、スライスRAMデータ制御レジスタ(02100 16)を使用して下さい
スライスRAMデータ制御レジスタをアクセスするごとに、スライスRAMアドレス制御レジスタはインクリメントしますので、次のスライスRAMのアドレスを設定する必要はありません。

スライスRAMデータ制御レジスタ



シンボル	アドレス	リセット時
SD	02100 16番地	00016

機　　能	R	W
スライスRAMのデータ読み出しを行います。本レジスタを読み出すことにより、スライスRAMアドレス制御レジスタ（020E16番地）で指定したスライスRAMのデータ読み出しを行います。	○	×

注：データアクセスは必ず16bit単位で行い、8bit単位でのアクセスはできません。

図2.15.3 スライスRAMアクセス関連レジスタの構成

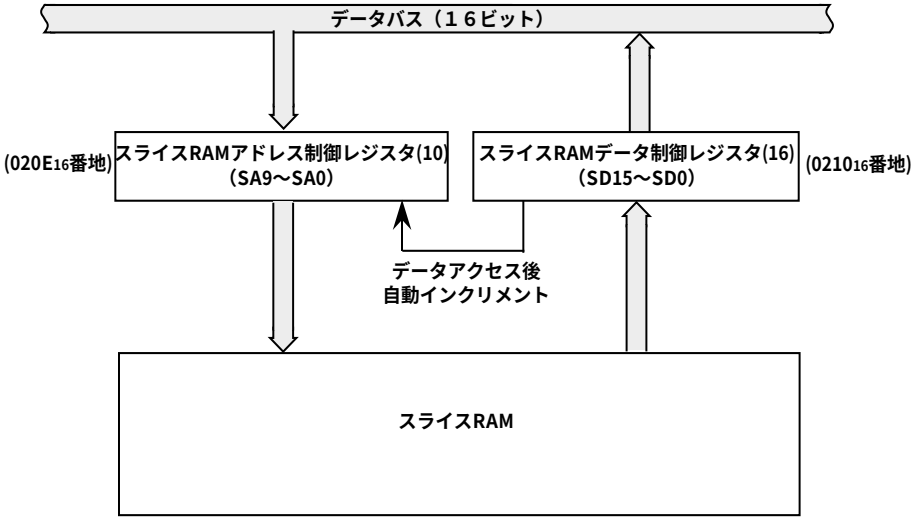


図2.15.4 スライスRAMアクセスブロック図

2.15.4 拡張レジスタ

データスライサ機能の制御を行います。

表2.15.3に拡張レジスタの構成を示します。

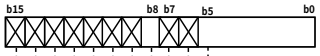
表2.15.3 拡張レジスタ構成

DA5～DA0	DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8	DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0	備　考
00₁₆	–	–	–	–	–	–	–	STBY0	–	–	–	–	–	–	–	–	–
01₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
02₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
03₁₆	–	–	–	TEST2	TEST1	TEST0	–	–	–	–	–	–	–	–	–	–	テスト設定
04₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
05₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
06₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
07₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
08₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
09₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0A₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0B₁₆	–	PTD8	–	–	–	–	–	–	–	PTC8	–	–	–	–	–	–	ポート設定
0C₁₆	–	–	–	TIMBAS	–	–	–	–	–	–	–	–	–	–	–	–	タイムベース設定
0D₁₆	–	–	–	NXP	–	–	–	–	–	–	–	–	–	–	–	–	同期設定
0E₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0F₁₆	–	–	–	–	–	–	–	ADON	–	–	SEL_PDCH	–	–	–	–	–	スライサ制御設定
10₁₆	–	–	–	–	–	SYNCSEP_ON0	–	–	SLSLVL	SL1_VP2	SL1_VP1	SL1_VP0	–	–	VPS_SUB	–	シンクセパ、スライス設定
11₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
12₁₆	SEL_VPSH	–	–	–	–	–	–	–	–	–	SEKI5	SEKI4	SEKI3	SEKI2	SEKI1	SEKI0	スライス設定
13₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
14₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
15₁₆	–	–	STBY1	–	–	–	VPS_VCO_ON	–	–	PDC_VCO_ON	–	–	XTAL_VCO	–	–	–	発振ON/OFF設定
16₁₆	–	–	–	–	–	PD2	PD1	–	PDC_HP10	PDC_HP9	PDC_HP8	PDC_HP7	PDC_HP6	PDC_HP5	PDC_HP4	PDC_HP3	PDCスライス位置設定
17₁₆	HGSL	HGSLS	–	SOFTSLS	–	–	–	–	VPS_HP10	VPS_HP9	VPS_HP8	VPS_HP7	VPS_HP6	VPS_HP5	VPS_HP4	VPS_HP3	VPSスライス位置設定
18₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
19₁₆	–	–	–	–	VPS_LINE3	VPS_LINE2	VPS_LINE1	VPS_LINE0	–	–	VBIF2	VBIF1	VPSF2	VPSF1	PDCF2	PDCF1	スライス設定
1A₁₆	VPS_FLC7	VPS_FLC6	VPS_FLC5	VPS_FLC4	VPS_FLC3	VPS_FLC2	VPS_FLC1	VPS_FLC0	PDC_FLC7	PDC_FLC6	PDC_FLC5	PDC_FLC4	PDC_FLC3	PDC_FLC2	PDC_FLC1	PDC_FLC0	PDC, VPS フレーミング設定
1B₁₆	–	–	CHK_VPS5	–	–	–	–	–	–	–	CHK_PDC5	–	–	–	–	–	PDC, VPS フレーミング設定
1C₁₆	–	–	–	SELPEEK	DIV_PDC8	DIV_PDC7	DIV_PDC6	DIV_PDC5	DIV_PDC4	DIV_PDC3	DIV_PDC2	DIV_PDC1	DIV_PDC0	DIV_PDCS2	DIV_PDCS1	DIV_PDCS0	PDC用周波数設定
1D₁₆	–	–	–	–	DIV_VPS8	DIV_VPS7	DIV_VPS6	DIV_VPS5	DIV_VPS4	DIV_VPS3	DIV_VPS2	DIV_VPS1	DIV_VPS0	DIV_VPSS2	DIV_VPSS1	DIV_VPSS0	VPS用周波数設定
1E₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
1F₁₆	–	–	–	–	–	–	–	–	NGSYNC	–	–	FLD	–	–	–	–	マクロ、フィールドフラグ
20₁₆	–	–	MIN5	MIN4	MIN3	MIN2	MIN1	MIN0	–	–	MAX5	MAX4	MAX3	MAX2	MAX1	MAX0	スライス設定
21₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
22₁₆	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

拡張レジスタデータへのアクセスは拡張レジスタアドレス制御レジスタ（0216$_{16}$番地）に表2.15.3のアクセスするアドレス（DA5～DA0）を設定し、続けて拡張レジスタデータ制御レジスタ（0218$_{16}$番地）よりデータ（DD15～DD0）を書き込みます。データの書き込みが終わると拡張レジスタアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。図2.15.5に拡張レジスタアクセス関連レジスタを、図2.15.6に拡張レジスタアクセスブロック図を示します。

また、拡張レジスタのビット構成をP152～ P162 に示します。

拡張レジスタ用アドレス制御レジスタ

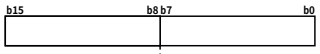


シンボル	アドレス	リセット時
DA	0216$_{16}$番地	0000$_{16}$

機　　能	設定可能値	R	W
アクセスする拡張レジスタ用のアドレスを指定します。	00$_{16}$～22$_{16}$	○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	–	–	–
拡張レジスタ用アドレスの自動インクリメント設定 0：有効／1：無効（注2）	–	×	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	–	–	–

注1：拡張レジスタにアクセスする場合は必ず拡張レジスタアドレスを設定した後に、拡張レジスタデータ制御レジスタ(0218$_{16}$)を使用して下さい。
注2：ビット8を“0”にした場合、拡張レジスタデータ制御レジスタをアクセスするごとに、拡張レジスタアドレスはインクリメントしますので、次の拡張レジスタのアドレスを設定する必要はありません。ビット8を“1”にした場合、アドレスは固定となります。

拡張レジスタ用データ制御レジスタ



シンボル	アドレス	リセット時
DD	0218$_{16}$番地	0000$_{16}$

機　　能	設定可能値	R	W
拡張レジスタ用アドレス制御レジスタ（0216$_{16}$番地）で指定した拡張レジスタのデータ書き込み、読み出しを行います。	0000$_{16}$～FFFF$_{16}$	○	○

注：データアクセスは必ず16bit単位で行い、8bit単位でのアクセスはできません。

図2.15.5 拡張レジスタ用関連レジスタの構成

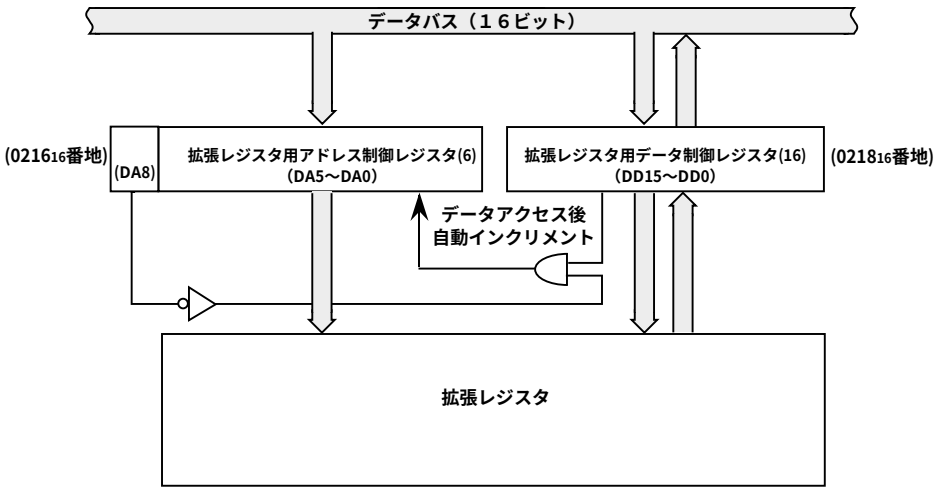
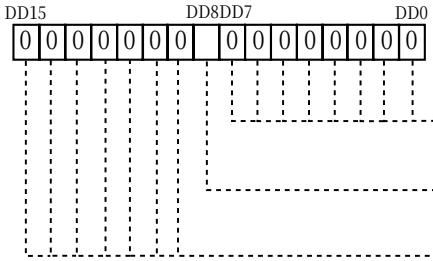


図2.15.6 拡張レジスタ用アクセスブロック図

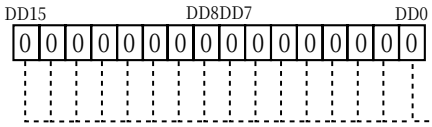
拡張レジスタ構成

（1） 00_{16}番地(＝DA5～0)



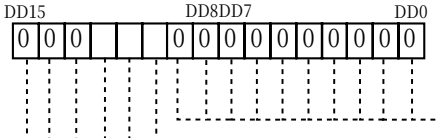
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○
STBY0	スタンバイモード選択ビット	0 ノーマルモード 1 スタンバイモード	○	○
予約ビット		必ず“0”にしてください。	×	○

（2） 01_{16}番地、02_{16}番地(＝DA5～0)



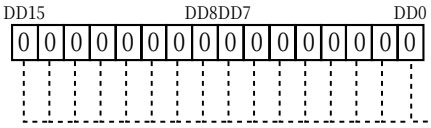
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

（3） 03_{16}番地(＝DA5～0)



ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○
TEST0	テスト用ビット	必ず“0”にしてください。	○	○
TEST1			○	○
TEST2			○	○
予約ビット		必ず“0”にしてください。	×	○

（4） 04_{16}番地～$0A_{16}$番地(＝DA5～0)

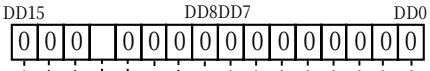


ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

（5） 0B16番地(＝DA5～0)

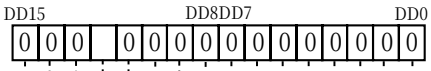
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○
PTC8	ポートP11出力選択ビット	0 P11出力 1 SLICEON出力	○	○
予約ビット		必ず“0”にしてください。	×	○
PTD8	ポートP11データ選択ビット	0 ポート出力時は“L”固定、SLICEON出力時は負極性 1 ポート出力時は“H”固定、SLICEON出力時は正極性	○	○
予約ビット		必ず“0”にしてください。	×	○

（6） 0C16番地(＝DA5～0)



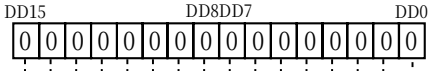
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にして下さい。	×	○
TIMBAS	タイムベース選択ビット	0 タイムベース OFF 1 タイムベース ON	○	○
予約ビット		必ず“0”にして下さい。	×	○

（7） 0D16番地(＝DA5～0)



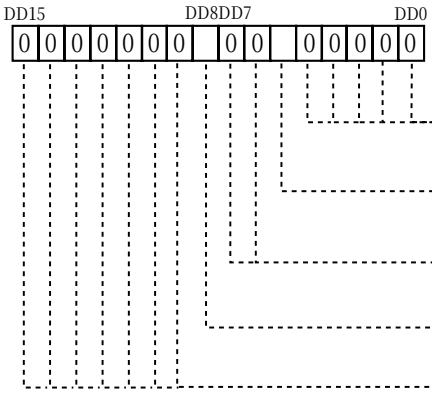
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にして下さい。	×	○
NXP	放送形式選択ビット	0 NTSC 1 PAL	○	○
予約ビット		必ず“0”にして下さい。	×	○

（8） 0E16番地(＝DA5～0)



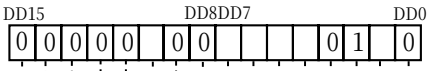
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

（9） 0F16番地(＝DA5～0)



ビットシンボル	ビット名	機　能		R	W
予約ビット		必ず“0”にしてください。		×	○
SEL_PDCH	PDC用クロック選択ビット	0	設定しないでください。	○	○
		1	fSC端子入力を基準にPDC用クロックを発生		
予約ビット		必ず“0”にしてください。		×	○
ADON	データスライサ制御ビット	0	データスライサOFF	○	○
		1	データスライサON		
予約ビット		必ず“0”にしてください。		×	○

（10） 1016番地(＝DA5～0)



ビットシンボル	ビット名	機　能		R	W
予約ビット		必ず“0”にしてください。		×	○
VPS_SUB	VPSデータ用フレーミングコードチェック選択ビット	0	フレーミングコード16ビット中後ろの8ビット	○	○
		1	フレーミングコード16ビット前から4ビット＋後ろから4ビット (VPS_FLC0～7で設定する8ビットを選ぶ)		
予約ビット		必ず“1”にしてください。		×	○
予約ビット		必ず“0”にしてください。		×	○
SLI_VP0	スライス開始ライン選択ビット (第1フィールド、第2フィールド共通) 通常は6ライン目から18ライン分格納 (SLI_VP2～SLI_VP0＝“3_{16}”固定)	スライス開始ラインをSLI_VSとすると <第1フィールド>$SLI_VS = \sum_{n=0}^{2} 2^n SLI_VPn + 3$ <第2フィールド>$SLI_VS = \sum_{n=0}^{2} 2^n SLI_VPn + 315$ 本レジスタで設定したラインから18ライン分のデータをスライスRAMに格納します。		○	○
SLI_VP1				○	○
SLI_VP2				○	○
SLSLVL	スライスレベル制御ビット	0	データスライス用自動レベルの調整	○	○
		1	データスライス用固定レベルの調整		
予約ビット		必ず“0”にしてください。		×	○
SYNCSEP_ON0	シンクセパ制御ビット	0	シンクセパ回路OFF	○	○
		1	シンクセパ回路ON		
予約ビット		必ず“0”にしてください。		×	○

（11） 11_{16}番地(＝DA5～0)

DD15							DD8	DD7							DD0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○
予約ビット		必ず“1”にしてください。	×	○
予約ビット		必ず“0”にしてください。	×	○

（12） 12_{16}番地(＝DA5～0)

DD15							DD8	DD7							DD0
	0	0	0	0	0	0	0	0	0						

ビットシンボル	ビット名	機　能	R	W
SEKI0	データスライサ制御ビット1	SEKI1 SEKI0 N 0 0 5 0 1 4 1 0 3 1 1 2 AD後のデジタル値をN倍します。	○	○
SEKI1			○	○
SEKI2	データスライサ制御ビット2	SEKI3 SEKI2 N 0 0 4 0 1 3 1 0 1 1 1 微分しない SEKI0,1後のデジタル値に対して N/8 周期（クロックライン周期）前の デジタルデータで微分します。	○	○
SEKI3			○	○
SEKI4	データスライサ制御ビット3	SEKI5 SEKI4 N 0 0 4 0 1 3 1 0 1 1 1 微分しない SEKI3,2後のデジタル値に対して N/8 周期（クロックライン周期）後の デジタルデータで微分します。	○	○
SEKI5			○	○
予約ビット		必ず“0”に設定してください。	×	○
SEL_VPSH	VPS用クロック選択ビット	0 設定しないでください。 1 fSC端子入力を基準にVPS用クロックを発生	○	○

（13） 13_{16}番地、14_{16}番地(＝DA5～0)

DD15							DD8	DD7							DD0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

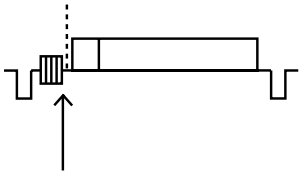
（14） 15_{16}番地(＝DA5～0)

DD15							DD8	DD7							DD0
0	0		0	0	0		0	0		0	0		0	0	0

ビットシンボル	ビット名	機　能		R	W
予約ビット		必ず“0”にしてください。		×	○
XTAL_VCO	同期クロック発振選択ビット	0	同期用クロック停止	○	○
		1	同期用クロック発振		
予約ビット		必ず“0”にしてください。		×	○
PDC_VCO_ON	PDCクロック発振選択ビット	0	PDC用クロック停止	○	○
		1	PDC用クロック発振		
予約ビット		必ず“0”にしてください。		×	○
VPS_VCO_ON	VPS、VBIクロック発振選択ビット	0	VPS、VBI用クロック停止	○	○
		1	VPS、VBI用クロック発振		
予約ビット		必ず“0”にしてください。		×	○
STBY1	スタンバイモード選択ビット	0	ノーマルモード	○	○
		1	スタンバイモード		
予約ビット		必ず“0”にしてください。		×	○

（15） 16_{16}番地(＝DA5～0)

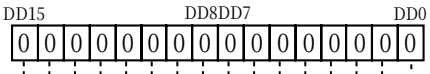
DD15							DD8	DD7							DD0
0	0	0	0	0			0								

ビットシンボル	ビット名	機　能	R	W
PDC_HP3	PDCスライスチェック開始位置選択ビット	PDC用スライスチェック開始位置をPDC_HSとすると $PDC_HS = T3 \times \sum_{n=3}^{10} 2^{(n-3)} PDC_HPn$ T3 : PDCのクロックランイン周期÷2  フレーミングコードをチェックし始める位置を設定 144ns (1ビット) 単位で設定可	○	○
PDC_HP4			○	○
PDC_HP5			○	○
PDC_HP6			○	○
PDC_HP7			○	○
PDC_HP8			○	○
PDC_HP9			○	○
PDC_HP10			○	○
予約ビット		必ず“0”にしてください。	×	○
PD1	PDC,VPS,VBIクロックの位相調整ビット	通常は$PD2 \sim PD1 = (10)_2$に設定してください。	○	○
PD2			○	○
予約ビット		必ず“0”にしてください。	×	○

（16） 17_{16}番地(＝DA5～0)

ビットシンボル	ビット名	機　能	R	W
VPS_HP3	VPS、VBIスライスチェック開始位置選択ビット	VPS、VBIのスライスチェック開始位置をVPS_HSとすると $VPS_HS = T2 \times \sum_{n=3}^{10} 2^{(n-3)} VPS_HPn$ T2 : VPS又はVBIのクロックランイン周期÷2 フレーミングコードをチェックし始める位置を設定 VPS・・・200ns (1ビット) 単位 VBI・・・800ns (1ビット) 単位 で設定可	○	○
VPS_HP4			○	○
VPS_HP5			○	○
VPS_HP6			○	○
VPS_HP7			○	○
VPS_HP8			○	○
VPS_HP9			○	○
VPS_HP10			○	○
予約ビット		必ず“0”にしてください。	×	○
何も配置されていない			×	×
予約ビット		必ず“0”にしてください。	×	○
SOFTSLS	ソフト対応スライサ選択ビット	0 PDC, VPS, VBI 1 XDS, WSS, VBI-ID	○	○
予約ビット		必ず“0”にしてください。	×	○
HGSLS	データスライサ制御ビット	0 PDC, VPS 1 VBI	○	○
HGSL	データスライサ制御ビット	必ず“1”にしてください。	○	○

（17） 18_{16}番地(＝DA5～0)



ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

（18） 19_{16}番地(＝DA5～0)

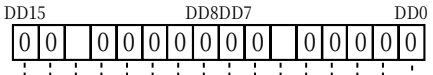
DD15							DD8	DD7						DD0
0	0	0						0	0					

ビットシンボル	ビット名	機　能		R	W
PDCF1	PDCデータスライス選択ビット (フィールド1)	0	フィールド1のPDCデータをスライスしない。	○	○
		1	フィールド1のPDCデータをスライスする。		
PDCF2	PDCデータスライス選択ビット (フィールド2)	0	フィールド2のPDCデータをスライスしない。	○	○
		1	フィールド2のPDCデータをスライスする		
VPSF1	VPSデータスライス選択ビット (フィールド1)	0	フィールド1のVPSデータをスライスしない。	○	○
		1	フィールド1のVPSデータをスライスする		
VPSF2	VPSデータスライス選択ビット (フィールド2)	0	フィールド2のVPSデータをスライスしない。	○	○
		1	フィールド2のVPSデータをスライスする		
VBIF1	VBIデータスライス選択ビット (フィールド1)	0	フィールド1のVBIデータをスライスしない。	○	○
		1	フィールド1のVBIデータをスライスする		
VBIF2	VBIデータスライス選択ビット (フィールド2)	0	フィールド2のVBIデータをスライスしない。	○	○
		1	フィールド2のVBIデータをスライスする		
予約ビット		必ず“0”にしてください。		×	○
VPS_LINE0	VPSデータスライスライン選択ビット	VPSデータスライスラインをVPS_LINESとすると $VPS_LINES = \sum_{n=0}^{4} 2^n VPS_LINEn + 7$ 通常16ライン固定 (VPS_LINE4～VPS_LINE0 = “09_{16}”固定) 00_{16}～10_{16}の中から設定 (7ライン～23ライン)		○	○
VPS_LINE1				○	○
VPS_LINE2				○	○
VPS_LINE3				○	○
VPS_LINE4				○	○
予約ビット		必ず“0”にしてください。		×	○

（19） 1A16番地(＝DA5～0)

ビットシンボル	ビット名	機　能	R	W
PDC_FLC0	PDCスライス時フレーミングコード選択ビット	【PDC】 クロックランイン　フレーミングコード(8ビット)　データ　設定 PDC_FLC0～PDC_FLC7 PDC_FLC0～7 = 11100100	○	○
PDC_FLC1			○	○
PDC_FLC2			○	○
PDC_FLC3			○	○
PDC_FLC4	VBIスライス時フレーミングコード選択ビット	【VBI】 クロックランイン　フレーミングコード(24ビット)　データ PDC_FLC4～7　VPS_FLC0～7 後から12ビットを設定	○	○
PDC_FLC5			○	○
PDC_FLC6			○	○
PDC_FLC7			○	○
VPS_FLC0	VPS、VBIスライス時フレーミングコード選択ビット	【VPS】 VPS_SUB (12₁₆番地) = 0の場合 クロックランイン　フレーミングコード(16ビット)　データ VPS_FLC0～VPS_FLC7 後から8ビットを設定 VPS_FLC0～7 = 10011001 VPS_SUB = 1の場合 フレーミングコード(16ビット)　データ VPS_FLC0～3　VPS_FLC4～7 (前から4ビット)　(後ろから4ビット) の計8ビット設定 VPS_FLC0～7 = 10001001	○	○
VPS_FLC1			○	○
VPS_FLC2			○	○
VPS_FLC3			○	○
VPS_FLC4			○	○
VPS_FLC5			○	○
VPS_FLC6			○	○
VPS_FLC7			○	○

（20） 1B16番地(＝DA5～0)



ビットシンボル	ビット名	機　能		R	W
予約ビット		必ず“0”にしてください。		×	○
CHK_PDC5	フレミングコードチェック制御ビット	0	PDC_FLC5は有効	○	○
		1	PDC_FLC5は無効（注1）		
予約ビット		必ず“0”にしてください。		×	○
CHK_VPS5	フレミングコードチェック制御ビット	0	VPS_FLC5は有効	○	○
		1	VPS_FLC5は無効（注1）		
予約ビット		必ず“0”にしてください。		×	○

注1.　VBIスライス時には必ず"1"に設定して下さい。

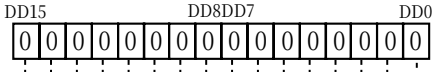
（21） 1C16番地(＝DA5～0)

ビットシンボル	ビット名	機　能		R	W
DIV_PDCS0	PDC用PLL微調整ビット	PDC用スライスクロック周波数f_{PDC}の調整をします。		○	○
DIV_PDCS1				○	○
DIV_PDCS2				○	○
DIV_PDC0	PDC用PLLの分周値選択ビット	DIV_PDC8～0= $(000010010)_2$ DIV_PDCS2 ～0= $(101)_2$ と設定してください。		○	○
DIV_PDC1				○	○
DIV_PDC2				○	○
DIV_PDC3				○	○
DIV_PDC4				○	○
DIV_PDC5				○	○
DIV_PDC6				○	○
DIV_PDC7				○	○
DIV_PDC8				○	○
SELPEEK	ピーク点検出選択ビット	0	A/Dデータから検出	○	○
		1	演算後のデータから検出。 通常 "1" 設定してください。		
予約ビット		必ず“0”にしてください。		×	○

（22） 1D16番地(＝DA5～0)

ビットシンボル	ビット名	機　能	R	W
DIV_VPSS0	VPS、VBI用PLL調整ビット	VPS、VBI用スライスクロック周波数 f_{VPS}の調整をします。	○	○
DIV_VPSS1			○	○
DIV_VPSS2			○	○
DIV_VPS0	VPS、VBI用PLLの分周値選択ビット	DIV_VPS8～0= (000001111) 2 DIV_VPSS2 ～0= (110) 2 と設定してください。	○	○
DIV_VPS1			○	○
DIV_VPS2			○	○
DIV_VPS3			○	○
DIV_VPS4			○	○
DIV_VPS5			○	○
DIV_VPS6			○	○
DIV_VPS7			○	○
DIV_VPS8			○	○
予約ビット		必ず“0”にしてください。	×	○

（23） 1E16番地(＝DA5～0)



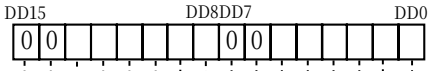
ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

（24） 1F16番地(＝DA5～0)

ビットシンボル	ビット名	機　能	R	W
予約ビット		書き込み不可。 読み出し専用ビットです。	×	×
FLD	フィールドフラグ	0 第2　フィールド 1 第1　フィールド	○	×
予約ビット		書き込み不可。 読み出し専用ビットです。	×	×
NGSYNC	同期信号検出フラグ	0 正常 1 異常	○	×
予約ビット		書き込み不可。 読み出し専用ビットです。	×	×

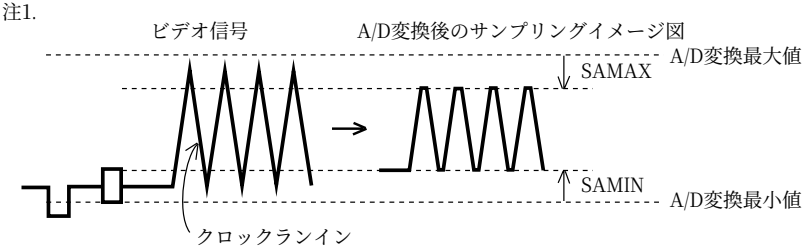
注1. 同期信号中（スライス期間）の不要信号を検出します。

（25） 20_{16}番地(＝DA5～0)

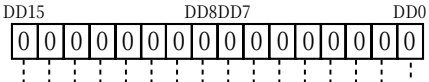


ビットシンボル	ビット名	機　能	R	W
MAX0	スライスデータサンプリング最大値選択ビット	A/D後のサンプリング最大値を設定します。 $SAMAX = \sum_{n=0}^{5} 2^n \times MAXn$（注1）	○	○
MAX1			○	○
MAX2			○	○
MAX3			○	○
MAX4			○	○
MAX5			○	○
予約ビット		必ず“0”にしてください。	×	○
MIN0	スライスデータサンプリング最小値選択ビット	A/D後のサンプリング最小値を設定します。 $SAMIN = \sum_{n=0}^{5} 2^n \times MINn$（注1）	○	○
MIN1			○	○
MIN2			○	○
MIN3			○	○
MIN4			○	○
MIN5			○	○
予約ビット		必ず“0”にしてください。	×	○

注1.



（26） 21_{16}番地、22_{16}番地(＝DA5～0)



ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”にしてください。	×	○

2.15.5 拡張レジスタ構成の補足

(1) スライスタイミング

SLICEON信号はスライス可能期間に出力します。

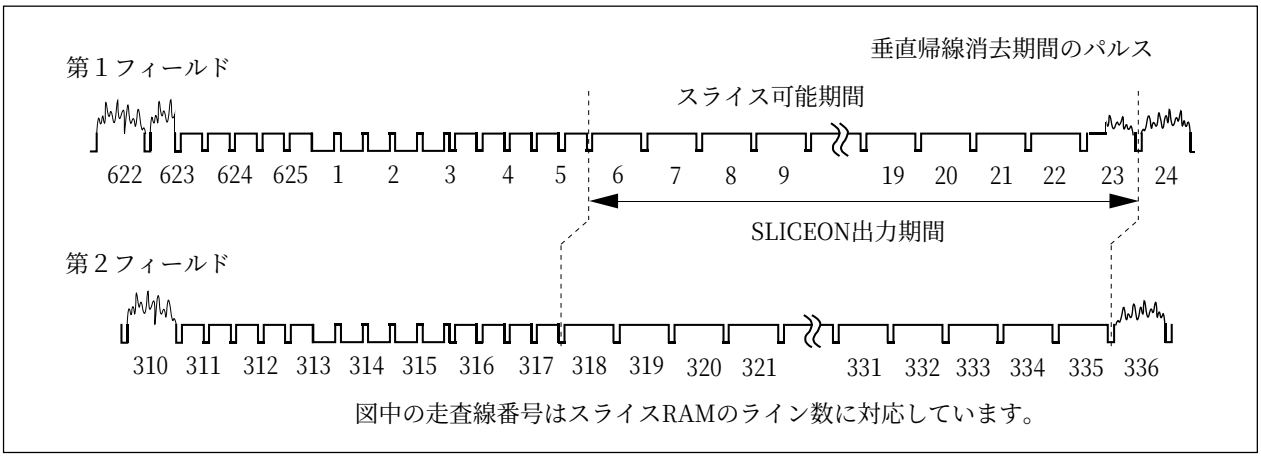


図2.15.7 スライスタイミング

2.15.6 8/4ハミングデコーダ

8/4ハミングデコーダは8/4ハミングレジスタ（021A16番地）に8/4ハミングエンコードされたデータを書き込むだけで動作します。また、8/4ハミングレジスタは16ビットの構成になっており、一度に2組のデータをデコードすることができます。

デコード結果は8/4ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。また、1重誤りの場合はデコード値を訂正して出力し、2重誤りの場合はエラー情報のみを出力します。

図2.15.8にデコード結果を、図2.15.9にハミング8/4レジスタの構成を示します。

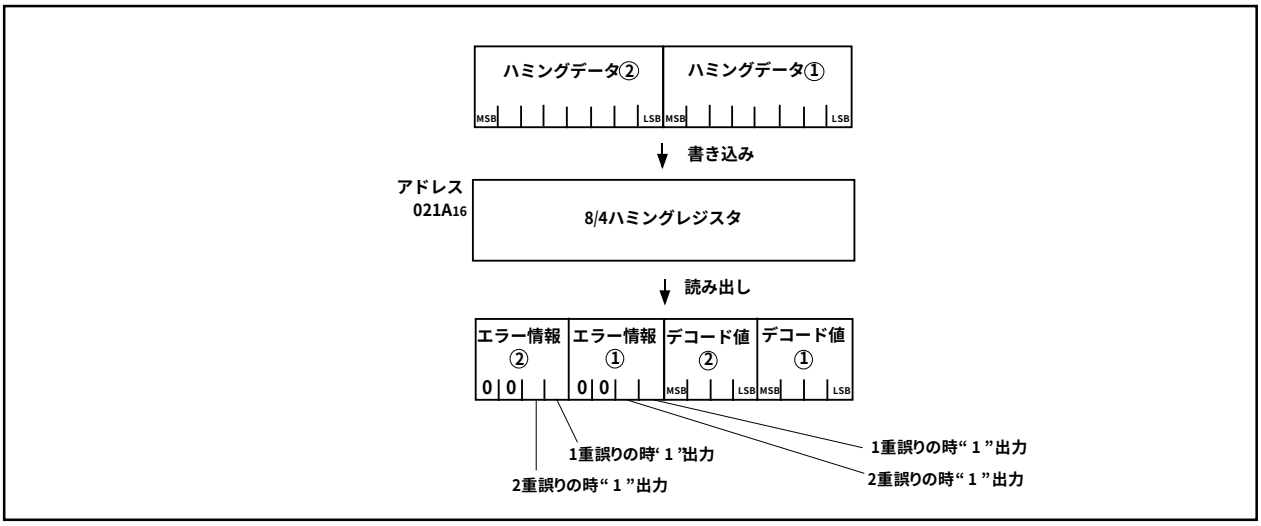


図2.15.8 デコード結果

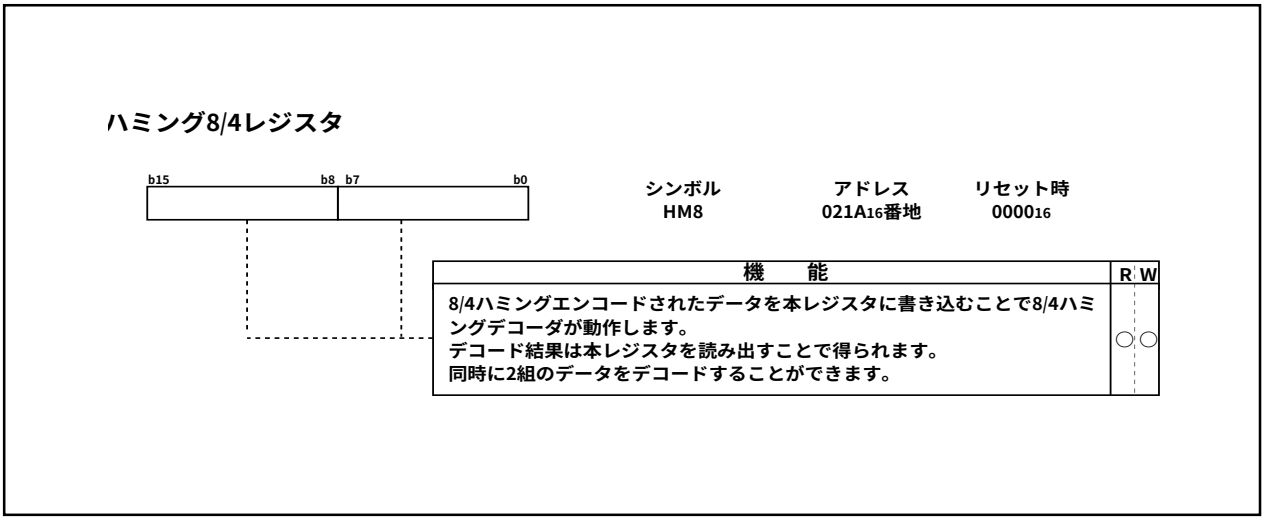


図2.15.9 ハミング8/4レジスタの構成

2.15.7 24/18ハミングデコーダ

24/18ハミングデコーダは、24/18ハミングレジスタ0（021C16番地）と24/18ハミングレジスタ1（021E16番地）に24/18ハミングエンコードされたデータを書き込むだけで動作します。

デコード結果は同じ24/18ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。

図2.15.10にデコード結果を、図2.15.11にハミング24/18レジスタの構成を示します。

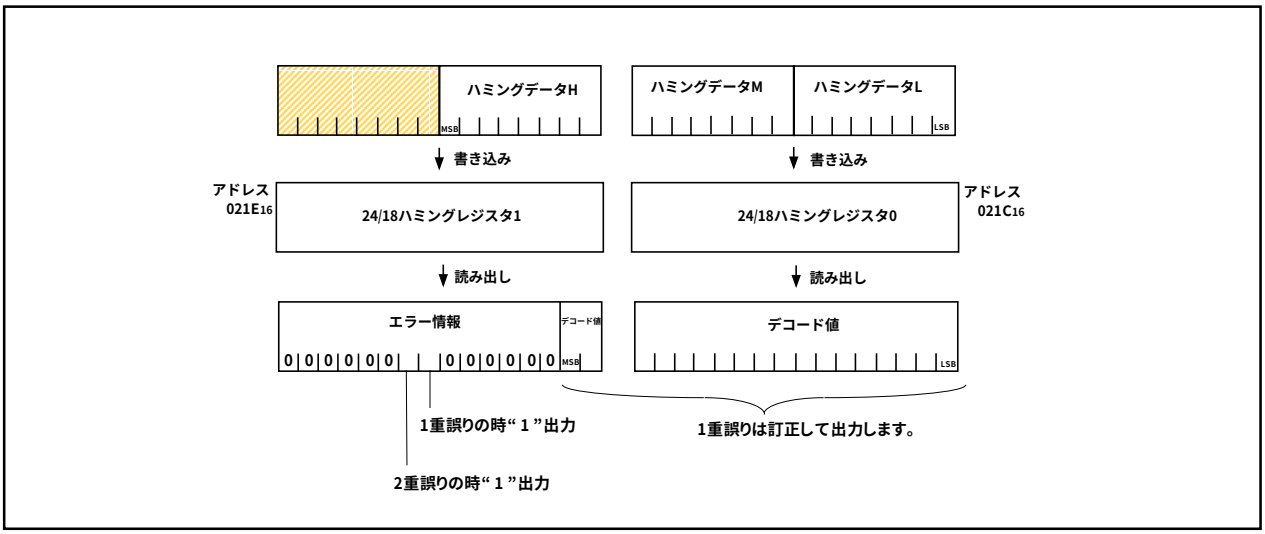


図2.15.10 デコード結果

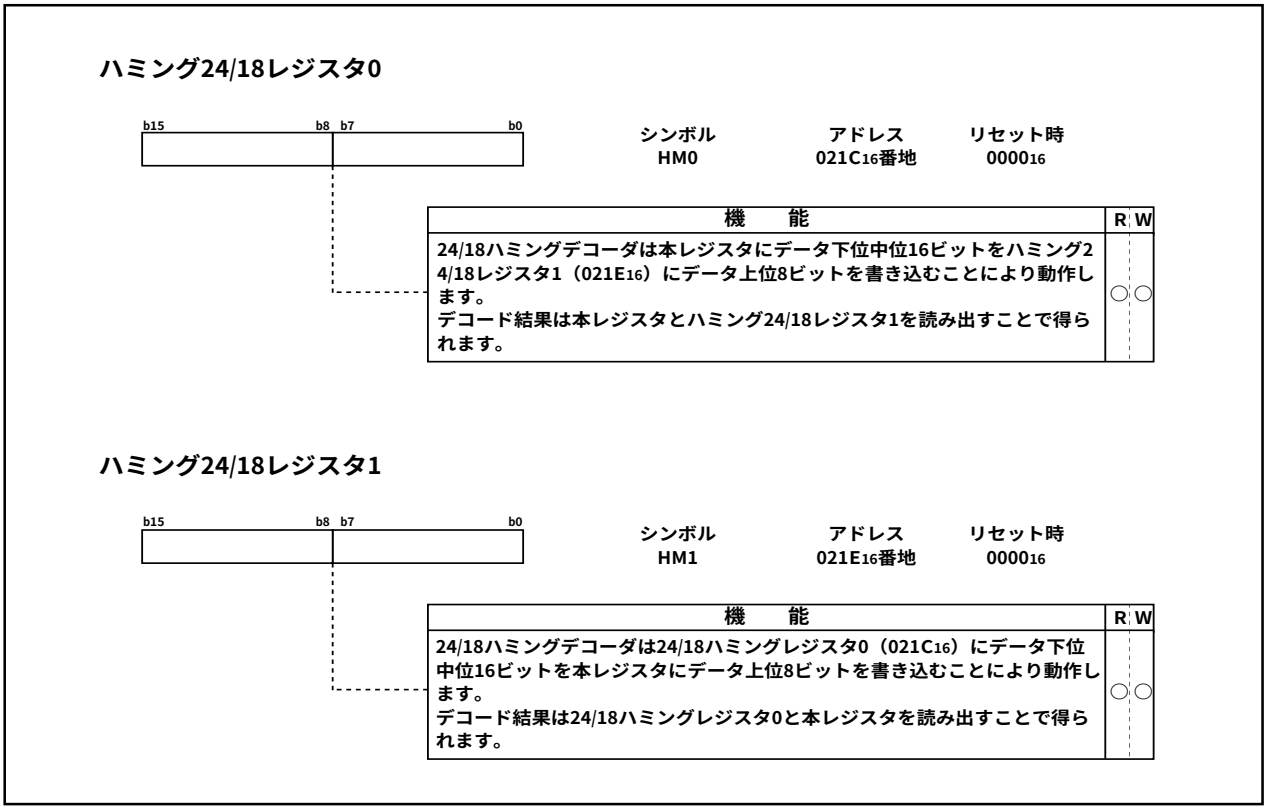


図2.15.11 ハミング24/18レジスタの構成

連続誤り訂正

ハミング24／18レジスタと同時に、8/4ハミングレジスタ（021A16番地）を使用することにより24/18ハミングの連続誤り訂正を行うことができます。

図2.15.12に連続誤り訂正シーケンスを示します。

A	ﾊﾐﾝｸﾞﾃﾞｰﾀ① M	ﾊﾐﾝｸﾞﾃﾞｰﾀ① L
B	ﾊﾐﾝｸﾞﾃﾞｰﾀ② L	ﾊﾐﾝｸﾞﾃﾞｰﾀ① H
C	ﾊﾐﾝｸﾞﾃﾞｰﾀ② H	ﾊﾐﾝｸﾞﾃﾞｰﾀ② M
D	ﾊﾐﾝｸﾞﾃﾞｰﾀ③ M	ﾊﾐﾝｸﾞﾃﾞｰﾀ③ L
E	ﾊﾐﾝｸﾞﾃﾞｰﾀ④ L	ﾊﾐﾝｸﾞﾃﾞｰﾀ③ H
F	ﾊﾐﾝｸﾞﾃﾞｰﾀ④ H	ﾊﾐﾝｸﾞﾃﾞｰﾀ④ M

1.データAを021C16番地に、データBを021E16番地に書き込む
(ハミングデータ①とハミングデータ②のLをデータセット)
2.021C16番地,021E16番地のデータを読み出す
(ハミングデータ①のデコード値、エラー情報が得られます)
3.データCを021A16番地に書き込む
(ハミングデータ②のH,Mをデータセット)
4.021C16番地,021E16番地のデータを読み出す
(ハミングデータ②のデコード値、エラー情報が得られます)
5.データDを021C16番地に、データEを021E16番地に書き込む
(ハミングデータ③とハミングデータ④のLをデータセット)
6.021C16番地,021E16番地のデータを読み出す
(ハミングデータ③のデコード値、エラー情報が得られます)
7.データFを021A16番地に書き込む
(ハミングデータ④のH,Mをデータセット)
8.021C16番地,021E16番地のデータを読み出す
(ハミングデータ④のデコード値、エラー情報が得られます)

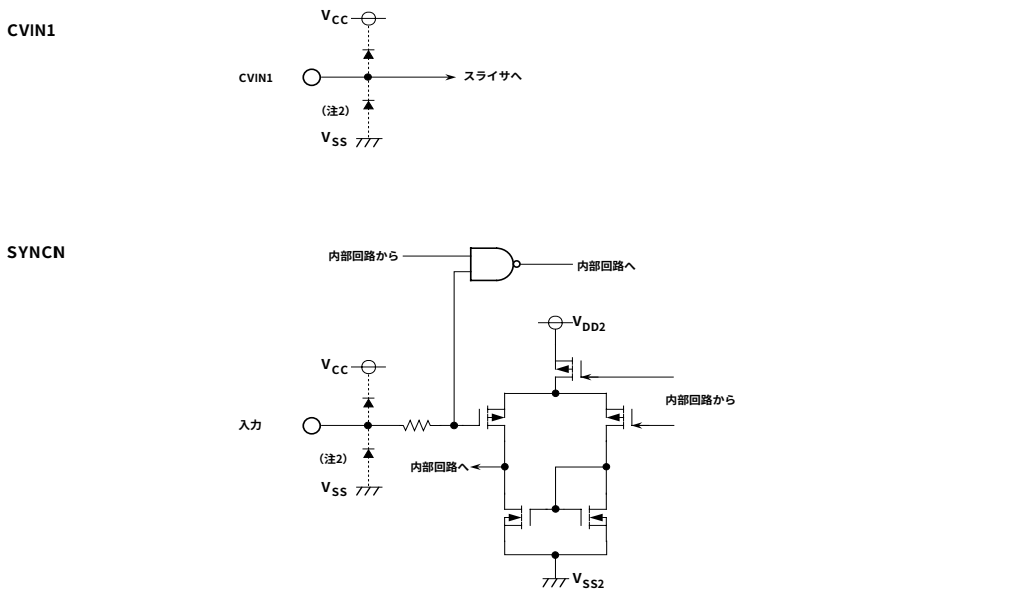
図2.15.12 連続誤り訂正シーケンス

なお、本動作については、ハミング8／4の回路を一部使用しておりますので、本動作を同時に使用できません。

ハミング回路を使用する場合はハミングデータセット後に、デコード結果読み出し動作をすぐに行い、デコード結果読み出し前に他のメモリ（ハミング回路を含む）へのアクセスを行わないで下さい。

2.15.8 拡張機能用端子の入出力構成

拡張機能用端子の構成を、図2.15.13、図2.15.14に示します。



注1. 拡張レジスタ構成を参照下さい。

注2. ……◀…… は寄生ダイオードです。
各ポートへの印加電圧はVCCを越えないようにしてください。

図2.15.13 拡張機能用端子の構成（1）

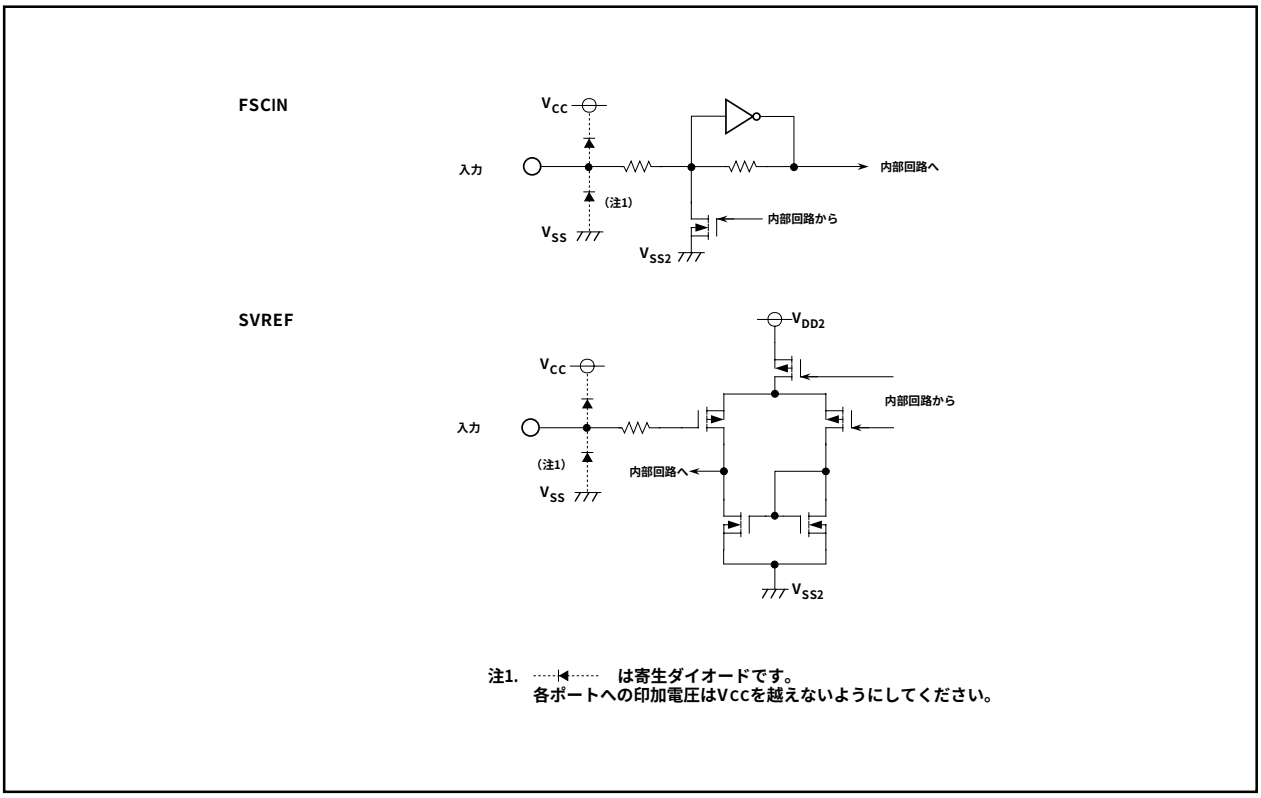


図2.15.14 拡張機能用端子の構成（2）

2.16 プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図2.16.1～図2.16.4に、端子の構成を、図2.16.5に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図2.16.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、$\overline{CS0}$～$\overline{CS3}$、$\overline{RD}$、$\overline{WRL}$/$\overline{WR}$、$\overline{WRH}$/$\overline{BHE}$、ALE、$\overline{RDY}$、$\overline{HOLD}$、$\overline{HLDA}$、BCLKに設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図2.16.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、$\overline{CS0}$～$\overline{CS3}$、$\overline{RD}$、$\overline{WRL}$/$\overline{WR}$、$\overline{WRH}$/$\overline{BHE}$、ALE、$\overline{RDY}$、$\overline{HOLD}$、$\overline{HLDA}$、BCLKに設定している端子のポートレジスタの内容は変更できません。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図2.16.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。

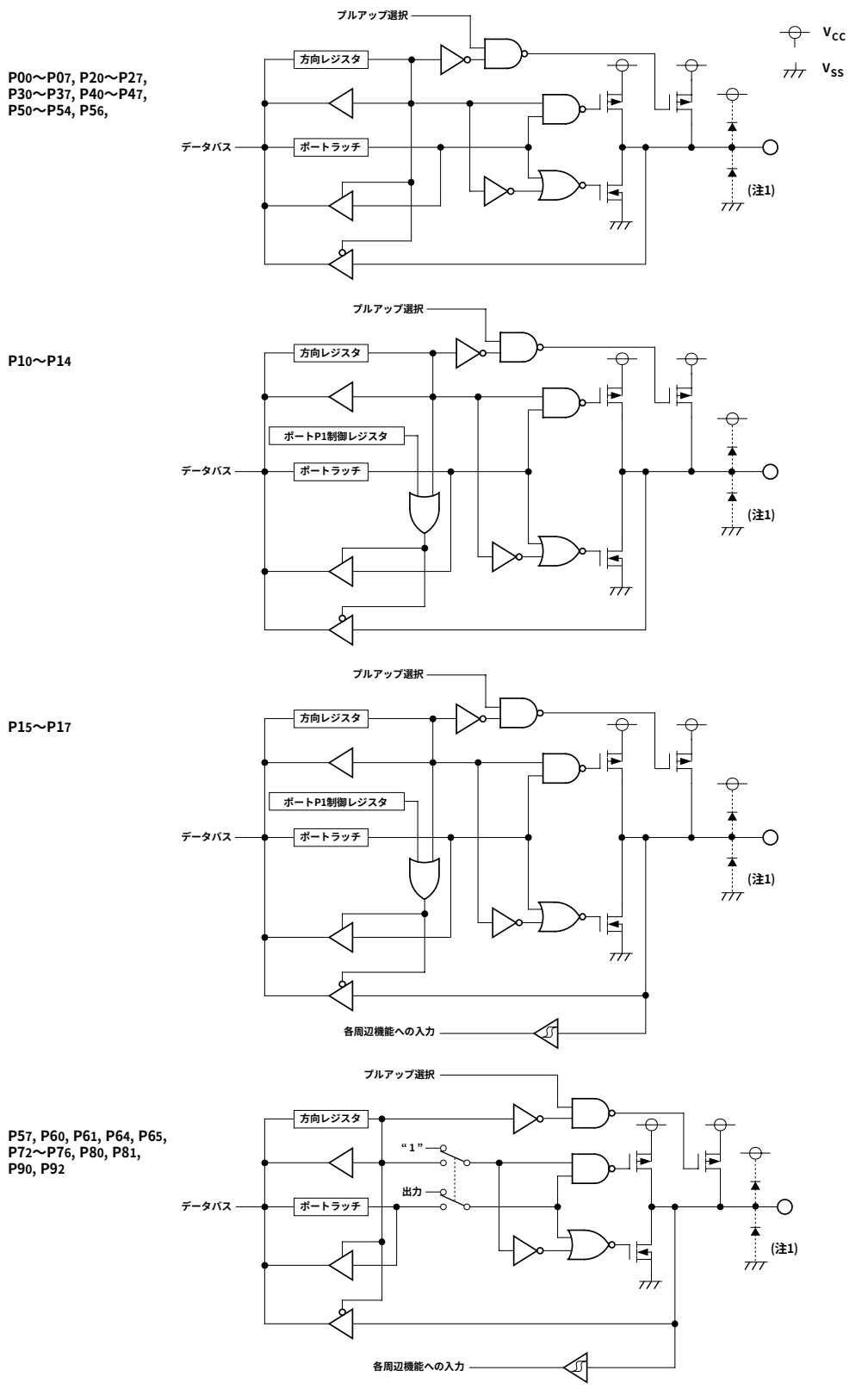
(4) ポート制御レジスタ

ポート制御レジスタの構成を、図2.16.9に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下の様になります。

0 : 入力ポートのとき、端子の入力レベルを読み出す
　出力ポートのとき、ポートP1レジスタの内容を読み出す
1 : 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。



注1. ⋯⋯ は寄生ダイオードです。
各ポートへの印加電圧はVccを越えないようにしてください。

図2.16.1 プログラマブル入出力ポートの構成(1)

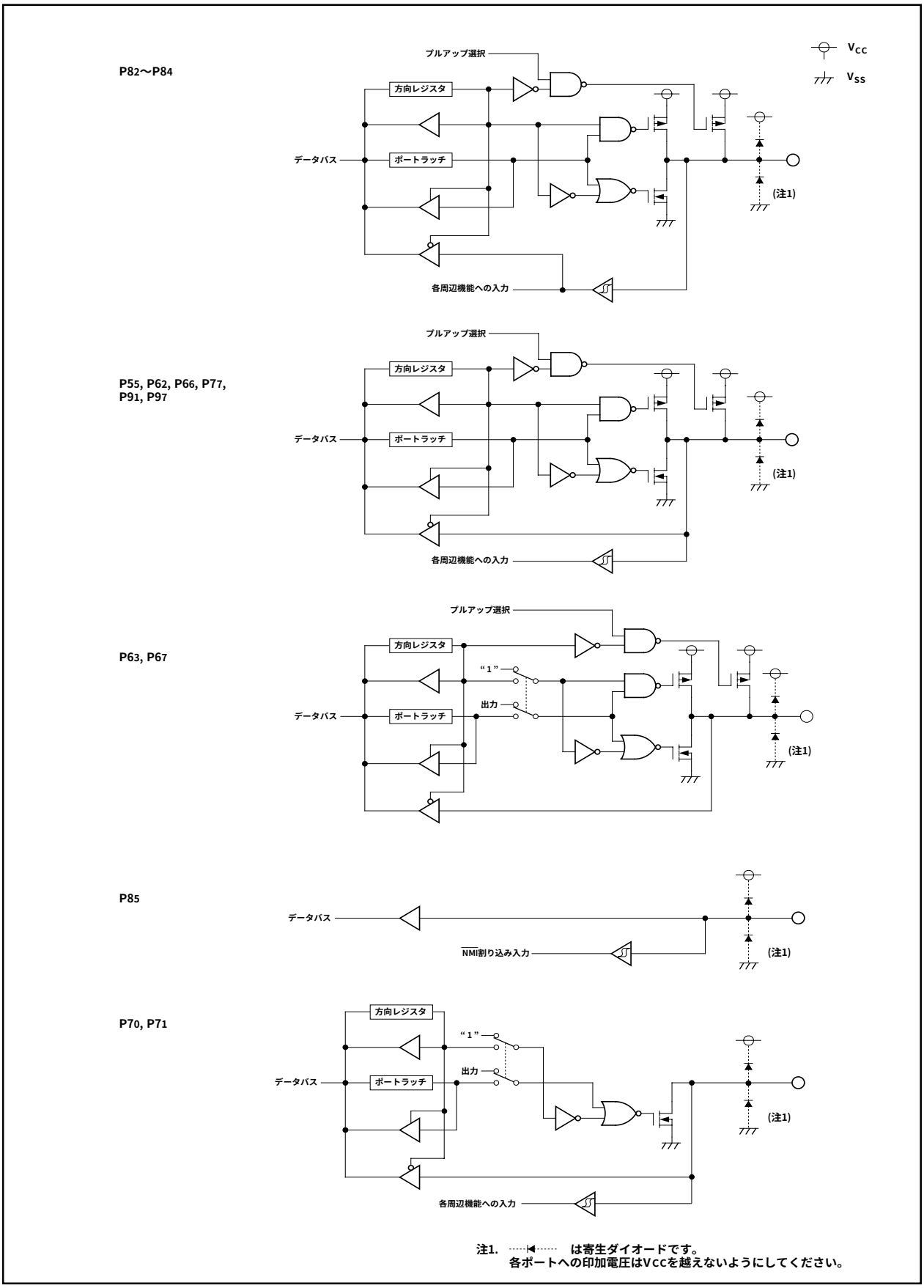


図2.16.2 プログラマブル入出力ポートの構成(2)

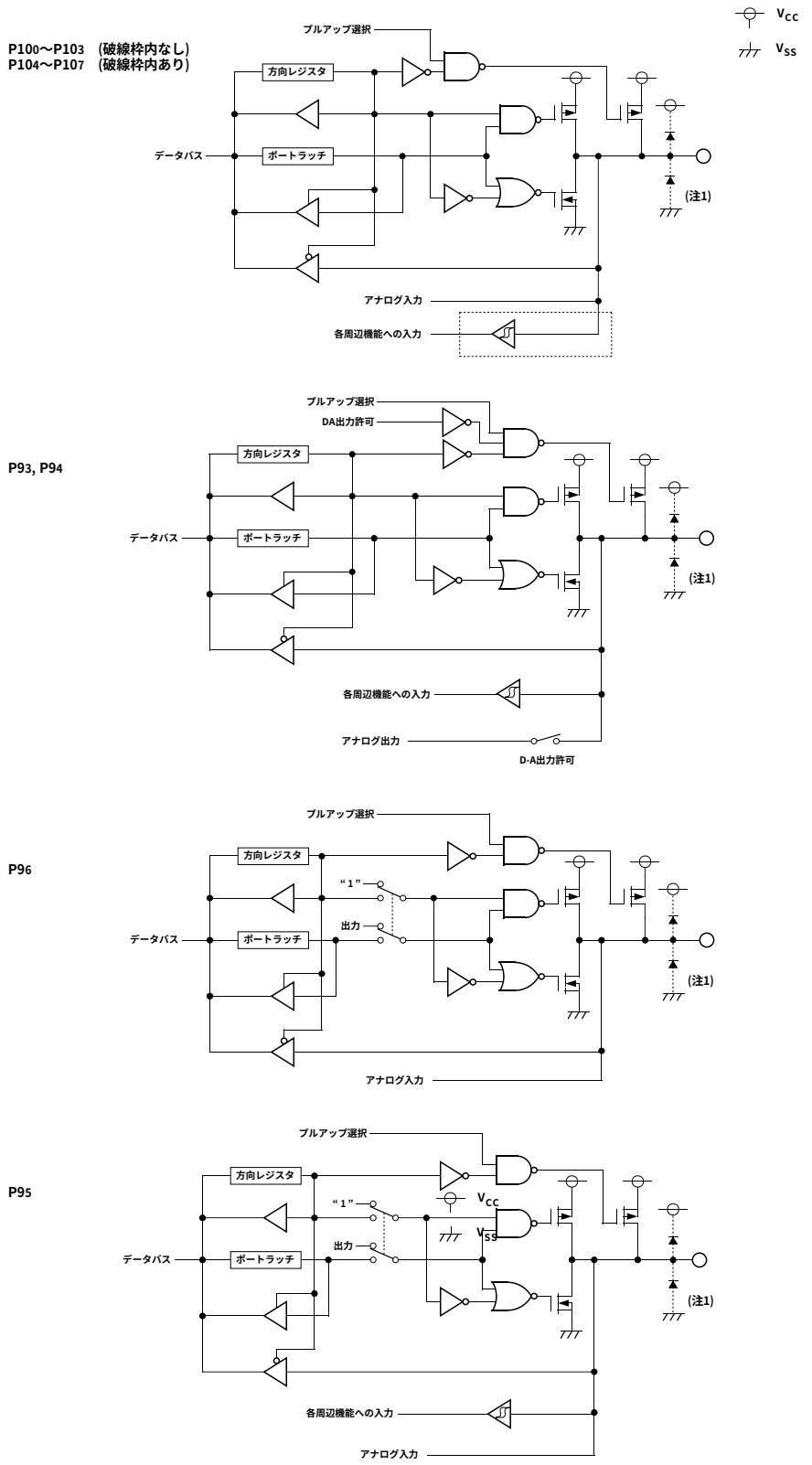


図2.16.3 プログラマブル入出力ポートの構成(3)

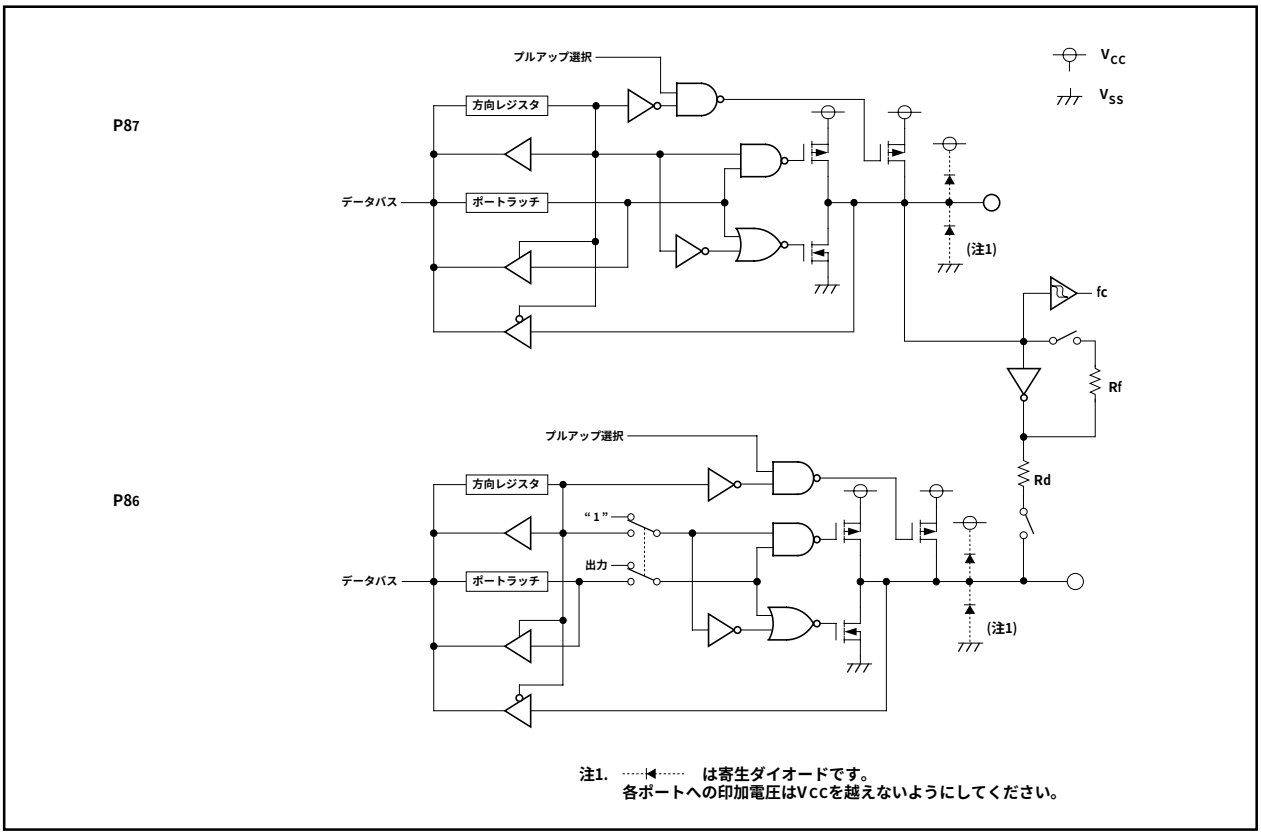


図2.16.4 プログラマブル入出力ポートの構成(4)

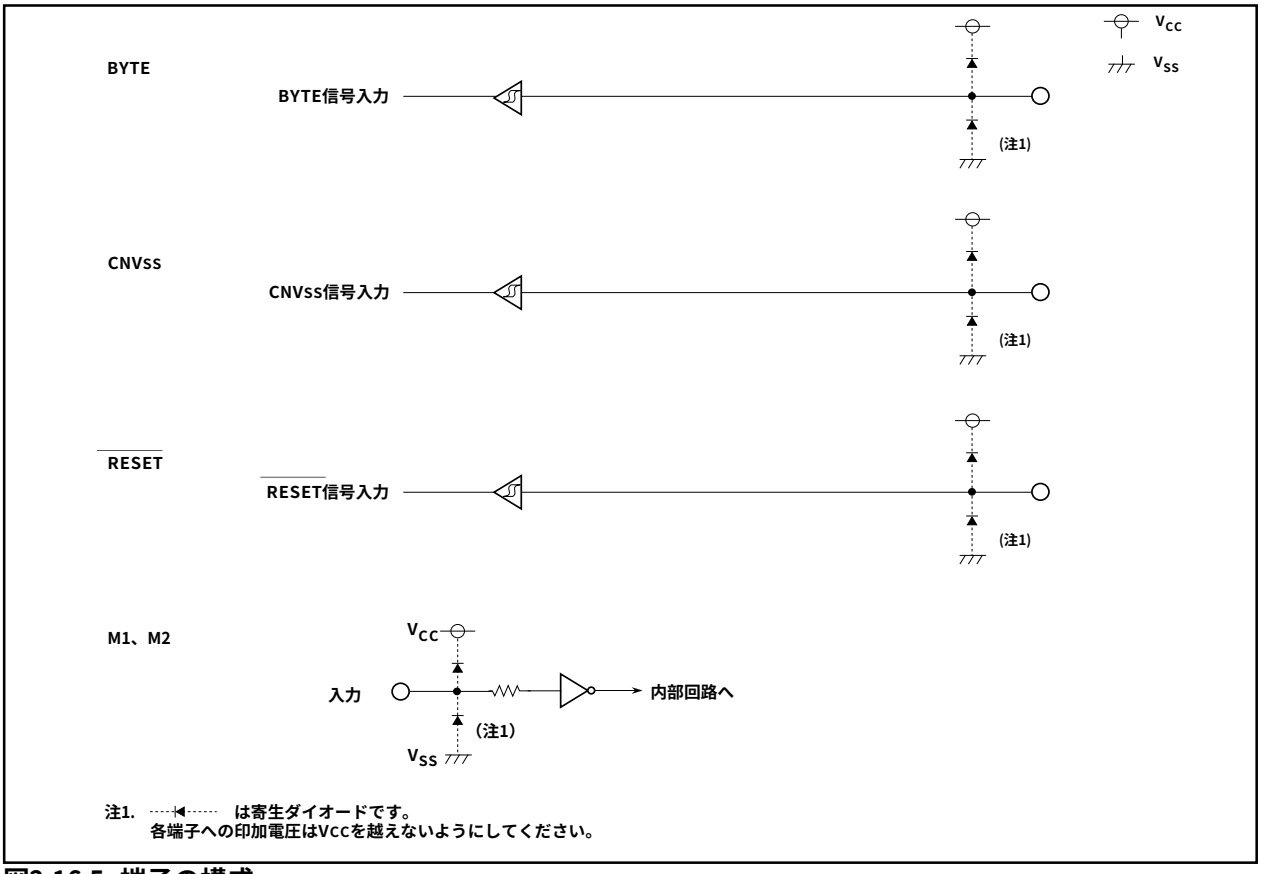


図2.16.5 端子の構成

ポートPi方向レジスタ(注1, 注2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PDi(i=0～10 ただし8は除く)	$03E2_{16}$,$03E3_{16}$,$03E6_{16}$,$03E7_{16}$,$03EA_{16}$番地 $03EB_{16}$,$03EE_{16}$,$03EF_{16}$,$03F3_{16}$,$03F6_{16}$番地	00_{16} 00_{16}

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0～10 ただし8は除く)	○	○
PDi_1	ポートPi1方向レジスタ		○	○
PDi_2	ポートPi2方向レジスタ		○	○
PDi_3	ポートPi3方向レジスタ		○	○
PDi_4	ポートPi4方向レジスタ		○	○
PDi_5	ポートPi5方向レジスタ		○	○
PDi_6	ポートPi6方向レジスタ		○	○
PDi_7	ポートPi7方向レジスタ		○	○

注1. ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A $_{16}$番地)のビット2を“1”にしてください。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、$\overline{CS0}$～$\overline{CS3}$、$\overline{RD}$、$\overline{WRL}$ / $\overline{WR}$、$\overline{WRH}$ / $\overline{BHE}$、ALE、$\overline{RDY}$、$\overline{HOLD}$、$\overline{HLDA}$、BCLK に設 定している端子のポートPi 方向レジスタの内容は変更できません。

ポートP8方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		X					

シンボル	アドレス	リセット時
PD8	$03F2_{16}$番地	$00X00000_2$

ビットシンボル	ビット名	機　　能	R	W
PD8_0	ポートP80方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_1	ポートP81方向レジスタ		○	○
PD8_2	ポートP82方向レジスタ		○	○
PD8_3	ポートP83方向レジスタ		○	○
PD8_4	ポートP84方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PD8_6	ポートP86方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_7	ポートP87方向レジスタ		○	○

図2.16.6 方向レジスタの構成

ポートPiレジスタ（注2）

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
Pi(i=0～10	$03E0_{16}$,$03E1_{16}$,$03E4_{16}$,$03E5_{16}$,$03E8_{16}$番地	不定
ただし8は除く)	$03E9_{16}$,$03EC_{16}$,$03ED_{16}$,$03F1_{16}$,$03F4_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル(注1) (i=0～10　ただし8は除く)	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

注1. $P7_0$、$P7_1$はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。
注2. メモリ拡張モード時またはマイクロプロセッサモード時、A0 ～A19 、D0 ～D15 、$\overline{CS0}$ ～$\overline{CS3}$ 、$\overline{RD}$ 、$\overline{WRL}$ / $\overline{WR}$ 、$\overline{WRH}$ / $\overline{BHE}$ 、ALE 、$\overline{RDY}$ 、$\overline{HOLD}$ 、$\overline{HLDA}$ 、BCLK に設 定している端子のポートPi 方向レジスタの内容は変更できません。

ポートP8レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
P8	$03F0_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
P8_0	ポートP80レジスタ	対応するビットの読み出し、および書き込み(ただしP85は除く)で対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P8_1	ポートP81レジスタ		○	○
P8_2	ポートP82レジスタ		○	○
P8_3	ポートP83レジスタ		○	○
P8_4	ポートP84レジスタ		○	○
P8_5	ポートP85レジスタ		○	×
P8_6	ポートP86レジスタ		○	○
P8_7	ポートP87レジスタ		○	○

図2.16.7 ポートレジスタの構成

プルアップ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR0	$03FC_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU01	$P0_4$～$P0_7$のプルアップ		○	○
PU02	$P1_0$～$P1_3$のプルアップ		○	○
PU03	$P1_4$～$P1_7$のプルアップ		○	○
PU04	$P2_0$～$P2_3$のプルアップ		○	○
PU05	$P2_4$～$P2_7$のプルアップ		○	○
PU06	$P3_0$～$P3_3$のプルアップ		○	○
PU07	$P3_4$～$P3_7$のプルアップ		○	○

プルアップ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR1	$03FD_{16}$番地	00_{16} (注2)

ビットシンボル	ビット名	機　　能	R	W
PU10	$P4_0$～$P4_3$のプルアップ（注3）	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU11	$P4_4$～$P4_7$のプルアップ		○	○
PU12	$P5_0$～$P5_3$のプルアップ（注3）		○	○
PU13	$P5_4$～$P5_7$のプルアップ		○	○
PU14	$P6_0$～$P6_3$のプルアップ		○	○
PU15	$P6_4$～$P6_7$のプルアップ		○	○
PU16	$P7_2$～$P7_3$のプルアップ (注1)		○	○
PU17	$P7_4$～$P7_7$のプルアップ		○	○

注1.　$P7_0$、$P7_1$はNチャネルオープンドレインポートのため、プルアップはありません。
注2.　CNVss 端子にVcc レベルを印加しているときは、リセット時02_{16} になります
(PU11 が“1”に なります)。
注3.　メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更
できますが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳						

シンボル	アドレス	リセット時
PUR2	$03FE_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU20	$P8_0$～$P8_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU21	$P8_4$～$P8_7$のプルアップ (ただし$P8_5$は除く)		○	○
PU22	$P9_0$～$P9_3$のプルアップ		○	○
PU23	$P9_4$～$P9_7$のプルアップ		○	○
PU24	$P10_0$～$P10_3$のプルアップ		○	○
PU25	$P10_4$～$P10_7$のプルアップ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
			—	—

図2.16.8　プルアップ制御レジスタの構成

ポート制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PCR	$03FF_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PCR0	ポートP1制御レジスタ	0：入力ポートのとき、端子の入力レベルを読み出す 出力ポートのとき、ポートP1レジスタの内容を読み出す 1：入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

図2.16.9 ポート制御レジスタの構成

表2.16.1 シングルチップモード時の未使用端子の処理例

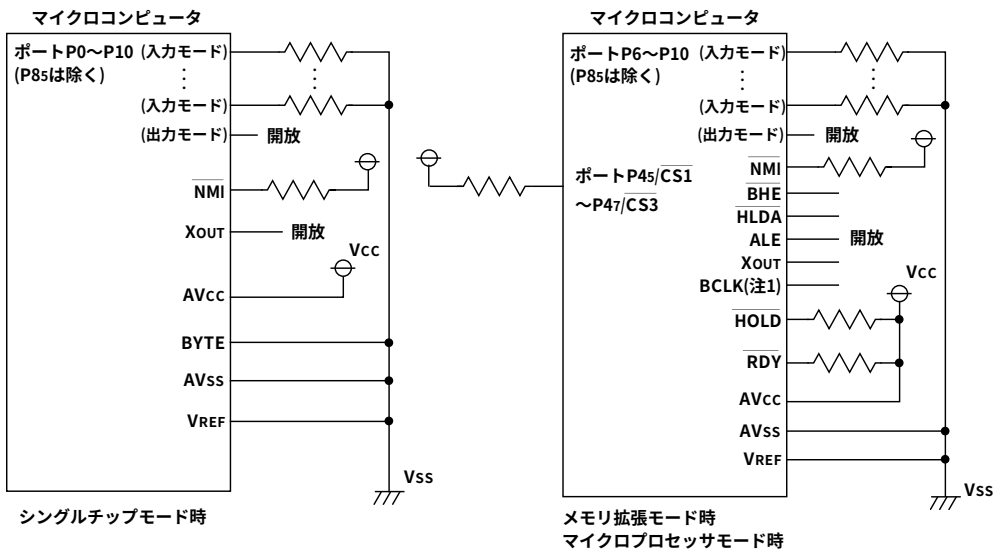
端　子　名	処　理　内　容
ポートP0～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
$\overline{NMI}$	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1.　XIN端子に外部クロックを入力しているとき

表2.16.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端　子　名	処　理　内　容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/$\overline{CS1}$～P47/$\overline{CS3}$	ポートを入力モードに設定し、$\overline{CS1}$～$\overline{CS3}$出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
$\overline{BHE}$, ALE, $\overline{HLDA}$, XOUT(注1), BCLK(注2)	開放
$\overline{HOLD}$, $\overline{RDY}$, $\overline{NMI}$	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1.　XIN端子に外部クロックを入力しているとき
注2.　BCLK出力禁止ビット(0004$_{16}$番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。



注1.　BCLK出力禁止ビット(0004$_{16}$番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。

図2.16.10 未使用端子の処理例

3. 使用上の注意事項

タイマＡの注意事項 (タイマモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマＡの注意事項 (イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF16が、オーバフロー時は0000 16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

(3) イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始時にタイマレジスタに値を設定しても、不定値からカウントを開始することがあります。この現象は、イベントカウンタモードのフリーランタイプだけで発生します。また、カウント中にタイマレジスタの値が不定になることはありません。

タイマＡの注意事項 (ワンショットタイマモード)

(1) カウント中にカウント開始フラグを“0”にすると次のようになります。
- ●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ●TAiOUT端子の出力レベルは“L”になります。
- ●割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。

(2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- ●リセット後、ワンショットタイマモードを選択したとき
- ●動作モードをタイマモードからワンショットタイマモードに変更したとき
- ●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

タイマＡの注意事項 (パルス幅変調モード)

(1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- ●リセット後、PWMモードを選択したとき
- ●動作モードをタイマモードからPWMモードに変更したとき
- ●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

(2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

(1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。

(2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

A-D変換器の注意事項

(1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始させてください。

(2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(3) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。

(4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

ストップモード、ウエイトモードの注意事項

(1) ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

(2) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

(3) 低速モードおよび低消費電力モード時には周辺機能クロック停止ビット(CM02)に“1”を設定してウエイトモードに移行しないでください。

割り込みの注意事項

(1) 00000016番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000016番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより00000016番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで00000016番地に対して読み出しを行わないでください。

(2)　スタックポインタの設定

●リセット直後スタックポインタの値は、“ 0000_{16} ”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3)　$\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCC端子に接続(プルアップ)してください。必ず端子処理は必要です。

●$\overline{\text{NMI}}$端子入力を“ L ”にした状態では、ストップモードには移行しないでください。

(4)　外部割り込み

●$\overline{\text{INT0}}$～$\overline{\text{INT5}}$端子の極性を切り替えるときに割り込み要求ビットが“ 1 ”になることがあります。切り替えを行った後、割り込み要求ビットを“ 0 ”にしてください。

(5)　割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP                    ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

マスクROM版／フラッシュメモリ版の相違点に関する注意事項

マスクROM版およびフラッシュメモリ版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施して下さい。

その他の注意事項

(1)電源投入時の注意事項

V_{CC}、V_{DD1}、V_{DD2}、V_{DD3}、AV_{CC}は同時に電源を投入してください。動作中は必ず同一電位に設定してください。

(2)電源ノイズ及びラッチアップ対策に関する注意点

電源ノイズ及びラッチアップ対策として、V_{CC}端子とV_{SS}端子間、V_{DD1}端子とV_{SS1}端子間、V_{DD2}端子とV_{SS2}端子間、V_{DD3}端子とV_{SS3}端子間、及びAV_{CC}端子とAV_{SS}端子間にバイパスコンデンサ（0.1μF以上）を最短距離で、かつ比較的太い配線を使って接続してください。

(3)データスライサ用発振回路停止の注意点

データスライサを使用しない場合は、拡張レジスタXTAL_VCO、PDC_VCO_ON、VPS_VCO_ONを“L”に設定し発振を停止ください。
再度発振開始する場合は以下の順で立ち上げてください。
(a)拡張レジスタXTAL_VCO=“H”
(b)拡張レジスタPDC_VCO_ON、VPS_VCO_ON=“H”
(c)60ms以上待ち状態(内部発振回路の安定期間＋データスライス準備)

※スライスRAMが動作する為には拡張レジスタXTAL_VCO=“H”に設定し、 FSCIN端子より4.43MHzのサブキャリア周波数のクロックを入力してください。同期用発振停止より発振開始する場合、及びFSCIN端子に4.43MHzを入力し始めた場合は、必ず20msを待ってメモリにアクセスしてください。

(4)ストップモード（クロック停止）時の注意点

各入力端子は次の通り設定願います。
(a)M1端子はV_{SS}
(b)FSCIN端子へのクロック入力停止
(c)拡張レジスタSTBY0、STBY1を“H”設定。それ以外の拡張レジスタは全て“L”設定。

(5)スタンバイモード（クロック停止）より動作スタートする時の注意点

拡張レジスタSTBY0、STBY1を“L”設定後にFSCIN端子へクロックを入力願います。

次に(3)内部発振停止から発振状態に戻す場合の注意点の通り設定願います。

(6)低電圧動作時(V_{CC}=3.0V)の注意点

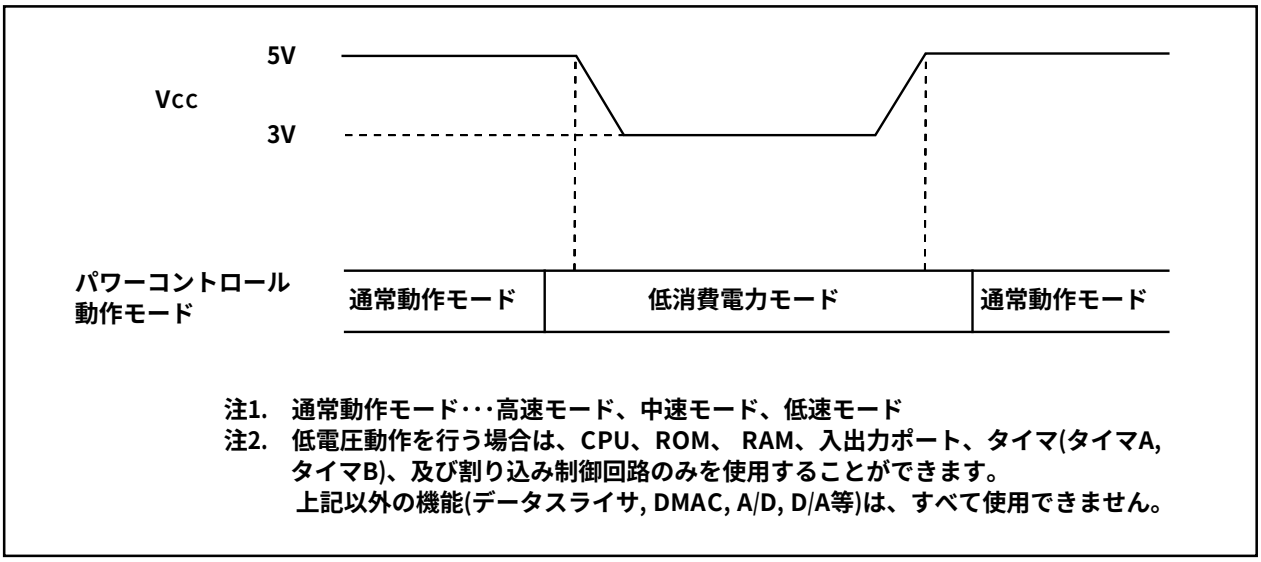
本製品はシングルチップモード時の低消費電力モードにおいて低電圧動作を行うことができます。

低電圧動作を行う場合、必ず低消費電力モード(BCLK:f(X_{CIN})選択、メインクロックX_{IN}:停止、サブクロックX_{CIN}:発振)に設定した後、電源電圧をV_{CC}=3.0Vに降圧してください。

また、通常動作に復帰する場合、低消費電力モードのまま電源電圧を5Vまで昇圧した後、通常動作モードに移行してください。

各種の動作モードの移行時には、2.5.7 パワーコントロール に示す状態遷移図（図2.5.5参照）に従って状態遷移してください。

図3.1に、動作モード移行時のV_{CC}電源電圧の状態を示します。



注1. 通常動作モード･･･高速モード、中速モード、低速モード
注2. 低電圧動作を行う場合は、CPU、ROM、 RAM、入出力ポート、タイマ(タイマA, タイマB)、及び割り込み制御回路のみを使用することができます。
上記以外の機能(データスライサ, DMAC, A/D, D/A等)は、すべて使用できません。

図3.1 動作モード移行時のVcc電源電圧状態

4. 電気的特性

表4.1 絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3～5.75	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3～5.75	V
V_I	入力電圧	RESET, CNVss, BYTE, $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, VREF, XIN, M1, M2		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$		−0.3～5.75	V
V_O	出力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_4$, $P8_6$, $P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, XOUT, P11		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$,		−0.3～5.75	V
P_d	消費電力		Ta=25 °C	1000	mW
T_{opr}	動作周囲温度			−20～ 70	°C
T_{stg}	保存温度			−40～125	°C

表4.2 推奨動作条件 (指定のない場合は、Vcc=4.75V～5.25V, Ta=－20°C～70°C)

記号	項目			規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧			4.75	5.0	5.25	V
AVcc	アナログ電源電圧				Vcc		V
Vss	電源電圧				0		V
AVss	アナログ電源電圧				0		V
V_{IH}	"H"入力電圧	$P3_1$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE, M1, M2		0.8Vcc		Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$(シングルチップモード時)		0.8Vcc		Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)		0.5Vcc		Vcc	V
V_{IL}	"L "入力電圧	$P3_1$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE, M1, M2		0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (シングルチップモード時)		0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)		0		0.16Vcc	V
V_{CVIN}	複合ビデオ入力電圧	CVIN,SYNCIN			2V P-P		V
V_{FSCIN}	入力電圧	FSCIN（注1）		0.3V P-P		4.0V P-P	V
I_{OH} (peak)	"H"尖頭出力電流（注2、3）	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, P11				－10.0	mA
I_{OH} (avg)	"H"平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, P11				－5.0	mA
I_{OL} (peak)	"L "尖頭出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, P11				10.0	mA
I_{OL} (avg)	"L "平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, P11				5.0	mA
f (X_{IN})	メインクロック入力発振周波数	ウエイトなし	Vcc=4.75V～5.25V	0		10	MHz
		ウエイトあり					
f (X_{CIN})	サブクロック発振周波数		Vcc=2.80V～5.25V(注4)		32.768	50	kHz
f ($_{FSCIN}$)	同期信号用発振周波数（デューティー40～60%）				4.434		MHz

注1. ノイズ成分は30mV以内。
注2. 平均出力電流は100msの期間内での平均値です
注3. ポートP0,P1,P2,$P8_6$～$P8_7$,P9,P10のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, $P8_6$～$P8_7$, P9, P10のIOH(peak)の合計は80mA下、ポートP3, P4, P5, P6, P7, $P8_0$～$P8_4$のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, $P7_2$～$P7_7$, $P8_0$～$P8_4$のIOH(peak)の合計は80mA以下にしてください。
注4. 低消費電力モードで使用してください。

表4.3 電気的特性(1) Vcc=5V(指定のない場合は、Vcc=5V,Vss=0V,Ta=25℃,f(XIN)=10MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₂～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OH}=−5mA	3.0			V
V_{OH}	"H"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₂～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OH}=−200μA	4.7			V
V_{OH}	"H"出力電圧 LP2～LP4		V_{CC}=4.75V,I_{OH}=−0.05mA	3.75			V
V_{OH}	"H"出力電圧 X_{OUT}	HIGHPOWER	I_{OH}=−1mA	3.0			V
		LOWPOWER	I_{OH}=−0.5mA	3.0			
	"H"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OL}=5mA			2.0	V
V_{OL}	"L"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OL}=200μA			0.45	V
V_{OL}	"L"出力電圧 LP2～LP4		V_{CC}=4.75V,I_{OL}=0.05mA			0.4	V
V_{OL}	"L"出力電圧 X_{OUT}	HIGHPOWER	I_{OL}=1mA			2.0	V
		LOWPOWER	I_{OL}=0.5mA			2.0	
	"L"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス $\overline{HOLD}$, $\overline{RDY}$, TA0IN～TA4IN, TB0IN～TB2IN, $\overline{INT_0}$～$\overline{INT_5}$, $\overline{ADTRG}$, $\overline{CTS_1}$, CLK1, TA2OUT～TA4OUT,$\overline{NMI}$,$\overline{KI_0}$～$\overline{KI_3}$			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス $\overline{CTS_0}$, CLK0			0.2		1.4	V
V_{T+}-V_{T-}	ヒステリシス $\overline{RESET}$			0.2		1.8	V
I_{IH}	"H"入力電流 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN, $\overline{RESET}$, CNVss, BYTE, M1, M2		V_I=5V			5.0	μA
I_{IL}	"L"入力電流 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN, $\overline{RESET}$, CNVss, BYTE, M1, M2		V_I=0V			−5.0	μA
R_{PULLUP}	プルアップ抵抗 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₂～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇		V_I=0V	30.0	50.0	167.0	kΩ
V_{SYNCIN}	垂直同期信号振幅			0.3	0.6	1.2	V
$V_{dat(text)}$	テレテキスト信号振幅			0.6	0.9	1.4	V
△f/f	表示用発振回路引き込み範囲			±7			%
f_H	水平同期信号周波数			14.6	15.625	17.0	kHz

表4.4 電気的特性(2) Vcc=3V (指定のない場合は、Vcc=3V,Vss=0V,Ta=25°C,f(XCIN)=32KHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₂～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OH}=−150μA	2.5			V
V_{OH}	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇ P11		I_{OL}=150μA			0.5	V
V_{OL}	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス TA0IN～TA4IN, TB0IN～TB2IN, $\overline{INT_0}$～$\overline{INT_5}$, TA2OUT～TA4OUT,NMI,KI₀～KI₃			0.2		0.8	V
I_{IH}	"H"入力電流 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN, $\overline{RESET}$, CNVss, BYTE, M1, M2		V_I=3V			4.0	μA
I_{IL}	"L"入力電流 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN, $\overline{RESET}$, CNVss, BYTE, M1, M2		V_I=0V			−4.0	μA
R_{PULLUP}	プルアップ抵抗 P0₀～P0₇,P1₀～P1₇,P2₀～P2₇,P3₀～P3₇,P4₀～P4₇,P5₀～P5₇,P6₀～P6₇,P7₂～P7₇,P8₀～P8₄,P8₆,P8₇,P9₀～P9₇,P10₀～P10₇		V_I=0V	66.0	120.0	500.0	kΩ

表4.5 電気的特性(3) (指定のない場合は、Vcc=5V,Vss=0V,Ta=25°C)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
RfXIN	帰還抵抗 XIN			1.0		MΩ
RfXCIN	帰還抵抗 XCIN			6.0		MΩ
VRAM	RAM保持電圧	クロック停止時	2.0			V
Icc	電源電流	スライサ動作時 f(XIN)=10MHz		150	180	mA
		Vcc=5.0V f(XCIN)=32kHz 方形波 (注1) (注2)		90.0		μA
		Vcc=3.0V f(XCIN)=32kHz 方形波 (注1) (注2)		40.0		μA
		Vcc=5.0V f(XCIN)=32kHz ウェイト時 (注1) (注2)		5.0	10.0	μA
		Vcc=3.0V f(XCIN)=32kHz ウェイト時 (注1) (注2)		3.0	8.0	μA
		クロック停止時 (注2)			5.0	μA

(注1) 発振能力はLOW、およびスライサ動作OFFでfc32にてタイマ1本を動作させている状態です。
(注2) ・VDD1, VDD2, VDD3は全てVccと同電位。
・拡張レジスタ（アドレス00_{16} DD8 ）STBY0と（アドレス15_{16} DD13）STBY1を“1”に設定し、
その他の拡張レジスタ（アドレス00_{16}～22_{16}）は全て“0”設定。
・FSCIN端子へのクロック入力は停止。
・SYNCIN端子, CVIN1端子への入力は停止。

表4.6 ビデオ信号入力条件（Vcc=5.0V,Ta=ー20～70°C）

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
VIN-CU	複合ビデオ信号入力クランプ電圧	シンクチップ電圧		1.0		V

表4.7 A-D変換特性 (指定のない場合は、V_{CC}=AV_{CC}=V_{REF}=5V, V_{SS}=AV_{SS}=0V, Ta=25°C, f(X_{IN})=10MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		V_{REF} =V_{CC}			8	Bits
–	絶対精度	サンプル&ホールド機能なし	V_{REF} =V_{CC}=5V			±3	LSB
		サンプル&ホールド機能あり(8bit)	V_{REF} =V_{CC}=5V			±2	LSB
R_{LADDER}	ラダー抵抗		V_{REF} =V_{CC}	10		40	kΩ
t_{CONV}	変換時間(8bit)			2.8			μs
t_{SAMP}	サンプリング時間			0.3			μs
V_{REF}	基準電圧			2		V_{CC}	V
V_{IA}	アナログ入力電圧			0		V_{REF}	V

表4.8 D-A変換特性 (指定のない場合は、V_{CC}=5V, V_{SS}=AV_{SS}=0V, V_{REF}=5V, Ta=25°C, f(X_{IN})=10MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
t_{su}	設定時間				3	μs
R_O	出力抵抗		4	10	20	kΩ
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00_{16} ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D制御レジスタでVref未接続とした場合でも、IVREFは流れます。

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃)

表4.9 外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

表4.10 メモリ拡張モードおよびマイクロプロセッサモード

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{ac1(RD-DB)}$	データ入力アクセス時間　（ウエイトなし）		（注1）	ns
$t_{ac2(RD-DB)}$	データ入力アクセス時間　（ウエイトあり）		（注1）	ns
$t_{ac3(RD-DB)}$	データ入力アクセス時間　（マルチプレクスバス領域をアクセスした場合）		（注1）	ns
$t_{su(DB-RD)}$	データ入力セットアップ時間	40		ns
$t_{su(RDY-BCLK)}$	$\overline{RDY}$入力セットアップ時間	30		ns
$t_{su(HOLD-BCLK)}$	$\overline{HOLD}$入力セットアップ時間	40		ns
$t_{h(RD-DB)}$	データ入力ホールド時間	0		ns
$t_{h(BCLK-RDY)}$	$\overline{RDY}$入力ホールド時間	0		ns
$t_{h(BCLK-HOLD)}$	$\overline{HOLD}$入力ホールド時間	0		ns
$t_{d(BCLK-HLDA)}$	$\overline{HLDA}$出力遅延時間		40	ns

注１：BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1(RD-DB)} = \frac{10^9 \times 1}{f(BCLK) \times 2} - 45\ [ns]$$

$$t_{ac2(RD-DB)} = \frac{10^9 \times 3}{f(BCLK) \times 2} - 45\ [ns]$$

$$t_{ac3(RD-DB)} = \frac{10^9 \times 3}{f(BCLK) \times 2} - 45\ [ns]$$

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃)

表4.11 タイマA入力 (イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	40		ns

表4.12 タイマA入力 (タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	200		ns

表4.13 タイマA入力 (ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表4.14 タイマA入力 (パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表4.15 タイマA入力 (イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

タイミング必要条件 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃)

表4.16 タイマB入力 (イベントカウンタモードのカウント入力)

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	80		ns

表4.17 タイマB入力 (パルス周期測定モード)

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表4.18 タイマB入力 (パルス幅測定モード)

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表4.19 A-Dトリガ入力

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L " パルス幅	125		ns

表4.20 シリアルI/O

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表4.21 外部割り込み$\overline{INTi}$入力

記 号	項 目	規格値 最小	規格値 最大	単位
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

スイッチング特性 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“ 1 ”)

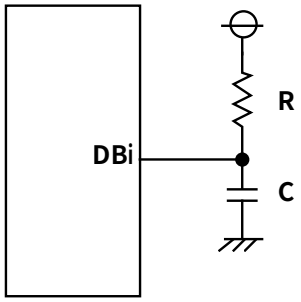
表4.22 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
td(BCLK-AD)	アドレス出力遅延時間	図4.1		40	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			40	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			40	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			40	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			40	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)\times 2} - 40 \quad [ns]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力“ L ” レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



スイッチング特性（指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”）

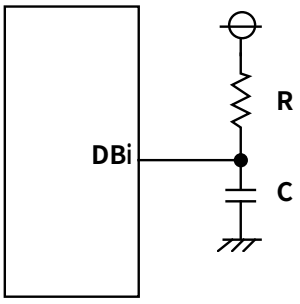
表4.23 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値 最小	規格値 最大	単位
td(BCLK-AD)	アドレス出力遅延時間	図4.1		40	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			40	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			40	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			40	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			40	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)} - 40 \quad [ns]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力“L”レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



スイッチング特性 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”)

表4.24 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値 最小	規格値 最大	単位
td(BCLK-AD)	アドレス出力遅延時間	図4.1		40	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		(注1)		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			40	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
th(RD-CS)	チップセレクト出力保持時間（RD基準）		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間（WR基準）		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			40	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			40	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間（BCLK基準）			40	ns
th(BCLK-ALE)	ALE出力保持時間（BCLK基準）		−4		ns
td(AD-ALE)	ALE出力遅延時間（アドレス基準）		(注1)		ns
th(ALE-AD)	ALE出力保持時間（アドレス基準）		50		ns
td(AD-RD)	アドレス後RD信号出力遅延時間		0		ns
td(AD-WR)	アドレス後WR信号出力遅延時間		0		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(WR-AD)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(RD-CS)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(WR-CS)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$td(DB-WR)=\frac{10^9\times 3}{f(BCLK)\times 2}-40\quad [ns]$$

$$th(WR-DB)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$td(AD-ALE)=\frac{10^9}{f(BCLK)\times 2}-40\quad [ns]$$

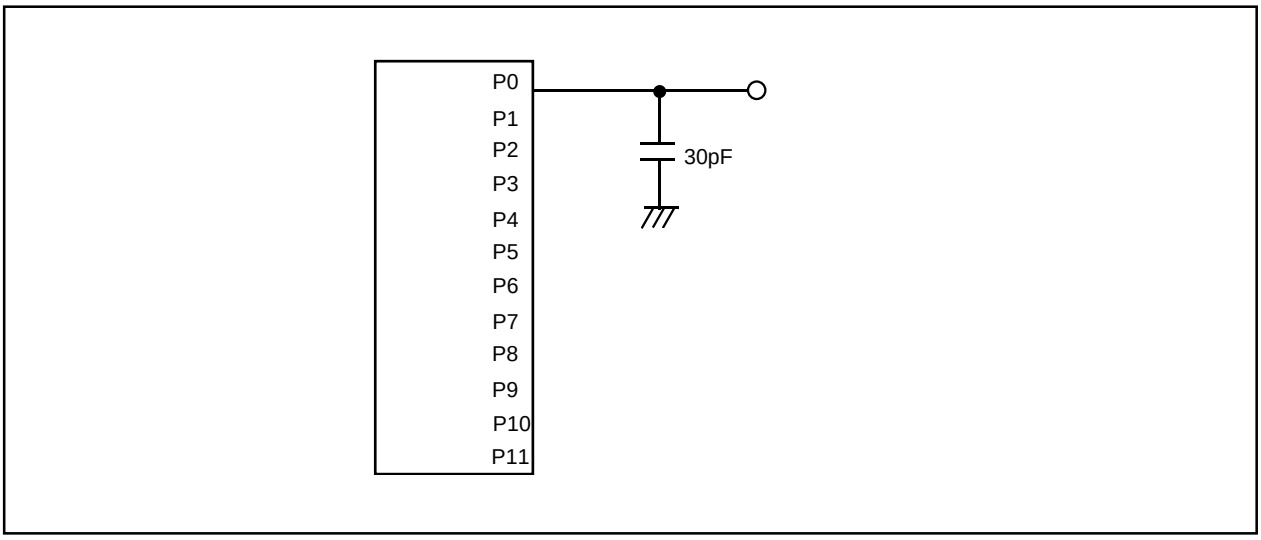


図4.1 ポートP0～P11の測定回路

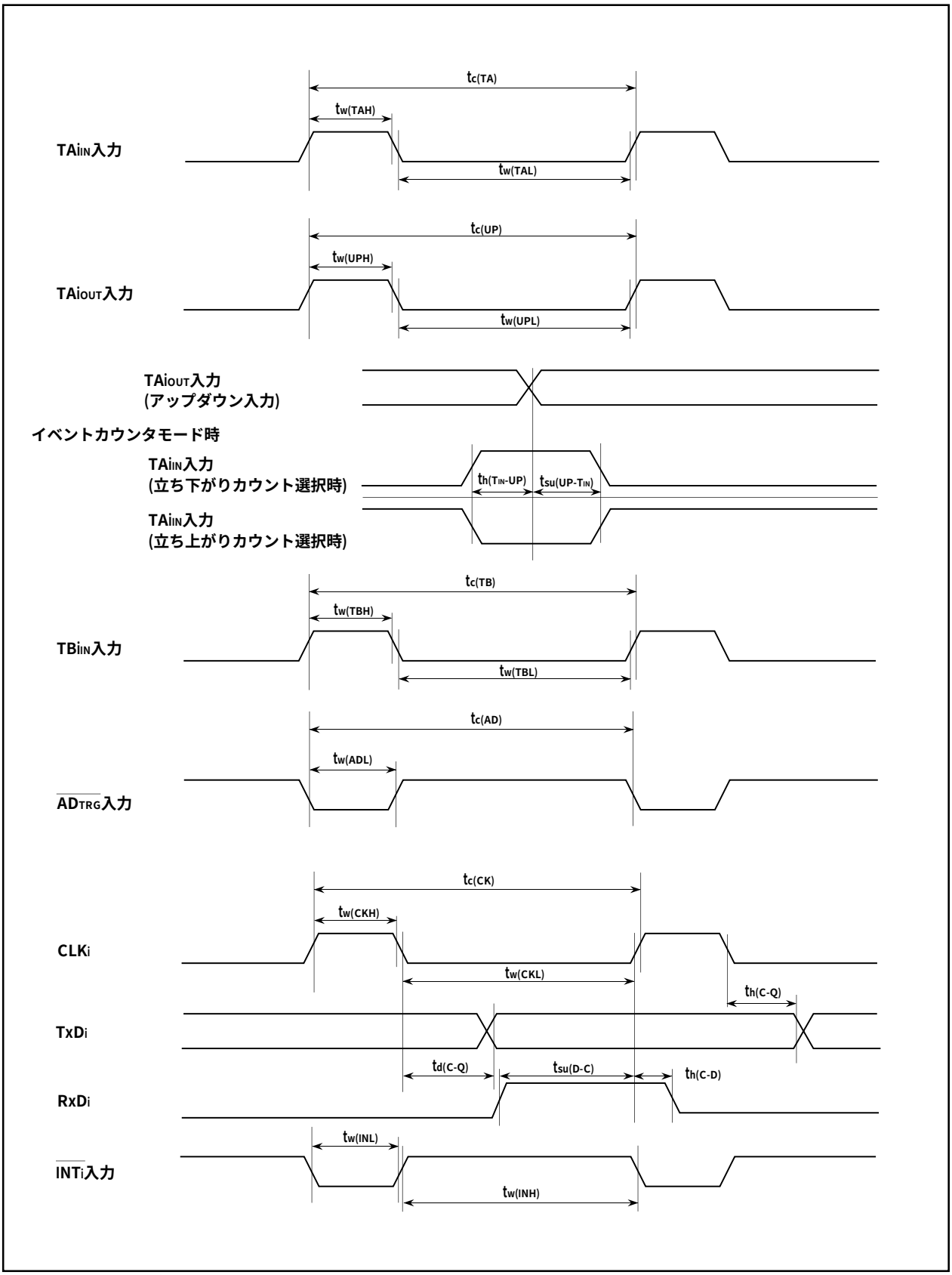
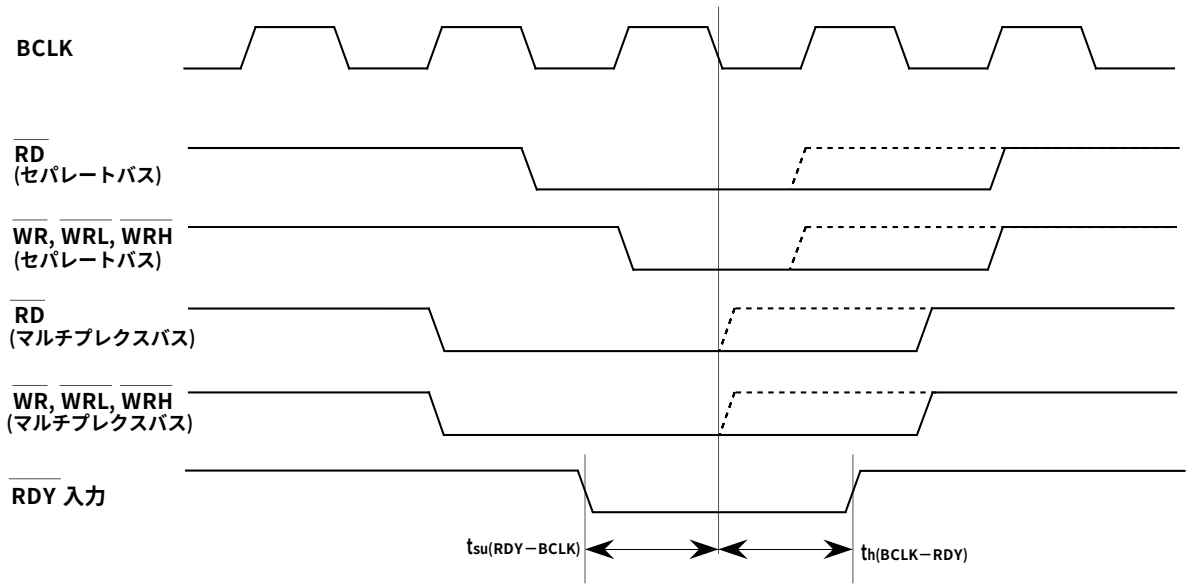

tc(TA)
tw(TAH)
TAiIN入力
tw(TAL)
tc(UP)
tw(UPH)
TAiOUT入力
tw(UPL)
TAiOUT入力
(アップダウン入力)
イベントカウンタモード時
TAiIN入力
(立ち下がりカウント選択時)
th(TIN-UP)
tsu(UP-TIN)
TAiIN入力
(立ち上がりカウント選択時)
tc(TB)
tw(TBH)
TBiIN入力
tw(TBL)
tc(AD)
tw(ADL)
ADTRG入力
tc(CK)
tw(CKH)
CLKi
tw(CKL)
th(C-Q)
TxDi
td(C-Q)
tsu(D-C)
th(C-D)
RxDi
tw(INL)
INTi入力
tw(INH)

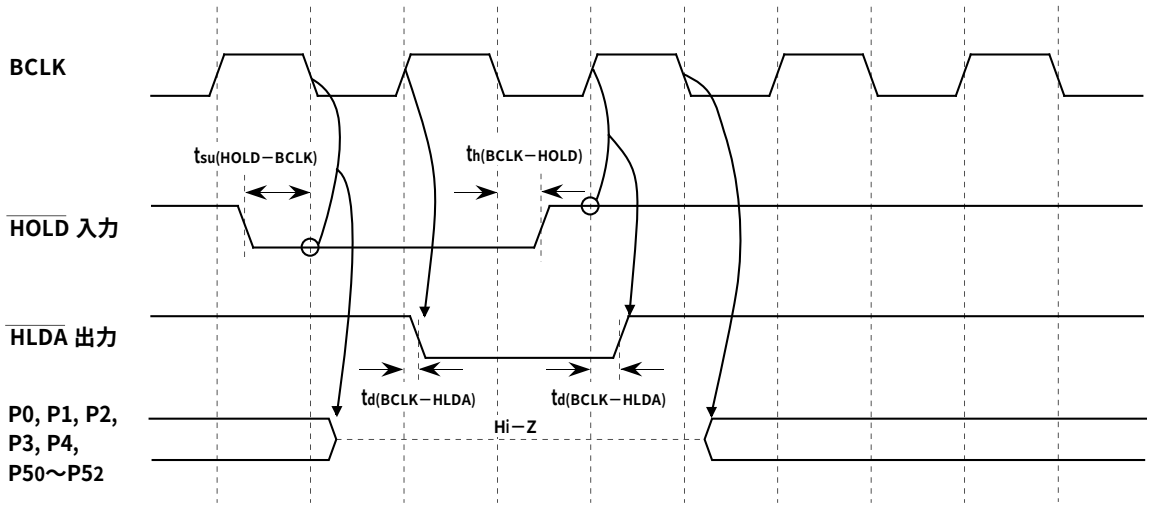
図4.2 タイミング図(1)

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



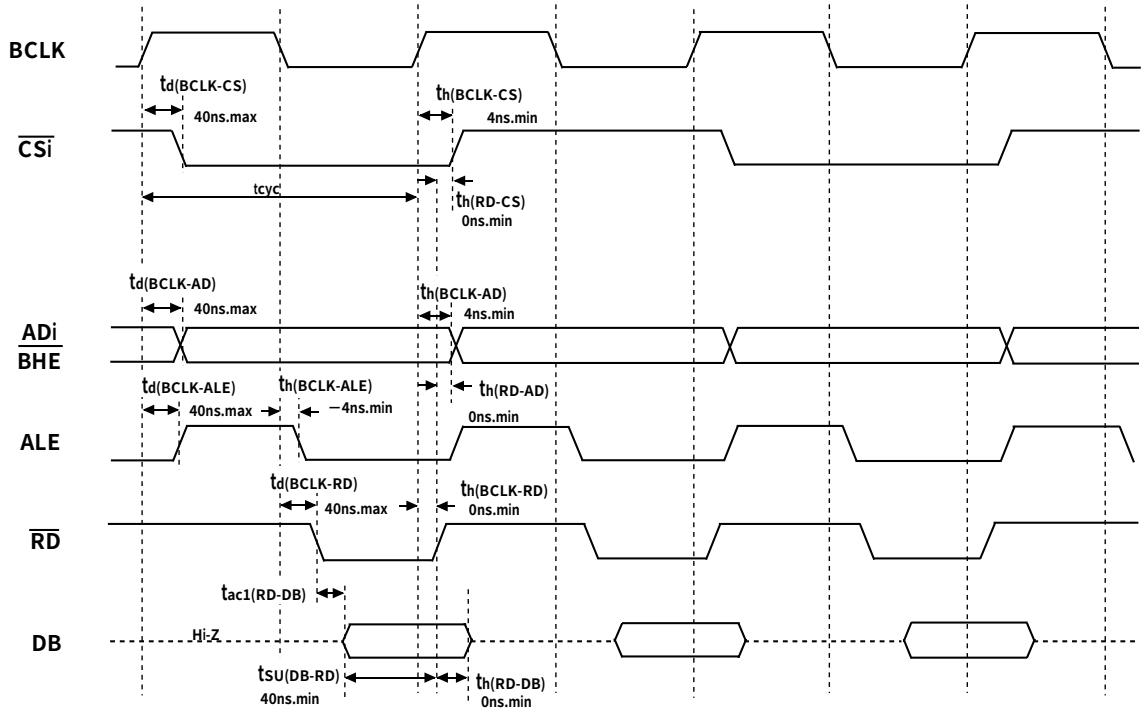
注1.　BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP40〜P43機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件
- **V_{CC}=5V**
- **入力タイミング電圧：V_{IL}=1.0V, V_{IH}=4.0V**
- **出力タイミング電圧：V_{OL}=2.5V, V_{OH}=2.5V**

図4.3　タイミング図(2)

メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

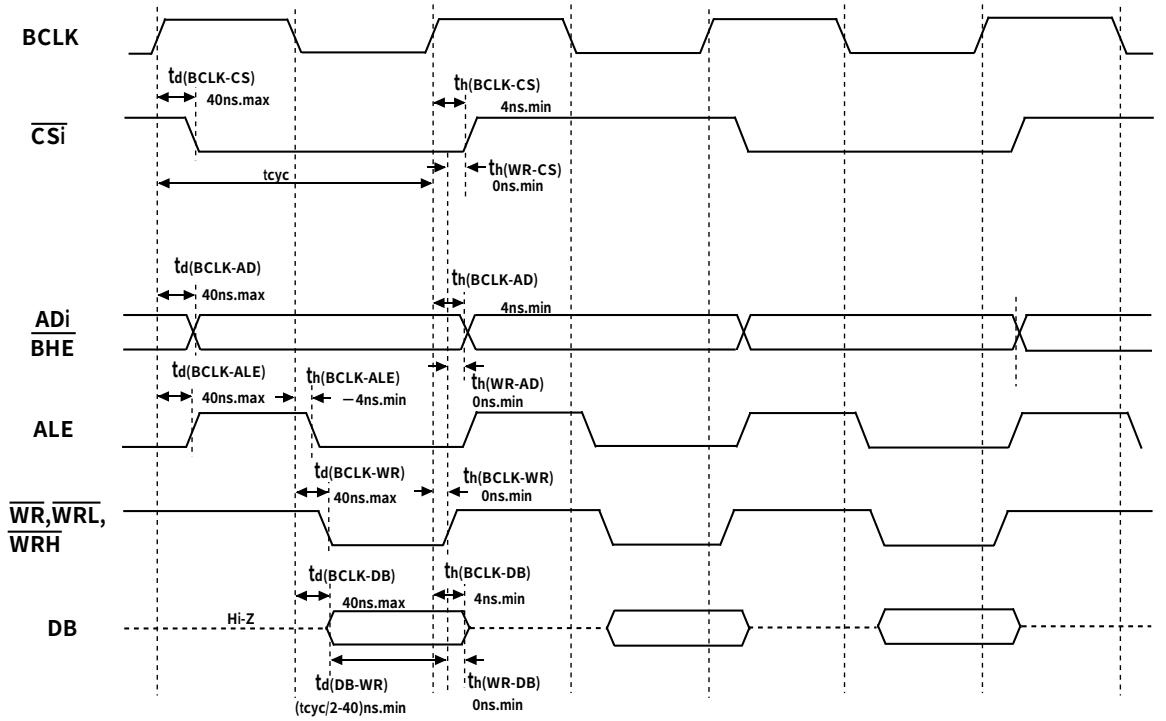
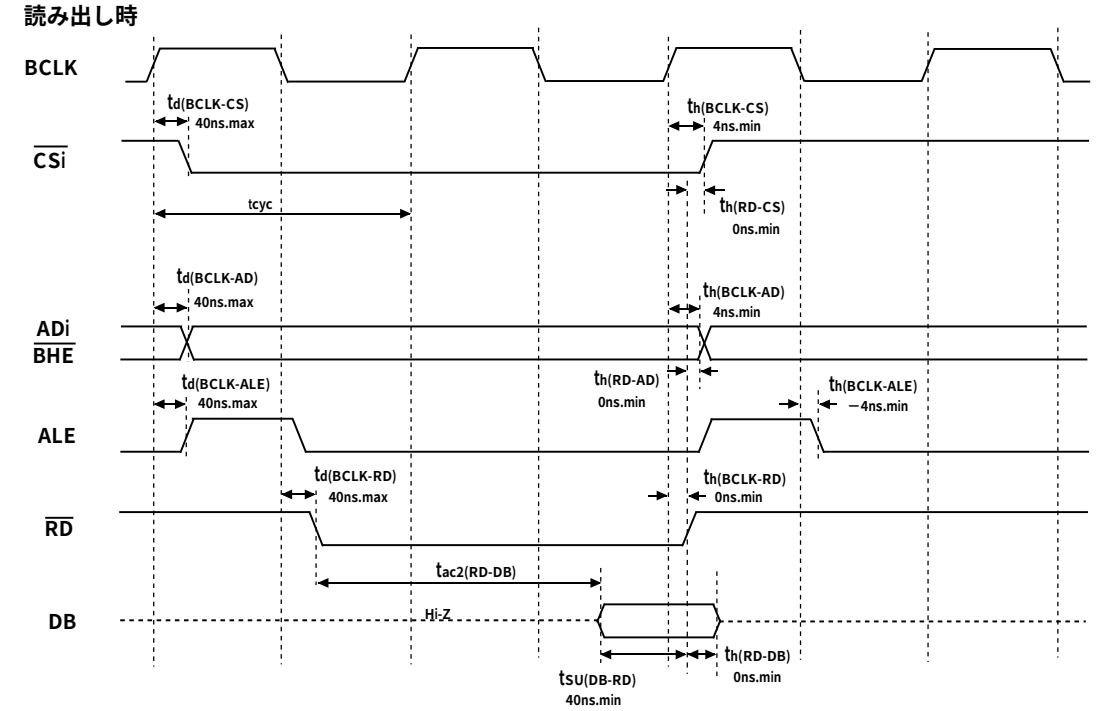


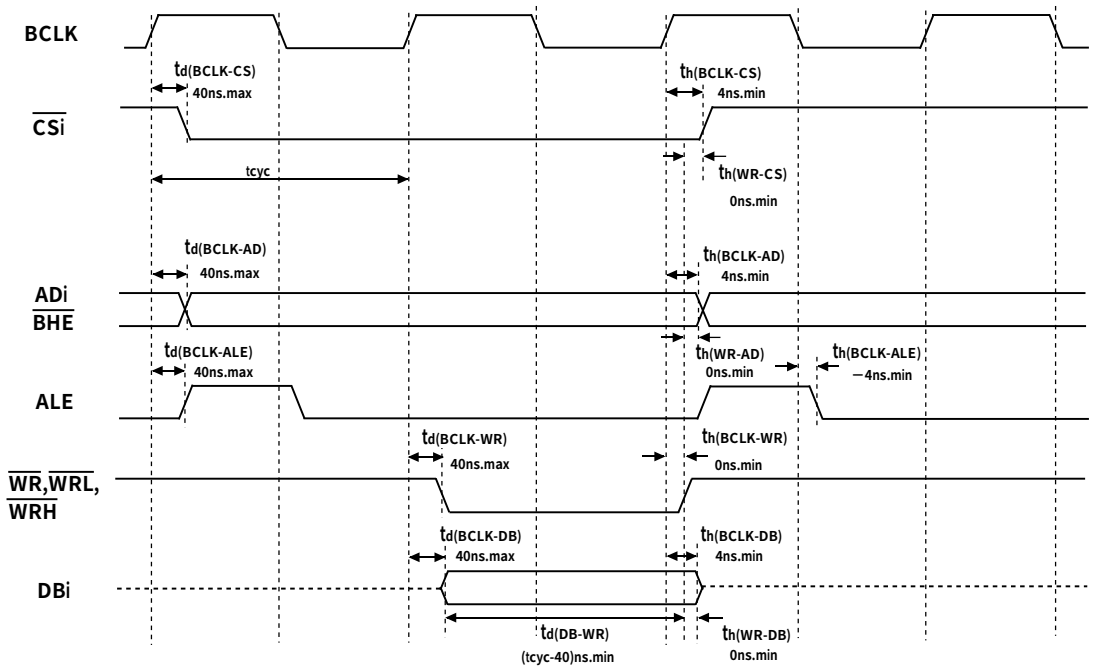
図4.4 タイミング図(3)

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時

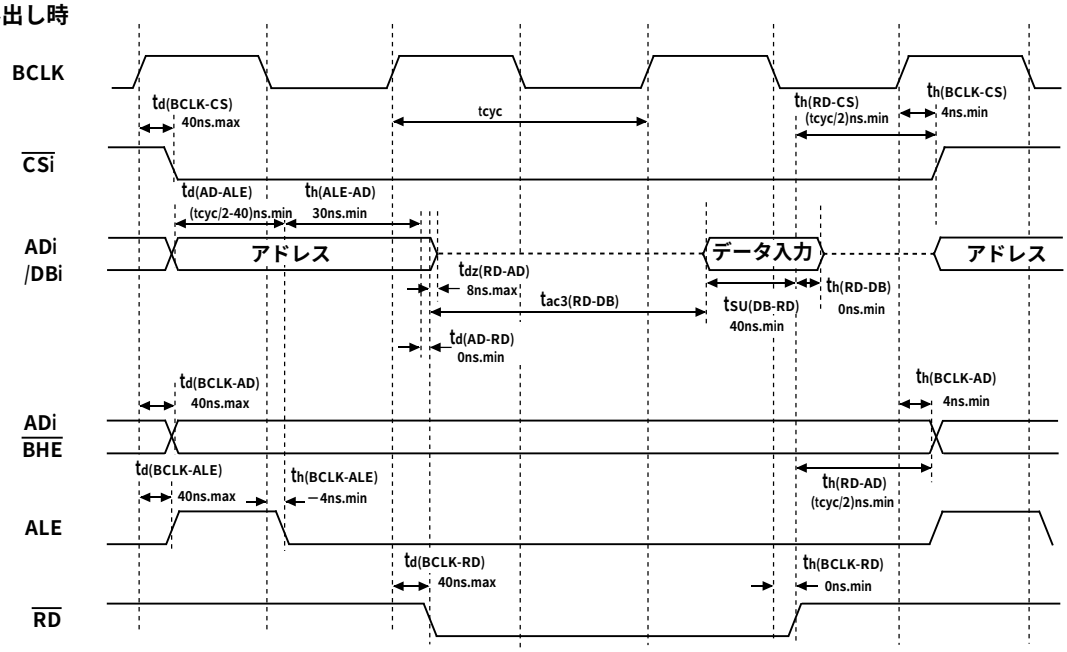


測定条件
- V_{CC}=5V
- 入力タイミング電圧：V_{IL}=0.8V,V_{IH}=2.5V
- 出力タイミング電圧：V_{OL}=0.8V,V_{OH}=2.0V

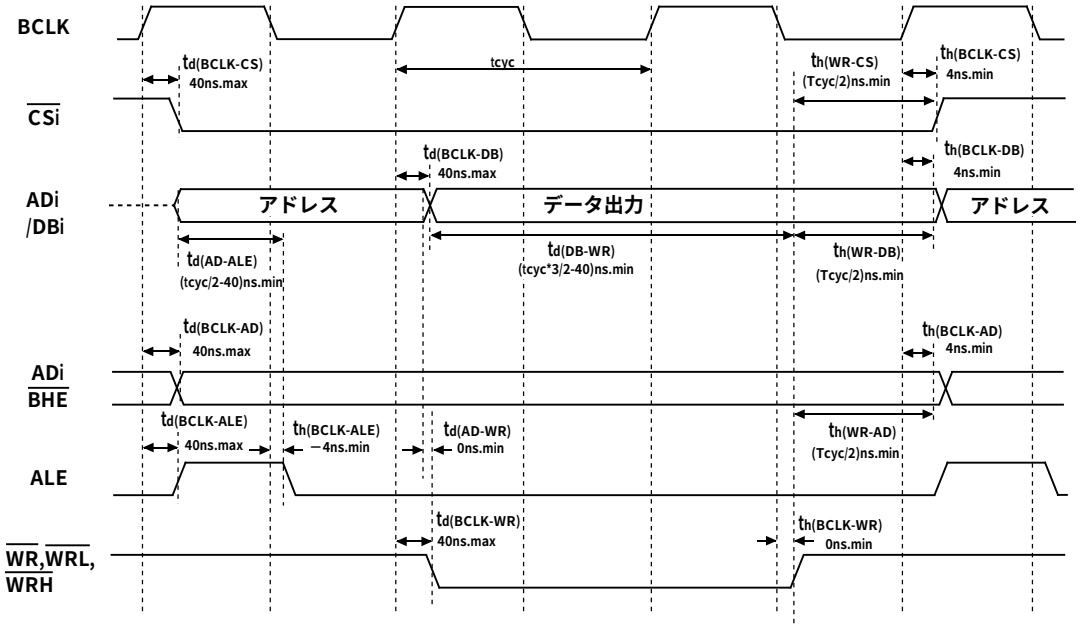
図4.5 タイミング図(4)

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件
- V_{CC}=5V
- 入力タイミング電圧 : V_{IL}=0.8V,V_{IH}=2.5V
- 出力タイミング電圧 : V_{OL}=0.8V,V_{OH}=2.0V

図4.6 タイミング図(5)

5. マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

(1) マスク化確認書

(2) マーク指定書

(3) ROMのデータ…… EPROMまたは、フロッピーディスク

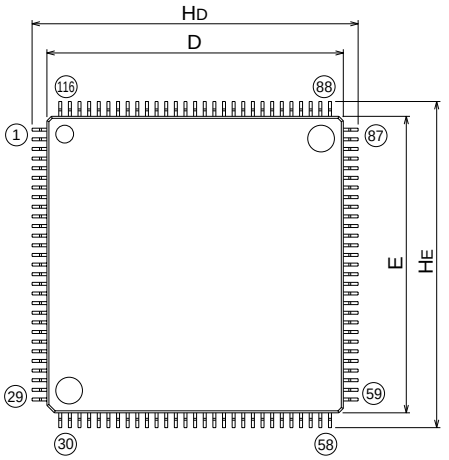
*EPROMの場合は、同一のデータのものを3枚準備してください。

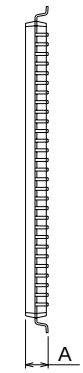
*フロッピーディスクの場合は、3.5インチ2HD(IBMフォーマット)で1枚準備してください。

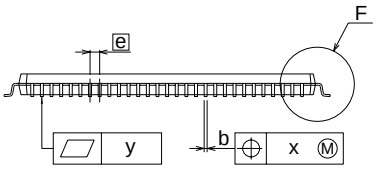
6. パッケージ寸法図

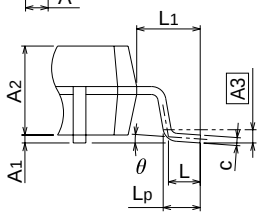
116P6A-A (MMP) **Plastic 116pin 20×20mm body LQFP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP116-P-2020-0.65	–		Cu Alloy

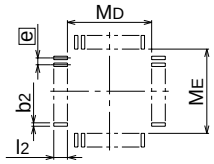








Detail F



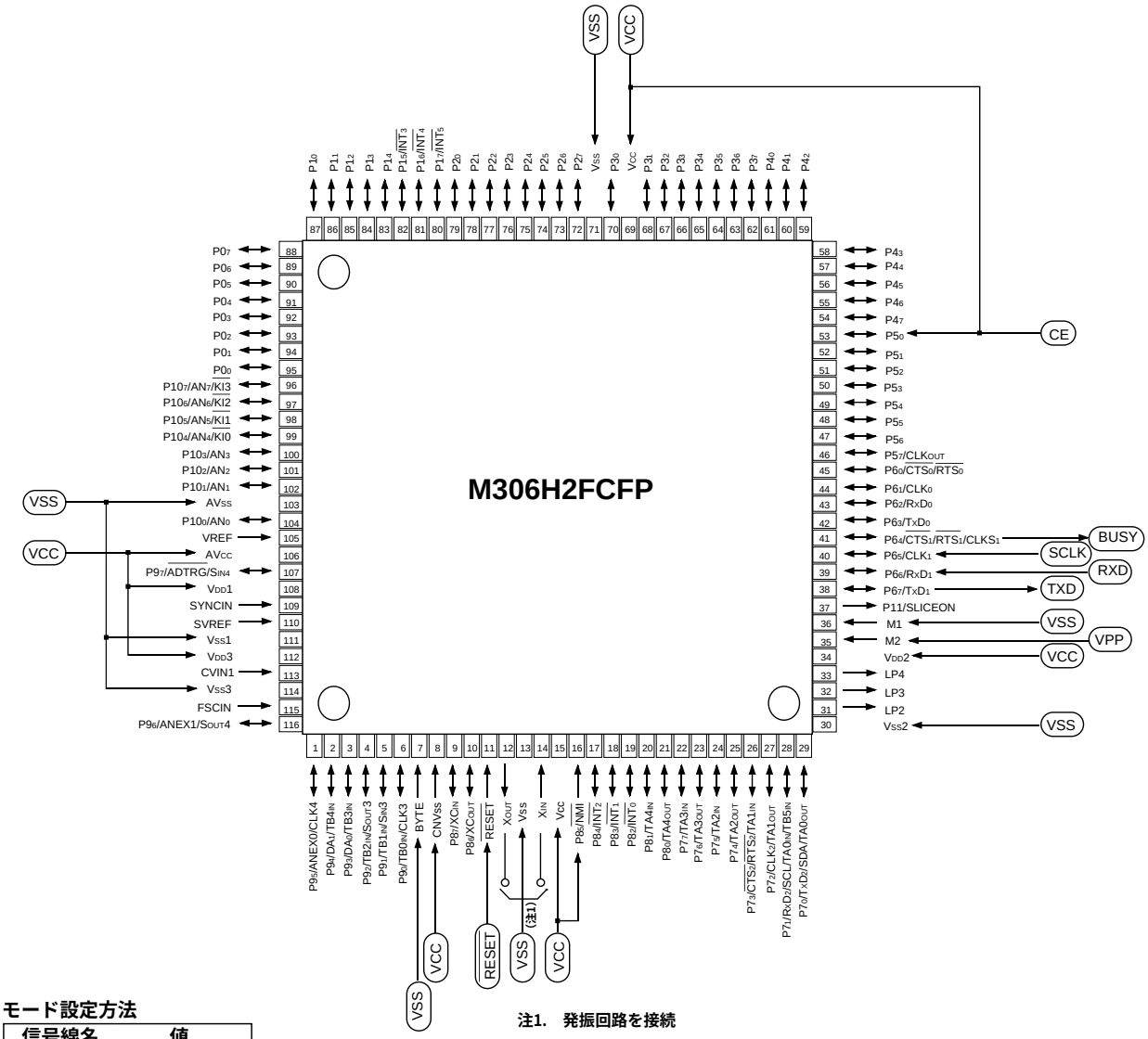
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0.05	0.125	0.2
A_2	–	1.4	–
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	–	0.65	–
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.13
y	–	–	0.1
θ	0°	–	8°
b_2	–	0.225	–
l_2	0.95	–	–
M_D	–	20.4	–
M_E	–	20.4	–

7. M306H2MC-XXXFPとM306H2FCFPとの相違点

項目	M306H2MC-XXXFP	M306H2FCFP
プロセッサモード	シングルチップモード メモリ拡張モード マイクロプロセッサモード（注1)	シングルチップモード メモリ拡張モード
ROM種類	マスクROM	フラッシュメモリ
M1/M2端子機能	M1:テスト入力 (VSS端子に接続してください。)	M1:チップモード設定入力（注2)
	M2:テスト入力 (VSS端子に接続してください。)	M2:フラッシュ書き換え用電源入力
CNVSS端子機能	プロセッサモードを切り替えるための端子です。	通常、VSS端子に接続してください。(注2)
BYTE端子機能	外部データバスを切り替えるための端子です。	外部データバスを切り替えるための端子です。(注3)

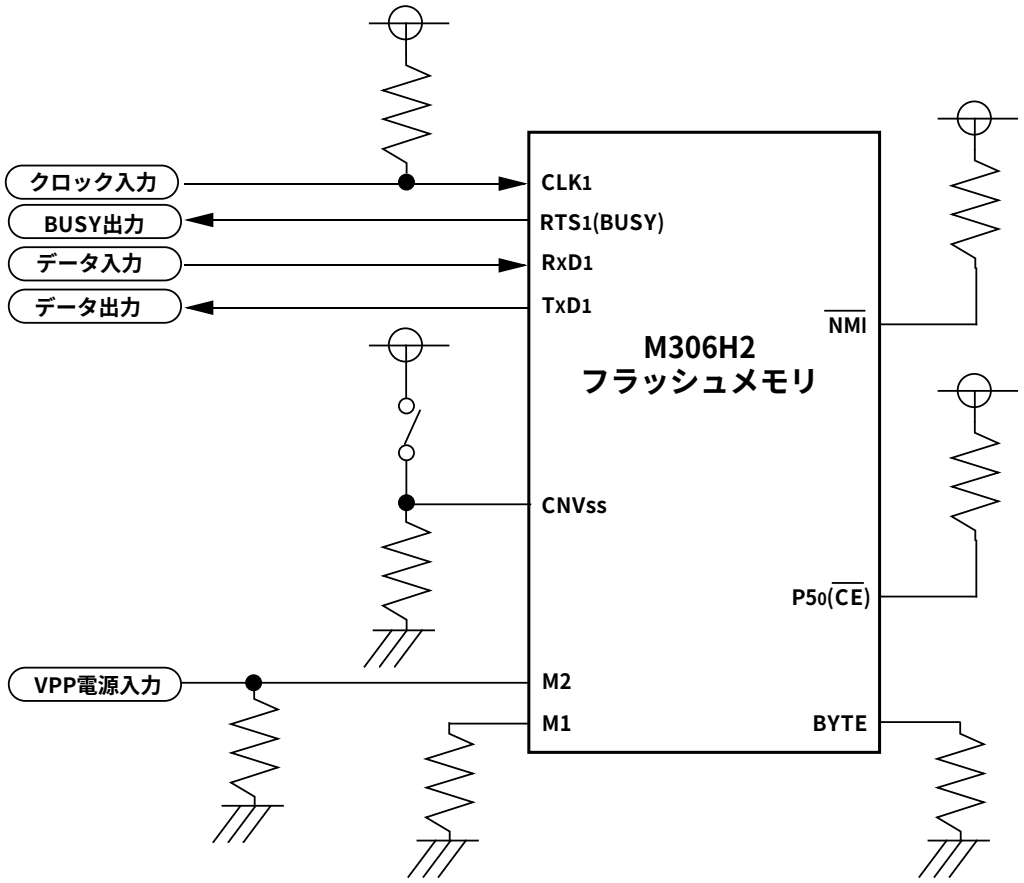
注1．マイクロプロセッサモードは、M306H2MC-XXXFPのみで使用できます。
注2．フラッシュメモリモードを制御する端子として使用します。M306H2FCFPフラッシュメモリ仕様を確認してください。
注3．フラッシュメモリモード（パラレル入出力、標準シリアル入出力、CPU書き換えモード）を使用する場合、VSS端子に接続してください。
注4．電気的特性については一部異なりますので、M306H2MC-XXXFP及びM306H2FCFPの仕様を確認してください。
注5．マスクROM版およびフラッシュメモリ版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施して下さい。
注6．M306H2MC-XXXFP（マスクROM）のセット開発または量産時に、M306H2FCFP（フラッシュメモリ）に置き換えて標準シリアルモードを使用する場合は、図7.1～図7.3の端子結線図、および応用回路例をセット基板上に予め考慮してください。マスクROM開発時に注意してください。



モード設定方法

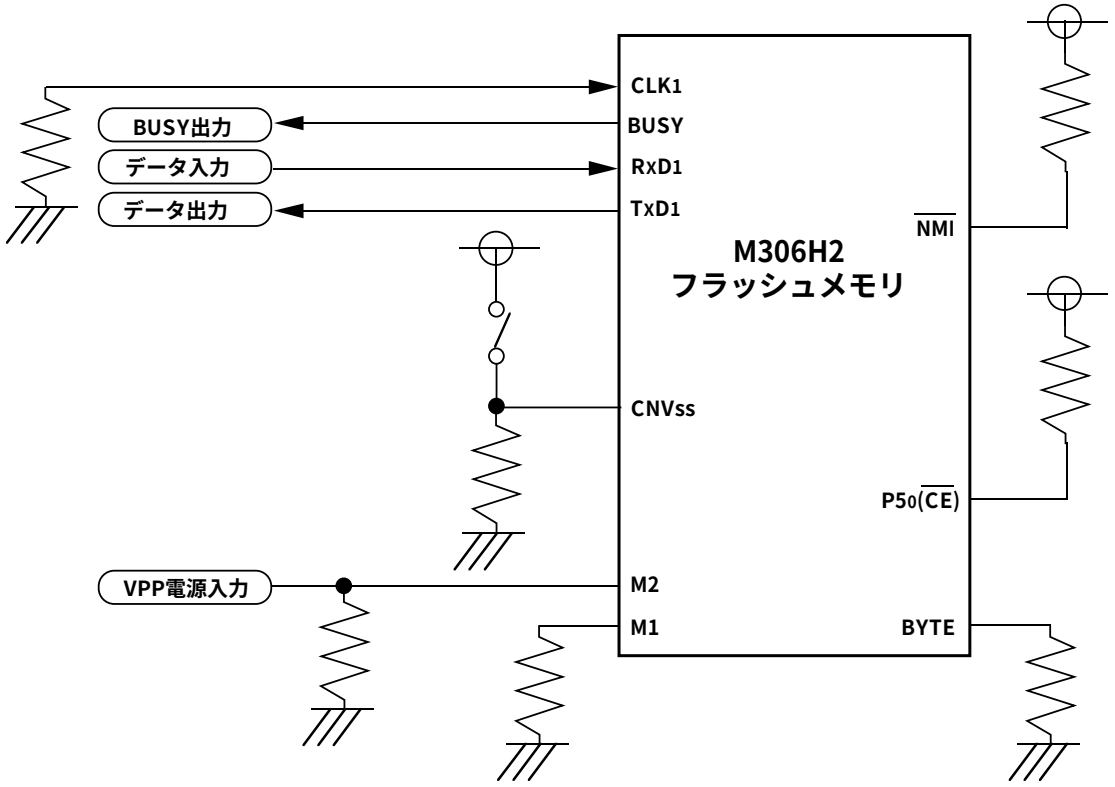
信号線名	値
CNVss	Vcc
M1	Vss
RESET	Vss→Vcc
CE	Vcc

図7.1 M306H2FCFP シリアル入出力モード時の端子結線図



(1) 外部装置(ライタ)によって制御する端子、外付け回路が違います。詳しくは、外部装置(ライタ)のマニュアルを参照してください。
(2) この例では、VPP電源を外部装置(ライタ)より供給しています。ユーザ電源を使用する場合は、4.75V～5.25Vに接続してください。
(3) この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

図7.2 M306H2FCFP 標準シリアル入出力モード1時の応用回路例



(1) この例では、VPP電源を外部装置(ライタ)より供給しています。ユーザ電源を使用する場合は、4.75V～5.25Vに接続してください。
(2) この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

図7.3 M306H2FCFP 標準シリアル入出力モード2時の応用回路例

三菱マイクロコンピュータ

M306H2MC-XXXFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA ACQUISITION CONTROLLER

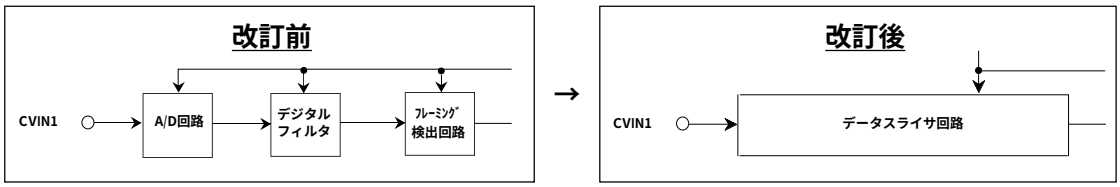
株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。
本資料ご利用に際しての留意事項	・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。 ・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。 ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。 ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。 ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。 ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

2002年2月 作成

©2002 MITSUBISHI ELECTRIC CORPORATION

改訂履歴	M306H2MC-XXXFP（REV.1.2）データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	0109
1.1	P1　1.1　特長 P5　表 1.5.1　　改訂前　　改訂後 データスライサ　PDC, VPS, ADAMS, CCD, WSS対応　→　PDC, VPS, EPG-J, XDS, WSS対応 P145　(1)　データスライサ機能 改訂前　　改訂後 ハード対応：Teletext, VPS, VBI, ADAMS　→　Teletext, PDC, VPS, VBI, EPG-J ソフト対応：CCD, WSS, VBI-ID　→　XDS, WSS, VBI-ID P145　図 2.15.1　拡張機能ブロック図  	0110
1.2	全 P ヘッダ変更 P11　図 2.1.3　0342_{16} ～ 0347_{16} P27　2.4.2 バス制御　(5) $\overline{RDY}$ 信号 P80　図 2.10.9　図題挿入 P153　拡張レジスタ機能　(5)$0B_{16}$ 番地 PTD8 P157　拡張レジスタ機能　(16)17_{16} 番地 P160　拡張レジスタ機能　(21)$1C_{16}$ 番地 P161　拡張レジスタ機能　(22)$1D_{16}$ 番地 P162　拡張レジスタ機能　(25)20_{16} 番地 P167　図 2.5.13　P11/SLICEON P174　ポート Pi 方向レジスタ　アドレス　$03EB_{16}$,$03EE_{16}$,$03EF_{16}$,$03F3_{16}$,$03F6_{16}$ リセット時　00_{16}　を追加 P182　マスク ROM 版／フラッシュメモリ版の相違点に関する注意事項　追加 P187　表 4.4　ヒステリシス $\overline{TA0_{IN}}$ ～ $\overline{TA4_{IN}}$ → $TA0_{IN}$ ～ $TA4_{IN}$ P204　7. 相違点 P202 ～ P206　マスク化確認書、マーク指定書削除	0202