

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

1. 概要

M306H1SFPは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを登載したシングルチップマイクロコンピュータで、144ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、OSD、データスライサを内蔵しており、TELETEXTの放送サービスに対応しています。

本ICは、ROMレス品であり、マイクロプロセッサモードのみ使用することができます。

1.1 特長

| | |
|-------------------|--|
| メモリ容量 | ROMレス RAM 5Kバイト |
| 最短命令実行時間 | 100.0ns(f(XIN)=10MHz時) |
| 電源電圧 | 4.75V ~ 5.25V(f(XIN)=10MHz時) |
| 割り込み | 内部25要因、外部8要因、ソフトウェア4要因、7レベル (キー入力割り込みを含む) |
| 多機能16ビットタイマ | 出力系5本 + 入力系6本 |
| シリアルI/O..... | 5本(UART/クロック 同期 3本) |
| DMAC | 2チャンネル(スタート条件:24要因) |
| A-D変換器 | 8ビット×8チャンネル(最大10チャンネルまで拡張可) |
| D-A変換器 | 8ビット×2チャンネル |
| CRC演算回路 | 1回路 |
| 監視タイマ | 1本 |
| プログラマブル入出力 | 50本 |
| 入力ポート | 1本(P85、 $\overline{\text{NMI}}$ 端子と兼用) |
| チップセレクト出力 | 3本 |
| クロック発生回路 | 2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け) |
| OSD機能 | 画面構成 40文字×25行 文字種類 フォントRAM256種類、SYRAM15種類 |
| データスライサ | PDC, VPS, VBI対応 |
| エンコーダ | VBI対応 |

1.2 応用

VTR 他

目 次

| | | | |
|--------------------------|-----|-------------------|-----|
| 1. 概要 | 1 | 3. 使用上の注意事項 | 216 |
| 1.1 特長 | 1 | 4. 電気的特性 | 221 |
| 1.2 応用 | 1 | 5. マーキング図 | 238 |
| 1.3 ピン接続図 | 3 | 6. パッケージ寸法図 | 239 |
| 1.4 ブロック図 | 4 | | |
| 1.5 性能概要 | 5 | | |
| 2. 機能ブロック動作説明 | 9 | | |
| 2.1 メモリ | 9 | | |
| 2.2 中央演算処理装置 | 13 | | |
| 2.3 リセット | 16 | | |
| 2.4 プロセッサモード | 20 | | |
| 2.5 クロック発生回路 | 31 | | |
| 2.6 プロテクト | 40 | | |
| 2.7 割り込み | 41 | | |
| 2.8 監視タイマ | 60 | | |
| 2.9 DMAC | 62 | | |
| 2.10 タイマ | 72 | | |
| 2.11 シリアルI/O | 90 | | |
| 2.12 A-D変換器 | 131 | | |
| 2.13 D-A変換器 | 141 | | |
| 2.14 CRC演算回路 | 143 | | |
| 2.15 拡張機能 | 145 | | |
| 2.16 プログラマブル入出力ポート | 206 | | |

1.3 ピン接続図

図1.3.1にピン接続図(上面図)を示します。

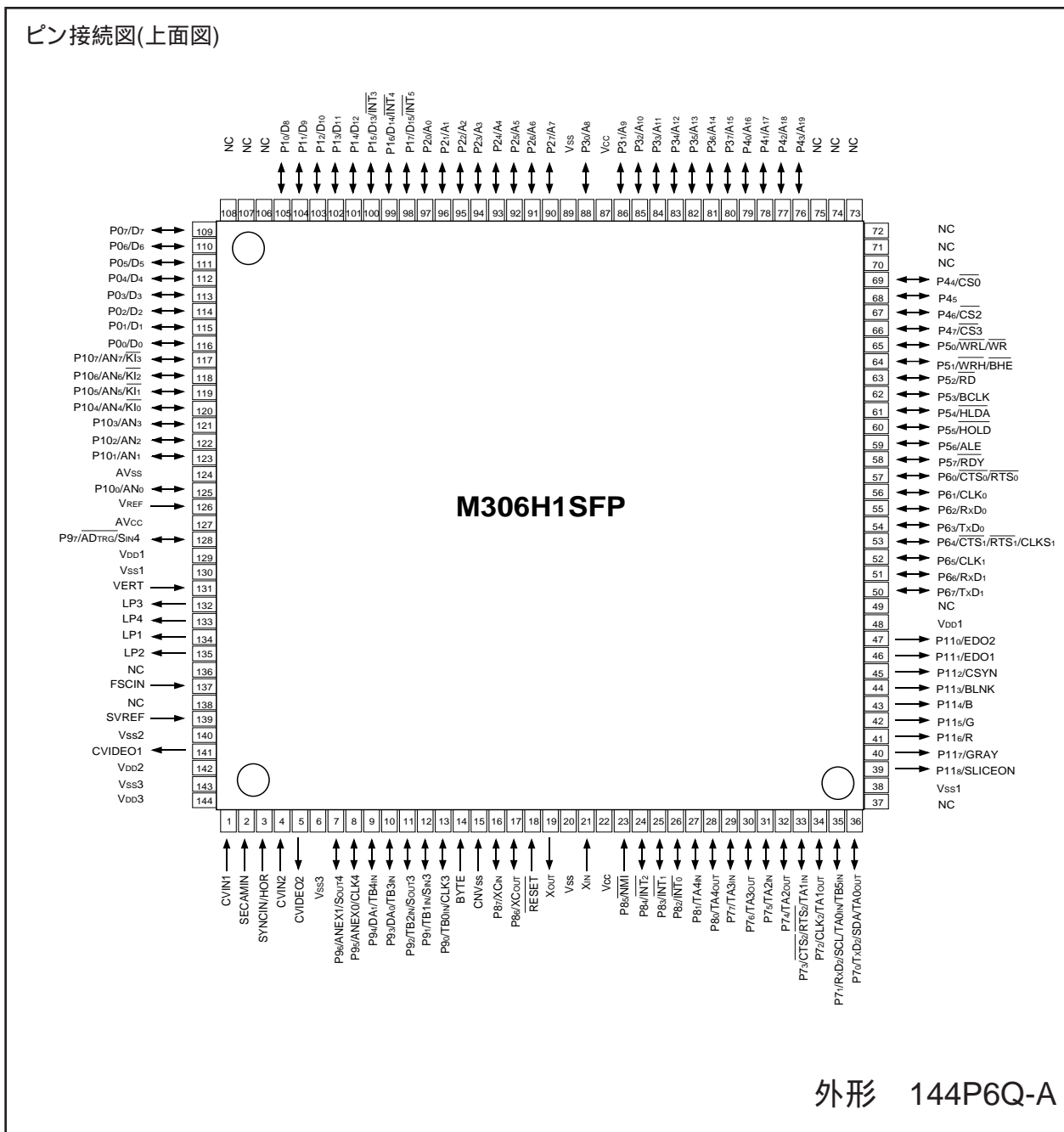


図1.3.1 ピン接続図(上面図)

1.4 ブロック図

図1.4.1にM306H1SFPのブロック図を示します。

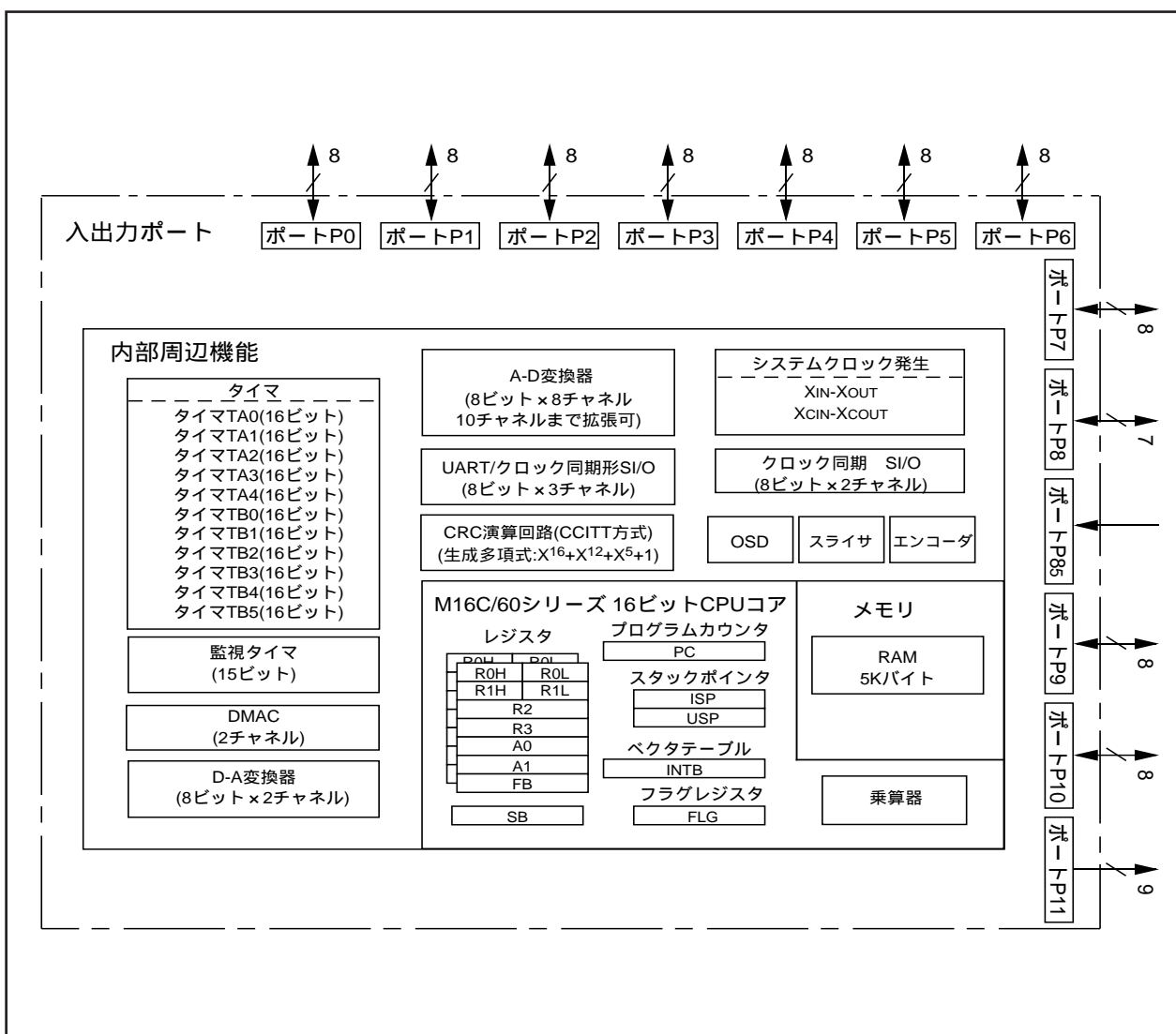


図1.4.1 M306H1SFPのブロック図

1.5 性能概要

表1.5.1にM306H1SFPの性能概要を示します。

表1.5.1 M306H1SFPの性能概要

| 項 目 | | 性 能 |
|----------|-------------------------|--|
| 基本命令数 | | 91命令 |
| 最短命令実行時間 | | 100ns($f(X_{IN})=10\text{MHz}$) |
| メモリ容量 | ROM | なし |
| | RAM | 5Kバイト |
| 入出力ポート | P0 ~ P10(ただしP85は除く) | 8ビット×10、7ビット×1 |
| 入力ポート | P85 | 1ビット×1 |
| 出力ポート | P11 | 9ビット×1 |
| 多機能タイマ | TA0,TA1,TA2,TA3,TA4 | 16ビット×5 |
| | TB0,TB1,TB2,TB3,TB4,TB5 | 16ビット×6 |
| シリアルI/O | UART0,UART1,UART2 | (UARTまたはクロック同期形 ※3 |
| | SI/03, SI/04 | クロック同期形×2 |
| A-D変換器 | | 8ビット×(8+2)チャンネル |
| D-A変換器 | | 8ビット×2チャンネル |
| DMAC | | 2チャンネル(スタート条件:24要因) |
| CRC演算回路 | | CRC-CCITT方式 |
| 監視タイマ | | 15ビット×1(プリスケアラ付) |
| 割り込み | | 内部25要因、外部8要因、ソフトウェア4要因、7レベル |
| クロック発生回路 | | 2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け) |
| 電源電圧 | | 4.75 ~ 5.25V($f(X_{IN})=10\text{MHz}$) |
| 素子構造 | | CMOS高性能シリコンゲート |
| パッケージ | | 144ピンプラスチックモールドQFP |
| OSD機能 | OSD表示RAM | 2.75Kバイト(25×40×22bit) |
| | フォントRAM | 3.84Kバイト(12×10×256bit) |
| | SYRAM | 260バイト(13×10×16bit) |
| | 画面構成 | 40列×25行 |
| | 文字構成 | 12×10ドット |
| | 文字色 | 文字単位で8色 |
| | 文字背景色 | 文字単位に8色 |
| | 背景色 | 画面単位に8色 |
| | SYRAM色 | 文字単位に8色 |
| | 同期信号 | PAL方式 |
| | ビデオ信号 | PAL方式 |
| データスライサ | スライスRAM | 864バイト(48×18×8bit) |
| | VBIRAM | 95バイト((5+5×18)×8bit) |
| | データスライサ | PDC,VPS,VBI対応 |
| | エンコーダ | VBI対応 |

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

表1.5.2 端子の機能説明

| 端子名 | 名称 | 入出力 | 機能 |
|--------------------------------|------------------|-----------|--|
| VCC, VSS | 電源入力 | | VCC端子には、4.75V ~ 5.25Vを印加してください。VSS端子には、0Vを印加してください。 |
| CNVSS | CNVSS | 入力 | プロセッサモードを切り替えるための端子です。マイクロプロセッサモード時はVCC端子に接続してください。 |
| RESET | リセット入力 | 入力 | この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。 |
| XIN XOUT | クロック入力 クロック出力 | 入力 出力 | メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。 |
| BYTE | 外部データバス幅切り替え入力 | 入力 | 外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。 |
| AVCC | アナログ電源入力 | | A-D変換器の電源入力端子です。VCC端子に接続してください。 |
| AVSS | アナログ電源入力 | | A-D変換器の電源入力端子です。VSS端子に接続してください。 |
| VREF | 基準電圧入力 | 入力 | A-D変換器の基準電圧入力端子です。 |
| P00 ~ P07 | 入出力ポートP0 | 入出力 | CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。 |
| D0 ~ D7 | | 入出力 | セパレートバス設定時データ(D0 ~ D7)の入出力を行います。 |
| P10 ~ P17 | 入出力ポートP1 | 入出力 | P0と同等の機能を持つ8ビット入出力ポートです。P15 ~ P17はソフトウェアで選択することによって、外部割り込み端子として機能します。 |
| D8 ~ D15 | | 入出力 | セパレートバス設定時データ(D8 ~ D15)の入出力を行います。 |
| P20 ~ P27 | 入出力ポートP2 | 入出力 | P0と同等の機能を持つ8ビット入出力ポートです。 |
| A0 ~ A7 | | 出力 | アドレスの下位8ビット(A0 ~ A7)の出力を行います。 |
| A0/D0 ~ A7/D7 | | 入出力 | 外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0 ~ D7)の入出力と、アドレスの下位8ビット(A0 ~ A7)の出力を時分割で行います。 |
| A0 A1/D0 ~ A7/D6 | | 出力 入出力 | 外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0 ~ D6)の入出力と、アドレス(A1 ~ A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。 |
| P30 ~ P37 | 入出力ポートP3 | 入出力 | P0と同等の機能を持つ8ビット入出力ポートです。 |
| A8 ~ A15 | | 出力 | アドレスの中位8ビット(A8 ~ A15)の出力を行います。 |
| A8/D7, A9 ~ A15 | | 入出力 出力 | 外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9 ~ A15)の出力を行います。 |
| P40 ~ P47 | 入出力ポートP4 | 入出力 | P0と同等の機能を持つ8ビット入出力ポートです。 |
| A16 ~ A19, CS0, CS2, CS3 | | 出力 出力 | A16 ~ A19、CS0、CS2、CS3信号を出力します。A16 ~ A19はアドレスの上位4ビットです。CS0、CS2、CS3はチップセレクト信号でアクセス空間の指定に使用します |

表1.5.3 端子の機能説明

| 端子名 | 名称 | 入出力 | 機能 |
|--|--------------------------|---|--|
| P50 ~ P57 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{HOLD} 、 \overline{ALE} 、 \overline{RDY} | 入出力ポートP5 | 入出力 出力 出力 出力 出力 入力 出力 入力 | P0と同等の機能を持つ8ビット入出力ポートです。 \overline{WRL} 、 \overline{WRH} 、(\overline{WR} 、 \overline{BHE})、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{ALE} 信号を出力します。 なお、ソフトウェアによって \overline{WRL} 、 \overline{WRH} または、 \overline{BHE} 、 \overline{WR} を切り替えることができます。 \overline{WRL} 、 \overline{WRH} 、 \overline{RD} 選択時 外部データバス幅が16ビットの場合、 \overline{WRL} 信号が“L”レベルのとき偶数番地に、 \overline{WRH} 信号が“L”レベルのときは奇数番地に書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{WR} 、 \overline{BHE} 、 \overline{RD} 選択時 \overline{WR} 信号が“L”レベルのとき書き込みを行います。 \overline{RD} 信号が“L”レベルのとき読み出しを行います。 \overline{BHE} 信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 \overline{HOLD} 端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、 \overline{HLDA} は“L”レベルを出力します。 \overline{ALE} はアドレスをラッチするための信号です。 \overline{RDY} 端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。 |
| P60 ~ P67 | 入出力ポートP6 | 入出力 | P0と同等の機能を持つ8ビット入出力ポートです。ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。 |
| P70 ~ P77 | 入出力ポートP7 | 入出力 | P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャンネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A3、タイマB5またはUART2の入出力端子として機能します。 |
| P80 ~ P84、 P86、 P87、 P85 | 入出力ポートP8 入力ポートP85 | 入出力 入出力 入出力 入力 | P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。 |
| P90 ~ P97 | 入出力ポートP9 | 入出力 | P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、SI/O3、4の入出力端子、タイマB0 ~ B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。 |
| P100 ~ P107 | 入出力ポートP10 | 入出力 | P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104 ~ P107はキー入力割り込み機能の入力端子としても機能します。 |
| VDD1 | 電源入力 | | デジタル系の電源端子です。+5Vに接続してください。 |
| VDD2 | 電源入力 | | アナログ系の電源端子です。+5Vに接続してください。 |
| VDD3 | 電源入力 | | アナログ系の電源端子です。+5Vに接続してください。 |

表1.5.4 端子の機能説明

| 端子名 | 名称 | 入出力 | 機能 |
|-----------|----------------|-----|--|
| CVIDEO1 | 複合ビデオ出力1 | 出力 | 複合ビデオ信号の出力端子です。2Vp-pの複合ビデオ信号を出力します。スーパーインポーズ時、映像領域のCVIN1信号に文字出力などを重畳して出力します。 |
| CVIDEO2 | 複合ビデオ出力2 | 出力 | 複合ビデオ信号の出力端子です。2Vp-pの複合ビデオ信号を出力します。帰線期間領域のCVIN2信号にVBI信号を重畳して出力します。 |
| SVREF | 同期スライスレベル入力 | 入力 | 同期信号をスライスする際のスライス電位を入力します。 |
| CVIN1 | 複合ビデオ入力1 | 入力 | 外部の複合ビデオ信号の入力端子です。スーパーインポーズ時、この複合ビデオ信号に文字出力などが重畳されます。また設定によりこの信号を内部でデータスライスします。 |
| SECAMIN | SECAM入力 | 入力 | SECAM用のキャリア入力端子です。 |
| CVIN2 | 複合ビデオ入力2 | 入力 | 外部の複合ビデオ信号の入力端子です。VBIエンコード時、この複合ビデオ信号にVBI信号が重畳されます。また設定によりこの信号を内部でデータスライスします。 |
| SYNCIN | 複合ビデオ入力3 | 入力 | 外部の複合ビデオ信号の入力端子です。この信号を内部で同期分離します。 |
| HOR | | | デジタルの水平同期信号を入力します。(5V系) |
| LP1 | フィルタ出力1 | 出力 | フィルタ出力1(表示用)です。 |
| LP2 | フィルタ出力2 | 出力 | フィルタ出力2(同期用)です。 |
| LP3 | フィルタ出力3 | 出力 | フィルタ出力3(VBI,VPS用)です。 |
| LP4 | フィルタ出力4 | 出力 | フィルタ出力4(PDC用)です。 |
| FSCIN | 同期信号発生用fsc入力端子 | 入力 | 同期信号発生用のサブキャリア(fsc)入力端子です。 |
| VERT | 垂直同期信号 | 入力 | デジタルの垂直同期信号を入力します。(5V系) |
| P110~P118 | 出力ポートP11 | 出力 | 9ビット出力専用ポートです。P110~P118はソフトウェアで選択することによって、EDO2,EDO1,CSYN,BLKN,B,G,R,GRAY,SLICEONの出力端子として機能します。 |

2. 機能ブロック動作説明

本製品は、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、OSD回路、データスライサ回路、データエンコーダ回路、入出力ポートなどの周辺装置です。

次に各装置について説明します。

2.1 メモリ

メモリ配置図を図2.1.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。本製品では04000₁₆番地からFFFFFF₁₆番地まで外部ROM領域として使用することができます。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から017FF₁₆番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図2.1.2～図2.1.4に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

01800₁₆番地から03FFF₁₆番地、および28000₁₆番地から2FFFF₁₆番地は内部予約領域となっており使用できません。

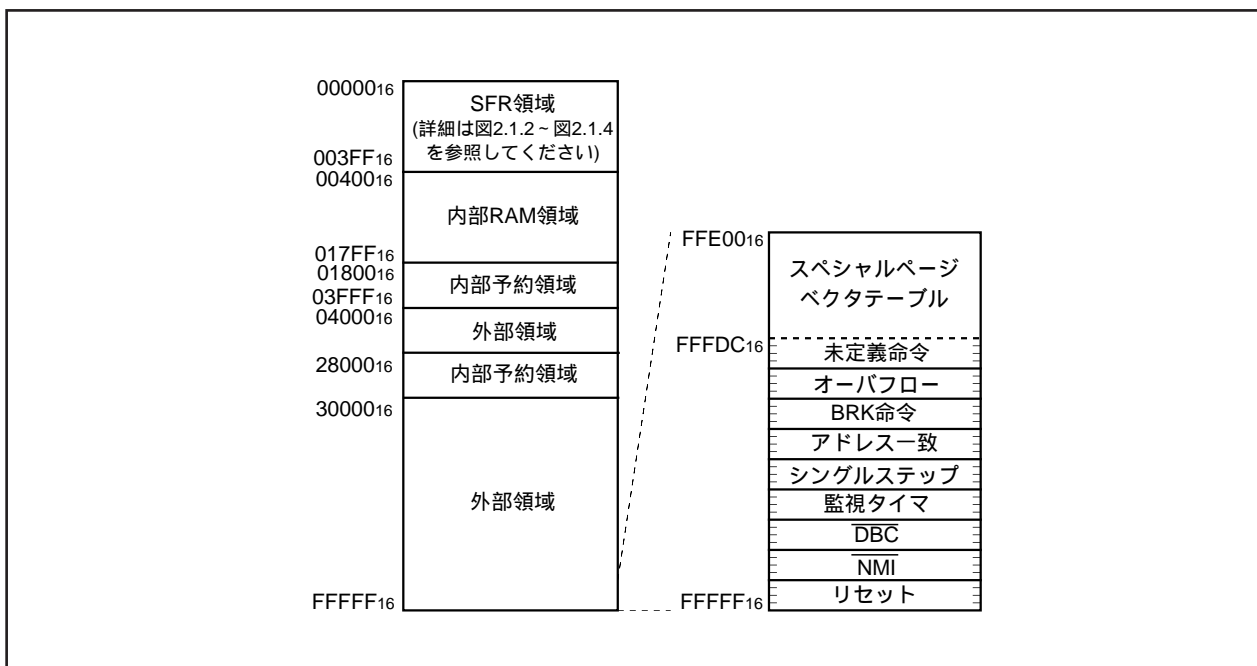


図2.1.1 メモリ配置図

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

| | | | |
|--------------------|----------------------------|--------------------|--------------------------|
| 0000 ₁₆ | | 0044 ₁₆ | INT3割り込み制御レジスタ(INT3IC) |
| 0001 ₁₆ | | 0045 ₁₆ | タイマB5割り込み制御レジスタ(TB5IC) |
| 0002 ₁₆ | | 0046 ₁₆ | タイマB4割り込み制御レジスタ(TB4IC) |
| 0003 ₁₆ | | 0047 ₁₆ | タイマB3割り込み制御レジスタ(TB3IC) |
| 0004 ₁₆ | プロセッサモードレジスタ0(PM0) | 0048 ₁₆ | SI/O4割り込み制御レジスタ(S4IC) |
| 0005 ₁₆ | プロセッサモードレジスタ1(PM1) | 0049 ₁₆ | INT5割り込み制御レジスタ(INT5IC) |
| 0006 ₁₆ | システムクロック制御レジスタ 0 (CM0) | | SI/O3割り込み制御レジスタ(S3IC) |
| 0007 ₁₆ | システムクロック制御レジスタ 1 (CM1) | | INT4割り込み制御レジスタ(INT4IC) |
| 0008 ₁₆ | チップセレクト制御レジスタ(CSR) | 004A ₁₆ | バス衝突検出割り込み制御レジスタ (BCNIC) |
| 0009 ₁₆ | アドレス一致割り込み許可レジスタ(AIER) | 004B ₁₆ | DMA0割り込み制御レジスタ (DM0IC) |
| 000A ₁₆ | プロテクトレジスタ(PRCR) | 004C ₁₆ | DMA1割り込み制御レジスタ(DM1IC) |
| 000B ₁₆ | | 004D ₁₆ | キ - 入力割り込み制御レジスタ(KUPIC) |
| 000C ₁₆ | | 004E ₁₆ | A-D変換割り込み制御レジスタ(ADIC) |
| 000D ₁₆ | | 004F ₁₆ | UART2送信割り込み制御レジスタ(S2TIC) |
| 000E ₁₆ | 監視タイマスタートレジスタ(WDTS) | 0050 ₁₆ | UART2受信割り込み制御レジスタ(S2RIC) |
| 000F ₁₆ | 監視タイマ制御レジスタ(WDC) | 0051 ₁₆ | UART0送信割り込み制御レジスタ(S0TIC) |
| 0010 ₁₆ | | 0052 ₁₆ | UART0受信割り込み制御レジスタ(S0RIC) |
| 0011 ₁₆ | アドレス一致割り込みレジスタ 0 (RMAD0) | 0053 ₁₆ | UART1送信割り込み制御レジスタ(S1TIC) |
| 0012 ₁₆ | | 0054 ₁₆ | UART1受信割り込み制御レジスタ(S1RIC) |
| 0013 ₁₆ | | 0055 ₁₆ | タイマA0割り込み制御レジスタ(TA0IC) |
| 0014 ₁₆ | | 0056 ₁₆ | タイマA1割り込み制御レジスタ(TA1IC) |
| 0015 ₁₆ | アドレス一致割り込みレジスタ 1 (RMAD1) | 0057 ₁₆ | タイマA2割り込み制御レジスタ(TA2IC) |
| 0016 ₁₆ | | 0058 ₁₆ | タイマA3割り込み制御レジスタ(TA3IC) |
| 0017 ₁₆ | | 0059 ₁₆ | タイマA4割り込み制御レジスタ(TA4IC) |
| 0018 ₁₆ | | 005A ₁₆ | タイマB0割り込み制御レジスタ(TB0IC) |
| 0019 ₁₆ | | 005B ₁₆ | タイマB1割り込み制御レジスタ(TB1IC) |
| 001A ₁₆ | | 005C ₁₆ | タイマB2割り込み制御レジスタ(TB2IC) |
| 001B ₁₆ | | 005D ₁₆ | INT0割り込み制御レジスタ(INT0IC) |
| 001C ₁₆ | | 005E ₁₆ | INT1割り込み制御レジスタ(INT1IC) |
| 001D ₁₆ | | 005F ₁₆ | INT2割り込み制御レジスタ(INT2IC) |
| 001E ₁₆ | | 0060 ₁₆ | |
| 001F ₁₆ | | | |
| 0020 ₁₆ | | | |
| 0021 ₁₆ | DMA0ソ - スポインタ(SAR0) | 0200 ₁₆ | |
| 0022 ₁₆ | | 0201 ₁₆ | |
| 0023 ₁₆ | | 0202 ₁₆ | 表示RAMアドレス制御レジスタ |
| 0024 ₁₆ | | 0203 ₁₆ | |
| 0025 ₁₆ | DMA0ディスティネ - ションポインタ(DAR0) | 0204 ₁₆ | 表示RAMデータ制御レジスタ |
| 0026 ₁₆ | | 0205 ₁₆ | |
| 0027 ₁₆ | | 0206 ₁₆ | フロントRAMアドレス制御レジスタ |
| 0028 ₁₆ | | 0207 ₁₆ | |
| 0029 ₁₆ | DMA0転送カウンタ(TCR0) | 0208 ₁₆ | フロントRAMデータ制御レジスタ |
| 002A ₁₆ | | 0209 ₁₆ | |
| 002B ₁₆ | | 020A ₁₆ | SYRAMアドレス制御レジスタ |
| 002C ₁₆ | DMA0制御レジスタ(DM0CON) | 020B ₁₆ | |
| 002D ₁₆ | | 020C ₁₆ | SYRAMデータ制御レジスタ |
| 002E ₁₆ | | 020D ₁₆ | |
| 002F ₁₆ | | 020E ₁₆ | スライスRAMアドレス制御レジスタ |
| 0030 ₁₆ | | 020F ₁₆ | |
| 0031 ₁₆ | DMA1ソ - スポインタ(SAR1) | 0210 ₁₆ | スライスRAMデータ制御レジスタ |
| 0032 ₁₆ | | 0211 ₁₆ | |
| 0033 ₁₆ | | 0212 ₁₆ | VBIRAMアドレス制御レジスタ |
| 0034 ₁₆ | | 0213 ₁₆ | |
| 0035 ₁₆ | DMA1ディスティネ - ションポインタ(DAR1) | 0214 ₁₆ | VBIRAMデータ制御レジスタ |
| 0036 ₁₆ | | 0215 ₁₆ | |
| 0037 ₁₆ | | 0216 ₁₆ | 拡張レジスタ用アドレス制御レジスタ |
| 0038 ₁₆ | | 0217 ₁₆ | |
| 0039 ₁₆ | DMA1転送カウンタ(TCR1) | 0218 ₁₆ | 拡張レジスタ用データ制御レジスタ |
| 003A ₁₆ | | 0219 ₁₆ | |
| 003B ₁₆ | | 021A ₁₆ | ハミング8/4レジスタ |
| 003C ₁₆ | DMA1制御レジスタ(DM1CON) | 021B ₁₆ | |
| 003D ₁₆ | | 021C ₁₆ | ハミング24/18レジスタ 0 |
| 003E ₁₆ | | 021D ₁₆ | |
| 003F ₁₆ | | 021E ₁₆ | ハミング24/18レジスタ 1 |
| 0040 ₁₆ | | 021F ₁₆ | |
| 0041 ₁₆ | | 0220 ₁₆ | |
| 0042 ₁₆ | | | |
| 0043 ₁₆ | | | |
| | | 033F ₁₆ | |

図2.1.2 周辺装置制御レジスタの配置(1)

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

| | | | |
|--------------------|--------------------------|--------------------|-------------------------|
| 0340 ₁₆ | タイマB3,4.5カウント開始フラグ(TBSR) | 0380 ₁₆ | カウント開始フラグ(TABSR) |
| 0341 ₁₆ | | 0381 ₁₆ | 時計用プリスケアラリセットフラグ(CPSRF) |
| 0342 ₁₆ | タイマA1-1レジスタ(TA11) | 0382 ₁₆ | ワンショット開始フラグ(ONSF) |
| 0343 ₁₆ | | 0383 ₁₆ | トリガ選択レジスタ(TRGSR) |
| 0344 ₁₆ | タイマA2-1レジスタ(TA21) | 0384 ₁₆ | アップダウンフラグ(UDF) |
| 0345 ₁₆ | | 0385 ₁₆ | |
| 0346 ₁₆ | タイマA4-1レジスタ(TA41) | 0386 ₁₆ | タイマA0(TA0) |
| 0347 ₁₆ | | 0387 ₁₆ | |
| 0348 ₁₆ | 予約レジスタ | 0388 ₁₆ | タイマA1(TA1) |
| 0349 ₁₆ | 予約レジスタ | 0389 ₁₆ | |
| 034A ₁₆ | 予約レジスタ | 038A ₁₆ | タイマA2(TA2) |
| 034B ₁₆ | 予約レジスタ | 038B ₁₆ | |
| 034C ₁₆ | 予約レジスタ | 038C ₁₆ | タイマA3(TA3) |
| 034D ₁₆ | 予約レジスタ | 038D ₁₆ | |
| 034E ₁₆ | | 038E ₁₆ | タイマA4(TA4) |
| 034F ₁₆ | | 038F ₁₆ | |
| 0350 ₁₆ | タイマB3レジスタ(TB3) | 0390 ₁₆ | タイマB0(TB0) |
| 0351 ₁₆ | | 0391 ₁₆ | |
| 0352 ₁₆ | タイマB4レジスタ(TB4) | 0392 ₁₆ | タイマB1(TB1) |
| 0353 ₁₆ | | 0393 ₁₆ | |
| 0354 ₁₆ | タイマB5レジスタ(TB5) | 0394 ₁₆ | タイマB2(TB2) |
| 0355 ₁₆ | | 0395 ₁₆ | |
| 0356 ₁₆ | | 0396 ₁₆ | タイマA0モ - ドレジスタ(TA0MR) |
| 0357 ₁₆ | | 0397 ₁₆ | タイマA1モ - ドレジスタ(TA1MR) |
| 0358 ₁₆ | | 0398 ₁₆ | タイマA2モ - ドレジスタ(TA2MR) |
| 0359 ₁₆ | | 0399 ₁₆ | タイマA3モ - ドレジスタ(TA3MR) |
| 035A ₁₆ | | 039A ₁₆ | タイマA4モ - ドレジスタ(TA4MR) |
| 035B ₁₆ | タイマB3モードレジスタ(TB3MR) | 039B ₁₆ | タイマB0モ - ドレジスタ(TB0MR) |
| 035C ₁₆ | タイマB4モードレジスタ(TB4MR) | 039C ₁₆ | タイマB1モ - ドレジスタ(TB1MR) |
| 035D ₁₆ | タイマB5モードレジスタ(TB5MR) | 039D ₁₆ | タイマB2モ - ドレジスタ(TB2MR) |
| 035E ₁₆ | | 039E ₁₆ | |
| 035F ₁₆ | 割り込み要因選択レジスタ(IFSR) | 039F ₁₆ | |
| 0360 ₁₆ | SI/O3送受信レジスタ(S3TRR) | 03A0 ₁₆ | UART0送受信モ - ドレジスタ(U0MR) |
| 0361 ₁₆ | | 03A1 ₁₆ | UART0転送速度レジスタ(U0BRG) |
| 0362 ₁₆ | SI/O3制御レジスタ(S3C) | 03A2 ₁₆ | |
| 0363 ₁₆ | SI/O3転送速度レジスタ(S3BRG) | 03A3 ₁₆ | UART0送信バッファレジスタ(U0TB) |
| 0364 ₁₆ | SI/O4送受信レジスタ(S4TRR) | 03A4 ₁₆ | UART0送受信制御レジスタ 0 (U0C0) |
| 0365 ₁₆ | | 03A5 ₁₆ | UART0送受信制御レジスタ 1 (U0C1) |
| 0366 ₁₆ | SI/O4制御レジスタ(S4C) | 03A6 ₁₆ | |
| 0367 ₁₆ | SI/O4転送速度レジスタ(S4BRG) | 03A7 ₁₆ | UART0受信バッファレジスタ(U0RB) |
| 0368 ₁₆ | | 03A8 ₁₆ | UART1送受信モ - ドレジスタ(U1MR) |
| 0369 ₁₆ | | 03A9 ₁₆ | UART1転送速度レジスタ(U1BRG) |
| 036A ₁₆ | | 03AA ₁₆ | |
| 036B ₁₆ | | 03AB ₁₆ | UART1送信バッファレジスタ(U1TB) |
| 036C ₁₆ | | 03AC ₁₆ | UART1送受信制御レジスタ 0 (U1C0) |
| 036D ₁₆ | | 03AD ₁₆ | UART1送受信制御レジスタ 1 (U1C1) |
| 036E ₁₆ | | 03AE ₁₆ | |
| 036F ₁₆ | | 03AF ₁₆ | UART1受信バッファレジスタ(U1RB) |
| 0370 ₁₆ | | 03B0 ₁₆ | UART送受信制御レジスタ2(UCON) |
| 0371 ₁₆ | | 03B1 ₁₆ | |
| 0372 ₁₆ | | 03B2 ₁₆ | |
| 0373 ₁₆ | | 03B3 ₁₆ | |
| 0374 ₁₆ | | 03B4 ₁₆ | |
| 0375 ₁₆ | UART2特殊モードレジスタ3(U2SMR3) | 03B5 ₁₆ | |
| 0376 ₁₆ | UART2特殊モードレジスタ2(U2SMR2) | 03B6 ₁₆ | |
| 0377 ₁₆ | UART2特殊モードレジスタ(U2SMR) | 03B7 ₁₆ | |
| 0378 ₁₆ | UART2送受信モードレジスタ(U2MR) | 03B8 ₁₆ | DMA0要因選択レジスタ(DM0SL) |
| 0379 ₁₆ | UART2転送速度レジスタ(U2BRG) | 03B9 ₁₆ | |
| 037A ₁₆ | | 03BA ₁₆ | DMA1要因選択レジスタ(DM1SL) |
| 037B ₁₆ | UART2送信バッファレジスタ(U2TB) | 03BB ₁₆ | |
| 037C ₁₆ | UART2送受信制御レジスタ0(U2C0) | 03BC ₁₆ | |
| 037D ₁₆ | UART2送受信制御レジスタ1(U2C1) | 03BD ₁₆ | CRCデータレジスタ(CRCD) |
| 037E ₁₆ | | 03BE ₁₆ | CRCインプットレジスタ(CRCIN) |
| 037F ₁₆ | UART2受信バッファレジスタ(U2RB) | 03BF ₁₆ | |

図2.1.3 周辺装置制御レジスタの配置(2)

| | |
|--------------------|----------------------|
| 03C0 ₁₆ | A-Dレジスタ0(AD0) |
| 03C1 ₁₆ | 予約レジスタ |
| 03C2 ₁₆ | A-Dレジスタ1(AD1) |
| 03C3 ₁₆ | 予約レジスタ |
| 03C4 ₁₆ | A-Dレジスタ2(AD2) |
| 03C5 ₁₆ | 予約レジスタ |
| 03C6 ₁₆ | A-Dレジスタ3(AD3) |
| 03C7 ₁₆ | 予約レジスタ |
| 03C8 ₁₆ | A-Dレジスタ4(AD4) |
| 03C9 ₁₆ | 予約レジスタ |
| 03CA ₁₆ | A-Dレジスタ5(AD5) |
| 03CB ₁₆ | 予約レジスタ |
| 03CC ₁₆ | A-Dレジスタ6(AD6) |
| 03CD ₁₆ | 予約レジスタ |
| 03CE ₁₆ | A-Dレジスタ7(AD7) |
| 03CF ₁₆ | 予約レジスタ |
| 03D0 ₁₆ | |
| 03D1 ₁₆ | |
| 03D2 ₁₆ | |
| 03D3 ₁₆ | |
| 03D4 ₁₆ | A-D制御レジスタ2(ADCON2) |
| 03D5 ₁₆ | |
| 03D6 ₁₆ | A-D制御レジスタ0(ADCON0) |
| 03D7 ₁₆ | A-D制御レジスタ1(ADCON1) |
| 03D8 ₁₆ | D-Aレジスタ0(DA0) |
| 03D9 ₁₆ | |
| 03DA ₁₆ | D-Aレジスタ1(DA1) |
| 03DB ₁₆ | |
| 03DC ₁₆ | D-A制御レジスタ(DACON) |
| 03DD ₁₆ | |
| 03DE ₁₆ | |
| 03DF ₁₆ | |
| 03E0 ₁₆ | ポートP0(P0) |
| 03E1 ₁₆ | ポートP1(P1) |
| 03E2 ₁₆ | ポートP0方向レジスタ(PD0) |
| 03E3 ₁₆ | ポートP1方向レジスタ(PD1) |
| 03E4 ₁₆ | ポートP2(P2) |
| 03E5 ₁₆ | ポートP3(P3) |
| 03E6 ₁₆ | ポートP2方向レジスタ(PD2) |
| 03E7 ₁₆ | ポートP3方向レジスタ(PD3) |
| 03E8 ₁₆ | ポートP4(P4) |
| 03E9 ₁₆ | ポートP5(P5) |
| 03EA ₁₆ | ポートP4方向レジスタ(PD4) |
| 03EB ₁₆ | ポートP5方向レジスタ(PD5) |
| 03EC ₁₆ | ポートP6(P6) |
| 03ED ₁₆ | ポートP7(P7) |
| 03EE ₁₆ | ポートP6方向レジスタ(PD6) |
| 03EF ₁₆ | ポートP7方向レジスタ(PD7) |
| 03F0 ₁₆ | ポートP8(P8) |
| 03F1 ₁₆ | ポートP9(P9) |
| 03F2 ₁₆ | ポートP8方向レジスタ(PD8) |
| 03F3 ₁₆ | ポートP9方向レジスタ(PD9) |
| 03F4 ₁₆ | ポートP10(P10) |
| 03F5 ₁₆ | |
| 03F6 ₁₆ | ポートP10方向レジスタ(PD10) |
| 03F7 ₁₆ | |
| 03F8 ₁₆ | |
| 03F9 ₁₆ | |
| 03FA ₁₆ | |
| 03FB ₁₆ | |
| 03FC ₁₆ | プルアップ制御レジスタ 0 (PUR0) |
| 03FD ₁₆ | プルアップ制御レジスタ 1 (PUR1) |
| 03FE ₁₆ | プルアップ制御レジスタ 2 (PUR2) |
| 03FF ₁₆ | ポート制御レジスタ(PCR) |

図2.1.4 周辺装置制御レジスタの配置(3)

2.2 中央演算処理装置

中央演算処理装置には図2.2.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

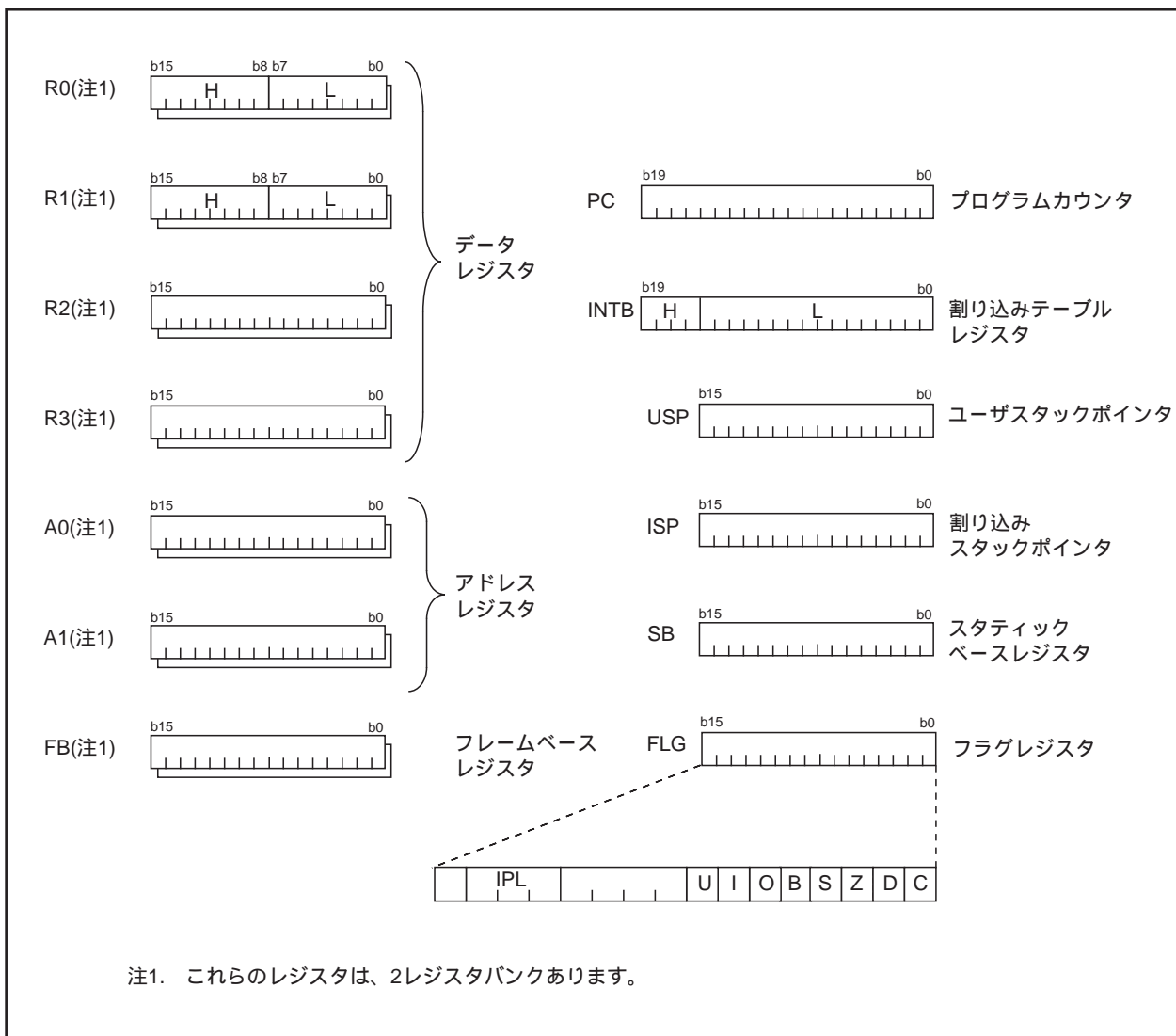


図2.2.1 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図2.2.2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスク可能割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

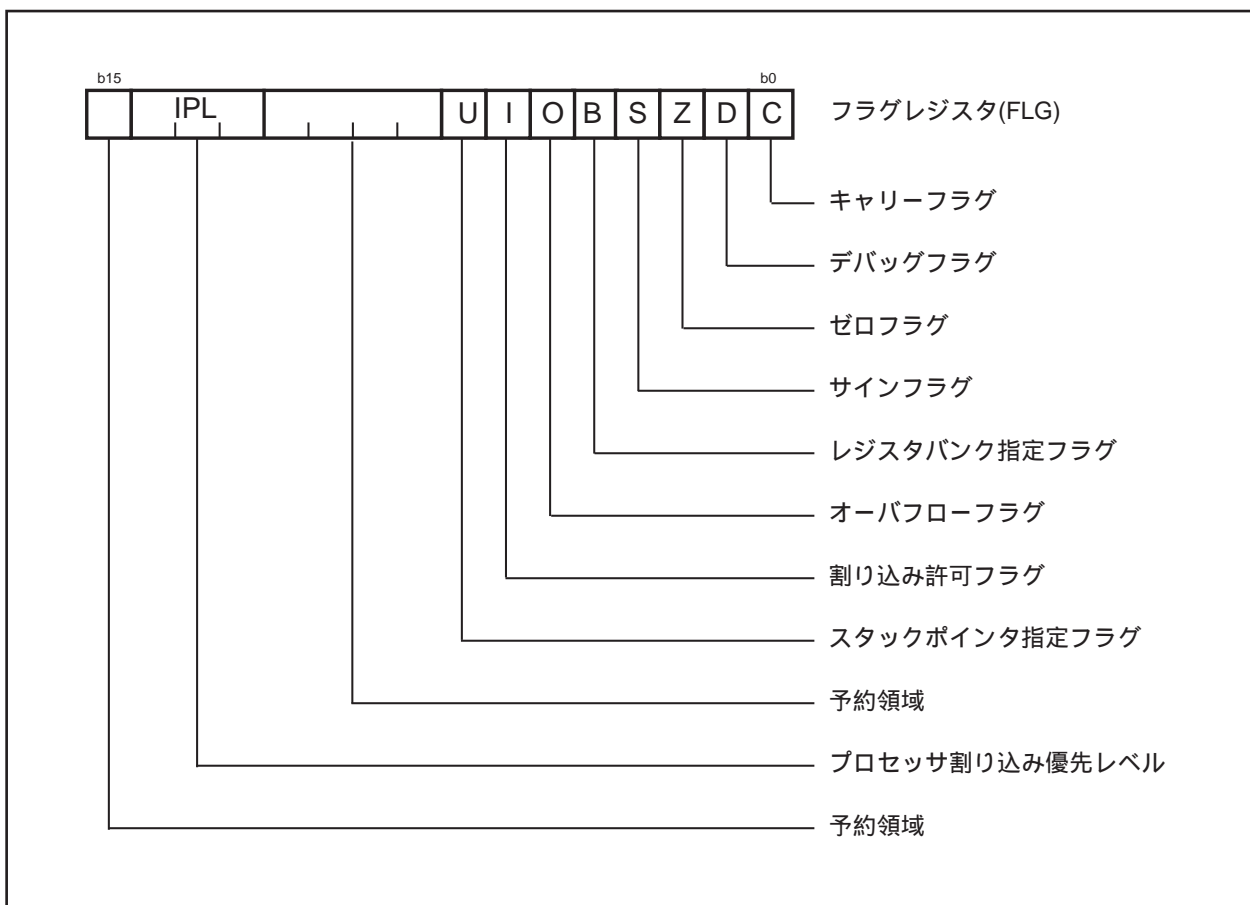


図2.2.2 フラグレジスタ(FLG)の構成

2.3 リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル($0.2V_{CC}$ 以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。リセット回路の一例を図2.3.1、リセットシーケンスを図2.3.2に示します。

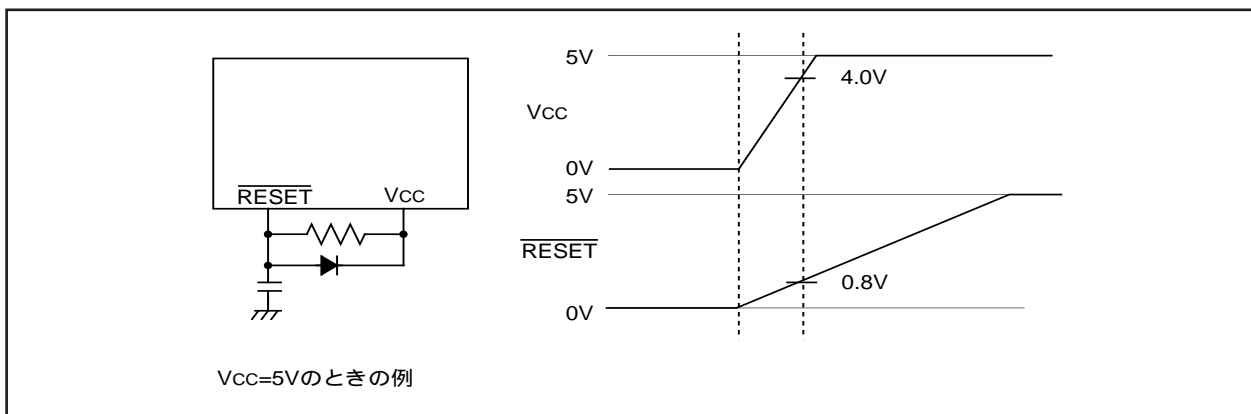


図2.3.1 リセット回路の一例

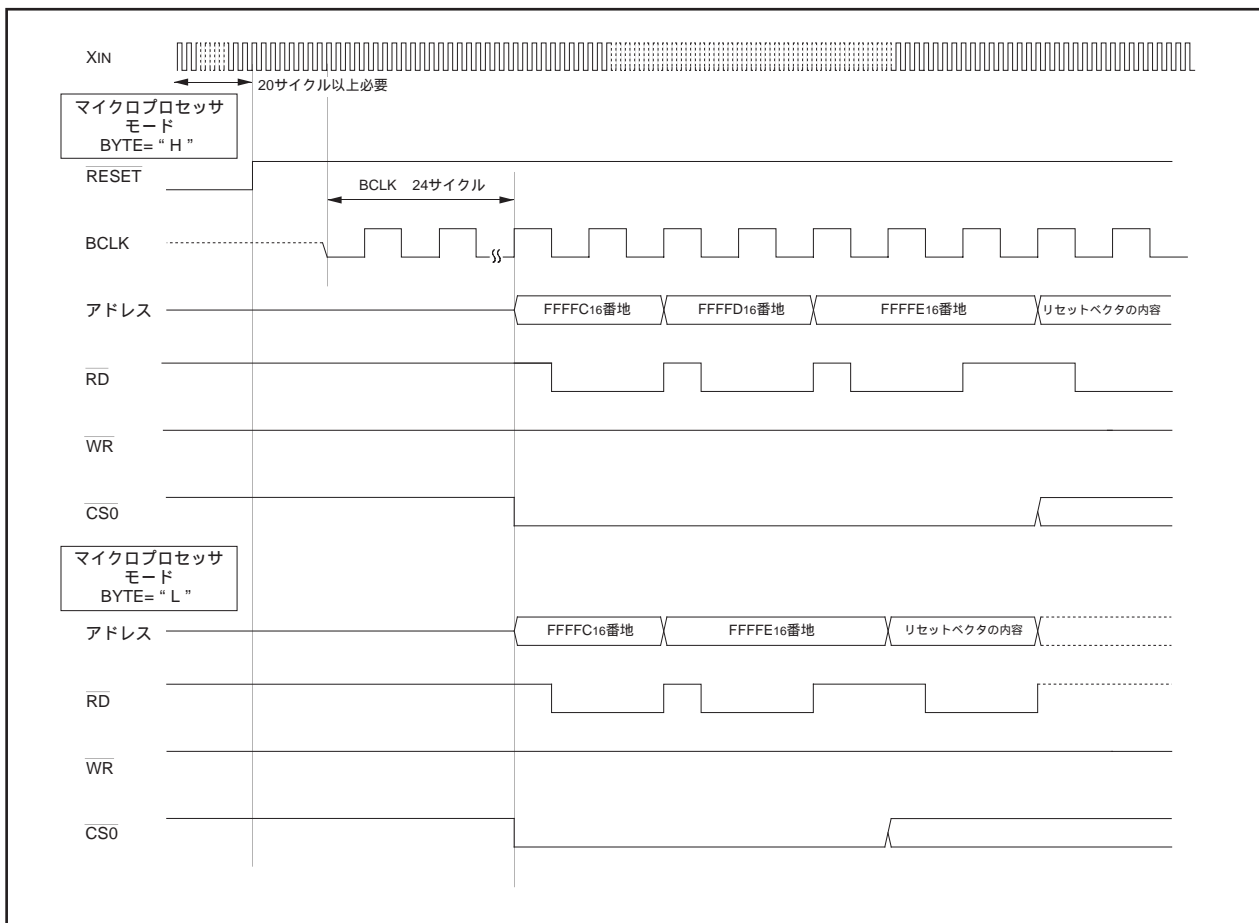


図2.3.2 リセットシーケンス

RESET端子のレベルが“L”の期間の端子の状態を表2.3.1、リセット解除直後のマイクロコンピュータの内部状態を図2.3.3、図2.3.4に示します。

表2.3.1 RESET端子のレベルが“L”の期間の端子の状態

| 端子名 | 端子の状態 | |
|--|-------------------------------------|-------------------------------------|
| | CNVss = Vcc | |
| | BYTE = Vss | BYTE = Vcc |
| P0 | データ入力(フローティング) | データ入力(フローティング) |
| P1 | データ入力(フローティング) | 入力ポート(フローティング) |
| P2, P3, P40 ~ P43 | アドレス出力(不定) | アドレス出力(不定) |
| P44 | CS0出力(“H”レベルを出力) | CS0出力(“H”レベルを出力) |
| P45 ~ P47 | 入力ポート(フローティング) (ただし、プルアップ抵抗ON状態) | 入力ポート(フローティング) (ただし、プルアップ抵抗ON状態) |
| P50 | WR出力(“H”レベルを出力) | WR出力(“H”レベルを出力) |
| P51 | BHE出力(不定) | BHE出力(不定) |
| P52 | RD出力(“H”レベルを出力) | RD出力(“H”レベルを出力) |
| P53 | BCLK出力 | BCLK出力 |
| P54 | HLDA出力(出力値はHOLD端子の 入りに依存) | HLDA出力(出力値はHOLD端子の 入りに依存) |
| P55 | HOLD入力(フローティング) | HOLD入力(フローティング) |
| P56 | ALE出力(“L”レベルを出力) | ALE出力(“L”レベルを出力) |
| P57 | RDY入力(フローティング) | RDY入力(フローティング) |
| P6, P7, P80 ~ P84, P86, P87, P9, P10 | 入力ポート(フローティング) | 入力ポート(フローティング) |
| P110 ~ P118 | 出力ポート | 出力ポート |
| CVIDEO1, CVIDEO2 | 出力ポート | 出力ポート |
| CVIN1, CVIN2 SVREF, SECAMIN, SYNCIN VERT, FSCIN | 入力ポート | 入力ポート |
| LP1, LP2, LP3, LP4 | 出力ポート | 出力ポート |

2.3.1 ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

| | | | | | |
|-------------------|-------------|-------------------|--------------------|-------------|-----------------|
| プロセッサモードレジスタ0(注1) | (000416)... | 0016 | 表示RAMアドレス制御レジスタ | (020216)... | 0016 |
| プロセッサモードレジスタ1 | (000516)... | 0 0 0 0 0 0 X X 0 | 表示RAMデータ制御レジスタ | (020316)... | 0016 |
| システムクロック制御レジスタ0 | (000616)... | 0 1 0 0 1 0 0 0 | フロントRAMアドレス制御レジスタ | (020416)... | 0016 |
| システムクロック制御レジスタ1 | (000716)... | 0 0 1 0 0 0 0 0 | フロントRAMデータ制御レジスタ | (020516)... | 0016 |
| チップセレクト制御レジスタ | (000816)... | 0 0 0 0 0 0 0 1 | SYRAMアドレス制御レジスタ | (020616)... | 0016 |
| アドレス一致割り込み許可レジスタ | (000916)... | X X X X X X 0 0 | SYRAMデータ制御レジスタ | (020716)... | 0016 |
| プロテクトレジスタ | (000A16)... | X X X X X 0 0 0 | スライスRAMアドレス制御レジスタ | (020816)... | 0016 |
| 監視タイマ制御レジスタ | (000F16)... | 0 0 0 ? ? ? ? ? | スライスRAMデータ制御レジスタ | (020916)... | 0016 |
| アドレス一致割り込みレジスタ0 | (001016)... | 0016 | VBIRAMアドレス制御レジスタ | (020A16)... | 0016 |
| | (001116)... | 0016 | VBIRAMデータ制御レジスタ | (020B16)... | 0016 |
| | (001216)... | X X X X 0 0 0 0 | 拡張レジスタ用アドレス制御レジスタ | (020C16)... | 0016 |
| アドレス一致割り込みレジスタ1 | (001416)... | 0016 | 拡張レジスタ用データ制御レジスタ | (020D16)... | 0016 |
| | (001516)... | 0016 | | (020E16)... | 0016 |
| | (001616)... | X X X X 0 0 0 0 | | (020F16)... | 0016 |
| DMA0制御レジスタ | (002C16)... | 0 0 0 0 0 ? 0 0 | | (021016)... | 0016 |
| DMA1制御レジスタ | (003C16)... | 0 0 0 0 0 ? 0 0 | | (021116)... | 0016 |
| INT3割り込み制御レジスタ | (004416)... | X X 0 0 ? 0 0 0 | | (021216)... | 0016 |
| タイマB5割り込み制御レジスタ | (004516)... | X X X X ? 0 0 0 | | (021316)... | 0016 |
| タイマB4割り込み制御レジスタ | (004616)... | X X X X ? 0 0 0 | | (021416)... | 0016 |
| タイマB3割り込み制御レジスタ | (004716)... | X X X X ? 0 0 0 | | (021516)... | 0016 |
| SI/O4割り込み制御レジスタ | (004816)... | X X 0 0 ? 0 0 0 | | (021616)... | 0016 |
| SI/O3割り込み制御レジスタ | (004916)... | X X 0 0 ? 0 0 0 | | (021716)... | 0016 |
| バス衝突検出割り込み制御レジスタ | (004A16)... | X X X X ? 0 0 0 | | (021816)... | 0016 |
| DMA0割り込み制御レジスタ | (004B16)... | X X X X ? 0 0 0 | | (021916)... | 0016 |
| DMA1割り込み制御レジスタ | (004C16)... | X X X X ? 0 0 0 | | (021A16)... | 0016 |
| キー入力割り込み制御レジスタ | (004D16)... | X X X X ? 0 0 0 | | (021B16)... | 0016 |
| A-D変換割り込み制御レジスタ | (004E16)... | X X X X ? 0 0 0 | | (021C16)... | 0016 |
| UART2送信割り込み制御レジスタ | (004F16)... | X X X X ? 0 0 0 | | (021D16)... | 0016 |
| UART2受信割り込み制御レジスタ | (005016)... | X X X X ? 0 0 0 | | (021E16)... | 0016 |
| UART0送信割り込み制御レジスタ | (005116)... | X X X X ? 0 0 0 | | (021F16)... | 0016 |
| UART0受信割り込み制御レジスタ | (005216)... | X X X X ? 0 0 0 | タイマB3,4,5カウント開始フラグ | (034016)... | 0 0 0 X X X X X |
| UART1送信割り込み制御レジスタ | (005316)... | X X X X ? 0 0 0 | 予約レジスタ | (034816)... | 0016 |
| UART1受信割り込み制御レジスタ | (005416)... | X X X X ? 0 0 0 | 予約レジスタ | (034916)... | 0016 |
| タイマA0割り込み制御レジスタ | (005516)... | X X X X ? 0 0 0 | 予約レジスタ | (034A16)... | 0016 |
| タイマA1割り込み制御レジスタ | (005616)... | X X X X ? 0 0 0 | 予約レジスタ | (034B16)... | 0016 |
| タイマA2割り込み制御レジスタ | (005716)... | X X X X ? 0 0 0 | タイマB3モードレジスタ | (035B16)... | 0 0 ? X 0 0 0 0 |
| タイマA3割り込み制御レジスタ | (005816)... | X X X X ? 0 0 0 | タイマB4モードレジスタ | (035C16)... | 0 0 ? X 0 0 0 0 |
| タイマA4割り込み制御レジスタ | (005916)... | X X X X ? 0 0 0 | タイマB5モードレジスタ | (035D16)... | 0 0 ? X 0 0 0 0 |
| タイマB0割り込み制御レジスタ | (005A16)... | X X X X ? 0 0 0 | 割り込み要因選択レジスタ | (035F16)... | 0016 |
| タイマB1割り込み制御レジスタ | (005B16)... | X X X X ? 0 0 0 | SI/O3制御レジスタ | (036216)... | 4016 |
| タイマB2割り込み制御レジスタ | (005C16)... | X X X X ? 0 0 0 | SI/O4制御レジスタ | (036616)... | 4016 |
| INT0割り込み制御レジスタ | (005D16)... | X X 0 0 ? 0 0 0 | UART2特殊モードレジスタ2 | (037616)... | 0016 |
| INT1割り込み制御レジスタ | (005E16)... | X X 0 0 ? 0 0 0 | UART2特殊モードレジスタ | (037716)... | 0016 |
| INT2割り込み制御レジスタ | (005F16)... | X X 0 0 ? 0 0 0 | UART2送受信モードレジスタ | (037816)... | 0016 |
| | | | UART2送受信制御レジスタ0 | (037C16)... | 0 0 0 0 1 0 0 0 |
| | | | UART2送受信制御レジスタ1 | (037D16)... | 0 0 0 0 0 0 1 0 |

× : このビットは何も配置されていません。
? : 不定です。
これ以外のレジスタおよびRAMの内容はリセット時には不定です。初期値をセットしてください。
注1. CNVss端子にVccレベルを印加しているときは、リセット時0316になります。

図2.3.3 リセット解除後のマイクロコンピュータの内部状態(1)

| | | | | | |
|------------------|--------------------------|---------------------------|----------------------|--------------------------|---------------------|
| カウント開始フラグ | (0380 ₁₆)... | 00 ₁₆ | D-A制御レジスタ | (03DC ₁₆)... | 00 ₁₆ |
| 時計用プリスケアラリセットフラグ | (0381 ₁₆)... | 0 ₁₆ XXXXXXXX | ポートP0方向レジスタ | (03E2 ₁₆)... | 00 ₁₆ |
| ワンショット開始フラグ | (0382 ₁₆)... | 00 ₁₆ XXXX0000 | ポートP1方向レジスタ | (03E3 ₁₆)... | 00 ₁₆ |
| トリガ選択レジスタ | (0383 ₁₆)... | 00 ₁₆ | ポートP2方向レジスタ | (03E6 ₁₆)... | 00 ₁₆ |
| アップダウンフラグ | (0384 ₁₆)... | 00 ₁₆ | ポートP3方向レジスタ | (03E7 ₁₆)... | 00 ₁₆ |
| タイマA0モードレジスタ | (0396 ₁₆)... | 00 ₁₆ | ポートP4方向レジスタ | (03EA ₁₆)... | 00 ₁₆ |
| タイマA1モードレジスタ | (0397 ₁₆)... | 00 ₁₆ | ポートP5方向レジスタ | (03EB ₁₆)... | 00 ₁₆ |
| タイマA2モードレジスタ | (0398 ₁₆)... | 00 ₁₆ | ポートP6方向レジスタ | (03EE ₁₆)... | 00 ₁₆ |
| タイマA3モードレジスタ | (0399 ₁₆)... | 00 ₁₆ | ポートP7方向レジスタ | (03EF ₁₆)... | 00 ₁₆ |
| タイマA4モードレジスタ | (039A ₁₆)... | 00 ₁₆ | ポートP8方向レジスタ | (03F2 ₁₆)... | 00XXXX0000 |
| タイマB0モードレジスタ | (039B ₁₆)... | 00?XXXX000 | ポートP9方向レジスタ | (03F3 ₁₆)... | 00 ₁₆ |
| タイマB1モードレジスタ | (039C ₁₆)... | 00?XXXX000 | ポートP10方向レジスタ | (03F6 ₁₆)... | 00 ₁₆ |
| タイマB2モードレジスタ | (039D ₁₆)... | 00?XXXX000 | ブルアップ制御レジスタ0 | (03FC ₁₆)... | 00 ₁₆ |
| UART0送受信モードレジスタ | (03A0 ₁₆)... | 00 ₁₆ | ブルアップ制御レジスタ1(注1) | (03FD ₁₆)... | 00 ₁₆ |
| UART0送受信制御レジスタ0 | (03A4 ₁₆)... | 0000010000 | ブルアップ制御レジスタ2 | (03FE ₁₆)... | 00 ₁₆ |
| UART0送受信制御レジスタ1 | (03A5 ₁₆)... | 0000000100 | ポート制御レジスタ | (03FF ₁₆)... | 00 ₁₆ |
| UART1送受信モードレジスタ | (03A8 ₁₆)... | 00 ₁₆ | データレジスタ(R0/R1/R2/R3) | | 0000 ₁₆ |
| UART1送受信制御レジスタ0 | (03AC ₁₆)... | 0000010000 | アドレスレジスタ(A0/A1) | | 0000 ₁₆ |
| UART1送受信制御レジスタ1 | (03AD ₁₆)... | 0000000100 | フレームベースレジスタ(FB) | | 0000 ₁₆ |
| UART送受信制御レジスタ2 | (03B0 ₁₆)... | XXXX000000 | 割り込みテーブルレジスタ(INTB) | | 00000 ₁₆ |
| DMA0要因選択レジスタ | (03B8 ₁₆)... | 00 ₁₆ | ユーザスタックポインタ(USP) | | 0000 ₁₆ |
| DMA1要因選択レジスタ | (03BA ₁₆)... | 00 ₁₆ | 割り込みスタックポインタ(ISP) | | 0000 ₁₆ |
| A-D制御レジスタ2 | (03D4 ₁₆)... | 0000XXXX00 | スタティックベースレジスタ(SB) | | 0000 ₁₆ |
| A-D制御レジスタ0 | (03D6 ₁₆)... | 000000??? | フラグレジスタ(FLG) | | 0000 ₁₆ |
| A-D制御レジスタ1 | (03D7 ₁₆)... | 00 ₁₆ | | | |

× : このビットは何も配置されていません。
 ? : 不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注1 . CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります。

図2.3.4 リセット解除後のマイクロコンピュータの内部状態(2)

2.4 プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、マイクロプロセッサモードで使用することができます。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。

その本数は、バス幅やレジスタの設定によって異なります(詳細は、「2.4.1 バス設定」を参照してください)。

(2) マイクロプロセッサモードの設定

マイクロプロセッサモードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“112”に設定してください。

CNVss端子のレベルにかかわらず、ソフトウェアによりプロセッサモードビットの内容を書き替えることができます。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。

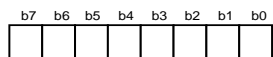
CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図2.4.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図2.4.2にマイクロプロセッサモードのメモリ配置図を示します。

プロセッサモードレジスタ0(注1)

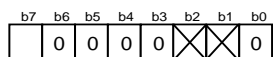


シンボル アドレス リセット時
PM0 0004₁₆番地 00₁₆(注2)

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|---|--|-----|
| PM00 | プロセッサモードビット | b1 b0 0 0: 使用禁止 0 1: 使用禁止 1 0: 使用禁止 1 1: マイクロプロセッサモード | |
| PM01 | | | |
| PM02 | R/Wモード選択ビット | 0: RD, BHE, WR 1: RD, WRH, WRL | |
| PM03 | ソフトウェアリセットビット | このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。 | |
| PM04 | マルチプレクスバス空間 選択ビット | b5 b4 0 0: マルチプレクスバスを使用しない 0 1: CS2の空間に割り当てる 1 0: 使用禁止 1 1: 使用禁止 | |
| PM05 | | | |
| PM06 | ポートP4 ₀ ～P4 ₃ 機能 選択ビット | 0: アドレス出力 1: ポート機能 (アドレスは出力されません) | |
| PM07 | BCLK出力禁止ビット | 0: 出力する 1: 出力しない (端子はフローティングになります) | |

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。
注2. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります (PM00およびPM01が“1”になります)。

プロセッサモードレジスタ1(注1)



シンボル アドレス リセット時
PM1 0005₁₆番地 00000XX₀₂

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|---|------------------------|-----|
| | 予約ビット | 必ず“0”を設定してください。 | |
| | 何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。 | | - - |
| | 予約ビット | 必ず“0”を設定してください | - |
| | 予約ビット | 必ず“0”を設定してください | |
| PM17 | ウエイトビット | 0: ウエイトなし 1: ウエイトあり | |

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

図2.4.1 プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

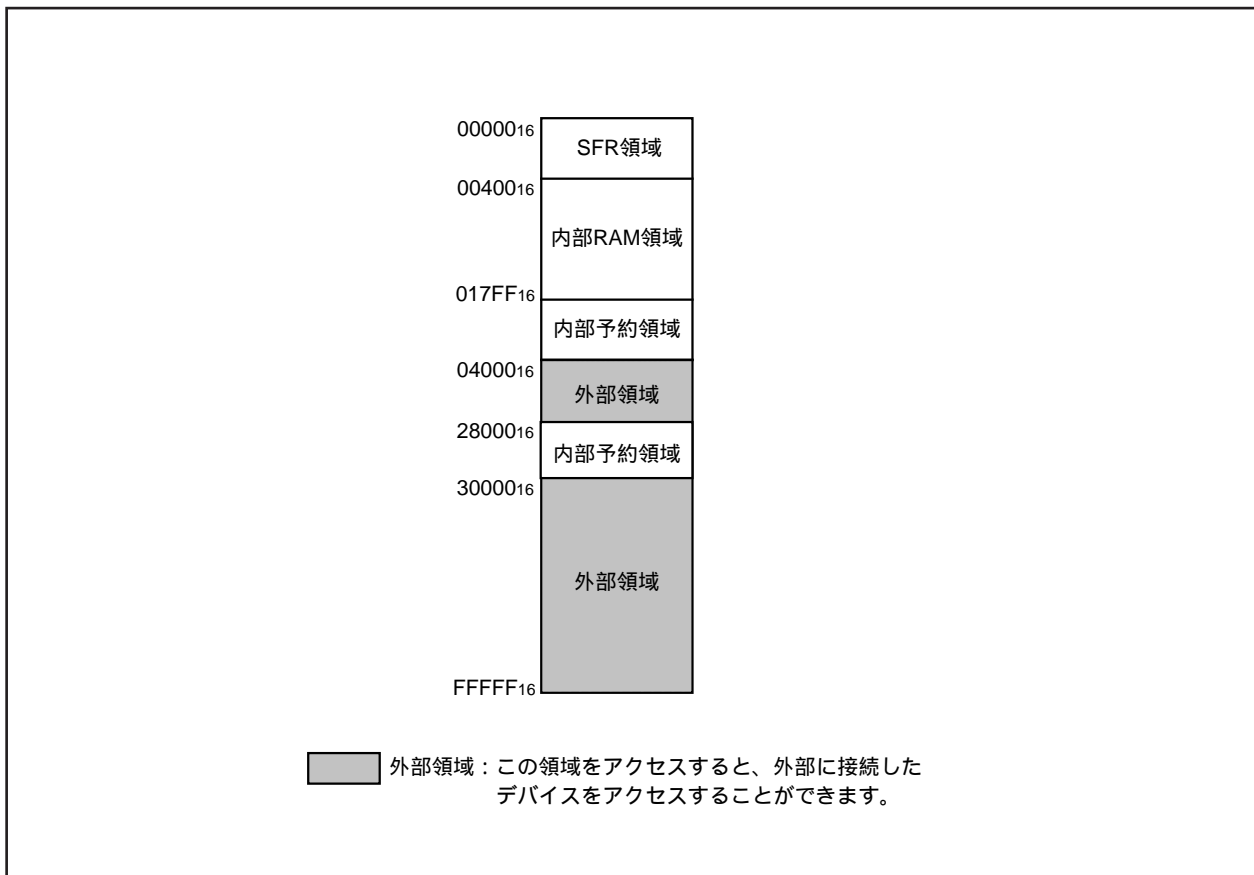


図2.4.2 マイクロプロセッサモード時のメモリ配置

2.4.1 バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6で切り替えることができます。

表2.4.1に各バスの設定と切り替え要因を示します。

表2.4.1 バスの設定と切り替え要因

| バスの設定 | 切り替え要因 |
|-----------------------|-------------------------|
| 外部アドレスバス幅切り替え | プロセッサモードレジスタ0のビット6 |
| 外部データバス幅切り替え | BYTE端子 |
| セパレートバス/マルチプレクスバス切り替え | プロセッサモードレジスタ0のビット4、ビット5 |

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P4₀～P4₃は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP4₀～P4₃がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス/マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウエアウエイットの有無を選択できます。

マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。データバスが8ビット(BYTE端子が“H”レベル)のとき、D₀～D₇の8ビットがA₀～A₇とマルチプレクスされます。

データバスが16ビット(BYTE端子が“L”レベル)のとき、D₀～D₇の8ビットがA₁～A₈とマルチプレクスされD₈～D₁₅はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、P5₆から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウエアウエイットを挿入して下さい。

リセット解除後、セパレートバスで動作しますので、全空間マルチプレクスバスは選択できません。

表2.4.2 プロセッサモードと端子の機能表

| プロセッサモード | マイクロプロセッサモード | | | |
|--|--|--------------------------|--------------------------|--------------------------|
| マルチプレクスバス 空間選択ビット | "01" (CS2はマルチプレクスバスで、それ以外はセパレートバス) | | "00" (セパレートバス) | |
| データバス幅 BYTE端子レベル | 8ビット "H" | 16ビット "L" | 8ビット "H" | 16ビット "L" |
| P00 - P07 | データバス | データバス | データバス | データバス |
| P10 - P17 | 入出力ポート | データバス | 入出力ポート | データバス |
| P20 | アドレスバス/ データバス(注1) | アドレスバス | アドレスバス | アドレスバス |
| P21 - P27 | アドレスバス/ データバス(注1) | アドレスバス/ データバス(注1) | アドレスバス | アドレスバス |
| P30 | アドレスバス | アドレスバス/ データバス(注1) | アドレスバス | アドレスバス |
| P31 - P37 | アドレスバス | アドレスバス | アドレスバス | アドレスバス |
| P40 - P43 ポートP40 - P43機能 選択ビット="1" | 入出力ポート | 入出力ポート | 入出力ポート | 入出力ポート |
| P40 - P43 ポートP40 - P43機能 選択ビット="0" | アドレスバス | アドレスバス | アドレスバス | アドレスバス |
| P44 - P47 | CS(チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「バス制御」を参照) | | | |
| P50 - P53 | RD、WRL、WRH、BCLK出力またはRD、BHE、WR、BCLK出力 (詳細は「バス制御」を参照) | | | |
| P54 | $\overline{\text{HLDA}}$ | $\overline{\text{HLDA}}$ | $\overline{\text{HLDA}}$ | $\overline{\text{HLDA}}$ |
| P55 | HOLD | HOLD | HOLD | HOLD |
| P56 | ALE | ALE | ALE | ALE |
| P57 | $\overline{\text{RDY}}$ | $\overline{\text{RDY}}$ | $\overline{\text{RDY}}$ | $\overline{\text{RDY}}$ |

注1. セパレートバスではアドレスバスになります。

2.4.2 バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。

(1) アドレスバス/データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0～A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0～D7の8本がデータバスに、BYTE端子が“L”のときはD0～D15の16本がデータバスになります。

(2) チップセレクト信号

チップセレクト信号はP44、P46、P47と兼用で、チップセレクト制御レジスタ(0008₁₆番地)のビット0、ビット2、ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。

マイクロプロセッサモードの場合、リセット解除のときCS0だけチップセレクト信号を出力し、CS2、CS3は入力ポートになっています。チップセレクト制御レジスタの構成を図2.4.3に示します。

チップセレクト信号によって外部領域を分割することができます。チップセレクト信号によって指定する外部領域を表2.4.3に示します。

表2.4.3 チップセレクト信号によって指定する外部領域

| プロセッサモード | チップセレクト信号 | | |
|--------------|---|---|--|
| | CS0 | CS2 | CS3 |
| マイクロプロセッサモード | 30000 ₁₆ ～FFFFF ₁₆ (832Kバイト) | 08000 ₁₆ ～27FFF ₁₆ (128Kバイト) | 04000 ₁₆ ～07FFF ₁₆ (16Kバイト) |

注：28000₁₆～2FFFF₁₆番地は、内部予約領域となっており使用できません。

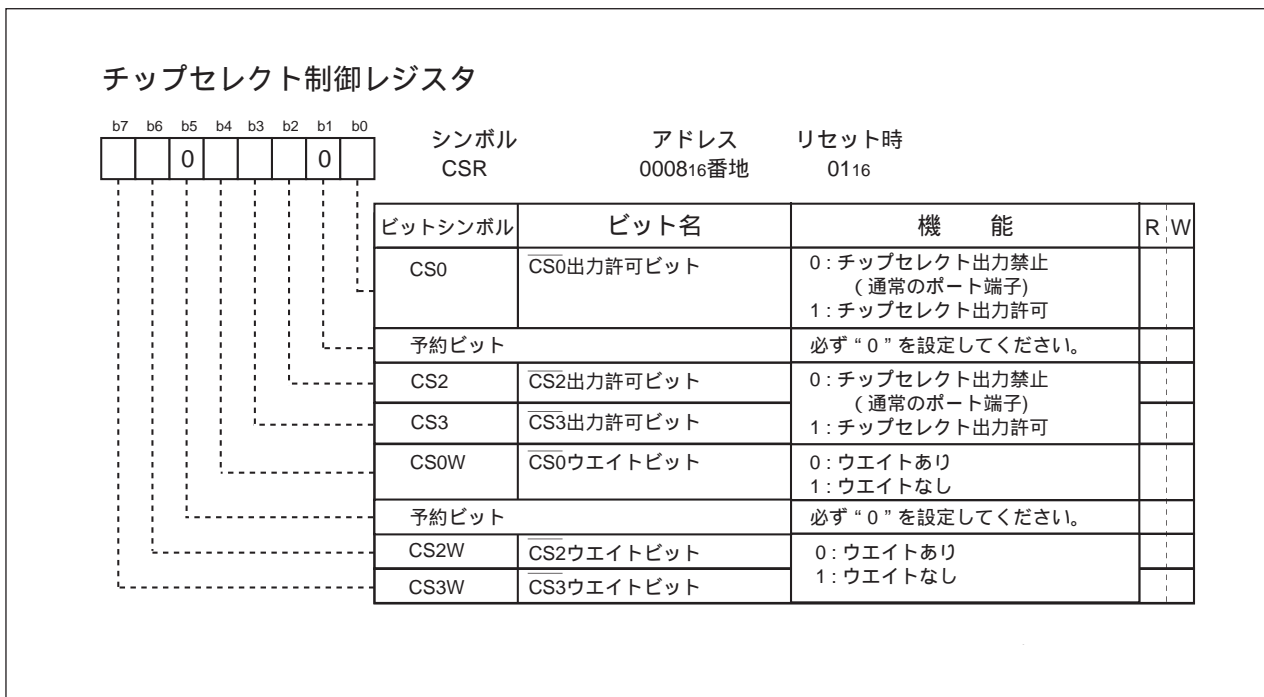


図2.4.3 チップセレクト制御レジスタの構成

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2を“0”にしてください)。各信号の動作を表2.4.4、表2.4.5に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表2.4.4 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

| データバス幅 | \overline{RD} | \overline{WRL} | \overline{WRH} | 外部データバスの状態 |
|---------------------|-----------------|------------------|------------------|----------------------|
| 16ビット (BYTE=“L”) | L | H | H | データを読み出す |
| | H | L | H | 偶数番地に1バイトデータを書き込む |
| | H | H | L | 奇数番地に1バイトデータを書き込む |
| | H | L | L | 偶数番地、奇数番地ともにデータを書き込む |

表2.4.5 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

| データバス幅 | \overline{RD} | \overline{WR} | \overline{BHE} | A0 | 外部データバスの状態 |
|---------------------|-----------------|-----------------|------------------|-----|----------------------|
| 16ビット (BYTE=“L”) | H | L | L | H | 奇数番地に1バイトデータを書き込む |
| | L | H | L | H | 奇数番地に1バイトデータを読み出す |
| | H | L | H | L | 偶数番地に1バイトデータを書き込む |
| | L | H | H | L | 偶数番地に1バイトデータを読み出す |
| | H | L | L | L | 偶数番地、奇数番地ともにデータを書き込む |
| | L | H | L | L | 偶数番地、奇数番地ともにデータを読み出す |
| 8ビット (BYTE=“H”) | H | L | 使用しない | H/L | 1バイトのデータを書き込む |
| | L | H | 使用しない | H/L | 1バイトのデータを読み出す |

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

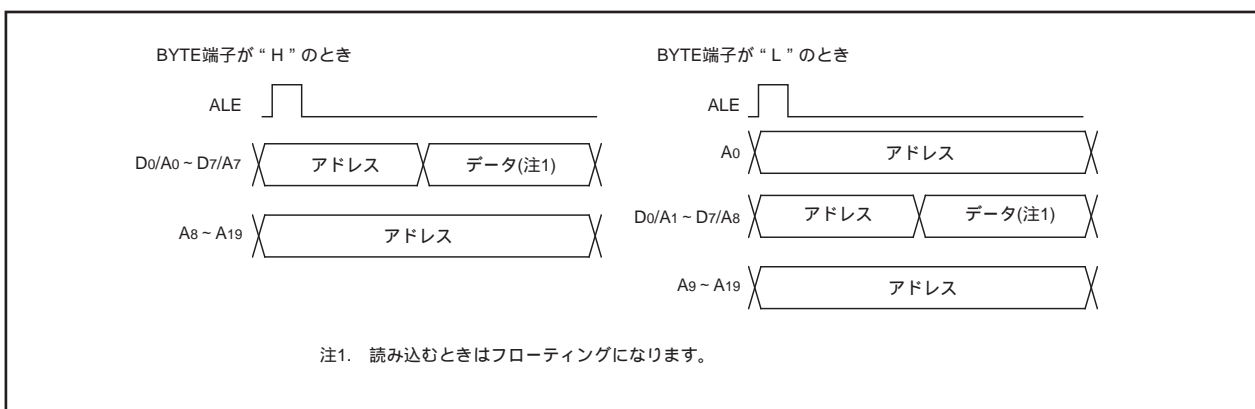


図2.4.4 ALE信号とアドレスバス/データバス

(5) $\overline{\text{RDY}}$ 信号

$\overline{\text{RDY}}$ は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図2.4.5に示すようにBCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“L”が入力されているとき、バスはウエイト状態になります。BCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“H”が入力されているとき、バスはウエイト状態を解除します。表2.4.6にバスのウエイト状態におけるマイクロコンピュータの状態、図2.4.5に $\overline{\text{RD}}$ 信号が $\overline{\text{RDY}}$ 信号によってのびた例を示します。

$\overline{\text{RDY}}$ 信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4、ビット6、ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4、ビット6、ビット7に全て“1”を設定している場合は、 $\overline{\text{RDY}}$ 信号は無効ですが、 $\overline{\text{RDY}}$ 端子の未使用端子の処理が必要です。

表2.4.6 バスのウエイト状態におけるマイクロコンピュータの状態(注1)

| 項目 | 状態 |
|---|--|
| 発振 | 動作 |
| R/W信号、アドレスバス、データバス、CS ALE信号、 $\overline{\text{HLDA}}$ プログラマブル入出力ポート | $\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持 |
| 内蔵周辺回路 | 動作 |

注1. ソフトウェアウエイトによるウエイトの直前には $\overline{\text{RDY}}$ 信号は受け付けられません。

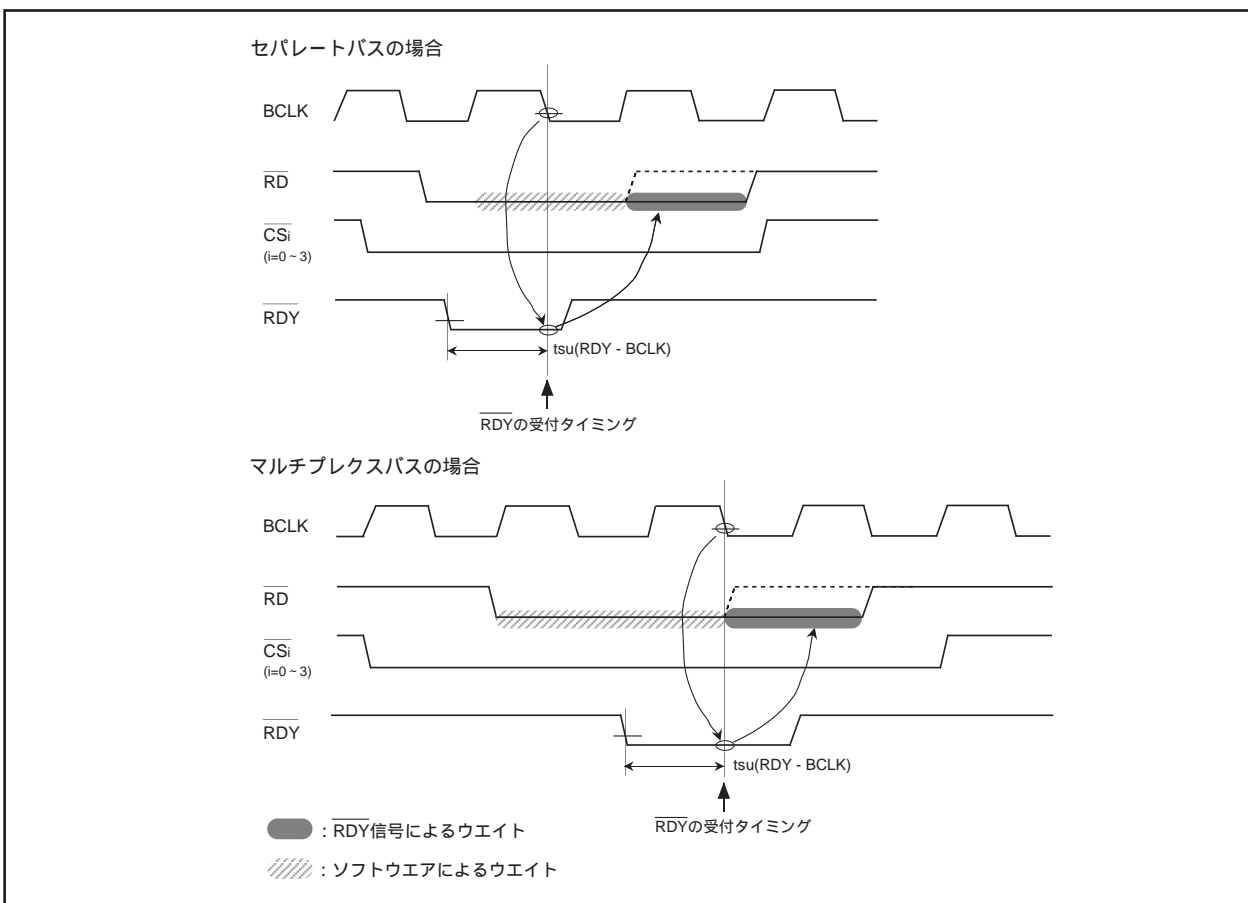


図2.4.5 $\overline{\text{RD}}$ 信号が $\overline{\text{RDY}}$ 信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、HOLD端子が“L”の期間その状態を保持します。また、その間HLDA端子から“L”を出力します。表2.4.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなっています。

HOLD > DMAC > CPU

図2.4.6 バス使用優先順位

表2.4.7 ホールド状態におけるマイクロコンピュータの状態

| 項目 | 状態 | |
|---------------------------|------------------------|-------------------|
| 発振 | 動作 | |
| R/W信号、アドレスバス、データバス、CS、BHE | フローティング | |
| プログラマブル入出力ポート | P0, P1, P2, P3, P4, P5 | フローティング |
| | P6, P7, P8, P9, P10 | ホールド信号を受け付けた状態を保持 |
| HLDA | “L”を出力 | |
| 内蔵周辺回路 | 動作(ただし監視タイマは停止) | |
| ALE信号 | 不定 | |

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表2.4.8に示します。

表2.4.8 内部領域をアクセスしたときの外部バスの状態

| 項目 | SFRをアクセスしたときの状態 | 内部RAMをアクセスしたときの状態 |
|------------------|---------------------|------------------------|
| アドレスバス | アドレスを出力 | 直前にアクセスされた外部領域のアドレスを保持 |
| データバス | リード時 | フローティング |
| | ライト時 | データを出力 |
| RD, WR, WRL, WRH | RD, WR, WRL, WRHを出力 | “H”を出力 |
| BHE | BHEを出力 | 直前にアクセスされた外部領域の状態を保持 |
| CS | “H”を出力 | “H”を出力 |
| ALE | “L”を出力 | “L”を出力 |

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

(9) ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008₁₆番地)のビット4、ビット6、ビット7によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部RAM領域、および外部メモリ領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4、ビット6、ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY信号を使用する場合、チップセレクト制御レジスタのビット4、ビット6、ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4、ビット6、ビット7の値によって、チップセレクト信号で選択された領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4、ビット6、ビット7はそれぞれチップセレクトCS0、CS2、CS3に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウェアウエイトを挿入してください。

表2.4.9にソフトウェアウエイトとバスサイクル、図2.4.7にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表2.4.9 ソフトウェアウエイトとバスサイクル

| 領域 | バス形状 | ウエイトビット | チップセレクト制御レジスタビット4、ビット6、ビット7 | バスサイクル |
|---------|-----------|---------|-----------------------------|------------|
| SFR | —— | 無効 | 無効 | BCLKの2サイクル |
| 内部RAM | —— | 0 | 無効 | BCLKの1サイクル |
| | —— | 1 | 無効 | BCLKの2サイクル |
| 外部メモリ領域 | セパレートバス | 0 | 1 | BCLKの1サイクル |
| | セパレートバス | 0 | 0 | BCLKの2サイクル |
| | セパレートバス | 1 | 0(注1) | BCLKの2サイクル |
| | マルチプレクスバス | 0 | 0 | BCLKの3サイクル |
| | マルチプレクスバス | 1 | 0(注1) | BCLKの3サイクル |

注1. RDY信号を使用する場合“0”を設定してください。

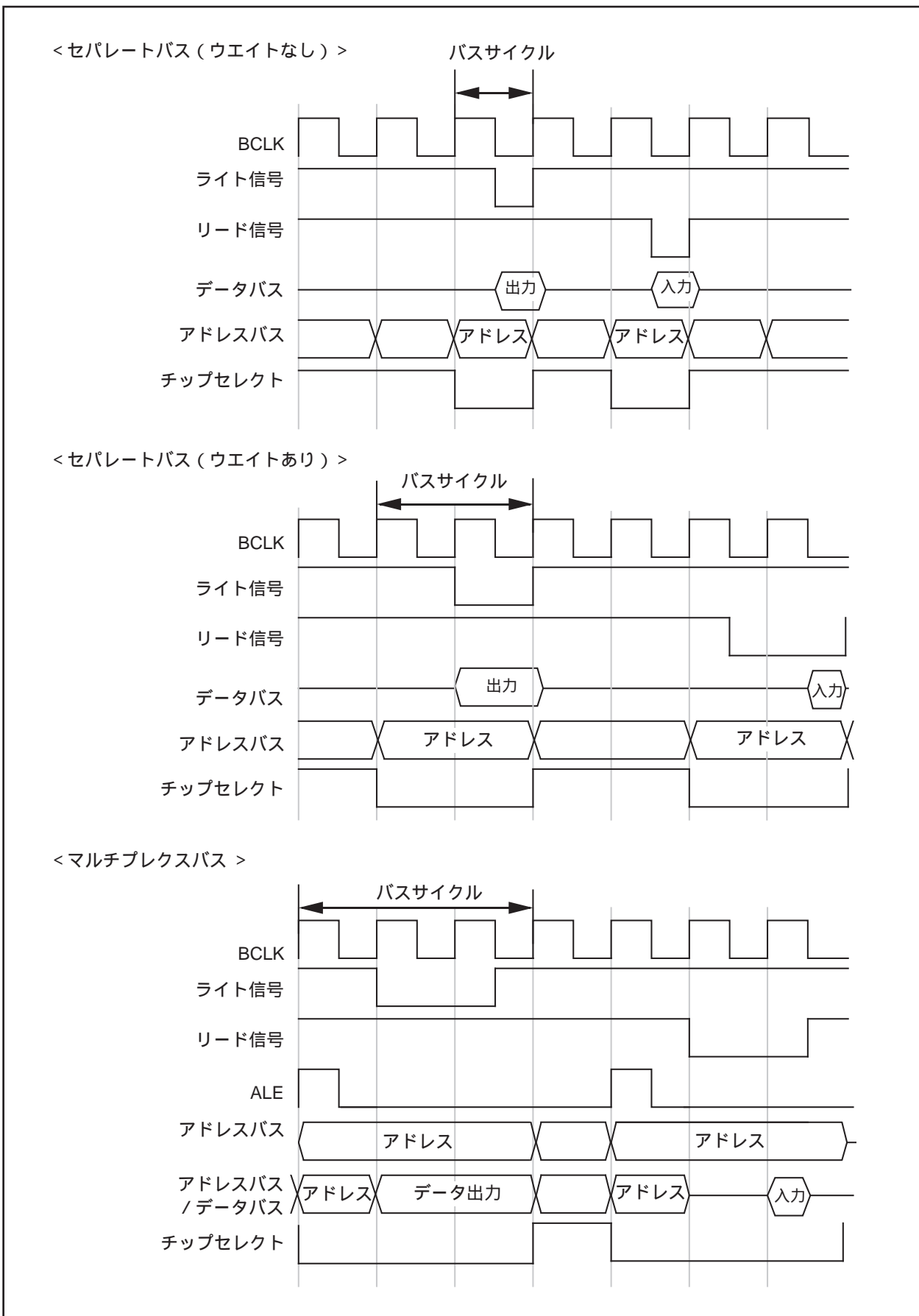


図2.4.7 ソフトウェアウエイトを使用した場合のバスタイミング例

2.5 クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表2.5.1 メインクロック発振回路、サブクロック発振回路

| | メインクロック発振回路 | サブクロック発振回路 |
|---------------|-------------------------------|------------------------------------|
| クロックの用途 | CPUの動作クロック源 内蔵周辺装置の動作クロック源 | CPUの動作クロック源 タイマA、タイマBのカウントクロック源 |
| 接続できる発振子 | セラミック発振子、水晶発振子 | 水晶発振子 |
| 発振子の接続端子 | XIN、XOUT | XCIN、XCOUT |
| 発振の停止/再開機能 | あり | あり |
| リセット直後の発振子の状態 | 発振 | 停止 |
| その他 | 外部で生成されたクロックを入力することが可能 | |

2.5.1 発振回路例

図2.5.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図2.5.1中および図2.5.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

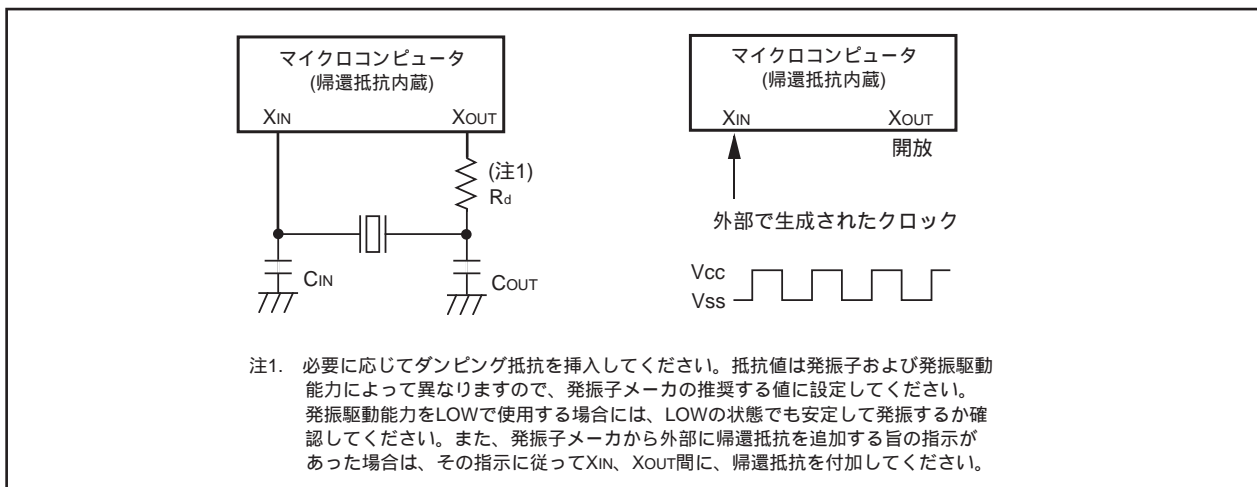


図2.5.1 メインクロックの接続例

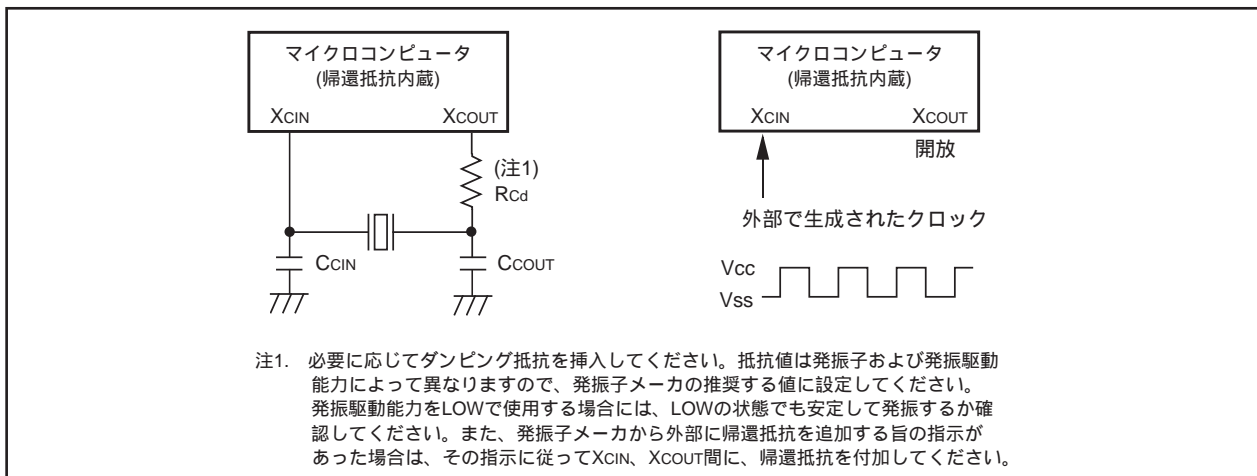


図2.5.2 サブクロックの接続例

2.5.2 クロックの制御

図2.5.3にクロック発生回路のブロック図を示します。

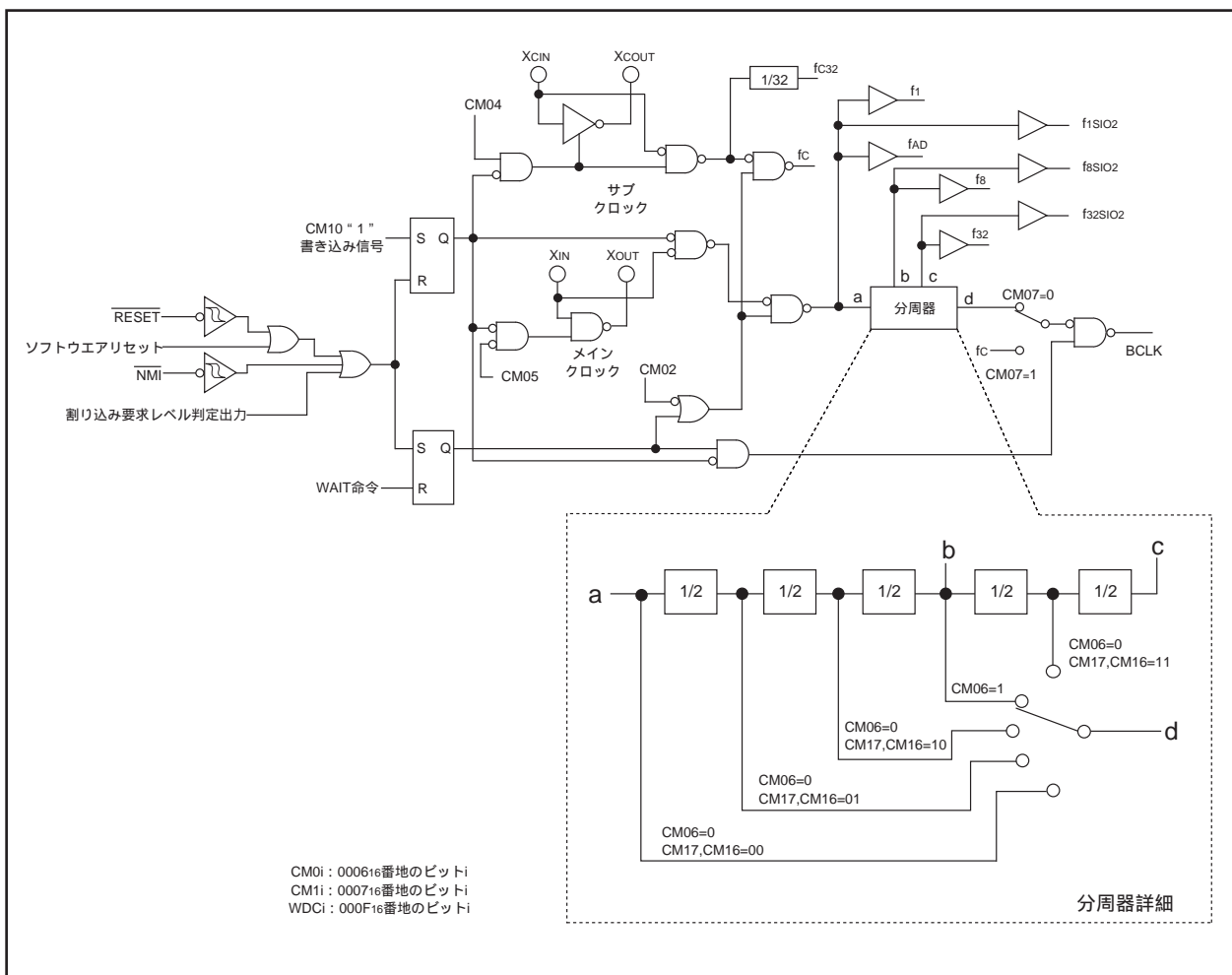


図2.5.3 クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfCをクロック源とするCPUの動作クロックです。

リセット直後、メインクロックの8分周がBCLKになります。BCLK出力禁止ビット(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f₁、f₈、f₃₂、f_{1SIO2}、f_{8SIO2}、f_{32SIO2}、f_{AD})

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) f_{C32}

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) f_C

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図2.5.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

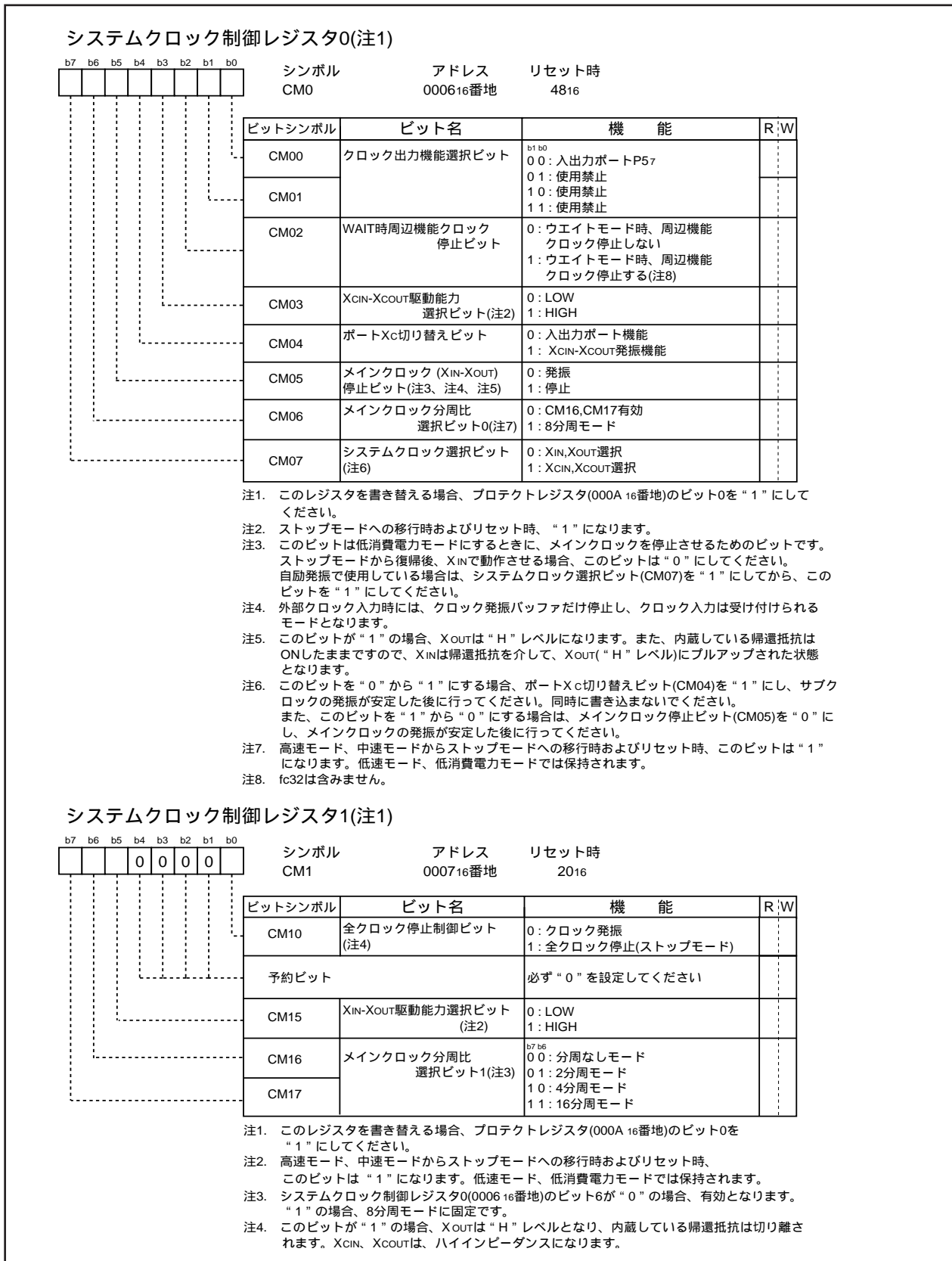


図2.5.4 システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

2.5.3 ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、メインクロック、サブクロックの発振が停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

拡張機能(OSD機能/データスライス機能/データエンコード機能/ハミング機能)の内部発振回路は拡張レジスタCK_VCO, XTAL_VCO, PDC_VCO_ON, VPS_VCO_ONに“0”を書き込むと発振停止を行います。

ストップモードでは、発振、BCLK、f₁~f₃₂、f_{1SIO2}~f_{32SIO2}、f_C、f_{C32}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスでカウントするイベントカウンタモードだけ、UART_i(i=0~2)、SIO_{3,4}は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表2.5.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表2.5.2 ストップモード時のポートの状態

| 端子 | マイクロプロセッサモード |
|--|--------------------|
| アドレスバス, データバス, CS ₀ , CS ₂ , CS ₃ | ストップモードに入る直前の状態を保持 |
| RD, WR, BHE, WRL, WRH | “H” |
| HLDA, BCLK | “H” |
| ALE | “H” |
| ポート | ストップモードに入る直前の状態を保持 |

2.5.4 ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウェイトモード時のポートの状態を表2.5.3に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表2.5.3 ウェイトモード時のポートの状態

| 端 子 | マイクロプロセッサモード |
|--|--------------------|
| アドレスバス, データバス, $\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$ | ウェイトモードに入る直前の状態を保持 |
| \overline{RD} , \overline{WR} , \overline{BHE} , \overline{WRL} , \overline{WRH} | “H” |
| \overline{HLDA} , BCLK | “H” |
| ALE | “H” |
| ポート | ウェイトモードに入る直前の状態を保持 |

2.5.5 BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表2.5.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

- (1) 2分周モード
メインクロックの2分周がBCLKとなるモードです。
- (2) 4分周モード
メインクロックの4分周がBCLKとなるモードです。
- (3) 8分周モード
メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。
- (4) 16分周モード
メインクロックの16分周がBCLKとなるモードです。
- (5) 分周なしモード
メインクロックの1分周がBCLKとなるモードです。
- (6) 低速モード
fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。
- (7) 低消費電力モード
fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表2.5.4 システムクロック制御レジスタ0と1の設定値に対する動作モード

| CM17 | CM16 | CM07 | CM06 | CM05 | CM04 | BCLKの動作モード |
|------|------|------|------|------|------|------------|
| 0 | 1 | 0 | 0 | 0 | 無効 | 2分周モード |
| 1 | 0 | 0 | 0 | 0 | 無効 | 4分周モード |
| 無効 | 無効 | 0 | 1 | 0 | 無効 | 8分周モード |
| 1 | 1 | 0 | 0 | 0 | 無効 | 16分周モード |
| 0 | 0 | 0 | 0 | 0 | 無効 | 分周なしモード |
| 無効 | 無効 | 1 | 無効 | 0 | 1 | 低速モード |
| 無効 | 無効 | 1 | 無効 | 1 | 1 | 低消費電力モード |

2.5.6 パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

メインクロック、サブクロックの発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図2.5.5に示します。

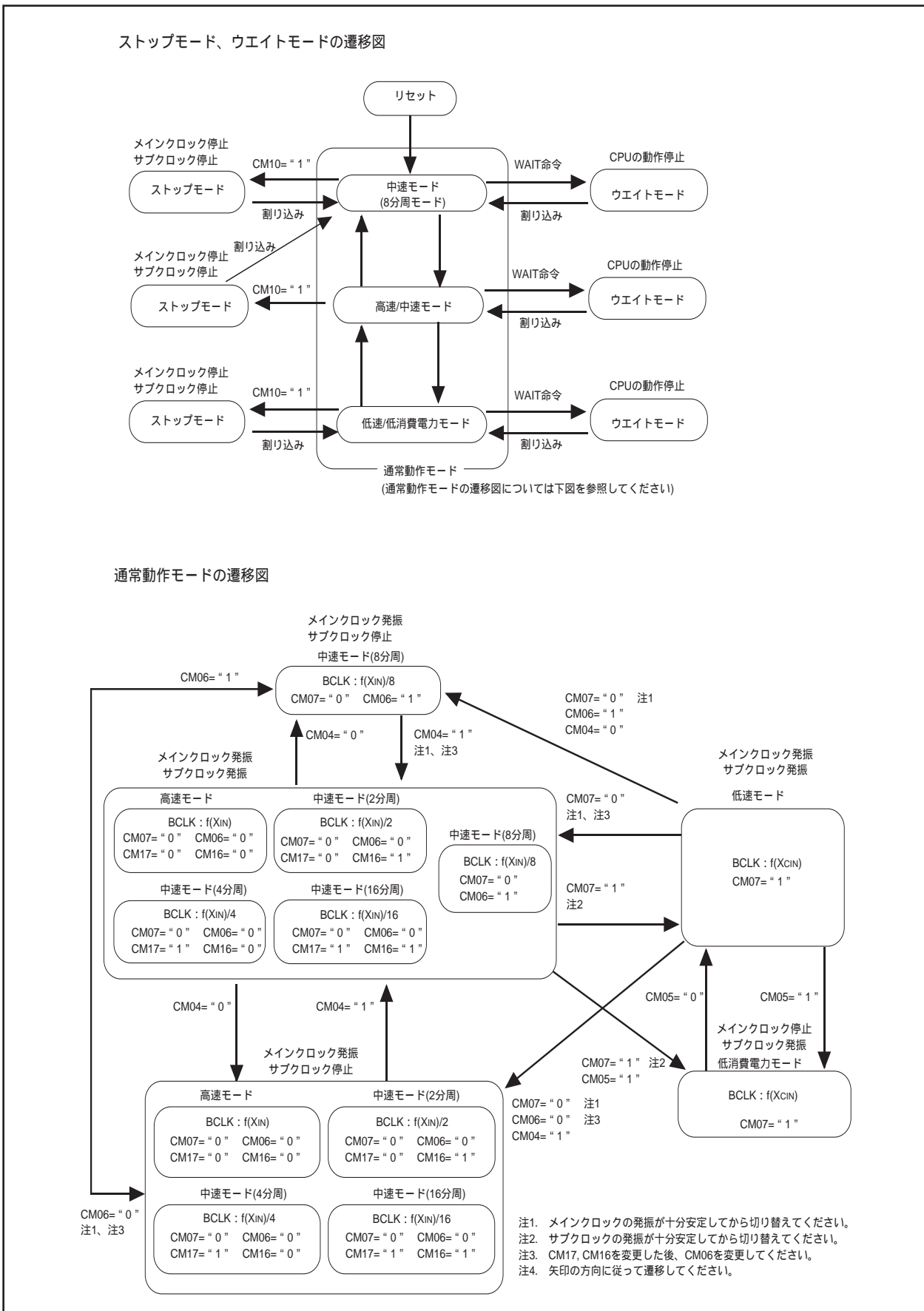


図2.5.5 状態遷移図

2.6 プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図2.6.1にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、ポートP9方向レジスタ(03F3₁₆番地)、SI/O3制御レジスタ(0362₁₆番地)、およびSI/O4制御レジスタ(0366₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/O_i制御レジスタ(*i* = 3, 4)書き込み許可ビット(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

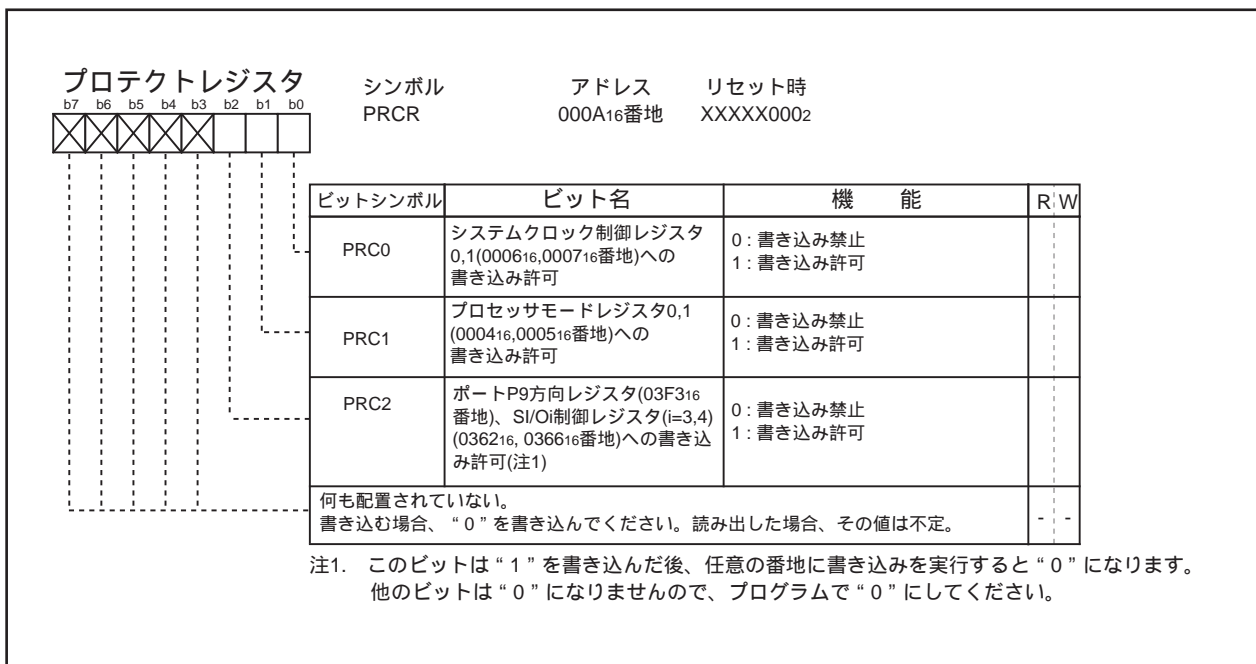


図2.6.1 プロテクトレジスタの構成

2.7 割り込みの概要

2.7.1 割り込みの分類

図2.7.1に割り込みの分類を示します。

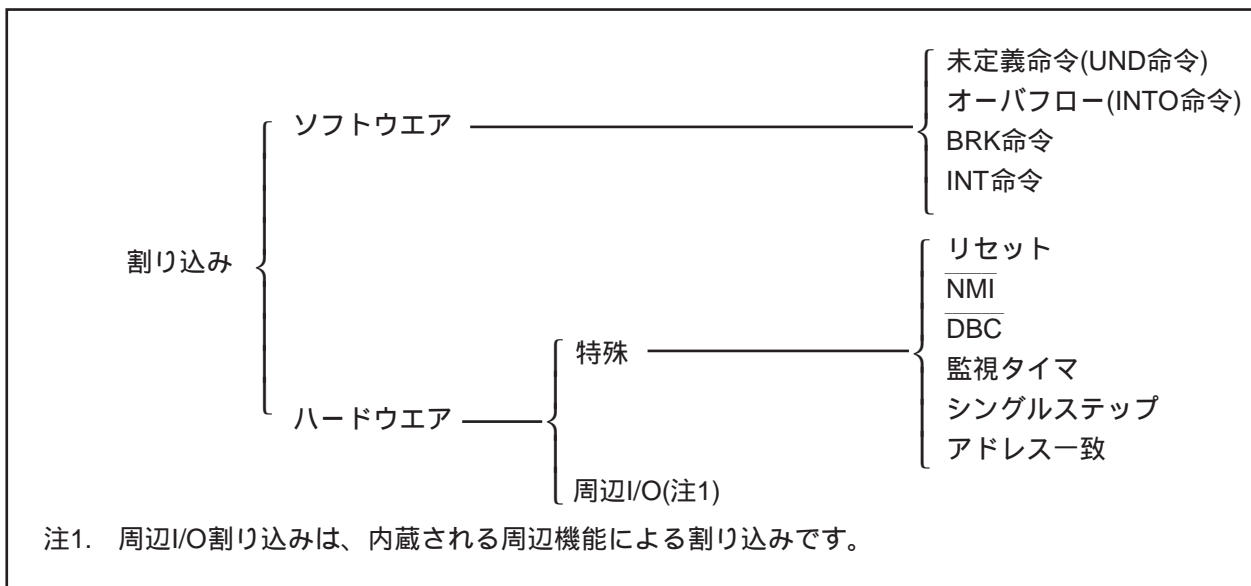


図2.7.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

2.7.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32~63では、スタックポインタは切り替わりません。

2.7.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0~タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0~タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

2.7.4 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図2.7.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

| | MSB | LSB |
|-----------|---------|---------|
| ベクタアドレス+0 | アドレスの下位 | |
| ベクタアドレス+1 | アドレスの中位 | |
| ベクタアドレス+2 | 0 0 0 0 | アドレスの上位 |
| ベクタアドレス+3 | 0 0 0 0 | 0 0 0 0 |

図2.7.2 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表2.7.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.1 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

| 割り込み要因 | ベクタテーブル番地 アドレス(L)～アドレス(H) | 備考 |
|--------------|--|--|
| 未定義命令 | FFFDC ₁₆ ～FFFDF ₁₆ | UND命令で割り込み |
| オーバフロー | FFFE0 ₁₆ ～FFFE3 ₁₆ | INTO命令で割り込み |
| BRK命令 | FFFE4 ₁₆ ～FFFE7 ₁₆ | ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行 |
| アドレス一致 | FFFE8 ₁₆ ～FFFEB ₁₆ | アドレス一致割り込み許可ビットあり |
| シングルステップ(注1) | FFFE0 ₁₆ ～FFFEF ₁₆ | 通常は使用禁止 |
| 監視タイマ | FFFF0 ₁₆ ～FFFF3 ₁₆ | |
| DBC(注1) | FFFF4 ₁₆ ～FFFF7 ₁₆ | 通常は使用禁止 |
| NMI | FFFF8 ₁₆ ～FFFFB ₁₆ | NMI端子入力による外部割り込み |
| リセット | FFFFC ₁₆ ～FFFFF ₁₆ | |

注1. デバッガ専用割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。

表2.7.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表2.7.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

| ソフトウェア割り込み番号 | ベクタテーブル番地 アドレス(L)~アドレス(H) | 割り込み要因 | 備考 |
|---------------------|------------------------------|--------------------------|--------------|
| ソフトウェア割り込み番号0 | +0 ~ +3(注1) | BRK命令 | Iフラグによるマスク不可 |
| ソフトウェア割り込み番号4 | +16 ~ +19(注1) | INT3 | |
| ソフトウェア割り込み番号5 | +20 ~ +23(注1) | タイマB5 | |
| ソフトウェア割り込み番号6 | +24 ~ +27(注1) | タイマB4 | |
| ソフトウェア割り込み番号7 | +28 ~ +31(注1) | タイマB3 | |
| ソフトウェア割り込み番号8 | +32 ~ +35(注1) | SI/O4 / INT5 (注2) | |
| ソフトウェア割り込み番号9 | +36 ~ +39(注1) | SI/O3 / INT4 (注2) | |
| ソフトウェア割り込み番号10 | +40 ~ +43(注1) | バス衝突検出 | |
| ソフトウェア割り込み番号11 | +44 ~ +47(注1) | DMA0 | |
| ソフトウェア割り込み番号12 | +48 ~ +51(注1) | DMA1 | |
| ソフトウェア割り込み番号13 | +52 ~ +55(注1) | キー入力割り込み | |
| ソフトウェア割り込み番号14 | +56 ~ +59(注1) | A-D | |
| ソフトウェア割り込み番号15 | +60 ~ +63(注1) | UART2送信 / NACK (注3) | |
| ソフトウェア割り込み番号16 | +64 ~ +67(注1) | UART2受信 / ACK (注3) | |
| ソフトウェア割り込み番号17 | +68 ~ +71(注1) | UART0送信 | |
| ソフトウェア割り込み番号18 | +72 ~ +75(注1) | UART0受信 | |
| ソフトウェア割り込み番号19 | +76 ~ +79(注1) | UART1送信 | |
| ソフトウェア割り込み番号20 | +80 ~ +83(注1) | UART1受信 | |
| ソフトウェア割り込み番号21 | +84 ~ +87(注1) | タイマA0 | |
| ソフトウェア割り込み番号22 | +88 ~ +91(注1) | タイマA1 | |
| ソフトウェア割り込み番号23 | +92 ~ +95(注1) | タイマA2 | |
| ソフトウェア割り込み番号24 | +96 ~ +99(注1) | タイマA3 | |
| ソフトウェア割り込み番号25 | +100 ~ +103(注1) | タイマA4 | |
| ソフトウェア割り込み番号26 | +104 ~ +107(注1) | タイマB0 | |
| ソフトウェア割り込み番号27 | +108 ~ +111(注1) | タイマB1 | |
| ソフトウェア割り込み番号28 | +112 ~ +115(注1) | タイマB2 | |
| ソフトウェア割り込み番号29 | +116 ~ +119(注1) | $\overline{\text{INT0}}$ | |
| ソフトウェア割り込み番号30 | +120 ~ +123(注1) | $\overline{\text{INT1}}$ | |
| ソフトウェア割り込み番号31 | +124 ~ +127(注1) | $\overline{\text{INT2}}$ | |
| ソフトウェア割り込み番号32 } | +128 ~ +131(注1) } | ソフトウェア割り込み | Iフラグによるマスク不可 |
| ソフトウェア割り込み番号63 | +252 ~ +255(注1) | | |

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. 割り込み要因切り替えビット(035F₁₆番地のビット6,7)により選択します。

注3. IICモード選択時にNACK、ACK割り込みが選択されず。

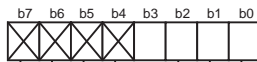
2.7.5 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図2.7.3に割り込み制御レジスタの構成を示します。

割り込み制御レジスタ

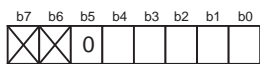


| シンボル | アドレス | リセット時 |
|--------------|---|-----------|
| TBiIC(i=3~5) | 0045 ₁₆ ~ 0047 ₁₆ 番地 | XXXXX0002 |
| BCNIC | 004A ₁₆ 番地 | XXXXX0002 |
| DMiIC(i=0,1) | 004B ₁₆ , 004C ₁₆ 番地 | XXXXX0002 |
| KUPIC | 004D ₁₆ 番地 | XXXXX0002 |
| ADIC | 004E ₁₆ 番地 | XXXXX0002 |
| SiTiC(i=0~2) | 0051 ₁₆ , 0053 ₁₆ , 004F ₁₆ 番地 | XXXXX0002 |
| SiRiC(i=0~2) | 0052 ₁₆ , 0054 ₁₆ , 0050 ₁₆ 番地 | XXXXX0002 |
| TAiC(i=0~4) | 0055 ₁₆ ~ 0059 ₁₆ 番地 | XXXXX0002 |
| TBiC(i=0~2) | 005A ₁₆ ~ 005C ₁₆ 番地 | XXXXX0002 |

| ビットシンボル | ビット名 | 機能 | R | W |
|---|--------------------|-----------------------------------|---|------|
| ILVL0 | 割り込み優先レベル 選択ビット | b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) | | |
| ILVL1 | | 0 0 1 : レベル1 | | |
| ILVL2 | | 0 1 0 : レベル2 | | |
| | | 0 1 1 : レベル3 | | |
| IR | 割り込み要求ビット | 1 0 0 : レベル4 | | |
| | | 1 0 1 : レベル5 | | |
| | | 1 1 0 : レベル6 | | |
| | | 1 1 1 : レベル7 | | |
| | | 0 : 割り込み要求なし 1 : 割り込み要求あり | | (注1) |
| 何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。 | | | - | - |

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



| シンボル | アドレス | リセット時 |
|---------------------------------|--|-----------|
| INTiC(i=3) | 0044 ₁₆ 番地 | XX00X0002 |
| SiIC/INTjIC(i=4, 3) (j=5, 4) | 0048 ₁₆ , 0049 ₁₆ 番地 | XX00X0002 |
| INTiC(i=0~2) | 0048 ₁₆ , 0049 ₁₆ 番地 | XX00X0002 |
| | 005D ₁₆ ~ 005F ₁₆ 番地 | XX00X0002 |

| ビットシンボル | ビット名 | 機能 | R | W |
|---|--------------------|------------------------------------|---|---|
| ILVL0 | 割り込み優先レベル 選択ビット | b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) | | |
| ILVL1 | | 0 0 1 : レベル1 | | |
| ILVL2 | | 0 1 0 : レベル2 | | |
| | | 0 1 1 : レベル3 | | |
| IR | 割り込み要求ビット | 1 0 0 : レベル4 | | |
| | | 1 0 1 : レベル5 | | |
| | | 1 1 0 : レベル6 | | |
| | | 1 1 1 : レベル7 | | |
| POL | 極性切り替えビット | 0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 | | |
| 予約ビット | | 必ず“0”を設定してください | | |
| 何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。 | | | - | - |

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図2.7.3 割り込み制御レジスタの構成

(1) 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

(2) 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

(3) 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.7.3に割り込み優先レベルの設定を、表2.7.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.7.3 割り込み優先レベルの設定

| 割り込み優先レベル 選択ビット | 割り込み優先レベル | 優先順位 |
|--------------------|---------------|---------------|
| b2 b1 b0 0 0 0 | レベル0 (割り込み禁止) | ——— |
| 0 0 1 | レベル1 | 低い ↓ 高い |
| 0 1 0 | レベル2 | |
| 0 1 1 | レベル3 | |
| 1 0 0 | レベル4 | |
| 1 0 1 | レベル5 | |
| 1 1 0 | レベル6 | |
| 1 1 1 | レベル7 | |

表2.7.4 プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

| プロセッサ割り込み 優先レベル(IPL) | 許可される割り込み優先レベル |
|---|------------------|
| IPL ₂ IPL ₁ IPL ₀ 0 0 0 | レベル1以上を許可 |
| 0 0 1 | レベル2以上を許可 |
| 0 1 0 | レベル3以上を許可 |
| 0 1 1 | レベル4以上を許可 |
| 1 0 0 | レベル5以上を許可 |
| 1 0 1 | レベル6以上を許可 |
| 1 1 0 | レベル7以上を許可 |
| 1 1 1 | すべてのマスカブル割り込みを禁止 |

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

<割り込み制御レジスタを書き換えるプログラム例>

例 1 :

```
INT_SWITCH1 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
NOP                                           ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
PUSHC   FLG
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに "0016" を設定
POPC    FLG             ; 割り込み許可状態
```

例 1 と例 2 でFSET I命令の前にNOP命令 2 個 (HOLD機能使用時は 4 個) やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.7.6 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (a) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (b) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (c) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (d) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (e) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (f) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

(1) 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図2.7.4に割り込み応答時間を示します。

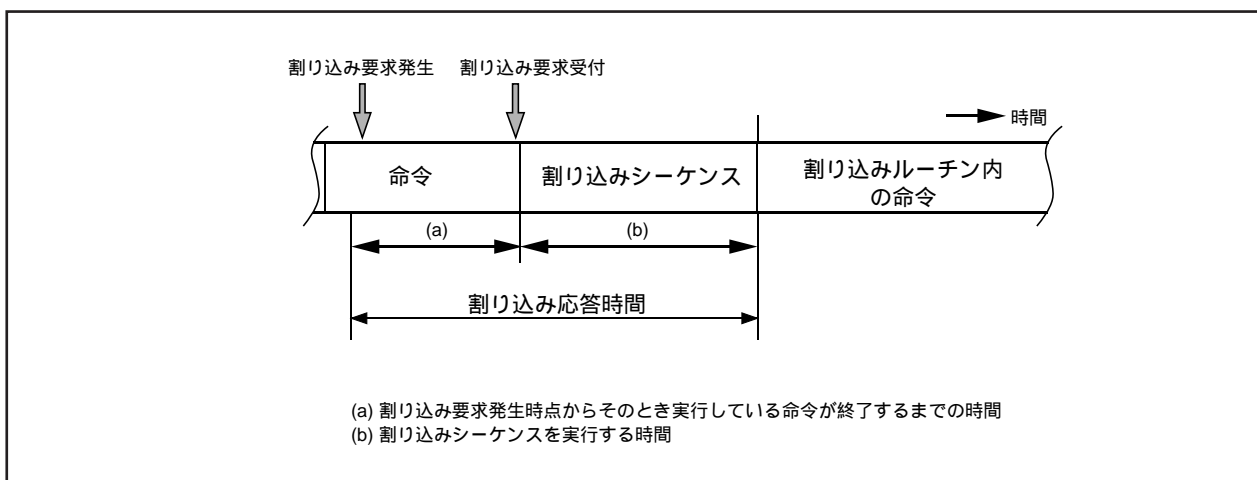


図2.7.4 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。(b)の時間は次のとおりです。

表2.7.5 割り込みシーケンス実行時間

| 割り込みベクタの番地 | スタックポインタ(SP)の値 | 16ビットバス、ウエイトなし | 8ビットバス、ウエイトなし |
|------------|----------------|----------------|---------------|
| 偶数 | 偶数 | 18サイクル(注1) | 20サイクル(注1) |
| 偶数 | 奇数 | 19サイクル(注1) | 20サイクル(注1) |
| 奇数(注2) | 偶数 | 19サイクル(注1) | 20サイクル(注1) |
| 奇数(注2) | 奇数 | 20サイクル(注1) | 20サイクル(注1) |

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

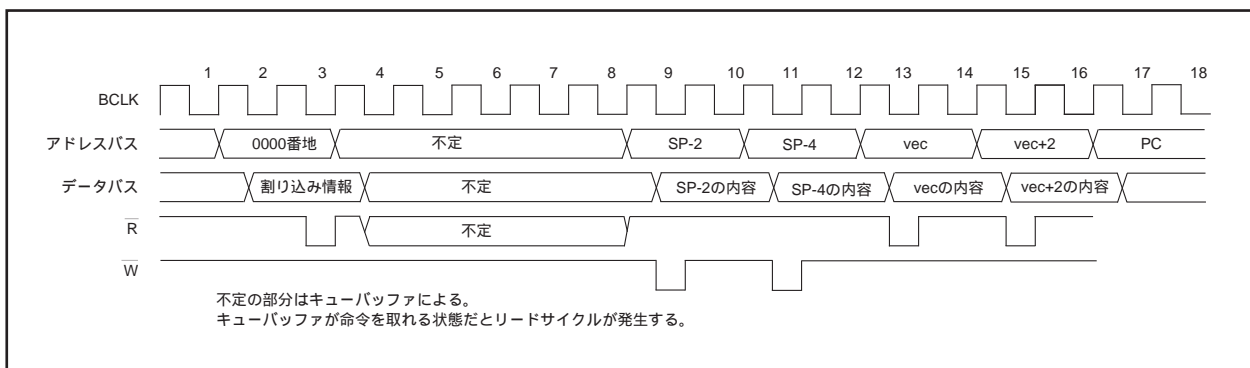


図2.7.5 割り込みシーケンスの実行時間

(2) 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表2.7.6に示す値がIPLに設定されます。

表2.7.6 割り込み優先レベルをもたない割り込みとIPLの関係

| 割り込み優先レベルをもたない割り込み要因 | 設定される IPL の値 |
|----------------------|--------------|
| 監視タイマ、NMI | 7 |
| リセット | 0 |
| その他 | 変化しない |

(3) レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図2.7.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

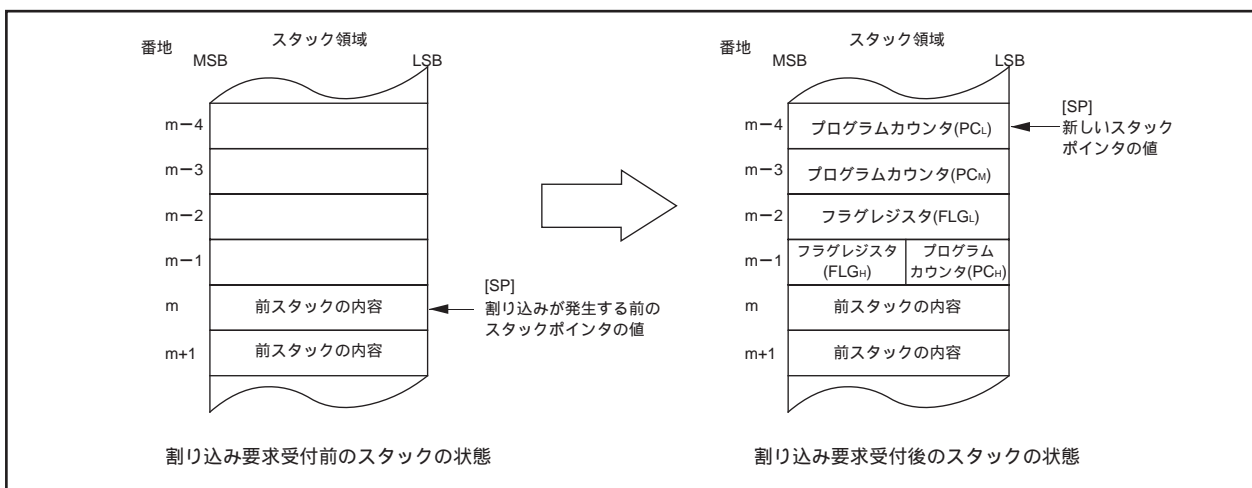


図2.7.6 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図2.7.7にレジスタ退避動作を示します。

注1. Uフラグが示すスタックポインタです。

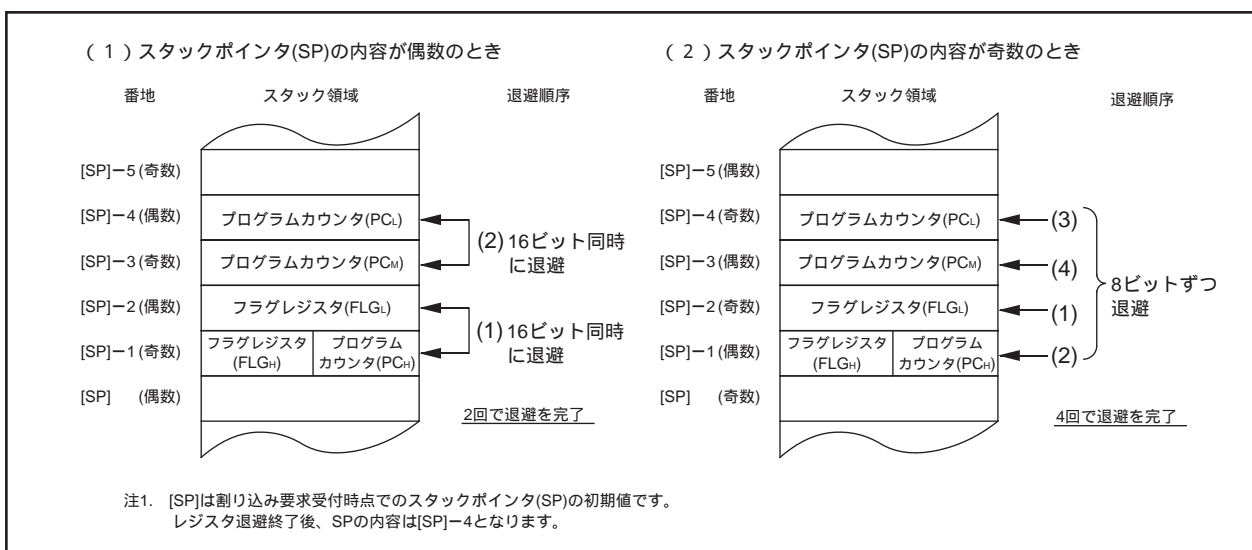


図2.7.7 レジスタ退避動作

(4) 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

(5) 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図2.7.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

(6) 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図2.7.9に割り込み優先レベルの判定回路を示します。

リセット > $\overline{\text{NMI}}$ > $\overline{\text{DBC}}$ > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図2.7.8 ハードウェア割り込みの割り込み優先順位

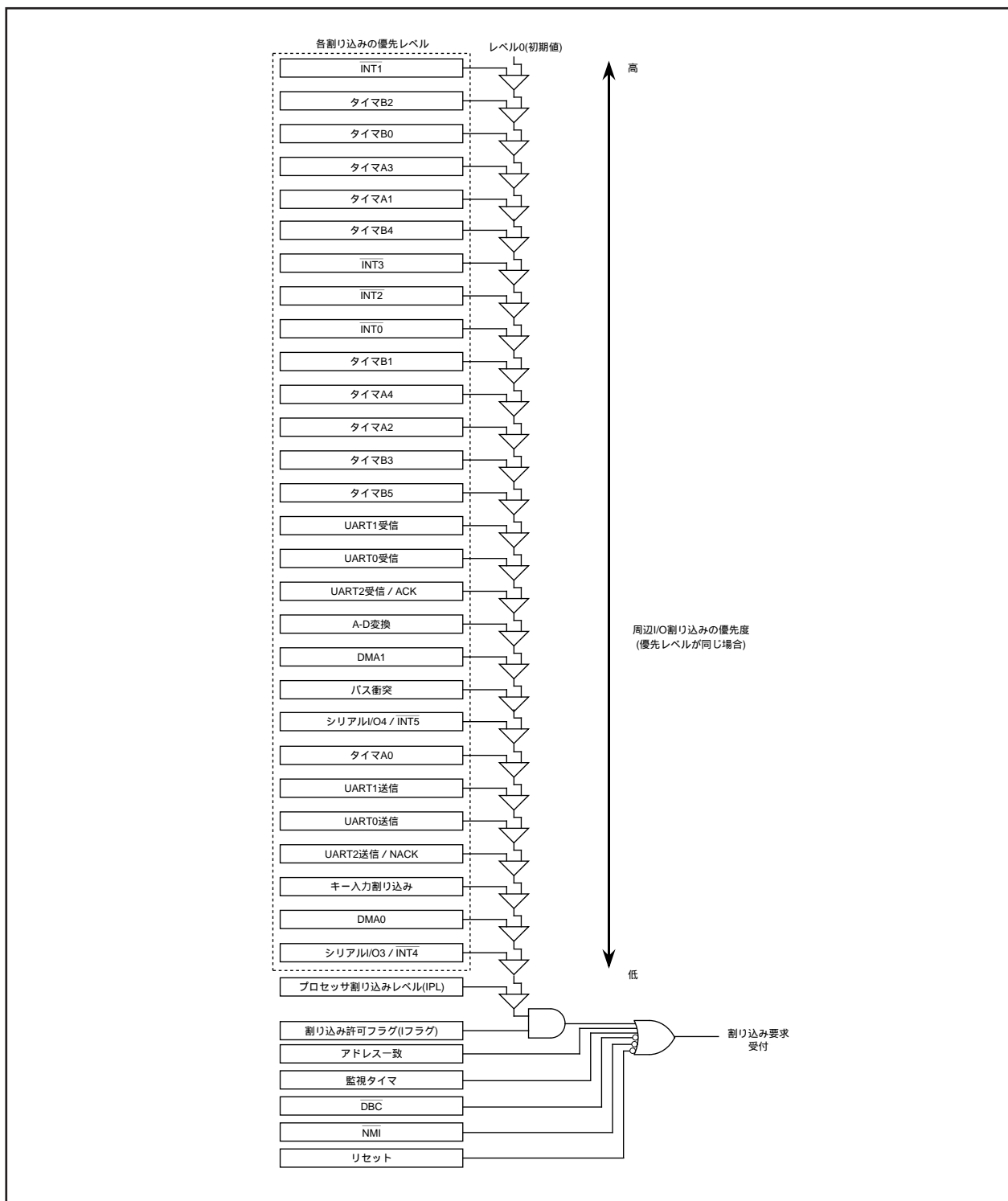


図2.7.9 割り込み優先レベル判定回路

2.7.7 INT割り込み

INT0 ~ INT5は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

割り込み制御レジスタの内、0048₁₆番地はシリアルI/O4と外部割り込みINT5入力の割り込み制御レジスタを兼用し、0049₁₆番地はシリアルI/O3と外部割り込みINT4入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F₁₆番地)の割り込み要因切り替えビット(ビット6, 7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048₁₆番地と0049₁₆番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がり両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図2.7.10に割り込み要因選択レジスタの構成を示します。

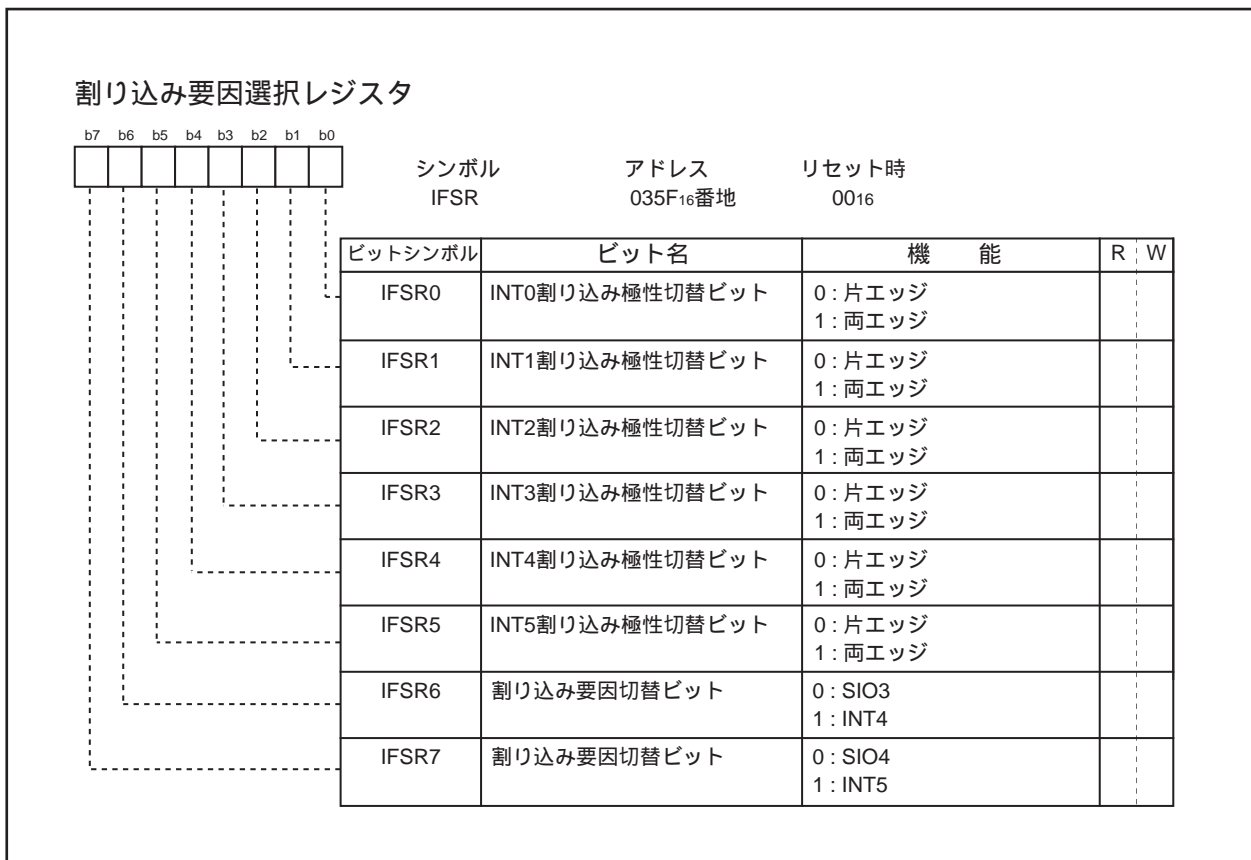


図2.7.10 割り込み要因選択レジスタの構成

2.7.8 $\overline{\text{NMI}}$ 割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل外部割り込みです。また、この端子の値はポートP85レジスタ(03F016番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

2.7.9 キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図2.7.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

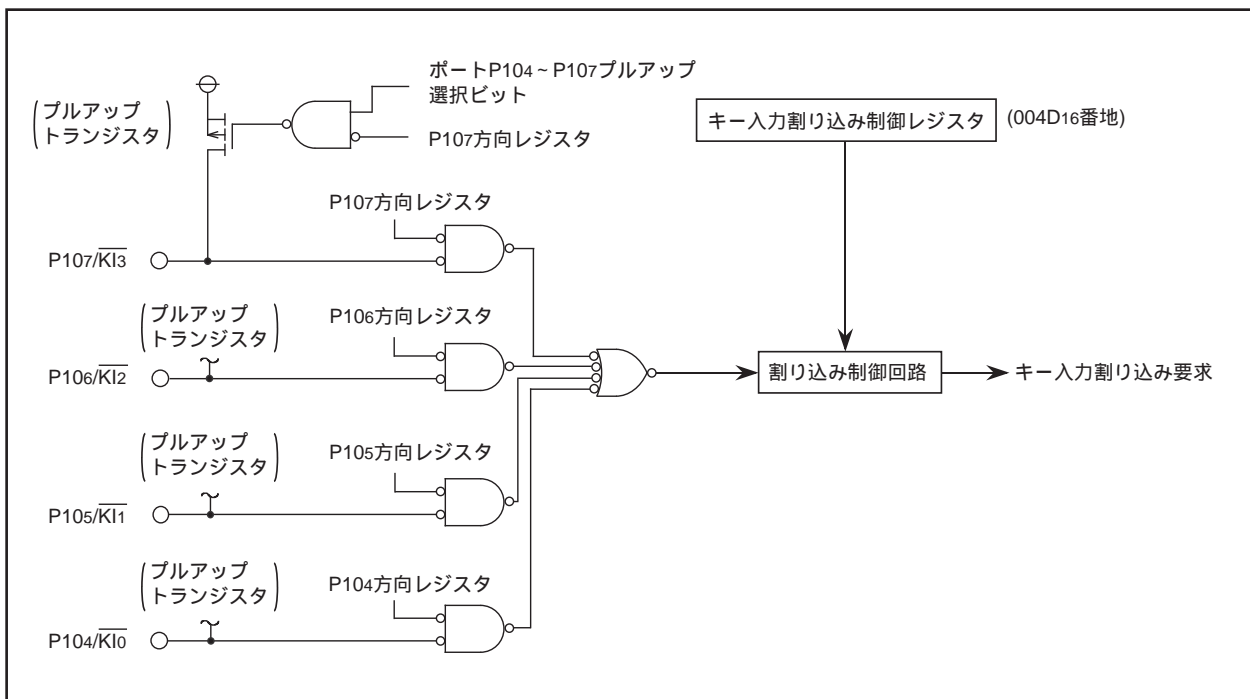


図2.7.11 キー入力割り込みのブロック図

2.7.10 アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図2.7.12にアドレス一致割り込み関連レジスタの構成を示します。

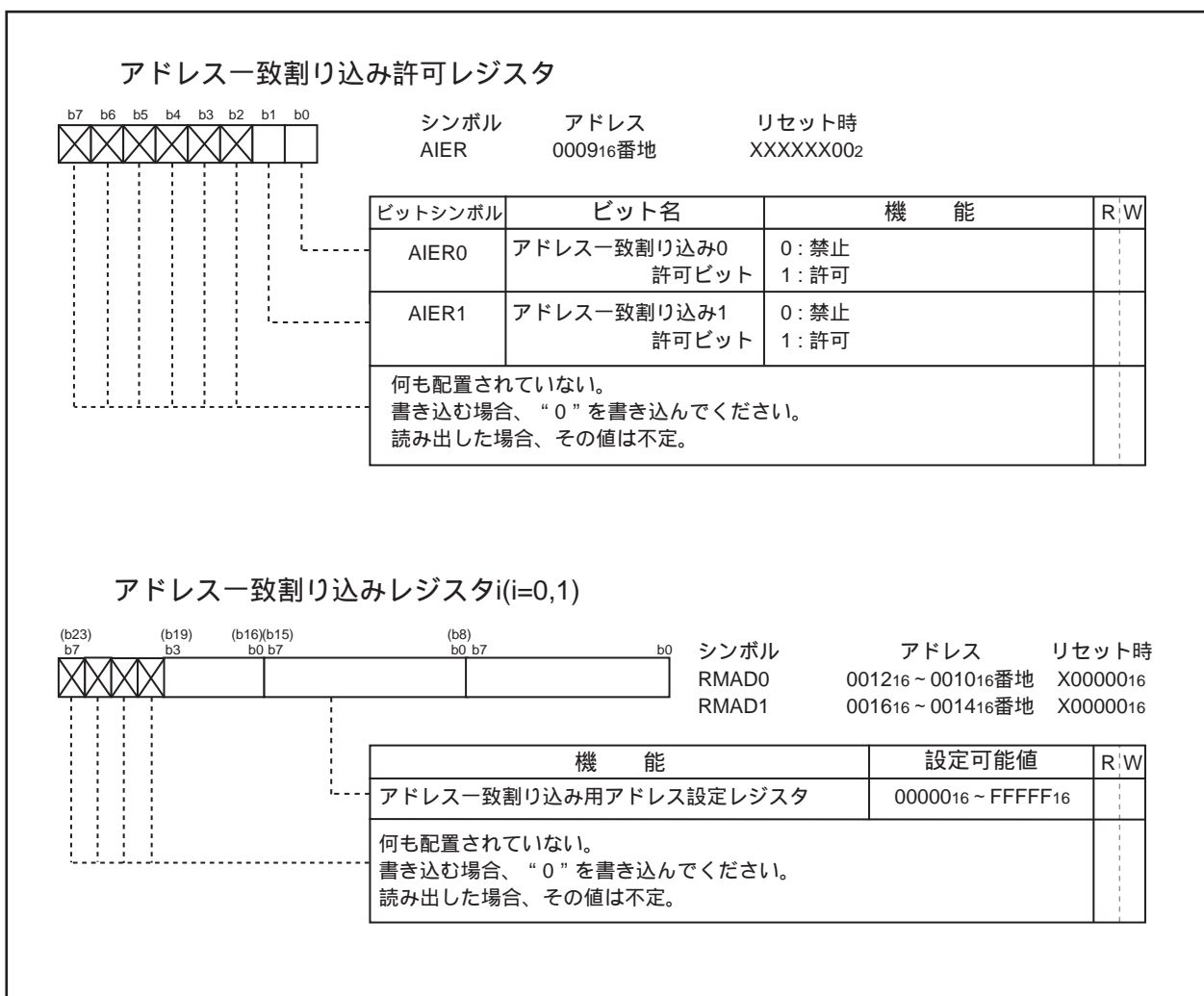


図2.7.12 アドレス一致割り込み関連レジスタの構成

2.7.11 割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではリセットをかけないでください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではストップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではウエイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図2.7.13に示します。

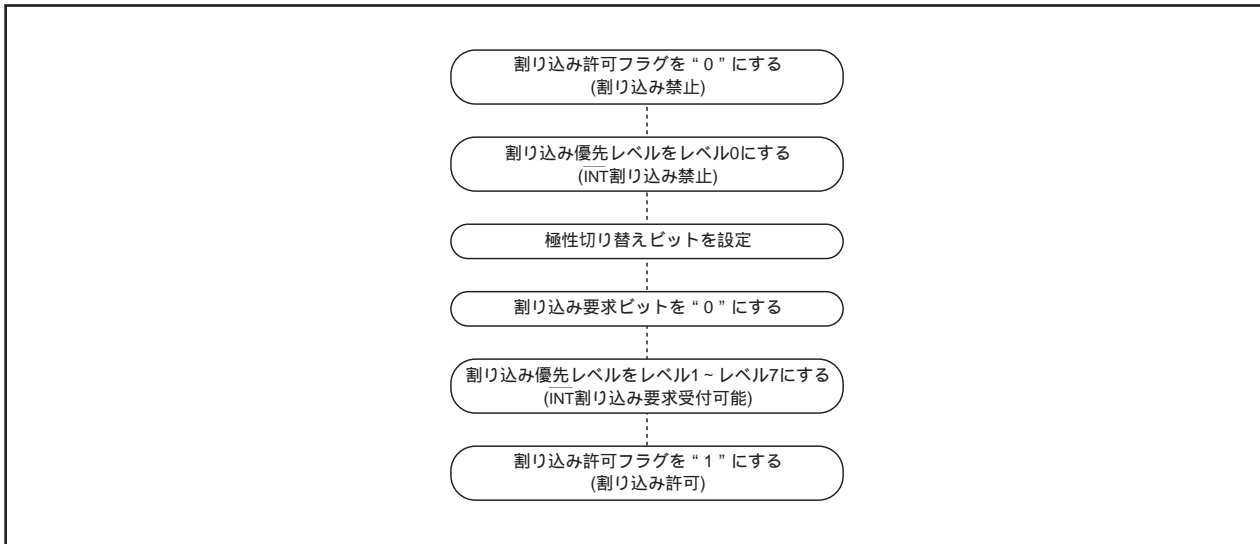


図2.7.13 INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

<割り込み制御レジスタを書き換えるプログラム例>

例 1 :

```

INT_SWITCH1 :
FCLR  I          ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
NOP    ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET   I          ; 割り込み許可状態
    
```

例 2 :

```

INT_SWITCH2 :
FCLR  I          ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
MOV.W  MEM, R0   ; ダミーリード
FSET   I          ; 割り込み許可状態
    
```

例 3 :

```

INT_SWITCH3 :
PUSHC  FLG
FCLR  I          ; 割り込み禁止状態
AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
POPC   FLG      ; 割り込み許可状態
    
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ (フラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

2.8 監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケータで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケータの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケータの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケータによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(16\text{または}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが10MHzで、プリスケータの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケータは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケータは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。

図2.8.1に監視タイマのブロック図、図2.8.2に監視タイマ関連レジスタの構成を示します。

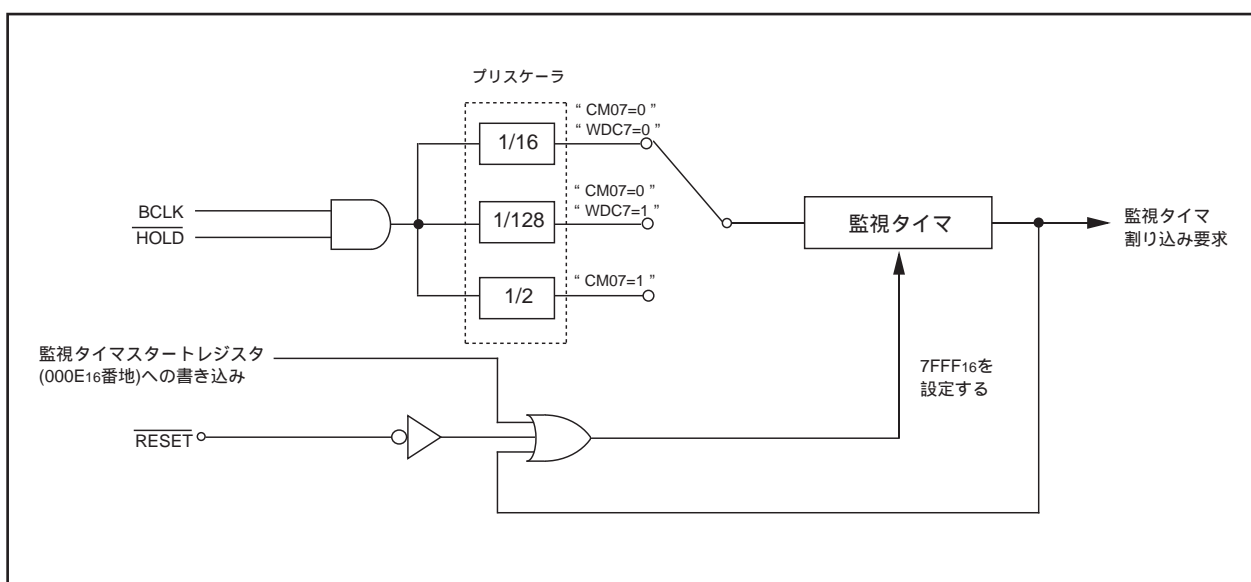


図2.8.1 監視タイマのブロック図

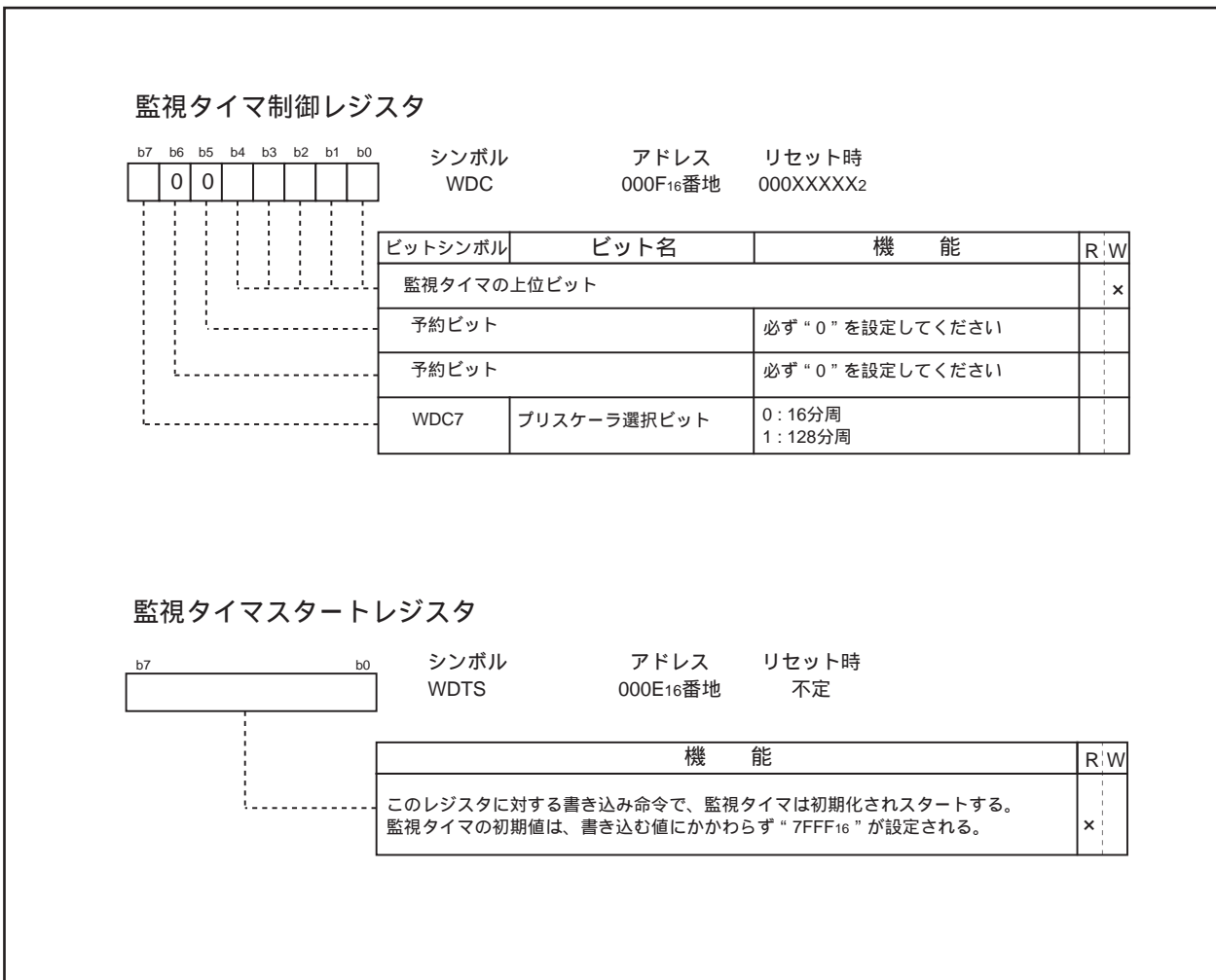


図2.8.2 監視タイマ関連レジスタ

2.9 DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図2.9.1にDMACのブロック図を、表2.9.1にDMACの仕様を、図2.9.2～図2.9.4にDMACで使用するレジスタの構成を示します。

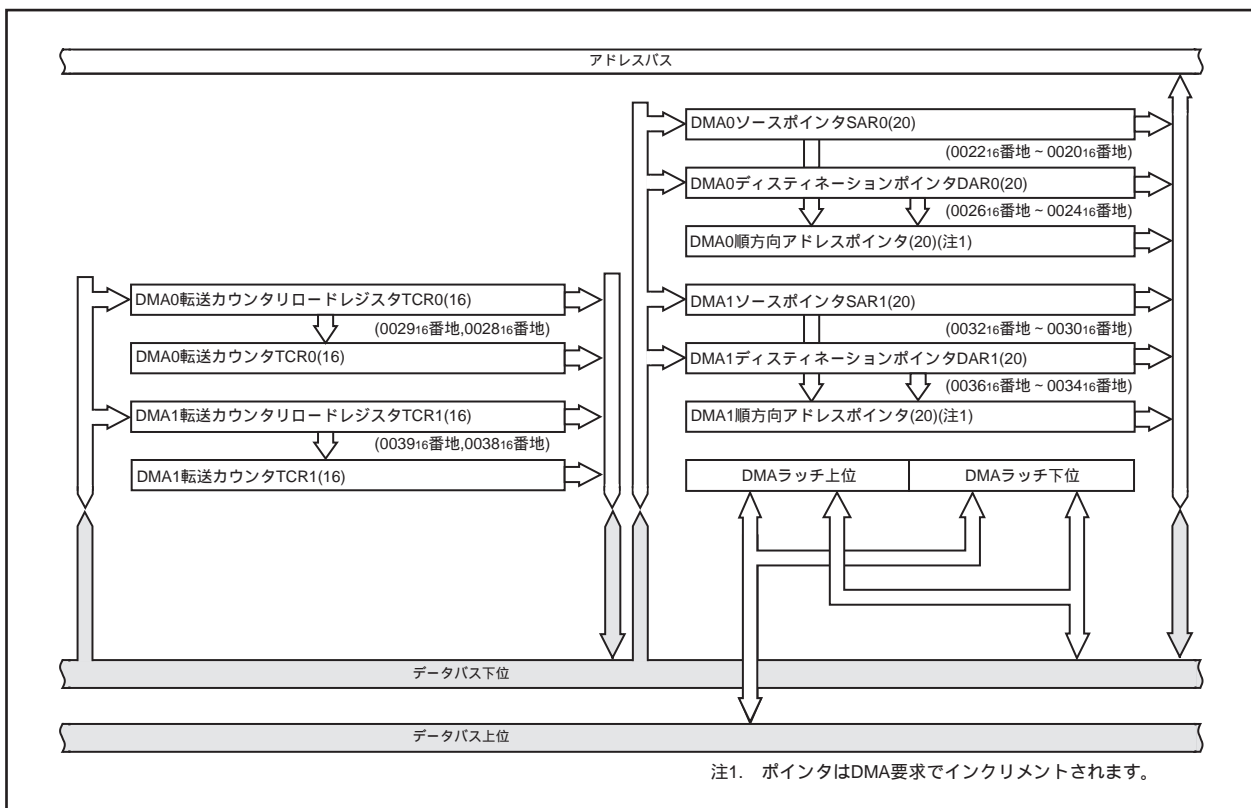


図2.9.1 DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表2.9.1 DMAC仕様

| 項目 | 仕様 |
|------------------------------|---|
| チャンネル数 | 2チャンネル(サイクルスチール方式) |
| 転送空間 | 1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地) |
| 最大転送バイト数 | 128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時) |
| DMA要求要因(注1) | INT0またはINT1端子の立ち下がりエッジまたは両エッジ タイマA0 ~ タイマA4割り込み要求 タイマB0 ~ タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ |
| チャンネル優先順位 | DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先 |
| 転送単位 | 8ビット/16ビット |
| 転送アドレス方向 | 順方向/固定(転送元、転送先同時に順方向の指定はできません) |
| 転送モード | 単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態 |
| DMA割り込み要求発生タイミング | 転送カウンタのアンダフロー時 |
| アクティブ状態 | DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生することにデータ転送が開始される |
| アクティブでない状態 | DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後 |
| 順方向アドレスポインタ、転送カウンタのリロードタイミング | アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード |
| レジスタの書き込み | 順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能 |
| レジスタの読み出し | 常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される |

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

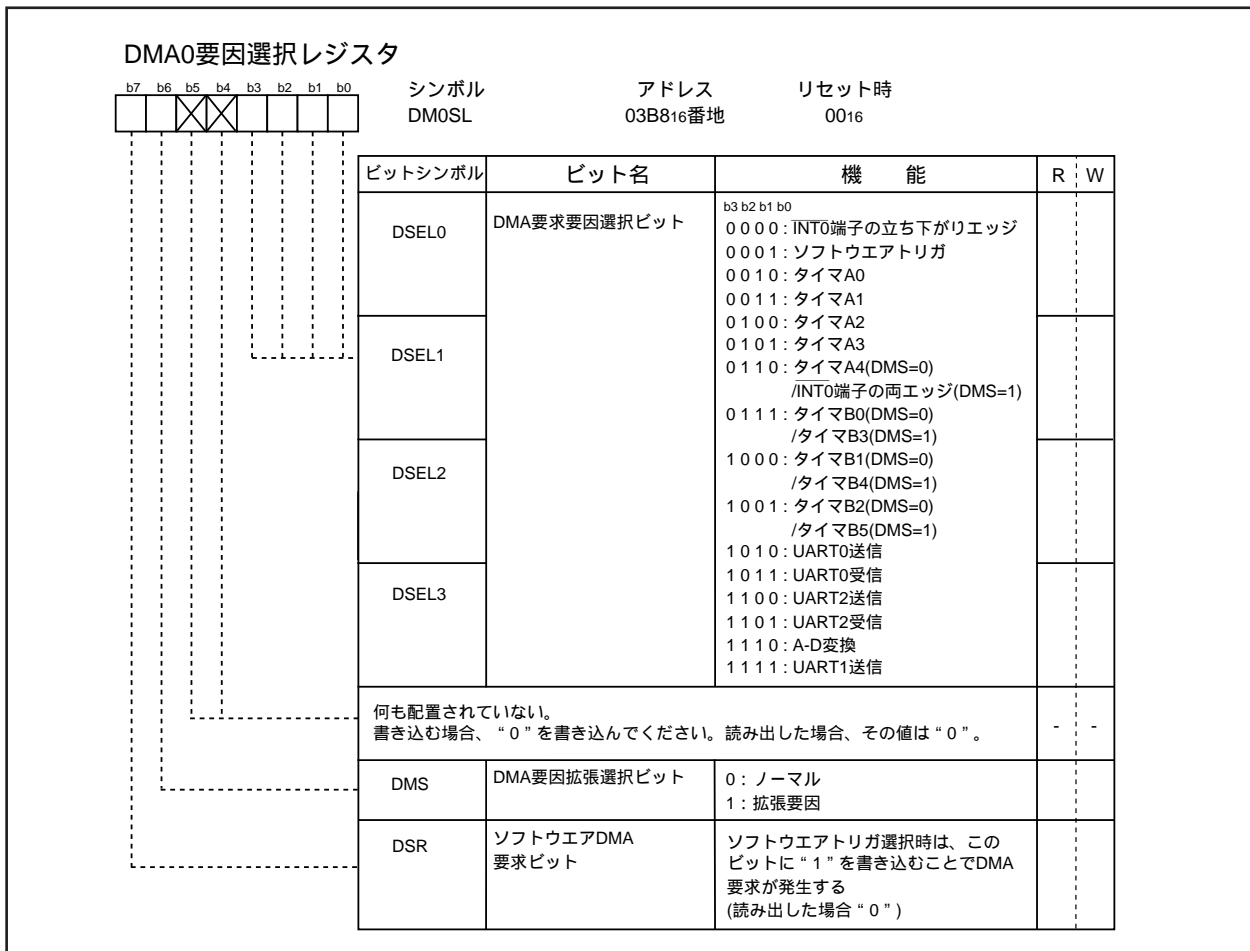


図2.9.2 DMACレジスタ構成(1)

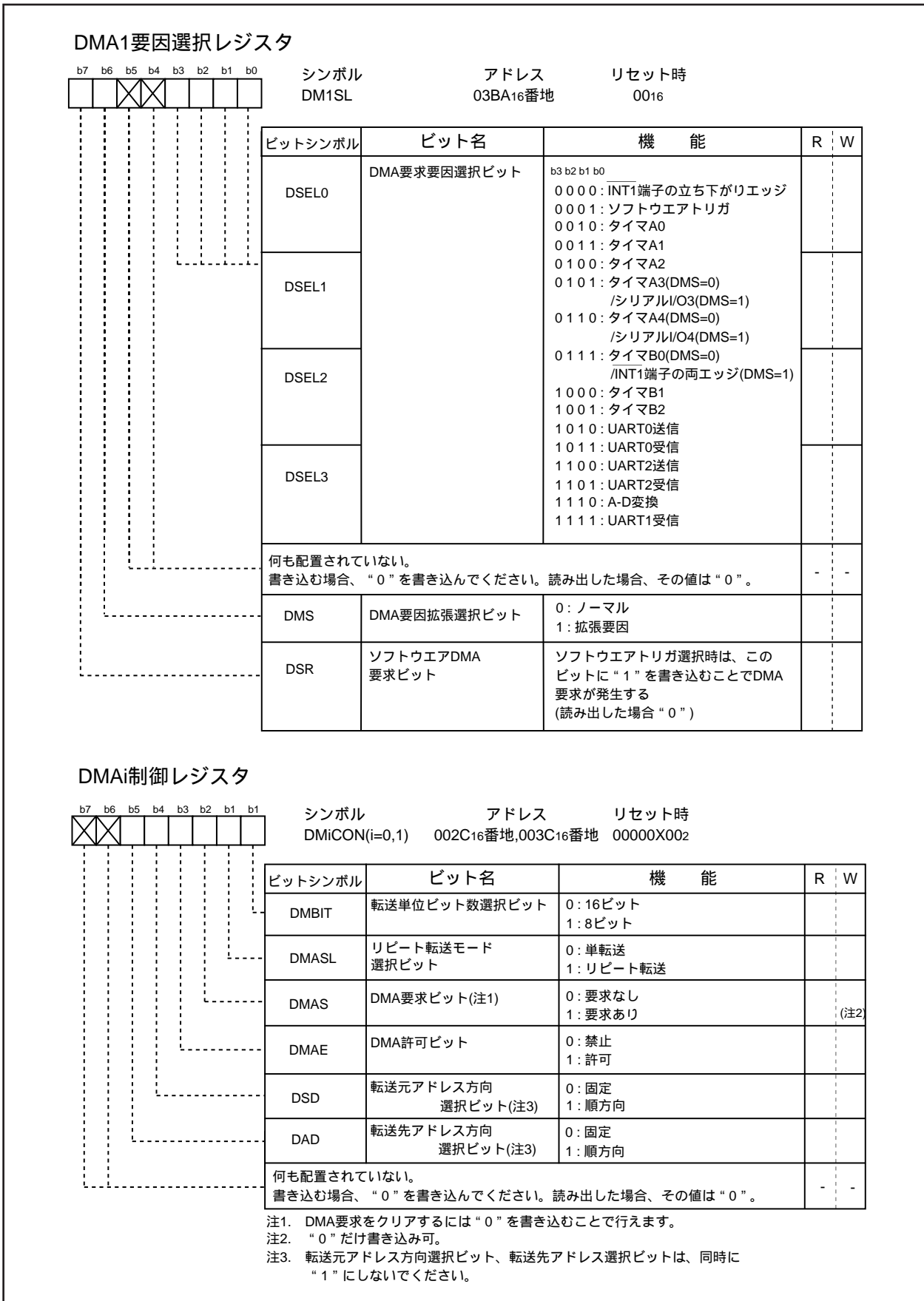


図2.9.3 DMACレジスタ構成(2)

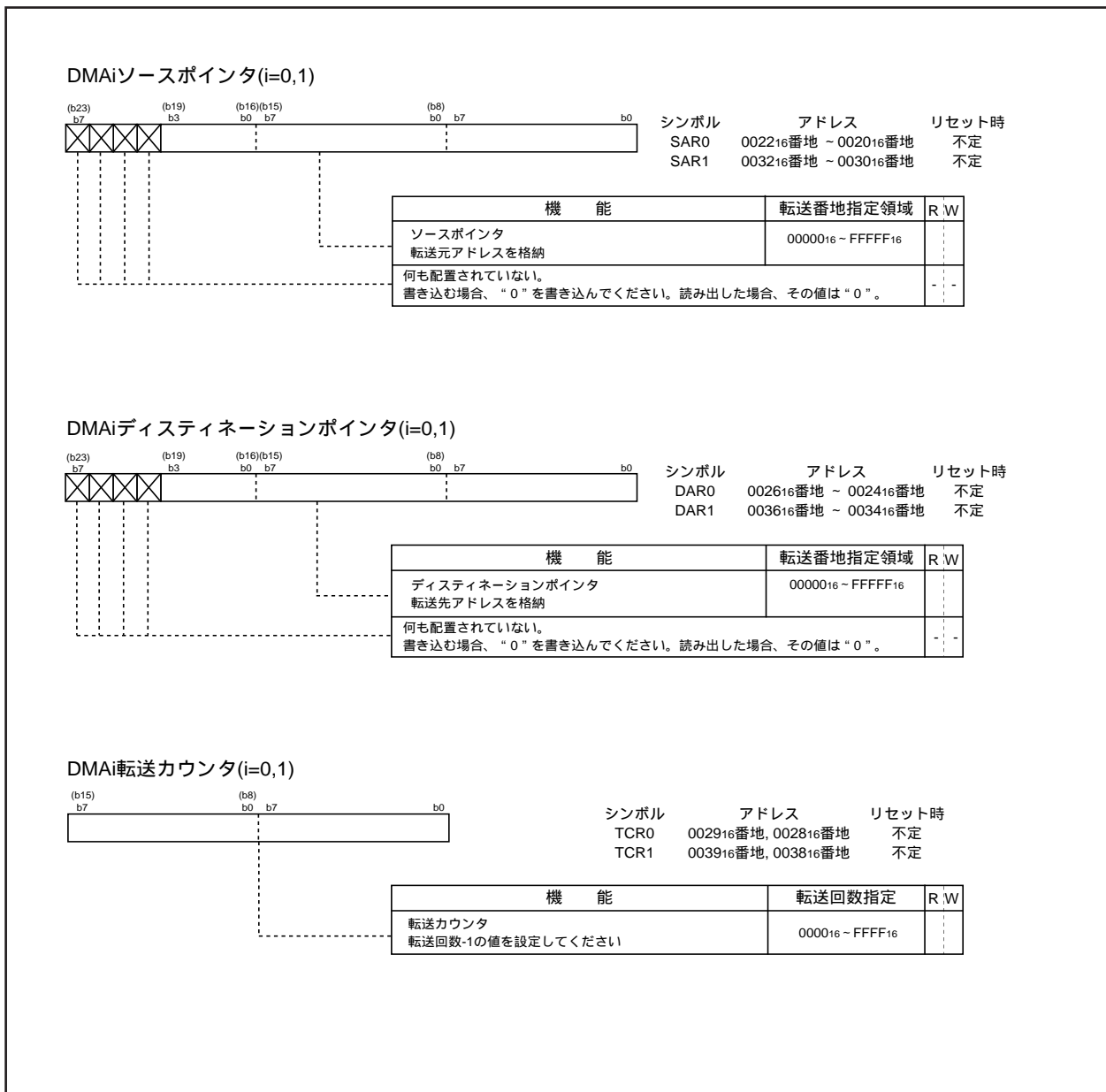


図2.9.4 DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレス、BYTE端子のレベルの影響を受けます。また、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

(a) 転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

(b) BYTE端子の影響

8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

(c) ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図2.9.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

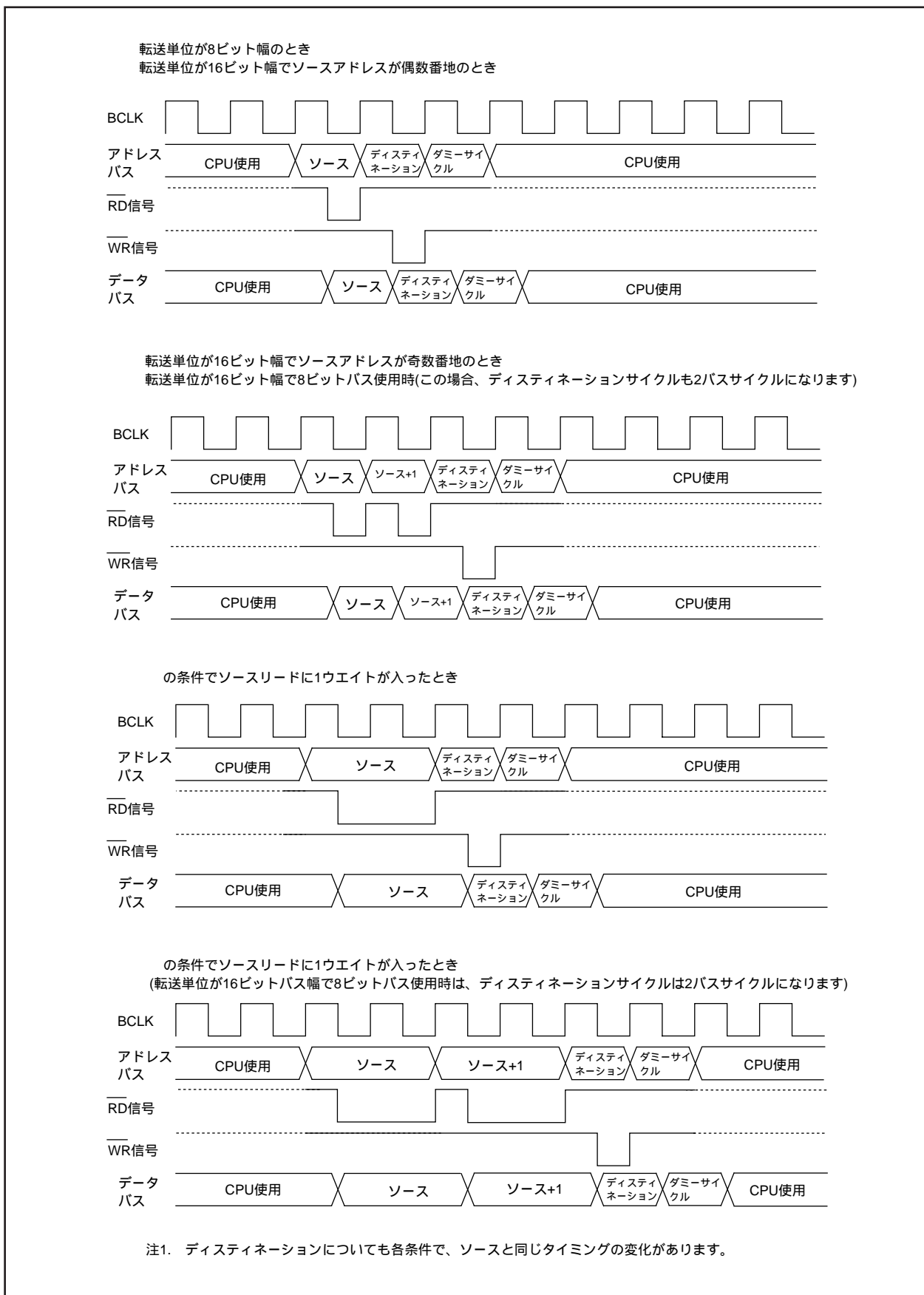


図2.9.5 ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表2.9.2にDMAC転送サイクル数を示します。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表2.9.2 DMAC転送サイクル数

| 転送単位 | バス幅 | アクセス番地 | マイクロプロセッサモード | |
|---------------------------|------------------------|--------|---------------|---------------|
| | | | 読み出し サイクル数 | 書き込み サイクル数 |
| 8ビット転送 (DMBIT= " 1 ") | 16ビット (BYTE= " L ") | 偶 数 | 1 | 1 |
| | | 奇 数 | 1 | 1 |
| | 8ビット (BYTE= " H ") | 偶 数 | 1 | 1 |
| | | 奇 数 | 1 | 1 |
| 16ビット転送 (DMBIT= " 0 ") | 16ビット (BYTE= " L ") | 偶 数 | 1 | 1 |
| | | 奇 数 | 2 | 2 |
| | 8ビット (BYTE= " H ") | 偶 数 | 2 | 2 |
| | | 奇 数 | 2 | 2 |

係数j,k

| 内部領域 | | | 外部領域 | | |
|-----------------|-----------------|-------|-----------------|-----------------|---------------|
| 内部RAM ウエイトなし | 内部RAM ウエイトあり | SFR領域 | セパレート ウエイトなし | セパレート ウエイトあり | マルチプレクス バス |
| 1 | 2 | 2 | 1 | 2 | 3 |

2.9.1 DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

2.9.2 DMA要求ビット

DMACは、各チャンネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMA_i要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}_i$ 端子(DMACチャンネルにより i は異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として $\overline{\text{INT}}_i$ 端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各 $\overline{\text{INT}}_i$ 端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図2.9.6外部要因によるDMA転送例で示します。

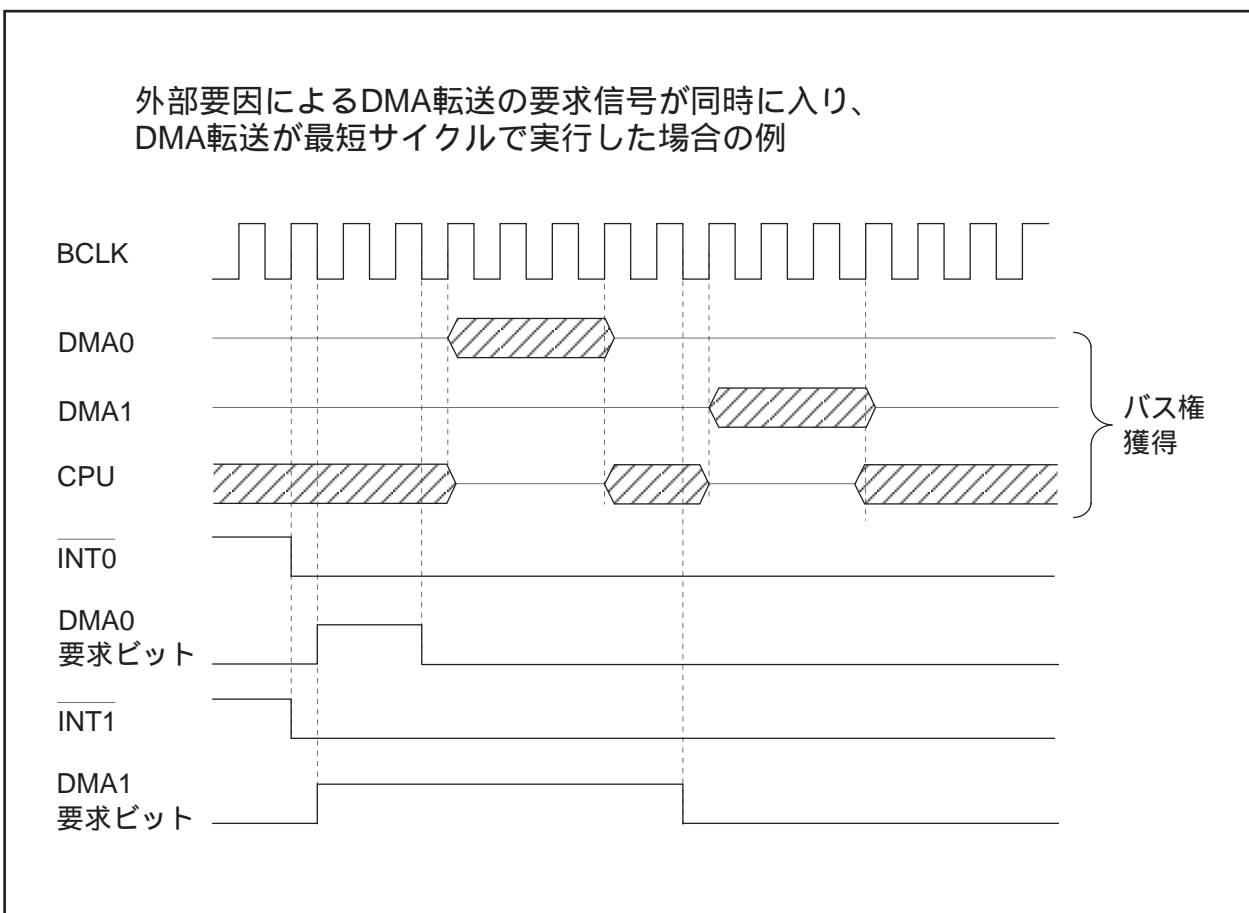


図2.9.6 外部要因によるDMA転送例

2.10 タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図2.10.1にタイマA、図2.10.2にタイマBの構成を示します。

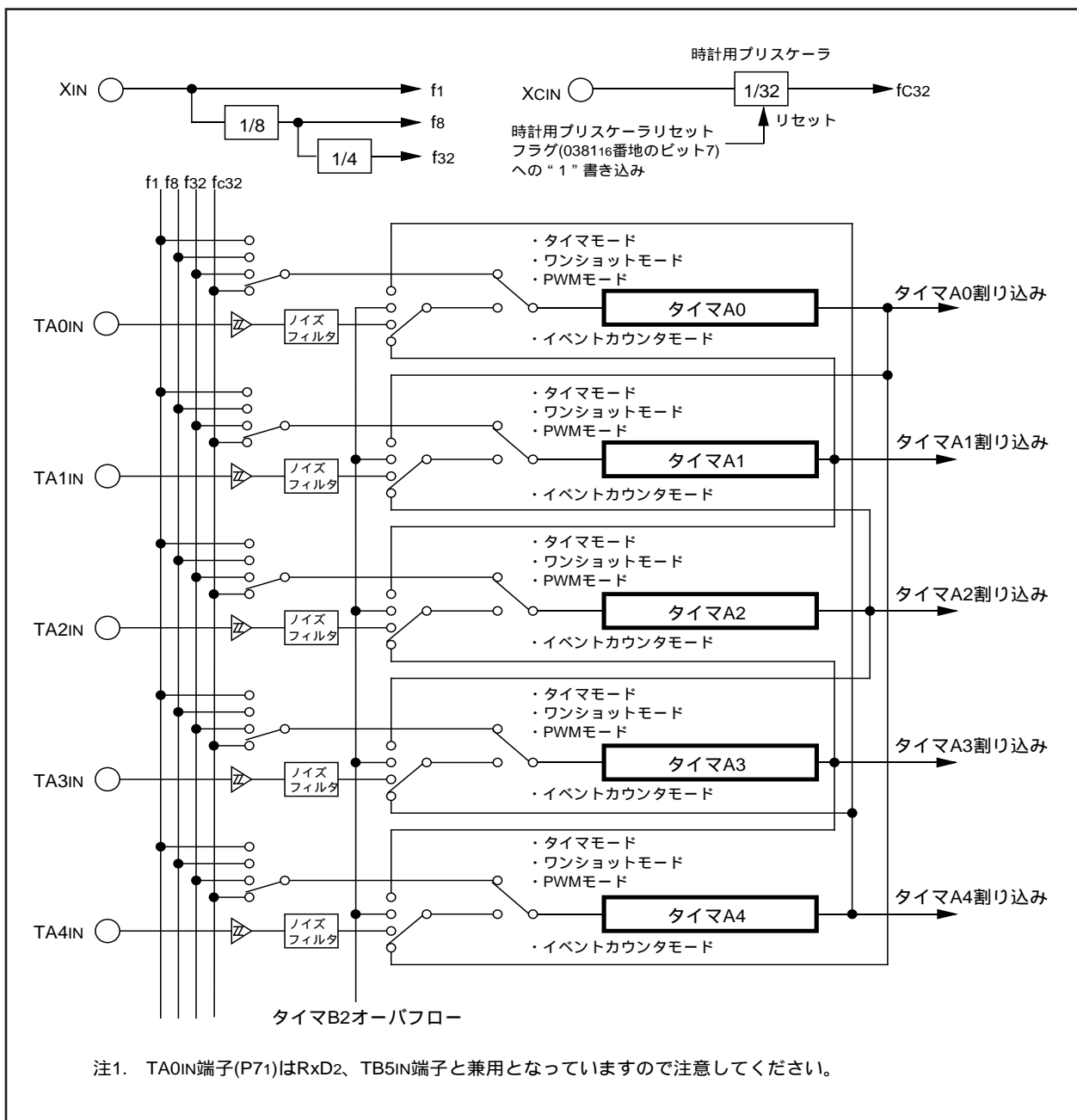


図2.10.1 タイマA構成

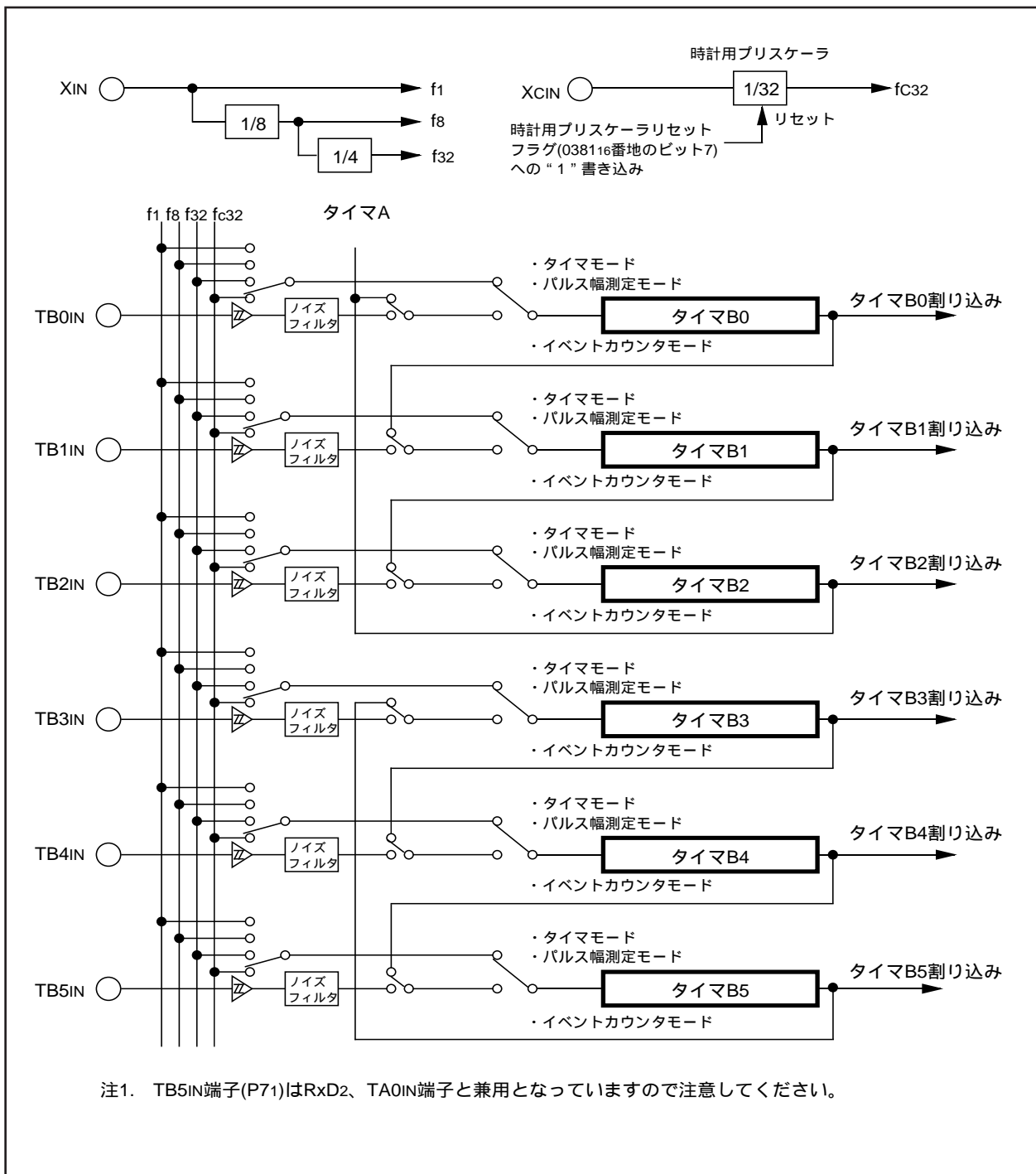


図2.10.2 タイマB構成

2.10.1 タイマA

図2.10.3にタイマAのブロック図を、図2.10.4～図2.10.6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるとカウントが止まるモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

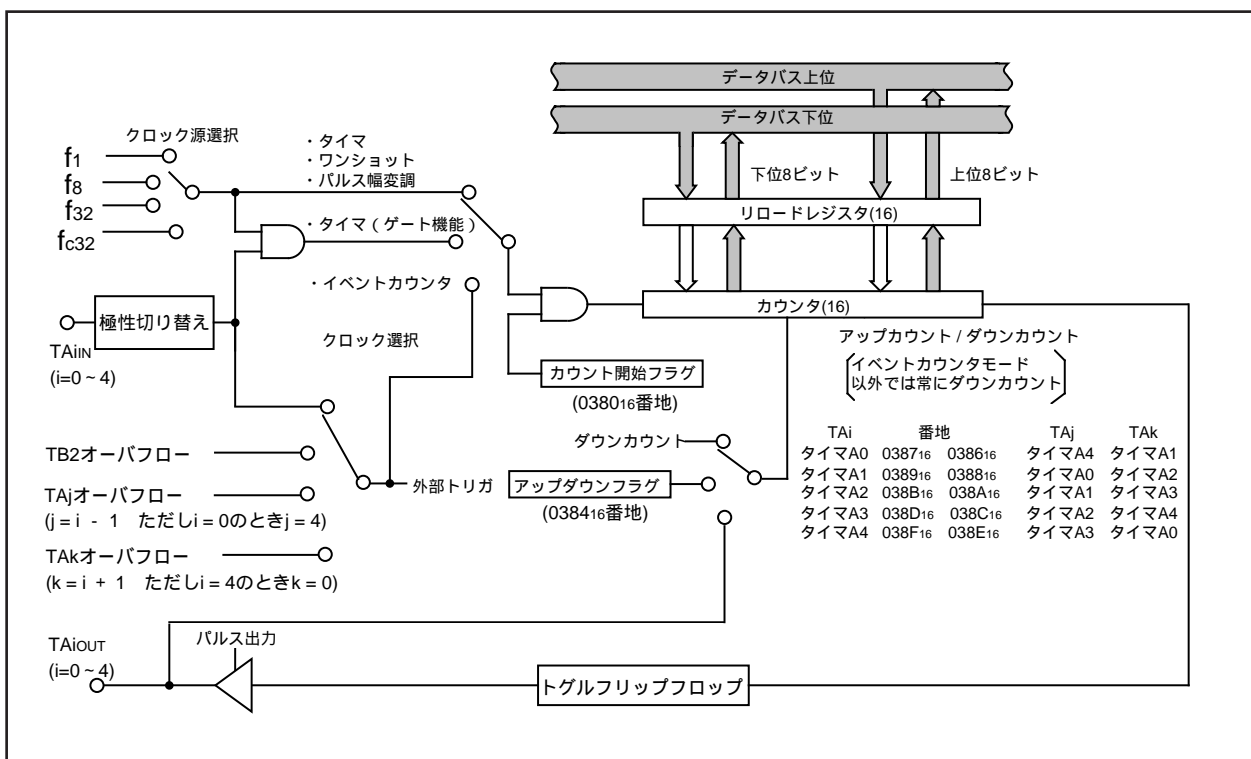


図2.10.3 タイマAブロック図

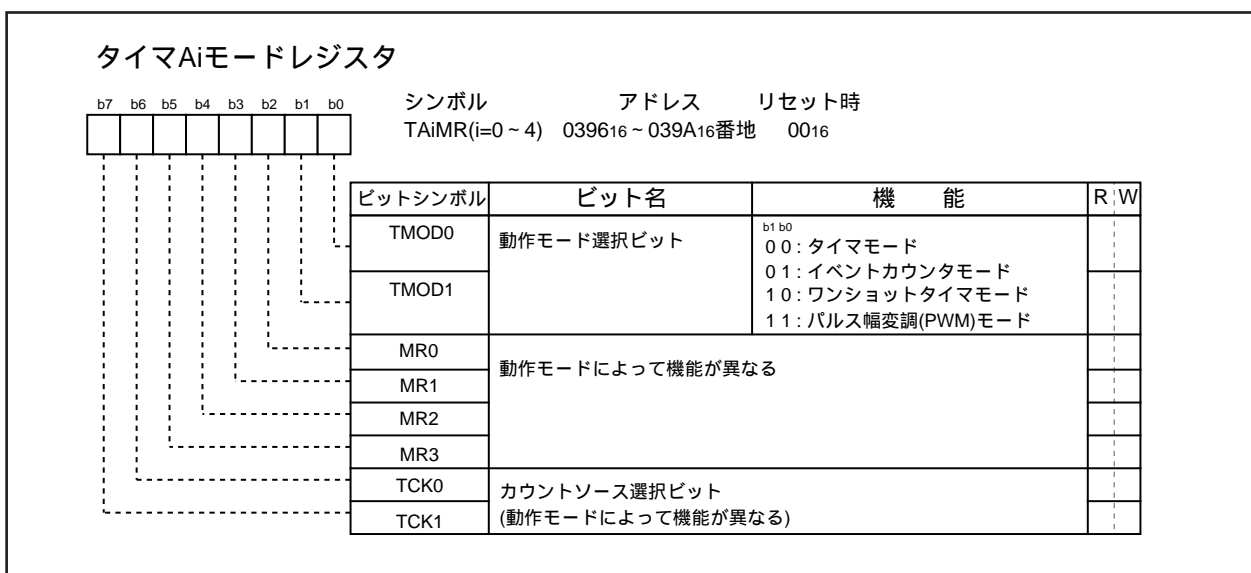


図2.10.4 タイマA関連レジスタ(1)

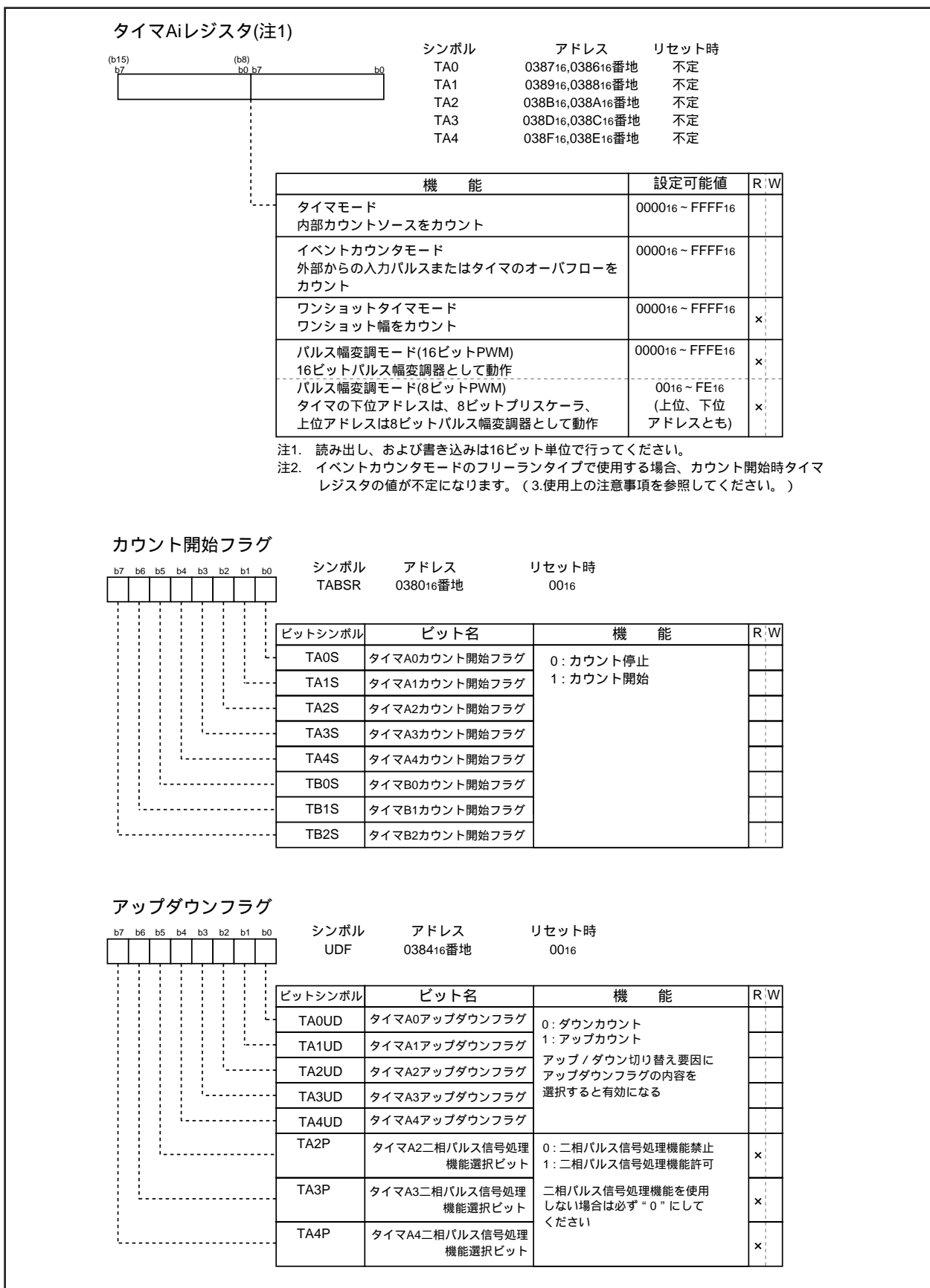


図2.10.5 タイマA関連レジスタ(2)

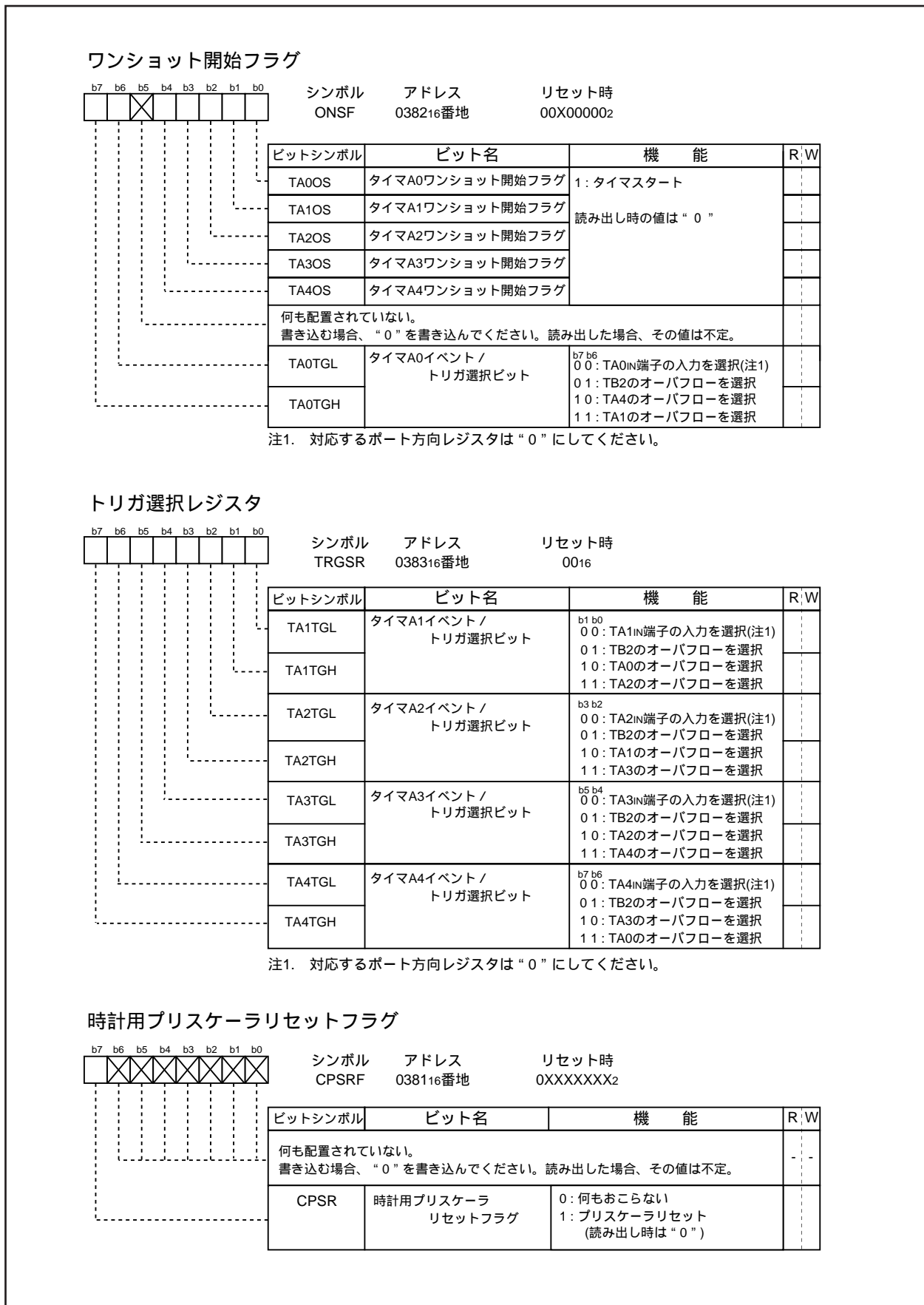


図2.10.6 タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.1)。図2.10.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表2.10.1 タイマモードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1, f8, f32, fC32 |
| カウント動作 | ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | 1/(n+1) n:設定値 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | アンダフロー時 |
| TAiIN端子機能 | プログラマブル入出力ポート、またはゲート入力 |
| TAiOUT端子機能 | プログラマブル入出力ポート、またはパルス出力 |
| タイマの読み出し | タイマAiレジスタを読み出すと、カウント値が読み出される |
| タイマの書き込み | カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |
| 選択機能 | ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 |

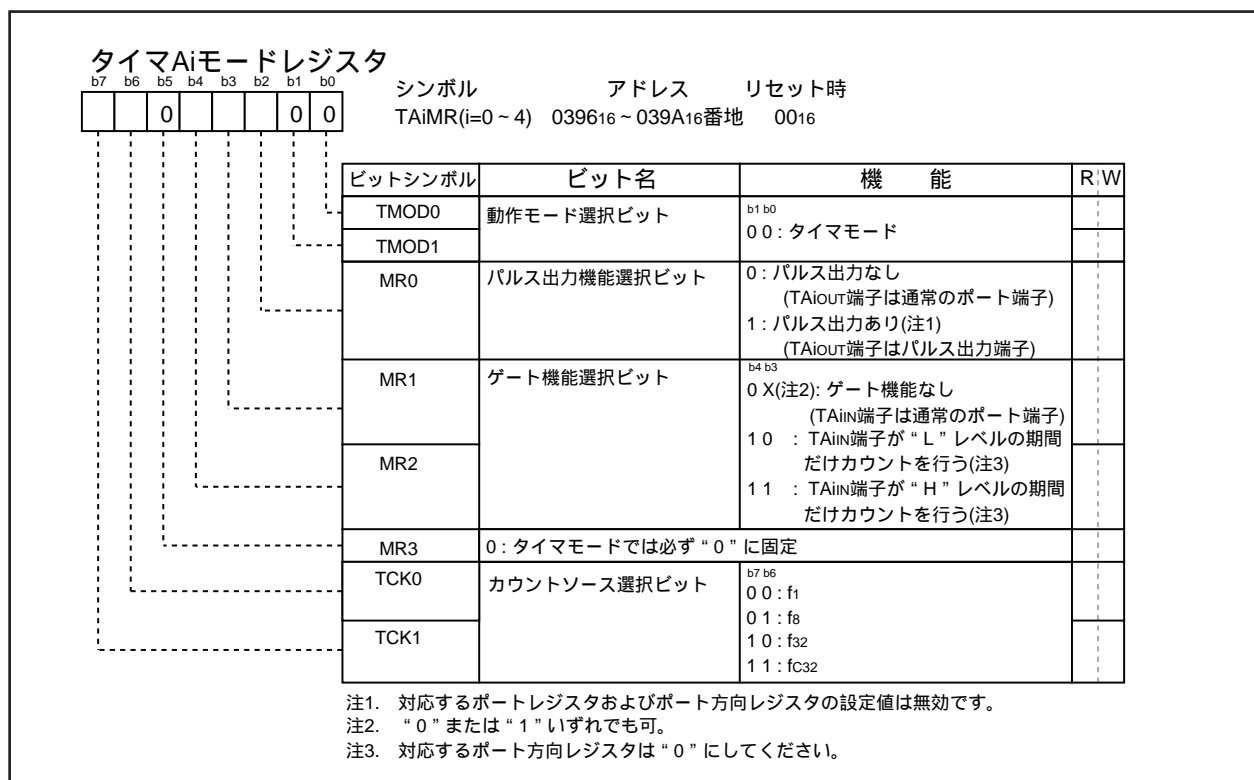


図2.10.7 タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表2.10.2に、タイマAiモードレジスタの構成を図2.10.8に示します。二相の外部信号をカウントする場合の仕様を表2.10.3に、タイマAiモードレジスタの構成を図2.10.9に示します。

表2.10.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

| 項目 | 仕様 |
|---------------|---|
| カウントソース | TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバーフロー、TAjのオーバーフロー |
| カウント動作 | アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1) |
| 分周比 | アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | オーバーフロー時、およびアンダフロー時 |
| TAiIN端子機能 | プログラマブル入出力ポート、またはカウントソース入力 |
| TAiOUT端子機能 | プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力 |
| タイマの読み出し | タイマAiレジスタを読み出すと、カウント値が読み出される |
| タイマの書き込み | カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |
| 選択機能 | フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転 |

注1. フリーラン機能選択時は除きます。

タイマAiモードレジスタ

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| | | | | | | 0 | 1 |

| シンボル | アドレス | リセット時 |
|--------------|-----------------|-------|
| TAiMR(i=0,1) | 039616,039716番地 | 0016 |

| ビットシンボル | ビット名 | 機能 | R/W |
|---------|--------------------------------------|---|-----|
| TMOD0 | 動作モード選択ビット | b1 b0 0 1: イベントカウンタモード(注1) | |
| MR0 | パルス出力機能選択ビット | 0: パルス出力なし (TAiOUT端子は通常のポート端子) 1: パルス出力あり(注2) (TAiOUT端子はパルス出力端子) | |
| MR1 | カウント極性選択ビット(注3) | 0: 外部信号の立ち下がりをカウント 1: 外部信号の立ち上がりをカウント | |
| MR2 | アップ/ダウン切り替え 要因選択ビット | 0: アップダウンフラグの内容 1: TAiOUT端子の入力信号(注4) | |
| MR3 | 0: イベントカウンタモードでは必ず“0”に固定 | | |
| TCK0 | カウントタイプ選択ビット | 0: リロードタイプ 1: フリーランタイプ(注5) | |
| TCK1 | イベントカウンタモードでは無効。 “0”または“1”いずれでも可。 | | |

注1. イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(038216,038316番地)で選択。
 注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
 注3. 外部信号カウント時だけ有効。
 注4. TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
 対応するポート方向レジスタは“0”にしてください。
 注5. イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になります。(3.使用上の注意事項を参照してください。)

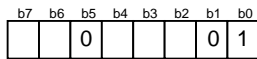
図2.10.8 イベントカウンタモード時のタイマAiモードレジスタの構成

表2.10.3 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

| 項目 | 仕様 |
|---------------|---|
| カウントソース | TAiIN、TAiOUT端子に入力された二相パルス信号 |
| カウント動作 | アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1) |
| 分周比 | アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | オーバーフロー時、およびアンダフロー時 |
| TAiIN端子機能 | 二相パルス入力 |
| TAiOUT端子機能 | 二相パルス入力 |
| タイマの読み出し | タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される |
| タイマの書き込み | カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |
| 選択機能 | <p>通常処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりやをダウンカウントします。</p>  <p>4逓倍処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりやをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりやをダウンカウントします。</p>  |

注1. フリーラン機能選択時は除く。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

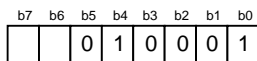


シンボル アドレス リセット時
TAiMR(i=2~4) 0398₁₆ ~ 039A₁₆番地 00₁₆

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|-----------------------------|---|-----|
| TMOD0 | 動作モード選択ビット | b1 b0 0 1: イベントカウンタモード | |
| TMOD1 | | | |
| MR0 | パルス出力機能選択ビット | 0: パルス出力なし (TAiout端子は通常のポート端子) 1: パルス出力あり(注1) (TAiout端子はパルス出力端子) | |
| MR1 | カウント極性選択ビット(注2) | 0: 外部信号の立ち下がりをカウント 1: 外部信号の立ち上がりをカウント | |
| MR2 | アップ/ダウン切り替え 要因選択ビット | 0: アップダウンフラグの内容 1: TAiout端子の入力信号(注3) | |
| MR3 | 0: イベントカウンタモードモードでは必ず“0”に固定 | | |
| TCK0 | カウント動作タイプ選択 ビット | 0: リロードタイプ 1: フリーランタイプ(注6) | |
| TCK1 | 二相パルス処理動作選択 ビット(注4)(注5) | 0: 通常処理動作 1: 4 通信処理動作 | |

- 注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
 注2. 外部信号カウント時だけ有効。
 注3. 対応するポート方向レジスタは“0”にしてください。
 注4. このビットはタイマA3モードレジスタにおいて有効。
 タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
 注5. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384₁₆番地)は“1”に、
 イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)は“00”にしてください。
 注6. イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレ
 ジスタの値が不定になります。(3.使用上の注意事項を参照してください。)

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)



シンボル アドレス リセット時
TAiMR(i=2~4) 0398₁₆ ~ 039A₁₆番地 00₁₆

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|----------------------------|-------------------------------|-----|
| TMOD0 | 動作モード選択ビット | b1 b0 0 1: イベントカウンタモード | |
| TMOD1 | | | |
| MR0 | 0: 二相パルス信号処理使用時には必ず“0”に固定 | | |
| MR1 | 0: 二相パルス信号処理使用時には必ず“0”に固定 | | |
| MR2 | 1: 二相パルス信号処理使用時には必ず“1”に固定 | | |
| MR3 | 0: 二相パルス信号処理使用時には必ず“0”に固定 | | |
| TCK0 | カウント動作タイプ選択 ビット | 0: リロードタイプ 1: フリーランタイプ(注3) | |
| TCK1 | 二相パルス処理動作選択 ビット(注1)(注2) | 0: 通常処理動作 1: 4 通信処理動作 | |

- 注1. このビットはタイマA3モードレジスタにおいて有効。
 タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
 注2. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384₁₆番地)は“1”に、
 イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)は“00”にしてください。
 注3. イベントカウンタモードのフリーランタイプで使用する場合、カウント開始時タイマレ
 ジスタの値が不定になります。(3.使用上の注意事項を参照してください。)

図2.10.9 イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表2.10.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図2.10.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表2.10.4 ワンショットタイマモードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1, f8, f32, fc32 |
| カウント動作 | ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続 |
| 分周比 | 1/n n:設定値 |
| カウント開始条件 | 外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み |
| カウント停止条件 | カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | カウントの値が0000 ₁₆ になるタイミング |
| TAiIN端子機能 | プログラマブル入出力ポート、またはトリガ入力 |
| TAiOUT端子機能 | プログラマブル入出力ポート、またはパルス出力 |
| タイマの読み出し | タイマAiレジスタを読み出すと、不定値が読み出される |
| タイマの書き込み | カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |

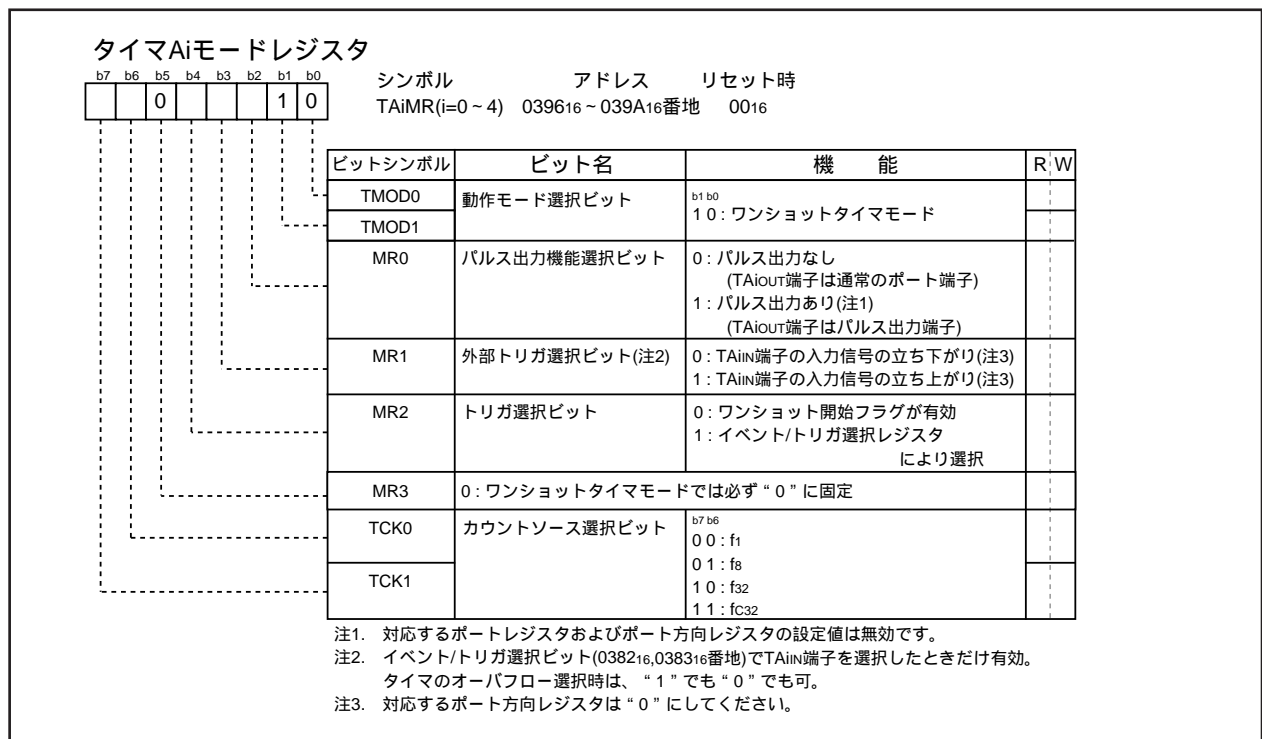


図2.10.10 ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表2.10.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図2.10.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図2.10.12に16ビットパルス幅変調器の動作例、および図2.10.13に8ビットパルス幅変調器の動作例を示します。

表2.10.5 パルス幅変調モードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1, f8, f32, fc32 |
| カウント動作 | ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない |
| 16ビットPWM | “H”レベル幅 n / f_i n :設定値 周期 $(2^{16} - 1) / f_i$ 固定 |
| 8ビットPWM | “H”レベル幅 $n \times (m+1) / f_i$ n :タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m :タイマAiレジスタの下位アドレスの設定値 |
| カウント開始条件 | 外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | PWMパルスの立ち下がり時 |
| TAiIN端子機能 | プログラマブル入出力ポート、またはトリガ入力 |
| TAiOUT端子機能 | パルス出力 |
| タイマの読み出し | タイマAiレジスタを読み出すと、不定値が読み出される |
| タイマの書き込み | カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |

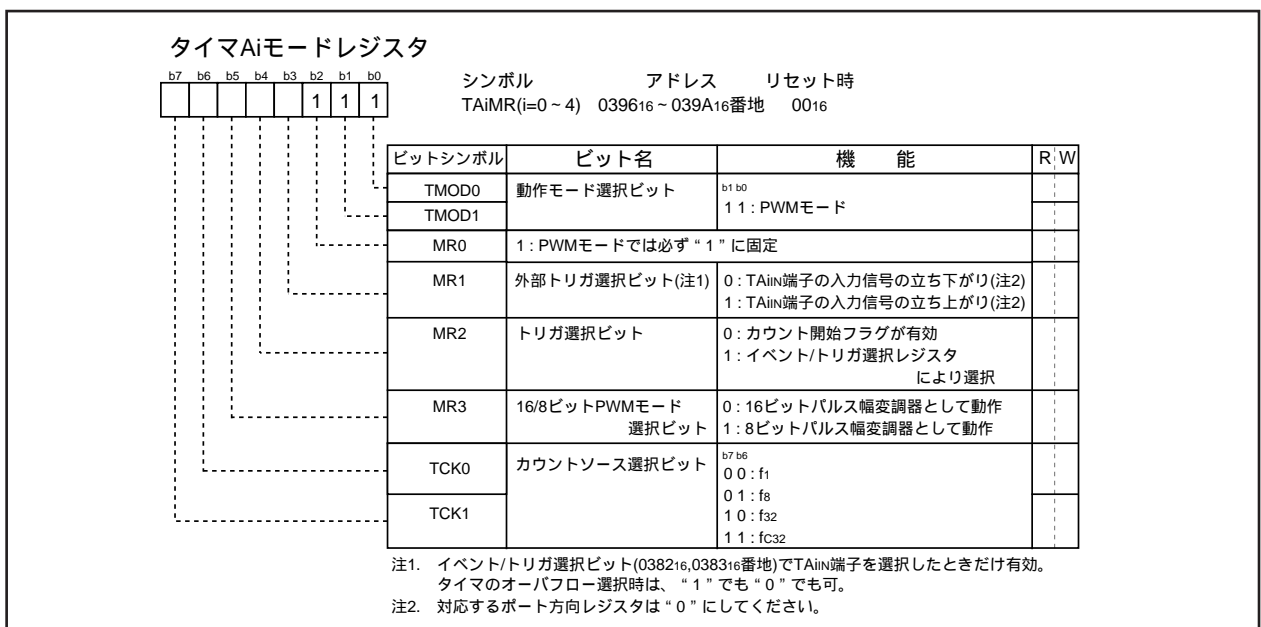


図2.10.11 パルス幅変調モード時のタイマAiモードレジスタの構成

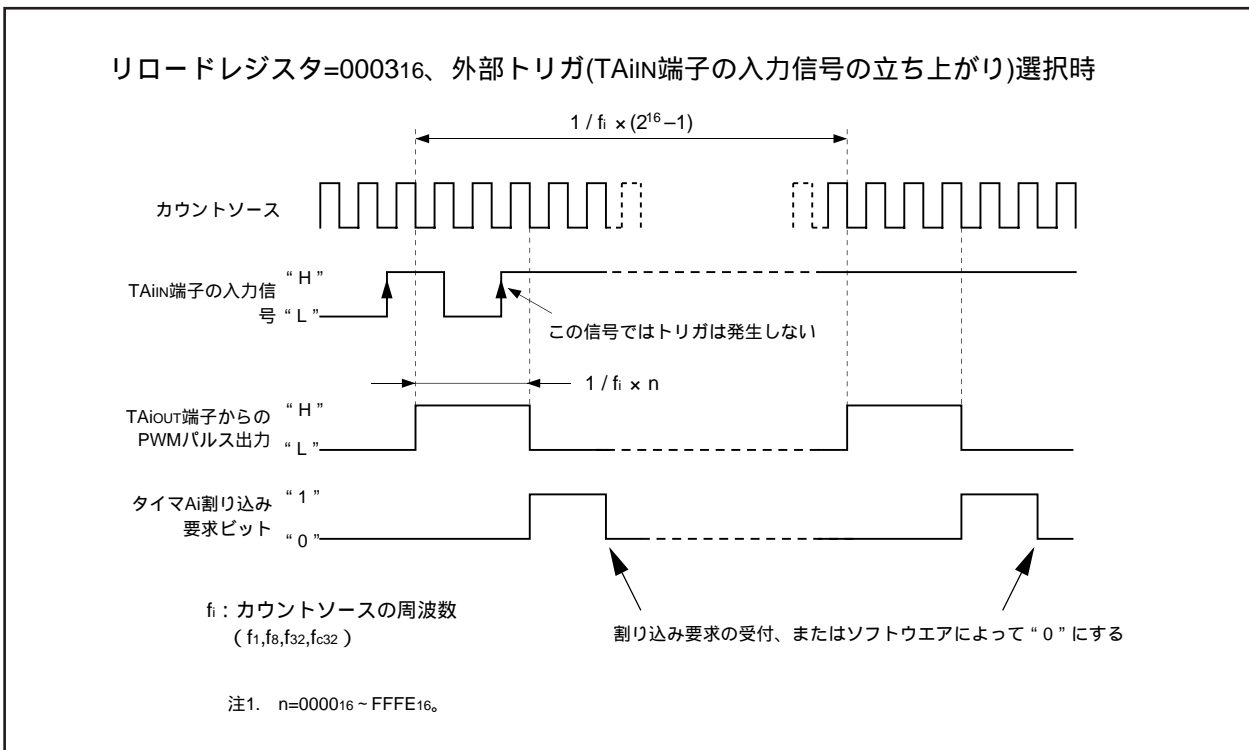


図2.10.12 16ビットパルス幅変調器の動作例

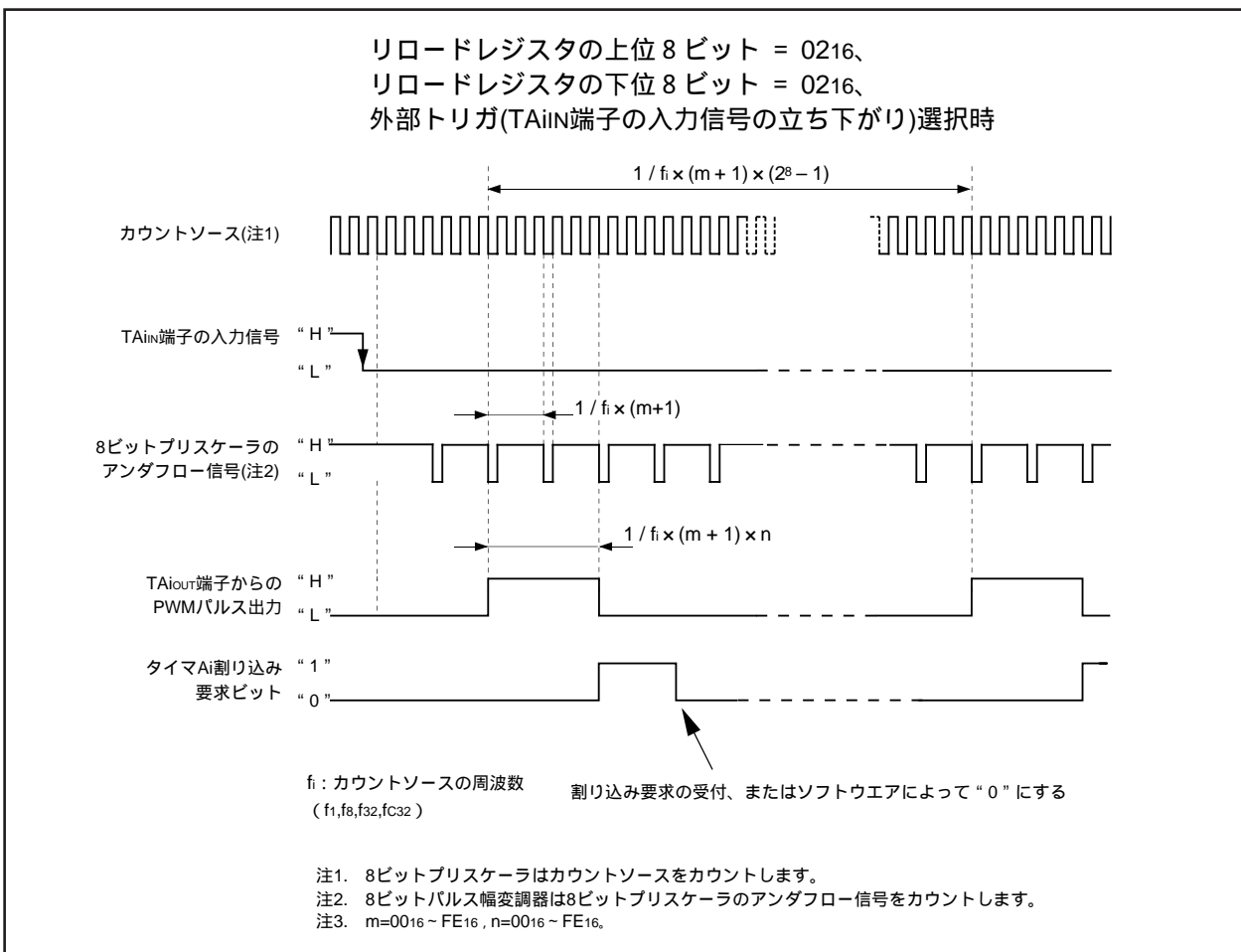
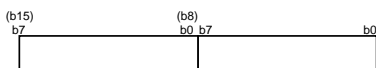


図2.10.13 8ビットパルス幅変調器の動作例

タイマBiレジスタ(注1)

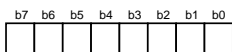


| シンボル | アドレス | リセット時 |
|------|---|-------|
| TB0 | 0391 ₁₆ ,0390 ₁₆ 番地 | 不定 |
| TB1 | 0393 ₁₆ ,0392 ₁₆ 番地 | 不定 |
| TB2 | 0395 ₁₆ ,0394 ₁₆ 番地 | 不定 |
| TB3 | 0351 ₁₆ ,0350 ₁₆ 番地 | 不定 |
| TB4 | 0353 ₁₆ ,0352 ₁₆ 番地 | 不定 |
| TB5 | 0355 ₁₆ ,0354 ₁₆ 番地 | 不定 |

| 機能 | 設定可能値 | R/W |
|--|---|-----|
| タイマモード タイマの周期をカウント | 0000 ₁₆ ~ FFFF ₁₆ | |
| イベントカウンタモード 外部からの入力パルスまたはタイマのオーバーフローを カウント | 0000 ₁₆ ~ FFFF ₁₆ | |
| パルス周期測定モード / パルス幅測定モード パルス周期、またはパルス幅を測定 | — | x |

注1. 読み出し、および書き込みは16ビット単位で行ってください。

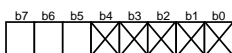
カウント開始フラグ



| シンボル | アドレス | リセット時 |
|-------|-----------------------|------------------|
| TABSR | 0380 ₁₆ 番地 | 001 ₆ |

| ビットシンボル | ビット名 | 機能 | R/W |
|---------|----------------|------------------------|-----|
| TA0S | タイマA0カウント開始フラグ | 0: カウント停止 1: カウント開始 | |
| TA1S | タイマA1カウント開始フラグ | | |
| TA2S | タイマA2カウント開始フラグ | | |
| TA3S | タイマA3カウント開始フラグ | | |
| TA4S | タイマA4カウント開始フラグ | | |
| TB0S | タイマB0カウント開始フラグ | | |
| TB1S | タイマB1カウント開始フラグ | | |
| TB2S | タイマB2カウント開始フラグ | | |

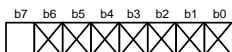
タイマB3,4,5カウント開始フラグ



| シンボル | アドレス | リセット時 |
|------|-----------------------|-----------------------|
| TBSR | 0340 ₁₆ 番地 | 000XXXXX ₂ |

| ビットシンボル | ビット名 | 機能 | R/W |
|---|----------------|------------------------|-----|
| 何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。 | | | |
| TB3S | タイマB3カウント開始フラグ | 0: カウント停止 1: カウント開始 | |
| TB4S | タイマB4カウント開始フラグ | | |
| TB5S | タイマB5カウント開始フラグ | | |

時計用プリスケアラリセットフラグ



| シンボル | アドレス | リセット時 |
|-------|-----------------------|----------------------|
| CPSRF | 0381 ₁₆ 番地 | 0XXXXXX ₂ |

| ビットシンボル | ビット名 | 機能 | R/W |
|---|----------------------|--|-----|
| 何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。 | | | |
| CPSR | 時計用プリスケアラ リセットフラグ | 0: 何もおこらない 1: プリスケアラリセット (読み出し時は“0”) | |

図2.10.16 タイマB関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表2.10.6)。図2.10.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表2.10.6 タイマモードの仕様

| 項 目 | 仕 様 |
|---------------|---|
| カウントソース | f1, f8, f32, fC32 |
| カウント動作 | ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | 1/(n+1) n:設定値 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | アンダフロー時 |
| TBiIN端子機能 | プログラマブル入出力ポート |
| タイマの読み出し | タイマBiレジスタを読み出すと、カウント値が読み出される |
| タイマの書き込み | カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |

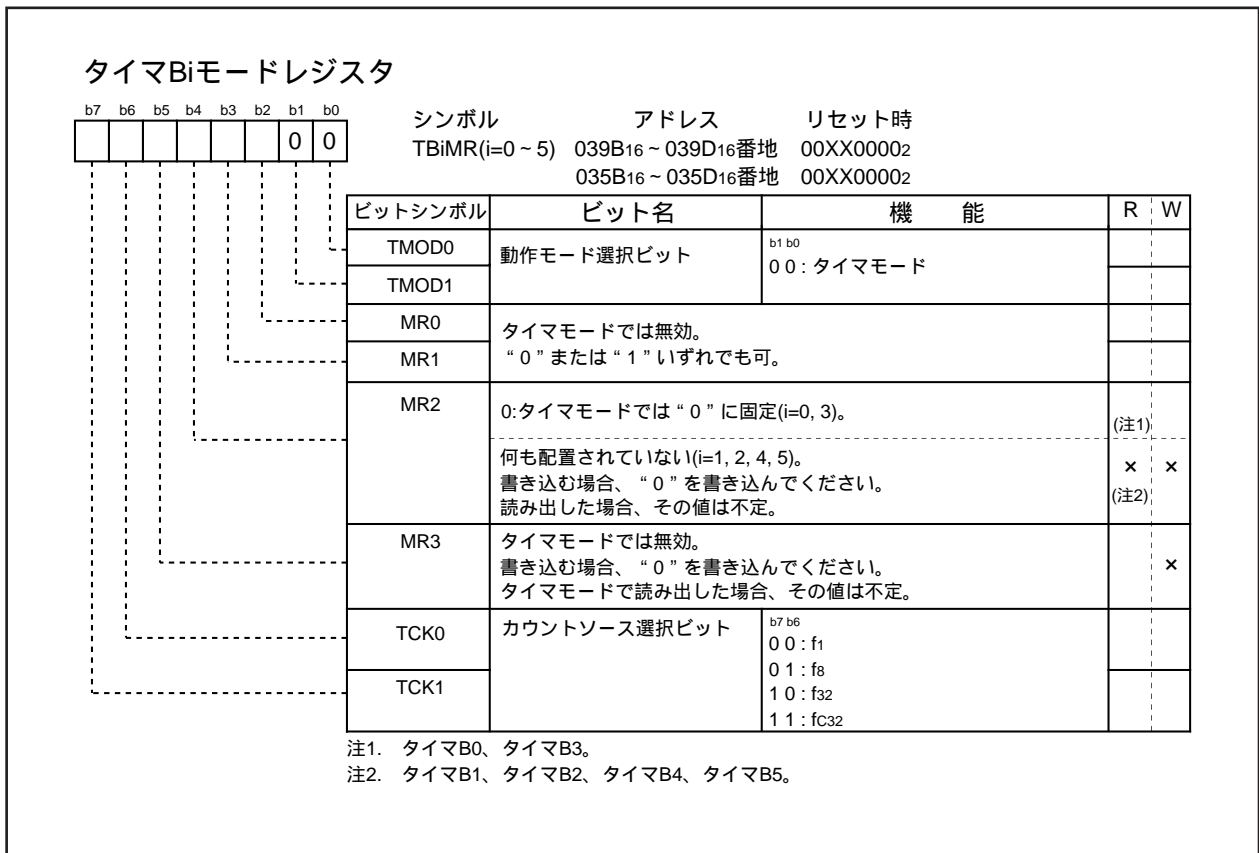


図2.10.17 タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです(表2.10.7)。タイマBiレジスタの構成を図2.10.18に示します。

表2.10.7 イベントカウンタモードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | TBiIn端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウェアによって選択可 |
| カウント動作 | ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | 1/(n+1) n:設定値 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | アンダフロー時 |
| TBiIn端子機能 | カウントソース入力 |
| タイマの読み出し | タイマBiレジスタを読み出すと、カウント値が読み出される |
| タイマの書き込み | カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送) |

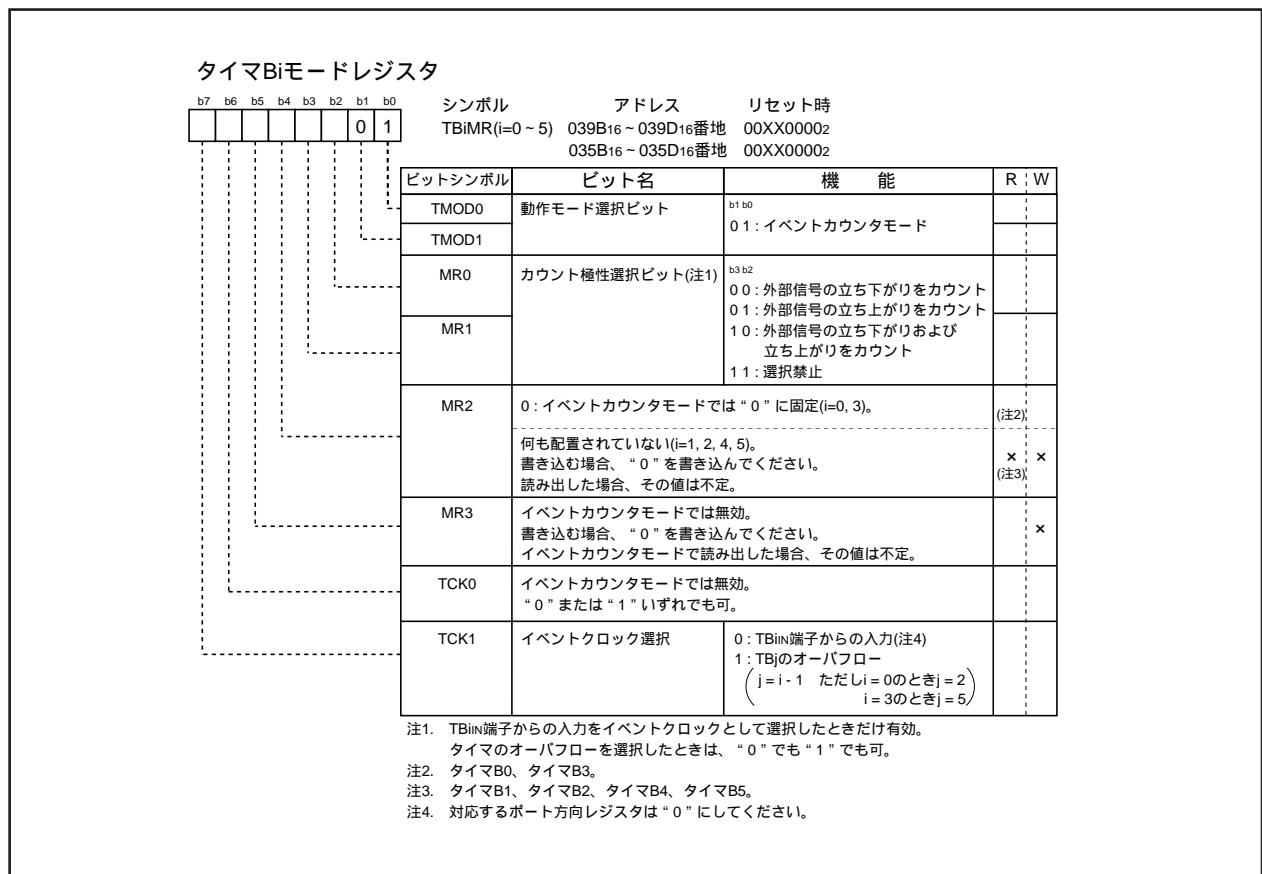


図2.10.18 イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表2.10.8)。図2.10.19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図2.10.20にパルス周期測定時の動作図、および図2.10.21にパルス幅測定時の動作図を示します。

表2.10.8 パルス周期測定 / パルス幅測定モードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f1, f8, f32, fC32 |
| カウント動作 | アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続 |
| カウント開始条件 | カウント開始フラグへの“1”書き込み |
| カウント停止条件 | カウント開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | 測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態です。タイマBiモードレジスタ書き込みを行うと“0”になります。) |
| TBiIN端子機能 | 測定パルス入力 |
| タイマの読み出し | タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2) |
| タイマの書き込み | 不可 |

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

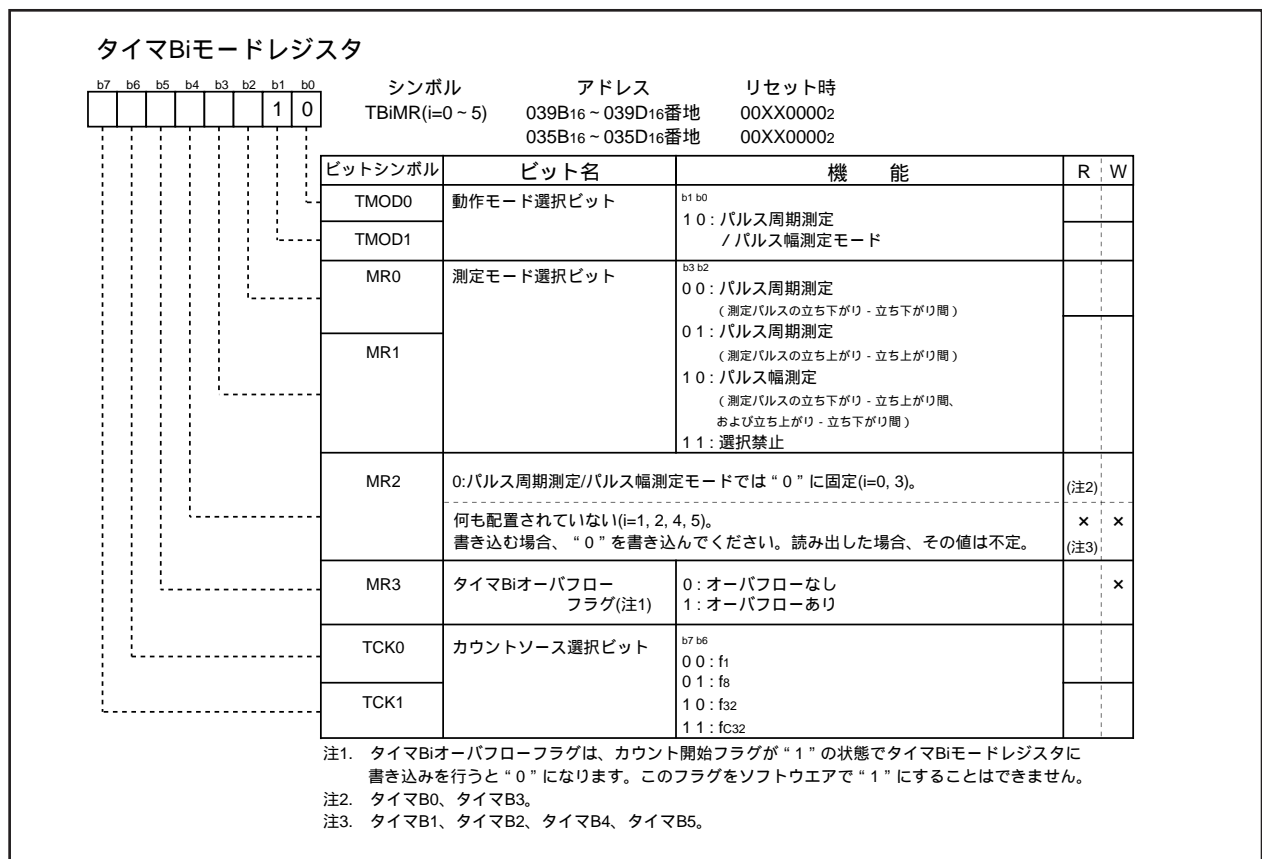


図2.10.19 パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

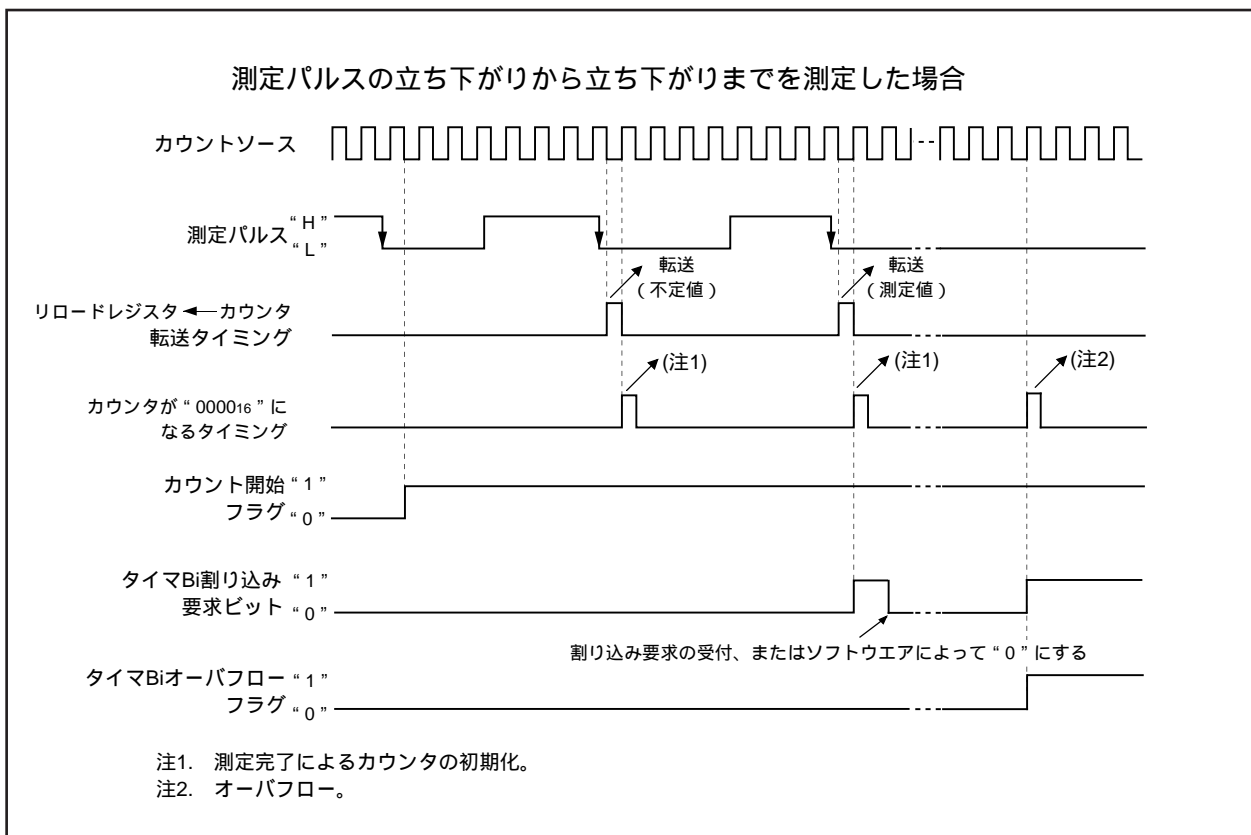


図2.10.20 パルス周期測定時の動作図

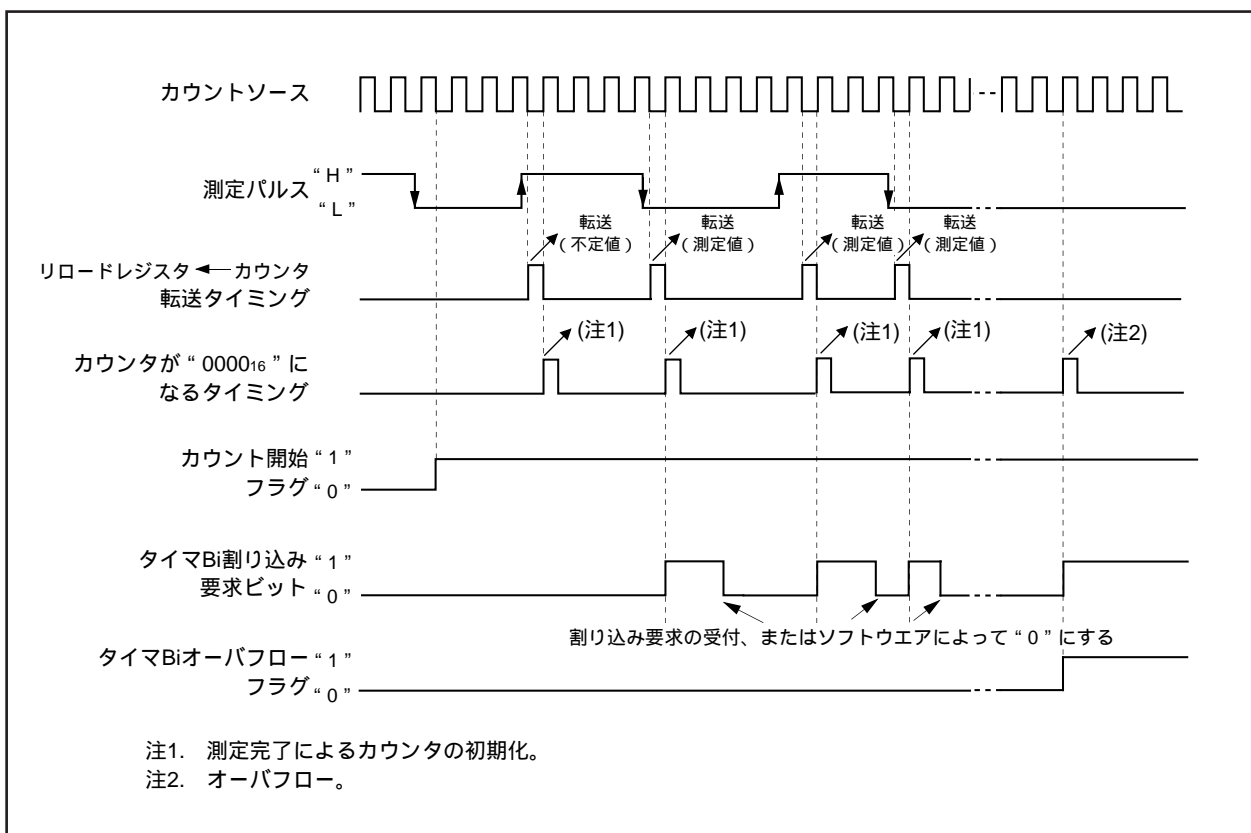


図2.10.21 パルス幅測定時の動作図

2.11 シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3、4の5チャンネルで構成しています。
次にそれぞれについて説明します。

2.11.1 UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図2.11.1にUARTi(i=0～2)のブロック図を、図2.11.2、図2.11.3に送受信部のブロック図を示します。

UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット0～ビット2)の内容で選択します。

UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1. SIM : Subscriber Identity Module

表2.11.1にUART0～UART2の機能比較を、図2.11.4～図2.11.9に、UARTi関連のレジスタを示します。

表2.11.1 UART0～UART2の機能比較

| 機 能 | UART0 | UART1 | UART2 |
|---------------------|--------|--------|-----------------|
| CLK極性選択 | 可 (注1) | 可 (注1) | 可 (注1) |
| LSBファースト/MSBファースト選択 | 可 (注1) | 可 (注1) | 可 (注2) |
| 連続受信モード選択 | 可 (注1) | 可 (注1) | 可 (注1) |
| 転送クロック複数端子出力選択 | 不可 | 可 (注1) | 不可 |
| シリアルデータ論理切り替え | 不可 | 不可 | 可 (注4) |
| スリープモード選択 | 可 (注3) | 可 (注3) | 不可 |
| TxD、RxD入出力極性切り替え | 不可 | 不可 | 可 |
| TxD、RxD端子出力形式 | CMOS出力 | CMOS出力 | Nチャネルオープンドレイン出力 |
| パリティエラー信号出力 | 不可 | 不可 | 可 (注4) |
| バス衝突検出 | 不可 | 不可 | 可 |

注1. クロック同期形シリアルI/Oモード時に選択できます。

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

注3. UARTモード時に選択できます。

注4. SIMインタフェース対応。

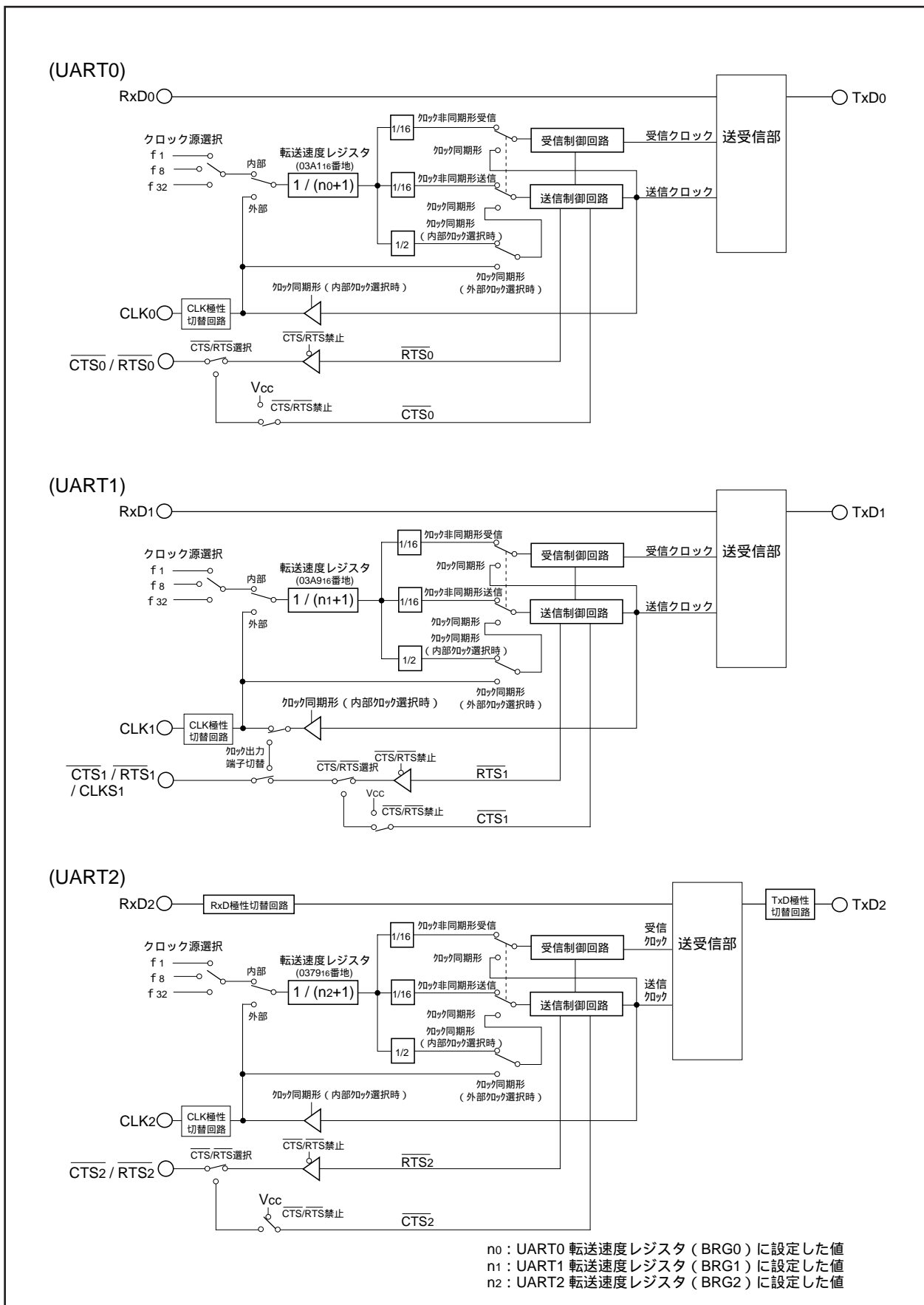


図2.11.1 UARTi(i=0~2)ブロック図

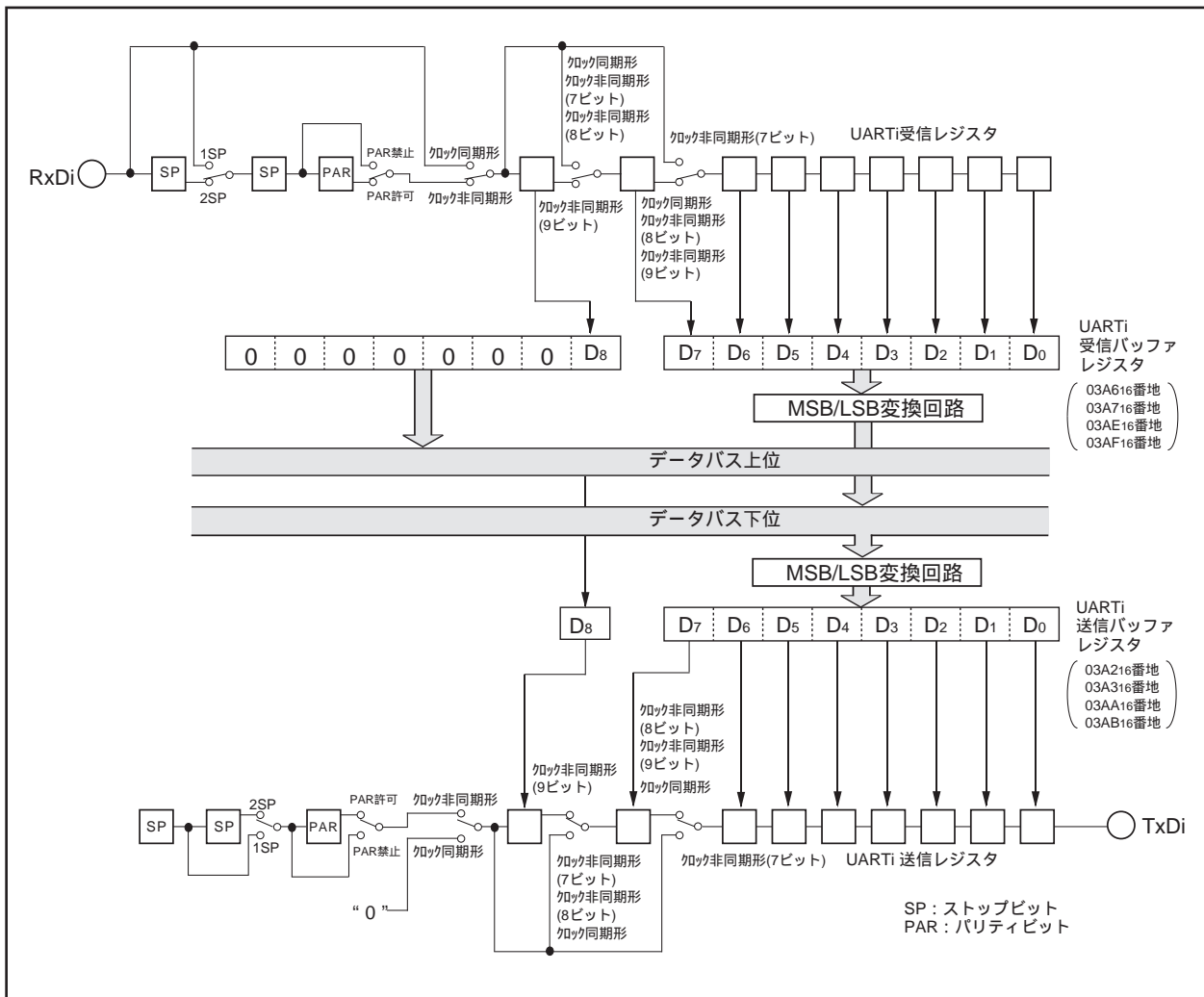


図2.11.2 UARTi(i=0,1)送受信部ブロック図

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

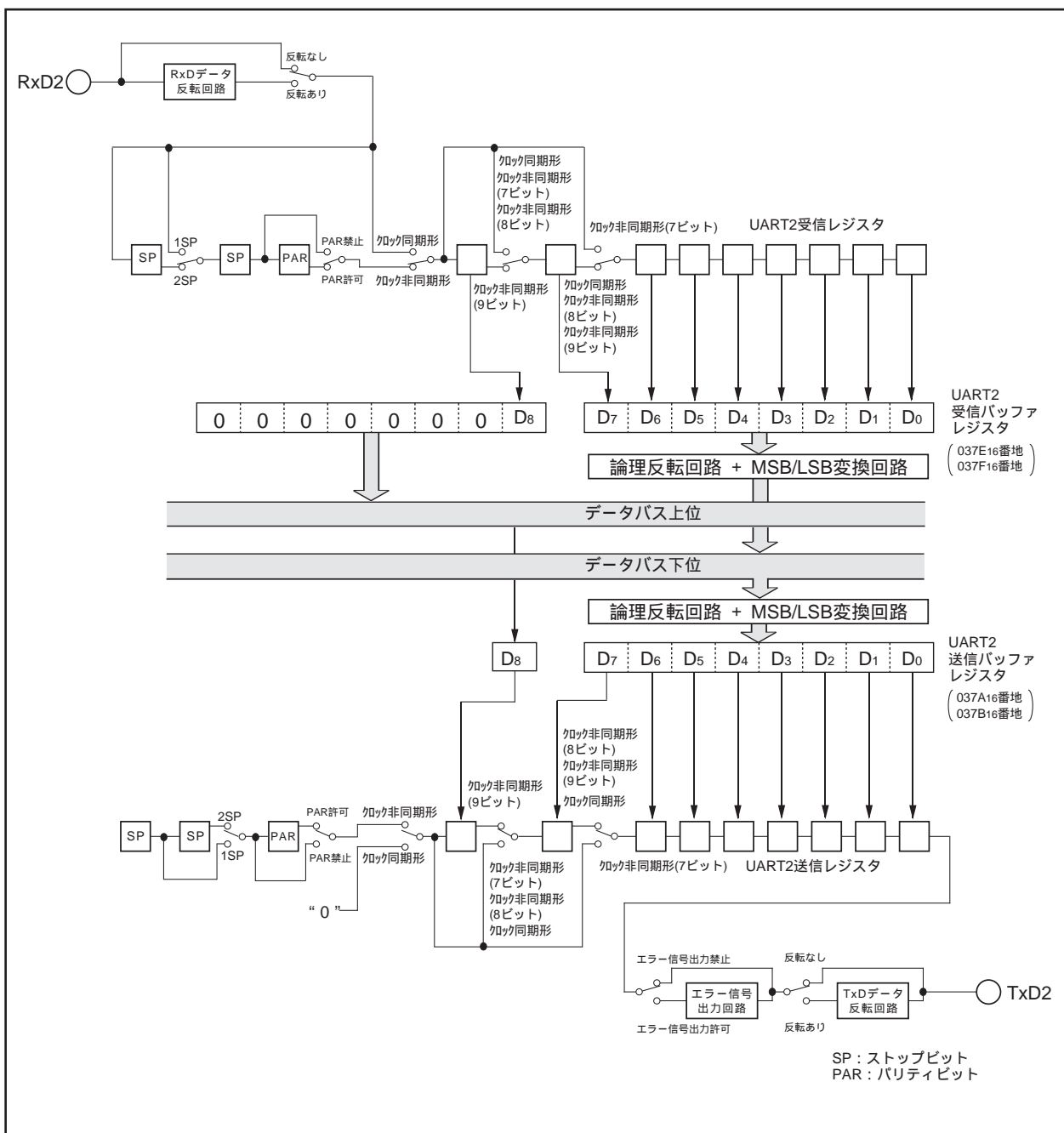


図2.11.3 UART2送受信部ブロック図

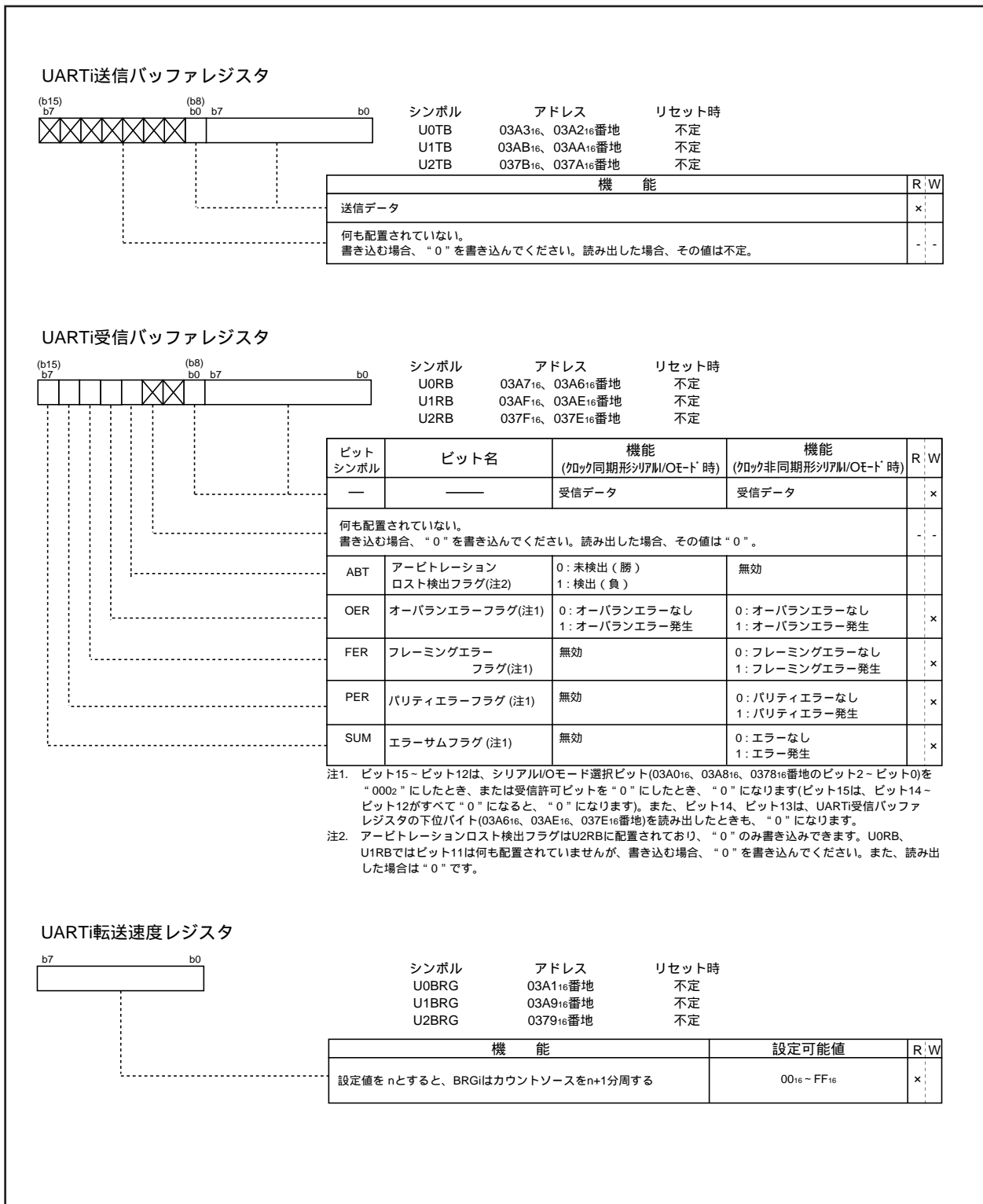


図2.11.4 UARTi関連のレジスタ (1)

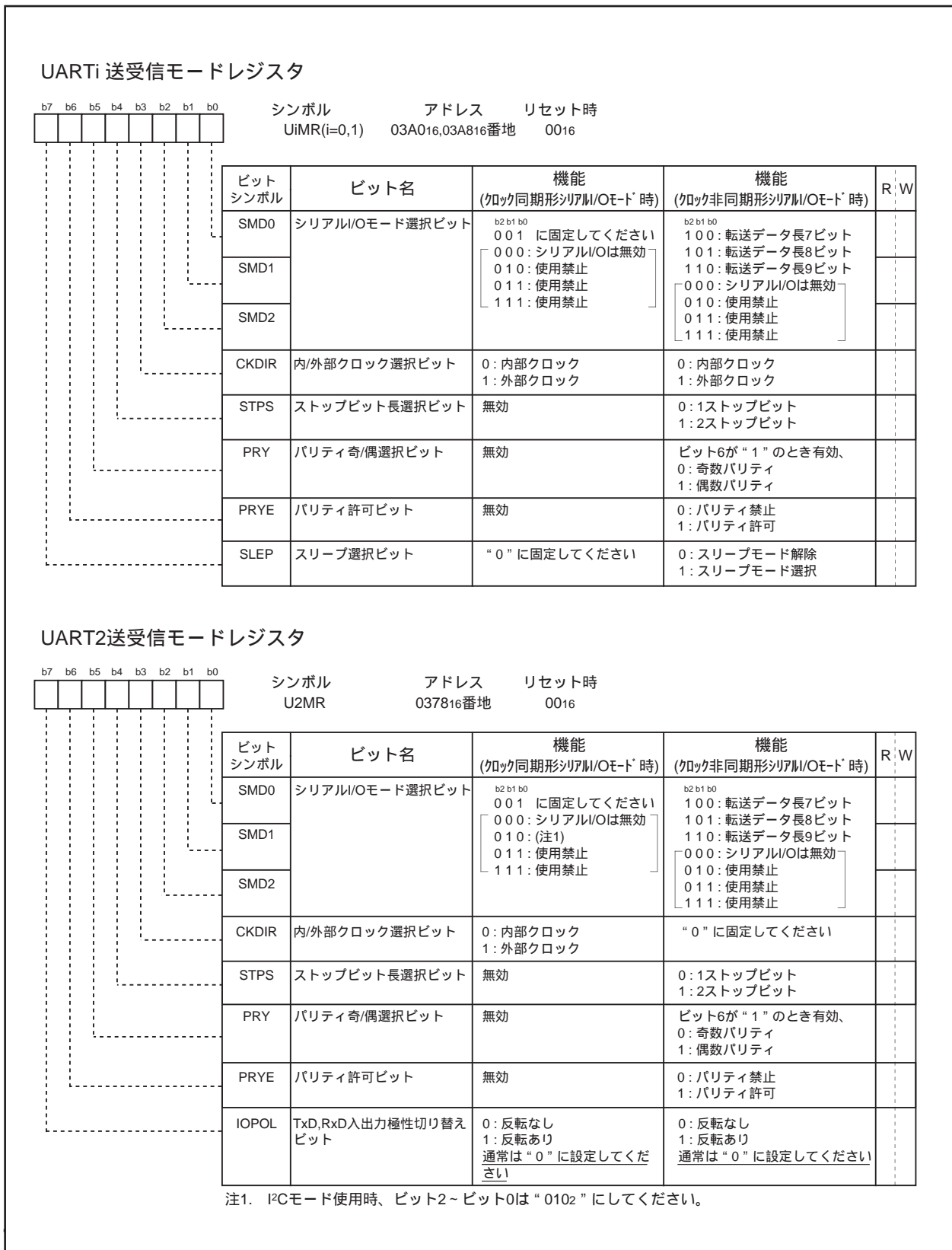
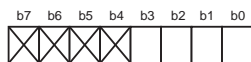


図2.11.5 UARTi関連のレジスタ (2)



図2.11.6 UARTi関連のレジスタ (3)

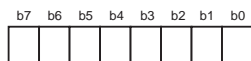
UARTi 送受信制御レジスタ1



シンボル アドレス リセット時
 UiC1(i=0,1) 03A516,03AD16番地 0216

| ビット シンボル | ビット名 | 機能 (クロック同期形シリアル/OE-ト'時) | 機能 (クロック非同期形シリアル/OE-ト'時) | R/W |
|--|------------|--|--|-----|
| TE | 送信許可ビット | 0: 送信禁止 1: 送信許可 | 0: 送信禁止 1: 送信許可 | |
| TI | 送信バッファ空フラグ | 0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし | 0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし | x |
| RE | 受信許可ビット | 0: 受信禁止 1: 受信許可 | 0: 受信禁止 1: 受信許可 | |
| RI | 受信完了フラグ | 0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり | 0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり | x |
| 何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。 | | | | - |

UART2送受信制御レジスタ1



シンボル アドレス リセット時
 U2C1 037D16番地 0216

| ビット シンボル | ビット名 | 機能 (クロック同期形シリアル/OE-ト'時) | 機能 (クロック非同期形シリアル/OE-ト'時) | R/W |
|-------------|------------------------|--|--|-----|
| TE | 送信許可ビット | 0: 送信禁止 1: 送信許可 | 0: 送信禁止 1: 送信許可 | |
| TI | 送信バッファ空フラグ | 0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし | 0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし | x |
| RE | 受信許可ビット | 0: 受信禁止 1: 受信許可 | 0: 受信禁止 1: 受信許可 | |
| RI | 受信完了フラグ | 0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり | 0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり | x |
| U2IRS | UART2送信割り込み 要因選択ビット | 0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1) | 0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1) | |
| U2RRM | UART2連続受信モード 許可ビット | 0: 連続受信モード禁止 1: 連続受信モード許可 | 無効 | |
| U2LCH | データ論理選択ビット | 0: 反転なし 1: 反転あり | 0: 反転なし 1: 反転あり | |
| U2ERE | エラー信号出力許可ビット | “0”に固定してください | 0: 出力しない 1: 出力する | |

図2.11.7 UARTi関連のレジスタ (4)



図2.11.8 UARTi関連のレジスタ (5)

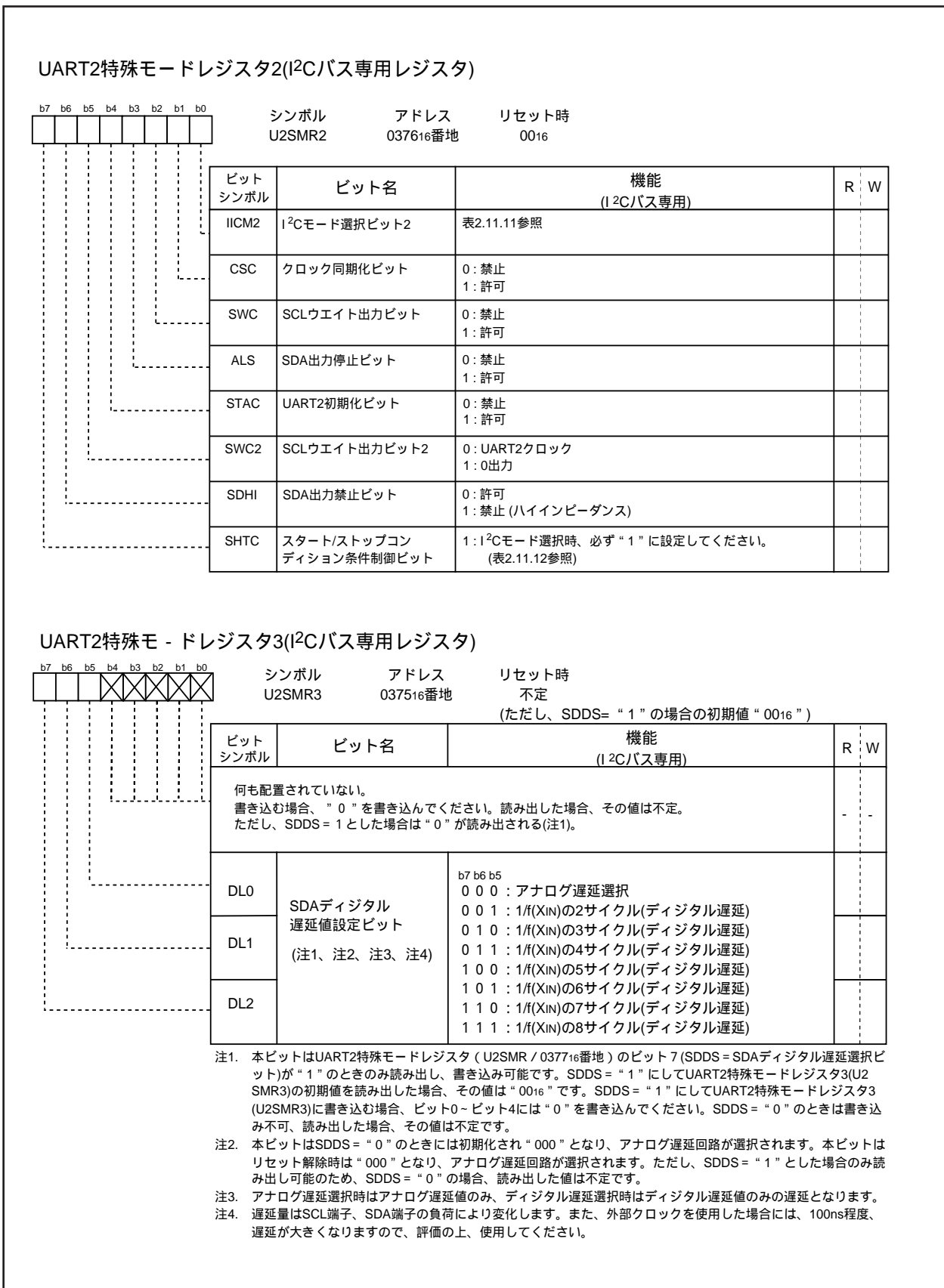


図2.11.9 UARTi関連のレジスタ (6)

2.11.2 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表2.11.2、表2.11.3にクロック同期形シリアルI/Oモードの仕様を、図2.11.10にUARTi送受信モードレジスタの構成を示します。

表2.11.2 クロック同期形シリアルI/Oモードの仕様(1)

| 項目 | 仕様 |
|---------------|--|
| 転送データフォーマット | 転送データ長 8ビット |
| 転送クロック | 内部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "0") : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= "1") : CLKi端子からの入力 |
| 送信制御/受信制御 | CTS機能/RTS機能/CTS,RTS機能無効 選択 |
| 送信開始条件 | 送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" CTS機能選択時、CTS端子の入力が "L" レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L" |
| 受信開始条件 | 受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット2)= "1" 送信許可ビット(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット0)= "1" 送信バッファ空フラグ(03A5₁₆, 03AD₁₆, 037D₁₆番地のビット1)= "0" 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "0" : CLKi端子の入力が "H" CLKi極性選択ビット(03A4₁₆, 03AC₁₆, 037C₁₆番地のビット6)= "1" : CLKi端子の入力が "L" |
| 割り込み要求発生タイミング | 送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "0" : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0, 1, 037D₁₆番地のビット4)= "1" : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時 |
| エラー検出 | オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 |

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは "1" になりません。

表2.11.3 クロック同期形シリアル/Oモードの仕様(2)

| 項 目 | 仕 様 |
|------|---|
| 選択機能 | <p>CLK極性選択</p> <p>送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可</p> <p>LSBファースト/MSBファースト 選択</p> <p>ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可</p> <p>連続受信モード選択</p> <p>受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。</p> <p>転送クロック複数端子出力選択(UART1) (注1)</p> <p>UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可</p> <p>シリアルデータ論理切り替え(UART2)</p> <p>送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRx端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p> |

UART_i送受信モードレジスタ



シンボル アドレス リセット時
U_iMR(i=0,1) 03A0₁₆,03A8₁₆番地 00₁₆

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|--------------------------------|--|-----|
| SMD0 | シリアル/Oモード選択ビット | b ₂ b ₁ b ₀ 0 0 1 : クロック同期形 シリアル/Oモード | |
| SMD1 | | | |
| SMD2 | | | |
| CKDIR | 内/外部クロック選択ビット | 0 : 内部クロック 1 : 外部クロック | |
| STPS | クロック同期形シリアル/Oモードでは無効 | | |
| PRY | | | |
| PRYE | | | |
| SLEP | 0 : クロック同期形シリアル/Oモードでは必ず“0”に固定 | | |

UART₂送受信モードレジスタ



シンボル アドレス リセット時
U₂MR 0378₁₆ 00₁₆

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|-----------------------------|--|-----|
| SMD0 | シリアル/Oモード選択ビット | b ₂ b ₁ b ₀ 0 0 1 : クロック同期形 シリアル/Oモード | |
| SMD1 | | | |
| SMD2 | | | |
| CKDIR | 内/外部クロック選択ビット | 0 : 内部クロック 1 : 外部クロック | |
| STPS | クロック同期形シリアル/Oモードでは無効 | | |
| PRY | | | |
| PRYE | | | |
| IOPOL | TxD,RxD入出力極性 切り替えビット(注1) | 0 : 反転なし 1 : 反転あり | |

注1. 通常“0”にしてください。

図2.11.10 クロック同期形シリアル/Oモード時のUART_i送受信モードレジスタの構成

表2.11.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表2.11.4 クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択時)

| 端子名 | 機能 | 選択方法 |
|---|---------------|---|
| TxDi (P63, P67, P70) | シリアルデータ出力 | (受信だけを行うときはダミーデータを出力) |
| RxDi (P62, P66, P71) | シリアルデータ入力 | ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可) |
| CLKi (P61, P65, P72) | 転送クロック出力 | 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)=“0” |
| | 転送クロック入力 | 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)=“1” ポートP61, P65, P72の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5、03EF ₁₆ 番地のビット2)=“0” |
| CTS _i /RTS _i (P60, P64, P73) | CTS入力 | CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)=“0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)=“0” |
| | RTS出力 | CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)=“0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)=“1” |
| | プログラマブル入出力ポート | CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)=“1” |

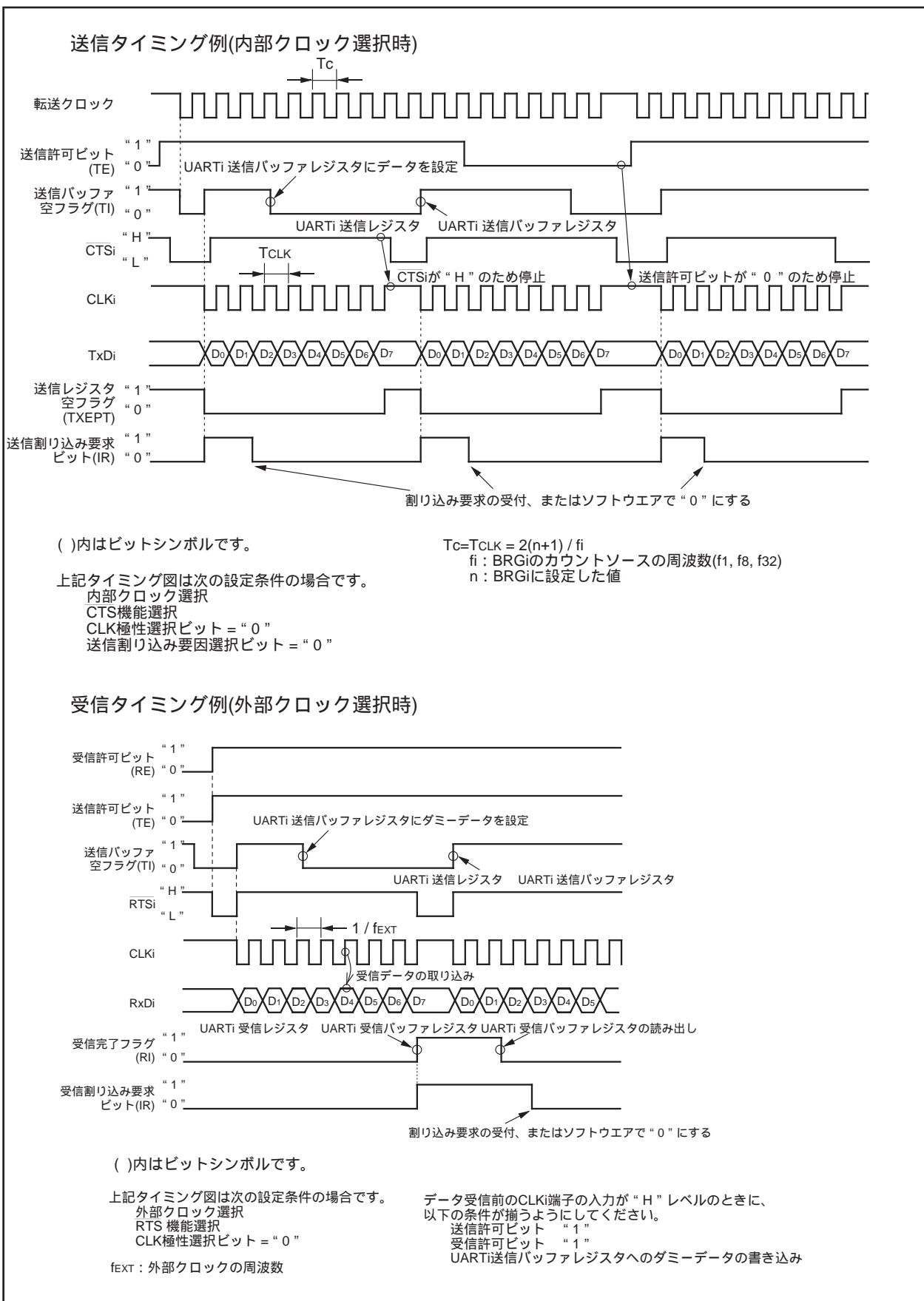


図2.11.11 クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

(1) 極性選択機能

図2.11.12に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

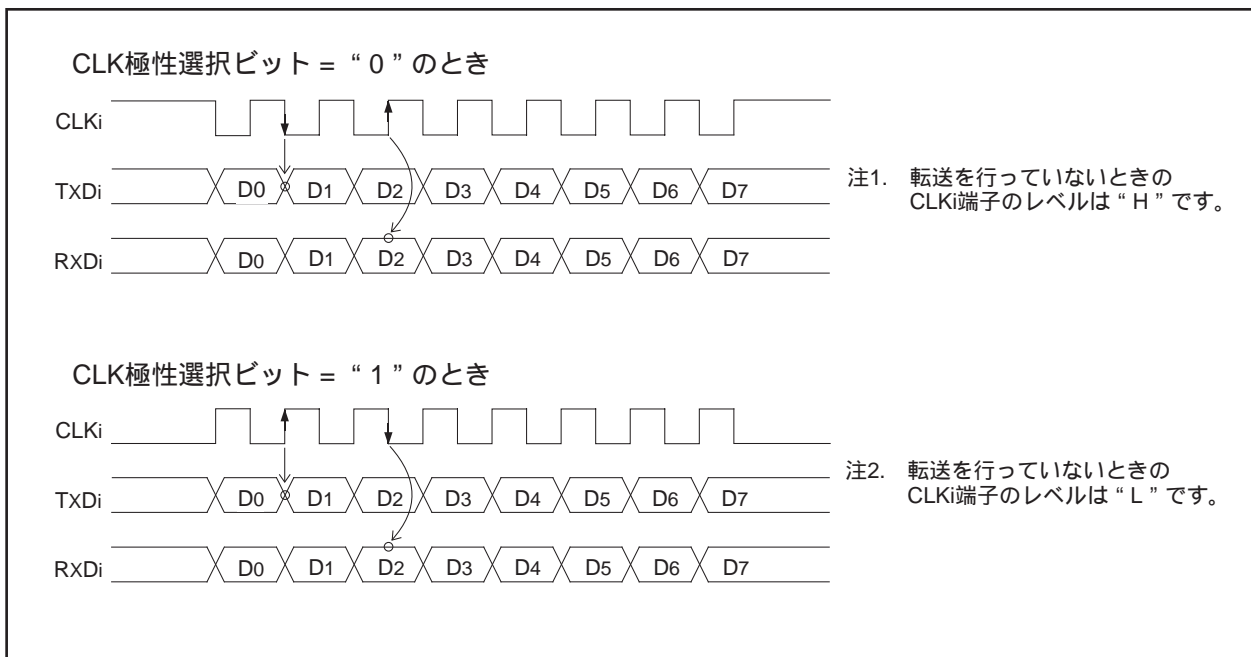


図2.11.12 転送クロックの極性

(2) LSBファースト/MSBファースト選択機能

図2.11.13に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

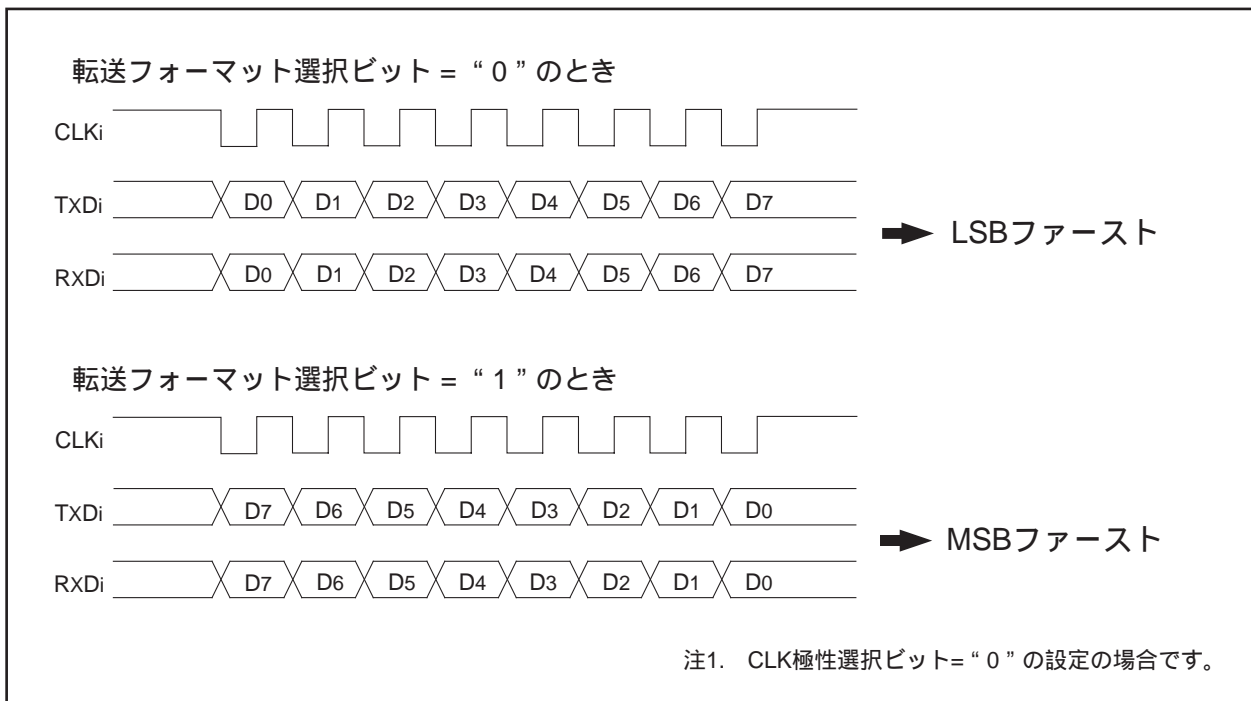


図2.11.13 転送フォーマット

(3) 転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図2.11.14)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1のCTS/RTS機能は使用できません。

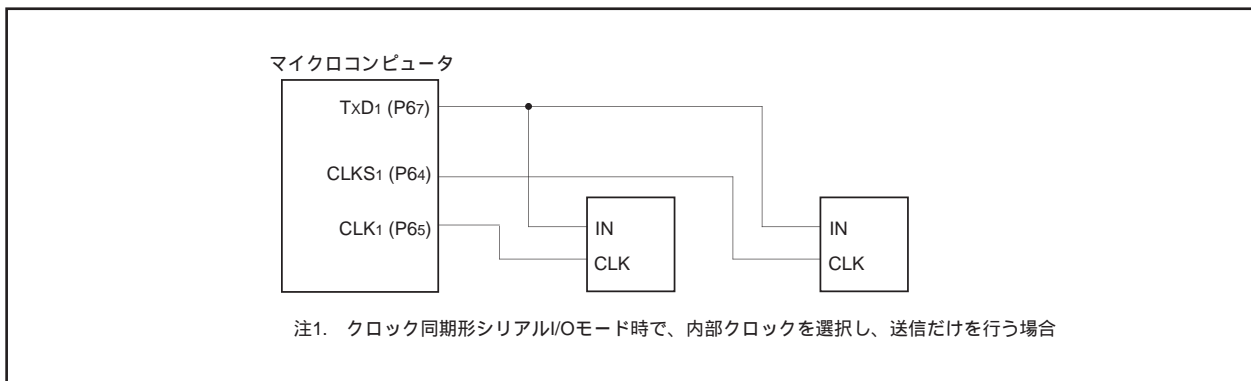


図2.11.14 転送クロック複数端子出力機能の使用例

(4) 連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(5) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図2.11.15にシリアルデータ論理切り替えのタイミング例を示します。

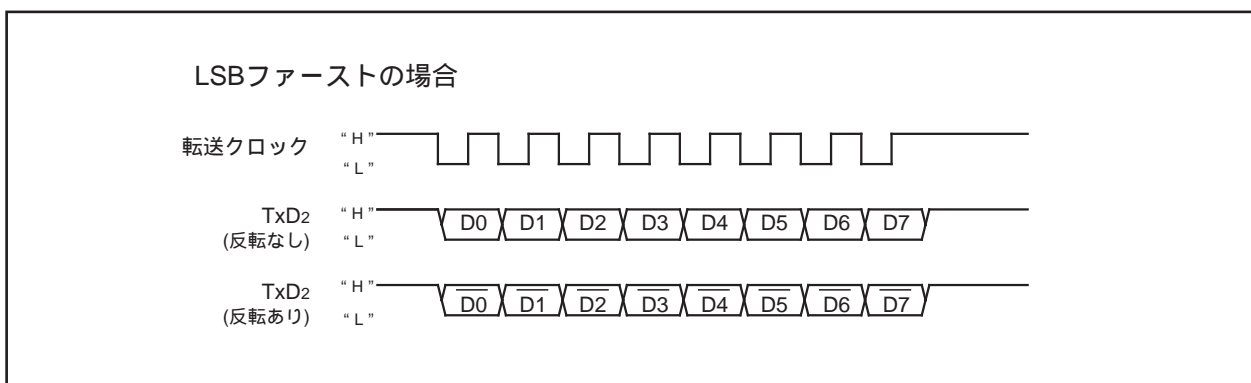


図2.11.15 シリアルデータ論理切り替えのタイミング例

2.11.3 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表2.11.5、表2.11.6にクロック非同期形シリアルI/Oモードの仕様を、図2.11.16にUARTi送受信モードレジスタの構成を示します。

表2.11.5 クロック非同期形シリアルI/Oモードの仕様(1)

| 項目 | 仕様 |
|---------------|---|
| 転送データフォーマット | キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可 |
| 転送クロック | 内部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_0, f_{32}$ 外部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2) (UART2は外部クロック選択を設定しないでください) |
| 送信制御/受信制御 | CTS機能/RTS機能/CTS,RTS機能無効 選択 |
| 送信開始条件 | 送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット0)=“1” ・送信バッファ空フラグ(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット1)=“0” ・CTS機能選択時、 $\overline{\text{CTS}}$ 端子の入力が“L”レベル |
| 受信開始条件 | 受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット2)=“1” ・スタートビットの検出 |
| 割り込み要求発生タイミング | 送信時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0、1、037D ₁₆ 番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時 |
| エラー検出 | オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります |

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバーランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表2.11.6 クロック非同期形シリアルI/Oモードの仕様(2)

| 項 目 | 仕 様 |
|------|---|
| 選択機能 | <p>スリープモード選択(UART0、UART1)</p> <p>複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用するシリアルデータ論理切り替え(UART2)</p> <p>転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。</p> <p>TxD、RxD入出力極性切り替え(UART2)</p> <p>TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p> |

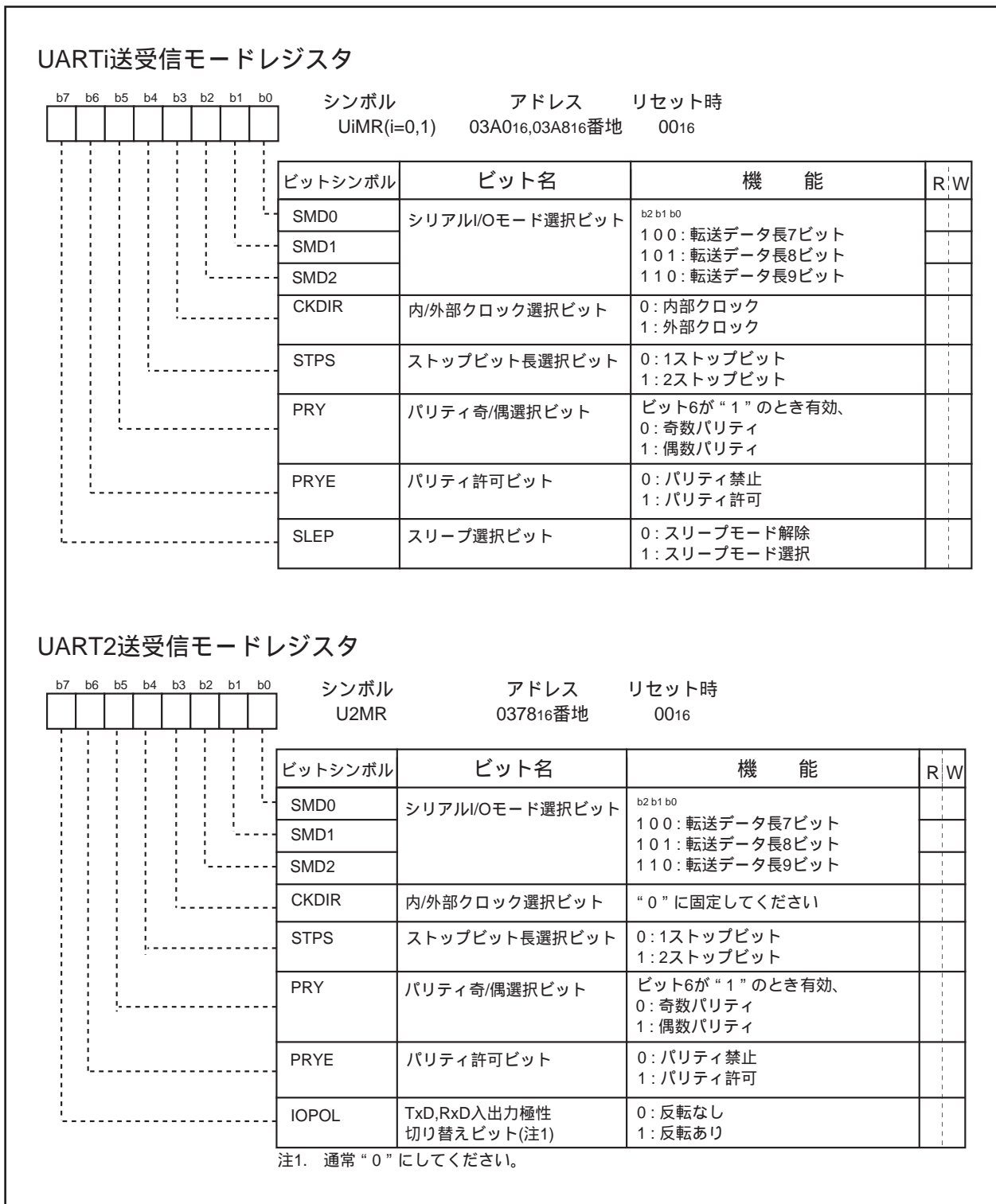


図2.11.16 UARTモード時のUART_i送受信モードレジスタの構成

表2.11.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表2.11.7 クロック非同期形シリアルI/Oモード時入出力端子の機能

| 端子名 | 機能 | 選択方法 |
|--|----------------------------|---|
| TxDi (P63, P67, P70) | シリアルデータ出力 | |
| RxDi (P62, P66, P71) | シリアルデータ入力 | ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可) |
| CLKi (P61, P65, P72) | プログラマブル入出力 | 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0” |
| | 転送クロック入力 | 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ 番地のビット3)= “1” ポートP61, P65の方向レジスタ(03EE ₁₆ 番地のビット1, ビット5)= “0” (UART2は外部クロック選択を設定しないでください) |
| $\overline{\text{CTS}}/\text{RTSi}$ (P60, P64, P73) | $\overline{\text{CTS}}$ 入力 | $\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0, ビット4、03EF ₁₆ 番地のビット3)= “0” |
| | RTS出力 | $\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\text{RTS}$ 機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1” |
| | プログラマブル入出力ポート | $\overline{\text{CTS}}/\text{RTS}$ 禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1” |

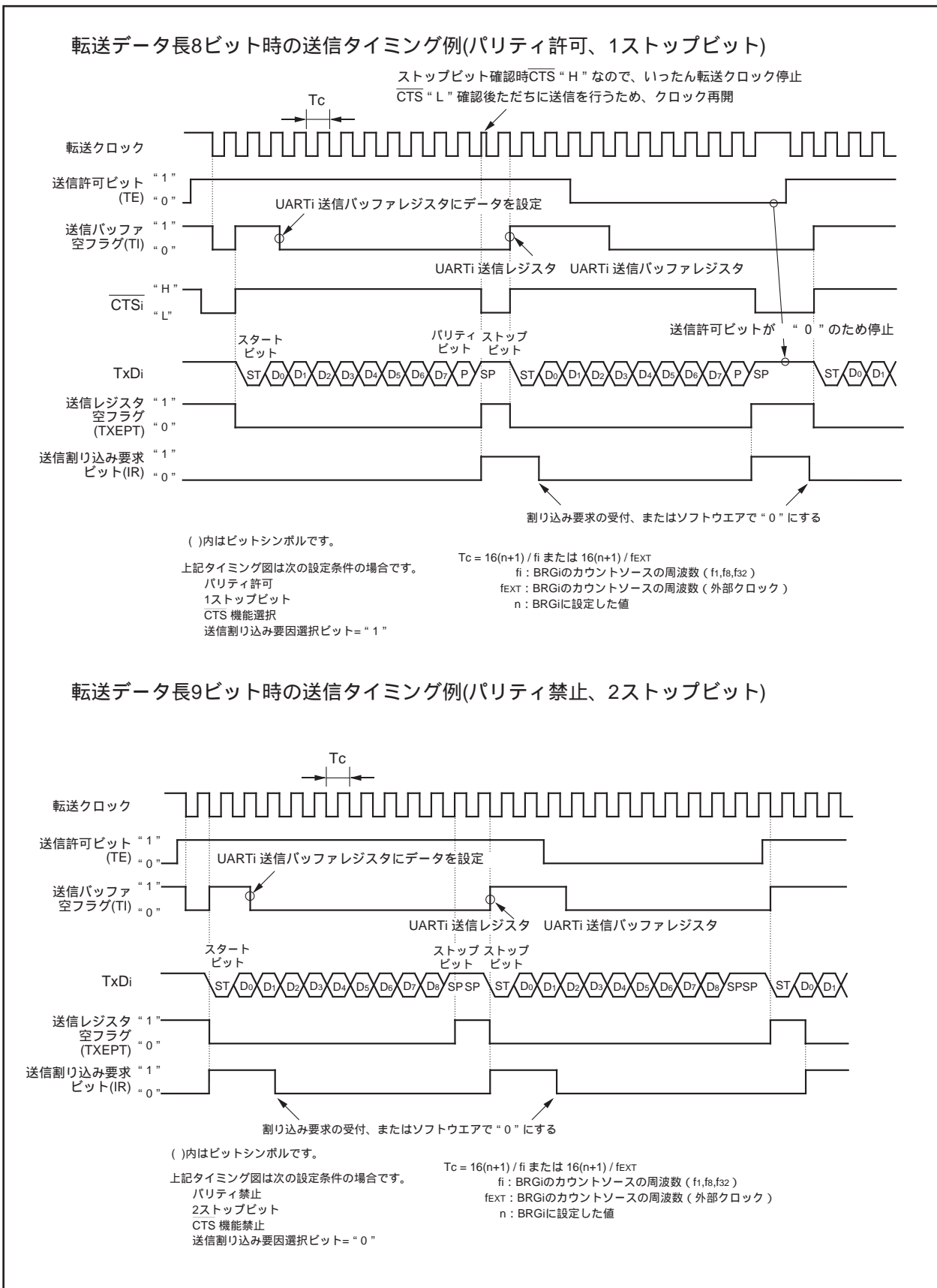


図2.11.17 UARTモード時の送信タイミング例(UART0、UART1)

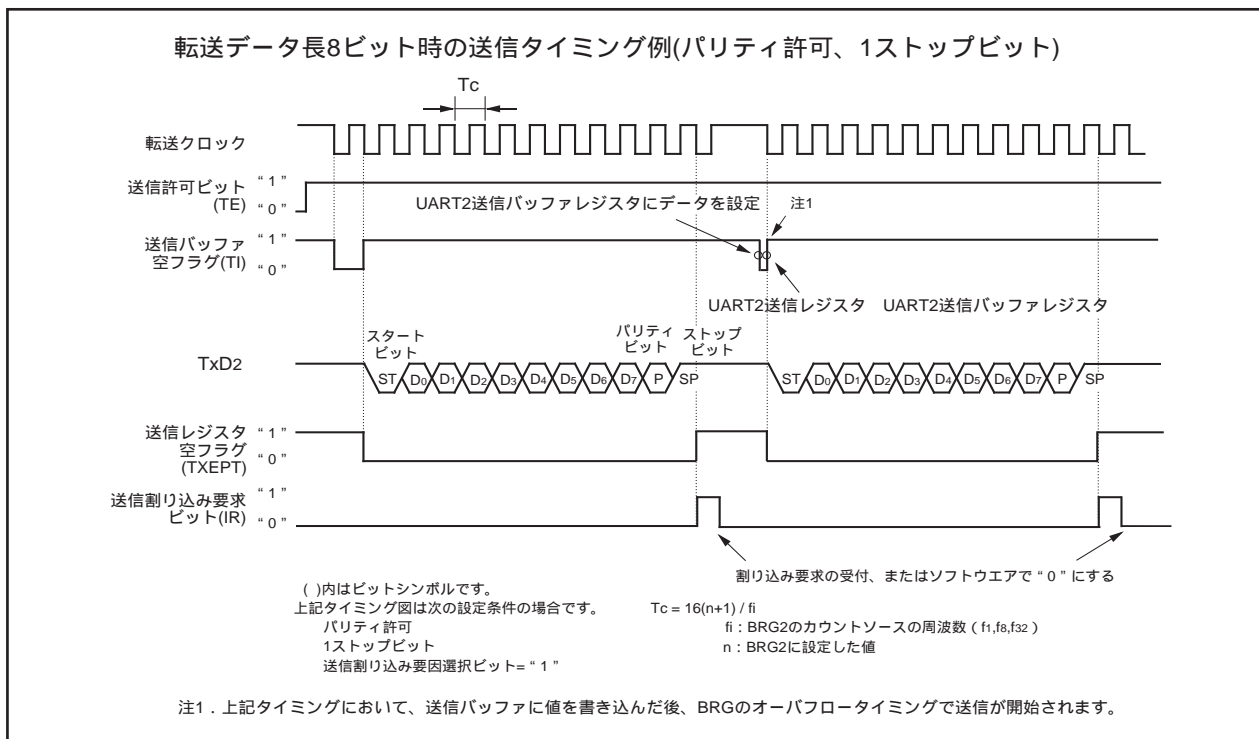


図2.11.18 UARTモード時の送信タイミング例(UART2)

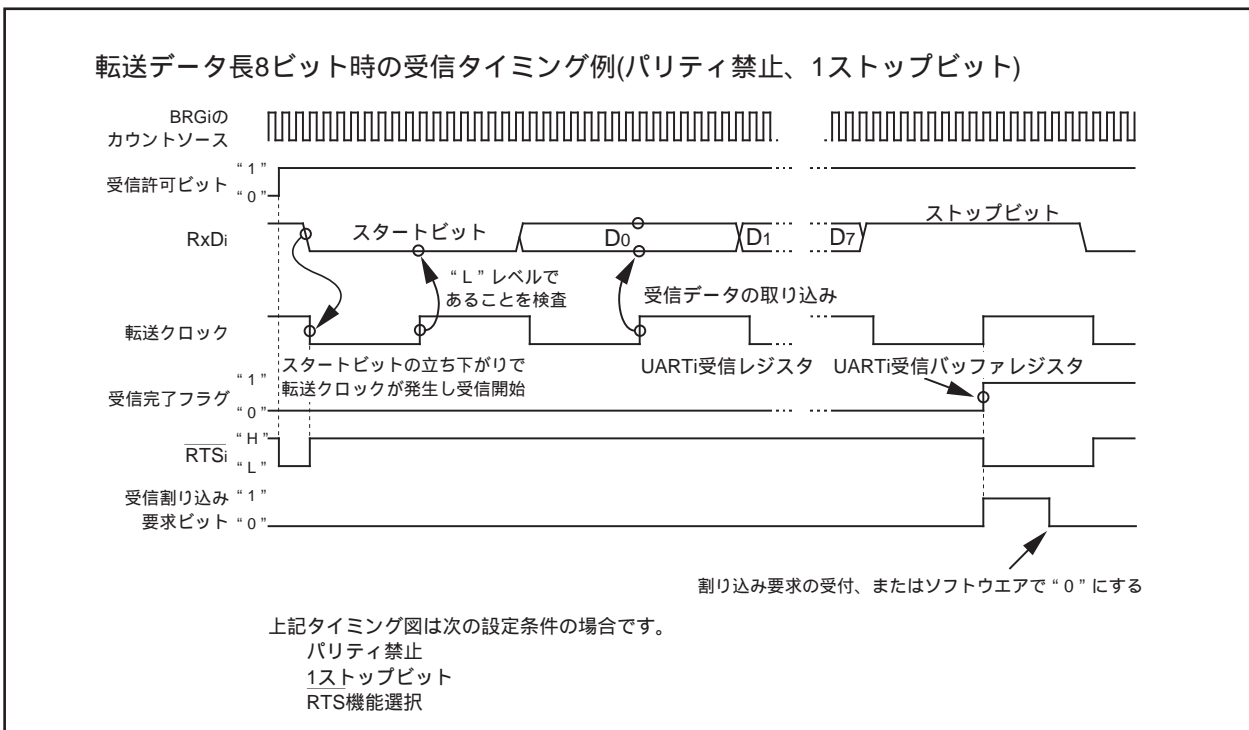


図2.11.19 UARTモード時の受信タイミング例

(1) スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0₁₆、03A8₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

(2) シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図2.11.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

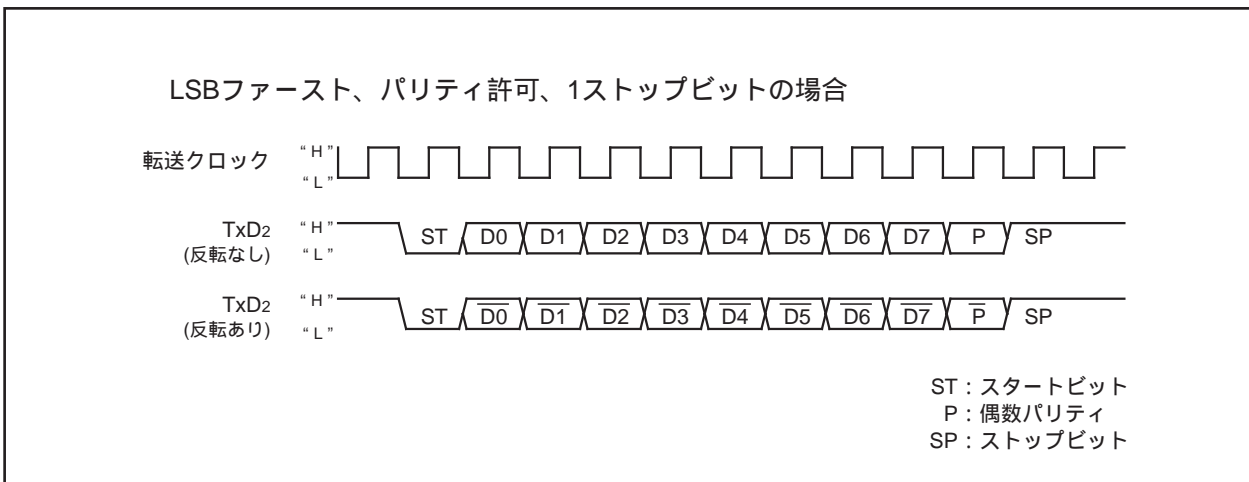


図2.11.20 シリアルデータ論理切り替え機能のタイミング例

(3) TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

(4) バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図2.11.21にバス衝突検出タイミング例(UARTモード時)を示します。

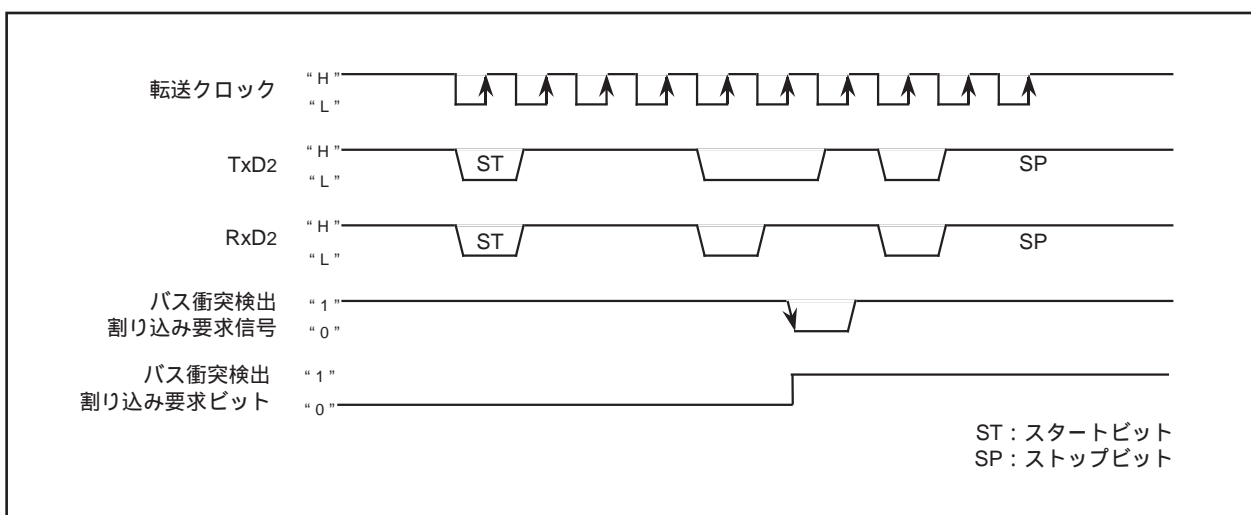


図2.11.21 バス衝突検出タイミング例(UARTモード時)

2.11.4 クロック非同期形シリアル/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアル/Oモードに一部設定を追加することで実現できます。表2.11.8にクロック非同期形シリアル/Oモード(SIMインタフェース対応)の仕様を示します。

表2.11.8 クロック非同期形シリアル/Oモードの仕様(SIMインタフェース対応)

| 項 目 | 仕 様 |
|---------------|---|
| 転送データフォーマット | 転送データ 8ビットUARTモード (0378 ₁₆ 番地のビット2~ビット0= "1012") 1ストップビット (0378 ₁₆ 番地のビット4= "0") ダイレクトフォーマットの場合 パリティを偶数パリティに設定 (0378 ₁₆ 番地のビット5= "1"、ビット6= "1") データ論理をダイレクトに設定 (037D ₁₆ 番地のビット6= "0") 転送フォーマットをLSBに設定 (037C ₁₆ 番地のビット7= "0") インバースフォーマットの場合 パリティを奇数パリティに設定 (0378 ₁₆ 番地のビット5= "0"、ビット6= "1") データ論理をインバースに設定 (037D ₁₆ 番地のビット6= "1") 転送フォーマットをMSBに設定 (037C ₁₆ 番地のビット7= "1") |
| 転送クロック | 内部クロック選択時(0378 ₁₆ 番地のビット3= "0") : $fi/16(n+1)$ (注1) $fi=f_1, f_8, f_{32}$ (外部クロック選択を設定しないでください) |
| 送信制御/受信制御 | CTS, RTS機能禁止に設定 (037C ₁₆ 番地のビット4= "1") |
| その他設定項目 | UART2ではスリープモード選択機能はありません 送信割り込み要因を送信完了に設定 (037D ₁₆ 番地のビット4= "1") |
| 送信開始条件 | 送信開始には、以下の条件が必要です。 ・送信許可ビット(037D ₁₆ 番地のビット0)= "1" ・送信バッファ空フラグ(037D ₁₆ 番地のビット1)= "0" |
| 受信開始条件 | 受信開始には、以下の条件が必要です。 ・受信許可ビット(037D ₁₆ 番地のビット2)= "1" ・スタートビットの検出 |
| 割り込み要求発生タイミング | 送信時 UART2送信レジスタからデータ転送完了時 (037D ₁₆ 番地のビット4= "1") 受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時 |
| エラー検出 | オーバーランエラー(クロック非同期形シリアル/Oの仕様を参照してください)(注2) フレーミングエラー(クロック非同期形シリアル/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアル/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能(037D ₁₆ 番地のビット7= "1")によりTxD ₂ 端子から "L" レベルを出力 送信側は、送信割り込み発生時、RxD ₂ 端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアル/Oの仕様を参照してください) |

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバーランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは "1" になりません。

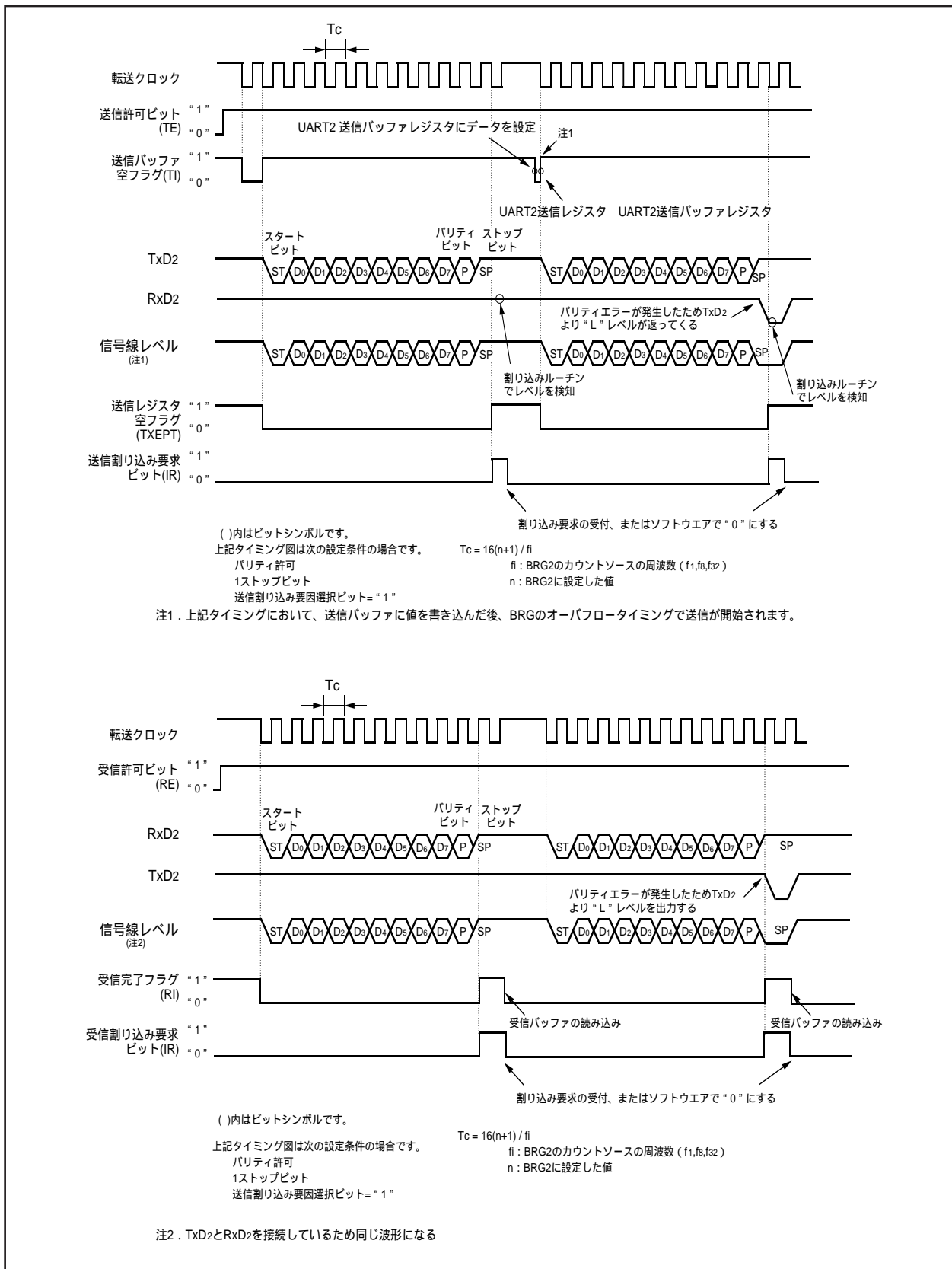


図2.11.22 UARTモード(SIMインタフェース対応)の送受信タイミング例

(1) パリティエラー信号出力機能

エラー信号出力許可ビット(037D16番地のビット7)の内容が“1”のとき、パリティエラー検出時に TxD2端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図2.11.23にパリティエラー信号出力タイミングを示します。

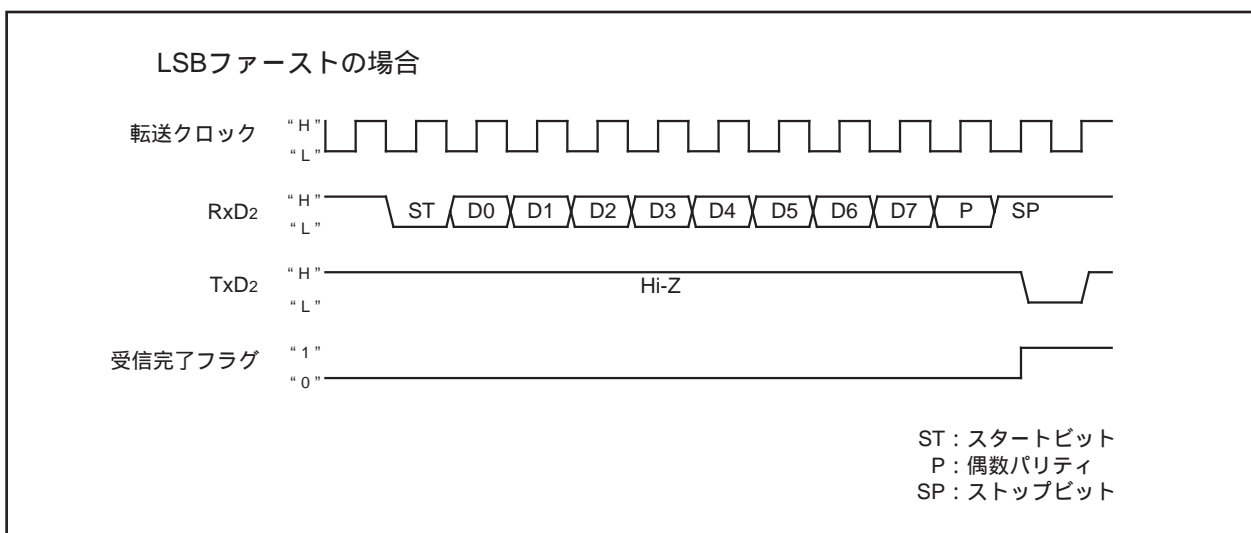


図2.11.23 パリティエラー信号出力タイミング

(2) ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図2.11.24にSIMインタフェースフォーマットを示します。

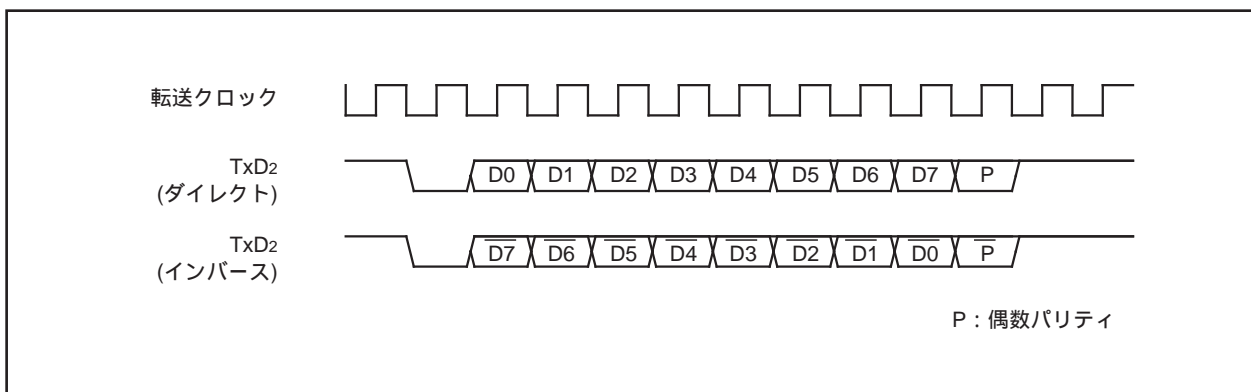


図2.11.24 SIMインタフェースフォーマット

図2.11.25にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

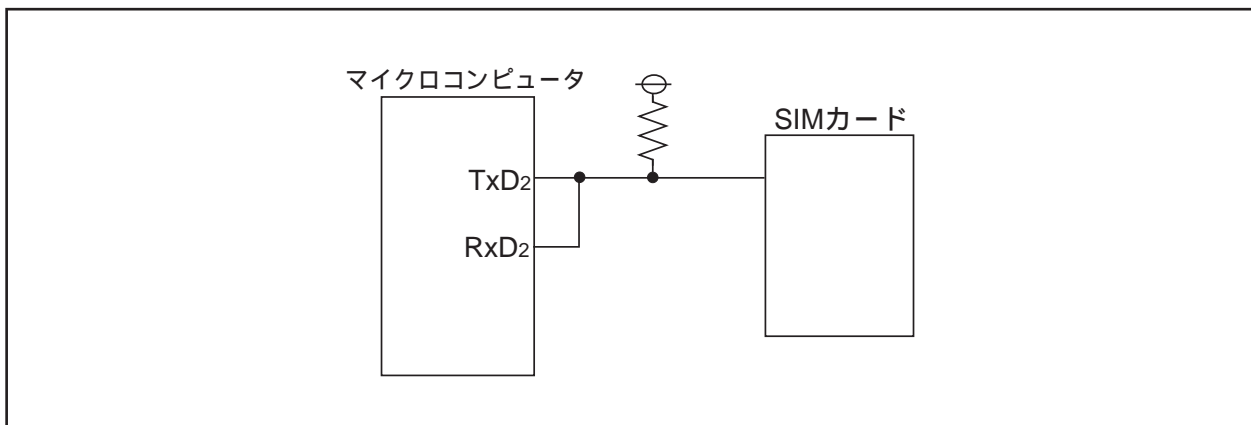


図2.11.25 SIMインタフェース接続例

2.11.5 UART2特殊モードレジスタ

UART2特殊モードレジスタ(037716番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図2.11.26に示します。

まず、I²Cバスインタフェース関連の制御ビットについて説明します。

UART2特殊モードレジスタ(037716番地)のビット0はI²Cモード選択ビットです。このビットを“1”に設定することで、I²Cバス(簡易I²Cバス)インタフェースを実現するための回路を有効にします。I²Cモード選択ビットと各制御の関係を表2.11.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを必ず“0”に設定してください。

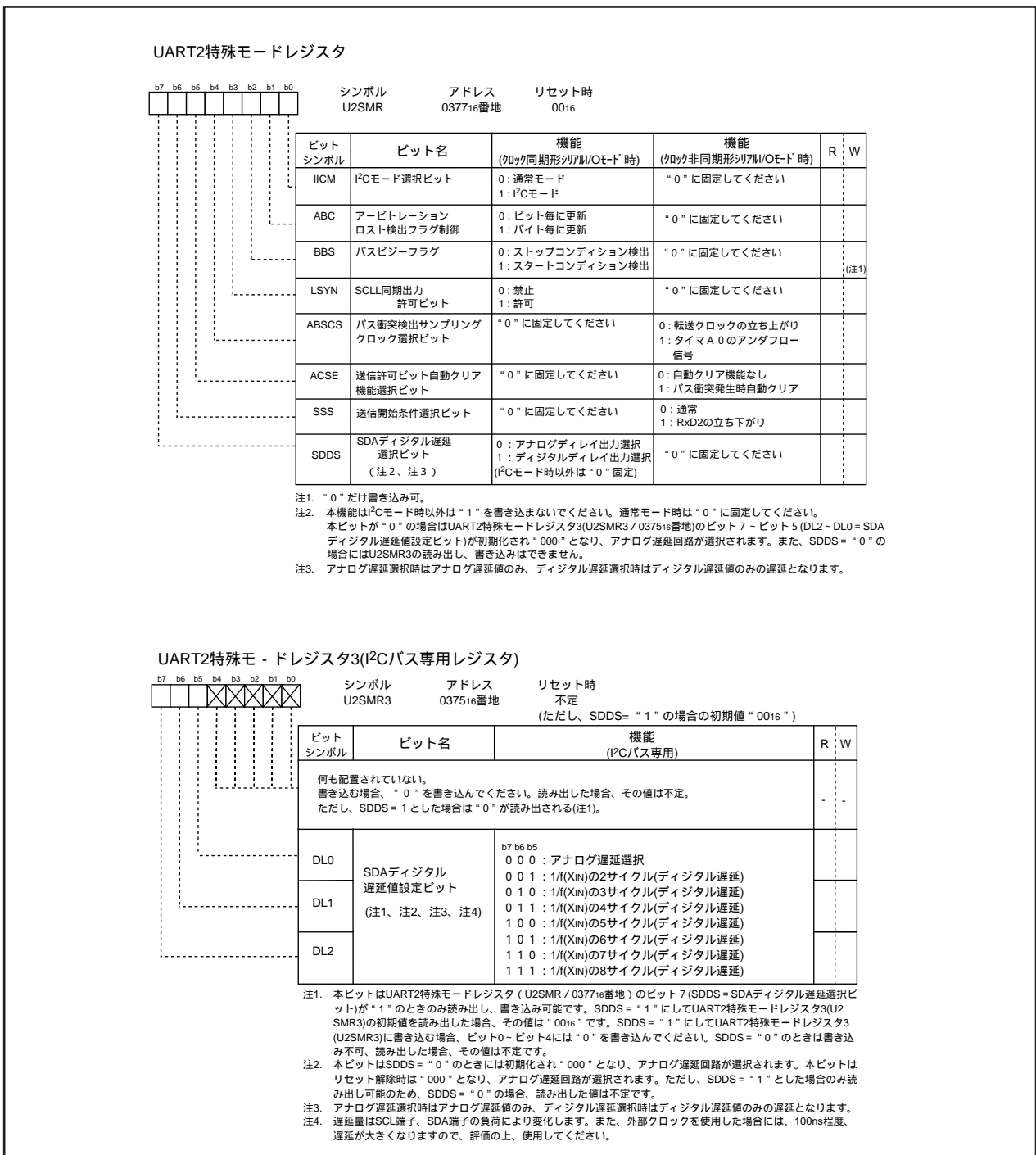


図2.11.26 UART2特殊モードレジスタ

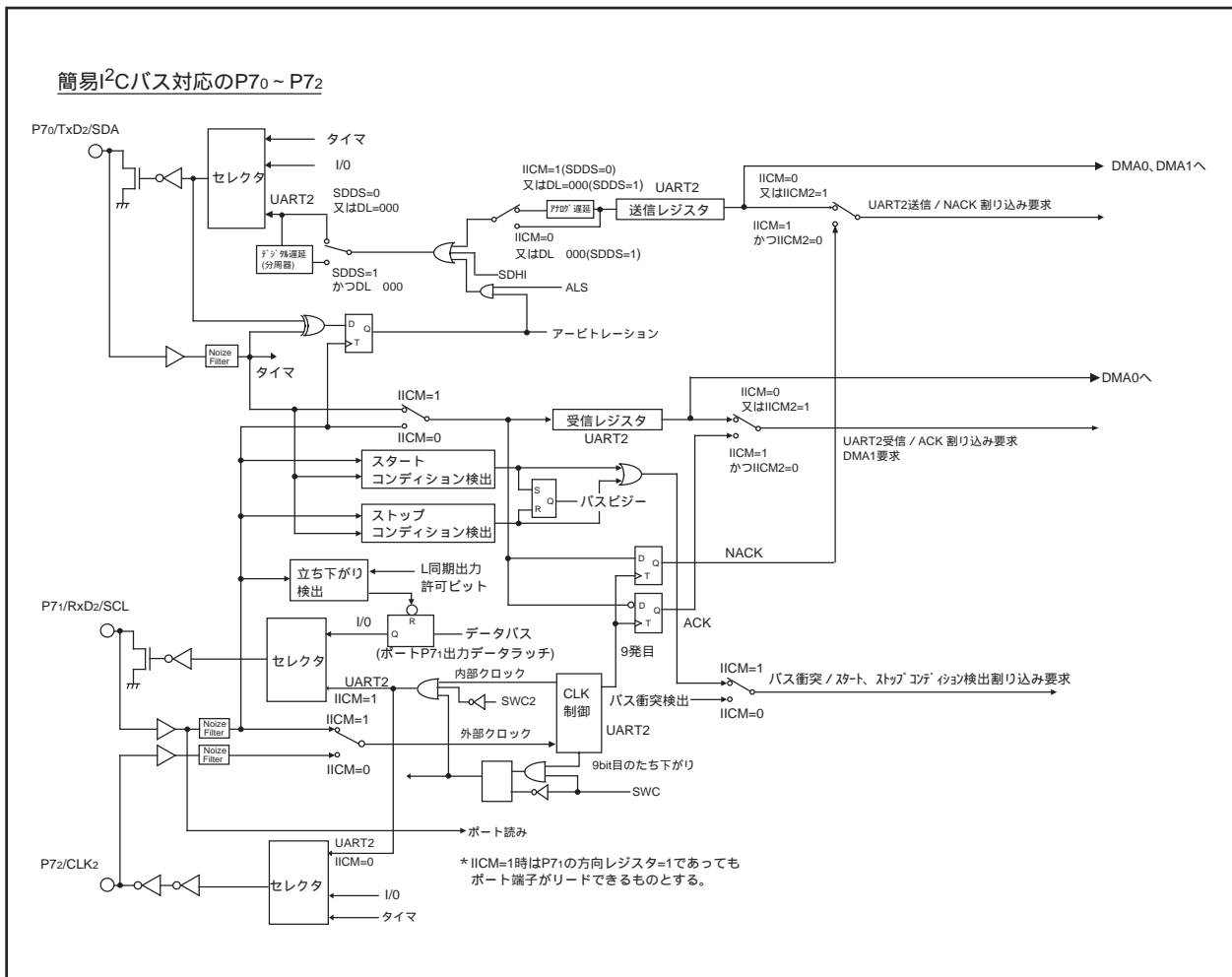


図2.11.27 I²Cモード機能ブロック図

表2.11.9 I²Cモード時の各機能

| 機能 | 通常モード | I ² Cモード(注1) |
|-----------------------------|-------------------------|-----------------------------------|
| 1 割り込み番号10の要因(注2) | バス衝突検出 | スタートコンディション検出 またはストップコンディション検出 |
| 2 割り込み番号15の要因(注2) | UART2送信 | アクノリジ未検出(NACK) |
| 3 割り込み番号16の要因(注2) | UART2受信 | アクノリジ検出(ACK) |
| 4 UART2送信出力delay | delayなし | delayあり |
| 5 UART2使用時のP70 | TxD2(出力) | SDA(入出力)(注3) |
| 6 UART2使用時のP71 | RxD2(入力) | SCL(入出力) |
| 7 UART2使用時のP72 | CLK2 | P72 |
| 8 DMA要求要因選択ビット=1101時のDMA1要因 | UART2受信 | アクノリジ検出(ACK) |
| 9 Noise Filter 幅 | 15ns | 50ns |
| 10 P71のリード | 方向レジスタ=0の時 端子をリードする。 | 方向レジスタの値に関係なく 端子をリードする。 |
| 11 UART2出力の初期値 | Hレベル(CLK極性選択ビット=0時) | ポート選択時にP70ラッチに設定した値 |

注1. I²Cモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を010に設定してください。
RTS / CTS機能は禁止してください。
MSBファーストに設定してください。

注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の状態で行ってください。

I²Cモードの機能を図2.11.27の機能ブロック図に示します。I²Cモード選択ビット(IICM)を“1”にすると、ポートP70, P71, P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。SDAデジタル遅延選択ビット(0377₁₆番地ビット7)によってアナログ遅延とデジタル遅延を選択することができます。デジタル遅延を選択した場合、遅延値をUART2特殊モードレジスタ3(0375₁₆番地)によってf₁の2サイクルから8サイクルまで選択することができます。遅延回路選択条件を表2.11.10に示します。

表2.11.10 遅延回路選択条件

| | レジスタ値 | | | 内 容 |
|----------|-------|------|-----------------|--|
| | IICM | SDDS | DL | |
| デジタル遅延選択 | 1 | 1 | 001 ? 111 | デジタル遅延を選択した場合は、アナログ遅延は付加されません。デジタル遅延のみになります。 |
| アナログ遅延選択 | 1 | 1 | 000 | DL=“000”を設定した場合、SDDSの値によらずアナログ遅延が選択されます。 |
| | | 0 | (000) | SDDS=“0”にするとDLは初期化されDL=“000”になります。 |
| 遅延なし | 0 | 0 | (000) | IICM=“0”の時遅延回路は選択されません。ただし、IICM=“0”の時は必ずSDDS=“0”にしてください。 |

ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルを読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態SDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態SDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ(0377₁₆番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ1(037F₁₆番地)のビット3に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377₁₆番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”にすると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

次に、その他の追加された機能について説明します。その動作を図2.11.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりで同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバーフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

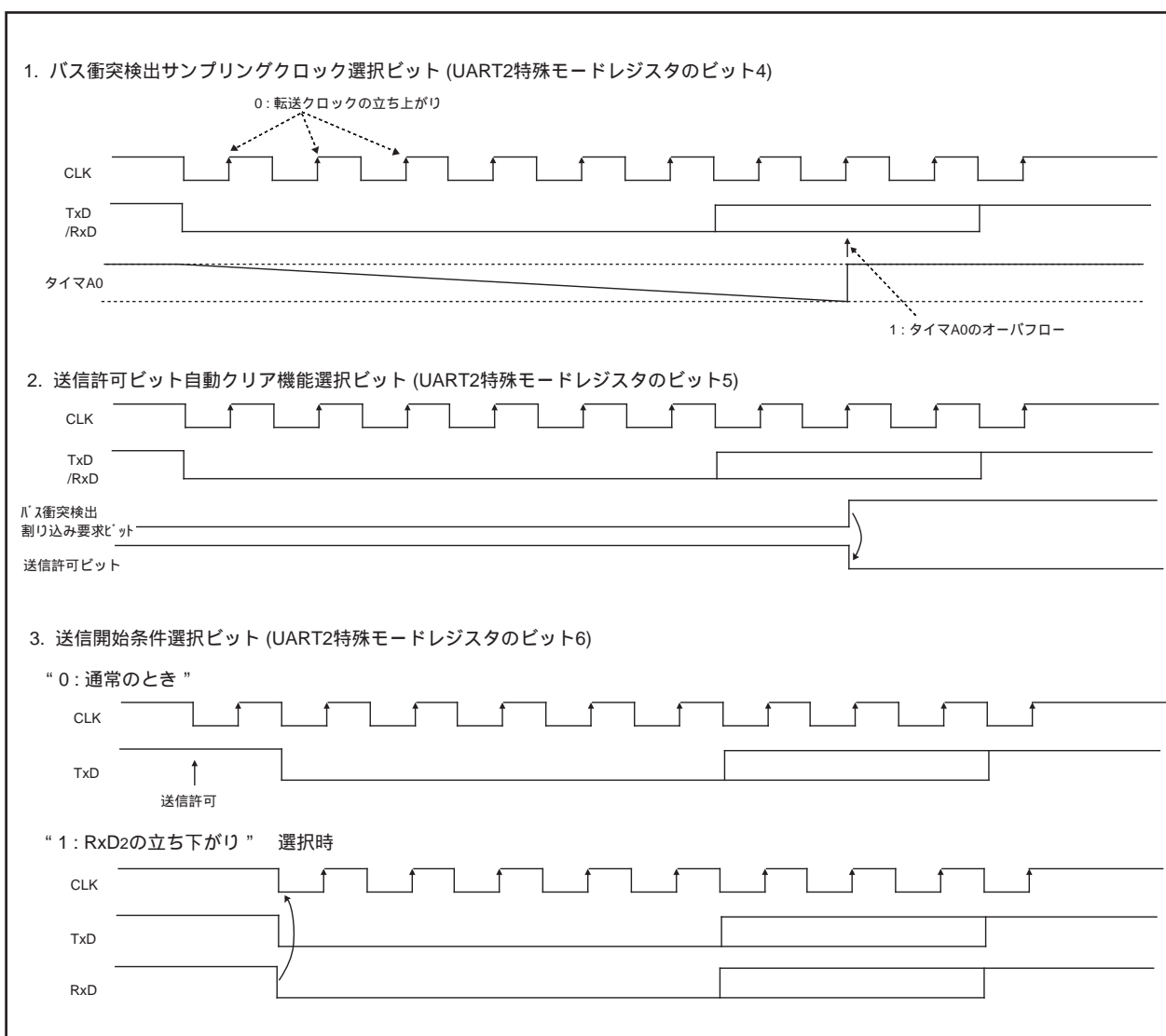


図2.11.28 その他の追加機能

2.11.6 UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)は、UART2のI²Cモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図2.11.29に示します。

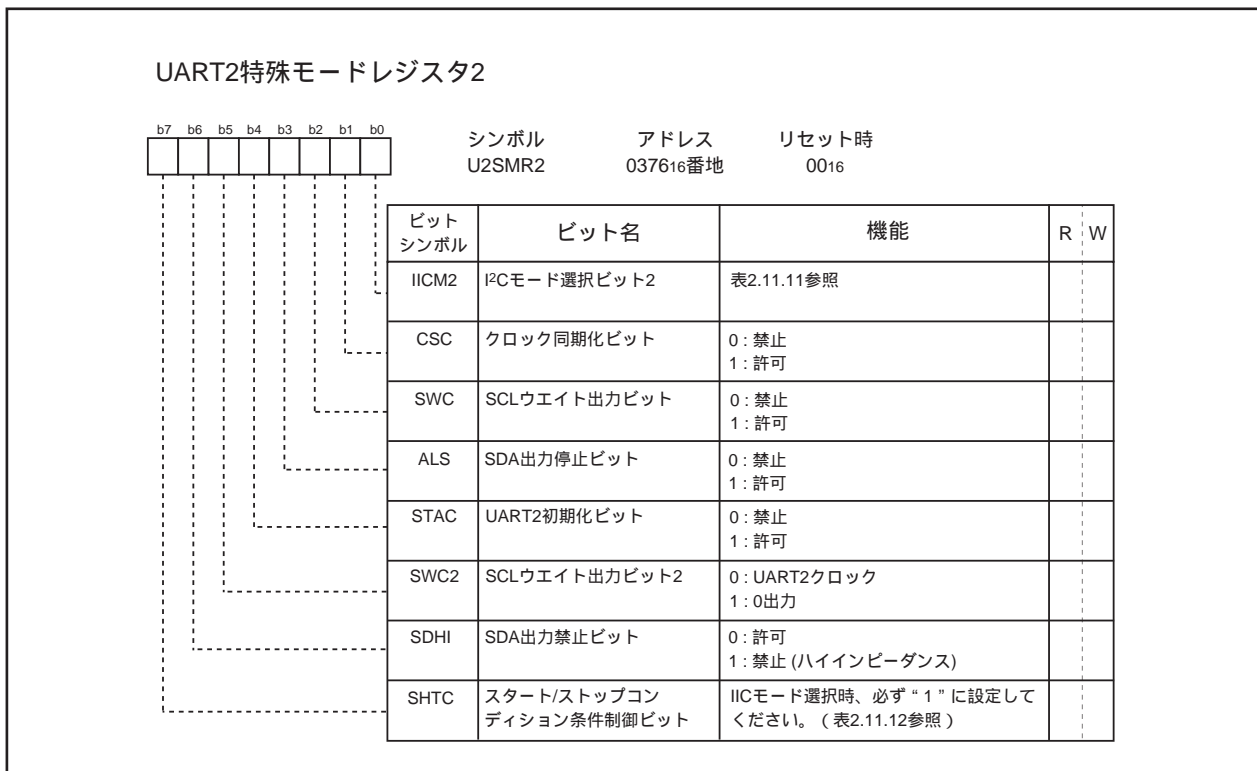


図2.11.29 UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット0はI²Cモード選択ビット2です。I²Cモード選択ビットが“1”のときにI²Cモード選択ビット2により変更される各制御を表2.11.11に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表2.11.12に示します。I²Cモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は、必ず“1”に設定してください。

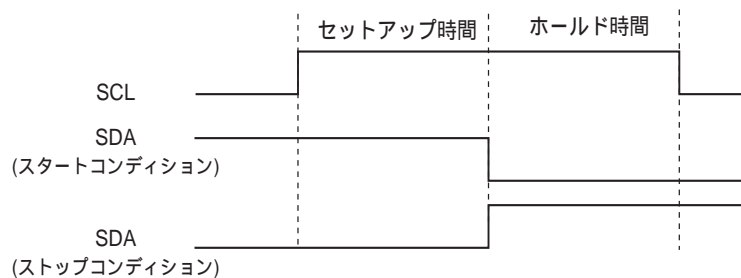
表2.11.11 I²Cモード選択ビット2によって変更される各機能

| | 機能 | IICM2 = 0 | IICM2 = 1 |
|---|------------------------------------|--------------------|---------------------------|
| 1 | 割り込み番号15の要因 | アクノリッジ未検出 (NACK) | UART2送信(最終ビットのクロックの立ち上がり) |
| 2 | 割り込み番号16の要因 | アクノリッジ検出 (ACK) | UART2受信(最終ビットのクロックの立ち下がり) |
| 3 | DMA要求要因選択ビット= "1101"時のDMA1要因 | アクノリッジ検出 (ACK) | UART2受信(最終ビットのクロックの立ち下がり) |
| 4 | UART2受信シフトレジスタから受信バッファへのデータ転送タイミング | 受信クロックの最終ビットの立ち上がり | 受信クロックの最終ビットの立ち下がり |
| 5 | UART2受信/ACK割り込み要求発生タイミング | 受信クロックの最終ビットの立ち上がり | 受信クロックの最終ビットの立ち下がり |

表2.11.12 スタート/ストップコンディション検出タイミング特性 (注1)

| |
|-------------------------|
| 3~6サイクル < セットアップ時間 (注2) |
| 3~6サイクル < ホールド時間 (注2) |

- 注1. スタート/ストップコンディション条件制御ビットSHTC=“1”の場合
注2. サイクル数はメインクロック入力発振周波数f(XIN)のサイクル数を示します。



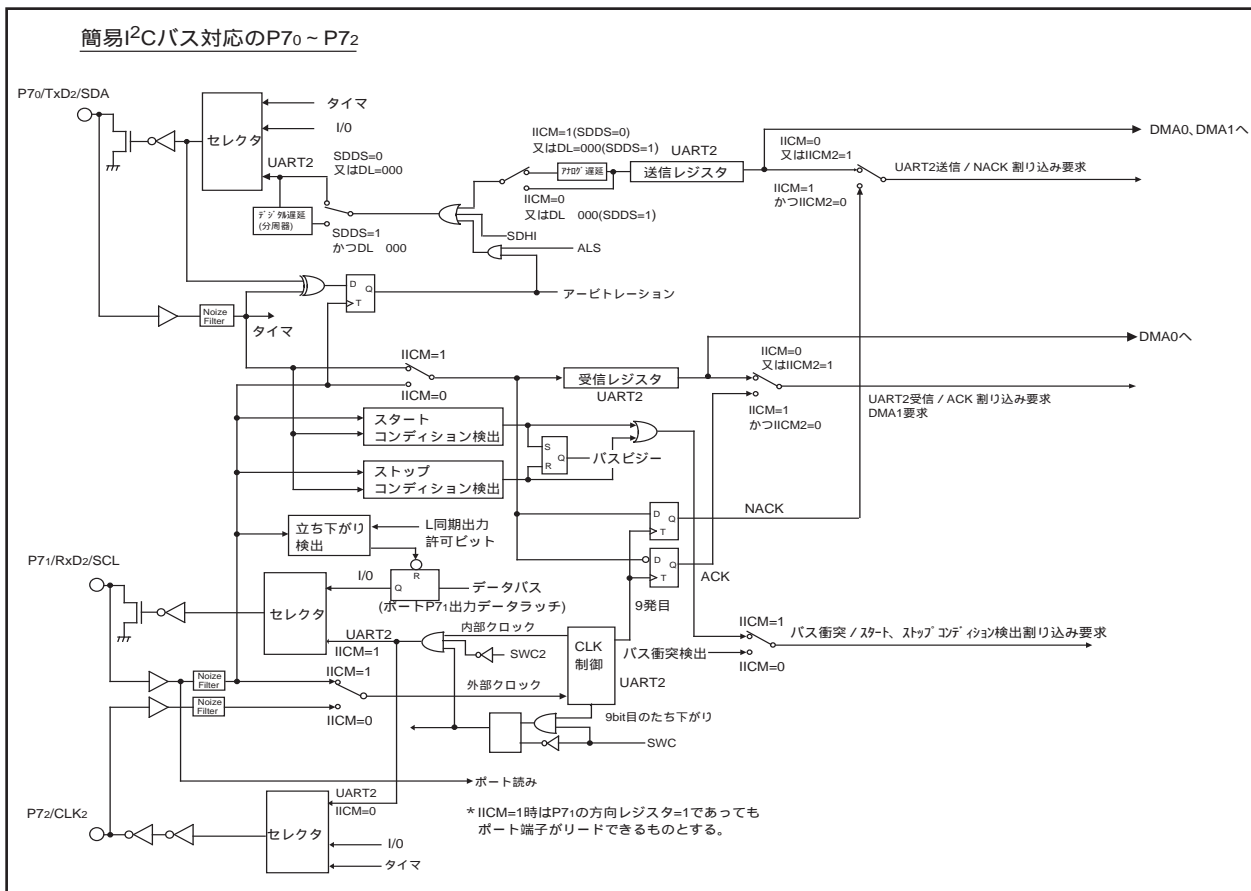


図2.11.30 I²Cモード機能ブロック図

I²Cモードの機能を図2.11.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(0376₁₆番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(0376₁₆番地)のビット1はクロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ポーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればポーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がり時でSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2(0376₁₆番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

- (1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- (2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- (3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がり
でSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376₁₆番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

2.11.7 S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

図2.11.31にS I/O3, 4のブロック図を、図2.11.33にS I/O3, 4の制御レジスタを示します。

表2.11.13にS I/O3, 4の仕様を示します。

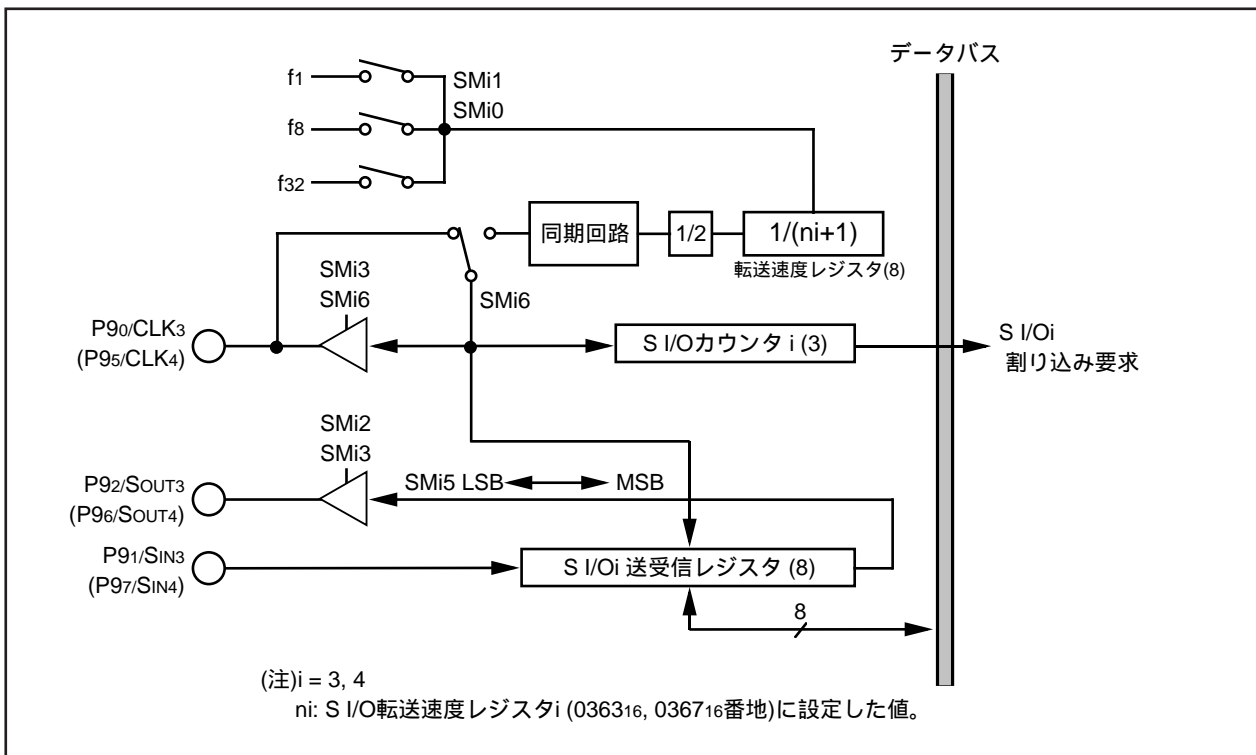


図2.11.31 S I/O3, 4ブロック図

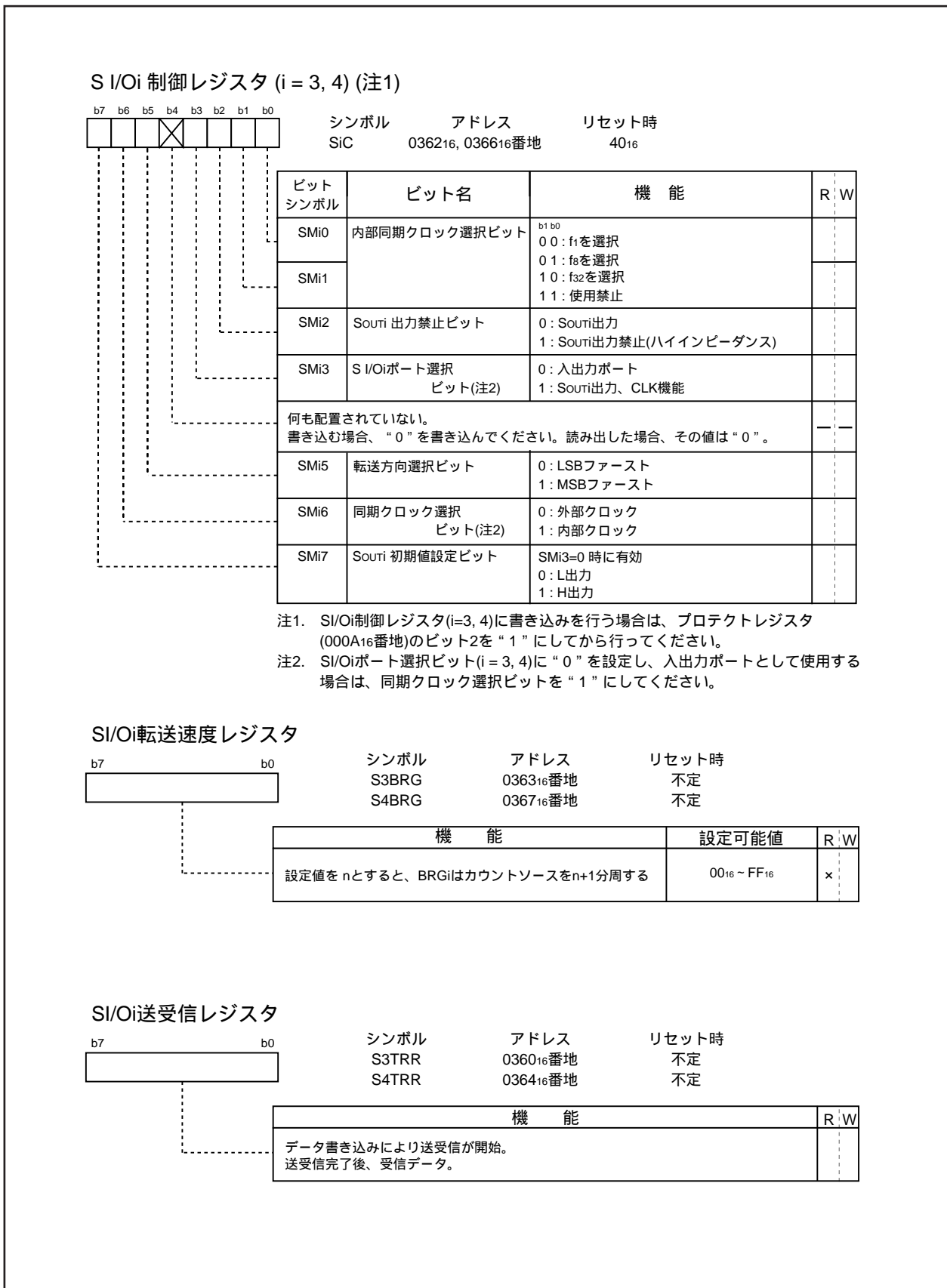


図2.11.32 S I/O3, 4制御レジスタ

表2.11.13 S I/O3, 4の仕様

| 項 目 | 仕 様 |
|---------------|--|
| 転送データフォーマット | 転送データ長 8ビット |
| 転送クロック | 内部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6=“1”): f _{1/2} (n _{i+1}), f _{8/2} (n _{i+1}), f _{32/2} (n _{i+1}) (注1) 外部クロック選択時(0362 ₁₆ 、0366 ₁₆ 番地のビット6=“0”): CLK _i 端子からの入力 (注2) |
| 送受信開始条件 | 送受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 同期クロックの選択。(0362₁₆、0366₁₆番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362₁₆、0366₁₆番地のビット0, 1で選択) SOUT_i初期値設定ビット設定。(0362₁₆、0366₁₆番地のビット7で設定) S I/O_iポート選択ビット(0362₁₆、0366₁₆番地のビット3)=“1” 転送方向選択ビット設定(0362₁₆、0366₁₆番地のビット5で設定) S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への転送データ書き込み 更に、S I/O _i 割り込みを使用する場合、次の条件も必要です。 <ul style="list-style-type: none"> S I/O_i送受信レジスタへの転送データ書き込みの前に、S I/O_i割り込み要求ビットクリア(0049₁₆、0048₁₆番地のビット3)=“0” |
| 割り込み要求発生タイミング | 最後の転送クロックの立ち上がり。(注3) |
| 選択機能 | LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 SOUT _i 初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUT _i 端子出力レベルを選択できません。設定の方法は図2.11.33を参照してください。 |
| 注意事項 | S I/O _i (i=3,4)は、UART0~2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込まないでください。 転送クロックとして内部クロックを選択している場合、転送終了後SOUT _i は、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/O _i 送受信レジスタ(0360 ₁₆ 、0364 ₁₆ 番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。 |

注1. n はS I/O_i転送速度レジスタに設定した00₁₆~FF₁₆の値です。(i=3, 4)

注2. 外部クロック選択時には、

- S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への書き込みを行う際にはCLK_i端子に“H”レベルが入力されている状態で行ってください。また、S I/O_i制御レジスタ(0362₁₆、0366₁₆番地)のビット7(SOUT_i初期値設定ビット)を書き替える場合もCLK_i端子に“H”レベルが入力されている状態で行ってください。
- 同期クロックがS I/O_i回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3. 同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態です。

(1) SOUTi初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを“H”または“L”のどちらかに設定できます。SOUTi初期値設定時のタイミング図および設定方法を図2.11.33に示します。

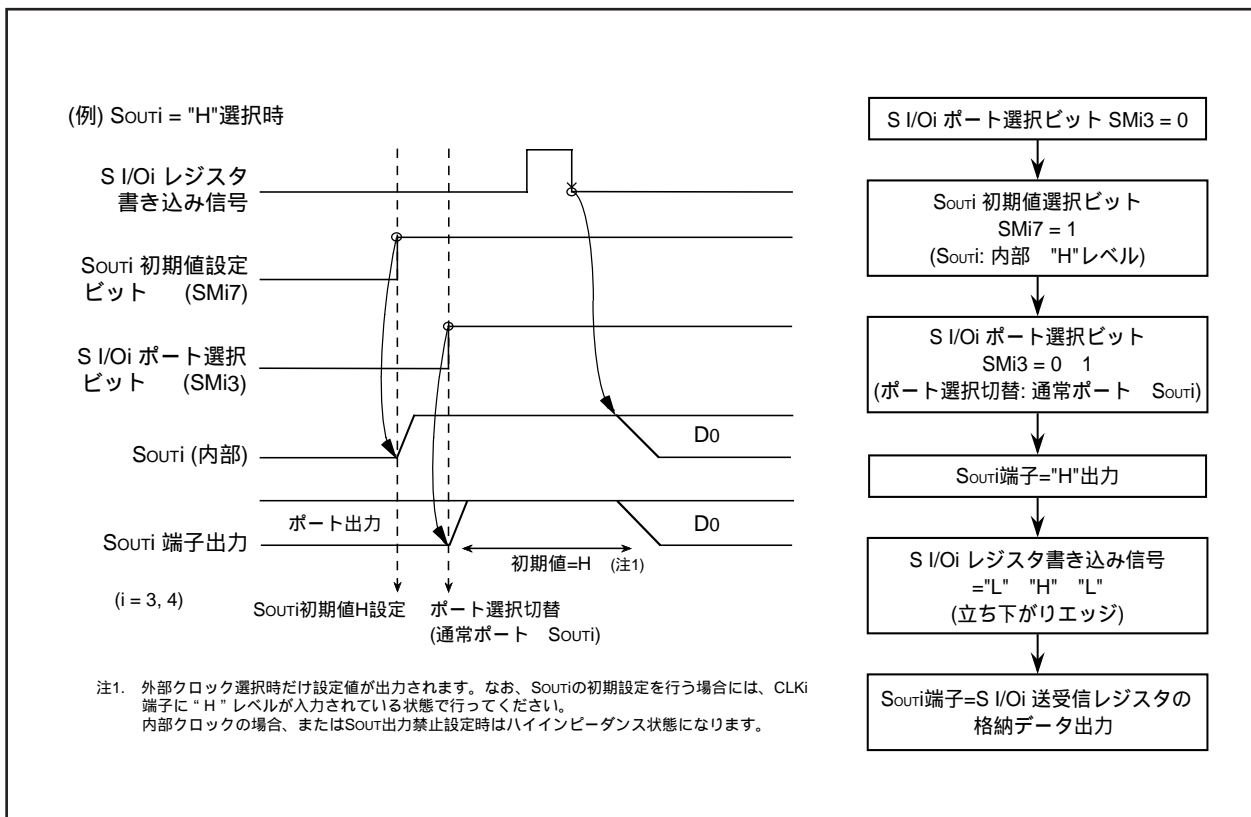


図2.11.33 SOUTi初期値設定 タイミング図・設定方法

(2) S I/Oi動作タイミング

S I/Oi動作タイミング図を図2.11.34に示します。

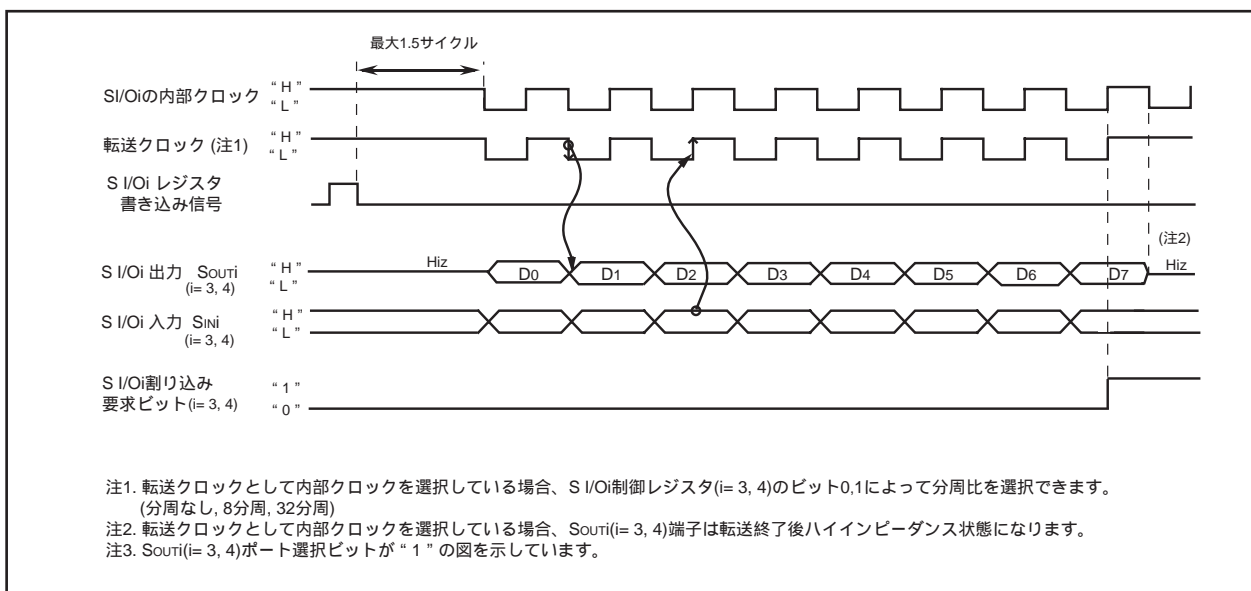


図2.11.34 S I/Oi動作タイミング図

2.12 A-D変換器

容量結合増幅器で構成され、8ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P10₀～P10₇、P9₅、P9₆と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D7₁₆番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

表2.12.1にA-D変換器の性能を、図2.12.1にA-D変換器のブロック図を、図2.12.2、図2.12.3にA-D変換器関連のレジスタを示します。

表2.12.1 A-D変換器の性能

| 項目 | 性能 |
|---------------|--|
| A-D変換方式 | 逐次比較変換方式(容量結合増幅器) |
| アナログ入力電圧(注1) | 0V～AVCC(VCC) |
| 動作クロック AD(注2) | f _{AD} /f _{AD} の2分周/f _{AD} の4分周 f _{AD} =f(XIN) |
| 分解能 | 8ビット |
| 絶対精度 | サンプル&ホールド機能なし ±3LSB サンプル&ホールド機能あり ±2LSB |
| 動作モード | 単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1 |
| アナログ入力端子 | 8本(AN ₀ ～AN ₇) + 2本(ANEX ₀ , ANEX ₁) |
| A-D変換開始条件 | ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつADTRG/P9 ₇ 入力が“H”から“L”の変化でA-D変換を開始 |
| 1端子あたりの変換速度 | サンプル&ホールドなし 49 ADサイクル サンプル&ホールドあり 28 ADサイクル |

注1. サンプル&ホールド機能の有無に依存しません。

注2. サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

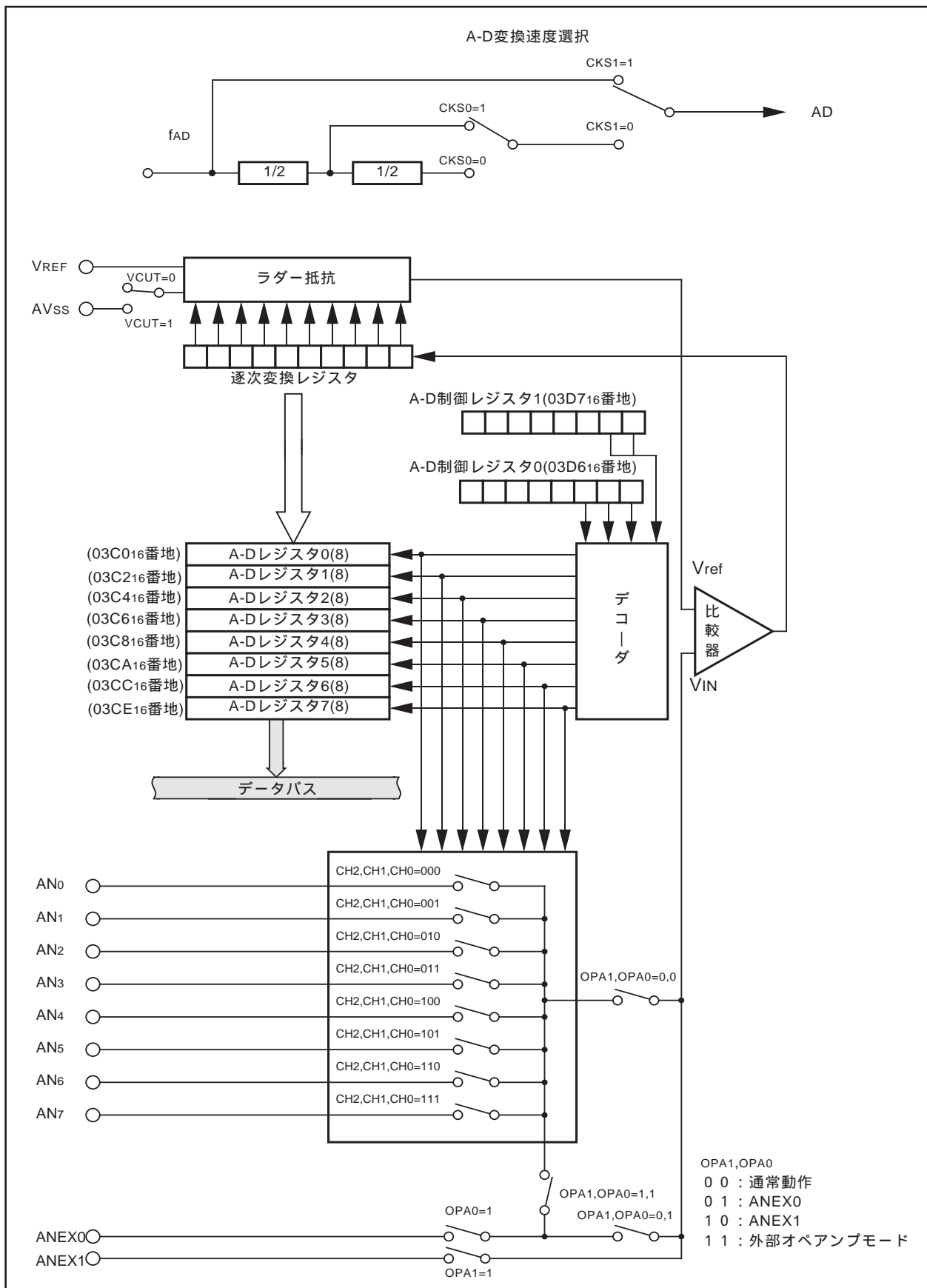


図2.12.1 A-D変換器のブロック図

A-D制御レジスタ0(注1)

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| | | | | | | | |

シンボル アドレス リセット時

ADCON0 03D6₁₆番地 00000XX₂

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|---------------|--|----------------|
| CH0 | アナログ入力端子選択ビット | $b_2 b_1 b_0$ 000: AN ₀ を選択 001: AN ₁ を選択 010: AN ₂ を選択 011: AN ₃ を選択 100: AN ₄ を選択 101: AN ₅ を選択 110: AN ₆ を選択 111: AN ₇ を選択 (注2) | R |
| CH1 | | | |
| CH2 | | | |
| MD0 | | | A-D動作モード選択ビット0 |
| MD1 | | | |
| TRG | トリガ選択ビット | 0: ソフトウェアトリガ 1: ADTRGによるトリガ | R |
| ADST | A-D変換開始フラグ | 0: A-D変換停止 1: A-D変換開始 | R |
| CKS0 | 周波数選択ビット0 | 0: f _{AD} /4を選択 1: f _{AD} /2を選択 | R |

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

| | | | | | | | |
|----|----|----|----|----|----|----|----|
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| | | | | 0 | | | |

シンボル アドレス リセット時

ADCON1 03D7₁₆番地 00₁₆

| ビットシンボル | ビット名 | 機 能 | R/W |
|---------|---------------------|--|--|
| SCAN0 | A-D掃引端子選択ビット | 単掃引、繰り返し掃引モード0選択時 $b_1 b_0$ 00: AN ₀ , AN ₁ (2端子) 01: AN ₀ - AN ₃ (4端子) 10: AN ₀ - AN ₅ (6端子) 11: AN ₀ - AN ₇ (8端子) | R |
| SCAN1 | | | 繰り返し掃引モード1選択時 $b_1 b_0$ 00: AN ₀ (1端子) 01: AN ₀ , AN ₁ (2端子) 10: AN ₀ - AN ₂ (3端子) 11: AN ₀ - AN ₃ (4端子) |
| MD2 | A-D動作モード選択ビット1 | 0: 繰り返し掃引モード1以外 1: 繰り返し掃引モード1 | R |
| 予約ビット | | 必ず "0" を設定してください | R |
| CKS1 | 周波数選択ビット1 | 0: f _{AD} /2または f _{AD} /4を選択 1: f _{AD} を選択 | R |
| VCUT | Vref接続ビット | 0: Vref未接続 1: Vref接続 | R |
| OPA0 | 外部オペアンプ接続 モードビット | $b_7 b_6$ 00: ANEX0, ANEX1は使用しない 01: ANEX0入力をAD変換 10: ANEX1入力をAD変換 11: 外部オペアンプ接続モード | R |
| OPA1 | | | R |

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.12.2 A-D変換器関連レジスタ(1)

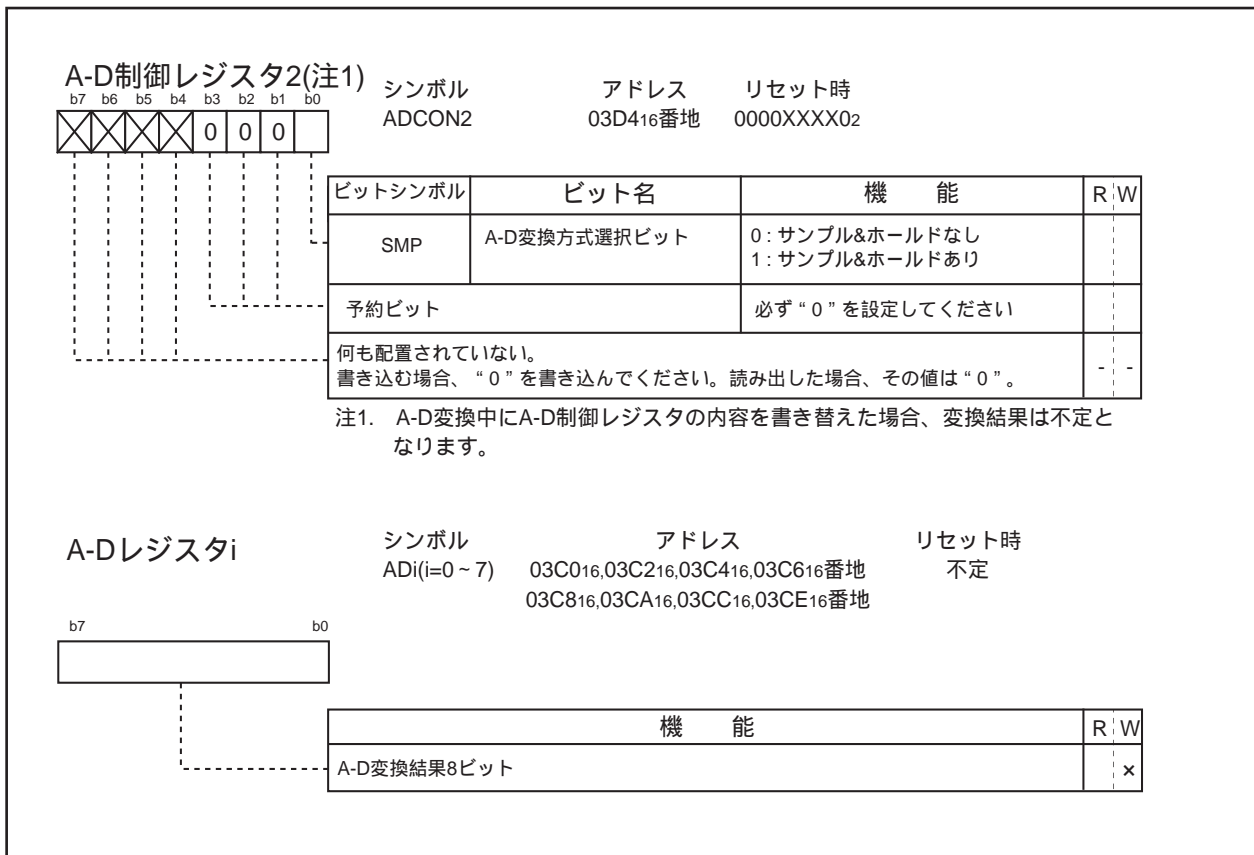


図2.12.3 A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表2.12.2に単発モードの仕様、図2.12.4に単発モード時のA-D制御レジスタ構成を示します。

表2.12.2 単発モードの仕様

| 項目 | 仕様 |
|---------------|--|
| 機能 | アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する |
| 開始条件 | A-D変換開始フラグへの“1”書き込み |
| 停止条件 | A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | A-D変換終了時 |
| 入力端子 | AN ₀ ~ AN ₇ より1端子を選択 |
| A-D変換値の読み出し | 選択した端子に対応したA-Dレジスタの読み出し |

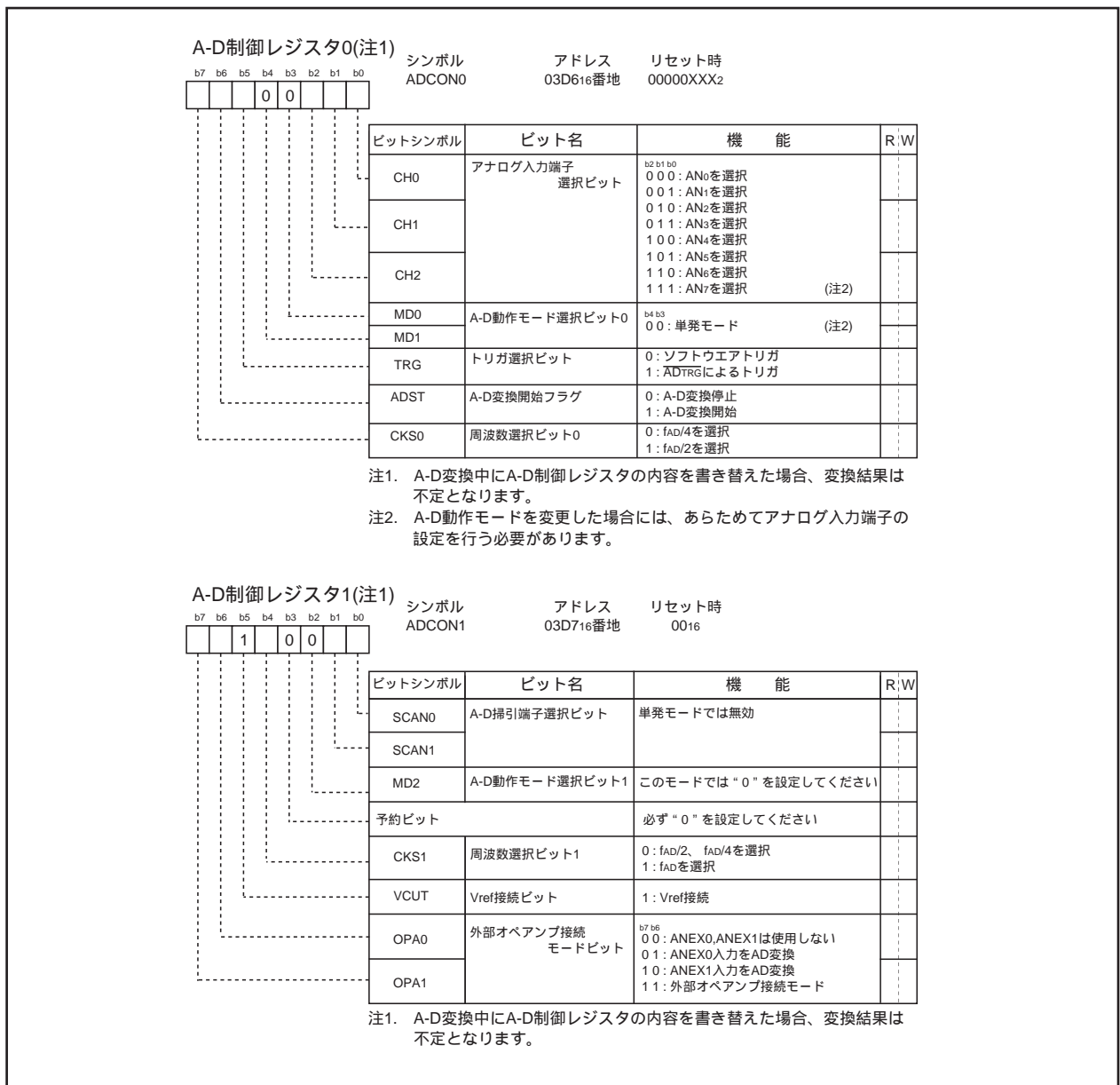


図2.12.4 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表2.12.3に繰り返しモードの仕様、図2.12.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表2.12.3 繰り返しモードの仕様

| 項目 | 仕様 |
|---------------|-------------------------------------|
| 機能 | アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する |
| 開始条件 | A-D変換開始フラグへの“1”書き込み |
| 停止条件 | A-D変換開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | 発生しない |
| 入力端子 | AN0～AN7より1端子を選択 |
| A-D変換値の読み出し | 選択した端子に対応したA-Dレジスタの読み出し |

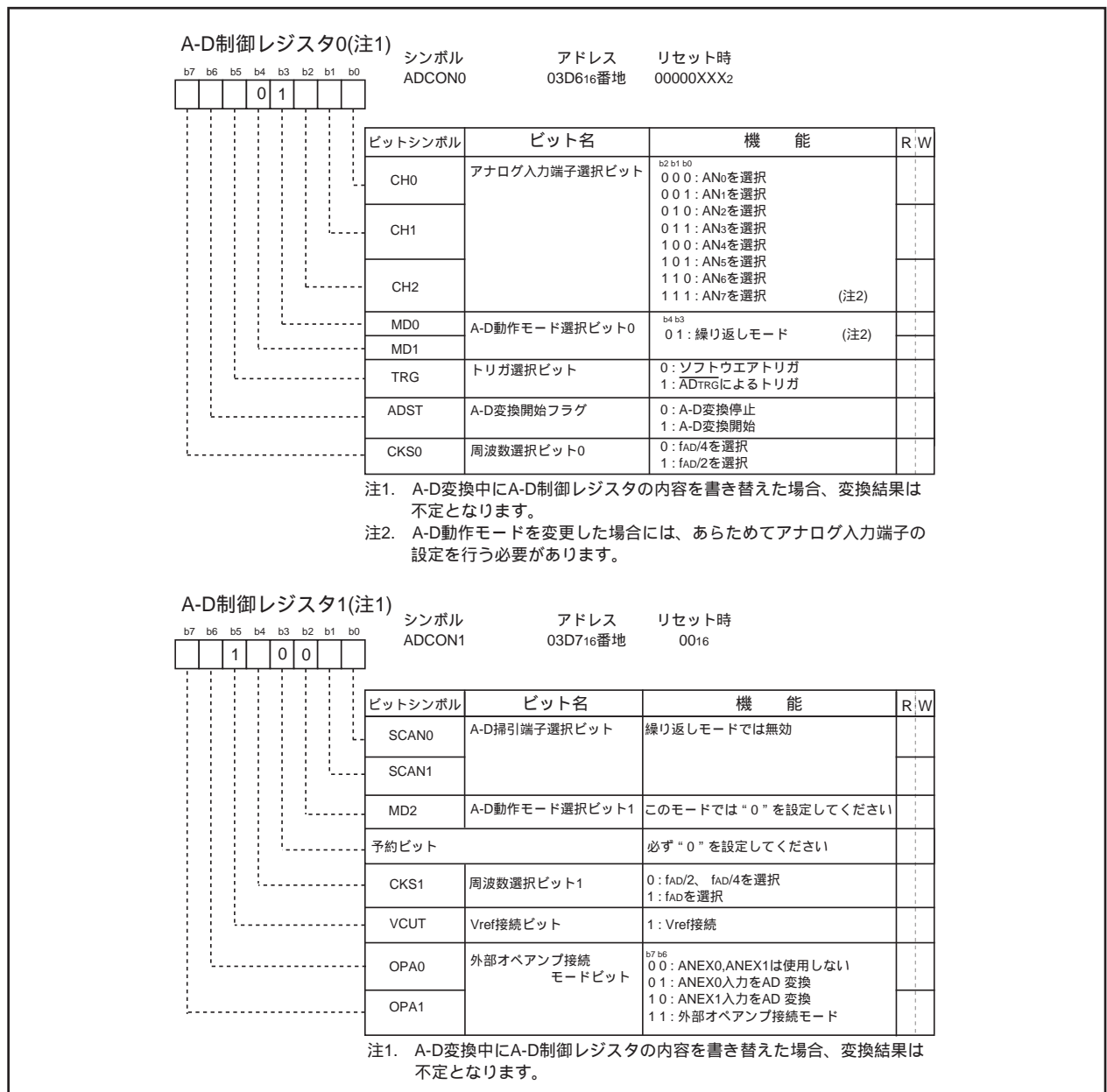


図2.12.5 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表2.12.4に単掃引モードの仕様、図2.12.6に単掃引モード時のA-D制御レジスタ構成を示します。

表2.12.4 単掃引モードの仕様

| 項目 | 仕様 |
|---------------|---|
| 機能 | A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する |
| 開始条件 | A-D変換開始フラグへの“1”書き込み |
| 停止条件 | A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | A-D変換終了時 |
| 入力端子 | AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子) |
| A-D変換値の読み出し | 選択した端子に対応したA-Dレジスタの読み出し |

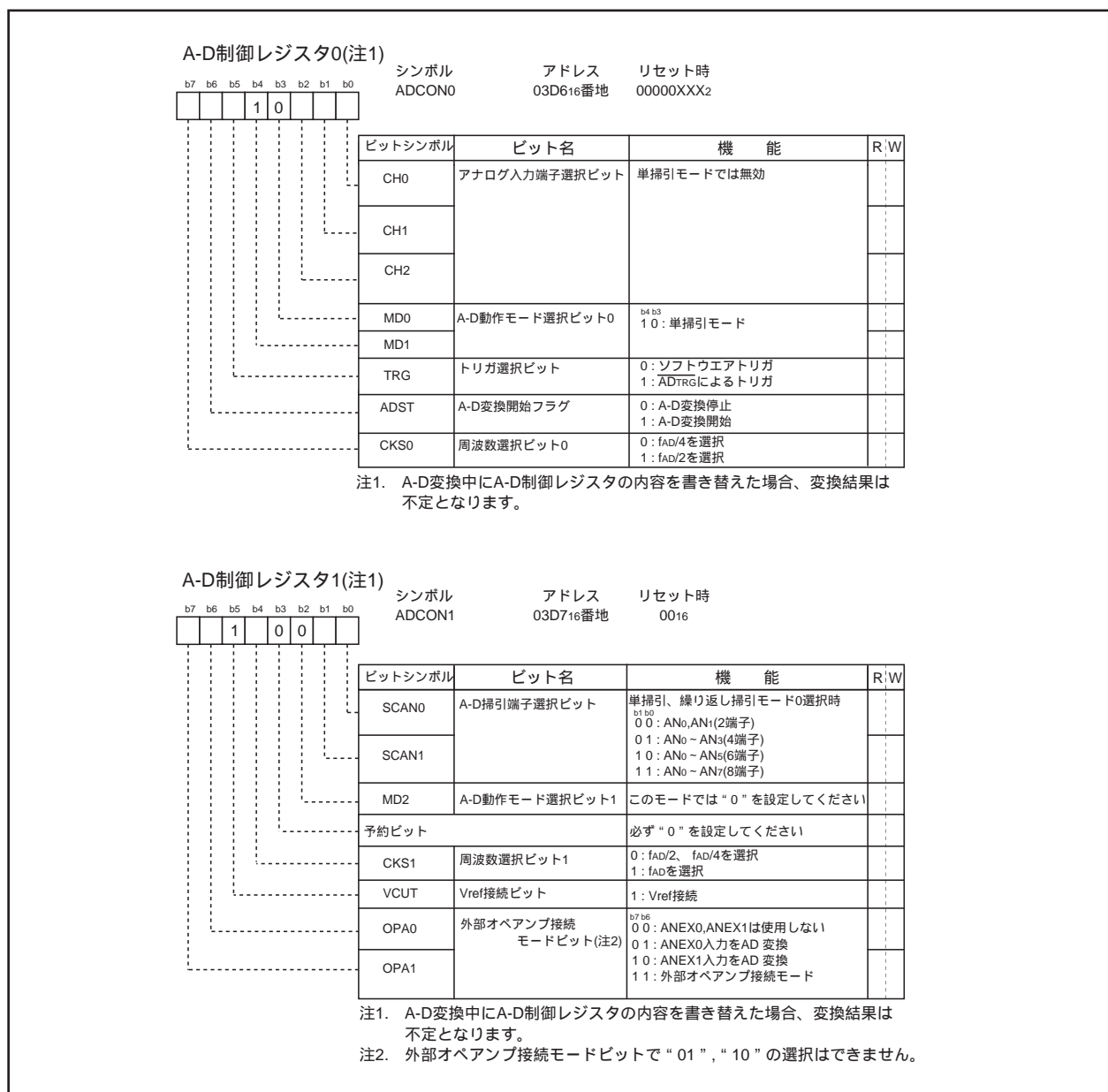


図2.12.6 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表2.12.5に繰り返し掃引モード0の仕様、図2.12.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表2.12.5 繰り返し掃引モード0の仕様

| 項目 | 仕様 |
|---------------|---|
| 機能 | A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する |
| 開始条件 | A-D変換開始フラグへの“1”書き込み |
| 停止条件 | A-D変換開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | 発生しない |
| 入力端子 | AN0,AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子) |
| A-D変換値の読み出し | 選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能) |

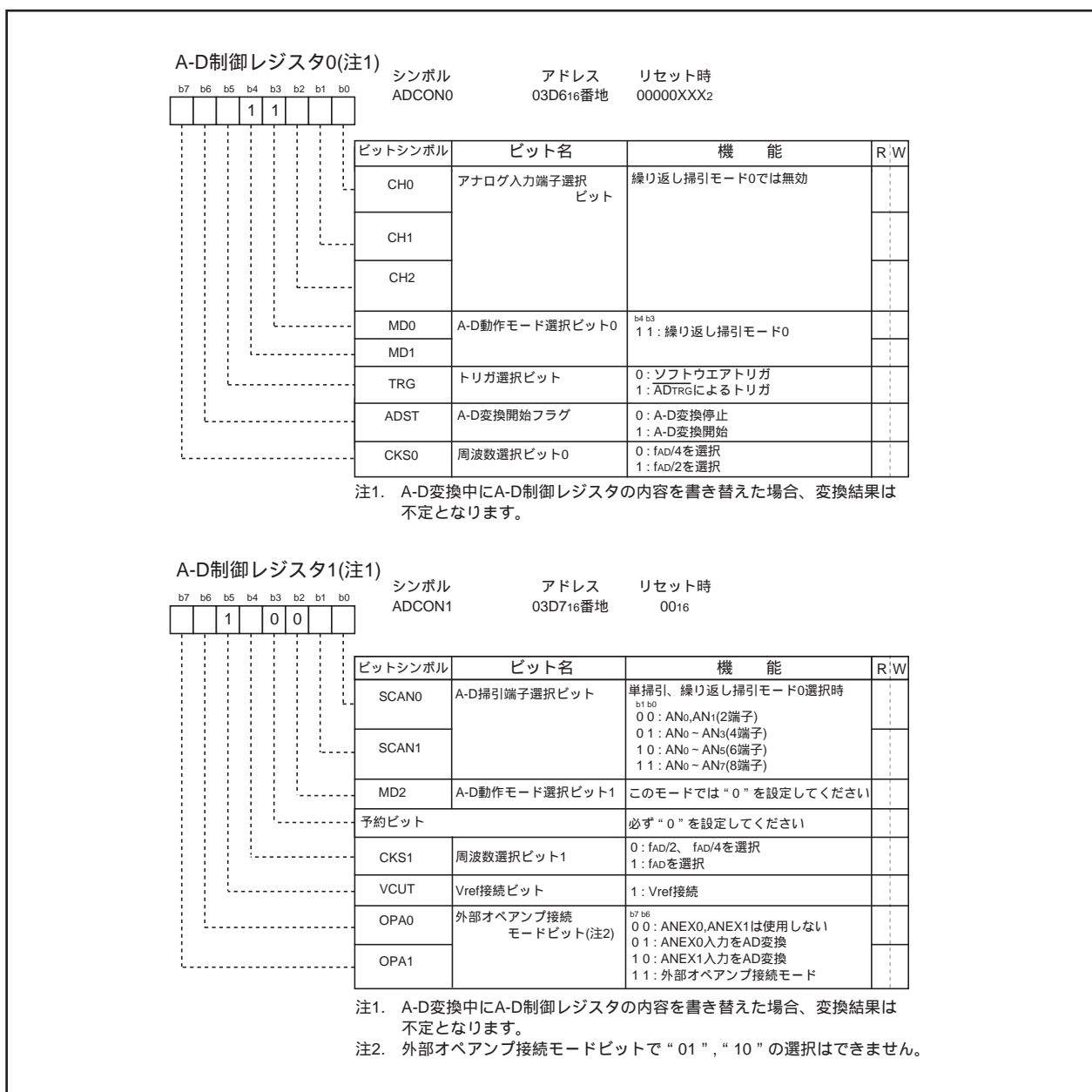


図2.12.7 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表2.12.6に繰り返し掃引モード1の仕様、図2.12.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表2.12.6 繰り返し掃引モード1の仕様

| 項目 | 仕様 |
|---------------|---|
| 機能 | A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる |
| 開始条件 | A-D変換開始フラグへの“1”書き込み |
| 停止条件 | A-D変換開始フラグへの“0”書き込み |
| 割り込み要求発生タイミング | 発生しない |
| 入力端子 | 重点的に行う端子 AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)、AN ₀ ~AN ₂ (3端子)、AN ₀ ~AN ₃ (4端子) |
| A-D変換値の読み出し | 選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能) |

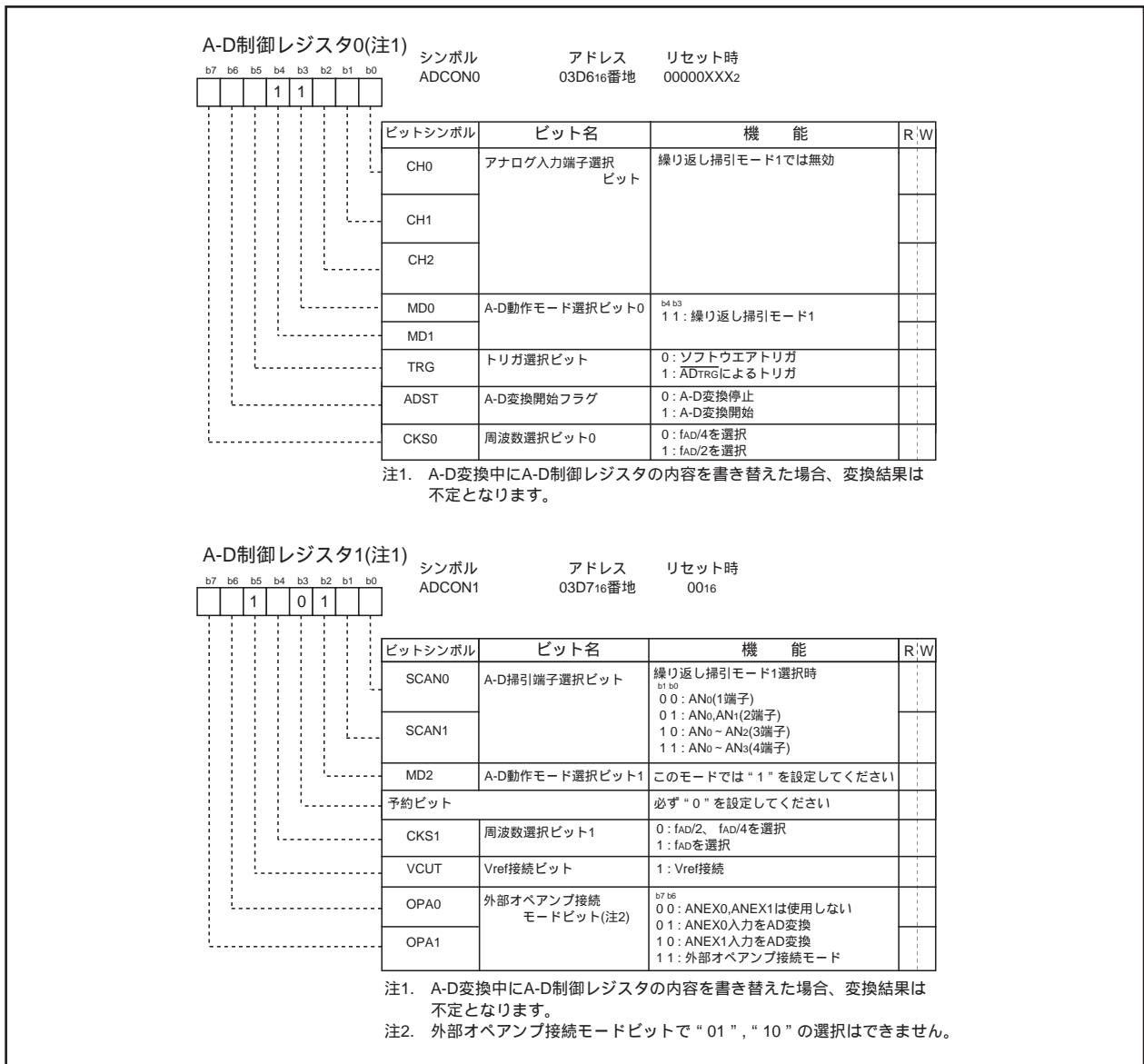


図2.12.8 繰り返し掃引モード1時のA-D制御レジスタ

(a) サンプル&ホールド

A-D制御レジスタ2(03D416番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、28 ADサイクルとなります。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

(b) 拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

(c) 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D716番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN0～AN7からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図2.12.9に外部オペアンプ接続モードの接続例を示します。

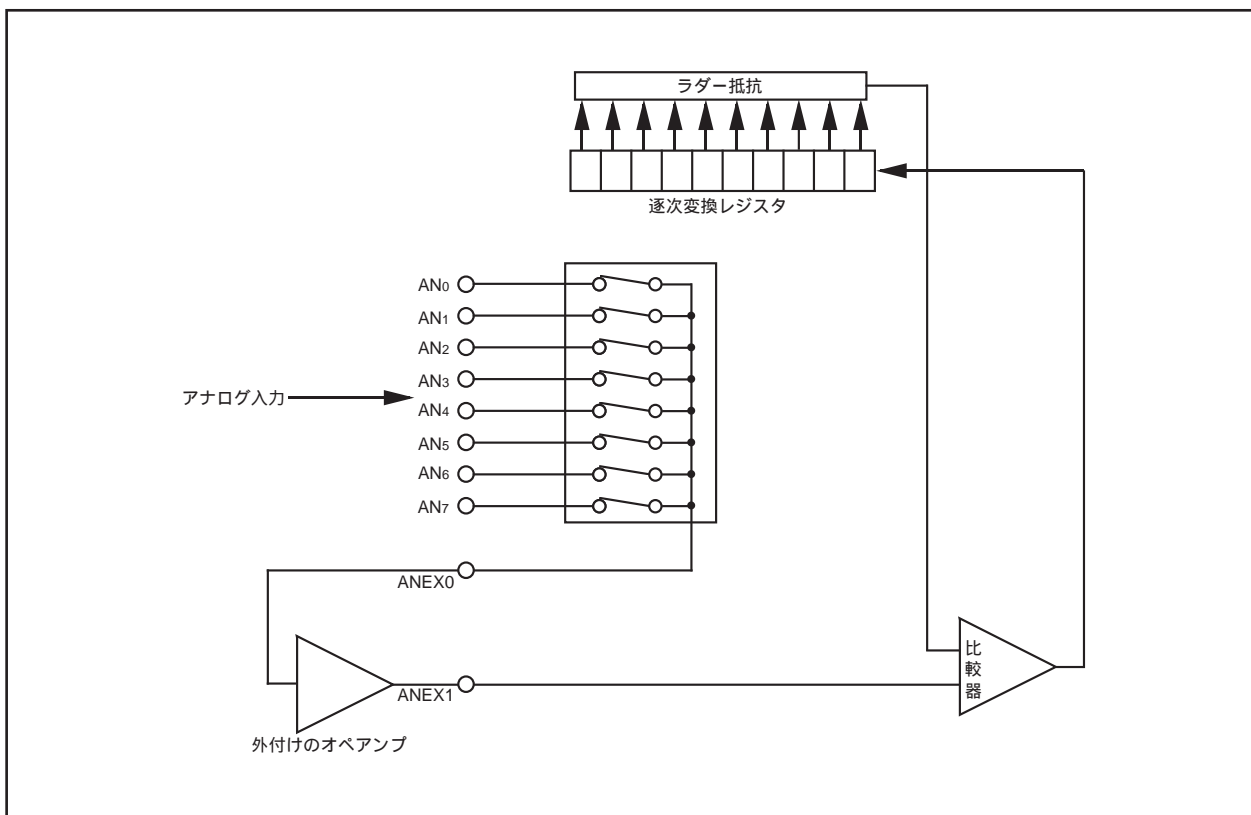


図2.12.9 外部オペアンプ接続モードの接続例

2.13 D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} : 基準電圧

表2.13.1にD-A変換器の性能を、図2.13.1にD-A変換器のブロック図を、図2.13.2にD-A制御レジスタの構成を、図2.13.3にD-A変換器の等価回路を示します。

表2.13.1 D-A変換器の性能

| 項目 | 性能 |
|----------|--------|
| 変換方式 | R-2R方式 |
| 分解能 | 8ビット |
| アナログ出力端子 | 2チャンネル |

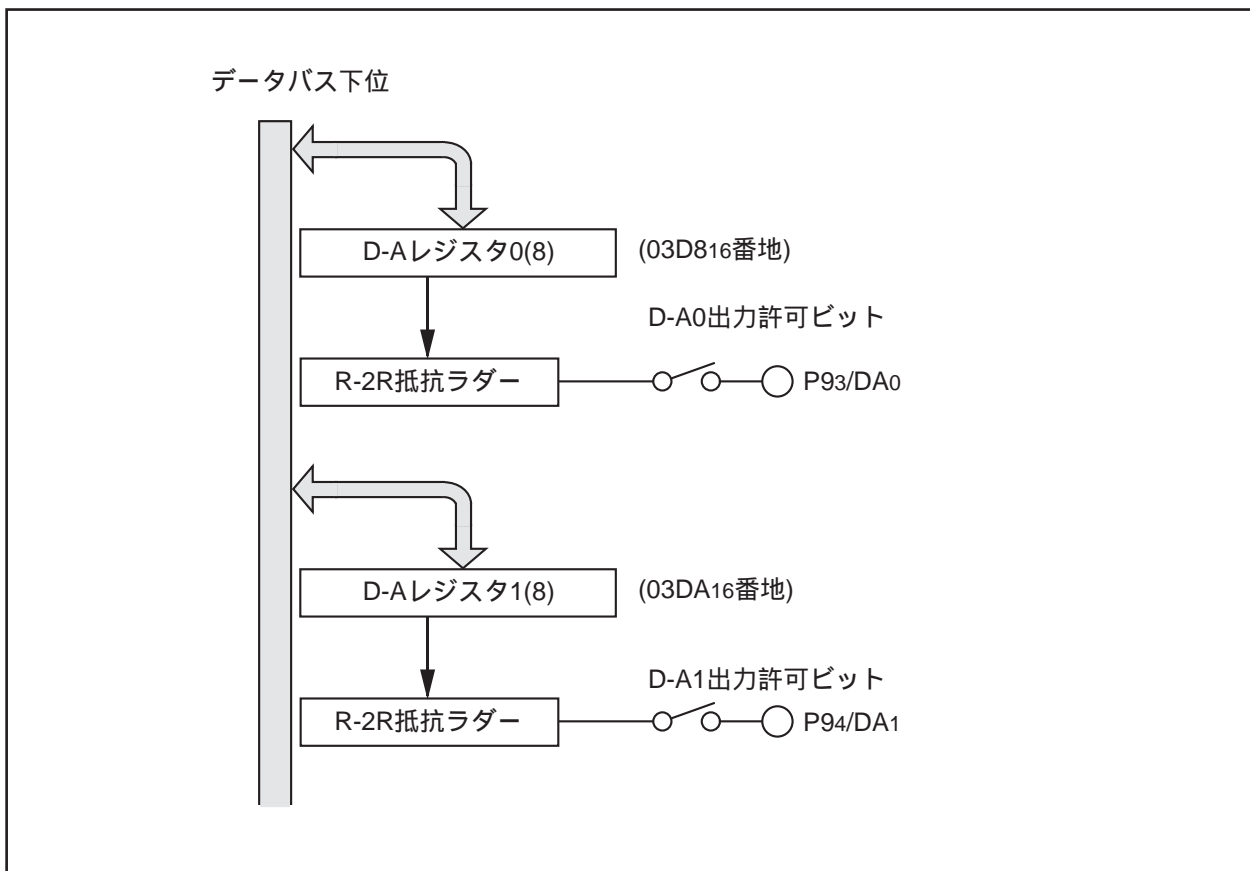


図2.13.1 D-A変換器のブロック図

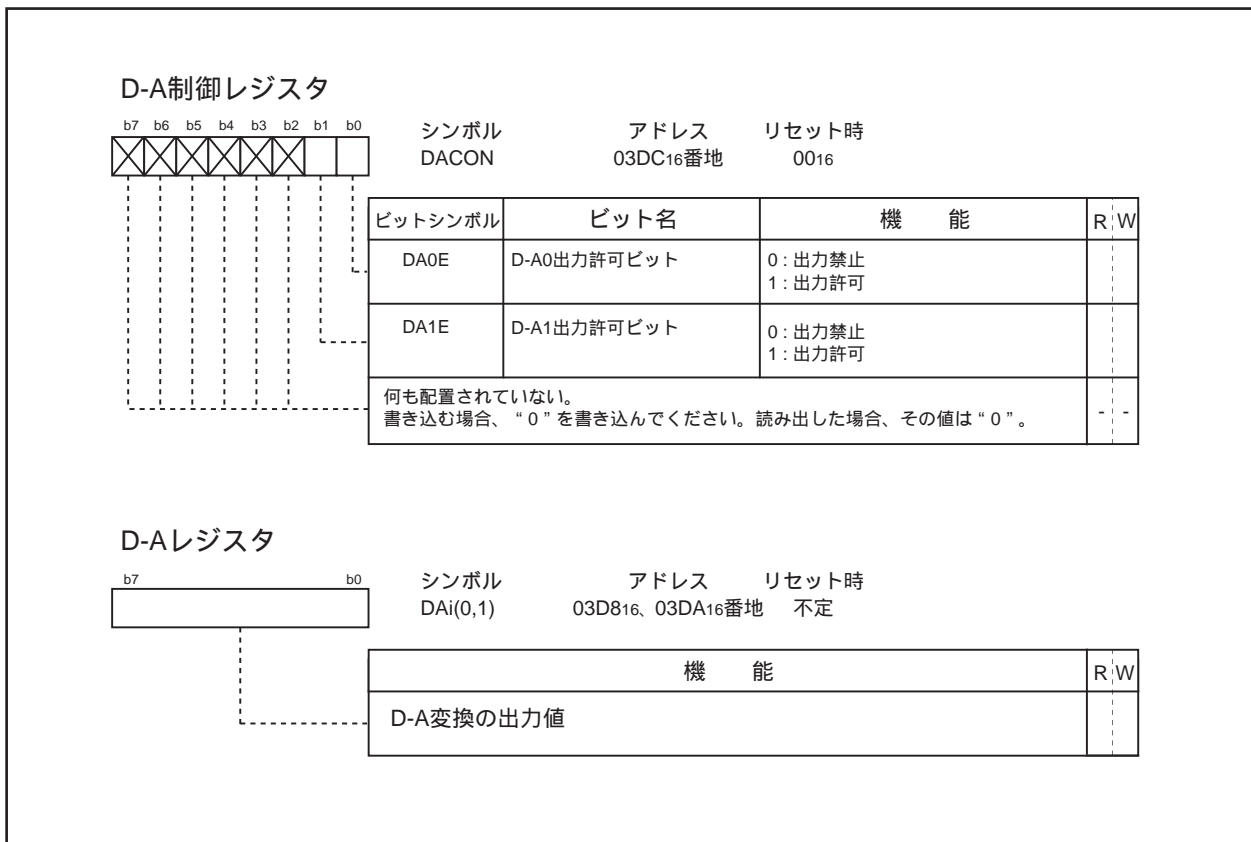


図2.13.2 D-A制御レジスタの構成

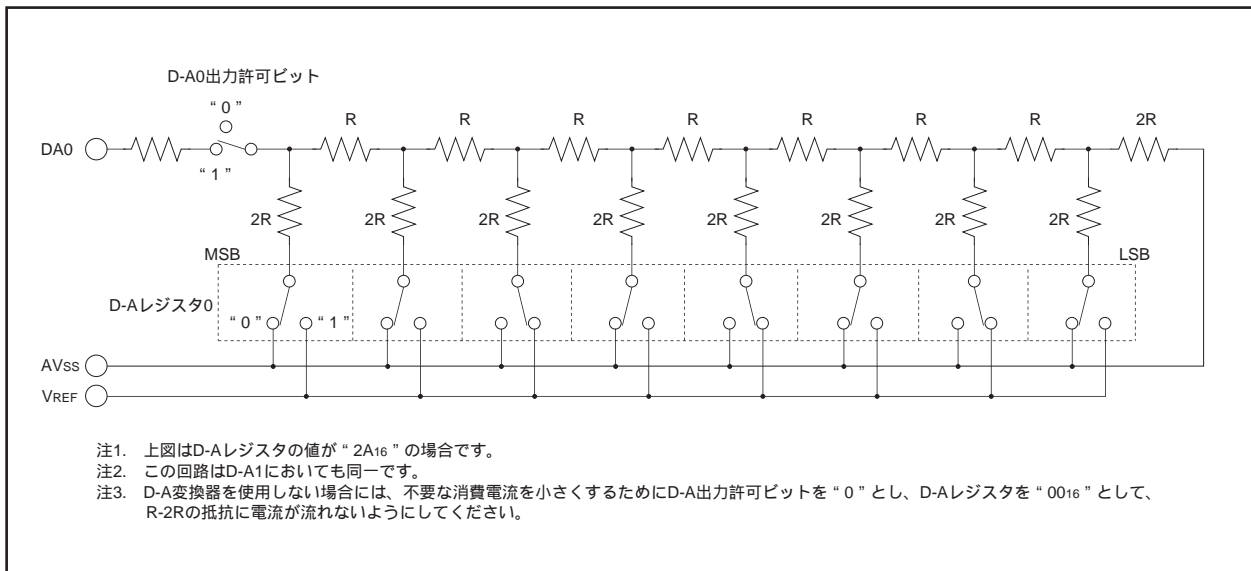


図2.13.3 D-A変換器の等価回路

2.14 CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図2.14.1にCRCのブロック図、図2.14.2にCRCの関連レジスタを示します。また、図2.14.3にCRC演算回路の演算例を示します。

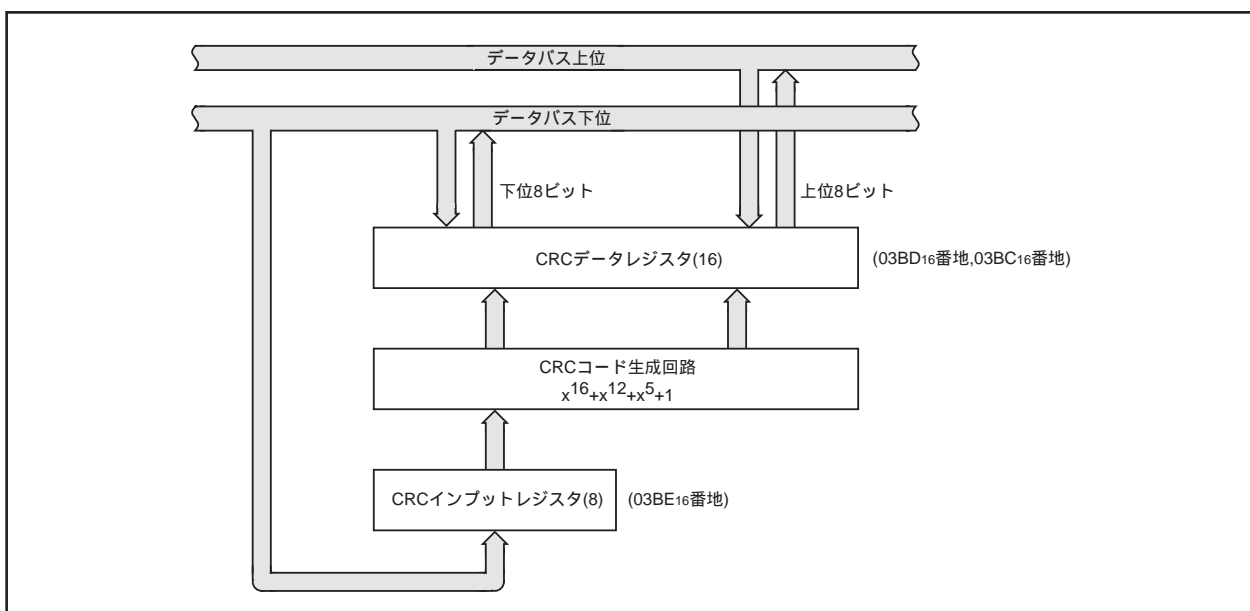


図2.14.1 CRCブロック図

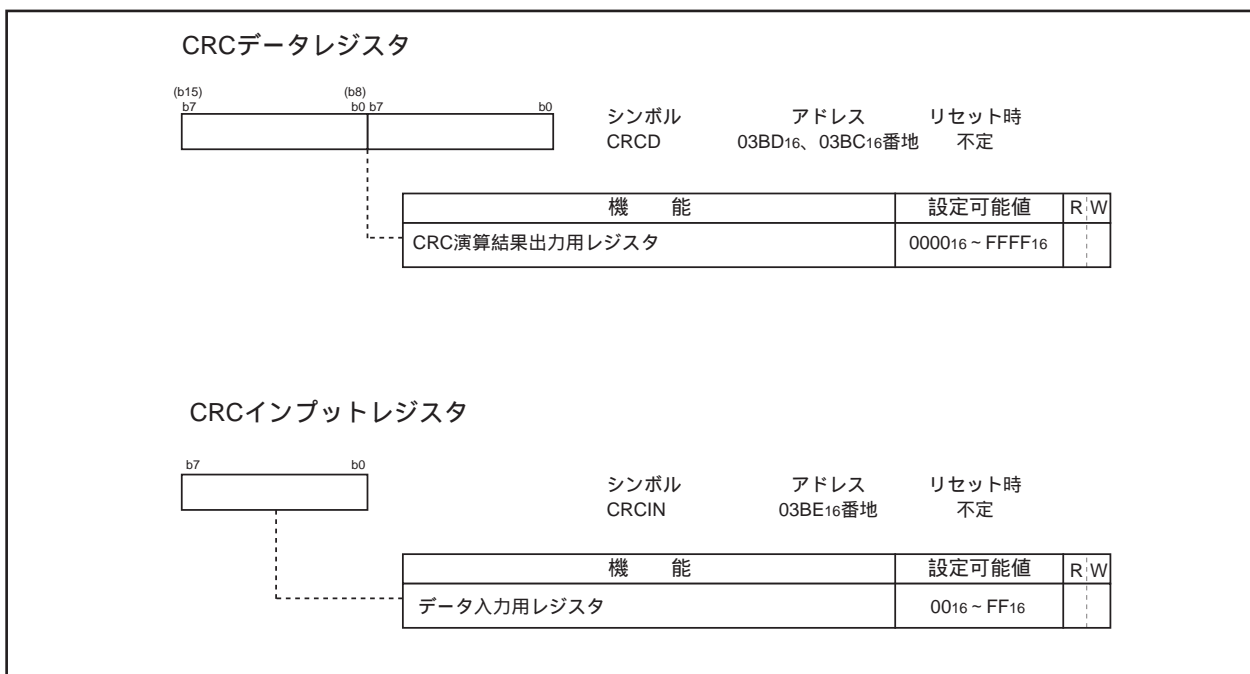


図2.14.2 CRC関連レジスタ

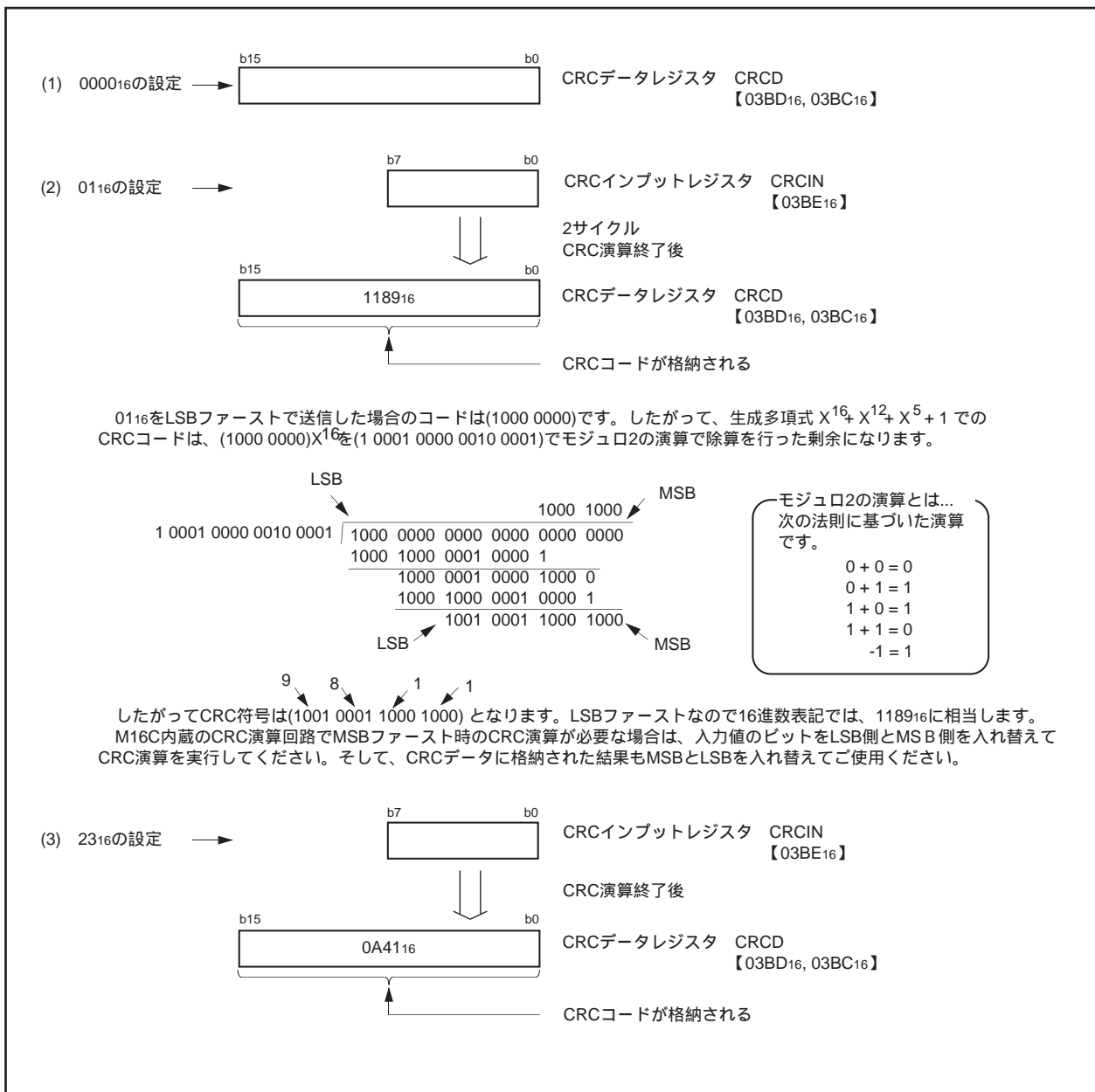


図2.14.3 CRC演算回路の演算例

2.15 拡張機能

2.15.1 拡張機能概要

拡張機能には、OSD表示機能、データスライサ機能、データエンコーダ機能、ハミングデコーダ機能があります。また、それぞれの機能は拡張メモリにより制御します。

(1) OSD機能

1文字12×10ドットの構成で、水平方向40文字×垂直方向25行（固定行表示）の表示ができ、合成用RAMとの重ね書きが可能です。特にSYNC-SEP（同期分離）回路、同期補正回路内蔵による外付け回路の低減、及びスーパーインポーズ時に起こる文字乱れ等の軽減がはかれます。

表2.15.1にOSD機能概要を示します。

表2.15.1 OSD機能概要

| | |
|-----------|--|
| 画面構成 | 40文字×25行 固定行表示(スクロール時40文字×24行) |
| 表示文字数 | 最大1000文字(固定) |
| 文字構成 | 12×10ドット(水平方向12ドット,垂直方向10ドット) |
| 文字の種類 | フォントRAM 256種類 合成RAM(SYRAM) 15種類 |
| 文字の大きさ | 垂直方向文字サイズ 1,2倍 行単位に独立に設定 水平方向文字サイズ 1,2倍 行単位に独立に設定 |
| 表示位置 | 水平方向486種類 垂直方向235種類 |
| ブリンキング | 周期 約1秒あるいは、約0.5秒(画面単位) デューティ 25%,50%,あるいは75%(画面単位) |
| ブランキング | 行単位に設定可 キャラクタ,全ベタ,ハーフトーン |
| 着色 | 文字色 文字単位に8色選択可 文字背景色 文字単位に8色選択可 背景色 画面単位に8色選択可 |
| スーパーインポーズ | 文字のスーパーインポーズ表示可能(PAL/SECAM)〔白黒表示〕 |
| 同期信号 | 複合同期信号発生(PALのみ) 複合ビデオ信号発生(PALのみ) |
| スクロール | ソフト制御の上下スムーズスクロール |
| ポート出力 | 兼用ポート 9本 (R,G,B,GRAY,BLNK,CSYN,SLICEON,EDO1およびEDO2出力との切り換え) |
| 同期補正回路 | 内蔵 |
| 同期分離回路 | 内蔵 |

(2) データスライサ機能

TELETEXT、VPS、VBIデータに対応しています。

(3) データエンコーダ機能

VBIデータをエンコードします。

(4) ハミングデコーダ機能

8/4ハミング,24/18ハミングを行います。

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

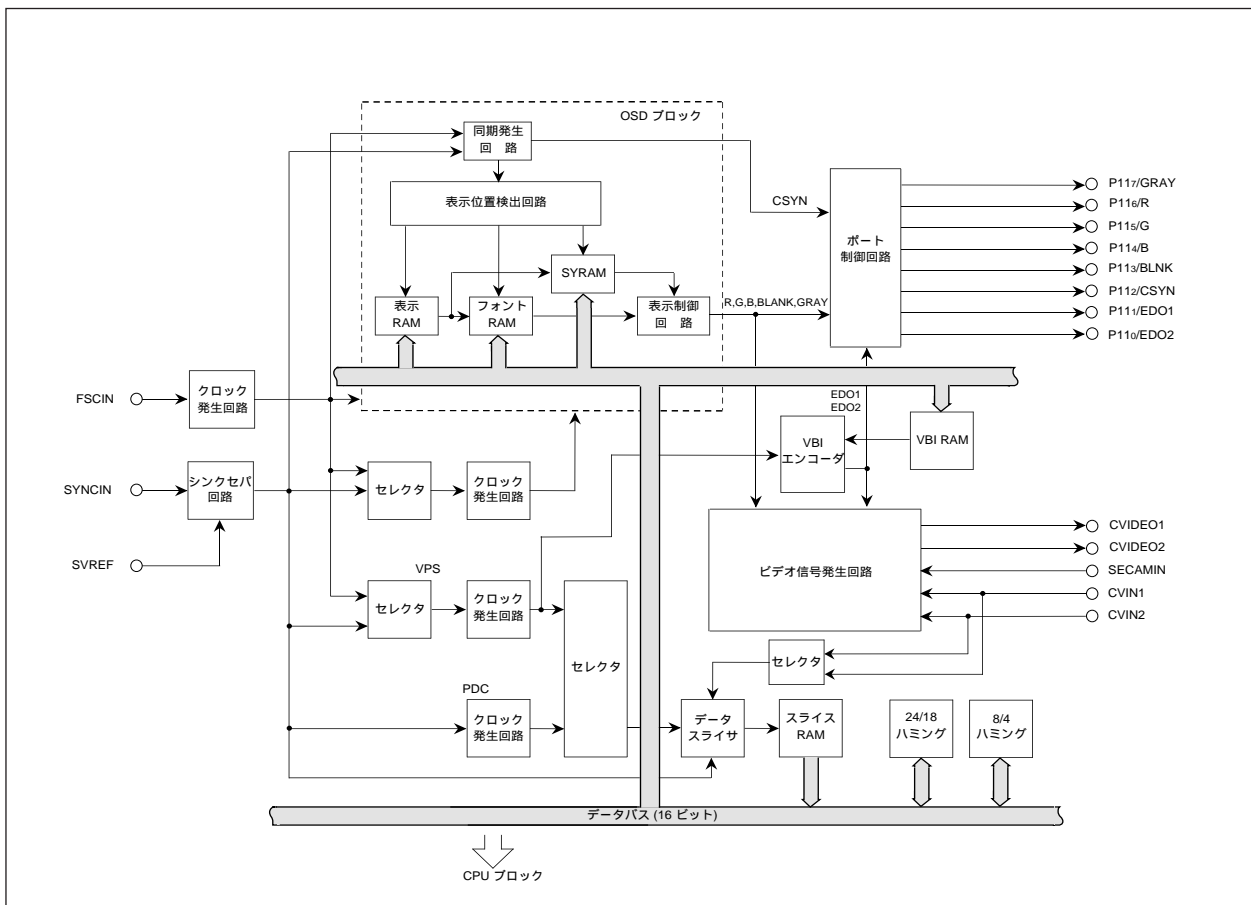


図2.15.1 拡張機能ブロック図

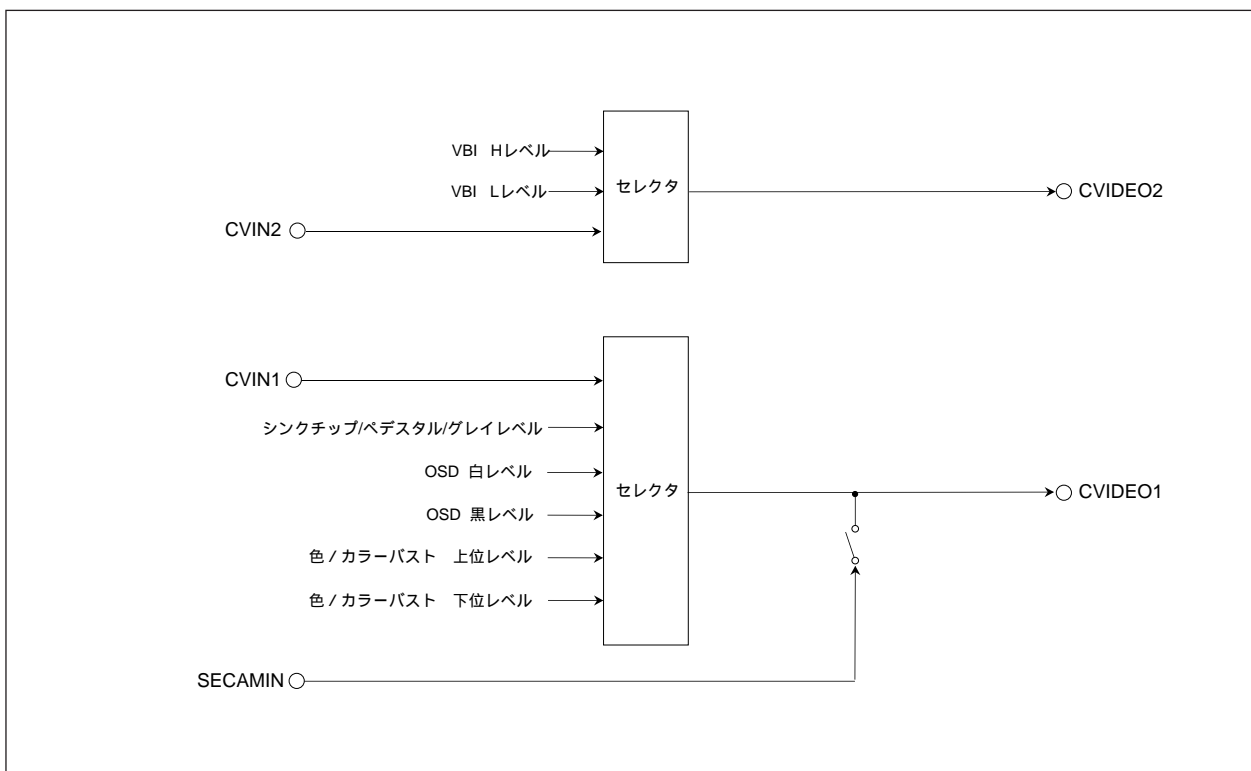


図2.15.2 ビデオ信号発生回路ブロック図

2.15.2 拡張メモリ

拡張機能用メモリは表示RAM、フォントRAM、SYRAM、スライスRAM、VBIRAM、拡張レジスタの6種類に分けられています。(ハミングデコーダはSFR上に配置されたレジスタで動作します。)

これらのRAM、拡張レジスタへのデータ書き込み及び読み出しはSFR上に配置されたデータ設定用レジスタ(0202₁₆番地~0218₁₆番地)により16ビット単位で行います。表2.15.2に各メモリの内容とデータ設定用レジスタを示します。

表2.15.2 拡張メモリ構成

| 拡張メモリ | 内 容 | データ設定用レジスタ |
|---------|--|---|
| 表示RAM | 1画面(40文字×25行)分の表示キャラクタを設定します。1文字単位でRAMフォント(文字コード)、文字色、文字背景色、プリンキング、SYRAMフォント(文字コード)SYRAM文字色の指定ができます。 | 表示RAMアドレス制御レジスタ(0202 ₁₆) 表示RAMデータ制御レジスタ(0204 ₁₆) |
| フォントRAM | 255文字分のキャラクタフォントを設定します。 | フォントRAMアドレス制御レジスタ(0206 ₁₆) フォントRAMデータ制御レジスタ(0208 ₁₆) |
| SYRAM | 15文字分の合成用キャラクタを設定します。 | SYRAMアドレス制御レジスタ(020A ₁₆) SYRAMデータ制御レジスタ(020C ₁₆) |
| スライスRAM | スライスしたデータを格納します。 | スライスRAMアドレス制御レジスタ(020E ₁₆) スライスRAMデータ制御レジスタ(0210 ₁₆) |
| VBIRAM | VBIエンコード用データを設定します。 | VBIRAMアドレス制御レジスタ(0212 ₁₆) VBIRAMデータ制御レジスタ(0214 ₁₆) |
| 拡張レジスタ | OSD表示制御、データサイザ制御、VBIエンコーダ制御を行うレジスタです。 | 拡張レジスタ用アドレス制御レジスタ(0216 ₁₆) 拡張レジスタ用データ制御レジスタ(0218 ₁₆) |

2.15.3 表示RAM

1画面（40文字×25行）分の表示キャラクタ設定をします。

1文字分の表示キャラクタ設定は2アドレス構成（偶数アドレス16ビット+奇数アドレス8ビット）となっており、文字種類、文字色、プリンキング、文字背景色、SYRAM種類、SYRAM色の設定を行います。

表示RAM構成を表2.15.3に示します。

表2.15.3 表示RAM構成

| 表示RAMアドレス (CA10 - CA0) | CD15 | CD14 | CD13 | CD12 | CD11 | CD10 | CD9 | CD8 | CD7 | CD6 | CD5 | CD4 | CD3 | CD2 | CD1 | CD0 | 表示キャラクタ設定 |
|---------------------------|------|-------|------|------|-------|------|-----|-----|--------------|-----|-----|-----|---------------|------|------|------|------------|
| 00016 | 0 | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 | 0行目の0文字目 |
| | | 文字背景色 | | | 点滅 | 文字色 | | | フォントRAM文字コード | | | | | | | | |
| 00116 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | 0 | SYC3 | SYC2 | SYC1 | SYC0 | 0行目の1文字目 |
| | | | | | | | | | SYRAM文字色(注) | | | 0 | SYRAM文字コード(注) | | | | |
| 00216 | 0 | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 | 0行目の2文字目 |
| 00316 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | 0 | SYC3 | SYC2 | SYC1 | SYC0 | |
| 00416 | 0 | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 | 0行目の3文字目 |
| 00516 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | 0 | SYC3 | SYC2 | SYC1 | SYC0 | |
| 00616 ⋮ 7CB16 | | | | | | | | | | | | | | | | | 24行目の37文字目 |
| 7CC16 | 0 | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 | 24行目の38文字目 |
| 7CD16 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | 0 | SYC3 | SYC2 | SYC1 | SYC0 | |
| 7CE16 | 0 | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 | 24行目の39文字目 |
| 7CF16 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | 0 | SYC3 | SYC2 | SYC1 | SYC0 | |

注：フォントRAM文字コードに0016を設定した場合は、SYRAM設定ビットはG1キャラクタ設定ビットになります。（詳細は“ テレテキストG1キャラクタ表示 ”を参照してください）

表示RAMデータへのアクセスは表示RAMアドレス制御レジスタ（020216番地）に表2.15.3のアクセスするアドレス（CA10～CA0）を設定し、続けて表示RAMデータ制御レジスタ（020416番地）よりデータ（CD15～CD0）を書き込みます。データのアクセスが終わると表示RAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。

図2.15.3に表示RAMビット構成を、図2.15.4に表示RAMアクセス関連レジスタの構成を、図2.15.5に表示RAMデータアクセスブロック図、図2.15.6,7にアドレスマップを示します。

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

| | | | | | | | | | | | | | | | | |
|--------|------|------|------|------|-------|------|-----|-----|-----|-----|-----|-----|------|------|------|------|
| 偶数アドレス | CD15 | CD14 | CD13 | CD12 | CD11 | CD10 | CD9 | CD8 | CD7 | CD6 | CD5 | CD4 | CD3 | CD2 | CD1 | CD0 |
| | - | BB | BG | BR | BLINK | CB | CG | CR | C7 | C6 | C5 | C4 | C3 | C2 | C1 | C0 |
| 奇数アドレス | CD15 | CD14 | CD13 | CD12 | CD11 | CD10 | CD9 | CD8 | CD7 | CD6 | CD5 | CD4 | CD3 | CD2 | CD1 | CD0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SB | SG | SR | - | SYC3 | SYC2 | SYC1 | SYC0 |

| ビット | ビット名 | 機能 |
|-------|------------|--|
| C0 | フォントRAMビット | 表示するフォントRAMの文字コードを設定します。 文字コード00 ₁₆ はテレテキストG1キャラクタ対応となっています。(“テレテキストG1キャラクタ表示”参照) |
| C1 | | |
| C2 | | |
| C3 | | |
| C4 | | |
| C5 | | |
| C6 | | |
| C7 | | |
| CR | 文字色ビット | フォントRAM文字色の色コードを設定します。(注2) |
| CG | | |
| CB | | |
| BLINK | ブリンクビット | 0: ブリンク(点滅)しません。 1: ブリンク(点滅)します。 |
| BR | 文字背景色ビット | フォントRAM文字背景色の色コードを設定します。(注2) |
| BG | | |
| BB | | |
| - | - | 必ず“0”に固定してください。 |
| SYC0 | SYRAMビット | C0~C7で設定したフォントRAMに合成するSYRAMの文字コードを設定します。 合成しない場合は文字コードF ₁₆ を設定してください。 C7~C0=00 ₁₆ 設定時はテレテキストG1キャラクタ設定ビットになります。 |
| SYC1 | | |
| SYC2 | | |
| SYC3 | | |
| - | - | 必ず“0”に固定してください。 |
| SR | SYRAM色ビット | SYRAM色の色コードを設定します。(注2) C7~C0=00 ₁₆ 設定時はテレテキストG1キャラクタ設定ビットになります。 |
| SG | | |
| SB | | |

注1 表示RAMの内容はリセット時不定になります。

注2 色コード設定

| 色コード | | | 色設定 |
|------|---|---|------|
| B | G | R | |
| 0 | 0 | 0 | 黒 |
| 0 | 0 | 1 | 赤 |
| 0 | 1 | 0 | 緑 |
| 0 | 1 | 1 | 黄 |
| 1 | 0 | 0 | 青 |
| 1 | 0 | 1 | マゼンタ |
| 1 | 1 | 0 | シアン |
| 1 | 1 | 1 | 白 |

表中の色コード(R,G,B)は文字色ビット(CR,CG,CB)、文字背景色ビット(BR,BG,BB)、SYRAM色ビット(SR,SG,SB)に対応しています。
ただし、拡張レジスタGRYON=“1”時の色設定は拡張レジスタ構成(アドレス0A₁₆番地)を参照してください。

図2.15.3 表示RAMビット構成

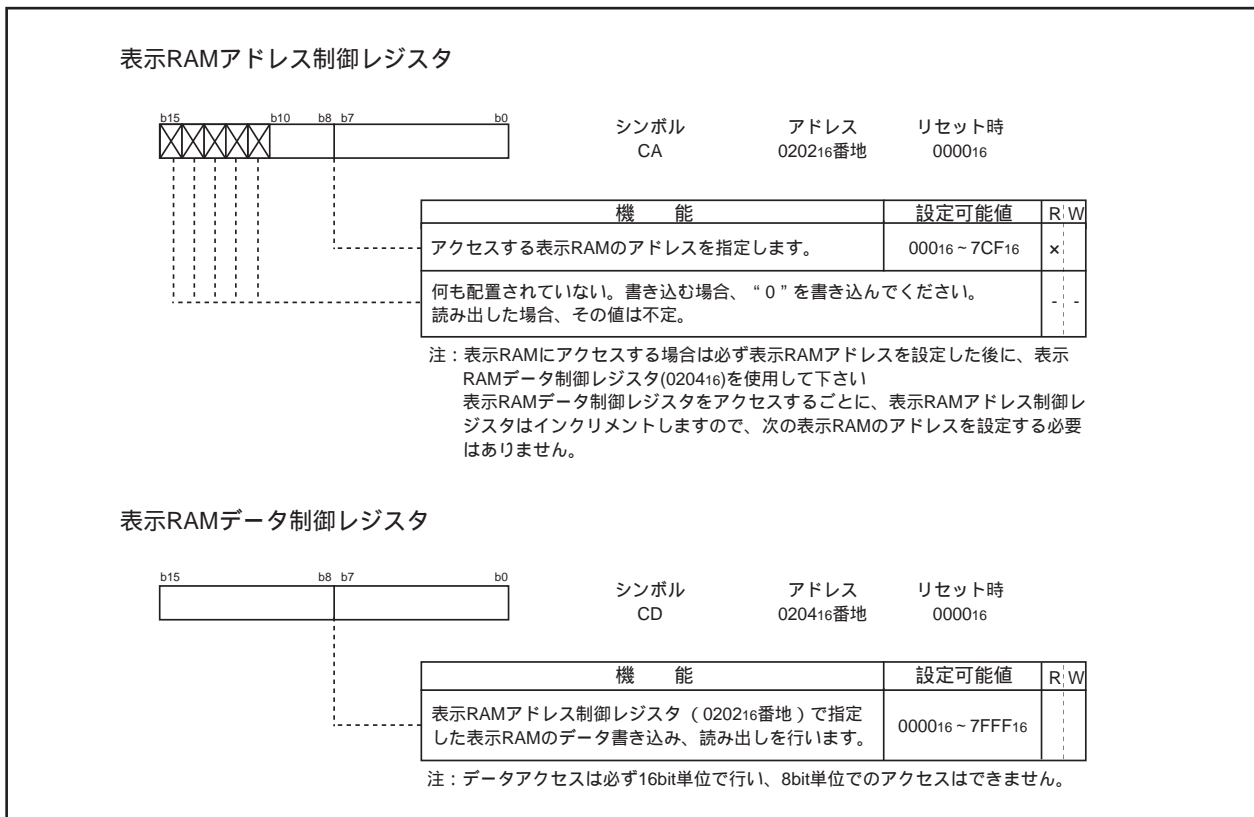


図2.15.4 表示RAMアクセス関連レジスタの構成

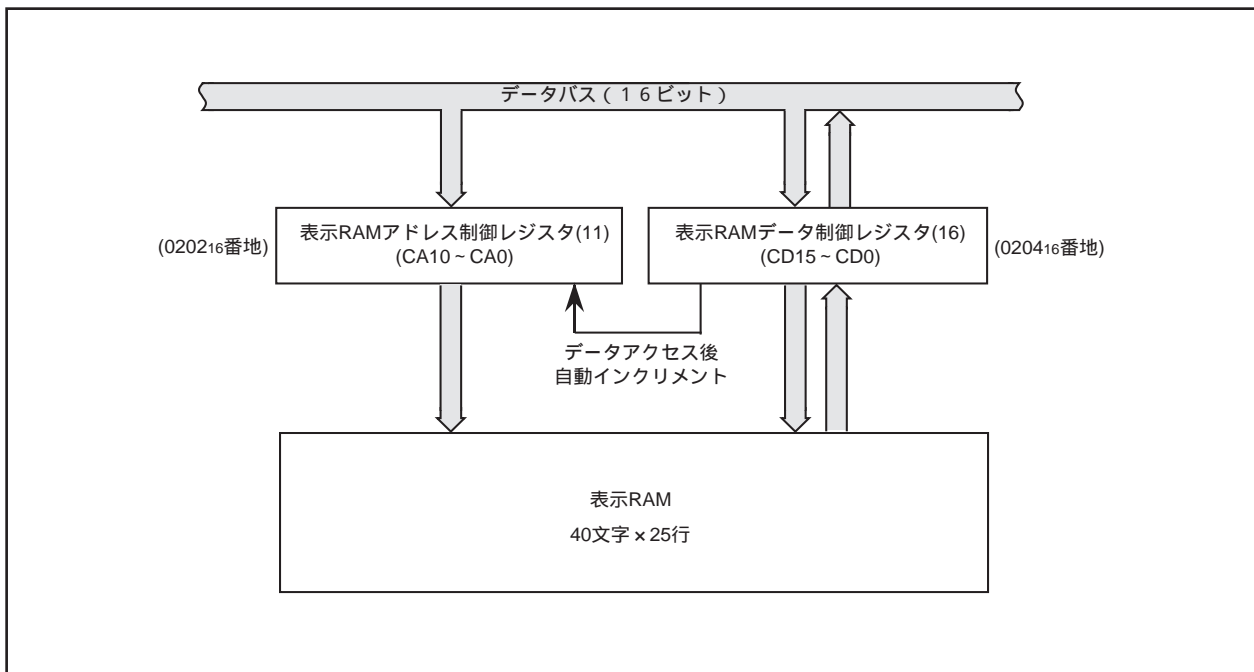


図2.15.5 表示RAMアクセスブロック図

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

| 0文字目 | 1文字目 | 2文字目 | 3文字目 |
|------|------|-------|------|
| 000 | 002 | 004 | 006 |
| 001 | 003 | 005 | 007 |
| 050 | 052 | 054 | 056 |
| 051 | 053 | 055 | 057 |
| 0A0 | 0A2 | 0A4 | 0A6 |
| 0A1 | 0A3 | 0A5 | 0A7 |
| 0F0 | 0F2 | 0F4 | 0F6 |
| 0F1 | 0F3 | 0F5 | 0F7 |
| 140 | 142 | 144 | 146 |
| 141 | 143 | 145 | 147 |
| 190 | 192 | 194 | 196 |
| 191 | 193 | 195 | 197 |
| 1E0 | 1E2 | 1E4 | 1E6 |
| 1E1 | 1E3 | 1E5 | 1E7 |
| 230 | 232 | 234 | 236 |
| 231 | 233 | 235 | 237 |
| 280 | 282 | 284 | 286 |
| 281 | 283 | 285 | 287 |
| 2D0 | 2D2 | 2D4 | 2D6 |
| 2D1 | 2D3 | 2D5 | 2D7 |
| 320 | 322 | 324 | 326 |
| 321 | 323 | 325 | 327 |
| 370 | 372 | 374 | 376 |
| 371 | 373 | 375 | 377 |
| 3C0 | 3C2 | 3C4 | 3C6 |
| 3C1 | 3C3 | 3C5 | 3C7 |
| 410 | 412 | 414 | 416 |
| 411 | 413 | 415 | 417 |
| 460 | 462 | 464 | 466 |
| 461 | 463 | 465 | 467 |
| 4B0 | 4B2 | 4B4 | 4B6 |
| 4B1 | 4B3 | 4B5 | 4B7 |
| 500 | 502 | 504 | 506 |
| 501 | 503 | 505 | 507 |
| 008 | 009 | 00A | 00B |
| 00C | 00D | 00E | 00F |
| 05C | 05E | 05F | 060 |
| 05D | 05F | 061 | 063 |
| 0A8 | 0AA | 0AC | 0AE |
| 0A9 | 0AB | 0AD | 0AF |
| 0F8 | 0FA | 0FC | 0FE |
| 0F9 | 0FB | 0FD | 0FF |
| 146 | 148 | 14A | 14C |
| 147 | 149 | 14B | 14D |
| 196 | 198 | 19A | 19C |
| 197 | 199 | 19B | 19D |
| 1E6 | 1E8 | 1EA | 1EC |
| 1E7 | 1E9 | 1EB | 1ED |
| 236 | 238 | 23A | 23C |
| 237 | 239 | 23B | 23D |
| 286 | 288 | 28A | 28C |
| 287 | 289 | 28B | 28D |
| 2D6 | 2D8 | 2DA | 2DC |
| 2D7 | 2D9 | 2DB | 2DD |
| 326 | 328 | 32A | 32C |
| 327 | 329 | 32B | 32D |
| 376 | 378 | 37A | 37C |
| 377 | 379 | 37B | 37D |
| 3C6 | 3C8 | 3CA | 3CC |
| 3C7 | 3C9 | 3CB | 3CD |
| 416 | 418 | 41A | 41C |
| 417 | 419 | 41B | 41D |
| 466 | 468 | 46A | 46C |
| 467 | 469 | 46B | 46D |
| 4B6 | 4B8 | 4BA | 4BC |
| 4B7 | 4B9 | 4BB | 4BD |
| 506 | 508 | 50A | 50C |
| 507 | 509 | 50B | 50D |
| 010 | 012 | 014 | 016 |
| 011 | 013 | 015 | 017 |
| 060 | 062 | 064 | 066 |
| 061 | 063 | 065 | 067 |
| 0B0 | 0B2 | 0B4 | 0B6 |
| 0B1 | 0B3 | 0B5 | 0B7 |
| 0E0 | 0E2 | 0E4 | 0E6 |
| 0E1 | 0E3 | 0E5 | 0E7 |
| 100 | 102 | 104 | 106 |
| 101 | 103 | 105 | 107 |
| 148 | 14A | 14C | 14E |
| 149 | 14B | 14D | 14F |
| 198 | 19A | 19C | 19E |
| 199 | 19B | 19D | 19F |
| 1E8 | 1EA | 1EC | 1EE |
| 1E9 | 1EB | 1ED | 1EF |
| 238 | 23A | 23C | 23E |
| 239 | 23B | 23D | 23F |
| 288 | 28A | 28C | 28E |
| 289 | 28B | 28D | 28F |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 012 | 014 | 016 | 018 |
| 013 | 015 | 017 | 019 |
| 062 | 064 | 066 | 068 |
| 063 | 065 | 067 | 069 |
| 0B2 | 0B4 | 0B6 | 0B8 |
| 0B3 | 0B5 | 0B7 | 0B9 |
| 0E2 | 0E4 | 0E6 | 0E8 |
| 0E3 | 0E5 | 0E7 | 0E9 |
| 102 | 104 | 106 | 108 |
| 103 | 105 | 107 | 109 |
| 14A | 14C | 14E | 14F |
| 14B | 14D | 14F | 151 |
| 19A | 19C | 19E | 19F |
| 19B | 19D | 19F | 1A1 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 23A | 23C | 23E | 23F |
| 23B | 23D | 23F | 241 |
| 28A | 28C | 28E | 28F |
| 28B | 28D | 28F | 291 |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 014 | 016 | 018 | 01A |
| 015 | 017 | 019 | 01B |
| 064 | 066 | 068 | 06A |
| 065 | 067 | 069 | 06B |
| 0B4 | 0B6 | 0B8 | 0BA |
| 0B5 | 0B7 | 0B9 | 0BB |
| 0E4 | 0E6 | 0E8 | 0EA |
| 0E5 | 0E7 | 0E9 | 0EB |
| 104 | 106 | 108 | 10A |
| 105 | 107 | 109 | 10B |
| 14C | 14E | 14F | 151 |
| 14D | 14F | 151 | 153 |
| 19C | 19E | 19F | 1A1 |
| 19D | 19F | 1A1 | 1A3 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 23C | 23E | 23F | 241 |
| 23D | 23F | 241 | 243 |
| 28C | 28E | 28F | 291 |
| 28D | 28F | 291 | 293 |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 016 | 018 | 01A | 01C |
| 017 | 019 | 01B | 01D |
| 066 | 068 | 06A | 06C |
| 067 | 069 | 06B | 06D |
| 0B6 | 0B8 | 0BA | 0BC |
| 0B7 | 0B9 | 0BB | 0BD |
| 0E6 | 0E8 | 0EA | 0EC |
| 0E7 | 0E9 | 0EB | 0ED |
| 106 | 108 | 10A | 10C |
| 107 | 109 | 10B | 10D |
| 14E | 14F | 151 | 153 |
| 14F | 151 | 153 | 155 |
| 19E | 19F | 1A1 | 1A3 |
| 19F | 1A1 | 1A3 | 1A5 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 23E | 23F | 241 | 243 |
| 23F | 241 | 243 | 245 |
| 28E | 28F | 291 | 293 |
| 28F | 291 | 293 | 295 |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 018 | 01A | 01C | 01E |
| 019 | 01B | 01D | 01F |
| 068 | 06A | 06C | 06E |
| 069 | 06B | 06D | 06F |
| 0B8 | 0BA | 0BC | 0BE |
| 0B9 | 0BB | 0BD | 0BF |
| 0E8 | 0EA | 0EC | 0EE |
| 0E9 | 0EB | 0ED | 0EF |
| 108 | 10A | 10C | 10E |
| 109 | 10B | 10D | 10F |
| 14F | 151 | 153 | 155 |
| 151 | 153 | 155 | 157 |
| 19F | 1A1 | 1A3 | 1A5 |
| 1A1 | 1A3 | 1A5 | 1A7 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 23E | 23F | 241 | 243 |
| 23F | 241 | 243 | 245 |
| 28E | 28F | 291 | 293 |
| 28F | 291 | 293 | 295 |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 020 | 022 | 024 | 026 |
| 021 | 023 | 025 | 027 |
| 070 | 072 | 074 | 076 |
| 071 | 073 | 075 | 077 |
| 0C0 | 0C2 | 0C4 | 0C6 |
| 0C1 | 0C3 | 0C5 | 0C7 |
| 110 | 112 | 114 | 116 |
| 111 | 113 | 115 | 117 |
| 154 | 156 | 158 | 160 |
| 155 | 157 | 159 | 161 |
| 19A | 19C | 19E | 19F |
| 19B | 19D | 19F | 1A1 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 238 | 23A | 23C | 23E |
| 239 | 23B | 23D | 23F |
| 288 | 28A | 28C | 28E |
| 289 | 28B | 28D | 28F |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 022 | 024 | 026 | 028 |
| 023 | 025 | 027 | 029 |
| 074 | 076 | 078 | 07A |
| 075 | 077 | 079 | 07B |
| 0C2 | 0C4 | 0C6 | 0C8 |
| 0C3 | 0C5 | 0C7 | 0C9 |
| 112 | 114 | 116 | 118 |
| 113 | 115 | 117 | 119 |
| 156 | 158 | 160 | 162 |
| 157 | 159 | 161 | 163 |
| 19C | 19E | 19F | 1A1 |
| 19D | 19F | 1A1 | 1A3 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 238 | 23A | 23C | 23E |
| 239 | 23B | 23D | 23F |
| 288 | 28A | 28C | 28E |
| 289 | 28B | 28D | 28F |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD | 2DF |
| 328 | 32A | 32C | 32E |
| 329 | 32B | 32D | 32F |
| 378 | 37A | 37C | 37E |
| 379 | 37B | 37D | 37F |
| 3C8 | 3CA | 3CC | 3CE |
| 3C9 | 3CB | 3CD | 3CF |
| 418 | 41A | 41C | 41E |
| 419 | 41B | 41D | 41F |
| 468 | 46A | 46C | 46E |
| 469 | 46B | 46D | 46F |
| 4B8 | 4BA | 4BC | 4BE |
| 4B9 | 4BB | 4BD | 4BF |
| 508 | 50A | 50C | 50E |
| 509 | 50B | 50D | 50F |
| 024 | 026 | 028 | 02A |
| 025 | 027 | 029 | 02B |
| 076 | 078 | 07A | 07C |
| 077 | 079 | 07B | 07D |
| 0C4 | 0C6 | 0C8 | 0CA |
| 0C5 | 0C7 | 0C9 | 0CB |
| 114 | 116 | 118 | 11A |
| 115 | 117 | 119 | 11B |
| 158 | 160 | 162 | 164 |
| 159 | 161 | 163 | 165 |
| 19E | 19F | 1A1 | 1A3 |
| 19F | 1A1 | 1A3 | 1A5 |
| 1EA | 1EC | 1EE | 1EF |
| 1EB | 1ED | 1EF | 1F1 |
| 238 | 23A | 23C | 23E |
| 239 | 23B | 23D | 23F |
| 288 | 28A | 28C | 28E |
| 289 | 28B | 28D | 28F |
| 2D8 | 2DA | 2DC | 2DE |
| 2D9 | 2DB | 2DD</ | |

前頁から続く

----- 39文字目

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 17行目 | 550 | 552 | 554 | 556 | 558 | 55A | 55C | 55E | 560 | 562 | 564 | 566 | 568 | 56A | 56C | 56E | 570 | 572 | 574 | 576 | 578 | 57A | 57C | 57E | 57F | 581 | 583 | 585 | 587 | 589 | 58B | 58D | 58F | 591 | 593 | 595 | 597 | 599 | 59B | 59D | 59F | | | | | | | | | | | | | | | |
| 18行目 | 5A0 | 5A2 | 5A4 | 5A6 | 5A8 | 5AA | 5AC | 5AE | 5B0 | 5B2 | 5B4 | 5B6 | 5B8 | 5BA | 5BC | 5BE | 5C0 | 5C2 | 5C4 | 5C6 | 5C8 | 5CA | 5CC | 5CE | 5D0 | 5D2 | 5D4 | 5D6 | 5D8 | 5DA | 5DC | 5DE | 5E0 | 5E2 | 5E4 | 5E6 | 5E8 | 5EA | 5EC | 5EE | | | | | | | | | | | | | | | | |
| 19行目 | 5F0 | 5F2 | 5F4 | 5F6 | 5F8 | 5FA | 5FC | 5FE | 600 | 602 | 604 | 606 | 608 | 60A | 60C | 60E | 610 | 612 | 614 | 616 | 618 | 61A | 61C | 61E | 620 | 622 | 624 | 626 | 628 | 62A | 62C | 62E | 630 | 632 | 634 | 636 | 638 | 63A | 63C | 63E | | | | | | | | | | | | | | | | |
| 20行目 | 640 | 642 | 644 | 646 | 648 | 64A | 64C | 64E | 650 | 652 | 654 | 656 | 658 | 65A | 65C | 65E | 660 | 662 | 664 | 666 | 668 | 66A | 66C | 66E | 670 | 672 | 674 | 676 | 678 | 67A | 67C | 67E | 680 | 682 | 684 | 686 | 688 | 68A | 68C | 68E | | | | | | | | | | | | | | | | |
| 21行目 | 690 | 692 | 694 | 696 | 698 | 69A | 69C | 69E | 6A0 | 6A2 | 6A4 | 6A6 | 6A8 | 6AA | 6AC | 6AE | 6B0 | 6B2 | 6B4 | 6B6 | 6B8 | 6BA | 6BC | 6BE | 6C0 | 6C2 | 6C4 | 6C6 | 6C8 | 6CA | 6CC | 6CE | 6D0 | 6D2 | 6D4 | 6D6 | 6D8 | 6DA | 6DC | 6DE | | | | | | | | | | | | | | | | |
| 22行目 | 6E0 | 6E2 | 6E4 | 6E6 | 6E8 | 6EA | 6EC | 6EE | 6F0 | 6F2 | 6F4 | 6F6 | 6F8 | 6FA | 6FC | 6FE | 700 | 702 | 704 | 706 | 708 | 70A | 70C | 70E | 710 | 712 | 714 | 716 | 718 | 71A | 71C | 71E | 720 | 722 | 724 | 726 | 728 | 72A | 72C | 72E | | | | | | | | | | | | | | | | |
| 23行目 | 730 | 732 | 734 | 736 | 738 | 73A | 73C | 73E | 740 | 742 | 744 | 746 | 748 | 74A | 74C | 74E | 750 | 752 | 754 | 756 | 758 | 75A | 75C | 75E | 760 | 762 | 764 | 766 | 768 | 76A | 76C | 76E | 770 | 772 | 774 | 776 | 778 | 77A | 77C | 77E | | | | | | | | | | | | | | | | |
| 24行目 | 780 | 782 | 784 | 786 | 788 | 78A | 78C | 78E | 790 | 792 | 794 | 796 | 798 | 79A | 79C | 79E | 7A0 | 7A2 | 7A4 | 7A6 | 7A8 | 7AA | 7AC | 7AE | 7B0 | 7B2 | 7B4 | 7B6 | 7B8 | 7BA | 7BC | 7BE | 7C0 | 7C2 | 7C4 | 7C6 | 7C8 | 7CA | 7CC | 7CE | | | | | | | | | | | | | | | | |
| | 7D0 | 7D2 | 7D4 | 7D6 | 7D8 | 7DA | 7DC | 7DE | 7E0 | 7E2 | 7E4 | 7E6 | 7E8 | 7EA | 7EC | 7EE | 7F0 | 7F2 | 7F4 | 7F6 | 7F8 | 7FA | 7FC | 7FE | 800 | 802 | 804 | 806 | 808 | 80A | 80C | 80E | 810 | 812 | 814 | 816 | 818 | 81A | 81C | 81E | 820 | 822 | 824 | 826 | 828 | 82A | 82C | 82E | 830 | 832 | 834 | 836 | 838 | 83A | 83C | 83E |

(16進表記)

注：図中の数字は表示RAMアドレス（CA10～CA0）に対応しています。
1文字を2アドレス（偶数アドレス(図中の上段)16ビット+奇数アドレス(図中の下段)8ビット）で設定します。

図2.15.7 アドレスマップ(2) (続き)

テレテキストG1キャラクタ表示

表示RAMのフォントRAMビット(C7～C0)に文字コード00₁₆を設定することにより、テレテキストG1キャラクタを表示することができます。

フォントRAMビット(C7～C0)に00₁₆を設定した場合は、SYRAM設定は無効になりG1キャラクタビット(G0～G5)、およびG1キャラクタ形式ビット(G6)によりG1キャラクタ設定を行います。この場合フォントRAMコード00₁₆(フォントRAMアドレス000₁₆～009₁₆)にはオール“0”を設定してください。

G1キャラクタ表示時の表示RAM構成を図2.15.8に示します。

| | | | | | | | | | | | | | | | | |
|--------|------|------|------|------|-------|------|-----|-----|------------|------------|------------|-----------|--------------|--------------|--------------|--------------|
| 偶数アドレス | CD15 | CD14 | CD13 | CD12 | CD11 | CD10 | CD9 | CD8 | CD7 | CD6 | CD5 | CD4 | CD3 | CD2 | CD1 | CD0 |
| | - | BB | BG | BR | BLINK | CB | CG | CR | 0 (C7) | 0 (C6) | 0 (C5) | 0 (C4) | 0 (C3) | 0 (C2) | 0 (C1) | 0 (C0) |
| 奇数アドレス | CD15 | CD14 | CD13 | CD12 | CD11 | CD10 | CD9 | CD8 | CD7 | CD6 | CD5 | CD4 | CD3 | CD2 | CD1 | CD0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | G6 (SB) | G5 (SG) | G4 (SR) | - | G3 (SYC3) | G2 (SYC2) | G1 (SYC1) | G0 (SYC0) |

| ビット | ビット名 | 機能 |
|----------|---------------|---|
| 0(C0) | フォントRAMビット | テレテキストG1キャラクタを表示する場合は00 ₁₆ を設定してください。 その時、フォントRAM(00 ₁₆)はスペースを設定してください。 |
| 0(C1) | | |
| 0(C2) | | |
| 0(C3) | | |
| 0(C4) | | |
| 0(C5) | | |
| 0(C6) | | |
| 0(C7) | | |
| CR | G1キャラクタ文字色ビット | G1キャラクタ文字色の色コードを設定します。 |
| CG | | |
| CB | | |
| BLINK | ブリンクビット | 0: ブリンク(点滅)しません。 1: ブリンク(点滅)します。 |
| BR | G1キャラクタ背景色ビット | G1キャラクタ文字背景色の色コードを設定します。 |
| BG | | |
| BB | | |
| - | - | 必ず“0”に固定してください。 |
| G0(SYC0) | G1キャラクタビット(1) | G0～G5により表示するG1キャラクタを設定します。 (次頁を参照してください。) |
| G1(SYC1) | | |
| G2(SYC2) | | |
| G3(SYC3) | | |
| - | - | 必ず“0”に固定してください。 |
| G4(SR) | G1キャラクタビット(2) | G0～G5により表示するG1キャラクタを設定します。 (次頁を参照してください。) |
| G5(SG) | | |
| G6(SB) | G1キャラクタ形式ビット | 0: contiguous form (次頁を参照して下さい) 1: separated form |

図2.15.8 表示RAMビット構成 (G1キャラクタ表示時)

G1キャラクタ構成

G1キャラクタは表示RAMのG1キャラクタビット(G0～G5)、およびG1キャラクタ形式ビット(G6)により設定します。G1キャラクタ構成を図2.15.9に示します。G1キャラクタは図2.15.9のように6ブロックに分割されており、G0～G5によりブロックごとにキャラクタの有無を設定します。G0～G5の組み合わせにより64種類のG1キャラクタが表示できます。又、G6によりG1キャラクタ形式を設定できます。

設定例を図2.15.10に示します。

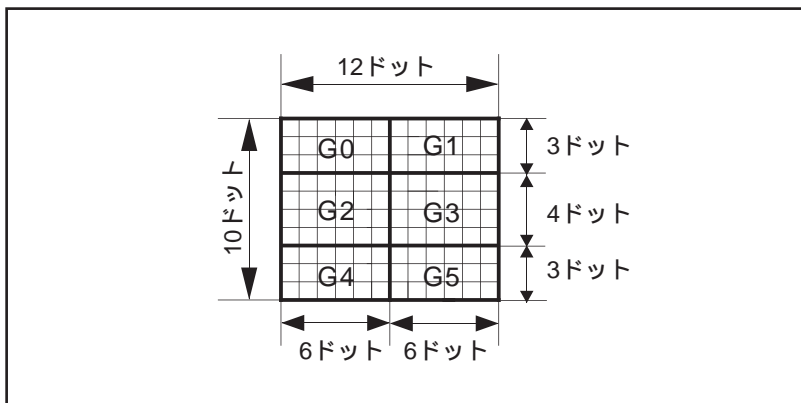


図2.15.9 G1キャラクタ構成

| | 例1 : G0,G1,G5=1,G2,G3,G4=0 | 例2 : G3,G4=1,G0,G1,G2,G5=0 |
|---------------------------|----------------------------|----------------------------|
| G6=0 (Contiguous form) | | |
| G6=1 (Separated form) | | |

図2.15.10 G1キャラクタ設定例

なお、フォントRAMコード00₁₆を通常の表示キャラクタとして使用する場合はG0～G5をオール“0”に設定してください。ただし、SYRAMは表示できません。

2.15.4 フォントRAM

水平方向12ドット×垂直方向10ドット構成のキャラクタフォントをフォントRAMコード0016～FF16（255種類、7F16はblank）に設定します。1キャラクタ分の設定は10アドレス構成（12ビット×10アドレス）となっています。

設定したキャラクタは表示RAMのフォントRAMビットにフォントRAMコードを指定することにより表示します。フォントRAMコード0016はテレテキストG1キャラクタ対応となっています。また、フォントRAMコード7F16はblankで固定されているため本コードには字体フォントの設定はできません。

フォントRAM構成を表2.15.4に示します。

表2.15.4 フォントRAM構成

| フォントRAMアドレス (FA11～FA0) | FD11 | FD10 | FD9 | FD8 | FD7 | FD6 | FD5 | FD4 | FD3 | FD2 | FD1 | FD0 | 備考 |
|---|--|--|--|--|--|--|--|--|--|--|--|--|--------------------------------------|
| 0016 00116 00216 00316 00416 00516 00616 00716 00816 00916 | F0B F1B F2B F3B F4B F5B F6B F7B F8B F9B | F0A F1A F2A F3A F4A F5A F6A F7A F8A F9A | F09 F19 F29 F39 F49 F59 F69 F79 F89 F99 | F08 F18 F28 F38 F48 F58 F68 F78 F88 F98 | F07 F17 F27 F37 F47 F57 F67 F77 F87 F97 | F06 F16 F26 F36 F46 F56 F66 F76 F86 F96 | F05 F15 F25 F35 F45 F55 F65 F75 F85 F95 | F04 F14 F24 F34 F44 F54 F64 F74 F84 F94 | F03 F13 F23 F33 F43 F53 F63 F73 F83 F93 | F02 F12 F22 F32 F42 F52 F62 F72 F82 F92 | F01 F11 F21 F31 F41 F51 F61 F71 F81 F91 | F00 F10 F20 F30 F40 F50 F60 F70 F80 F90 | フォントRAMコード(0016) |
| 00A16 00F16 | 未使用領域 | | | | | | | | | | | | |
| 01016 01916 | F0B F9B | F0A F9A | F09 F99 | F08 F98 | F07 F97 | F06 F96 | F05 F95 | F04 F94 | F03 F93 | F02 F92 | F01 F91 | F00 F90 | フォントRAMコード(0116) |
| 02016 FD916 | : | | | | | | | | | | | | フォントRAMコード(0216) フォントRAMコード(FD16) |
| FE016 FE916 | F0B F9B | F0A F9A | F09 F99 | F08 F98 | F07 F97 | F06 F96 | F05 F95 | F04 F94 | F03 F93 | F02 F92 | F01 F91 | F00 F90 | フォントRAMコード(FE16) |
| FF016 FF916 | F9B F9B | F0A F9A | F09 F99F | F08 F98F | F07 F97 | F06 F96 | F05 F95 | F04 F94 | F03 F93 | F02 F92 | F01 F91 | F00 F90 | フォントRAMコード(FF16) |

フォントRAMデータへのアクセスはフォントRAMアドレス制御レジスタ（020616番地）に表2.15.4のアクセスするアドレス（FA11～FA0）を設定し、続けてフォントRAMデータ制御レジスタ（020816番地）よりデータ（FD11～FD0）を書き込みます。データのアクセスが終わるとフォントRAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。各文字コード間の未使用領域（xA16～xF16番地）にはアクセスしないでください。ただし、連続でデータを書き込んだ場合は未使用領域を飛び越してアドレスを自動インクリメントします。（例：00916番地から01016番地へ自動インクリメント）

図2.15.11にフォント構成を、図2.15.12に設定例を、図2.15.13にフォントRAMアクセス関連レジスタを、図2.15.14にフォントRAMアクセスブロック図を示します。

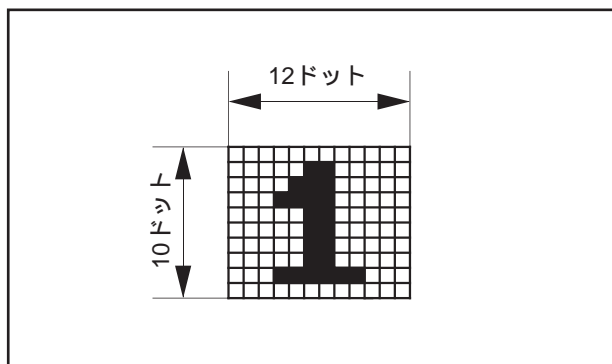


図2.15.11 フォント構成

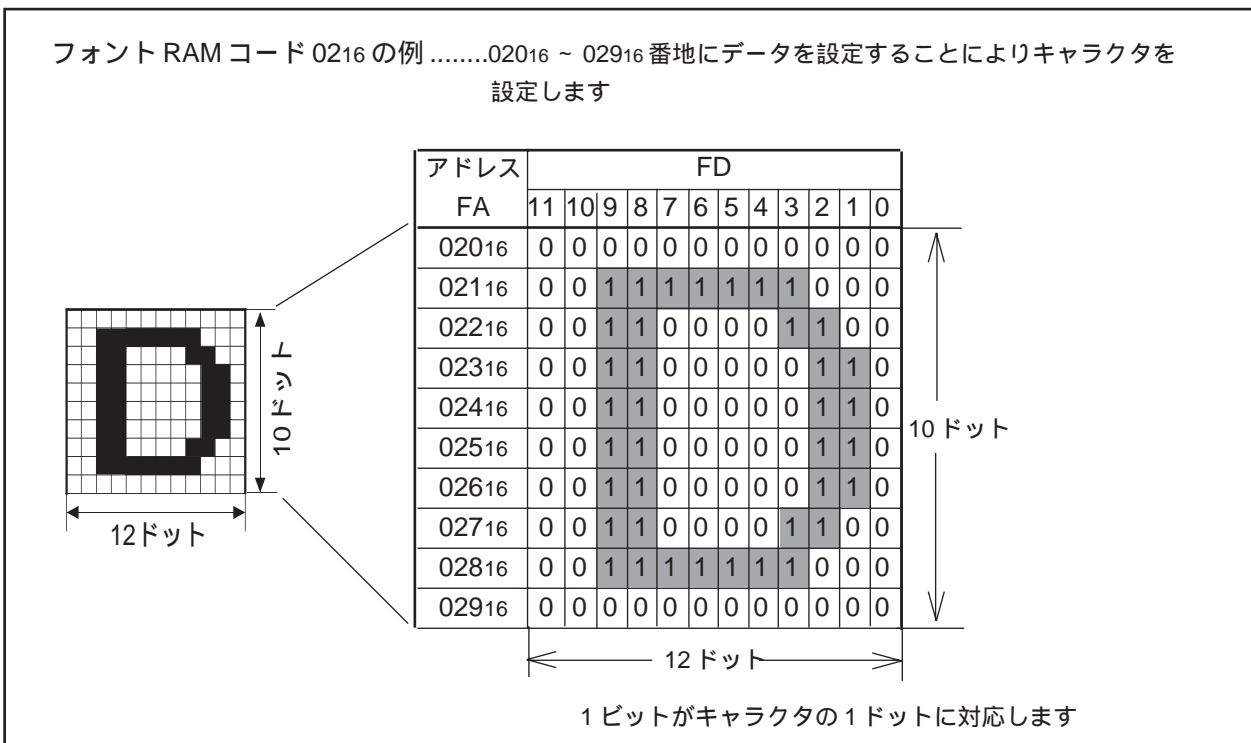


図2.15.12 フォントRAM設定例

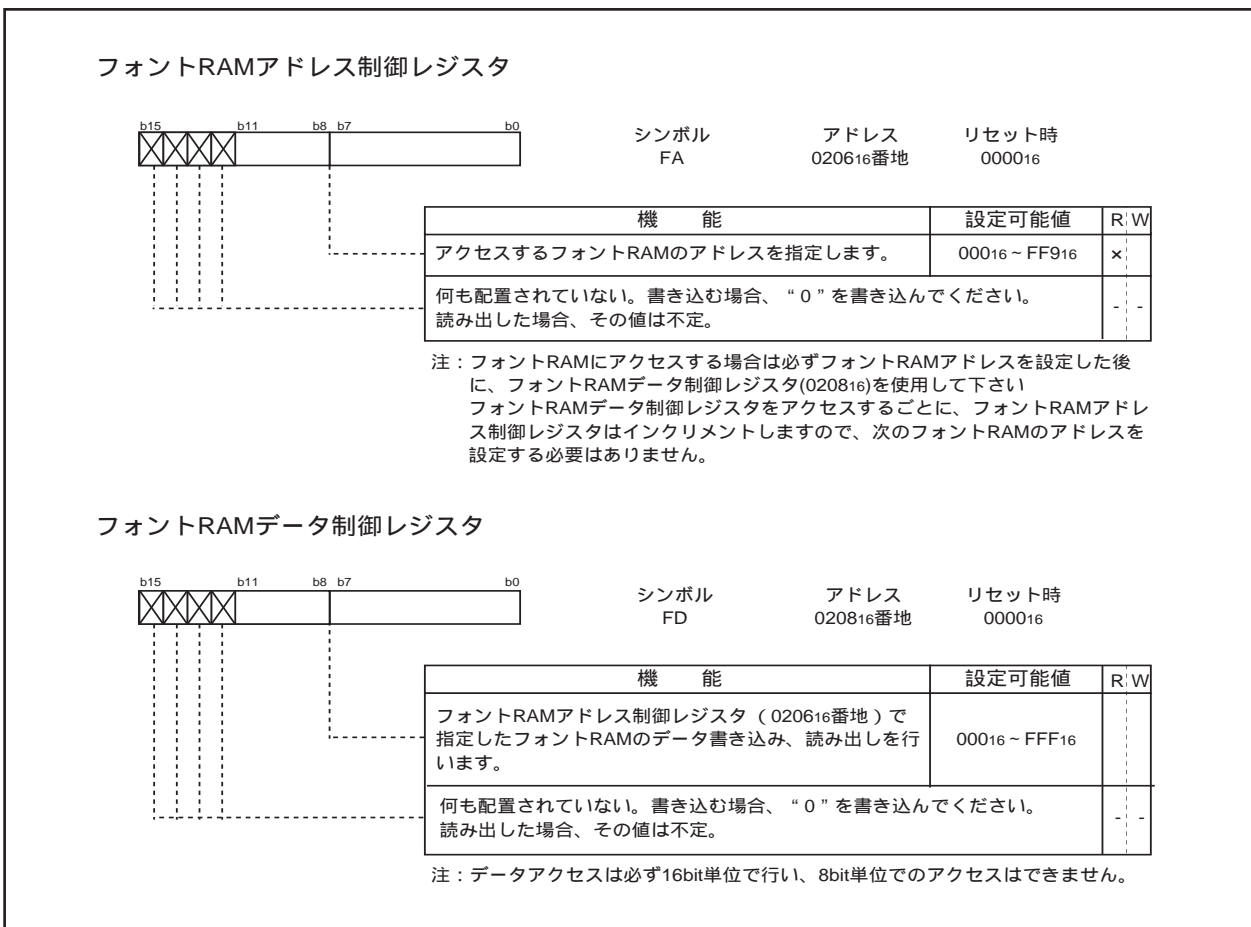


図2.15.13 フォントRAMアクセス関連レジスタの構成

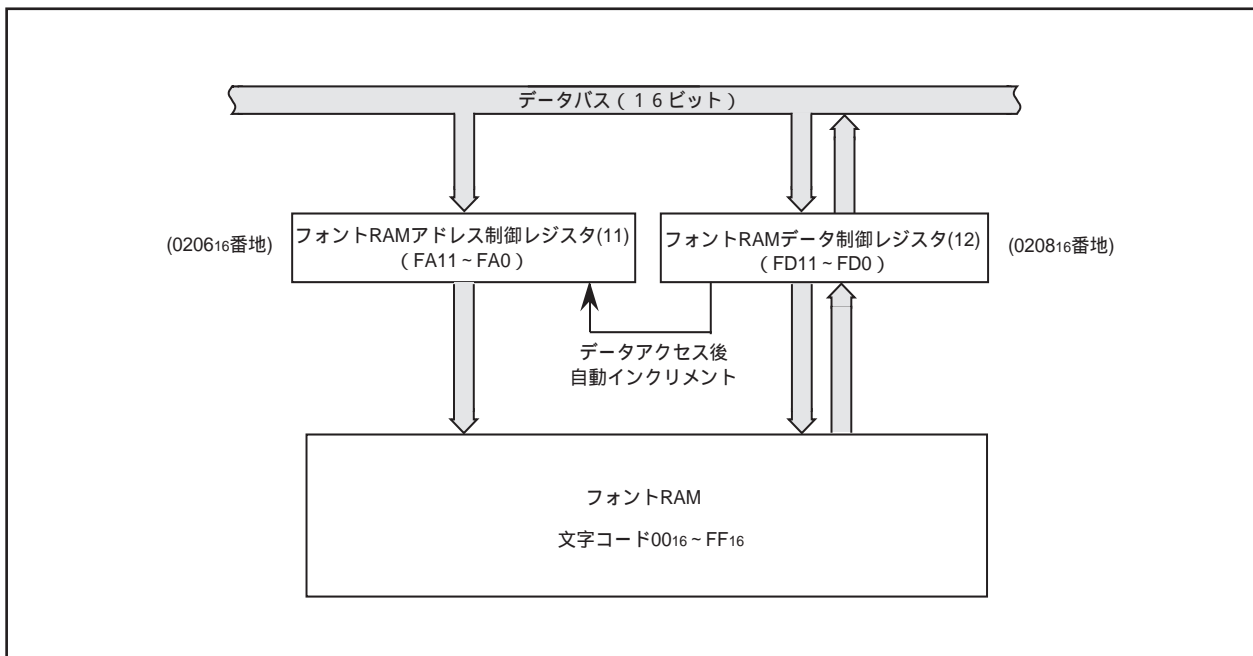


図2.15.14 フォントRAMアクセスブロック図

2.15.5 SYRAM

画面ごとに水平方向12ドット×垂直方向10ドット構成の合成用キャラクタをSYRAMコード016～E16（15種類）に設定します。

設定した合成用キャラクタは表示RAMのSYRAMビットにSYRAMコードを指定することにより、フォントRAMと合成されます。なお、SYRAMコードF16はブランクで固定されているため本コードには字体フォントの設定はできません。SYRAMをフォントRAMに合成しない場合は表示RAMのSYRAMビットにF16を設定してください。

表2.15.5にSYRAM構成を示します。

表2.15.5 SYRAM構成

| フォントRAMアドレス (FA10～FA0) | YD12 | YD11 | YD10 | YD9 | YD8 | YD7 | YD6 | YD5 | YD4 | YD3 | YD2 | YD1 | YD0 | 備考 |
|---------------------------|-------|------|------|------|------|------|------|------|------|------|------|------|------|-------------------------------------|
| 0016 | SYEX0 | SY0B | SY0A | SY09 | SY08 | SY07 | SY06 | SY05 | SY04 | SY03 | SY02 | SY01 | SY00 | SYRAMコード(016) |
| 0116 | SYEX1 | SY1B | SY1A | SY19 | SY18 | SY17 | SY16 | SY15 | SY14 | SY13 | SY12 | SY11 | SY10 | |
| 0216 | SYEX2 | SY2B | SY2A | SY29 | SY28 | SY27 | SY26 | SY25 | SY24 | SY23 | SY22 | SY21 | SY20 | |
| 0316 | SYEX3 | SY3B | SY3A | SY39 | SY38 | SY37 | SY36 | SY35 | SY34 | SY33 | SY32 | SY31 | SY30 | |
| 0416 | SYEX4 | SY4B | SY4A | SY49 | SY48 | SY47 | SY46 | SY45 | SY44 | SY43 | SY42 | SY41 | SY40 | |
| 0516 | SYEX5 | SY5B | SY5A | SY59 | SY58 | SY57 | SY56 | SY55 | SY54 | SY53 | SY52 | SY51 | SY50 | |
| 0616 | SYEX6 | SY6B | SY6A | SY69 | SY68 | SY67 | SY66 | SY65 | SY64 | SY63 | SY62 | SY61 | SY60 | |
| 0716 | SYEX7 | SY7B | SY7A | SY79 | SY78 | SY77 | SY76 | SY75 | SY74 | SY73 | SY72 | SY71 | SY70 | |
| 0816 | SYEX8 | SY8B | SY8A | SY89 | SY88 | SY87 | SY86 | SY85 | SY84 | SY83 | SY82 | SY81 | SY80 | |
| 0916 | SYEX9 | SY9B | SY9A | SY99 | SY98 | SY97 | SY96 | SY95 | SY94 | SY93 | SY92 | SY91 | SY90 | |
| 0A16 ↓ 0F16 | 未使用領域 | | | | | | | | | | | | | |
| 1016 | SYEX0 | SY0B | SY0A | SY09 | SY08 | SY07 | SY06 | SY05 | SY04 | SY03 | SY02 | SY01 | SY00 | SYRAMコード(116) |
| ↓ 1916 | SYEX9 | SY9B | SY9A | SY99 | SY98 | SY97 | SY96 | SY95 | SY94 | SY93 | SY92 | SY91 | SY90 | |
| 2016 ↓ C916 | : | | | | | | | | | | | | | SYRAMコード(216) ↓ SYRAMコード(C16) |
| D016 | SYEX0 | SY0B | SY0A | SY09 | SY08 | SY07 | SY06 | SY05 | SY04 | SY03 | SY02 | SY01 | SY00 | SYRAMコード(D16) |
| ↓ D916 | SYEX9 | SY9B | SY9A | SY99 | SY98 | SY97 | SY96 | SY95 | SY94 | SY93 | SY92 | SY91 | SY90 | |
| E016 | SYEX0 | SY9B | SY0A | SY09 | SY08 | SY07 | SY06 | SY05 | SY04 | SY03 | SY02 | SY01 | SY00 | SYRAMコード(E16) |
| ↓ E916 | SYEX9 | SY9B | SY9A | SY99 | SY98 | SY97 | SY96 | SY95 | SY94 | SY93 | SY92 | SY91 | SY90 | |

SYRAMデータへのアクセスはSYRAMアドレス制御レジスタ（020A16番地）に表2.15.5のアクセスするアドレス（YA7～YA0）を設定し、続けてSYRAMデータ制御レジスタ（020C16番地）よりデータ（YD12～YD0）を書き込みます。データの読み出しが終わるとSYRAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。各文字コード間の未使用領域（xA16～xF16番地）にはアクセスしないでください。ただし、連続でデータを書き込んだ場合は未使用領域を飛び越してアドレスを自動インクリメントします。（例：0916番地から1016番地へ自動インクリメント）

図2.15.15に設定例を、図2.15.16にSYRAMアクセス関連の構成を、図2.15.17にSYRAMアクセスブロック図を示します。

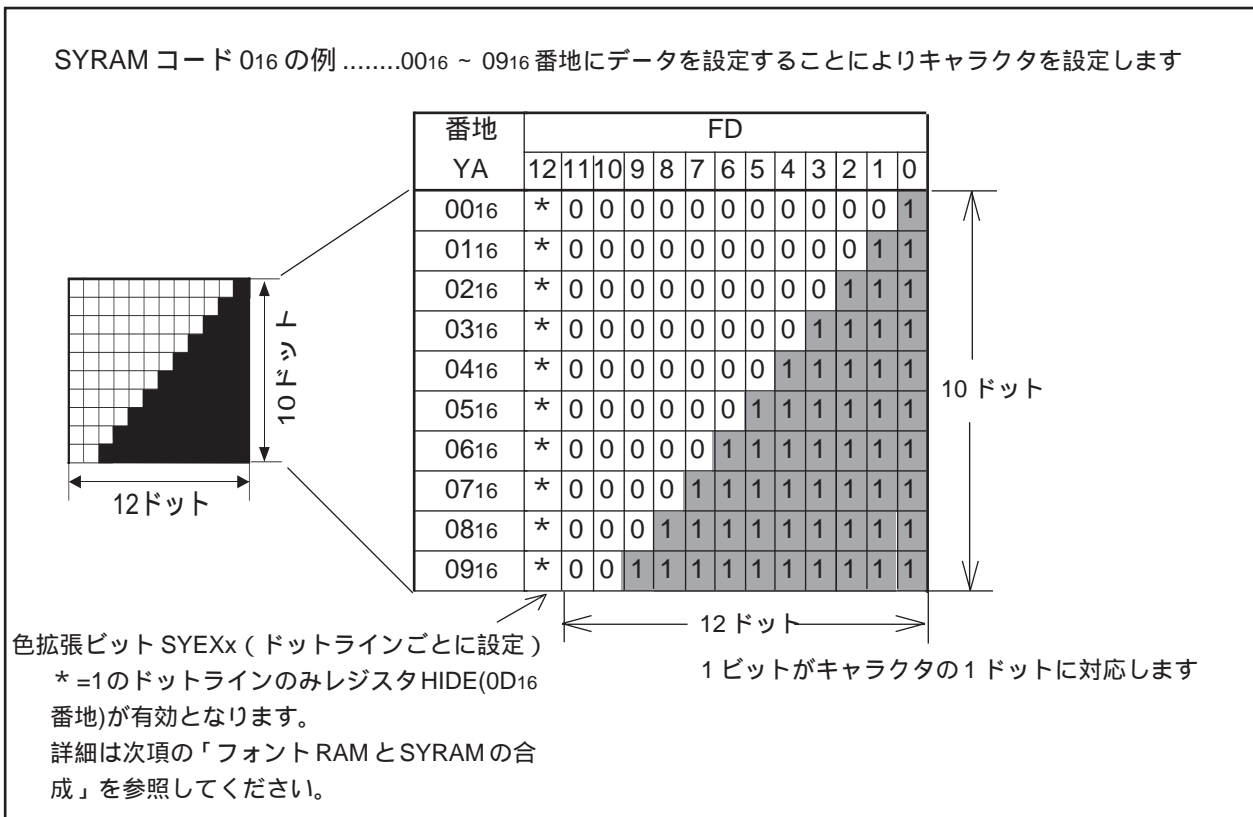


図2.15.15 SYRAM設定例

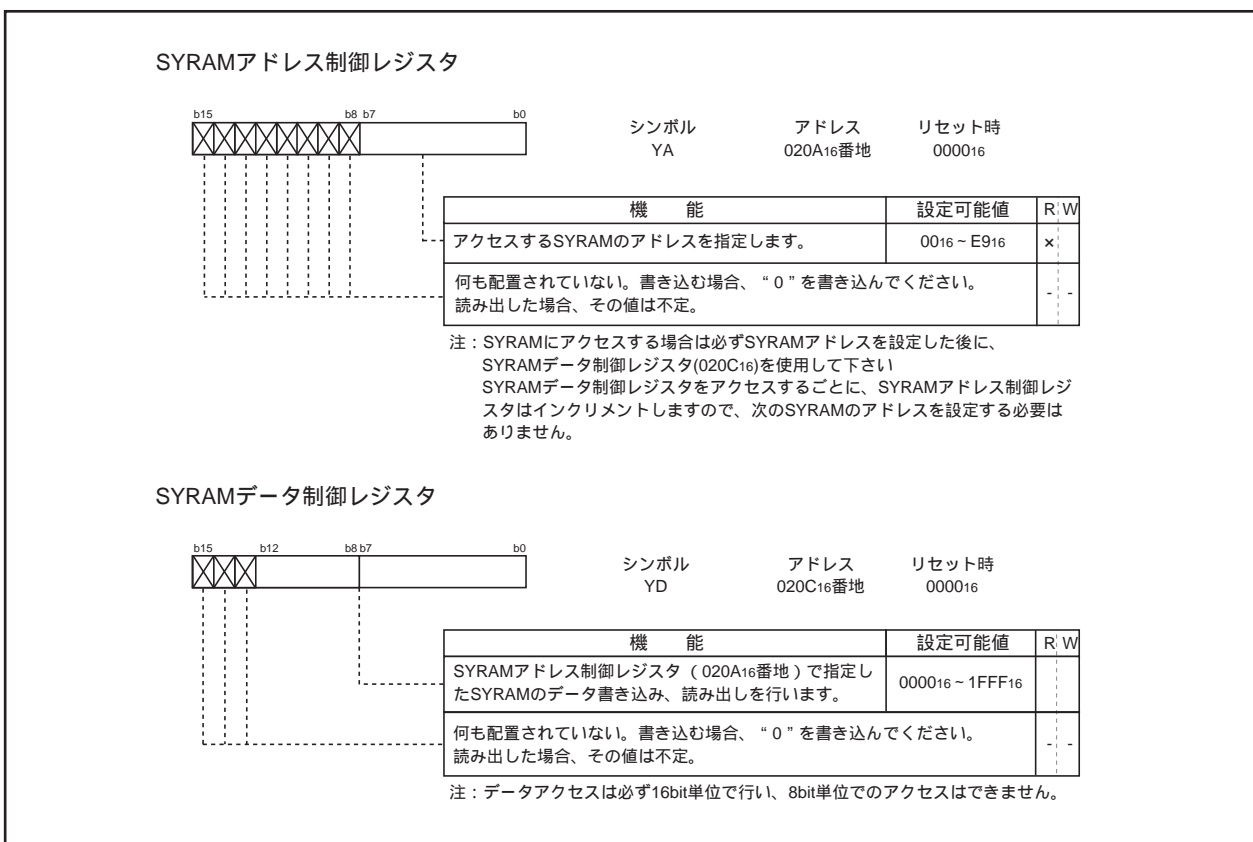


図2.15.16 SYRAMアクセス関連レジスタの構成

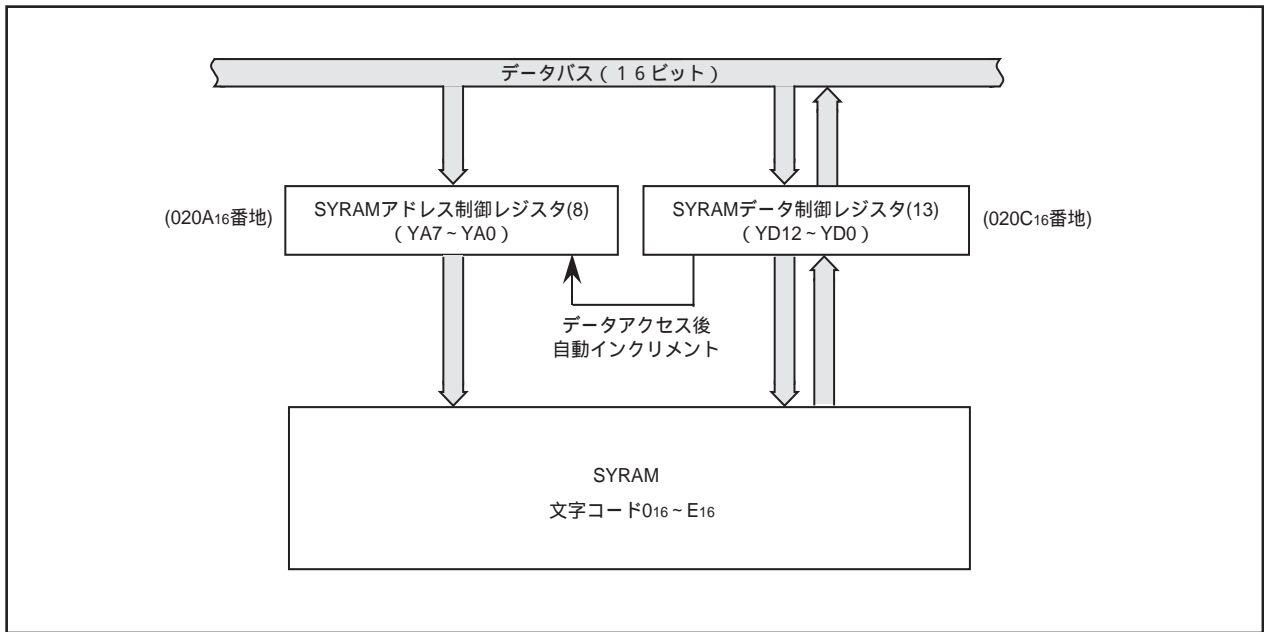


図2.15.17 SYRAMアクセスブロック図

フォントRAMとSYRAMの合成

フォントRAMのキャラクタにSYRAMを合成することができます。

合成する方法は、色拡張ビットSYEXxとレジスタHIDE(0D₁₆番地)の内容によって決まります。

SYEXxが“0”のドットラインはレジスタHIDEの内容に関係なくSYRAMの色が表示用RAMのSR、SG、SBで設定されます。

レジスタHIDEの内容が“0”のときはSYEXxが“1”のドットラインのSYRAMの色がレジスタLINER、LINEG、LINEB(0E₁₆番地)で設定されます。

レジスタHIDEの内容が“1”のときはHIDEモードで、SYEXxが“1”のドットラインのフォントRAM部分が内容、色に関係なくレジスタLINER、LINEG、LINEBで設定された色で上書きされます。SYRAM部分の色はSYEXxが“0”のドットラインと同様に、表示用RAMのSR、SG、SBで設定されます。

図2.15.18にそれぞれの合成例を示します。

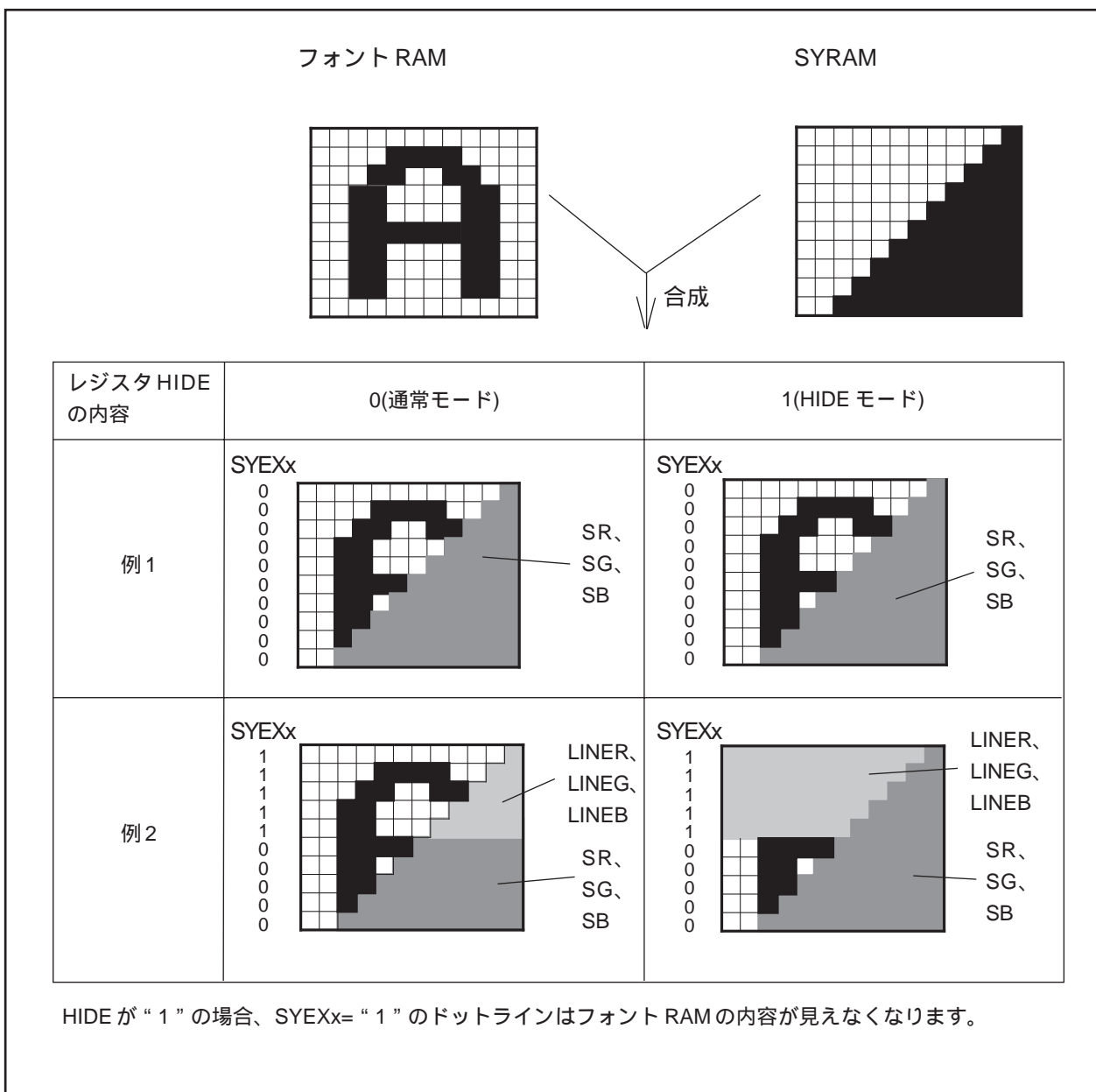


図2.15.18 合成例

2.15.6 スライスRAM

18ライン分のスライスデータを格納します。スライスデータにはPDC,VPS,VBIの3種類があります。それぞれのデータは全てスライスするラインに対応したアドレス（例えば22ライン目のデータは200₁₆～217₁₆番地）に格納されます。1ラインにつきSR00x～SR17xまでの24アドレス（16ビット/1アドレス）が用意されており、スライスデータはLSB側から順に格納されます。なお各ラインの先頭アドレス（SR00x）にはスライスデータの種類とフィールド情報が格納されています。スライスRAM構成を表2.15.6に示します。

表2.15.6 スライスRAM構成

| スライスRAMアドレス (SA9-SA0) | SD15 | SD14 | SD13 | SD12 | SD11 | SD10 | SD9 | SD8 | SD7 | SD6 | SD5 | SD4 | SD3 | SD2 | SD1 | SD0 | 備考 |
|---|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------|
| 000 ₁₆ 001 ₁₆ ⋮ 016 ₁₆ 017 ₁₆ | SR00F SR01F ⋮ SR16F SR17F | SR00E SR01E ⋮ SR16E SR17E | SR00D SR01D ⋮ SR16D SR17D | SR00C SR01C ⋮ SR16C SR17C | SR00B SR01B ⋮ SR16B SR17B | SR00A SR01A ⋮ SR16A SR17A | SR009 SR019 ⋮ SR169 SR179 | SR008 SR018 ⋮ SR168 SR178 | SR007 SR017 ⋮ SR167 SR177 | SR006 SR016 ⋮ SR166 SR176 | SR005 SR015 ⋮ SR165 SR175 | SR004 SR014 ⋮ SR164 SR174 | SR003 SR013 ⋮ SR163 SR173 | SR002 SR012 ⋮ SR162 SR172 | SR001 SR011 ⋮ SR161 SR171 | SR000 SR010 ⋮ SR160 SR170 | 6ラインor 318ライン スライスデータ |
| 018 ₁₆ ⋮ 01F ₁₆ | 未使用領域 | | | | | | | | | | | | | | | | |
| 020 ₁₆ ⋮ 037 ₁₆ | SR00F ⋮ SR17F | SR00E ⋮ SR17E | SR00D ⋮ SR17D | SR00C ⋮ SR17C | SR00B ⋮ SR17B | SR00A ⋮ SR17A | SR009 ⋮ SR179 | SR008 ⋮ SR178 | SR007 ⋮ SR177 | SR006 ⋮ SR176 | SR005 ⋮ SR175 | SR004 ⋮ SR174 | SR003 ⋮ SR173 | SR002 ⋮ SR172 | SR001 ⋮ SR171 | SR000 ⋮ SR170 | 7ラインor 319ライン スライスデータ |
| 040 ₁₆ ⋮ 1F7 ₁₆ | ⋮ | | | | | | | | | | | | | | | | |
| 200 ₁₆ ⋮ 217 ₁₆ | SR00F ⋮ SR17F | SR00E ⋮ SR17E | SR00D ⋮ SR17D | SR00C ⋮ SR17C | SR00B ⋮ SR17B | SR00A ⋮ SR17A | SR009 ⋮ SR179 | SR008 ⋮ SR178 | SR007 ⋮ SR177 | SR006 ⋮ SR176 | SR005 ⋮ SR175 | SR004 ⋮ SR174 | SR003 ⋮ SR173 | SR002 ⋮ SR172 | SR001 ⋮ SR171 | SR000 ⋮ SR170 | 22ラインor 334ライン スライスデータ |
| 220 ₁₆ ⋮ 237 ₁₆ | SR00F ⋮ SR17F | SR00E ⋮ SR17E | SR00D ⋮ SR17D | SR00C ⋮ SR17C | SR00B ⋮ SR17B | SR00A ⋮ SR17A | SR009 ⋮ SR179 | SR008 ⋮ SR178 | SR007 ⋮ SR177 | SR006 ⋮ SR176 | SR005 ⋮ SR175 | SR004 ⋮ SR174 | SR003 ⋮ SR173 | SR002 ⋮ SR172 | SR001 ⋮ SR171 | SR000 ⋮ SR170 | 23ラインor 335ライン スライスデータ |

データのアクセスはスライスRAMアドレス制御レジスタ（020E₁₆番地）に表2.15.6の必要なアドレス(SA)を設定し、続けてスライスRAMデータ制御レジスタ（0210₁₆番地）よりデータを読み出します。

データの読み出しが終わるとスライスRAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを読み出すことができます。各ラインデータ間の未使用領域にはアクセスしないでください。未使用領域はアドレスの自動インクリメントを行いませんので、各ラインごとに必ずアドレスを設定してください。

図2.15.19にスライスRAMビット構成を、図2.15.20にスライスRAMアクセス関連レジスタの構成を、図2.15.21にスライスRAMアクセスブロック図を示します。

スライスRAMビット構成

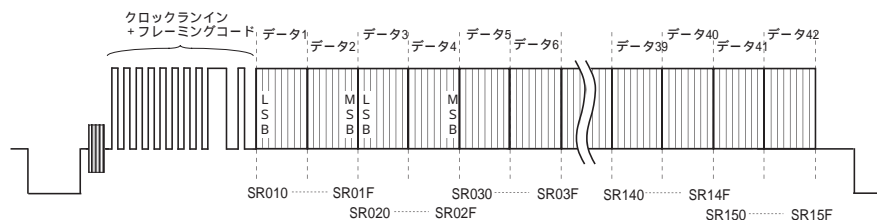
スライスするラインに対応したアドレスの各先頭アドレスは次のスライス情報を格納しています。

| | SR00F ~ SR004 | SR003 | SR002 | SR001 | SR000 |
|-----|---------------|-------|-------|-------|-------|
| PDC | 0 | フィルド* | 0 | 0 | 1 |
| VPS | 0 | フィルド* | 0 | 1 | 0 |
| VBI | 0 | フィルド* | 1 | 0 | 0 |
| その他 | 0 | 0 | 0 | 0 | 0 |

*) フィールド
第1フィールド: 1
第2フィールド: 0

(1).PDC

PDCデータの場合、1アドレスに16ビット(2データ)をLSB側から格納します。



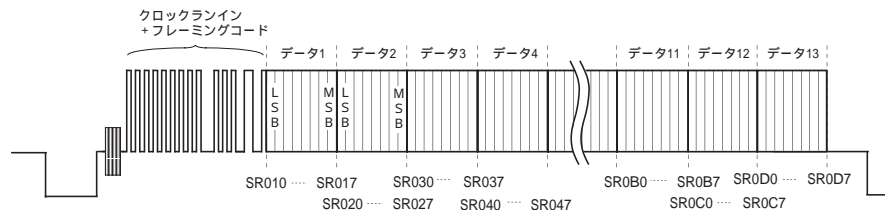
SR16x, SR17xは未使用領域です。

(2).VPS

VPSデータ及びVBIデータの場合は1アドレスに8ビット(1データ)をLSB側から格納します。

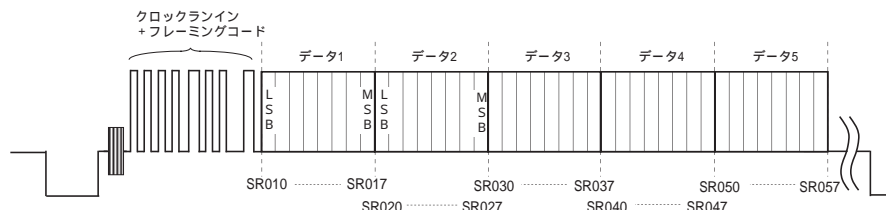
下位8ビットはスライスデータを格納し、上位8ビットは送られてきたデータがパイフェーズ形式として認識できなかった場合のワーニングビットとなっています。

このワーニングビットはパイフェーズデータ="1,0"または"0,1" (パイフェーズ形式)の場合は"0"となり、パイフェーズデータ="0,0"または"1,1" (パイフェーズ形式ではない)の場合は"1"となります。(例えばSR011のパイフェーズデータが"0,0"または"1,1"の場合はSR019に"1"がたちます。)



SR0Ex ~ SR17xは未使用領域です。

(3).VBI



SR06x ~ SR17xは未使用領域です。

図2.15.19 スライスRAMビット構成

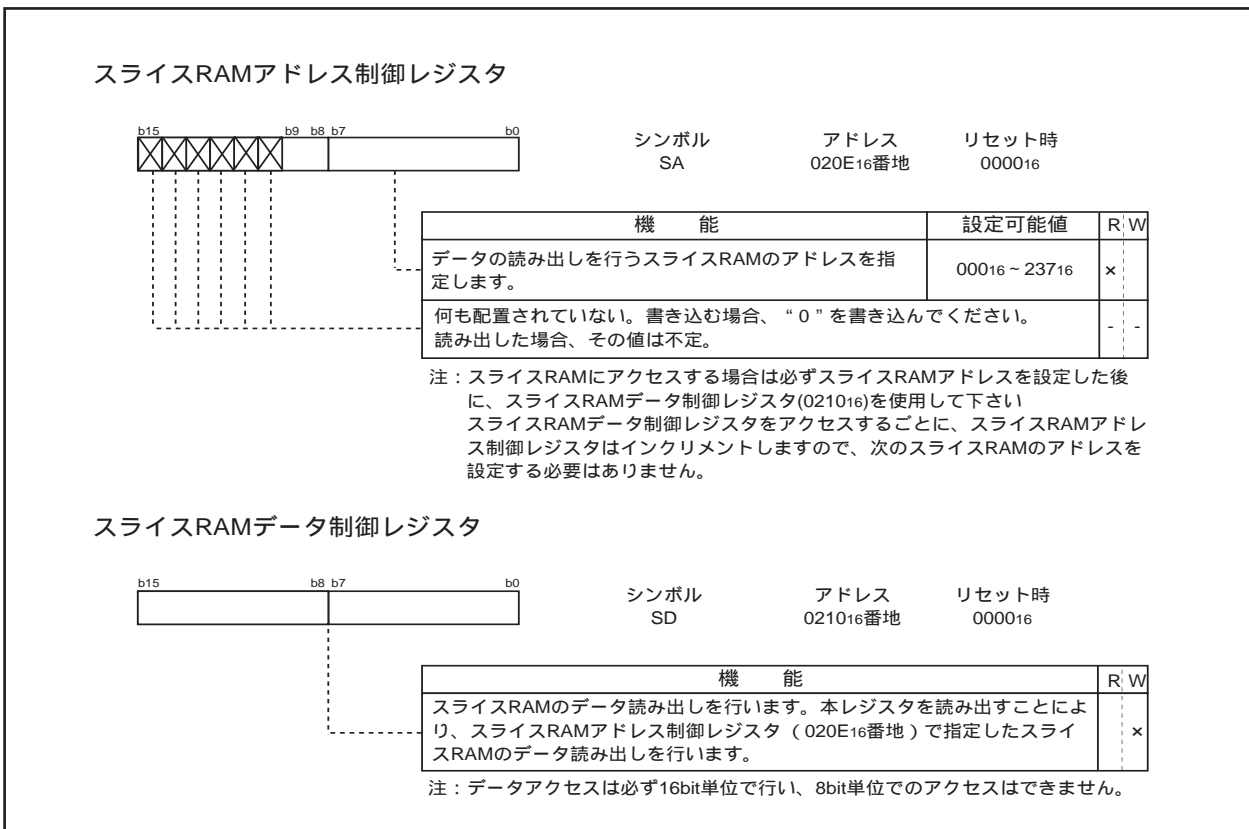


図2.15.20 スライスRAMアクセス関連レジスタの構成

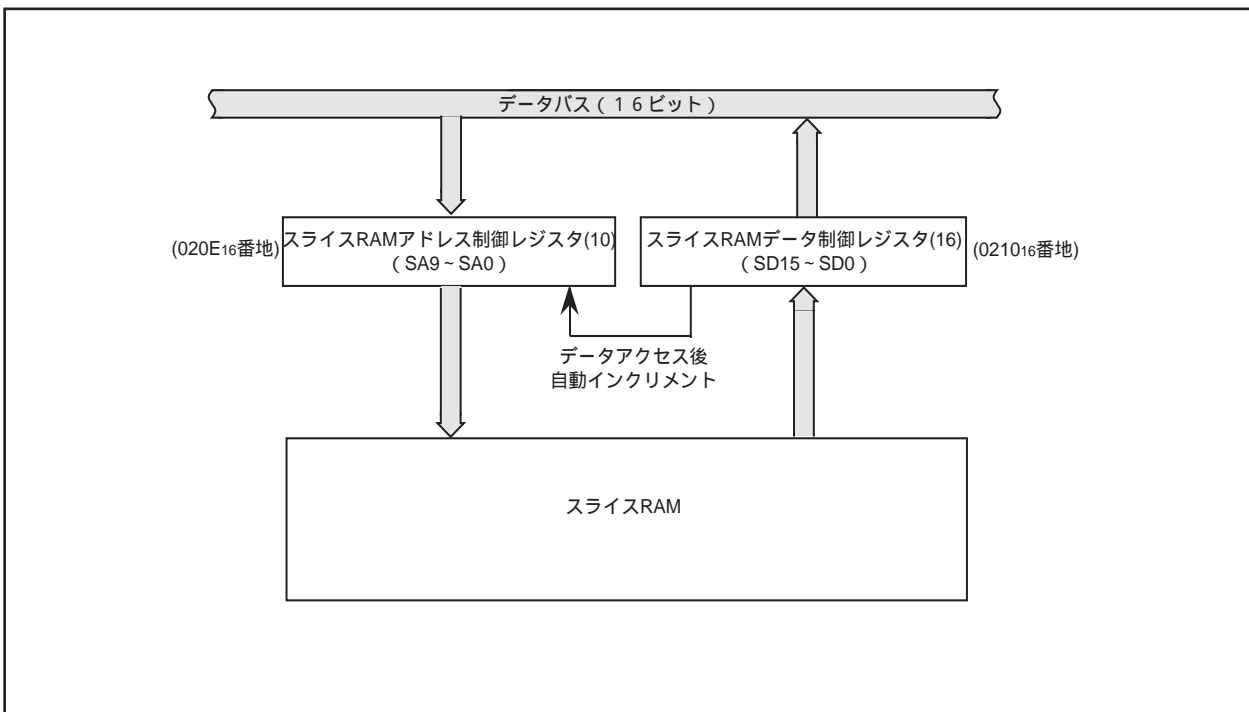


図2.15.21 スライスRAMアクセスブロック図

2.15.7 VBIRAM

18ライン分のVBIエンコードデータを設定します。1ライン分のデータは5アドレス(8ビット×5)構成となっており、LSB側から順にバイフェーズ形式で出力されます。なお、00₁₆番地～04₁₆番地では各ライン共通のヘッダー(クロックライン、フレーミングコード)の出力パターンをNRZ形式で指定します。

表2.15.7にVBIRAM構成を、図2.15.22にVBIエンコードデータ構成を示します。

表2.15.7 VBIRAM構成

| VBIRAMアドレス (EA6~EA0) | ED7 | ED6 | ED5 | ED4 | ED3 | ED2 | ED1 | ED0 | 機能 |
|----------------------|------|------|------|------|------|------|------|------|---|
| 00 ₁₆ | VF07 | VF06 | VF05 | VF04 | VF03 | VF02 | VF01 | VF00 | クロックライン、フレーミングコードのパターンを指定します。1ビットが1Tに対応しています。(最大40ビット)各ラインでデータの前に出力されます。(各ライン共通です。) |
| 01 ₁₆ | VF17 | VF16 | VF15 | VF14 | VF13 | VF12 | VF11 | VF10 | |
| 03 ₁₆ | VF37 | VF36 | VF35 | VF34 | VF33 | VF32 | VF31 | VF30 | |
| 04 ₁₆ | VF47 | VF46 | VF45 | VF44 | VF43 | VF42 | VF41 | VF40 | |
| 05 ₁₆ | VR07 | VR06 | VR05 | VR04 | VR03 | VR02 | VR01 | VF00 | 6ライン、318ラインの出力データを指定します。1ビットがバイフェーズの1ビット(4T)に対応しています。 |
| 06 ₁₆ | VR17 | VR16 | VR15 | VR14 | VR13 | VR12 | VR11 | VF10 | |
| 08 ₁₆ | VR37 | VR36 | VR35 | VR34 | VR33 | VR32 | VR31 | VF30 | |
| 09 ₁₆ | VR47 | VR46 | VR45 | VR44 | VR43 | VR42 | VR41 | VF40 | |
| 0A ₁₆ | VR07 | VR06 | VR05 | VR04 | VR03 | VR02 | VR01 | VF00 | 7ライン、319ラインの出力データを指定します。1ビットがバイフェーズの1ビット(4T)に対応しています。 |
| 0E ₁₆ | VR47 | VR46 | VR45 | VR44 | VR43 | VR42 | VR41 | VF40 | |
| ⋮ | | | | | | | | | |
| ⋮ | | | | | | | | | |
| 55 ₁₆ | VR07 | VR06 | VR05 | VR04 | VR03 | VR02 | VR01 | VF00 | 22ライン、334ラインの出力データを指定します。1ビットがバイフェーズの1ビット(4T)に対応しています。 |
| 59 ₁₆ | VR47 | VR46 | VR45 | VR44 | VR43 | VR42 | VR41 | VF40 | |
| 5A ₁₆ | VR07 | VR06 | VR05 | VR04 | VR03 | VR02 | VR01 | VF00 | 23ライン、335ラインの出力データを指定します。1ビットがバイフェーズの1ビット(4T)に対応しています。 |
| 5E ₁₆ | VR47 | VR46 | VR45 | VR44 | VR43 | VR42 | VR41 | VF40 | |

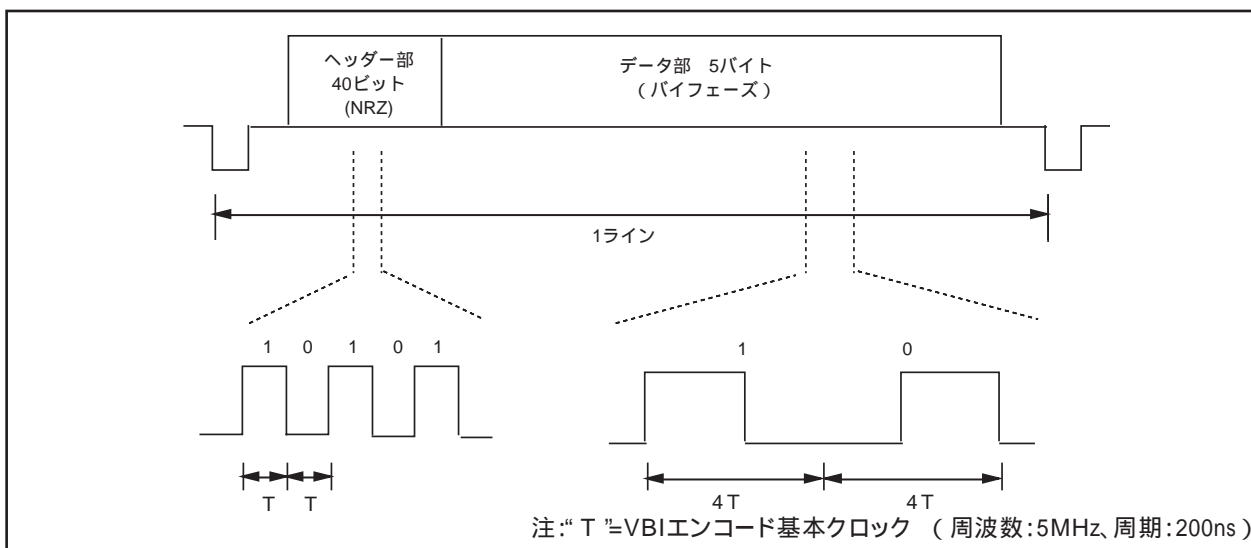


図2.15.22 VBIRAMエンコードデータ構成

VBIRAMデータへのアクセスはVBIRAMアドレス制御レジスタ(0212₁₆番地)に表2.15.7のアクセスするアドレス(EA6~EA0)設定し、続けてVBIRAMデータ制御レジスタ(0214₁₆番地)よりデータ(ED7~ED0)を書き込みます。データのアクセスが終わるとVBIRAMアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。

図2.15.23にVBIRAMアクセス関連レジスタを、図2.15.24にVBIRAMアクセスブロック図を示します。

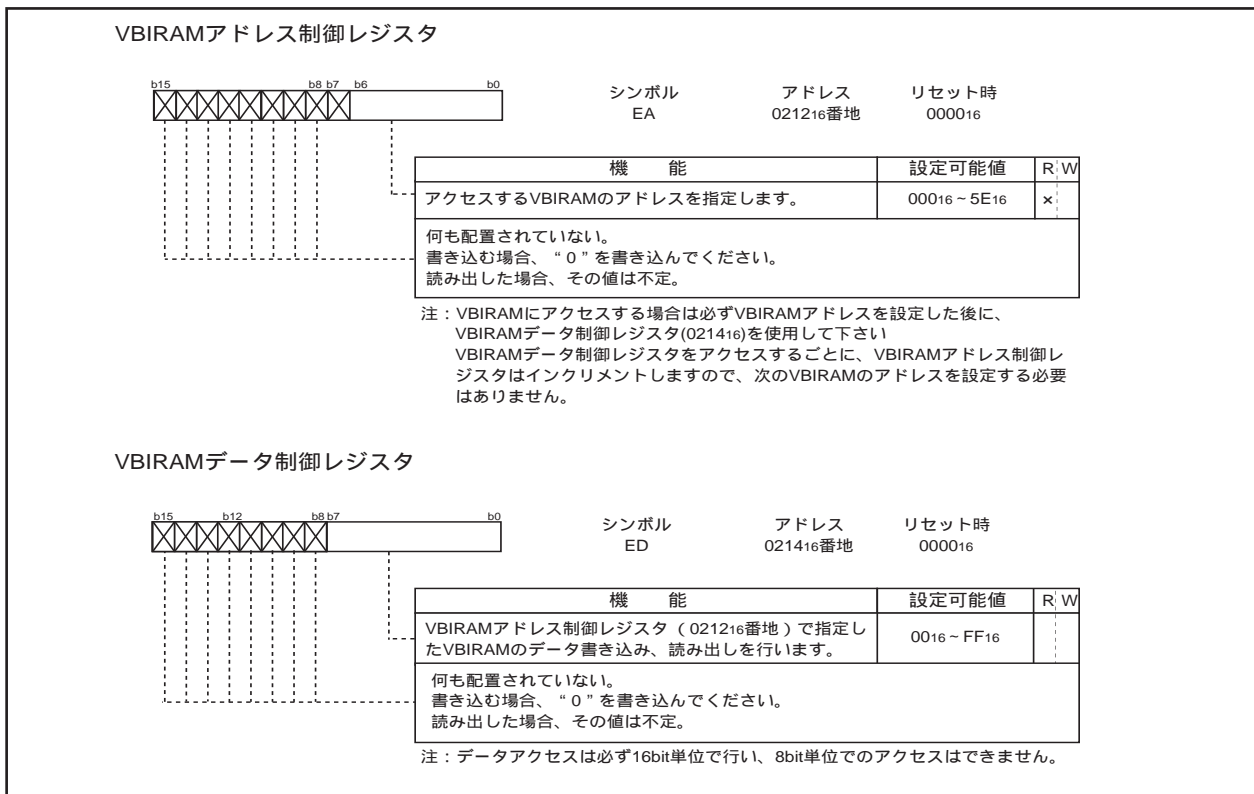


図2.15.23 VBIRAMアクセス関連レジスタの構成

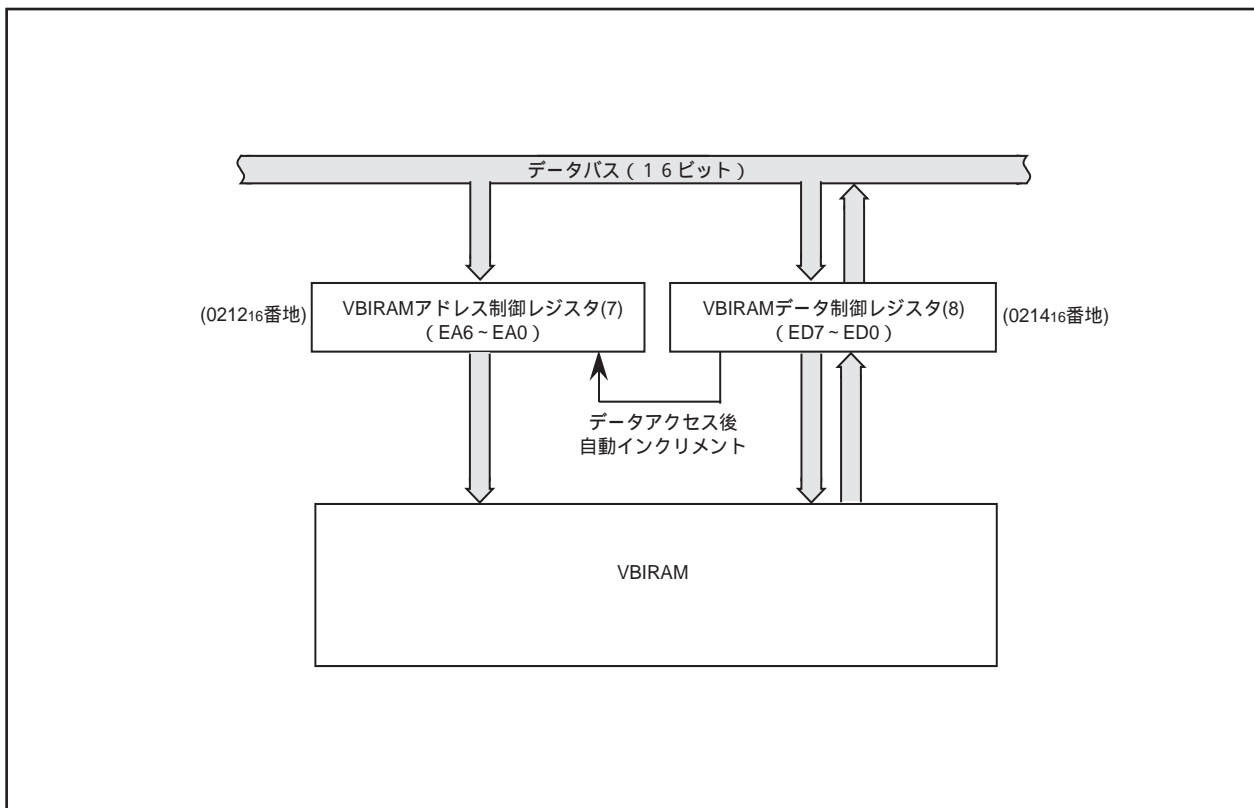


図2.15.24 BIRAMアクセスブロック図

(1) クロックランイン、フレーミングコードの設定

VBIRAMの00₁₆～04₁₆番地(40ビット)でクロックランイン、フレーミングコードの出力パターンを指定します。データ1ビットが1Tに対応しており、各バイトはLSBファーストで出力されます。

クロックランイン、フレーミングコードが40ビット(40T)より短い場合、先頭に“0”を入れてください。(後ろ詰めにし、未使用ビットには“0”を入れます。)

このパターンは各ライン共通となっており、各ラインのデータの前に出力されます。

図2.15.25に設定例を示します。

| | | |
|--------------------------|----------------------------|------|
| クロックランイン | フレーミングコード | |
| 11001100110011 | 000111001100110000011100 | …(a) |
| <u>00</u> 11001100110011 | 000111001100110000011100 | …(b) |
| 00110011 00110011 | 00011100 11001100 00011100 | …(c) |
| CCH CCH | 38H 33H 38H | …(d) |

| | | | | | | |
|------------|--------------------|--------------------|--------------------|--------------------|--------------------|------|
| VBIRAMアドレス | 00 ₁₆ | 01 ₁₆ | 02 ₁₆ | 03 ₁₆ | 04 ₁₆ | …(e) |
| データ | 00CC ₁₆ | 00CC ₁₆ | 0038 ₁₆ | 0033 ₁₆ | 0038 ₁₆ | |

(a)クロックランインフレーミングコード出力パターン
(1ビットがTに対応しています。)

(b)全体を40ビットにするため、先頭に0を2つ追加。

(c)8ビット毎に区切る。

(d)LSBファーストのため上位、下位入れ替える。

(e)16ビットモードでVBIRAMアドレス00₁₆から書き込む。

図2.15.25 設定例

(2) データの設定

1ラインあたり5バイトのデータを設定します。

設定されたデータはバイフェーズ形式で出力されます。

VBIデータ1ビットは、出力のバイフェーズ1ビット(4T)に対応しています。

データの指定は拡張レジスタVBIL0～VBIL17で重畳を指定したラインに対応したRAMに設定して下さい。指定していないラインのRAMに設定しても出力されません。

(3) EDO2 (VBI-BLNK) 信号出力仕様

EDO2信号 (VBI信号に対するBLNK信号) はVBIエンコードデータの約1.8 μ s前、後6.4 μ sを含んで出力します。図2.15.26に出力タイミング例を示します。

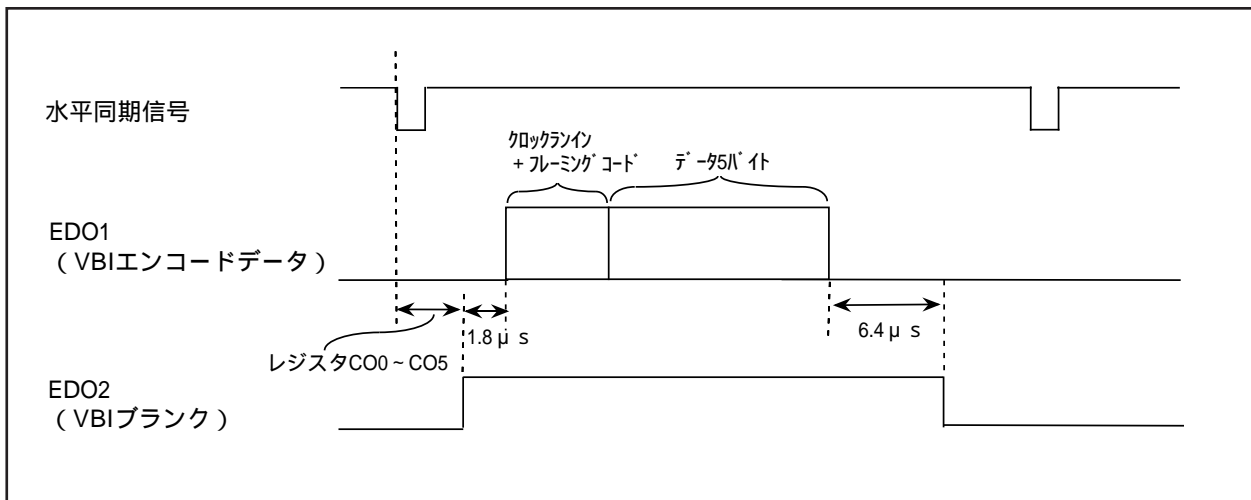


図2.15.26 出力タイミング例

2.15.8 拡張レジスタ

OSD機能、データスライサ機能、VBIエンコーダ機能の制御を行います。

表2.15.8に拡張レジスタの構成を示します。

表2.15.8 拡張レジスタ構成

| DA5 - DA0 | DD15 | DD14 | DD13 | DD12 | DD11 | DD10 | DD9 | DD8 | DD7 | DD6 | DD5 | DD4 | DD3 | DD2 | DD1 | DD0 | 備考 |
|-----------|----------|----------|----------|-----------|-----------|------------|------------|-----------|----------|------------|----------|----------|----------|-----------|-----------|-----------|----------------|
| 0016 | PTC6 | PTC5 | PTC4 | PTC3 | PTC2 | PTC1 | PTC0 | STBY0 | VP7 | VP6 | VP5 | VP4 | VP3 | VP2 | VP1 | VP0 | 垂直表示位置、ポート設定 |
| 0116 | PTD6 | PTD5 | PTD4 | PTD3 | PTD2 | PTD1 | PTD0 | HP8 | HP7 | HP6 | HP5 | HP4 | HP3 | HP2 | HP1 | HP0 | 水平表示位置、ポート設定 |
| 0216 | HSZ15 | HSZ14 | HSZ13 | HSZ12 | HSZ11 | HSZ10 | HSZ9 | HSZ8 | HSZ7 | HSZ6 | HSZ5 | HSZ4 | HSZ3 | HSZ2 | HSZ1 | HSZ0 | 水平サイズ設定 |
| 0316 | - | - | - | TEST2 | TEST1 | TEST0 | BCOL | HSZ24 | HSZ23 | HSZ22 | HSZ21 | HSZ20 | HSZ19 | HSZ18 | HSZ17 | HSZ16 | 水平サイズ設定 |
| 0416 | VSZ15 | VSZ14 | VSZ13 | VSZ12 | VSZ11 | VSZ10 | VSZ9 | VSZ8 | VSZ7 | VSZ6 | VSZ5 | VSZ4 | VSZ3 | VSZ2 | VSZ1 | VSZ0 | 垂直サイズ設定 |
| 0516 | - | - | - | - | BLINK2 | BLINK1 | BLINK0 | VSZ24 | VSZ23 | VSZ22 | VSZ21 | VSZ20 | VSZ19 | VSZ18 | VSZ17 | VSZ16 | 垂直サイズ、点滅設定 |
| 0616 | DSP015 | DSP014 | DSP013 | DSP012 | DSP011 | DSP010 | DSP09 | DSP08 | DSP07 | DSP06 | DSP05 | DSP04 | DSP03 | DSP02 | DSP01 | DSP00 | 表示モード設定 |
| 0716 | - | C05 | C04 | C03 | C02 | C01 | C00 | DSP024 | DSP023 | DSP022 | DSP021 | DSP020 | DSP019 | DSP018 | DSP017 | DSP016 | 表示モード設定 |
| 0816 | DSP115 | DSP114 | DSP113 | DSP112 | DSP111 | DSP110 | DSP19 | DSP18 | DSP17 | DSP16 | DSP15 | DSP14 | DSP13 | DSP12 | DSP11 | DSP10 | 表示モード設定 |
| 0916 | - | - | - | - | - | - | - | DSP124 | DSP123 | DSP122 | DSP121 | DSP120 | DSP119 | DSP118 | DSP117 | DSP116 | 表示モード設定 |
| 0A16 | - | - | - | GRYB | GRYG | GRYR | GRYON | SLIN4 | SLIN3 | SLIN2 | SLIN1 | SLIN0 | SBIT3 | SBIT2 | SBIT1 | SBIT0 | グレイ、スクロール設定 |
| 0B16 | - | PTD8 | PTD7 | SEND4 | SEND3 | SEND2 | SEND1 | SEND0 | - | PTC8 | PTC7 | SS14 | SS13 | SS12 | SS11 | SS10 | スクロール、ポート設定 |
| 0C16 | SECAM | - | INO | TIM BAS | - | - | YON1 | - | PC7 | PC6 | PC5 | PC4 | PC3 | PC2 | PC1 | PC0 | 表示周波数設定 |
| 0D16 | SELFLED | - | MPAL | NXP | EQP | HIDE | LEVEL0 | INTNON | PALH | - | - | - | DSPONV | DSPON | - | EX | 表示制御設定 |
| 0E16 | - | - | - | YONO | ALL24 | - | - | - | - | LBLACK | LINEB | LINEG | LINER | PHASE2 | PHASE1 | PHASE0 | 色設定 |
| 0F16 | - | - | - | - | - | - | - | ADON | - | - | SEL_PDCH | - | - | - | - | - | スライサ制御設定 |
| 1016 | SELSLI | - | - | - | - | SYNSEP_ON0 | - | - | SLSL VL | SLL_VP2 | SLL_VP1 | SLL_VP0 | - | - | VPS_SUB | - | シンクセバ、スライス設定 |
| 1116 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 1216 | SEL_VPSH | - | - | - | - | - | - | - | - | - | SEK15 | SEK14 | SEK13 | SEK12 | SEK11 | SEK10 | スライス設定 |
| 1316 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 1416 | - | - | - | - | - | - | - | - | IN1 | - | - | - | - | - | - | - | 表示設定 |
| 1516 | - | - | STBY1 | - | - | - | VPS_VCO_ON | - | - | PDC_VCO_ON | - | - | XTAL_VCO | - | - | CK_VCO | 発振ON/OFF設定 |
| 1616 | RGBWH | - | - | - | - | PD2 | PD1 | - | PDC_HP10 | PDC_HP9 | PDC_HP8 | PDC_HP7 | PDC_HP6 | PDC_HP5 | PDC_HP4 | PDC_HP3 | PDCスライス位置設定 |
| 1716 | HGSL | HGSL5 | - | CCD | - | - | - | - | VPS_HP10 | VPS_HP9 | VPS_HP8 | VPS_HP7 | VPS_HP6 | VPS_HP5 | VPS_HP4 | VPS_HP3 | VPSスライス位置設定 |
| 1816 | VBIL15 | VBIL14 | VBIL13 | VBIL12 | VBIL11 | VBIL10 | VBIL9 | VBIL8 | VBIL7 | VBIL6 | VBIL5 | VBIL4 | VBIL3 | VBIL2 | VBIL1 | VBIL0 | VBIエンコード設定 |
| 1916 | - | VBIL17 | VBIL16 | VPS_LINE4 | VPS_LINE3 | VPS_LINE2 | VPS_LINE1 | VPS_LINE0 | ENC2 | ENC1 | VBIF2 | VBIF1 | VPSF2 | VPSF1 | PDCF2 | PDCF1 | スライス設定 |
| 1A16 | VPS_FLC7 | VPS_FLC6 | VPS_FLC5 | VPS_FLC4 | VPS_FLC3 | VPS_FLC2 | VPS_FLC1 | VPS_FLC0 | PDC_FLC7 | PDC_FLC6 | PDC_FLC5 | PDC_FLC4 | PDC_FLC3 | PDC_FLC2 | PDC_FLC1 | PDC_FLC0 | PDC、VPSフレミング設定 |
| 1B16 | - | - | CHK_VPSS | - | - | - | - | - | - | - | CHK_PDC5 | - | - | - | - | - | - |
| 1C16 | - | - | - | SELPEEK | DIV_PDC8 | DIV_PDC7 | DIV_PDC6 | DIV_PDC5 | DIV_PDC4 | DIV_PDC3 | DIV_PDC2 | DIV_PDC1 | DIV_PDC0 | DIV_PDC32 | DIV_PDC31 | DIV_PDC30 | PDC用周波数設定 |
| 1D16 | - | - | - | - | DIV_VPS8 | DIV_VPS7 | DIV_VPS6 | DIV_VPS5 | DIV_VPS4 | DIV_VPS3 | DIV_VPS2 | DIV_VPS1 | DIV_VPS0 | DIV_VPS32 | DIV_VPS31 | DIV_VPS30 | VPS用周波数設定 |
| 1E16 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 1F16 | - | - | - | - | - | MACRON | - | - | - | - | - | FLD | - | - | - | - | マクロ、フィールドフラグ |
| 2016 | - | - | MIN5 | MIN4 | MIN3 | MIN2 | MIN1 | MIN0 | - | - | MAX5 | MAX4 | MAX3 | MAX2 | MAX1 | MAX0 | スライス設定 |
| 2116 | - | - | - | - | - | - | - | - | - | DBL_HEIGHT | - | - | - | - | - | - | - |
| 2216 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |

拡張レジスタデータへのアクセスは拡張レジスタアドレス制御レジスタ（0216₁₆番地）に図2.15.8のアクセスするアドレス（DA5～DA0）を設定し、続けて拡張レジスタデータ制御レジスタ（0218₁₆番地）よりデータ（DD15～DD0）を書き込みます。データの読み出しが終わると拡張レジスタアドレス制御レジスタは自動的にアドレスをインクリメントしますので、続けて次のアドレスのデータを書き込むことができます。図2.15.27に拡張レジスタアクセス関連レジスタを、図2.15.28に拡張レジスタアクセスブロック図を示します。

また、拡張レジスタのビット構成をP171～P196に示します。

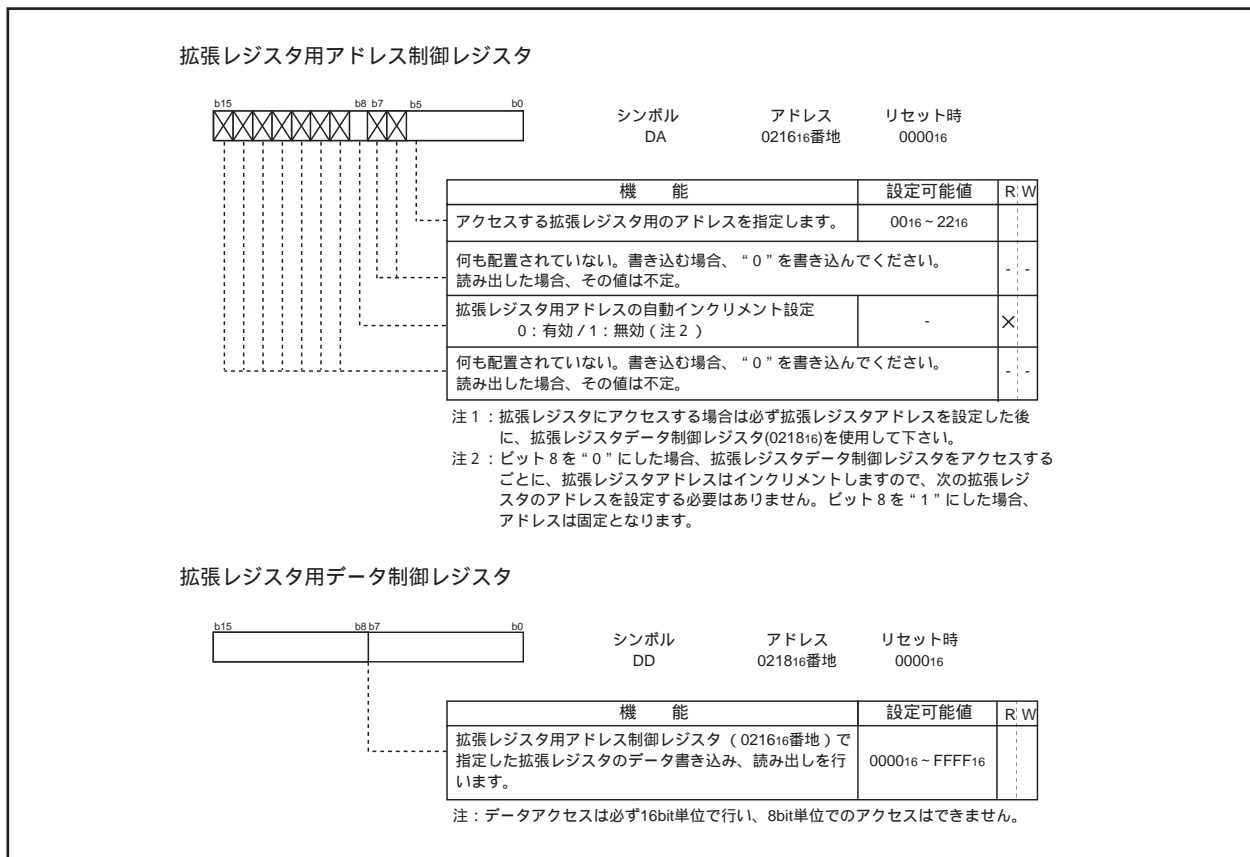


図2.15.27 拡張レジスタ用関連レジスタの構成

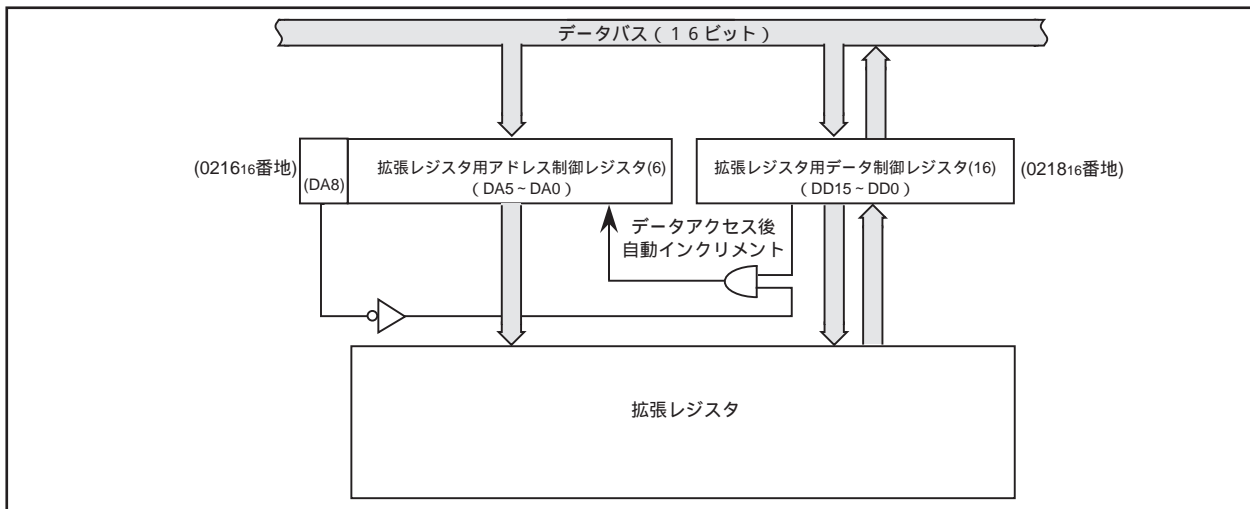
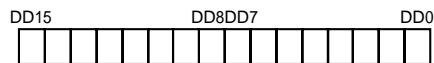


図2.15.28 拡張レジスタ用アクセスブロック図

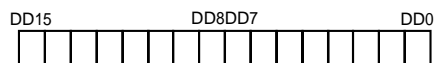
拡張レジスタ構成

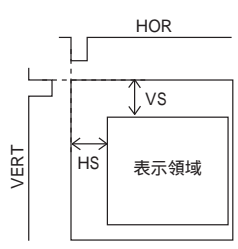
(1) 0016番地 (= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W |
|---------|----------------|---|---|-----|
| VP0 | 垂直表示開始位置選択ビット | 垂直表示開始位置をVSとすると $VS = H \times \sum_{n=0}^7 2^n VP_n$ H: 水平同期パルスの周期  | | |
| VP1 | | | | |
| VP2 | | | | |
| VP3 | | | | |
| VP4 | | | | |
| VP5 | | | | |
| VP6 | | | | |
| VP7 | | | | |
| STBY0 | スタンバイモード選択ビット | 0 ノーマルモード 1 スタンバイモード | | ○ ○ |
| PTC0 | ポートP110出力選択ビット | 0 P0出力 | | ○ ○ |
| | | 1 EDO2出力 | | ○ ○ |
| PTC1 | ポートP111出力選択ビット | 0 P1出力 | | ○ ○ |
| | | 1 EDO1出力 | | ○ ○ |
| PTC2 | ポートP112出力選択ビット | 0 P2出力 | | ○ ○ |
| | | 1 CSYN出力 | | ○ ○ |
| PTC3 | ポートP113出力選択ビット | 0 P3出力 | | ○ ○ |
| | | 1 BLNK出力 | | ○ ○ |
| PTC4 | ポートP114出力選択ビット | 0 P4出力 | | ○ ○ |
| | | 1 B出力 | | ○ ○ |
| PTC5 | ポートP115出力選択ビット | 0 P5出力 | | ○ ○ |
| | | 1 G出力 | | ○ ○ |
| PTC6 | ポートP116出力選択ビット | 0 P6出力 | | ○ ○ |
| | | 1 R出力 | | ○ ○ |

(2) 0116番地 (= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W | |
|---------|-----------------|--|--------------------------|---|---|
| HP0 | 水平表示開始位置選択ビット | 水平表示開始位置をHSとすると $HS = T1 \times \sum_{n=0}^8 2^n HPn + 9$ T1: 表示用クロックの周期  | | | |
| HP1 | | | | | |
| HP2 | | | | | |
| HP3 | | | | | |
| HP4 | | | | | |
| HP5 | | | | | |
| HP6 | | | | | |
| HP7 | | | | | |
| HP8 | | | | | |
| PTD0 | ポートP110データ選択ビット | 0 | ポート出力時は“L”固定、EDO2出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、EDO2出力時は正極性 | | |
| PTD1 | ポートP111データ選択ビット | 0 | ポート出力時は“L”固定、EDO1出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、EDO1出力時は正極性 | | |
| PTD2 | ポートP112データ選択ビット | 0 | ポート出力時は“L”固定、CSYN出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、CSYN出力時は正極性 | | |
| PTD3 | ポートP113データ選択ビット | 0 | ポート出力時は“L”固定、BLNK出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、BLNK出力時は正極性 | | |
| PTD4 | ポートP114データ選択ビット | 0 | ポート出力時は“L”固定、B出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、B出力時は正極性 | | |
| PTD5 | ポートP115データ選択ビット | 0 | ポート出力時は“L”固定、G出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、G出力時は正極性 | | |
| PTD6 | ポートP116データ選択ビット | 0 | ポート出力時は“L”固定、R出力時は負極性 | ○ | ○ |
| | | 1 | ポート出力時は“H”固定、R出力時は正極性 | | |

HP8 ~ HP0 (0000100112) は設定禁止です。

(3) 0216番地 (= DA5 ~ 0)



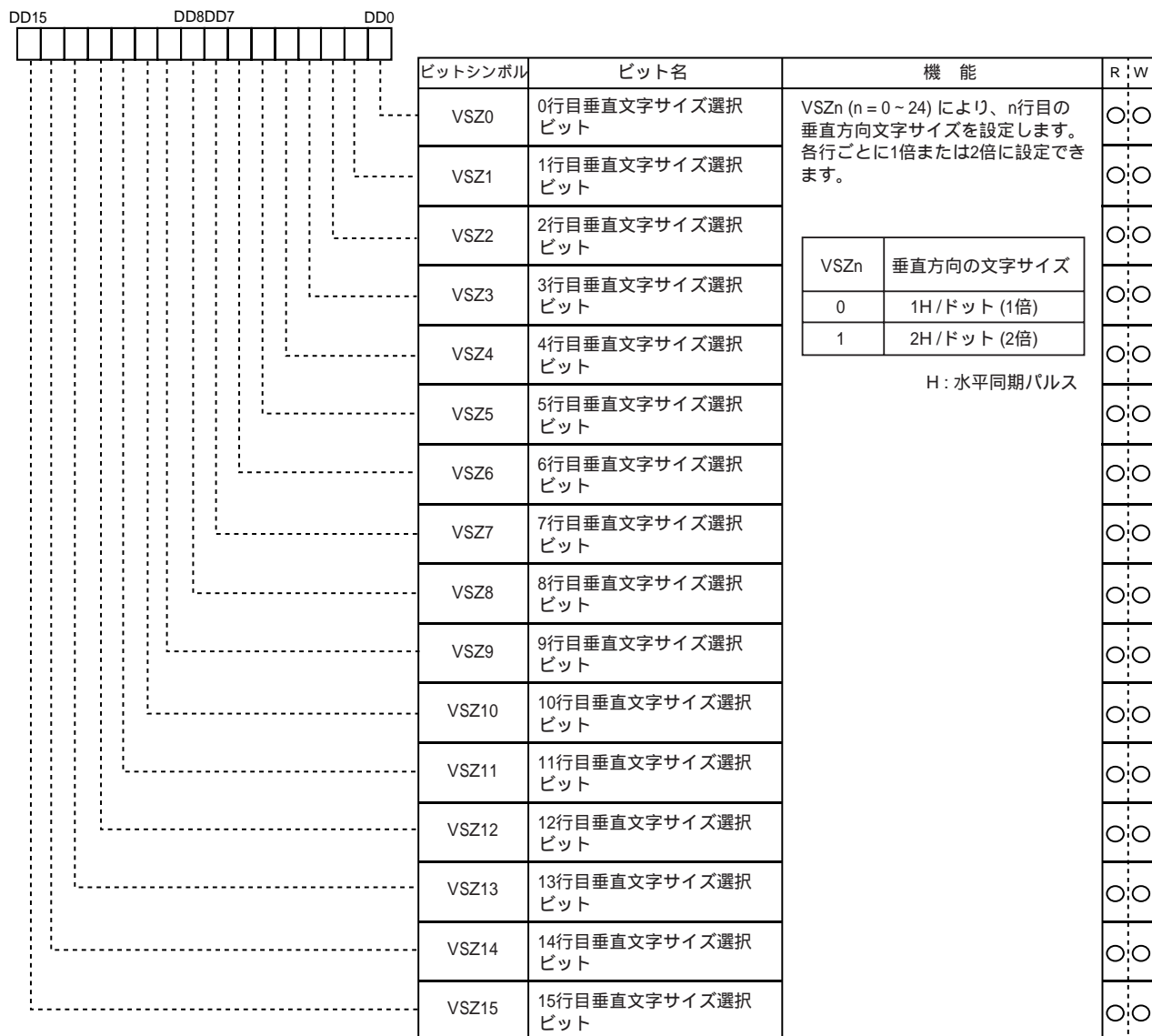
| ビットシンボル | ビット名 | 機能 | R | W | | | | | | |
|---------|------------------|---|------|------------|---|-------------|---|-------------|---|---|
| HSZ0 | 0行目水平文字サイズ選択ビット | HSZn (n = 0 ~ 24) により、n行目の水平方向文字サイズを設定します。各行ごとに1倍または2倍に設定できます。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>HSZn</th> <th>水平方向の文字サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1T/ドット (1倍)</td> </tr> <tr> <td>1</td> <td>2T/ドット (2倍)</td> </tr> </tbody> </table> T: 表示クロック | HSZn | 水平方向の文字サイズ | 0 | 1T/ドット (1倍) | 1 | 2T/ドット (2倍) | ○ | ○ |
| HSZn | 水平方向の文字サイズ | | | | | | | | | |
| 0 | 1T/ドット (1倍) | | | | | | | | | |
| 1 | 2T/ドット (2倍) | | | | | | | | | |
| HSZ1 | 1行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ2 | 2行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ3 | 3行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ4 | 4行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ5 | 5行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ6 | 6行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ7 | 7行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ8 | 8行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ9 | 9行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ10 | 10行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ11 | 11行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ12 | 12行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| HSZ13 | 13行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| HSZ14 | 14行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| HSZ15 | 15行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |

(4) 03₁₆番地(= DA5 ~ 0)

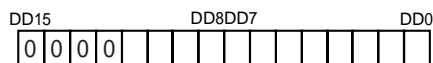


| ビットシンボル | ビット名 | 機能 | R | W | | | | | | |
|---------|------------------|---|--------------------|------------|---|-------------|---|-------------|---|---|
| HSZ16 | 16行目水平文字サイズ選択ビット | HSZn (n = 0 ~ 24) により、n行目の水平方向文字サイズを設定します。各行ごとに1倍または2倍に設定できます。 <table border="1" style="margin-left: 20px;"> <tr> <th>HSZn</th> <th>水平方向の文字サイズ</th> </tr> <tr> <td>0</td> <td>1T/ドット (1倍)</td> </tr> <tr> <td>1</td> <td>2T/ドット (2倍)</td> </tr> </table> T: 表示クロック | HSZn | 水平方向の文字サイズ | 0 | 1T/ドット (1倍) | 1 | 2T/ドット (2倍) | ○ | ○ |
| HSZn | 水平方向の文字サイズ | | | | | | | | | |
| 0 | 1T/ドット (1倍) | | | | | | | | | |
| 1 | 2T/ドット (2倍) | | | | | | | | | |
| HSZ17 | 17行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ18 | 18行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ19 | 19行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ20 | 20行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ21 | 21行目水平文字サイズ選択ビット | | ○ | ○ | | | | | | |
| HSZ22 | 22行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| HSZ23 | 23行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| HSZ24 | 24行目水平文字サイズ選択ビット | ○ | ○ | | | | | | | |
| BCOL | 全ブランキング選択ビット | 0 | DSP1n、DSP0nのブランキング | | | | | | | |
| | | 1 | 全ラスタブランキング | | | | | | | |
| TEST0 | テスト用ビット | 必ず“0”にしてください。 | ○ | ○ | | | | | | |
| TEST1 | | | ○ | ○ | | | | | | |
| TEST2 | | | ○ | ○ | | | | | | |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ | | | | | | |

(5) 0416番地(= DA5 ~ 0)



(6) 05₁₆番地 (= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W | | | | | | | | | | | | | | | |
|---------|------------------|---|--------|------------|-------|-------------|---|-------------|---|---|-----|---|---|-----|---|---|-----|---|---|
| VSZ16 | 16行目垂直文字サイズ選択ビット | VSZn (n = 0 ~ 24) により、n行目の垂直方向文字サイズを設定します。各行ごとに1倍または2倍に設定できます。 <table border="1"> <tr> <th>VSZn</th> <th>垂直方向の文字サイズ</th> </tr> <tr> <td>0</td> <td>1H/ドット (1倍)</td> </tr> <tr> <td>1</td> <td>2H/ドット (2倍)</td> </tr> </table> H: 水平同期パルス | VSZn | 垂直方向の文字サイズ | 0 | 1H/ドット (1倍) | 1 | 2H/ドット (2倍) | ○ | ○ | | | | | | | | | |
| VSZn | 垂直方向の文字サイズ | | | | | | | | | | | | | | | | | | |
| 0 | 1H/ドット (1倍) | | | | | | | | | | | | | | | | | | |
| 1 | 2H/ドット (2倍) | | | | | | | | | | | | | | | | | | |
| VSZ17 | 17行目垂直文字サイズ選択ビット | | ○ | ○ | | | | | | | | | | | | | | | |
| VSZ18 | 18行目垂直文字サイズ選択ビット | | ○ | ○ | | | | | | | | | | | | | | | |
| VSZ19 | 19行目垂直文字サイズ選択ビット | | ○ | ○ | | | | | | | | | | | | | | | |
| VSZ20 | 20行目垂直文字サイズ選択ビット | | ○ | ○ | | | | | | | | | | | | | | | |
| VSZ21 | 21行目垂直文字サイズ選択ビット | ○ | ○ | | | | | | | | | | | | | | | | |
| VSZ22 | 22行目垂直文字サイズ選択ビット | ○ | ○ | | | | | | | | | | | | | | | | |
| VSZ23 | 23行目垂直文字サイズ選択ビット | ○ | ○ | | | | | | | | | | | | | | | | |
| VSZ24 | 24行目垂直文字サイズ選択ビット | ○ | ○ | | | | | | | | | | | | | | | | |
| BLINK0 | プリンキングデューティ選択ビット | <table border="1"> <tr> <th>BLINK1</th> <th>BLINK0</th> <th>デューティ</th> </tr> <tr> <td>0</td> <td>0</td> <td>プリンキングoff</td> </tr> <tr> <td>0</td> <td>1</td> <td>25%</td> </tr> <tr> <td>1</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> </table> | BLINK1 | BLINK0 | デューティ | 0 | 0 | プリンキングoff | 0 | 1 | 25% | 1 | 1 | 50% | 1 | 0 | 75% | ○ | ○ |
| BLINK1 | | BLINK0 | デューティ | | | | | | | | | | | | | | | | |
| 0 | 0 | プリンキングoff | | | | | | | | | | | | | | | | | |
| 0 | 1 | 25% | | | | | | | | | | | | | | | | | |
| 1 | 1 | 50% | | | | | | | | | | | | | | | | | |
| 1 | 0 | 75% | | | | | | | | | | | | | | | | | |
| BLINK1 | ○ | ○ | | | | | | | | | | | | | | | | | |
| BLINK2 | プリンキング周期選択ビット | <table border="1"> <tr> <td>0</td> <td>周期約1秒</td> </tr> <tr> <td>1</td> <td>周期約0.5秒</td> </tr> </table> | 0 | 周期約1秒 | 1 | 周期約0.5秒 | ○ | ○ | | | | | | | | | | | |
| 0 | 周期約1秒 | | | | | | | | | | | | | | | | | | |
| 1 | 周期約0.5秒 | | | | | | | | | | | | | | | | | | |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ | | | | | | | | | | | | | | | |

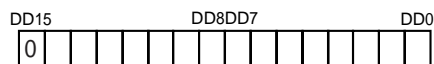
05j

(7)0616番地 (= DA5 ~ 0)



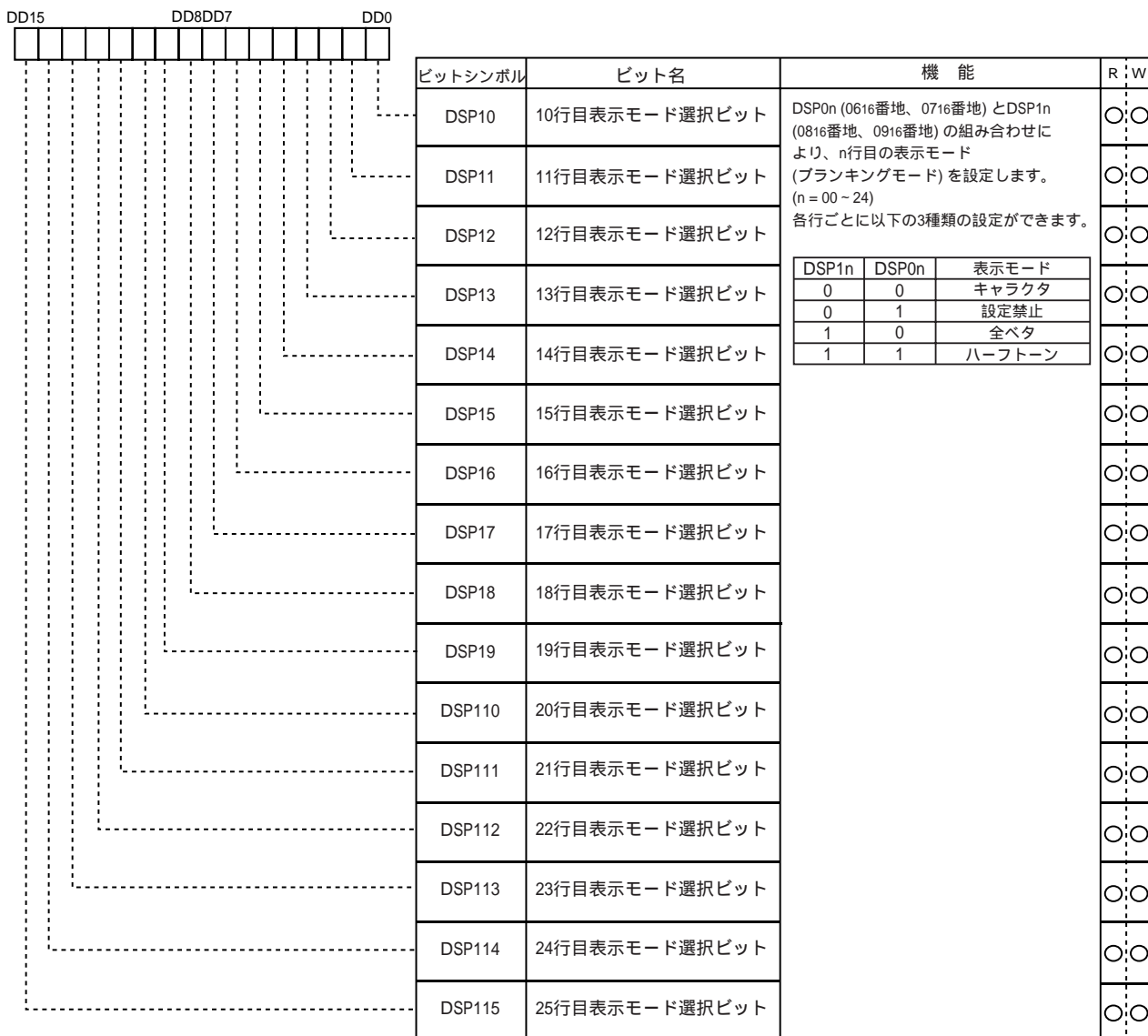
| ビットシンボル | ビット名 | 機能 | R | W | | | | | | | | | | | | | | | | |
|---------|----------------|--|---|-------|-------|-------|---|---|-------|---|---|------|---|---|-----|---|---|--------|---|---|
| DSP00 | 0行目表示モード選択ビット | DSP0n (0616番地、0716番地) と DSP1n (0816番地、0916番地) の組み合わせにより、n行目の表示モード (ブランキングモード) を設定します。 (n = 00 ~ 24) 各行ごとに以下の3種類の設定ができます。 | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP01 | 1行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP02 | 2行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP03 | 3行目表示モード選択ビット | | <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DSP1n</th> <th>DSP0n</th> <th>表示モード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>キャラクタ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>全ベタ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>ハーフトーン</td> </tr> </tbody> </table> | DSP1n | DSP0n | 表示モード | 0 | 0 | キャラクタ | 0 | 1 | 設定禁止 | 1 | 0 | 全ベタ | 1 | 1 | ハーフトーン | ○ | ○ |
| DSP1n | DSP0n | | 表示モード | | | | | | | | | | | | | | | | | |
| 0 | 0 | | キャラクタ | | | | | | | | | | | | | | | | | |
| 0 | 1 | | 設定禁止 | | | | | | | | | | | | | | | | | |
| 1 | 0 | | 全ベタ | | | | | | | | | | | | | | | | | |
| 1 | 1 | | ハーフトーン | | | | | | | | | | | | | | | | | |
| DSP04 | 4行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP05 | 5行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP06 | 6行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP07 | 7行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP08 | 8行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP09 | 9行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP10 | 10行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP11 | 11行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP12 | 12行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP13 | 13行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP14 | 14行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP15 | 15行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |

(8) 07₁₆番地(= DA5 ~ 0)

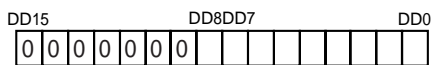


| ビットシンボル | ビット名 | 機 能 | R | W | | | | | | | | | | | | | | | | |
|---------|----------------------|---|---|-------|-------|-------|---|---|-------|---|---|------|---|---|-----|---|---|--------|---|---|
| DSP016 | 16行目表示モード選択ビット | DSP0n (06 ₁₆ 番地、07 ₁₆ 番地) とDSP1n (08 ₁₆ 番地、09 ₁₆ 番地) の組み合わせにより、n行目の表示モード(ブランキングモード)を設定します。(n = 00 ~ 24) 各行ごとに以下の3種類の設定ができます。 | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP017 | 17行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP018 | 18行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP019 | 19行目表示モード選択ビット | | <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DSP1n</th> <th>DSP0n</th> <th>表示モード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>キャラクタ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>全ベタ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>ハーフトーン</td> </tr> </tbody> </table> | DSP1n | DSP0n | 表示モード | 0 | 0 | キャラクタ | 0 | 1 | 設定禁止 | 1 | 0 | 全ベタ | 1 | 1 | ハーフトーン | ○ | ○ |
| DSP1n | DSP0n | | 表示モード | | | | | | | | | | | | | | | | | |
| 0 | 0 | | キャラクタ | | | | | | | | | | | | | | | | | |
| 0 | 1 | | 設定禁止 | | | | | | | | | | | | | | | | | |
| 1 | 0 | | 全ベタ | | | | | | | | | | | | | | | | | |
| 1 | 1 | | ハーフトーン | | | | | | | | | | | | | | | | | |
| DSP020 | 20行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP021 | 21行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP022 | 22行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP023 | 23行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP024 | 24行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| CO0 | VBIエンコード用水平開始位置選択ビット | VBIエンコード水平開始位置 各ライン共通 | ○ | ○ | | | | | | | | | | | | | | | | |
| CO1 | | | ○ | ○ | | | | | | | | | | | | | | | | |
| CO2 | | | ○ | ○ | | | | | | | | | | | | | | | | |
| CO3 | | | ○ | ○ | | | | | | | | | | | | | | | | |
| CO4 | | | ○ | ○ | | | | | | | | | | | | | | | | |
| CO5 | | | ○ | ○ | | | | | | | | | | | | | | | | |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ | | | | | | | | | | | | | | | | |

(9) 0816番地(= DA5 ~ 0)



(10) 0916番地(= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W | | | | | | | | | | | | | | | | |
|---------|----------------|---|---|-------|-------|-------|---|---|-------|---|---|------|---|---|-----|---|---|--------|---|---|
| DSP116 | 16行目表示モード選択ビット | DSP0n (0616番地、0716番地) とDSP1n (0816番地、0916番地) の組み合わせにより、n行目の表示モード(プランキングモード)を設定します。 (n = 00 ~ 24) 各行ごとに以下の3種類の設定ができます。 | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP117 | 17行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP118 | 18行目表示モード選択ビット | | ○ | ○ | | | | | | | | | | | | | | | | |
| DSP119 | 19行目表示モード選択ビット | | <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DSP1n</th> <th>DSP0n</th> <th>表示モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>キャラクタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>全ベタ</td> </tr> <tr> <td>1</td> <td>1</td> <td>ハーフトーン</td> </tr> </tbody> </table> | DSP1n | DSP0n | 表示モード | 0 | 0 | キャラクタ | 0 | 1 | 設定禁止 | 1 | 0 | 全ベタ | 1 | 1 | ハーフトーン | ○ | ○ |
| DSP1n | DSP0n | | 表示モード | | | | | | | | | | | | | | | | | |
| 0 | 0 | | キャラクタ | | | | | | | | | | | | | | | | | |
| 0 | 1 | | 設定禁止 | | | | | | | | | | | | | | | | | |
| 1 | 0 | | 全ベタ | | | | | | | | | | | | | | | | | |
| 1 | 1 | | ハーフトーン | | | | | | | | | | | | | | | | | |
| DSP120 | 20行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP121 | 21行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP122 | 22行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP123 | 23行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| DSP124 | 24行目表示モード選択ビット | ○ | ○ | | | | | | | | | | | | | | | | | |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ | | | | | | | | | | | | | | | | |

三菱マイクロコンピュータ M306H1SFP

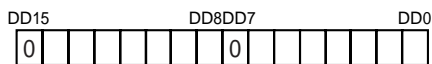
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

(11) 0A₁₆番地(DA5~0)

| DD15 | | | | | | | | | | | | | | | | DD8DD7 | | | | | | | | DD0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------|-----------------------|---|------|--|--|--|--|--|--|--|--|--|--|--|--|--|------|------|---|------|------|------|---|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|------|---|---|---|-----|---|---|---|---|---|---|
| 0 | | | | | | | | | | | | | | | | 0 | | | | | | | | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| ビットシンボル | ビット名 | | | | | | | | | | | | | | | 機能 | | R | W | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SBIT0 | スクロール表示開始ドット 選択ビット | | | | | | | | | | | | | | | スクロール範囲中の表示開始ドット をSAとすると | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SBIT1 | | | | | | | | | | | | | | | | $SA = \sum_{n=0}^3 2^n SBITn$ | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SBIT2 | | | | | | | | | | | | | | | | SBIT3 ~ SBIT0 (1010 ₂) は設定禁止 | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SBIT3 | | | | | | | | | | | | | | | | | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SLIN0 | スクロール表示開始行選択 ビット | | | | | | | | | | | | | | | スクロール範囲中の表示開始行を SBとすると | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SLIN1 | | | | | | | | | | | | | | | | $SB = \sum_{n=0}^4 2^n SLINn$ | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SLIN2 | | | | | | | | | | | | | | | | SLIN4 ~ SLIN0 (1100 ₁₂) は設定禁止。 | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SLIN3 | | | | | | | | | | | | | | | | SST4 ~ SST0 SLIN4 ~ SLIN0 < SEND4 ~ SEND0 となる値を設定して下さい。 | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SLIN4 | | | | | | | | | | | | | | | | | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| GRYON | グレー表示選択ビット | | | | | | | | | | | | | | | 0 ノーマル表示 | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | 1 8色の中の1色をグレー表示設定(注1) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| GRYR | グレー表示色選択ビット | | | | | | | | | | | | | | | <table border="1"> <thead> <tr> <th>GRYB</th> <th>GRYG</th> <th>GRYR</th> <th>色</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>黒</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>赤</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>緑</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>黄</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>青</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>マゼンタ</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>シアン</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>白</td> </tr> </tbody> </table> | | | | GRYB | GRYG | GRYR | 色 | 0 | 0 | 0 | 黒 | 0 | 0 | 1 | 赤 | 0 | 1 | 0 | 緑 | 0 | 1 | 1 | 黄 | 1 | 0 | 0 | 青 | 1 | 0 | 1 | マゼンタ | 1 | 1 | 0 | シアン | 1 | 1 | 1 | 白 | ○ | ○ |
| | | | | | | | | | | | | | | | | GRYB | GRYG | GRYR | 色 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | 0 | 0 | 0 | 黒 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | 0 | 0 | 1 | 赤 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | 0 | 1 | 0 | 緑 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 黄 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 青 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | マゼンタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | シアン | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 白 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| GRYG | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| GRYB | | | | | | | | | | | | | | | | 本レジスタで設定される色がグレー色 になります。 GRYON = "1" の場合のみ有効 | | | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 予約ビット | | | | | | | | | | | | | | | | 必ず"0"にしてください。 | | × | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

注1. RGB出力については、レジスタRGBWH (16₁₆番地)を参照してください。

(12) 0B16番地(DA5~0)

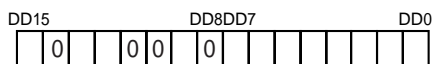


| ビットシンボル | ビット名 | 機能 | R | W |
|---------|-----------------|---|---|---|
| SST0 | スクロール範囲開始行選択ビット | スクロールする範囲の開始行をSCとすると $SC = \sum_{n=0}^4 2^n SSTn$ SST4~SSTn (11000 ₂)は設定禁止 | ○ | ○ |
| SST1 | | | ○ | ○ |
| SST2 | | | ○ | ○ |
| SST3 | | | ○ | ○ |
| SST4 | | | ○ | ○ |
| PTC7 | ポートP7出力選択ビット | 0 P7出力 | ○ | ○ |
| | | 1 GRAY出力 | | |
| PTC8 | ポートP8出力選択ビット | 0 P8出力 | ○ | ○ |
| | | 1 SLICEON出力 | | |
| 予約ビット | | | × | ○ |
| SEND0 | スクロール範囲最終行選択ビット | スクロールする範囲下の固定行 (=スクロール範囲の最終行+1)をSDとすると $SD = \sum_{n=0}^4 2^n SENDn$ また、(SEND4~SEND0) (SST4~SST0)+2となるよう設定して下さい。 スクロールONの場合 SEND4~SEND0 (00001 ₂)およびSEND4~SEND0 (11010 ₂)は設定禁止 スクロールOFFの場合 SEND4~SEND0=(00000 ₂)と設定して下さい。 | ○ | ○ |
| SEND1 | | | ○ | ○ |
| SEND2 | | | ○ | ○ |
| SEND3 | | | ○ | ○ |
| SEND4 | | | ○ | ○ |
| PTD7 | ポートP7データ選択ビット | 0 ポート出力時は“H”固定、GRAY出力時は負極性 | ○ | ○ |
| | | 1 ポート出力時は“L”固定、GRAY出力時は正極性 | | |
| PTD8 | ポートP8データ選択ビット | 0 ポート出力時は“H”固定、SLICEON出力時は負極性 | ○ | ○ |
| | | 1 ポート出力時は“L”固定、SLICEON出力時は正極性 | | |
| 予約ビット | | | × | ○ |

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

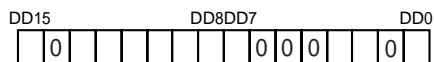
(13) 0C₁₆番地(DA5~0)



| ビットシンボル | ビット名 | 機能 | R | W |
|---------|-------------------------|--|---|---|
| PC0 | 表示周波数選択ビット | 表示周波数 f_T の調整をします。 $f_T = f_H \times \sum_{n=0}^7 2^n PC_n + 512$ f_H : 水平同期信号周波数 PC7~PC0 (0111111 ₂) は設定禁止 通常はPC7~PC0 = (1111010 ₁₂) に設定してください。 | ○ | ○ |
| PC1 | | | ○ | ○ |
| PC2 | | | ○ | ○ |
| PC3 | | | ○ | ○ |
| PC4 | | | ○ | ○ |
| PC5 | | | ○ | ○ |
| PC6 | | | ○ | ○ |
| PC7 | | | ○ | ○ |
| 予約ビット | | 必ず“0”にして下さい。 | × | ○ |
| YON1 | 内部同期カラーバースト 選択ビット | 0 カラーバーストON | ○ | ○ |
| | | 1 カラーバーストOFF | | |
| 予約ビット | | 必ず“0”にして下さい。 | × | ○ |
| TIMBAS | タイムベース選択ビット | 0 タイムベース OFF | ○ | ○ |
| | | 1 タイムベース ON | | |
| IN0 | 内部同期選択ビット | 0 外部同期設定 | ○ | ○ |
| | | 1 内部同期設定 | | |
| 予約ビット | | 必ず“0”にして下さい。 | × | ○ |
| SECAM | SECAMIN端子からの重畳 選択ビット | 0 SECAMIN端子からのキャリアを重畳しない。 | ○ | ○ |
| | | 1 SECAMIN端子からのキャリアを重畳する。 | | |

注1. 白黒(階調)表示(YON0(0E₁₆番地) = “1”)設定時は必ずYON1 = “1”に設定してください。

(14) 0D₁₆番地(DA5~0)

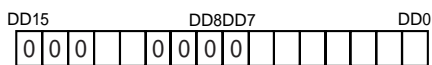


| ビットシンボル | ビット名 | 機能 | | | R | W |
|---------|----------------------|---------------|-------------------|-------|---|---|
| EX | 外部/内部同期選択ビット | 0 | 外部同期 | | ○ | ○ |
| | | 1 | 内部同期 | | | |
| 予約ビット | | 必ず“0”にしてください。 | | | X | ○ |
| DSPON | デジタル表示選択ビット | 0 | デジタル出力の表示OFF | | ○ | ○ |
| | | 1 | デジタル出力の表示ON | | | |
| DSPONV | アナログ表示選択ビット | 0 | 複合ビデオ信号出力の表示OFF | | ○ | ○ |
| | | 1 | 複合ビデオ信号出力の表示ON | | | |
| 予約ビット | | 必ず“0”にしてください。 | | | X | ○ |
| PALH | 走査線数選択ビット | PALH | INT/NON | 走査線数 | ○ | ○ |
| INTNON | | 0 | 0 | 625H本 | | |
| | | 0 | 1 | 626H本 | | |
| | | 1 | 0 | 624H本 | | |
| 1 | 1 | 628H本 | | | | |
| LEVEL0 | ビデオ信号発生選択ビット | 0 | 複合ビデオ信号発生回路OFF | | ○ | ○ |
| | | 1 | 複合ビデオ信号発生回路ON | | | |
| HIDE | SYRAM拡張表示選択ビット | 0 | SYRAMの上書き | | ○ | ○ |
| | | 1 | SYRAMの上書き及び文字消しあり | | | |
| EQP | 等価パルス選択ビット | 0 | 等価パルスを含まない | | ○ | ○ |
| | | 1 | 等価パルスを含む | | | |
| NXP | 放送方式選択ビット | NXP | MPAL | 放送方式 | ○ | ○ |
| | | 0 | 0 | NTSC | | |
| | | 0 | 1 | M-PAL | | |
| | | 1 | 0 | PAL | | |
| 1 | 1 | 設定禁止 | | | | |
| MPAL | | | | | ○ | ○ |
| 予約ビット | | 必ず“0”にしてください。 | | | X | ○ |
| SEFLD | ノンインターレース時フィールド選択ビット | 0 | 第2フィールド | | ○ | ○ |
| | | 1 | 第1フィールド | | | |

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

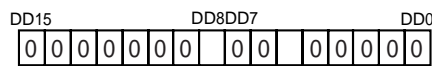
(15) 0E₁₆番地(DA5~0)



| ビットシンボル | ビット名 | 機能 | R | W | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------|-------------------|--|--------|--------|--------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|------|---|---|---|-----|---|---|---|---|---|---|
| PHASE0 | ラスタ色選択ビット | <table border="1"> <thead> <tr> <th>PHASE2</th> <th>PHASE1</th> <th>PHASE0</th> <th>色</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>黒</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>赤</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>緑</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>黄</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>青</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>マゼンタ</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>シアン</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>白</td></tr> </tbody> </table> | PHASE2 | PHASE1 | PHASE0 | 色 | 0 | 0 | 0 | 黒 | 0 | 0 | 1 | 赤 | 0 | 1 | 0 | 緑 | 0 | 1 | 1 | 黄 | 1 | 0 | 0 | 青 | 1 | 0 | 1 | マゼンタ | 1 | 1 | 0 | シアン | 1 | 1 | 1 | 白 | ○ | ○ |
| PHASE2 | | PHASE1 | PHASE0 | 色 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | | 0 | 0 | 黒 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 赤 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 緑 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 黄 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 青 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | マゼンタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | シアン | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 白 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| PHASE1 | | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| PHASE2 | | レジスタGRYON = "0" 時のラスタ色設定 | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| LINER | SYRAM色選択ビット | <table border="1"> <thead> <tr> <th>LINEB</th> <th>LINEG</th> <th>LINER</th> <th>色</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>黒</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>赤</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>緑</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>黄</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>青</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>マゼンタ</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>シアン</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>白</td></tr> </tbody> </table> | LINEB | LINEG | LINER | 色 | 0 | 0 | 0 | 黒 | 0 | 0 | 1 | 赤 | 0 | 1 | 0 | 緑 | 0 | 1 | 1 | 黄 | 1 | 0 | 0 | 青 | 1 | 0 | 1 | マゼンタ | 1 | 1 | 0 | シアン | 1 | 1 | 1 | 白 | ○ | ○ |
| LINEB | | LINEG | LINER | 色 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | | 0 | 0 | 黒 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 赤 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 緑 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 黄 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 青 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | マゼンタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | シアン | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 白 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| LINEG | | | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| LINEB | | レジスタGRYON = "0" 時のSYRAM色設定 | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| LBLACK | ビデオ信号黒レベル選択ビット | <table border="1"> <tbody> <tr><td>0</td><td>1.6V</td></tr> <tr><td>1</td><td>1.8V</td></tr> </tbody> </table> | 0 | 1.6V | 1 | 1.8V | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1.6V | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1.8V | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 予約ビット | | 必ず"0"にしてください。 | × | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| ALL24 | 水平方向全ベタ領域選択ビット | 0 OSD水平表示領域 (40文字分) | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 1 水平表示期間全域 | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| YON0 | 内部同期白黒(階調)表示選択ビット | 0 カラー表示 | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 1 白黒(階調)表示 (注1) | ○ | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 予約ビット | | 必ず"0"にしてください。 | × | ○ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

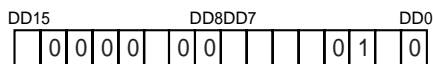
注1. 白黒(階調)表示(YON0="1")設定時はYON1(0C₁₆番地)="1"に設定してください。

(16) 0F₁₆番地(DA5~0)



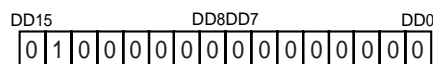
| ビットシンボル | ビット名 | 機能 | R | W |
|----------|---------------|--------------------------|---|---|
| 予約ビット | | 必ず"0"にしてください。 | × | ○ |
| SEL_PDCH | PDC用クロック選択ビット | 0 外部fHを基準にPDC用クロックを発生 | ○ | ○ |
| | | 1 fSC端子入力を基準にPDC用クロックを発生 | ○ | ○ |
| 予約ビット | | 必ず"0"にしてください。 | × | ○ |
| ADON | データスライサ制御ビット | 0 データスライサOFF | ○ | ○ |
| | | 1 データスライサON | ○ | ○ |
| 予約ビット | | 必ず"0"にしてください。 | × | ○ |

(17) 10₁₆番地(DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W |
|-------------|--|--|---|---|
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |
| VPS_SUB | VPSデータ用フレーミングコード チェック選択ビット | 0 フレーミングコード16ビット中後ろの8ビット | ○ | ○ |
| | | 1 フレーミングコード16ビット前から4ビット+後ろ から4ビット (VPS_FLCO-7で設定する8ビットを 選ぶ) | | |
| 予約ビット | | 必ず“1”にしてください。 | X | ○ |
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |
| SLI_VP0 | スライス開始ライン選択ビット (第1フィールド、第2フィールド共通) | スライス開始ラインをSLI_VSとすると $\langle \text{第1フィールド} \rangle \text{SLI_VS} = \sum_{n=0}^2 2^n \text{SLI_VPn} + 3$ $\langle \text{第2フィールド} \rangle \text{SLI_VS} = \sum_{n=0}^2 2^n \text{SLI_VPn} + 315$ 本レジスタで設定したラインから18ライン 分のデータをスライスRAMに格納します。 | ○ | ○ |
| SLI_VP1 | 通常は6ライン目から18ライン分格納 (SLI_VP2 ~ SLI_VP0 = “316” 固定) | | | |
| SLI_VP2 | | | | |
| SLSLVL | スライスレベル制御ビット | 0 データスライス用自動レベルの調整 | ○ | ○ |
| | | 1 データスライス用固定レベルの調整 | | |
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |
| SYNCSEP_ON0 | シンクセバ制御ビット | 0 シンクセバ回路OFF | ○ | ○ |
| | | 1 シンクセバ回路ON | | |
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |
| SELSLI | スライス信号入力端子選択ビット | 0 CVIN1 端子 | ○ | ○ |
| | | 1 CVIN2 端子 | | |

(18) 11₁₆番地(= DA5 ~ 0)

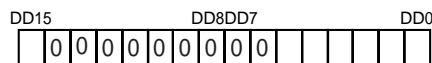


| ビットシンボル | ビット名 | 機能 | R | W |
|---------|------|---------------|---|---|
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |
| 予約ビット | | 必ず“1”にしてください。 | X | ○ |
| 予約ビット | | 必ず“0”にしてください。 | X | ○ |

三菱マイクロコンピュータ M306H1SFP

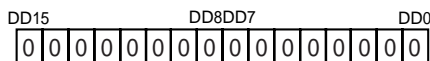
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

(19) 12₁₆番地(= DA5 ~ 0)



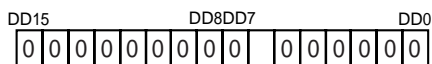
| ビットシンボル | ビット名 | 機能 | | | R | W |
|----------|---------------|--|------------------------|---|---|---|
| | | SEK11 | SEK10 | N | | |
| SEK10 | データスライサ制御ビット1 | 0 | 0 | 5 | ○ | ○ |
| | | 0 | 1 | 4 | | |
| | | 1 | 0 | 3 | | |
| | | 1 | 1 | 2 | | |
| SEK11 | | AD後のデジタル値をN倍します。 | | | ○ | ○ |
| SEK12 | データスライサ制御ビット2 | SEK13 | SEK12 | N | ○ | ○ |
| | | 0 | 0 | 4 | | |
| | | 0 | 1 | 3 | | |
| | | 1 | 0 | 1 | | |
| SEK13 | | SEK10,1後のデジタル値に対してN/8周期(クロックライン周期)前のデジタルデータで微分します。 | | | ○ | ○ |
| SEK14 | データスライサ制御ビット3 | SEK15 | SEK14 | N | ○ | ○ |
| | | 0 | 0 | 4 | | |
| | | 0 | 1 | 3 | | |
| | | 1 | 0 | 1 | | |
| SEK15 | | SEK13,2後のデジタル値に対してN/8周期(クロックライン周期)後のデジタルデータで微分します。 | | | ○ | ○ |
| 予約ビット | | 必ず“0”に設定してください。 | | | × | ○ |
| SEL_VPSH | VPS用クロック選択ビット | 0 | 外部fHを基準にVPS用クロックを発生 | | ○ | ○ |
| | | 1 | fSC端子入力を基準にVPS用クロックを発生 | | | |

(20) 13₁₆番地(= DA5 ~ 0)



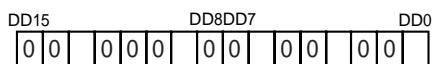
| ビットシンボル | ビット名 | 機能 | R | W |
|---------|------|---------------|---|---|
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |

(21) 14₁₆番地(= DA5 ~ 0)



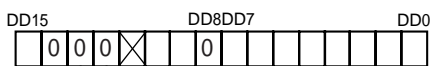
| ビットシンボル | ビット名 | 機能 | R | W |
|---------|-----------|---------------|---|---|
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |
| IN1 | 内部同期選択ビット | 0 外部同期設定 | ○ | ○ |
| | | 1 内部同期設定 | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |

(22) 15₁₆番地(= DA5 ~ 0)



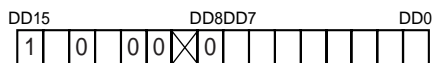
| ビットシンボル | ビット名 | 機能 | R | W |
|------------|--------------------|------------------|---|---|
| CK_VCO | 表示クロック発振選択ビット | 0 表示用クロック停止 | ○ | ○ |
| | | 1 表示用クロック発振 | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |
| XTAL_VCO | 同期クロック発振選択ビット | 0 同期用クロック停止 | ○ | ○ |
| | | 1 同期用クロック発振 | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |
| PDC_VCO_ON | PDCクロック発振選択ビット | 0 PDC用クロック停止 | ○ | ○ |
| | | 1 PDC用クロック発振 | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |
| VPS_VCO_ON | VPS、VBIクロック発振選択ビット | 0 VPS、VBI用クロック停止 | ○ | ○ |
| | | 1 VPS、VBI用クロック発振 | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |
| STBY1 | スタンバイモード選択ビット | 0 ノーマルモード | ○ | ○ |
| | | 1 スタンバイモード | | |
| | 予約ビット | 必ず“0”にしてください。 | × | ○ |

(23) 1616番地(= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R:W |
|------------|-------------------------|--|-----|
| PDC_HP3 | PDCスライスチェック開始位置選択ビット | PDC用スライスチェック開始位置をPDC_HSとすると $PDC_HS = T3 \times \sum_{n=3}^{10} 2^{(n-3)} PDC_HPn$ T3: PDCのクロックランイン周期 ÷ 2 フレーミングコードをチェックし始める位置を設定 144ns (1ビット) 単位で設定可 | ○:○ |
| PDC_HP4 | | | ○:○ |
| PDC_HP5 | | | ○:○ |
| PDC_HP6 | | | ○:○ |
| PDC_HP7 | | | ○:○ |
| PDC_HP8 | | | ○:○ |
| PDC_HP9 | | | ○:○ |
| PDC_HP10 | | | ○:○ |
| 予約ビット | | 必ず " 0 " にしてください。 | X:○ |
| PD1 | PDC,VPS,VBIクロックの位相調整ビット | 通常はPD2 ~ PD1=(10)2に設定してください。 | ○:○ |
| PD2 | | | ○:○ |
| 何も配置されていない | | | X:X |
| 予約ビット | | 必ず " 0 " にしてください。 | X:○ |
| RGBWH | 0 ノーマル出力 | | ○:○ |
| | 1 グレー表示設定色のRGB出力を白にします。 | | |

(24) 1716番地(= DA5 ~ 0)



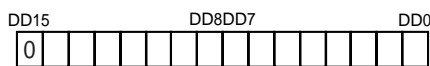
| ビットシンボル | ビット名 | 機能 | R:W | |
|------------|--------------------------|---|---------------|-----|
| VPS_HP3 | VPS、VBIスライスチェック開始位置選択ビット | VPS、VBIのスライスチェック開始位置をVPS_HSとすると $VPS_HS = T2 \times \prod_{n=3}^{10} 2^{(n-3)} VPS_HPn$ T2: VPS又はVBIのクロックライン周期÷2 フレーミングコードをチェックし始める位置を設定 VPS・・・200ns (1ビット) 単位 VBI・・・800ns (1ビット) 単位 で設定可 | ○:○ | |
| VPS_HP4 | | | ○:○ | |
| VPS_HP5 | | | ○:○ | |
| VPS_HP6 | | | ○:○ | |
| VPS_HP7 | | | ○:○ | |
| VPS_HP8 | | | ○:○ | |
| VPS_HP9 | | | ○:○ | |
| VPS_HP10 | | | ○:○ | |
| 予約ビット | | | 必ず“0”にしてください。 | ×:○ |
| 何も配置されていない | | | ×:× | |
| 予約ビット | 必ず“0”にしてください。 | ×:○ | | |
| CCD | CCDスライサ選択ビット | 0 PDC, VPS, VBI 1 CCD | ○:○ | |
| 予約ビット | 必ず“0”にしてください。 | ×:○ | | |
| HGSLs | データスライサ制御ビット | 0 PDC, VPS 1 VBI | ○:○ | |
| HGSL | データスライサ制御ビット | 必ず“1”にしてください。 | ○:○ | |

(25) 18¹⁶番地(= DA5 ~ 0)



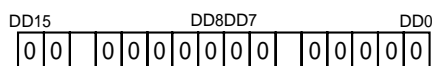
| ビットシンボル | ビット名 | 機能 | R | W | | | | | | |
|---------|----------------------------------|--|-------|------------|---|-----|---|----|---|---|
| VBIL0 | 6ラインor 318ラインのVBI エンコード選択ビット | VBILn (n = 0 ~ 17) により、エンコード を行うラインを設定します。ライン ごとに設定できます。 <table border="1" style="margin: 5px 0;"> <tr> <td style="padding: 2px;">VBILn</td> <td style="padding: 2px;">Nラインのエンコード</td> </tr> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">しない</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">する</td> </tr> </table> N : (n + 6) or (n + 318) | VBILn | Nラインのエンコード | 0 | しない | 1 | する | ○ | ○ |
| VBILn | Nラインのエンコード | | | | | | | | | |
| 0 | しない | | | | | | | | | |
| 1 | する | | | | | | | | | |
| VBIL1 | 7ラインor 319ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL2 | 8ラインor 320ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL3 | 9ラインor 321ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL4 | 10ラインor 322ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL5 | 11ラインor 323ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL6 | 12ラインor 324ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL7 | 13ラインor 325ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL8 | 14ラインor 326ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL9 | 15ラインor 327ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL10 | 16ラインor 328ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL11 | 17ラインor 329ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL12 | 18ラインor 330ラインのVBI エンコード選択ビット | | ○ | ○ | | | | | | |
| VBIL13 | 19ラインor 331ラインのVBI エンコード選択ビット | ○ | ○ | | | | | | | |
| VBIL14 | 20ラインor 332ラインのVBI エンコード選択ビット | ○ | ○ | | | | | | | |
| VBIL15 | 21ラインor 333ラインのVBI エンコード選択ビット | ○ | ○ | | | | | | | |

(26) 19₁₆番地(= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W | | |
|-----------|------------------------------|--|-------------------------|---|---|---|
| PDCF1 | PDCデータスライス選択ビット (フィールド1) | 0 | フィールド1のPDCデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド1のPDCデータをスライスする。 | | | |
| PDCF2 | PDCデータスライス選択ビット (フィールド2) | 0 | フィールド2のPDCデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド2のPDCデータをスライスする。 | | | |
| VPSF1 | VPSデータスライス選択ビット (フィールド1) | 0 | フィールド1のVPSデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド1のVPSデータをスライスする。 | | | |
| VPSF2 | VPSデータスライス選択ビット (フィールド2) | 0 | フィールド2のVPSデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド2のVPSデータをスライスする。 | | | |
| VBIF1 | VBIデータスライス選択ビット (フィールド1) | 0 | フィールド1のVBIデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド1のVBIデータをスライスする。 | | | |
| VBIF2 | VBIデータスライス選択ビット (フィールド2) | 0 | フィールド2のVBIデータをスライスしない。 | ○ | ○ | |
| | | 1 | フィールド2のVBIデータをスライスする。 | | | |
| ENCF1 | VBIデータエンコード選択ビット (フィールド1) | 0 | フィールド1にVBIデータをエンコードしない。 | ○ | ○ | |
| | | 1 | フィールド1にVBIデータをエンコードする。 | | | |
| ENCF2 | VBIデータエンコード選択ビット (フィールド2) | 0 | フィールド2にVBIデータをエンコードしない。 | ○ | ○ | |
| | | 1 | フィールド2にVBIデータをエンコードする。 | | | |
| VPS_LINE0 | VPSデータスライスライン選択ビット | VPSデータスライスラインをVPS_LINESとすると $VPS_LINES = \sum_{n=0}^4 2^n VPS_LINE_n + 7$ 通常16ライン固定 (VPS_LINE4 ~ VPS_LINE0 = " 09 ₁₆ " 固定) 00 ₁₆ ~ 10 ₁₆ の中から設定 (7ライン ~ 23ライン) | | | ○ | ○ |
| VPS_LINE1 | | | | | ○ | ○ |
| VPS_LINE2 | | | | | ○ | ○ |
| VPS_LINE3 | | | | | ○ | ○ |
| VPS_LINE4 | | | | | ○ | ○ |
| VBIL16 | 22ラインor 334ラインのVBIエンコード選択ビット | VBILn (n = 0 ~ 17) により、エンコードを行うラインを設定します。 18 ₁₆ 番地を参照してください。 | | | ○ | ○ |
| VBIL17 | 23ラインor 335ラインのVBIエンコード選択ビット | | | | ○ | ○ |
| 予約ビット | | 必ず " 0 " にしてください。 | | × | ○ | |

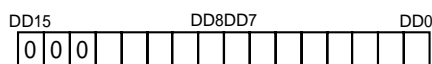
(28) 1B₁₆番地(= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | | R | W |
|----------|-------------------|---------------|-----------------|---|---|
| | 予約ビット | 必ず“0”にしてください。 | | × | ○ |
| CHK_PDC5 | フレミングコードチェック制御ビット | 0 | PDC_FLC5は有効 | ○ | ○ |
| | | 1 | PDC_FLC5は無効(注1) | | |
| | 予約ビット | 必ず“0”にしてください。 | | × | ○ |
| CHK_VPS5 | フレミングコードチェック制御ビット | 0 | VPS_FLC5は有効 | ○ | ○ |
| | | 1 | VPS_FLC5は無効(注1) | | |
| | 予約ビット | 必ず“0”にしてください。 | | × | ○ |

注1. VBIスライス時には必ず“1”に設定して下さい。

(29) 1C₁₆番地(= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | | R | W |
|-----------|------------------|---|--------------------------------|---|---|
| DIV_PDCS0 | PDC用PLL微調整ビット | PDC用スライスクロック周波数f _{PDC} の調整をします。 $f_{PDC} = f_H \times \left(\sum_{n=0}^8 2^n \text{DIV_VPS}_n + \sum_{m=0}^2 2^{m-3} \text{DIV_PDCS}_m \right)$ f _H : 水平同期信号周波数 | | ○ | ○ |
| DIV_PDCS1 | | | | ○ | ○ |
| DIV_PDCS2 | | | | ○ | ○ |
| DIV_PDC0 | PDC用PLLの分周値選択ビット | SEL_PDCH(0F ₁₆ 番地)="0"の場合 DIV_PDC8 ~ 0= (110111011) ₂ DIV_PDCS2 ~ 0= (110) ₂ と設定してください。 SEL_PDCH="1"の場合 DIV_PDC8 ~ 0= (000010010) ₂ DIV_PDCS2 ~ 0= (101) ₂ と設定してください。 | | ○ | ○ |
| DIV_PDC1 | | | | ○ | ○ |
| DIV_PDC2 | | | | ○ | ○ |
| DIV_PDC3 | | | | ○ | ○ |
| DIV_PDC4 | | | | ○ | ○ |
| DIV_PDC5 | | | | ○ | ○ |
| DIV_PDC6 | | | | ○ | ○ |
| DIV_PDC7 | | | | ○ | ○ |
| DIV_PDC8 | | | | ○ | ○ |
| SELPEEK | ピーク点検出選択ビット | 0 | A/Dデータから検出 | ○ | ○ |
| | | 1 | 演算後のデータから検出。 通常“1”設定してください。 | | |
| | 予約ビット | 必ず“0”にしてください。 | | × | ○ |

三菱マイクロコンピュータ M306H1SFP

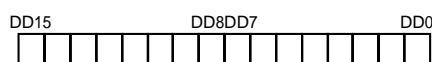
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

(30) 1D₁₆番地 (= DA5 ~ 0)



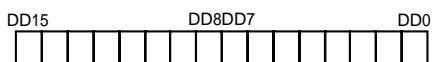
| ビットシンボル | ビット名 | 機能 | R | W |
|-----------|--------------------------|---|---|---|
| DIV_VPSS0 | VPS、VBI用PLL調整ビット | VPS、VBI用スライスクロック周波数 fVPSの調整をします。 $f_{VPS} = f_H \times \left(\prod_{n=0}^8 2^n \text{DIV_VPSn} + \prod_{m=0}^2 2^{m-3} \text{DIV_VPSSm} \right)$ fH: 水平同期信号周波数 | ○ | ○ |
| DIV_VPSS1 | | | ○ | ○ |
| DIV_VPSS2 | | | ○ | ○ |
| DIV_VPS0 | VPS、VBI用PLLの分周値 選択ビット | SEL_VPSH(12 ₁₆ 番地)="0"の場合 DIV_VPS8 ~ 0= (10011111) ₂ DIV_VPSS2 ~ 0= (110) ₂ と設定してください。 SEL_VPSH="1"の場合 DIV_VPS8 ~ 0= (00001111) ₂ DIV_VPSS2 ~ 0= (110) ₂ と設定してください。 | ○ | ○ |
| DIV_VPS1 | | | ○ | ○ |
| DIV_VPS2 | | | ○ | ○ |
| DIV_VPS3 | | | ○ | ○ |
| DIV_VPS4 | | | ○ | ○ |
| DIV_VPS5 | | | ○ | ○ |
| DIV_VPS6 | | | ○ | ○ |
| DIV_VPS7 | | | ○ | ○ |
| DIV_VPS8 | | | ○ | ○ |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |

(31) 1E₁₆番地 (= DA5 ~ 0)



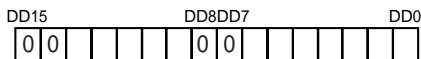
| ビットシンボル | ビット名 | 機能 | R | W |
|---------|------|-------------------------|---|---|
| 予約ビット | | 書き込み不可。 読み出し専用ビットです。 | × | × |

(32) 1F₁₆番地 (= DA5 ~ 0)



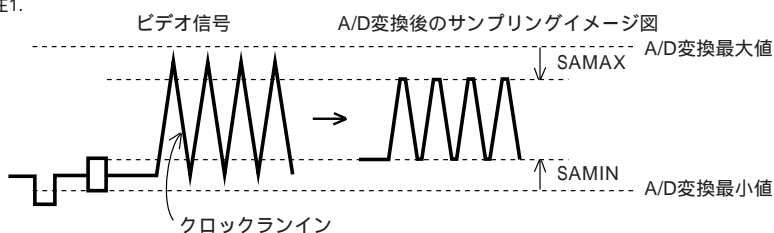
| ビットシンボル | ビット名 | 機能 | R | W |
|---------|------------|-------------------------|---|---|
| 予約ビット | | 書き込み不可。 読み出し専用ビットです。 | × | × |
| FLD | フィールドフラグ | 0 第2 フィールド | ○ | × |
| | | 1 第1 フィールド | ○ | × |
| 予約ビット | | 書き込み不可。 読み出し専用ビットです。 | × | × |
| MACRON | マクロビジョンフラグ | 0 マクロビジョン無 | ○ | × |
| | | 1 マクロビジョン有 | ○ | × |
| 予約ビット | | 書き込み不可。 読み出し専用ビットです。 | × | × |

(33) 20₁₆番地 (= DA5 ~ 0)

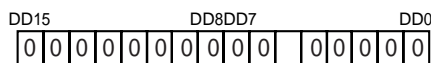


| ビットシンボル | ビット名 | 機能 | R | W |
|---------|---------------------------|--|---|---|
| MAX0 | スライスデータサンプリング 最大値選択ビット | A/D後のサンプリング最大値を設定 します。 $SAMAX = \sum_{n=0}^5 2^n \times MAXn$ (注1) | ○ | ○ |
| MAX1 | | | ○ | ○ |
| MAX2 | | | ○ | ○ |
| MAX3 | | | ○ | ○ |
| MAX4 | | | ○ | ○ |
| MAX5 | | | ○ | ○ |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |
| MIN0 | スライスデータサンプリング 最小値選択ビット | A/D後のサンプリング最小値を設定 します。 $SAMIN = \sum_{n=0}^5 2^n \times MINn$ (注1) | ○ | ○ |
| MIN1 | | | ○ | ○ |
| MIN2 | | | ○ | ○ |
| MIN3 | | | ○ | ○ |
| MIN4 | | | ○ | ○ |
| MIN5 | | | ○ | ○ |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |

注1.

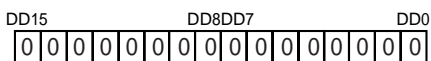


(34) 21₁₆番地 (= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W |
|------------|------------------|-----------------------------|---|---|
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |
| DBL_HEIGHT | 垂直 2 倍サイズ表示選択ビット | 0 垂直文字サイズ 2 倍表示時、次の行を表示します | ○ | ○ |
| | | 1 垂直文字サイズ 2 倍表示時、次の行を表示しません | | |
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |

(35) 22₁₆番地 (= DA5 ~ 0)



| ビットシンボル | ビット名 | 機能 | R | W |
|---------|------|---------------|---|---|
| 予約ビット | | 必ず“0”にしてください。 | × | ○ |

2.15.9 拡張レジスタ構成の補足

(1) ポート出力とR、G、B出力の切り替え

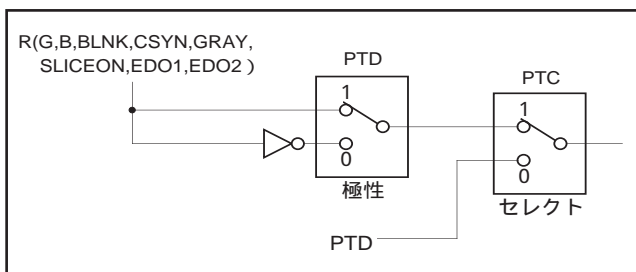


図2.15.29 ポート出力とR、G、B出力の切り替え

(2) ビデオ信号レベル

表2.15.9 ビデオ信号レベル

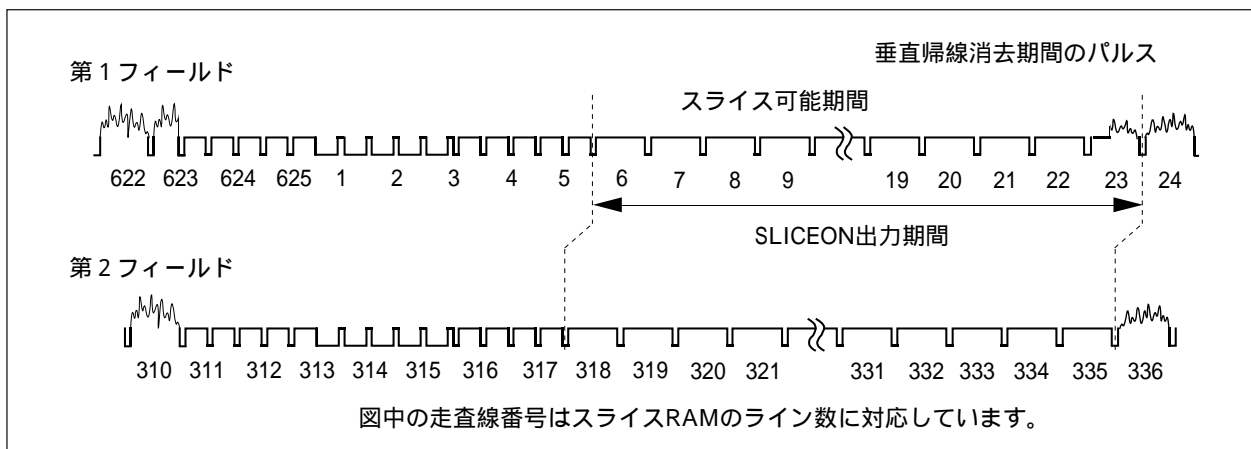
| 色 | 位相角 (rad) | 輝度レベル (V) (注1) | | | 振幅レベル(mV)(注1) | | | 振幅比 (注1, 2) | | |
|---------|--------------------------|----------------|------|------|---------------|------|------|-------------|------|------|
| | | 最小 | 標準 | 最大 | 最小 | 標準 | 最大 | 最小 | 標準 | 最大 |
| シンクチップ | - | 0.90 | 1.00 | 1.10 | - | - | - | - | - | - |
| ペDESTAL | - | 1.50 | 1.60 | 1.70 | - | - | - | - | - | - |
| カラーバースト | $\pm 4 / 16$ | 1.50 | 1.60 | 1.70 | 480 | 600 | 720 | - | 1.00 | - |
| 黒 | - | 1.50 | 1.60 | 1.70 | - | - | - | - | - | - |
| 赤 | $\pm 7 / 16 \pm 2 / 16$ | 1.70 | 1.80 | 1.90 | 1020 | 1200 | 1380 | 1.70 | 2.00 | 2.30 |
| 緑 | $\mp 5 / 16 \pm 2 / 16$ | 1.95 | 2.05 | 2.15 | 930 | 1100 | 1270 | 1.55 | 1.83 | 2.11 |
| 黄 | $\pm / 16 \pm 2 / 16$ | 2.25 | 2.35 | 2.45 | 670 | 800 | 920 | 1.13 | 1.33 | 1.53 |
| 青 | $\mp 15 / 16 \pm 2 / 16$ | 1.60 | 1.70 | 1.80 | 670 | 800 | 920 | 1.13 | 1.33 | 1.53 |
| マゼンタ | $\mp 11 / 16 \pm 2 / 16$ | 1.80 | 1.90 | 2.00 | 930 | 1100 | 1270 | 1.55 | 1.83 | 2.11 |
| シアン | $\mp 9 / 16 \pm 2 / 16$ | 2.10 | 2.20 | 2.30 | 1020 | 1200 | 1380 | 1.70 | 2.00 | 2.30 |
| グレイ | - | 2.10 | 2.20 | 2.30 | - | - | - | - | - | - |
| 白 | - | 2.40 | 2.50 | 2.60 | - | - | - | - | - | - |

注1.本ビデオ信号の輝度レベル、振幅比はPAL方式についてのみ規定。

2.振幅比は、(各色の振幅/カラーバーストの振幅)により規定。

(3) スライスタイミング

SLICEON信号はスライス可能期間に出力します。



図中の走査線番号はスライスRAMのライン数に対応しています。

図2.15.30 スライスタイミング

2.15.10 表示形態

(1) ブランキングモード

ブランキングの表示形態を表2.15.10に示します。

また、各ブランキングにおける表示形態を図2.15.31に示します。

表2.15.10 表示形態

| 表示モード | DSP1xx (0816,0916番地) | DSP0xx (0616,0716番地) | BLNK出力 |
|--------|-------------------------|-------------------------|-----------|
| キャラクタ | 0 | 0 | キャラクタサイズ |
| (設定禁止) | 0 | 1 | —— |
| ベタ | 1 | 0 | 全ブランキング |
| ハーフトーン | 1 | 1 | ブランキングOFF |

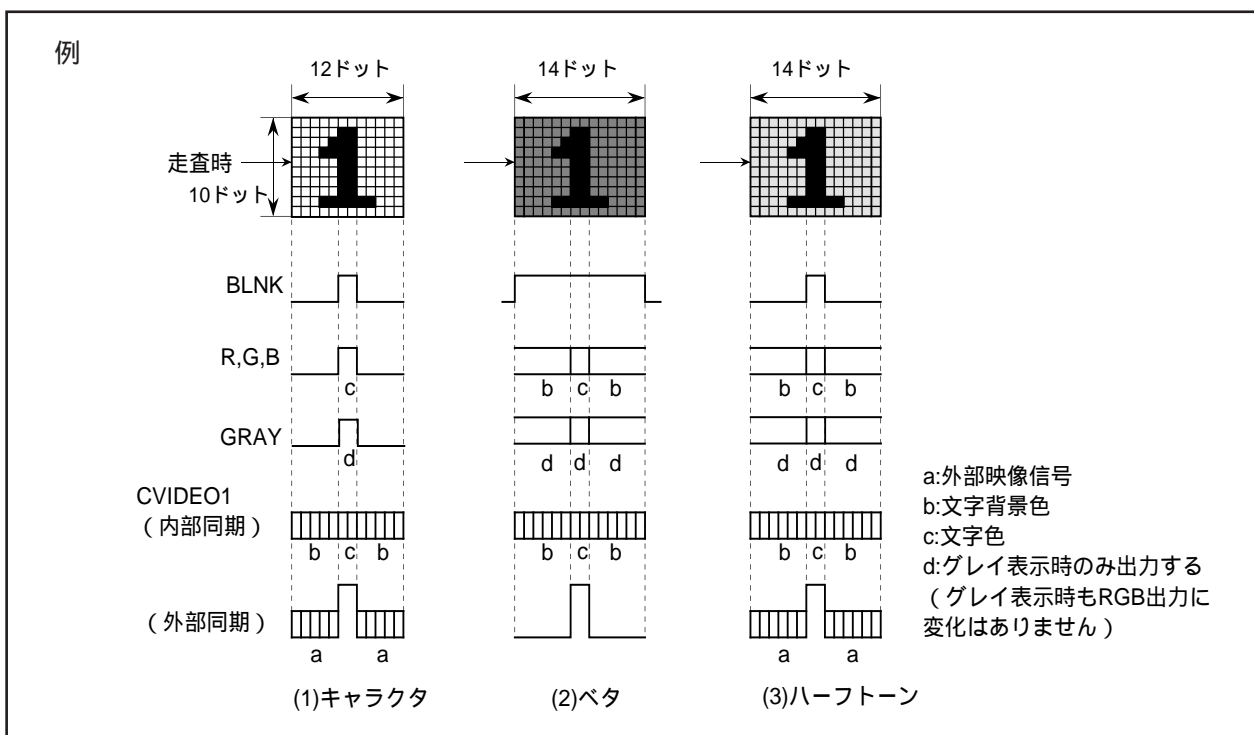


図2.15.31 各ブランキングモードにおける表示形態

ベタ、ハーフトーンの場合には、キャラクタの水平方向ドット数が14ドットになります。

隣接する文字の背景色が異なる場合、及びキャラクタコード7F16の表示例を図2.15.32に示します。

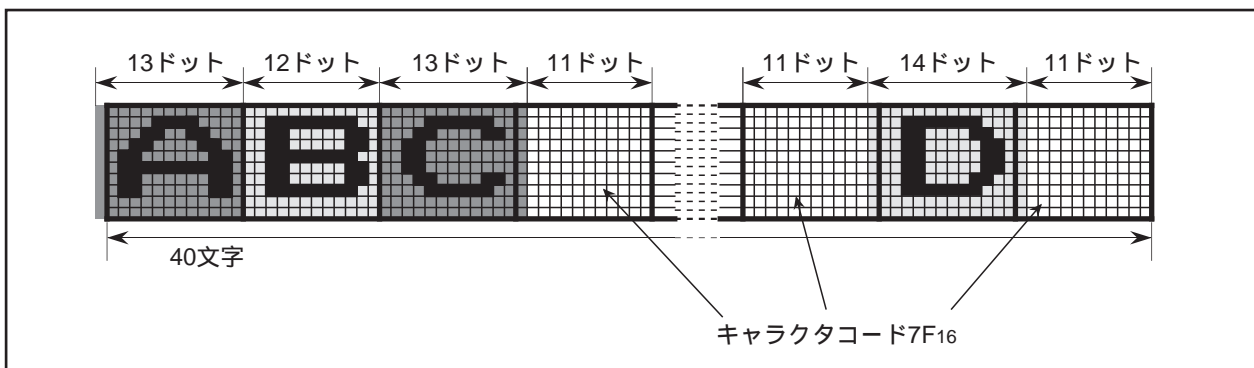


図2.15.32 ベタ、及びハーフトーン時の水平方向ドット数

(2) 全ベタ領域設定

レジスタALL24 (0E16番地) により全ベタ領域を設定します。

全ベタ領域はレジスタDSP1xx (0816,0916番地) により行単位で設定できます。ただし、レジスタEX (0D16番地) が“0” (外部同期) の場合は設定禁止です。

全ベタ領域の設定例を図2.15.33に示します。

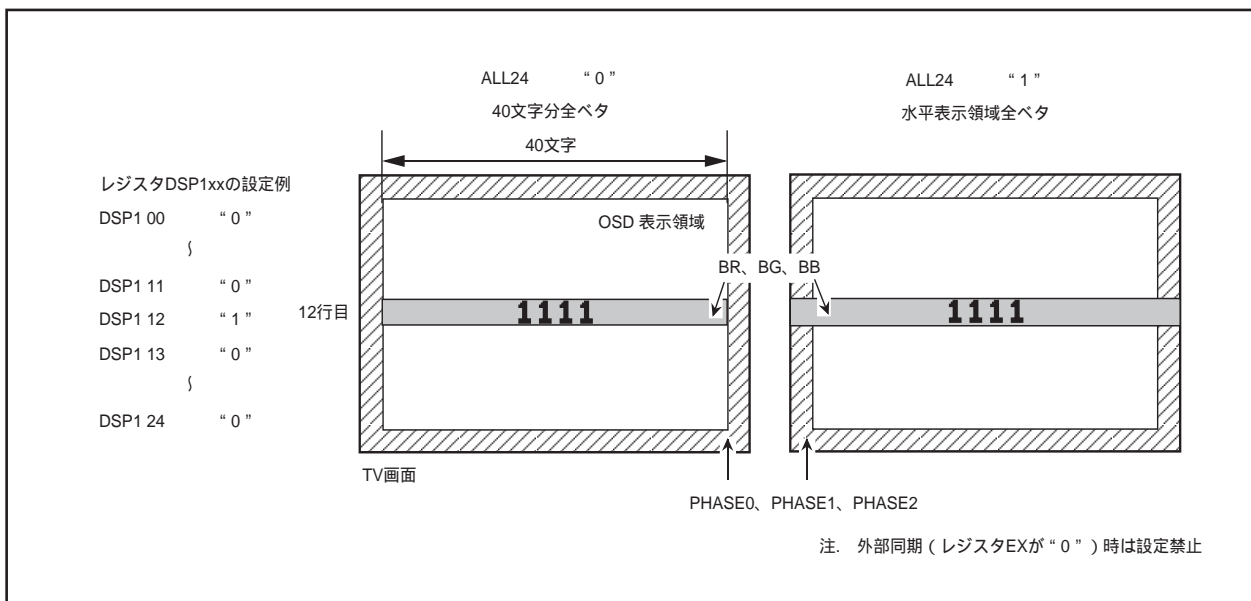


図2.15.33 全ベタ領域の設定例

(3) ブリンクモード

表示用RAMのBLINKビットによってブリンクします。また、ブリンク時間を決定するデューティ比、及び周期はレジスタBLINK0、1、2 (0516番地) によって設定します。表2.15.11にブリンクモードを示します (SYRAMはブリンクしません)。

表2.15.12,2.15.13にデューティ比、及び周期とレジスタの設定内容をそれぞれ示します。

表2.15.11 ブリンクモード

| ブリンクモード | ブリンクOFF時 |
|---------|----------|
| 点滅 | |

表2.15.12 デューティ比の設定

| BLINK1 \ BLINK0 | 0 | 1 |
|-----------------|-----------|-----------|
| | 0 | ブリンク OFF |
| 1 | デューティ 50% | デューティ 75% |

表2.15.13 周期の設定

| BLINK2 | 周期 |
|--------|-------------------|
| 0 | 約1秒 (垂直同期の64分周) |
| 0 | 約0.5秒 (垂直同期の32分周) |

(4) スクロール表示モード

レジスタSBIT0~3(SA)、SLIN0~4(SB)(0A₁₆番地)、SST0~4(SC)、SEND0~4(SD)(0B₁₆番地)を設定することによりスクロール表示モードとなります(SD=0の場合はスクロールオフ)。

(SC)行目~(SD-1)行目がスクロール範囲となり、その上下は固定部となります。また、スクロール部の開始行、開始ドットは(SB)行の(SA)ドット目となります。

SA、SBを連続してインクリメント又はデクリメントすることによって上方向、又は下方向にスクロールします。

図2.15.34にスクロールの例を示します。これらの例におけるスクロール範囲20行分(2~21行目)のうち、同時に表示できる行は19行分で残りの1行はダミー行として表示されません。

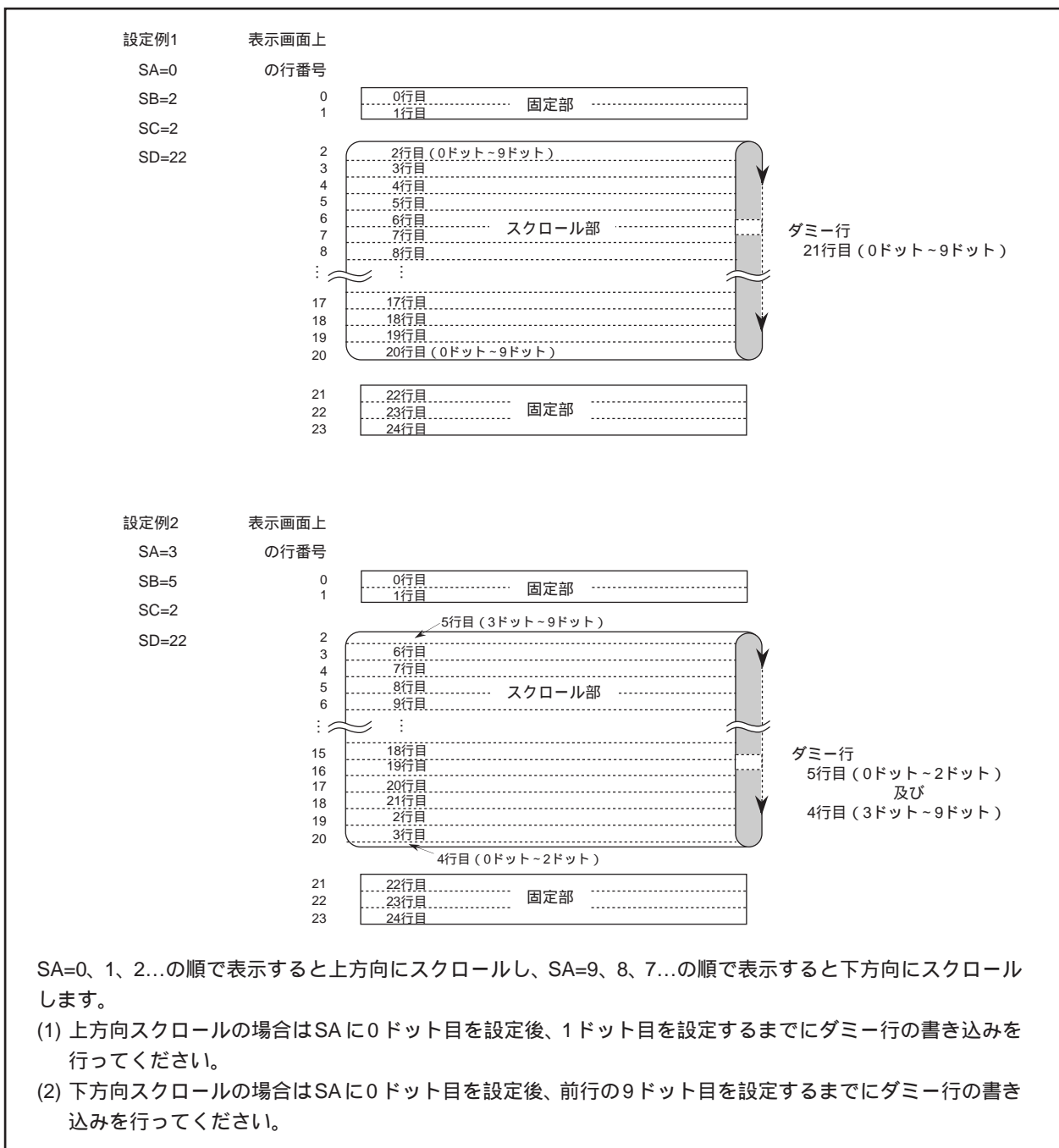


図2.15.34 スクロール設定例

2.15.11 8/4ハミングデコーダ

8/4ハミングデコーダは8/4ハミングレジスタ（021A₁₆番地）に8/4ハミングエンコードされたデータを書き込むだけで動作します。また、8/4ハミングレジスタは16ビットの構成になっており、一度に2組のデータをデコードすることができます。

デコード結果は8/4ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。また、1重誤りの場合はデコード値を訂正して出力し、2重誤りの場合はエラー情報のみを出力します。

図2.15.35にデコード結果を、図2.15.36にハミング8/4レジスタの構成を示します。

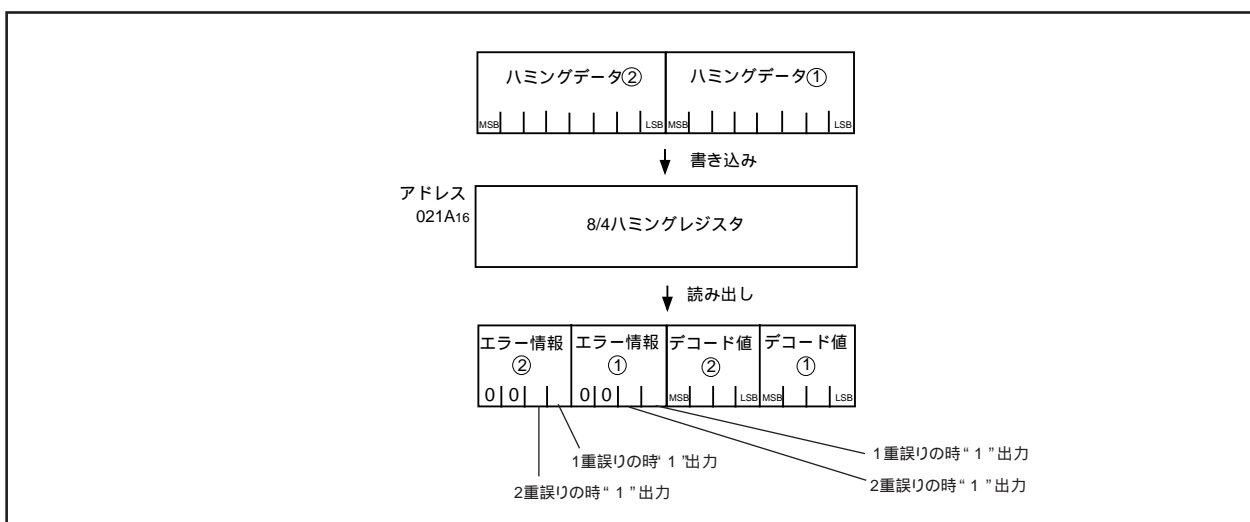


図2.15.35 デコード結果

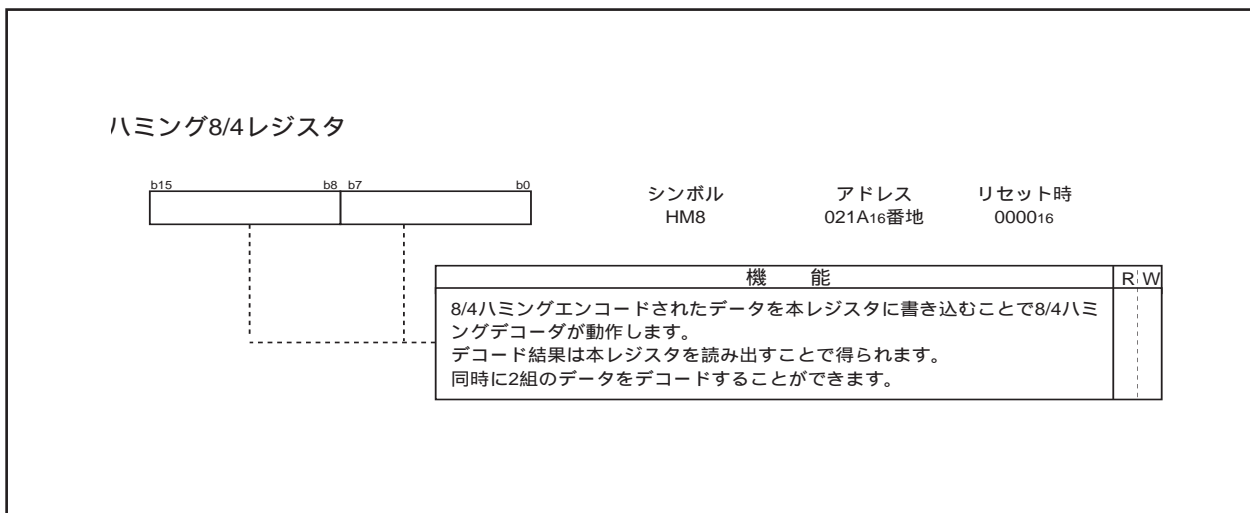


図2.15.36 ハミング8/4レジスタの構成

2.15.12 24/18ハミングデコーダ

24/18ハミングデコーダは、24/18ハミングレジスタ0（021C₁₆番地）と24/18ハミングレジスタ1（021E₁₆番地）に24/18ハミングエンコードされたデータを書き込むだけで動作します。

デコード結果は同じ24/18ハミングレジスタを読み出すことで得られ、デコード値とエラー情報が出力されます。

図2.15.37にデコード結果を、図2.15.38にハミング24/18レジスタの構成を示します。

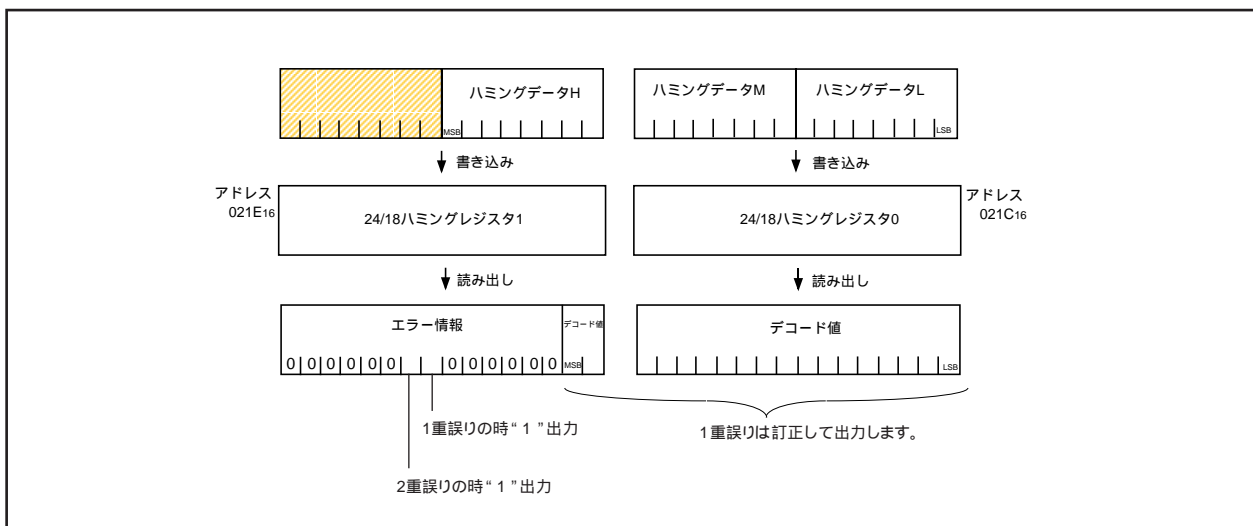


図2.15.37 デコード結果

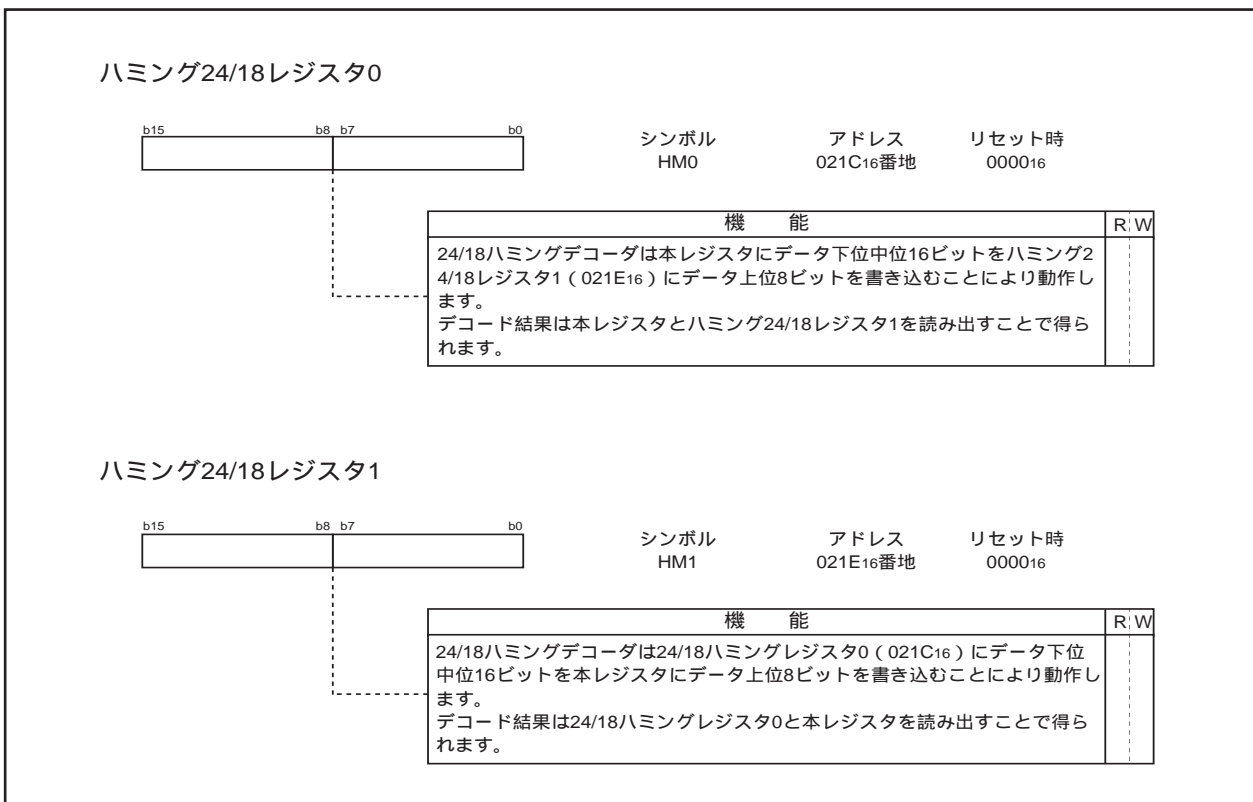


図2.15.38 ハミング24/18レジスタの構成

連続誤り訂正

ハミング24 / 18レジスタと同時に、8/4ハミングレジスタ（021A₁₆番地）を使用することにより24/18ハミングの連続誤り訂正を行うことができます。

図2.15.39に連続誤り訂正シーケンスを示します。

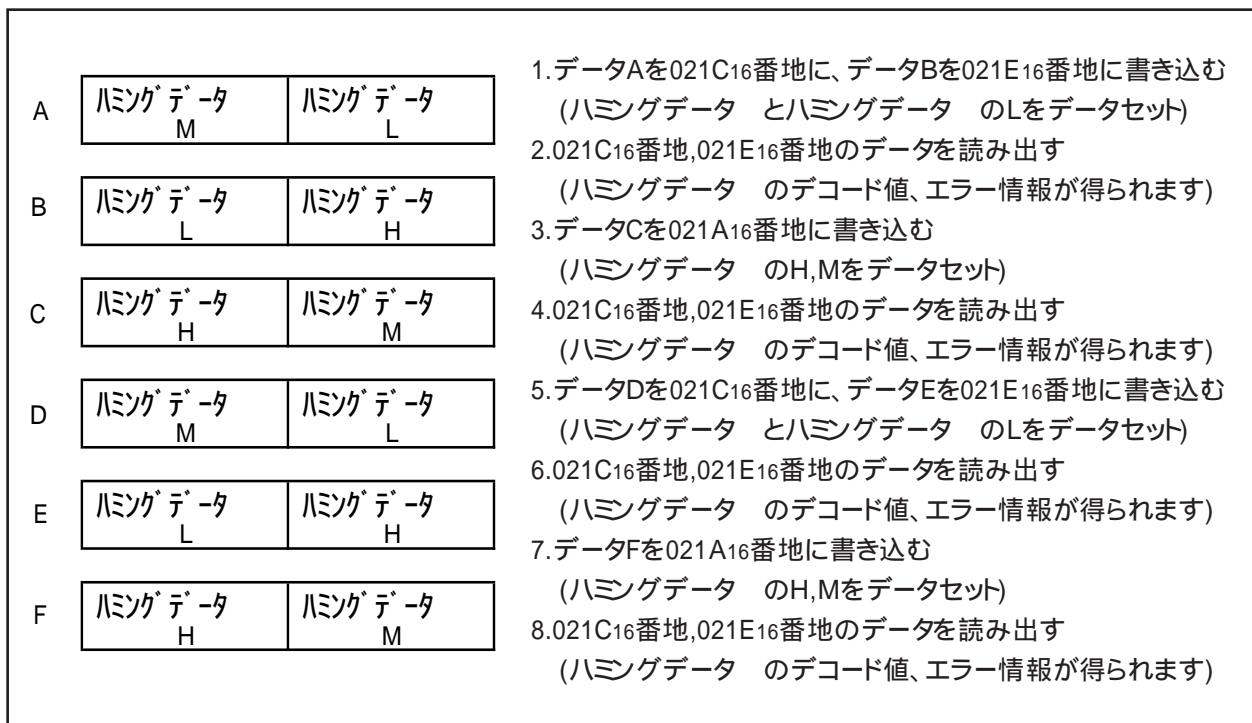


図2.15.39 連続誤り訂正シーケンス

なお、本動作については、ハミング8 / 4の回路を一部使用しておりますので、本動作を同時に使用できません。

ハミング回路を使用する場合はハミングデータセット後に、デコード結果読み出し動作をすぐに行い、デコード結果読み出し前に他のメモリ（ハミング回路を含む）へのアクセスを行わないで下さい。

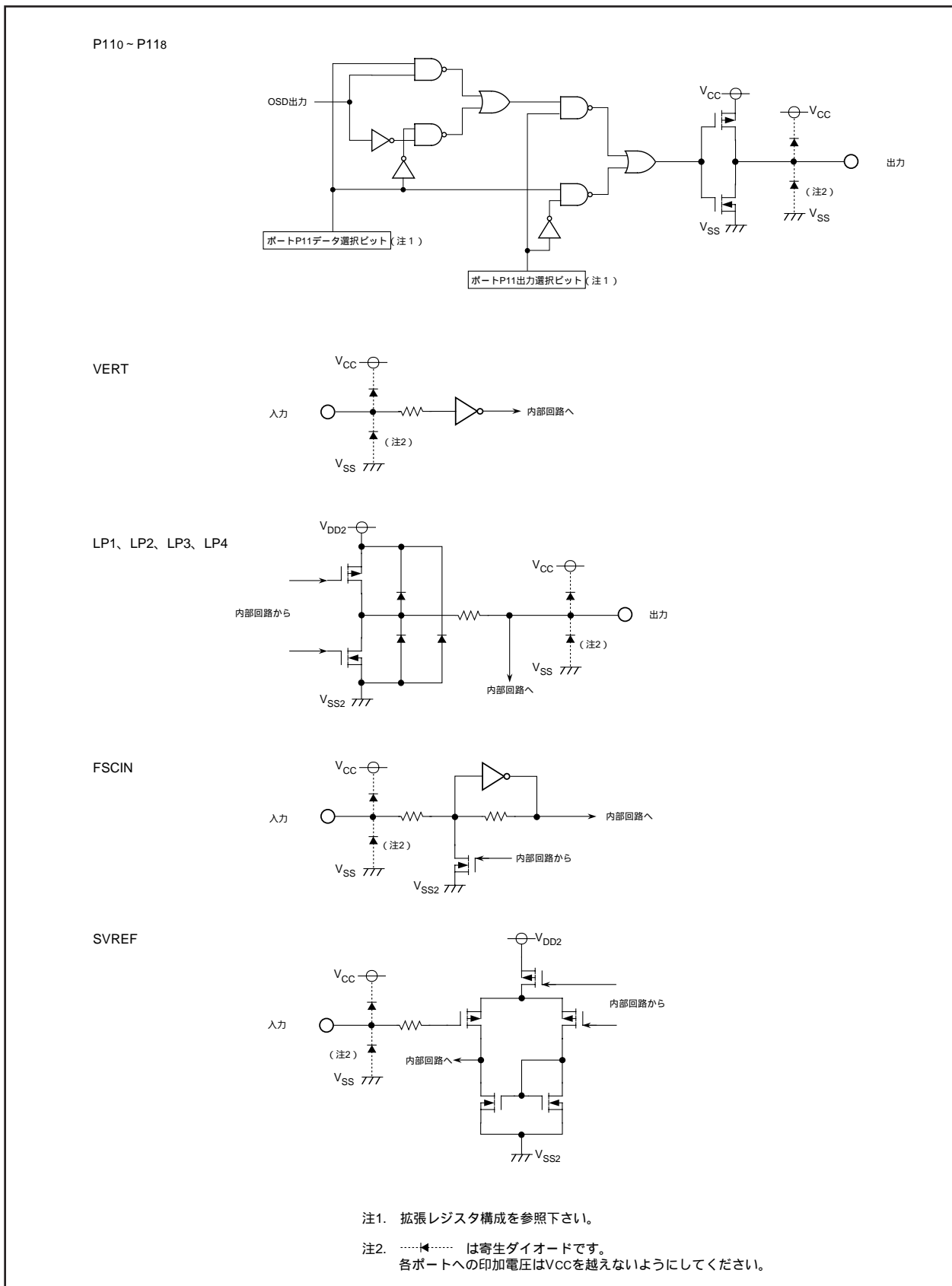


図2.15.41 拡張機能用端子の構成 (2)

2.16 プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P8sは除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P8sは入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図2.16.1～図2.16.4に、端子の構成を、図2.16.5に示します。各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図2.16.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

注1. P8sの方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図2.16.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図2.16.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、P0～P5はプルアップ制御レジスタの設定は無効です。

(4) ポート制御レジスタ

ポート制御レジスタの構成を、図2.16.9に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下の様になります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。

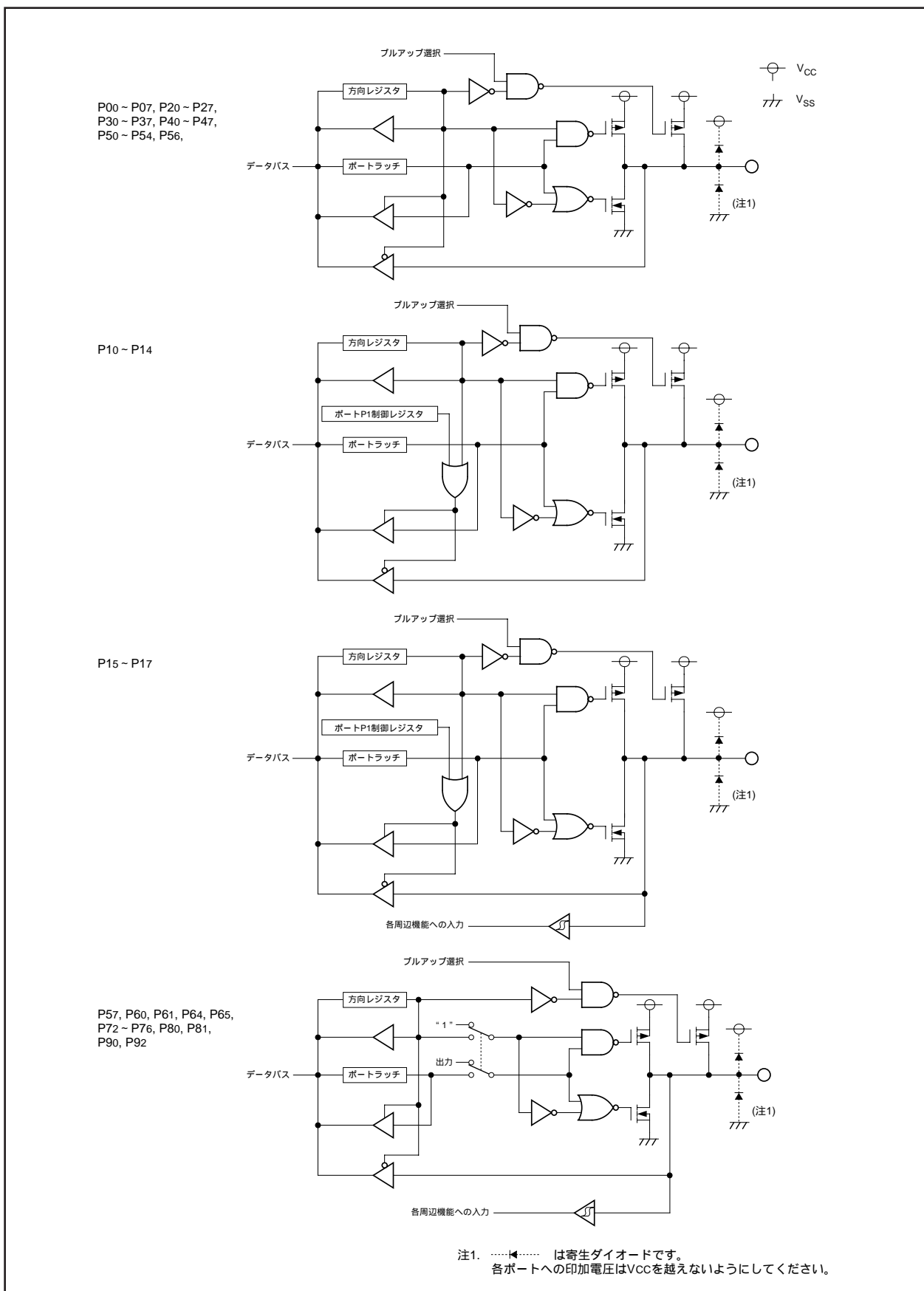


図2.16.1 プログラマブル入出力ポートの構成(1)

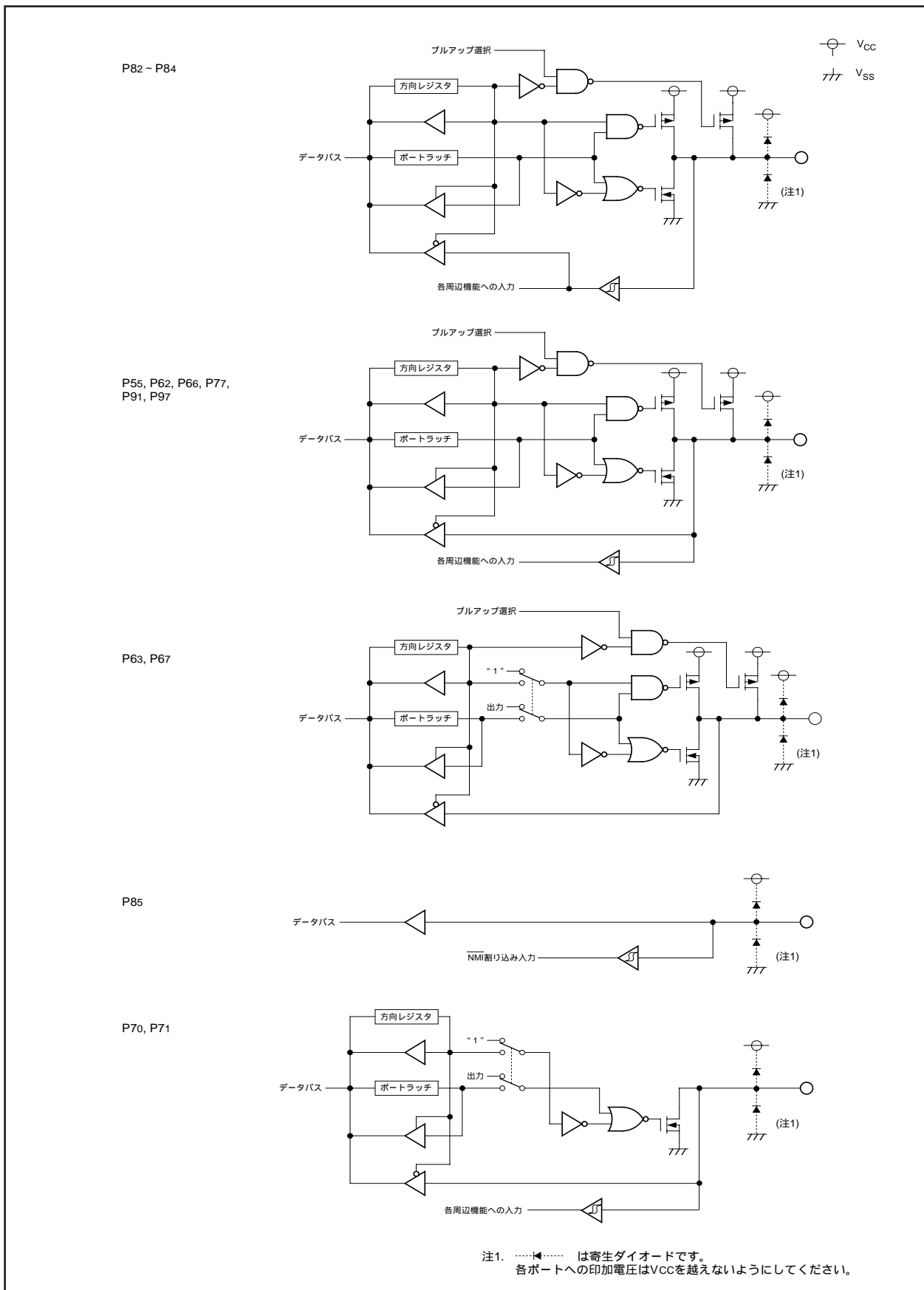


図2.16.2 プログラマブル入出力ポートの構成(2)

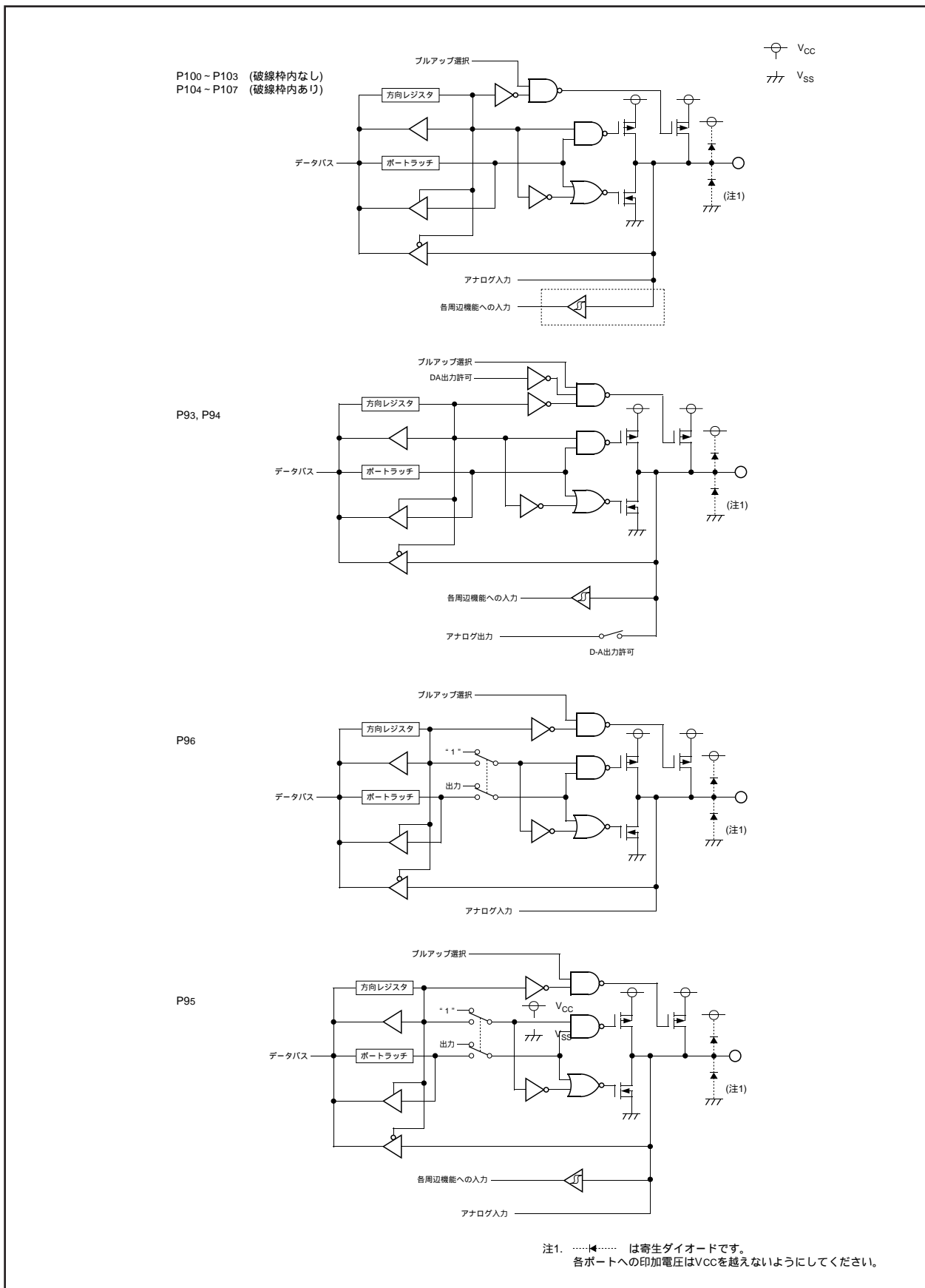


図2.16.3 プログラマブル入出力ポートの構成(3)

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

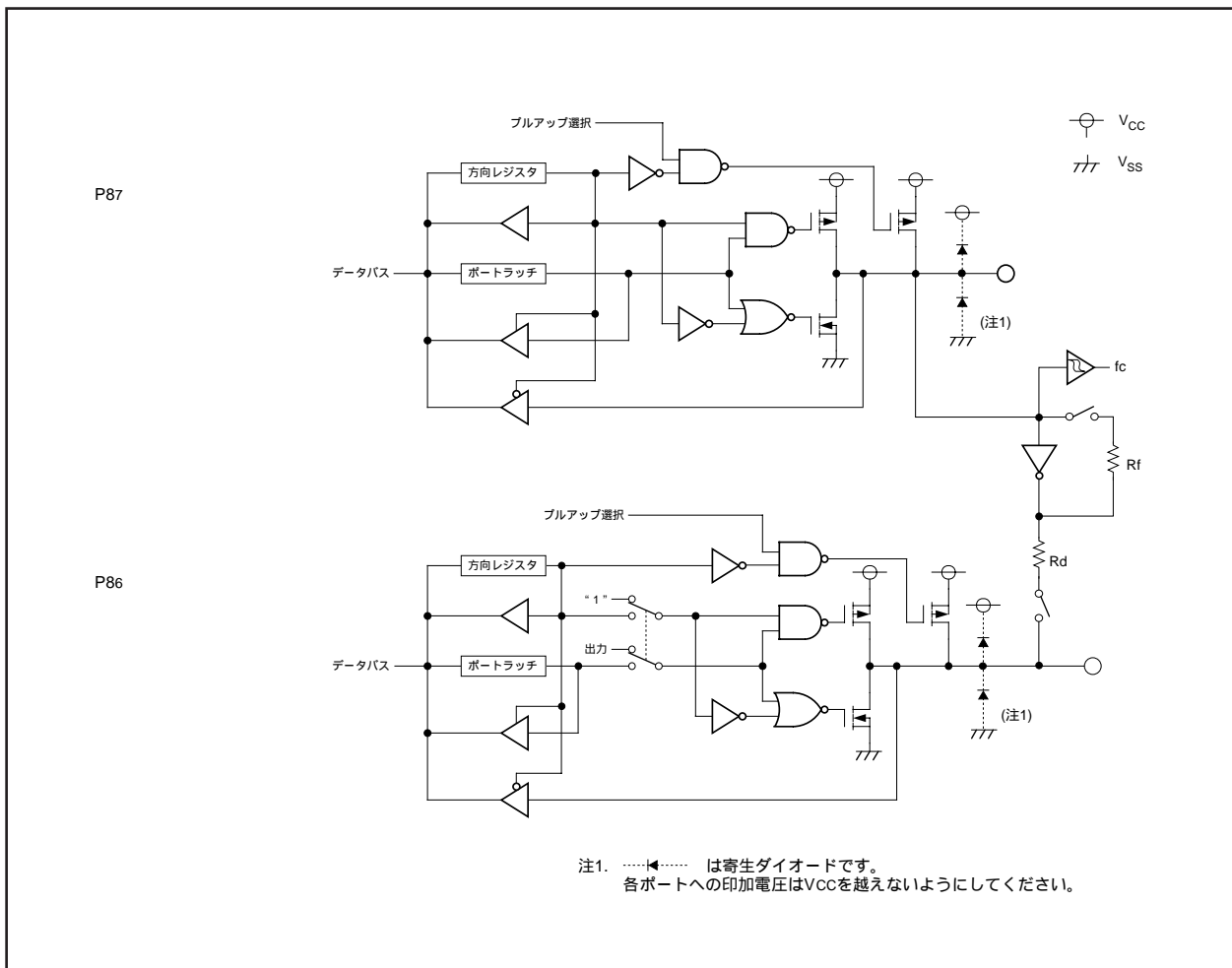


図2.16.4 プログラマブル入出力ポートの構成(4)

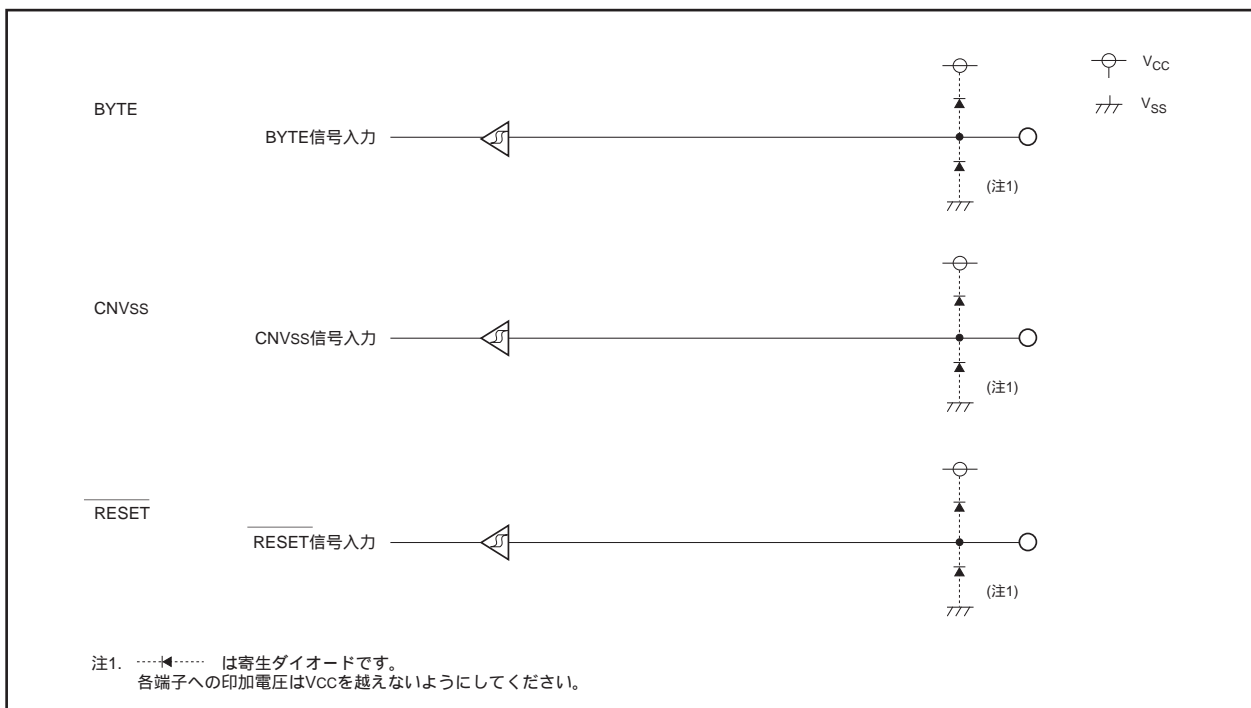


図2.16.5 端子の構成

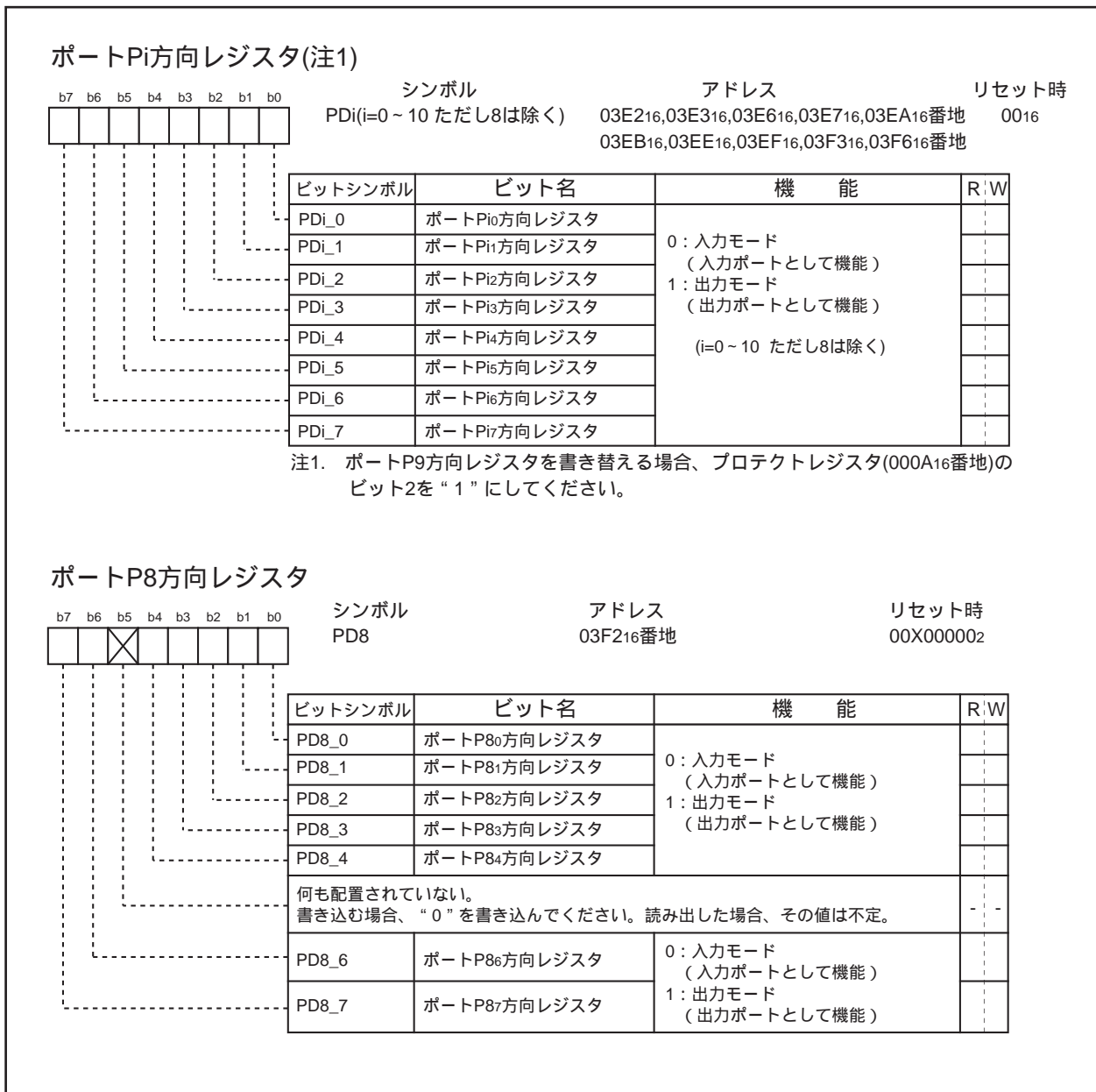


図2.16.6 方向レジスタの構成

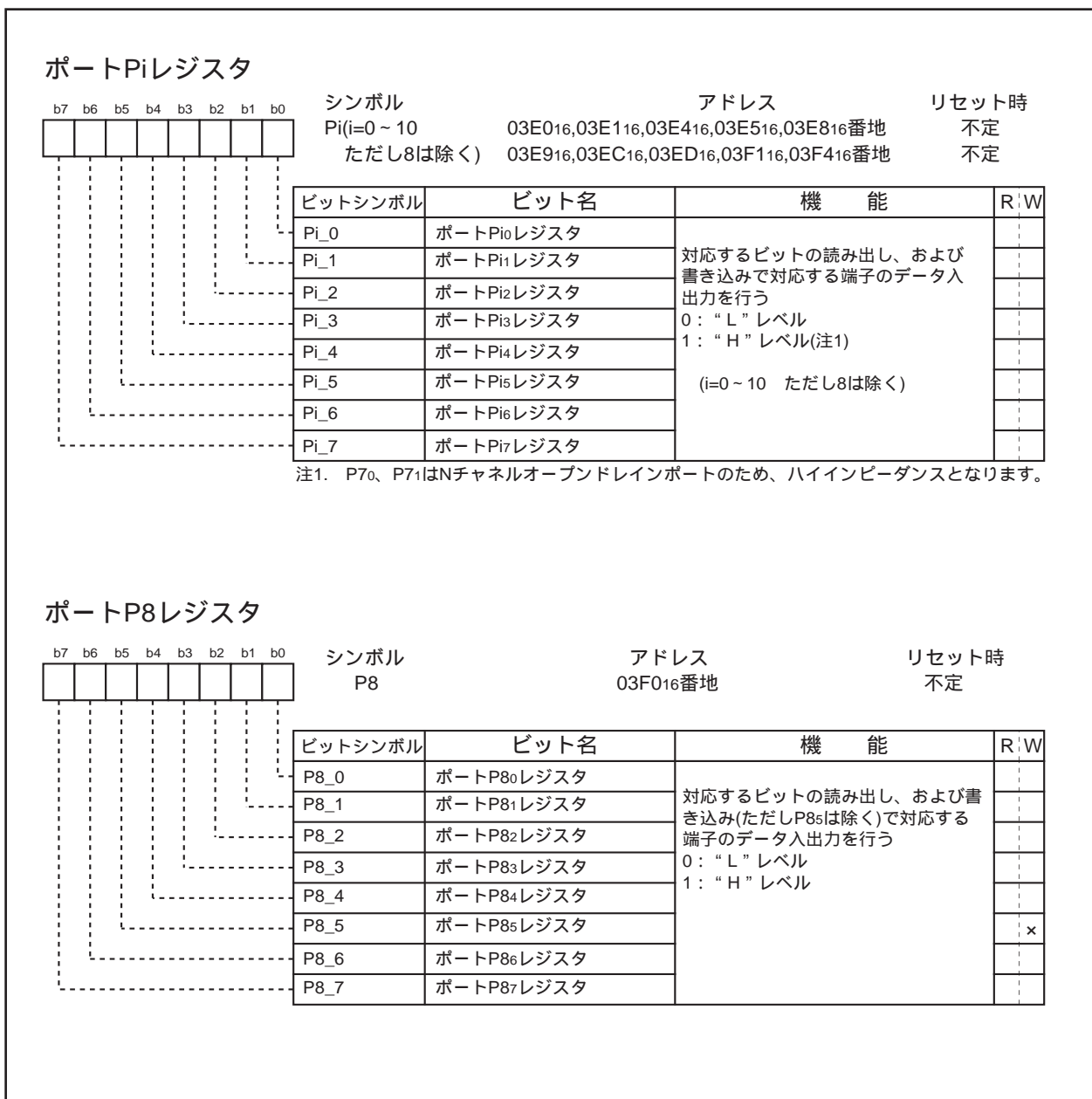
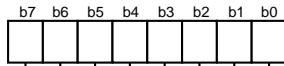


図2.16.7 ポートレジスタの構成

プルアップ制御レジスタ0



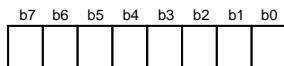
シンボル
PUR0

アドレス
03FC₁₆番地

リセット時
00₁₆

| ビットシンボル | ビット名 | 機能 | R | W |
|---------|--|--|---|---|
| PU00 | P0 ₀ ~ P0 ₃ のプルアップ | 対応するポートのプルアップの設定を行う 0: プルアップなし 1: 使用禁止 | | |
| PU01 | P0 ₄ ~ P0 ₇ のプルアップ | | | |
| PU02 | P1 ₀ ~ P1 ₃ のプルアップ | | | |
| PU03 | P1 ₄ ~ P1 ₇ のプルアップ | | | |
| PU04 | P2 ₀ ~ P2 ₃ のプルアップ | | | |
| PU05 | P2 ₄ ~ P2 ₇ のプルアップ | | | |
| PU06 | P3 ₀ ~ P3 ₃ のプルアップ | | | |
| PU07 | P3 ₄ ~ P3 ₇ のプルアップ | | | |

プルアップ制御レジスタ1



シンボル
PUR1

アドレス
03FD₁₆番地

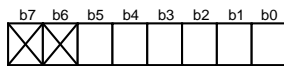
リセット時
00₁₆ (注2)

| ビットシンボル | ビット名 | 機能 | R | W |
|---------|---|---|---|---|
| PU10 | P4 ₀ ~ P4 ₃ のプルアップ | 対応するポートのプルアップの設定を行う 0: プルアップなし 1: 使用禁止 | | |
| PU11 | P4 ₄ ~ P4 ₇ のプルアップ | | | |
| PU12 | P5 ₀ ~ P5 ₃ のプルアップ | | | |
| PU13 | P5 ₄ ~ P5 ₇ のプルアップ | | | |
| PU14 | P6 ₀ ~ P6 ₃ のプルアップ | 対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり | | |
| PU15 | P6 ₄ ~ P6 ₇ のプルアップ | | | |
| PU16 | P7 ₂ ~ P7 ₃ のプルアップ (注1) | | | |
| PU17 | P7 ₄ ~ P7 ₇ のプルアップ | | | |

注1. P7₀、P7₁はNチャネルオープンドレインポートのため、プルアップはありません。

注2. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります(PU11が“1”になります)。

プルアップ制御レジスタ2



シンボル
PUR2

アドレス
03FE₁₆番地

リセット時
00₁₆

| ビットシンボル | ビット名 | 機能 | R | W |
|---------------------------------------|--|---|---|---|
| PU20 | P8 ₀ ~ P8 ₃ のプルアップ | 対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり | | |
| PU21 | P8 ₄ ~ P8 ₇ のプルアップ (ただしP8 ₅ は除く) | | | |
| PU22 | P9 ₀ ~ P9 ₃ のプルアップ | | | |
| PU23 | P9 ₄ ~ P9 ₇ のプルアップ | | | |
| PU24 | P10 ₀ ~ P10 ₃ のプルアップ | | | |
| PU25 | P10 ₄ ~ P10 ₇ のプルアップ | | | |
| 何も配置されていない。 | | | - | - |
| 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。 | | | - | - |

図2.16.8 プルアップ制御レジスタの構成

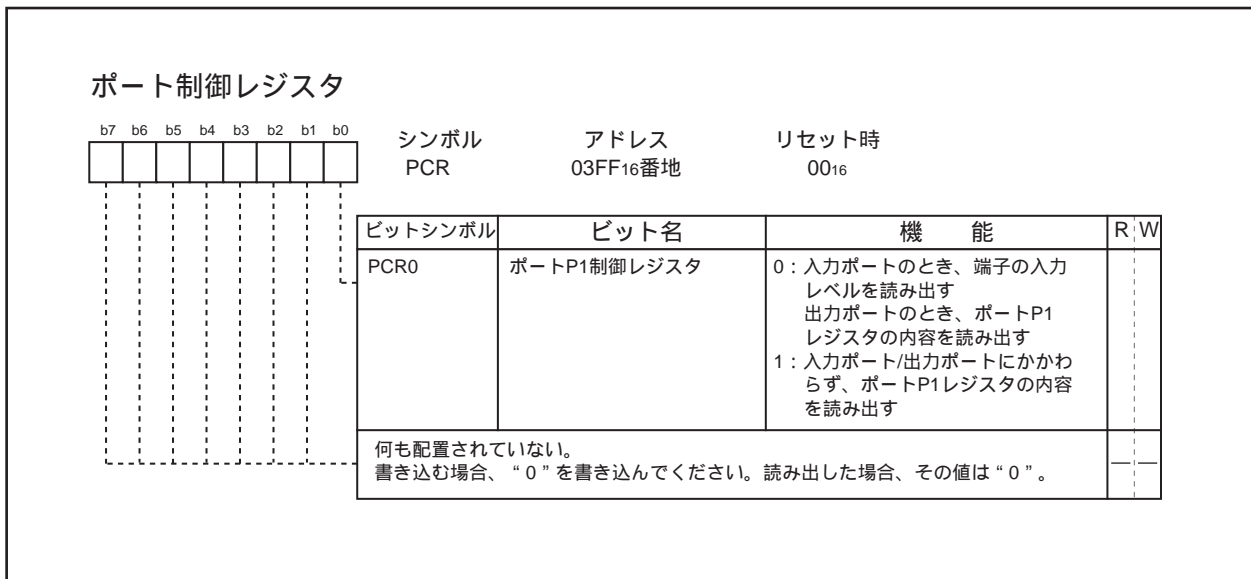
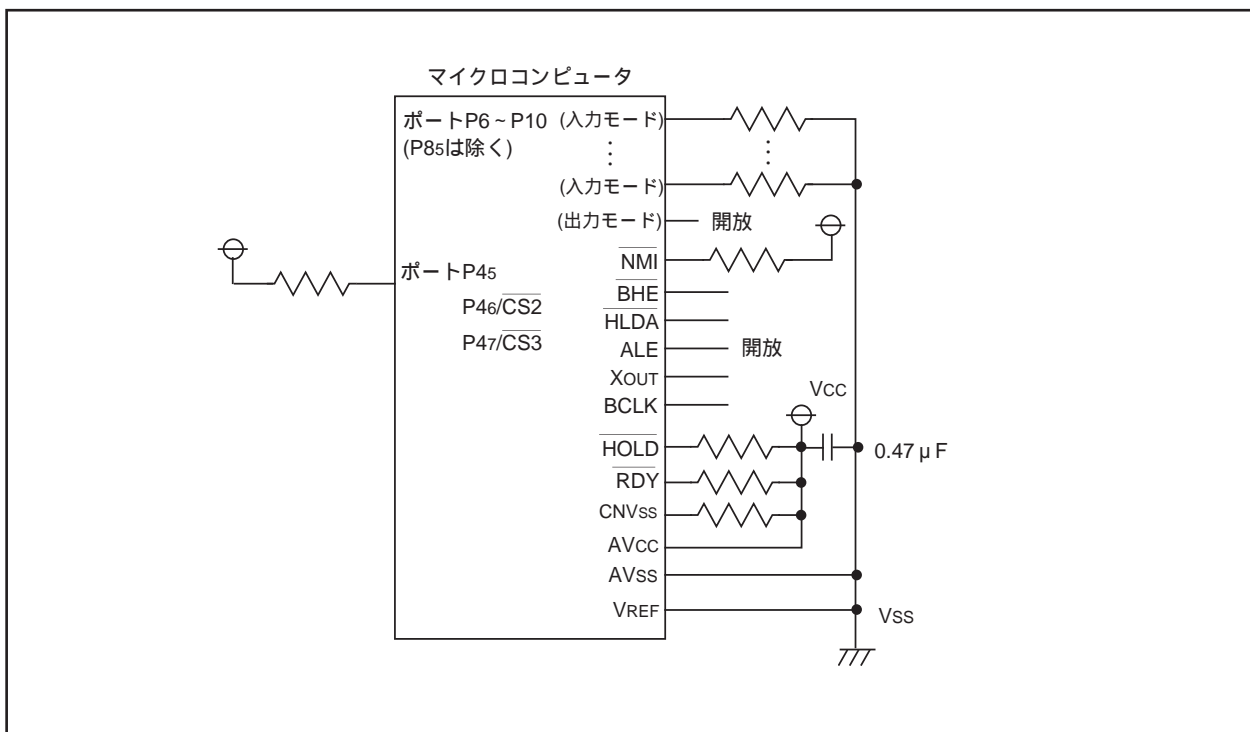


図2.16.9 ポート制御レジスタの構成

表2.16.1 未使用端子の処理例

| 端子名 | 処理内容 |
|--|--|
| ポートP6 ~ P10(P8sは除く) | 入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放 |
| P45,P46/ $\overline{CS2}$,P47/ $\overline{CS3}$ | ポートを入力モードに設定し、 $\overline{CS2}$, $\overline{CS3}$ 出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ) |
| \overline{BHE} , \overline{ALE} , \overline{HLDA} , XOUT(注1), BCLK | 開放 |
| \overline{HOLD} , \overline{RDY} , \overline{NMI} | 抵抗を介してVccに接続(プルアップ) |
| AVcc | Vccに接続 |
| AVss, VREF | Vssに接続 |
| CNVss | 抵抗を介してVccに接続(プルアップ) |

注1. XIN端子に外部クロックを入力しているとき



3. 使用上の注意事項

タイマ A の注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマ A の注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイム選択時、カウントを停止した場合は、タイマを再設定してください。
- (3) イベントカウンタモードのフリーランタイムで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始時にタイマレジスタに値を設定しても、不定値からカウントを開始することがあります。この現象は、イベントカウンタモードのフリーランタイムだけで発生します。また、カウント中にタイマレジスタの値が不定になることはありません。

タイマ A の注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、ワンショットタイマモードを選択したとき
動作モードをタイマモードからワンショットタイマモードに変更したとき
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

タイマ A の注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
リセット後、PWMモードを選択したとき
動作モードをタイマモードからPWMモードに変更したとき
動作モードをイベントカウンタモードからPWMモードに変更したとき
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- (1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
- (2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

A-D変換器の注意事項

- (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。特にVref接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA-D変換を開始させてください。
- (2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードまたは単掃引モードで使用する場合は、A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合は、CPUの内部クロックは、メインクロックを分周せずに使用してください。

ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

割り込みの注意事項

- (1) 00000₁₆番地の読み出し
マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。
- (2) スタックポインタの設定
リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子入力を“L”にした状態では、ストップモードには移行しないでください。

(4) 外部割り込み

$\text{INT0} \sim \text{INT5}$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

(5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
NOP                                           ; HOLD機能を使用する場合はNOP命令が4個必要
NOP
FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
PUSHC   FLG
FCLR    I                ; 割り込み禁止状態
AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに“0016”を設定
POPC    FLG             ; 割り込み許可状態
```

例 1 と例 2 でFSET I命令の前にNOP命令 2 個 (HOLD機能使用時は 4 個) やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

その他の注意事項

(1)電源投入時の注意事項

VCC、VDD1、VDD2、VDD3、AVCCは同時に電源を投入してください。動作中は必ず同一電位に設定してください。

(2)電源ノイズ及びラッチアップ対策に関する注意点

電源ノイズ及びラッチアップ対策として、VCC端子とVSS端子間、VDD1端子とVSS1端子間、VDD2端子とVSS2端子間、VDD3端子とVSS3端子間、及びAVCC端子とAVSS端子間にバイパスコンデンサ(0.1 μ F以上)を最短距離で、かつ比較的太い配線を使って接続してください。

(3)リセット解除後の注意点

リセット解除後は、内部の発振回路が安定動作するまで、フォントRAM、表示RAM、SYRAM、VBIRAMのデータセットを正確にできない場合がありますので、以下の順番で立ち上げてください。

(a)リセット解除

(b)拡張レジスタCK_VCO、XTAL_VCO、PDC_VCO_ON、VPS_VCO_ONを“H”設定し発振開始

(c)拡張レジスタSYNCSEP_ON0=“H”を設定

(d)拡張レジスタNXP=“H”を設定

(e)拡張レジスタPC_n、DIV_PDC_n、DIV_PDC_{Sn}、DIV_VPS_n、DIV_VPSS_nを設定

(f)20msの待ち状態(内部発振回路の安定期間) データ入力禁止

(g)その他の拡張レジスタを設定

(h)フォントRAM、SYRAMを設定

(i)表示RAMを設定

(j)レジスタDSPON、DSPONVを表示ONに設定

(k)スライスRAMのアクセス可

(4)内部発振停止から発振状態に戻す場合の注意点

拡張機能の内部発振回路は、拡張レジスタCK_VCO、XTAL_VCO、PDC_VCO_ON、VPS_VCO_ONで発振停止を行います。

発振停止状態から発振開始状態に移行する場合は、内部の発振回路が安定動作するまで、フォントRAM、表示RAM、SYRAM、VBIRAMへのデータセットを正確にできませんので、以下の順番で発振開始させてください。

(a)拡張レジスタCK_VCO

(b)拡張レジスタXTAL_VCO

(c)拡張レジスタPDC_VCO_ON、VPS_VCO_ON(データスライサを使用しない場合は必要なし)

(d)20msの待ち状態

(e)その他のメモリアクセス

特に表示RAM、フォントRAM、SYRAM、VBIRAM、スライスRAMへアクセスする時はレジスタXTAL_VCO=“H”に設定し、FSC_{IN}端子より4.43MHzのサブキャリア周波数のクロックを入力してください。同期用発振停止より発振開始する場合、及びFSC_{IN}端子に4.43MHzを入力し始めた場合は、必ず20msを待ってメモリにアクセスしてください。

(5)発振に関するその他の注意点

内部の発振回路は、以下の状態では、安定動作できない場合がありますので、ご注意ください。

- (a)外部複合ビデオ信号が不連続の場合(チャンネル切り替え等)
- (b)拡張レジスタPCnの設定を変える場合
- (c)拡張レジスタSYNCSEP_ON0を変える場合

これらの場合は、設定を変える前にDSPON、DSPONVレジスタで表示OFFにし、設定後20msはその他のデータ設定は禁止します。

(6)外部複合ビデオ信号がない場合の注意点

無信号時、外部同期では文字が表示できませんので、内部同期に切り替えてください。

(7)外部複合ビデオ信号の信号レベルが極端に悪い場合の注意点

弱電界時は、外部同期では文字表示が乱れますので、内部同期に切り替えてください。

(8)データスライサ用発振回路停止の注意点

データスライサを使用しない場合は、レジスタPDC_VCO_ON、VPS_VCO_ONを“L”に設定し発振を停止ください。

再度発振開始する場合は以下の順で立ち上げてください。

- (a)拡張レジスタPDC_VCO_ON、VPS_VCO_ON=“L”
- (b)拡張レジスタPDC_VCO_ON、VPS_VCO_ON=“H”
- (c)60ms以上待ち状態(内部発振回路の安定期間+データスライス準備)

スライスRAMが動作する為には拡張レジスタXTAL_VCO=“H”に設定し、FSCIN端子より4.43MHzのサブキャリア周波数のクロックを入力してください。同期用発振停止より発振開始する場合、及びFSCIN端子に4.43MHzを入力し始めた場合は、必ず20msを待ってメモリにアクセスしてください。

(9)OSD非表示でデータスライスを使用する場合の注意点

拡張レジスタDSPONを“L”設定することでOSDの表示はOFFします。その場合も拡張レジスタCK_VCOは“H”設定のまま使用願います。

(10)ストップモード(クロック停止)時の注意点

各入力端子は次の通り設定願います。

- (a)VERTはVssに設定
- (b)FSCIN端子へのクロック入力停止
- (c)拡張レジスタSTBY0、STBY1を“H”設定。それ以外の拡張レジスタは全て“L”設定。

(11)スタンバイモード(クロック停止)より動作スタートする時の注意点

拡張レジスタSTBY0、STBY1を“L”設定後にFSCIN端子へクロックを入力願います。

次に(4)内部発振停止から発振状態に戻す場合の注意点の通り設定願います。

4. 電気的特性

表4.1 絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------|----------|--|----------------|----|
| Vcc | 電源電圧 | Vcc=AVcc | -0.3 ~ 5.75 | V |
| AVcc | アナログ電源電圧 | Vcc=AVcc | -0.3 ~ 5.75 | V |
| Vi | 入力電圧 | RESET, CNVss, BYTE, P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, VREF, XIN, HOR, VERT | -0.3 ~ Vcc+0.3 | V |
| | | P70, P71 | -0.3 ~ 5.75 | V |
| Vo | 出力電圧 | P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, XOUT, P110 ~ P118 | -0.3 ~ Vcc+0.3 | V |
| | | P70, P71, | -0.3 ~ 5.75 | V |
| Pd | 消費電力 | Ta=25 | 1000 | mW |
| Topr | 動作周囲温度 | | -20 ~ 70 | |
| Tstg | 保存温度 | | -40 ~ 125 | |

表4.2 推奨動作条件(指定のない場合は、V_{CC}=4.75V ~ 5.25V, T_a= - 20 ~ 70)

| 記号 | 項目 | 規格値 | | | 単位 | |
|------------------------|---|--------|--------------------------------|---------------------|----|-----|
| | | 最小 | 標準 | 最大 | | |
| V _{CC} | 電源電圧 | 4.75 | 5.0 | 5.25 | V | |
| AV _{CC} | アナログ電源電圧 | | V _{CC} | | V | |
| V _{SS} | 電源電圧 | | 0 | | V | |
| AV _{SS} | アナログ電源電圧 | | 0 | | V | |
| V _{IH} | "H"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE, HOR, VERT P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 | | 0.8V _{CC} | V _{CC} | V | |
| | | | 0.5V _{CC} | V _{CC} | V | |
| V _{IL} | "L"入力電圧 P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS} , BYTE, HOR, VERT P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 | | 0 | 0.2V _{CC} | V | |
| | | | 0 | 0.16V _{CC} | V | |
| V _{CVIN} | 複合ビデオ入力電圧 CVIN1, CVIN2 | | 2V P-P | | V | |
| V _{FSCIN} | 入力電圧 FSCIN (注1) | | 0.3V P-P | 4.0V P-P | V | |
| I _{OH} (peak) | "H"尖頭出力電流 (注2、3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P118 | | | - 10.0 | mA | |
| I _{OH} (avg) | "H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P118 | | | - 5.0 | mA | |
| I _{OL} (peak) | "L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P118 | | | 10.0 | mA | |
| I _{OL} (avg) | "L"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P118 | | | 5.0 | mA | |
| f (X _{IN}) | メインクロック入力 発振周波数 | ウエイトなし | V _{CC} =4.75V ~ 5.25V | 0 | 10 | MHz |
| | | ウエイトあり | | | | |
| f (X _{CIN}) | サブクロック発振周波数 | | 32.768 | 50 | | kHz |
| f (F _{SCIN}) | 同期信号用発振周波数 (デューティ=40 ~ 60%) | | 4.434 | | | MHz |

注1. ノイズ成分は30mV以内。

注2. 平均出力電流は100msの期間内での平均値です

注3. ポートP0, P1, P2, P86 ~ P87, P9, P10のI_{OL}(peak)の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10のI_{OH}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84のI_{OL}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84のI_{OH}(peak)の合計は80mA以下にしてください。

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

表4.3 電気的特性(指定のない場合は、VCC=5V,VSS=0V,Ta=25℃,f(XIN)=10MHz)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|------------|---|-----------------------|------------|--------|-------|-----|
| | | | 最小 | 標準 | 最大 | |
| VOH | "H"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107 P110 ~ P118 | IOH=-5mA | 3.0 | | | V |
| VOH | "H"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107 P110 ~ P118 | IOH=-200μA | 4.7 | | | V |
| VOH | "H"出力電圧 LP1 - LP4 | VCC=4.75V,IOH=-0.05mA | 3.75 | | | V |
| VOH | "H"出力電圧 XOUT | HIGHPOWER | IOH=-1mA | 3.0 | | V |
| | | LOWPOWER | IOH=-0.5mA | 3.0 | | V |
| | "H"出力電圧 XCOUT | HIGHPOWER | 無負荷時 | | 3.0 | V |
| | | LOWPOWER | 無負荷時 | | 1.6 | V |
| VOL | "L"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107 P110 ~ P118 | IOl=5mA | | | 2.0 | V |
| VOL | "L"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107 P110 ~ P118 | IOl=200μA | | | 0.45 | V |
| VOL | "L"出力電圧 LP1 - LP4 | VCC=4.75V,IOl=0.05mA | | | 0.4 | V |
| VOL | "L"出力電圧 XOUT | HIGHPOWER | IOl=1mA | | 2.0 | V |
| | | LOWPOWER | IOl=0.5mA | | 2.0 | V |
| | "L"出力電圧 XCOUT | HIGHPOWER | 無負荷時 | | 0 | V |
| | | LOWPOWER | 無負荷時 | | 0 | V |
| VT+-VT- | ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB2IN, INT0 ~ INT5, ADTRG, CTSi, CLK1, TA2OUT ~ TA4OUT,NMI, KI0 ~ KI3 | | 0.2 | | 0.8 | V |
| VT+-VT- | ヒステリシス CTS0, CLK0 | | 0.2 | | 1.4 | V |
| VT+-VT- | ヒステリシス RESET | | 0.2 | | 1.8 | V |
| IiH | "H"入力電流 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P87, P90 ~ P97,P100 ~ P107, XIN, RESET, CNVSS, BYTE, HOR,VERT | Vi=5V | | | 5.0 | μA |
| IiL | "L"入力電流 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P87, P90 ~ P97,P100 ~ P107, XIN, RESET, CNVSS, BYTE, HOR,VERT | Vi=0V | | | -5.0 | μA |
| RPULLUP | プルアップ抵抗 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107 | Vi=0V | 30.0 | 50.0 | 167.0 | k |
| VSYNCIN | 垂直同期信号振幅 | | 0.3 | 0.6 | 1.2 | V |
| Vdat(text) | テレテキスト信号振幅 | | 0.6 | 0.9 | 1.4 | V |
| f/f | 表示用発振回路引き込み範囲 | | ±7 | | | % |
| fH | 水平同期信号周波数 | | 14.6 | 15.625 | 17.0 | kHz |

表4.4 電気的特性(指定のない場合は、 $V_{CC}=5V, V_{SS}=0V, T_a=25^\circ C, f(X_{IN})=10MHz$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|--------------------|-----------------------|----------------------------------|-----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| R _{FIXIN} | 帰還抵抗 X _{IN} | | | 1.0 | | M |
| R _{FXCIN} | 帰還抵抗 X _{CIN} | | | 6.0 | | M |
| V _{RAM} | RAM保持電圧 | クロック停止時 | 2.0 | | | V |
| I _{CC} | 電源電流 | OSD動作時 f(X _{IN})=10MHz | | 150 | 180 | mA |
| | | クロック停止時 | | | 3 | mA |

表4.5 ビデオ信号入力条件 ($V_{CC}=5.0V, T_a=-20 \sim 70^\circ C$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|--------------------|-----------------|----------|-----|-----|----|----|
| | | | 最小 | 標準 | 最大 | |
| V _{IN-CU} | 複合ビデオ信号入力クランプ電圧 | シンクチップ電圧 | | 1.0 | | V |

表4.6 A-D変換特性 (指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=5V$, $V_{SS}=AV_{SS}=0V$, $T_a=25$, $f(X_{IN})=10MHz$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|------------|---------------------|-----|----|-----------|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | $V_{REF}=V_{CC}$ | | | 8 | Bits |
| - | 絶対精度 | サンプル&ホールド機能なし | | | ± 3 | LSB |
| | | サンプル&ホールド機能あり(8bit) | | | ± 2 | LSB |
| RLADDER | ラダー抵抗 | $V_{REF}=V_{CC}$ | 10 | | 40 | k |
| tCONV | 変換時間(8bit) | | 2.8 | | | μs |
| tsAMP | サンプリング時間 | | 0.3 | | | μs |
| VREF | 基準電圧 | | 2 | | V_{CC} | V |
| VIA | アナログ入力電圧 | | 0 | | V_{REF} | V |

表4.7 D-A変換特性 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=5V$, $T_a=25$, $f(X_{IN})=10MHz$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------|----------|------|-----|----|-----|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | Bits |
| - | 絶対精度 | | | | 1.0 | % |
| tsu | 設定時間 | | | | 3 | μs |
| Ro | 出力抵抗 | | 4 | 10 | 20 | k |
| IVREF | 基準電源入力電流 | (注1) | | | 1.5 | mA |

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“0016”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D制御レジスタでVref未接続とした場合でも、IVREFは流れます。

タイミング必要条件 (指定のない場合は、Vcc=5V, Vss=0V, Ta=25)

表4.8 外部クロック入力

| 記号 | 項目 | 規格値 | | 単位 |
|-------------------|-------------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c | 外部クロック入力サイクル時間 | 100 | | ns |
| t _{w(H)} | 外部クロック入力 "H" パルス幅 | 40 | | ns |
| t _{w(L)} | 外部クロック入力 "L" パルス幅 | 40 | | ns |
| t _r | 外部クロック立ち上がり時間 | | 18 | ns |
| t _f | 外部クロック立ち下がり時間 | | 18 | ns |

表4.9 RDY, HOLD, HLDA 入力

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------------------|------------------------------------|-----|------|----|
| | | 最小 | 最大 | |
| t _{ac1} (RD-DB) | データ入力アクセス時間 (ウエイトなし) | | (注1) | ns |
| t _{ac2} (RD-DB) | データ入力アクセス時間 (ウエイトあり) | | (注1) | ns |
| t _{ac3} (RD-DB) | データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合) | | (注1) | ns |
| t _{su} (DB-RD) | データ入力セットアップ時間 | 40 | | ns |
| t _{su} (RDY-BCLK) | RDY入力セットアップ時間 | 30 | | ns |
| t _{su} (HOLD-BCLK) | HOLD入力セットアップ時間 | 40 | | ns |
| t _h (RD-DB) | データ入力ホールド時間 | 0 | | ns |
| t _h (BCLK-RDY) | RDY入力ホールド時間 | 0 | | ns |
| t _h (BCLK-HOLD) | HOLD入力ホールド時間 | 0 | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | 40 | ns |

注1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

表4.10 タイマA入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TA)$ | TAiIN入力サイクル時間 | 100 | | ns |
| $t_w(TAH)$ | TAiIN入力 "H" パルス幅 | 40 | | ns |
| $t_w(TAL)$ | TAiIN入力 "L" パルス幅 | 40 | | ns |

表4.11 タイマA入力(タイマモードのゲーティング入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TA)$ | TAiIN入力サイクル時間 | 400 | | ns |
| $t_w(TAH)$ | TAiIN入力 "H" パルス幅 | 200 | | ns |
| $t_w(TAL)$ | TAiIN入力 "L" パルス幅 | 200 | | ns |

表4.12 タイマA入力(ワンショットタイマモードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TA)$ | TAiIN入力サイクル時間 | 200 | | ns |
| $t_w(TAH)$ | TAiIN入力 "H" パルス幅 | 100 | | ns |
| $t_w(TAL)$ | TAiIN入力 "L" パルス幅 | 100 | | ns |

表4.13 タイマA入力(パルス幅変調モードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_w(TAH)$ | TAiIN入力 "H" パルス幅 | 100 | | ns |
| $t_w(TAL)$ | TAiIN入力 "L" パルス幅 | 100 | | ns |

表4.14 タイマA入力(イベントカウンタモードのアップダウン入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------------|-------------------|------|----|----|
| | | 最小 | 最大 | |
| $t_c(UP)$ | TAiOUT入力サイクル時間 | 2000 | | ns |
| $t_w(UPH)$ | TAiOUT入力 "H" パルス幅 | 1000 | | ns |
| $t_w(UPL)$ | TAiOUT入力 "L" パルス幅 | 1000 | | ns |
| $t_{su}(UP-TIN)$ | TAiOUT入力セットアップ時間 | 400 | | ns |
| $t_h(TIN-UP)$ | TAiOUT入力ホールド時間 | 400 | | ns |

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

表4.15 タイマB入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|----------------------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TB)$ | TBiN 入力サイクル時間(片エッジカウント) | 100 | | ns |
| $t_w(TBH)$ | TBiN 入力 "H" パルス幅(片エッジカウント) | 40 | | ns |
| $t_w(TBL)$ | TBiN 入力 "L" パルス幅(片エッジカウント) | 40 | | ns |
| $t_c(TB)$ | TBiN 入力サイクル時間(両エッジカウント) | 200 | | ns |
| $t_w(TBH)$ | TBiN 入力 "H" パルス幅(両エッジカウント) | 80 | | ns |
| $t_w(TBL)$ | TBiN 入力 "L" パルス幅(両エッジカウント) | 80 | | ns |

表4.16 タイマB入力(パルス周期測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|-----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TB)$ | TBiN入力サイクル時間 | 400 | | ns |
| $t_w(TBH)$ | TBiN入力 "H" パルス幅 | 200 | | ns |
| $t_w(TBL)$ | TBiN入力 "L" パルス幅 | 200 | | ns |

表4.17 タイマB入力(パルス幅測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|------------|-----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TB)$ | TBiN入力サイクル時間 | 400 | | ns |
| $t_w(TBH)$ | TBiN入力 "H" パルス幅 | 200 | | ns |
| $t_w(TBL)$ | TBiN入力 "L" パルス幅 | 200 | | ns |

表4.18 A-Dトリガ入力

| 記号 | 項目 | 規格値 | | 単位 |
|------------|------------------------|------|----|----|
| | | 最小 | 最大 | |
| $t_c(AD)$ | ADTRG入力サイクル時間(トリガ可能最小) | 1000 | | ns |
| $t_w(ADL)$ | ADTRG入力 "L" パルス幅 | 125 | | ns |

表4.19 シリアルI/O

| 記号 | 項目 | 規格値 | | 単位 |
|---------------|-----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(CK)$ | CLKi入力サイクル時間 | 200 | | ns |
| $t_w(CKH)$ | CLKi入力 "H" パルス幅 | 100 | | ns |
| $t_w(CKL)$ | CLKi入力 "L" パルス幅 | 100 | | ns |
| $t_d(C-Q)$ | TxDi出力遅延時間 | | 80 | ns |
| $t_h(C-Q)$ | TxDiホールド時間 | 0 | | ns |
| $t_{su}(D-C)$ | RxDi入力セットアップ時間 | 30 | | ns |
| $t_h(C-D)$ | RxDi入力ホールド時間 | 90 | | ns |

表4.20 外部割り込みINTi入力

| 記号 | 項目 | 規格値 | | 単位 |
|------------|-----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_w(INH)$ | INTi入力 "H" パルス幅 | 250 | | ns |
| $t_w(INL)$ | INTi入力 "L" パルス幅 | 250 | | ns |

スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”)

表4.21 ウェイトなしの場合

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|---------------------------|------------------------|------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図4.1 | | 25 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間 (BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間 (RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間 (WR基準) | | 0 | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間 (BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | -4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間 (BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間 (BCLK基準) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間 (WR基準) | | (注1) | | ns |
| t _h (WR-DB) | データ出力保持時間 (WR基準) (注2) | | 0 | | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

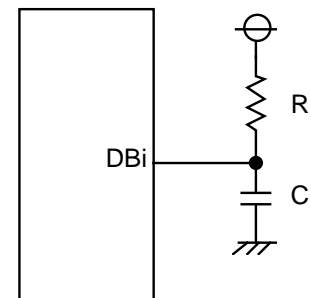
$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$



スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”)

表4.22 ウェイトあり、外部メモリ領域をアクセスした場合

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|---------------------------|------------------------|------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図4.1 | | 25 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間 (BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間 (RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間 (WR基準) | | 0 | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間 (BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | -4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間 (BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間 (BCLK基準) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間 (WR基準) | | (注1) | | ns |
| t _h (WR-DB) | データ出力保持時間 (WR基準) (注2) | | 0 | | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

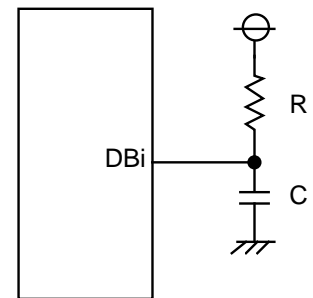
右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1k とすると、出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k} \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$



スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”)

表4.23 ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|--------------|------------------------|------|------|----|----|
| | | | 最小 | 最大 | |
| td(BCLK-AD) | アドレス出力遅延時間 | 図4.1 | | 25 | ns |
| th(BCLK-AD) | アドレス出力保持時間 (BCLK基準) | | 4 | | ns |
| th(RD-AD) | アドレス出力保持時間 (RD基準) | | (注1) | | ns |
| th(WR-AD) | アドレス出力保持時間 (WR基準) | | (注1) | | ns |
| td(BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| th(BCLK-CS) | チップセレクト出力保持時間 (BCLK基準) | | 4 | | ns |
| th(RD-CS) | チップセレクト出力保持時間 (RD基準) | | (注1) | | ns |
| th(WR-CS) | チップセレクト出力保持時間 (WR基準) | | (注1) | | ns |
| td(BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| th(BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| td(BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| th(BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| td(BCLK-DB) | データ出力遅延時間 (BCLK基準) | | | 40 | ns |
| th(BCLK-DB) | データ出力保持時間 (BCLK基準) | | 4 | | ns |
| td(DB-WR) | データ出力遅延時間 (WR基準) | | (注1) | | ns |
| th(WR-DB) | データ出力保持時間 (WR基準) | | (注1) | | ns |
| td(BCLK-ALE) | ALE出力遅延時間 (BCLK基準) | | | 25 | ns |
| th(BCLK-ALE) | ALE出力保持時間 (BCLK基準) | | - 4 | | ns |
| td(AD-ALE) | ALE出力遅延時間 (アドレス基準) | | (注1) | | ns |
| th(ALE-AD) | ALE出力保持時間 (アドレス基準) | | 50 | | ns |
| td(AD-RD) | アドレス後RD信号出力遅延時間 | 0 | | ns | |
| td(AD-WR) | アドレス後WR信号出力遅延時間 | 0 | | ns | |
| tdZ(RD-AD) | アドレス出力フローティング開始時間 | | 8 | ns | |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 40 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 25 \quad [ns]$$

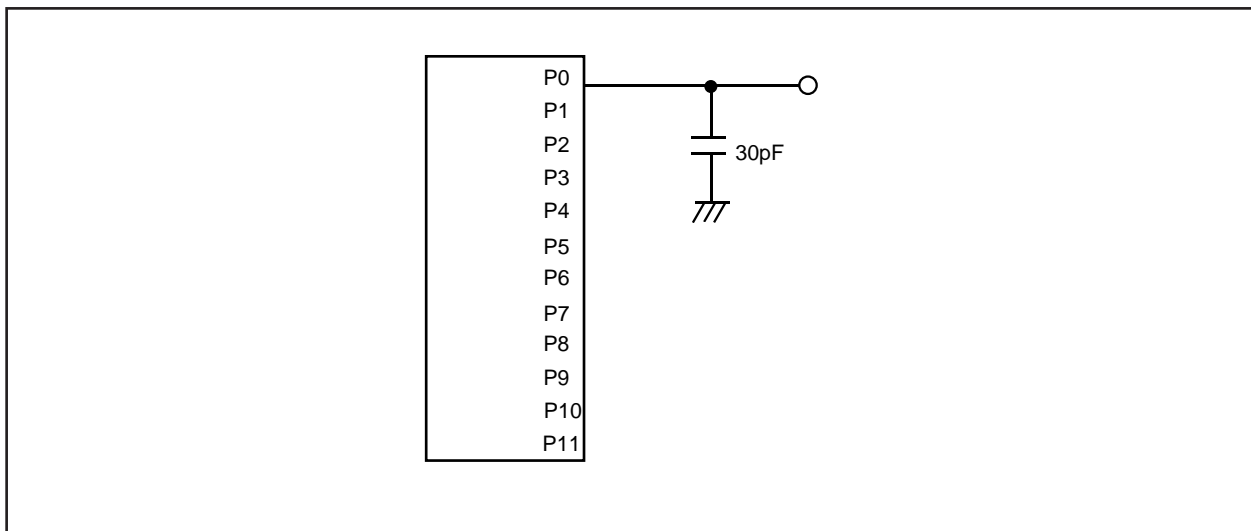


図4.1 ポートP0～P11の測定回路

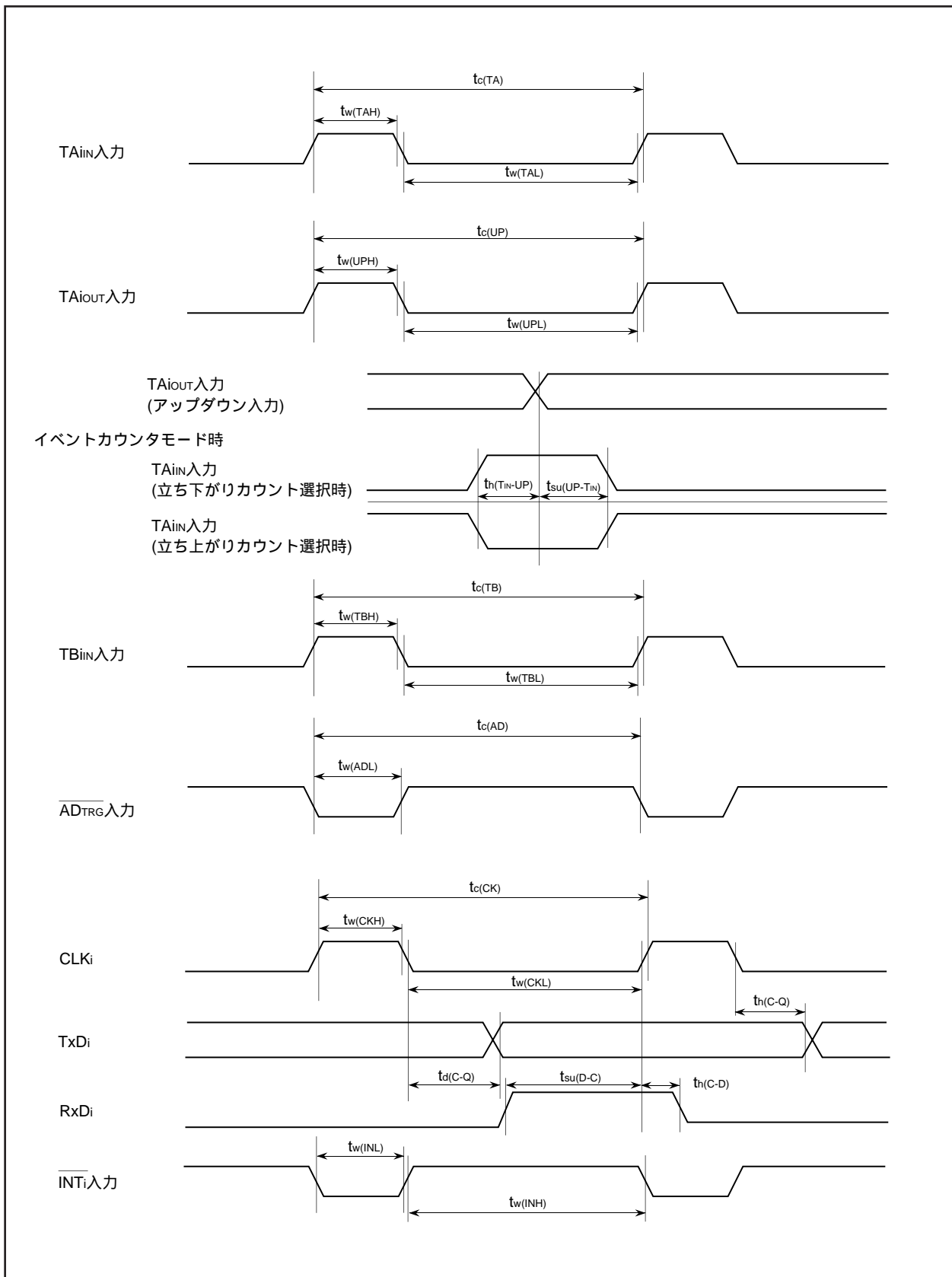


図4.2 タイミング図(1)

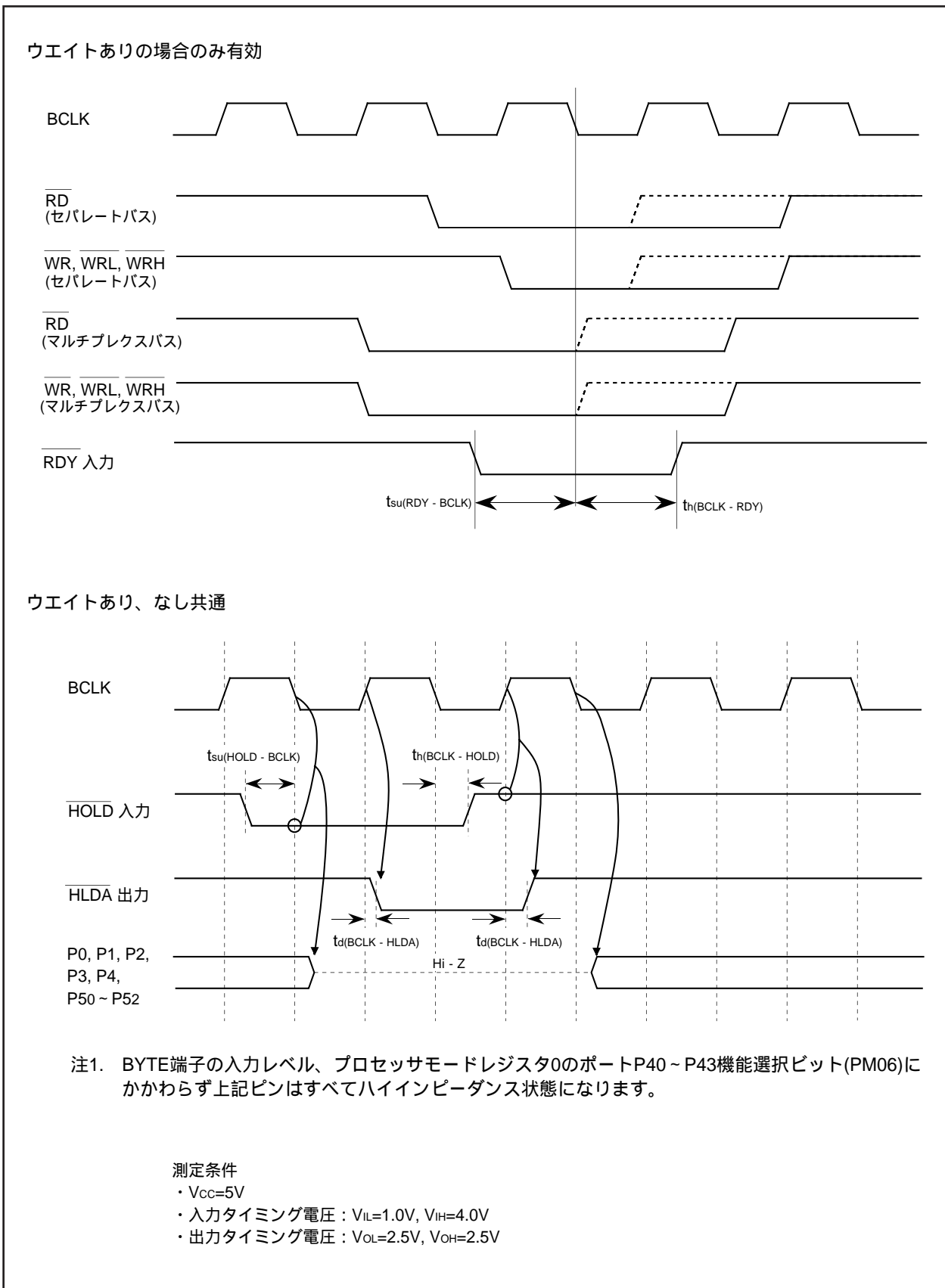


図4.3 タイミング図(2)

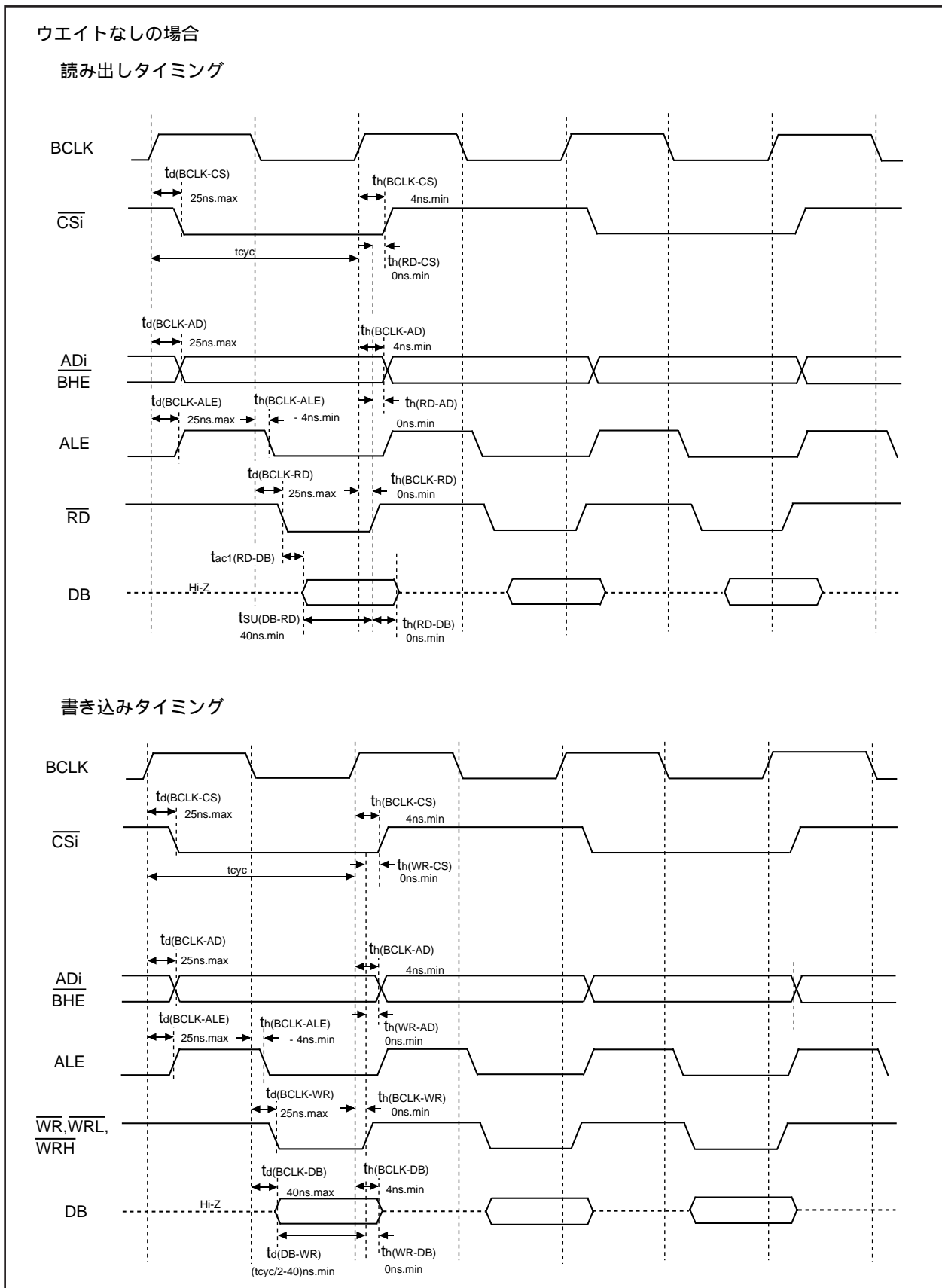


図4.4 タイミング図(3)

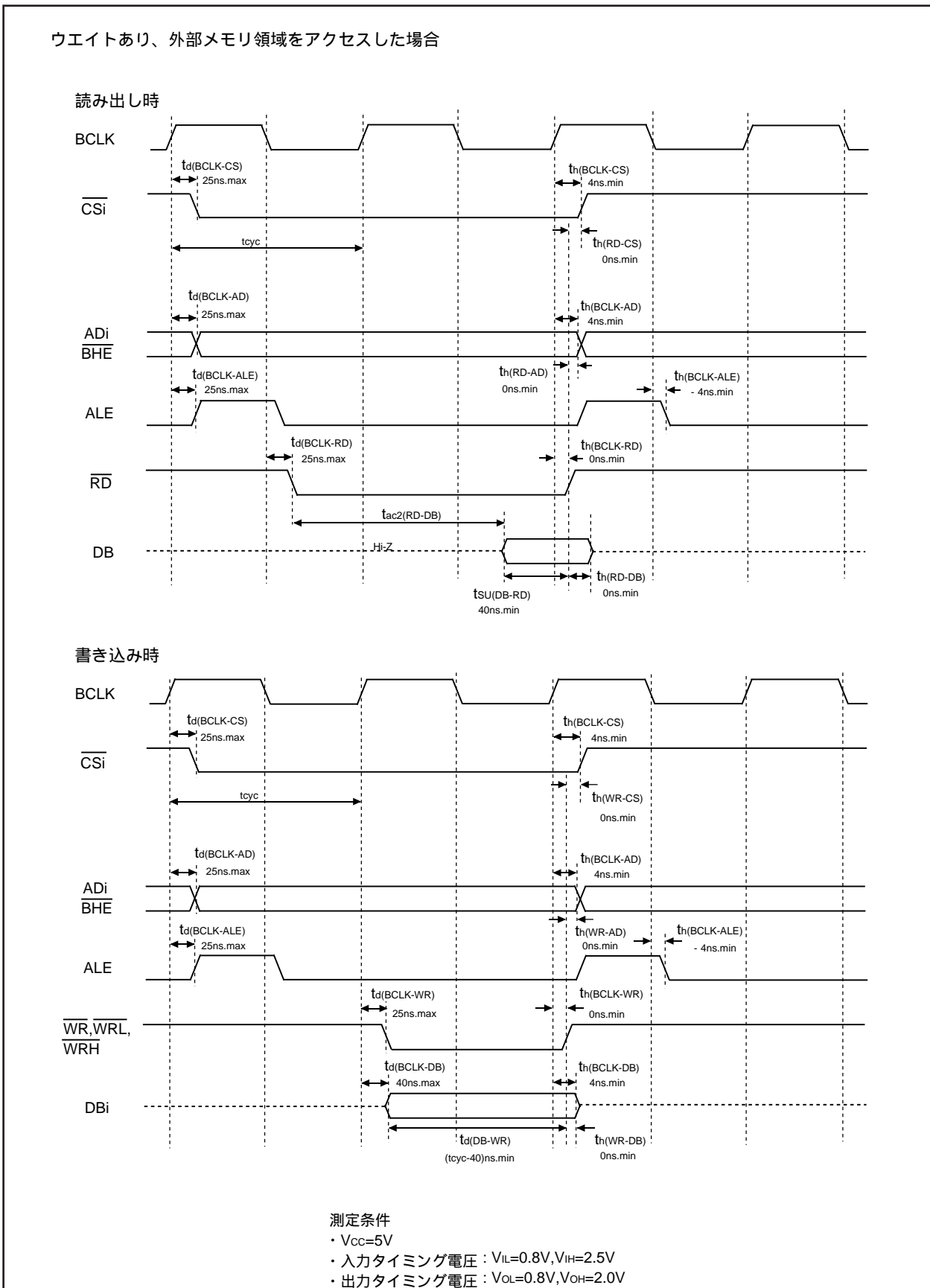
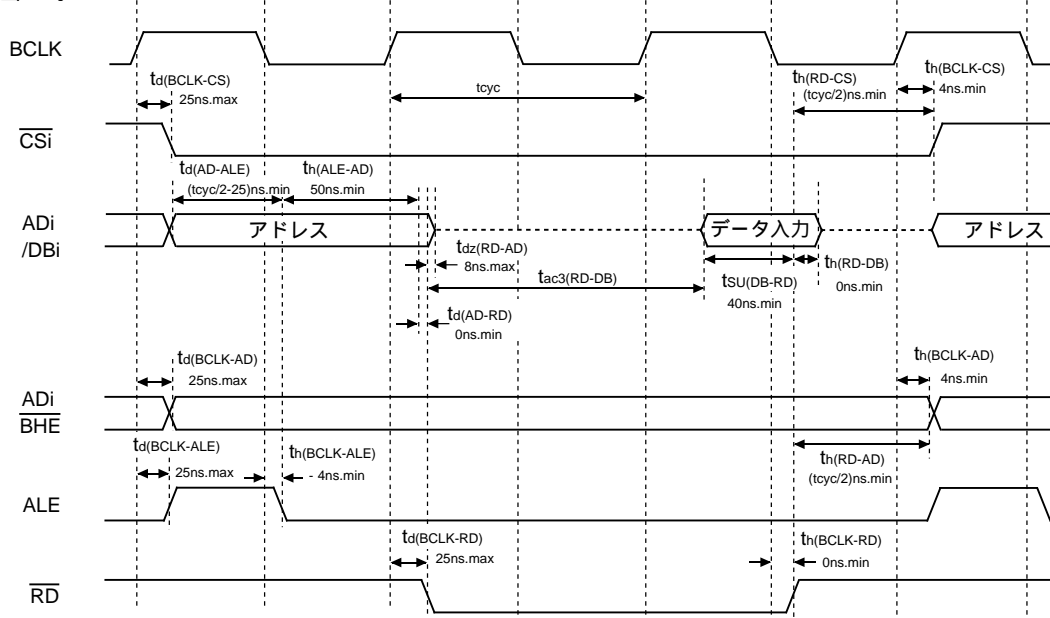


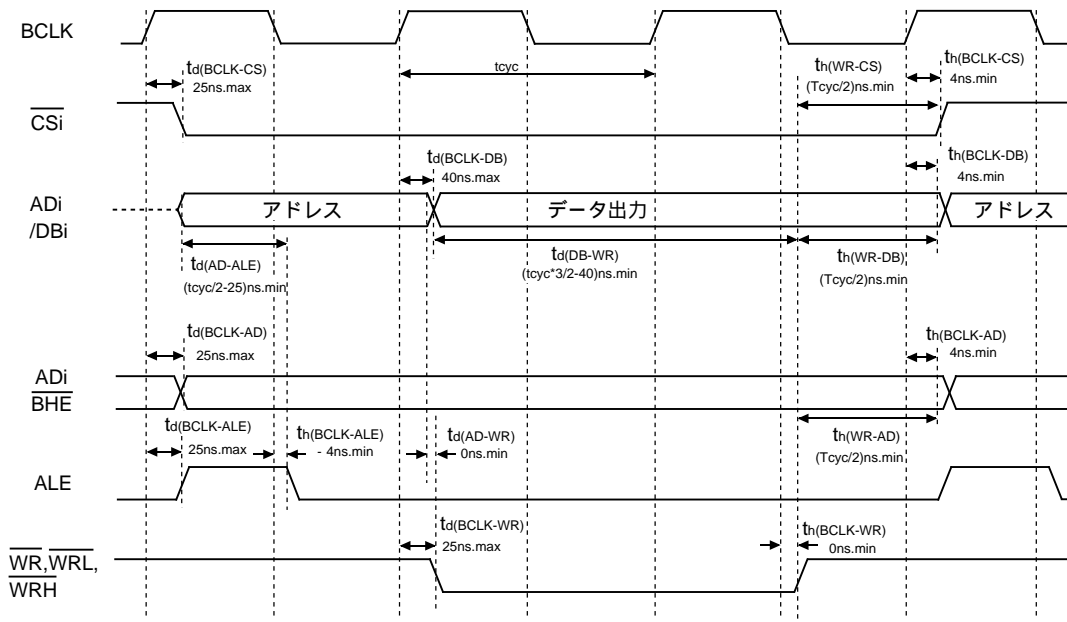
図4.5 タイミング図(4)

ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合

読み出し時



書き込み時



測定条件

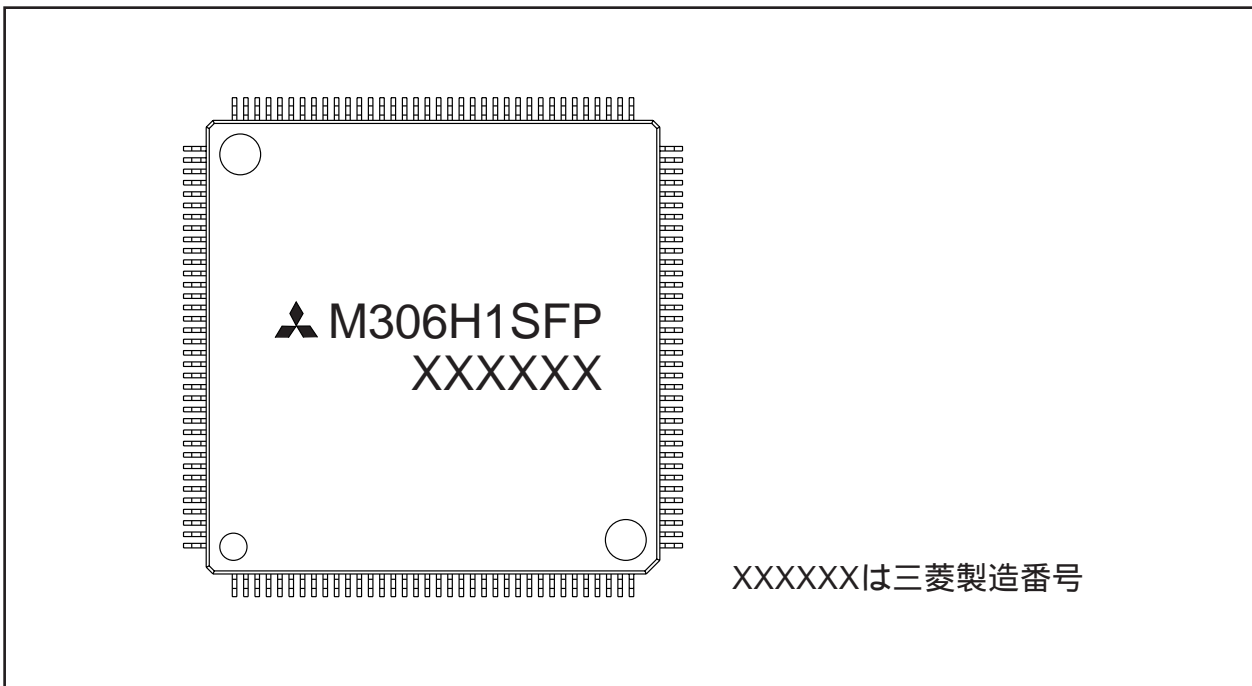
- ・ $V_{CC}=5V$
- ・ 入力タイミング電圧: $V_{IL}=0.8V, V_{IH}=2.5V$
- ・ 出力タイミング電圧: $V_{OL}=0.8V, V_{OH}=2.0V$

図4.6 タイミング図(5)

三菱マイクロコンピュータ M306H1SFP

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER
with DATA SLICER and ON-SCREEN DISPLAY CONTROLLER

5.マーキング図



6. パッケージ寸法図

144P6Q-A

Plastic 144pin 20X20mm body LQFP

