お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

概　要

M30218グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータです。M30218グループは100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要な音響機器、家電製品の制御に適したシングルチップマイクロコンピュータです。

M30218グループは内蔵するメモリの種類、容量の異なる複数の品種があります。

特　長

- 基本機械語命令 M16C/60シリーズ互換
- メモリ容量 ..... ROM/RAM(メモリ展開の図を参照してください。)
- 最短命令実行時間 ..... 100ns(f(XIN)=10MHz時)
- 電源電圧 ..... 4.0V～5.5V(f(XIN)=10MHz時)
  2.7V～5.5V(f(XIN)=3.5MHz)(注1)
- 割り込み ..... 内部19要因、外部6要因、ソフトウエア4要因
- 多機能16ビットタイマ ..... タイマA×5本、タイマB×3本
- FLDコントローラ ..... 制御端子合計56本(内高耐圧Pチャネルオープンドレイン52本)
- シリアルI/O ..... UARTまたはクロック同期形×2本
  クロック同期形8ビット×1本(最大256バイト自動転送機能付き)
- DMAC ..... 2チャネル(スタート条件:15要因)
- A-D 変換器 ..... 10ビット×8チャネル
- D-A 変換器 ..... 8ビット×2チャネル
- CRC 演算回路 1回路
- 監視タイマ 1本
- プログラマブル入出力ポート 48本
- 高耐圧ポート 52本
- クロック発生回路 ..... 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

注1.　マスクROM版のみ

応　用

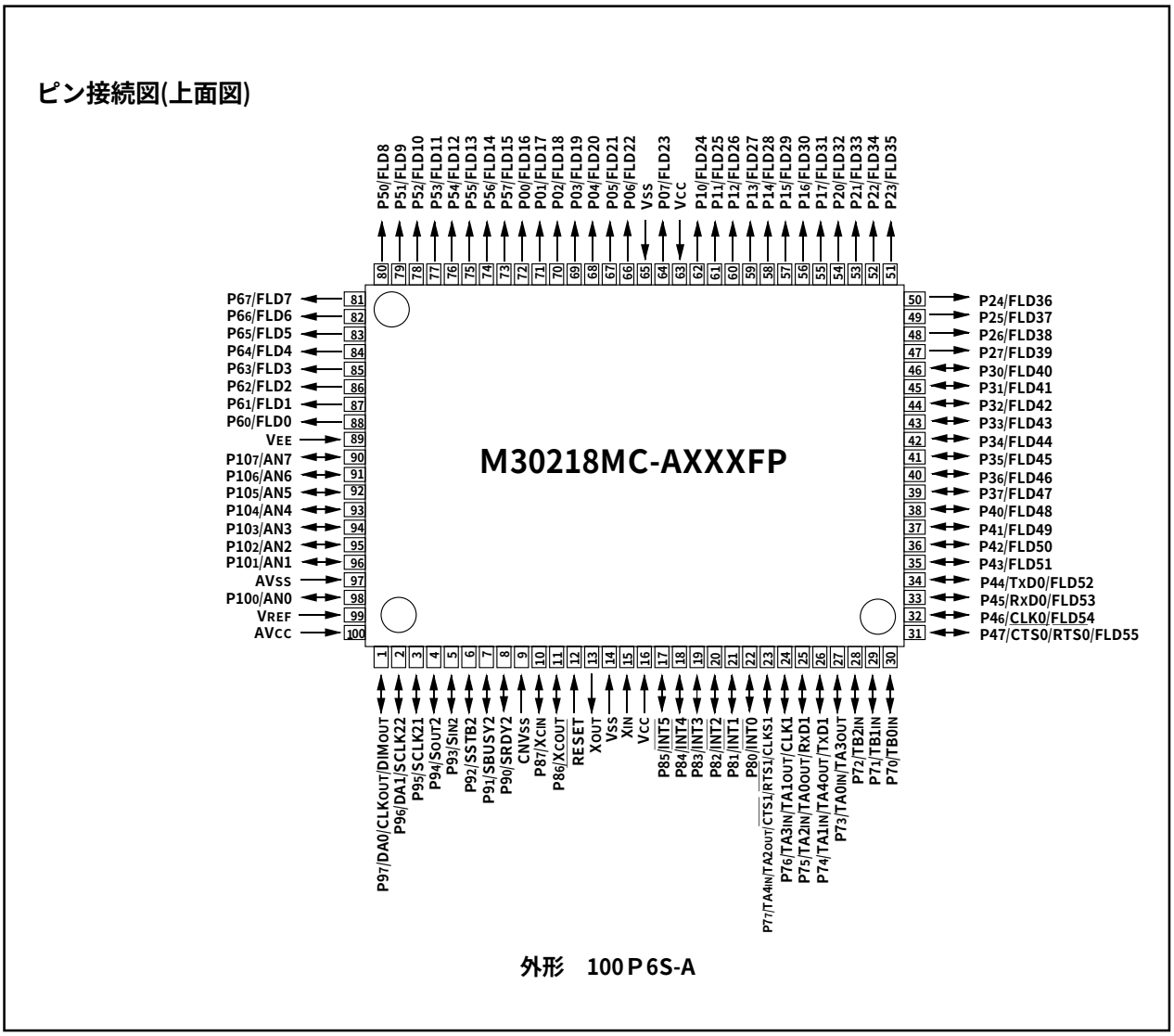
家電、事務機器、オーディオ、他

――― 目　次 ―――

中央演算処理装置 11
リセット 14
クロック発生回路 18
プロテクト 26
割り込み 27
監視タイマ 44
DMAC 46
FLDコントローラ 52
タイマ 69
シリアルI/O 86
A-D変換器 113
D-A変換器 123
CRC演算回路 125
プログラマブル入出力ポート 127
電気的特性 137
フラッシュメモリ版 151

ピン接続図

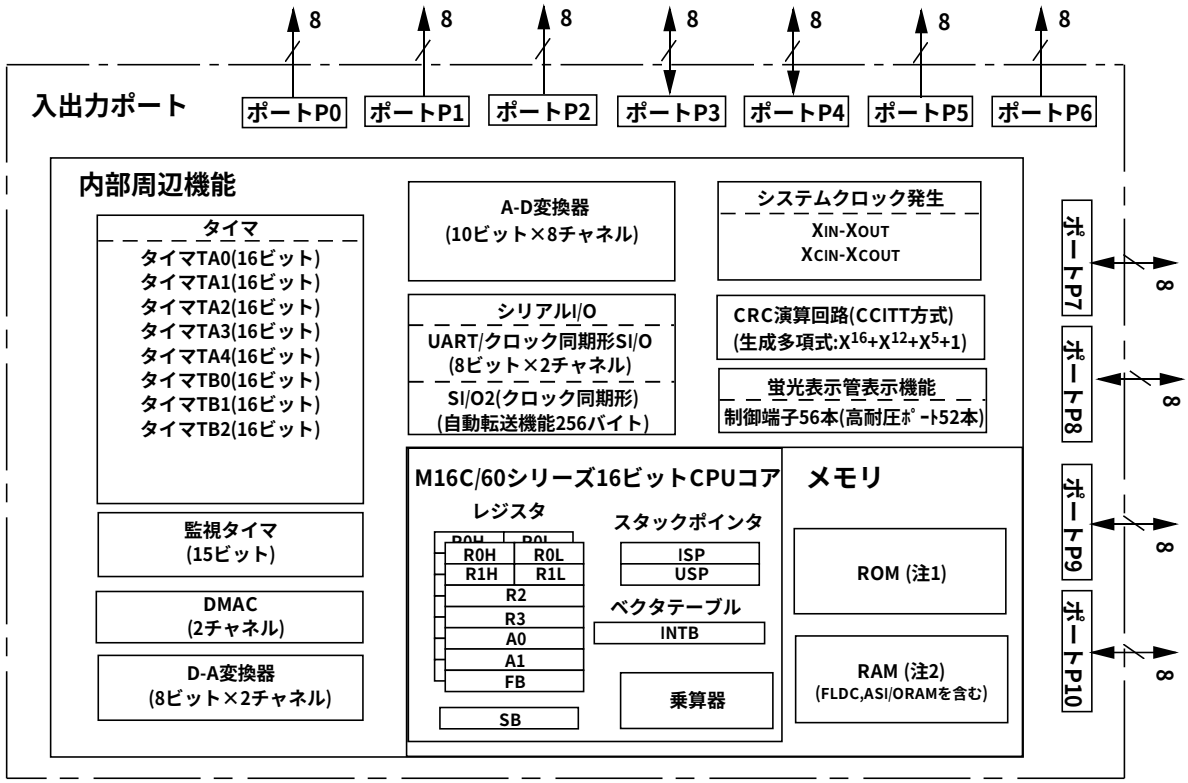
図AA-1にピン接続図(上面図)を示します。



図AA-1.　M30218グループのピン接続図(上面図)

ブロック図

図AA-2にM30218グループのブロック図を示します。



注1.　ROM容量は品種によって異なります。
注2.　RAM容量は品種によって異なります。

図AA-2.　M30218グループのブロック図

性能概要

表AA-1にM30218グループの性能概要を示します。

表AA-1.　M30218グループの性能概要

項　　目			性　　能
基本命令数			91命令
最短命令実行時間			100ns(f(XIN)=10MHz時)
メモリ容量	ROM		メモリ展開の図を参照してください
	RAM		メモリ展開の図を参照してください
入出力ポート	P3、P4、P7～P10		8ビット×6
出力ポート	P0～P2、P5、P6		8ビット×5
多機能タイマ	TA0, TA1, TA2, TA3, TA4		16ビット×5
	TB0, TB1, TB2		16ビット×3
シリアルI/O	UART0, UART1		(UARTまたはクロック同期形)×2
	SI/O2		(自動転送機能付きSI/O)×1
蛍光表示管表示			制御端子56本
A-D変換器			10ビット×8チャネル
D-A変換器			8ビット×2
DMAC			2チャネル(スタート条件:15要因)
CRC演算回路			1回路(生成多項式:$X^{16}+X^{12}+X^{5}+1$)
監視タイマ			15ビット×1(プリスケーラ付)
割り込み			内部19要因、外部6要因、ソフトウエア4要因、7レベル
クロック発生回路			2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)
電源電圧			4.0V～5.5V(f(XIN)＝10MHz時)
			2.7V～5.5V(f(XIN)＝3.5MHz時)(注1)
消費電力			18mW(VCC=3V、f(XIN)＝5MHz時)
入出力特性	入出力耐電圧		VCC－48V(出力P0～P2、P5、P6、入出力P3、P40～43)
			0～VCC (入出力P44～47、P7～P10)
	出力電流	H	－18mA (P0～P3、P40～43、P5、P6) ：高耐圧Pチャネルオープンドレイン
			－5mA (P44～47、P7～P10)
		L	5mA (P44～47、P7～P10)
動作周囲温度			－20℃～85℃
素子構造			CMOSシリコンゲート
パッケージ			100ピンプラスチックモールドQFP

注1.　マスクROM版のみ

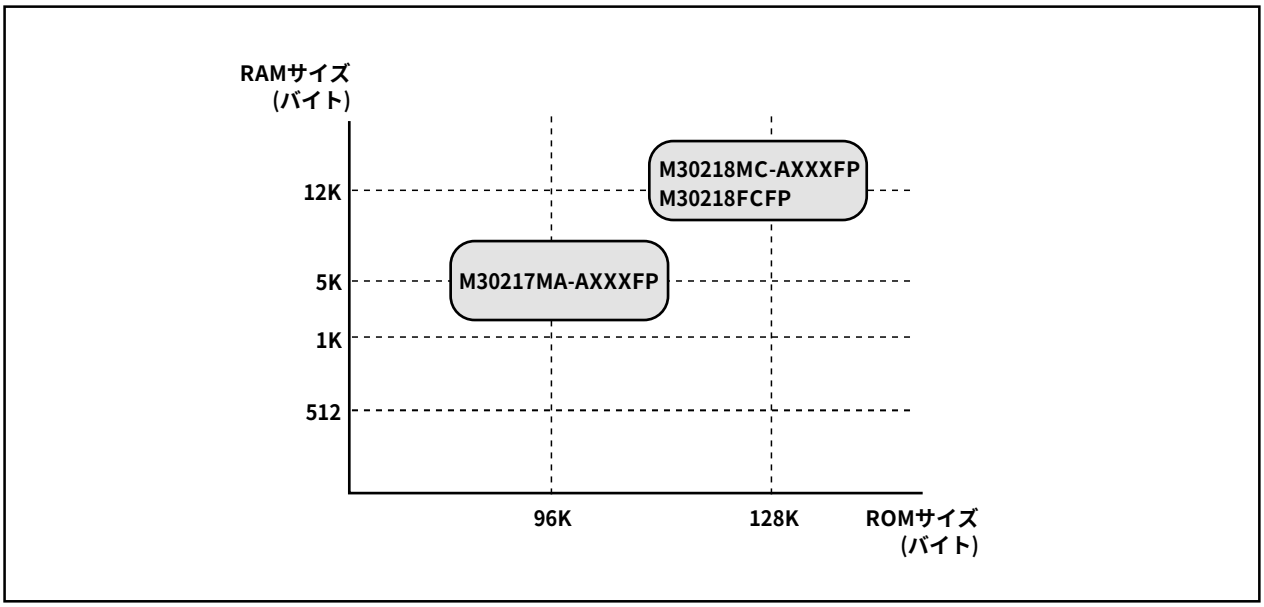
M30218グループでは次のような展開を計画しています。

(1)　マスクROM版、フラッシュメモリ版のサポート

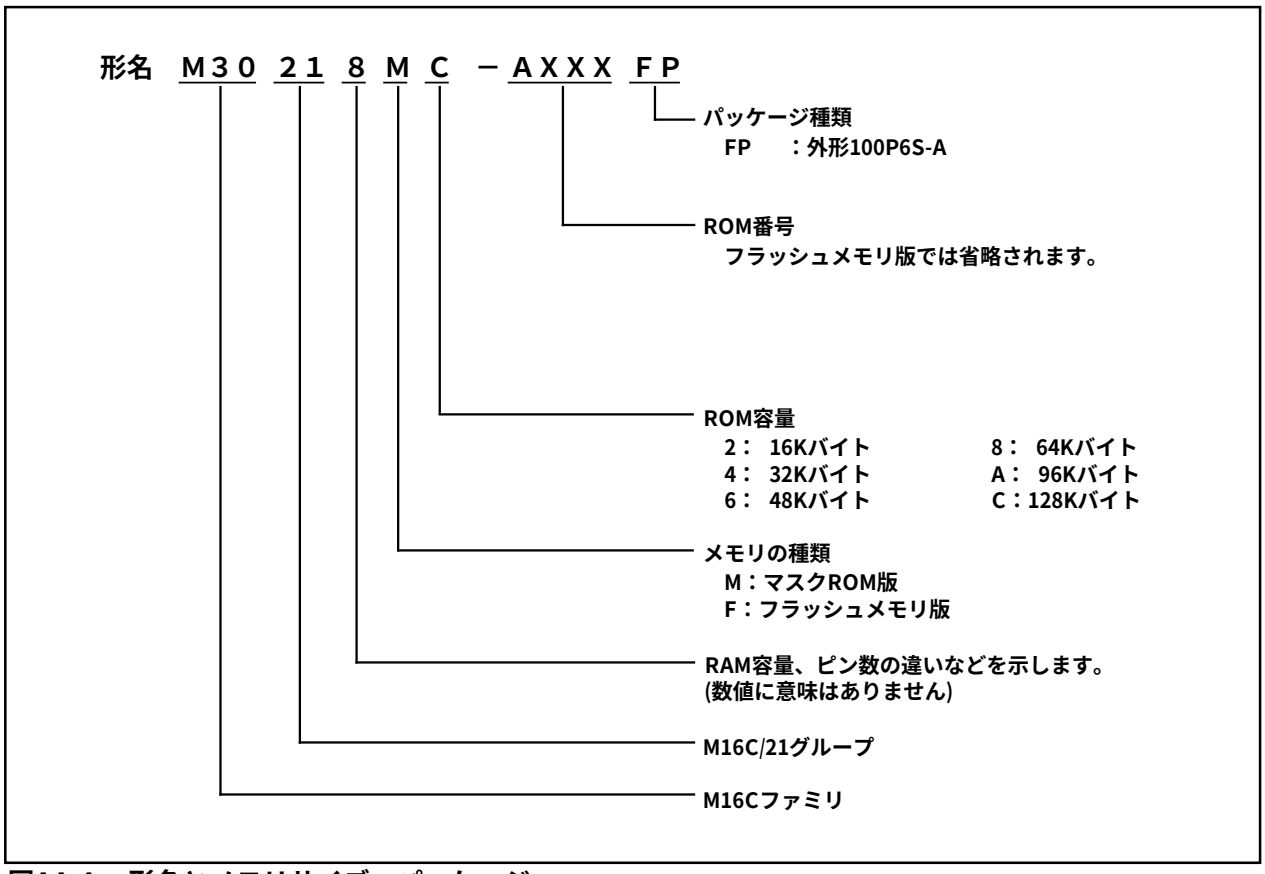
(2)　メモリ容量

(3)　パッケージ

100P6S ..... プラスチックモールドQFP(マスクROM版、フラッシュメモリ版)



図AA-3.　メモリ展開



図AA-4.　形名とメモリサイズ・パッケージ

端子の機能説明

端子名	名　称	入出力	機　　能
VCC，VSS	電源入力		VCC端子には、2.7V(注1)～5.5Vを印加してください。VSS端子には、0Vを印加してください。VCC端子とVSS端子間にバイパスコンデンサを接続してください。
CNVSS	CNVSS	入力	VSS端子に接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
VEE	プルダウン電源入力		ポートP0～P1、P5、P6のプルダウン抵抗に供給する電圧を印加します。
P00/FLD16 ～ P07/FLD23	出力ポートP0	出力	8ビットの出力ポートで、出力形式は高耐圧Pチャネルオープンドレインです。VEE端子との間にプルダウン抵抗を内蔵しています。リセット時には"VEE"レベルになります。P0は、ソフトウエアで選択することによって、FLDコントローラ出力端子として機能します。
P10/FLD24 ～ P17/FLD31	出力ポートP1	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。
P20/FLD32 ～ P27/FLD39	出力ポートP2	出力	P0と同等の機能を持つ8ビット出力ポートです。VEE端子との間にプルダウン抵抗を内蔵していません。ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。
P30/FLD40 ～ P37/FLD47	入出力ポートP3	入出力	8ビットの入出力ポートです。VEE端子との間にプルダウン抵抗を内蔵していません。入出力を選択するための方向レジスタを持ち、1端子ごとに入力または出力ポートに設定できます。入力レベルは、低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。
P40/FLD48 ～ P47/FLD56	入出力ポートP4	入出力	P4は、P3と同等の機能を持つ入出力ポートです。 入力レベルは低電圧入力レベルで、出力形式はP40～P43が高耐圧Pチャネルオープンドレインで、P44～P47がCMOS出力です。 P40～P43には、VEE端子との間にプルダウン抵抗を内蔵していません。 ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。また、P44～P47は、ソフトウエアで選択することによって、UART0の入出力端子としても機能します。また、入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。
P50/FLD8 ～ P57/FLD15	出力ポートP5	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。

端子の機能説明

端子名	名　称	入出力	機　　能
$P6_0$/FLD0 ～ $P6_7$/FLD7	出力ポートP6	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウエアで選択することによって、FLDコントローラの出力端子として機能します。
$P7_0$～$P7_7$	入出力ポートP7	入出力	P3と同等の機能を持つ入出力ポートです。入力、出力形式はCMOS入出力です。また、入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。$P7_0$～$P7_2$は、ソフトウエアで選択することによって、タイマB0～B2の入力端子として機能します。$P7_3$は、ソフトウエアで選択することによつて、タイマA0の入出力端子として機能します。$P7_4$～$P7_7$は、ソフトウエアで選択することによって、タイマA1～A4の入出力端子、UART1の入出力端子として機能します。
$P8_0$～$P8_7$	入出力ポートP8	入出力	P7と同等の機能を持つ入出力ポートです。また、入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。$P8_0$～$P8_5$は、ソフトウエアで選択することによって、外部割り込みの入力端子として機能します。また、$P8_6$、$P8_7$は、ソフトウエアで選択することによって、サブクロック発振回路の入力端子として機能します。この場合、$P8_6$(X_{OUT}端子)と$P8_7$(X_{CIN}端子)の間には、水晶発振子を接続してください。
$P9_0$～$P9_7$	入出力ポートP9	入出力	P7と同等の機能を持つ入出力ポートです。また、入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。$P9_7$は、ソフトウエアで選択することによって、D-A変換器の出力端子、X_{IN}の8分周、32分周または、X_{CIN}と同じ周期を持つクロック出力および、FLDコントローラのDIM信号出力として機能します。$P9_6$は、ソフトウエアで選択することによって、D-A変換器の出力端子、および、自動転送付きシリアルI/Oのクロック入出力端子として機能します。$P9_0$～$P9_5$は、ソフトウエアで選択することによって、自動転送付シリアルI/Oの入出力端子として機能します。
$P10_0$～$P10_7$	入出力ポートP10	入出力	P7と同等の機能を持つ8ビット入出力ポートです。また、入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウエアで選択することによって、A-D変換器の入力端子として機能します。

注1.　フラッシュメモリ版は4.0V～5.5Vを印可してください。

機能ブロック動作説明

M30218グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、蛍光表示管表示機能、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

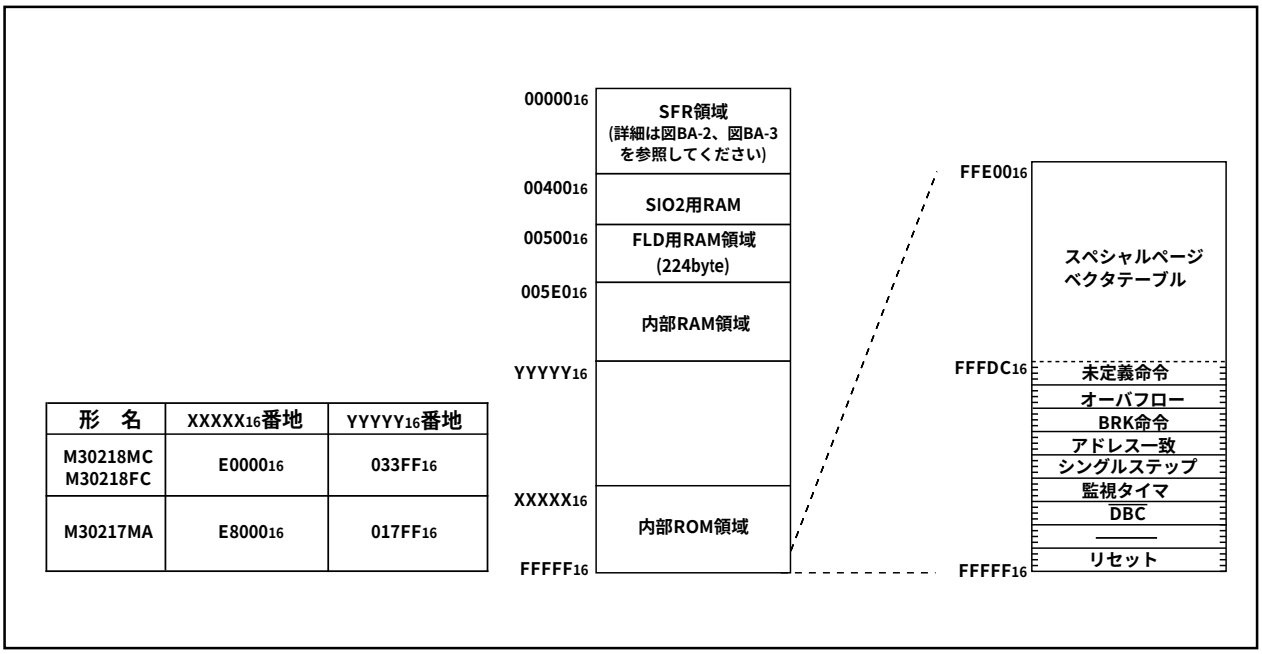
メモリ配置図を図BA-1に示します。アドレス空間は00000$_{16}$番地からFFFFF$_{16}$番地までの1Mバイトあります。

FFFFF$_{16}$番地から番地の小さい方向にROMが配置されています。例えば、M30218MC-AXXXFPではE0000$_{16}$番地からFFFFF$_{16}$番地まで128Kバイトの内部ROMが配置されています。FFFDC$_{16}$番地からFFFFF$_{16}$番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400$_{16}$番地から番地の大きい方向にRAMが配置されています。例えば、M30218MC-AXXXFPでは00400$_{16}$番地から033FF$_{16}$番地まで12Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。(内、00400$_{16}$番地から004FF$_{16}$番地はSIO2用RAM、00500$_{16}$番地から005DF$_{16}$番地はFLD用RAMです)。

00000$_{16}$番地から003FF$_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00$_{16}$番地からFFFDB$_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。



形　名	XXXXX$_{16}$番地	YYYYY$_{16}$番地
M30218MC M30218FC	E0000$_{16}$	033FF$_{16}$
M30217MA	E8000$_{16}$	017FF$_{16}$

図BA-1.　メモリ配置図

0000₁₆	
0001₁₆	
0002₁₆	
0003₁₆	
0004₁₆	プロセッサモードレジスタ0(PM0)
0005₁₆	プロセッサモードレジスタ1(PM1)
0006₁₆	システムクロック制御レジスタ0(CM0)
0007₁₆	システムクロック制御レジスタ1(CM1)
0008₁₆	
0009₁₆	アドレス一致割り込み許可レジスタ(AIER)
000A₁₆	プロテクトレジスタ(PRCR)
000B₁₆	
000C₁₆	
000D₁₆	
000E₁₆	監視タイマスタートレジスタ(WDTS)
000F₁₆	監視タイマ制御レジスタ(WDC)
0010₁₆	アドレス一致割り込みレジスタ0(RMAD0)
0011₁₆	
0012₁₆	
0013₁₆	
0014₁₆	アドレス一致割り込みレジスタ1(RMAD1)
0015₁₆	
0016₁₆	
0017₁₆	
0018₁₆	
0019₁₆	
001A₁₆	
001B₁₆	
001C₁₆	
001D₁₆	
001E₁₆	
001F₁₆	
0020₁₆	DMA0ソースポインタ(SAR0)
0021₁₆	
0022₁₆	
0023₁₆	
0024₁₆	DMA0ディスティネーションポインタ(DAR0)
0025₁₆	
0026₁₆	
0027₁₆	
0028₁₆	DMA0転送カウンタ(TCR0)
0029₁₆	
002A₁₆	
002B₁₆	
002C₁₆	DMA0制御レジスタ(DM0CON)
002D₁₆	
002E₁₆	
002F₁₆	
0030₁₆	DMA1ソースポインタ(SAR1)
0031₁₆	
0032₁₆	
0033₁₆	
0034₁₆	DMA1ディスティネーションポインタ(DAR1)
0035₁₆	
0036₁₆	
0037₁₆	
0038₁₆	DMA1転送カウンタ(TCR1)
0039₁₆	
003A₁₆	
003B₁₆	
003C₁₆	DMA1制御レジスタ(DM1CON)
003D₁₆	
003E₁₆	
003F₁₆	

0040₁₆	
0041₁₆	
0042₁₆	
0043₁₆	
0044₁₆	
0045₁₆	
0046₁₆	
0047₁₆	$\overline{\text{INT3}}$割り込み制御レジスタ(INT3IC)
0048₁₆	$\overline{\text{INT4}}$割り込み制御レジスタ(INT4IC)
0049₁₆	$\overline{\text{INT5}}$割り込み制御レジスタ(INT5IC)
004A₁₆	
004B₁₆	DMA0割り込み制御レジスタ (DM0IC)
004C₁₆	DMA1割り込み制御レジスタ(DM1IC)
004D₁₆	
004E₁₆	A-D変換割り込み制御レジスタ(ADIC)
004F₁₆	SI/O2自動転送割り込み制御レジスタ(ASIOIC)
0050₁₆	FLD割り込み制御レジスタ(FLDIC)
0051₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0055₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059₁₆	タイマA4割り込み制御レジスタ(TA4IC)
005A₁₆	タイマB0割り込み制御レジスタ(TB0IC)
005B₁₆	タイマB1割り込み制御レジスタ(TB1IC)
005C₁₆	タイマB2割り込み制御レジスタ(TB2IC)
005D₁₆	$\overline{\text{INT0}}$割り込み制御レジスタ(INT0IC)
005E₁₆	$\overline{\text{INT1}}$割り込み制御レジスタ(INT1IC)
005F₁₆	$\overline{\text{INT2}}$割り込み制御レジスタ(INT2IC)

0340₁₆	シリアルI/O2自動転送データポインタ(SIO2DP)
0341₁₆	
0342₁₆	シリアルI/O2制御レジスタ1(SIO2CON1)
0343₁₆	
0344₁₆	シリアルI/O2制御レジスタ2(SIO2CON2)
0345₁₆	
0346₁₆	シリアルI/O2レジスタ/転送カウンタ(SIO2)
0347₁₆	
0348₁₆	シリアルI/O2制御レジスタ3(SIO2CON3)
0349₁₆	
034A₁₆	
034B₁₆	
034C₁₆	
034D₁₆	
034E₁₆	
034F₁₆	
0350₁₆	FLDCモードレジスタ(FLDM)
0351₁₆	FLD出力制御レジスタ(FLDCON)
0352₁₆	Tdisp時間設定レジスタ(TDISP)
0353₁₆	
0354₁₆	Toff1時間設定レジスタ(TOFF1)
0355₁₆	
0356₁₆	Toff2時間設定レジスタ(TOFF2)
0357₁₆	
0358₁₆	FLDデータポインタ(FLDDP)
0359₁₆	ポートP2FLD/ポート切り替えレジスタ(P2FPR)
035A₁₆	ポートP3FLD/ポート切り替えレジスタ(P3FPR)
035B₁₆	ポートP4FLD/ポート切り替えレジスタ(P4FPR)
035C₁₆	P5ディジット出力設定切り替えレジスタ(P5DOR)
035D₁₆	P6ディジット出力設定切り替えレジスタ(P6DOR)
035E₁₆	
035F₁₆	

図BA-2.　周辺装置制御レジスタの配置

0380$_{16}$	カウント開始フラグ(TABSR)
0381$_{16}$	時計用プリスケーラリセットフラグ(CPSRF)
0382$_{16}$	ワンショット開始フラグ(ONSF)
0383$_{16}$	トリガ選択レジスタ(TRGSR)
0384$_{16}$	アップダウンフラグ(UDF)
0385$_{16}$	
0386$_{16}$ 0387$_{16}$	タイマA0(TA0)
0388$_{16}$ 0389$_{16}$	タイマA1(TA1)
038A$_{16}$ 038B$_{16}$	タイマA2(TA2)
038C$_{16}$ 038D$_{16}$	タイマA3(TA3)
038E$_{16}$ 038F$_{16}$	タイマA4(TA4)
0390$_{16}$ 0391$_{16}$	タイマB0(TB0)
0392$_{16}$ 0393$_{16}$	タイマB1(TB1)
0394$_{16}$ 0395$_{16}$	タイマB2(TB2)
0396$_{16}$	タイマA0モードレジスタ(TA0MR)
0397$_{16}$	タイマA1モードレジスタ(TA1MR)
0398$_{16}$	タイマA2モードレジスタ(TA2MR)
0399$_{16}$	タイマA3モードレジスタ(TA3MR)
039A$_{16}$	タイマA4モードレジスタ(TA4MR)
039B$_{16}$	タイマB0モードレジスタ(TB0MR)
039C$_{16}$	タイマB1モードレジスタ(TB1MR)
039D$_{16}$	タイマB2モードレジスタ(TB2MR)
039E$_{16}$	
039F$_{16}$	
03A0$_{16}$	UART0送受信モードレジスタ(U0MR)
03A1$_{16}$	UART0転送速度レジスタ(U0BRG)
03A2$_{16}$ 03A3$_{16}$	UART0送信バッファレジスタ(U0TB)
03A4$_{16}$	UART0送受信制御レジスタ0(U0C0)
03A5$_{16}$	UART0送受信制御レジスタ1(U0C1)
03A6$_{16}$ 03A7$_{16}$	UART0受信バッファレジスタ(U0RB)
03A8$_{16}$	UART1送受信モードレジスタ(U1MR)
03A9$_{16}$	UART1転送速度レジスタ(U1BRG)
03AA$_{16}$ 03AB$_{16}$	UART1送信バッファレジスタ(U1TB)
03AC$_{16}$	UART1送受信制御レジスタ0(U1C0)
03AD$_{16}$	UART1送受信制御レジスタ1(U1C1)
03AE$_{16}$ 03AF$_{16}$	UART1受信バッファレジスタ(U1RB)
03B0$_{16}$	UART送受信制御レジスタ2(UCON)
03B1$_{16}$	
03B2$_{16}$	
03B3$_{16}$	
03B4$_{16}$	フラッシュメモリ制御レジスタ0(FCON0) (注1)
03B5$_{16}$	フラッシュメモリ制御レジスタ1(FCON1) (注1)
03B6$_{16}$	フラッシュコマンドレジスタ(FCMD) (注1)
03B7$_{16}$	
03B8$_{16}$	DMA0要因選択レジスタ(DM0SL)
03B9$_{16}$	
03BA$_{16}$	DMA1要因選択レジスタ(DM1SL)
03BB$_{16}$	
03BC$_{16}$ 03BD$_{16}$	CRCデータレジスタ(CRCD)
03BE$_{16}$	CRCインプットレジスタ(CRCIN)
03BF$_{16}$	

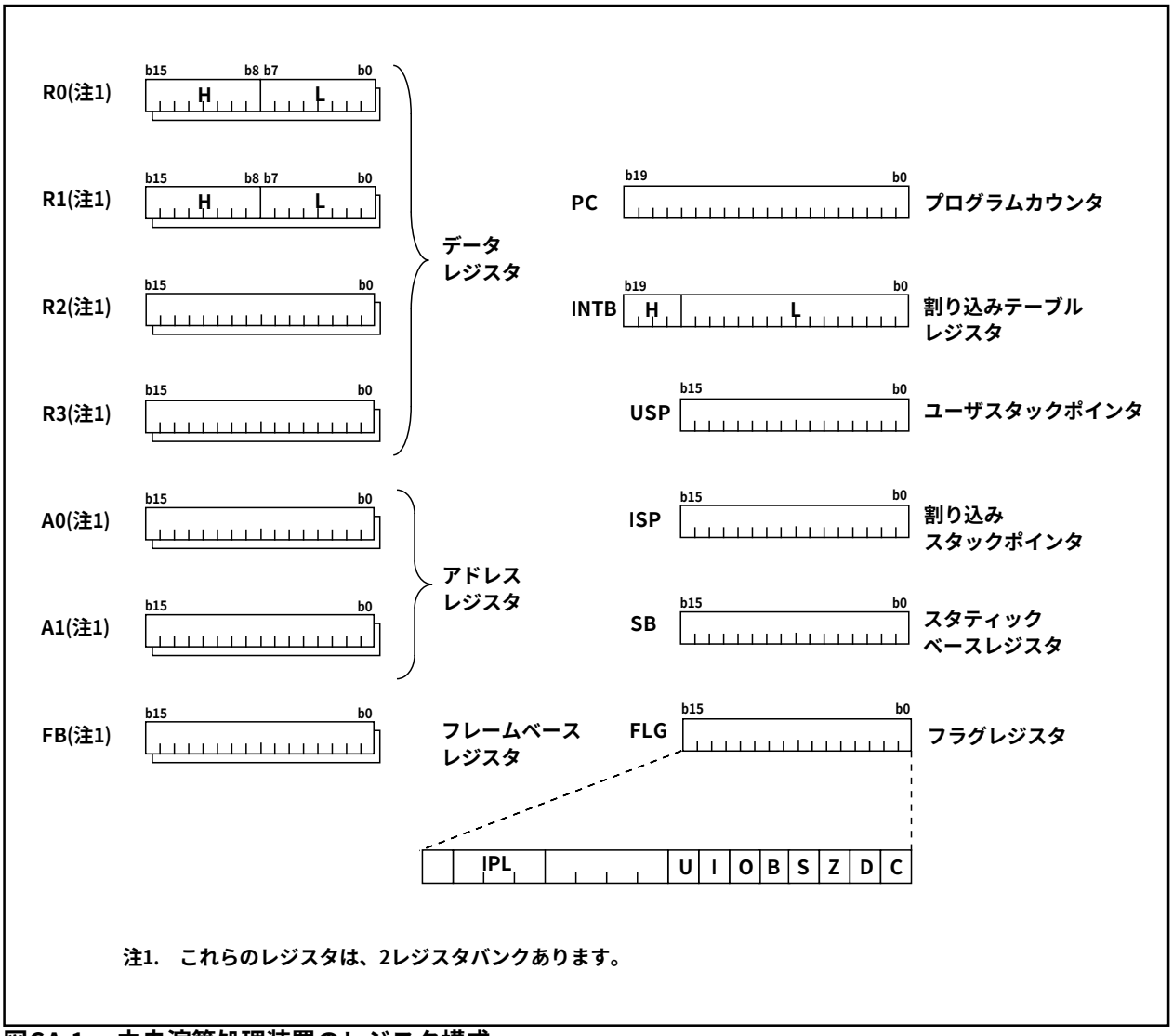
03C0$_{16}$ 03C1$_{16}$	A-Dレジスタ0(AD0)
03C2$_{16}$ 03C3$_{16}$	A-Dレジスタ1(AD1)
03C4$_{16}$ 03C5$_{16}$	A-Dレジスタ2(AD2)
03C6$_{16}$ 03C7$_{16}$	A-Dレジスタ3(AD3)
03C8$_{16}$ 03C9$_{16}$	A-Dレジスタ4(AD4)
03CA$_{16}$ 03CB$_{16}$	A-Dレジスタ5(AD5)
03CC$_{16}$ 03CD$_{16}$	A-Dレジスタ6(AD6)
03CE$_{16}$ 03CF$_{16}$	A-Dレジスタ7(AD7)
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	A-D制御レジスタ2(ADCON2)
03D5$_{16}$	
03D6$_{16}$	A-D制御レジスタ0(ADCON0)
03D7$_{16}$	A-D制御レジスタ1(ADCON1)
03D8$_{16}$	D-Aレジスタ0(DA0)
03D9$_{16}$	
03DA$_{16}$	D-Aレジスタ1(DA1)
03DB$_{16}$	
03DC$_{16}$	D-A制御レジスタ(DACON)
03DD$_{16}$	
03DE$_{16}$	
03DF$_{16}$	
03E0$_{16}$	ポートP0(P0)
03E1$_{16}$	ポートP1(P1)
03E2$_{16}$	
03E3$_{16}$	
03E4$_{16}$	ポートP2(P2)
03E5$_{16}$	ポートP3(P3)
03E6$_{16}$	
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4(P4)
03E9$_{16}$	ポートP5(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	
03EC$_{16}$	ポートP6(P6)
03ED$_{16}$	ポートP7(P7)
03EE$_{16}$	
03EF$_{16}$	ポートP7方向レジスタ(PD7)
03F0$_{16}$	ポートP8(P8)
03F1$_{16}$	ポートP9(P9)
03F2$_{16}$	ポートP8方向レジスタ(PD8)
03F3$_{16}$	ポートP9方向レジスタ(PD9)
03F4$_{16}$	ポートP10(P10)
03F5$_{16}$	
03F6$_{16}$	ポートP10方向レジスタ(PD10)
03F7$_{16}$	
03F8$_{16}$	
03F9$_{16}$	
03FA$_{16}$	
03FB$_{16}$	
03FC$_{16}$	
03FD$_{16}$	プルアップ制御レジスタ0(PUR0)
03FE$_{16}$	プルアップ制御レジスタ1(PUR1)
03FF$_{16}$	

注1. このレジスタは、フラシュメモリ版にのみ存在します。

図BA-3. 周辺装置制御レジスタの配置

中央演算処理装置

中央演算処理装置には図CA-1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。



図CA-1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図CA-2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

●ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

●ビット8～ビット11：予約領域

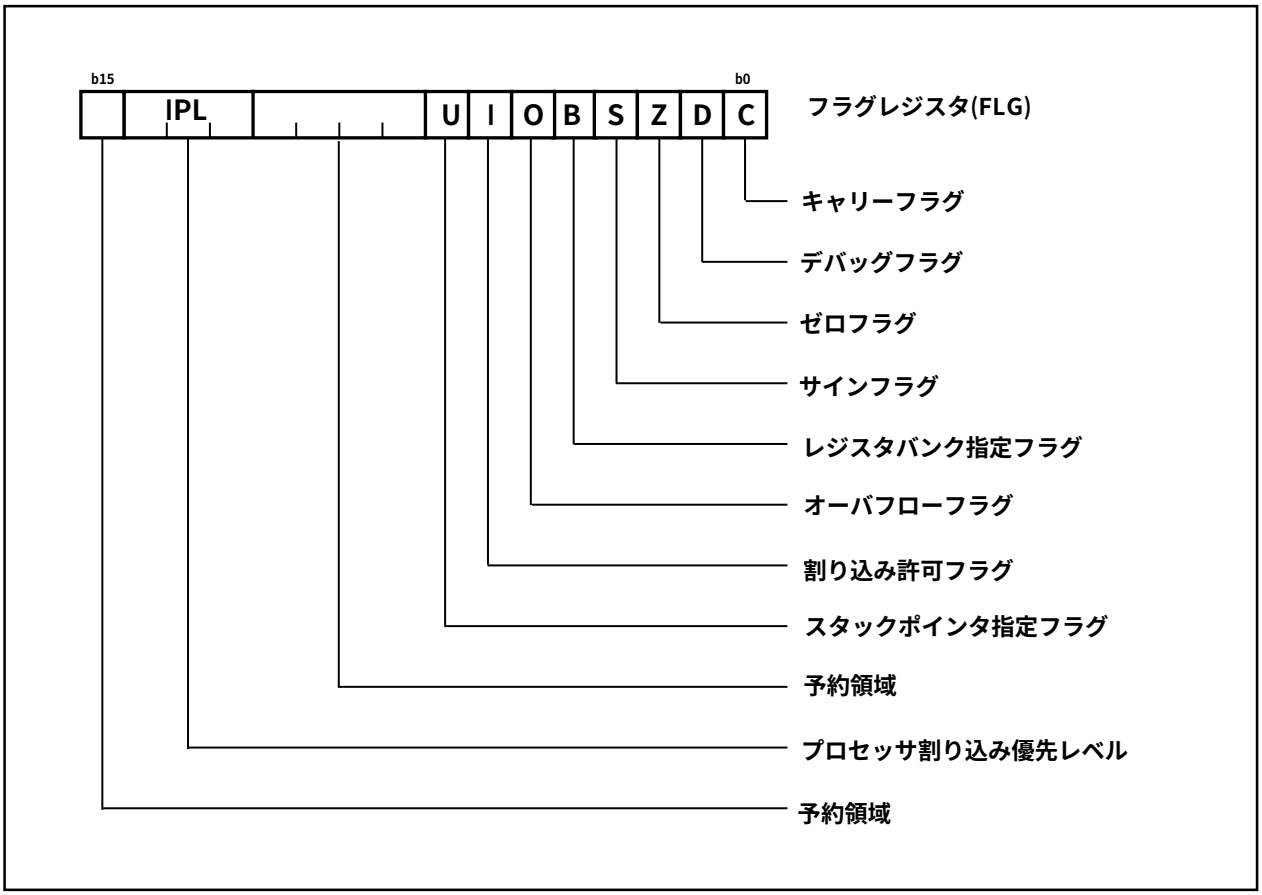
●ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

●ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウエアマニュアルを参照してください。



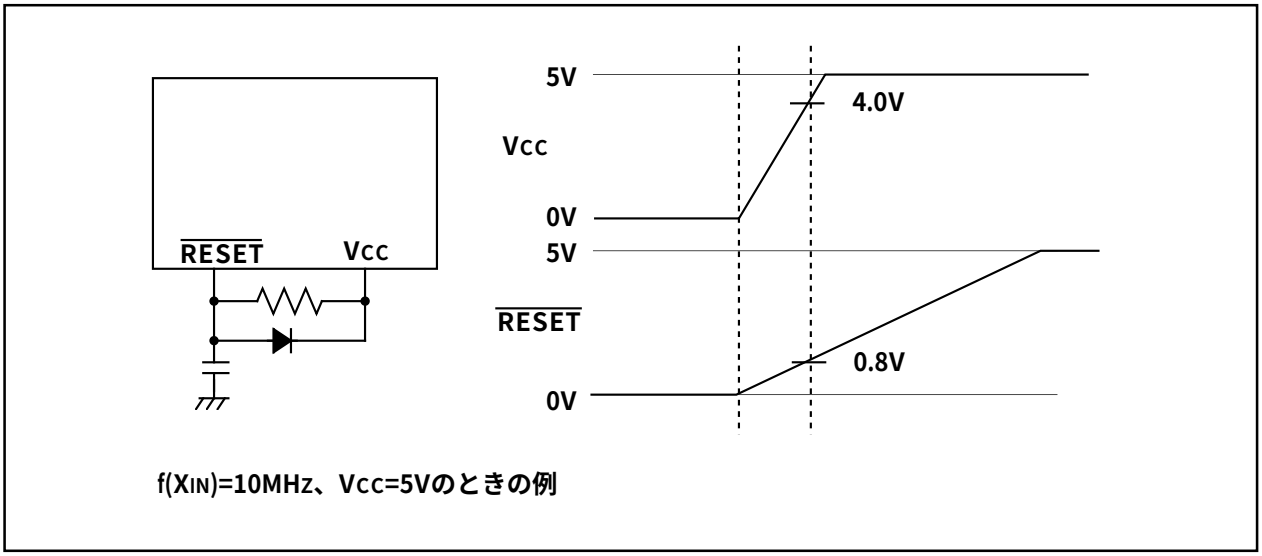
図CA-2.　フラグレジスタ(FLG)の構成

リセット

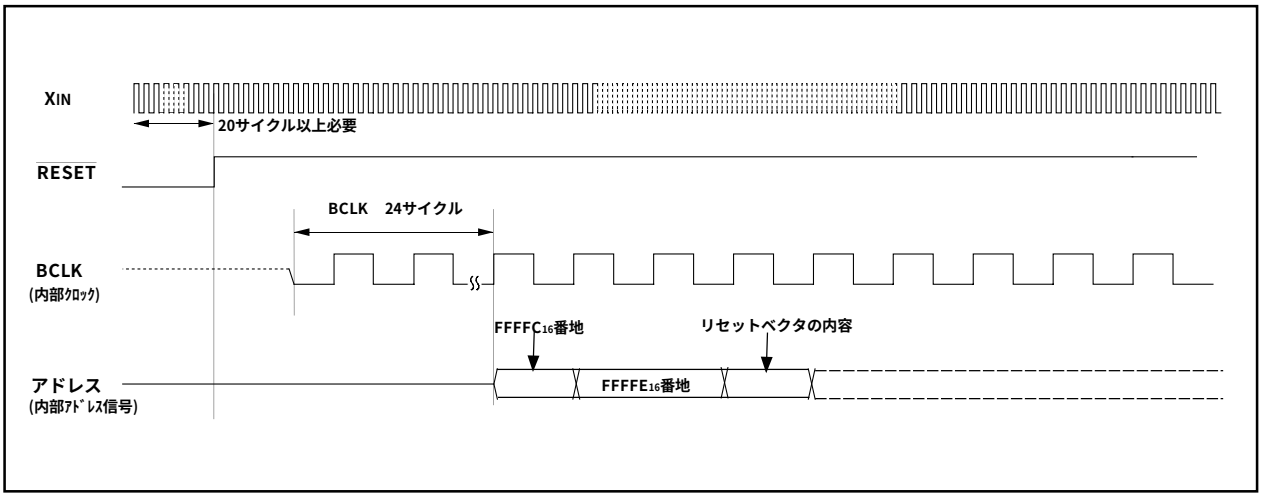
リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです(ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照)。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を2μs以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図DA-1、リセットシーケンスを図DA-2に示します。



図DA-1.　リセット回路の一例



図DA-2.　リセットシーケンス

(1) プロセッサモードレジスタ0	(0004$_{16}$)・・・	X	X	X	X	X	0	0	0	0
(2) プロセッサモードレジスタ1	(0005$_{16}$)・・・	0	X	X	X	X	X	X	0	0
(3) システムクロック制御レジスタ0	(0006$_{16}$)・・・	0	1	0	0	1	0	0	0
(4) システムクロック制御レジスタ1	(0007$_{16}$)・・・	0	0	1	0	0	0	0	0
(5) アドレス一致割り込み許可レジスタ	(0009$_{16}$)・・・	X	X	X	X	X	X	X	0	0
(6) プロテクトレジスタ	(000A$_{16}$)・・・	X	X	X	X	X	X	0	0	0
(7) 監視タイマ制御レジスタ	(000F$_{16}$)・・・	0	0	0	?	?	?	?
(8) アドレス一致割り込みレジスタ0	(0010$_{16}$)・・・	00$_{16}$
	(0011$_{16}$)・・・	00$_{16}$
	(0012$_{16}$)・・・	X	X	X	X	X	0	0	0	0
(9) アドレス一致割り込みレジスタ1	(0014$_{16}$)・・・	00$_{16}$
	(0015$_{16}$)・・・	00$_{16}$
	(0016$_{16}$)・・・	X	X	X	X	X	0	0	0	0
(10) DMA0制御レジスタ	(002C$_{16}$)・・・	0	0	0	0	0	?	0	0
(11) DMA1制御レジスタ	(003C$_{16}$)・・・	0	0	0	0	0	?	0	0
(12) INT3割り込み制御レジスタ	(0047$_{16}$)・・・	X	X	0	0	?	0	0	0
(13)INT4割り込み制御レジスタ	(0048$_{16}$)・・・	X	X	0	0	?	0	0	0
(14) INT5割り込み制御レジスタ	(0049$_{16}$)・・・	X	X	0	0	?	0	0	0
(15) DMA0割り込み制御レジスタ	(004B$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(16) DMA1割り込み制御レジスタ	(004C$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(17)A-D変換割り込み制御レジスタ	(004E$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(18)SI/O2自動転送割り込み制御レジスタ	(004F$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(19) FLD割り込み制御レジスタ	(0050$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(20) UART0送信割り込み制御レジスタ	(0051$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(21) UART0受信割り込み制御レジスタ	(0052$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(22)UART1送信割り込み制御レジスタ	(0053$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(23)UART1受信割り込み制御レジスタ	(0054$_{16}$)・・・	X	X	X	X	X	?	0	0	0

(24) タイマA0割り込み制御レジスタ	(0055$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(25) タイマA1割り込み制御レジスタ	(0056$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(26) タイマA2割り込み制御レジスタ	(0057$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(27) タイマA3割り込み制御レジスタ	(0058$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(28) タイマA4割り込み制御レジスタ	(0059$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(29) タイマB0割り込み制御レジスタ	(005A$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(30)タイマB1割り込み制御レジスタ	(005B$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(31)タイマB2割り込み制御レジスタ	(005C$_{16}$)・・・	X	X	X	X	X	?	0	0	0
(32) INT0割り込み制御レジスタ	(005D$_{16}$) ・・・	X	X	0	0	?	0	0	0
(33) INT1割り込み制御レジスタ	(005E$_{16}$) ・・・	X	X	0	0	?	0	0	0
(34) INT2割り込み制御レジスタ	(005F$_{16}$)・・・	X	X	0	0	?	0	0	0
(35)シリアルI/O2制御レジスタ1	(0342$_{16}$) ・・・	00$_{16}$
(36) シリアルI/O2制御レジスタ2	(0344$_{16}$) ・・・	00$_{16}$
(37) シリアルI/O2制御レジスタ3	(0348$_{16}$) ・・・	00$_{16}$
(38) FLDCモードレジスタ	(0350$_{16}$) ・・・	00$_{16}$
(39)FLD出力制御レジスタ	(0351$_{16}$)・・・	00$_{16}$
(40)Tdisp時間設定レジスタ	(0352$_{16}$)・・・	00$_{16}$
(41)Toff1時間設定レジスタ	(0354$_{16}$)・・・	FF$_{16}$
(42)Toff2時間設定レジスタ	(0356$_{16}$)・・・	FF$_{16}$
(43)ポートP2FLD/ポート切り替えレジスタ	(0359$_{16}$)・・・	00$_{16}$
(44)ポートP3FLD/ポート切り替えレジスタ	(035A$_{16}$)・・・	00$_{16}$
(45)ポートP4FLD/ポート切り替えレジスタ	(035B$_{16}$)・・・	00$_{16}$
(46)P5ディジット出力設定切り替えレジスタ	(035C$_{16}$)・・・	00$_{16}$
(47)P6ディジット出力設定切り替えレジスタ	(035D$_{16}$)・・・	00$_{16}$

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

x ：このビットは何も配置されていません。
? ：不定です。

図DA-3. リセット解除後のマイクロコンピュータの内部状態

(48) カウント開始フラグ	(0380$_{16}$)・・・	00$_{16}$
(49) 時計用プリスケーラリセットフラグ	(0381$_{16}$)・・・	0 X X X X X X X
(50) ワンショット開始フラグ	(0382$_{16}$)・・・	0 0 X 0 0 0 0 0
(51) トリガ選択レジスタ	(0383$_{16}$)・・・	00$_{16}$
(52) アップダウンフラグ	(0384$_{16}$)・・・	00$_{16}$
(53) タイマA0モードレジスタ	(0396$_{16}$)・・・	00$_{16}$
(54) タイマA1モードレジスタ	(0397$_{16}$)・・・	00$_{16}$
(55) タイマA2モードレジスタ	(0398$_{16}$)・・・	00$_{16}$
(56) タイマA3モードレジスタ	(0399$_{16}$)・・・	00$_{16}$
(57)タイマA4モードレジスタ	(039A$_{16}$)・・・	00$_{16}$
(58) タイマB0モードレジスタ	(039B$_{16}$)・・・	0 0 ? X 0 0 0 0
(59) タイマB1モードレジスタ	(039C$_{16}$)・・・	0 0 ? X 0 0 0 0
(60) タイマB2モードレジスタ	(039D$_{16}$)・・・	0 0 ? X 0 0 0 0
(61) UART0送受信モードレジスタ	(03A0$_{16}$)・・・	00$_{16}$
(62) UART0送受信制御レジスタ0	(03A4$_{16}$)・・・	0 0 0 0 1 0 0 0
(63) UART0送受信制御レジスタ1	(03A5$_{16}$)・・・	0 0 0 0 0 0 1 0
(64) UART1送受信モードレジスタ	(03A8$_{16}$)・・・	00$_{16}$
(65) UART1送受信制御レジスタ0	(03AC$_{16}$)・・・	0 0 0 0 1 0 0 0
(66) UART1送受信制御レジスタ1	(03AD$_{16}$)・・・	0 0 0 0 0 0 1 0
(67)UART送受信制御レジスタ2	(03B0$_{16}$)・・・	X 0 0 0 0 0 0 0
(68)フラッシュメモリ制御レジスタ0(注1)	(03B4$_{16}$)・・・	0 0 1 0 0 0 0 0
(69) フラッシュメモリ制御レジスタ1(注1)	(03B5$_{16}$)・・・	X X X X X X 0 0
(70)フラッシュコマンドレジスタ(注1)	(03B6$_{16}$)・・・	00$_{16}$
(71) DMA0要因選択レジスタ	(03B8$_{16}$)・・・	00$_{16}$
(72)DMA1要因選択レジスタ	(03BA$_{16}$)・・・	00$_{16}$
(73) A-D制御レジスタ2	(03D4$_{16}$)・・・	X X X X X X X 0
(74) A-D制御レジスタ0	(03D6$_{16}$)・・・	0 0 0 0 0 ? ? ?
(75) A-D制御レジスタ1	(03D7$_{16}$)・・・	00$_{16}$
(76) D-A制御レジスタ	(03DC$_{16}$)・・・	00$_{16}$
(77) ポートP3方向レジスタ	(03E7$_{16}$)・・・	00$_{16}$
(78) ポートP4方向レジスタ	(03EA$_{16}$)・・・	00$_{16}$
(79) ポートP7方向レジスタ	(03EF$_{16}$)・・・	00$_{16}$
(80) ポートP8方向レジスタ	(03F2$_{16}$)・・・	00$_{16}$
(81) ポートP9方向レジスタ	(03F3$_{16}$)・・・	00$_{16}$
(82) ポートP10方向レジスタ	(03F6$_{16}$)・・・	00$_{16}$
(83)プルアップ制御レジスタ0	(03FD$_{16}$)・・・	00$_{16}$
(84)プルアップ制御レジスタ1	(03FE$_{16}$)・・・	00$_{16}$
(85) データレジスタ(R0/R1/R2/R3)	・・・	0000$_{16}$
(86) アドレスレジスタ(A0/A1)	・・・	0000$_{16}$
(87) フレームベースレジスタ(FB)	・・・	0000$_{16}$
(88)割り込みテーブルレジスタ	・・・	00000$_{16}$
(89) ユーザスタックポインタ(USP)	・・・	0000$_{16}$
(90) 割り込みスタックポインタ(ISP)	・・・	0000$_{16}$
(91) スタティックベースレジスタ(SB)	・・・	0000$_{16}$
(92)フラグレジスタ(FLG)	・・・	0000$_{16}$

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

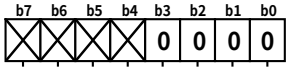
x ：このビットは何も配置されていません。
? ：不定です。
注1.　このレジスタは、フラッシュメモリ版にのみ存在します。

図DA-4.　リセット解除後のマイクロコンピュータの内部状態

ソフトウエアリセット

プロセッサモードレジスタ0(0004$_{16}$番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。図DA-5にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

プロセッサモードレジスタ0 (注1)

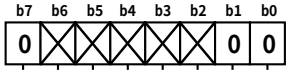


シンボル	アドレス	リセット時
PM0	0004$_{16}$番地	XXXX0000$_{2}$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このレジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

プロセッサモードレジスタ1 (注1)



シンボル	アドレス	リセット時
PM1	0005$_{16}$番地	0XXXXX00$_{2}$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
予約ビット		必ず“0”を設定してください	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

図DA-5.　プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

クロック発生回路

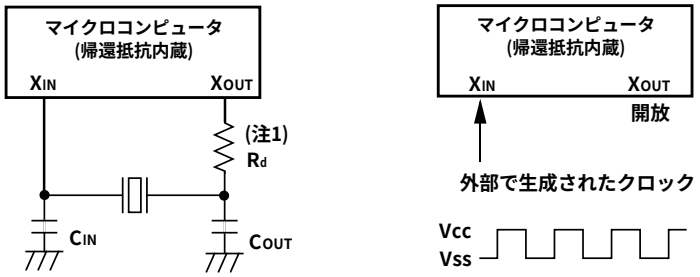
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表WA-1.　メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●CPUの動作クロック源 ●タイマA、Bのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

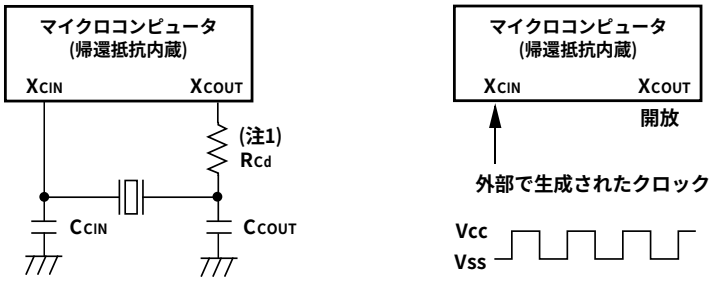
発振回路例

図WA-1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図WA-2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図WA-1中および図WA-2中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。



注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

図WA-1.　メインクロックの接続例

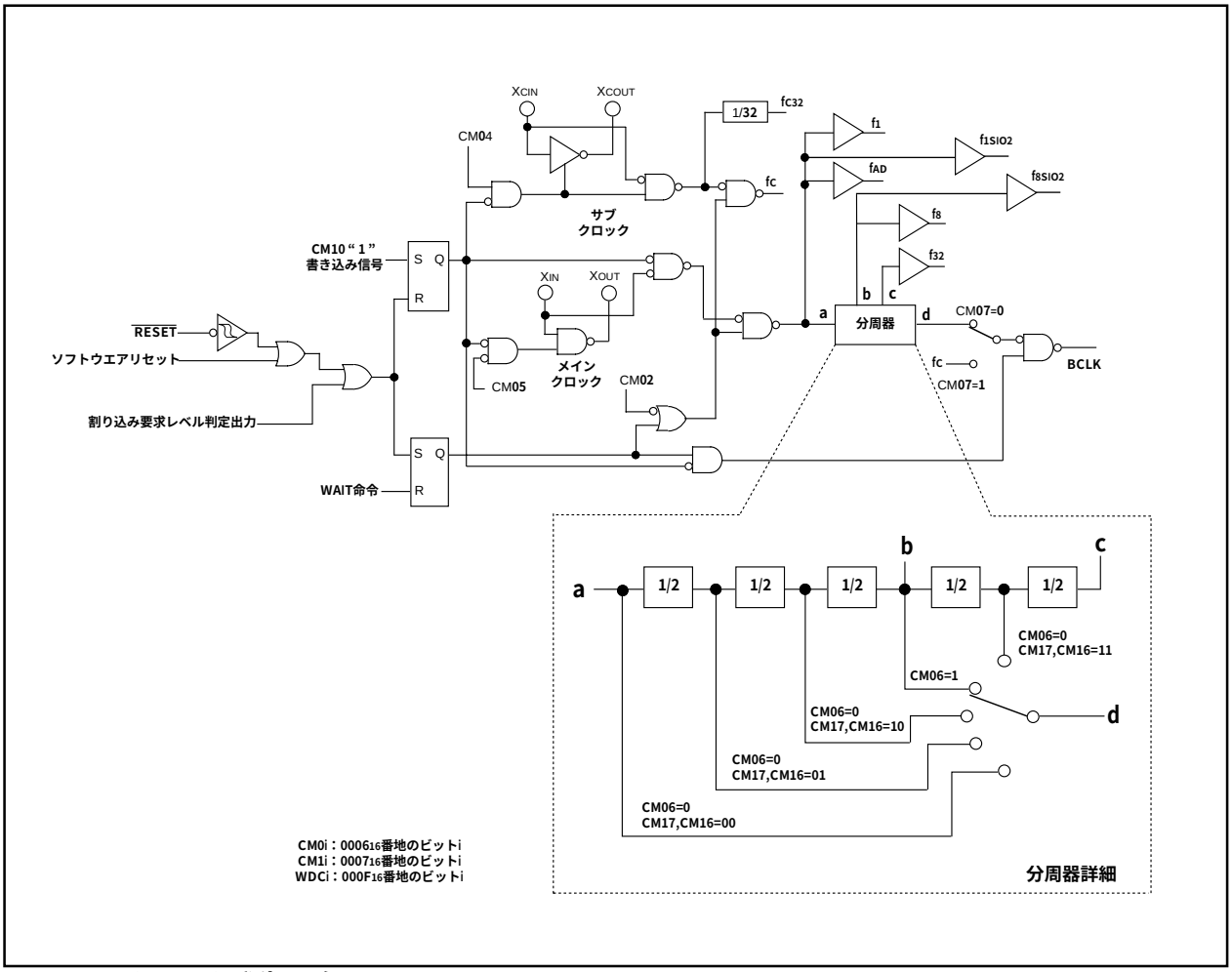


注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図WA-2.　サブクロックの接続例

クロックの制御

図WA-3にクロック発生回路のブロック図を示します。



図WA-3.　クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が充分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfCをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、fAD、f1SIO2、f8SIO2)

メインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fC32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fC

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図WA-4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	0006_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP9_7/DA_0 0 1 : f_Cを出力 1 0 : f_8を出力 1 1 : f_{32}を出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	X_{CIN}-X_{COUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	ポートX_C切り替えビット	0 : 入出力ポート機能 1 : X_{CIN}-X_{COUT}発振機能	○	○
CM05	メインクロック (X_{IN}-X_{OUT})停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : X_{IN},X_{OUT}選択 1 : X_{CIN},X_{COUT}選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。ストップモードから復帰後、X_{IN}で動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、X_{OUT}は“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、X_{IN}は帰還抵抗を介して、X_{OUT}(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、ポートX_C切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. fc32は含みません。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM15	X_{IN}-X_{OUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(0006_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、X_{OUT}は“H”レベルとなり、内蔵している帰還抵抗は切り離されます。X_{CIN}、X_{COUT}は、ハイインピーダンスになります。

図WA-4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック出力

クロック出力機能選択ビット(000616番地のビット0、ビット1)によってP97/DA0/CLKOUT/DIMOUT端子からf8、f32またはfCを出力することができます。WAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf8、f32のクロックは停止します。

ストップモード

全クロック停止制御ビット(000716番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、VCCが2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f1～f32、fC、fC32、fADは停止しますので蛍光表示管表示機能、SIO2、A-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART0、UART1は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表WA-2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用した場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表WA-2.　ストップモード時のポートの状態

端　子		状　態
ポート		ストップモードに入る直前の状態を保持
CLKOUT	fC選択時	“H”
	f8、f32選択時	ストップモードに入る直前の状態を保持

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表WA-3に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表WA-3.　ウエイトモード時のポートの状態

端　子		状　態
ポート		ウエイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f8、f32選択時	WAIT時周辺機能クロック停止ビットが“0”のとき出力を継続(注1)。 WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持。

注1.　この場合、消費電力は低減する事はできませんのでご注意願います。

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表WA-4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006$_{16}$番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

f_CがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

f_CがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをX_{IN}からX_{CIN}、X_{CIN}からX_{IN}に切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表WA-4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

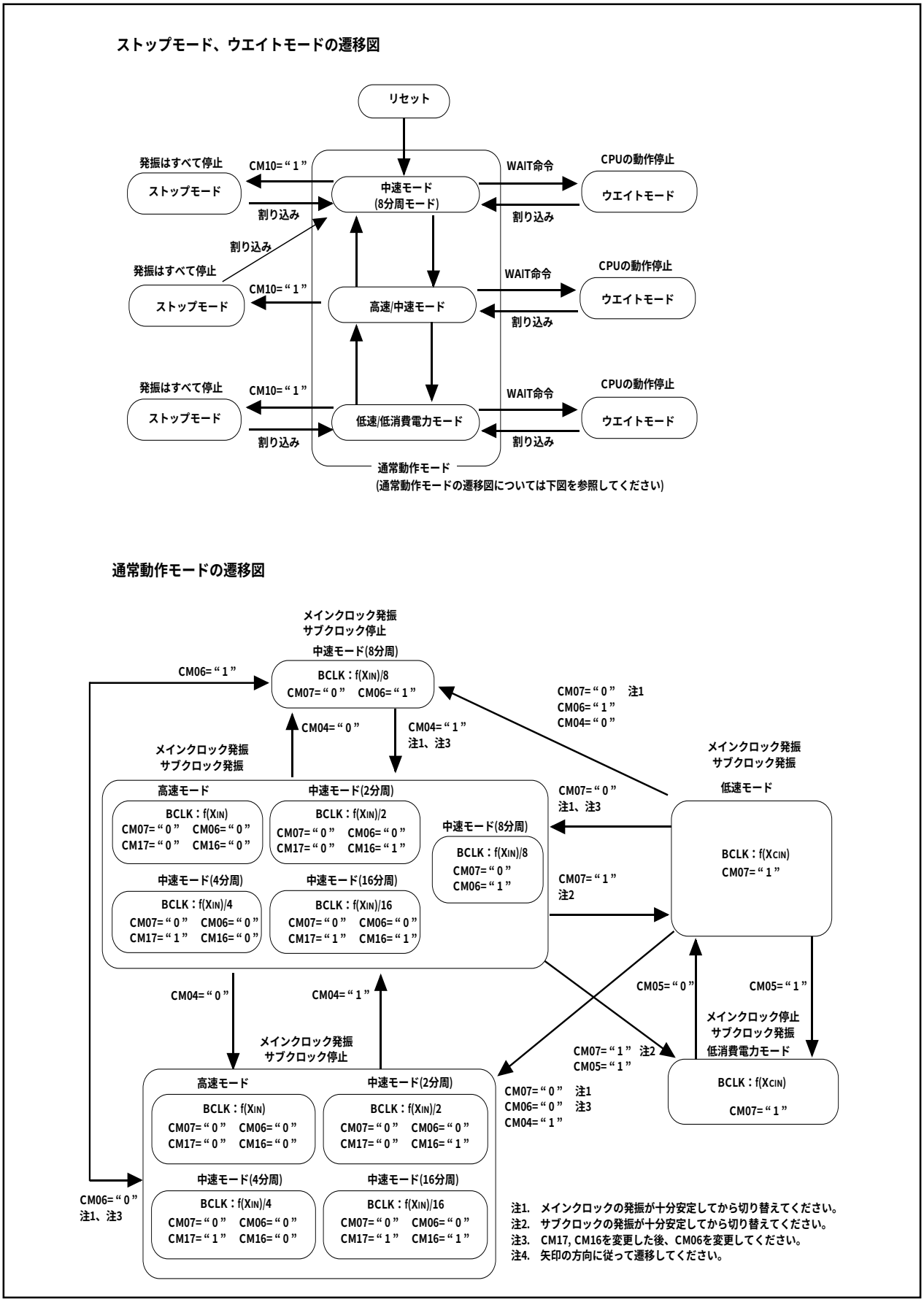
(2) ウエイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図WA-5に示します。

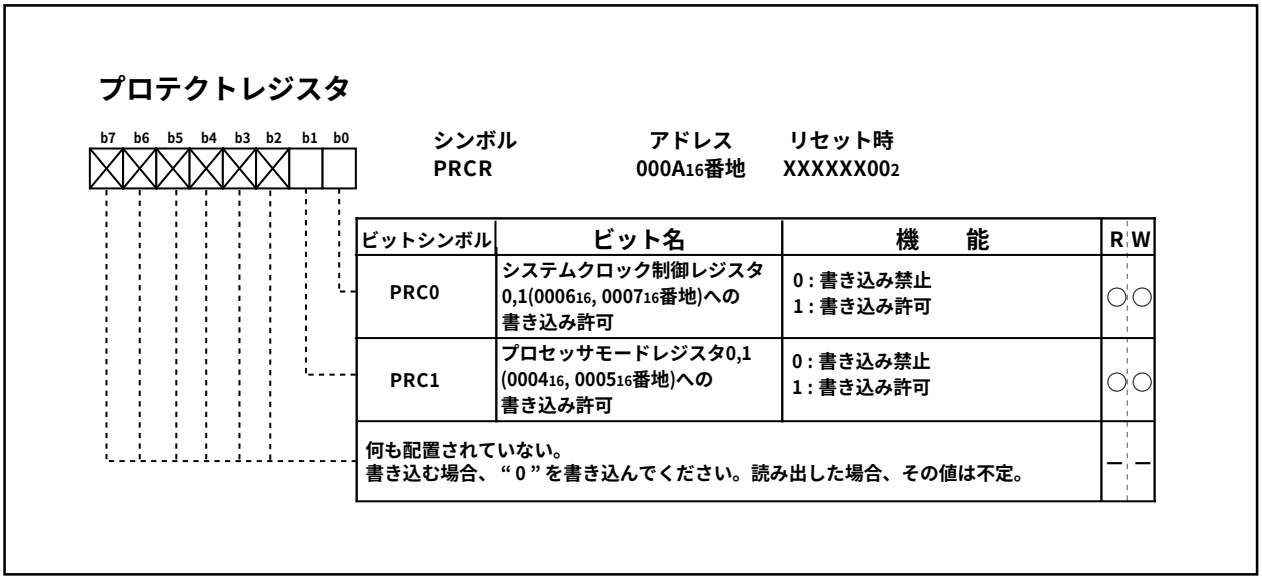

ストップモード、ウエイトモードの遷移図
リセット
発振はすべて停止
ストップモード
CM10=“1”
割り込み
中速モード
(8分周モード)
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
割り込み
発振はすべて停止
ストップモード
CM10=“1”
高速/中速モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
発振はすべて停止
ストップモード
CM10=“1”
割り込み
低速/低消費電力モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
通常動作モード
(通常動作モードの遷移図については下図を参照してください)
通常動作モードの遷移図
メインクロック発振
サブクロック停止
中速モード(8分周)
CM06=“1”
BCLK：f(XIN)/8
CM07=“0” CM06=“1”
CM07=“0” 注1
CM06=“1”
CM04=“0”
CM04=“0”
CM04=“1”
注1、注3
メインクロック発振
サブクロック発振
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0”
CM06=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
メインクロック発振
サブクロック発振
低速モード
CM07=“0”
注1、注3
BCLK：f(XCIN)
CM07=“1”
CM07=“1”
注2
CM04=“0”
CM04=“1”
メインクロック発振
サブクロック停止
CM05=“0”
CM05=“1”
メインクロック停止
サブクロック発振
低消費電力モード
CM07=“1” 注2
CM05=“1”
BCLK：f(XCIN)
CM07=“1”
CM07=“0” 注1
CM06=“0” 注3
CM04=“1”
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
CM06=“0”
注1、注3
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. CM17, CM16を変更した後、CM06を変更してください。
注4. 矢印の方向に従って遷移してください。

図WA-5. 状態遷移図

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図WA-6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004$_{16}$番地)、プロセッサモードレジスタ1(0005$_{16}$番地)、システムクロック制御レジスタ0(0006$_{16}$番地)、システムクロック制御レジスタ1(0007$_{16}$番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。

システムクロック制御レジスタ0,1書き込み許可ビット(000A$_{16}$番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A$_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

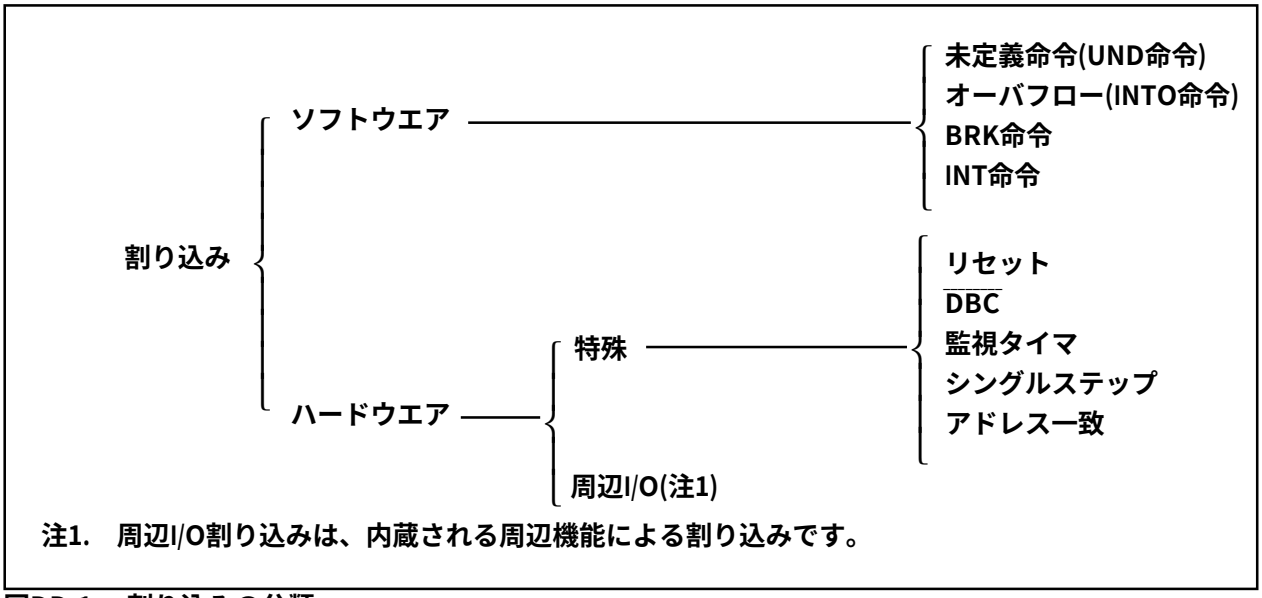


図WA-6.　プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図DD-1に割り込みの分類を示します。



図DD-1.　割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2) $\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(3) 監視タイマ割り込み

監視タイマによる割り込みです。

(4) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(5) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) DMA0、DMA1割り込み

DMAによる割り込みです。

(2) A-D変換割り込み

A-D変換器による割り込みです。

(3) UART0、UART1送信割り込み

シリアルI/Oの送信による割り込みです。

(4) UART0、UART1受信割り込み

シリアルI/Oの受信による割り込みです。

(5) SI/O自動転送割り込み

自動転送付きシリアルI/Oによる割り込みです。

(6) FLD割り込み

FLDによる割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB2割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$～$\overline{\text{INT5}}$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、または立ち上がりエッジを入力すると発生します。

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図DD-2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

図DD-2.　割り込みベクタの指定アドレス

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表DD-1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-1.　固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注1)	FFFF416 ～ FFFF716	通常は使用禁止
未使用	FFFF816 ～ FFFFB16	未使用
リセット	FFFFC16 ～ FFFFF16	

注1.　デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表DD-2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-2.　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号7	+28～+31(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号8	+32～+35(注1)	$\overline{\text{INT4}}$	
ソフトウエア割り込み番号9	+36～+39(注1)	$\overline{\text{INT5}}$	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウエア割り込み番号14	+56～+59(注1)	A-D	
ソフトウエア割り込み番号15	+60～+63(注1)	SI/O自動転送	
ソフトウエア割り込み番号16	+64～+67(注1)	FLD	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマA3	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマA4	
ソフトウエア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

割り込み制御

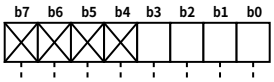
マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図DD-3に割り込み制御レジスタの構成を示します。

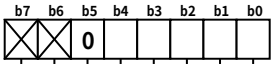
割り込み制御レジスタ(注2)

シンボル	アドレス	リセット時
DMiIC(i=0,1)	004B16, 004C16番地	XXXXX0002
ADIC	004E16番地	XXXXX0002
ASIOIC	004F16番地	XXXXX0002
FLDIC	005016番地	XXXXX0002
SiTIC(i=0,1)	0051₁₆, 0053₁₆番地	XXXXX0002
SiRIC(i=0,1)	0052₁₆, 0054₁₆番地	XXXXX0002
TAiIC(i=0～4)	0055₁₆～0059₁₆番地	XXXXX0002
TBiIC(i=0～2)	005A₁₆～005C₁₆番地	XXXXX0002



ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○(注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=0～5)	0047₁₆～0049₁₆番地 005D₁₆～005F₁₆番地	XX00X0002

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○(注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図DD-3.　割り込み制御レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表DD-3に割り込み優先レベルの設定を、表DD-4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- 割り込み許可フラグ(Iフラグ) ＝ “1”
- 割り込み要求ビット ＝ “1”
- 割り込み優先レベル ＞ プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表DD-3. 割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	高い

表DD-4. プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP                    ；
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

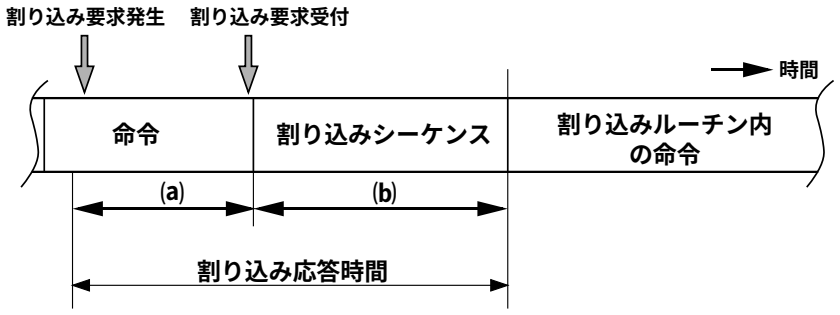
(1) 00000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図DD-4に割り込み応答時間を示します。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間
(b) 割り込みシーケンスを実行する時間

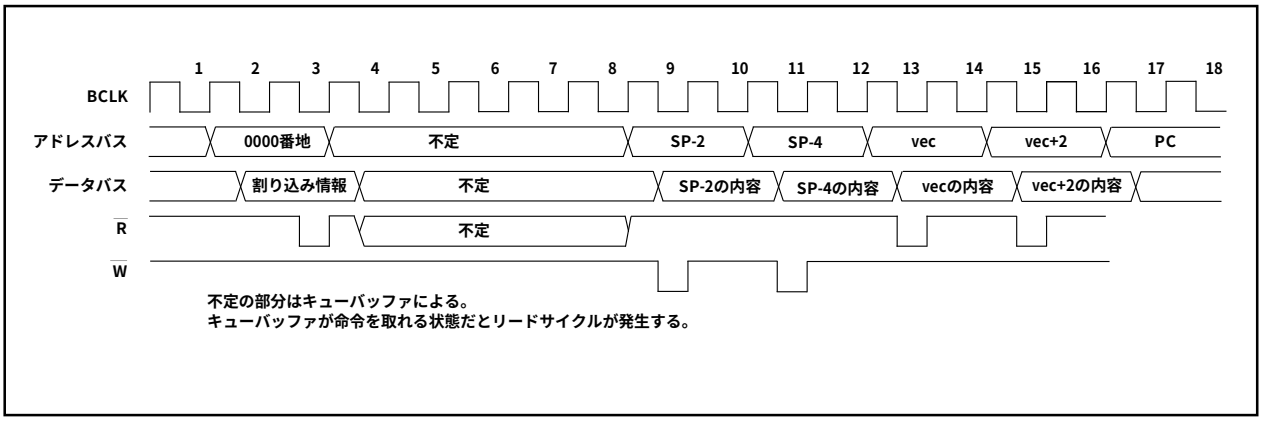
図DD-4. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクルです。
(b)の時間は次のとおりです。

表DD-5.　割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス	8ビットバス
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1.　$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。
注2.　割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。



図DD-5.　割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表DD-6に示す値がIPLに設定されます。

表DD-6.　割り込み優先レベルをもたない割り込みとIPLの関係

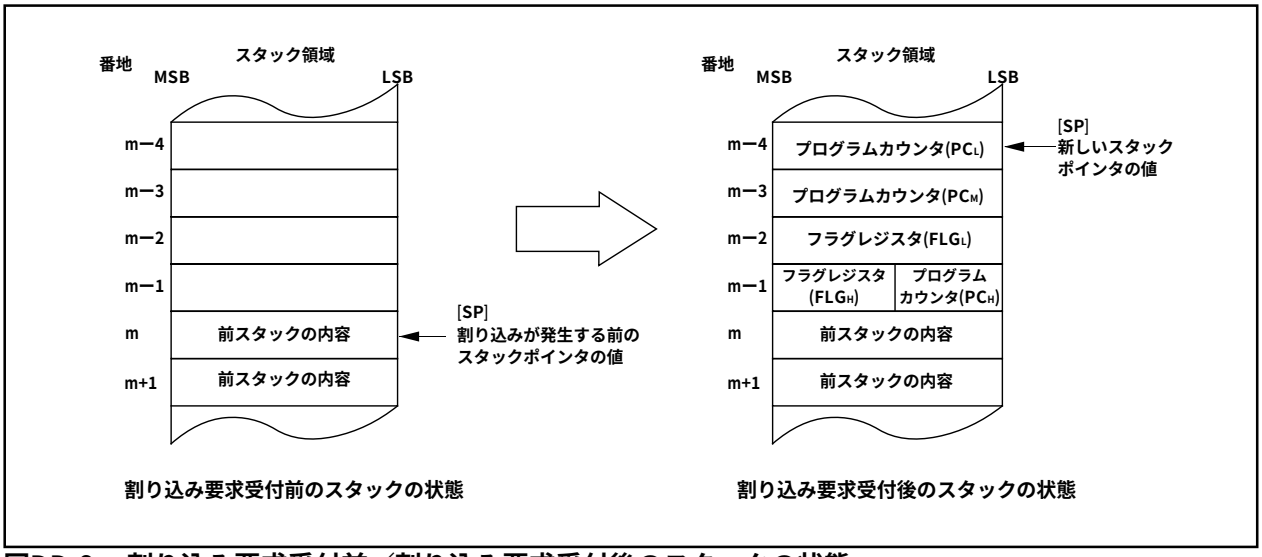
割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ	7
リセット	0
その他	変化しない

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図DD-6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

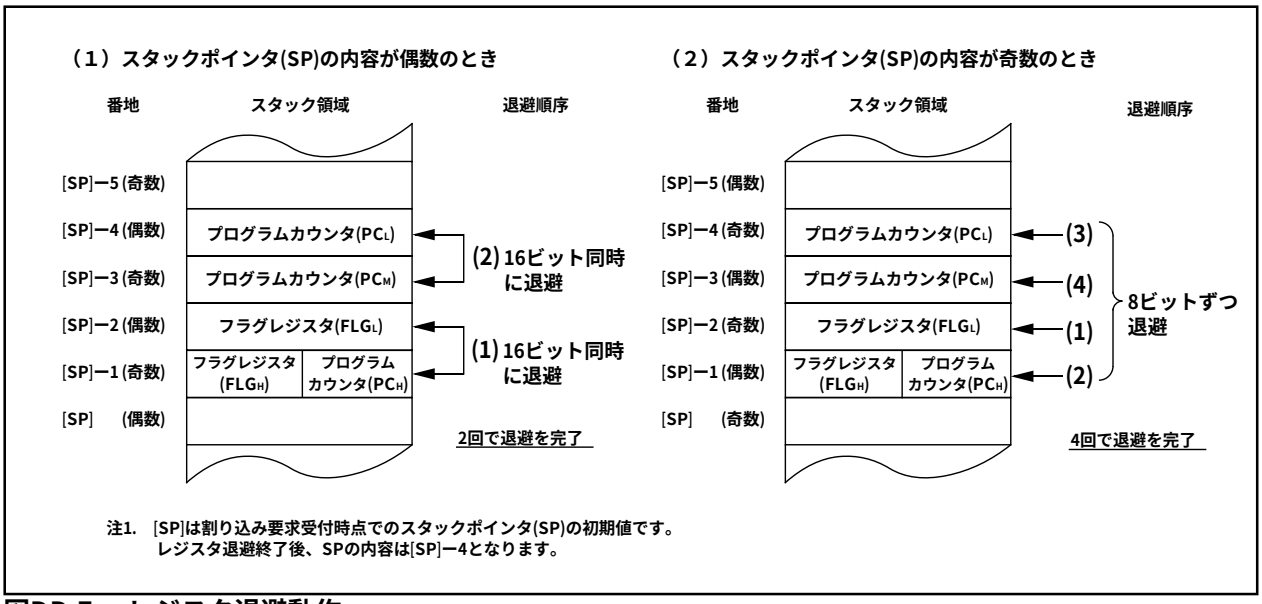
その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。



図DD-6.　割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図DD-7にレジスタ退避動作を示します。

注1.　Uフラグが示すスタックポインタです。



図DD-7.　レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図DD-8に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

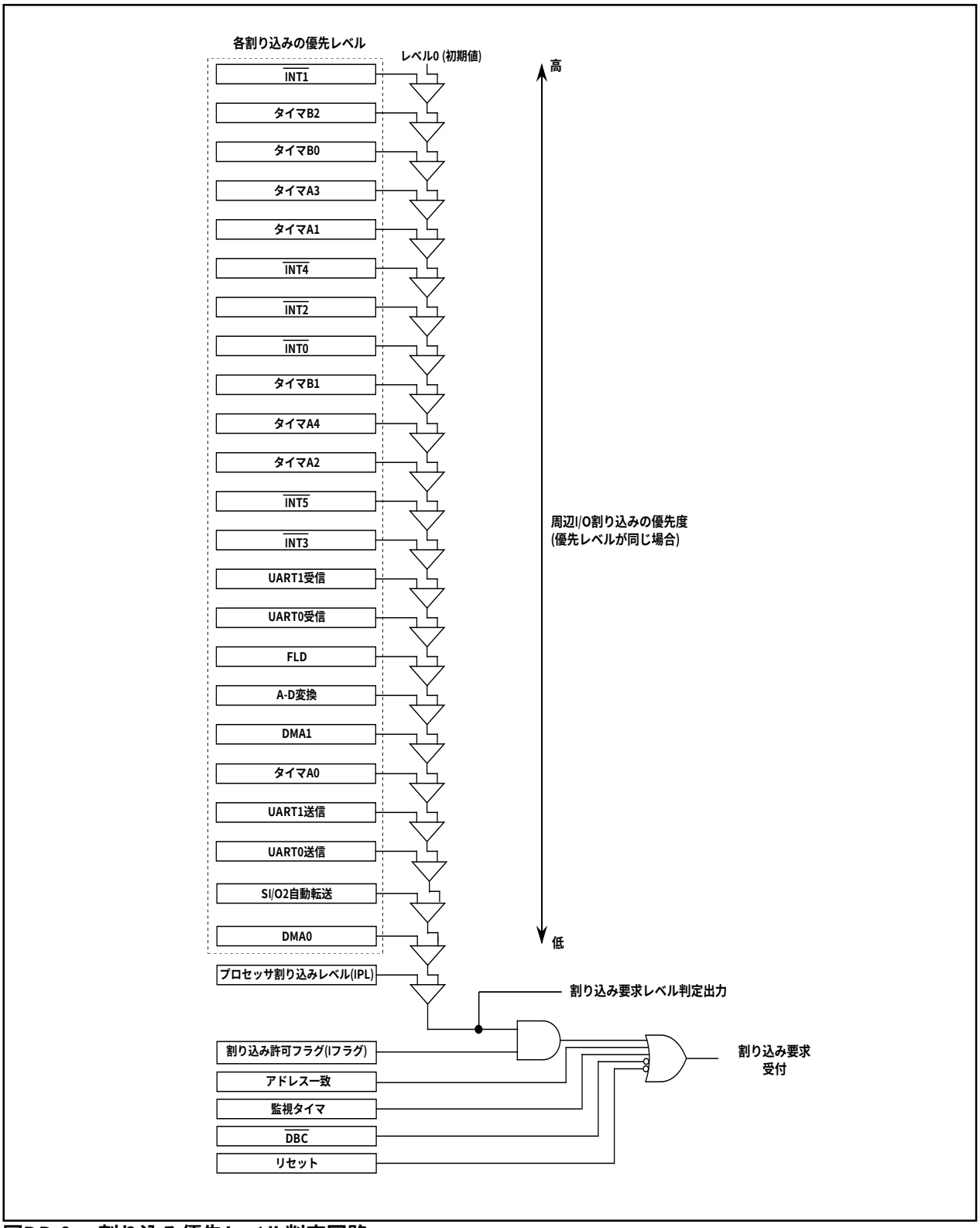
割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図DD-9に割り込み優先レベルの判定回路を示します。

リセット＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図DD-8.　ハードウエア割り込みの割り込み優先順位

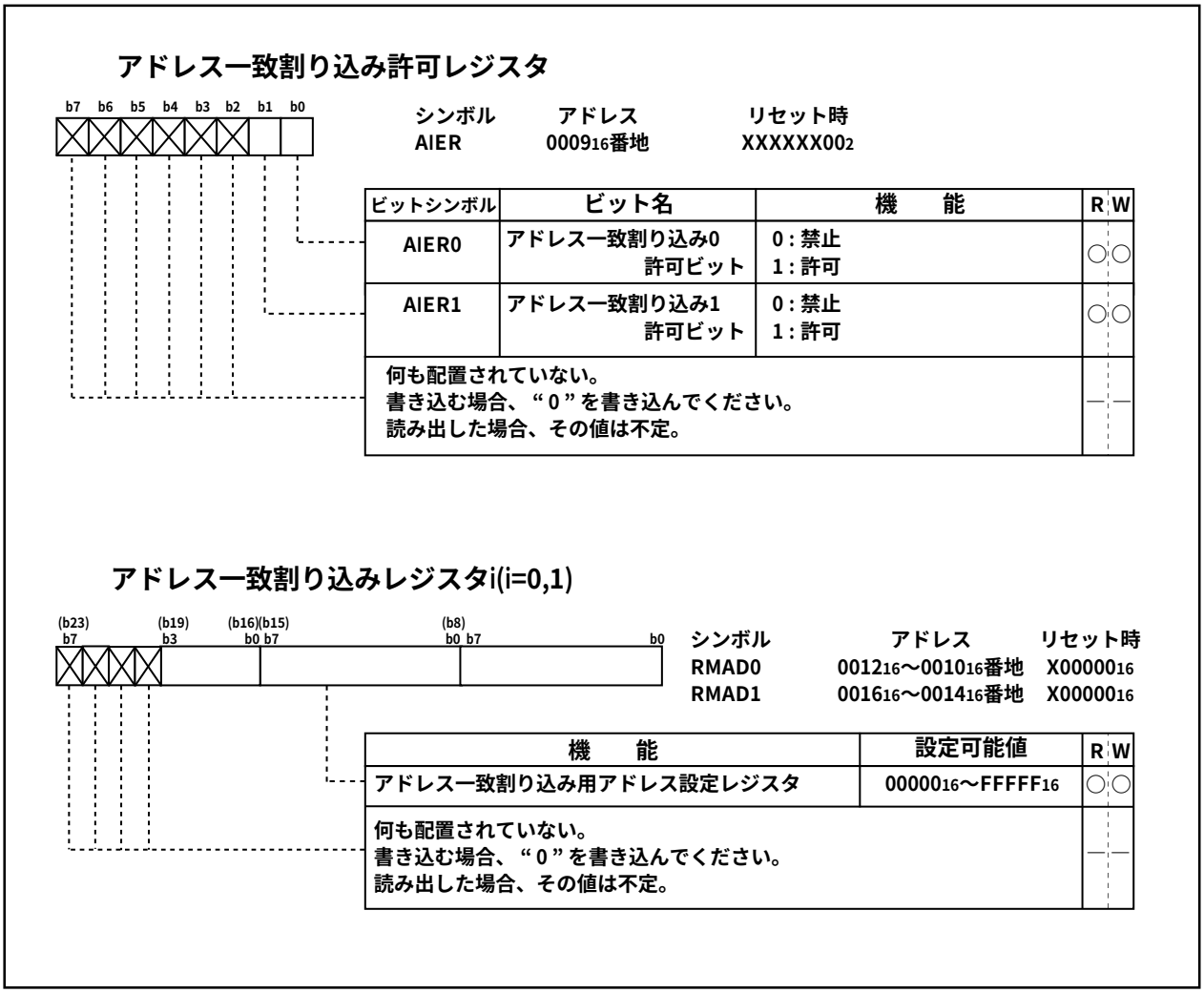


図DD-9.　割り込み優先レベル判定回路

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図DD-12にアドレス一致割り込み関連レジスタの構成を示します。



図DD-12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

(1) 00000$_{16}$番地の読み出し

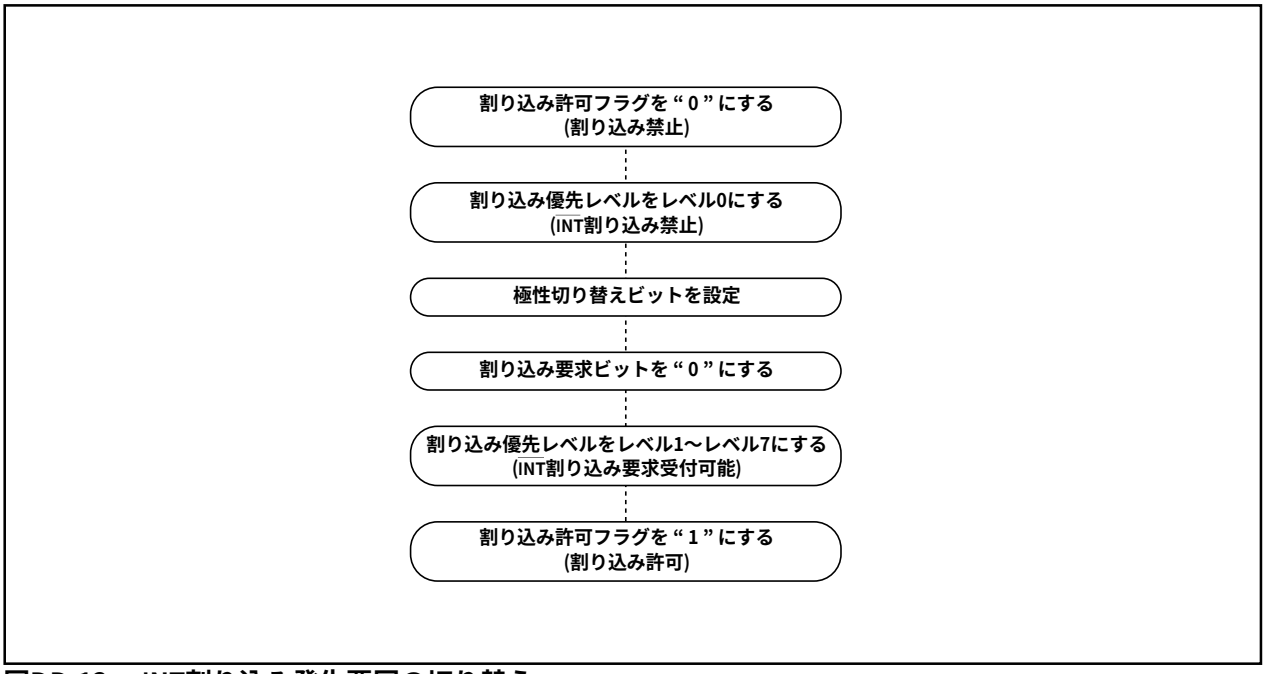
●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000016番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000016番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000016番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000016”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図DD-13に示します。



図DD-13. INT割り込み発生要因の切り替え

(4) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP                    ；
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7に関係なくプリスケーラの分周比は2分周になります。

BCLKにXINを選択している場合

$$監視タイマの周期＝\frac{プリスケーラの分周比(16または128)×監視タイマのカウント値(32768)}{BCLK}$$

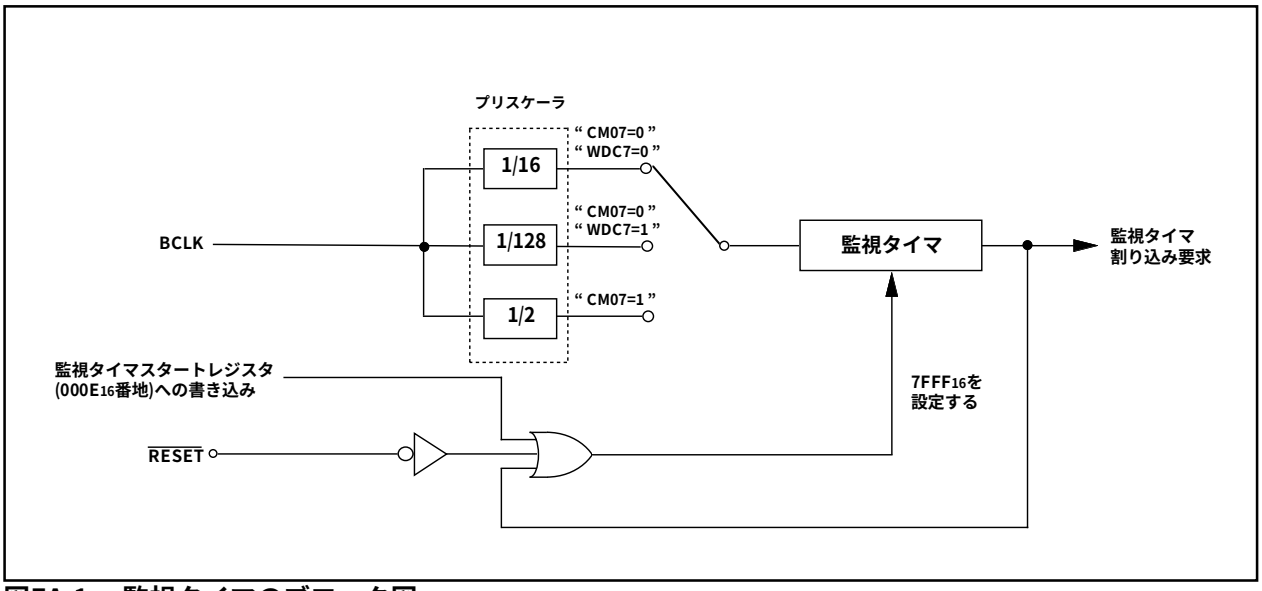
BCLKにXCINを選択している場合

$$監視タイマの周期＝\frac{プリスケーラの分周比(2)×監視タイマのカウント値(32768)}{BCLK}$$

例えば、BCLKが10MHzで、プリスケーラの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

監視タイマは、監視タイマスタートレジスタ(000E16番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。

図FA-1に監視タイマのブロック図、図FA-2に監視タイマ関連レジスタの構成を示します。



図FA-1. 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット時
WDC	$000F_{16}$番地	$000XXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	○	○

監視タイマスタートレジスタ

b7							b0

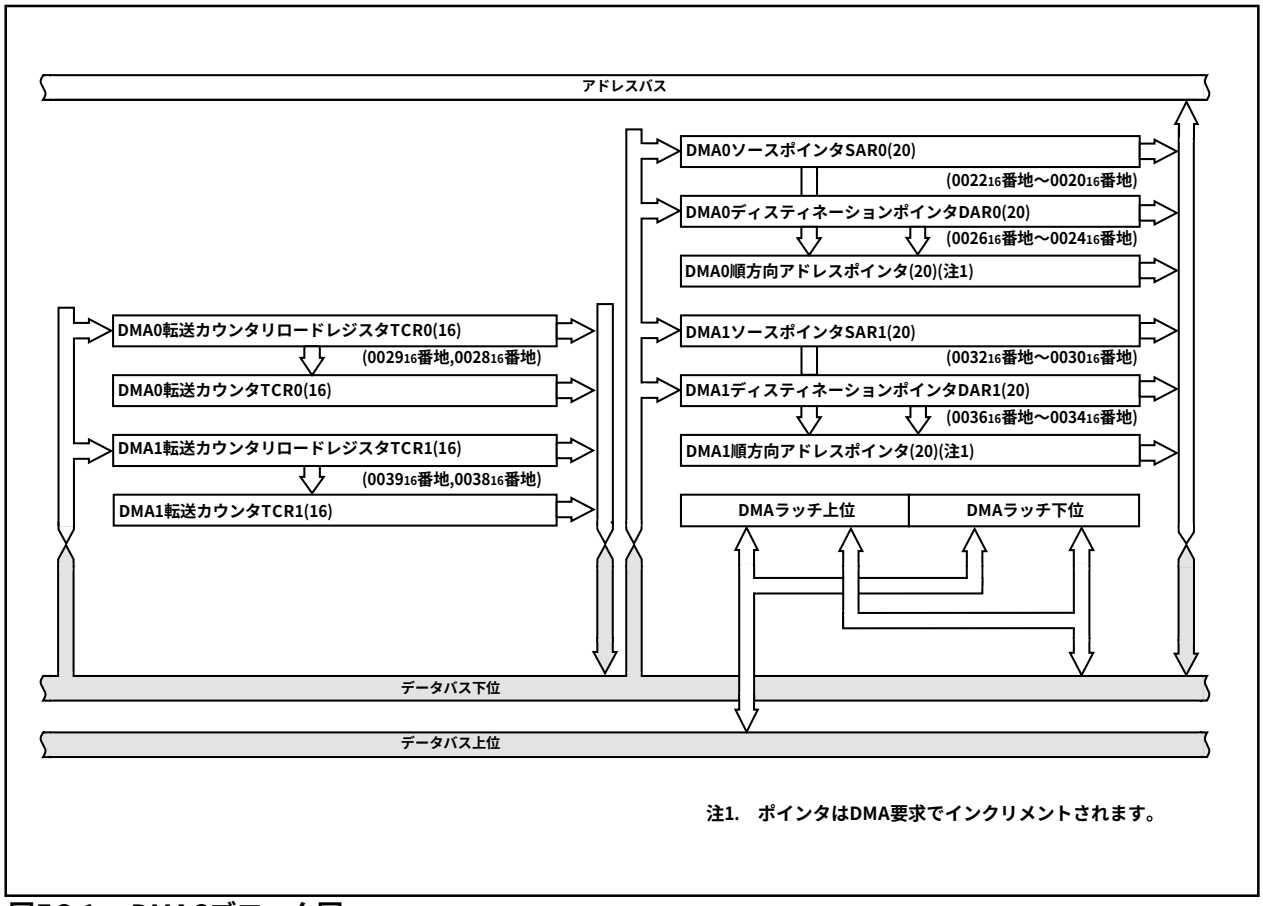
シンボル	アドレス	リセット時
WDTS	$000E_{16}$番地	不定

機　　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“$7FFF_{16}$”が設定される。	×	○

図FA-2.　監視タイマ関連レジスタ

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図EC-1にDMACのブロック図を、表EC-1にDMACの仕様を、図EC-2～図EC-3にDMACで使用するレジスタの構成を示します。



図EC-1. DMACブロック図

DMA転送の要求信号には、ソフトウエアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表EC-1.　DMAC仕様

項　　目	仕　　様
チャネル数	2チャネル(サイクルスチール方式)
転送空間	●1Mバイトの任意の空間から固定アドレス ●固定アドレスから1Mバイトの任意の空間 ●固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:002016番地～003F16番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	$\overline{\text{INT0}}$または$\overline{\text{INT1}}$端子の立ち下がりエッジ($\overline{\text{INT0}}$はDMA0、$\overline{\text{INT1}}$はDMA1で選択可) タイマA0～タイマA4割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	●単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ●リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	●DMA許可ビットが“0”のときDMACはアクティブでない状態 ●単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1.　DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

DMAi要因選択レジスタ

シンボル	アドレス	リセット時
DMiSL(i=0,1)	$03B8_{16}$番地,$03BA_{16}$番地	00_{16}

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : INT0/INT1端子の立ち下がりエッジ(注1) 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4 0 1 1 1 : タイマB0 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART1送信 1 1 0 1 : UART1受信 1 1 1 0 : A-D変換 1 1 1 1 : 設定禁止	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DSR	ソフトウエアDMA要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

注1.　$03B8_{16}$番地は$\overline{INT0}$、$03BA_{16}$番地は$\overline{INT1}$が対象となります。

DMAi制御レジスタ

シンボル	アドレス	リセット時
DMiCON(i=0,1)	$002C_{16}$番地,$003C_{16}$番地	$00000X00_2$

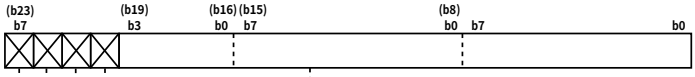
b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
注2.　“0”だけ書き込み可。
注3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

図EC-2.　DMACレジスタ構成(1)

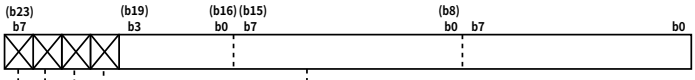
DMAiソースポインタ(i=0,1)



シンボル	アドレス	リセット時
SAR0	0022_{16}番地 ～0020_{16}番地	不定
SAR1	0032_{16}番地 ～0030_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

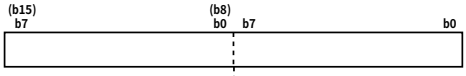
DMAiディスティネーションポインタ(i=0,1)



シンボル	アドレス	リセット時
DAR0	0026_{16}番地 ～ 0024_{16}番地	不定
DAR1	0036_{16}番地 ～ 0034_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	0029_{16}番地 , 0028_{16}番地	不定
TCR1	0039_{16}番地 , 0038_{16}番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000_{16}～$FFFF_{16}$	○	○

図EC-3.　DMACレジスタ構成(2)

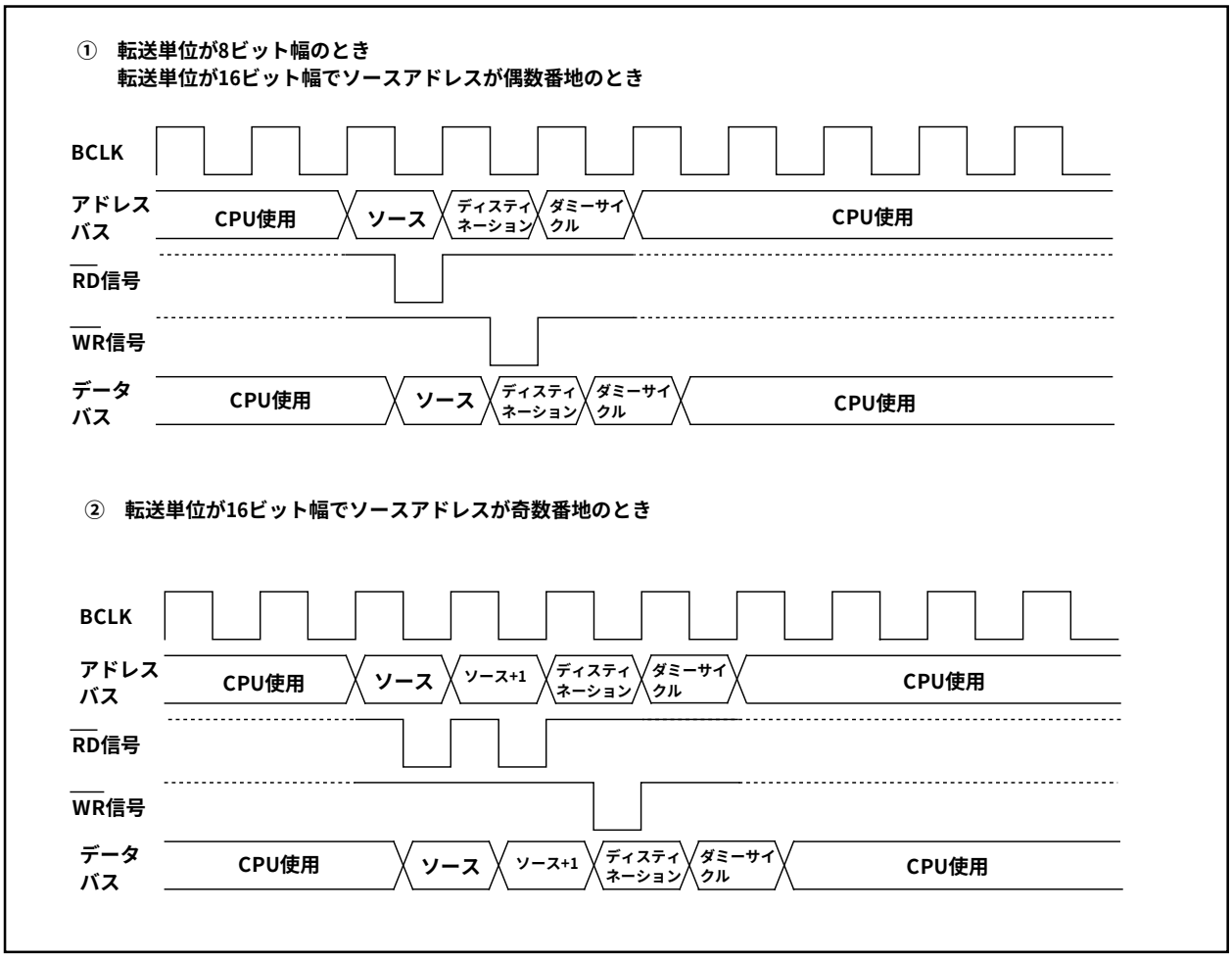
(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。

■転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

図EC-4にソースリードについての転送サイクル例(内部バスの状態)を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。



図EC-4. ソースリードについての転送サイクル例(内部バスの状態)

(2) DMAC転送サイクル数

DMAC転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表EC-2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数=読み出しサイクル× j +書き込みサイクル数× k

表EC-2. DMAC転送サイクル数

転送単位	アクセス番地	シングルチップモード	
		読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	偶　数	1	1
	奇　数	1	1
16ビット転送 (DMBIT=“0”)	偶　数	1	1
	奇　数	2	2

係数j, k

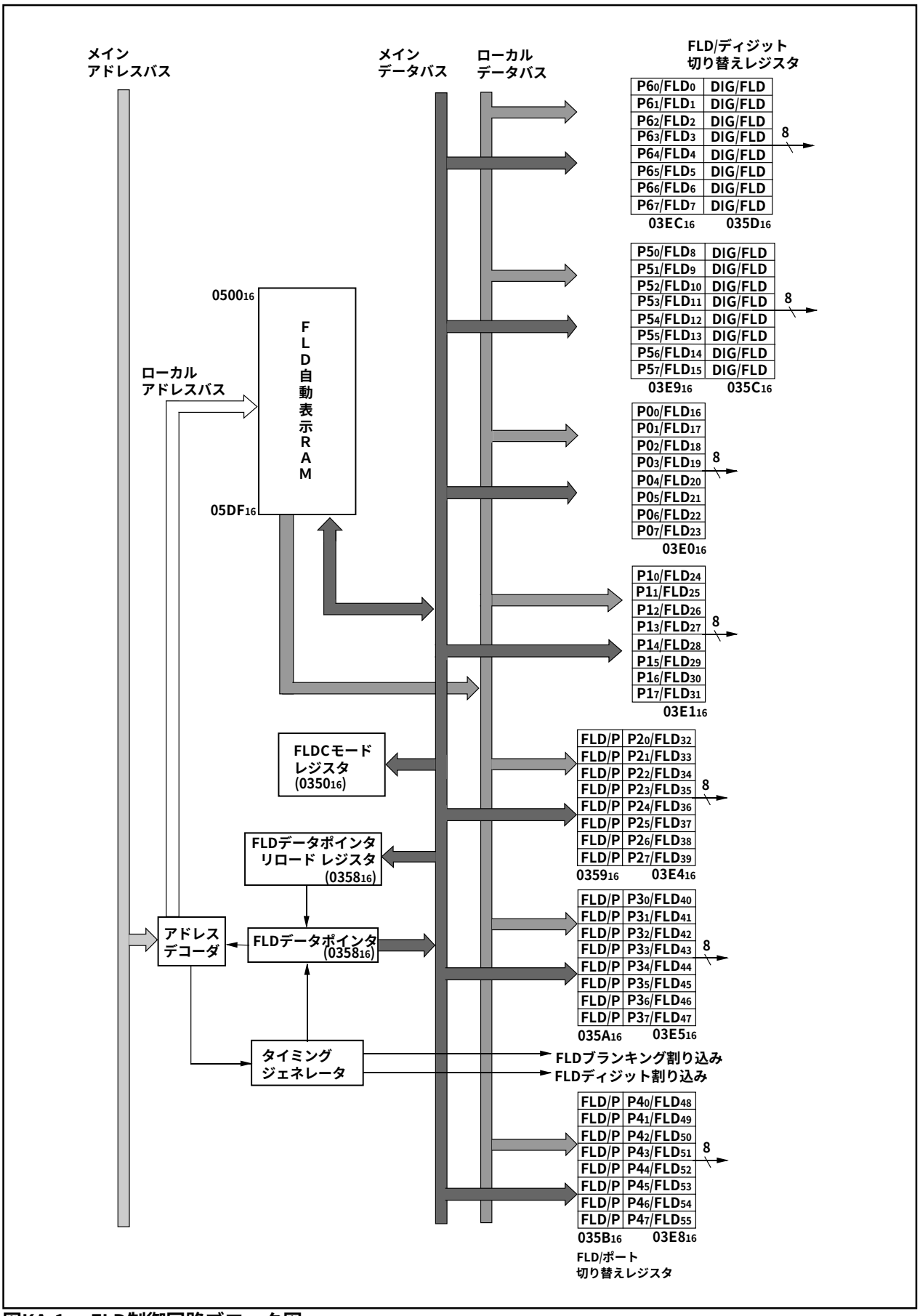
内部領域	
内部ROM/RAM	SFR領域
1	2

FLDコントローラ

M30218グループはFLD(蛍光表示管)の駆動および制御回路を持っています。
表KA-0にFLDコントローラの概略仕様を示します。

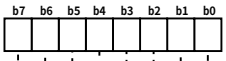
表KA-0. FLDコントローラの概略仕様

項　目		仕　様
FLDコントローラ用ポート	高耐圧ポート	52本(内20本は通常ポートと切り替え可)
	CMOSポート	4本(4本とも通常ポートと切り替え可) (外付けにドライバーが必要)
表示画素数		●FLD出力を使用した場合 28セグメント×28ディジット (セグメント数＋ディジット数≦56) ●ディジット出力を使用した場合 40セグメント×16ディジット (セグメント数≦40、ディジット数≦16) ●M35501を接続した場合 56セグメント×(M35501接続数)ディジット (セグメント数≦56、ディジット数≦M35501の数×16) ●P44～P47拡張を使用した場合 52セグメント×16ディジット (セグメント数≦52、ディジット数≦16)
周期		●3.2μs～819.2μs (カウントソース XIN/32, 10MHz時) ●12.8μs～3276.8μs (カウントソース XIN/128, 10MHz時)
ディマー時間		●3.2μs～819.2μs (カウントソース XIN/32, 10MHz時) ●12.8μs～3276.8μs (カウントソース XIN/128, 10MHz時)
割り込み		●ディジット割り込み ●FLDブランキング割り込み
キースキャン		●ディジットを使用するキースキャン ●セグメントを使用するキースキャン
拡張機能		●ディジット波出力機能 自動的にディジットの波形を出力する機能です ●M35501接続機能 DIMOUT(P97)の出力をM35501のCLKとして使用することにより、簡単にディジット数を増やすことができます ●Toff区間有無機能 接続した出力が同じであれば、Toff1区間が発生しない機能です ●階調表示機能 セグメント毎に暗表示と明表示が設定できる機能です ●P44～P47拡張機能 4本のポートに4→16デコーダをつけて16本のディジット出力を行う機能です



図KA-1. FLD制御回路ブロック図

FLDCモードレジスタ

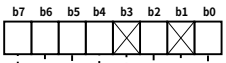


シンボル	アドレス	リセット時
FLDM	0350_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R W
FLDM0	自動表示制御ビット	0：汎用モード 1：自動表示モード	○○
FLDM1	表示スタートビット	0：表示停止 1：表示中 ("0"から"1"への書き込みで表示スタート)	○○
FLDM2	Tscan制御ビット	b3 b2 0 0：0 FLDディジット割り込み (各ディジット立ち上がり時)	○○
FLDM3		0 1：1×Tdisp 1 0：2×Tdisp 1 1：3×Tdisp } FLDブランキング割り込み (最終ディジット立ち下がり時)	○○
FLDM4	タイミング数制御ビット	0：16タイミングモード 1：32タイミングモード	○○
FLDM5	階調表示モード選択制御ビット	0：選択しない 1：選択する(注1)	○○
FLDM6	Tdispカウンタカウントソース選択ビット	0：f(XIN)/32 1：f(XIN)/128	○○
FLDM7	高耐圧ポート駆動能力選択ビット	0：駆動能力　強 1：駆動能力　弱	○○

注1.　階調表示モードを選択する場合，タイミング数は最大16タイミングとなります。
(必ずタイミング数制御ビットを"0"にしてください)。

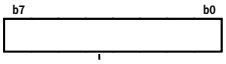
FLD出力制御レジスタ



シンボル	アドレス	リセット時
FLDCON	0351_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R W
FLDCON0	$P4_4$～$P4_7$FLD出力反転ビット	0：通常出力 1：反転出力	○○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			ーー
FLDCON2	$P4_4$～$P4_7$Toff無効ビット	0：通常動作 1：Toff無効	○○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			ーー
FLDCON4	$P9_7$ディマー出力制御ビット	0：通常ポート 1：ディマー出力	○○
FLDCON5	CMOSポートToff区間有無ビット	0：Toff区間無し 1：Toff区間有り	○○
FLDCON6	高耐圧ポートToff区間有無ビット	0：Toff区間無し 1：Toff区間有り	○○
FLDCON7	Toff2SET/RESET変更ビット	0：Toff2はリセット(セットはToff1) 1：Toff2はセット(リセットはTdisp)	○○

Tdisp時間設定レジスタ



シンボル	アドレス	リセット時
TDISP	0352_{16}番地	00_{16}

機　　能	設定可能値	R W
Tdisp時間をカウントします。カウントソースは、Tdispカウンタカウントソース選択ビットで選択します。	0～FF_{16}	○○

図KA-2.　FLDC関連レジスタ(1)

Toff1時間設定レジスタ

b7 b0

シンボル	アドレス	リセット時
TOFF1	0354$_{16}$番地	FF$_{16}$

機　　能	設定可能値	R	W
Toff1時間をカウントします。 カウントソースは、Tdispカウントソース選択ビットで選択します。	3～FF$_{16}$	○	○

Toff2時間設定レジスタ

b7 b0

シンボル	アドレス	リセット時
TOFF2	0356$_{16}$番地	FF$_{16}$

機　　能	設定可能値	R	W
Toff2時間をカウントします。 カウントソースは、Tdispカウントソース選択ビットで選択します。	3～FF$_{16}$	○	○

FLDデータポインタ

b7 b0

シンボル	アドレス	リセット時
FLDDP	0358$_{16}$番地	不定

機　　能	設定可能値	R	W
FLD出力タイミングをカウントします。FLD出力データ-1の値を設定してください。	1～1F$_{16}$	○	○

注1.　FLDデータポインタを読み込んだ場合、カウント中の値を読み出します。

ポートP2FLD/ポート 切り替えレジスタ

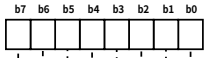
b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
P2FPR	0359$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
P2FPR0	ポートP2$_0$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR1	ポートP2$_1$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR2	ポートP2$_2$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR3	ポートP2$_3$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR4	ポートP2$_4$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR5	ポートP2$_5$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR6	ポートP2$_6$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○
P2FPR7	ポートP2$_7$FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○	○

図KA-2A.　FLDC関連レジスタ(2)

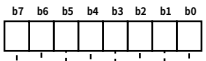
ポートP3FLD/ポート 切り替えレジスタ



シンボル	アドレス	リセット時
P3FPR	035A16番地	0016

ビットシンボル	ビット名	機　能	R W
P3FPR0	ポートP30FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR1	ポートP31FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR2	ポートP32FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR3	ポートP33FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR4	ポートP34FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR5	ポートP35FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR6	ポートP36FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P3FPR7	ポートP37FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○

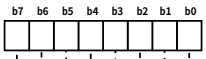
ポートP4FLD/ポート 切り替えレジスタ



シンボル	アドレス	リセット時
P4FPR	035B16番地	0016

ビットシンボル	ビット名	機　能	R W
P4FPR0	ポートP40FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR1	ポートP41FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR2	ポートP42FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR3	ポートP43FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR4	ポートP44FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR5	ポートP45FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR6	ポートP46FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○
P4FPR7	ポートP47FLD/ポート切り替えビット	0：通常ポート 1：FLD出力ポート	○○

ポートP5ディジット出力設定切り替えレジスタ



シンボル	アドレス	リセット時
P5DOR	035C16番地	0016

ビットシンボル	ビット名	機　能	R W
P5DOR0	ポートP50FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR1	ポートP51FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR2	ポートP52FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR3	ポートP53FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR4	ポートP54FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR5	ポートP55FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR6	ポートP56FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○
P5DOR7	ポートP57FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○○

図KA-2B.　FLDC関連レジスタ(3)

ポートP6ディジット出力設定切り替えレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
P6DOR	035D16番地	0016

ビットシンボル	ビット名	機　能	R	W
P6DOR0	ポートP60FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR1	ポートP61FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR2	ポートP62FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR3	ポートP63FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR4	ポートP64FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR5	ポートP65FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR6	ポートP66FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○
P6DOR7	ポートP67FLD/ディジット切り替えビット	0：FLD出力 1：ディジット出力	○	○

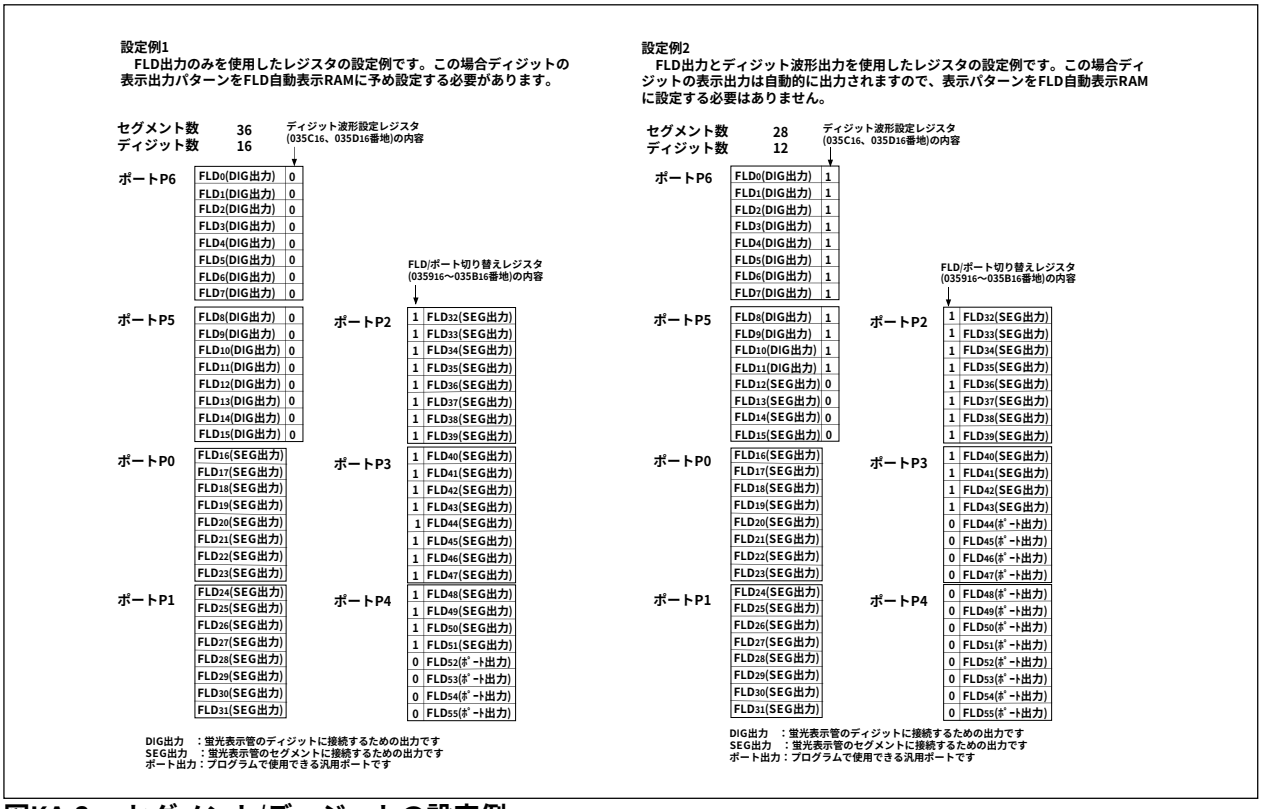
図KA-2C.　FLDC関連レジスタ(4)

FLD自動表示用端子

P0～P6がFLDの自動表示出力可能な端子です。自動表示制御ビット(035016番地のビット0)に“1”を書き込むことにより動作を開始します。RAMの内容をタイミング毎にポートから出力するFLD出力またはディジットのタイミングでポートを“H”にするディジット出力の機能を持っています。セグメントにはFLD出力、ディジットにはディジット出力またはFLD出力を使用してFLDを表示することができます。ディジットにFLD出力を使用する場合は、あらかじめRAMにディジット表示パターンを書き込んでください。必要なセグメントおよびディジットの本数以外は、汎用ポートとして使用することもできます。各ポートの設定を下記に示します。

表KA-1.　FLD自動表示モード時の端子

ポート名	自動表示用端子名	設定方法
P5、P6	FLD0～FLD15	ディジット出力設定レジスタ(035C16番地、035D16番地)によりビットごとに、ＦＬＤポート(“０”)またはディジットポート(“１”)に設定できます。ディジットポートに設定するとディジット波形出力機能が有効となり、FLD自動表示RAMの値に関係なくディジット波形を出力することができます。
P0、P1	FLD16～FLD31	自動表示制御ビット(035016番地のビット0)に“1”を書き込むことによりFLD専用ポートになります。
P2、P3、P40～P43	FLD32～FLD51	FLD/ポート切り替えレジスタ(035916～035B16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。
P44～P47	FLD52～FLD55	FLD/ポート切り替えレジスタ(035B16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。また、FLD出力制御レジスタ(035116番地)により、各種の出力波形を選択することが可能です。ポートの出力形式はCMOS出力形式であり、表示端子として使用する場合、外付けのドライバが必要となります。



図KA-3.　セグメント/ディジットの設定例

FLD自動表示RAM

FLD自動表示RAMは、0500$_{16}$～05DF$_{16}$番地の224バイトを使用します。FLDはタイミング数および階調表示の有無により16タイミング通常モード、16タイミング・階調表示モード、32タイミングモードの3つのモードがあります。自動表示RAMはそれぞれ以下のようになります。

(1) 16タイミング・通常モード

表示タイミングが16以下のときに使用するモードです。0570$_{16}$～05DF$_{16}$番地の112バイトをFLD表示データ格納領域として使用します。0500$_{16}$～056F$_{16}$番地は自動表示RAMとして使用しませんので、通常のRAMとして使用できます。

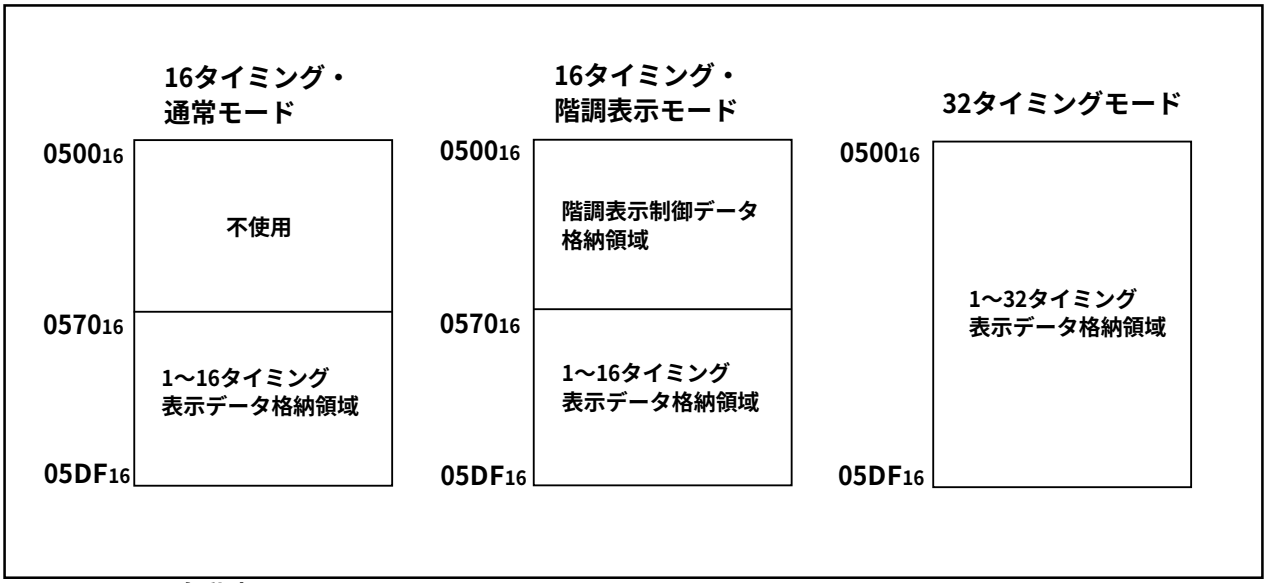
(2) 16タイミング・階調表示モード

表示タイミングが16以下で、セグメント毎に明暗を付けることができるモードです。0500$_{16}$～05DF$_{16}$番地の224バイトを使用します。0570$_{16}$～05DF$_{16}$番地の112バイトはFLD表示データ格納領域として使用し、0500$_{16}$～056F$_{16}$番地の112バイトは階調表示制御データ格納領域として使用します。

(3) 32タイミングモード

表示タイミングが16より大きい場合使用するモードです。最大32タイミングまで使用することができます。0500$_{16}$～05DF$_{16}$番地の224バイトをFLD表示データ格納領域として使用します。

FLDデータポインタ(0358$_{16}$番地)は表示タイミング数をカウントするレジスタです。リロードレジスタを持っており、アンダフローするとリロードレジスタの値をリロードしてカウントを続けます。FLDデータポインタには、タイミング数－1の値を設定してください。この番地にデータを書き込むとFLDデータポインタリロードレジスタにデータが書き込まれ、データを読み出すとFLDデータポインタの値が読み出されます。



図KA-4. FLD自動表示RAMの配置図

データの設定

(1) 16タイミング・通常モード

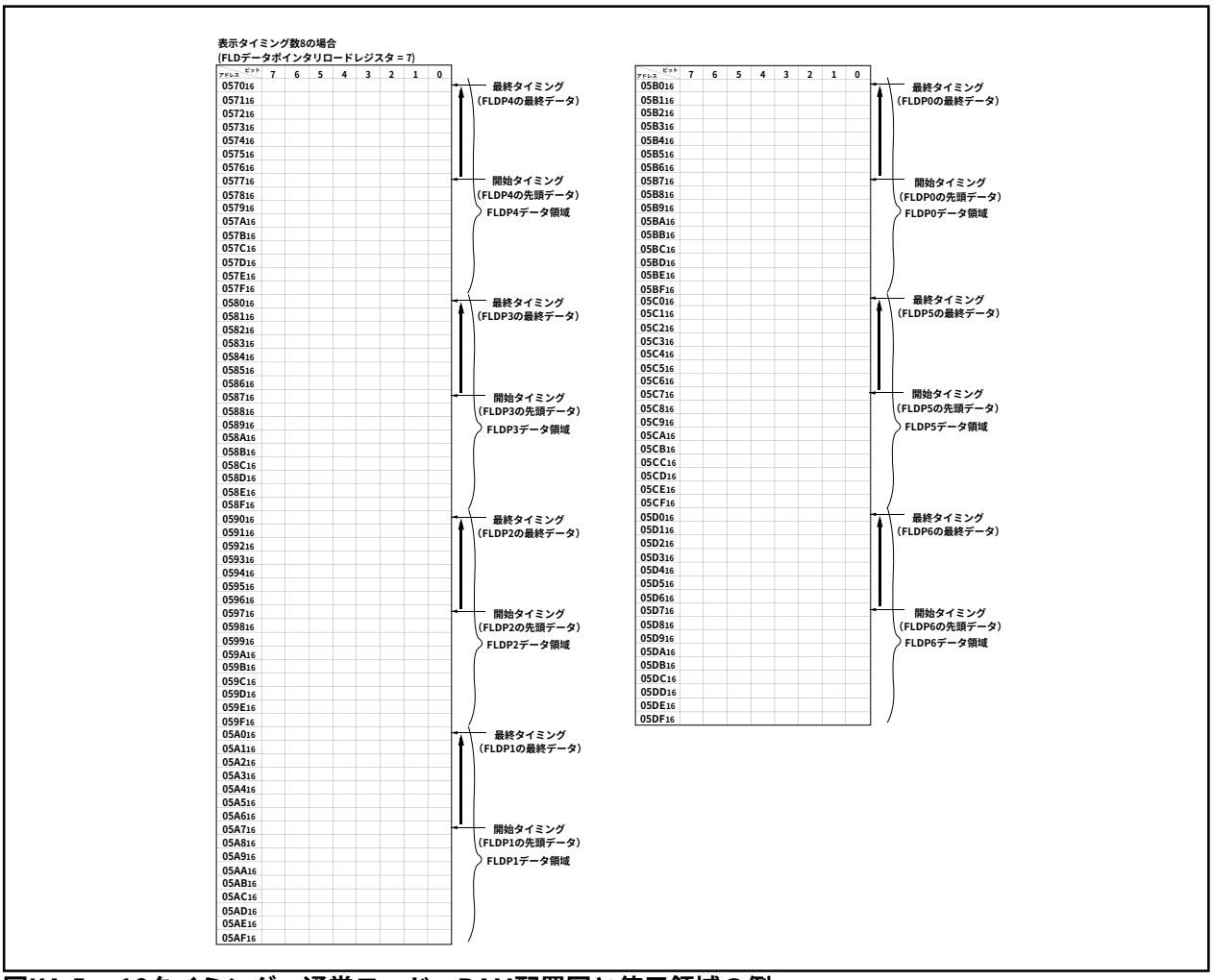
FLD自動表示RAMは、0570$_{16}$～05DF$_{16}$番地の領域を使用します。データを格納する場合は、FLDポートP4、P3、P2、P1、P0、P5、P6の最終データがそれぞれ0570$_{16}$番地、0580$_{16}$番地、0590$_{16}$番地、05A0$_{16}$番地、05B0$_{16}$番地、05C0$_{16}$番地および05D0$_{16}$番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP4、P3、P2、P1、P0、P5、P6の先頭データを格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数－１)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数－１)の値を設定してしてください。

(2) 16タイミング・階調表示モード

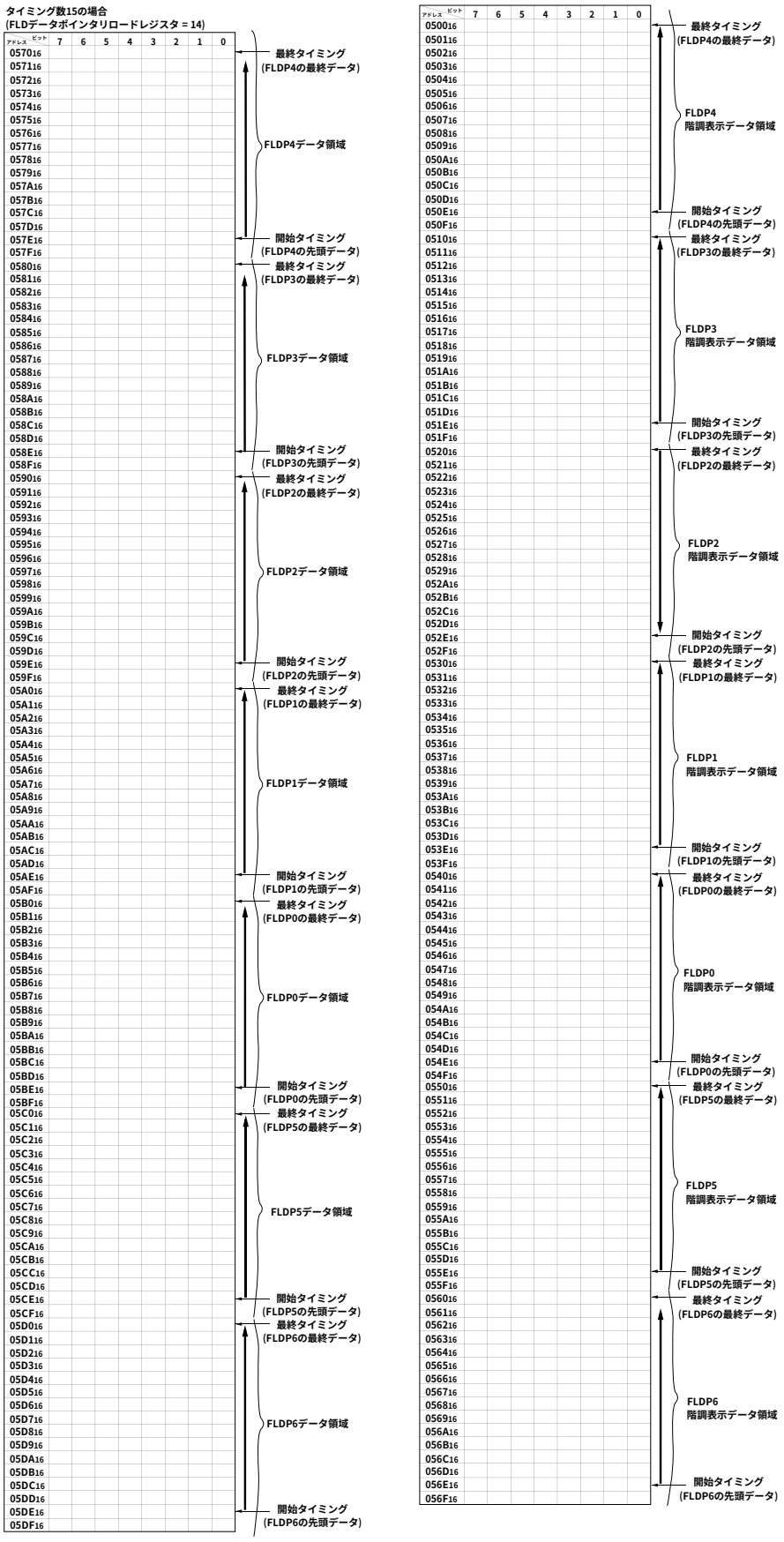
表示データの設定は、16タイミング通常モードと同一です。階調表示制御データは、各タイミング、端子の表示データ格納アドレスから007$_{16}$を引いたアドレスに配置されており、“０”で明表示を、“１”で暗表示を行います。

(3) 32タイミングモード

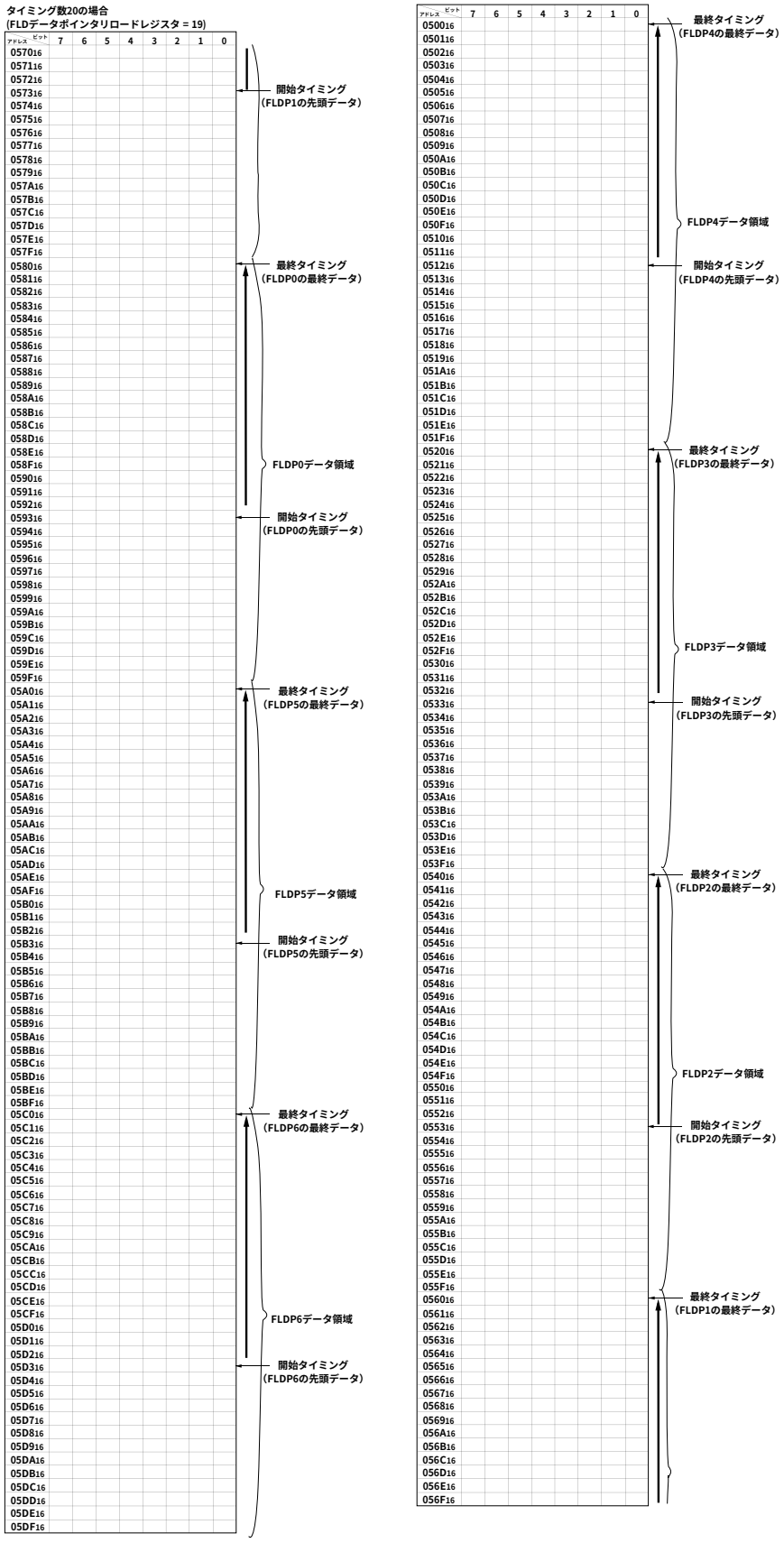
FLD自動表示RAMは、0500$_{16}$～05DF$_{16}$番地の領域を使用します。データを格納する場合は、FLDポートP4、P3、P2、P1、P0、P5、P6の最終データがそれぞれ0500$_{16}$番地、0520$_{16}$番地、0540$_{16}$番地、0560$_{16}$番地、0580$_{16}$番地、05A0$_{16}$番地および 05C0$_{16}$番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP4、P3、P2、P1、P0、P5、P6の先頭データの格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数－１)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数－１)の値を設定してください。



図KA-5. 16タイミング・通常モード、RAM配置図と使用領域の例



図KA-6.　16タイミング・階調表示モード、RAM配置図と使用領域の例



図KA-7.　32タイミングモード、RAM配置図と使用領域の例

タイミングの設定

各種タイミングは、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタにより設定を行います。

(1) Tdisp時間の設定

Tdsip時間は、表示タイミングの長さです。階調表示無しモードでは、FLD表示出力期間とToff1時間で構成されています。階調表示有りモードでは、表示出力期間とToff1時間、更に暗表示の為の“L”出力期間で構成されています。FLDCモードレジスタのTdispカウンタカウントソース選択ビットおよびTdisp時間設定レジスタによりTdisp時間の設定を行います。Tdisp時間設定レジスタの値をnとすると、Tdisp時間はTdisp＝(n+1)×t (t：カウントソース)で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でTdisp時間設定レジスタが200($C8_{16}$)の場合、Tdisp時間はTdisp＝(200＋1)×3.2(X_{IN}＝10MHz時)＝643μsとなります。なお、Tdisp時間設定レジスタを読み出した場合、カウント中の値が読み出されます。

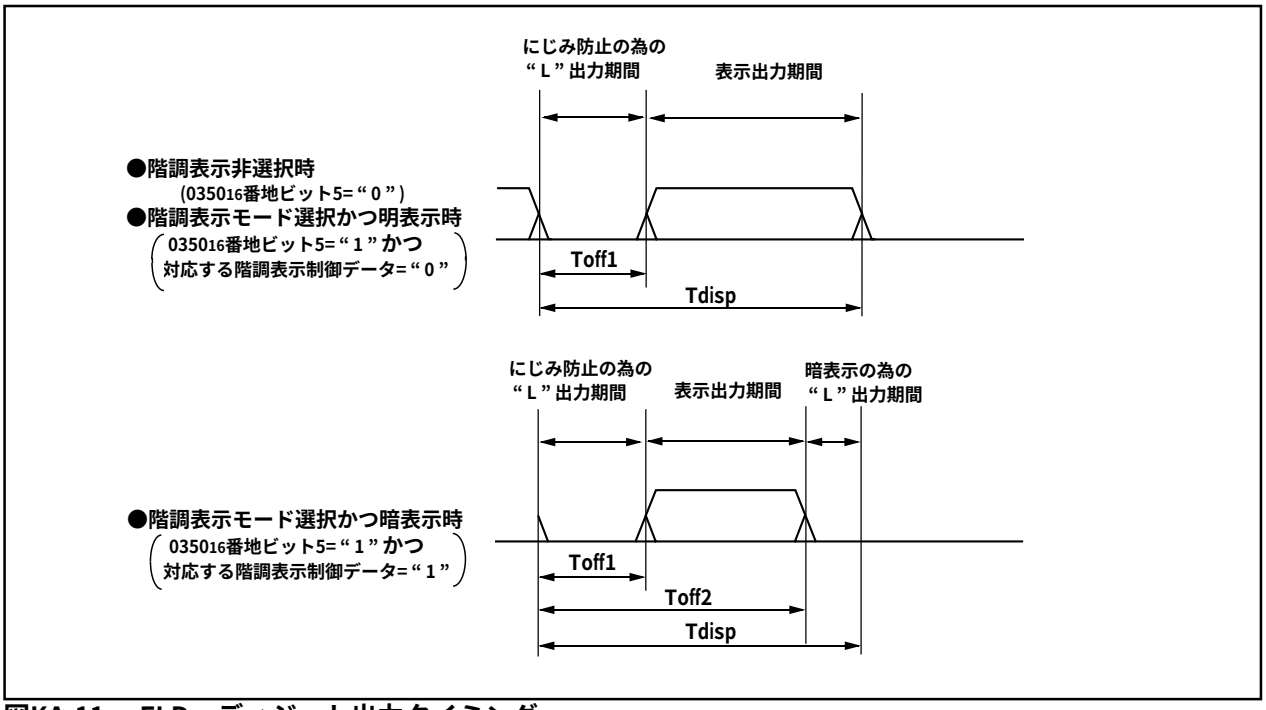
(2) Toff1時間の設定

Toff1時間は、FLDにじみ防止およびディマー表示の為の無出力(“L”出力)時間です。Toff1時間設定レジスタによりToff1時間の設定を行います。Toff1には、Tdisp、Toff2より小さな値を設定してください。Toff1時間設定レジスタの値をn1とすると、Toff1時間はToff1＝n1×tで表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff1時間設定レジスタの値が30($1E_{16}$)の場合、Toff1＝30×3.2(X_{IN}＝10MHz時)＝96μsとなります。

(3) Toff2時間の設定

Toff2時間は、暗表示を行う為の時間です。明表示ではFLD表示出力は、Tdsipをカウントしているカウンタがアンダフローするまで FLD表示出力を行います。しかし、暗表示では、Toff2をカウントしているカウンタがアンダフローすると“L”出力(off出力)になります。Toff2時間の設定は階調表示モードでかつ階調表示制御RAMの値が“1”のFLDポートにのみ有効となります。

Toff2時間はToff2時間設定レジスタにより行います。Toff2には、Tdispより小さくToff1より大きな値を設定してください。Toff2時間設定レジスタの値をn2とすると、Toff2時間はToff2＝n2×tで表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff2時間設定レジスタの値が180($B4_{16}$)の場合、Toff2＝180×3.2(X_{IN}＝10MHz時)＝576μsとなります。



図KA-11. FLD、ディジット出力タイミング

FLD自動表示機能の開始

自動表示制御ビット(0350$_{16}$番地のビット0)を“1”、表示スタートビット(0350$_{16}$番地のビット1)を“1”にすると自動表示が開始します。各ポートの自動表示RAMの先頭番地から(FLDデータポインタ(0358$_{16}$番地)－1)番地離れたRAMの内容を各ポートに出力します。FLDデータポインタ(0358$_{16}$番地)は、Tdisp間隔でカウントダウンします。カウントした結果、“FF$_{16}$”になると、リロードしカウントを続けます。表示スタートビット(0350$_{16}$番地のビット1)を“1”にする前に、FLD/ポート切り替えレジスタ、FLD/DIG切り替えレジスタ、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタ、FLDデータポインタを設定してください。

FLD自動表示中、表示スタートビット(0350$_{16}$番地のビット1)は“1”が保持されています。表示スタートビット(0350$_{16}$番地のビット1)に“0”を書き込むことによって、FLD自動表示を中断させることができます。

キースキャンと割り込み

割り込みは、FLDディジット割り込みとFLDブランキング割り込みをTscan制御ビット(0350$_{16}$番地のビット2、3)で選択できます。

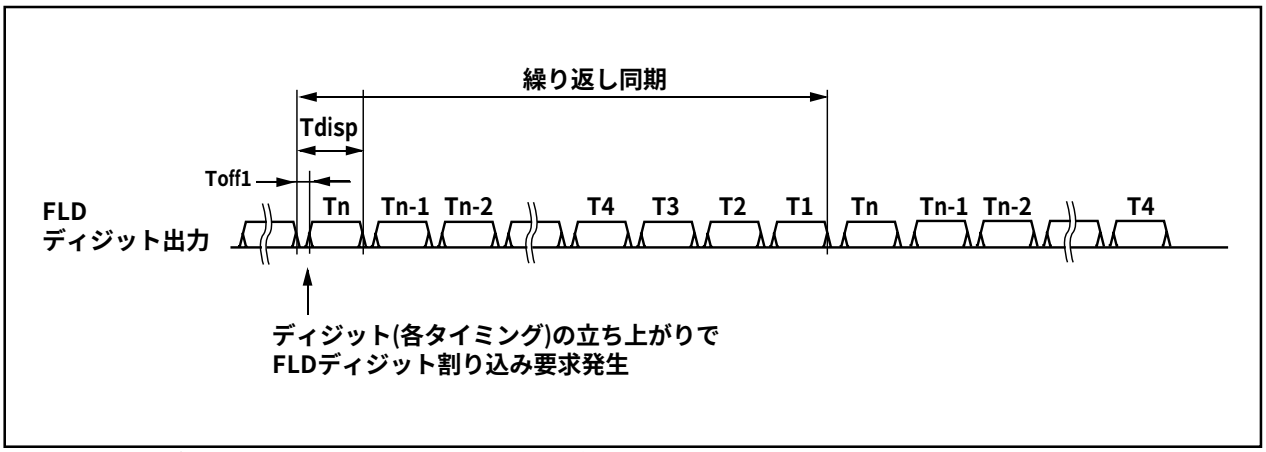
FLDディジット割り込みは、各タイミングのToff1時間終了時(ディジットの立ち上がり)に発生する割り込みです。各FLDディジット割り込みでFLDのディジットを利用したキースキャンができます。

FLDディジット割り込みによってキースキャンを行う場合、以下の手順で行ってください。

(1)割り込みが発生毎にポートの値を読みます。

(2)最後のディジットの割り込みで、キーが確定します。

出力されているディジット位置は、FLDデータポインタ(0358$_{16}$番地)を読み出すことで判定できます。



図KA-12A.　ディジット割り込み時のタイミング

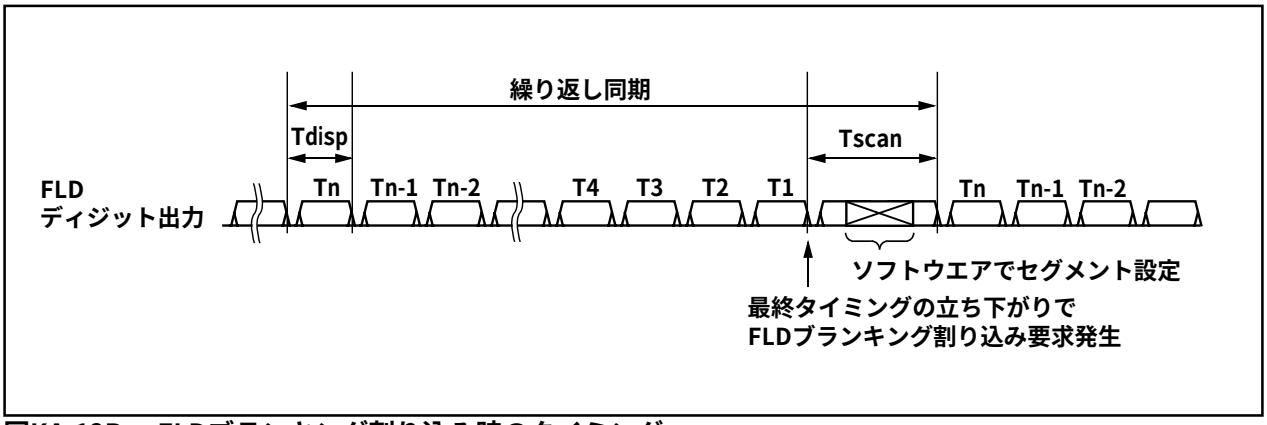
FLDブランキング割り込みは、FLDデータポインタ(0358$_{16}$番地)が“FF$_{16}$”になると、発生する割り込みです。割り込み発生後設定によって、１×Tdisp、2×Tdisp、3×Tdispの間、FLD自動表示出力が止まります。その間、FLDのセグメントを利用したキースキャンができます。

キースキャン用ブランキング時間Tscanの間にセグメントによってキースキャンを行う場合、以下の手順で行ってください。

(1)自動表示制御ビット(0350$_{16}$番地のビット0)に“０”を書き込む。
(2)セグメントに対応するポートのうち、キースキャンに使用するポートを出力ポートにする。
(3)キースキャンを実行する。
(4)自動表示制御ビット(0350$_{16}$番地のビット0)に“１”を書き込む。

(1)～(4)の手順でキースキャンを行う場合の注意事項を以下に示します。

1. 表示スタートビット(0350$_{16}$番地のビット1)に“０”を書き込まないでください。
2. ディジットに対応するポートに“１”を書き込まないでください。



図KA-12B.　FLDブランキング割り込み時のタイミング

P44～P47拡張機能

P44～P47は、CMOS出力形式のポートです。このポートに４bit→16bitデコーダ接続することによりFLDのディジット出力を16本追加することができます。P44～P47は、４bit→16bitデコーダに接続するための機能を持っています

(1) P44～P47Toff無効機能

Toff1時間とToff2時間を無効にして、Tdispの間、表示データを出力します。(図KA-13参照)。P44～P47Toff無効ビット(0351$_{16}$番地のビット2)を“１”にすることにより設定できます。

これはToff区間有無機能とは異なり、すべての表示データで無効にします。

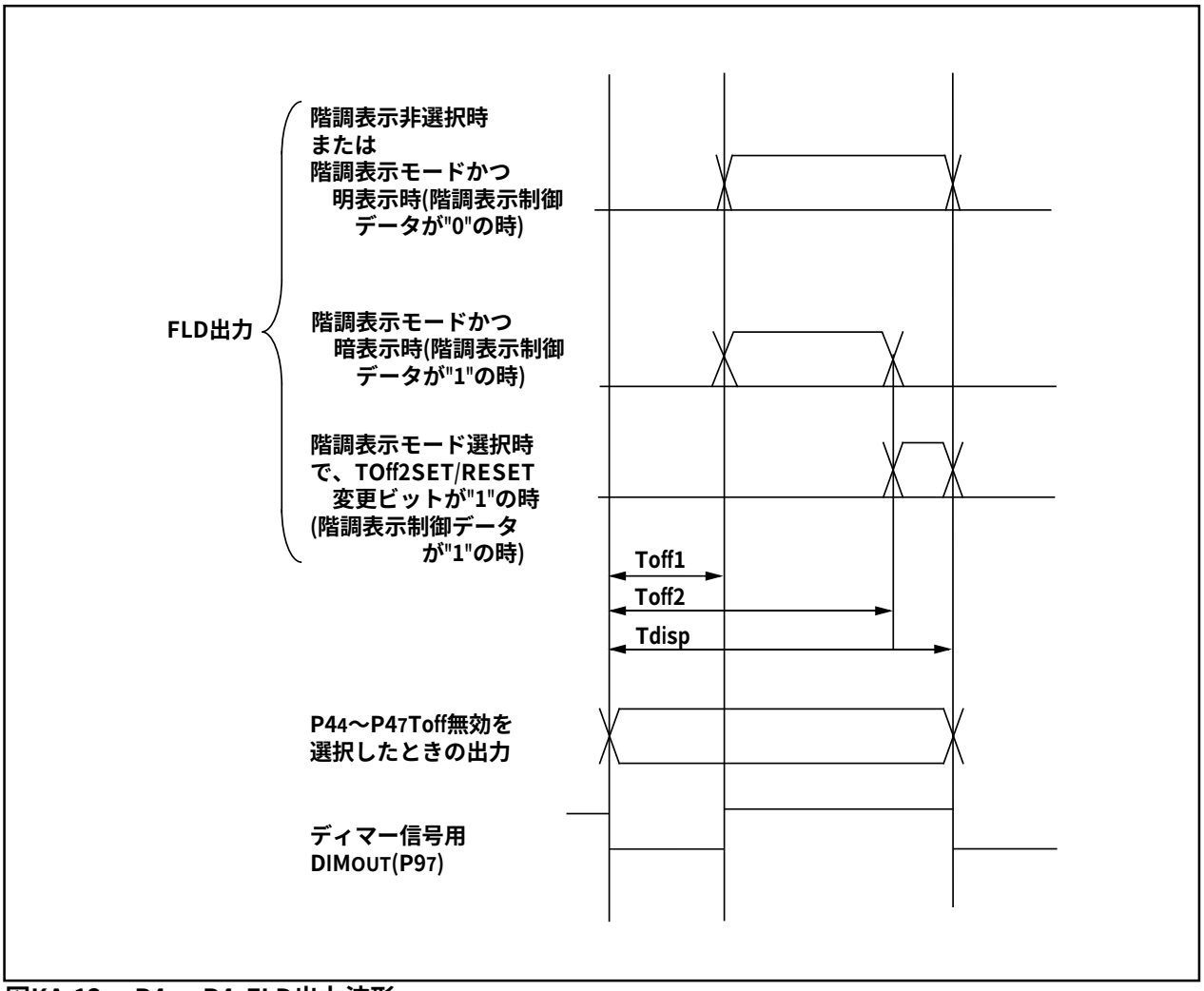
(2) ディマー信号出力機能

DIMOUT(P97)からディマー信号作成用の信号を出力することができます。この信号でデコーダを制御することによりディマー機能を実現することができます。(図KA-13参照)。P97ディマー出力制御ビット(0351$_{16}$番地のビット4)を“１”にすることにより設定できます。

(3) P44～P47 FLD出力反転ビット

P44～P47はFLD出力の極性を反転する機能を備えています。外付けドライバを使用する場合など極性の合わせ込みに使用できます。

FLD出力制御レジスタ(0351$_{16}$番地)のビット0を“１”にすることにより出力極性を反転することができます。

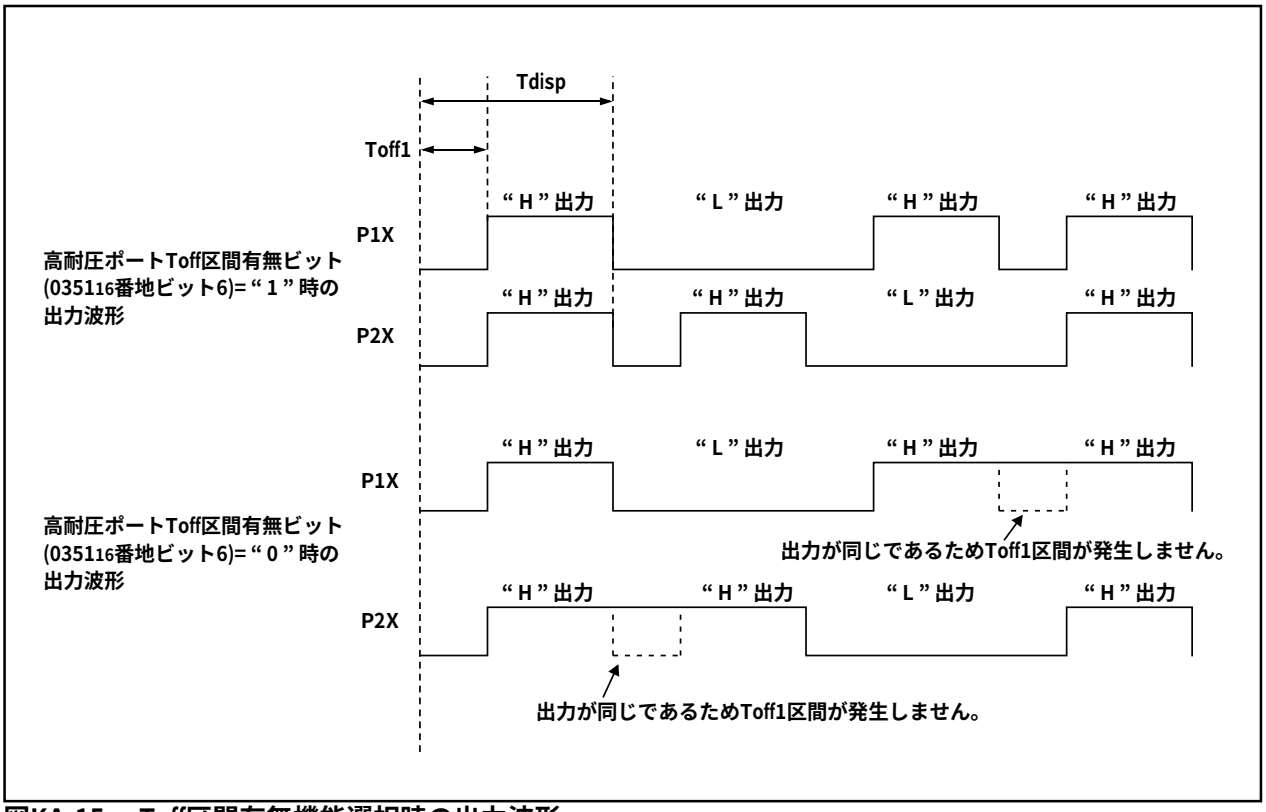


図KA-13. P44～P47FLD出力波形

Toff区間有無機能

FLD端子間の容量結合によりポートのスイッチング毎に発生する不要なノイズを軽減するための機能です。各FLDポートに連続したデータを出力した場合、連続した部分のToff1区間は発生しません。(図KA-15参照)

Toff1区間を必要とする場合は、CMOSポートToff区間有無ビット(0351$_{16}$番地のビット5)、高耐圧ポートToff区間有無ビット(0351$_{16}$番地のビット6)を“1”に設定してください。高耐圧ポートToff区間有無ビットを“1”に設定すると、高耐圧ポート(P5、P6、P3、P2、P1、P0、P4$_3$～P4$_0$)52本のToff1時間を発生し、CMOSポートToff区間有無ビットに“1”を設定すると、CMOSポート(P4$_4$～P4$_7$)4本のToff1時間が発生します。



図KA-15. Toff区間有無機能選択時の出力波形

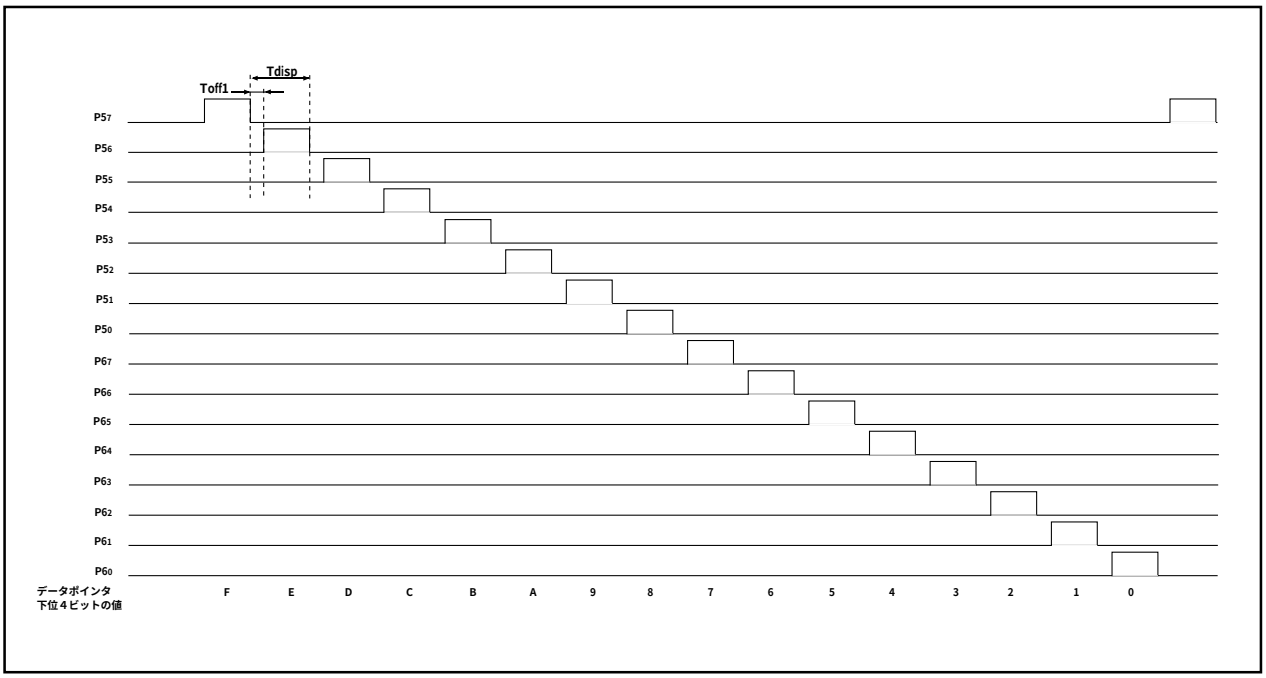
Toff2 SET/RESET変更ビット

階調モードのときは、Toff2時間設定レジスタ(TOFF2)で設定された値が有効となります。初期状態のFLD出力制御レジスタ(0351$_{16}$番地のビット7)が“0”のとき、FLD出力ポートにはTOFF1に設定された時間でRAMデータが出力(SET)され、TOFF2に設定された時間で“0”(RESET)になります。また、ビット7が“1”のときは、TOFF2に設定された時間でRAMデータが出力(SET)され、Tdisp時間の終わりで“0”(RESET)になります。

デジット波形出力機能

P50～P57、P60～P67は、FLD/ディジット切り替えレジスタによってディジット波形を出力することができます。P60からタイミング数と同じ数だけ、ディジット出力設定レジスタに連続して“1”を書き込んでください。ディジット出力を選択したポートに対するFLD自動表示RAMの内容は無効となり、自動的に図KA-16に示した波形が出力されます。階調モード使用時には、ディジット出力を選択したポートもToff2時間が有効となります。FLD自動表示RAMの内容が無効になるため、同一番地のFLD自動表示RAMにセグメントデータとディジットデータが混在する場合でも、容易にセグメントデータを変更することができます。

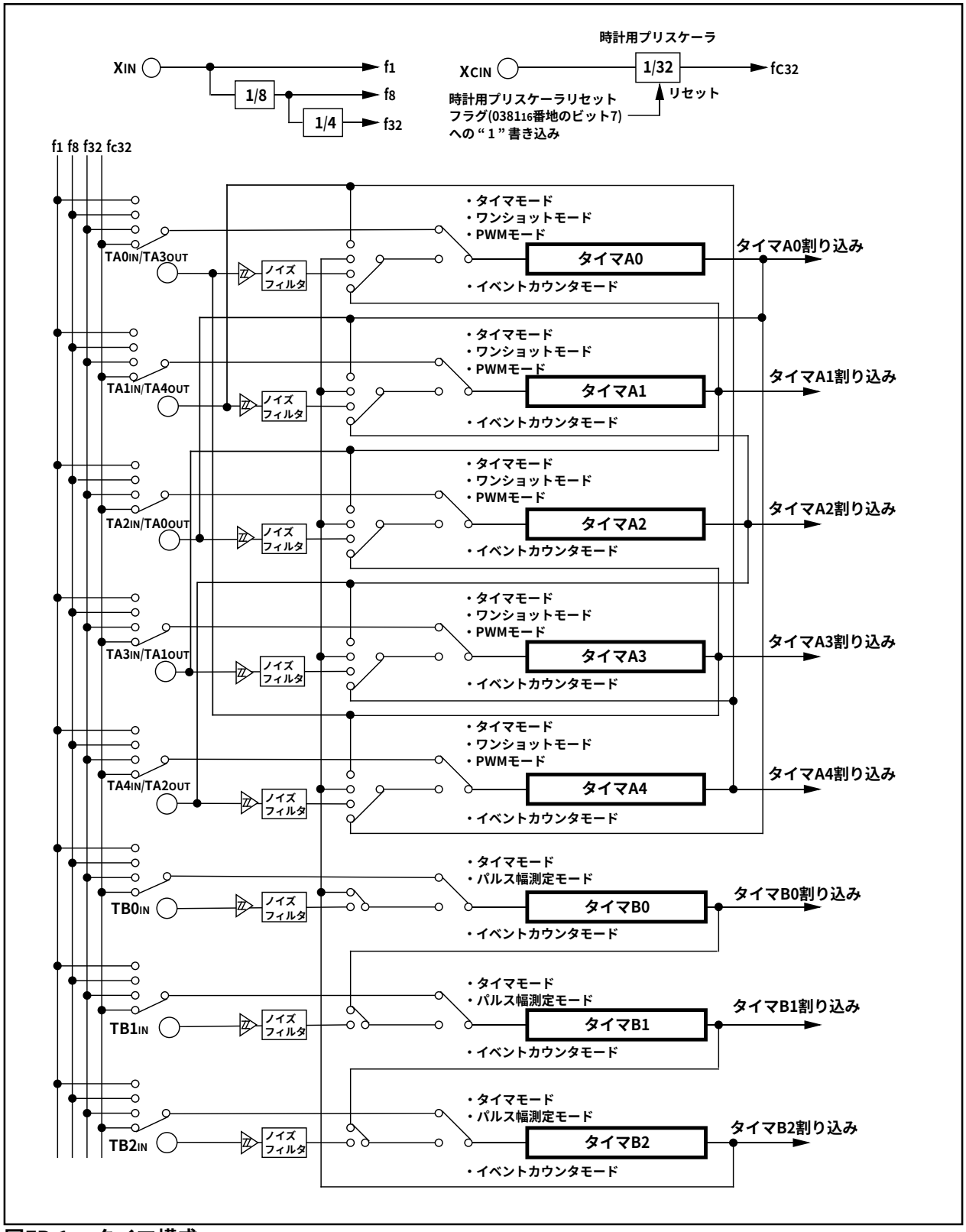
本機能は、16タイミングモード通常モード、16タイミング階調表示モードで有効で、タイミング数(FLDデータポインタリロードレジスタの設定値＋1)を越えて設定した場合、越えたポートの出力は、“L”になります。



図KA-16.　ディジット波形出力機能

タイマ

タイマは、16ビットタイマを8本内蔵しています。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図FB-1にタイマ構成を示します。



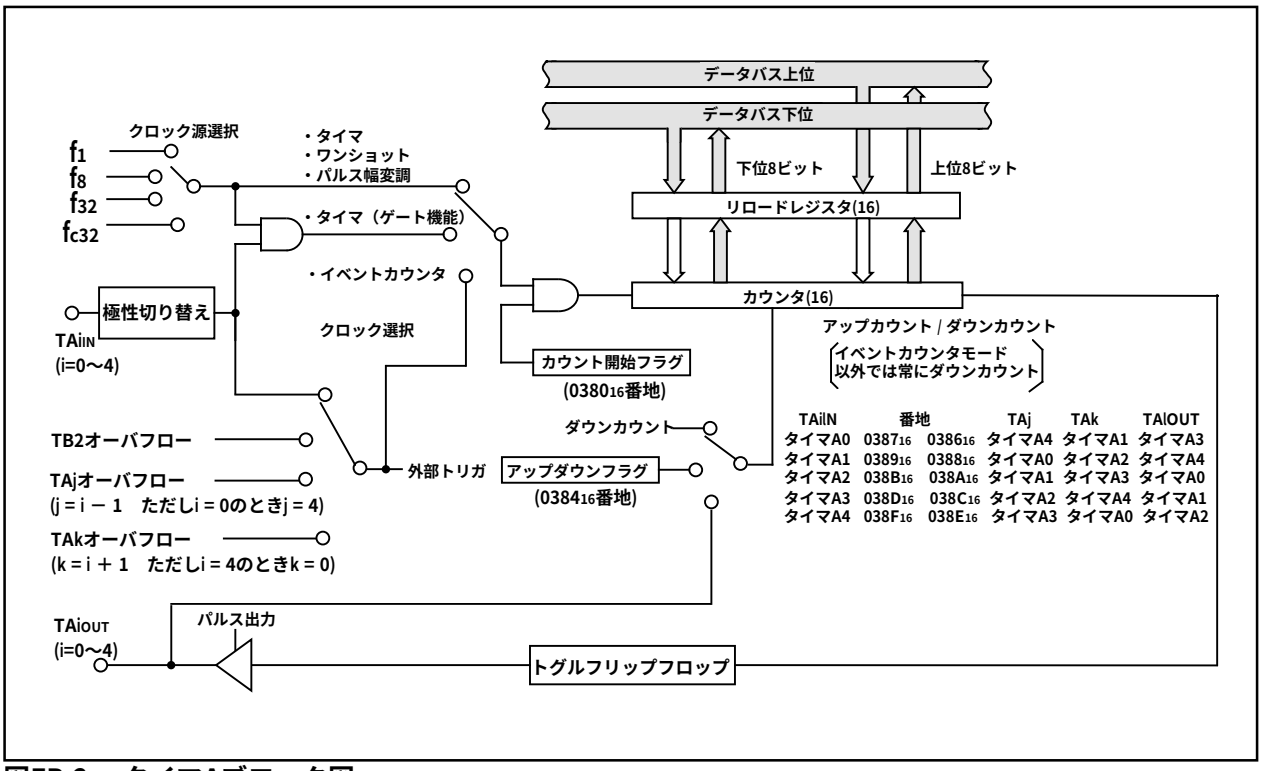
図FB-1. タイマ構成

タイマA

図FB-2にタイマAのブロック図を、図FB-3～図FB-5にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード　　カウント値が“ 0000$_{16}$ ”になるとカウントが止まるモード
- ・パルス幅変調モード　　任意のパルス幅を連続して出力するモード



図FB-2.　タイマAブロック図

タイマAiモードレジスタ

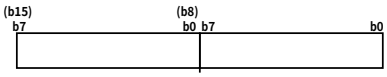
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396$_{16}$～039A$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		○	○
TCK1			○	○

図FB-3.　タイマA関連レジスタ(1)

タイマAiレジスタ(注1)



シンボル	アドレス	リセット時
TA0	0387$_{16}$, 0386$_{16}$番地	不定
TA1	0389$_{16}$, 0388$_{16}$番地	不定
TA2	038B$_{16}$, 038A$_{16}$番地	不定
TA3	038D$_{16}$, 038C$_{16}$番地	不定
TA4	038F$_{16}$, 038E$_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000$_{16}$～FFFF$_{16}$	×	○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000$_{16}$～FFFE$_{16}$	×	○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケーラ、上位アドレスは8ビットパルス幅変調器として動作	00$_{16}$～FE$_{16}$ (上位、下位アドレスとも)	×	○

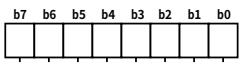
注1.　読み出し、および書き込みは16ビット単位で行ってください。

カウント開始フラグ

シンボル	アドレス	リセット時
TABSR	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

アップダウンフラグ

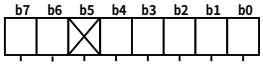


シンボル	アドレス	リセット時
UDF	0384$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

図FB-4.　タイマA関連レジスタ(2)

ワンショット開始フラグ

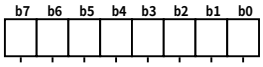


シンボル	アドレス	リセット時
ONSF	0382$_{16}$番地	00X00000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
TA0TGL	タイマA0イベント／ トリガ選択ビット	b7 b6 0 0 : TA0$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。
TAi$_{IN}$(i=0～4)端子選択時は、同一端子に割り当てられているTAi$_{OUT}$(i=0～4)端子は使用できません。

トリガ選択レジスタ

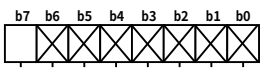


シンボル	アドレス	リセット時
TRGSR	0383$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／ トリガ選択ビット	b1 b0 0 0 : TA1$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／ トリガ選択ビット	b3 b2 0 0 : TA2$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／ トリガ選択ビット	b5 b4 0 0 : TA3$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／ トリガ選択ビット	b7 b6 0 0 : TA4$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。
TAi$_{IN}$(i=0～4)端子選択時は、同一端子に割り当てられているTAiOUT(i=0～4)端子は使用できません。

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“ 0 ”)	○	○

図FB-5.　タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表FB-1)。図FB-6にタイマモード時のタイマAiモードレジスタの構成を示します。

表FB-1. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ　シンボル　TAiMR(i=0～4)　アドレス　039_{16}～$039A_{16}$番地　リセット時　00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	ゲート機能選択ビット	b4 b3 0 X(注2): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0 : TAiIN端子が“L”レベルの期間だけカウントを行う(注3) 1 1 : TAiIN端子が“H”レベルの期間だけカウントを行う(注3)	○	○
MR2			○	○
MR3	0 : タイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. “0”または“1”いずれでも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図FB-6. タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表FB-2に、タイマAiモードレジスタの構成を図FB-7に示します。二相の外部信号をカウントする場合の仕様を表FB-3に、タイマAiモードレジスタの構成を図FB-8に示します。

表FB-2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　　目	仕　　様
カウントソース	●TAiIN端子に入力された外部信号(ソフトウエアにて有効エッジを選択可能) ●TB2のオーバフロー、TAjのオーバフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

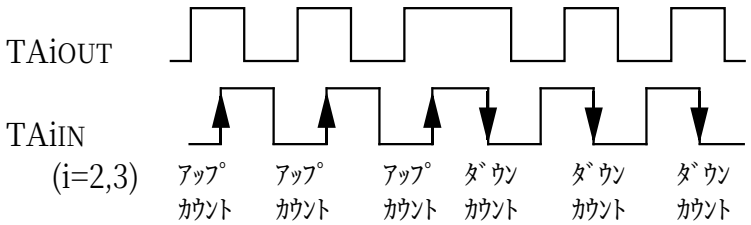
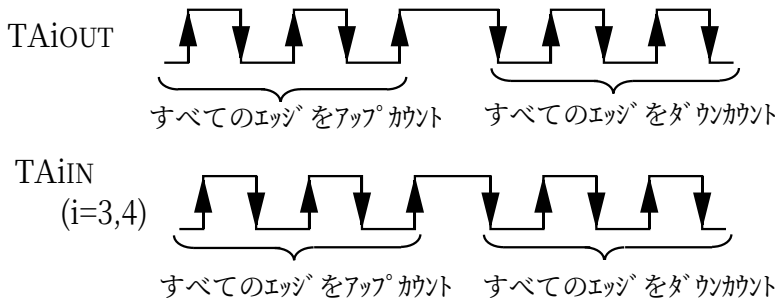
シンボル	アドレス	リセット時
TAiMR(i=0,1)	0396₁₆,0397₁₆番地	00₁₆

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替 要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注4)	○	○
MR3	0 : イベントカウンタモードでは必ず“0”に固定		○	○
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ	○	○
TCK1	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○

注1. イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0382₁₆,0383₁₆番地)で選択。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. 外部信号カウント時だけ有効。
注4. TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
対応するポート方向レジスタは“0”にしてください。

図FB-7. イベントカウンタモード時のタイマAiモードレジスタの構成

表FB-3.　イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項　　目	仕　　様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●通常処理動作 TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。  ●4逓倍処理動作 TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　フリーラン機能選択時は除く。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル　アドレス　リセット時
TAiMR(i=2~4)　039_{16}～$039A_{16}$番地　00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注2)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注3)	○	○
MR3	0 : イベントカウンタモードモードでは必ず“0”に固定		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注4)(注5)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2.　外部信号カウント時だけ有効。
注3.　対応するポート方向レジスタは“0”にしてください。
注4.　このビットはタイマA3モードレジスタにおいて有効。
　　タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
注5.　2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384_{16}番地)は“1”に、
　　イベント/トリガ選択ビット(0382_{16},0383_{16}番地)は“00”にしてください。

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル　アドレス　リセット時
TAiMR(i=2~4)　039_{16}～$039A_{16}$番地　00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
MR1	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
MR2	1 : 二相パルス信号処理使用時では必ず“1”に固定		○	○
MR3	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注1)(注2)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　このビットはタイマA3モードレジスタにおいて有効。
　　タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
注2.　2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384_{16}番地)は“1”に、
　　イベント/トリガ選択ビット(0382_{16},0383_{16}番地)は“00”にしてください。

図FB-8.　イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表FB-4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図FB-9にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表FB-4. ワンショットタイマモードの仕様

項　目	仕　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●カウントの値が0000_{16}になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000_{16}になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000_{16}になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット時
TAiMR(i=0~4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 10 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	0 : ワンショットタイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. イベント/トリガ選択ビット(0382_{16},0383_{16}番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図FB-9. ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表FB-5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図FB-10にパルス幅変調モード時のタイマAiモードレジスタの構成、図FB-11に16ビットパルス幅変調器の動作例、および図FB-12に8ビットパルス幅変調器の動作例を示します。

表FB-5. パルス幅変調モードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fi　n:設定値 ●周期　$(2^{16}-1)$ / fi固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fi　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^{8}-1)\times(m+1)$ / fi　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

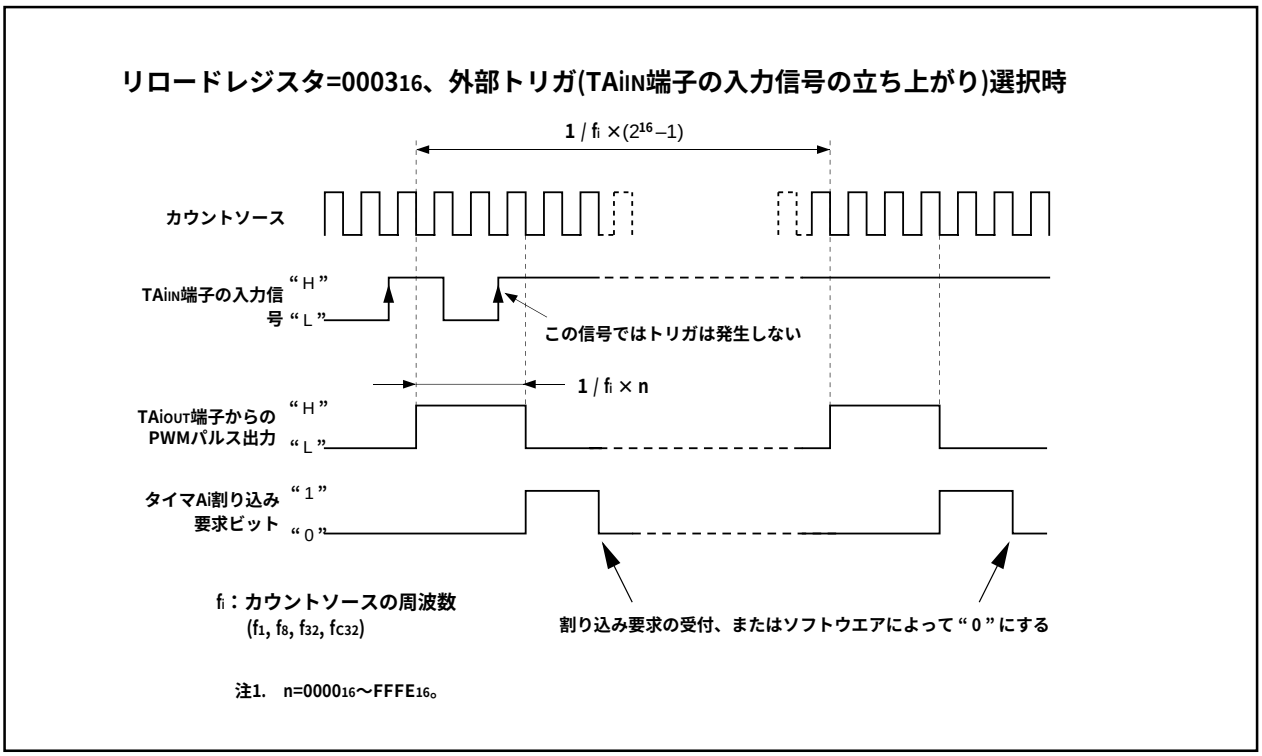
b7	b6	b5	b4	b3	b2	b1	b0
					1	1	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

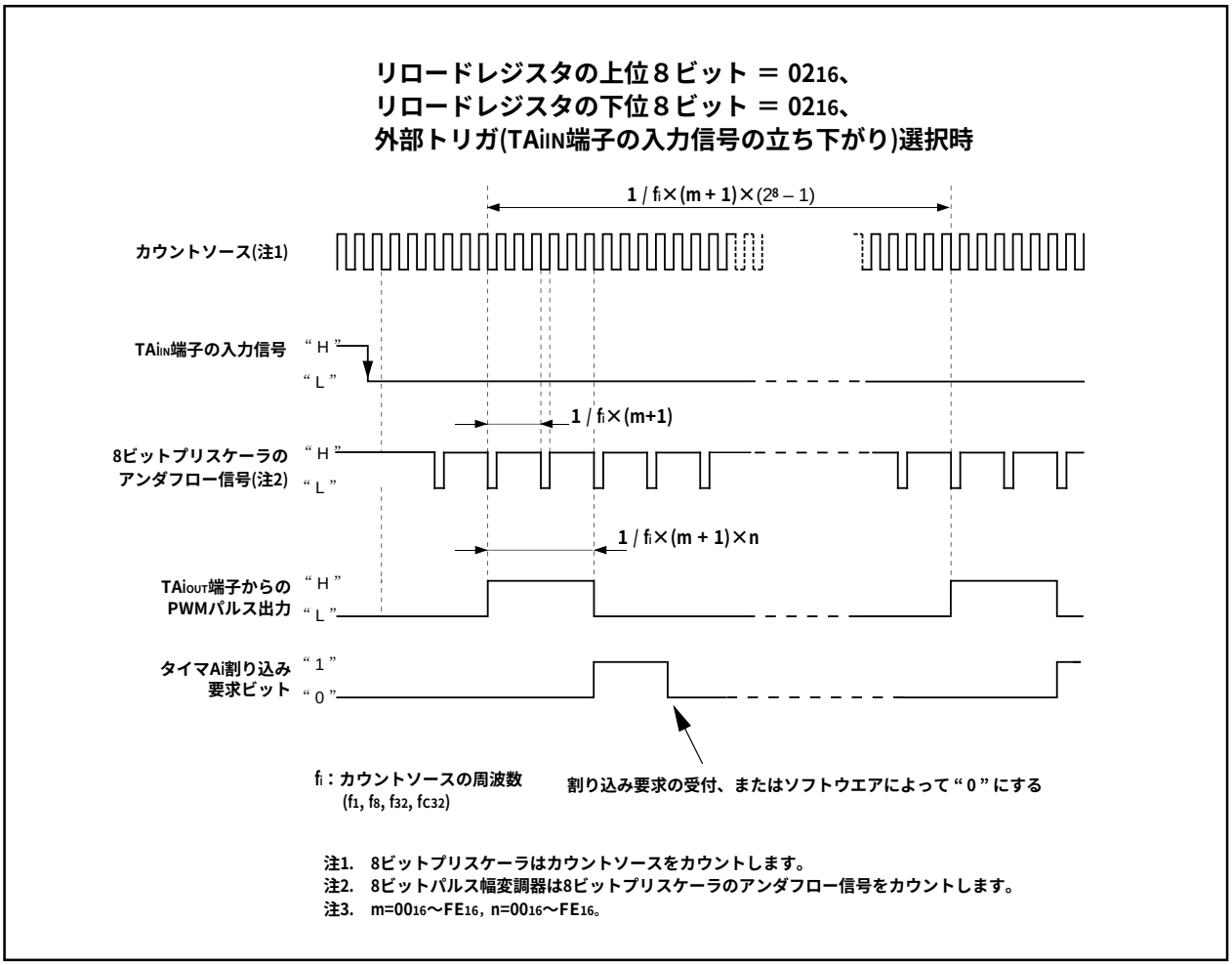
ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	1 : PWMモードでは必ず“1”に固定		○	○
MR1	外部トリガ選択ビット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1. イベント/トリガ選択ビット(038_{16},038_{16}番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2. 対応するポート方向レジスタは“0”にしてください。

図FB-10. パルス幅変調モード時のタイマAiモードレジスタの構成



図FB-11. 16ビットパルス幅変調器の動作例



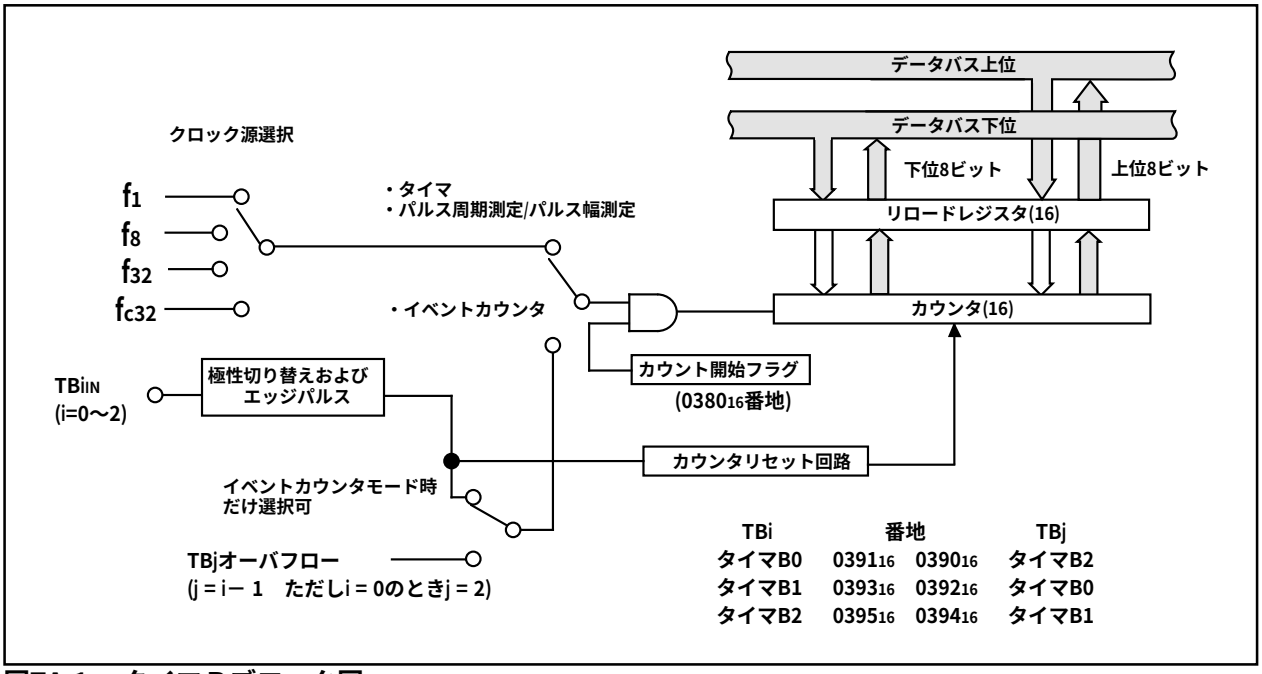
図FB-12. 8ビットパルス幅変調器の動作例

タイマB

図TA-1にタイマBのブロック図を、図TA-2、図TA-3にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～2)のビット0とビット1で選択できます。

・タイマモード　　内部カウントソースをカウントするモード
・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
・パルス周期測定／パルス幅測定モード　　外部パルスの周期またはパルス幅を測定するモード



図TA-1.　タイマＢブロック図

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

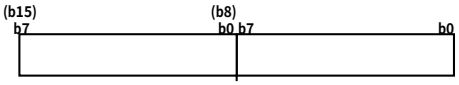
シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B₁₆～039D₁₆番地	00XX0000₂

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0。
注2.　タイマB1、タイマB2。

図TA-2.　タイマB関連レジスタ(1)

タイマBiレジスタ(注1)

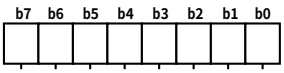


シンボル	アドレス	リセット時
TB0	0391_{16},0390_{16}番地	不定
TB1	0393_{16},0392_{16}番地	不定
TB2	0395_{16},0394_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	――	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

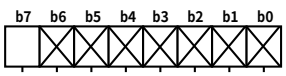
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			―	―
CPSR	時計用プリスケーラ リセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	○	○

図TA-3.　タイマＢ関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表TA-1)。図TA-4にタイマモード時のタイマBiモードレジスタの構成を示します。

表TA-1. タイマモードの仕様

項　目	仕　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ　シンボル TBiMR(i=0～2)　アドレス $039B_{16}$～$039D_{16}$番地　リセット時 $00XX0000_2$

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”に固定(i=0)。		○ (注1)	○
	何も配置されていない(i=1,2)。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。		× (注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その内容は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　タイマB0。
注2.　タイマB1、タイマB2。

図TA-4. タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表TA-2)。タイマBiレジスタの構成を図TA-5に示します。

表TA-2. イベントカウンタモードの仕様

項　目	仕　様
カウントソース	●TBiIN端子に入力された外部信号 ●カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

シンボル	アドレス	リセット時
TBiMR(i=0～2)	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:イベントカウンタモードでは“0”に固定(i=0)。		○(注2)	○
	何も配置されていない(i=1,2)。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その内容は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注4) 1 : TBjのオーバフロー (j=i-1ただしi=0の時j=2)	○	○

注1. TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバフローを選択したときは、“0”でも“1”でも可。
注2. タイマB0。
注3. タイマB1、タイマB2。
注4. 対応するポート方向レジスタは“0”にしてください。

図TA-5. イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表TA-3)。図TA-6にパルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成、図TA-7にパルス周期測定時の動作図、および図TA-8にパルス幅測定時の動作図を示します。

表TA-3. パルス周期測定／パルス幅測定モードの仕様

項　目	仕　様
カウントソース	f1, f8, f32, fC32
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000₁₆”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態で、タイマBiモードレジスタに書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
注2. カウント開始後２回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

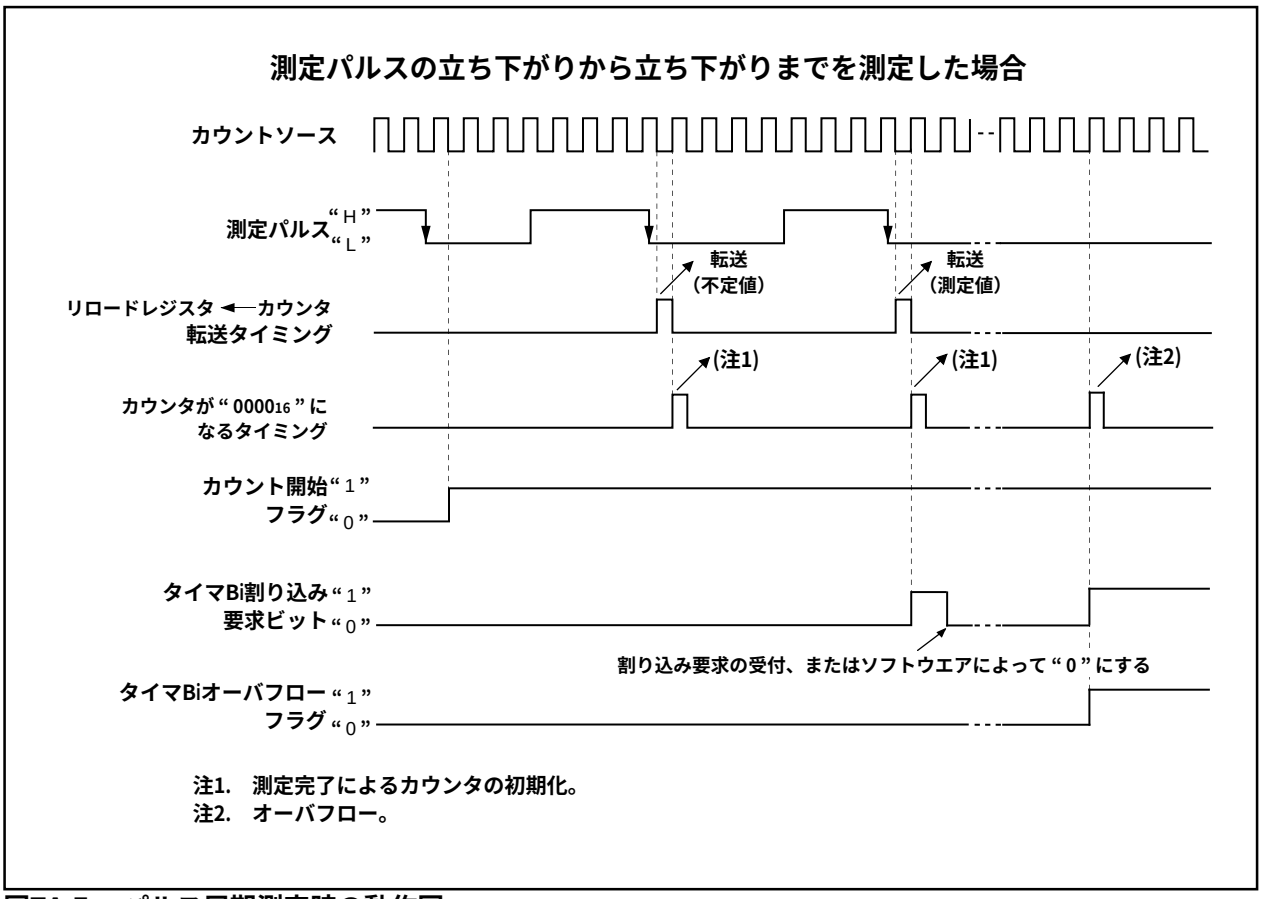
シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B₁₆～039D₁₆番地	00XX0000₂

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

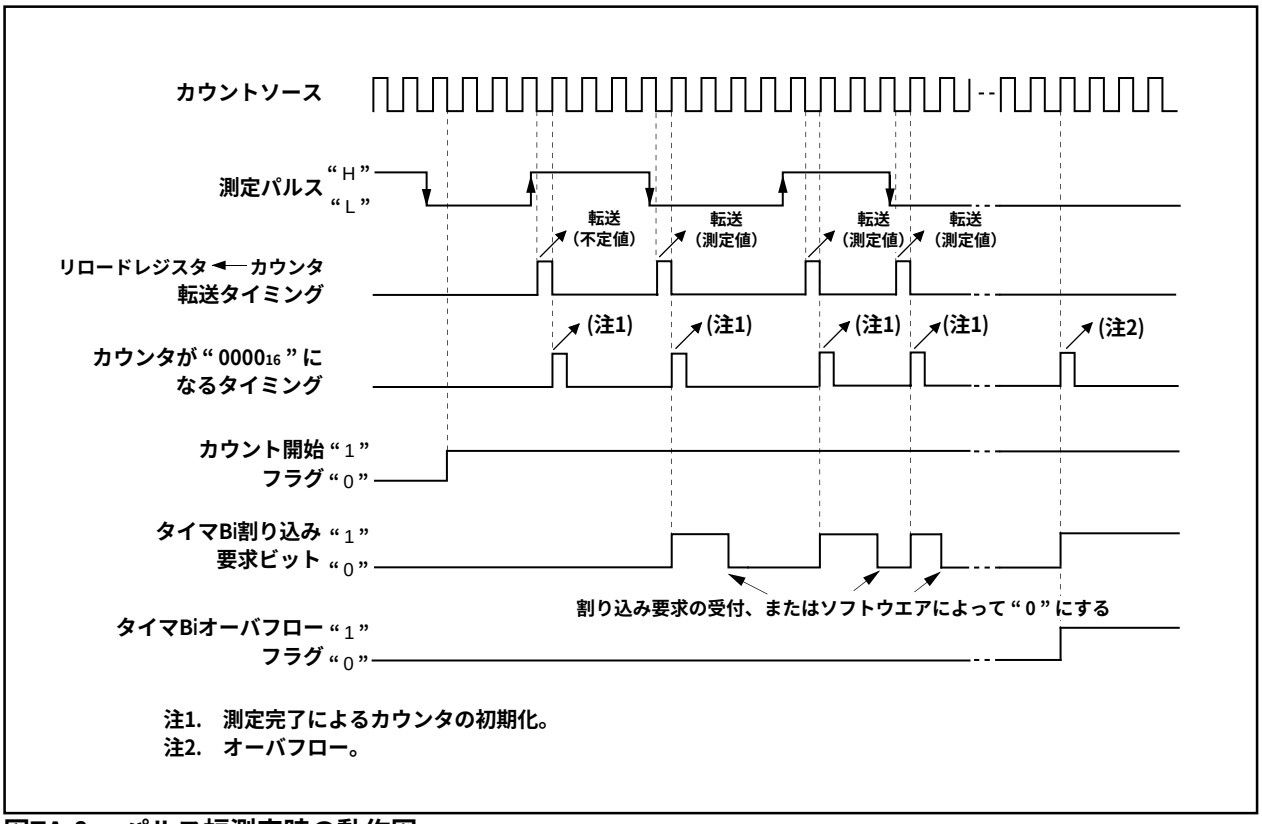
ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定（測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定（測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定（測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“0”に固定(i=0)。		○(注2)	○
	何も配置されていない(i=1,2)。書き込んだ場合、書き込めない。読み出した場合、その内容は不定。		×(注3)	×
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fc32	○	○
TCK1			○	○

注1. タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウエアで“1”にすることはできません。
注2. タイマB0。
注3. タイマB1、タイマB2。

図TA-6. パルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成



図TA-7. パルス周期測定時の動作図



図TA-8. パルス幅測定時の動作図

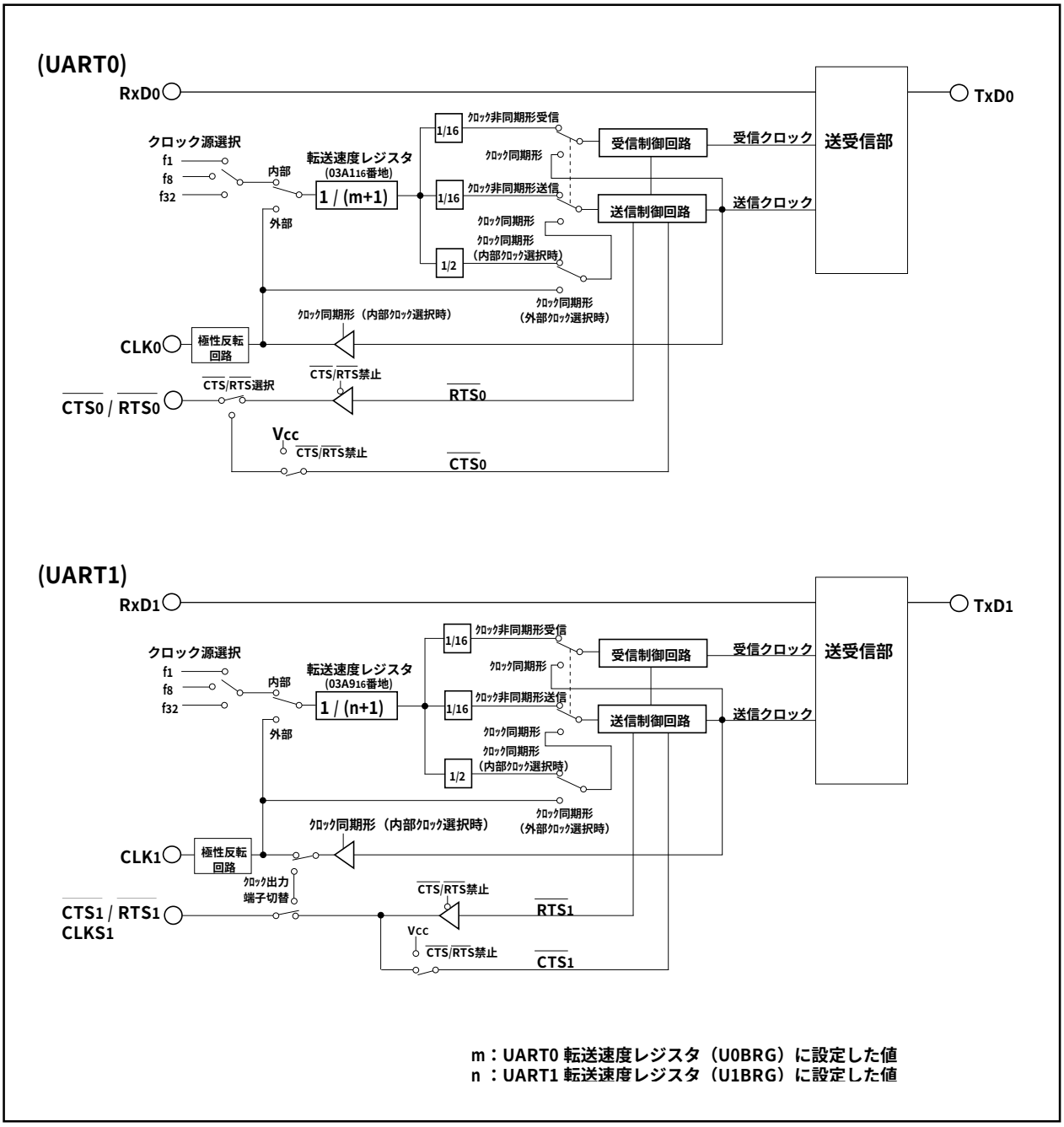
シリアルI/O

シリアルI/Oは、UART0、およびUART1の2チャネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

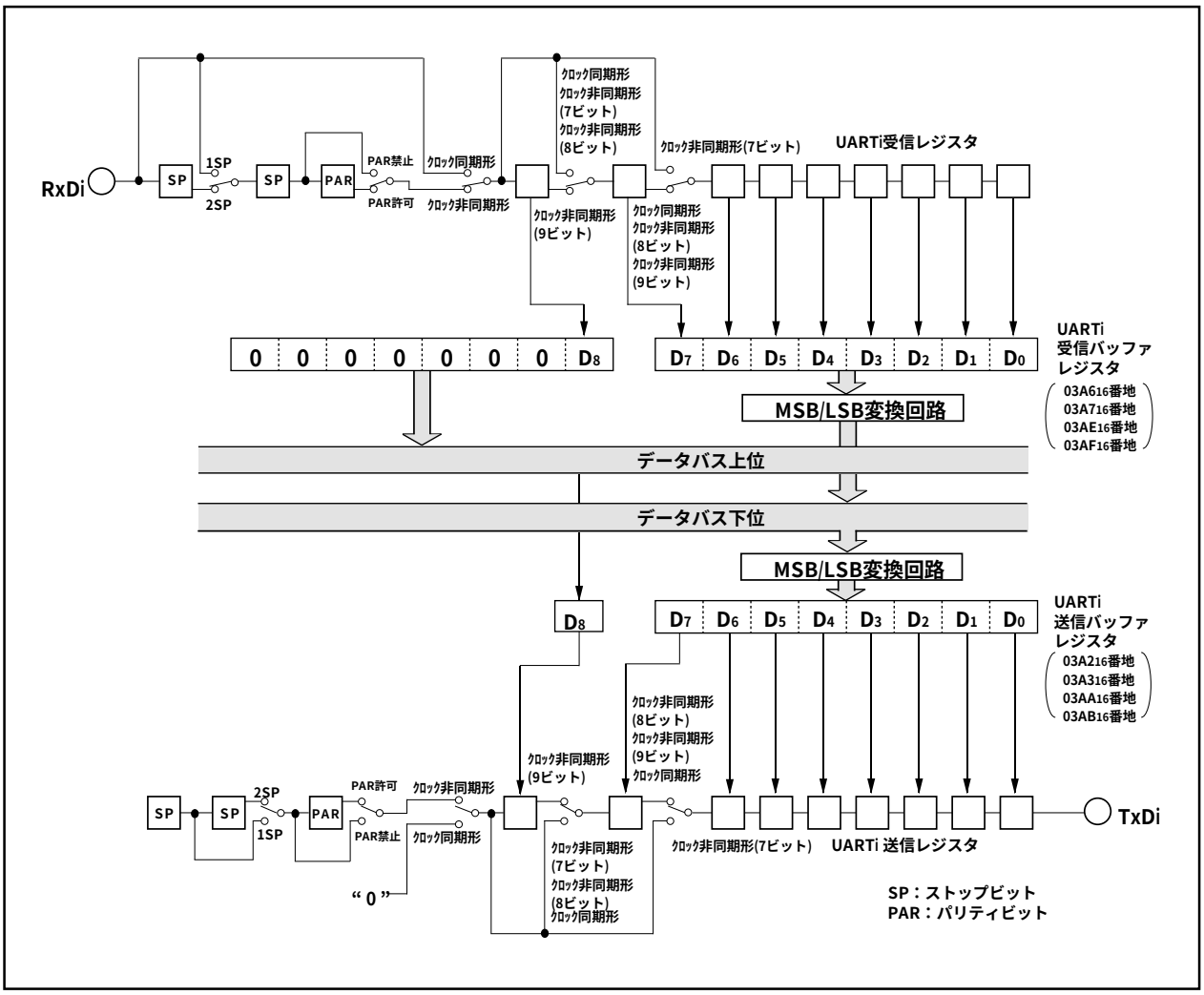
図GA-1にUARTi(i=0, 1)のブロック図、図GA-2に送受信部のブロック図を示します。

UARTi(i=0, 1)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。シリアルI/Oモード選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット0～ビット2)の内容で、クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかを選択します。UART0とUART1は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。

図GA-3～図GA-5に、UARTi関連のレジスタを示します。

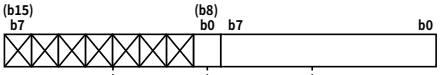


図GA-1.　UARTi(i=0, 1)ブロック図



図GA-2.　送受信部ブロック図

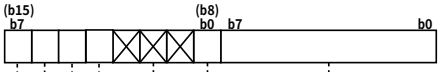
UARTi送信バッファレジスタ



シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定

機　　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

UARTi受信バッファレジスタ

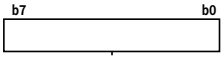


シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラーフラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$番地)を読み出したときも、“0”になります。

UARTi転送速度レジスタ



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

図GA-3.　UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 :シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 :転送データ長7ビット 1 0 1 :転送データ長8ビット 1 1 0 :転送データ長9ビット 0 0 0 :シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”に固定してください	0 : スリープモード解除 1 : スリープモード選択	○	○

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

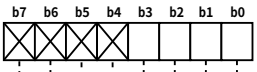
シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P4$_7$,P7$_7$はプログラマブル入出力ポートとして機能)	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P4$_7$,P7$_7$はプログラマブル入出力ポートとして機能)	○	○
NCH	データ出力選択ビット	0 : TXDi端子はCMOS出力 1 : TXDi端子はNチャネル オープンドレイン出力	0 : TXDi端子はCMOS出力 1 : TXDi端子はNチャネル オープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”に固定してください	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

図GA-4. UARTi関連のレジスタ (2)

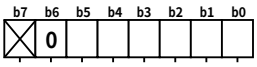
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	03A5$_{16}$, 03AD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART送受信制御レジスタ2



シンボル	アドレス	リセット時
UCON	03B0$_{16}$番地	X0000000$_{2}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0 : CLK1にクロックを出力 1 : CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1 (注1)	0 : 通常モード (CLK出力はCLK1のみ) 1 : 転送クロック複数端子出力機能選択	“0”に固定してください	○	○
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット(03A8$_{16}$番地のビット3)=“0”

図GA-5. UARTi関連のレジスタ (3)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表GA-1にクロック同期形シリアルI/Oモードの仕様を、図GA-6にUARTi送受信モードレジスタの構成を示します。

表GA-1. クロック同期形シリアルI/Oモードの仕様

項　目	仕　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(03A0$_{16}$、03A8$_{16}$番地のビット3=“0”)：fi/2(n+1) (注1)　fi=f1, f8, f32 ●外部クロック選択時(03A0$_{16}$、03A8$_{16}$番地のビット3=“1”)：CLKi端子からの入力 (注2)
送信制御/受信制御	●CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5$_{16}$、03AD$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$番地のビット1)=“0” ・$\overline{\text{CTS}}$機能選択時、$\overline{\text{CTS}}$端子の入力が“L”レベル ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5$_{16}$、03AD$_{16}$番地のビット2)=“1” ・送信許可ビット(03A5$_{16}$、03AD$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生
選択機能	●極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択 UART1の転送クロック端子を2本設定し、ソフトウエアによって出力端子を選択可

注1. nはUART転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。

注2. 最大5Mbps。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは必ず“0”に固定		○	○

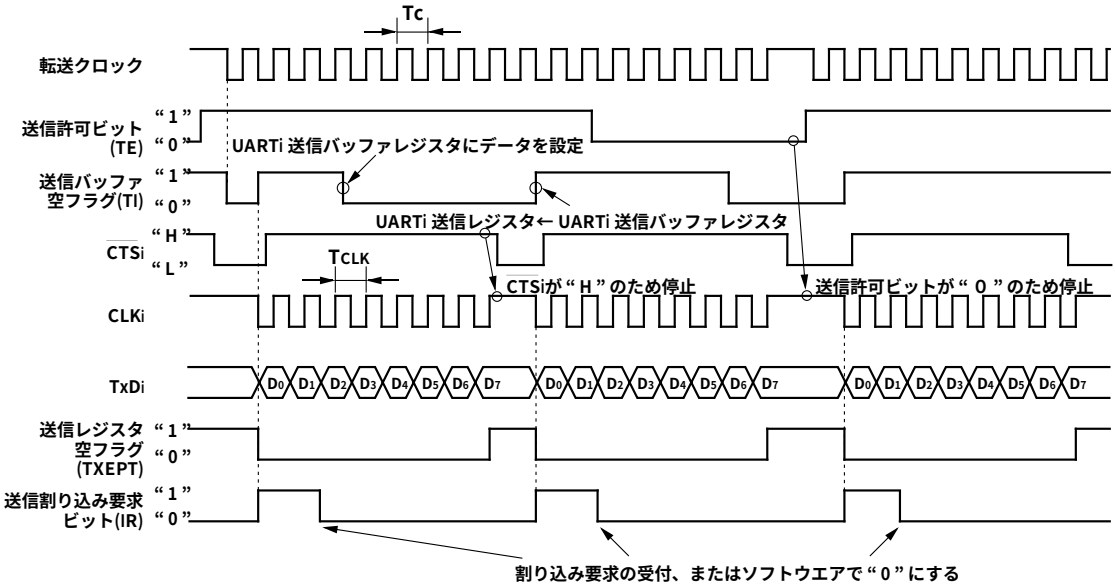
図GA-6.　クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

表GA-2に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表GA-2.　クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択)　(i = 0, 1)

端子名	機　能	選択方法
TxDi (P4$_4$、P7$_4$)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P4$_5$、P7$_5$)	シリアルデータ入力	ポートP4$_5$の方向レジスタ(03EA$_{16}$番地のビット5)、 ポートP7$_5$の方向レジスタ(03EF$_{16}$番地のビット5)=“0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P4$_6$、P7$_6$)	転送クロック出力	内/外部クロック選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット3)=“1” ポートP4$_6$の方向レジスタ(03EA$_{16}$番地のビット6)、 ポートP7$_6$の方向レジスタ(03EF$_{16}$番地のビット6)=“0”
$\overline{\text{CTS}}$i/$\overline{\text{RTS}}$i (P4$_7$、P7$_7$)	$\overline{\text{CTS}}$入力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット2)=“0” ポートP4$_7$の方向レジスタ(03EA$_{16}$番地のビット7)、 ポートP7$_7$の方向レジスタ(03EF$_{16}$番地のビット7)=“0”
	$\overline{\text{RTS}}$出力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“1”

●送信タイミング例（内部クロック選択時）

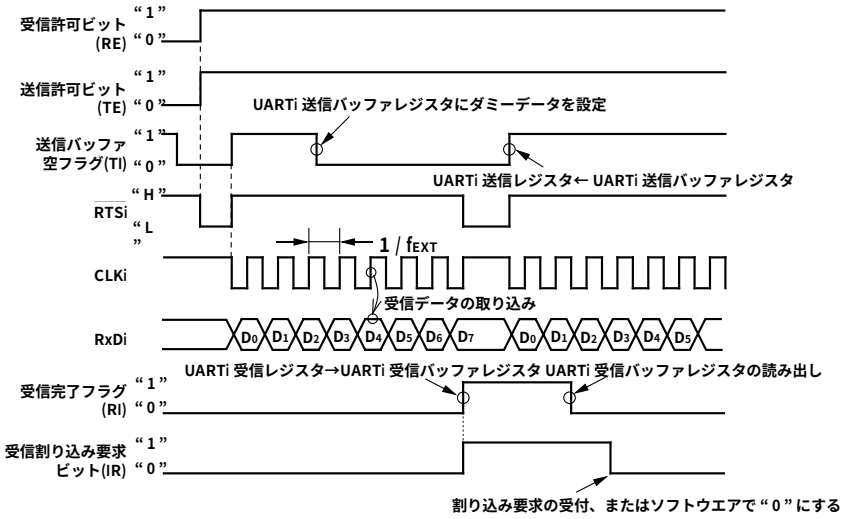


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
- fi：BRGiのカウントソースの周波数(f1, f8, f32)
- n：BRGiに設定した値

●受信タイミング例（外部クロック選択時）



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット =“0”

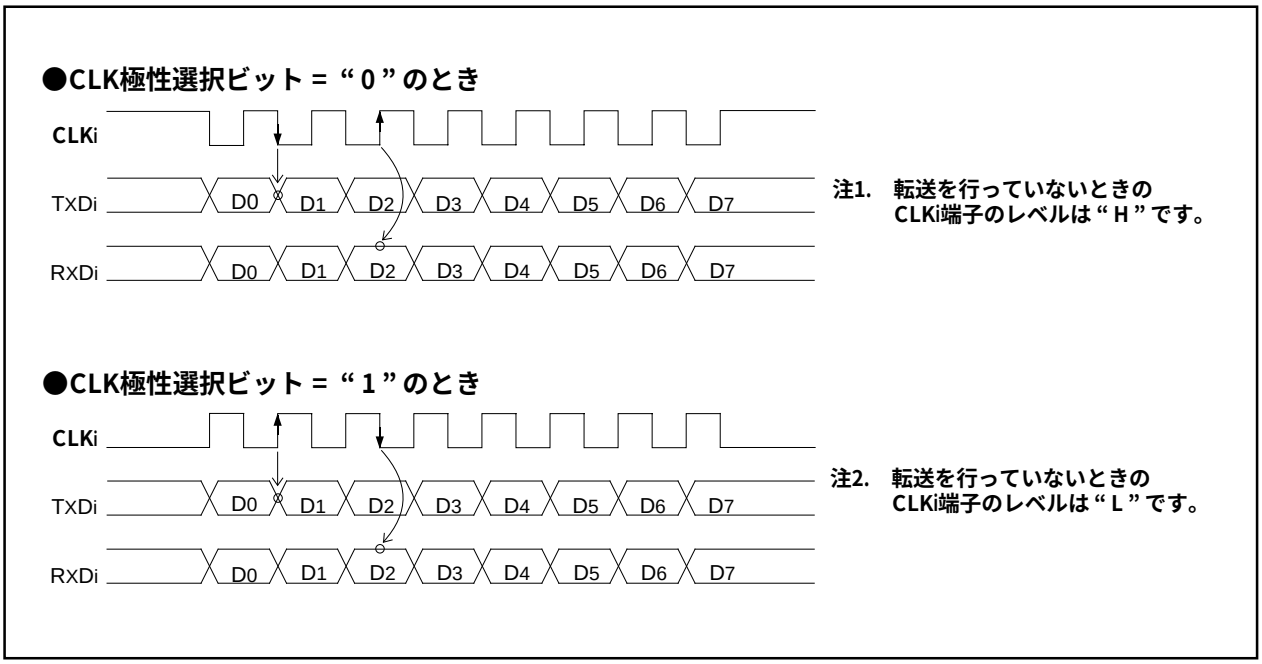
fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図GA-7.　クロック同期形シリアルI/Oモード時の送信／受信タイミング例

■極性選択機能

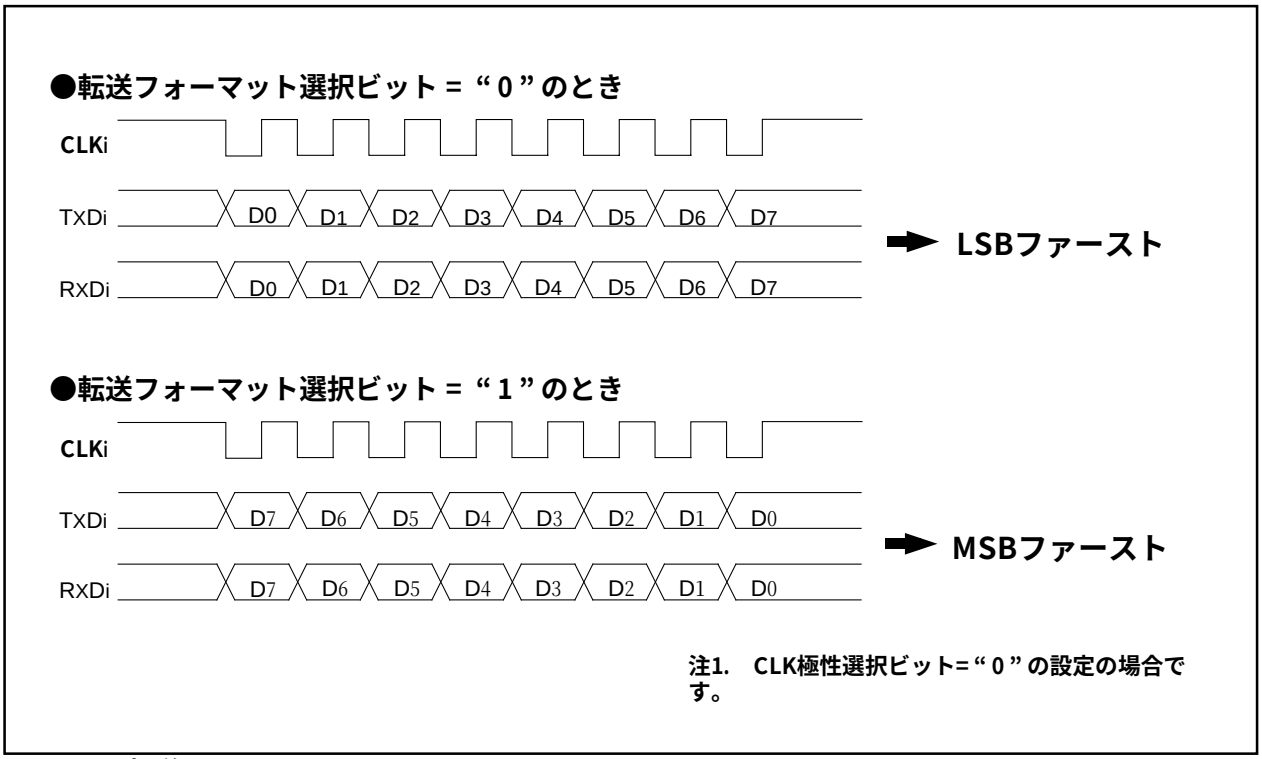
図GA-8に示すように、CLK極性選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット6)によって転送クロックの極性を選択できます。



図GA-8. 転送クロックの極性

■LSBファースト/MSBファースト選択機能

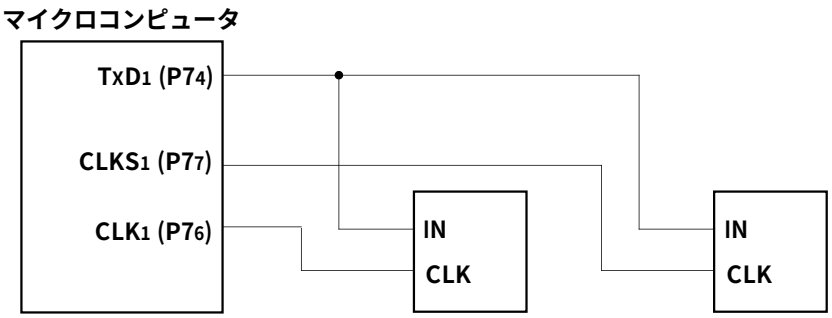
図GA-9に示すように、転送フォーマット選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット7)の内容が“ 0 ”のとき転送フォーマットはLSBファースト、“ 1 ”のとき転送フォーマットはMSBファーストになります。



図GA-9. 転送フォーマット

■転送クロック複数端子出力機能

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0$_{16}$番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図GA-10)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1の$\overline{CTS}$/$\overline{RTS}$機能は使用できません。



注1.　クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

図GA-10.　転送クロック複数端子出力機能の使用例

■連続受信モード

連続受信モード許可ビット(03B0$_{16}$番地のビット2、ビット3)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表GA-3にクロック非同期形シリアルI/Oモードの仕様を、図GA-11にUARTi送受信モードレジスタの構成を示します。

表GA-3. クロック非同期形シリアルI/Oモードの仕様

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時($03A0_{16}$、$03A8_{16}$番地のビット3=“0”)：$f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ ●外部クロック選択時($03A0_{16}$、$03A8_{16}$番地のビット3=“1”)：$f_{EXT}/16(n+1)$ (注1) (注2)
送信制御/受信制御	●$\overline{CTS}$機能/$\overline{RTS}$機能/CTS、RTS機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($03A5_{16}$、$03AD_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$03AD_{16}$番地のビット1)=“0” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が“L”レベル
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($03A5_{16}$、$03AD_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時に、パリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります
選択機能	●スリープモード選択 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する

注1. n はUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

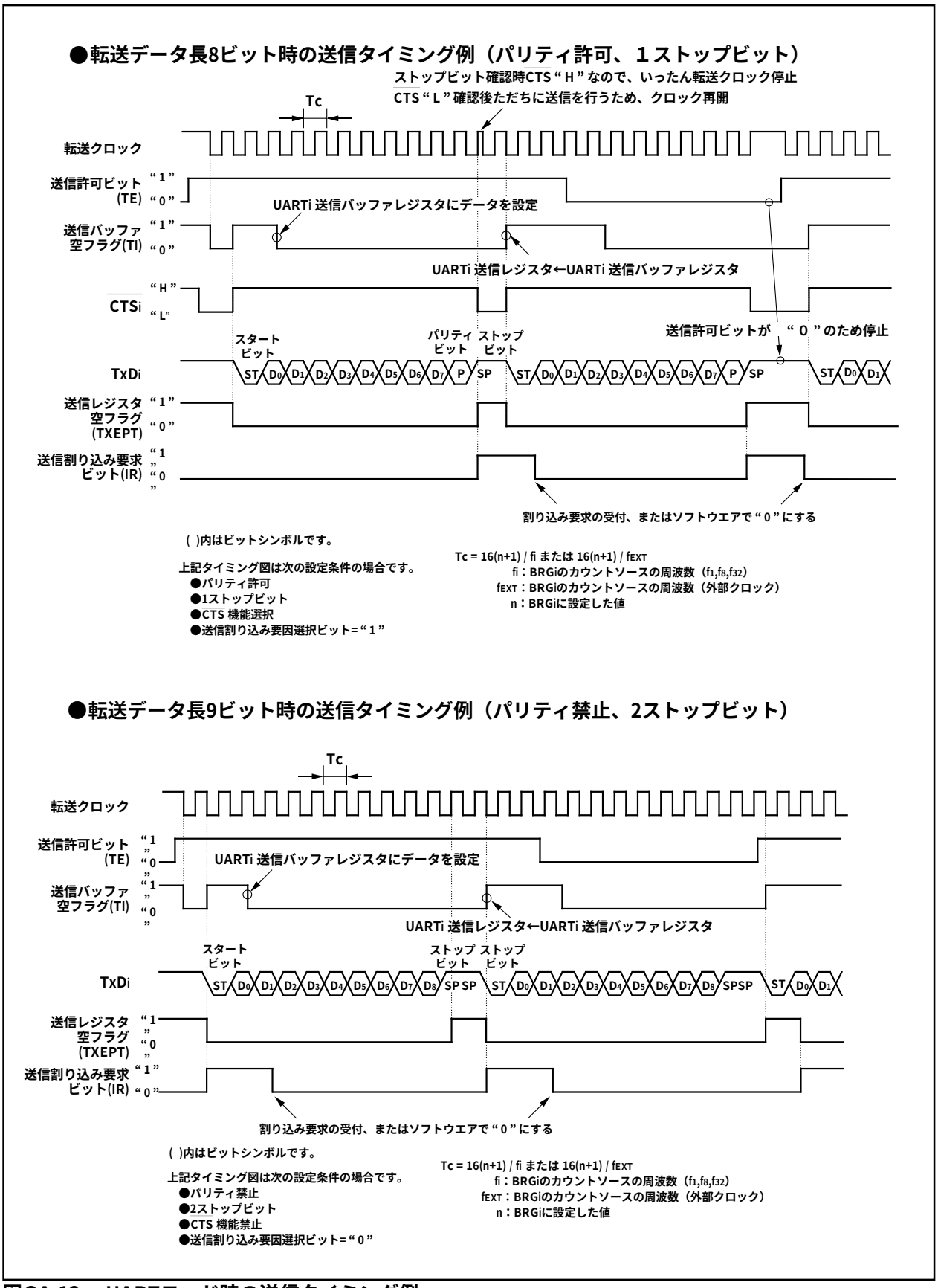
ビットシンボル	ビット名	機　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

図GA-11.　UARTモード時のUARTi送受信モードレジスタの構成

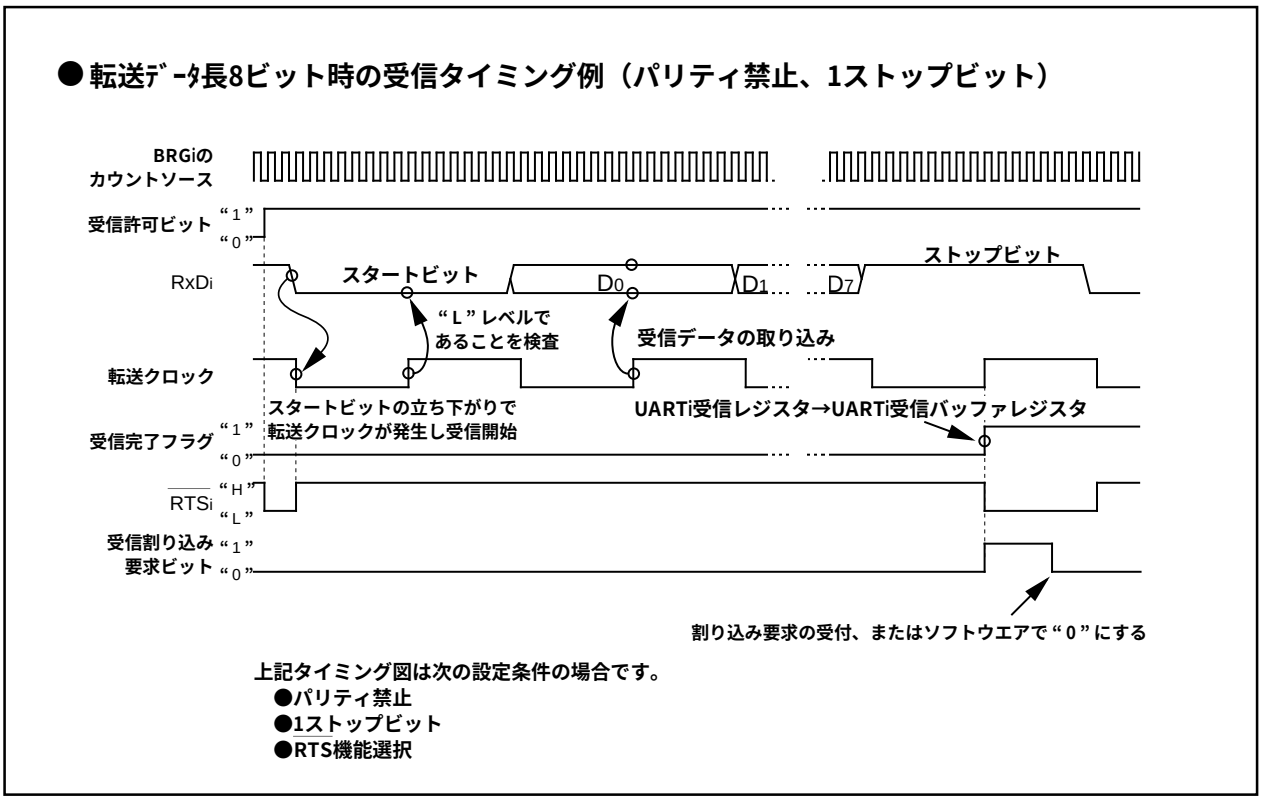
表GA-4に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表GA-4.　クロック非同期形シリアルI/Oモード時の入出力端子の機能　(i = 0, 1)

端子名	機　能	選択方法
TxDi (P4$_4$、P7$_4$)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P4$_5$、P7$_5$)	シリアルデータ入力	ポートP4$_5$の方向レジスタ(03EA$_{16}$番地のビット5)、 ポートP7$_5$の方向レジスタ(03EF$_{16}$番地のビット5)=“0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P4$_6$、P7$_6$)	プログラマブル入出力ポート	内/外部クロック選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット3)=“1” ポートP4$_6$の方向レジスタ(03EA$_{16}$番地のビット6)、 ポートP7$_6$の方向レジスタ(03EF$_{16}$番地のビット6)=“0”
$\overline{\text{CTS}}$i/$\overline{\text{RTS}}$i (P4$_7$、P7$_7$)	$\overline{\text{CTS}}$入力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット2)=“0” ポートP4$_7$の方向レジスタ(03EA$_{16}$番地のビット7)、 ポートP7$_7$の方向レジスタ(03EF$_{16}$番地のビット7)=“0”
	$\overline{\text{RTS}}$出力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A4$_{16}$、03AC$_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A4$_{16}$、03AC$_{16}$番地のビット4)=“1”



図GA-12.　UARTモード時の送信タイミング例



図GA-13.　UARTモード時の受信タイミング例

■スリープモード

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A016、03A816番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

シリアルI/O2

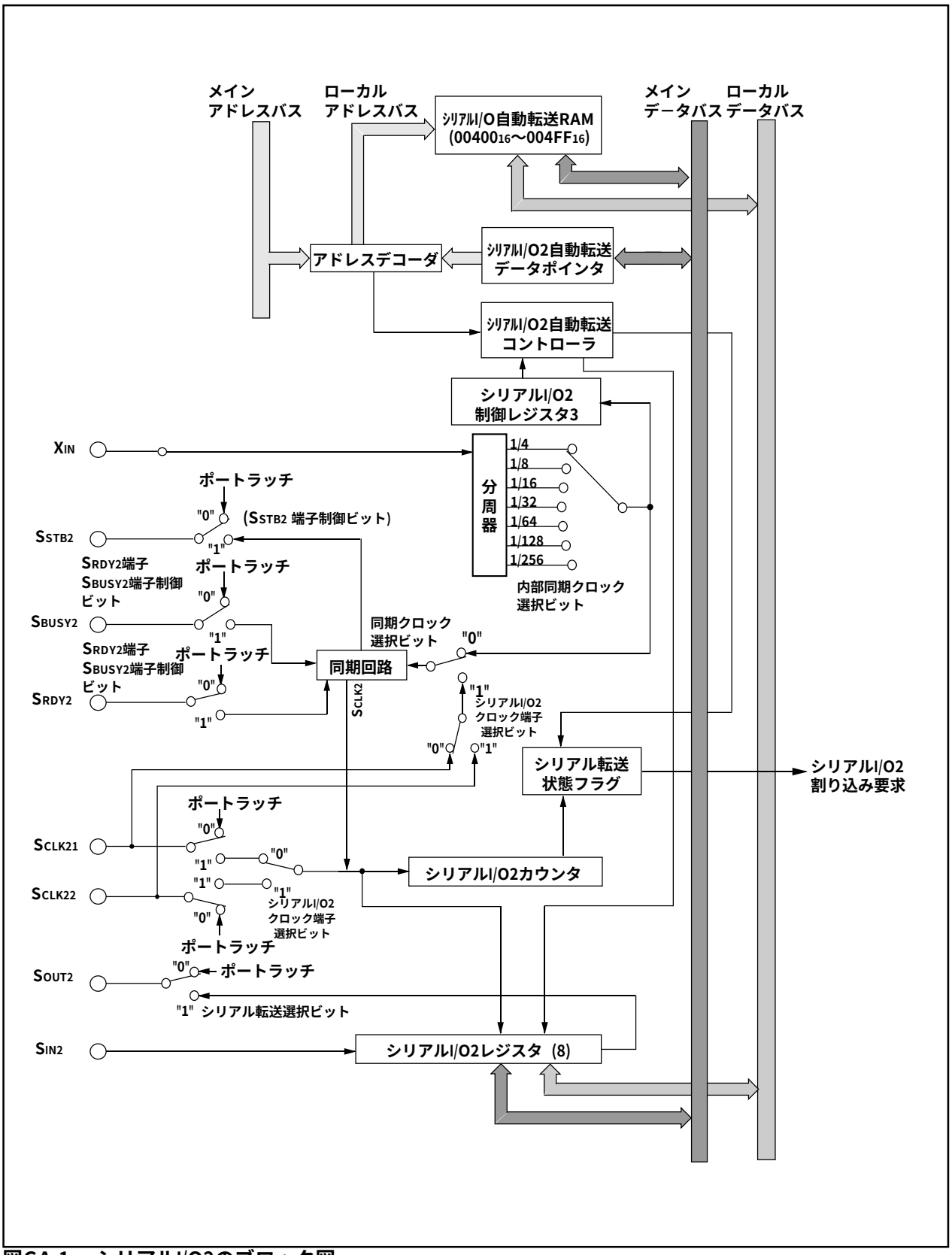
シリアルI/O2は、クロック同期形のシリアルI/Oで、8ビットシリアルモードと自動転送モードを有しています。自動転送モードでは、最大256バイトのシリアルI/O自動転送用RAM(0040_{16}～$004FF_{16}$)番地を介入して、シリアル転送を行います。

SRDY2、SBUSY2、SSTB2の各端子は、ハンドシェーク入出力信号です。これらの端子はアクティブ論理の正反選択も行うことができます。

表GA-1.　クロック同期形シリアルI/O2の仕様

項　　目	仕　　様
シリアルモード	●8ビットシリアルI/Oモード(自動転送無し) ●自動転送シリアルモード
転送データフォーマット	●転送データ長　8ビット ●全2重モード/送信専用モードを(0342_{16}番地のビット5)で選択可
転送クロック	●内部クロック選択時(0342_{16}番地のビット2=“0”)：0348_{16}番地のビット5からビット7で選択 ●外部クロック選択時(0342_{16}番地のビット2=“1”)：SCLK21またはSCLK22端子からの入力(注1)
転送速度	●内部クロック選択時：f(XIN)/4、f(XIN)/8、f(XIN)/16、f(XIN)/32、f(XIN)/64、f(XIN)/128、f(XIN)/256 ●外部クロック選択時：入力サイクル　0.95μs以下
送信制御/受信制御	●SSTB2出力/SBUSY2入出力/SRDY2入出力　選択
送信受信開始条件	●送信受信開始には、以下の条件が必要です。 ・シリアルI/O初期化ビット(0342_{16}番地のビット4)=“1” ・SBUSY2入力またはSRDY2入力選択時、選択した入力が“H” ・$\overline{\text{SBUSY2}}$入力または$\overline{\text{SRDY2}}$入力選択時、選択した入力が“L” ●更に、外部クロック選択時、SCLK21またはSCLK22端子の入力が“H”
送受信中止条件	●内部同期クロック、外部同期クロックにかかわらず、シリアルI/O初期化ビット(0342_{16}番地のビット4)を“0”にしてください。
割り込み要求発生タイミング	●8ビットシリアルI/Oモード：8ビット転送終了時 ●自動転送シリアルモード：最終受信データが自動転送RAMに転送時
選択機能	●SOUT2Pチャネル出力禁止機能 CMOS出力またはNチャネルオープンドレイン出力を選択できます。 ●LSBファースト/MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するか選択できます。 ●シリアルI/O2クロック端子選択ビット シリアルのクロック入出力をSCLK21またはSCLK22端子から選択できます。 ●SBUSY出力、SSTB2出力選択機能(自動転送シリアルモードのみ) SBUSY、SSTB2の出力を1バイト単位か全転送単位か選択できます。 ●SOUT2端子制御ビット シリアル非転送時SOUT2端子の状態をアクティブあるいは出力ハイインピーダンス出力を選択することができます。

注1.　シリアルI/Oクロック端子選択ビット(0342_{16}番地のビット7)の選択が必要です。



図GA-1. シリアルI/O2のブロック図

シリアルI/O2制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
SIO2CON1	0342$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SCON10	シリアル転送選択ビット	b1 b0 0 0 : シリアルI/O禁止 (シリアルI/O端子は入出力ポート) 0 1 : 8ビットシリアルI/O 1 0 : 使用禁止 1 1 : 自動転送シリアルI/O (8ビット)	○	○
SCON11			○	○
SCON12	シリアルI/O2同期クロック選択ビット (SSTB2端子制御ビット)	b3 b2 0 0 : 内部同期クロック (SSTB2端子は入出力ポート) 0 1 : 外部同期クロック (SSTB2端子は入出力ポート) 1 0 : 内部同期クロック (SSTB2端子は$\overline{\text{SSTB2}}$出力) 1 1 : 内部同期クロック (SSTB2端子はSSTB2出力)	○	○
SCON13			○	○
SCON14	シリアルI/O初期化ビット	0 : シリアルI/O初期化 1 : シリアルI/O許可	○	○
SCON15	転送モード選択ビット	0 : 全二重(送受信)モード (SIN2端子はSIN2入力) 1 : 送信専用モード (SIN2端子は入出力ポート)	○	○
SCON16	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	○	○
SCON17	シリアルI/O2クロック端子選択ビット	0 : SCLK21 (SCLK22端子は入出力ポート) 1 : SCLK22 (SCLK21端子は入出力ポート)	○	○

シリアルI/O2制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
SIO2CON2	0344$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SCON20	SRDY2・SBUSY2端子制御ビット	b3 b2 b1 b0 0 0 0 0 : SRDY2・SBUSY2端子は入出力ポート 0 0 0 1 : 不使用 0 0 1 0 : SRDY2端子は$\overline{\text{SRDY2}}$出力、SBUSY2端子は入出力ポート 0 0 1 1 : SRDY2端子はSRDY2出力、SBUSY2端子は入出力ポート 0 1 0 0 : SRDY2端子は入出力ポート、SBUSY2端子は$\overline{\text{SBUSY2}}$入力 0 1 0 1 : SRDY2端子は入出力ポート、SBUSY2端子はSBUSY2入力 0 1 1 0 : SRDY2端子は入出力ポート、SBUSY2端子は$\overline{\text{SBUSY2}}$出力 0 1 1 1 : SRDY2端子は入出力ポート、SBUSY2端子はSBUSY2出力 1 0 0 0 : SRDY2端子は$\overline{\text{SRDY2}}$入力、SBUSY2端子は$\overline{\text{SBUSY2}}$出力 1 0 0 1 : SRDY2端子は$\overline{\text{SRDY2}}$入力、SBUSY2端子はSBUSY2出力 1 0 1 0 : SRDY2端子はSRDY2入力、SBUSY2端子は$\overline{\text{SBUSY2}}$出力 1 0 1 1 : SRDY2端子はSRDY2入力、SBUSY2端子はSBUSY2出力 1 1 0 0 : SRDY2端子は$\overline{\text{SRDY2}}$出力、SBUSY2端子は$\overline{\text{SBUSY2}}$入力 1 1 0 1 : SRDY2端子はSRDY2出力、SBUSY2端子はSBUSY2入力 1 1 1 0 : SRDY2端子はSRDY2出力、SBUSY2端子は$\overline{\text{SBUSY2}}$入力 1 1 1 1 : SRDY2端子はSRDY2出力、SBUSY2端子はSBUSY2入力	○	○
SCON21			○	○
SCON22			○	○
SCON23			○	○
SCON24	SBUSY2出力・SSTB2出力機能選択ビット (自動転送モード時有効)	0 : 1バイトごとの信号として機能 1 : 全転送データごとの信号として機能	○	○
SCON25	シリアル転送状態フラグ	0 : シリアル転送完了 1 : シリアル転送中	○	○
SCON26	SOUT2端子制御ビット (シリアルデータ非転送時)	0 : 出力アクティブ 1 : 出力ハイインピーダンス	○	○
SCON27	SOUT2 Pチャネル出力禁止ビット	0 : CMOS3ステート (Pチャネル出力有効) 1 : Nチャネルオープンドレイン (Pチャネル出力禁止)	○	○

図GA-2.　シリアルI/O2制御レジスタ1、2の構成

シリアルI/O2自動転送データポインタ

b7 b0

シンボル	アドレス	リセット時
SIO2DP	0340$_{16}$番地	00$_{16}$

機　　能	R	W
自動転送データポインタ設定 ●シリアルI/O自動転送RAM上の先頭データの格納番地の下位8ビットを指定します。 書き込みはラッチ、読み出しはディクリメントカウンタ	○	○

シリアルI/O2レジスタ/転送カウンタ

b7 b0

シンボル	アドレス	リセット時
SIO2	0346$_{16}$番地	00$_{16}$

機　　能	R	W
自動転送データ数設定 ●自動転送するデータ数を設定します。データ数－1を設定してください。 書き込みはラッチ、読み出しはディクリメントカウンタ	○	○

シリアルI/O2制御レジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
SIO2CON3	0348$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TTRAN0	自動転送間隔設定ビット	b4 b3 b2 b1 b0 0 0 0 0 0 : 転送クロックの2サイクル 0 0 0 0 1 : 転送クロックの3サイクル : 1 1 1 1 0 : 転送クロックの32サイクル 1 1 1 1 1 : 転送クロックの33サイクル 書き込みはラッチ、読み出しはディクリメントカウンタ	○	○
TTRAN1			○	○
TTRAN2			○	○
TTRAN3			○	○
TTRAN4			○	○
TCLK0	内部同期クロック選択ビット	b7 b6 b5 0 0 0 : f(XIN)/4 0 0 1 : f(XIN)/8 0 1 0 : f(XIN)/16 0 1 1 : f(XIN)/32 1 0 0 : f(XIN)/64 1 0 1 : f(XIN)/128 1 1 0 : f(XIN)/256	○	○
TCLK1			○	○
TCLK2			○	○

図GA-3.　シリアルI/O2自動転送データポインタの構成

表GA-2に、シリアルI/O入出力端子の機能を示します。

表GA-2. シリアルI/O2入出力端子の機能

端子名	機　能	選択方法
SOUT2 (P94)	シリアルデータ出力	ポートP94の方向レジスタ(03F316番地のビット4)＝“1” SOUT2 Pチャネル出力禁止ビット(034416番地のビット7)＝“0”、“1” SOUT2端子制御ビット(034416番地のビット6)＝“0”、“1” (受信だけを行うときはダミーデータを出力)
SIN2 (P93)	シリアルデータ入力	ポートP93の方向レジスタ(03F316番地のビット3)＝“0” 転送モード選択ビット(034216番地のビット5)＝“0” (転送モード選択ビット(034216番地のビット5)＝“1”にすると入出力ポート)
SCLK21 (P95)	転送クロック出力	シリアルI/O2同期クロック選択ビット(034216番地のビット2、ビット3)＝“00”、“01” シリアルI/O2クロック端子選択ビット(034216番地のビット7)＝“0”
	転送クロック入力	シリアルI/O2同期クロック選択ビット(034216番地のビット2、ビット3)＝“01”、“11” シリアルI/O2クロック端子選択ビット(034216番地のビット7)＝“0” ポートP95の方向レジスタ(03F316番地のビット5)＝“0”
SCLK22 (P96)	転送クロック出力	シリアルI/O2同期クロック選択ビット(034216番地のビット2、ビット3)＝“00”、“01” シリアルI/O2クロック端子選択ビット(034216番地のビット7)＝“1”
	転送クロック入力	シリアルI/O2同期クロック選択ビット(034216番地のビット2、ビット3)＝“01”、“11” シリアルI/O2クロック端子選択ビット(034216番地のビット7)＝“1” ポートP96の方向レジスタ(03F316番地のビット6)＝“0”
SRDY2 (P90)	SRDY入出力	SRDY2・SBUSY2端子制御ビット(034416番地のビット0～ビット3)の設定による
SBUSY2 (P91)	SBUSY入出力	SRDY2・SBUSY2端子制御ビット(034416番地のビット0～ビット3)の設定による SBUSY2出力・SSTB2出力機能選択ビット(034416番地のビット4)＝“0”、“1”
SSTB2 (P92)	SSTB入出力	シリアルI/O2同期クロック選択ビット(034216番地のビット2、ビット3)=“10”、“11” SBUSY2出力・SSTB2出力機能選択ビット(034416番地のビット4)＝“0”、“1”

SOUT2の出力

シリアル非転送時のSOUT2端子の状態は、SOUT2端子制御ビット(034416番地のビット6)によって、出力アクティブあるいはハイインピーダンスを選択することができます。

ただし、外部同期クロックを選択した場合、SOUT2端子をハイインピーダンスの状態にするためには、転送終了後、SCLK2i(i = 1、2)入力が“H”のとき、SOUT2端子制御ビット(034416番地のビット6)を“1”に設定してください。次のシリアル転送が始まり、SCLK2i(i = 1、2)が“L”になると、SOUT2端子制御ビットは、自動的に“0”なり、出力がアクティブになります。

シリアルI/O2モード

シリアルI/O2モードは、自動転送RAMを使用しない8ビットシリアルモードと自動転送シリアルI/Oモードの2種類があります。

(1) 8ビットシリアルI/Oモード

034_{16}番地はシリアルI/O2レジスタとなります。内部同期クロックを選択した場合、8ビットシリアルI/Oのシリアル転送の開始はシリアルI/O2レジスタ(034_{16}番地)へ送信データを書き込むことより行われます。

シリアル転送状態フラグ(0344_{16}番地のビット5)は、シリアルI/O2レジスタの書き込みによって“1”になり、8ビットの転送終了後“0”になるのと同時にシリアルI/O2割り込み要求が発生します。転送完了後、シリアルI/O2レジスタ(034_{16}番地)から受信データを読み出すことができます。

外部同期クロックを選択した場合、転送クロックが、SCLK21またはSCLK22に入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。

(2) 自動転送シリアルI/Oモード

034_{16}番地は転送カウンタ(バイト単位)となります。シリアルI/O2レジスタの書き込みおよび読み出しは、シリアルI/O2自動転送コントローラが制御します。シリアルI/O自動転送RAMは、0040_{16}～$004FF_{16}$番地に割り当てられており、転送前に自動転送データポインタ(0340_{16}番地)にシリアル転送を行う先頭データの格納番地の下位8ビットを設定してください。

内部周期クロックを選択して、

- ハンドシェーク信号を使用しない場合
- ハンドシェーク信号のSRDY2出力、SBUSY2出力、SSTB2出力を、それぞれ単独使用の場合
- ハンドシェーク信号のSRDY2出力とSSTB2出力、あるいはSBUSY2出力とSSTB2出力を組み合わせて使用する場合、

データとデータの間に転送間隔が入ります。転送間隔は、自動転送間隔設定ビット(0348_{16}番地のビット0～ビット4)により2～33サイクルを設定することができます。

また、SBUSY2出力の全転送データごとの信号として使用する場合、データとデータの間に転送間隔が入るだけでなく、最初のデータの送受信開始前と最終データの送受信終了後にも転送間隔が入ります。

さらにSSTB2出力を使用する場合、SBUSY2出力・SSTB2出力機能選択ビット(0344_{16}番地のビット4)にかかわらず、1バイトデータごとの転送間隔が設定値より2サイクル長くなります。

SBUSY2出力とSSTB2出力を組み合わせて、全転送データごとの信号として使用する場合、最終データの送受信終了後の転送間隔も設定値より2サイクル長くなります。

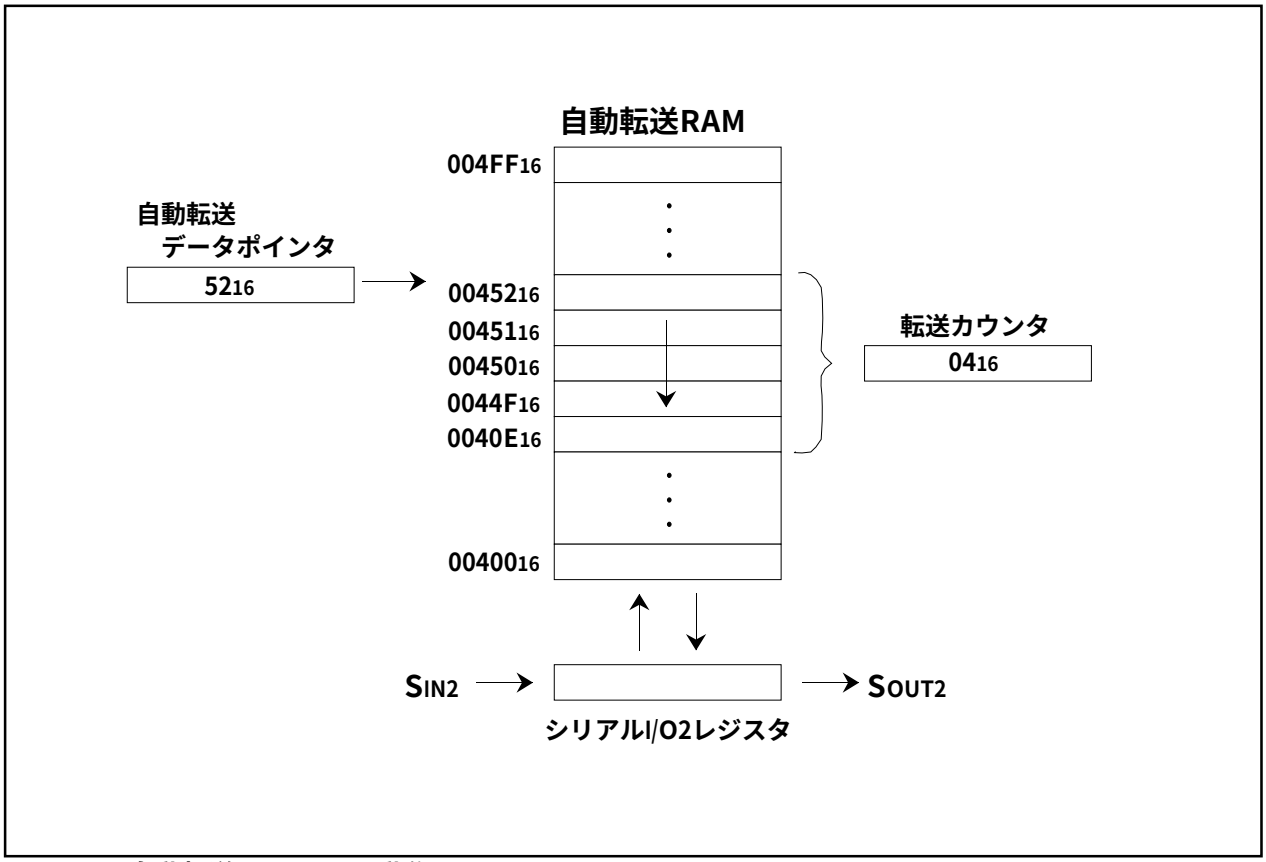
外部同期クロックを選択した場合は、自動転送間隔は無効です。

内部同期クロックを選択している場合、転送バイト数の1減じた値を転送カウンタ(034_{16}番地)に書き込むと自動シリアル転送を開始します。外部同期クロックを選択している場合、転送バイト数の1減じた値を転送カウンタに書き込み、転送クロックが入力されると自動シリアル転送を開始します。このとき、転送カウンタに書き込んでから転送クロックを入力するまで、内部システムクロックの5サイクル以上空けてください。

また、データ間の転送間隔も、1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

内部同期クロック、外部同期クロックにかかわらず、自動転送データポインタおよび転送カウンタは、1バイトごとのデータ受信が完了して自動転送RAMに書き込みの後、ディクリメントされます。シリアル転送状態フラグ(0344_{16}番地のビット5)は、転送カウンタの書き込みによって“1”に、最終データの自動転送RAMへの書き込みによって“0”に、同時にシリアルI/O2割り込み要求ビットが“1”になります。

シリアルI/O2自動転送データポインタ(0340_{16}番地)と自動転送間隔設定ビット(0348_{16}番地のビット0～ビット4)に書き込まれた値はラッチに保持されています。転送カウンタにデータを書き込むとシリアルI/O2自動転送データポインタ(0340_{16}番地)と自動転送間隔設定ビット(0348_{16}番地ビット0～ビット4)のラッチに保持されていた値がディクリメントカウンタに転送されます。



図GA-5.　自動転送シリアルI/O動作

ハンドシェーク信号

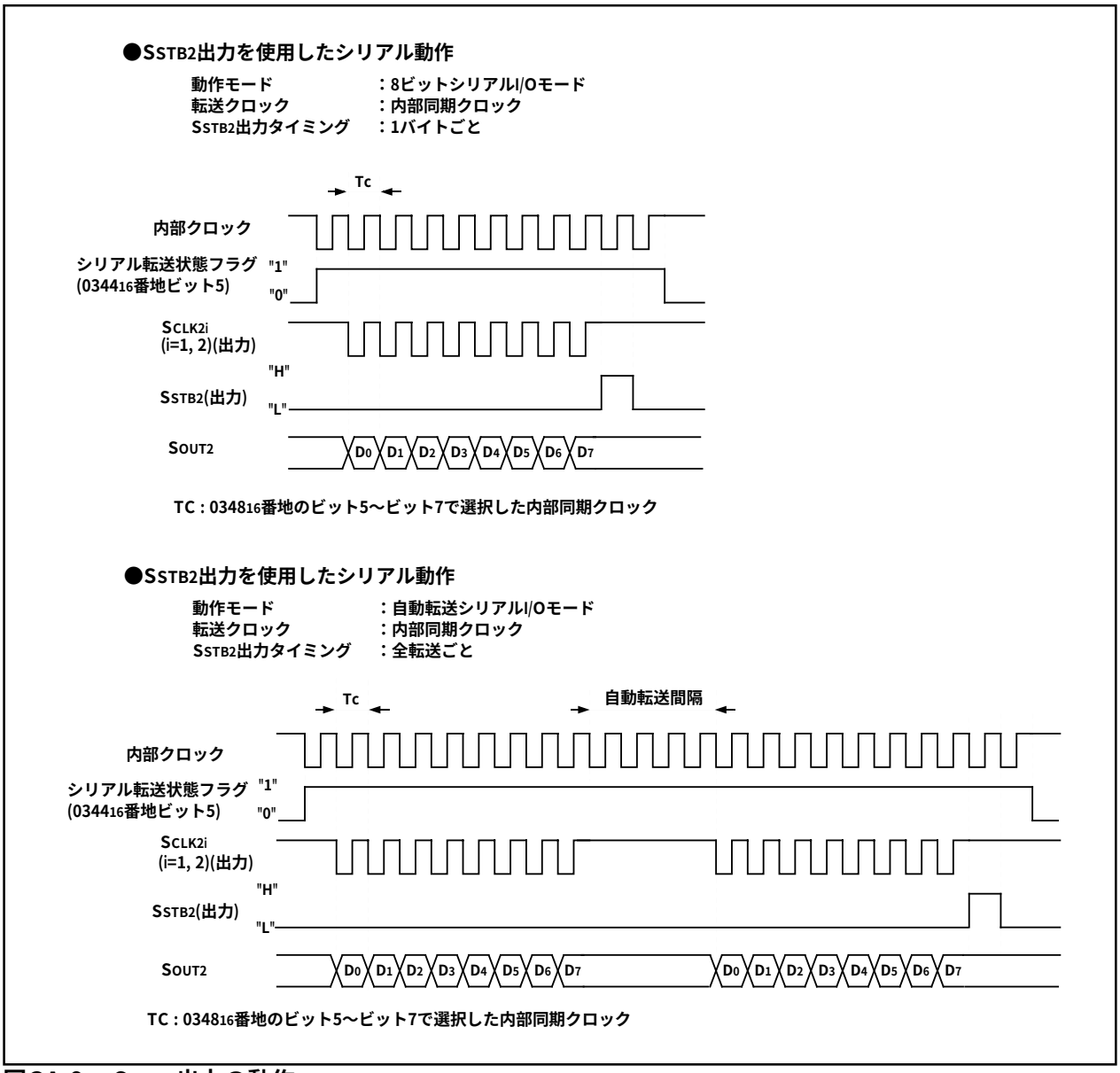
ハンドシェーク信号としてSSTB2出力、SBUSY2入出力、SRDY2入出力の5種類を持ちます。それぞれの動作を説明します。

(1)SSTB2出力信号

SSTB2出力は、シリアル転送先に送受信終了を伝える信号で、内部同期クロックを選択したときのみ有効です。初期状態(I/O初期化ビット(0342$_{16}$番地のビット4)=“0”)では、SSTB2出力(0342$_{16}$番地のビット2,3=11)は“L”($\overline{\text{SSTB2}}$出力(0342$_{16}$番地のビット2,3=10)が“H”)になります。

送受信動作が終了してシリアルI/O2レジスタ(0346$_{16}$番地)のデータを全て出力した後、転送クロックの1サイクルの間、SSTB2出力は“H”($\overline{\text{SSTB2}}$出力が“L”)となります。さらに1サイクル後に、シリアル転送状態フラグ(0344$_{16}$番地のビット5)が“0”になります。

自動転送シリアルI/Oモードでは、SBUSY2出力・SSTB2出力機能選択ビット(0344$_{16}$番地のビット4)によって、SSTB2出力を1バイトデータの転送終了ごとに出力するか、全データを転送終了後に出力するか選択することができます。

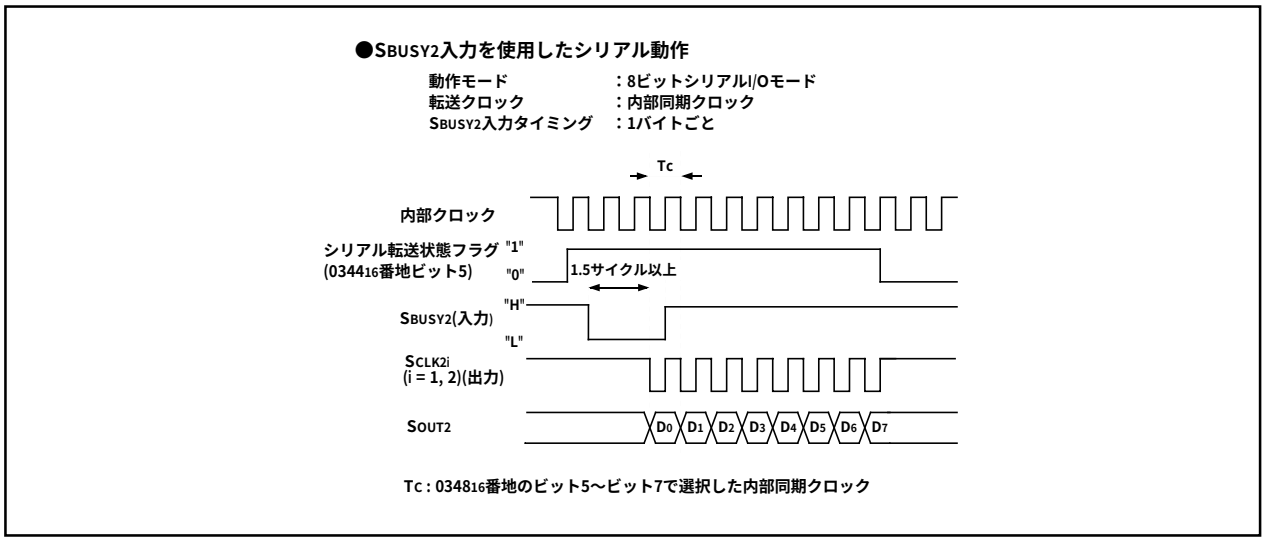


図GA-6. SSTB2出力の動作

(2)SBUSY2入力信号

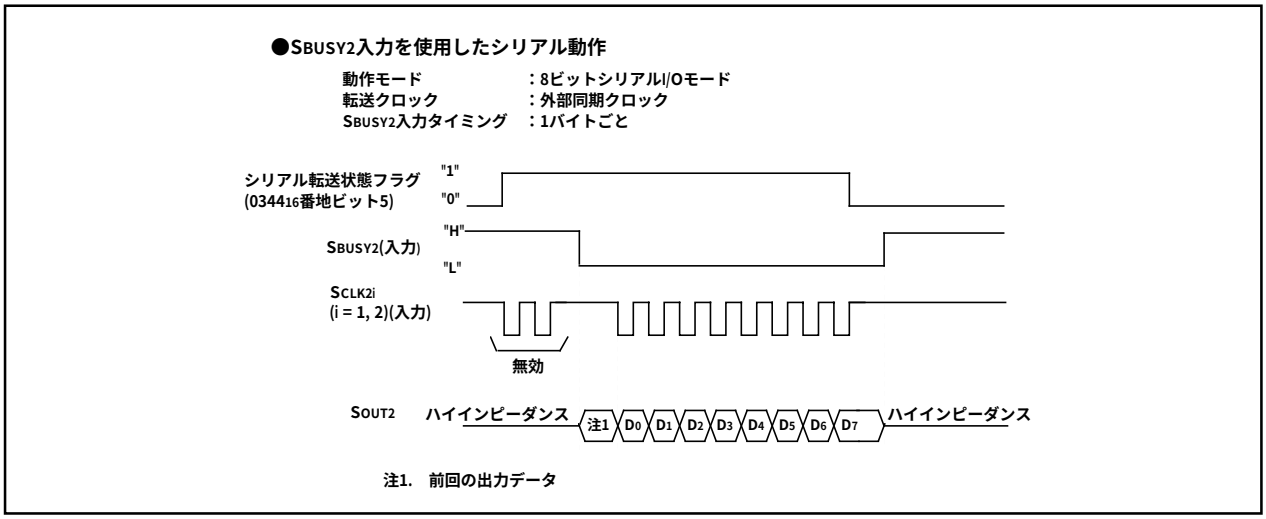
SBUSY2入力は、シリアル転送先から送受信の停止を要求される信号です。

内部同期クロックを選択した場合、初期状態(I/O初期化ビット(0342$_{16}$番地のビット4)=“0”)では、SBUSY2入力に“H”($\overline{\text{SBUSY2}}$入力に“L”)を入力してください。SBUSY2入力に、転送クロックの1.5サイクル以上の“L”($\overline{\text{SBUSY2}}$入力に“H”)を入力すると、SCLK2i(i = 1、2)から転送クロックを出力し、送受信動作を開始します。送受信動作中に、SBUSY2入力に“H”($\overline{\text{SBUSY2}}$入力に“L”)を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、SCLK2i(i = 1、2)から転送クロックを出力します。8ビットシリアルI/O、自動転送シリアルI/Oとも8ビットがハンドシェークの単位となります。



図GA-7. SBUSY2入力の動作(1)

外部同期クロックを選択した場合、初期状態(I/O初期化ビット(0342$_{16}$番地のビット4)=“0”)は、SBUSY2入力に“H”($\overline{\text{SBUSY2}}$入力に“L”)を入力してください。このときに入力される転送クロックは無効です。SBUSY2入力に“L”($\overline{\text{SBUSY2}}$入力に“H”)を入力している間、転送クロックが有効となり送受信動作を行います。送受信動作中にSBUSY2入力($\overline{\text{SBUSY2}}$入力)を変更する場合は、転送クロックが“H”の時に行ってください。また、SOUT2端子制御ビット(0344$_{16}$番地のビット6)により、SOUT2の出力ハイインピーダンスを選択している場合、SBUSY2入力に“H”($\overline{\text{SBUSY2}}$入力に“L”)を入力している間、SOUT2はハイインピーダンスになります。

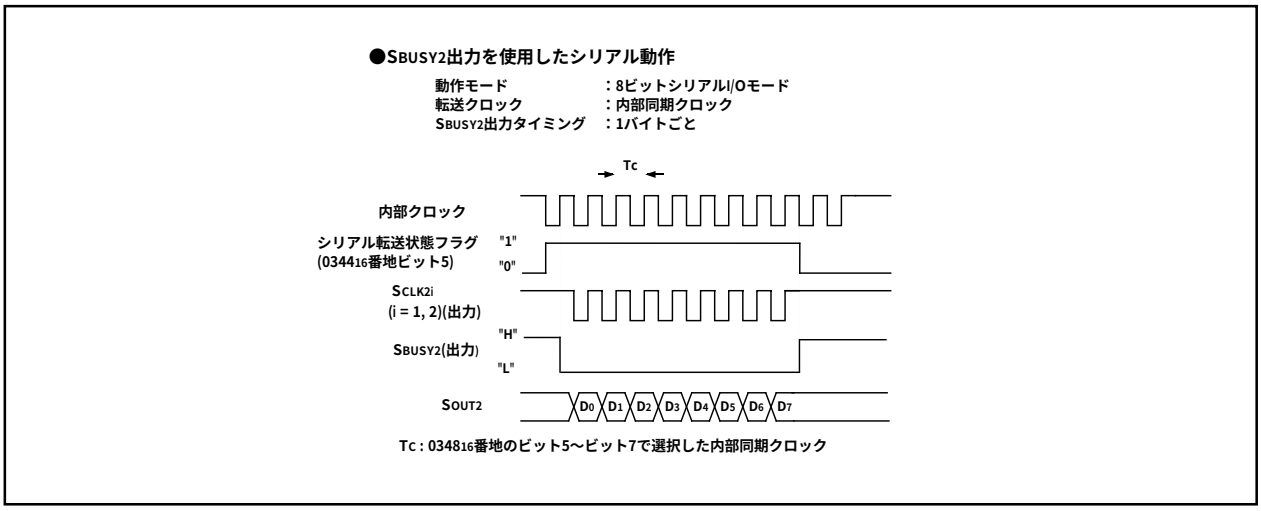


図GA-8. SBUSY2入力の動作(2)

(3)SBUSY2出力信号

SBUSY2出力は、シリアル転送先に送受信の停止を要求する信号です。内部同期クロック、外部同期クロックにかかわらず、自動転送シリアルI/Oモードでは、SBUSY2出力・SSTB2出力機能選択ビット(0344$_{16}$番地のビット4)によって、SBUSY2出力を1バイトデータの転送ごとに出力にするか、全データ転送の間出力にするかを選択することができます。初期状態(I/O初期化ビット(0342$_{16}$番地のビット4)=“0”)では、SBUSY2出力は“H”($\overline{\text{SBUSY2}}$出力は“L”)になります。

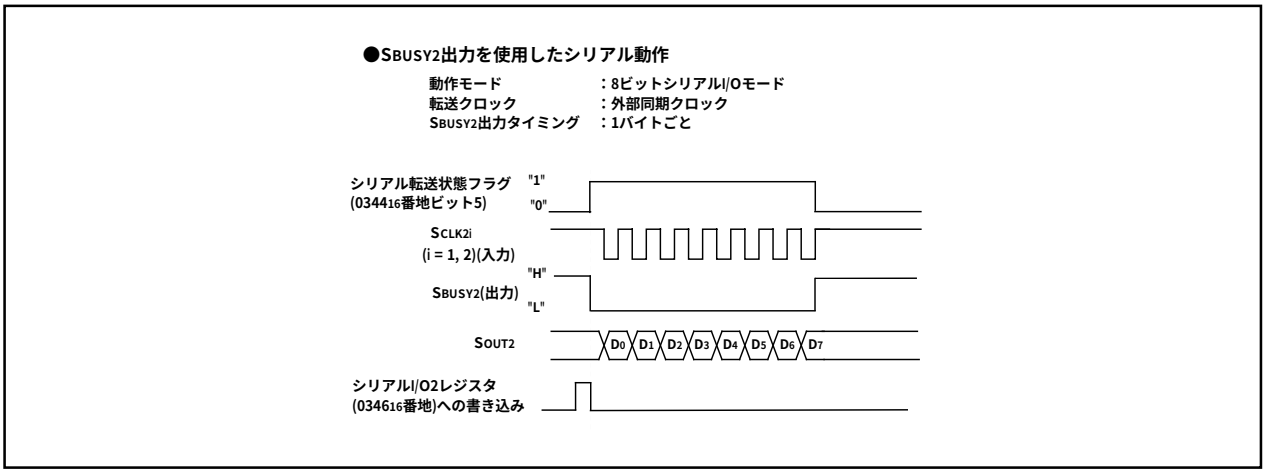
内部同期クロックを選択した場合、8ビットシリアルI/Oモードおよび自動転送シリアルI/OモードのSBUSY2出力機能は1バイトごとでは、転送クロックが“L”になるタイミングの0.5サイクル前に、SBUSY2出力は“L”($\overline{\text{SBUSY2}}$出力は“H”)になります。自動転送シリアルI/OモードのSBUSY2出力機能は全転送データごとでは、シリアルI/O2レジスタ(0346$_{16}$番地)に最初の送信データが書き込まれた時、SBUSY2出力は“L”($\overline{\text{SBUSY2}}$出力は“H”)になります。



図GA-9. SBUSY2出力の動作(1)

外部同期クロックを選択した場合は、シリアルI/Oの転送モードにかかわらず、シリアルI/O2レジスタ(0346$_{16}$番地)に送信データが書き込まれた時、SBUSY2出力は“L”($\overline{\text{SBUSY2}}$出力は“H”)になります。

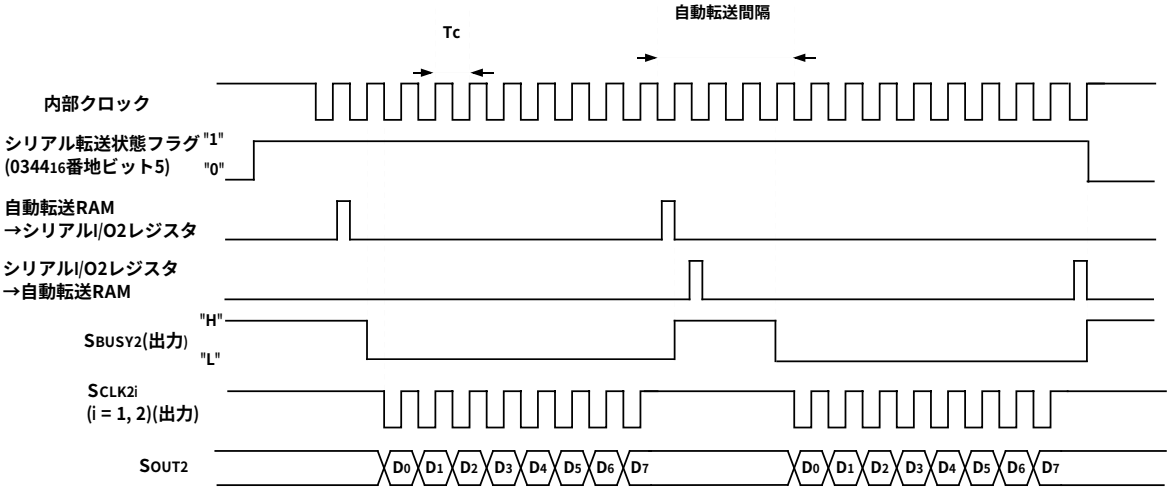
送受信動作の終了時には、8ビットシリアルI/Oモードでは内部同期クロック、外部同期クロックにかかわらず、シリアル転送状態フラグが“0”になるタイミングで、SBUSY2出力は“H”($\overline{\text{SBUSY2}}$出力は“L”)になります。さらに自動転送シリアルI/OモードのSBUSY2出力機能は1バイトごとでは、1バイトの受信データが自動転送RAMに書き込まれるごとに、SBUSY2出力は“H”($\overline{\text{SBUSY2}}$出力は“L”)になります。



図GA-10. SBUSY2出力の動作(2)

●SBUSY2出力を使用したシリアル動作

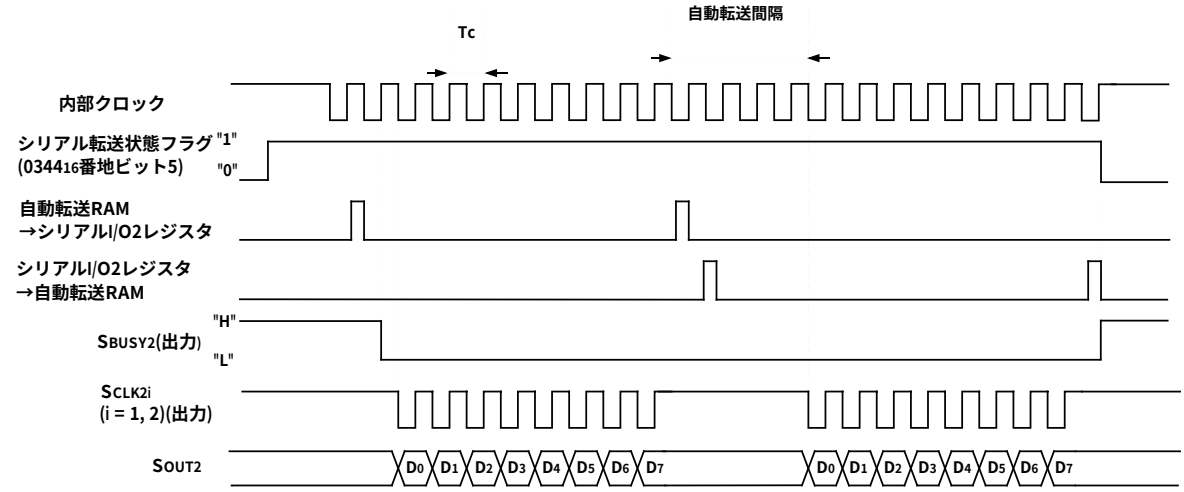
動作モード　：自動転送シリアルI/Oモード
転送クロック　：内部同期クロック
SBUSY2出力タイミング　：1バイトごと



Tc : 0348₁₆番地のビット5～ビット7で選択した内部同期クロック

●SBUSY2出力を使用したシリアル動作

動作モード　：自動転送シリアルI/Oモード
転送クロック　：内部同期クロック
SBUSY2出力タイミング　：全転送ごと

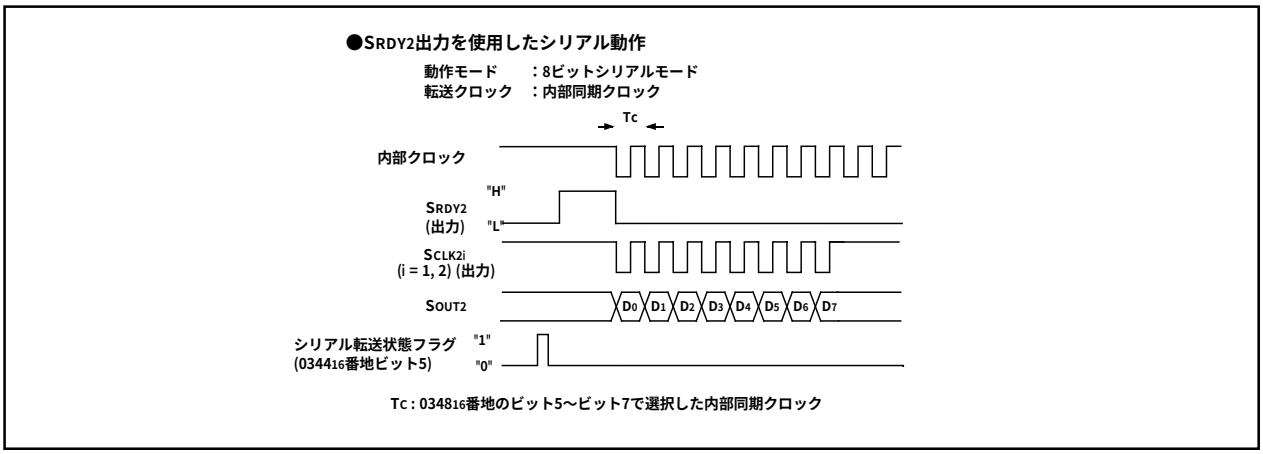


Tc : 0348₁₆番地のビット5～ビット7で選択した内部同期クロック

図GA-11.　SBUSY2出力の動作(3)

(4)SRDY2出力信号

SRDY2出力は、シリアル転送先に送受信準備ができたことを伝える信号です。初期状態(I/O初期化ビット(0342₁₆番地のビット4)=“0”)では、SRDY2出力は“L”($\overline{\text{SRDY2}}$出力は“H”)になります。シリアルI/O2レジスタ(0346₁₆番地)に送信データを書き込んだとき、SRDY2出力は“H”($\overline{\text{SRDY2}}$出力は“L”)になります。送受信動作が始まり転送クロックが“L”になると、SRDY2出力は“L”($\overline{\text{SRDY2}}$出力は“H”)になります。



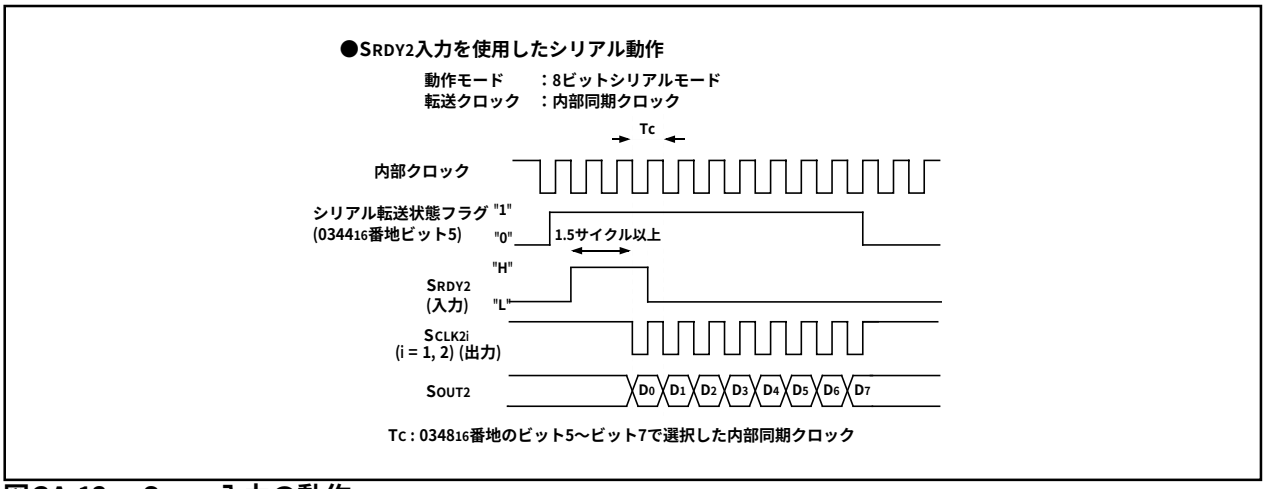
図GA-12.　SRDY2出力の動作

(5)SRDY2入力信号

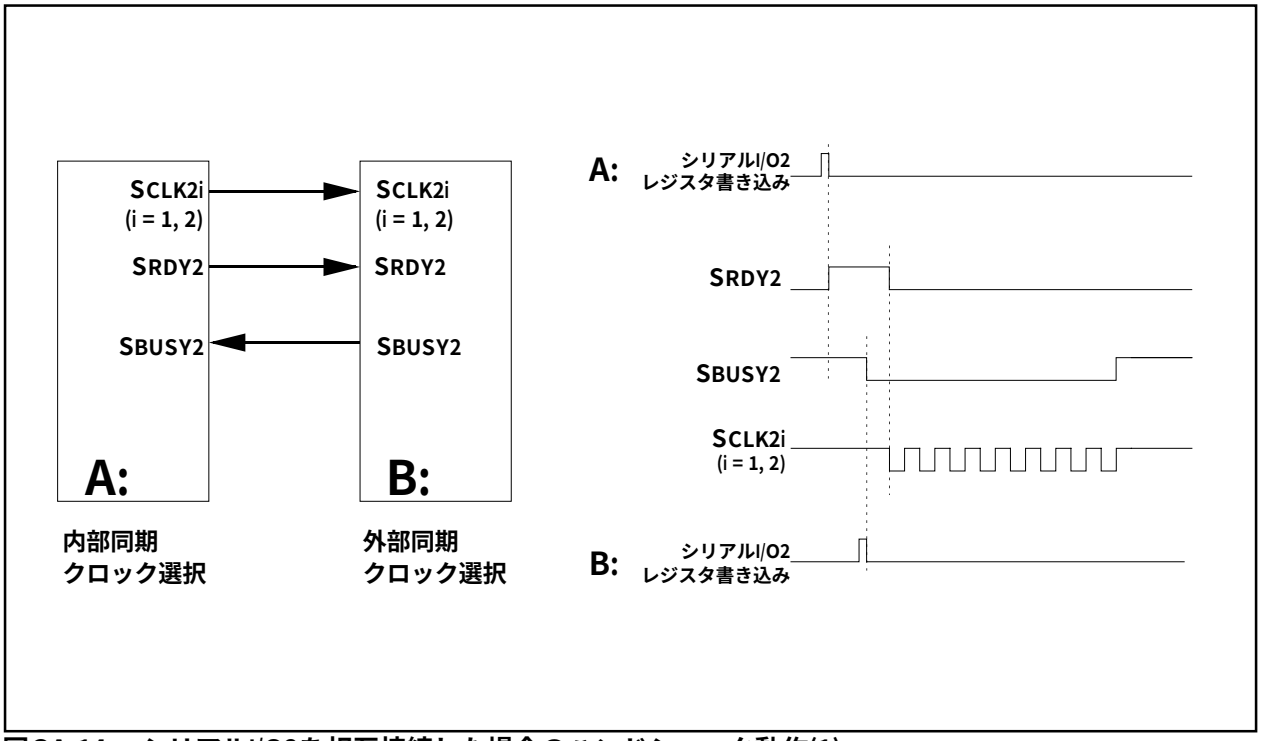
SRDY2入力信号は、シリアル転送先から送受信の準備完了を示す信号で、SRDY2入力およびSBUSY2出力の使用時のみ有効となります。

内部同期クロックを選択した場合、初期状態(I/O初期化ビット(0342₁₆番地のビット4)=“0”)では、SRDY2入力に“L”($\overline{\text{SRDY2}}$入力に“H”)を入力してください。SRDY2入力に、転送クロックの1.5サイクル以上の“H”($\overline{\text{SRDY2}}$入力に“L”)を入力すると、SCLK2i(i = 1、2)から転送クロックを出力し、送受信動作を開始します。送受信動作中に、SRDY2入力に“L”($\overline{\text{SRDY2}}$入力に“H”)を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、SCLK2i(i = 1、2)から転送クロックを出力します。8ビットシリアルI/O、自動転送シリアルI/Oとも8ビットがハンドシェークの単位となります。

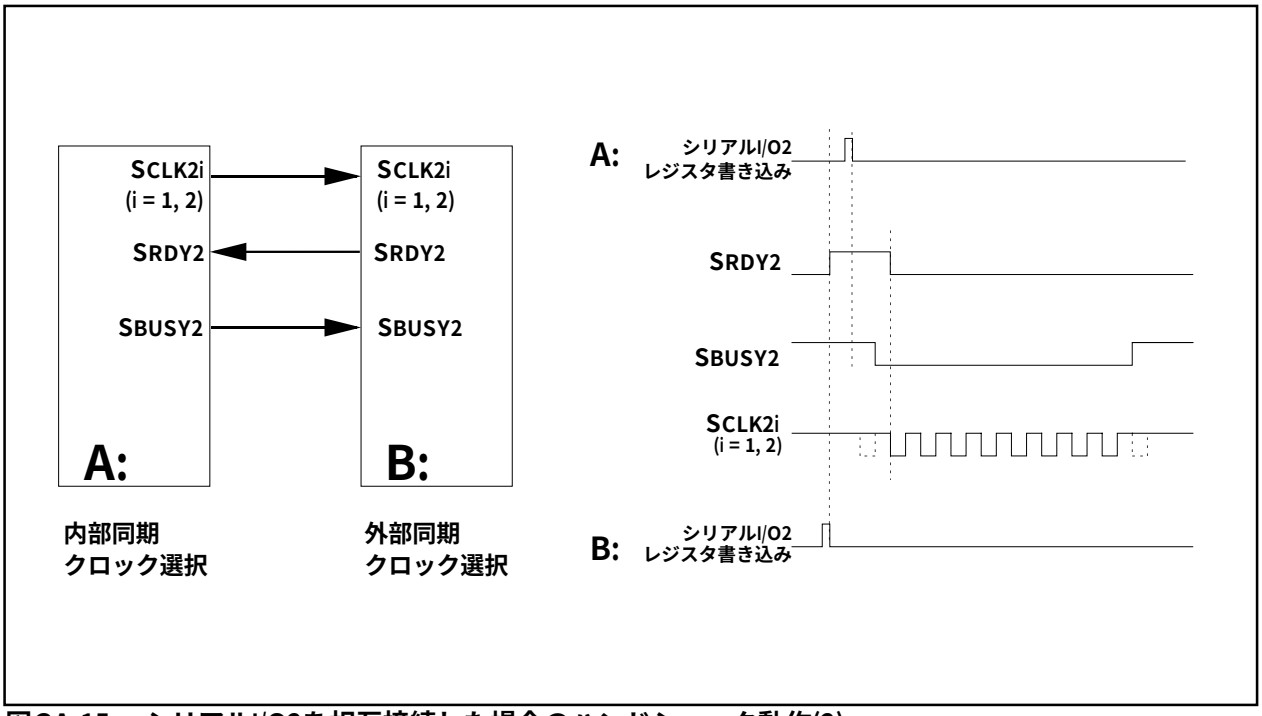
外部同期クロックを選択した場合、SRDY2入力は、SBUSY2信号を出力するためのトリガの1つとなります。送受信動作を開始(SBUSY2出力が“L”($\overline{\text{SBUSY2}}$出力が“H”))するためには、SRDY2入力に“H”($\overline{\text{SRDY2}}$入力に“L”)を入力し、かつ、シリアルI/O2レジスタ(0346₁₆番地)に送信データを書き込む必要があります。



図GA-13.　SRDY2入力の動作



図GA-14.　シリアルI/O2を相互接続した場合のハンドシェーク動作(1)



図GA-15.　シリアルI/O2を相互接続した場合のハンドシェーク動作(2)

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P10_0$～$P10_7$と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット($03D7_{16}$番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

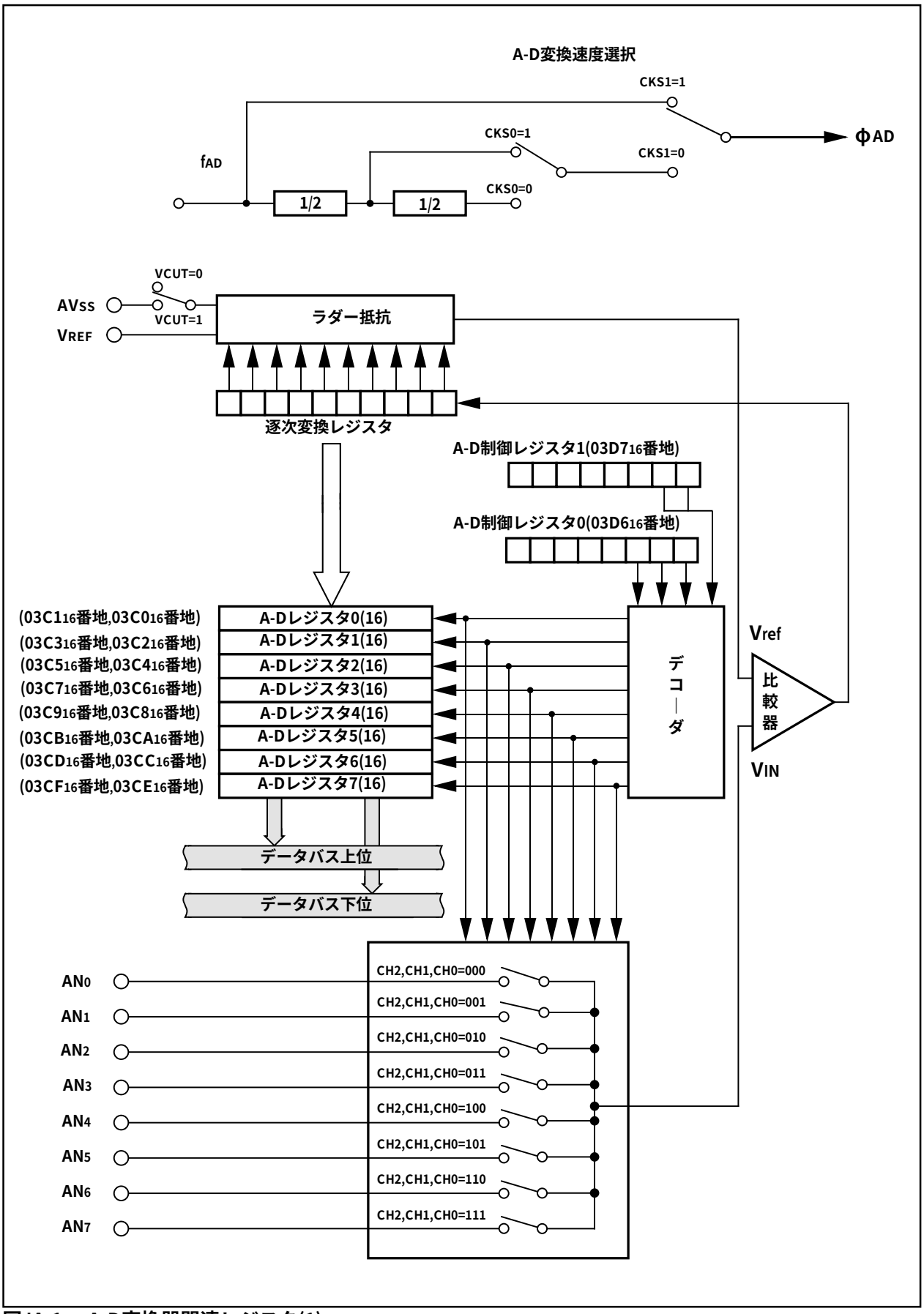
A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表JA-1にA-D変換器の性能を、図JA-1にA-D変換器のブロック図を、図JA-2、図JA-3にA-D変換器関連のレジスタを示します。

表JA-1　A-D変換器の性能

項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックϕ_{AD}(注2)	V_{CC} = 5Vのとき　f_{AD}/f_{AD}の2分周/f_{AD}の4分周、f_{AD}=f(X_{IN}) V_{CC} = 3Vのとき　f_{AD}の2分周/f_{AD}の4分周、f_{AD}=f(X_{IN})(注3)
分解能	8/10ビット選択可能
絶対精度	V_{CC} = 5Vのとき ●サンプル&ホールド機能なし ±3LSB ●サンプル&ホールド機能あり(分解能8ビット) ±2LSB ●サンプル&ホールド機能なし(分解能10ビット) ±3LSB V_{CC} =3Vのとき(注3) ●サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN_0～AN_7)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49ϕ_{AD}サイクル、分解能10ビットの場合59ϕ_{AD}サイクル ●サンプル&ホールドあり 分解能8ビットの場合28ϕ_{AD}サイクル、分解能10ビットの場合33ϕ_{AD}サイクル

注1.　サンプル&ホールド機能の有無に依存しません。
注2.　サンプル&ホールド機能なしのときϕ_{AD}の周波数は250kHz以上にしてください。
　　サンプル&ホールド機能ありのときϕ_{AD}の周波数は1MHz以上にしてください。
注3.　マスクROM版のみ



図JA-1.　A-D変換器関連レジスタ(1)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 繰り返し掃引モード1	○	○
MD1			○	○
このビットは“0”に設定してください。			○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

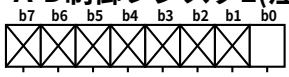
ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0～ AN_3(4端子) 1 0 : AN_0～ AN_5(6端子) 1 1 : AN_0～ AN_7(8端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～ AN_2(3端子) 1 1 : AN_0～ AN_3(4端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
このビットは“0”に設定してください。			○	○
			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-2.　A-D変換器関連レジスタ(2)

A-D制御レジスタ2(注1)

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$XXXXXXX0_2$

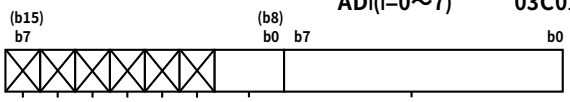


ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は“0”。			—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	$03C0_{16}$番地～$03CF_{16}$番地	不定



機　　能	R	W
A-D変換結果の下位8ビット	○	×
●10ビットモード時 AD変換結果の上位2ビット	○	×
●8ビットモード時 読み出した場合、その内容は不定	×	×
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は“0”。	—	—

図JA-3.　A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表JA-2に単発モードの仕様、図JA-4に単発モード時のA-D制御レジスタ構成を示します。

表JA-2. 単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0			

シンボル ADCON0　アドレス $03D6_{16}$番地　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択	○ ○
CH1			○ ○
CH2			○ ○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード	○ ○
MD1			○ ○
このビットは“0”に設定してください。			○ ○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○ ○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○ ○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル ADCON1　アドレス $03D7_{16}$番地　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○ ○
SCAN1			○ ○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○ ○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○ ○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○ ○
VCUT	Vref接続ビット	1 : Vref接続	○ ○
このビットは“00”に設定してください。			○ ○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表JA-3に繰り返しモードの仕様、図JA-5に繰り返しモード時のA-D制御レジスタ構成を示します。

表JA-3. 繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード	○	○
MD1			○	○
このビットは“0”に設定してください。			○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
このビットは“00”に設定してください。			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-5. 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表JA-4に単掃引モードの仕様、図JA-6に単掃引モード時のA-D制御レジスタ構成を示します。

表JA-4. 単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0、AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN0～AN7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0			

シンボル ADCON0　アドレス $03D6_{16}$番地　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
このビットは“0”に設定してください。			○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル ADCON1　アドレス $03D7_{16}$番地　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
このビットは“00”に設定してください。			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-6. 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表JA-5に繰り返し掃引モード0の仕様、図JA-7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表JA-5. 繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0、AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
このビットは“0”に設定してください。			○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
このビットは“00”に設定してください。			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-7. 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表JA-6に繰り返し掃引モード1の仕様、図JA-8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表JA-6. 繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子　　AN_0(1端子)、AN_0、AN_1(2端子)、AN_0～AN_2(3端子)、AN_0～AN_3(4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	1			

シンボル ADCON0　　アドレス $03D6_{16}$番地　　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
このビットは“0”に設定してください。			○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			1		

シンボル ADCON1　　アドレス $03D7_{16}$番地　　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0,AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“1”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
このビットは“00”に設定してください。			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図JA-8. 繰り返し掃引モード1時のA-D制御レジスタ

■サンプル&ホールド

A-D制御レジスタ2(03D4$_{16}$番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28φ$_{AD}$サイクル、分解能10ビットの場合33φ$_{AD}$サイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA-D変換を開始してください。

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

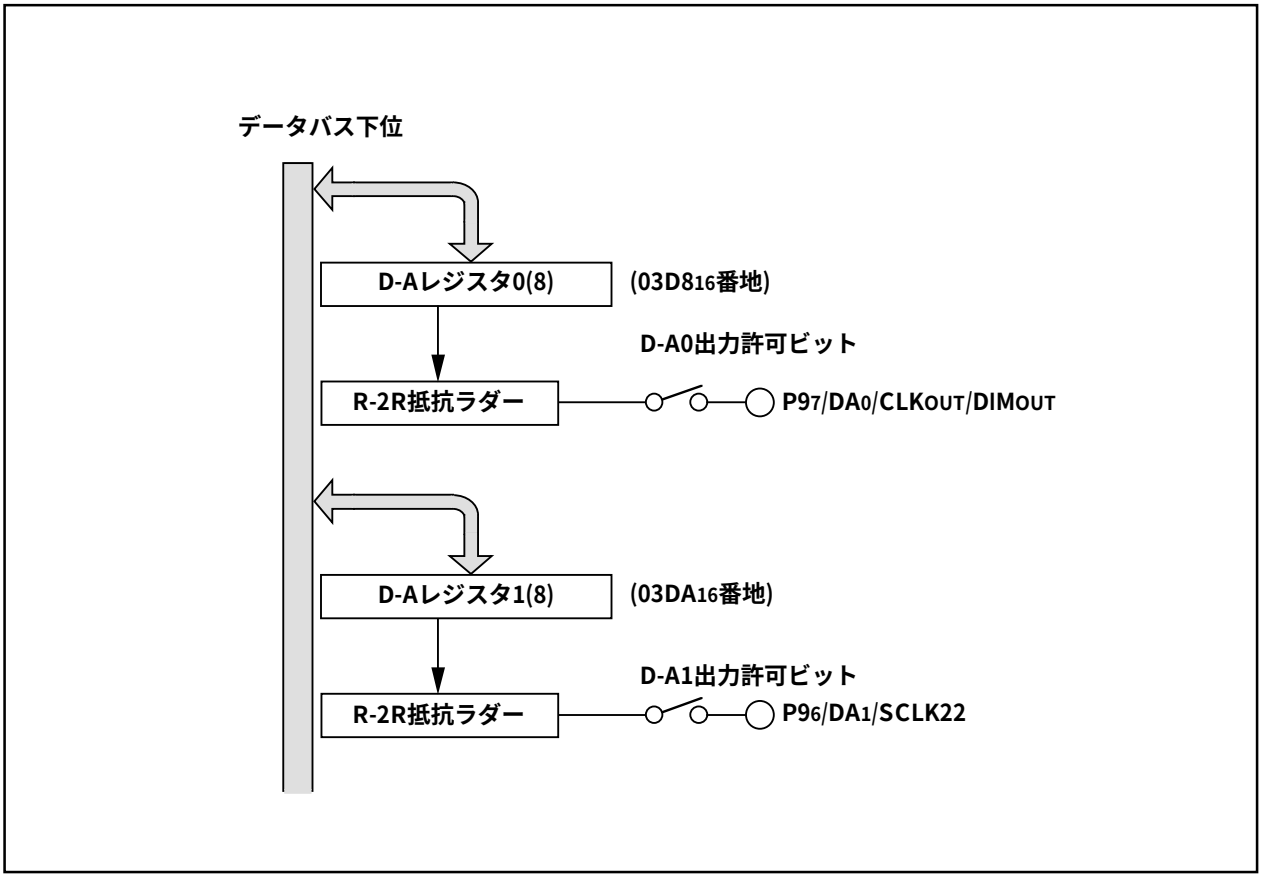
$V=V_{REF}\times n/256$(n=0～255)

V_{REF}:基準電圧

表JB-1にD-A変換器の性能を、図JB-1にD-A変換器のブロック図を、図JB-2にD-A制御レジスタの構成を、図JB-3にD-A変換器の等価回路を示します。

表JB-1.　D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル



図JB-1.　D-A変換器のブロック図

D-A制御レジスタ

シンボル	アドレス	リセット時
DACON	03DC16番地	0016

b7	b6	b5	b4	b3	b2	b1	b0
☒	☒	☒	☒	☒	☒		

ビットシンボル	ビット名	機　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

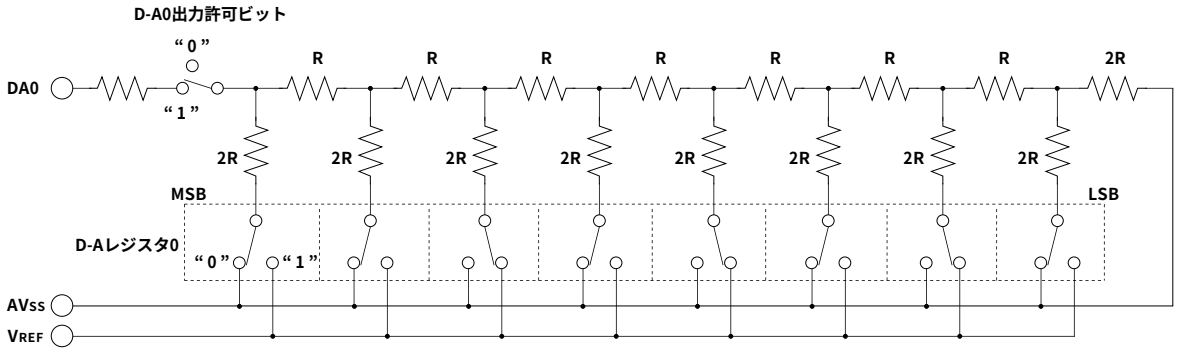
D-Aレジスタ

シンボル	アドレス	リセット時
DAi(0,1)	03D816、03DA16番地	不定

b7 b0

機　能	R	W
D-A変換の出力値	○	○

図JB-2.　D-A制御レジスタの構成



注1.　上図はD-Aレジスタの値が“2A16”の場合です。
注2.　この回路はD-A1においても同一です。
注3.　D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“0”とし、D-Aレジスタを“0016”として、R-2Rの抵抗に電流が流れないようにしてください。

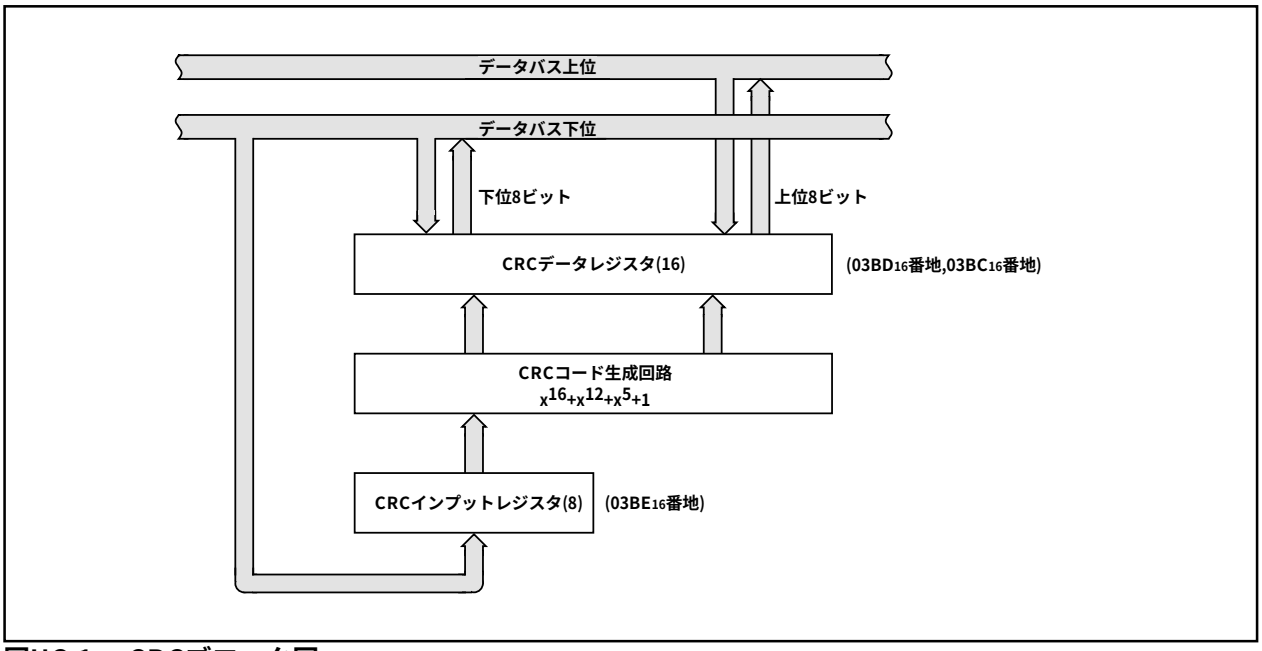
図JB-3.　D-A変換器の等価回路

CRC演算回路

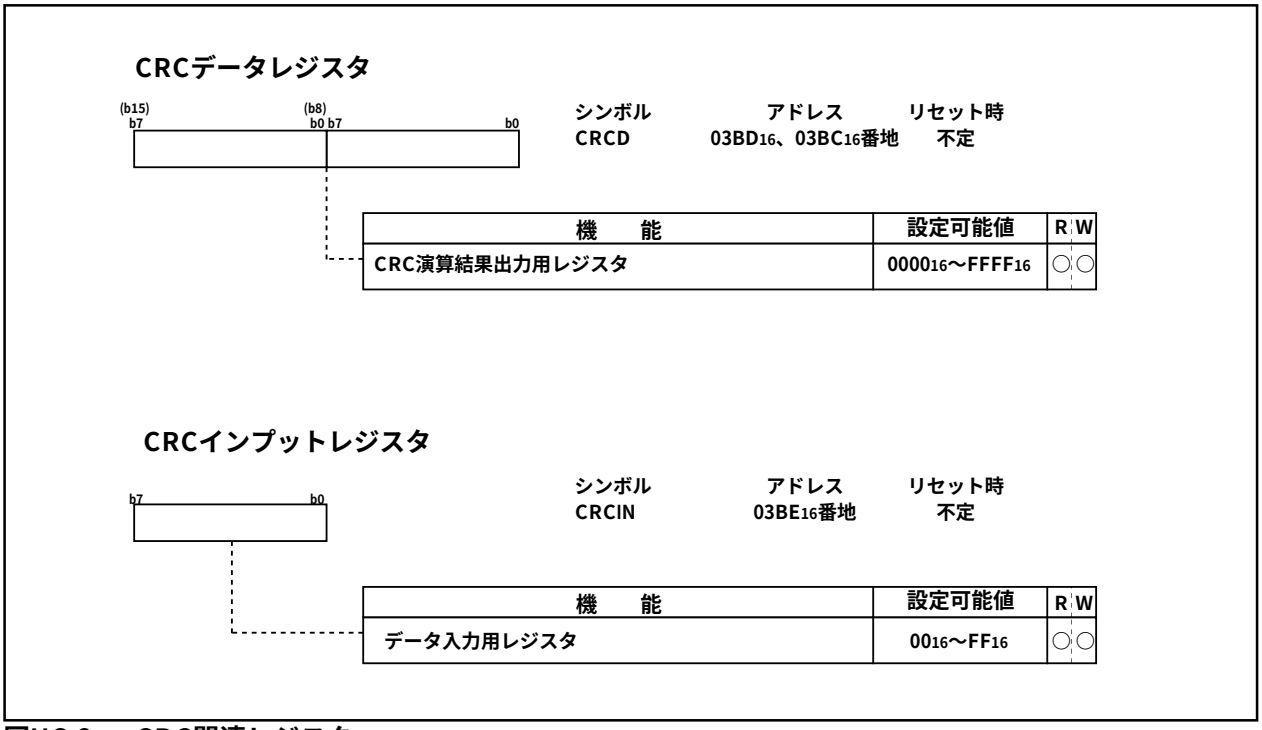
CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^{5}+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送する毎に、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

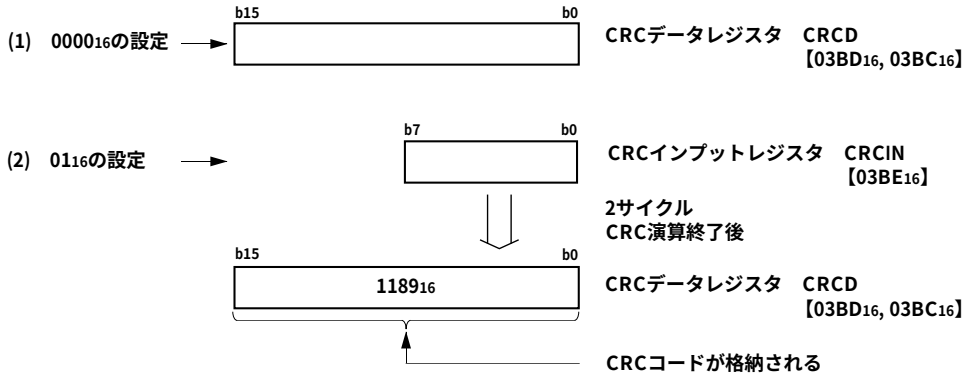
図UC-1にCRCのブロック図、図UC-2にCRCの関連レジスタを示します。また、図UC-3にCRC演算回路の演算例を示します。



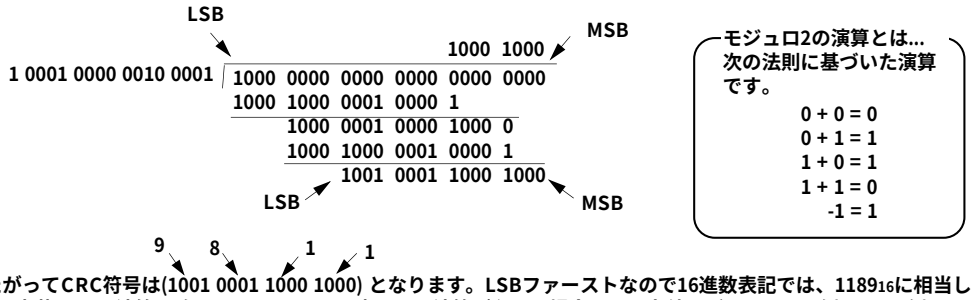
図UC-1.　CRCブロック図



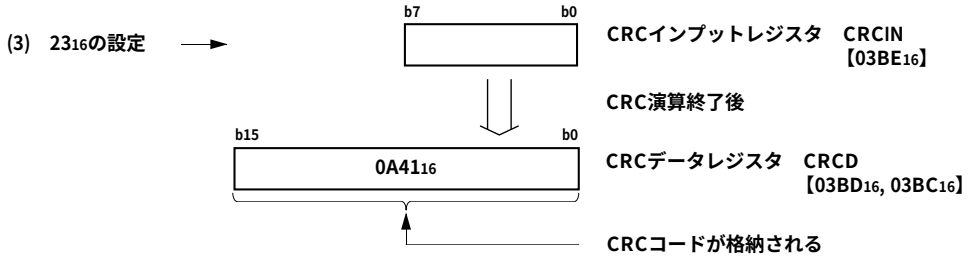
図UC-2.　CRC関連レジスタ



01₁₆をLSBファーストで送信した場合のコードは(1000 0000)です。したがって、生成多項式 $X^{16}+X^{12}+X^{5}+1$ でのCRCコードは、(1000 0000)X^{16}を(1 0001 0000 0010 0001)でモジュロ2の演算で除算を行った剰余になります。



したがってCRC符号は(1001 0001 1000 1000) となります。LSBファーストなので16進数表記では、1189₁₆に相当します。
M16C内蔵のCRC演算回路でMSBファースト時のCRC演算が必要な場合は、入力値のビットをLSB側とMSB側を入れ替えてCRC演算を実行してください。そして、CRCデータに格納された結果もMSBとLSBを入れ替えてご使用ください。



図UC-3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P3、P4、P7～P10の48本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。

P3、$P4_0$～$P4_3$は高耐圧Pchオープンドレイン出力でプルダウン抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図UA-1、図UA-2に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図UA-3に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(2) ポートレジスタ

ポートレジスタの構成を、図UA-4に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図UA-5に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

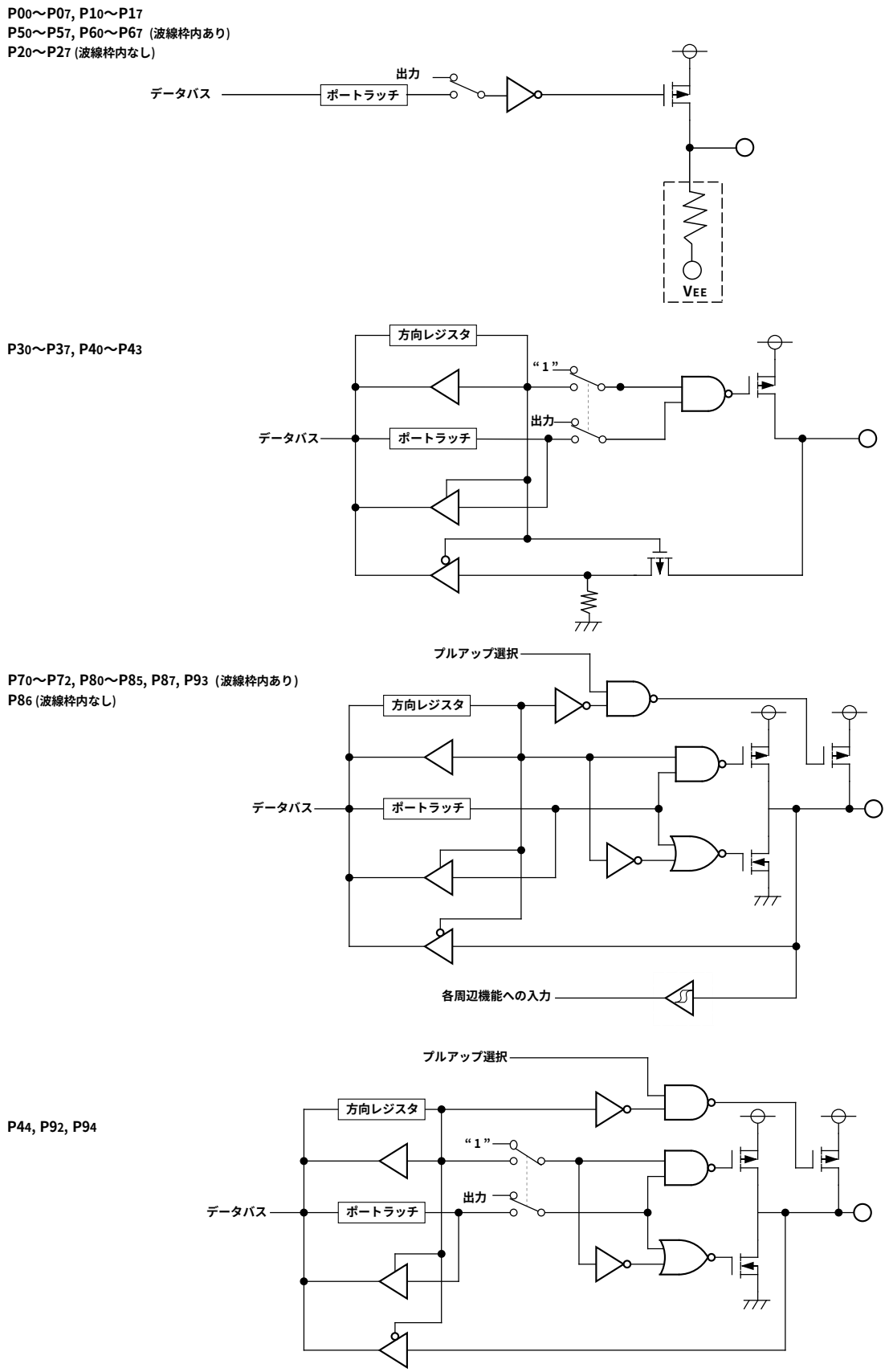
注1. P3、$P4_0$～$P4_3$は高耐圧Pchオープンドレイン出力のため、プルアップ制御レジスタは存在していません。

高耐圧出力専用ポート

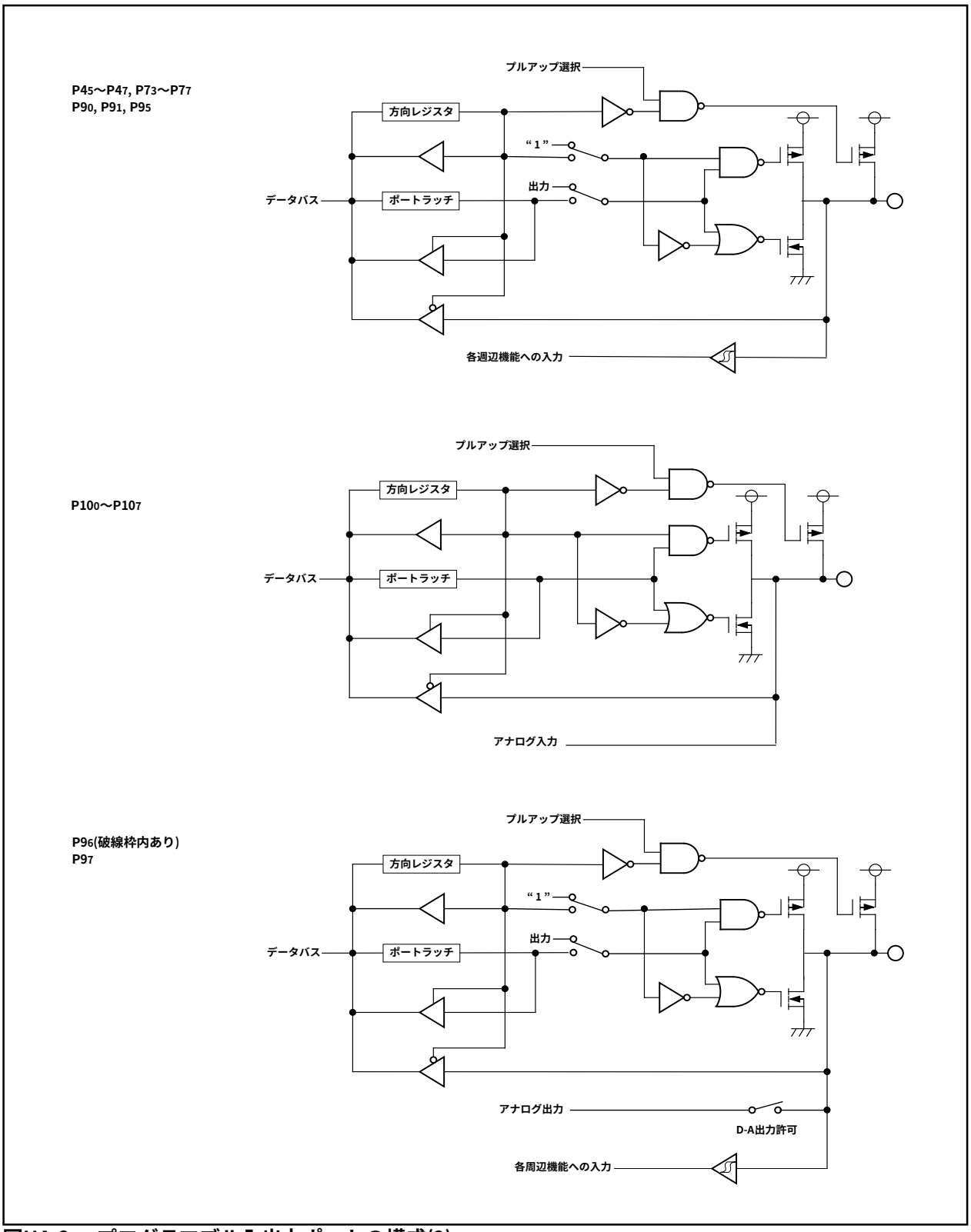
出力専用ポートは、P0～P2、P5、P6の40本あります。

すべてのポートは、高耐圧Pchオープンドレインで構成しています。またP2以外は、プルダウン抵抗が内蔵されています。

高耐圧出力専用ポートの構成を図UA-1に示します。



図UA-1.　プログラマブル入出力ポートの構成(1)



図UA-2.　プログラマブル入出力ポートの構成(2)

ポートPi方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PDi(i=3～10 ただし5,6は除く)	$03E7_{16}$,$03EA_{16}$番地	00_{16}
	$03EF_{16}$,$03F2_{16}$,$03F3_{16}$,$03F6_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=3～10 ただし5,6は除く)	○	○
PDi_1	ポートPi1方向レジスタ		○	○
PDi_2	ポートPi2方向レジスタ		○	○
PDi_3	ポートPi3方向レジスタ		○	○
PDi_4	ポートPi4方向レジスタ		○	○
PDi_5	ポートPi5方向レジスタ		○	○
PDi_6	ポートPi6方向レジスタ		○	○
PDi_7	ポートPi7方向レジスタ		○	○

図UA-3.　方向レジスタの構成

ポートPiレジスタ

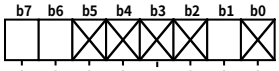
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
Pi(i=0～10)	$03E0_{16}$,$03E1_{16}$,$03E4_{16}$,$03E5_{16}$,$03E8_{16}$番地	不定
	$03E9_{16}$,$03EC_{16}$,$03ED_{16}$,$03F0_{16}$,$03F1_{16}$,$03F4_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル (i=0～10)	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

図UA-4.　ポートレジスタの構成

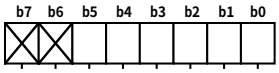
プルアップ制御レジスタ0



シンボル	アドレス	リセット時
PUR0	$03FD_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—
PU01	$P4_4$～$P4_7$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし　1：プルアップあり	○	○
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—
PU06	$P7_0$～$P7_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU07	$P7_4$～$P7_7$のプルアップ		○	○

プルアップ制御レジスタ1



シンボル	アドレス	リセット時
PUR1	$03FE_{16}$番地	00_{16}

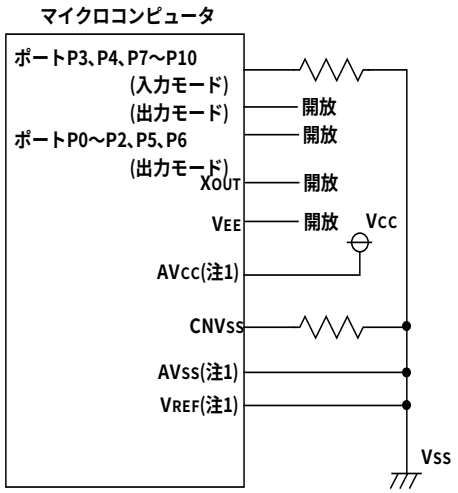
ビットシンボル	ビット名	機　　能	R	W
PU10	$P8_0$～$P8_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU11	$P8_4$～$P8_7$のプルアップ		○	○
PU12	$P9_0$～$P9_3$のプルアップ		○	○
PU13	$P9_4$～$P9_7$のプルアップ		○	○
PU14	$P10_0$～$P10_3$のプルアップ		○	○
PU15	$P10_4$～$P10_7$のプルアップ		○	○
		何も配置されていない。	—	—
		書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

図UA-5.　プルアップ制御レジスタの構成

表UA-1.　未使用端子の処理例

端　子　名	処　理　内　容
ポートP3、P4、P7～P10	出力モードに設定し、端子を開放するか、または入力モードに設定し、抵抗を介してVssに接続(プルダウン)
ポートP0～P2、P5、P6	端子を開放する
XOUT(注1), VEE	開放
AVCC	Vccに接続(注2)
AVSS, VREF	Vssに接続(注2)
CNVSS	抵抗を介してVssに接続

注1.　XIN端子に外部クロックを入力しているとき
注2.　バイパスコンデンサを接続してください



注1.　バイパスコンデンサを接続してください。

図UA-6.　未使用端子の処理例

消費電力の計算方法

（マイコンの規格より決まる定数）
・高耐圧ポートのVOH出力の降下電圧　2V(最大)；|電流値|=18mA時
・抵抗値　68kΩ(最小)
・内部回路の消費電力(CPU、ROM、RAMなど)＝5V×38mA＝190mW

（ご使用条件により決まる定数）
・VEE端子への印加電圧　VCC－50V
・タイミング数　a、実ディジット数　b本、セグメント数　c本
・Tdisp時間に対するToff時間の比　1／16
・繰り返し周期中に実点灯するセグメント数　d
・繰り返し周期中の総セグメント数e(＝a×c)
・内蔵抵抗の合計本数　(ディジット用　f本、セグメント用　g本)
・ディジット端子電流値　h（mA）
・セグメント端子電流値　i（mA）

(1)ディジット端子の消費電力
{h×b×(1－Toff／Tdisp)×電圧}／a
(2)セグメント端子の消費電力
{i×d×(1－Toff／Tdisp)×電圧}／a
(3)プルダウン抵抗の消費電力(ディジット)
{ディジット1本当りの消費電力×(b×f／b)×(1－Toff／Tdisp)}／a
(4)プルダウン抵抗の消費電力(セグメント)
{セグメント1本当りの消費電力×(d×g／c)×(1－Toff／Tdisp)}／a
(5)内部回路の消費電力(CPU、ROM、RAM　など。)　＝　190mW

(1)　+　(2)　+　(3)　+　(4)　+　(5)　=　XmW

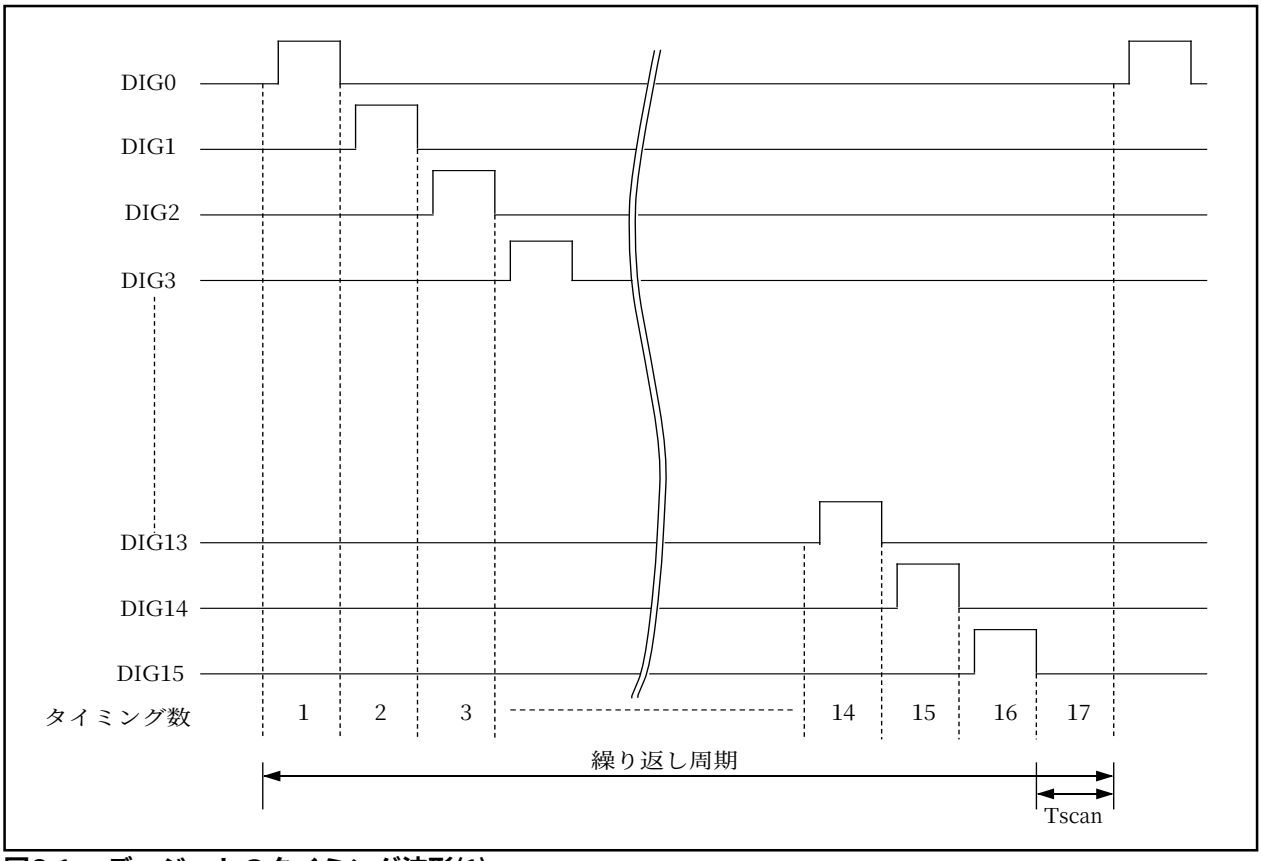
消費電力の計算例１

（マイコンの規格より決まる定数）
・高耐圧ポートのVOH出力の降下電圧　2V(最大)；電流値 =18mA時
・抵抗値　68kΩ(最小)
・内部回路の消費電力(CPU、ROM、RAMなど)=5V×38mA=190mW

（ご使用条件により決まる定数）
・VEE端子への印加電圧　VCC－50V
・タイミング数　17、実ディジット数　16本、セグメント数　20本
・Tdisp時間に対するToff時間の比　1／16
・繰り返し周期中に実点灯するセグメント数　31
・繰り返し周期中の総セグメント数 340（＝17×20）
・内蔵抵抗の合計本数　(ディジット用　16本、セグメント用　20本)
・ディジット端子電流値　18（mA）
・セグメント端子電流値　　3（mA）

(1)ディジット端子の消費電力
{18×16×（1－1／16）×2}／17＝31.77mW
(2)セグメント端子の消費電力
{3×31×（1－1／16）×2}／17＝10.26mW
(3)プルダウン抵抗の消費電力(ディジット)
$(50-2)^2$／68×（16×16／16）×（1－1／16）／17＝29.90mW
(4)プルダウン抵抗の消費電力(セグメント)
$(50-2)^2$／68×（31×20／20）×（1－1／16）／17＝57.93mW
(5)内部回路の消費電力(CPU、ROM、RAM　など。)　＝190.00mW

(1)　+　(2)　+　(3)　+　(4)　+　(5)　＝　319.86mW



図S-1.　ディジットのタイミング波形(1)

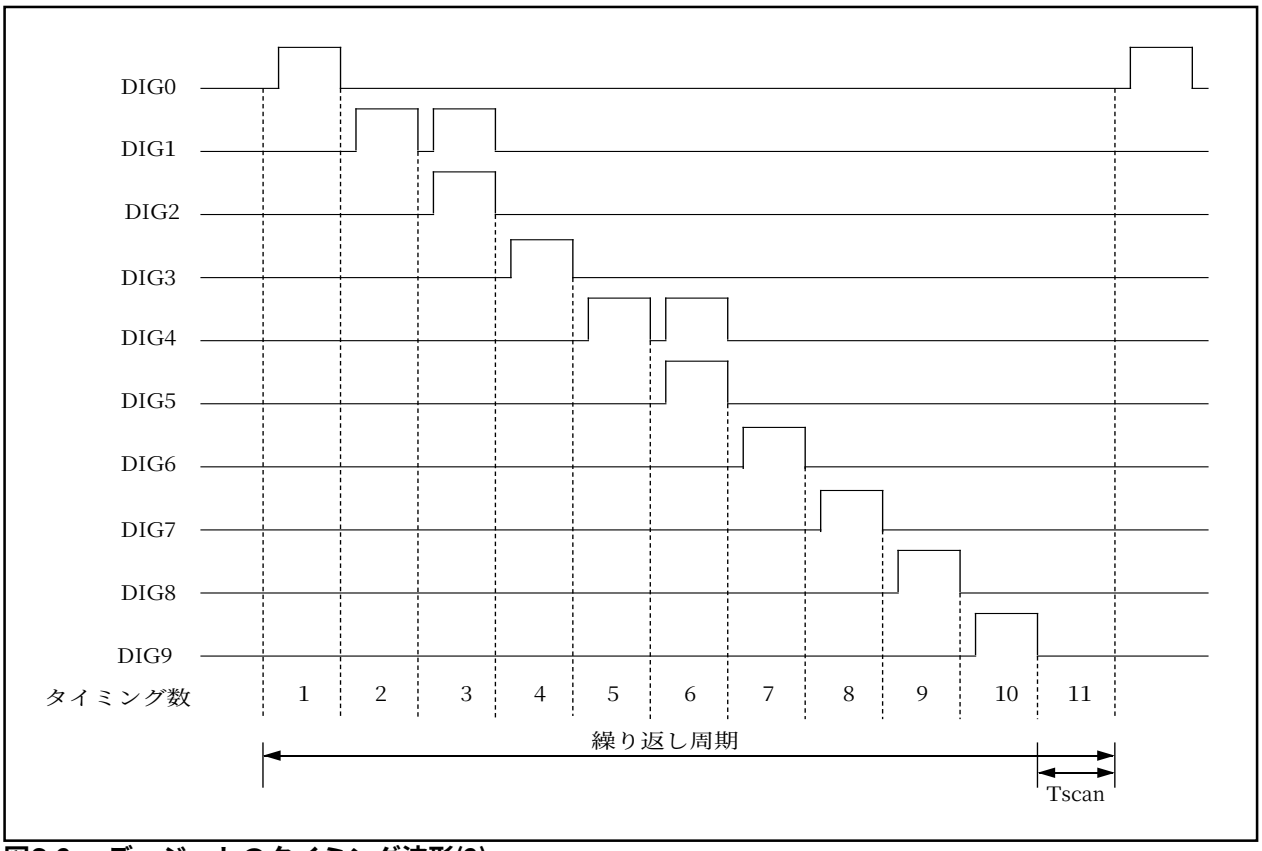
消費電力の計算例2（2本以上のディジットが同時にONする場合）

（マイコンの規格より決まる定数）
・高耐圧ポートのVOH出力の降下電圧　2V(最大)；電流値 =18mA時
・抵抗値　68kΩ(最小)
・内部回路の消費電力(CPU、ROM、RAMなど)=5V×38mA=190mW

（ご使用条件により決まる定数）
・VEE端子への印加電圧　VCC－50V
・タイミング数　11、実ディジット数　12本、セグメント数　24本
・Tdisp時間に対するToff時間の比　1／16
・繰り返し周期中に実点灯するセグメント数　114
・繰り返し周期中の総セグメント数 264(＝11×24)
・内蔵抵抗の合計本数　(ディジット用　10本、セグメント用　22本)
・ディジット端子電流値　18 (mA)
・セグメント端子電流値　 3 (mA)

(1)ディジット端子の消費電力
{18×12×(1－1／16)×2}／11＝36.82mW
(2)セグメント端子の消費電力
{3×114×(1－1／16)×2}／11＝58.30mW
(3)プルダウン抵抗の消費電力(ディジット)
$(50-2)^2$／68×(12×10／12)×(1－1／16)／11＝28.88mW
(4)プルダウン抵抗の消費電力(セグメント)
$(50-2)^2$／68×(114×22／24)×(1－1／16)／11＝301.77mW
(5)内部回路の消費電力(CPU、ROM、RAM　など。)　= 190.00mW

(1)　+　(2)　+　(3)　+　(4)　+　(5)　=　615.77mW　(使用温度の制限あり)



図S-2.　ディジットのタイミング波形(2)

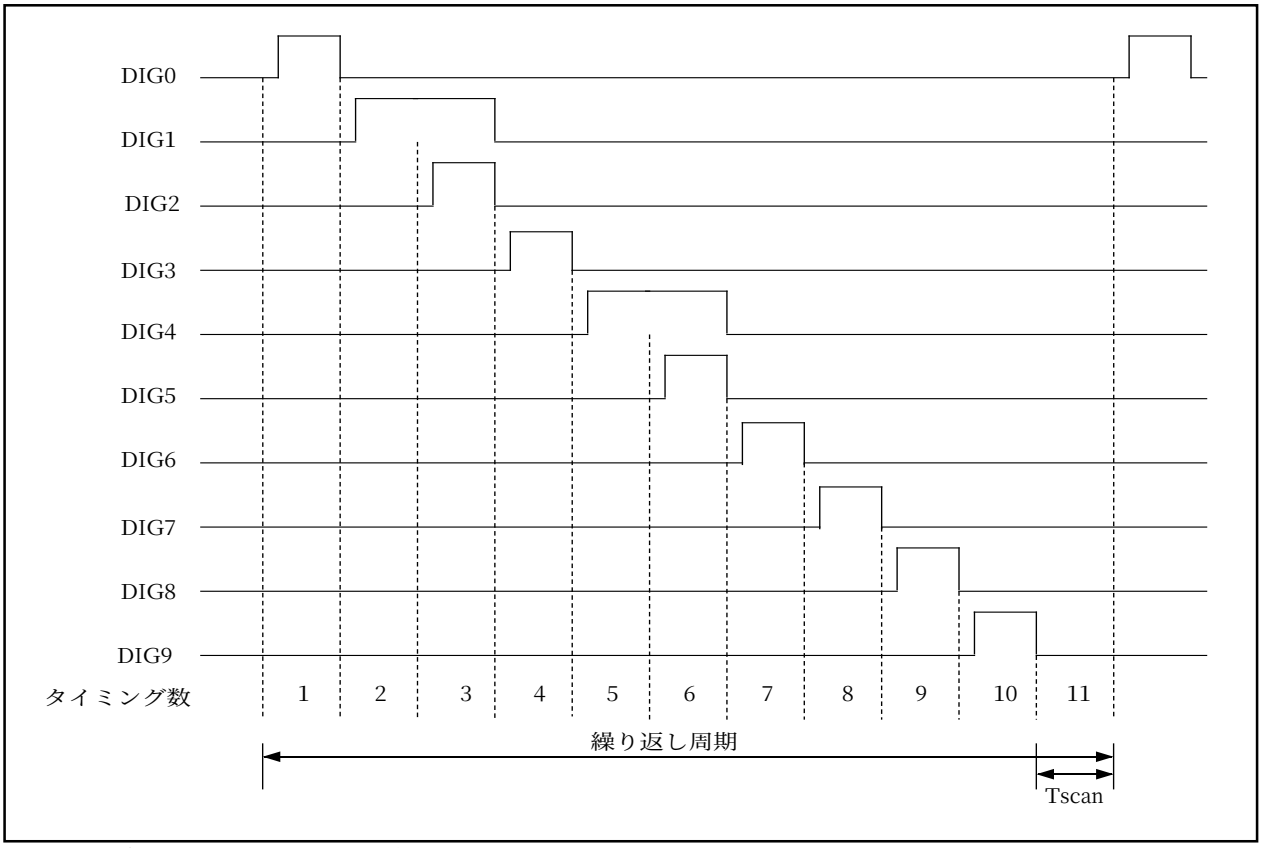
消費電力の計算例3（2本以上のディジットが同時にONする場合で、さらにToff無効機能を使用した場合）

（マイコンの規格より決まる定数）
・高耐圧ポートのVOH出力の降下電圧　2V(最大)；電流値 =18mA時
・抵抗値　68kΩ(最小)
・内部回路の消費電力(CPU、ROM、RAMなど)=5V×38mA=190mW

（ご使用条件により決まる定数）
・VEE端子への印加電圧　VCC－50V
・タイミング数　11、実ディジット数　12本、セグメント数　24本
・Tdisp時間に対するToff時間の比　1／16
・繰り返し周期中に実点灯するセグメント数　114(内　Toff無効波形は50の場合)
・繰り返し周期中の総セグメント数 264(=11×24)
・内蔵抵抗の合計本数　(ディジット用　10本、セグメント用　22本)
・ディジット端子電流値　18 (mA)
・セグメント端子電流値　 3 (mA)

(1)ディジット端子の消費電力
[{18×10×(1－1／16)×2}+{18×2×2}]／11＝37.23mW
(2)セグメント端子の消費電力
[{3×64×(1－1／16)×2}+{3×50×2}]／11＝60.00mW
(3)プルダウン抵抗の消費電力(ディジット)
[{$(50-2)^2$／68×(10×10／12)×(1－1／16)}+{$(50-2)^2$／68×(2×10／12)}]／11= 29.20mW
(4)プルダウン抵抗の消費電力(セグメント)
[{$(50-2)^2$／68×(64×22／24)×(1－1／16)}+{$(50-2)^2$／68×(50×22／24)}]／11= 310.59mW
(5)内部回路の消費電力(CPU、ROM、RAM　など。)　＝ 190.00mW

(1)　+　(2)　+　(3)　+　(4)　+　(5)　＝　627.02mW　(使用温度の制限あり)



図S-3.　ディジットのタイミング波形(3)

表Z-1. 絶対最大定格

記　号	項　　目	条　件	定　格　値	単位
Vcc	電源電圧		−0.3～6.5	V
AVcc	アナログ電源電圧		−0.3～6.5	V
VEE	プルダウン電源電圧		Vcc−50～Vcc+0.3V	V
VI	入力電圧　$\overline{\text{RESET}}$,CNVss, P4₄～P4₇,P7₀～P7₇,P8₀～P8₇, P9₀～P9₇,P10₀～P10₇, VREF,XIN		−0.3～Vcc+0.3 (注1)	V
VI	入力電圧　P3₀～P3₇,P4₀～P4₃		Vcc−50～Vcc+0.3	V
VO	出力電圧　P0₀～P0₇,P1₀～P1₇,P2₀～P2₇, P3₀～P3₇,P4₀～P4₃,P5₀～P5₇, P6₀～P6₇		Vcc−50～Vcc+0.3	V
VO	出力電圧　P4₄～P4₇,P7₀～P7₇,P8₀～P8₇, P9₀～P9₇,P10₀～P10₇, XOUT		−0.3～Vcc+0.3	V
Pd	消費電力	Ta=−20～60℃	750	mW
		Ta=60～85℃	750−12×(Ta-60)	mW
Topr	動作周囲温度		−20～ 85	℃
Tstg	保存温度		−40～150	℃

注1.　CNVssだけフラッシュ書き込み時は−0.3～13 (V)。

表Z-2. 推奨動作条件(指定のない場合は、Vcc=2.7V～5.5V, Ta=−20℃～85℃)(注1)

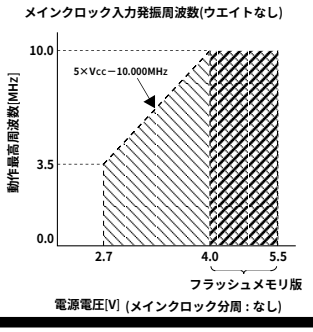
記　号	項　　目	規　格　値			単位
		最　小	標　準	最　大	
Vcc	電源電圧	2.7(注1)	5.0	5.5	V
AVcc	アナログ電源電圧		Vcc		V
Vss	電源電圧		0		V
AVss	アナログ電源電圧		0		V
VEE	プルダウン電源電圧	Vcc−48		Vcc	V
VIH	"H"入力電圧　P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN,$\overline{\text{RESET}}$,CNVss	0.8Vcc		Vcc	V
VIH	"H"入力電圧　P4₄～P4₇	0.50Vcc		Vcc	V
VIH	"H"入力電圧　P3₀～P3₇,P4₀～P4₃	0.52Vcc		Vcc	V
VIL	"L"入力電圧　P7₀～P7₇,P8₀～P8₇,P9₀～P9₇,P10₀～P10₇, XIN,$\overline{\text{RESET}}$,CNVss	0		0.2Vcc	V
VIL	"L"入力電圧　P3₀～P3₇,P4₀～P4₃	0		0.16Vcc	V
VIL	"L"入力電圧　P4₄～P4₇	0		0.16Vcc	V

注1.　フラッシュメモリ版のみVcc=4.0V～5.5V。

表Z-3.　推奨動作条件 (指定のない場合は、Vcc＝2.7～5.5V、Ta＝－20～85°C)(注6)

記　号	項　　目		規格値 最小	規格値 標準	規格値 最大	単位
ΣIOH (peak)	“H”出力総尖頭電流(注1) P00～P07, P50～P57, P60～P67				－240	mA
ΣIOH (peak)	“H”出力総尖頭電流(注1) P10～P17, P20～P27, P30～P37, P40～P43				－240	mA
ΣIOH (peak)	“H”出力総尖頭電流(注1) P44～P47, P70～P77, P80～P85				－80	mA
ΣIOH (peak)	“H”出力総尖頭電流(注1) P86, P87, P90～P97, P100～P107				－80	mA
ΣIOL (peak)	“L”出力総尖頭電流(注1) P44～P47, P70～P77, P80～P85				80	mA
ΣIOL (peak)	“L”出力総尖頭電流(注1) P86, P87, P90～P97, P100～P107				80	mA
ΣIOH (avg)	“H”出力総平均電流(注1) P00～P07, P50～P57, P60～P67				－120	mA
ΣIOH (avg)	“H”出力総平均電流(注1) P10～P17, P20～P27, P30～P37, P40～P43				－120	mA
ΣIOH (avg)	“H”出力総平均電流(注1) P44～P47, P70～P77, P80～P85				－40	mA
ΣIOH (avg)	“H”出力総平均電流(注1) P86, P87, P90～P97, P100～P107				－40	mA
ΣIOL (avg)	“L”出力総平均電流(注1) P44～P47, P70～P77, P80～P85				40	mA
ΣIOL (avg)	“L”出力総平均電流(注1) P86, P87, P90～P97, P100～P107				40	ma
IOH (peak)	“H”出力尖頭電流(注2) P00～P07, P10～P17, P20～P27, P30～P37, P40～P43, P50～P57, P60～P67				－40	mA
IOH (peak)	“H”出力尖頭電流(注2) P44～P47, P70～P77, P80～P87, P90～P97,P100～P107				－10	mA
IOL (peak)	“L”出力尖頭電流(注2) P44～P47, P70～P77, P80～P87, P90～P97,P100～P107				10	mA
IOH (avg)	“H”出力平均電流(注3) P00～P07, P10～P17, P20～P27, P30～P37, P40～P43, P50～P57, P60～P67				－18	mA
IOH (avg)	“H”出力平均電流(注3) P44～P47, P70～P77, P80～P87, P90～P97,P100～P107				－5	mA
IOL (avg)	“L”出力平均電流(注3) P44～P47, P70～P77, P80～P87, P90～P97,P100～P107				5	mA
f(XIN)	メインクロック入力発振周波数 (注4,7)	Vcc=4.0V～5.5V	0		10	MHz
		Vcc=2.7V～4.0V	0		5XVcc-10	MHz
f(XCIN)	サブクロック入力発振周波数(注4,5)			32.768	50	kHz

注1.　出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で総尖頭電流は総和のピーク値です。
注2.　出力尖頭電流は１ポートごとに流れる電流のピーク値を規定します。
注3.　出力平均電流は、100msの期間内での平均値です。
注4.　発振周波数はデューティ50%の場合です。
注5.　低速モードを使用する場合、サブクロック入力発振周波数はf(XCIN)＜f(XIN)/3としてください。
注6.　フラッシュメモリ版のみVcc=4.0V～5.5V。
注7.　メインクロック入力発振周波数と電源電圧の関係を以下に示します。



電気的特性 (Vcc = 5V)

Vcc = 5V

表Z-4. 電気的特性(指定のない場合は、Vcc = 5V, Vss = 0V, Ta=25°C, f(XIN) = 10MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
VOH	"H"出力電圧	P00～P07,P10～P17,P20～P27,P30～P37,P40～P43,P50～P57,P60～P67	IOH=−18mA		3.5			V
			IOH=−5mA		4.5			
VOH	"H"出力電圧	P44～P47,P70～P77,P80～P87,P90～P97,P100～P107	IOH=−5mA		3.0			V
VOH	"H"出力電圧	XOUT	HIGHPOWER	IOH=−1mA	3.0			V
			LOWPOWER	IOH=−0.5mA	3.0			
VOL	"L"出力電圧	P44～P47,P70～P77,P80～P87,P90～P97,P100～P107	IOL=5mA				2.0	V
VOL	"L"出力電圧	XOUT	HIGHPOWER	IOL=1mA			2.0	V
			LOWPOWER	IOL=0.5mA			2.0	
VT+-VT-	ヒステリシス	TA0IN～TA4IN,TB0IN～TB2IN, INT0～INT5, CTS0, CTS1, CLK0,CLK1,SRDY2IN,SBSY2IN, SIN2,SCLK21,SCLK22,RxD0, RxD1			0.2		0.8	V
VT+-VT-	ヒステリシス	RESET			0.2		1.8	V
IIH	"H"入力電流	P44～P47,P70～P77,P80～P87,P90～P97,P100～P107, XIN, RESET, CNVss	VI=5V				5.0	μA
IIH		P30～P37,P40～P43(注1)	VI=5V				5.0	μA
IIL	"L"入力電流	P44～P47,P70～P77,P80～P87,P90～P97,P100～P107, XIN, RESET, CNVss	VI=0V				−5.0	μA
IIL		P30～P37,P40～P43(注1)	VI=0V				−5.0	μA
RPULLUP	プルアップ抵抗	P44～P47,P70～P77, P80～P87,P90～P97, P100～P107	VI=0V		30.0	50.0	167.0	kΩ
RPULLD	プルダウン抵抗	P00～P07,P10～P17, P50～P57,P60～P67	VEE=VCC−48V,VOL=VCC 出力トランジスタは遮断状態		68	80	120	kΩ
ILEAK	出力リーク電流	P00～P07,P10～P17, P20～P27,P30～P37, P40～P44,P50～P57, P60～P67	VEE=VCC−48V,VOL=VCC−48V 出力トランジスタは遮断状態				−10	μA
RfXIN	帰還抵抗 XIN					1.0		MΩ
RfXCIN	帰還抵抗 XCIN					6.0		MΩ
VRAM	RAM保持電圧		クロック停止時		2.0			V
ICC	電源電流(注3)		出力専用端子は開放、その他の端子はVSS。	f(XIN)=10MHz 方形波、分周なし		19.0	38.0	mA
				f(XIN)=10MHz 方形波、8分周		4.2		mA
				f(XCIN)=32kHz 方形波(注2)		90.0		μA
				f(XCIN)=32kHz ウエイト時(注2)		4.0		μA
				クロック停止時 Ta=25°C			1.0	μA
				クロック停止時 Ta=85°C			20.0	

注1. ポートP3、P40～P43読み込み時を除く。
注2. XCIN-XCOUT駆動能力選択ビットは“HIGH”、XIN端子は“H”レベルに固定。
注3. AVCC端子に流れる電流を含む。

Vcc = 5V

表Z-5. A-D変換特性 (指定のない場合は、Vcc = AVcc = VREF = 5V, Vss = AVss = 0V, Ta = 25°C, f(XIN) = 10MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc				10	Bits
–	絶対精度	サンプル&ホールド機能なし	VREF =Vcc = 5V				±3	LSB
		サンプル&ホールド機能あり(10bit)	VREF =Vcc= 5V	AN0～AN7入力			±3	LSB
		サンプル&ホールド機能あり(8bit)	VREF = Vcc = 5V				±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc		10		40	kΩ
tCONV	変換時間(10bit)				3.3			μs
tCONV	変換時間(8bit)				2.8			μs
tSAMP	サンプリング時間				0.3			μs
VREF	基準電圧				2		Vcc	V
VIA	アナログ入力電圧				0		VREF	V

表Z-6. D-A変換特性 (指定のない場合は、Vcc=5V, Vss=AVss=0V, VREF=5V, Ta=25°C, f(XIN)=10MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00_{16} ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D制御レジスタでVref未接続とした場合でもIVREFは流れます。

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

表Z-7.　外部クロック入力

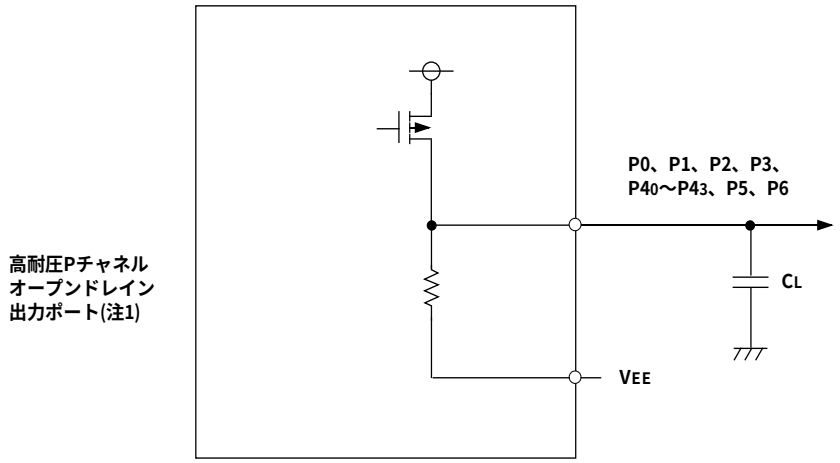
記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

スイッチング条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

表Z-8.　高耐圧Pチャネルオープンドレイン出力ポート

記　号	項　　目	測　定　条　件	規　格　値			単位
			最　小	標　準	最　大	
$t_{r(Pch\text{-}strg)}$	Pチャネル高耐圧出力 立ち上がり時間 (注1)	C_L=100pF V_{EE}=V_{CC}−43V		55		ns
$t_{r(Pch\text{-}weak)}$	Pチャネル高耐圧出力 立ち上がり時間 (注2)	C_L=100pF V_{EE}=V_{CC}−43V		1.8		μs

注1.　FLDCモードレジスタ(0350_{16}番地)のビット7が“0”の場合
注2.　FLDCモードレジスタ(0350_{16}番地)のビット7が“1”の場合



注1.　P2、P3、$P4_0$～$P4_3$については、すべて抵抗は外付け。

図Z-2.　出力スイッチング特性測定回路

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

表Z-9.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	40		ns

表Z-10.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	200		ns

表Z-11.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表Z-12.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表Z-13.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

表Z-14.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	80		ns

表Z-15.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表Z-16.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表Z-17.　シリアルI/O

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表Z-18.　外部割り込み$\overline{INTi}$入力

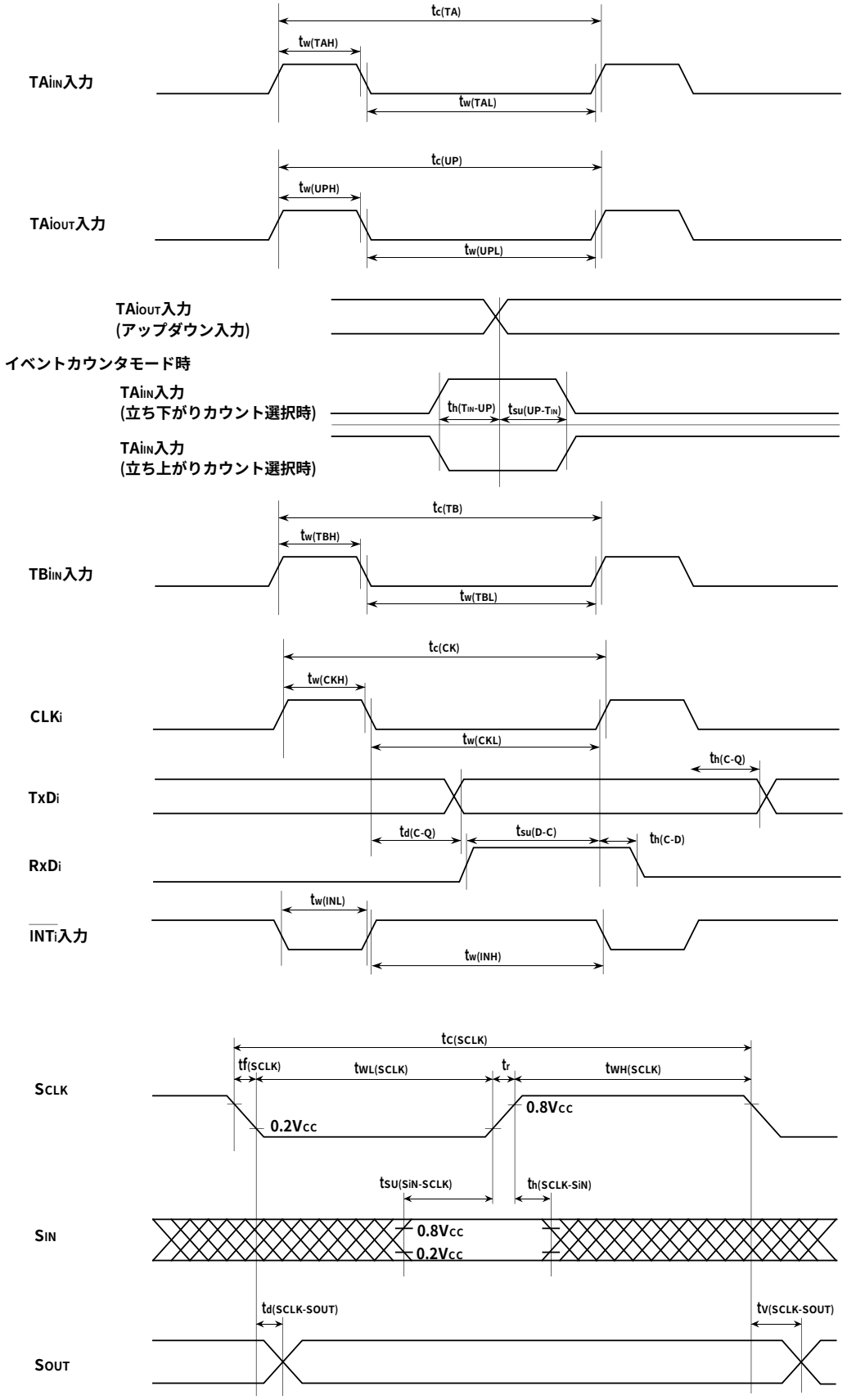
記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

表Z-19.　自動転送機能付きシリアルI/O

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(SCLK)}$	シリアルI/Oクロック入力サイクル時間	0.95		μs
$t_{wH(SCLK)}$	シリアルI/Oクロック入力 “ H ” パルス幅	400		ns
$t_{wL(SCLK)}$	シリアルI/Oクロック入力 “ L ” パルス幅	400		ns
$t_{su(SCLK-SIN)}$	シリアルI/O入力セットアップ時間	200		ns
$t_{h(SCLK-SIN)}$	シリアルI/O入力ホールド時間	200		ns

タイミング図 (Vcc = 5V)

Vcc = 5V用



Vcc = 3V

表Z-20. 電気的特性(指定のない場合は、Vcc = 3V, Vss = 0V, Ta=25°C, f(XIN) = 5MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_3$,$P5_0$～$P5_7$, $P6_0$～$P6_7$	I_{OH}=−18mA		1.5			V
			I_{OH}=−5mA		2.5			
V_{OH}	"H"出力電圧	$P4_4$～$P4_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OH}=−1mA		2.5			V
V_{OH}	"H"出力電圧	X_{OUT}	HIGHPOWER	I_{OH}=−0.1mA	2.5			V
			LOWPOWER	I_{OH}=−50μA	2.5			
V_{OL}	"L"出力電圧	$P4_4$～$P4_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OL}=1mA				0.5	V
V_{OL}	"L"出力電圧	X_{OUT}	HIGHPOWER	I_{OL}=0.1mA			0.5	V
			LOWPOWER	I_{OL}=50μA			0.5	
V_{T+}-V_{T-}	ヒステリシス	$\overline{TA0_{IN}}$～$\overline{TA4_{IN}}$,$\overline{TB0_{IN}}$～$\overline{TB2_{IN}}$, INT_0～INT_5, CTS_0, CTS_1, CLK_0,CLK_1,$SRDY2_{IN}$,$SBSY2_{IN}$, $SIN2$,$\overline{SCLK21}$,$\overline{SCLK22}$ $\overline{RTS0}$,$\overline{RTS1}$			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$			0.2		1.8	V
I_{IH}	"H"入力電流	$P4_4$～$P4_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss	V_I=3V				4.0	μA
I_{IH}	"H"入力電流	$P3_0$～$P3_7$,$P4_0$～$P4_3$(注1)	V_I=3V				4.0	μA
I_{IL}	"L"入力電流	$P4_4$～$P4_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss	V_I=0V				−4.0	μA
I_{IL}	"L"入力電流	$P3_0$～$P3_7$,$P4_0$～$P4_3$(注1)	V_I=0V				−4.0	μA
R_{PULLUP}	プルアップ抵抗	$P4_4$～$P4_7$,$P7_0$～$P7_7$, $P8_0$～$P8_7$,$P9_0$～$P9_7$, $P10_0$～$P10_7$	V_I=0V		66.0	120.0	500.0	kΩ
R_{PULLD}	プルダウン抵抗	$P0_0$～$P0_7$,$P1_0$～$P1_7$, $P5_0$～$P5_7$,$P6_0$～$P6_7$	V_{EE}=V_{CC}−48V,V_{OL}=V_{CC} 出力トランジスタは遮断状態		68	80	120	kΩ
I_{LEAK}	出力リーク電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_4$,$P5_0$～$P5_7$, $P6_0$～$P6_7$	V_{EE}=V_{CC}−48V,V_{OL}=V_{CC}−48V 出力トランジスタは遮断状態				−10	μA
R_{fXIN}	帰還抵抗 X_{IN}					3.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}					10.0		MΩ
V_{RAM}	RAM保持電圧		クロック停止時		2.0			V
Icc	電源電流(注3)		出力専用端子は開放、その他の端子は Vss。	f(X_{IN})=5MHz 方形波、分周なし		6.0	15.0	mA
				f(X_{IN})=5MHz 方形波、8分周		1.6		mA
				f(X_{CIN})＝32kHz 方形波		50.0		μA
				f(X_{CIN})＝32kHz ウエイト時 発振能力 High(注2)		2.8		μA
				f(X_{CIN})＝32kHz ウエイト時 発振能力 Low(注2)		0.9		μA
				クロック停止時 Ta=25°C			1.0	μA
				クロック停止時 Ta=85°C			20.0	

注1. ポートP3、P40～P43読み込み時を除く。

注2. fc32にてタイマ１本を動作させている状態です。

注3. AVcc端子に流れる電流を含む。

Vcc = 3V

表Z-21.　A-D変換特性 (指定のない場合は、Vcc = AVcc = VREF = 3V, Vss = AVss = 0V, Ta = 25°C, f(XIN) = 5MHz)

記　号	項　目		測　定　条　件	規　格　値			単位
				最　小	標　準	最　大	
–	分解能		VREF =Vcc			10	Bits
–	絶対精度	サンプル&ホールド機能あり(8bit)	VREF = Vcc = 3V、φAD=f(XIN)／2			±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc	10		40	kΩ
tCONV	変換時間(8bit)			14			μs
VREF	基準電圧			2.7		Vcc	V
VIA	アナログ入力電圧			0		VREF	V

表Z-22.　D-A変換特性 (指定のない場合は、Vcc=3V, Vss=AVss=0V, VREF=3V, Ta=25°C, f(XIN)=5MHz)

記　号	項　目	測　定　条　件	規　格　値			単位
			最　小	標　準	最　大	
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.0	mA

注1.　D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00_{16} ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D制御レジスタでVref未接続とした場合でもIVREFは流れます。

タイミング (Vcc = 3V、マスク版のみ)

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25°C)

表Z-23.　外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	200		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	85		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	85		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

タイミング (Vcc = 3V、マスク版のみ)

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25°C)

表Z-24.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	60		ns

表Z-25.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	300		ns

表Z-26.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	150		ns

表Z-27.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	150		ns

表Z-28.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1500		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	600		ns

タイミング (Vcc = 3V、マスク版のみ)

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25°C)

表Z-29.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	160		ns

表Z-30.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表Z-31.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表Z-32.　シリアルI/O

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	150		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		160	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

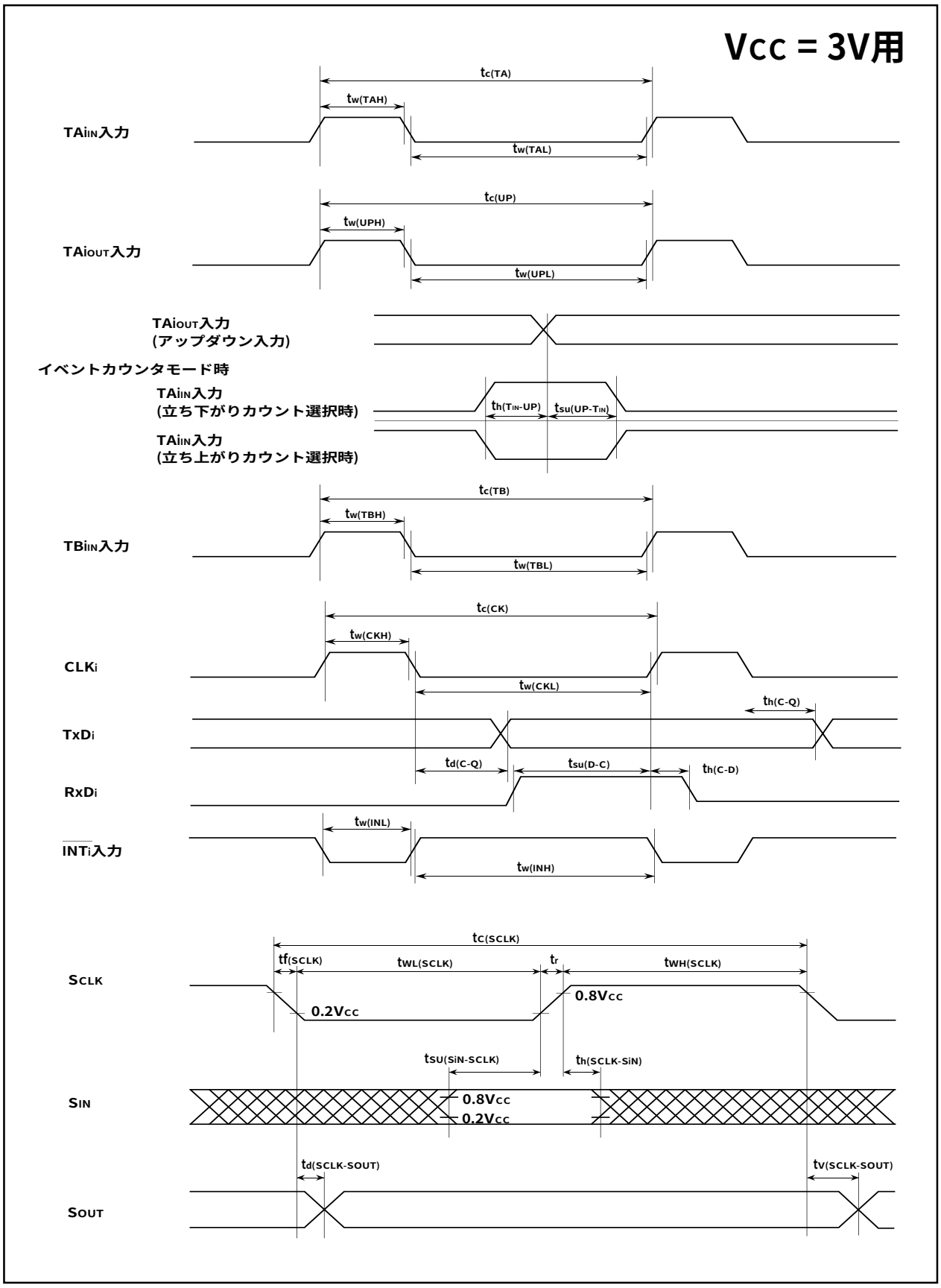
表Z-33.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	380		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	380		ns

表Z-34.　自動転送機能付きシリアルI/O

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(SCLK)}$	シリアルI/Oクロック入力サイクル時間	2.0		μs
$t_{wH(SCLK)}$	シリアルI/Oクロック入力 “ H ” パルス幅	1000		ns
$t_{wL(SCLK)}$	シリアルI/Oクロック入力 “ L ” パルス幅	1000		ns
$t_{su(SCLK-SIN)}$	シリアルI/O入力セットアップ時間	400		ns
$t_{h(SCLK-SIN)}$	シリアルI/O入力ホールド時間	400		ns

タイミング (Vcc = 3V、マスク版のみ)



性能概要

表1.AB.1にM30218グループ(フラッシュメモリ版)の性能概要を示します。

表1.AB.1.　M30218グループ(フラッシュメモリ版)の性能概要

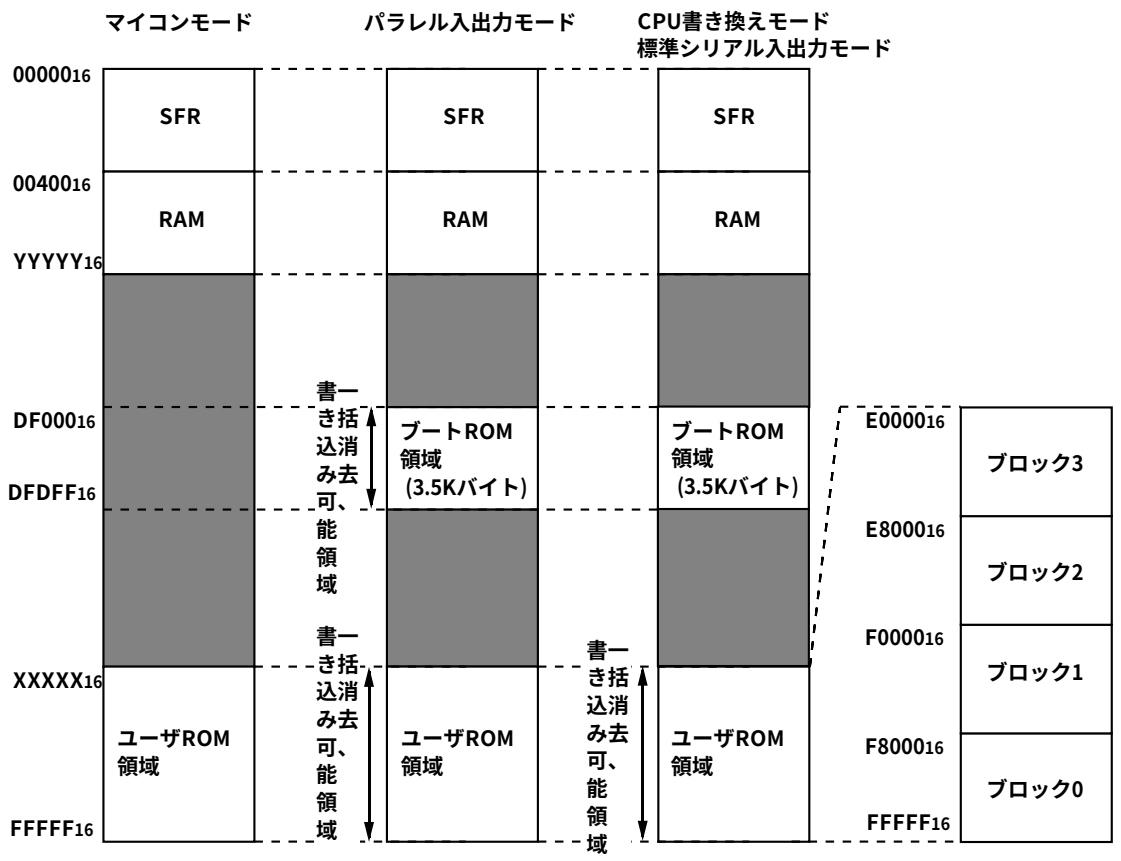
項　　目		性　　能
電源電圧		4.0V～5.5V (f(XIN) = 10MHz)
プログラム/イレーズ電圧		VPP＝12V±5% (f(XIN) = 10MHz)
		VCC＝5V±10% (f(XIN) = 10MHz)
フラッシュメモリの動作モード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.AB.1を参照してください。
	ブートROM領域	1分割(3.5Kバイト) (注1)
プログラム方式		バイト単位
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウエアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		標準シリアルモード対応

注1.　ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

フラッシュメモリ

M30218グループ(フラッシュメモリ版)は、動作用Vcc電源以外に、書き込み/消去用の高電圧Vpp電源が必要なNOR形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。



形　名	XXXXX16	YYYYY16
M30218FC	E00001₆	033FF16

注1.　CPU書き換えモード時および標準シリアル入出力モード時は、ユーザROM領域のみイレーズ、プログラム可能です。
注2.　パラレル入出力モード時は、アドレスA17入力によってイレーズ、プログラムする領域を選択します。“H”のときユーザROM領域が選択され、“L”のときブートROM領域が選択されます。

図1.AB.1.　フラッシュメモリ版のメモリ配置

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、フラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。図1.BB.1、図1.BB.2に、それぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタの構成を示します。

また、CPU書き換えモードでは、CNVSS端子をVPP電源端子として使用します。この端子には、外部からVPPHの電源電圧を印加する必要があります。

CPU書き換えモードでは、図1.AB.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、イレーズのコマンドは、ユーザROM領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、内蔵RAM上で実行させる必要があります。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
0				0			

シンボル	アドレス	リセット時
FCON0	03B4$_{16}$番地	00100000$_2$

ビットシンボル	ビット名	機　能	R	W
FCON00	CPU書き換えモード選択ビット	0：CPU書き換えモード無効 1：CPU書き換えモード有効	○	○
予約ビット	このビットは、書き込みできません。読み出した場合、その値は不定。			
FCON02	CPU書き換えモードモニタフラグ	0：CPU書き換えモード無効 1：CPU書き換えモード有効	○	
予約ビット	必ず“0”を設定して下さい。		○	○
FCON04	イレーズ／プログラム領域選択ビット	b6b5b4 000：ブロック3書き込み消去 001：ブロック2書き込み消去 010：ブロック1書き込み消去 011：ブロック0書き込み消去 110：ブロック0～3消去 111：使用禁止	○	○
FCON05			○	○
FCON06			○	○
予約ビット	必ず“0”を設定して下さい。		○	○

フラッシュメモリ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
FCON1	03B5$_{16}$番地	XXXXXX00$_2$

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定して下さい。	○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				

図1.BB.1.　フラッシュメモリ制御レジスタの構成

フラッシュコマンドレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
FCMD	03B6$_{16}$番地	00$_{16}$

機　能	R	W
ソフトウエアコマンド書き込み <ソフトウエアコマンド名>　<コマンドコード> ・リードコマンド　“00$_{16}$” ・プログラムコマンド　“40$_{16}$” ・プログラムベリファイコマンド　“C0$_{16}$” ・イレーズコマンド　“20$_{16}$”＋“20$_{16}$” ・イレーズベリファイコマンド　“A0$_{16}$” ・リセットコマンド　“FF$_{16}$”＋“FF$_{16}$”	X	○

図1.BB.2.　フラッシュコマンドレジスタの構成

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モード で、 ユーザROM領域またはブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは 使用できなくなります)。

ブートROM領域は、図1.AB.1に示すとおりです。

CNVSS端子を“L”(VSS)としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

CNVSS端子を“H”(VPPH)、ポートP46端子を“H”(VCC)としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

CPU書き換えモードの操作手順

オンボード状態で、CPUからフラッシュメモリ制御レジスタ(03B4$_{16}$、03B5$_{16}$番地)およびフラッシュコマンドレジスタ(03B6$_{16}$番地)へのコマンド書き込みにより、内蔵フラッシュメモリのプログラム、リード、ベリファイ、イレーズが可能です。なお、CPU書き換えモードでのブートROM領域へのプログラム、リード、ベリファイ、イレーズはできません。あらかじめ、パラレル入出力モードでブートROM領域に、CPU書き込み制御プログラムを書き込んでおかなければなりません。以下に、CPU書き換えモードの操作手順を示します。

＜開始手順(注1)＞

(1)CNVSS/VPP端子にVPPH、ポートP46端子にVCCを印加し、リセットを解除する。
または、ユーザROM領域からJMP命令でブートROM領域にジャンプさせCPU書き込み制御プログラムを実行する事も可能です。この場合、フラッシュメモリ制御レジスタのCPU書き込みモード選択ビットに“1”を書き込み、CNVSS/VPP端子にVPPHを印加する。

(2)ブートROM領域のCPU書き換え制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする（この制御プログラムで、以下の動作を制御する）。

(3)CPU書き換えモード選択ビットに“1”を設定する。

(4)CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。

(5)フラッシュコマンドレジスタへのソフトウエアコマンド書き込みにより、フラッシュメモリの操作を実施する。

注1. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、監視タイマへの書き込み等が必要です。

＜解除手順＞

(1)CNVSS/VPP端子にVSSを印加する。

(2)CPU書き換えモード選択ビットに“0”を設定する。

CPU書き換えモード時の注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作周波数

イレーズ/プログラム時は、分周比を変更する等で、BCLKを次の周波数以下に設定してください。
ウエイトビット(000516番地のビット7)=0(内部ウエイトなし)：5MHz以下
ウエイトビット(000516番地のビット7)=1(内部ウエイトあり)（注1）：10MHz以下

(2)使用禁止命令

以下の命令は、フラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

フラッシュメモリ領域内の固定ベクタテーブルを参照する割り込みは使用できません。
マスカブル割り込みについては、割り込みベクタテーブルをフラッシュメモリ領域以外に設定することで使用できます。

注1.　CUP書き換えモード時には、内部ウエイトありの設定ができますが、下記の機能以外はご使用になれません。
CPU,ROM,RAM,タイマ,UART,SI/O2（自動転送なし）,ポート
内部ウエイトありに設定する場合は、下記のソフトウエアウエイトの説明をご覧下さい。

ソフトウエアウエイト

プロセッサモードレジスタ1(000516番地)(注2)のウエイトビット(ビット7)によって、ソフトウエアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域に対してソフトウエアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。

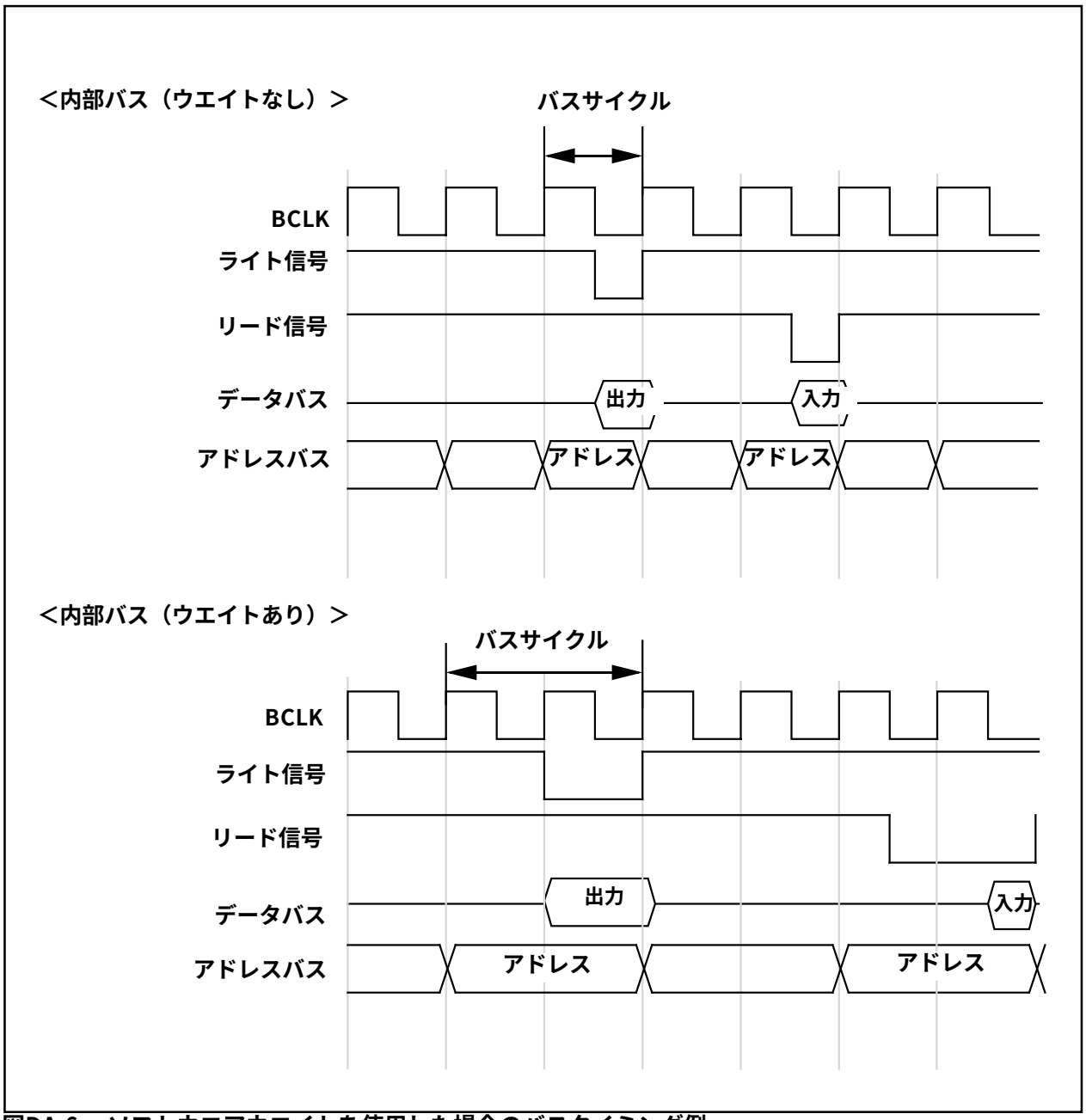
SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表DA-1にソフトウエアウエイトとバスサイクル、図DA-6にソフトウエアウエイトを使用した場合のバスタイミング例を示します。

注2.　プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A16番地)のビット1を“1”にしてください。

表DA-1.　ソフトウエアウエイトとバスサイクル

領　域	ウエイトビット	バスサイクル
SFR	無効	BCLKの2サイクル
内部ROM/RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル



図DA-6.　ソフトウエアウエイトを使用した場合のバスタイミング例

ソフトウエアコマンド

表1.BB.1にソフトウエアコマンドの一覧表を示します。

CPU書き換えモードが有効になっている状態で、フラッシュコマンドレジスタにソフトウエアコマンドを書き込むことによって、イレーズ、プログラム等を指定します。

以下に各ソフトウエアコマンドの内容を説明します。

表1.BB.1. ソフトウエアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D_0～D_7)	モード	アドレス	データ (D_0～D_7)
リード	ライト	$03B6_{16}$	00_{16}			
プログラム	ライト	$03B6_{16}$	40_{16}	ライト	プログラムアドレス	プログラムデータ
プログラムベリファイ	ライト	$03B6_{16}$	$C0_{16}$	リード	ベリファイアドレス	ベリファイデータ
イレーズ	ライト	$03B6_{16}$	20_{16}	ライト	$03B6_{16}$	20_{16}
イレーズベリファイ	ライト	$03B6_{16}$	$A0_{16}$	リード	ベリファイアドレス	ベリファイデータ
リセット	ライト	$03B6_{16}$	FF_{16}	ライト	$03B6_{16}$	FF_{16}

リードコマンド(00_{16})

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“00_{16}”を書き込むとリードモードになります。次のバスサイクル以降で読み出すアドレスを入力すると、指定したアドレスの内容が8ビット単位でデータバス(D_0～D_7)へ読み出されます。

リードモードは、他のコマンドがライトされるまで保持されます。なお、リセット後およびリセットコマンド実行後には、リードモードに設定されます。

書き込み(プログラム)コマンド(40_{16})

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“40_{16}”を書き込むと書き込み(プログラム)モードになります。第2バスサイクルで、書き込みたい番地にバイトデータを書き込む命令（例えばSTE命令等）を実行すると、フラッシュメモリの制御回路は書き込み(プログラム)を実行します。書き込み(プログラム)には、約20μsの時間を要します。20μs以上待って、次の処理へ移行してください。

なお書き込み(プログラム)中、監視タイマは“$7FFF_{16}$”がセットされた状態で停止します。

注1. 書き込みは、一回の書き込み(プログラム)コマンドの実行では完了しません。書き込み(プログラム)コマンドの実行後、必ず書き込み(プログラム)ベリファイコマンドを実行し、フェイルする場合はパスするまで書き込み(プログラム)コマンドを繰り返し実行する必要があります。プログラミングのフローチャート例は、図1.BB.3を参照してください。

書き込み(プログラム)ベリファイコマンド(C0$_{16}$)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“C0$_{16}$”を書き込むと書き込みベリファイモードになります。第2バスサイクルでベリファイする番地(先にプログラムした番地)からバイトデータを読み出す命令(例えばLDE命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUで、この読み出されたデータと先の書き込み(プログラム)コマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度書き込み(プログラム)→書き込み(プログラム)ベリファイを実行する必要があります。

消去(イレーズ)コマンド(20$_{16}$+20$_{16}$)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“20$_{16}$”を書き込み、第2バスサイクルでフラッシュコマンドレジスタにコマンドコード“20$_{16}$”を書き込むとフラッシュメモリの制御回路は、消去(イレーズ)を実行します。消去(イレーズ)には、約20msの時間を要します。20ms以上待って、次の処理へ移行してください。

なお、消去(イレーズ)コマンドの実行前には、必ず全ての消去(イレーズ)対象領域にデータ“00$_{16}$”を書き込み(プログラム)コマンドおよび書き込み(プログラム)ベリファイコマンドによって書き込んでおく必要があります。また、消去(イレーズ)中、監視タイマは“7FFF$_{16}$”がセットされた状態で停止します。

注1. 消去(イレーズ)は、一度の消去(イレーズ)コマンドの実行では完了しません。消去(イレーズ)コマンドの実行後、必ず消去(イレーズ)ベリファイコマンドを実行し、フェイルする場合はパスするまで消去(イレーズ)コマンドを繰り返し実行する必要があります。消去(イレーズ)のフローチャート例は、図1.BB.3を参照してください。

消去(イレーズ)ベリファイコマンド(A0$_{16}$)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“A0$_{16}$”を書き込むと消去(イレーズ)ベリファイモードになります。第2バスサイクルでベリファイする番地に対してバイトリードする命令(例えばLDE命令)を実行すると、その番地の内容が読み出されます。

CPUは、消去(イレーズ)した全領域に対し、1番地ずつ順次消去(イレーズ)ベリファイしていく必要があります。途中“FF$_{16}$”でない(消去されていない)番地があれば消去(イレーズ)ベリファイをそこで中断し、再度消去(イレーズ)→消去(イレーズ)ベリファイを実行する必要があります。

注1. 消去(イレーズ)ベリファイにおいて消去(イレーズ)されていないメモリがあった場合は、再度、消去(イレーズ)→消去(イレーズ)ベリファイの操作を実行してください。ただし、この場合、消去(イレーズ)前にデータ“00$_{16}$”を書き込む必要はありません。

リセットコマンド(FF16+FF16)

リセットコマンドは書き込み(プログラム)、消去(イレーズ)コマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタにコマンドコード“ 4016 ”または“ 2016 ”を2回書き込んだ後、第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“ FF16 ”を書き込み、第2バスサイクルでフラッシュコマンドレジスタにコマンドコード“ FF16 ”を書き込むと、書き込み(プログラム)、消去(イレーズ)コマンドは無効になり(リセット)、リードモードになります。

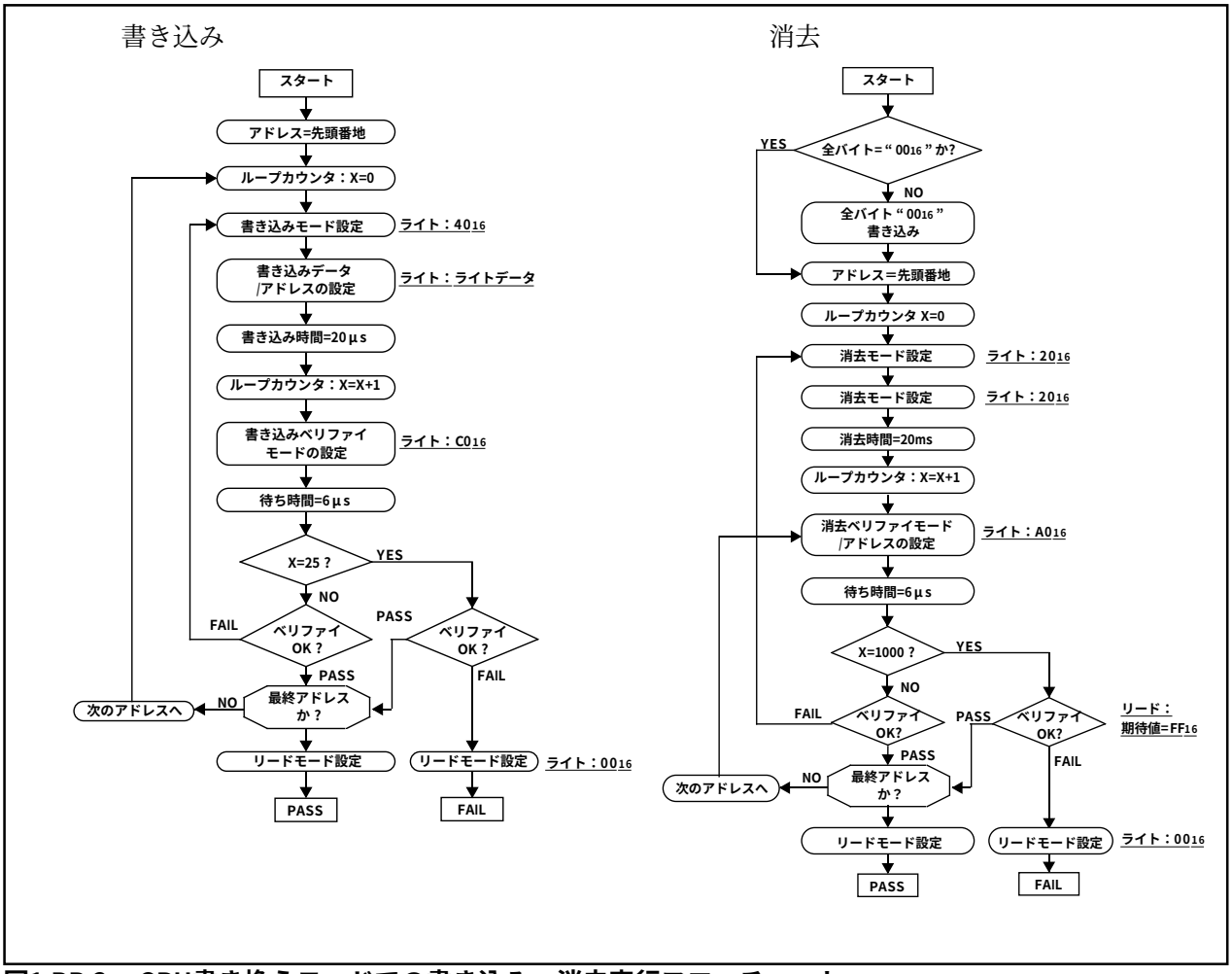


図1.BB.3. CPU書き換えモードでの書き込み、消去実行フローチャート

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　　称	入出力	機　能
V_{CC},V_{SS}	電源入力		V_{CC}端子には5V±10%を、V_{SS}端子には0Vを印加してください。
CNV$_{SS}$	CNV$_{SS}$	入力	12V±5%を印加してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。リセットが"L"の間、X_{IN}端子には20サイクル以上のクロックが必要です。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、X_{IN}から入力しX_{OUT}は開放してください。
X_{OUT}	クロック出力	出力	
AV$_{CC}$、AV$_{SS}$	アナログ電源入力		AV$_{SS}$はV$_{SS}$に、AV$_{CC}$はV$_{CC}$に接続してください。
V_{REF}	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
$P0_0$～$P0_7$	出力ポートP0	出力	出力専用端子です。
$P1_0$～$P1_7$	出力ポートP1	出力	出力専用端子です。
$P2_0$～$P2_7$	出力ポートP2	出力	出力専用端子です。
$P3_0$～$P3_7$	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
$P4_0$～$P4_3$	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
$P4_4$	TXD出力	出力	シリアルデータの出力端子です。
$P4_5$	RXD入力	入力	シリアルデータの入力端子です。
$P4_6$	SCLK入力	入力	シリアルクロックの入力端子です。
$P4_7$	BUSY出力	出力	BUSY信号の出力端子です。
$P5_0$～$P5_7$	出力ポートP5	出力	出力専用端子です。
$P6_0$～$P6_7$	出力ポートP6	出力	出力専用端子です。
$P7_0$～$P7_7$	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
$P8_0$～$P8_7$	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
$P9_0$～$P9_7$	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
$P10_0$～$P10_7$	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

モード設定方法

信号線名	値
CNVss	VppH
$\overline{\text{RESET}}$	Vss→Vcc

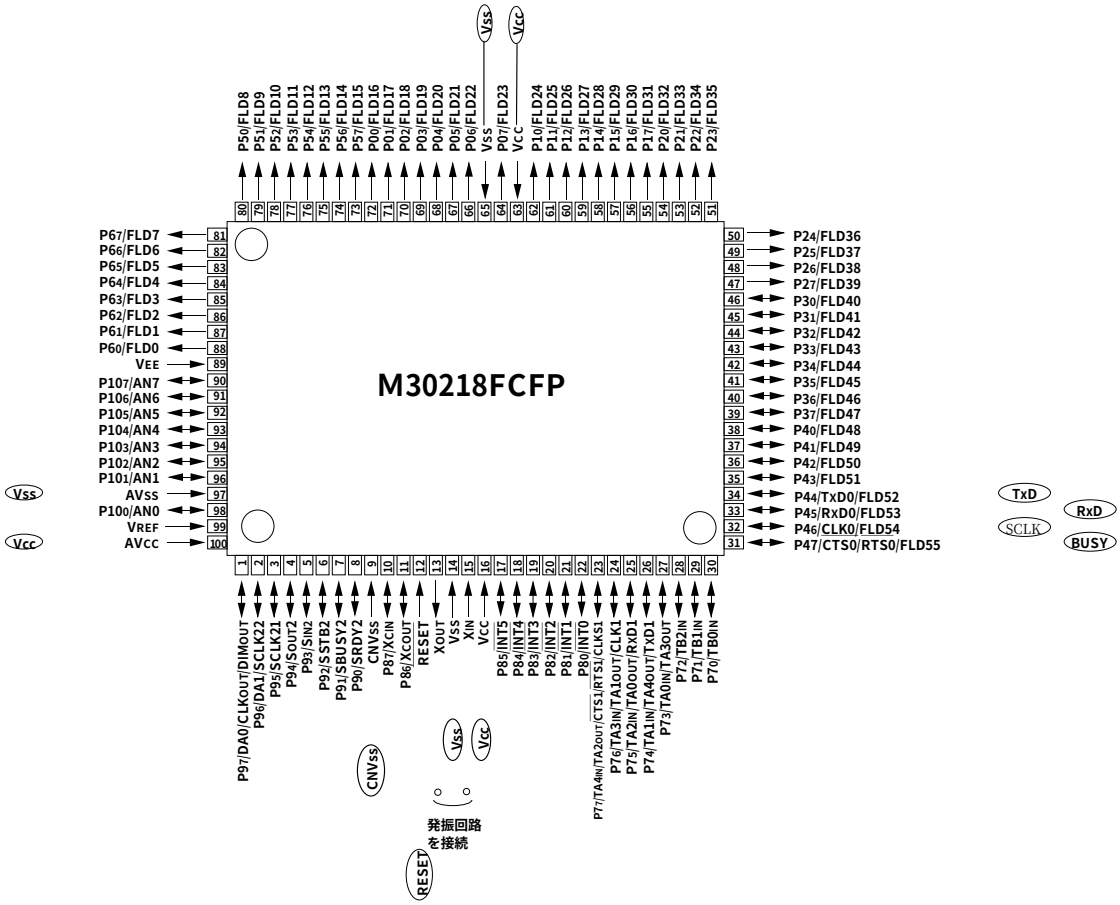


図1.DD.1.　標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、CNVSS端子をVPPHとして、リセットを解除することで起動します(通常のマイコンモードでは、CNVSSは“L”に設定してください)。

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.DD.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART0の端子CLK0、RxD0、TxD0、およびRTS0(BUSY)の4本を使って行います。

CLK0端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD0端子はCMOS出力です。RTS0(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を完了すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図1.AB.1に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、クロック同期形のシリアルI/O(UART0)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウエアコマンド、アドレスおよびプログラムデータは、CLK0端子に入力する転送クロック立ち上がりに同期して、RxD0端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD0端子から外部に出力します。

TxD0端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS0(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS0(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常／エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウエアコマンド、ステータスレジスタ等について説明します。

ソフトウエアコマンド

表1.DD.1にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD0端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウエアコマンドの内容を説明します

表1.DD.1.　ソフトウエアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	4116	アドレス（中位）	アドレス（上位）	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目 データ入力	受付不可
3	ブロックイレーズ	2016	アドレス（中位）	アドレス（上位）	D016				受付不可
4	ｲﾚｰｽﾞ全ｱﾝﾛｯｸﾌﾞﾛｯｸ	A716	D016						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	7016	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	5016							受付不可
7	ﾘｰﾄﾞﾛｯｸﾋﾞｯﾄｽﾃｰﾀｽ	7116	アドレス（中位）	アドレス（上位）	ﾛｯｸﾋﾞｯﾄﾃﾞｰﾀ出力				受付不可
8	IDﾁｪｯｸ機能	F516	アドレス（下位）	アドレス（中位）	アドレス（上位）	IDサイズ	ID1	～ID7	受付可
9	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA16	サイズ（下位）	サイズ（上位）	チェックサム	データ入力	～必要回数		受付不可
10	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB16	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目 ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
11	ﾌﾞｰﾄROM領域出力機能	FC16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→シリアルライタへの転送
それ以外は、シリアルライタ→フラッシュメモリ内蔵マイコンへの転送。

注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタ１データ。

注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。

(2) 2バイト、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

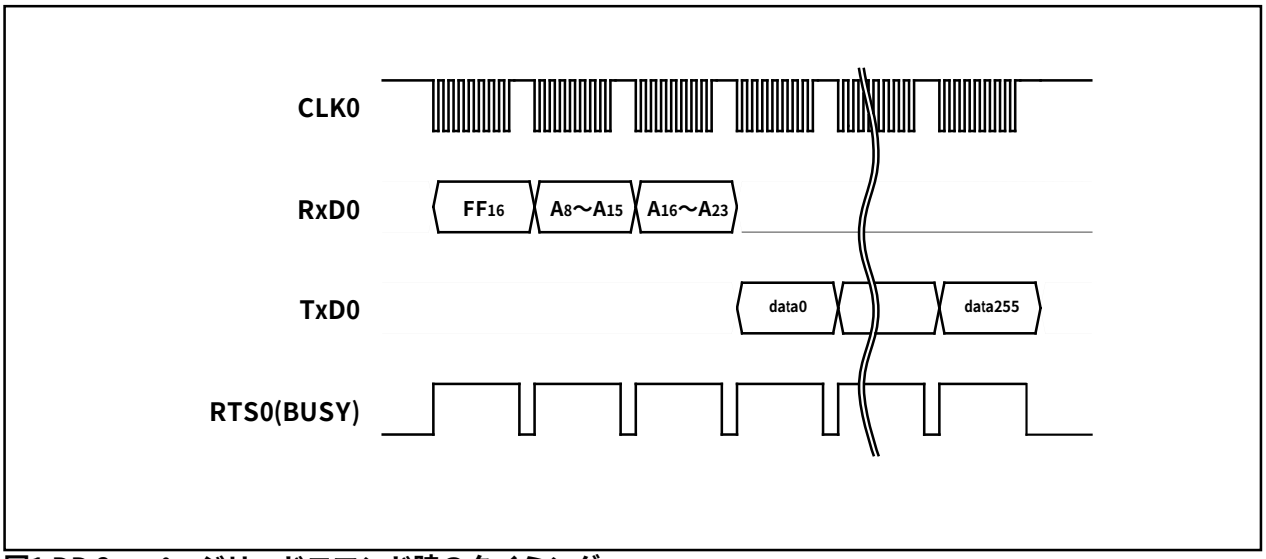


図1.DD.2.　ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

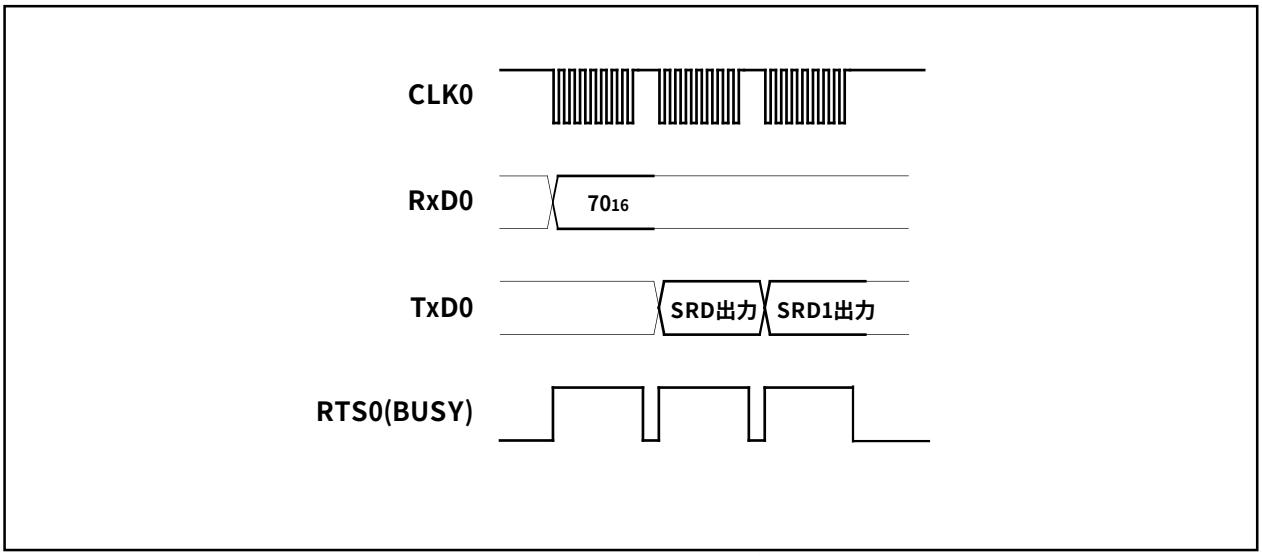


図1.DD.3.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3、SR4)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS_0(BUSY)信号は“ H ”から“ L ”に変化します。

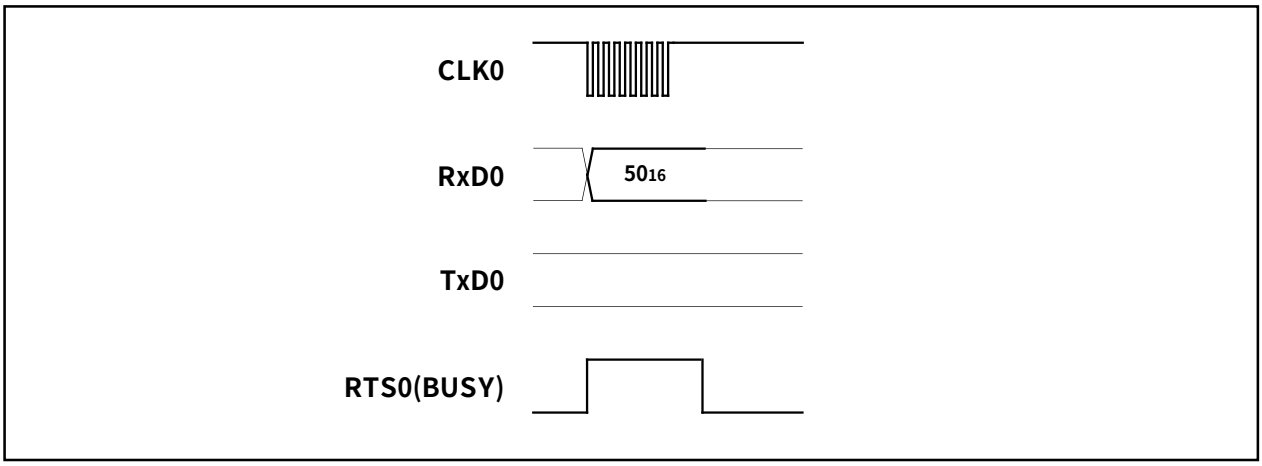


図1.DD.4.　クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS_0(BUSY)信号が“ H ”から“ L ”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

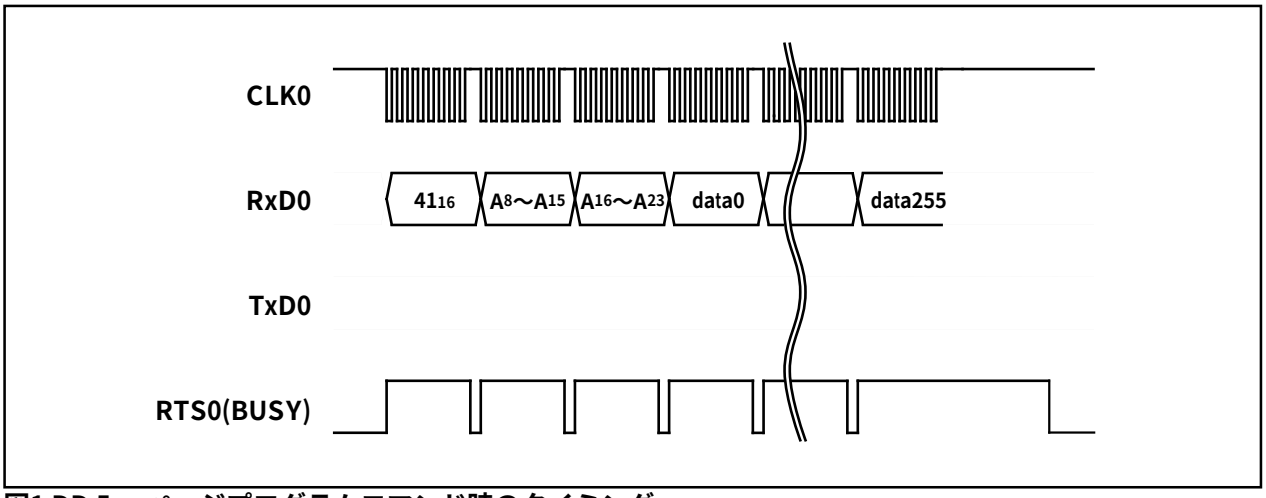


図1.DD.5.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS_0(BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

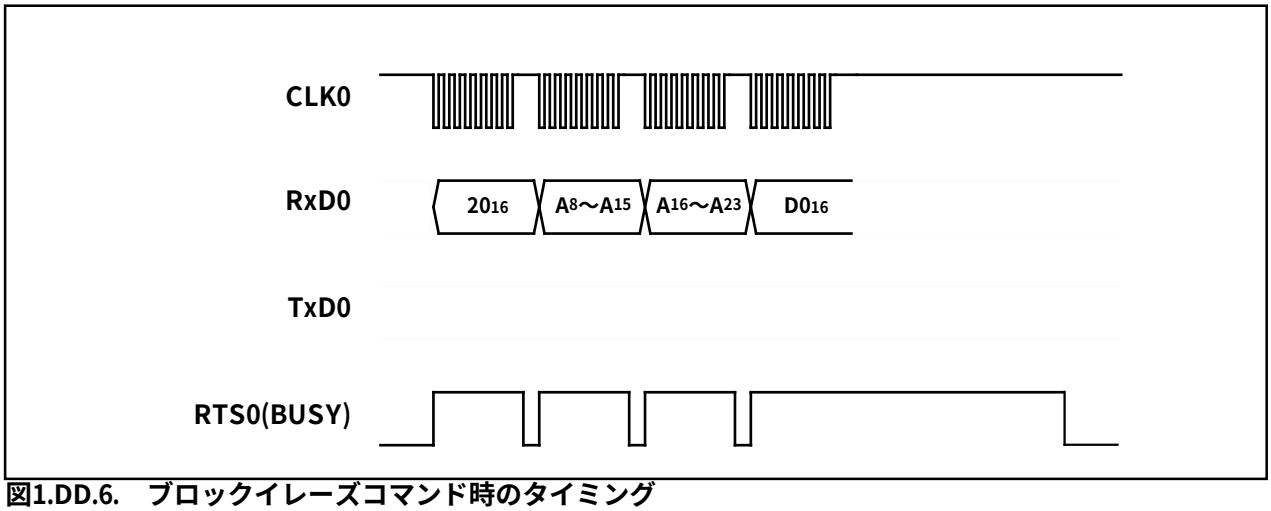


図1.DD.6.　ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンブロックブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンブロックブロックが終了するとRTS0(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

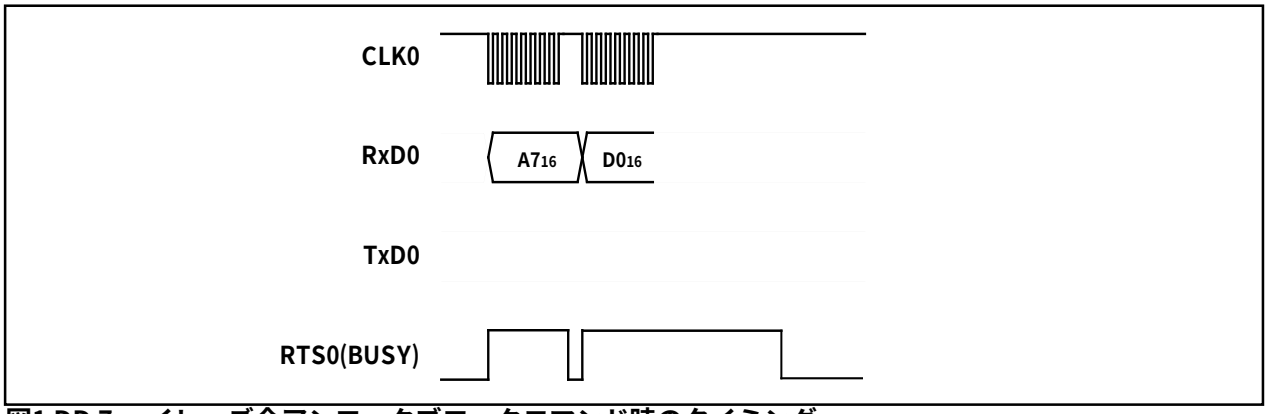


図1.DD.7.　イレーズ全アンロックブロックコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

(1)　1バイト目の転送でコマンドコード“ 71_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。
出力されるデータの6ビット目(D_6)がロックビットデータです。 なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

なお、M30218グループ(フラッシュメモリ版)はロックビットを持たないため、読み出した値は“ 1 ”(ブロックアンロック)になります。

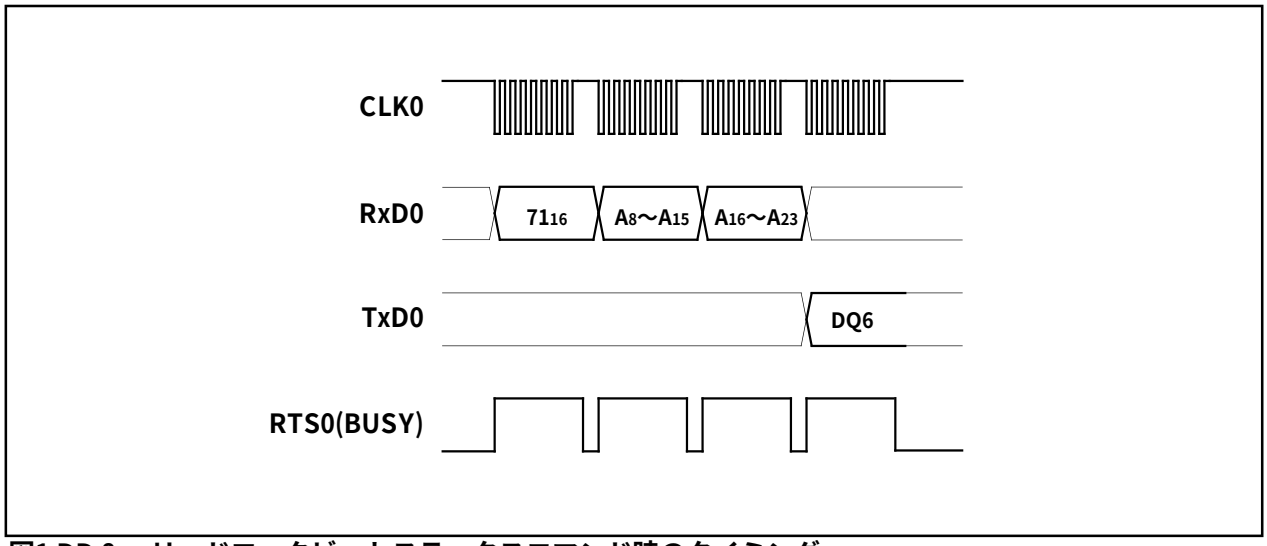


図1.DD.8.　リードロックビットステータスコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA16 ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

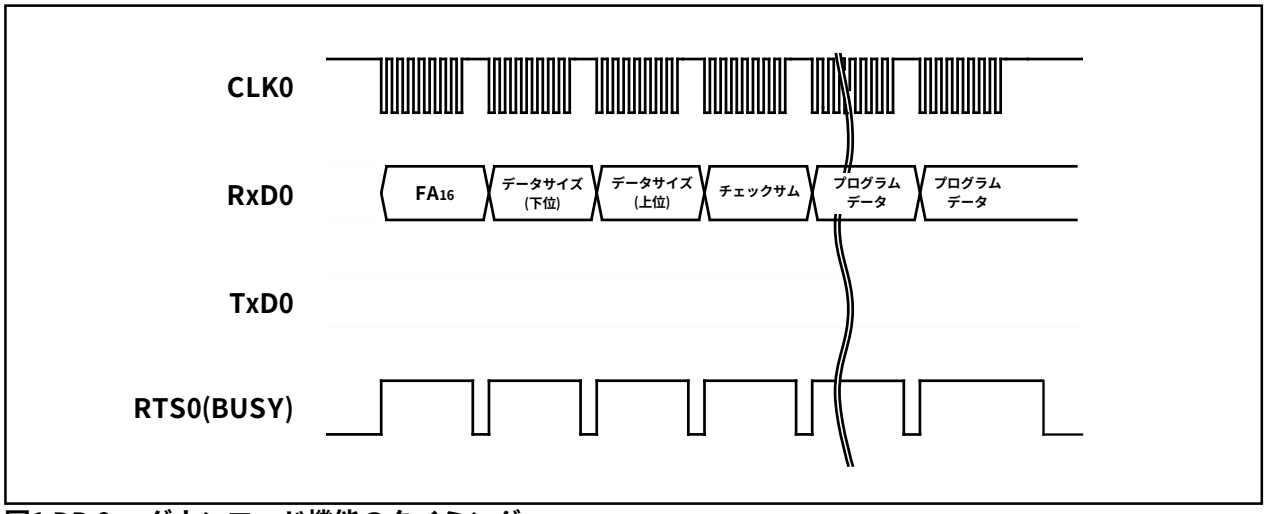


図1.DD.9.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2)　2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

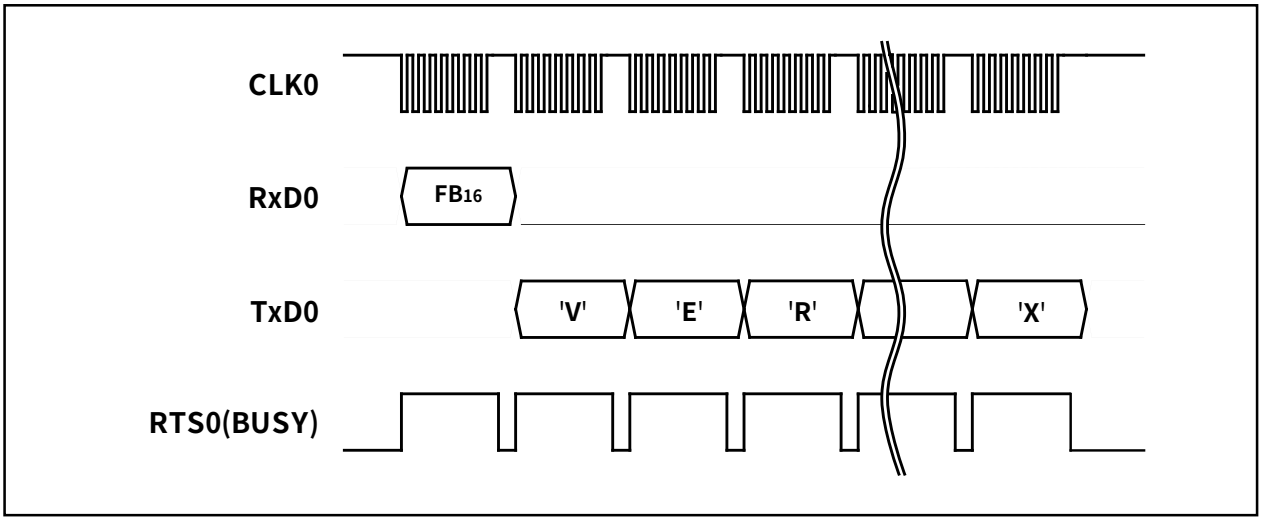


図1.DD.10.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2)　2バイト、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

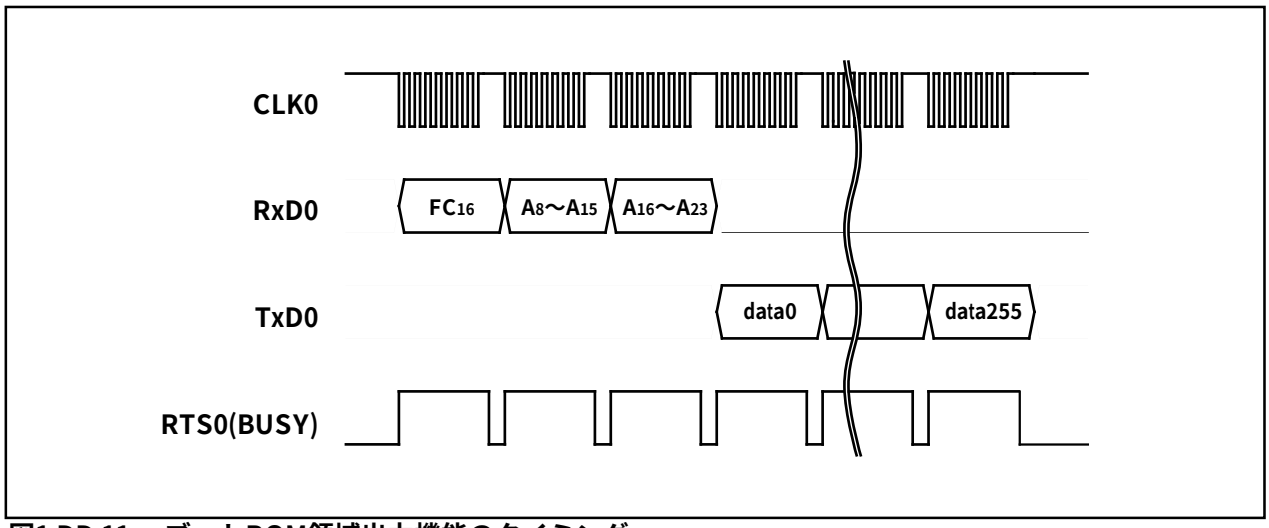


図1.DD.11.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

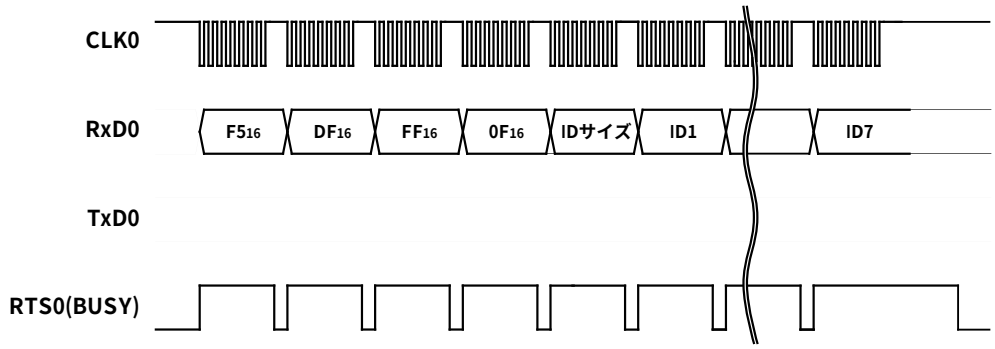


図1.DD.12.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

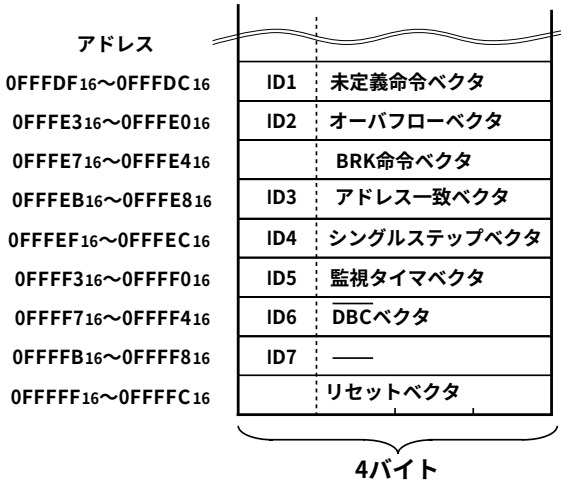


図1.DD.13.　IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70$_{16}$)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50$_{16}$)をライトしたときクリアされます。

ステータスレジスタを表1.DD.2に各ビットの定義を以下に示すます。

リセット解除後、ステータスレジスタは、“ 80$_{16}$ ”を出力します。

表1.DD.2.　ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ステータスビット	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズビット	エラー終了	正常終了
SR4 (bit4)	プログラムビット	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ステータスビット(SR7)

ステータスビットは、フラッシュメモリの動作状況を知らせるもので電源投入時、“ 1 ”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズビット(SR5)

イレーズビットは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。イレーズビットは、クリアされると“ 0 ”になります。

プログラムビット(SR4)

プログラムビットは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。プログラムビットは、クリアされると“ 0 ”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70$_{16}$)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50$_{16}$)をライトしたときクリアされます。

ステータスレジスタを表1.DD.3に各ビットの定義を以下に示します。

電源投入時“00$_{16}$”になります。フラグの状態はリセットしても保持されます。

表1.DD.3.　ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	–	–
SR13 (bit5)	リザーブ	–	–
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	–	–

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうか示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうか示すフラグです。

ID照合済みビット(SR11　SR10)

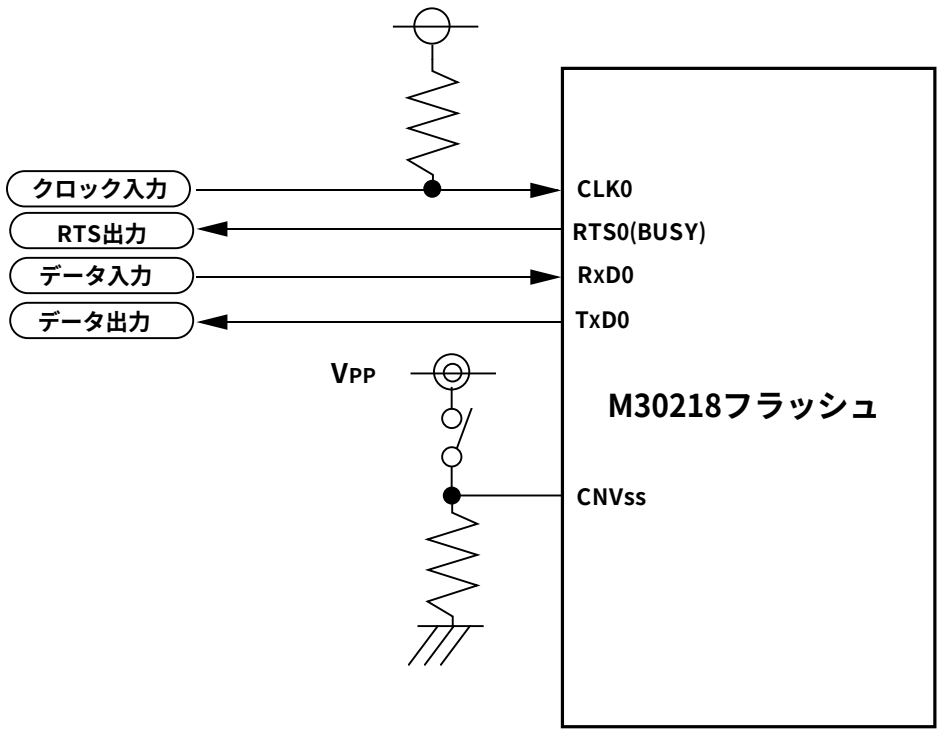
ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。ライタによって制御するピン等が違いますので、詳細はライタのマニュアルを参考にしてください。



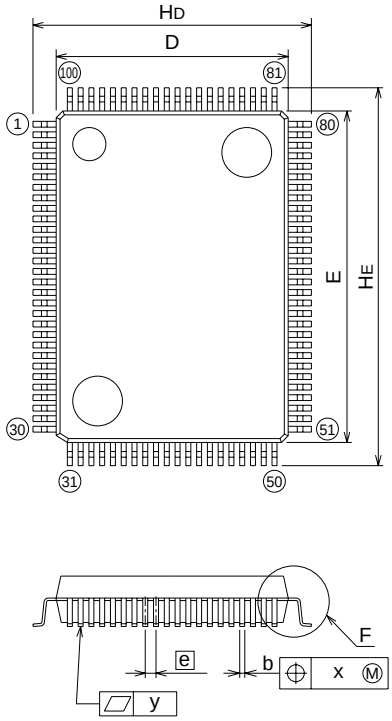
(1)　ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
(2)　この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

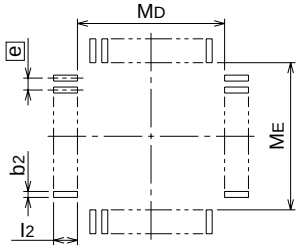
図1.DD.15.　標準シリアル入出力モード時の応用回路例

100P6S-A (MMP)

Plastic 100pin 14×20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	–	1.58	Alloy 42





Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	3.05
A_1	0	0.1	0.2
A_2	–	2.8	–
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	–	0.65	–
H_D	16.5	16.8	17.1
H_E	22.5	22.8	23.1
L	0.4	0.6	0.8
L_1	–	1.4	–
x	–	–	0.13
y	–	–	0.1
θ	0°	–	10°
b_2	–	0.35	–
l_2	1.3	–	–
M_D	–	14.6	–
M_E	–	20.6	–

改定副番	主な改定内容	改定年月日
REV.F	・ウエイトビット(0005_{16}番地のビット7)を予約ビットに変更(17頁) 1ウエイトモード(開発中)の注意書きを削除(1頁、4頁、18頁、旧18頁削除、旧19頁削除、50頁、51頁、145頁、146頁) ・図KA-11　ビット番号記載ミス修正(63頁) 0350_{16}番地のビット6をビット5に修正	'99.6.15
	・V_{CC}端子とV_{SS}端子間にバイパスコンデンサを接続する旨の説明を追加(6頁、132頁) ・FLDディジット波形出力機能の説明に「階調モード使用時には、ディジット出力を選択したポートもToff2時間が有効となります。」を追加(68頁) ・フラッシュメモリ版追加	'99.8.6
REV.F1	・図AA-1形名変更　M30218MC-XXXFP　→　M30218MC-XXXXFP(2頁) ・高耐圧出力専用ポートの説明　「すべてのポートは高耐圧Pchオープンドレインとプルアップ抵抗で構成します。」　→　「すべてのポートは高耐圧Pchオープンドレインで構成します。またP2以外は、プルダウン抵抗が内蔵されています。」(127頁) ・表に網掛けを追加。(133頁) ・注3を追加。(133頁)	'99.12.14
REV.G	・3V時、自動転送付きシリアルI/Oの規格値確定(149頁) ・フラッシュメモリ版、ユーザROM領域のブロック変更(152、153頁)	'00.11.10
	・プルダウンのオプション指定削除 (2、5、6、7、127、133、134、140、142、146頁)	'01.1.24

改定履歴	M30218グループ データシート	

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。

・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。

・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

三菱シングルチップマイクロコンピュータ
M30218 データシート　REV.G

2001 年 2 月発行
編集　三菱電機セミコンダクタシステム株式会社
**　　三菱電機システム LSI デザイン株式会社**
発行　三菱電機株式会社　北伊丹事業所

禁無断転載
　本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。
©2001 MITSUBISHI ELECTRIC CORPORATION