

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/6Nグループ(M16C/6NL、 M16C/6NN)

ルネサスマイクロコンピュータ

RJJ03B0056-0210

Rev.2.10

2006.08.25

1. 概要

M16C/6Nグループ(M16C/6NL、 M16C/6NN)は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したマイクロコンピュータで、100ピンまたは128ピンプラスチックモールドLQFPに収められています。このマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。CANモジュールを1チャンネル内蔵し、カーオーディオや産業機器などに適したマイクロコンピュータです。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器の制御にも適しています。

1.1 応用

カーオーディオ、産業機器、他

本仕様書は、できる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。

また、機能向上や性能向上のために仕様を変更する場合がありますので、最新バージョンをご使用ください。

1.2 性能概要

表1.1、表1.2に性能概要を示します。

表1.1 性能概要(100ピン版 : M16C/6NL)

| 項目 | | 性能 | |
|-----------|--------------|---|--|
| CPU | 基本命令数 | 91命令 | |
| | 最小命令実行時間 | 41.7ns(f(BCLK)=24MHz、1/1プリスケアラ、ウェイトなし時) | |
| | 動作モード | シングルチップ、メモリ拡張、マイクロプロセッサモード | |
| | アドレス空間 | 1Mバイト | |
| | メモリ容量 | 「表1.3 製品一覧表」を参照してください | |
| 周辺機能 | ポート | 入出力 : 87本、入力 : 1本 | |
| | 多機能タイマ | タイマA : 16ビット×5チャンネル タイマB : 16ビット×6チャンネル 三相モータ制御回路 | |
| | シリアルインタフェース | 3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C-bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O | |
| | A/Dコンバータ | 10ビットA/Dコンバータ : 1回路、26チャンネル | |
| | D/Aコンバータ | 8ビット×2チャンネル | |
| | DMAC | 2チャンネル | |
| | CRC演算回路 | CRC-CCITT方式 | |
| | CANモジュール | 1チャンネル、2.0B対応 | |
| | ウォッチドッグタイマ | 15ビット×1チャンネル(プリスケアラ付) | |
| | 割り込み | 内部 : 30要因、外部 : 9要因、ソフトウェア : 4要因 割り込み優先レベル : 7レベル | |
| | クロック発生回路 | 4回路 ・メインクロック発振回路(*) ・サブクロック発振回路(*) ・オンチップオシレータ ・PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵 | |
| | 発振停止検出機能 | メインクロック発振停止、再発振検出機能 | |
| | 電气的特性 | 電源電圧 | VCC = 3.0 ~ 5.5V (f(BCLK)=24MHz、1/1プリスケアラ、ウェイトなし時) |
| | | 消費電流 | マスクROM |
| フラッシュメモリ | | | 21mA(f(BCLK)=24MHz、PLL動作時、分周なし) |
| | | マスクROM | 3μA(f(BCLK)=32kHz、ウェイトモード時、発振能力Low) |
| | フラッシュメモリ | 0.8μA(ストップモード時、Topr = 25) | |
| フラッシュメモリ版 | プログラム、イレーズ電圧 | 3.3 ± 0.3Vまたは5.0 ± 0.5V | |
| | プログラム、イレーズ回数 | 100回 | |
| 入出力特性 | 入出力耐電圧 | 5.0V | |
| | 出力電流 | 5mA | |
| 動作周囲温度 | | - 40 ~ 85 | |
| 素子構造 | | CMOS高性能シリコンゲート | |
| パッケージ | | 100ピンプラスチックモールドLQFP | |

注1 . I²C-busはオランダPHILIPS社の登録商標です。

注2 . IEBusはNECエレクトロニクス株式会社の登録商標です。

表1.2 性能概要(128ピン版 : M16C/6NN)

| 項目 | | 性能 | |
|-----------|--------------|---|--|
| CPU | 基本命令数 | 91命令 | |
| | 最小命令実行時間 | 41.7ns($f(BCLK)=24\text{MHz}$ 、1/1プリスケアラ、ウェイトなし時) | |
| | 動作モード | シングルチップ、メモリ拡張、マイクロプロセッサモード | |
| | アドレス空間 | 1Mバイト | |
| | メモリ容量 | 「表1.3 製品一覧表」を参照してください | |
| 周辺機能 | ポート | 入出力 : 113本、入力 : 1本 | |
| | 多機能タイマ | タイマA : 16ビット×5チャンネル タイマB : 16ビット×6チャンネル 三相モータ制御回路 | |
| | シリアルインタフェース | 3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C-bus(注1)、IEBus(注2) 4チャンネル クロック同期形シリアルI/O | |
| | A/Dコンバータ | 10ビットA/Dコンバータ : 1回路、26チャンネル | |
| | D/Aコンバータ | 8ビット×2チャンネル | |
| | DMAC | 2チャンネル | |
| | CRC演算回路 | CRC-CCITT方式 | |
| | CANモジュール | 1チャンネル、2.0B対応 | |
| | ウォッチドッグタイマ | 15ビット×1チャンネル(プリスケアラ付) | |
| | 割り込み | 内部 : 32要因、外部 : 12要因、ソフトウェア : 4要因 割り込み優先レベル : 7レベル | |
| | クロック発生回路 | 4回路 ・メインクロック発振回路(*) ・サブクロック発振回路(*) ・オンチップオシレータ ・PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵 | |
| | 発振停止検出機能 | メインクロック発振停止、再発振検出機能 | |
| | 電气的特性 | 電源電圧 | VCC = 3.0 ~ 5.5V ($f(BCLK)=24\text{MHz}$ 、1/1プリスケアラ、ウェイトなし時) |
| | | 消費電流 | マスクROM |
| フラッシュメモリ | | | 21mA($f(BCLK)=24\text{MHz}$ 、PLL動作時、分周なし) |
| | | マスクROM | 3 μ A($f(BCLK)=32\text{kHz}$ 、ウェイトモード時、発振能力Low) |
| | フラッシュメモリ | 0.8 μ A(ストップモード時、Topr = 25) | |
| フラッシュメモリ版 | プログラム、イレーズ電圧 | 3.3 \pm 0.3Vまたは5.0 \pm 0.5V | |
| | プログラム、イレーズ回数 | 100回 | |
| 入出力特性 | 入出力耐電圧 | 5.0V | |
| | 出力電流 | 5mA | |
| 動作周囲温度 | | - 40 ~ 85 | |
| 素子構造 | | CMOS高性能シリコンゲート | |
| パッケージ | | 128ピンプラスチックモールドLQFP | |

注1 . I²C-busはオランダPHILIPS社の登録商標です。

注2 . IEBusはNECエレクトロニクス株式会社の登録商標です。

1.3 ブロック図

図1.1にブロック図を示します。

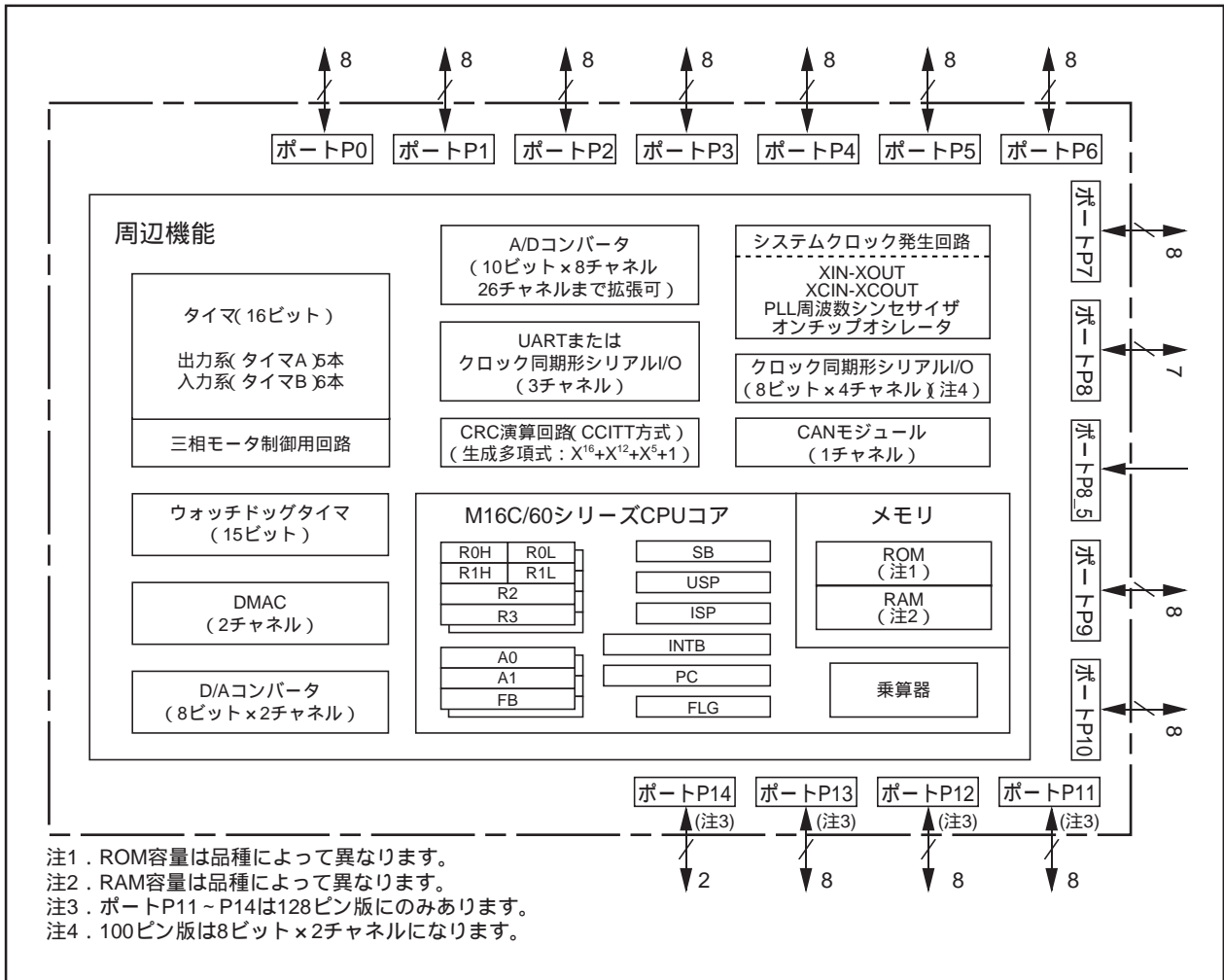


図1.1 ブロック図

1.4 製品一覧

表1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表

2006年8月現在

| 型名 | ROM容量 | RAM容量 | パッケージ注2) | 備考 |
|----------------|------------|--------|--------------|-------------------|
| M306NLFHGP | 384K+4Kバイト | 31Kバイト | PLQP0100KB-A | フラッシュメモリ版 (注1) |
| M306NNFHGP | | | PLQP0128KB-A | |
| M306NLFJGP | 512K+4Kバイト | 31Kバイト | PLQP0100KB-A | |
| M306NNFJGP | | | PLQP0128KB-A | |
| M306NLME-XXXGP | 192Kバイト | 16Kバイト | PLQP0100KB-A | マスクROM版 |
| M306NNME-XXXGP | | | PLQP0128KB-A | |
| M306NLMG-XXXGP | 256Kバイト | 20Kバイト | PLQP0100KB-A | |
| M306NNMG-XXXGP | | | PLQP0128KB-A | |

注1. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注2. 各パッケージの旧パッケージ型名は次のとおりです。

PLQP0100KB-A : 100P6Q-A

PLQP0128KB-A : 128P6Q-A

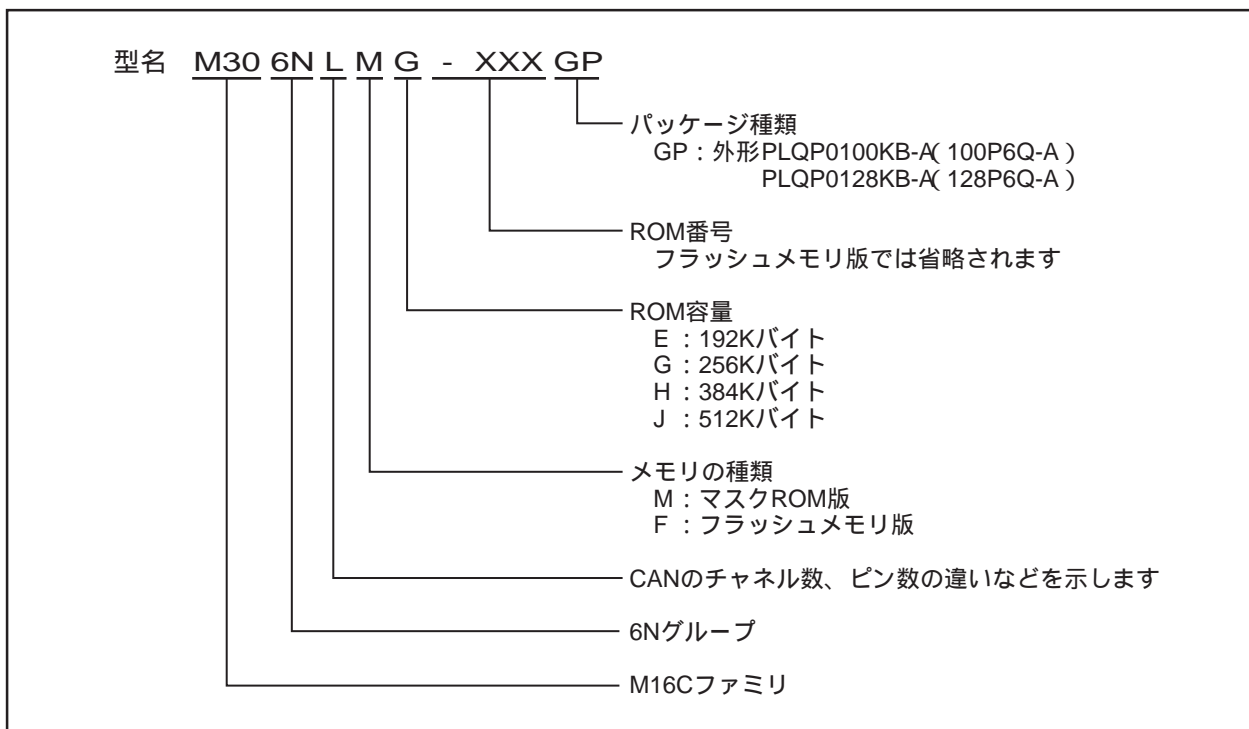


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3、図1.4にピン接続図(上面図) 表1.4～表1.8に端子名一覧表を示します。

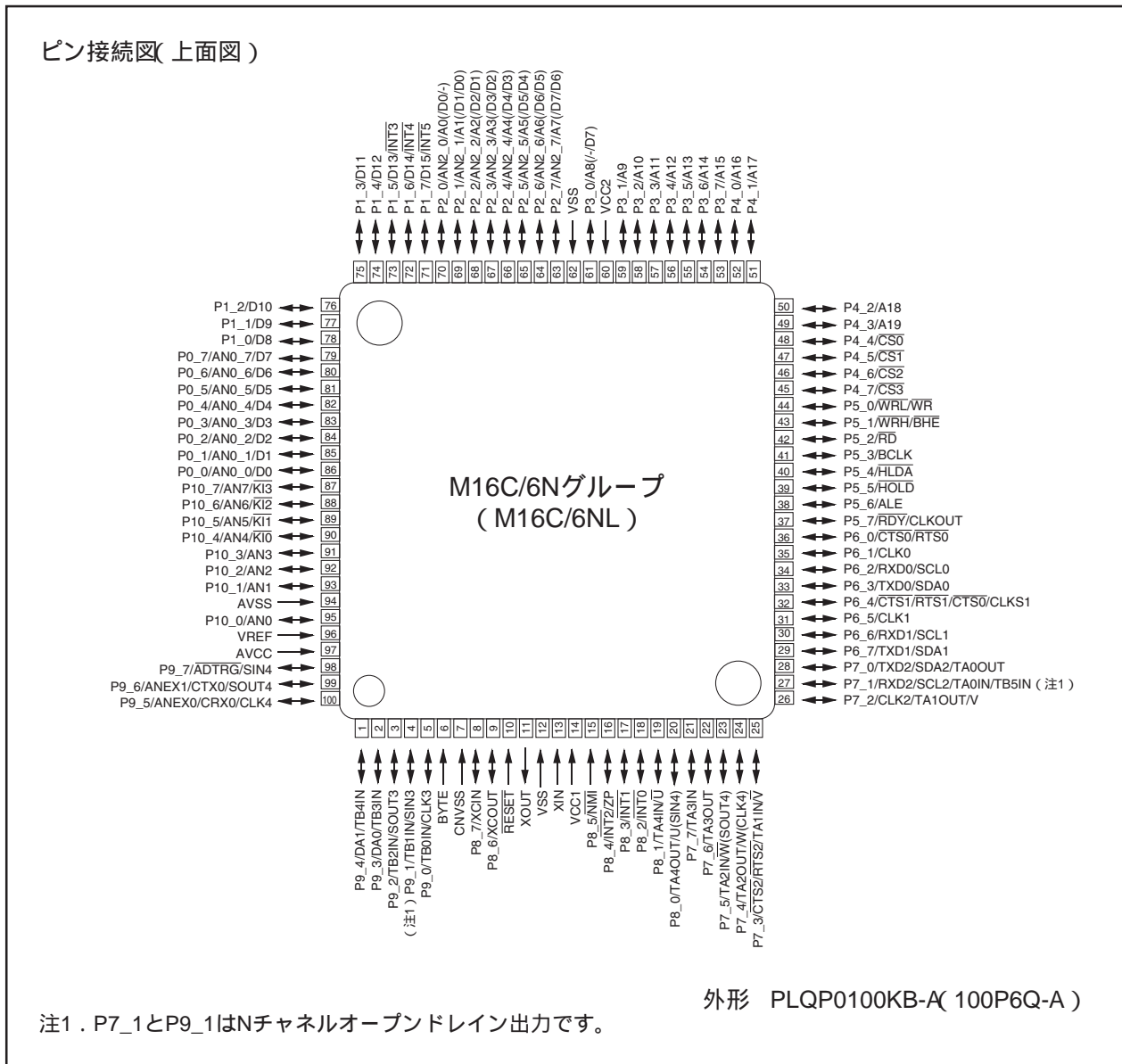


図1.3 ピン接続図(上面図)(1)

表1.4 100ピン版端子名一覧表(1)

| Pin No. | 制御端子 | ポート | 割り込み端子 | タイマ端子 | UART端子 | アナログ端子 | CANモジュール端子 | バス制御端子 |
|---------|-------|------|--------|-------------|----------------------|--------|------------|------------|
| 1 | | P9_4 | | TB4IN | | DA1 | | |
| 2 | | P9_3 | | TB3IN | | DA0 | | |
| 3 | | P9_2 | | TB2IN | SOUT3 | | | |
| 4 | | P9_1 | | TB1IN | SIN3 | | | |
| 5 | | P9_0 | | TB0IN | CLK3 | | | |
| 6 | BYTE | | | | | | | |
| 7 | CNVSS | | | | | | | |
| 8 | XCIN | P8_7 | | | | | | |
| 9 | XCOU | P8_6 | | | | | | |
| 10 | RESET | | | | | | | |
| 11 | XOUT | | | | | | | |
| 12 | VSS | | | | | | | |
| 13 | XIN | | | | | | | |
| 14 | VCC1 | | | | | | | |
| 15 | | P8_5 | NMI | | | | | |
| 16 | | P8_4 | INT2 | ZP | | | | |
| 17 | | P8_3 | INT1 | | | | | |
| 18 | | P8_2 | INT0 | | | | | |
| 19 | | P8_1 | | TA4IN/U | | | | |
| 20 | | P8_0 | | TA4OUT/U | (SIN4) | | | |
| 21 | | P7_7 | | TA3IN | | | | |
| 22 | | P7_6 | | TA3OUT | | | | |
| 23 | | P7_5 | | TA2IN/W | (SOUT4) | | | |
| 24 | | P7_4 | | TA2OUT/W | (CLK4) | | | |
| 25 | | P7_3 | | TA1IN/V | CTS2/RTS2 | | | |
| 26 | | P7_2 | | TA1OUT/V | CLK2 | | | |
| 27 | | P7_1 | | TA0IN/TB5IN | RXD2/SCL2 | | | |
| 28 | | P7_0 | | TA0OUT | TXD2/SDA2 | | | |
| 29 | | P6_7 | | | TXD1/SDA1 | | | |
| 30 | | P6_6 | | | RXD1/SCL1 | | | |
| 31 | | P6_5 | | | CLK1 | | | |
| 32 | | P6_4 | | | CTS1/RTS1/CTS0/CLKS1 | | | |
| 33 | | P6_3 | | | TXD0/SDA0 | | | |
| 34 | | P6_2 | | | RXD0/SCL0 | | | |
| 35 | | P6_1 | | | CLK0 | | | |
| 36 | | P6_0 | | | CTS0/RTS0 | | | |
| 37 | | P5_7 | | | | | | RDY/CLKOUT |
| 38 | | P5_6 | | | | | | ALE |
| 39 | | P5_5 | | | | | | HOLD |
| 40 | | P5_4 | | | | | | HLDA |
| 41 | | P5_3 | | | | | | BCLK |
| 42 | | P5_2 | | | | | | RD |
| 43 | | P5_1 | | | | | | WRH/BHE |
| 44 | | P5_0 | | | | | | WRL/WR |
| 45 | | P4_7 | | | | | | CS3 |
| 46 | | P4_6 | | | | | | CS2 |
| 47 | | P4_5 | | | | | | CS1 |
| 48 | | P4_4 | | | | | | CS0 |
| 49 | | P4_3 | | | | | | A19 |
| 50 | | P4_2 | | | | | | A18 |

表1.5 100ピン版端子名一覧表(2)

| Pin No. | 制御端子 | ポート | 割り込み端子 | タイマ端子 | UART端子 | アナログ端子 | CANモジュール端子 | バス制御端子 |
|---------|------|-------|--------|-------|--------|--------|------------|--------------|
| 51 | | P4_1 | | | | | | A17 |
| 52 | | P4_0 | | | | | | A16 |
| 53 | | P3_7 | | | | | | A15 |
| 54 | | P3_6 | | | | | | A14 |
| 55 | | P3_5 | | | | | | A13 |
| 56 | | P3_4 | | | | | | A12 |
| 57 | | P3_3 | | | | | | A11 |
| 58 | | P3_2 | | | | | | A10 |
| 59 | | P3_1 | | | | | | A9 |
| 60 | VCC2 | | | | | | | |
| 61 | | P3_0 | | | | | | A8(/-D7) |
| 62 | VSS | | | | | | | |
| 63 | | P2_7 | | | | AN2_7 | | A7(/D7/D6) |
| 64 | | P2_6 | | | | AN2_6 | | A6(/D6/D5) |
| 65 | | P2_5 | | | | AN2_5 | | A5(/D5/D4) |
| 66 | | P2_4 | | | | AN2_4 | | A4(/D4/D3) |
| 67 | | P2_3 | | | | AN2_3 | | A3(/D3/D2) |
| 68 | | P2_2 | | | | AN2_2 | | A2(/D2/D1) |
| 69 | | P2_1 | | | | AN2_1 | | A1(/D1/D0) |
| 70 | | P2_0 | | | | AN2_0 | | A0(/D0/-) |
| 71 | | P1_7 | INT5 | | | | | D15 |
| 72 | | P1_6 | INT4 | | | | | D14 |
| 73 | | P1_5 | INT3 | | | | | D13 |
| 74 | | P1_4 | | | | | | D12 |
| 75 | | P1_3 | | | | | | D11 |
| 76 | | P1_2 | | | | | | D10 |
| 77 | | P1_1 | | | | | | D9 |
| 78 | | P1_0 | | | | | | D8 |
| 79 | | P0_7 | | | | AN0_7 | | D7 |
| 80 | | P0_6 | | | | AN0_6 | | D6 |
| 81 | | P0_5 | | | | AN0_5 | | D5 |
| 82 | | P0_4 | | | | AN0_4 | | D4 |
| 83 | | P0_3 | | | | AN0_3 | | D3 |
| 84 | | P0_2 | | | | AN0_2 | | D2 |
| 85 | | P0_1 | | | | AN0_1 | | D1 |
| 86 | | P0_0 | | | | AN0_0 | | D0 |
| 87 | | P10_7 | KI3 | | | AN7 | | |
| 88 | | P10_6 | KI2 | | | AN6 | | |
| 89 | | P10_5 | KI1 | | | AN5 | | |
| 90 | | P10_4 | KI0 | | | AN4 | | |
| 91 | | P10_3 | | | | AN3 | | |
| 92 | | P10_2 | | | | AN2 | | |
| 93 | | P10_1 | | | | AN1 | | |
| 94 | AVSS | | | | | | | |
| 95 | | P10_0 | | | | AN0 | | |
| 96 | VREF | | | | | | | |
| 97 | AVCC | | | | | | | |
| 98 | | P9_7 | | | SIN4 | ADTRG | | |
| 99 | | P9_6 | | | SOUT4 | ANEX1 | CTX0 | |
| 100 | | P9_5 | | | CLK4 | ANEX0 | CRX0 | |

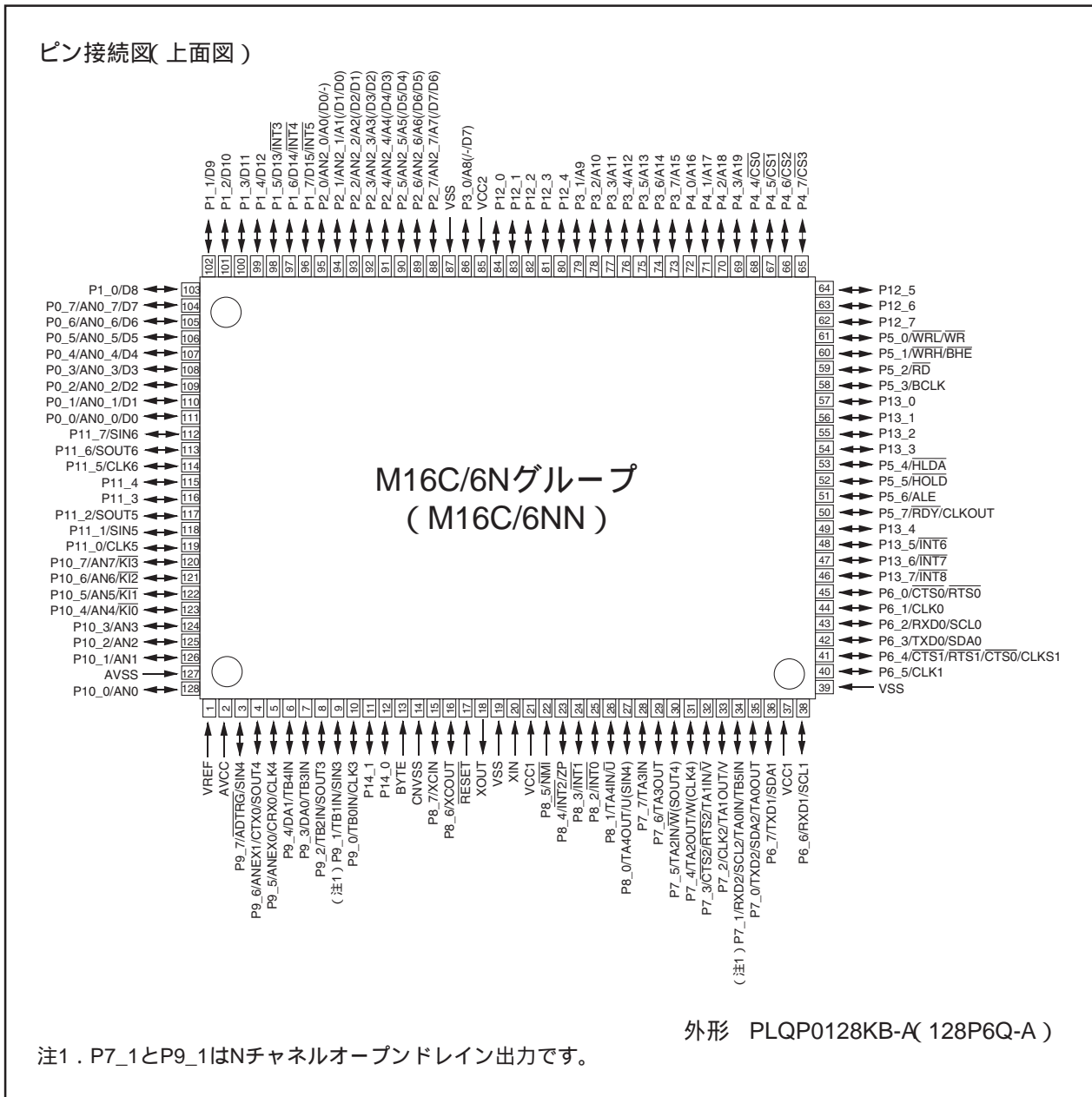


図1.4 ピン接続図(上面図)(2)

表1.6 128ピン版端子名一覧表(1)

| Pin No. | 制御端子 | ポート | 割り込み端子 | タイマ端子 | UART端子 | アナログ端子 | CANモジュール端子 | バス制御端子 |
|---------|-------|-------|--------|-------------|----------------------|--------|------------|------------|
| 1 | VREF | | | | | | | |
| 2 | AVCC | | | | | | | |
| 3 | | P9_7 | | | SIN4 | ADTRG | | |
| 4 | | P9_6 | | | SOUT4 | ANEX1 | CTX0 | |
| 5 | | P9_5 | | | CLK4 | ANEX0 | CRX0 | |
| 6 | | P9_4 | | TB4IN | | DA1 | | |
| 7 | | P9_3 | | TB3IN | | DA0 | | |
| 8 | | P9_2 | | TB2IN | SOUT3 | | | |
| 9 | | P9_1 | | TB1IN | SIN3 | | | |
| 10 | | P9_0 | | TB0IN | CLK3 | | | |
| 11 | | P14_1 | | | | | | |
| 12 | | P14_0 | | | | | | |
| 13 | BYTE | | | | | | | |
| 14 | CNVSS | | | | | | | |
| 15 | XCIN | P8_7 | | | | | | |
| 16 | XCOU | P8_6 | | | | | | |
| 17 | RESET | | | | | | | |
| 18 | XOUT | | | | | | | |
| 19 | VSS | | | | | | | |
| 20 | XIN | | | | | | | |
| 21 | VCC1 | | | | | | | |
| 22 | | P8_5 | NMI | | | | | |
| 23 | | P8_4 | INT2 | ZP | | | | |
| 24 | | P8_3 | INT1 | | | | | |
| 25 | | P8_2 | INT0 | | | | | |
| 26 | | P8_1 | | TA4IN/U | | | | |
| 27 | | P8_0 | | TA4OUT/U | (SIN4) | | | |
| 28 | | P7_7 | | TA3IN | | | | |
| 29 | | P7_6 | | TA3OUT | | | | |
| 30 | | P7_5 | | TA2IN/W | (SOUT4) | | | |
| 31 | | P7_4 | | TA2OUT/W | (CLK4) | | | |
| 32 | | P7_3 | | TA1IN/V | CTS2/RTS2 | | | |
| 33 | | P7_2 | | TA1OUT/V | CLK2 | | | |
| 34 | | P7_1 | | TA0IN/TB5IN | RXD2/SCL2 | | | |
| 35 | | P7_0 | | TA0OUT | TXD2/SDA2 | | | |
| 36 | | P6_7 | | | TXD1/SDA1 | | | |
| 37 | VCC1 | | | | | | | |
| 38 | | P6_6 | | | RXD1/SCL1 | | | |
| 39 | VSS | | | | | | | |
| 40 | | P6_5 | | | CLK1 | | | |
| 41 | | P6_4 | | | CTS1/RTS1/CTS0/CLKS1 | | | |
| 42 | | P6_3 | | | TXD0/SDA0 | | | |
| 43 | | P6_2 | | | RXD0/SCL0 | | | |
| 44 | | P6_1 | | | CLK0 | | | |
| 45 | | P6_0 | | | CTS0/RTS0 | | | |
| 46 | | P13_7 | INT8 | | | | | |
| 47 | | P13_6 | INT7 | | | | | |
| 48 | | P13_5 | INT6 | | | | | |
| 49 | | P13_4 | | | | | | |
| 50 | | P5_7 | | | | | | RDY/CLKOUT |

表1.7 128ピン版端子名一覧表(2)

| Pin No. | 制御端子 | ポート | 割り込み端子 | タイマ端子 | UART端子 | アナログ端子 | CANモジュール端子 | バス制御端子 |
|---------|------|-------|--------|-------|--------|--------|------------|------------|
| 51 | | P5_6 | | | | | | ALE |
| 52 | | P5_5 | | | | | | HOLD |
| 53 | | P5_4 | | | | | | HLDA |
| 54 | | P13_3 | | | | | | |
| 55 | | P13_2 | | | | | | |
| 56 | | P13_1 | | | | | | |
| 57 | | P13_0 | | | | | | |
| 58 | | P5_3 | | | | | | BCLK |
| 59 | | P5_2 | | | | | | RD |
| 60 | | P5_1 | | | | | | WRH/BHE |
| 61 | | P5_0 | | | | | | WRL/WR |
| 62 | | P12_7 | | | | | | |
| 63 | | P12_6 | | | | | | |
| 64 | | P12_5 | | | | | | |
| 65 | | P4_7 | | | | | | CS3 |
| 66 | | P4_6 | | | | | | CS2 |
| 67 | | P4_5 | | | | | | CS1 |
| 68 | | P4_4 | | | | | | CS0 |
| 69 | | P4_3 | | | | | | A19 |
| 70 | | P4_2 | | | | | | A18 |
| 71 | | P4_1 | | | | | | A17 |
| 72 | | P4_0 | | | | | | A16 |
| 73 | | P3_7 | | | | | | A15 |
| 74 | | P3_6 | | | | | | A14 |
| 75 | | P3_5 | | | | | | A13 |
| 76 | | P3_4 | | | | | | A12 |
| 77 | | P3_3 | | | | | | A11 |
| 78 | | P3_2 | | | | | | A10 |
| 79 | | P3_1 | | | | | | A9 |
| 80 | | P12_4 | | | | | | |
| 81 | | P12_3 | | | | | | |
| 82 | | P12_2 | | | | | | |
| 83 | | P12_1 | | | | | | |
| 84 | | P12_0 | | | | | | |
| 85 | VCC2 | | | | | | | |
| 86 | | P3_0 | | | | | | A8(/D7) |
| 87 | VSS | | | | | | | |
| 88 | | P2_7 | | | | AN2_7 | | A7(/D7/D6) |
| 89 | | P2_6 | | | | AN2_6 | | A6(/D6/D5) |
| 90 | | P2_5 | | | | AN2_5 | | A5(/D5/D4) |
| 91 | | P2_4 | | | | AN2_4 | | A4(/D4/D3) |
| 92 | | P2_3 | | | | AN2_3 | | A3(/D3/D2) |
| 93 | | P2_2 | | | | AN2_2 | | A2(/D2/D1) |
| 94 | | P2_1 | | | | AN2_1 | | A1(/D1/D0) |
| 95 | | P2_0 | | | | AN2_0 | | A0(/D0/-) |
| 96 | | P1_7 | INT5 | | | | | D15 |
| 97 | | P1_6 | INT4 | | | | | D14 |
| 98 | | P1_5 | INT3 | | | | | D13 |
| 99 | | P1_4 | | | | | | D12 |
| 100 | | P1_3 | | | | | | D11 |

表1.8 128ピン版端子名一覧表(3)

| Pin No. | 制御端子 | ポート | 割り込み端子 | タイマ端子 | UART端子 | アナログ端子 | CANモジュール端子 | バス制御端子 |
|---------|------|-------|--------|-------|--------|--------|------------|--------|
| 101 | | P1_2 | | | | | | D10 |
| 102 | | P1_1 | | | | | | D9 |
| 103 | | P1_0 | | | | | | D8 |
| 104 | | P0_7 | | | | AN0_7 | | D7 |
| 105 | | P0_6 | | | | AN0_6 | | D6 |
| 106 | | P0_5 | | | | AN0_5 | | D5 |
| 107 | | P0_4 | | | | AN0_4 | | D4 |
| 108 | | P0_3 | | | | AN0_3 | | D3 |
| 109 | | P0_2 | | | | AN0_2 | | D2 |
| 110 | | P0_1 | | | | AN0_1 | | D1 |
| 111 | | P0_0 | | | | AN0_0 | | D0 |
| 112 | | P11_7 | | | SIN6 | | | |
| 113 | | P11_6 | | | SOUT6 | | | |
| 114 | | P11_5 | | | CLK6 | | | |
| 115 | | P11_4 | | | | | | |
| 116 | | P11_3 | | | | | | |
| 117 | | P11_2 | | | SOUT5 | | | |
| 118 | | P11_1 | | | SIN5 | | | |
| 119 | | P11_0 | | | CLK5 | | | |
| 120 | | P10_7 | KI3 | | | AN7 | | |
| 121 | | P10_6 | KI2 | | | AN6 | | |
| 122 | | P10_5 | KI1 | | | AN5 | | |
| 123 | | P10_4 | KI0 | | | AN4 | | |
| 124 | | P10_3 | | | | AN3 | | |
| 125 | | P10_2 | | | | AN2 | | |
| 126 | | P10_1 | | | | AN1 | | |
| 127 | AVSS | | | | | | | |
| 128 | | P10_0 | | | | AN0 | | |

1.6 端子の機能説明

表1.9～表1.11に端子の機能説明を示します。

表1.9 端子の機能説明(100ピン版、128ピン版共通)(1)

| 名称 | 端子名 | 入出力 | 機能 |
|----------------|-------------------------|--------------------------------------|--|
| 電源入力 | VCC1、VCC2、VSS | 入力 | VCC1、VCC2端子には3.0～5.5Vを入力してください。VCCの入力条件はVCC2 = VCC1です(注1)。VSS端子には0Vを入力してください。 |
| アナログ電源入力 | AVCC、AVSS | 入力 | A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。 |
| リセット入力 | RESET | 入力 | この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。 |
| CNVSS | CNVSS | 入力 | プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。 |
| 外部データバス幅切り替え入力 | BYTE | 入力 | 外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードではVSSに接続してください。 |
| バス制御端子 | D0～D7 | 入出力 | セパレートバスを設定している領域をアクセスしたとき、データ(D0～D7)の入出力を行います。 |
| | D8～D15 | 入出力 | 外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたとき、データ(D8～D15)の入出力を行います。 |
| | A0～A19 | 出力 | アドレスA0～A19を出力します。 |
| | A0/D0～A7/D7 | 入出力 | 外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A0～A7)の出力を時分割で行います。 |
| | A1/D0～A8/D7 | 入出力 | 外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A1～A8)の出力を時分割で行います。 |
| | CS0～CS3 | 出力 | チップセレクト信号でアクセス空間の指定に使用します。 |
| | WRL/WR WRH/BHE RD | 出力 | WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRH、またはBHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込み、RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのときは、このモードを使用してください。 |
| | ALE | 出力 | アドレスをラッチするための信号です。 |
| | HOLD | 入力 | 入力が“L”の期間、マイクロコンピュータはホールド状態になります。 |
| | HLDA | 出力 | ホールド状態の期間、“L”を出力します。 |
| RDY | 入力 | 入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。 | |

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

表1.10 端子の機能説明(100ピン版、128ピン版共通)(2)

| 名称 | 端子名 | 入出力 | 機能 |
|---------------------|---|---------|--|
| メインクロック 入力 | XIN | 入力 | メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。 |
| メインクロック 出力 | XOUT | 出力 | |
| サブクロック 入力 | XCIN | 入力 | サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください(注1)。 |
| サブクロック 出力 | XCOUT | 出力 | 外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。 |
| BCLK出力 | BCLK | 出力 | BCLK信号を出力します。 |
| クロック出力 | CLKOUT | 出力 | fC、f8、またはf32と同じ周期のクロックを出力します。 |
| INT割り込み入力 | INT0 ~ INT8(注2) | 入力 | INT割り込みの入力です。 |
| NMI割り込み入力 | NMI | 入力 | NMI割り込みの入力です。 |
| キー入力割り込み 入力 | KI0 ~ KI3 | 入力 | キー入力割り込みの入力です。 |
| タイマA | TA0OUT ~ TA4OUT | 入出力 | TA0 ~ TA4の入出力です。 |
| | TA0IN ~ TA4IN | 入力 | TA0 ~ TA4の入力です。 |
| | ZP | 入力 | Z相の入力です。 |
| タイマB | TB0IN ~ TB5IN | 入力 | TB0 ~ TB5の入力です。 |
| 三相モータ制御 用タイマ出力 | U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} | 出力 | 三相モータ制御用タイマの出力です。 |
| シリアル インタフェース | CTS0 ~ CTS2 | 入力 | 送信制御用入力です。 |
| | RTS0 ~ RTS2 | 出力 | 受信制御用出力です。 |
| | CLK0 ~ CLK8(注2) | 入出力 | 転送クロック入出力です。 |
| | RXD0 ~ RXD2 | 入力 | シリアルデータ入力です。 |
| | SIN3 ~ SIN8(注2) | 入力 | シリアルデータ入力です。 |
| | TXD0 ~ TXD2 | 出力 | シリアルデータ出力です。 |
| | SOUT3 ~ SOUT8(注2) | 出力 | シリアルデータ出力です。 |
| | CLKS1 | 出力 | 転送クロック複数端子出力機能の出力です。 |
| I ² Cモード | SDA0 ~ SDA2 | 入出力 | シリアルデータ入出力です。 |
| | SCL0 ~ SCL2 | 入出力 | 転送クロック入出力です(ただし、SCL2の出力はNチャネルオープンドレイン)。 |
| 基準電圧入力 | VREF | 入力 | A/Dコンバータ、D/Aコンバータの基準電圧入力です。 |
| A/Dコンバータ | AN0 ~ AN7 AN0_0 ~ AN0_7 AN2_0 ~ AN2_7 | 入力 | A/Dコンバータのアナログ入力です。 |
| | \overline{ADTRG} | 入力 | A/D外部トリガ入力です。 |
| | ANEX0 | 入出力 | A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。 |
| | ANEX1 | 入力 | A/Dコンバータの拡張アナログ入力です。 |
| | D/Aコンバータ | DA0、DA1 | 出力 |
| CANモジュール | CRX0 | 入力 | CANモジュールの入力です。 |
| | CTX0 | 出力 | CANモジュールの出力です。 |

注1. 発振特性は発振子メーカーにお問い合わせください。

注2. INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6、SOUT5、SOUT6は128ピン版にのみあります。

表1.11 端子の機能説明(100ピン版、128ピン版共通)(2)

| 名称 | 端子名 | 入出力 | 機能 |
|--------|--|-----|--|
| 入出力ポート | P0_0 ~ P0_7 P1_0 ~ P1_7 P2_0 ~ P2_7 P3_0 ~ P3_7 P4_0 ~ P4_7 P5_0 ~ P5_7 P6_0 ~ P6_7 P7_0 ~ P7_7 P8_0 ~ P8_4 P8_6、P8_7 P9_0 ~ P9_7 P10_0 ~ P10_7 P11_0 ~ P11_7(注1) P12_0 ~ P12_7(注1) P13_0 ~ P13_7(注1) P14_0、P14_1(注1) | 入出力 | CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます(ただし、P7_1、P9_1はNチャネルオープンドレイン出力)。 |
| 入力ポート | P8_5 | 入力 | NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。 |

注1. P11 ~ P14は128ピン版にのみあります。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

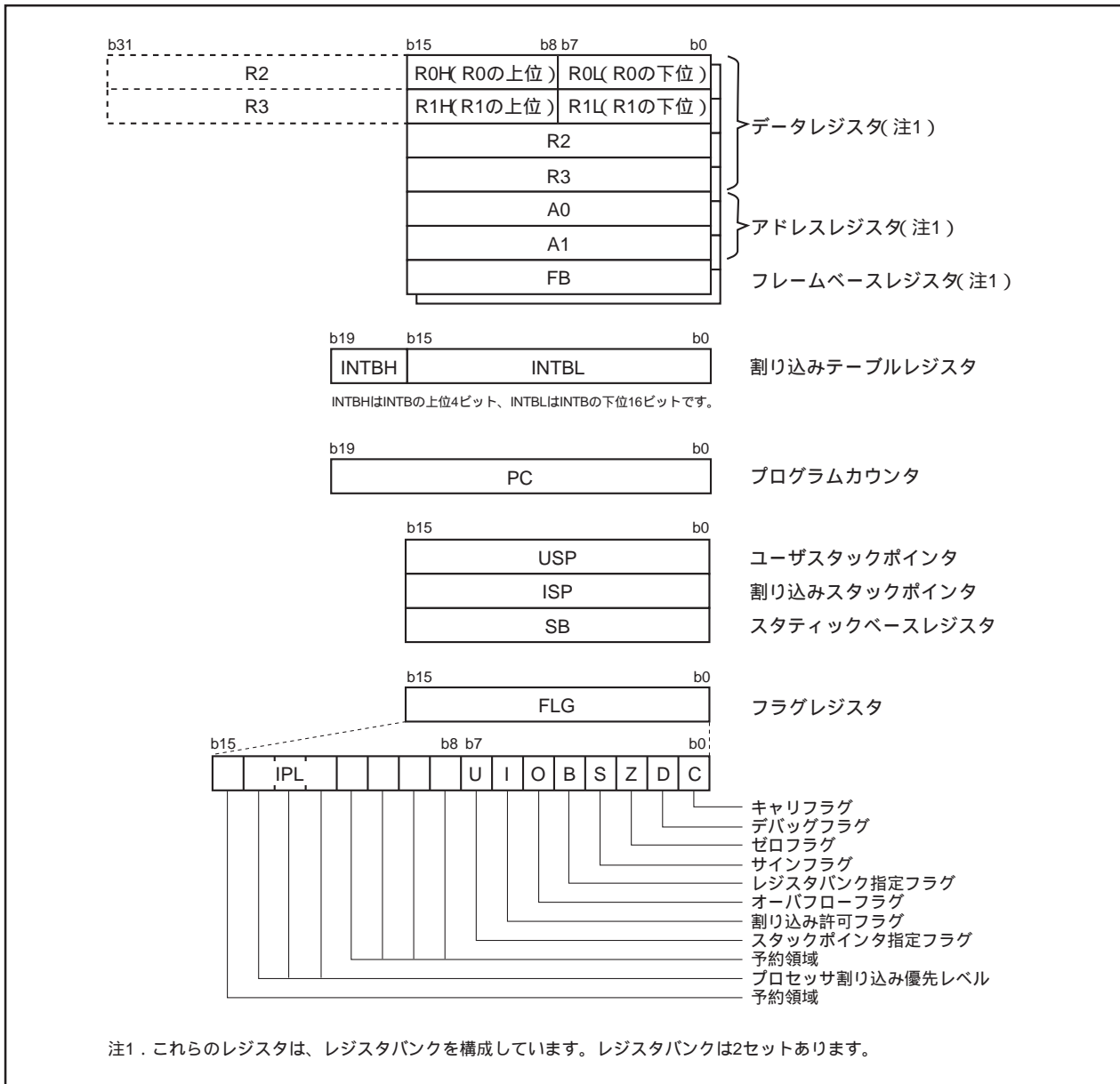


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算にも使用します。A1はA0と同様です。

A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されています。例えば512Kバイトの内部ROMは、80000h番地からFFFFFFh番地に配置されています。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域 (ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFFh番地に配置されています。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されています。例えば31Kバイトの内部RAMは、00400h番地から07FFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

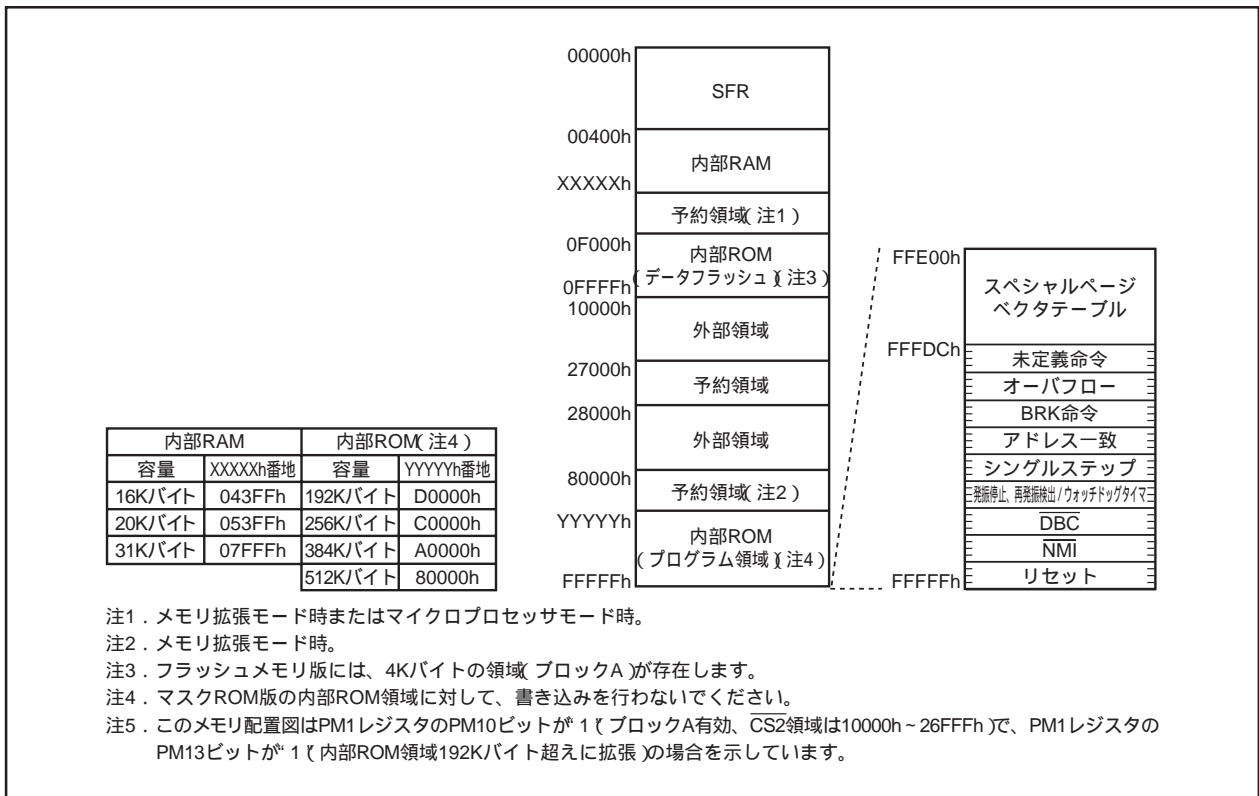


図3.1 メモリ配置図

4 . SFR

SFR(Special Function Register)は周辺機能の制御レジスタです。

表4.1 ~ 表4.12にSFR一覧を示します。

表4.1 SFR一覧(1)(注3)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|--------------------|--------|--|
| 0000h | | | |
| 0001h | | | |
| 0002h | | | |
| 0003h | | | |
| 0004h | プロセッサモードレジスタ0 (注1) | PM0 | 00000000b(CNVSS端子が [®] L) 00000011b(CNVSS端子が [®] H) |
| 0005h | プロセッサモードレジスタ1 | PM1 | 00001000b |
| 0006h | システムクロック制御レジスタ0 | CM0 | 01001000b |
| 0007h | システムクロック制御レジスタ1 | CM1 | 00100000b |
| 0008h | チップセレクト制御レジスタ | CSR | 00000001b |
| 0009h | アドレス一致割り込み許可レジスタ | AIER | XXXXXX00b |
| 000Ah | プロテクトレジスタ | PRCR | XX000000b |
| 000Bh | | | |
| 000Ch | 発振停止検出レジスタ (注2) | CM2 | 0X000000b |
| 000Dh | | | |
| 000Eh | ウォッチドッグタイマスタートレジスタ | WDTS | XXh |
| 000Fh | ウォッチドッグタイマ制御レジスタ | WDC | 00XXXXXXb |
| 0010h | | | 00h |
| 0011h | アドレス一致割り込みレジスタ0 | RMAD0 | 00h |
| 0012h | | | X0h |
| 0013h | | | |
| 0014h | | | 00h |
| 0015h | アドレス一致割り込みレジスタ1 | RMAD1 | 00h |
| 0016h | | | X0h |
| 0017h | | | |
| 0018h | | | |
| 0019h | | | |
| 001Ah | | | |
| 001Bh | チップセレクト拡張制御レジスタ | CSE | 00h |
| 001Ch | PLL制御レジスタ0 | PLC0 | 0001X010b |
| 001Dh | | | |
| 001Eh | プロセッサモードレジスタ2 | PM2 | XXX00000b |
| 001Fh | | | |
| 0020h | | | XXh |
| 0021h | DMA0ソースポインタ | SAR0 | XXh |
| 0022h | | | XXh |
| 0023h | | | |
| 0024h | | | XXh |
| 0025h | DMA0ディスティネーションポインタ | DAR0 | XXh |
| 0026h | | | XXh |
| 0027h | | | |
| 0028h | DMA0転送カウンタ | TCR0 | XXh |
| 0029h | | | XXh |
| 002Ah | | | |
| 002Bh | | | |
| 002Ch | DMA0制御レジスタ | DM0CON | 00000X00b |
| 002Dh | | | |
| 002Eh | | | |
| 002Fh | | | |
| 0030h | | | XXh |
| 0031h | DMA1ソースポインタ | SAR1 | XXh |
| 0032h | | | XXh |
| 0033h | | | |
| 0034h | | | XXh |
| 0035h | DMA1ディスティネーションポインタ | DAR1 | XXh |
| 0036h | | | XXh |
| 0037h | | | |
| 0038h | DMA1転送カウンタ | TCR1 | XXh |
| 0039h | | | XXh |
| 003Ah | | | |
| 003Bh | | | |
| 003Ch | DMA1制御レジスタ | DM1CON | 00000X00b |
| 003Dh | | | |
| 003Eh | | | |
| 003Fh | | | |

X : 不定です。

注1 . PM0レジスタのPM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注2 . CM2レジスタのCM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注3 . 空欄は予約領域です。アクセスしないでください。

表4.2 SFR一覧(2頁注2)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-------------------------|----------|-----------|
| 0040h | | | |
| 0041h | CAN0ウェイクアップ割り込み制御レジスタ | C01WKIC | XXXXX000b |
| 0042h | CAN0受信完了割り込み制御レジスタ | C0RECIC | XXXXX000b |
| 0043h | CAN0送信完了割り込み制御レジスタ | C0TRMIC | XXXXX000b |
| 0044h | INT3割り込み制御レジスタ | INT3IC | XX00X000b |
| 0045h | タイマB5割り込み制御レジスタ | TB5IC | XXXXX000b |
| | SI/O5割り込み制御レジスタ(注1) | S5IC | |
| 0046h | タイマB4割り込み制御レジスタ | TB4IC | XXXXX000b |
| | UART1バス衝突検出割り込み制御レジスタ | U1BCNIC | |
| 0047h | タイマB3割り込み制御レジスタ | TB3IC | XXXXX000b |
| | UART0バス衝突検出割り込み制御レジスタ | U0BCNIC | |
| 0048h | SI/O4割り込み制御レジスタ | S4IC | XX00X000b |
| | INT5割り込み制御レジスタ | INT5IC | |
| 0049h | SI/O3割り込み制御レジスタ | S3IC | XX00X000b |
| | INT4割り込み制御レジスタ | INT4IC | |
| 004Ah | UART2バス衝突検出割り込み制御レジスタ | U2BCNIC | XXXXX000b |
| 004Bh | DMA0割り込み制御レジスタ | DM0IC | XXXXX000b |
| 004Ch | DMA1割り込み制御レジスタ | DM1IC | XXXXX000b |
| 004Dh | CAN0ステート、エラー割り込み制御レジスタ | C01ERRIC | XXXXX000b |
| 004Eh | A-D変換割り込み制御レジスタ | ADIC | XXXXX000b |
| | キー入力割り込み制御レジスタ | KUPIC | |
| 004Fh | UART2送信割り込み制御レジスタ | S2TIC | XXXXX000b |
| 0050h | UART2受信割り込み制御レジスタ | S2RIC | XXXXX000b |
| 0051h | UART0送信割り込み制御レジスタ | S0TIC | XXXXX000b |
| 0052h | UART0受信割り込み制御レジスタ | S0RIC | XXXXX000b |
| 0053h | UART1送信割り込み制御レジスタ | S1TIC | XXXXX000b |
| 0054h | UART1受信割り込み制御レジスタ | S1RIC | XXXXX000b |
| 0055h | タイマA0割り込み制御レジスタ | TA0IC | XXXXX000b |
| 0056h | タイマA1割り込み制御レジスタ | TA1IC | XXXXX000b |
| | タイマA2割り込み制御レジスタ | TA2IC | |
| 0057h | INT7割り込み制御レジスタ(注1) | INT7IC | XX00X000b |
| | タイマA3割り込み制御レジスタ | TA3IC | |
| 0058h | INT6割り込み制御レジスタ(注1) | INT6IC | XX00X000b |
| | タイマA4割り込み制御レジスタ | TA4IC | |
| 0059h | タイマB0割り込み制御レジスタ | TB0IC | XXXXX000b |
| 005Ah | SI/O6割り込み制御レジスタ(注1) | S6IC | XXXXX000b |
| | タイマB1割り込み制御レジスタ | TB1IC | |
| 005Bh | INT8割り込み制御レジスタ(注1) | INT8IC | XX00X000b |
| | タイマB2割り込み制御レジスタ | TB2IC | |
| 005Ch | INT0割り込み制御レジスタ | INT0IC | XX00X000b |
| 005Eh | INT1割り込み制御レジスタ | INT1IC | XX00X000b |
| 005Fh | INT2割り込み制御レジスタ | INT2IC | XX00X000b |
| 0060h | | | XXh |
| 0061h | | | XXh |
| 0062h | CAN0スロット0: メッセージ識別子/DLC | | XXh |
| 0063h | | | XXh |
| 0064h | | | XXh |
| 0065h | | | XXh |
| 0066h | | | XXh |
| 0067h | | XXh | |
| 0068h | | XXh | |
| 0069h | CAN0スロット0: データフィールド | | XXh |
| 006Ah | | | XXh |
| 006Bh | | | XXh |
| 006Ch | | | XXh |
| 006Dh | | | XXh |
| 006Eh | CAN0スロット0: タイムスタンプ | | XXh |
| 006Fh | | | XXh |
| 0070h | | | XXh |
| 0071h | | | XXh |
| 0072h | CAN0スロット1: メッセージ識別子/DLC | | XXh |
| 0073h | | | XXh |
| 0074h | | | XXh |
| 0075h | | | XXh |
| 0076h | | | XXh |
| 0077h | | XXh | |
| 0078h | | XXh | |
| 0079h | CAN0スロット1: データフィールド | | XXh |
| 007Ah | | | XXh |
| 007Bh | | | XXh |
| 007Ch | | | XXh |
| 007Dh | | | XXh |
| 007Eh | CAN0スロット1: タイムスタンプ | | XXh |
| 007Fh | | | XXh |

X: 不定です。

注1. これらのレジスタは128ピン版のみです。
注2. 空欄は予約領域です。アクセスしないでください。

表4.3 SFR一覧(3)

| 番地 | レジスタ | シンボル | リセット後の値 | | |
|-------|--------------------------|------|--------------------------|--|-----|
| 0080h | CAN0スロット2 : メッセージ識別子/DLC | | XXh | | |
| 0081h | | | XXh | | |
| 0082h | | | XXh | | |
| 0083h | | | XXh | | |
| 0084h | | | XXh | | |
| 0085h | | | XXh | | |
| 0086h | CAN0スロット2 : データフィールド | | XXh | | |
| 0087h | | | XXh | | |
| 0088h | | | XXh | | |
| 0089h | | | XXh | | |
| 008Ah | | | XXh | | |
| 008Bh | | | XXh | | |
| 008Ch | CAN0スロット2 : タイムスタンプ | | XXh | | |
| 008Dh | | | XXh | | |
| 008Eh | | | XXh | | |
| 008Fh | | | XXh | | |
| 0090h | | | CAN0スロット3 : メッセージ識別子/DLC | | XXh |
| 0091h | | | | | XXh |
| 0092h | XXh | | | | |
| 0093h | XXh | | | | |
| 0094h | XXh | | | | |
| 0095h | XXh | | | | |
| 0096h | CAN0スロット3 : データフィールド | | XXh | | |
| 0097h | | | XXh | | |
| 0098h | | | XXh | | |
| 0099h | | | XXh | | |
| 009Ah | | | XXh | | |
| 009Bh | | | XXh | | |
| 009Ch | CAN0スロット3 : タイムスタンプ | | XXh | | |
| 009Dh | | | XXh | | |
| 009Eh | | | XXh | | |
| 009Fh | | | XXh | | |
| 00A0h | | | CAN0スロット4 : メッセージ識別子/DLC | | XXh |
| 00A1h | | | | | XXh |
| 00A2h | XXh | | | | |
| 00A3h | XXh | | | | |
| 00A4h | XXh | | | | |
| 00A5h | XXh | | | | |
| 00A6h | CAN0スロット4 : データフィールド | | XXh | | |
| 00A7h | | | XXh | | |
| 00A8h | | | XXh | | |
| 00A9h | | | XXh | | |
| 00AAh | | | XXh | | |
| 00ABh | | | XXh | | |
| 00ACh | CAN0スロット4 : タイムスタンプ | | XXh | | |
| 00ADh | | | XXh | | |
| 00AEh | | | XXh | | |
| 00AFh | | | XXh | | |
| 00B0h | | | CAN0スロット5 : メッセージ識別子/DLC | | XXh |
| 00B1h | | | | | XXh |
| 00B2h | XXh | | | | |
| 00B3h | XXh | | | | |
| 00B4h | XXh | | | | |
| 00B5h | XXh | | | | |
| 00B6h | CAN0スロット5 : データフィールド | | XXh | | |
| 00B7h | | | XXh | | |
| 00B8h | | | XXh | | |
| 00B9h | | | XXh | | |
| 00BAh | | | XXh | | |
| 00BBh | | | XXh | | |
| 00BCh | CAN0スロット5 : タイムスタンプ | | XXh | | |
| 00BDh | | | XXh | | |
| 00BEh | | | XXh | | |
| 00BFh | | | XXh | | |

X : 不定です。

表4.4 SFR一覧(4)

| 番地 | レジスタ | シンボル | リセット後の値 | | |
|-------|--------------------------|------|--------------------------|--|-----|
| 00C0h | CAN0スロット6 : メッセージ識別子/DLC | | XXh | | |
| 00C1h | | | XXh | | |
| 00C2h | | | XXh | | |
| 00C3h | | | XXh | | |
| 00C4h | | | XXh | | |
| 00C5h | | | XXh | | |
| 00C6h | CAN0スロット6 : データフィールド | | XXh | | |
| 00C7h | | | XXh | | |
| 00C8h | | | XXh | | |
| 00C9h | | | XXh | | |
| 00CAh | | | XXh | | |
| 00CBh | | | XXh | | |
| 00CCh | CAN0スロット6 : タイムスタンプ | | XXh | | |
| 00CDh | | | XXh | | |
| 00CEh | | | XXh | | |
| 00CFh | | | XXh | | |
| 00D0h | | | CAN0スロット7 : メッセージ識別子/DLC | | XXh |
| 00D1h | | | | | XXh |
| 00D2h | XXh | | | | |
| 00D3h | XXh | | | | |
| 00D4h | XXh | | | | |
| 00D5h | XXh | | | | |
| 00D6h | CAN0スロット7 : データフィールド | | XXh | | |
| 00D7h | | | XXh | | |
| 00D8h | | | XXh | | |
| 00D9h | | | XXh | | |
| 00DAh | | | XXh | | |
| 00DBh | | | XXh | | |
| 00DCh | CAN0スロット7 : タイムスタンプ | | XXh | | |
| 00DDh | | | XXh | | |
| 00DEh | | | XXh | | |
| 00DFh | | | XXh | | |
| 00E0h | | | CAN0スロット8 : メッセージ識別子/DLC | | XXh |
| 00E1h | | | | | XXh |
| 00E2h | XXh | | | | |
| 00E3h | XXh | | | | |
| 00E4h | XXh | | | | |
| 00E5h | XXh | | | | |
| 00E6h | CAN0スロット8 : データフィールド | | XXh | | |
| 00E7h | | | XXh | | |
| 00E8h | | | XXh | | |
| 00E9h | | | XXh | | |
| 00EAh | | | XXh | | |
| 00EBh | | | XXh | | |
| 00ECh | CAN0スロット8 : タイムスタンプ | | XXh | | |
| 00EDh | | | XXh | | |
| 00EEh | | | XXh | | |
| 00EFh | | | XXh | | |
| 00F0h | | | CAN0スロット9 : メッセージ識別子/DLC | | XXh |
| 00F1h | | | | | XXh |
| 00F2h | XXh | | | | |
| 00F3h | XXh | | | | |
| 00F4h | XXh | | | | |
| 00F5h | XXh | | | | |
| 00F6h | CAN0スロット9 : データフィールド | | XXh | | |
| 00F7h | | | XXh | | |
| 00F8h | | | XXh | | |
| 00F9h | | | XXh | | |
| 00FAh | | | XXh | | |
| 00FBh | | | XXh | | |
| 00FCh | CAN0スロット9 : タイムスタンプ | | XXh | | |
| 00FDh | | | XXh | | |
| 00FEh | | | XXh | | |
| 00FFh | | | XXh | | |

X : 不定です。

表4.5 SFR一覧(5)

| 番地 | レジスタ | シンボル | リセット後の値 | | |
|-------|---------------------------|------|---------------------------|--|-----|
| 0100h | CAN0スロット10 : メッセージ識別子/DLC | | XXh | | |
| 0101h | | | XXh | | |
| 0102h | | | XXh | | |
| 0103h | | | XXh | | |
| 0104h | | | XXh | | |
| 0105h | | | XXh | | |
| 0106h | CAN0スロット10 : データフィールド | | XXh | | |
| 0107h | | | XXh | | |
| 0108h | | | XXh | | |
| 0109h | | | XXh | | |
| 010Ah | | | XXh | | |
| 010Bh | | | XXh | | |
| 010Ch | CAN0スロット10 : タイムスタンプ | | XXh | | |
| 010Dh | | | XXh | | |
| 010Eh | | | XXh | | |
| 010Fh | | | XXh | | |
| 0110h | | | CAN0スロット11 : メッセージ識別子/DLC | | XXh |
| 0111h | | | | | XXh |
| 0112h | XXh | | | | |
| 0113h | XXh | | | | |
| 0114h | XXh | | | | |
| 0115h | XXh | | | | |
| 0116h | CAN0スロット11 : データフィールド | | XXh | | |
| 0117h | | | XXh | | |
| 0118h | | | XXh | | |
| 0119h | | | XXh | | |
| 011Ah | | | XXh | | |
| 011Bh | | | XXh | | |
| 011Ch | CAN0スロット11 : タイムスタンプ | | XXh | | |
| 011Dh | | | XXh | | |
| 011Eh | | | XXh | | |
| 011Fh | | | XXh | | |
| 0120h | | | CAN0スロット12 : メッセージ識別子/DLC | | XXh |
| 0121h | | | | | XXh |
| 0122h | XXh | | | | |
| 0123h | XXh | | | | |
| 0124h | XXh | | | | |
| 0125h | XXh | | | | |
| 0126h | CAN0スロット12 : データフィールド | | XXh | | |
| 0127h | | | XXh | | |
| 0128h | | | XXh | | |
| 0129h | | | XXh | | |
| 012Ah | | | XXh | | |
| 012Bh | | | XXh | | |
| 012Ch | CAN0スロット12 : タイムスタンプ | | XXh | | |
| 012Dh | | | XXh | | |
| 012Eh | | | XXh | | |
| 012Fh | | | XXh | | |
| 0130h | | | CAN0スロット13 : メッセージ識別子/DLC | | XXh |
| 0131h | | | | | XXh |
| 0132h | XXh | | | | |
| 0133h | XXh | | | | |
| 0134h | XXh | | | | |
| 0135h | XXh | | | | |
| 0136h | CAN0スロット13 : データフィールド | | XXh | | |
| 0137h | | | XXh | | |
| 0138h | | | XXh | | |
| 0139h | | | XXh | | |
| 013Ah | | | XXh | | |
| 013Bh | | | XXh | | |
| 013Ch | CAN0スロット13 : タイムスタンプ | | XXh | | |
| 013Dh | | | XXh | | |
| 013Eh | | | XXh | | |
| 013Fh | | | XXh | | |

X : 不定です。

表4.6 SFR一覧(6頁注1)

| 番地 | レジスタ | シンボル | リセット後の値 | | |
|-------|---------------------------|--------|---------------------------|-------|-----|
| 0140h | CAN0スロット14 : メッセージ識別子/DLC | | XXh | | |
| 0141h | | | XXh | | |
| 0142h | | | XXh | | |
| 0143h | | | XXh | | |
| 0144h | | | XXh | | |
| 0145h | | | XXh | | |
| 0146h | CAN0スロット14 : データフィールド | | XXh | | |
| 0147h | | | XXh | | |
| 0148h | | | XXh | | |
| 0149h | | | XXh | | |
| 014Ah | | | XXh | | |
| 014Bh | | | XXh | | |
| 014Ch | CAN0スロット14 : タイムスタンプ | | XXh | | |
| 014Dh | | | XXh | | |
| 014Eh | | | XXh | | |
| 014Fh | | | XXh | | |
| 0150h | | | CAN0スロット15 : メッセージ識別子/DLC | | XXh |
| 0151h | | | | | XXh |
| 0152h | XXh | | | | |
| 0153h | XXh | | | | |
| 0154h | XXh | | | | |
| 0155h | XXh | | | | |
| 0156h | CAN0スロット15 : データフィールド | | XXh | | |
| 0157h | | | XXh | | |
| 0158h | | | XXh | | |
| 0159h | | | XXh | | |
| 015Ah | | | XXh | | |
| 015Bh | | | XXh | | |
| 015Ch | CAN0スロット15 : タイムスタンプ | | XXh | | |
| 015Dh | | | XXh | | |
| 015Eh | | | XXh | | |
| 015Fh | | | XXh | | |
| 0160h | | | CAN0グローバルマスクレジスタ | C0GMR | XXh |
| 0161h | | | | | XXh |
| 0162h | XXh | | | | |
| 0163h | XXh | | | | |
| 0164h | XXh | | | | |
| 0165h | XXh | | | | |
| 0166h | CAN0ローカルマスクAレジスタ | C0LMAR | XXh | | |
| 0167h | | | XXh | | |
| 0168h | | | XXh | | |
| 0169h | | | XXh | | |
| 016Ah | | | XXh | | |
| 016Bh | | | XXh | | |
| 016Ch | CAN0ローカルマスクBレジスタ | C0LMBR | XXh | | |
| 016Dh | | | XXh | | |
| 016Eh | | | XXh | | |
| 016Fh | | | XXh | | |
| 0170h | | | XXh | | |
| 0171h | | | XXh | | |
| 0172h | | | | | |
| 0173h | | | | | |
| 0174h | | | | | |
| 0175h | | | | | |
| 0176h | | | | | |
| 0177h | | | | | |
| 0178h | | | | | |
| 0179h | | | | | |
| 017Ah | | | | | |
| 017Bh | | | | | |
| 017Ch | | | | | |
| 017Dh | | | | | |
| 017Eh | | | | | |
| 017Fh | | | | | |

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.7 SFR一覧(7頁注2)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------------|-------|-----------|
| 0180h | | | |
| 0181h | | | |
| 0182h | | | |
| 0183h | | | |
| 0184h | | | |
| 0185h | | | |
| 0186h | | | |
| 0187h | | | |
| 0188h | | | |
| 0189h | | | |
| 018Ah | | | |
| 018Bh | | | |
| 018Ch | | | |
| 018Dh | | | |
| 018Eh | | | |
| 018Fh | | | |
| 0190h | | | |
| 0191h | | | |
| 0192h | | | |
| 0193h | | | |
| 0194h | | | |
| 0195h | | | |
| 0196h | | | |
| 0197h | | | |
| 0198h | | | |
| 0199h | | | |
| 019Ah | | | |
| 019Bh | | | |
| 019Ch | | | |
| 019Dh | | | |
| 019Eh | | | |
| 019Fh | | | |
| 01A0h | | | |
| 01A1h | | | |
| 01A2h | | | |
| 01A3h | | | |
| 01A4h | | | |
| 01A5h | | | |
| 01A6h | | | |
| 01A7h | | | |
| 01A8h | | | |
| 01A9h | | | |
| 01AAh | | | |
| 01ABh | | | |
| 01ACh | | | |
| 01ADh | | | |
| 01AEh | | | |
| 01AFh | | | |
| 01B0h | | | |
| 01B1h | | | |
| 01B2h | | | |
| 01B3h | | | |
| 01B4h | | | |
| 01B5h | フラッシュメモリ制御レジスタ1 (注1) | FMR1 | 0X00XX0Xb |
| 01B6h | | | |
| 01B7h | フラッシュメモリ制御レジスタ0 (注1) | FMR0 | 00000001b |
| 01B8h | | | 00h |
| 01B9h | アドレス一致割り込みレジスタ2 | RMAD2 | 00h |
| 01BAh | | | X0h |
| 01BBh | アドレス一致割り込み許可レジスタ2 | AIER2 | XXXXXX00b |
| 01BCh | | | 00h |
| 01BDh | アドレス一致割り込みレジスタ3 | RMAD3 | 00h |
| 01BEh | | | X0h |
| 01BFh | | | |

X : 不定です。

注1 . これらのレジスタはフラッシュメモリ版にあります。マスクROM版ではアクセスしないでください。

注2 . 空欄は予約領域です。アクセスしないでください。

表4.8 SFR一覧(8頁注3)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|------------------------|----------|-----------|
| 01C0h | タイマB3, B4, B5カウント開始フラグ | TBSR | 000XXXXXb |
| 01C1h | | | |
| 01C2h | タイマA1-1レジスタ | TA11 | XXh |
| 01C3h | | | XXh |
| 01C4h | タイマA2-1レジスタ | TA21 | XXh |
| 01C5h | | | XXh |
| 01C6h | タイマA4-1レジスタ | TA41 | XXh |
| 01C7h | | | XXh |
| 01C8h | 三相PWM制御レジスタ0 | INVC0 | 00h |
| 01C9h | 三相PWM制御レジスタ1 | INVC1 | 00h |
| 01CAh | 三相出力バッファレジスタ0 | IDB0 | 00111111b |
| 01CBh | 三相出力バッファレジスタ1 | IDB1 | 00111111b |
| 01CCh | 短絡防止タイマ | DTT | XXh |
| 01CDh | タイマB2割り込み発生頻度設定カウンタ | ICTB2 | XXh |
| 01CEh | | | |
| 01CFh | 割り込み要因選択レジスタ2 | IFSR2 | X0000000b |
| 01D0h | タイマB3レジスタ | TB3 | XXh |
| 01D1h | | | XXh |
| 01D2h | タイマB4レジスタ | TB4 | XXh |
| 01D3h | | | XXh |
| 01D4h | タイマB5レジスタ | TB5 | XXh |
| 01D5h | | | XXh |
| 01D6h | SI/O6送受信レジスタ(注1) | S6TRR | XXh |
| 01D7h | | | |
| 01D8h | SI/O6制御レジスタ(注1) | S6C | 01000000b |
| 01D9h | SI/O6ビットレートレジスタ(注1) | S6BRG | XXh |
| 01DAh | SI/O3,4,5,6送受信レジスタ(注2) | S3456TRR | XXXX0000b |
| 01DBh | タイマB3モードレジスタ | TB3MR | 00XX0000b |
| 01DCh | タイマB4モードレジスタ | TB4MR | 00XX0000b |
| 01DDh | タイマB5モードレジスタ | TB5MR | 00XX0000b |
| 01DEh | 割り込み要因選択レジスタ0 | IFSR0 | 00h |
| 01DFh | 割り込み要因選択レジスタ1 | IFSR1 | 00h |
| 01E0h | SI/O3送受信レジスタ | S3TRR | XXh |
| 01E1h | | | |
| 01E2h | SI/O3制御レジスタ | S3C | 01000000b |
| 01E3h | SI/O3ビットレートレジスタ | S3BRG | XXh |
| 01E4h | SI/O4送受信レジスタ | S4TRR | XXh |
| 01E5h | | | |
| 01E6h | SI/O4制御レジスタ | S4C | 01000000b |
| 01E7h | SI/O4ビットレートレジスタ | S4BRG | XXh |
| 01E8h | SI/O5送受信レジスタ(注1) | S5TRR | XXh |
| 01E9h | | | |
| 01EAh | SI/O5制御レジスタ(注1) | S5C | 01000000b |
| 01EBh | SI/O5ビットレートレジスタ(注1) | S5BRG | XXh |
| 01ECh | UART0特殊モードレジスタ4 | U0SMR4 | 00h |
| 01EDh | UART0特殊モードレジスタ3 | U0SMR3 | 000X0X0Xb |
| 01EEh | UART0特殊モードレジスタ2 | U0SMR2 | X0000000b |
| 01EFh | UART0特殊モードレジスタ | U0SMR | X0000000b |
| 01F0h | UART1特殊モードレジスタ4 | U1SMR4 | 00h |
| 01F1h | UART1特殊モードレジスタ3 | U1SMR3 | 000X0X0Xb |
| 01F2h | UART1特殊モードレジスタ2 | U1SMR2 | X0000000b |
| 01F3h | UART1特殊モードレジスタ | U1SMR | X0000000b |
| 01F4h | UART2特殊モードレジスタ4 | U2SMR4 | 00h |
| 01F5h | UART2特殊モードレジスタ3 | U2SMR3 | 000X0X0Xb |
| 01F6h | UART2特殊モードレジスタ2 | U2SMR2 | X0000000b |
| 01F7h | UART2特殊モードレジスタ | U2SMR | X0000000b |
| 01F8h | UART2送受信モードレジスタ | U2MR | 00h |
| 01F9h | UART2ビットレートレジスタ | U2BRG | XXh |
| 01FAh | | | XXh |
| 01FBh | UART2送信バッファレジスタ | U2TB | XXh |
| 01FCh | UART2送受信制御レジスタ0 | U2C0 | 00001000b |
| 01FDh | UART2送受信制御レジスタ1 | U2C1 | 00000010b |
| 01FEh | | | XXh |
| 01FFh | UART2受信バッファレジスタ | U2RB | XXh |

X: 不定です。

- 注1. これらのレジスタは128ピン版にのみあります。
 注2. S3456TRRレジスタのS5TRF、S6TRFビットは、128ピン版用です。
 注3. 空欄は予約領域です。アクセスしないでください。

表4.9 SFR一覧(9頁注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-------------------|----------|-----------|
| 0200h | CAN0メッセージ制御レジスタ0 | COMCTL0 | 00h |
| 0201h | CAN0メッセージ制御レジスタ1 | COMCTL1 | 00h |
| 0202h | CAN0メッセージ制御レジスタ2 | COMCTL2 | 00h |
| 0203h | CAN0メッセージ制御レジスタ3 | COMCTL3 | 00h |
| 0204h | CAN0メッセージ制御レジスタ4 | COMCTL4 | 00h |
| 0205h | CAN0メッセージ制御レジスタ5 | COMCTL5 | 00h |
| 0206h | CAN0メッセージ制御レジスタ6 | COMCTL6 | 00h |
| 0207h | CAN0メッセージ制御レジスタ7 | COMCTL7 | 00h |
| 0208h | CAN0メッセージ制御レジスタ8 | COMCTL8 | 00h |
| 0209h | CAN0メッセージ制御レジスタ9 | COMCTL9 | 00h |
| 020Ah | CAN0メッセージ制御レジスタ10 | COMCTL10 | 00h |
| 020Bh | CAN0メッセージ制御レジスタ11 | COMCTL11 | 00h |
| 020Ch | CAN0メッセージ制御レジスタ12 | COMCTL12 | 00h |
| 020Dh | CAN0メッセージ制御レジスタ13 | COMCTL13 | 00h |
| 020Eh | CAN0メッセージ制御レジスタ14 | COMCTL14 | 00h |
| 020Fh | CAN0メッセージ制御レジスタ15 | COMCTL15 | 00h |
| 0210h | CAN0制御レジスタ | C0CTLR | X0000001b |
| 0211h | | | XX0X0000b |
| 0212h | CAN0ステータスレジスタ | C0STR | 00h |
| 0213h | | | X0000001b |
| 0214h | CAN0スロットステータスレジスタ | C0SSTR | 00h |
| 0215h | | | 00h |
| 0216h | CAN0割り込み制御レジスタ | C0ICR | 00h |
| 0217h | | | 00h |
| 0218h | CAN0拡張IDレジスタ | C0IDR | 00h |
| 0219h | | | 00h |
| 021Ah | CAN0バスタイミング制御レジスタ | C0CONR | XXh |
| 021Bh | | | XXh |
| 021Ch | CAN0受信エラーカウントレジスタ | C0RECR | 00h |
| 021Dh | CAN0送信エラーカウントレジスタ | C0TECR | 00h |
| 021Eh | CAN0タイムスタンプレジスタ | C0TSR | 00h |
| 021Fh | | | 00h |
| 0220h | | | |
| 0221h | | | |
| 0222h | | | |
| 0223h | | | |
| 0224h | | | |
| 0225h | | | |
| 0226h | | | |
| 0227h | | | |
| 0228h | | | |
| 0229h | | | |
| 022Ah | | | |
| 022Bh | | | |
| 022Ch | | | |
| 022Dh | | | |
| 022Eh | | | |
| 022Fh | | | |
| 0230h | CAN1制御レジスタ | C1CTLR | X0000001b |
| 0231h | | | XX0X0000b |
| 0232h | | | |
| 0233h | | | |
| 0234h | | | |
| 0235h | | | |
| 0236h | | | |
| 0237h | | | |
| 0238h | | | |
| 0239h | | | |
| 023Ah | | | |
| 023Bh | | | |
| 023Ch | | | |
| 023Dh | | | |
| 023Eh | | | |
| 023Fh | | | |

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.10 SFR一覧(10頁注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-------------------------|-------|---------|
| 0240h | | | |
| 0241h | | | |
| 0242h | CAN0アクセプタンスフィルタサポートレジスタ | C0AFS | XXh |
| 0243h | | | XXh |
| 0244h | | | |
| 0245h | | | |
| 0246h | | | |
| 0247h | | | |
| 0248h | | | |
| 0249h | | | |
| 024Ah | | | |
| 024Bh | | | |
| 024Ch | | | |
| 024Dh | | | |
| 024Eh | | | |
| 024Fh | | | |
| 0250h | | | |
| 0251h | | | |
| 0252h | | | |
| 0253h | | | |
| 0254h | | | |
| 0255h | | | |
| 0256h | | | |
| 0257h | | | |
| 0258h | | | |
| 0259h | | | |
| 025Ah | | | |
| 025Bh | | | |
| 025Ch | | | |
| 025Dh | | | |
| 025Eh | 周辺クロック選択レジスタ | PCLKR | 00h |
| 025Fh | CAN0クロック選択レジスタ | CCLKR | 00h |
| 0260h | | | |
| 0261h | | | |
| 0262h | | | |
| 0263h | | | |
| 0264h | | | |
| 0265h | | | |
| 0266h | | | |
| 0267h | | | |
| 0268h | | | |
| 0269h | | | |
| 026Ah | | | |
| 026Bh | | | |
| 026Ch | | | |
| 026Dh | | | |
| 026Eh | | | |
| 026Fh | | | |
| 0270h | | | |
| ⋮ | | | |
| 0372h | | | |
| 0373h | | | |
| 0374h | | | |
| 0375h | | | |
| 0376h | | | |
| 0377h | | | |
| 0378h | | | |
| 0379h | | | |
| 037Ah | | | |
| 037Bh | | | |
| 037Ch | | | |
| 037Dh | | | |
| 037Eh | | | |
| 037Fh | | | |

X : 不定です。

注1 . 空欄は予約領域です。アクセスしないでください。

表4.11 SFR一覧(11頁注2)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|------------------|-------|-------------|
| 0380h | カウント開始フラグ | TABSR | 00h |
| 0381h | 時計用プリスケアラリセットフラグ | CPSRF | 0XXXXXXXXb |
| 0382h | ワンショット開始フラグ | ONSF | 00h |
| 0383h | トリガ選択レジスタ | TRGSR | 00h |
| 0384h | アップダウンフラグ | UDF | 00h (注1) |
| 0385h | | | |
| 0386h | タイマA0レジスタ | TA0 | XXh |
| 0387h | | | XXh |
| 0388h | タイマA1レジスタ | TA1 | XXh |
| 0389h | | | XXh |
| 038Ah | タイマA2レジスタ | TA2 | XXh |
| 038Bh | | | XXh |
| 038Ch | タイマA3レジスタ | TA3 | XXh |
| 038Dh | | | XXh |
| 038Eh | タイマA4レジスタ | TA4 | XXh |
| 038Fh | | | XXh |
| 0390h | タイマB0レジスタ | TB0 | XXh |
| 0391h | | | XXh |
| 0392h | タイマB1レジスタ | TB1 | XXh |
| 0393h | | | XXh |
| 0394h | タイマB2レジスタ | TB2 | XXh |
| 0395h | | | XXh |
| 0396h | タイマA0モードレジスタ | TA0MR | 00h |
| 0397h | タイマA1モードレジスタ | TA1MR | 00h |
| 0398h | タイマA2モードレジスタ | TA2MR | 00h |
| 0399h | タイマA3モードレジスタ | TA3MR | 00h |
| 039Ah | タイマA4モードレジスタ | TA4MR | 00h |
| 039Bh | タイマB0モードレジスタ | TB0MR | 00XX0000b |
| 039Ch | タイマB1モードレジスタ | TB1MR | 00XX0000b |
| 039Dh | タイマB2モードレジスタ | TB2MR | 00XX0000b |
| 039Eh | タイマB2特殊モードレジスタ | TB2SC | XXXXXXXX00b |
| 039Fh | | | |
| 03A0h | UART0送受信モードレジスタ | U0MR | 00h |
| 03A1h | UART0ビットレートレジスタ | U0BRG | XXh |
| 03A2h | UART0送信バッファレジスタ | U0TB | XXh |
| 03A3h | | | XXh |
| 03A4h | UART0送受信制御レジスタ0 | U0C0 | 00001000b |
| 03A5h | UART0送受信制御レジスタ1 | U0C1 | 00XX0010b |
| 03A6h | UART0受信バッファレジスタ | U0RB | XXh |
| 03A7h | | | XXh |
| 03A8h | UART1送受信モードレジスタ | U1MR | 00h |
| 03A9h | UART1ビットレートレジスタ | U1BRG | XXh |
| 03AAh | UART1送信バッファレジスタ | U1TB | XXh |
| 03ABh | | | XXh |
| 03ACh | UART1送受信制御レジスタ0 | U1C0 | 00001000b |
| 03ADh | UART1送受信制御レジスタ1 | U1C1 | 00XX0010b |
| 03AEh | UART1受信バッファレジスタ | U1RB | XXh |
| 03AFh | | | XXh |
| 03B0h | UART送受信制御レジスタ2 | UCON | X0000000b |
| 03B1h | | | |
| 03B2h | | | |
| 03B3h | | | |
| 03B4h | | | |
| 03B5h | | | |
| 03B6h | | | |
| 03B7h | | | |
| 03B8h | DMA0要因選択レジスタ | DM0SL | 00h |
| 03B9h | | | |
| 03BAh | DMA1要因選択レジスタ | DM1SL | 00h |
| 03BBh | | | |
| 03BCh | CRCデータレジスタ | CRCD | XXh |
| 03BDh | | | XXh |
| 03BEh | CRCインプットレジスタ | CRCIN | XXh |
| 03BFh | | | |

X: 不定です。

注1. UDFレジスタのTA2P~TA4Pビットはリセット後の値は"0"ですが、これらのビットを読んだ場合、その値は不定です。
注2. 空欄は予約領域です。アクセスしないでください。

表4.12 SFR一覧(12頁注3)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|------------------|--------|----------------------------|
| 03C0h | A/Dレジスタ0 | AD0 | XXh |
| 03C1h | | | XXh |
| 03C2h | A/Dレジスタ1 | AD1 | XXh |
| 03C3h | | | XXh |
| 03C4h | A/Dレジスタ2 | AD2 | XXh |
| 03C5h | | | XXh |
| 03C6h | A/Dレジスタ3 | AD3 | XXh |
| 03C7h | | | XXh |
| 03C8h | A/Dレジスタ4 | AD4 | XXh |
| 03C9h | | | XXh |
| 03CAh | A/Dレジスタ5 | AD5 | XXh |
| 03CBh | | | XXh |
| 03CCh | A/Dレジスタ6 | AD6 | XXh |
| 03CDh | | | XXh |
| 03CEh | A/Dレジスタ7 | AD7 | XXh |
| 03CFh | | | XXh |
| 03D0h | | | |
| 03D1h | | | |
| 03D2h | | | |
| 03D3h | | | |
| 03D4h | A/D制御レジスタ2 | ADCON2 | 00h |
| 03D5h | | | |
| 03D6h | A/D制御レジスタ0 | ADCON0 | 00000XXXb |
| 03D7h | A/D制御レジスタ1 | ADCON1 | 00h |
| 03D8h | D/Aレジスタ0 | DA0 | 00h |
| 03D9h | | | |
| 03DAh | D/Aレジスタ1 | DA1 | 00h |
| 03DBh | | | |
| 03DCh | D/A制御レジスタ | DACON | 00h |
| 03DDh | | | |
| 03DEh | ポートP14制御レジスタ(注2) | PC14 | XX00XXXb |
| 03DFh | ブルアップ制御レジスタ3(注2) | PUR3 | 00h |
| 03E0h | ポートP0レジスタ | P0 | XXh |
| 03E1h | ポートP1レジスタ | P1 | XXh |
| 03E2h | ポートP0方向レジスタ | PD0 | 00h |
| 03E3h | ポートP1方向レジスタ | PD1 | 00h |
| 03E4h | ポートP2レジスタ | P2 | XXh |
| 03E5h | ポートP3レジスタ | P3 | XXh |
| 03E6h | ポートP2方向レジスタ | PD2 | 00h |
| 03E7h | ポートP3方向レジスタ | PD3 | 00h |
| 03E8h | ポートP4レジスタ | P4 | XXh |
| 03E9h | ポートP5レジスタ | P5 | XXh |
| 03EAh | ポートP4方向レジスタ | PD4 | 00h |
| 03EBh | ポートP5方向レジスタ | PD5 | 00h |
| 03ECh | ポートP6レジスタ | P6 | XXh |
| 03EDh | ポートP7レジスタ | P7 | XXh |
| 03EEh | ポートP6方向レジスタ | PD6 | 00h |
| 03EFh | ポートP7方向レジスタ | PD7 | 00h |
| 03F0h | ポートP8レジスタ | P8 | XXh |
| 03F1h | ポートP9レジスタ | P9 | XXh |
| 03F2h | ポートP8方向レジスタ | PD8 | 00X00000b |
| 03F3h | ポートP9方向レジスタ | PD9 | 00h |
| 03F4h | ポートP10レジスタ | P10 | XXh |
| 03F5h | ポートP11レジスタ(注2) | P11 | XXh |
| 03F6h | ポートP10方向レジスタ | PD10 | 00h |
| 03F7h | ポートP11方向レジスタ(注2) | PD11 | 00h |
| 03F8h | ポートP12レジスタ(注2) | P12 | XXh |
| 03F9h | ポートP13レジスタ(注2) | P13 | XXh |
| 03FAh | ポートP12方向レジスタ(注2) | PD12 | 00h |
| 03FBh | ポートP13方向レジスタ(注2) | PD13 | 00h |
| 03FCh | ブルアップ制御レジスタ0 | PUR0 | 00h |
| 03FDh | ブルアップ制御レジスタ1 | PUR1 | 00000000b(注1) 00000010b |
| 03FEh | ブルアップ制御レジスタ2 | PUR2 | 00h |
| 03FFh | ポート制御レジスタ | PCR | 00h |

X: 不定です。

注1. ハードウェアリセットでは次のようになります。

- ・ CNVSS端子に“L”を入力している場合、“00000000b”
- ・ CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、および発振停止検出リセットでは次のようになります。

- ・ PM0レジスタのPM01~00ビットが“00b”(シングルチップモード)の場合、“00000000b”
- ・ PM0レジスタのPM01~00ビットが“01b”(メモリ拡張モード)、または“11b”(マイクロプロセッサモード)の場合、“00000010b”

注2. これらのレジスタは128ピン版にのみあります。

注3. 空欄は予約領域です。アクセスしないでください。

5. 電気的特性

表5.1 絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------------------|--------------------|---|-----------------|-------------|
| V _{CC} | 電源電圧 (VCC1 = VCC2) | VCC = AVCC | - 0.3 ~ 6.5 | V |
| AV _{CC} | アナログ電源電圧 | VCC = AVCC | - 0.3 ~ 6.5 | V |
| V _i | 入力電圧 | RESET, CNVSS, BYTE, P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, VREF, XIN | - 0.3 ~ VCC+0.3 | V |
| | | | P7_1, P9_1 | - 0.3 ~ 6.5 |
| V _o | 出力電圧 | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XOUT | - 0.3 ~ VCC+0.3 | V |
| | | | P7_1, P9_1 | - 0.3 ~ 6.5 |
| P _d | 消費電力 | T _{opr} = 25 | 700 | mW |
| T _{opr} | 動作周囲温度 | マイコン動作時 | - 40 ~ 85 | |
| | | フラッシュメモリ書き込み消去時 | 0 ~ 60 | |
| T _{stg} | 保存温度 | | - 65 ~ 150 | |

注1. P11 ~ P14は128ピン版にのみあります。

表5.2 推奨動作条件(1)(注1)

| 記号 | 項目 | 規格値 | | | 単位 | |
|-----------------------|---|--|--------------------|--------|---------------------|---|
| | | 最小 | 標準 | 最大 | | |
| V _{CC} | 電源電圧 (V _{CC1} = V _{CC2}) | 3.0 | 5.0 | 5.5 | V | |
| AV _{CC} | アナログ電源電圧 | | V _{CC} | | V | |
| V _{SS} | 電源電圧 | | 0 | | V | |
| AV _{SS} | アナログ電源電圧 | | 0 | | V | |
| V _{IH} | “H”入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | P7_1, P9_1 | 0.8V _{CC} | | V _{CC} | V |
| | | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時) | 0.8V _{CC} | | V _{CC} | V |
| | | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) | 0.5V _{CC} | | V _{CC} | V |
| | | P7_1, P9_1 | 0.8V _{CC} | | 6.5 | V |
| V _{IL} | “L”入力電圧 P3_1 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時) | 0 | | 0.2V _{CC} | V |
| | | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) | 0 | | 0.16V _{CC} | V |
| | | P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 (シングルチップモード時) | 0 | | 0.2V _{CC} | V |
| I _{OH(peak)} | “H”尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | | | - 10.0 | mA | |
| I _{OH(avg)} | “H”平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | | | - 5.0 | mA | |
| I _{OL(peak)} | “L”尖頭出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | | | 10.0 | mA | |
| I _{OL(avg)} | “L”平均出力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | | | 5.0 | mA | |

注1. 指定のない場合は、V_{CC} = 3.0 ~ 5.5V、T_{opr} = - 40 ~ 85 です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14_0, P14_1のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0 ~ P8_4, P12, P13のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2のI_{OH(peak)}の合計は40mA以下、ポートP3, P4, P5, P12, P13のI_{OH(peak)}の合計は40mA以下、ポートP6, P7, P8_0 ~ P8_4のI_{OH(peak)}の合計は40mA以下、ポートP8_6, P8_7, P9, P10, P11, P14_0, P14_1のI_{OH(peak)}の合計は40mA以下にしてください。

注4. P11 ~ P14は128ピン版にのみあります。

表5.3 推奨動作条件(2)〔注1〕

| 記号 | 項目 | | | | 規格値 | | | 単位 |
|-----------------------|----------------------------|------------|----------------------|------------------|-----|--------|----|-----|
| | | | | | 最小 | 標準 | 最大 | |
| f(XIN) | メインクロック入力 発振周波数(注2、3、4) | ウェイト なし | マスクROM版 フラッシュメモリ版 | VCC = 3.0 ~ 5.5V | 0 | | 16 | MHz |
| f(XCIN) | サブクロック周波数 | | | | | 32.768 | 50 | kHz |
| f(Ring) | オンチップオシレータ発振周波数 | | | | | 1 | | MHz |
| f(PLL) | PLLクロック発振周波数 | | | | | 16 | 24 | MHz |
| f(BCLK) | CPU動作周波数 | | | VCC = 3.0 ~ 5.5V | 0 | | 24 | MHz |
| t _{su} (PLL) | PLL周波数シンセサイザ安定待ち時間 | | | | | | 20 | ms |

注1. 指定のない場合は、VCC = 3.0 ~ 5.5V、Topr = -40 ~ 85 です。

注2. メインクロック入力周波数と電源電圧の関係を右に示します。

注3. フラッシュメモリの書き込み/消去は、VCC = 3.3V ± 0.3VまたはVCC = 5.0V ± 0.5Vでしてください。

注4. 16MHz以上で使用する場合は、PLLクロックを使用してください。使用できるPLLクロックの周波数は16MHz、20MHzまたは24MHzです。

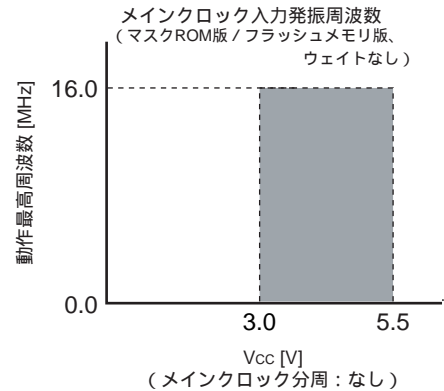


表5.4 電気的特性 (1) (注1)

VCC = 5V

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|----------------------------------|---|-----------------------------|---------------------------|-----|-----------------|----|
| | | | 最小 | 標準 | 最大 | |
| V _{OH} | “H”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OH} = - 5mA | V _{CC} -2.0 | | V _{CC} | V |
| V _{OH} | “H”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OH} = - 200 μA | V _{CC} -0.3 | | V _{CC} | V |
| V _{OH} | “H”出力電圧 | XOUT HIGHPOWER | I _{OH} = - 1mA | 3.0 | V _{CC} | V |
| | | LOWPOWER | I _{OH} = - 0.5mA | 3.0 | V _{CC} | |
| V _{OH} | “H”出力電圧 | XCOU _T HIGHPOWER | 無負荷時 | 2.5 | | V |
| | | LOWPOWER | 無負荷時 | 1.6 | | |
| V _{OL} | “L”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OL} = 5mA | | | 2.0 | V |
| V _{OL} | “L”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OL} = 200 μA | | | 0.45 | V |
| V _{OL} | “L”出力電圧 | XOUT HIGHPOWER | I _{OL} = 1mA | | 2.0 | V |
| | | LOWPOWER | I _{OL} = 0.5mA | | 2.0 | |
| V _{OL} | “L”出力電圧 | XCOU _T HIGHPOWER | 無負荷時 | 0 | | V |
| | | LOWPOWER | 無負荷時 | 0 | | |
| V _{T+} -V _{T-} | ヒステリシス HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT8, NMI, ADTRG, CTS0 ~ CTS2, SCL0 ~ SCL2, SDA0 ~ SDA2, CLK0 ~ CLK6, TA0OUT ~ TA4OUT, KI0 ~ KI3, RXD0 ~ RXD2, SIN3 ~ SIN6 | | 0.2 | | 1.0 | V |
| V _{T+} -V _{T-} | ヒステリシス RESET | | 0.2 | | 2.5 | V |
| I _{IH} | “H”入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | V _I = 5V | | | 5.0 | μA |
| I _{IL} | “L”入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | V _I = 0V | | | -5.0 | μA |
| R _{PULLUP} | プルアップ抵抗 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | V _I = 0V | 30 | 50 | 170 | k |
| R _{IXIN} | 帰還抵抗 XIN | | | 1.5 | | M |
| R _{IXCIN} | 帰還抵抗 XCIN | | | 15 | | M |
| V _{RAM} | RAM保持電圧 | ストップモード時 | 2.0 | | | V |

注1. 指定のない場合は、VCC = 4.2 ~ 5.5V、VSS = 0V、Topr = - 40 ~ 85、f (BCLK) = 24MHzです。

注2. P11 ~ P14、INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6は128ピン版にのみあります。

表5.5 電気的特性(2頁注1)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | | |
|-----------------|------------------------------|--|--------------------|--|----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | | | |
| I _{cc} | 電源電流 (VCC = 3.0 ~ 5.5V) | シングルチップモード で、出力端子は開放、 その他の端子はVSS | マスクROM | f(BCLK) = 24MHz、 PLL動作時、分周なし | | 19 | 33 | mA |
| | | | | オンチップオシレータ 発振動作時、分周なし | | 1 | | mA |
| | | | フラッシュメモリ | f(BCLK) = 24MHz、 PLL動作時、分周なし | | 21 | 35 | mA |
| | | | | オンチップオシレータ 発振動作時、分周なし | | 1.8 | | mA |
| | | | フラッシュメモリ プログラム | f(BCLK) = 10MHz、 VCC = 5V | | 15 | | mA |
| | | | フラッシュメモリ イレーズ | f(BCLK) = 10MHz、 VCC = 5V | | 25 | | mA |
| | | | マスクROM | f(BCLK) = 32kHz、 低消費電力モード時 ROM上(注2) | | 25 | | μA |
| | | | フラッシュメモリ | f(BCLK) = 32kHz、 低消費電力モード時 RAM上(注2) | | 25 | | μA |
| | | | | f(BCLK) = 32kHz、 低消費電力モード時 フラッシュメモリ上 (注2) | | 420 | | μA |
| | | | マスクROM フラッシュメモリ | オンチップオシレータ 発振動作、 ウェイトモード時 | | 50 | | μA |
| | | | | f(BCLK) = 32kHz、 ウェイトモード時(注3)、 発振能力High | | 8.5 | | μA |
| | | | | f(BCLK) = 32kHz、 ウェイトモード時(注3)、 発振能力Low | | 3.0 | | μA |
| | | | | ストップモード時、 Topr = 25 °C | | 0.8 | 3.0 | μA |

注1．指定のない場合は、VCC = 3.0 ~ 5.5V、VSS = 0V、Topr = - 40 ~ 85、f(BCLK) = 24MHzです。

注2．実行するプログラムが存在するメモリを示します。

注3．fC32にてタイマ1本を動作させている状態です。

表5.6 A/D変換特性(注1)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|---------|----------------------------|-----------------------------|--|--|------|------|-----|
| | | | 最小 | 標準 | 最大 | | |
| - | 分解能 | VREF = VCC | | | 10 | Bits | |
| INL | 積分非直線性 誤差 | 10ビット | VREF = VCC | ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 | | ±3 | LSB |
| | | | = 5V | 外部オペアンプ接続モード | | ±7 | LSB |
| | | VREF = VCC | ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 | | ±5 | LSB | |
| | | = 3.3V | 外部オペアンプ接続モード | | ±7 | LSB | |
| | | 8ビット | VREF = AVCC = VCC = 3.3V | | | ±2 | LSB |
| - | 絶対精度 | 10ビット | VREF = VCC | ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 | | ±3 | LSB |
| | | | = 5V | 外部オペアンプ接続モード | | ±7 | LSB |
| | | VREF = VCC | ANEX0, ANEX1入力、AN0~AN7入力、 AN0_0~AN0_7入力、AN2_0~AN2_7入力 | | ±5 | LSB | |
| | | = 3.3V | 外部オペアンプ接続モード | | ±7 | LSB | |
| | | 8ビット | VREF = AVCC = VCC = 3.3V | | | ±2 | LSB |
| DNL | 微分非直線性誤差 | | | | ±1 | LSB | |
| - | オフセット誤差 | | | | ±3 | LSB | |
| - | ゲイン誤差 | | | | ±3 | LSB | |
| RLADDER | ラダー抵抗 | VREF = VCC | 10 | | 40 | k | |
| tCONV | 変換時間(10ビット) サンプル&ホールドあり | VREF = VCC = 5V, AD = 10MHz | 3.3 | | | μs | |
| | 変換時間(8ビット) サンプル&ホールドあり | VREF = VCC = 5V, AD = 10MHz | 2.8 | | | μs | |
| tSAMP | サンプリング時間 | | 0.3 | | | μs | |
| VREF | 基準電圧 | | 2.0 | | VCC | V | |
| VIA | アナログ入力電圧 | | 0 | | VREF | V | |

注1. 指定のない場合は、VCC = AVCC = VREF = 3.3 ~ 5.5V、VSS = AVSS = 0V、Topr = -40 ~ 85 です。

注2. ADの周波数は10MHz以下にしてください。

注3. サンプル&ホールドなしの場合、注2の制限に加え ADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、注2の制限に加え ADの周波数は1MHz以上にしてください。

表5.7 D/A変換特性(注1)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------|----------|------|-----|----|-----|------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | Bits |
| - | 絶対精度 | | | | 1.0 | % |
| tSU | 設定時間 | | | | 3 | μs |
| RO | 出力抵抗 | | 4 | 10 | 20 | k |
| IVREF | 基準電源入力電流 | (注2) | | | 1.5 | mA |

注1. 指定のない場合は、VCC = VREF = 3.3 ~ 5.5V、VSS = AVSS = 0V、Topr = -40 ~ 85 です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDAiレジスタ(i=0, 1)の値が"00h"の場合です。A/Dコンバータのラダー抵抗分は除きます。また、ADCON1レジスタでVREF未接続とした場合でも、D/AコンバータのIVREFは流れます。

表5.8 フラッシュメモリの電気的特性(注1)

| 記号 | 項目 | 規格値 | | | 単位 |
|-----|----------------------------|------------|-----|-----------|----|
| | | 最小 | 標準 | 最大 | |
| - | プログラム、イレーズ回数(注2) | 100 | | | 回 |
| - | ワードプログラム(VCC = 5.0V) | | 25 | 200 | μs |
| - | ロックビットプログラム時間 | | 25 | 200 | μs |
| - | ブロックイレーズ時間 (VCC = 5.0V) | 4Kバイトブロック | 0.3 | 4 | s |
| | | 8Kバイトブロック | 0.3 | 4 | s |
| | | 32Kバイトブロック | 0.5 | 4 | s |
| | | 64Kバイトブロック | 0.8 | 4 | s |
| - | イレーズ全アンロックブロック時間 | | | 4 × n(注3) | s |
| tps | フラッシュメモリ回路安定待ち時間 | | | 15 | μs |

注1. 指定のない場合は、VCC = 4.5 ~ 5.5V、3.0 ~ 3.6V、Topr = 0 ~ 60 です。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n = 100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3. nはイレーズするブロック数です。

表5.9 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性(Topr = 0 ~ 60)

| フラッシュメモリ書き込み/消去電圧 | フラッシュメモリ読み出し動作電圧 |
|-------------------------------|------------------|
| VCC = 3.3 ± 0.3Vまたは5.0 ± 0.5V | VCC = 3.0 ~ 5.5V |

表5.10 電源回路のタイミング特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------|------------------|-----|----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| tα(P-R) | 電源投入時内部電源安定時間 | VCC = 3.0 ~ 5.5V | | | 2 | ms |
| tα(R-S) | STOP解除時間 | | | | 150 | μs |
| tα(W-S) | 低消費電力モードウェイトモード解除時間 | | | | 150 | μs |

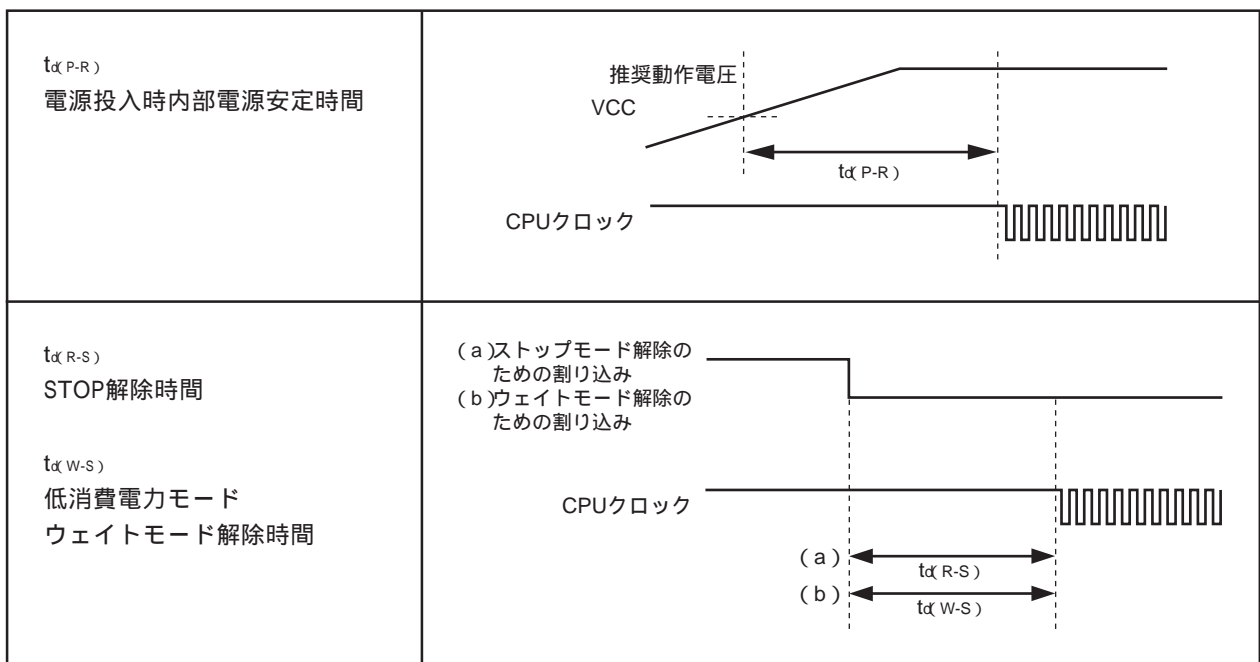


図5.1 電源回路のタイミング図

タイミング必要条件

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

表5.11 外部クロック入力(XIN入力)

| 記号 | 項目 | 規格値 | | 単位 |
|-------------------|-----------------|------|----|----|
| | | 最小 | 最大 | |
| t _c | 外部クロック入力サイクル時間 | 62.5 | | ns |
| t _{w(H)} | 外部クロック入力“H”パルス幅 | 25 | | ns |
| t _{w(L)} | 外部クロック入力“L”パルス幅 | 25 | | ns |
| t _r | 外部クロック立ち上がり時間 | | 15 | ns |
| t _f | 外部クロック立ち下がり時間 | | 15 | ns |

表5.12 メモリ拡張モード、マイクロプロセッサモード

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------------------|-----------------------------------|-----|------|----|
| | | 最小 | 最大 | |
| t _{ac1} (RD-DB) | データ入力アクセス時間(ウェイトなし設定) | | (注1) | ns |
| t _{ac2} (RD-DB) | データ入力アクセス時間(ウェイトあり設定) | | (注2) | ns |
| t _{ac3} (RD-DB) | データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合) | | (注3) | ns |
| t _{su} (DB-RD) | データ入力セットアップ時間 | 40 | | ns |
| t _{su} (RDY-BCLK) | RDY入力セットアップ時間 | 30 | | ns |
| t _{su} (HOLD-BCLK) | HOLD入力セットアップ時間 | 40 | | ns |
| t _h (RD-DB) | データ入力ホールド時間 | 0 | | ns |
| t _h (BCLK-RDY) | RDY入力ホールド時間 | 0 | | ns |
| t _h (BCLK-HOLD) | HOLD入力ホールド時間 | 0 | | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 45 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 45 \text{ [ns]} \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 45 \text{ [ns]} \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

タイミング必要条件

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

表5.13 タイマA入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 100 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 40 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 40 | | ns |

表5.14 タイマA入力(タイマモードのゲーティング入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 400 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 200 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 200 | | ns |

表5.15 タイマA入力(ワンショットタイマモードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 200 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 100 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 100 | | ns |

表5.16 タイマA入力(パルス幅変調モードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 100 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 100 | | ns |

表5.17 タイマA入力(イベントカウンタモードのアップダウン入力)

| 記号 | 項目 | 規格値 | | 単位 |
|--------------------------|------------------|------|----|----|
| | | 最小 | 最大 | |
| t _c (UP) | TAiOUT入力サイクル時間 | 2000 | | ns |
| t _w (UPH) | TAiOUT入力“H”パルス幅 | 1000 | | ns |
| t _w (UPL) | TAiOUT入力“L”パルス幅 | 1000 | | ns |
| t _{su} (UP-TIN) | TAiOUT入力セットアップ時間 | 400 | | ns |
| t _h (TIN-UP) | TAiOUT入力ホールド時間 | 400 | | ns |

表5.18 タイマA入力(イベントカウンタモードの二相パルス入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------------------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 800 | | ns |
| t _{su} (TAIN-TAOUT) | TAiOUT入力セットアップ時間 | 200 | | ns |
| t _{su} (TAOUT-TAIN) | TAiIN入力セットアップ時間 | 200 | | ns |

タイミング必要条件

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

表5.19 タイマB入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|--------------------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間(片エッジカウント) | 100 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅(片エッジカウント) | 40 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅(片エッジカウント) | 40 | | ns |
| t _c (TB) | TBiIN入力サイクル時間(両エッジカウント) | 200 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅(両エッジカウント) | 80 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅(両エッジカウント) | 80 | | ns |

表5.20 タイマB入力(パルス周期測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間 | 400 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅 | 200 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅 | 200 | | ns |

表5.21 タイマB入力(パルス幅測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間 | 400 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅 | 200 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅 | 200 | | ns |

表5.22 A/Dトリガ入力

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|------------------------|------|----|----|
| | | 最小 | 最大 | |
| t _c (AD) | ADTRG入力サイクル時間(トリガ可能最小) | 1000 | | ns |
| t _w (ADL) | ADTRG入力“L”パルス幅 | 125 | | ns |

表5.23 シリアルインタフェース

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (CK) | CLKi入力サイクル時間 | 200 | | ns |
| t _w (CKH) | CLKi入力“H”パルス幅 | 100 | | ns |
| t _w (CKL) | CLKi入力“L”パルス幅 | 100 | | ns |
| t _d (C-Q) | TXDi出力遅延時間 | | 80 | ns |
| t _h (C-Q) | TXDiホールド時間 | 0 | | ns |
| t _{su} (D-C) | RXDi入力セットアップ時間 | 70 | | ns |
| t _h (C-D) | RXDi入力ホールド時間 | 90 | | ns |

表5.24 外部割り込みINTi入力

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|---------------|-----|----|----|
| | | 最小 | 最大 | |
| t _w (INH) | INTi入力“H”パルス幅 | 250 | | ns |
| t _w (INL) | INTi入力“L”パルス幅 | 250 | | ns |

スイッチング特性

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = - 40 ~ 85)

表5.25 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|---------------------------|------|--------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.2 | | 25 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 15 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | - 4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準)(注3) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準)(注3) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | 40 | ns | |

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2 . BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]} \quad f(\text{BCLK}) \text{ は } 12.5\text{MHz以下}$$

注3 . この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン) 抵抗値によって異なります。

右図の回路でデータバスの保持時間は、
t = - CR × ln(1 - V_{OL} / V_{CC})

で表されます。例えば、

V_{OL} = 0.2 V_{CC}、C = 30 pF、R = 1k

とすると、出力「L」レベルの保持時間は

t = - 30 pF × 1 k × ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 ns
となります。

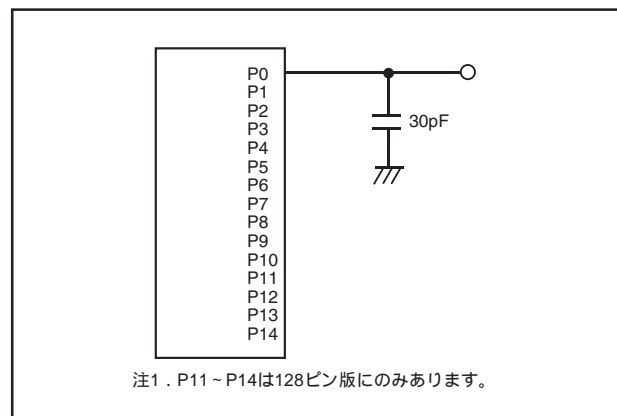
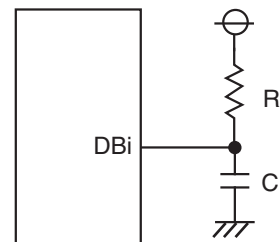


図5.2 ポートP0 ~ P14の測定回路

スイッチング特性

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

表5.26 メモリ拡張モード、マイクロプロセッサモード(1~3ウェイト設定、外部領域をアクセスした場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|-------------------------|------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.2 | | 25 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 15 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | -4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準)(注3) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準)(注3) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | | 40 | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]}$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
n = 1の場合は、f(BCLK)は12.5MHz以下

注3. この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

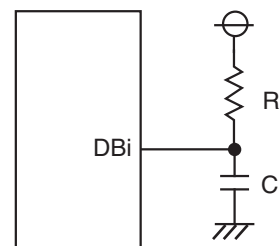
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = -30 \text{ pF} \times 1k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$

となります。



スイッチング特性

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -40 ~ 85)

表5.27 メモリ拡張モード、マイクロプロセッサモード
(2、3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|-------------------------|------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.2 | | 25 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | (注1) | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 25 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-CS) | チップセレクト出力保持時間(RD基準) | | (注1) | | ns |
| t _h (WR-CS) | チップセレクト出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | | 40 | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間(BCLK基準) | | | 15 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間(BCLK基準) | | - 4 | | ns |
| t _d (AD-ALE) | ALE信号出力遅延時間(アドレス基準) | | (注3) | | ns |
| t _h (ALE-AD) | ALE信号出力保持時間(アドレス基準) | (注4) | | ns | |
| t _d (AD-RD) | アドレス後RD信号出力遅延時間 | 0 | | ns | |
| t _d (AD-WR) | アドレス後WR信号出力遅延時間 | 0 | | ns | |
| t _{dZ} (RD-AD) | アドレス出力フローティング開始時間 | | 8 | ns | |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]} \quad n \text{ は 2ウェイト設定の場合“ 2 ”、3ウェイト設定の場合“ 3 ”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25 \text{ [ns]}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15 \text{ [ns]}$$

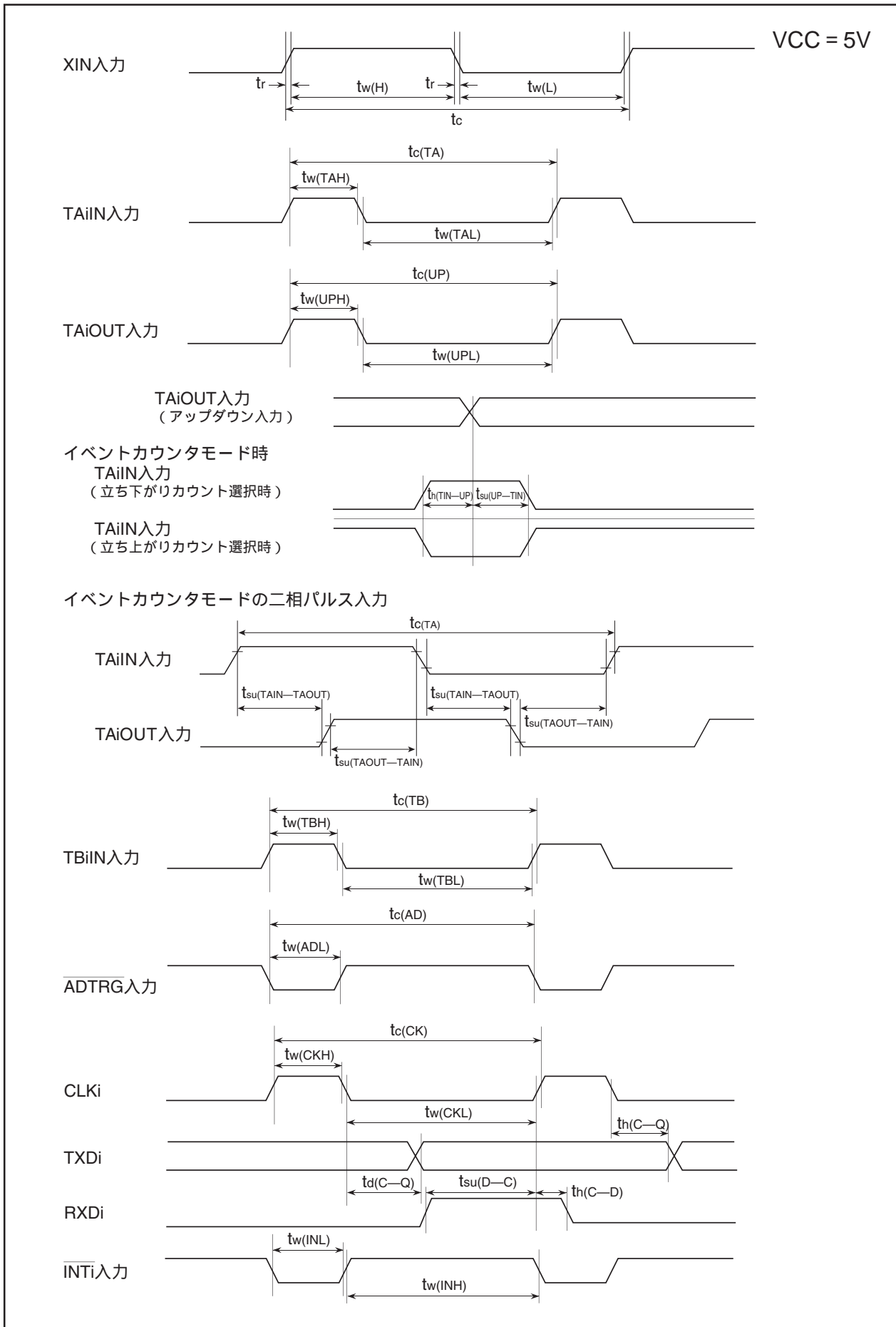


図5.3 タイミング図(1)

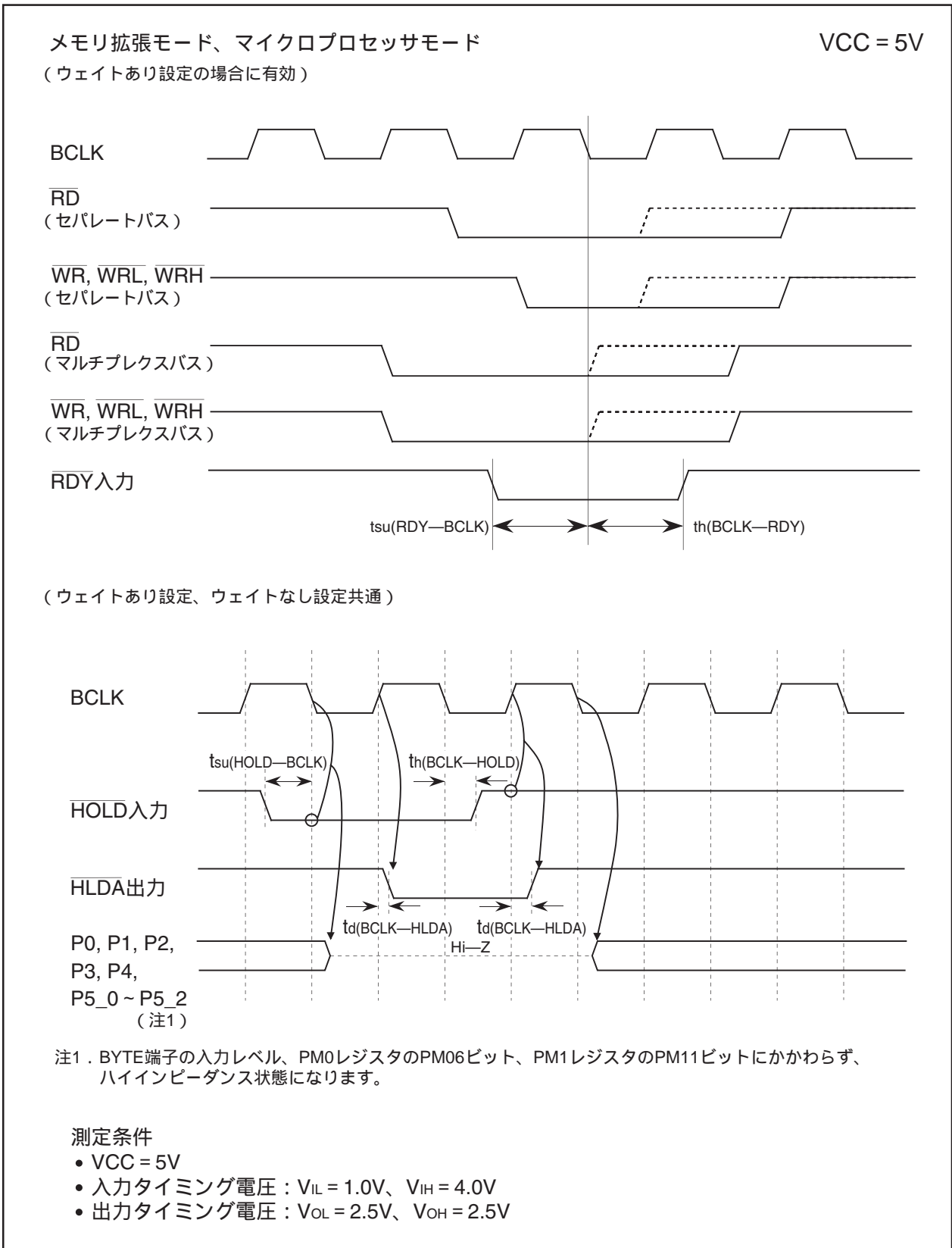


図5.4 タイミング図(2)

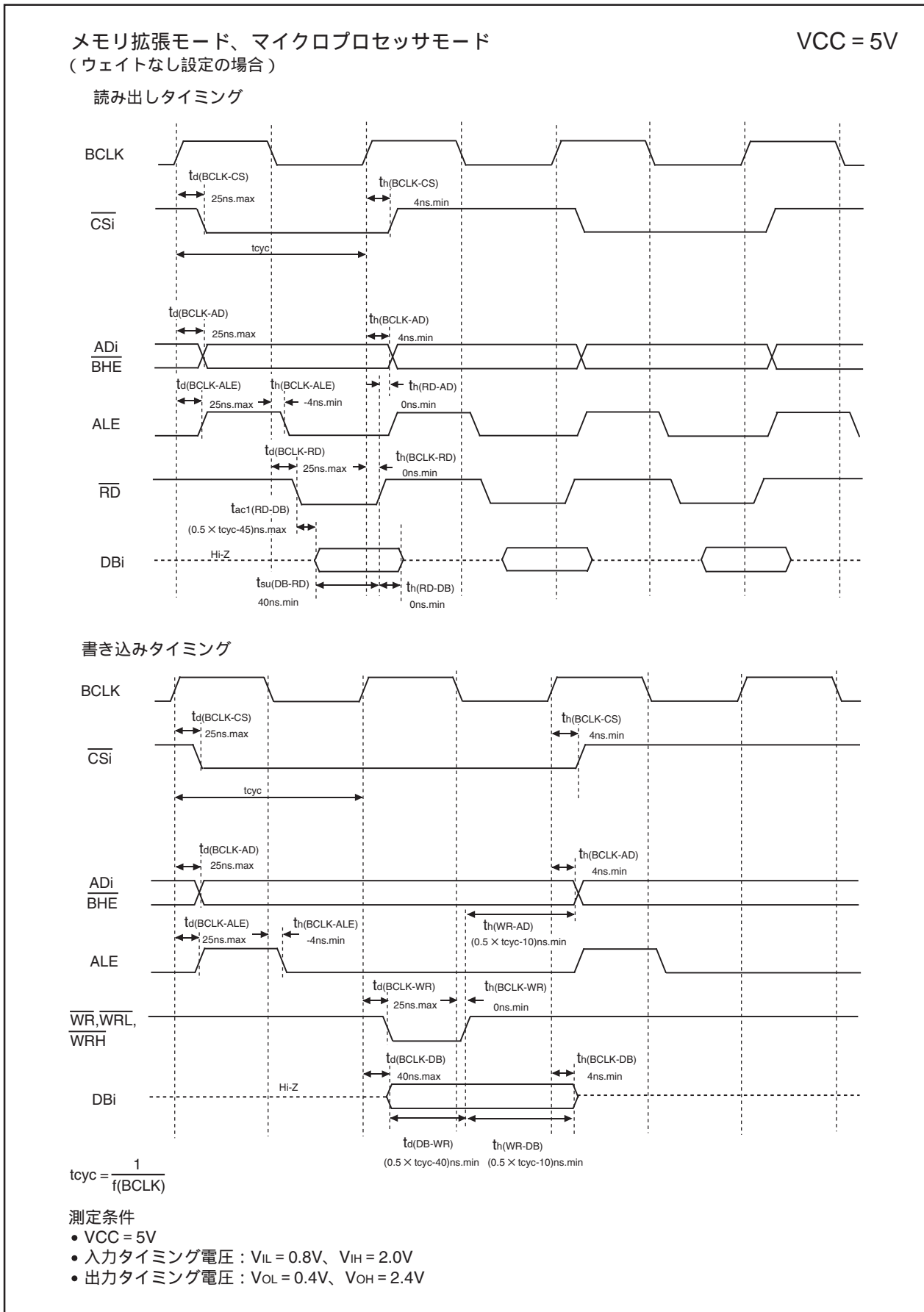


図5.5 タイミング図(3)

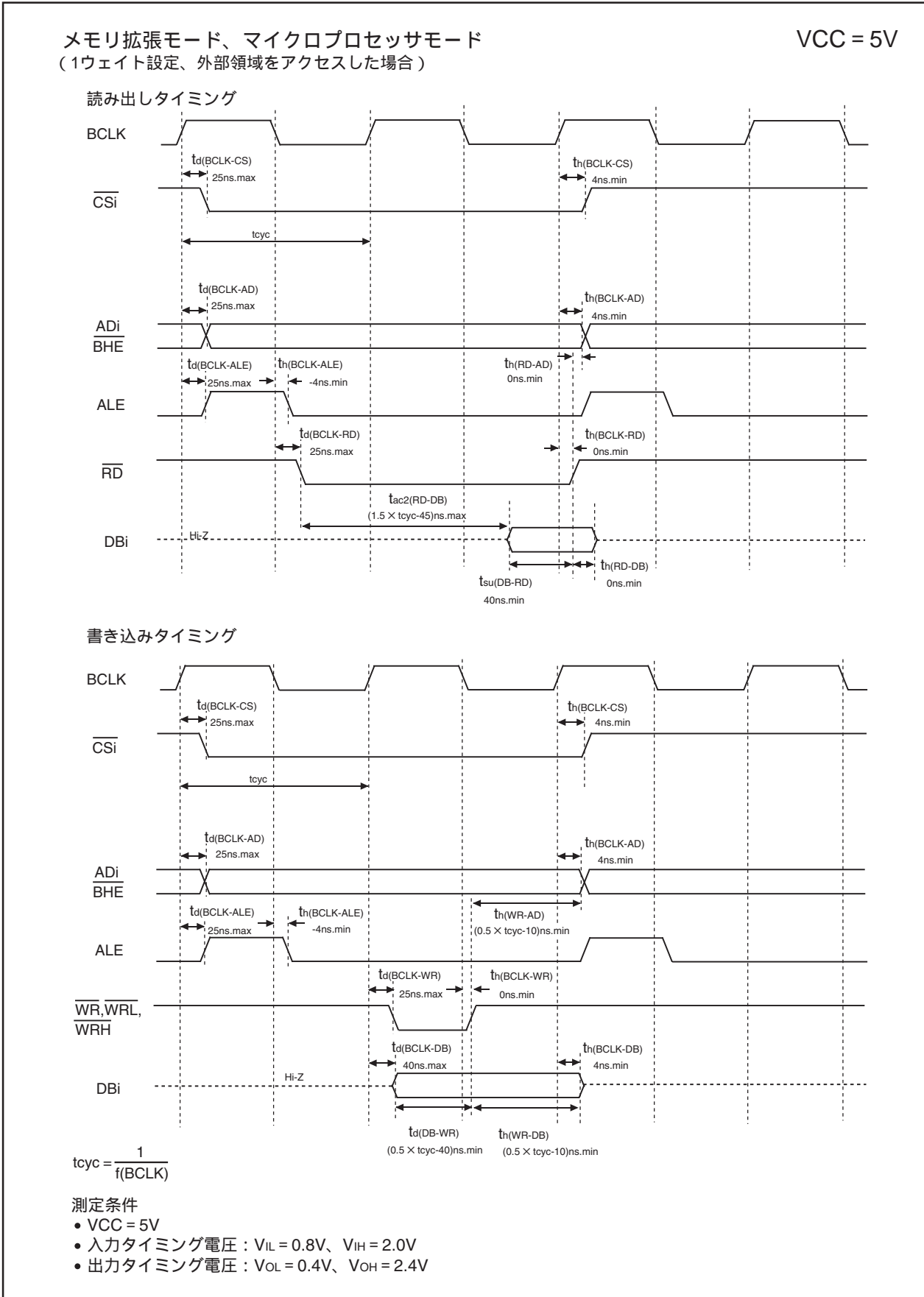


図5.6 タイミング図(4)

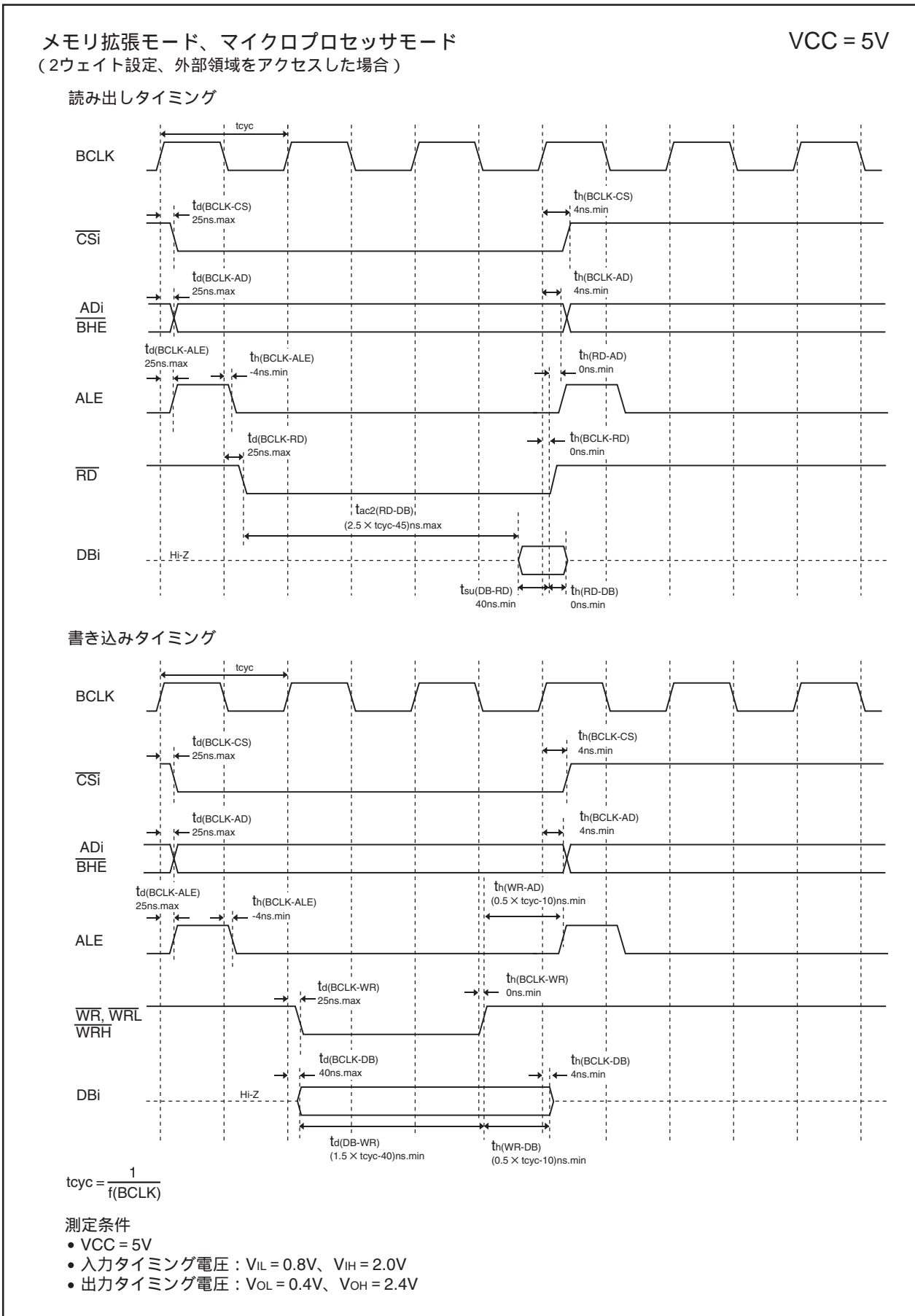


図5.7 タイミング図(5)

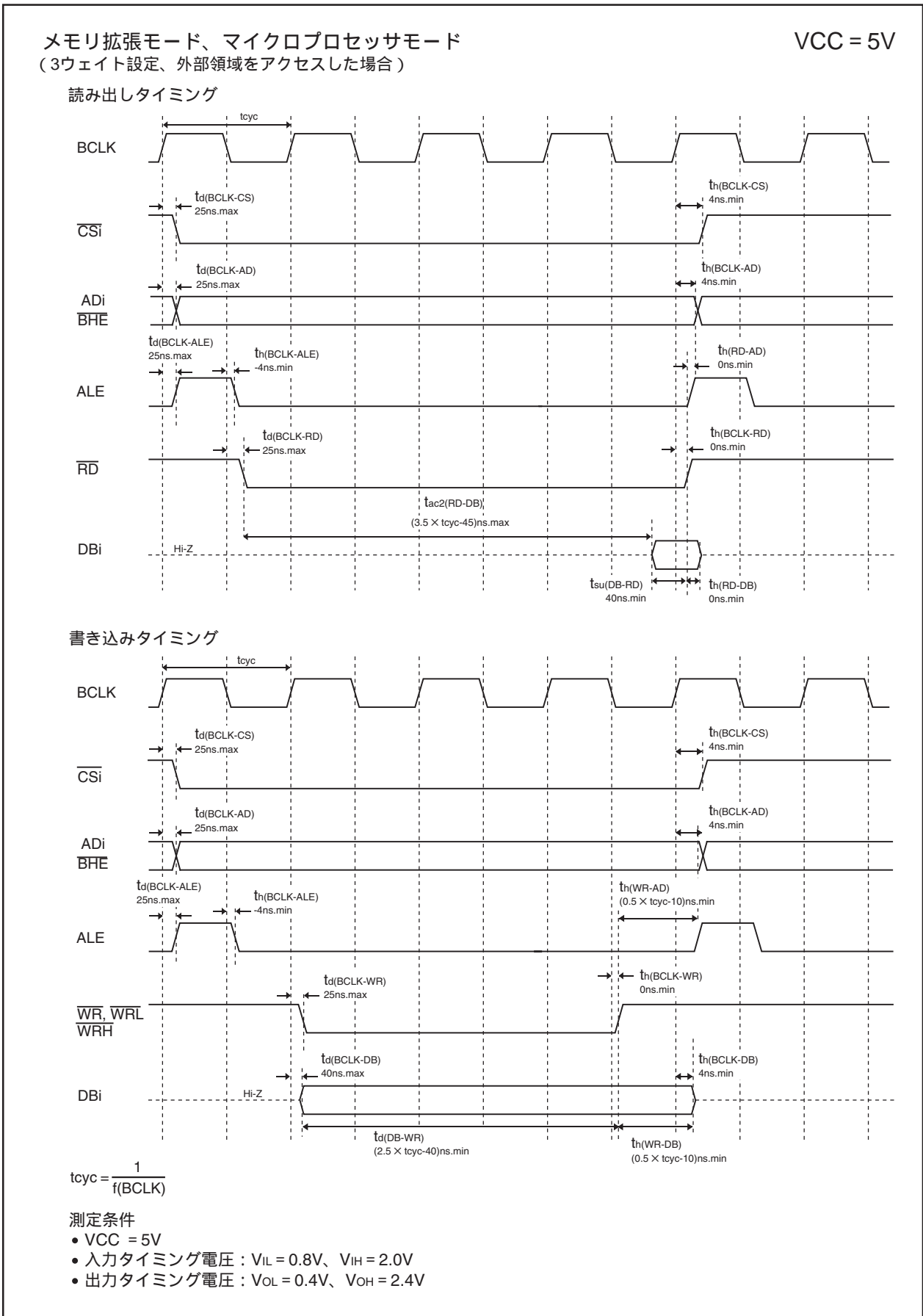


図5.8 タイミング図(6)

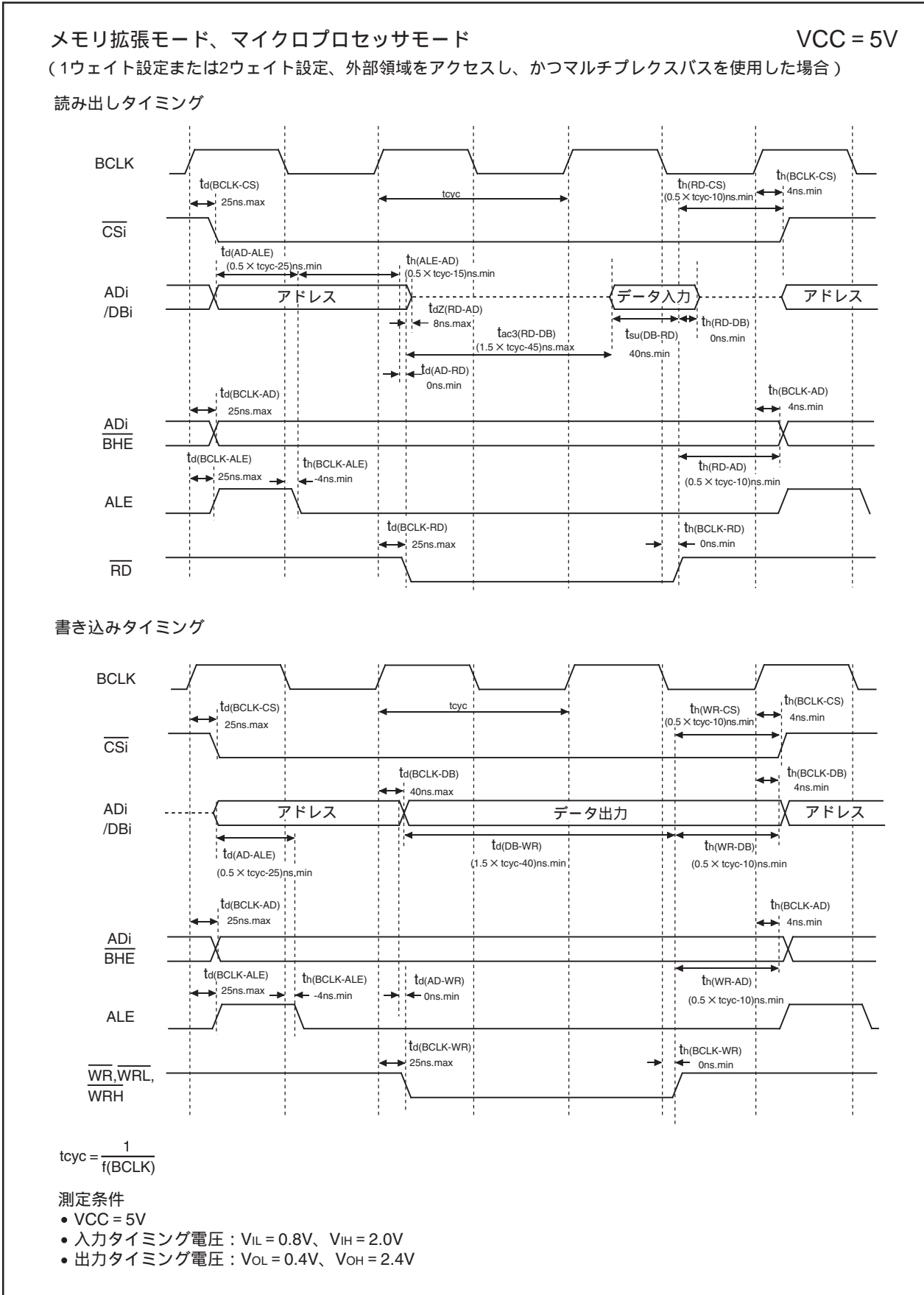


図5.9 タイミング図(7)

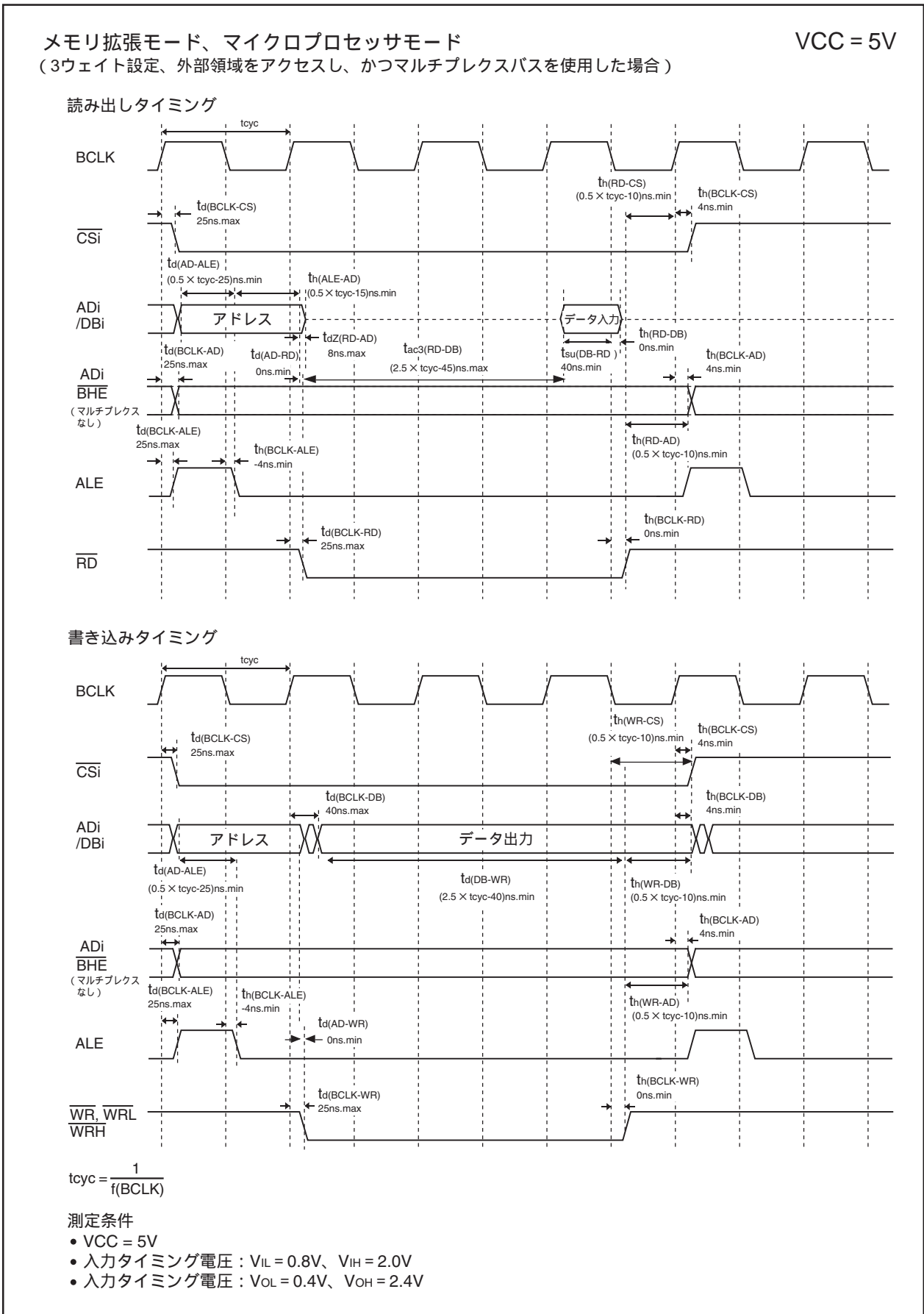


図5.10 タイミング図(8)

表5.28 電気的特性(注1)

VCC = 3.3V

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|----------------------------------|---|--|----------------------|---------------------------|----------------------|-----------------|----|
| | | | 最小 | 標準 | 最大 | | |
| V _{OH} | “H”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OH} = - 1mA | V _{CC} -0.5 | | V _{CC} | V | |
| V _{OH} | “H”出力電圧 | XOUT | HIGHPOWER | I _{OH} = - 0.1mA | V _{CC} -0.5 | V _{CC} | V |
| | | | LOWPOWER | I _{OH} = - 50 μA | V _{CC} -0.5 | V _{CC} | |
| | “H”出力電圧 | XCOUNT | HIGHPOWER | 無負荷時 | | 2.5 | V |
| | | | LOWPOWER | 無負荷時 | | 1.6 | |
| V _{OL} | “L”出力電圧 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | I _{OL} = 1mA | | | 0.5 | V | |
| V _{OL} | “L”出力電圧 | XOUT | HIGHPOWER | I _{OL} = 0.1mA | | 0.5 | V |
| | | | LOWPOWER | I _{OL} = 50 μA | | 0.5 | |
| | “L”出力電圧 | XCOUNT | HIGHPOWER | 無負荷時 | | 0 | V |
| | | | LOWPOWER | 無負荷時 | | 0 | |
| V _{T+} -V _{T-} | ヒステリシス | HOLD, RDY TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT8, NMI, ADTRG, CTS0 ~ CTS2, SCL0 ~ SCL2, SDA0 ~ SDA2, CLK0 ~ CLK6, TA0OUT ~ TA4OUT, KI0 ~ KI3, RXD0 ~ RXD2, SIN3 ~ SIN6 | | 0.2 | | 0.8 | V |
| V _{T+} -V _{T-} | ヒステリシス | RESET | | 0.2 | | 1.8 | V |
| I _{IH} | “H”入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | V _I = 3.3V | | | | 4.0 | μA |
| I _{IL} | “L”入力電流 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE | V _I = 0V | | | | -4.0 | μA |
| R _{PULLUP} | プルアップ抵抗 P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0, P9_2 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0, P14_1 | V _I = 0V | 50 | 100 | 500 | k | |
| R _{FIXIN} | 帰還抵抗 | XIN | | | | 3.0 | M |
| R _{FXCIN} | 帰還抵抗 | XCIN | | | | 25 | M |
| V _{RAM} | RAM保持電圧 | ストップモード時 | 2.0 | | | | V |

注1. 指定のない場合は、VCC = 3.0 ~ 3.6V、VSS = 0V、Topr = - 40 ~ 85、f(BCLK) = 24MHzです。

注2. P11 ~ P14、INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6は128ピン版にのみあります。

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表5.29 外部クロック入力(XIN入力)

| 記号 | 項目 | 規格値 | | 単位 |
|-------------------|-----------------|------|----|----|
| | | 最小 | 最大 | |
| t _c | 外部クロック入力サイクル時間 | 62.5 | | ns |
| t _{w(H)} | 外部クロック入力“H”パルス幅 | 25 | | ns |
| t _{w(L)} | 外部クロック入力“L”パルス幅 | 25 | | ns |
| t _r | 外部クロック立ち上がり時間 | | 15 | ns |
| t _f | 外部クロック立ち下がり時間 | | 15 | ns |

表5.30 メモリ拡張モード、マイクロプロセッサモード

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------------------|-----------------------------------|-----|------|----|
| | | 最小 | 最大 | |
| t _{ac1} (RD-DB) | データ入力アクセス時間(ウェイトなし設定) | | (注1) | ns |
| t _{ac2} (RD-DB) | データ入力アクセス時間(ウェイトあり設定) | | (注2) | ns |
| t _{ac3} (RD-DB) | データ入力アクセス時間(マルチプレクスバス領域をアクセスした場合) | | (注3) | ns |
| t _{su} (DB-RD) | データ入力セットアップ時間 | 50 | | ns |
| t _{su} (RDY-BCLK) | RDY入力セットアップ時間 | 40 | | ns |
| t _{su} (HOLD-BCLK) | HOLD入力セットアップ時間 | 50 | | ns |
| t _h (RD-DB) | データ入力ホールド時間 | 0 | | ns |
| t _h (BCLK-RDY) | RDY入力ホールド時間 | 0 | | ns |
| t _h (BCLK-HOLD) | HOLD入力ホールド時間 | 0 | | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]} \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 60 \text{ [ns]} \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表5.31 タイマA入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 150 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 60 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 60 | | ns |

表5.32 タイマA入力(タイマモードのゲーティング入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 600 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 300 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 300 | | ns |

表5.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 300 | | ns |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 150 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 150 | | ns |

表5.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _w (TAH) | TAiIN入力“H”パルス幅 | 150 | | ns |
| t _w (TAL) | TAiIN入力“L”パルス幅 | 150 | | ns |

表5.35 タイマA入力(イベントカウンタモードのアップダウン入力)

| 記号 | 項目 | 規格値 | | 単位 |
|--------------------------|------------------|------|----|----|
| | | 最小 | 最大 | |
| t _c (UP) | TAiOUT入力サイクル時間 | 3000 | | ns |
| t _w (UPH) | TAiOUT入力“H”パルス幅 | 1500 | | ns |
| t _w (UPL) | TAiOUT入力“L”パルス幅 | 1500 | | ns |
| t _{su} (UP-TIN) | TAiOUT入力セットアップ時間 | 600 | | ns |
| t _h (TIN-UP) | TAiOUT入力ホールド時間 | 600 | | ns |

表5.36 タイマA入力(イベントカウンタモードの二相パルス入力)

| 記号 | 項目 | 規格値 | | 単位 |
|------------------------------|------------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TA) | TAiIN入力サイクル時間 | 2 | | μs |
| t _{su} (TAIN-TAOUT) | TAiOUT入力セットアップ時間 | 500 | | ns |
| t _{su} (TAOUT-TAIN) | TAiIN入力セットアップ時間 | 500 | | ns |

タイミング必要条件

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表5.37 タイマB入力(イベントカウンタモードのカウンタ入力)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|--------------------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間(片エッジカウント) | 150 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅(片エッジカウント) | 60 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅(片エッジカウント) | 60 | | ns |
| t _c (TB) | TBiIN入力サイクル時間(両エッジカウント) | 300 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅(両エッジカウント) | 120 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅(両エッジカウント) | 120 | | ns |

表5.38 タイマB入力(パルス周期測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間 | 600 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅 | 300 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅 | 300 | | ns |

表5.39 タイマB入力(パルス幅測定モード)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| t _c (TB) | TBiIN入力サイクル時間 | 600 | | ns |
| t _w (TBH) | TBiIN入力“H”パルス幅 | 300 | | ns |
| t _w (TBL) | TBiIN入力“L”パルス幅 | 300 | | ns |

表5.40 A/Dトリガ入力

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|------------------------|------|----|----|
| | | 最小 | 最大 | |
| t _c (AD) | ADTRG入力サイクル時間(トリガ可能最小) | 1500 | | ns |
| t _w (ADL) | ADTRG入力“L”パルス幅 | 200 | | ns |

表5.41 シリアルインタフェース

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------------|----------------|-----|-----|----|
| | | 最小 | 最大 | |
| t _c (CK) | CLKi入力サイクル時間 | 300 | | ns |
| t _w (CKH) | CLKi入力“H”パルス幅 | 150 | | ns |
| t _w (CKL) | CLKi入力“L”パルス幅 | 150 | | ns |
| t _d (C-Q) | TXDi出力遅延時間 | | 160 | ns |
| t _h (C-Q) | TXDiホールド時間 | 0 | | ns |
| t _{su} (D-C) | RXDi入力セットアップ時間 | 100 | | ns |
| t _h (C-D) | RXDi入力ホールド時間 | 90 | | ns |

表5.42 外部割り込みINTi入力

| 記号 | 項目 | 規格値 | | 単位 |
|----------------------|---------------|-----|----|----|
| | | 最小 | 最大 | |
| t _w (INH) | INTi入力“H”パルス幅 | 380 | | ns |
| t _w (INL) | INTi入力“L”パルス幅 | 380 | | ns |

スイッチング特性

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = - 40 ~ 85)

表5.43 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|-------------------------|-------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.11 | | 30 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 30 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | - 4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 30 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 30 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準)(注3) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準)(注3) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | 40 | ns | |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]} \quad f(\text{BCLK}) \text{ は } 12.5\text{MHz以下}$$

注3. この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

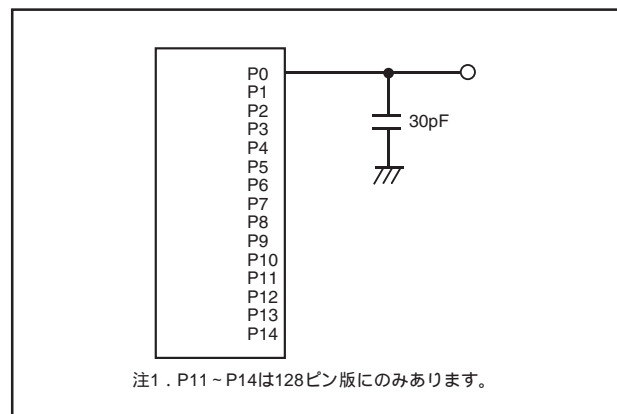
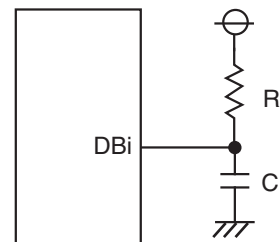
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1\text{k}$$

とすると、出力「L」レベルの保持時間は

$$t = -30 \text{ pF} \times 1 \text{ k} \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$

となります。



注1. P11 ~ P14は128ピン版にのみあります。

図5.11 ポートP0~P14の測定回路

スイッチング特性

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表5.44 メモリ拡張モード、マイクロプロセッサモード(1~3ウェイト設定、外部領域をアクセスした場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|-------------------------|-------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.11 | | 30 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | 0 | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 30 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間 | | | 25 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間 | | -4 | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 30 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 30 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 40 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準)(注3) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準)(注3) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | | 40 | ns |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]}$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
n = 1の場合は、f(BCLK)は12.5MHz以下

注3. この規格は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

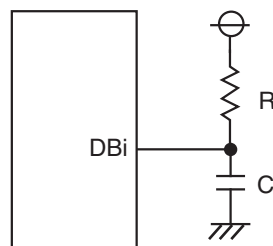
で表されます。例えば、

$$V_{OL} = 0.2 V_{CC}, C = 30 \text{ pF}, R = 1k$$

とすると、出力“L”レベルの保持時間は

$$t = -30 \text{ pF} \times 1k \times \ln(1 - 0.2 V_{CC} / V_{CC}) = 6.7 \text{ ns}$$

となります。



スイッチング特性

VCC = 3.3V

(指定のない場合は、VCC = 3.3V、VSS = 0V、Topr = -40 ~ 85)

表5.45 メモリ拡張モード、マイクロプロセッサモード
(2、3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

| 記号 | 項目 | 測定条件 | 規格値 | | 単位 |
|----------------------------|-------------------------|-------|------|----|----|
| | | | 最小 | 最大 | |
| t _d (BCLK-AD) | アドレス出力遅延時間 | 図5.11 | | 50 | ns |
| t _h (BCLK-AD) | アドレス出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-AD) | アドレス出力保持時間(RD基準) | | (注1) | | ns |
| t _h (WR-AD) | アドレス出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-CS) | チップセレクト出力遅延時間 | | | 50 | ns |
| t _h (BCLK-CS) | チップセレクト出力保持時間(BCLK基準) | | 4 | | ns |
| t _h (RD-CS) | チップセレクト出力保持時間(RD基準) | | (注1) | | ns |
| t _h (WR-CS) | チップセレクト出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-RD) | RD信号出力遅延時間 | | | 40 | ns |
| t _h (BCLK-RD) | RD信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-WR) | WR信号出力遅延時間 | | | 40 | ns |
| t _h (BCLK-WR) | WR信号出力保持時間 | | 0 | | ns |
| t _d (BCLK-DB) | データ出力遅延時間(BCLK基準) | | | 50 | ns |
| t _h (BCLK-DB) | データ出力保持時間(BCLK基準) | | 4 | | ns |
| t _d (DB-WR) | データ出力遅延時間(WR基準) | | (注2) | | ns |
| t _h (WR-DB) | データ出力保持時間(WR基準) | | (注1) | | ns |
| t _d (BCLK-HLDA) | HLDA出力遅延時間 | | | 40 | ns |
| t _d (BCLK-ALE) | ALE信号出力遅延時間(BCLK基準) | | | 25 | ns |
| t _h (BCLK-ALE) | ALE信号出力保持時間(BCLK基準) | | - 4 | | ns |
| t _d (AD-ALE) | ALE信号出力遅延時間(アドレス基準) | | (注3) | | ns |
| t _h (ALE-AD) | ALE信号出力保持時間(アドレス基準) | (注4) | | ns | |
| t _d (AD-RD) | アドレス後RD信号出力遅延時間 | 0 | | ns | |
| t _d (AD-WR) | アドレス後WR信号出力遅延時間 | 0 | | ns | |
| t _{dZ} (RD-AD) | アドレス出力フローティング開始時間 | | 8 | ns | |

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 \text{ [ns]}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 50 \text{ [ns]} \quad n \text{ は 2 ウェイト設定の場合 " 2 "、3 ウェイト設定の場合 " 3 "$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40 \text{ [ns]}$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15 \text{ [ns]}$$

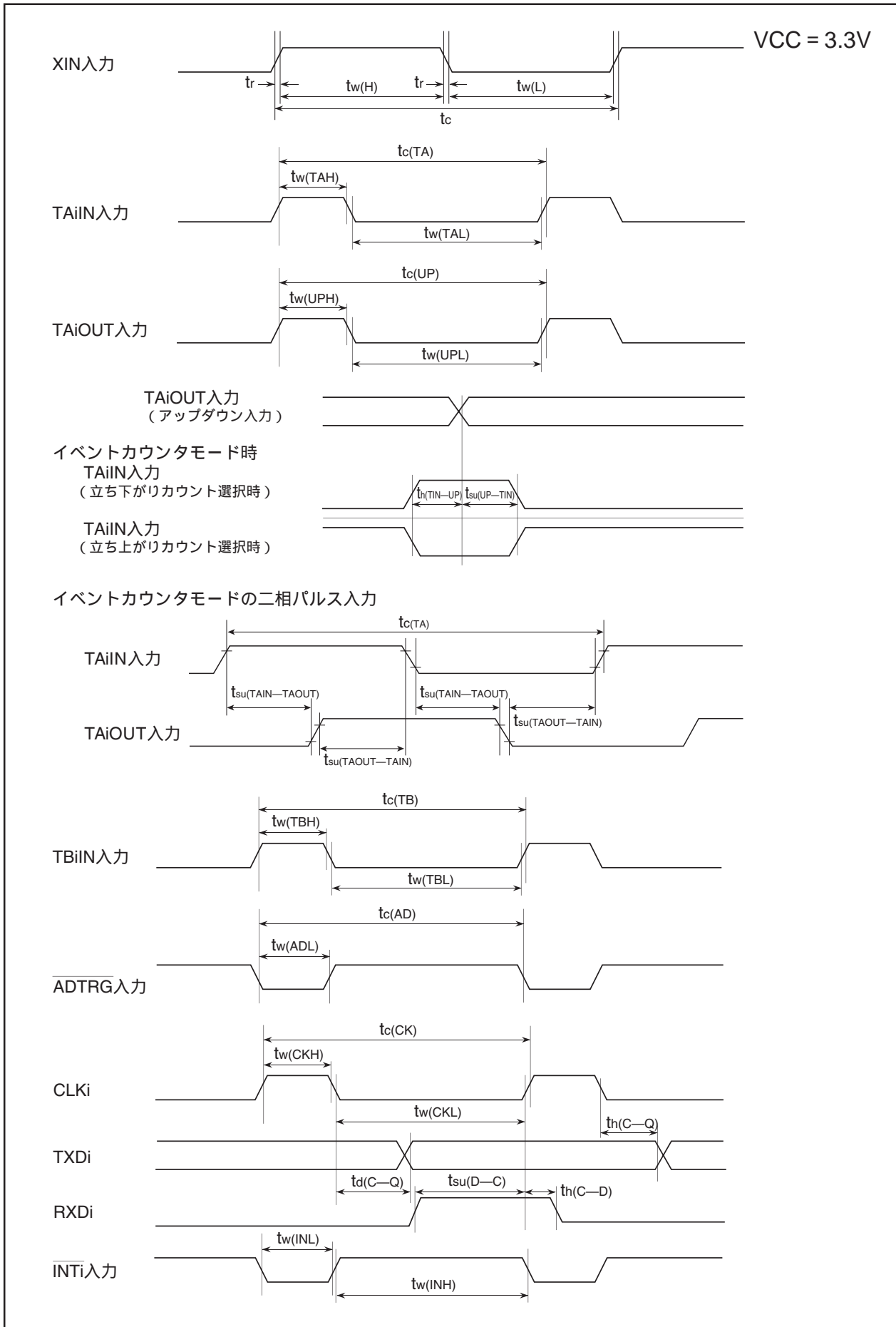


図5.12 タイミング図(1)

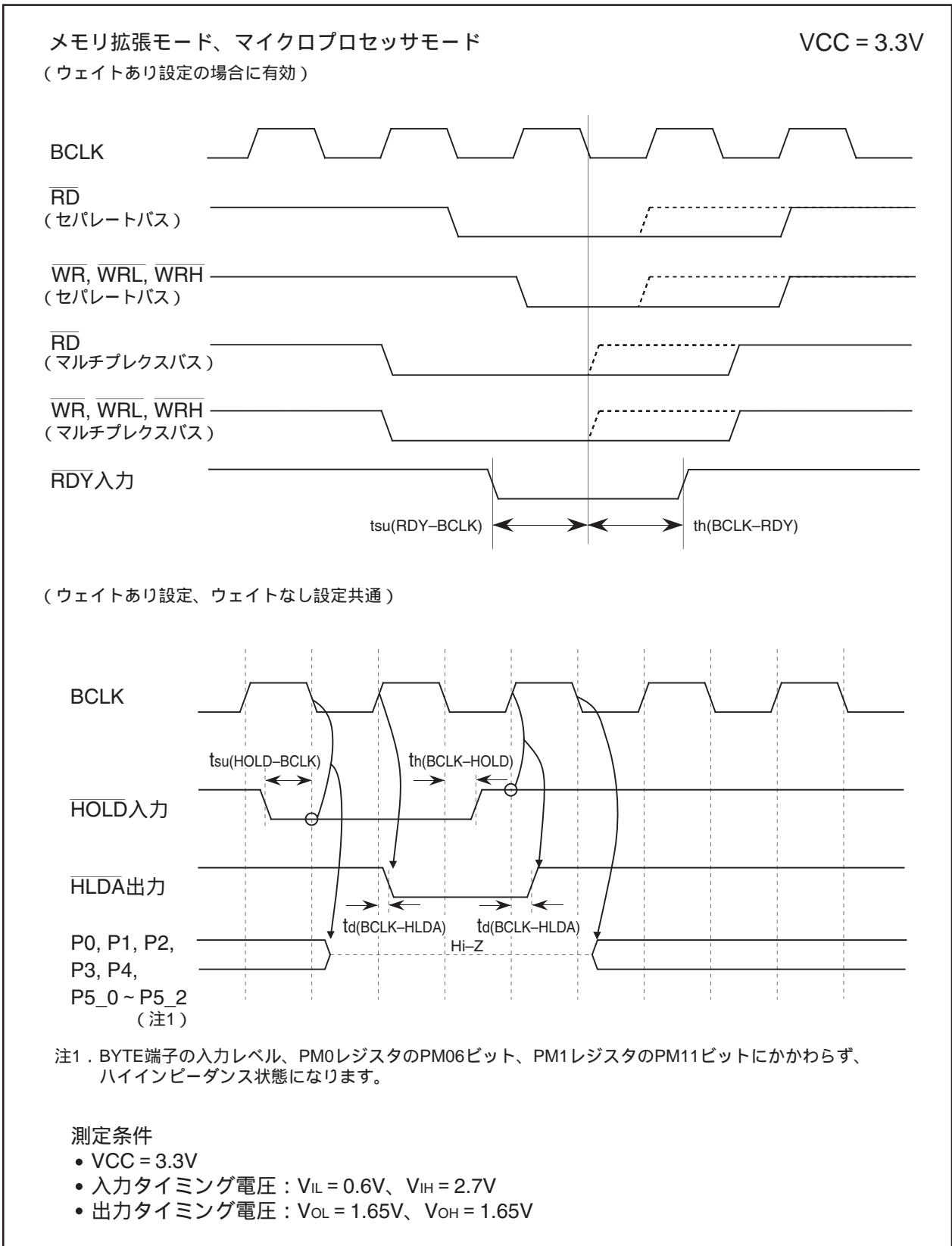


図5.13 タイミング図(2)

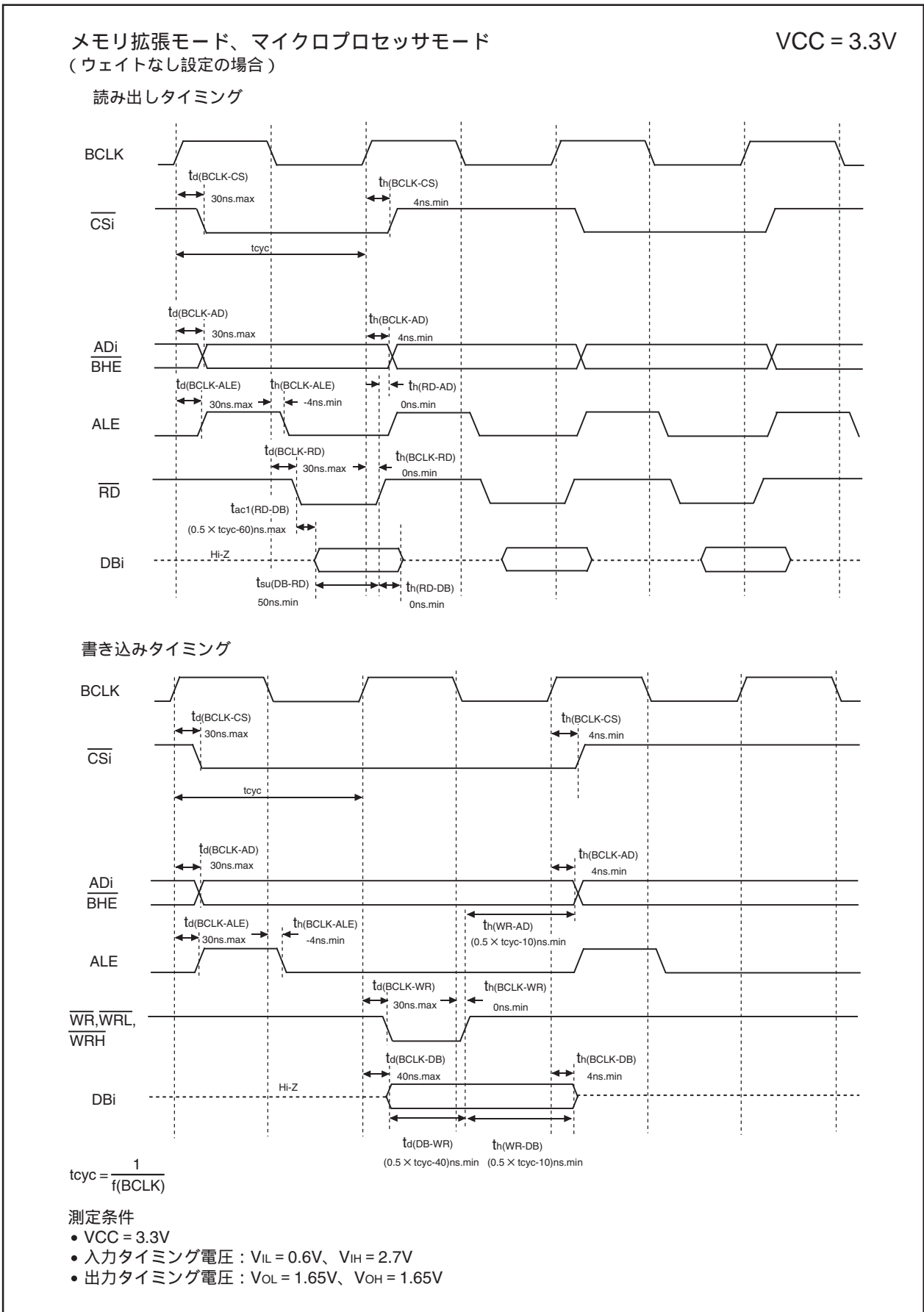


図5.14 タイミング図(3)

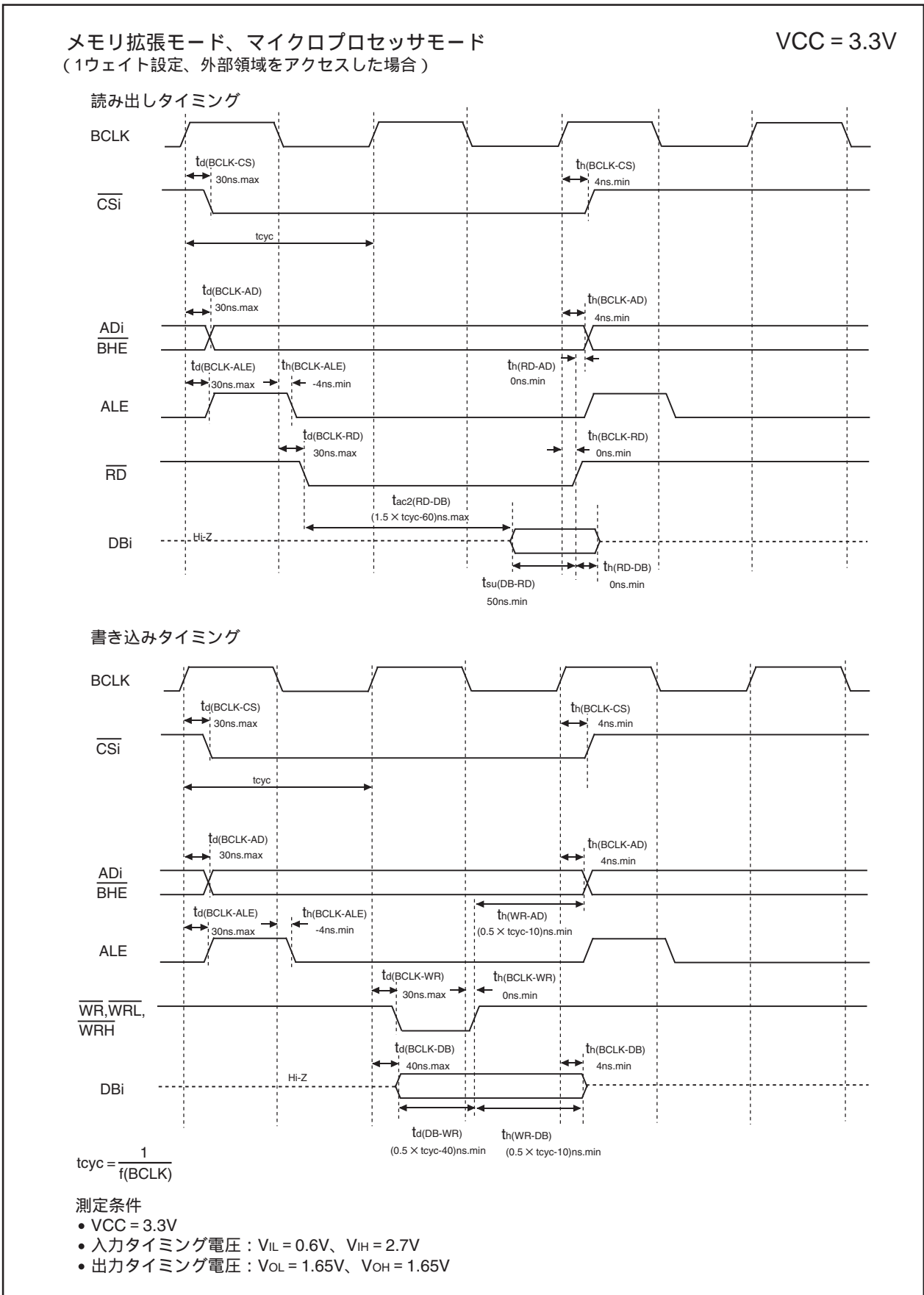


図5.15 タイミング図(4)

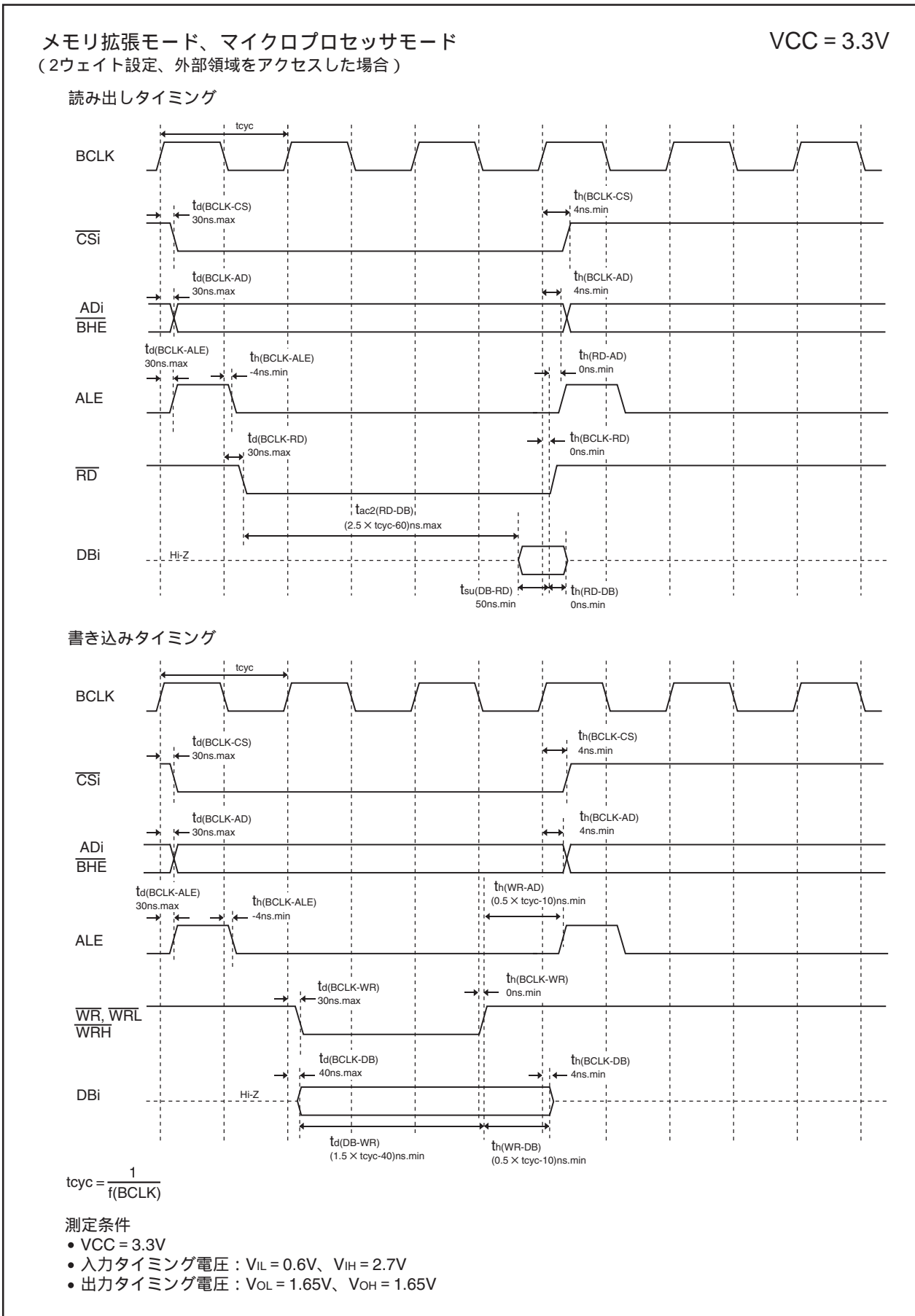


図5.16 タイミング図(5)

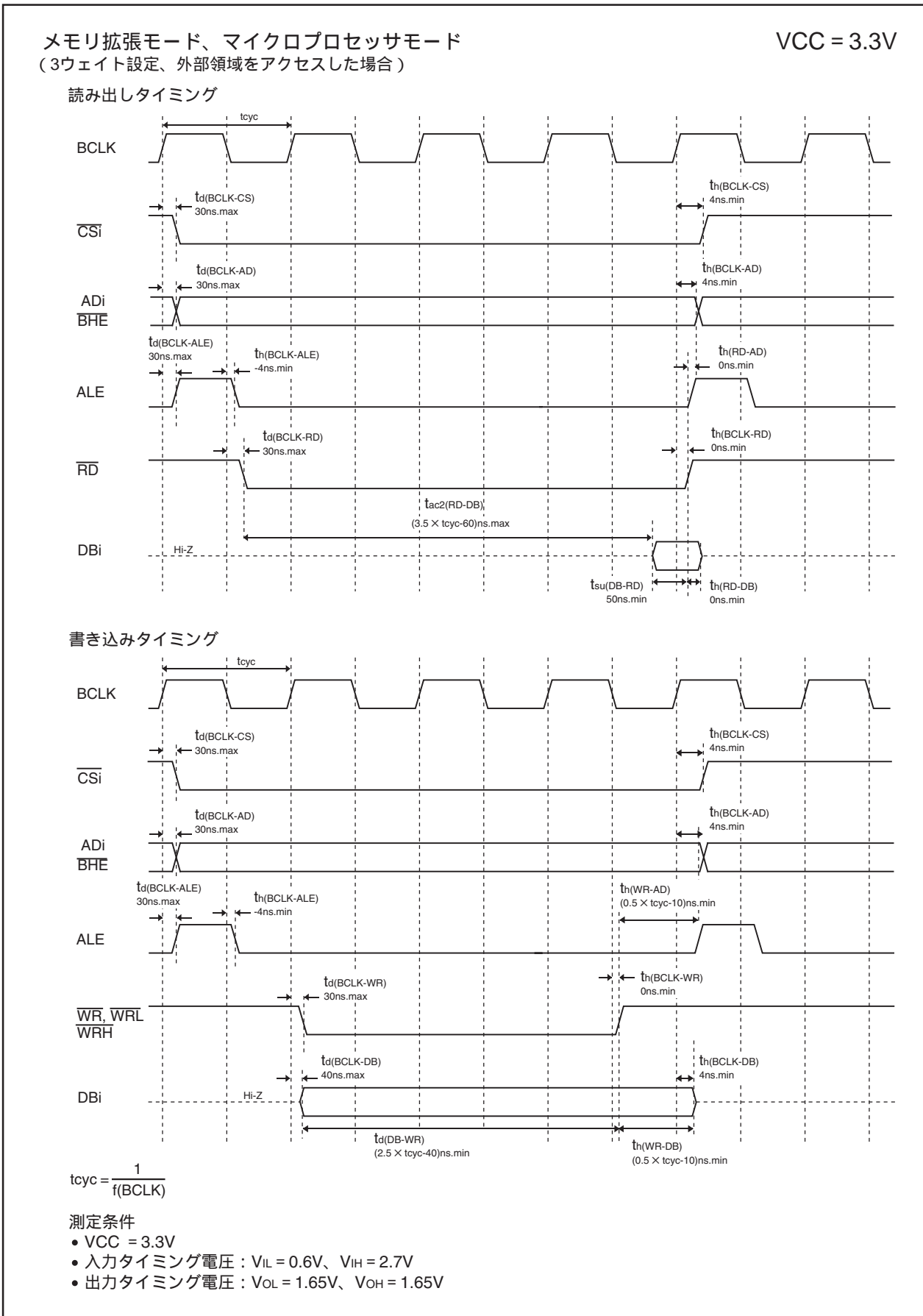


図5.17 タイミング図(6)

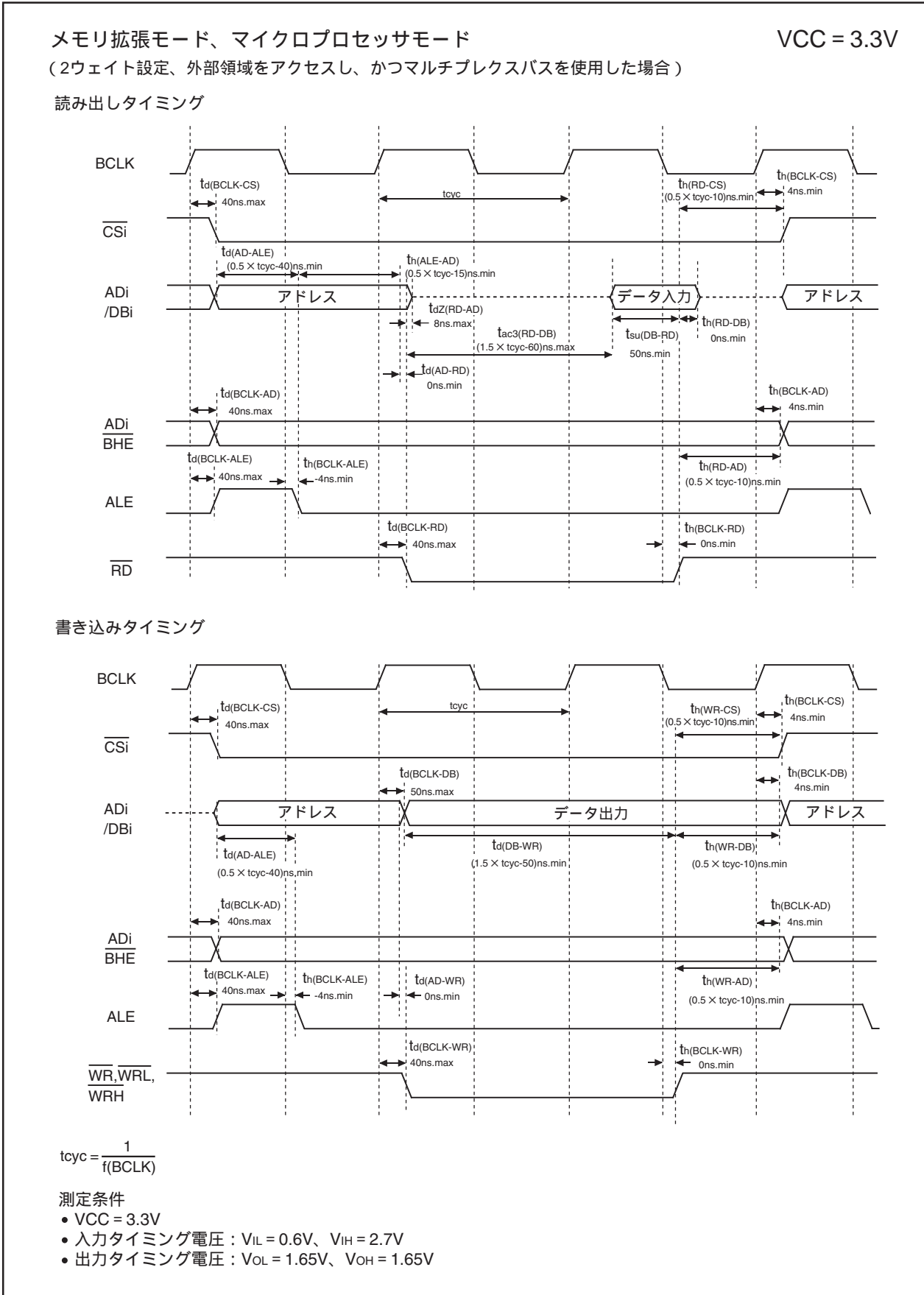


図5.18 タイミング図(7)

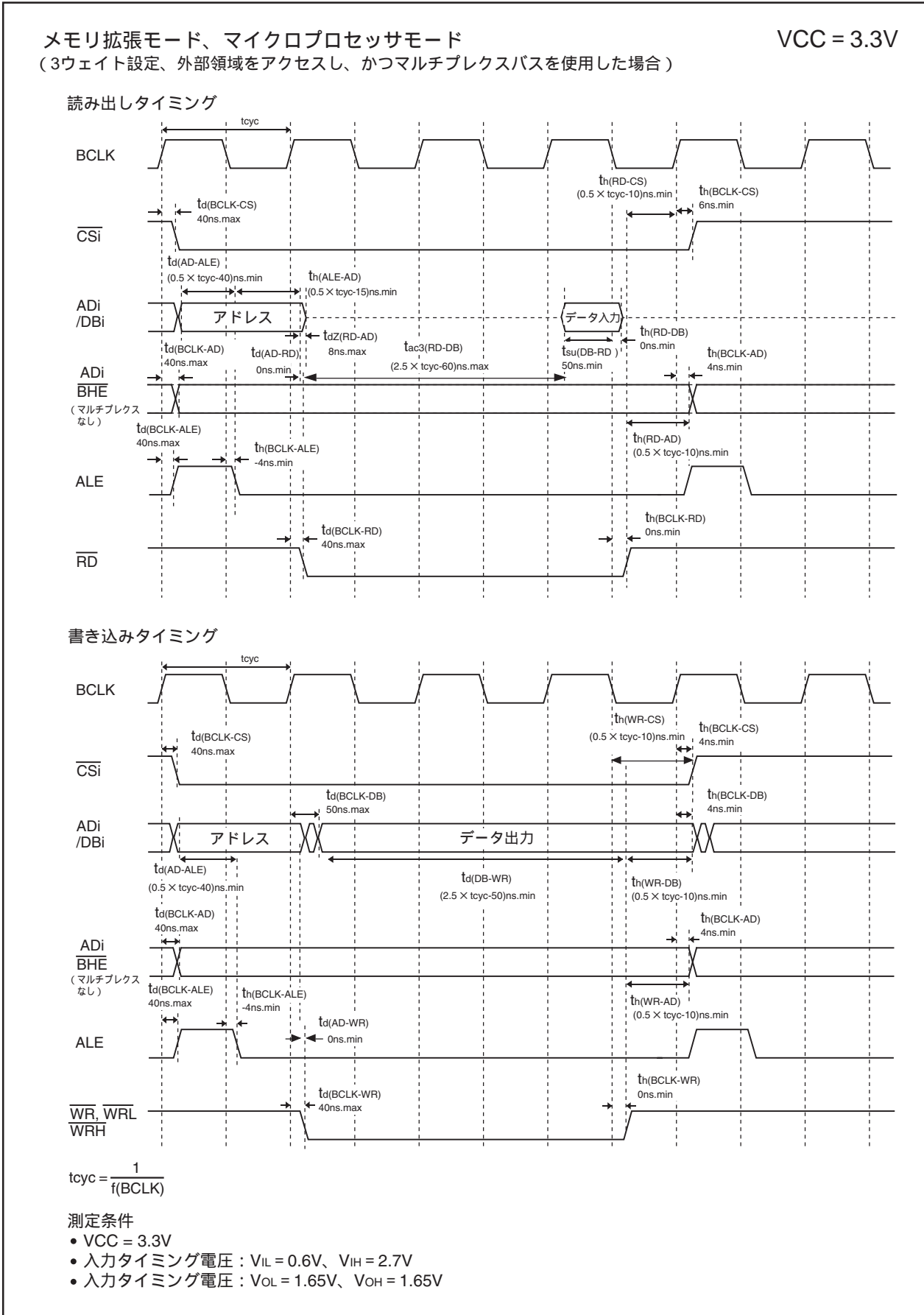
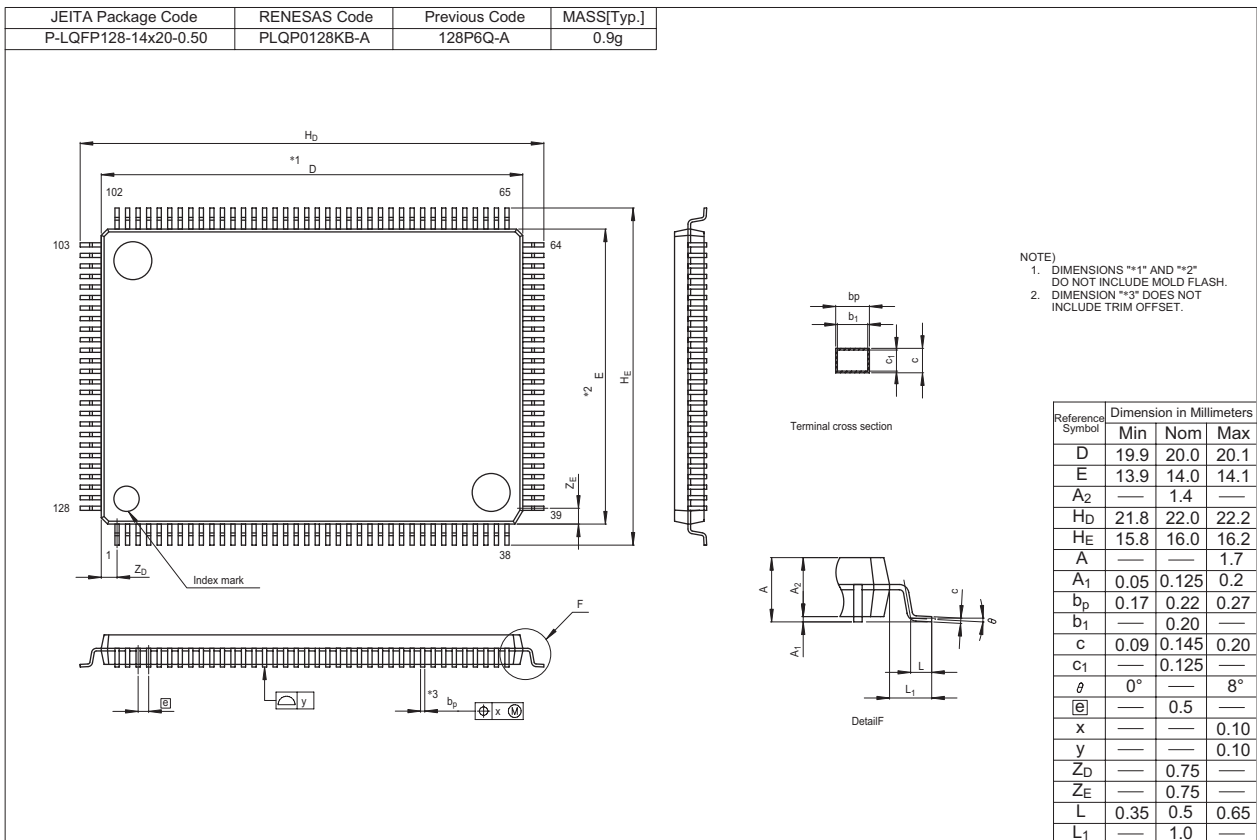
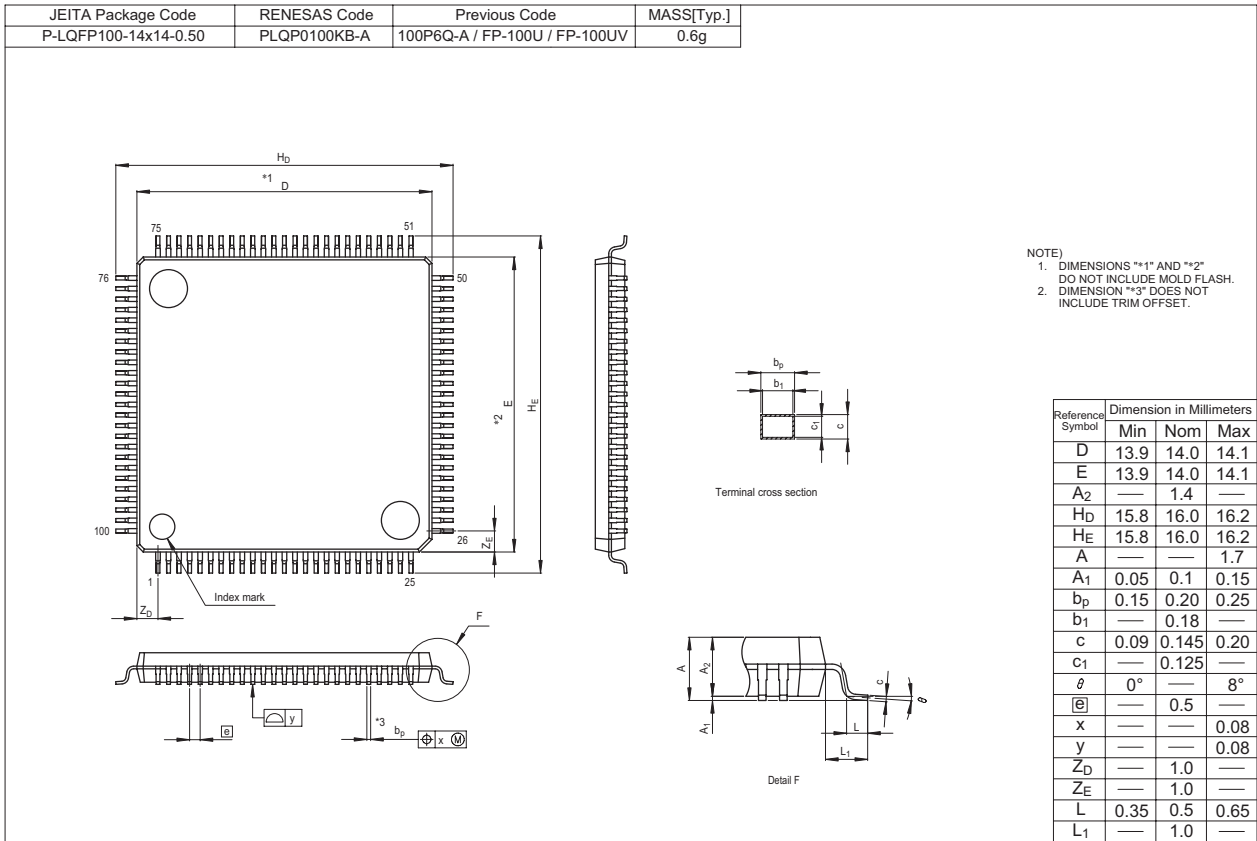


図5.19 タイミング図(8)

付録1．外形寸法図



改訂記録

M16C/6Nグループ (M16C/6NL、M16C/6NN) データシート

| Rev. | 発行日 | 改訂内容 | |
|------|---|-------|---|
| | | ページ | ポイント |
| 1.00 | 2004.07.20 | - | 初版発行 |
| 1.01 | 2004.11.01 | - | 改訂版発行 改訂箇所・内容は下記の通りです(表現のみの変更は除きます)。 |
| | | 26 | 表5.2 推奨動作条件(1) ・ I _{OH(peak)} : 単位の「V」を「mA」に修正 ・ 注3の4行目: 「P14_」を「P14_1」に修正 |
| | | 27 | 表5.3 推奨動作条件(2) 注3: 「VCC = 3.0V ± 0.3V」を「VCC = 3.3V ± 0.3V」に修正 |
| | | 28 | 表5.4 I _{IH} 、I _{IL} : 項目の「P3_3」を「P3_7」に修正 |
| 31 | 表5.9 フラッシュメモリ書き込み/消去電圧の「VCC = 3.0V ± 0.3V」を「VCC = 3.3V ± 0.3V」に修正 | | |
| 1.02 | 2005.07.01 | - | 改訂版発行 改訂箇所・内容は下記の通りです(表現のみの変更は除きます)。 |
| | | 5 | 表1.3 製品一覧表: 内容見直し |
| | | 13 | 図4.1 SFR一覧(1) ・ CM2レジスタのリセット後の値: 「0X00X000b」を「0X000000b」に変更 |
| | | 19 | 図4.7 SFR一覧(7): 注1に「マスクROM版ではアクセスしないでください。」を追加 |
| | | 29 | 表5.5 電気的特性(2) ・ 測定条件5項目目のマスクROM: 「f(XCIN)」を「f(BCLK)」に変更 |
| 30 | 表5.6 A/D変換特性: 「許容信号源インピーダンス」を削除 | | |
| 2.10 | 2006.08.25 | - | 改訂版発行 メモリ拡張モード、マイクロプロセッサモードを追加 改訂箇所・内容は下記の通りです(表現のみの変更は除きます)。 |
| | | 2、3 | 表1.1、表1.2 性能概要: 動作モードを変更 |
| | | 5 | 表1.3 製品一覧表: 内容見直し。注1、注2を追加 |
| | | 6 | 図1.3 ピン接続図(1): バス制御端子を追加 |
| | | 7、8 | 表1.4、表1.5 100ピン版端子名一覧表(1)(2): 新規追加 |
| | | 9 | 図1.4 ピン接続図(2): バス制御端子を追加 |
| | | 10~12 | 表1.6~表1.8 128ピン版端子名一覧表(1)~(3): 新規追加 |
| | | 13 | 表1.9 端子の機能説明(1) ・ CNVSS、BYTE端子の機能を変更 ・ バス制御端子を追加 |
| | | 14 | 表1.10 端子の機能説明(2) ・ BCLK端子を追加 |
| | | 18 | 3.メモリ: 最終行の後に「メモリ拡張モード~」を追加 図3.1 メモリ配置図 ・ 外部領域を追加 ・ 注1、注2を追加 |
| 19 | 表4.1 SFR一覧(1) ・ PM0レジスタ: リセット後の値を変更(「00000011b」を追加) ・ CSRレジスタ、CSEレジスタを追加 ・ 注1を追加 | | |
| 26 | 表4.8 SFR一覧(8) ・ IDB0レジスタのリセット後の値: 「00h」を「00111111b」に変更 ・ IDB1レジスタのリセット後の値: 「00h」を「00111111b」に変更 | | |

改訂記録

M16C/6Nグループ (M16C/6NL、M16C/6NN) データシート

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-------|---|
| | | ページ | ポイント |
| 2.10 | 2006.08.25 | 30 | 表4.12 SFR一覧(12) ・PUR1レジスタ：リセット後の値を変更(「(注1)」、 「00000010b」を追加) ・注1を追加 |
| | | 32 | 表5.2 推奨動作条件(1)：「V _{IH} 」と「V _{IL} 」を変更 |
| | | 33 | 表5.3 推奨動作条件(2)：電源リップルの3項目を削除 旧図5.1 電源変動のタイミング図：削除 |
| | | 34 | 表5.4 電気的特性(1) ・ヒステリシスにHOLD、RDYを追加 ・XINのヒステリシスを削除 |
| | | 37 | 表5.8 フラッシュメモリの電気的特性：変更 |
| | | 38 | 表5.12 メモリ拡張モード、マイクロプロセッサモード：追加 |
| | | 41～43 | スイッチング特性：追加 |
| | | 45～51 | 図5.4～図5.10 タイミング図(2)～(8)：追加 |
| | | 52～66 | VCC = 3.3V時の電気的特性を追加 |

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

| | | | | | |
|---|---|---|-----------|--------------------------------|----------------|
| 本 | | 社 | 〒100-0004 | 千代田区大手町2-6-2 (日本ビル) | (03) 5201-5350 |
| 京 | 支 | 社 | 〒212-0058 | 川崎市幸区鹿島田890-12 (新川崎三井ビル) | (044) 549-1662 |
| 西 | 支 | 社 | 〒190-0023 | 立川市柴崎町2-2-23 (第二高島ビル2F) | (042) 524-8701 |
| 東 | 支 | 社 | 〒980-0013 | 仙台市青葉区花京院1-1-20 (花京院スクエア13F) | (022) 221-1351 |
| い | 支 | 店 | 〒970-8026 | いわき市平小太郎町4-9 (平小太郎ビル) | (0246) 22-3222 |
| 茨 | 支 | 店 | 〒312-0034 | ひたちなか市堀口832-2 (日立システムプラザ勝田1F) | (029) 271-9411 |
| 新 | 支 | 店 | 〒950-0087 | 新潟市東大通1-4-2 (新潟三井物産ビル3F) | (025) 241-4361 |
| 松 | 支 | 社 | 〒390-0815 | 松本市深志1-2-11 (昭和ビル7F) | (0263) 33-6622 |
| 中 | 支 | 社 | 〒460-0008 | 名古屋市中区栄4-2-29 (名古屋広小路ブレイス) | (052) 249-3330 |
| 関 | 支 | 社 | 〒541-0044 | 大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル) | (06) 6233-9500 |
| 北 | 支 | 社 | 〒920-0031 | 金沢市広岡3-1-1 (金沢パークビル8F) | (076) 233-5980 |
| 広 | 支 | 店 | 〒730-0036 | 広島市中区袋町5-25 (広島袋町ビルディング8F) | (082) 244-2570 |
| 鳥 | 支 | 店 | 〒680-0822 | 鳥取市今町2-251 (日本生命鳥取駅前ビル) | (0857) 21-1915 |
| 九 | 支 | 社 | 〒812-0011 | 福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F) | (092) 481-7695 |

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com