

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## M16C/6KAグループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

概要

RJJ03B0092-0100Z

Rev.1.00

2004.07.23

### 概要

M16C/6KAグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、144ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、命令を高速に実行する能力を備えています。また、ホストCPUとの接続のため、LPCバスインタフェースを内蔵しており、パソコンシステムのスレーブコントローラとして実現できます。

### 特長

メモリ容量 .....	ROM 128Kバイト RAM 5Kバイト
最短命令実行時間 .....	62.5ns (f(XIN)=16MHz、0ウエイト時、VCC=3.3V時)
電源電圧 .....	3.0V ~ 3.6V (f(XIN)=16MHz、0ウエイト時)
プログラム/イレーズ用電源電圧 .....	3.0V ~ 3.6V (CPU書き換えモード0、内部クロック=8MHz、1ウエイト時) (CPU書き換えモード1、内部クロック=4MHz、1ウエイト時)
低消費電力 .....	52.8mW (3.3V、f(XIN)=16MHz、0ウエイト時)
割り込み .....	内部 32要因、外部 16要因、ソフトウェア 4要因、7レベル (キー入力割り込みを含む)
キー入力割り込み .....	2本 (8入力 1割り込み要求 × 1本) (8入力 1割り込み要求 (イベントラッチ付き) × 1本)
多機能16ビットタイマ .....	出力系5本 + 入力系6本
シリアルI/O (シリアルインタフェース) .....	3本 (UART/クロック同期 1本、クロック同期 2本)
ホストバスインタフェース .....	LPCバスインタフェース × 4本
A-D変換器 (A/Dコンバータ) .....	10ビット × 8チャンネル (最大10チャンネルまで拡張可)
PWM出力回路 .....	8ビット × 6本
監視タイマ (ウォッチドッグタイマ) .....	1本
I <sup>2</sup> Cバスインタフェース .....	3チャンネル
PS2インタフェース .....	3チャンネル
シリアル割り込み出力 .....	6要因 (固定2要因、プログラマブル4要因)
プログラマブル入出力 .....	129本
入力ポート .....	1本 (P85、 $\overline{\text{NMI}}$ 端子と兼用)
クロック発生回路 .....	1回路内蔵 (帰還抵抗内蔵、セラミック共振子外付け)

### 応用

ノートパソコン、他

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。

また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

# 目次

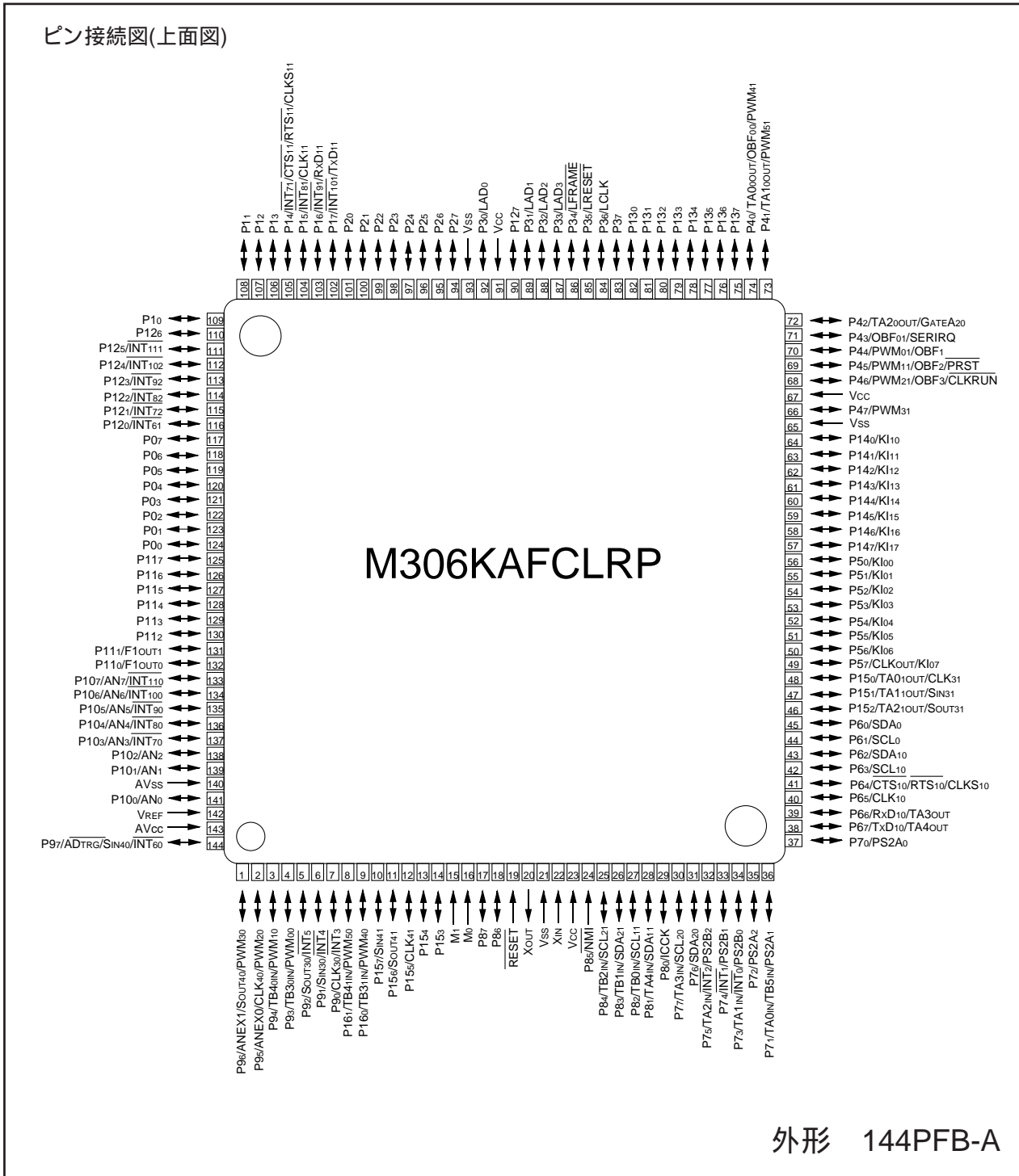
中央演算処理装置 .....	13
リセット .....	16
プロセッサモード .....	26
クロック発生回路 .....	29
プロテクト .....	38
割り込み .....	39
監視タイマ（ウォッチドッグタイマ） .....	66
タイマ .....	68
シリアルI/O（シリアルインタフェース） .....	86
A-D変換器（A/Dコンバータ） .....	112
PWM出力回路 .....	122
LPCバスインタフェース .....	126
シリアル割り込み出力 .....	144
I <sup>2</sup> Cバスインタフェース .....	155
PS2インタフェース .....	186
プログラマブル入出力ポート .....	201
電気的特性 .....	222
フラッシュメモリ .....	235

M16C/6K(144ピン版)グループの相違点について

品名	M306K7F8LRP (量産中)	M306K9FCLRP (量産中)	M306KAFCLRP (開発中)
ピン数	144ピン	144ピン	144ピン
RAM	3Kバイト	5Kバイト	5Kバイト
ROM	NEW DINOR型 フラッシュメモリ 68Kバイト	NEW DINOR型 フラッシュメモリ 128Kバイト	NEW DINOR型 フラッシュメモリ 128Kバイト
内部ROM領域	・ユーザROM領域 0EF00016 ~ 0FFFFFF16番地 ・ブートROM領域 0FF00016 ~ 0FFFFFF16番地	・ユーザROM領域 0E000016 ~ 0FFFFFF16番地 ・ブートROM領域 0FF00016 ~ 0FFFFFF16番地	・ユーザROM領域 0E000016 ~ 0FFFFFF16番地 ・ブートROM領域 0FF00016 ~ 0FFFFFF16番地
03B416番地	フラッシュメモリ制御レジスタ リセット後 000000002	フラッシュメモリ制御レジスタ リセット後 XXXXXX102	フラッシュメモリ制御レジスタ リセット後 XXXXXX112
03B716番地	フラッシュメモリ制御レジスタ リセット後 XX0000012	フラッシュメモリ制御レジスタ リセット後 000000012	フラッシュメモリ制御レジスタ リセット後 000000012
プログラム/イレース 電源電圧	VCC 3.0 ~ 3.6V	VCC 3.0-3.6V FVCC 3.0-3.6V	VCC 3.0 ~ 3.6V
FVCC端子	存在しません。	プログラム/イレース用 電源電圧入力端子	存在しません。
PWM出力回路	14ビット×4本	8ビット×6本	8ビット×6本
I <sup>2</sup> Cバスインタフェース	2チャネル	3チャネル	3チャネル(チャネル1,2は端子切替え可能)
キー入力割り込み	・8入力割り込み要求×1本 ・8入力割り込み要求(イベント付き)×1本 立ち下がりエッジのみ検出 1ビット単位で選択不可	・8入力割り込み要求×1本 ・8入力割り込み要求(イベント付き)×1本 両エッジ選択にて検出 1ビット単位で選択可能	・8入力割り込み要求×1本 ・8入力割り込み要求(イベント付き)×1本 両エッジ選択にて検出 1ビット単位で選択可能
DMAC	2チャネル	2チャネル	無
D/Aコンバータ	有(8ビット×2チャネル)	有(8ビット×2チャネル)	無
コンパレータ	有(8チャネル)	有(8チャネル)	無
割り込み	31ベクタ	31ベクタ	45ベクタ(OBE割り込み追加)
シリアルI/O	・UART/クロック同期 3本(UART0, 1, 2) ・クロック同期 2本	・UART/クロック同期 3本(UART0, 1, 2) ・クロック同期 2本	・UART/クロック同期 1本(UART1) ・クロック同期 2本
クロック発生回路	2回路内蔵	2回路内蔵	1回路内蔵

ピン接続図

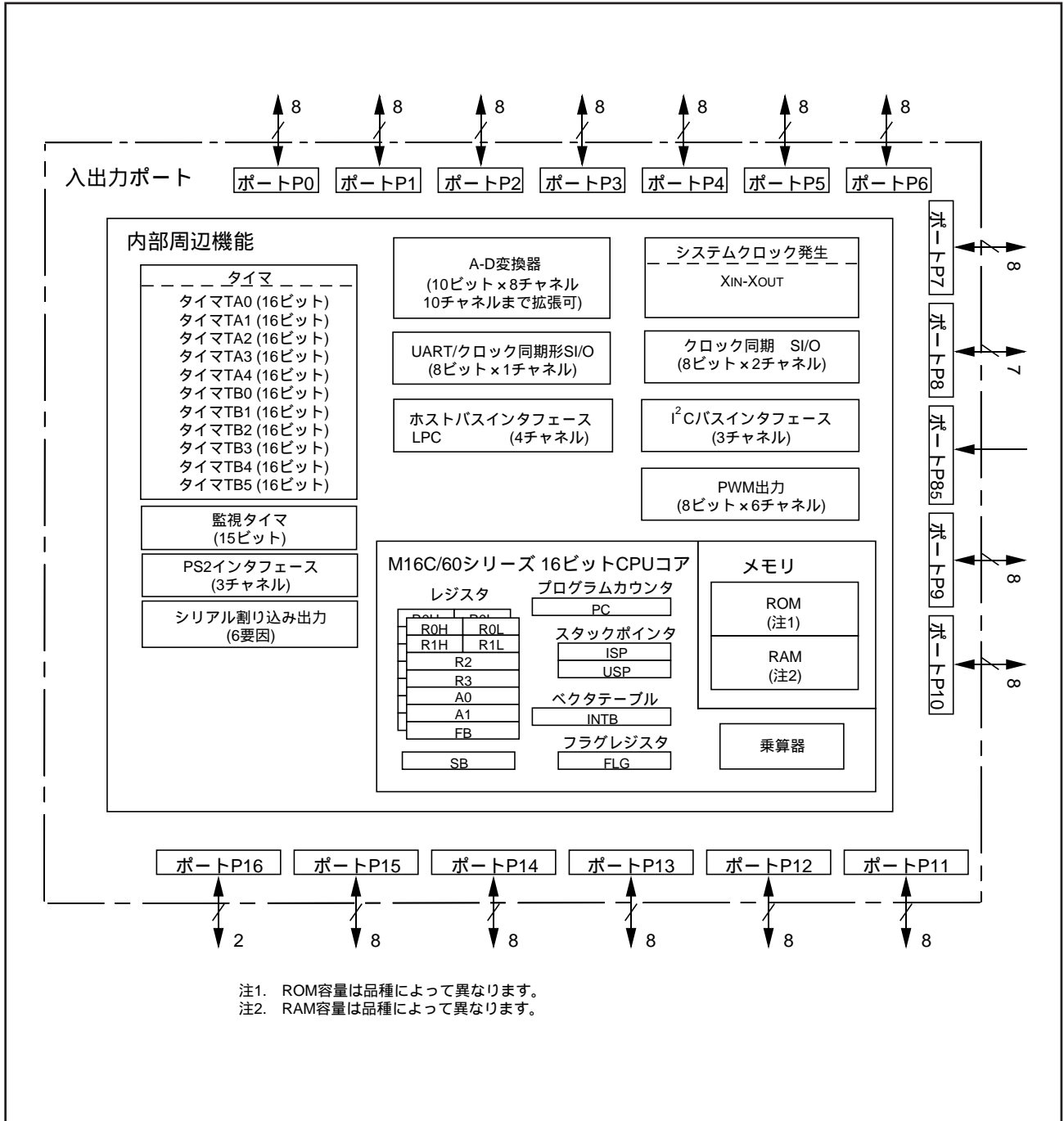
図AA-1にピン接続図(上面図)を示します。



図AA-1. ピン接続図(上面図)

ブロック図

図AA-2にM16C/6KA(144ピン版)グループのブロック図を示します。



図AA-2. M16C/6KA(144ピン版)グループのブロック図

## 性能概要

表AA-1にM16C/6KA(144ピン版)グループの性能概要を示します。

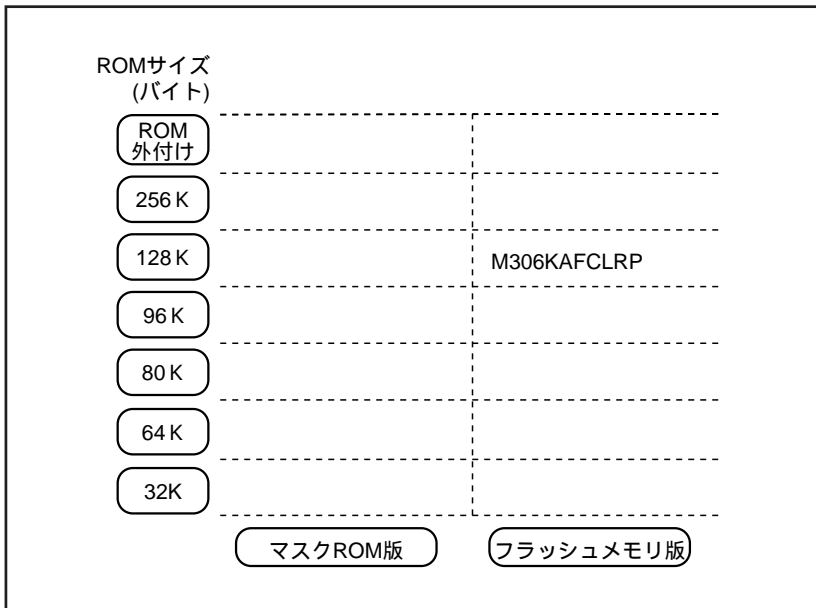
表AA-1. M16C/6KA(144ピン版)グループの性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns ( $f(X_{IN})=16\text{MHz}$ 、0ウエイト時、 $V_{CC}=3.3\text{V}$ 時)
メモリ容量	ROM	(ROM展開の図を参照してください)
	RAM	5Kバイト
入出力ポート	P0 ~ P10 (ただしP85は除く)	8ビット×10、7ビット×1
	P11 ~ P16	8ビット×5、2ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2, TB3, TB4, TB5	16ビット×6
シリアルI/O	UART1	(UARTまたはクロック同期形)×1
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×(8+2)チャンネル
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部32要因、外部16要因、ソフトウェア4要因、7レベル
ホストバスインタフェース		4本(LPCバスインタフェース)
PWM出力回路		8ビット×6本
I <sup>2</sup> Cバスインタフェース		3チャンネル
PS2インタフェース		3チャンネル
シリアル割り込み出力		6要因(固定2要因、プログラマブル4要因)
クロック発生回路		1回路内蔵 (帰還抵抗内蔵、セラミック共振子外付け)
電源電圧		3.0V ~ 3.6V ( $f(X_{IN})=16\text{MHz}$ 、0ウエイト時)
消費電力		52.8mW (3.3V、 $f(X_{IN})=16\text{MHz}$ 、0ウエイト時)
入出力特性	入出力耐電圧	3.3V
	出力電流	5mA
素子構造		CMOS高性能シリコンゲート
パッケージ		144ピンプラスチックモールドQFP



M16C/6KA(144ピン版)グループでは次のような展開を計画しています。

- (1)フラッシュメモリ版のサポート
- (2)ROM容量
- (3)パッケージ
  - 144PFB-A ..... プラスチックモールドQFP(フラッシュメモリ版)



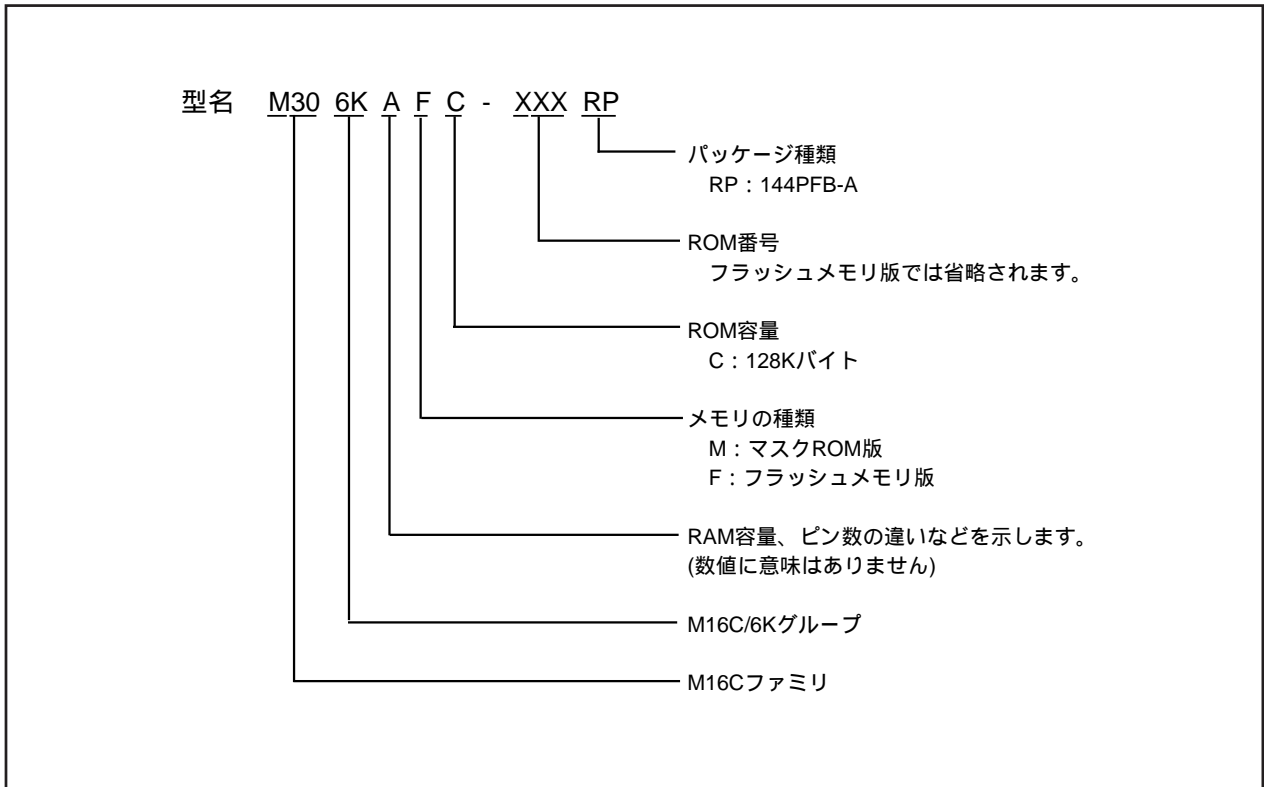
図AA-3. ROM展開

サポートを行う予定の製品を以下に示します。

表AA-2. 製品一覧表

2004年 7月現在

型名	ROM容量	RAM容量	パッケージ	ホストバスインタフェース	備考
M306KAFCLRP	128Kバイト	5Kバイト	144PFB-A	LPC	フラッシュメモリ(NEW DINOR)版



図AA-4. 型名とメモリサイズ・パッケージ

## 端子の機能説明

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には、3.0V～3.6Vを印加してください。VSS端子には、0Vを印加してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
M0, M1	チップモード設定入力	入力	VSS端子に接続してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。CMOS入力レベル、出力形式はCMOS3ステート/Nチャンネルオープンドレインの切り替えが可能です。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、外部割り込みの入力端子、UART1の入出力端子として機能します。
P20～P27	入出力ポートP2	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。P20～P27の8ビットは、LED駆動用の大電流出力ができます。
P30～P37	入出力ポートP3	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。ソフトウェアで選択することによって、LPCバスインタフェースの入出力端子として機能します。
P40～P47	入出力ポートP4	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、P47の出力形式はCMOS3ステートです)。ソフトウェアで選択することによって、LPCバスインタフェース出力端子、タイマA0～A2、PWMの出力端子、シリアル割り込み出力の入出力端子として機能します。P40～P46は入力ポート、出力ポートの設定にかかわらず端子レベルの入力が可能です。P40、P43を出力ポートとして使用する場合、出力データバスバッファをホストCPUが読み出した時、P40、P43を“0”クリアする機能を追加可能です。
P50～P57	入出力ポートP5	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。キー入力割り込み0の入力端子として機能します。ソフトウェアで選択することによって、P57からXINの8分周、32分周と同じ周期を持つクロックを出力します。

## 端子の機能説明

端子名	名称	入出力	機能
P60 ~ P67	入出力ポートP6	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、P60 ~ P63の出力形式はNチャンネルオープンドレイン、P64 ~ P67の出力形式はCMOS3状態です。P60 ~ P63はプルアップ抵抗を設定できません)。ソフトウェアで選択することによって、I <sup>2</sup> Cバスインタフェース、UART1の入出力端子、タイマA3、A4の出力端子として機能します。I <sup>2</sup> Cバスインタフェース機能時、P60 ~ P63およびSDA、SCL入力はCMOS/SMBUS入力レベル切り替えが可能です。
P70 ~ P77	入出力ポートP7	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式は8ビットともNチャンネルオープンドレインです。プルアップ抵抗を設定できません)。ソフトウェアで選択することによって、外部割り込み、タイマA0 ~ A3、タイマB5の入力端子、PS2インタフェースの入出力端子、I <sup>2</sup> Cバスインタフェースの入出力端子として機能します。P70 ~ P75は入力ポート、出力ポートの設定にかかわらず端子レベルの入力が可能です。I <sup>2</sup> Cバスインタフェース機能時、P76、P77およびSDA、SCL入力はCMOS/SMBUS入力レベル切り替えが可能です。
P80 ~ P84 P86 P87 P85	入出力ポートP8  入力ポートP85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、P86、P87の出力形式はCMOS3状態、P80 ~ P84の出力形式はNチャンネルオープンドレインです。P85は入力専用のポートです。P80 ~ P84、P85はプルアップ抵抗を設定できません)。ソフトウェアで選択することによってタイマA4、B0 ~ B2、I <sup>2</sup> Cバスインタフェースの入出力端子として機能します。I <sup>2</sup> Cバスインタフェース機能時、P81 ~ P84およびSDA、SCL入力はCMOS/SMBUS入力レベル切り替えが可能です。P85はNMIと兼用です。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。
P90 ~ P97	入出力ポートP9	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3状態です)。ソフトウェアで選択することによって、外部割り込み、タイマB3 ~ B4、A-D変換器の拡張入力、A-Dトリガ、SI/O3、SI/O4の入出力端子、PWMの出力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P0とほぼ同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3状態です)。入力ポート時、ソフトウェアにて1ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、A-D変換器、外部割り込みの入力端子として機能します。

端子名	名称	入出力	機能
P110~P117	入出力ポートP11	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P110、P111はソフトウェアで選択することによって、XINと同じ周期をもつクロックの出力端子として機能します。
P120~P127	入出力ポートP12	入出力	P0と同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。ソフトウェアで選択することによって、外部割り込みの入力端子として機能します。
P130~P137	入出力ポートP13	入出力	P0と同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はNチャンネルオープンドレインです。プルアップ抵抗を設定できません)。
P140~P147	入出力ポートP14	入出力	P0と同等の機能を持つ8ビット入出力ポートです。キー入力割り込み1の入力端子として機能します。P140~P143の4ビットは、LED駆動用の大電流出力が可能です。入力ポート時、ソフトウェアにて1ビット単位でプルアップ抵抗の有無を設定できます。
P150~P157	入出力ポートP15	入出力	P0と同等の機能を持つ8ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。ソフトウェアで選択することによって、タイマA0~A2の出力端子、SI/O3、SI/O4の入出力端子として機能します。
P160、P161	入出力ポートP16	入出力	P0と同等の機能を持つ2ビット入出力ポートです(ただし、出力形式はCMOS3ステートです)。ソフトウェアで選択することによって、タイマB3、B4の入力端子、PWMの出力端子として機能します。

## 機能ブロック動作説明

M16C/6KA(144ピン版)グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、A-D変換器、ホストバスインタフェース、PWM出力、I<sup>2</sup>Cバスインタフェース、PS2インタフェース、入出力ポートなどの周辺装置です。

次に各装置について説明します。

## メモリ

メモリ配置図を図CA-1に示します。アドレス空間は00000<sub>16</sub>番地からFFFFFF<sub>16</sub>番地までの1Mバイトあります。

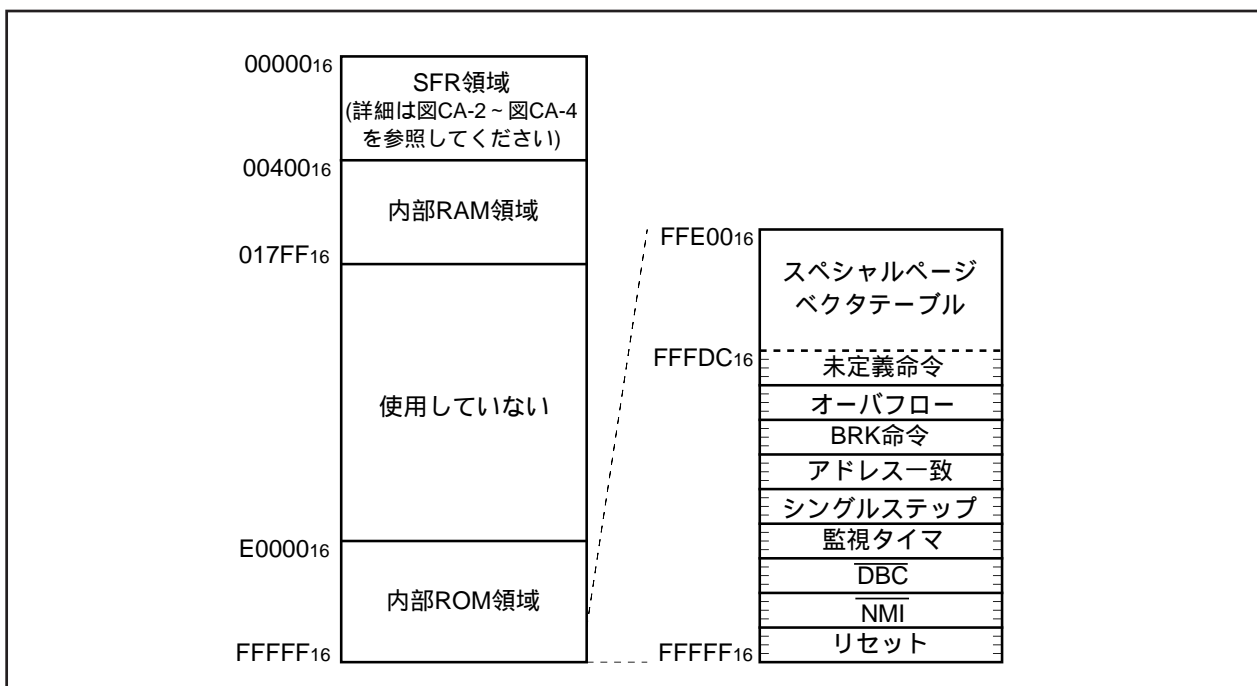
E0000<sub>16</sub>番地からFFFFFF<sub>16</sub>番地までの128Kバイトに内部ROMが配置されています。

FFFDC<sub>16</sub>番地からFFFFFF<sub>16</sub>番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400<sub>16</sub>番地から番地の大きい方向にRAMが配置されています。例えばM306KAFCLRPでは、00400<sub>16</sub>番地から017FF<sub>16</sub>番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000<sub>16</sub>番地から003FF<sub>16</sub>番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図CA-2, 3, 4, 5に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

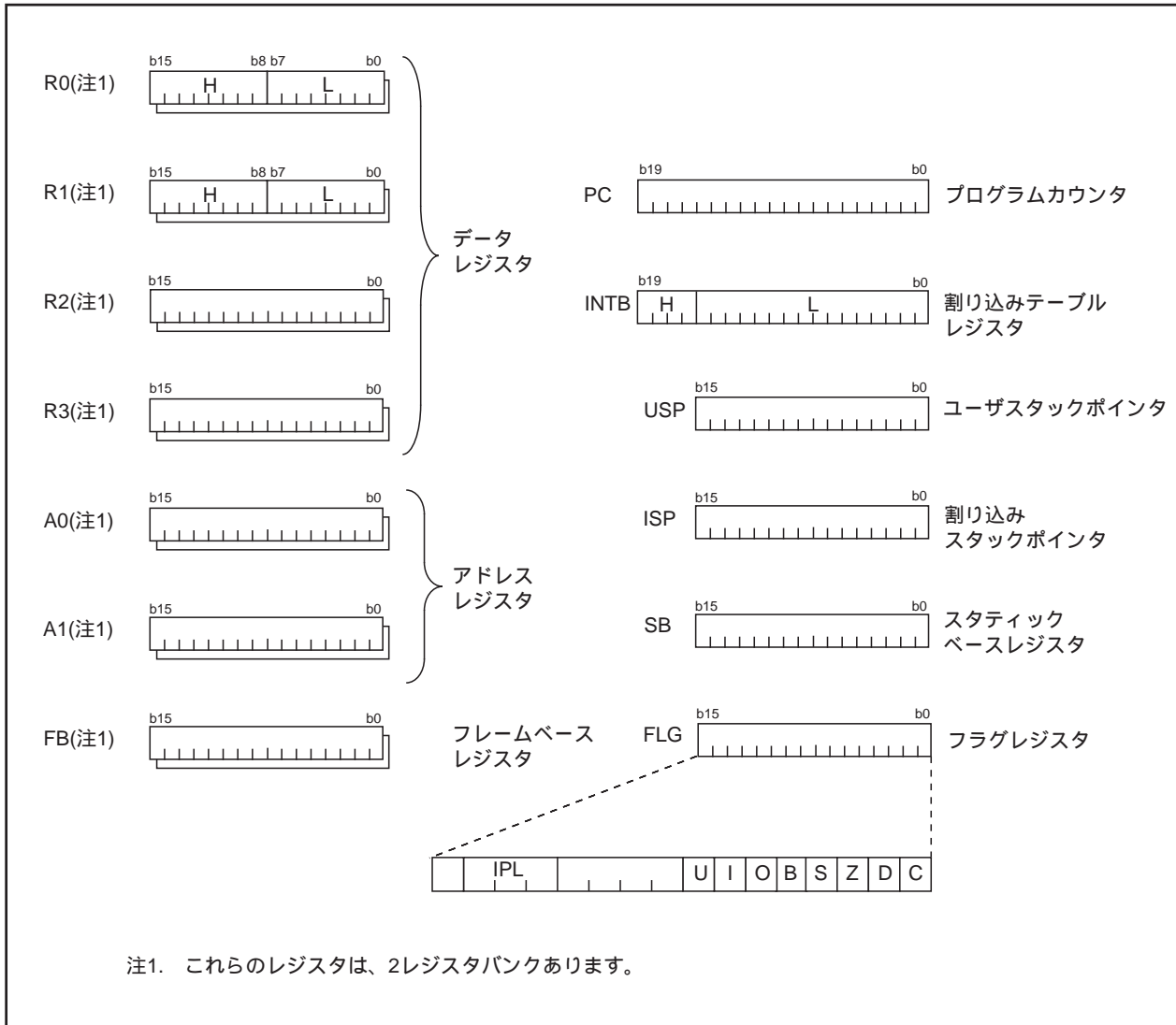
FFE00<sub>16</sub>番地からFFFDB<sub>16</sub>番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。



図CA-1. メモリ配置図

## 中央演算処理装置

中央演算処理装置には図BA-1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。



図BA-1. 中央演算処理装置のレジスタ構成

### (1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

### (2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図BA-2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。



## ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

## ビット8～ビット11：予約領域

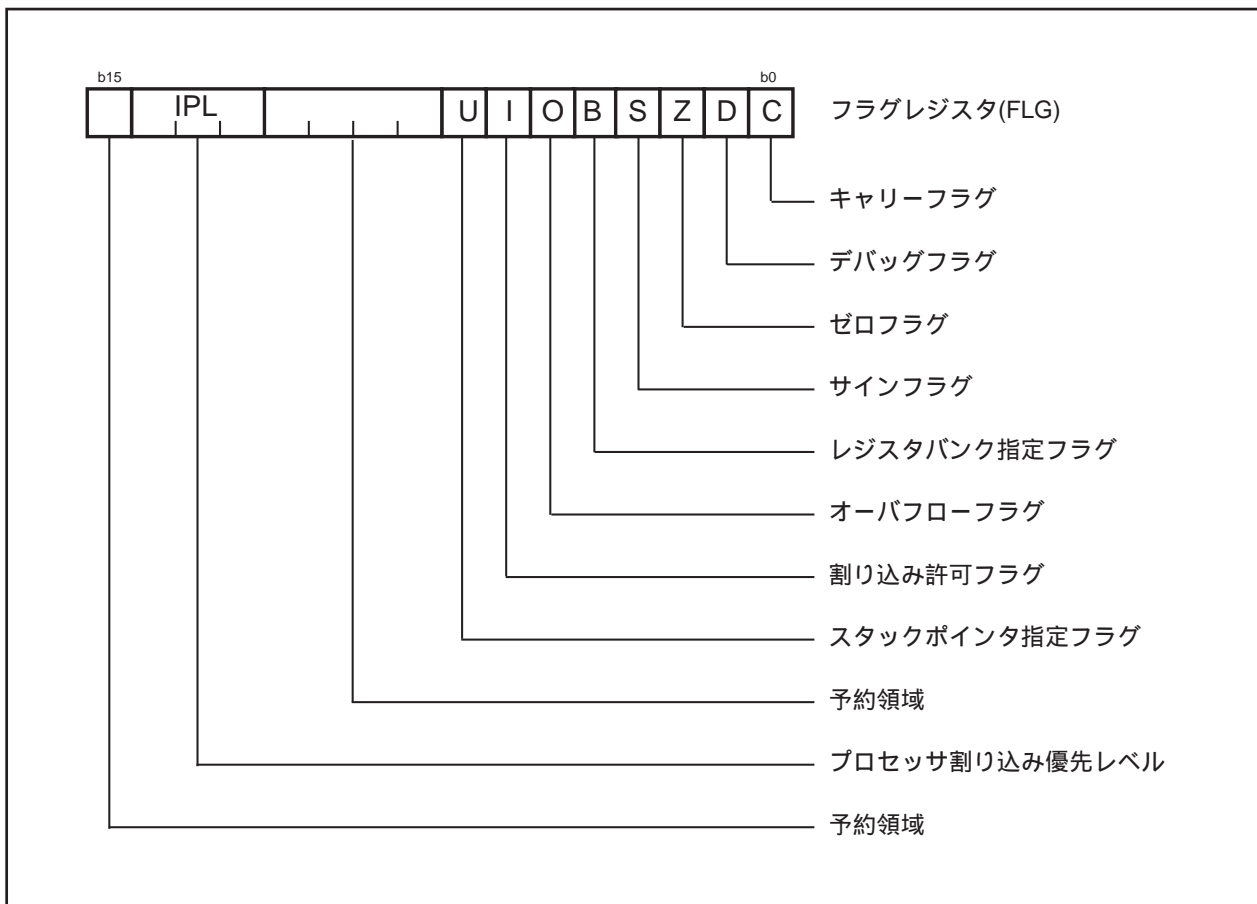
## ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

## ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。



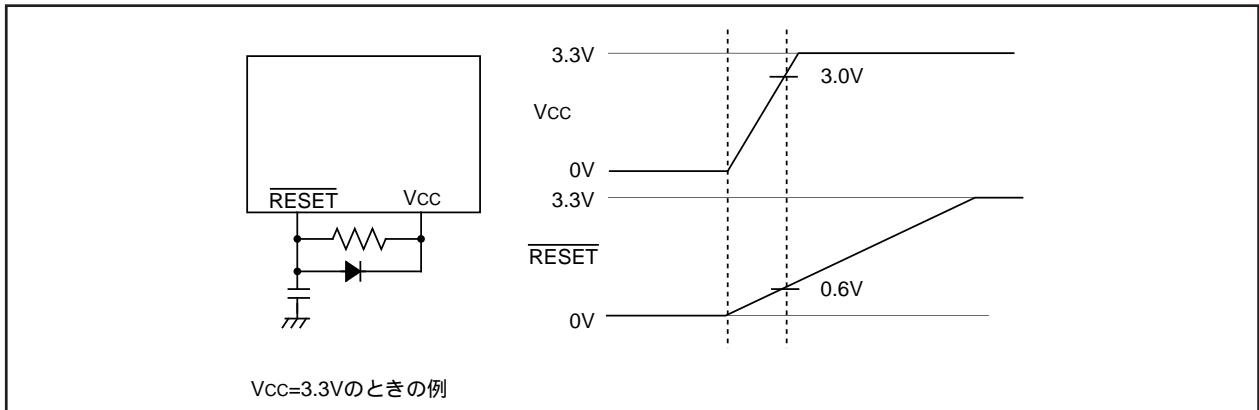
図BA-2. フラグレジスタ(FLG)の構成

## リセット

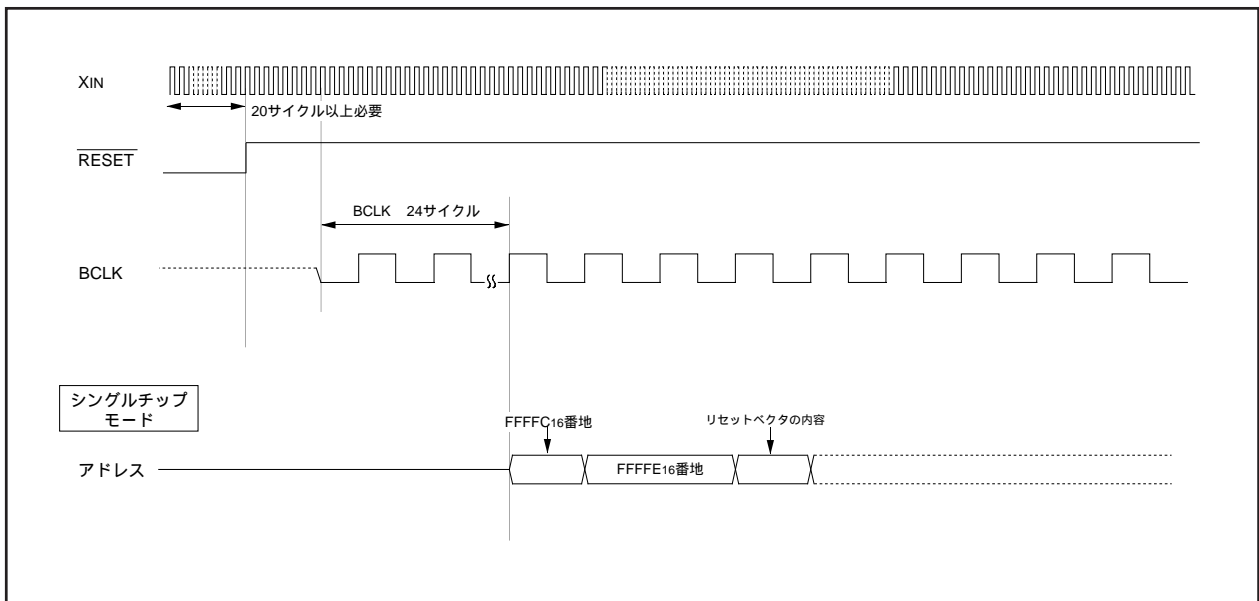
リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2V<sub>cc</sub>以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図VB-1、リセットシーケンスを図VB-2に示します。



図VB-1. リセット回路の一例



図VB-2. リセットシーケンス

RESET端子のレベルが“L”の期間の端子の状態を表VB-1、リセット解除直後のマイクロコンピュータの内部状態を図VB-3～図VB-5に示します。

表VB-1. RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
	M0=VSS
P0	入出力ポート(フローティング)
P1	入出力ポート(フローティング)
P2,P3,P40～P43	入出力ポート(フローティング)
P44	入出力ポート(フローティング)
P45～P47	入出力ポート(フローティング)
P50	入出力ポート(フローティング)
P51	入出力ポート(フローティング)
P52	入出力ポート(フローティング)
P53	入出力ポート(フローティング)
P54	入出力ポート(フローティング)
P55	入出力ポート(フローティング)
P56	入出力ポート(フローティング)
P57	入出力ポート(フローティング)
P6,P7,P80～P84, P86,P87,P9,P10	入出力ポート(フローティング)
P11,P12,P13,P14	入出力ポート(フローティング)
P15,P16	入出力ポート(フローティング)

(1) プロセッサモードレジスタ0	(00041e)...	0016	(26) タイマB5割り込み制御レジスタ	(00541e)...	XXXXXXXX?000
(2) プロセッサモードレジスタ1	(00051e)...	00000XXXX0	(27) OBE割り込み制御レジスタ	(00551e)...	XXXXXXXX?000
(3) システムクロック制御レジスタ0	(00061e)...	01001000	(28) PS20割り込み制御レジスタ	(00561e)...	XXXXXXXX?000
(4) システムクロック制御レジスタ1	(00071e)...	00100000	(29) PS21割り込み制御レジスタ	(00571e)...	XXXXXXXX?000
(5) アドレス一致割り込み許可レジスタ	(00091e)...	XXXXXXXX00	(30) PS22割り込み制御レジスタ	(00581e)...	XXXXXXXX?000
(6) プロテクトレジスタ	(000A1e)...	XXXXXXXX00	(31) UART1受信割り込み制御レジスタ	(005B1e)...	XXXXXXXX?000
(7) 監視タイマ制御レジスタ	(000F1e)...	0000????	(32) UART1送信割り込み制御レジスタ	(005C1e)...	XXXXXXXX?000
(8) アドレス一致割り込みレジスタ0	(00101e)...	0016	(33) キー入力割り込み0 割り込み制御レジスタ	(005F1e)...	XXXXXXXX?000
	(00111e)...	0016	(34) キー入力割り込み1 割り込み制御レジスタ	(00601e)...	XXXXXXXX?000
	(00121e)...	XXXXXXXX0000	(35) SIO3割り込み制御レジスタ	(00611e)...	XXXXXXXX?000
(9) アドレス一致割り込みレジスタ1	(00141e)...	0016	(36) SIO4割り込み制御レジスタ	(00621e)...	XXXXXXXX?000
	(00151e)...	0016	(37) I <sup>2</sup> C割り込み制御レジスタ	(00631e)...	XXXXXXXX?000
	(00161e)...	XXXXXXXX0000	(38) SCL0, SDA0割り込み制御レジスタ	(00641e)...	XXXXXXXX?000
(10) LRESET割り込み制御レジスタ	(00411e)...	XXXXXXXX?000	(39) I <sup>2</sup> C1割り込み制御レジスタ	(00651e)...	XXXXXXXX?000
(11) A-D割り込み制御レジスタ	(00441e)...	XXXXXXXX?000	(40) SCL1, SDA1割り込み制御レジスタ	(00661e)...	XXXXXXXX?000
(12) IBF0割り込み制御レジスタ	(00451e)...	XXXXXXXX?000	(41) I <sup>2</sup> C2割り込み制御レジスタ	(00671e)...	XXXXXXXX?000
(13) IBF1割り込み制御レジスタ	(00461e)...	XXXXXXXX?000	(42) SCL2, SDA2割り込み制御レジスタ	(00681e)...	XXXXXXXX?000
(14) IBF2割り込み制御レジスタ	(00471e)...	XXXXXXXX?000	(43) INT0割り込み制御レジスタ	(00691e)...	XX00?000
(15) IBF3割り込み制御レジスタ	(00481e)...	XXXXXXXX?000	(44) INT1割り込み制御レジスタ	(006A1e)...	XX00?000
(16) タイマA0割り込み制御レジスタ	(004A1e)...	XXXXXXXX?000	(45) INT2割り込み制御レジスタ	(006B1e)...	XX00?000
(17) タイマA1割り込み制御レジスタ	(004B1e)...	XXXXXXXX?000	(46) INT3割り込み制御レジスタ	(006C1e)...	XX00?000
(18) タイマA2割り込み制御レジスタ	(004C1e)...	XXXXXXXX?000	(47) INT4割り込み制御レジスタ	(006D1e)...	XX00?000
(19) タイマA3割り込み制御レジスタ	(004D1e)...	XXXXXXXX?000	(48) INT5割り込み制御レジスタ	(00701e)...	XX00?000
(20) タイマA4割り込み制御レジスタ	(004E1e)...	XXXXXXXX?000	(49) INT6割り込み制御レジスタ	(006E1e)...	XX00?000
(21) タイマB0割り込み制御レジスタ	(004F1e)...	XXXXXXXX?000	(50) INT7割り込み制御レジスタ	(006F1e)...	XX00?000
(22) タイマB1割り込み制御レジスタ	(00501e)...	XXXXXXXX?000	(51) INT8割り込み制御レジスタ	(00711e)...	XX00?000
(23) タイマB2割り込み制御レジスタ	(00511e)...	XXXXXXXX?000	(52) INT9割り込み制御レジスタ	(00721e)...	XX00?000
(24) タイマB3割り込み制御レジスタ	(00521e)...	XXXXXXXX?000	(53) INT10割り込み制御レジスタ	(00731e)...	XX00?000
(25) タイマB4割り込み制御レジスタ	(00531e)...	XXXXXXXX?000	(54) INT11割り込み制御レジスタ	(00741e)...	XX00?000

x : このビットは何も配置されていません。  
 ? : 不定です。  
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図VB-3. リセット解除後のマイクロコンピュータの内部状態(1)

(55) PS20シフトレジスタ	(02A016)...	0016	(85) PWM 制御レジスタ 0	(030C16)...	0016
(56) PS20ステータスレジスタ	(02A116)...	0016	(86) PWM 制御レジスタ 1	(030D16)...	0016
(57) PS20 制御レジスタ	(02A216)...	0016	(87) I <sup>2</sup> C2 アドレスレジスタ	(031216)...	0016
(58) PS21 シフトレジスタ	(02A416)...	0016	(88) I <sup>2</sup> C2 コントロールレジスタ 0	(031316)...	0016
(59) PS21 ステータスレジスタ	(02A516)...	0016	(89) I <sup>2</sup> C2 クロックコントロールレジスタ	(031416)...	0016
(60) PS21 制御レジスタ	(02A616)...	0016	(90) I <sup>2</sup> C2 スタート/ストップ コンディション制御レジスタ	(031516)...	1A16
(61) PS22 シフトレジスタ	(02A816)...	0016	(91) I <sup>2</sup> C2 コントロールレジスタ 1	(031616)...	3016
(62) PS22 ステータスレジスタ	(02A916)...	0016	(92) I <sup>2</sup> C2 コントロールレジスタ 2	(031716)...	0016
(63) PS22 制御レジスタ	(02AA16)...	0016	(93) I <sup>2</sup> C2 ステータスレジスタ	(031816)...	00100000x
(64) PS2 モードレジスタ	(02AC16)...	0016	(94) I <sup>2</sup> C0 アドレスレジスタ	(032216)...	0016
(65) データバスバッファステータスレジスタ 0	(02C116)...	0016	(95) I <sup>2</sup> C0 コントロールレジスタ 0	(032316)...	0016
(66) データバスバッファステータスレジスタ 1	(02C316)...	0016	(96) I <sup>2</sup> C0 クロックコントロールレジスタ	(032416)...	0016
(67) データバスバッファステータスレジスタ 2	(02C516)...	0016	(97) I <sup>2</sup> C0 スタート/ストップ コンディション制御レジスタ	(032516)...	1A16
(68) データバスバッファステータスレジスタ 3	(02C716)...	0016	(98) I <sup>2</sup> C0 コントロールレジスタ 1	(032616)...	3016
(69) データバスバッファ制御レジスタ 1	(02C916)...	0016	(99) I <sup>2</sup> C0 コントロールレジスタ 2	(032716)...	0016
(70) ゲートA20 制御レジスタ	(02CA16)...	0016	(100) I <sup>2</sup> C0 ステータスレジスタ	(032816)...	00100000x
(71) ポートP11 方向レジスタ	(02E216)...	0016	(101) I <sup>2</sup> C1 アドレスレジスタ	(033216)...	0016
(72) ポートP12 方向レジスタ	(02E316)...	0016	(102) I <sup>2</sup> C1 コントロールレジスタ 0	(033316)...	0016
(73) ポートP13 方向レジスタ	(02E616)...	0016	(103) I <sup>2</sup> C1 クロックコントロールレジスタ	(033416)...	0016
(74) ポートP14 方向レジスタ	(02E716)...	0016	(104) I <sup>2</sup> C1 スタート/ストップ コンディション制御レジスタ	(033516)...	1A16
(75) ポートP15 方向レジスタ	(02EA16)...	0016	(105) I <sup>2</sup> C1 コントロールレジスタ 1	(033616)...	3016
(76) ポートP16 方向レジスタ	(02EB16)...	xxxxxxx010	(106) I <sup>2</sup> C1 コントロールレジスタ 2	(033716)...	0016
(77) ポート機能選択レジスタ 0	(02F816)...	0016	(107) I <sup>2</sup> C1 ステータスレジスタ	(033816)...	00100000x
(78) ポート機能選択レジスタ 1	(02F916)...	0016	(108) タイマB3,4,5 カウント開始フラグ	(034016)...	000xxxxxxx
(79) ポートP4 入力レジスタ	(02FA16)...	0xxxxxxx	(109) タイマB3 モードレジスタ	(035B16)...	00?x0000
(80) ポートP7 入力レジスタ	(02FB16)...	00xxxxxxx	(110) タイマB4 モードレジスタ	(035C16)...	00?x0000
(81) ブルアップ制御レジスタ 3	(02FC16)...	0016	(111) タイマB5 モードレジスタ	(035D16)...	00?x0000
(82) ブルアップ制御レジスタ 4	(02FD16)...	0016	(112) 割り込み要因選択レジスタ 1	(035E16)...	0016
(83) ポート制御レジスタ 1	(02FE16)...	0016	(113) 割り込み要因選択レジスタ 0	(035F16)...	0016
(84) ポート制御レジスタ 2	(02FF16)...	0016	(114) SI/O3 制御レジスタ	(036216)...	4016
			(115) SI/O4 制御レジスタ	(036616)...	4016

x: このビットは何も配置されていません。  
 ?: 不定です。  
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図VB-4. リセット解除後のマイクロコンピュータの内部状態(2)

(116) カウント開始フラグ	(038016)...	0016	(138) ポートP0 方向レジスタ	(03E216)...	0016
(117) ワンショット開始フラグ	(038216)...	0 0 X 0 0 0 0 0	(139) ポートP1 方向レジスタ	(03E316)...	0016
(118) トリガ選択レジスタ	(038316)...	0016	(140) ポートP2 方向レジスタ	(03E616)...	0016
(119) アップダウンフラグ	(038416)...	0016	(141) ポートP3 方向レジスタ	(03E716)...	0016
(120) タイマA0 モードレジスタ	(039616)...	0016	(142) ポートP4 方向レジスタ	(03EA16)...	0016
(121) タイマA1 モードレジスタ	(039716)...	0016	(143) ポートP5 方向レジスタ	(03EB16)...	0016
(122) タイマA2 モードレジスタ	(039816)...	0016	(144) ポートP6 方向レジスタ	(03EE16)...	0016
(123) タイマA3 モードレジスタ	(039916)...	0016	(145) ポートP7 方向レジスタ	(03EF16)...	0016
(124) タイマA4 モードレジスタ	(039A16)...	0016	(146) ポートP8 方向レジスタ	(03F216)...	0 0 X 0 0 0 0 0
(125) タイマB0 モードレジスタ	(039B16)...	0 0 ? X 0 0 0 0 0	(147) ポートP9 方向レジスタ	(03F316)...	0016
(126) タイマB1 モードレジスタ	(039C16)...	0 0 ? X 0 0 0 0 0	(148) ポートP10 方向レジスタ	(03F616)...	0016
(127) タイマB2 モードレジスタ	(039D16)...	0 0 ? X 0 0 0 0 0	(149) ブルアップ制御レジスタ 0	(03FC16)...	0016
(128) UART1 送受信モードレジスタ	(03A816)...	0016	(150) ブルアップ制御レジスタ 1	(03FD16)...	0016
(129) UART1 送受信制御レジスタ 0	(03AC16)...	0 0 0 0 0 1 0 0 0	(151) ブルアップ制御レジスタ 2	(03FE16)...	0016
(130) UART1 送受信制御レジスタ 1	(03AD16)...	0 0 0 0 0 0 0 1 0	(152) ポート制御レジスタ 0	(03FF16)...	0016
(131) UART 送受信制御レジスタ 2	(03B016)...	X 0 0 0 0 0 0 0 0	(153) データレジスタ (R0/R1/R2/R3)		000016
(132) フラッシュメモリ識別レジスタ (注1)	(03B416)...	X X X X X X X 1 1	(154) アドレスレジスタ (A0/A1)		000016
(133) フラッシュメモリ制御レジスタ1 (注1)	(03B516)...	0 0 0 X X X X 0 X	(155) フレームベースレジスタ (FB)		000016
(134) フラッシュメモリ制御レジスタ0 (注1)	(03B716)...	0 0 0 0 0 0 0 0 1	(156) 割り込みテーブルレジスタ (INTB)		0000016
(135) A-D制御レジスタ 2	(03D416)...	0 0 0 1 0 0 0 0 0	(157) ユーザスタックポインタ (USP)		000016
(136) A-D制御レジスタ 0	(03D616)...	0 0 0 0 0 0 ? ? ?	(158) 割り込みスタックポインタ (ISP)		000016
(137) A-D制御レジスタ 1	(03D716)...	0016	(159) スタティックベースレジスタ (SB)		000016
			(160) フラグレジスタ (FLG)		000016

× : このビットは何も配置されていません。  
 ? : 不定です。  
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。  
 注1 : このレジスタは、フラッシュメモリ版にのみ存在します。

図VB-5. リセット解除後のマイクロコンピュータの内部状態(3)

(161) シリアル割り込み制御レジスタ 0	(02B0 <sub>16</sub> )...	00 <sub>16</sub>
(162) シリアル割り込み制御レジスタ 1	(02B1 <sub>16</sub> )...	00 <sub>16</sub>
(163) IRQ要求レジスタ 0	(02B2 <sub>16</sub> )...	00 <sub>16</sub>
(164) IRQ 要求レジスタ 1	(02B3 <sub>16</sub> )...	00 <sub>16</sub>
(165) IRQ要求レジスタ 2	(02B4 <sub>16</sub> )...	00 <sub>16</sub>
(166) IRQ要求レジスタ 3	(02B5 <sub>16</sub> )...	00 <sub>16</sub>
(167) IRQ要求レジスタ 4	(02B6 <sub>16</sub> )...	00 <sub>16</sub>
(168) シリアル割り込み制御レジスタ2	(02B7 <sub>16</sub> )...	10 <sub>16</sub>
(169) LPC1 アドレスレジスタ L	(02D0 <sub>16</sub> )...	00 <sub>16</sub>
(170) LPC1 アドレスレジスタ H	(02D1 <sub>16</sub> )...	00 <sub>16</sub>
(171) LPC2 アドレスレジスタ L	(02D2 <sub>16</sub> )...	00 <sub>16</sub>
(172) LPC2 アドレスレジスタ H	(02D3 <sub>16</sub> )...	00 <sub>16</sub>
(173) LPC3 アドレスレジスタ L	(02D4 <sub>16</sub> )...	00 <sub>16</sub>
(174) LPC3 アドレスレジスタ H	(02D5 <sub>16</sub> )...	00 <sub>16</sub>
(175) LPC制御レジスタ	(02D6 <sub>16</sub> )...	00 <sub>16</sub>
(176) ポート機能選択レジスタ 2	(02F1 <sub>16</sub> )...	00 <sub>16</sub>
(177) ブルアップ制御レジスタ 5	(02F2 <sub>16</sub> )...	00 <sub>16</sub>
(178) ブルアップ制御レジスタ 6	(02F3 <sub>16</sub> )...	00 <sub>16</sub>
(179) キー入力割り込み1 許可レジスタ	(02F4 <sub>16</sub> )...	00 <sub>16</sub>
(180) キー入力割り込み1 エッジ切替レジスタ	(02F5 <sub>16</sub> )...	00 <sub>16</sub>
(181) P14 イベントレジスタ	(02F6 <sub>16</sub> )...	00 <sub>16</sub>
(182) ポート制御レジスタ 3	(02F7 <sub>16</sub> )...	00 <sub>16</sub>

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図VB-6. リセット解除後のマイクロコンピュータの内部状態(4)

0000 <sub>16</sub>		0040 <sub>16</sub>	
0001 <sub>16</sub>		0041 <sub>16</sub>	LRESET割り込み制御レジスタ (LRSTIC)
0002 <sub>16</sub>		0042 <sub>16</sub>	
0003 <sub>16</sub>		0043 <sub>16</sub>	
0004 <sub>16</sub>	プロセッサモードレジスタ0 (PM0)	0044 <sub>16</sub>	A-D割り込み制御レジスタ (A-DIC)
0005 <sub>16</sub>	プロセッサモードレジスタ1 (PM1)	0045 <sub>16</sub>	IBF0割り込み制御レジスタ (IBF0IC)
0006 <sub>16</sub>	システムクロック制御レジスタ0 (CM0)	0046 <sub>16</sub>	IBF1割り込み制御レジスタ (IBF1IC)
0007 <sub>16</sub>	システムクロック制御レジスタ1 (CM1)	0047 <sub>16</sub>	IBF2割り込み制御レジスタ (IBF2IC)
0008 <sub>16</sub>		0048 <sub>16</sub>	IBF3割り込み制御レジスタ (IBF3IC)
0009 <sub>16</sub>	アドレス一致割り込み許可レジスタ (AIER)	0049 <sub>16</sub>	
000A <sub>16</sub>	プロテクトレジスタ (PRCR)	004A <sub>16</sub>	タイマA0割り込み制御レジスタ (TA0IC)
000B <sub>16</sub>		004B <sub>16</sub>	タイマA1割り込み制御レジスタ (TA1IC)
000C <sub>16</sub>		004C <sub>16</sub>	タイマA2割り込み制御レジスタ (TA2IC)
000D <sub>16</sub>		004D <sub>16</sub>	タイマA3割り込み制御レジスタ (TA3IC)
000E <sub>16</sub>	監視タイマスタートレジスタ (WDTS)	004E <sub>16</sub>	タイマA4割り込み制御レジスタ (TA4IC)
000F <sub>16</sub>	監視タイマ制御レジスタ (WDC)	004F <sub>16</sub>	タイマB0割り込み制御レジスタ (TB0IC)
0010 <sub>16</sub>		0050 <sub>16</sub>	タイマB1割り込み制御レジスタ (TB1IC)
0011 <sub>16</sub>	アドレス一致割り込みレジスタ0 (RMAD0)	0051 <sub>16</sub>	タイマB2割り込み制御レジスタ (TB2IC)
0012 <sub>16</sub>		0052 <sub>16</sub>	タイマB3割り込み制御レジスタ (TB3IC)
0013 <sub>16</sub>		0053 <sub>16</sub>	タイマB4割り込み制御レジスタ (TB4IC)
0014 <sub>16</sub>		0054 <sub>16</sub>	タイマB5割り込み制御レジスタ (TB5IC)
0015 <sub>16</sub>	アドレス一致割り込みレジスタ1 (RMAD1)	0055 <sub>16</sub>	OBE割り込み制御レジスタ (OBEIC)
0016 <sub>16</sub>		0056 <sub>16</sub>	PS20割り込み制御レジスタ (PS20IC)
0017 <sub>16</sub>		0057 <sub>16</sub>	PS21割り込み制御レジスタ (PS21IC)
0018 <sub>16</sub>		0058 <sub>16</sub>	PS22割り込み制御レジスタ (PS22IC)
0019 <sub>16</sub>		0059 <sub>16</sub>	
001A <sub>16</sub>		005A <sub>16</sub>	
001B <sub>16</sub>		005B <sub>16</sub>	UART1受信割り込み制御レジスタ (S1RIC)
001C <sub>16</sub>		005C <sub>16</sub>	UART1送信割り込み制御レジスタ (S1TIC)
001D <sub>16</sub>		005D <sub>16</sub>	
001E <sub>16</sub>		005E <sub>16</sub>	
001F <sub>16</sub>		005F <sub>16</sub>	キー入力割り込み0割り込み制御レジスタ (KUP0IC)
0020 <sub>16</sub>		0060 <sub>16</sub>	キー入力割り込み1割り込み制御レジスタ (KUP1IC)
0021 <sub>16</sub>		0061 <sub>16</sub>	SIO3割り込み制御レジスタ (S3IC)
0022 <sub>16</sub>		0062 <sub>16</sub>	SIO4割り込み制御レジスタ (S4IC)
0023 <sub>16</sub>		0063 <sub>16</sub>	I <sup>2</sup> C0割り込み制御レジスタ (IIC0IC)
0024 <sub>16</sub>		0064 <sub>16</sub>	SCL0,SDA0割り込み制御レジスタ (SCLDA0IC)
0025 <sub>16</sub>		0065 <sub>16</sub>	I <sup>2</sup> C1割り込み制御レジスタ (IIC1IC)
0026 <sub>16</sub>		0066 <sub>16</sub>	SCL1,SDA1割り込み制御レジスタ (SCLDA1IC)
0027 <sub>16</sub>		0067 <sub>16</sub>	I <sup>2</sup> C2割り込み制御レジスタ (IIC2IC)
0028 <sub>16</sub>		0068 <sub>16</sub>	SCL2,SDA2割り込み制御レジスタ (SCLDA2IC)
0029 <sub>16</sub>		0069 <sub>16</sub>	INT0割り込み制御レジスタ (INT0IC)
002A <sub>16</sub>		006A <sub>16</sub>	INT1割り込み制御レジスタ (INT1IC)
002B <sub>16</sub>		006B <sub>16</sub>	INT2割り込み制御レジスタ (INT2IC)
002C <sub>16</sub>		006C <sub>16</sub>	INT3割り込み制御レジスタ (INT3IC)
002D <sub>16</sub>		006D <sub>16</sub>	INT4割り込み制御レジスタ (INT4IC)
002E <sub>16</sub>		006E <sub>16</sub>	INT5割り込み制御レジスタ (INT5IC)
002F <sub>16</sub>		006F <sub>16</sub>	INT6割り込み制御レジスタ (INT6IC)
0030 <sub>16</sub>		0070 <sub>16</sub>	INT7割り込み制御レジスタ (INT7IC)
0031 <sub>16</sub>		0071 <sub>16</sub>	INT8割り込み制御レジスタ (INT8IC)
0032 <sub>16</sub>		0072 <sub>16</sub>	INT9割り込み制御レジスタ (INT9IC)
0033 <sub>16</sub>		0073 <sub>16</sub>	INT10割り込み制御レジスタ (INT10IC)
0034 <sub>16</sub>		0074 <sub>16</sub>	INT11割り込み制御レジスタ (INT11IC)
0035 <sub>16</sub>			≈
0036 <sub>16</sub>			
0037 <sub>16</sub>		027E <sub>16</sub>	
0038 <sub>16</sub>		027F <sub>16</sub>	
0039 <sub>16</sub>			
003A <sub>16</sub>			
003B <sub>16</sub>			
003C <sub>16</sub>			
003D <sub>16</sub>			
003E <sub>16</sub>			
003F <sub>16</sub>			

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図CA-2. 周辺装置制御レジスタの配置(1)



0280 <sub>16</sub>		02C0 <sub>16</sub>	データバスバッファレジスタ0 (DBB0)
0281 <sub>16</sub>		02C1 <sub>16</sub>	データバスバッファステータスレジスタ0 (DBBSTS0)
0282 <sub>16</sub>		02C2 <sub>16</sub>	データバスバッファレジスタ1 (DBB1)
0283 <sub>16</sub>		02C3 <sub>16</sub>	データバスバッファステータスレジスタ1 (DBBSTS1)
0284 <sub>16</sub>		02C4 <sub>16</sub>	データバスバッファレジスタ2 (DBB2)
0285 <sub>16</sub>		02C5 <sub>16</sub>	データバスバッファステータスレジスタ2 (DBBSTS2)
0286 <sub>16</sub>		02C6 <sub>16</sub>	データバスバッファレジスタ3 (DBB3)
0287 <sub>16</sub>		02C7 <sub>16</sub>	データバスバッファステータスレジスタ3 (DBBSTS3)
0288 <sub>16</sub>		02C8 <sub>16</sub>	
0289 <sub>16</sub>		02C9 <sub>16</sub>	データバスバッファ制御レジスタ1 (DBBCON1)
028A <sub>16</sub>		02CA <sub>16</sub>	ゲートA20制御レジスタ (GA20CON)
028B <sub>16</sub>		02CB <sub>16</sub>	
028C <sub>16</sub>		02CC <sub>16</sub>	
028D <sub>16</sub>		02CD <sub>16</sub>	
028E <sub>16</sub>		02CE <sub>16</sub>	
028F <sub>16</sub>		02CF <sub>16</sub>	
0290 <sub>16</sub>		02D0 <sub>16</sub>	LPC1アドレスレジスタL (LPC1ADL)
0291 <sub>16</sub>		02D1 <sub>16</sub>	LPC1アドレスレジスタH (LPC1ADH)
0292 <sub>16</sub>		02D2 <sub>16</sub>	LPC2アドレスレジスタL (LPC2ADL)
0293 <sub>16</sub>		02D3 <sub>16</sub>	LPC2アドレスレジスタH (LPC2ADH)
0294 <sub>16</sub>		02D4 <sub>16</sub>	LPC3アドレスレジスタL (LPC3ADL)
0295 <sub>16</sub>		02D5 <sub>16</sub>	LPC3アドレスレジスタH (LPC3ADH)
0296 <sub>16</sub>		02D6 <sub>16</sub>	LPC制御レジスタ (LPCCON)
0297 <sub>16</sub>		02D7 <sub>16</sub>	
0298 <sub>16</sub>		02D8 <sub>16</sub>	
0299 <sub>16</sub>		02D9 <sub>16</sub>	
029A <sub>16</sub>		02DA <sub>16</sub>	
029B <sub>16</sub>		02DB <sub>16</sub>	
029C <sub>16</sub>		02DC <sub>16</sub>	
029D <sub>16</sub>		02DD <sub>16</sub>	
029E <sub>16</sub>		02DE <sub>16</sub>	
029F <sub>16</sub>		02DF <sub>16</sub>	
02A0 <sub>16</sub>	PS20シフトレジスタ (PS20SR)	02E0 <sub>16</sub>	ポートP11 (P11)
02A1 <sub>16</sub>	PS20ステータスレジスタ (PS20STS)	02E1 <sub>16</sub>	ポートP12 (P12)
02A2 <sub>16</sub>	PS20制御レジスタ (PS20CON)	02E2 <sub>16</sub>	ポートP11方向レジスタ (PD11)
02A3 <sub>16</sub>		02E3 <sub>16</sub>	ポートP12方向レジスタ (PD12)
02A4 <sub>16</sub>	PS21シフトレジスタ (PS21SR)	02E4 <sub>16</sub>	ポートP13 (P13)
02A5 <sub>16</sub>	PS21ステータスレジスタ (PS21STS)	02E5 <sub>16</sub>	ポートP14 (P14)
02A6 <sub>16</sub>	PS21制御レジスタ (PS21CON)	02E6 <sub>16</sub>	ポートP13方向レジスタ (PD13)
02A7 <sub>16</sub>		02E7 <sub>16</sub>	ポートP14方向レジスタ (PD14)
02A8 <sub>16</sub>	PS22シフトレジスタ (PS22SR)	02E8 <sub>16</sub>	ポートP15 (P15)
02A9 <sub>16</sub>	PS22ステータスレジスタ (PS22STS)	02E9 <sub>16</sub>	ポートP16 (P16)
02AA <sub>16</sub>	PS22制御レジスタ (PS22CON)	02EA <sub>16</sub>	ポートP15方向レジスタ (PD15)
02AB <sub>16</sub>		02EB <sub>16</sub>	ポートP16方向レジスタ (PD16)
02AC <sub>16</sub>	PS2モードレジスタ (PS2MOD)	02EC <sub>16</sub>	
02AD <sub>16</sub>		02ED <sub>16</sub>	
02AE <sub>16</sub>		02EE <sub>16</sub>	
02AF <sub>16</sub>		02EF <sub>16</sub>	
02B0 <sub>16</sub>	シリアル割り込み制御レジスタ0 (SERCON0)	02F0 <sub>16</sub>	
02B1 <sub>16</sub>	シリアル割り込み制御レジスタ1 (SERCON1)	02F1 <sub>16</sub>	ポート機能選択レジスタ2 (PSL2)
02B2 <sub>16</sub>	IRQ要求レジスタ0 (IRQ0)	02F2 <sub>16</sub>	ブルアップ制御レジスタ5 (PUR5)
02B3 <sub>16</sub>	IRQ要求レジスタ1 (IRQ1)	02F3 <sub>16</sub>	ブルアップ制御レジスタ6 (PUR6)
02B4 <sub>16</sub>	IRQ要求レジスタ2 (IRQ2)	02F4 <sub>16</sub>	キー入力割り込み1許可レジスタ (KIN1EN)
02B5 <sub>16</sub>	IRQ要求レジスタ3 (IRQ3)	02F5 <sub>16</sub>	キー入力割り込み1エッジ切替レジスタ (KIN1SEL)
02B6 <sub>16</sub>	IRQ要求レジスタ4 (IRQ4)	02F6 <sub>16</sub>	P14イベントレジスタ (P14EV)
02B7 <sub>16</sub>	シリアル割り込み制御レジスタ2 (SERCON2)	02F7 <sub>16</sub>	ポート制御レジスタ3 (PCR3)
02B8 <sub>16</sub>		02F8 <sub>16</sub>	ポート機能選択レジスタ0 (PSL0)
02B9 <sub>16</sub>		02F9 <sub>16</sub>	ポート機能選択レジスタ1 (PSL1)
02BA <sub>16</sub>		02FA <sub>16</sub>	ポートP4入力レジスタ (P4PIN)
02BB <sub>16</sub>		02FB <sub>16</sub>	ポートP7入力レジスタ (P7PIN)
02BC <sub>16</sub>		02FC <sub>16</sub>	ブルアップ制御レジスタ3 (PUR3)
02BD <sub>16</sub>		02FD <sub>16</sub>	ブルアップ制御レジスタ4 (PUR4)
02BE <sub>16</sub>		02FE <sub>16</sub>	ポート制御レジスタ1 (PCR1)
02BF <sub>16</sub>		02FF <sub>16</sub>	ポート制御レジスタ2 (PCR2)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図CA-3. 周辺装置制御レジスタの配置(2)

0300 <sub>16</sub>	PWM0プリスケアラ (PREPWM0)	0340 <sub>16</sub>	タイマB3,4,5カウント開始フラグ (TBSR)
0301 <sub>16</sub>	PWM0レジスタ (PWM0)	0341 <sub>16</sub>	
0302 <sub>16</sub>	PWM1プリスケアラ (PREPWM1)	0342 <sub>16</sub>	
0303 <sub>16</sub>	PWM1レジスタ (PWM1)	0343 <sub>16</sub>	
0304 <sub>16</sub>	PWM2プリスケアラ (PREPWM2)	0344 <sub>16</sub>	
0305 <sub>16</sub>	PWM2レジスタ (PWM2)	0345 <sub>16</sub>	
0306 <sub>16</sub>	PWM3プリスケアラ (PREPWM3)	0346 <sub>16</sub>	
0307 <sub>16</sub>	PWM3レジスタ (PWM3)	0347 <sub>16</sub>	
0308 <sub>16</sub>	PWM4プリスケアラ (PREPWM4)	0348 <sub>16</sub>	
0309 <sub>16</sub>	PWM4レジスタ (PWM4)	0349 <sub>16</sub>	
030A <sub>16</sub>	PWM5プリスケアラ (PREPWM5)	034A <sub>16</sub>	
030B <sub>16</sub>	PWM5レジスタ (PWM5)	034B <sub>16</sub>	
030C <sub>16</sub>	PWM制御レジスタ0 (PWMCON0)	034C <sub>16</sub>	
030D <sub>16</sub>	PWM制御レジスタ1 (PWMCON1)	034D <sub>16</sub>	
030E <sub>16</sub>		034E <sub>16</sub>	
030F <sub>16</sub>		034F <sub>16</sub>	
0310 <sub>16</sub>	I <sup>2</sup> C2データシフトレジスタ (S02)	0350 <sub>16</sub>	タイマB3レジスタ (TB3)
0311 <sub>16</sub>		0351 <sub>16</sub>	
0312 <sub>16</sub>	I <sup>2</sup> C2アドレスレジスタ (S0D2)	0352 <sub>16</sub>	タイマB4レジスタ (TB4)
0313 <sub>16</sub>	I <sup>2</sup> C2コントロールレジスタ0 (S1D2)	0353 <sub>16</sub>	
0314 <sub>16</sub>	I <sup>2</sup> C2クロックコントロールレジスタ (S22)	0354 <sub>16</sub>	タイマB5レジスタ (TB5)
0315 <sub>16</sub>	I <sup>2</sup> C2スタート/ストップコンディション制御レジスタ (S2D2)	0355 <sub>16</sub>	
0316 <sub>16</sub>	I <sup>2</sup> C2コントロールレジスタ1 (S3D2)	0356 <sub>16</sub>	
0317 <sub>16</sub>	I <sup>2</sup> C2コントロールレジスタ2 (S4D2)	0357 <sub>16</sub>	
0318 <sub>16</sub>	I <sup>2</sup> C2ステータスレジスタ (S12)	0358 <sub>16</sub>	
0319 <sub>16</sub>		0359 <sub>16</sub>	
031A <sub>16</sub>		035A <sub>16</sub>	
031B <sub>16</sub>		035B <sub>16</sub>	タイマB3モードレジスタ (TB3MR)
031C <sub>16</sub>		035C <sub>16</sub>	タイマB4モードレジスタ (TB4MR)
031D <sub>16</sub>		035D <sub>16</sub>	タイマB5モードレジスタ (TB5MR)
031E <sub>16</sub>		035E <sub>16</sub>	割り込み要因選択レジスタ1 (IFSR1)
031F <sub>16</sub>		035F <sub>16</sub>	割り込み要因選択レジスタ0 (IFSR0)
0320 <sub>16</sub>	I <sup>2</sup> C0データシフトレジスタ (S00)	0360 <sub>16</sub>	SI/O3送受信レジスタ (S3TRR)
0321 <sub>16</sub>		0361 <sub>16</sub>	
0322 <sub>16</sub>	I <sup>2</sup> C0アドレスレジスタ (S0D0)	0362 <sub>16</sub>	SI/O3制御レジスタ (S3C)
0323 <sub>16</sub>	I <sup>2</sup> C0コントロールレジスタ0 (S1D0)	0363 <sub>16</sub>	SI/O3転送速度レジスタ (S3BRG)
0324 <sub>16</sub>	I <sup>2</sup> C0クロックコントロールレジスタ (S20)	0364 <sub>16</sub>	SI/O4送受信レジスタ (S4TRR)
0325 <sub>16</sub>	I <sup>2</sup> C0スタート/ストップコンディション制御レジスタ (S2D0)	0365 <sub>16</sub>	
0326 <sub>16</sub>	I <sup>2</sup> C0コントロールレジスタ1 (S3D0)	0366 <sub>16</sub>	SI/O4制御レジスタ (S4C)
0327 <sub>16</sub>	I <sup>2</sup> C0コントロールレジスタ2 (S4D0)	0367 <sub>16</sub>	SI/O4転送速度レジスタ (S4BRG)
0328 <sub>16</sub>	I <sup>2</sup> C0ステータスレジスタ (S10)	0368 <sub>16</sub>	
0329 <sub>16</sub>		0369 <sub>16</sub>	
032A <sub>16</sub>		036A <sub>16</sub>	
032B <sub>16</sub>		036B <sub>16</sub>	
032C <sub>16</sub>		036C <sub>16</sub>	
032D <sub>16</sub>		036D <sub>16</sub>	
032E <sub>16</sub>		036E <sub>16</sub>	
032F <sub>16</sub>		036F <sub>16</sub>	
0330 <sub>16</sub>	I <sup>2</sup> C1データシフトレジスタ (S01)	0370 <sub>16</sub>	
0331 <sub>16</sub>		0371 <sub>16</sub>	
0332 <sub>16</sub>	I <sup>2</sup> C1アドレスレジスタ (S0D1)	0372 <sub>16</sub>	
0333 <sub>16</sub>	I <sup>2</sup> C1コントロールレジスタ0 (S1D1)	0373 <sub>16</sub>	
0334 <sub>16</sub>	I <sup>2</sup> C1クロックコントロールレジスタ (S21)	0374 <sub>16</sub>	
0335 <sub>16</sub>	I <sup>2</sup> C1スタート/ストップコンディション制御レジスタ (S2D1)	0375 <sub>16</sub>	
0336 <sub>16</sub>	I <sup>2</sup> C1コントロールレジスタ1 (S3D1)	0376 <sub>16</sub>	
0337 <sub>16</sub>	I <sup>2</sup> C1コントロールレジスタ2 (S4D1)	0377 <sub>16</sub>	
0338 <sub>16</sub>	I <sup>2</sup> C1ステータスレジスタ (S11)	0378 <sub>16</sub>	
0339 <sub>16</sub>		0379 <sub>16</sub>	
033A <sub>16</sub>		037A <sub>16</sub>	
033B <sub>16</sub>		037B <sub>16</sub>	
033C <sub>16</sub>		037C <sub>16</sub>	
033D <sub>16</sub>		037D <sub>16</sub>	
033E <sub>16</sub>		037E <sub>16</sub>	
033F <sub>16</sub>		037F <sub>16</sub>	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図CA-4. 周辺装置制御レジスタの配置(3)

0380 <sub>16</sub>	カウント開始フラグ (TABSR)	03C0 <sub>16</sub>	A-Dレジスタ0 (AD0)
0381 <sub>16</sub>		03C1 <sub>16</sub>	
0382 <sub>16</sub>	ワンショット開始フラグ (ONSF)	03C2 <sub>16</sub>	A-Dレジスタ1 (AD1)
0383 <sub>16</sub>	トリガ選択レジスタ (TRGSR)	03C3 <sub>16</sub>	
0384 <sub>16</sub>	アップダウンフラグ (UDF)	03C4 <sub>16</sub>	A-Dレジスタ2 (AD2)
0385 <sub>16</sub>		03C5 <sub>16</sub>	
0386 <sub>16</sub>	タイマA0 (TA0)	03C6 <sub>16</sub>	A-Dレジスタ3 (AD3)
0387 <sub>16</sub>		03C7 <sub>16</sub>	
0388 <sub>16</sub>	タイマA1 (TA1)	03C8 <sub>16</sub>	A-Dレジスタ4 (AD4)
0389 <sub>16</sub>		03C9 <sub>16</sub>	
038A <sub>16</sub>	タイマA2 (TA2)	03CA <sub>16</sub>	A-Dレジスタ5 (AD5)
038B <sub>16</sub>		03CB <sub>16</sub>	
038C <sub>16</sub>	タイマA3 (TA3)	03CC <sub>16</sub>	A-Dレジスタ6 (AD6)
038D <sub>16</sub>		03CD <sub>16</sub>	
038E <sub>16</sub>	タイマA4 (TA4)	03CE <sub>16</sub>	A-Dレジスタ7 (AD7)
038F <sub>16</sub>		03CF <sub>16</sub>	
0390 <sub>16</sub>	タイマB0 (TB0)	03D0 <sub>16</sub>	
0391 <sub>16</sub>		03D1 <sub>16</sub>	
0392 <sub>16</sub>	タイマB1 (TB1)	03D2 <sub>16</sub>	
0393 <sub>16</sub>		03D3 <sub>16</sub>	
0394 <sub>16</sub>	タイマB2 (TB2)	03D4 <sub>16</sub>	A-D制御レジスタ2 (ADCON2)
0395 <sub>16</sub>		03D5 <sub>16</sub>	
0396 <sub>16</sub>	タイマA0モードレジスタ (TA0MR)	03D6 <sub>16</sub>	A-D制御レジスタ0 (ADCON0)
0397 <sub>16</sub>	タイマA1モードレジスタ (TA1MR)	03D7 <sub>16</sub>	A-D制御レジスタ1 (ADCON1)
0398 <sub>16</sub>	タイマA2モードレジスタ (TA2MR)	03D8 <sub>16</sub>	
0399 <sub>16</sub>	タイマA3モードレジスタ (TA3MR)	03D9 <sub>16</sub>	
039A <sub>16</sub>	タイマA4モードレジスタ (TA4MR)	03DA <sub>16</sub>	
039B <sub>16</sub>	タイマB0モードレジスタ (TB0MR)	03DB <sub>16</sub>	
039C <sub>16</sub>	タイマB1モードレジスタ (TB1MR)	03DC <sub>16</sub>	
039D <sub>16</sub>	タイマB2モードレジスタ (TB2MR)	03DD <sub>16</sub>	
039E <sub>16</sub>		03DE <sub>16</sub>	
03AF <sub>16</sub>		03DF <sub>16</sub>	
03A0 <sub>16</sub>		03E0 <sub>16</sub>	ポートP0 (P0)
03A1 <sub>16</sub>		03E1 <sub>16</sub>	ポートP1 (P1)
03A2 <sub>16</sub>		03E2 <sub>16</sub>	ポートP0方向レジスタ (PD0)
03A3 <sub>16</sub>		03E3 <sub>16</sub>	ポートP1方向レジスタ (PD1)
03A4 <sub>16</sub>		03E4 <sub>16</sub>	ポートP2 (P2)
03A5 <sub>16</sub>		03E5 <sub>16</sub>	ポートP3 (P3)
03A6 <sub>16</sub>		03E6 <sub>16</sub>	ポートP2方向レジスタ (PD2)
03A7 <sub>16</sub>		03E7 <sub>16</sub>	ポートP3方向レジスタ (PD3)
03A8 <sub>16</sub>	UART1送受信モードレジスタ (U1MR)	03E8 <sub>16</sub>	ポートP4 (P4)
03A9 <sub>16</sub>	UART1転送速度レジスタ (U1BRG)	03E9 <sub>16</sub>	ポートP5 (P5)
03AA <sub>16</sub>	UART1送信バッファレジスタ (U1TB)	03EA <sub>16</sub>	ポートP4方向レジスタ (PD4)
03AB <sub>16</sub>		03EB <sub>16</sub>	ポートP5方向レジスタ (PD5)
03AC <sub>16</sub>	UART1送受信制御レジスタ0 (U1C0)	03EC <sub>16</sub>	ポートP6 (P6)
03AD <sub>16</sub>	UART1送受信制御レジスタ1 (U1C1)	03ED <sub>16</sub>	ポートP7 (P7)
03AE <sub>16</sub>	UART1受信バッファレジスタ (U1RB)	03EE <sub>16</sub>	ポートP6方向レジスタ (PD6)
03AF <sub>16</sub>		03EF <sub>16</sub>	ポートP7方向レジスタ (PD7)
03B0 <sub>16</sub>	UART送受信制御レジスタ2 (UCON)	03F0 <sub>16</sub>	ポートP8 (P8)
03B1 <sub>16</sub>		03F1 <sub>16</sub>	ポートP9 (P9)
03B2 <sub>16</sub>		03F2 <sub>16</sub>	ポートP8方向レジスタ (PD8)
03B3 <sub>16</sub>		03F3 <sub>16</sub>	ポートP9方向レジスタ (PD9)
03B4 <sub>16</sub>	フラッシュメモリ識別レジスタ (FTR)	03F4 <sub>16</sub>	ポートP10 (P10)
03B5 <sub>16</sub>	フラッシュメモリ制御レジスタ1 (FMR1)	03F5 <sub>16</sub>	
03B6 <sub>16</sub>		03F6 <sub>16</sub>	ポートP10方向レジスタ (PD10)
03B7 <sub>16</sub>	フラッシュメモリ制御レジスタ0 (FMR0)	03F7 <sub>16</sub>	
03B8 <sub>16</sub>		03F8 <sub>16</sub>	
03B9 <sub>16</sub>		03F9 <sub>16</sub>	
03BA <sub>16</sub>		03FA <sub>16</sub>	
03BB <sub>16</sub>		03FB <sub>16</sub>	
03BC <sub>16</sub>		03FC <sub>16</sub>	ブルアップ制御レジスタ0 (PUR0)
03BD <sub>16</sub>		03FD <sub>16</sub>	ブルアップ制御レジスタ1 (PUR1)
03BE <sub>16</sub>		03FE <sub>16</sub>	ブルアップ制御レジスタ2 (PUR2)
03BF <sub>16</sub>		03FF <sub>16</sub>	ポート制御レジスタ0 (PCRO)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図CA-5. 周辺装置制御レジスタの配置(4)

## ソフトウェアリセット

プロセッサモードレジスタ0(000416番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

## プロセッサモード

### (1) プロセッサモードの種類

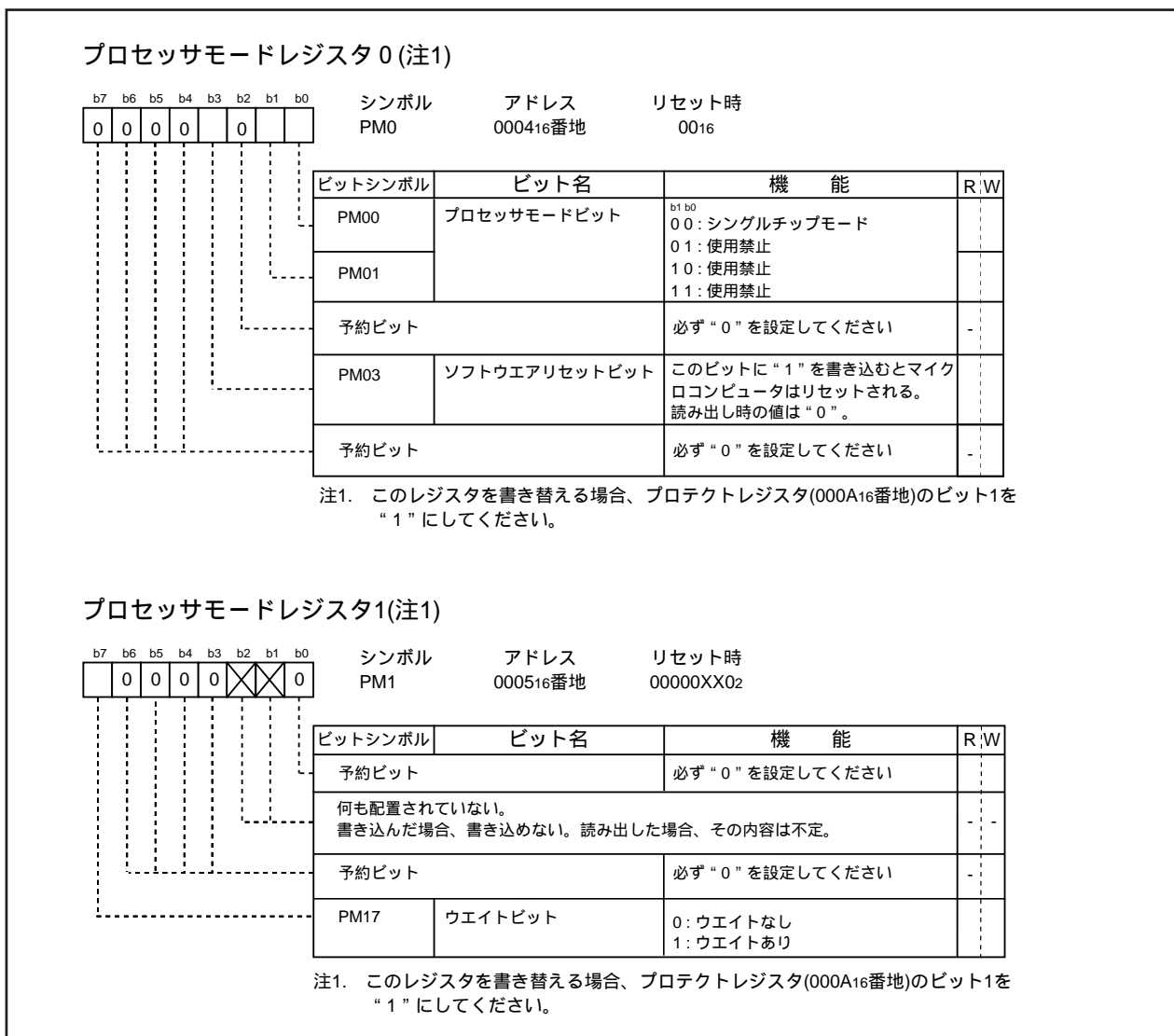
プロセッサモードは、シングルチップモードをサポートします。

#### シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P16をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

図BG-1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。



図BG-1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

## バス制御

## (1) ソフトウェアウエイト

プロセッサモードレジスタ1(0005<sub>16</sub>番地)(注1)のウエイトビット(ビット7)によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。

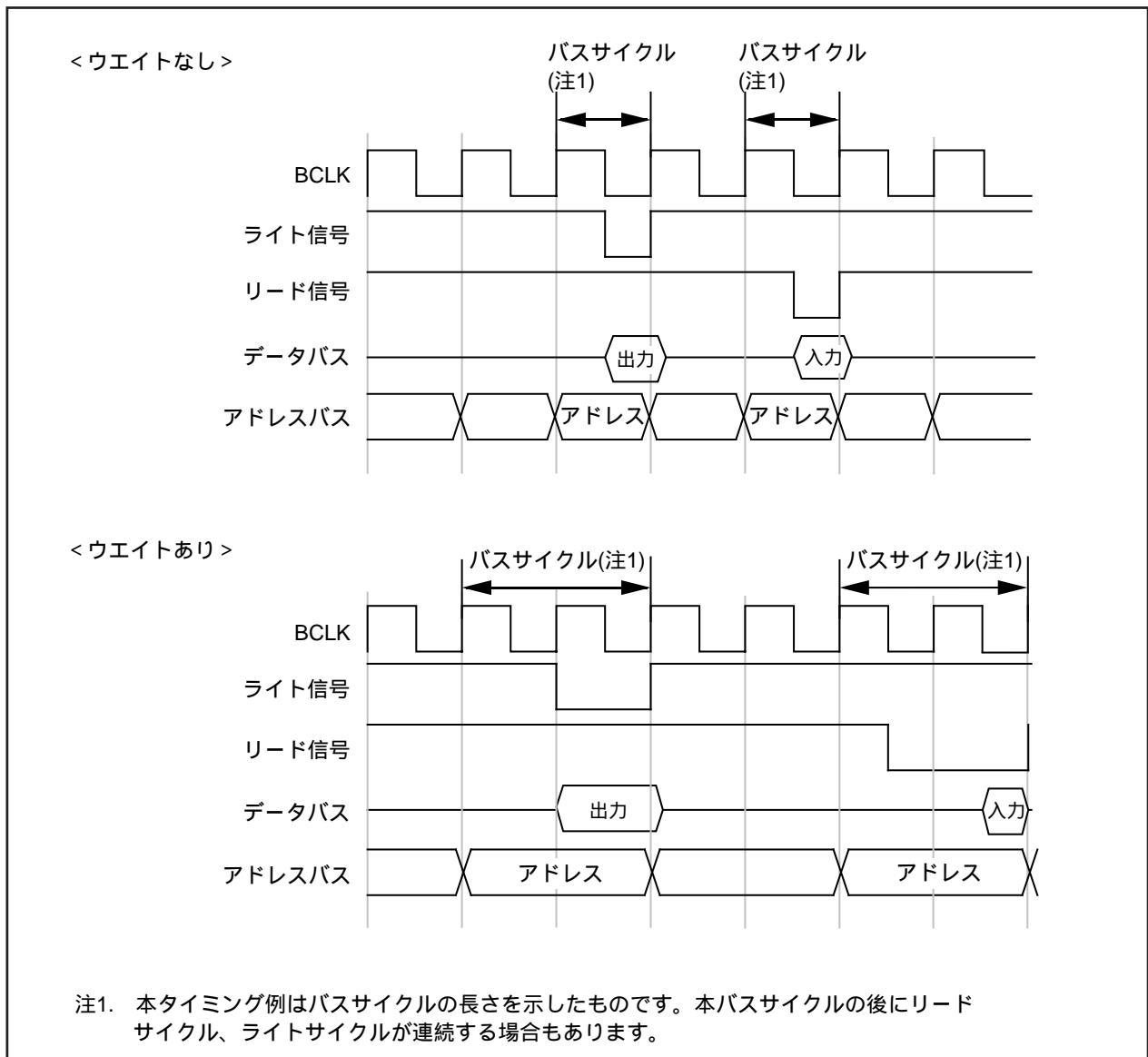
SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表EF-1にソフトウェアウエイトとバスサイクル、図EF-1にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A<sub>16</sub>番地)のビット1を“1”にしてください。

表EF-1. ソフトウェアウエイトとバスサイクル

領域	ウエイトビット	バスサイクル
SFR	無効	BCLKの2サイクル
内部 ROM/RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル



図EF-1. ソフトウェアウエイトを使用した場合のバスタイミング例

## クロック発生回路

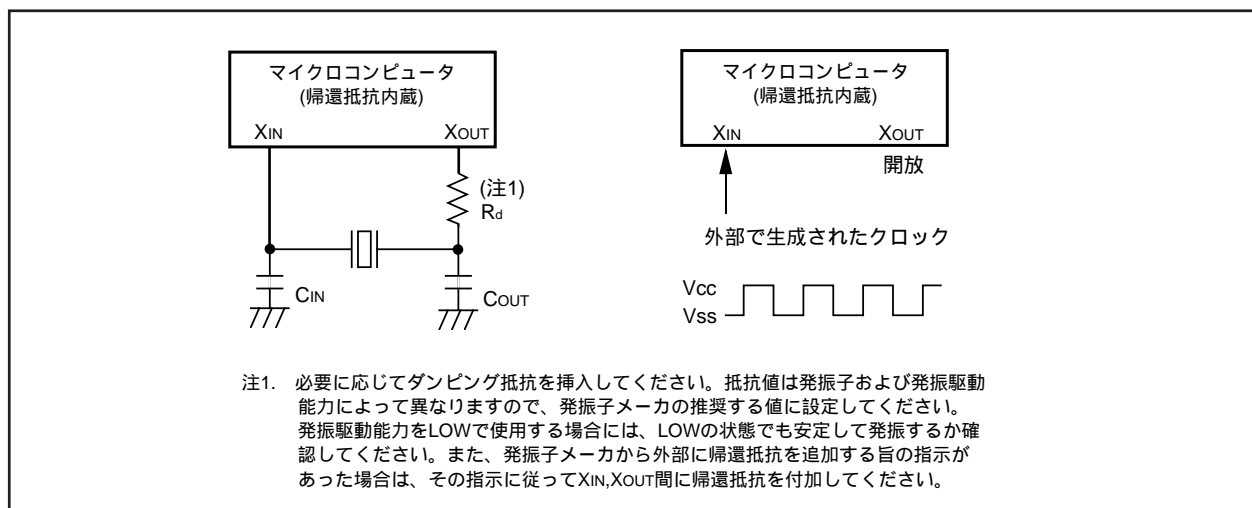
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を内蔵しています。

表WA-1. メインクロック発振回路

メインクロック発振回路	
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源
接続できる発振子	セラミック発振子、水晶発振子
発振子の接続端子	XIN、XOUT
発振の停止/再開機能	あり
リセット直後の発振子の状態	発振
その他	外部で生成されたクロックを入力することが可能

## 発振回路例

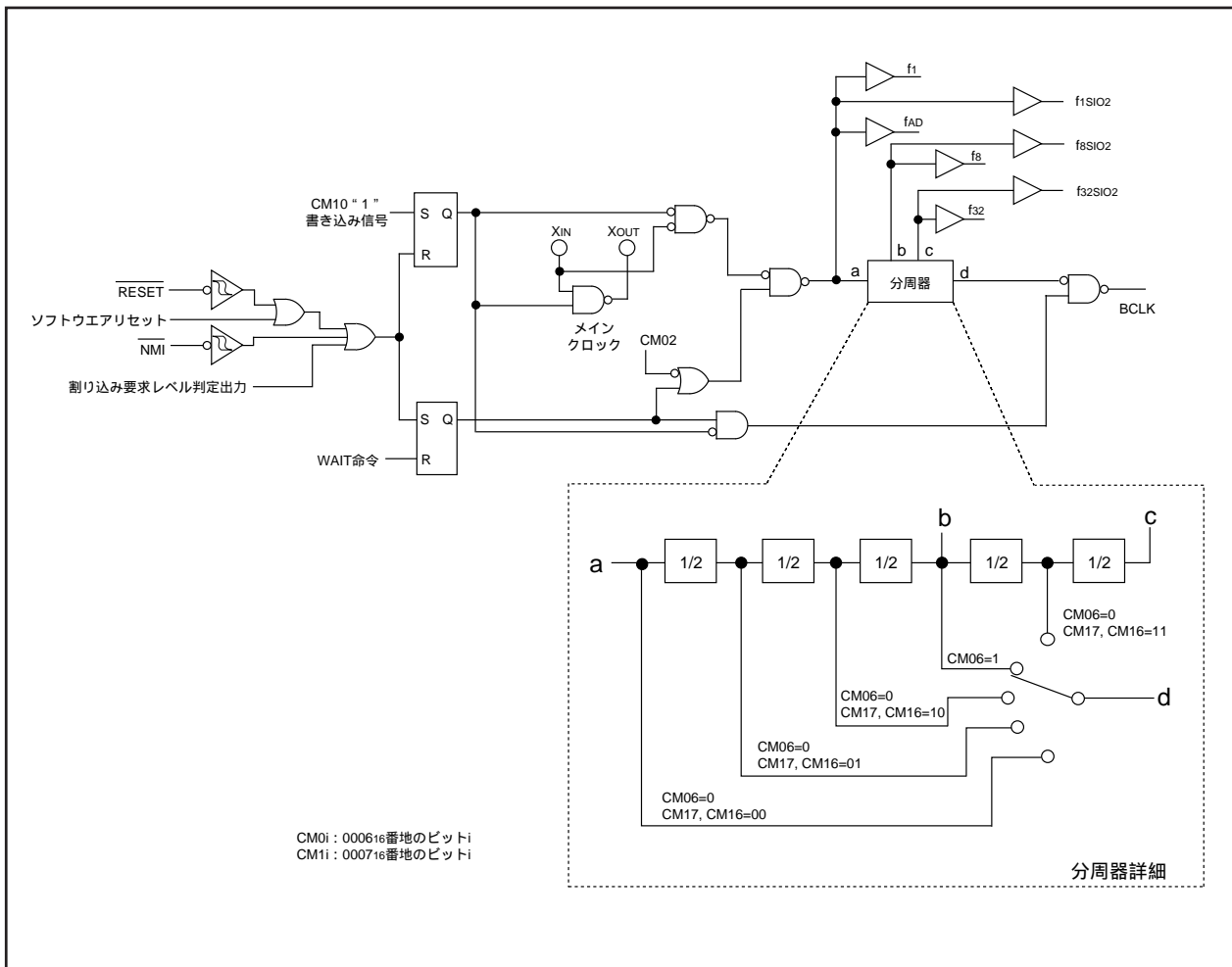
図WA-1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図WA-1中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。



図WA-1. メインクロックの接続例

## クロックの制御

図WA-2にクロック発生回路のブロック図を示します。



図WA-2. クロック発生回路



クロック発生回路で発生するクロックを順に説明します。

### (1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006<sub>16</sub>番地のビット5)によってこのクロックの供給を停止することができます。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007<sub>16</sub>番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。

### (2) BCLK

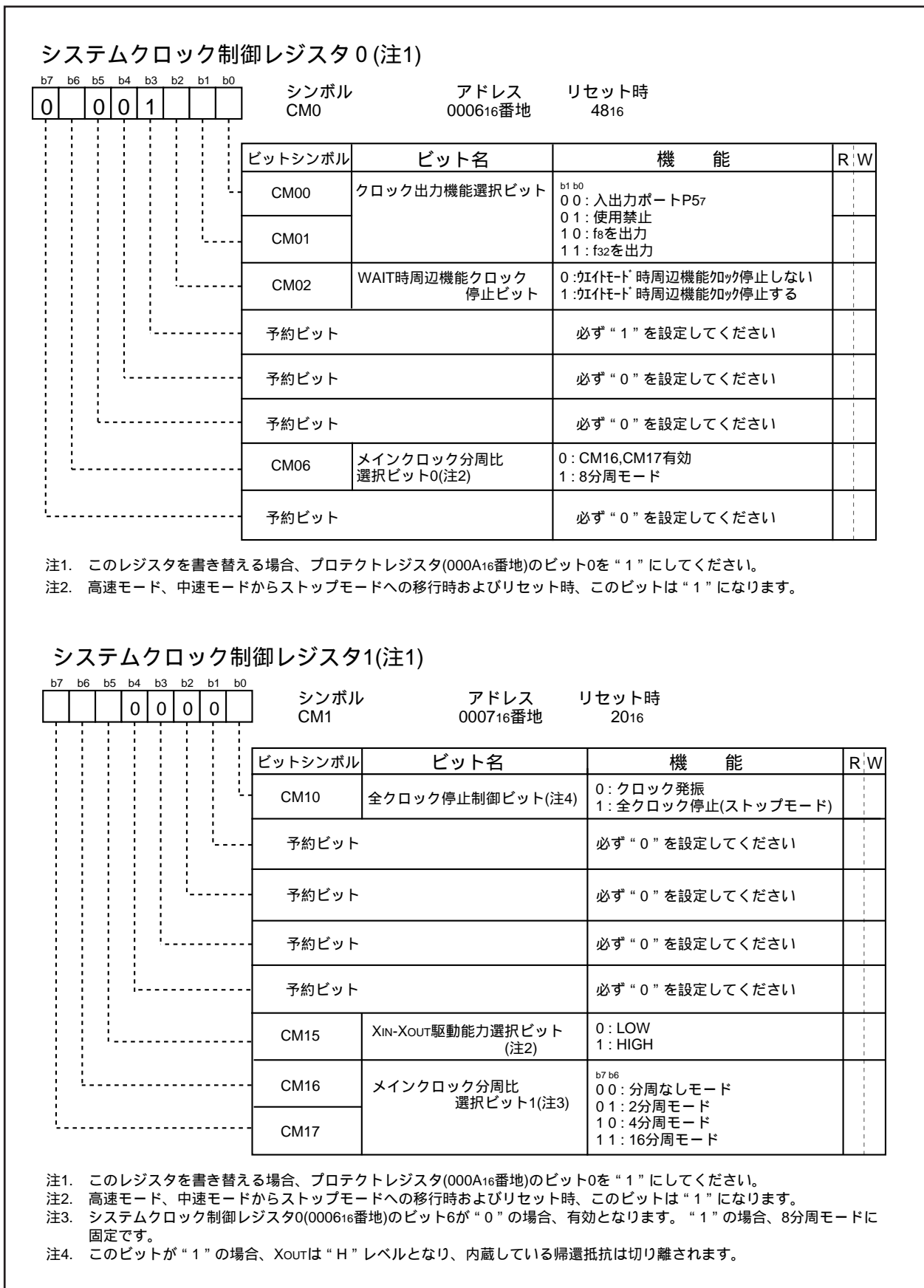
メインクロックの1、2、4、8、16分周をクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。

### (3) 周辺機能クロック (f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006<sub>16</sub>番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

図WA-3にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。



図WA-3. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

## クロック出力

シングルチップモード時、クロック出力機能選択ビット(0006<sub>16</sub>番地のビット0、ビット1)によってP57/CLKOUT端子からf<sub>8</sub>、f<sub>32</sub>を出力することができます。WAIT時周辺機能クロック停止ビット(0006<sub>16</sub>番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf<sub>8</sub>、f<sub>32</sub>のクロック出力は停止します。

f<sub>1</sub>出力機能選択ビット(02F<sub>16</sub>番地のビット0、ビット1)によってP110端子およびP111端子からf<sub>1</sub>を出力することができます。

## ストップモード

全クロック停止制御ビット(0007<sub>16</sub>番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V<sub>CC</sub>が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f<sub>1</sub>～f<sub>32</sub>、f<sub>1SIO2</sub>～f<sub>32SIO2</sub>、f<sub>AD</sub>は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART1、SIO3、4は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表WA-2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。

表WA-2. ストップモード時のポートの状態

端 子		シングルチップモード
ポート		ストップモードに入る直前の状態を保持
CLKOUT	f <sub>8</sub> 、f <sub>32</sub> 選択時	ストップモードに入る直前の状態を保持

## ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウェイトモード時のポートの状態を表WA-3に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表WA-3. ウェイトモード時のポートの状態

端 子		シングルチップモード
ポート		ウェイトモードに入る直前の状態を保持
CLKOUT	f8、f32選択時	WAIT時周辺機能クロック停止ビットが“0” のとき停止しません WAIT時周辺機能クロック停止ビットが“1” のときウェイトモードに入る直前の状態を 保持

## BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表WA-4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006<sub>16</sub>番地のビット6)は“1”になります。

### (1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

### (2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

### (3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックの発振が安定している必要があります。

### (4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

### (5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

表WA-4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM06	BCLKの動作モード
0	1	0	2分周モード
1	0	0	4分周モード
無効	無効	1	8分周モード
1	1	0	16分周モード
0	0	0	分周なしモード

## パワーコントロール

パワーコントロールの概要について説明します。

### モード

パワーコントロールには3つのモードがあります。

#### (1) 通常動作モード

##### 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

##### 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

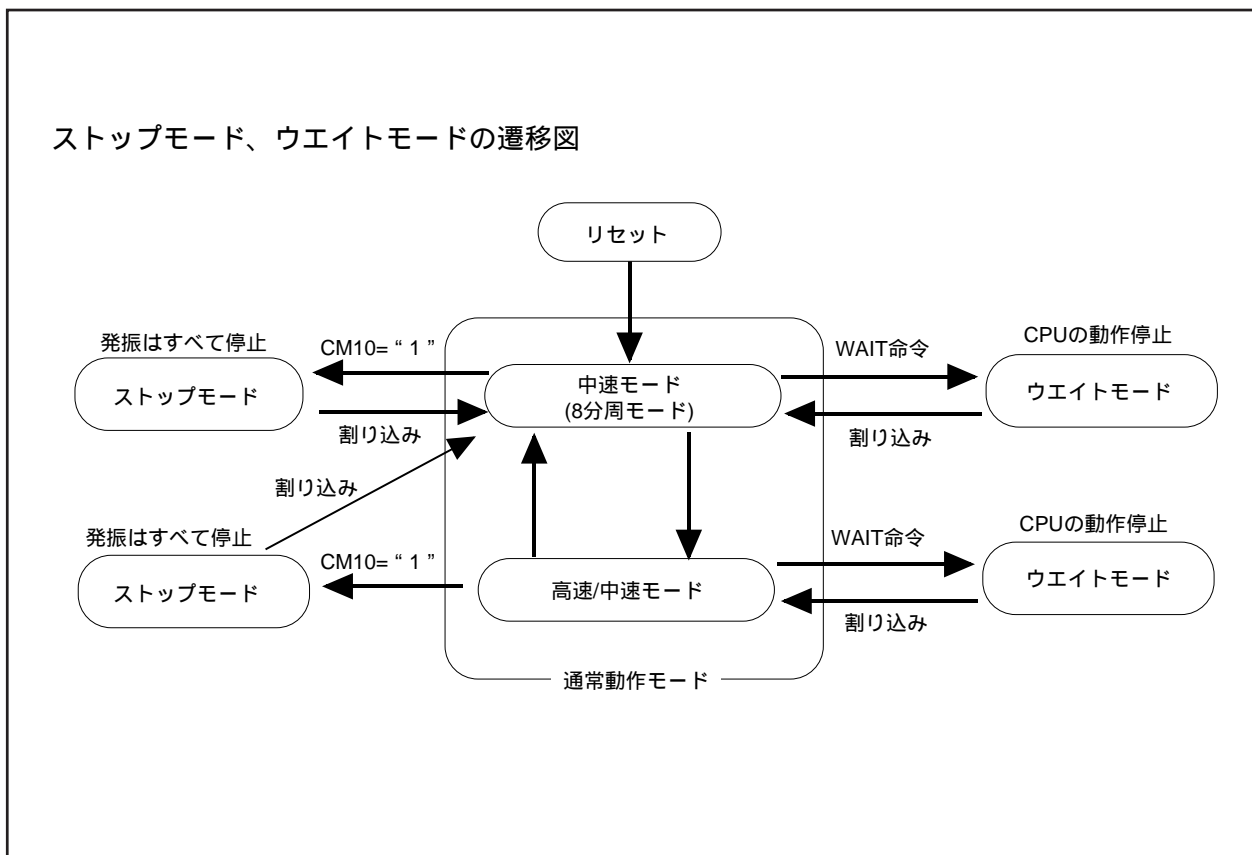
#### (2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

#### (3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

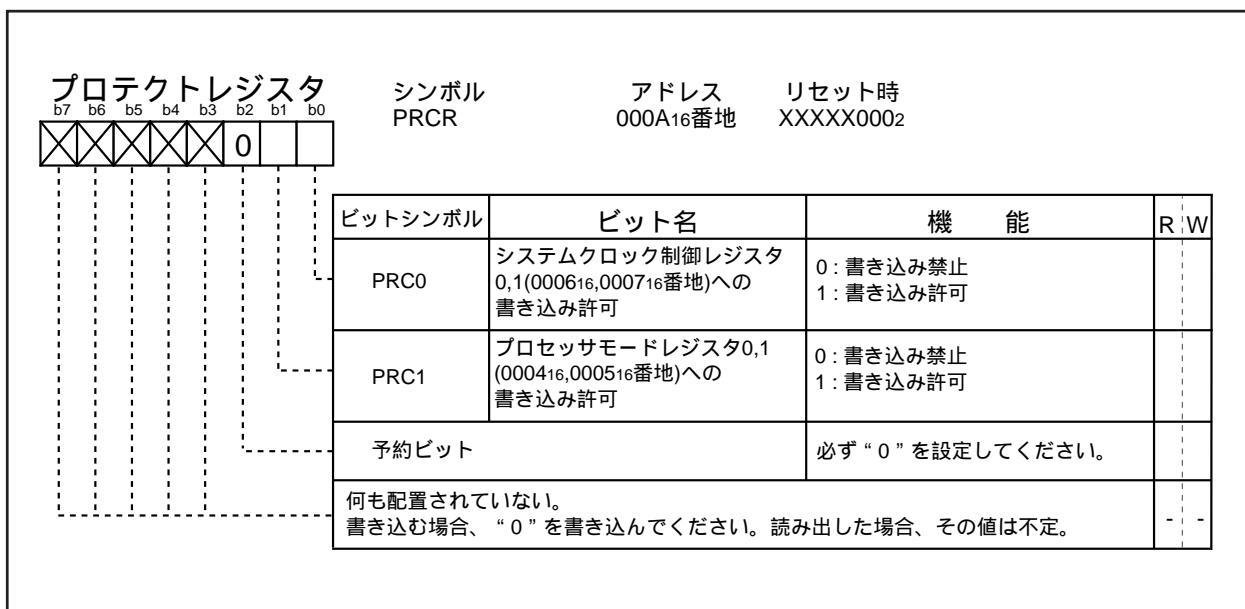
(1)~(3)の状態遷移図を図WA-4に示します。



図WA-4. 状態遷移図

## プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図WA-5にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004<sub>16</sub>番地)、プロセッサモードレジスタ1(0005<sub>16</sub>番地)、システムクロック制御レジスタ0(0006<sub>16</sub>番地)、システムクロック制御レジスタ1(0007<sub>16</sub>番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。



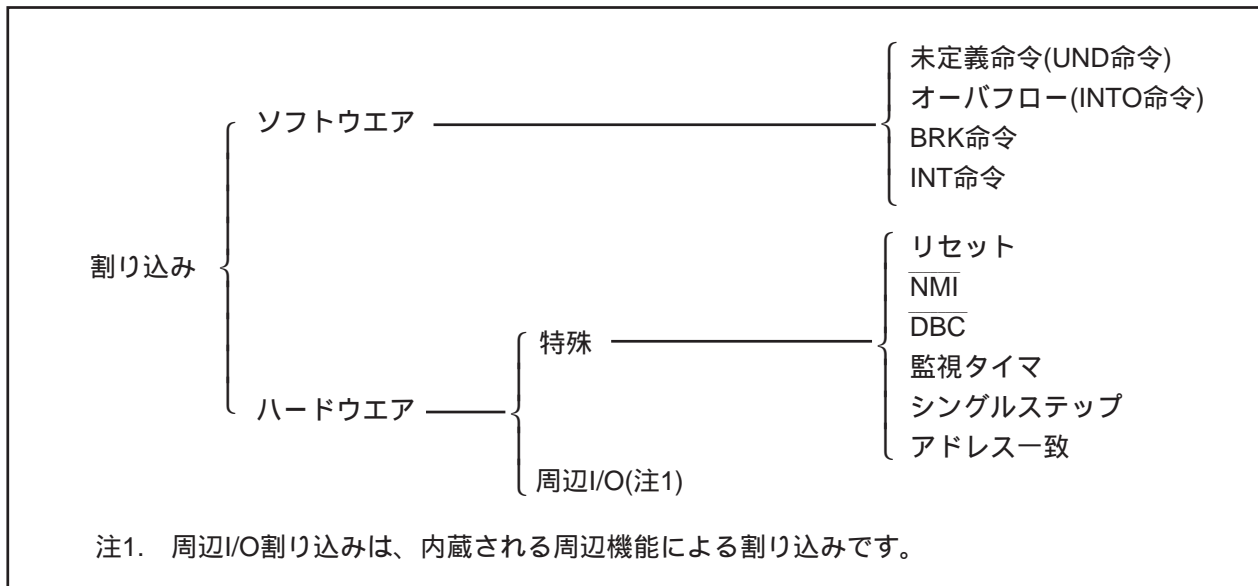
図WA-5. プロテクトレジスタの構成



## 割り込みの概要

### 割り込みの分類

図DD-1に割り込みの分類を示します。



図DD-1. 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

## ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

### 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

### オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

### BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

### INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～52は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

## ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

### 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

#### (1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

#### (2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

#### (3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

#### (4) 監視タイマ割り込み

監視タイマによる割り込みです。

#### (5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

#### (6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

### 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~52と同一です。周辺I/O割り込みは、マスクابل割り込みです。

#### (1) キー入力割り込み0

キー入力割り込み0は、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

#### (2) キー入力割り込み1

キー入力割り込み1は、 $\overline{\text{KI}}$ 端子に“L”、または“H”を入力すると発生します。

#### (3) A-D変換割り込み

A-D変換器による割り込みです。

#### (4) UART1、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

#### (5) UART1、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

#### (6) タイマA0~タイマA4割り込み

タイマAによる割り込みです。

#### (7) タイマB0~タイマB5割り込み

タイマBによる割り込みです。

(8)  $\overline{\text{INT0}} \sim \overline{\text{INT11}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がリエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

(9) IBF0 ~ IBF3, OBE割り込み

ホストバスインタフェースによる割り込みです。

(10)  $\overline{\text{LRESET}}$ 割り込み

$\overline{\text{LRESET}}$ 割り込みは、 $\overline{\text{LRESET}}$ 端子に“L”を入力すると発生します。

(11) I<sup>2</sup>C0、I<sup>2</sup>C1、I<sup>2</sup>C2、SCL0、SDA0、SCL1、SDA1、SCL2、SDA2割り込み

I<sup>2</sup>Cバスインタフェースによる割り込みです。

(12) PS20 ~ PS22割り込み

PS2インタフェースによる割り込みです。

## 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図DD-2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0000	アドレスの上位
ベクタアドレス+3	0000	0000

図DD-2. 割り込みベクタの指定アドレス

### 固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC<sub>16</sub>番地からFFFFF<sub>16</sub>番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表DD-1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
未定義命令	FFFDC <sub>16</sub> ~ FFFDF <sub>16</sub>	UND命令で割り込み
オーバフロー	FFFE0 <sub>16</sub> ~ FFFE3 <sub>16</sub>	INTO命令で割り込み
BRK命令	FFFE4 <sub>16</sub> ~ FFFE7 <sub>16</sub>	ベクタの内容がすべてFF <sub>16</sub> の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 <sub>16</sub> ~ FFFE <sub>B16</sub>	アドレス一致割り込み許可ビットあり
シングルステップ (注1)	FFFE <sub>C16</sub> ~ FFFE <sub>F16</sub>	通常は使用禁止
監視タイマ	FFFF0 <sub>16</sub> ~ FFFF3 <sub>16</sub>	
DBC(注1)	FFFF4 <sub>16</sub> ~ FFFF7 <sub>16</sub>	通常は使用禁止
NMI	FFFF8 <sub>16</sub> ~ FFFF <sub>B16</sub>	NMI端子入力による外部割り込み
リセット	FFFF <sub>C16</sub> ~ FFFFF <sub>16</sub>	

注1. デバッガ専用割り込み

#### 可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表DD-2, 表DD-3に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0～+3(注1)	BRK命令	IFラゲによるマスク不可
ソフトウェア割り込み番号1	+4～+7(注1)	LRESET	
ソフトウェア割り込み番号4	+16～+19(注1)	A-D	
ソフトウェア割り込み番号5	+20～+23(注1)	IBF0	
ソフトウェア割り込み番号6	+24～+27(注1)	IBF1	
ソフトウェア割り込み番号7	+28～+31(注1)	IBF2	
ソフトウェア割り込み番号8	+32～+35(注1)	IBF3	
ソフトウェア割り込み番号10	+40～+43(注1)	タイマA0	
ソフトウェア割り込み番号11	+44～+47(注1)	タイマA1	
ソフトウェア割り込み番号12	+48～+51(注1)	タイマA2	
ソフトウェア割り込み番号13	+52～+55(注1)	タイマA3	
ソフトウェア割り込み番号14	+56～+59(注1)	タイマA4	
ソフトウェア割り込み番号15	+60～+63(注1)	タイマB0	
ソフトウェア割り込み番号16	+64～+67(注1)	タイマB1	
ソフトウェア割り込み番号17	+68～+71(注1)	タイマB2	
ソフトウェア割り込み番号18	+72～+75(注1)	タイマB3	
ソフトウェア割り込み番号19	+76～+79(注1)	タイマB4	
ソフトウェア割り込み番号20	+80～+83(注1)	タイマB5	
ソフトウェア割り込み番号21	+84～+87(注1)	OBE	
ソフトウェア割り込み番号22	+88～+91(注1)	PS20	
ソフトウェア割り込み番号23	+92～+95(注1)	PS21	
ソフトウェア割り込み番号24	+96～+99(注1)	PS22	
ソフトウェア割り込み番号27	+108～+111(注1)	UART1受信	
ソフトウェア割り込み番号28	+112～+115(注1)	UART1送信	
ソフトウェア割り込み番号31	+124～+127(注1)	キー入力割り込み0	

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

表DD-3. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号32	+128~+131(注1)	キー入力割り込み1	
ソフトウェア割り込み番号33	+132~+135(注1)	SIO3	
ソフトウェア割り込み番号34	+136~+139(注1)	SIO4	
ソフトウェア割り込み番号35	+140~+143(注1)	I <sup>2</sup> C0	
ソフトウェア割り込み番号36	+144~+149(注1)	SCL0,SDA0	
ソフトウェア割り込み番号37	+148~+151(注1)	I <sup>2</sup> C1	
ソフトウェア割り込み番号38	+152~+155(注1)	SCL1,SDA1	
ソフトウェア割り込み番号39	+156~+159(注1)	I <sup>2</sup> C2	
ソフトウェア割り込み番号40	+160~+163(注1)	SCL2,SDA2	
ソフトウェア割り込み番号41	+164~+167(注1)	INT0	
ソフトウェア割り込み番号42	+168~+171(注1)	INT1	
ソフトウェア割り込み番号43	+172~+175(注1)	INT2	
ソフトウェア割り込み番号44	+176~+179(注1)	INT3	
ソフトウェア割り込み番号45	+180~+183(注1)	INT4	
ソフトウェア割り込み番号46	+184~+187(注1)	INT5	
ソフトウェア割り込み番号47	+188~+191(注1)	INT6	
ソフトウェア割り込み番号48	+192~+195(注1)	INT7	
ソフトウェア割り込み番号49	+196~+199(注1)	INT8	
ソフトウェア割り込み番号50	+200~+203(注1)	INT9	
ソフトウェア割り込み番号51	+204~+207(注1)	INT10	
ソフトウェア割り込み番号52	+208~+211(注1)	INT11	
ソフトウェア割り込み番号53 }	+212~+215(注1) }	ソフトウェア割り込み	IFラグによる マスク不可
ソフトウェア割り込み番号63	+252~+255(注1)		

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

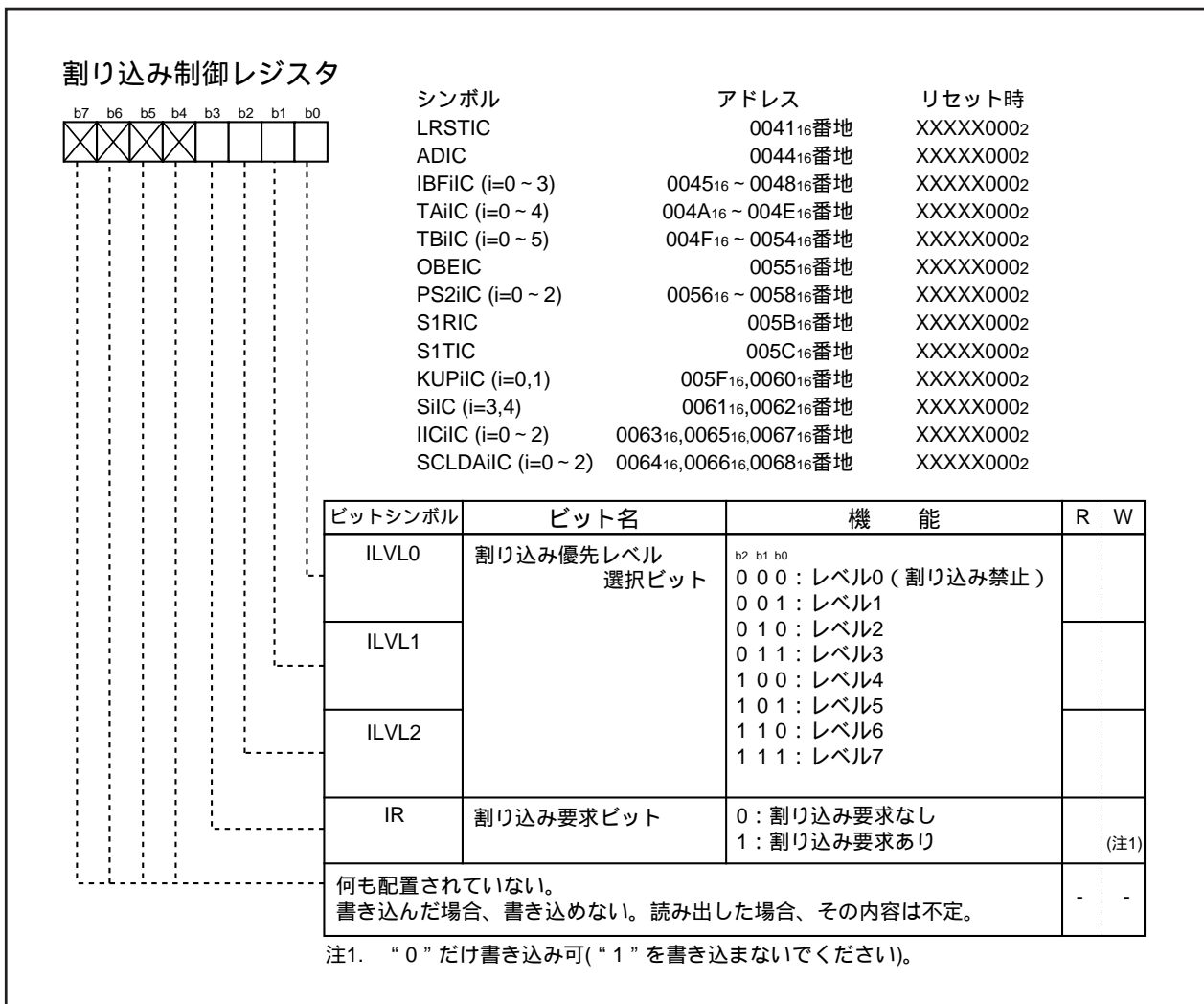


### 割り込み制御

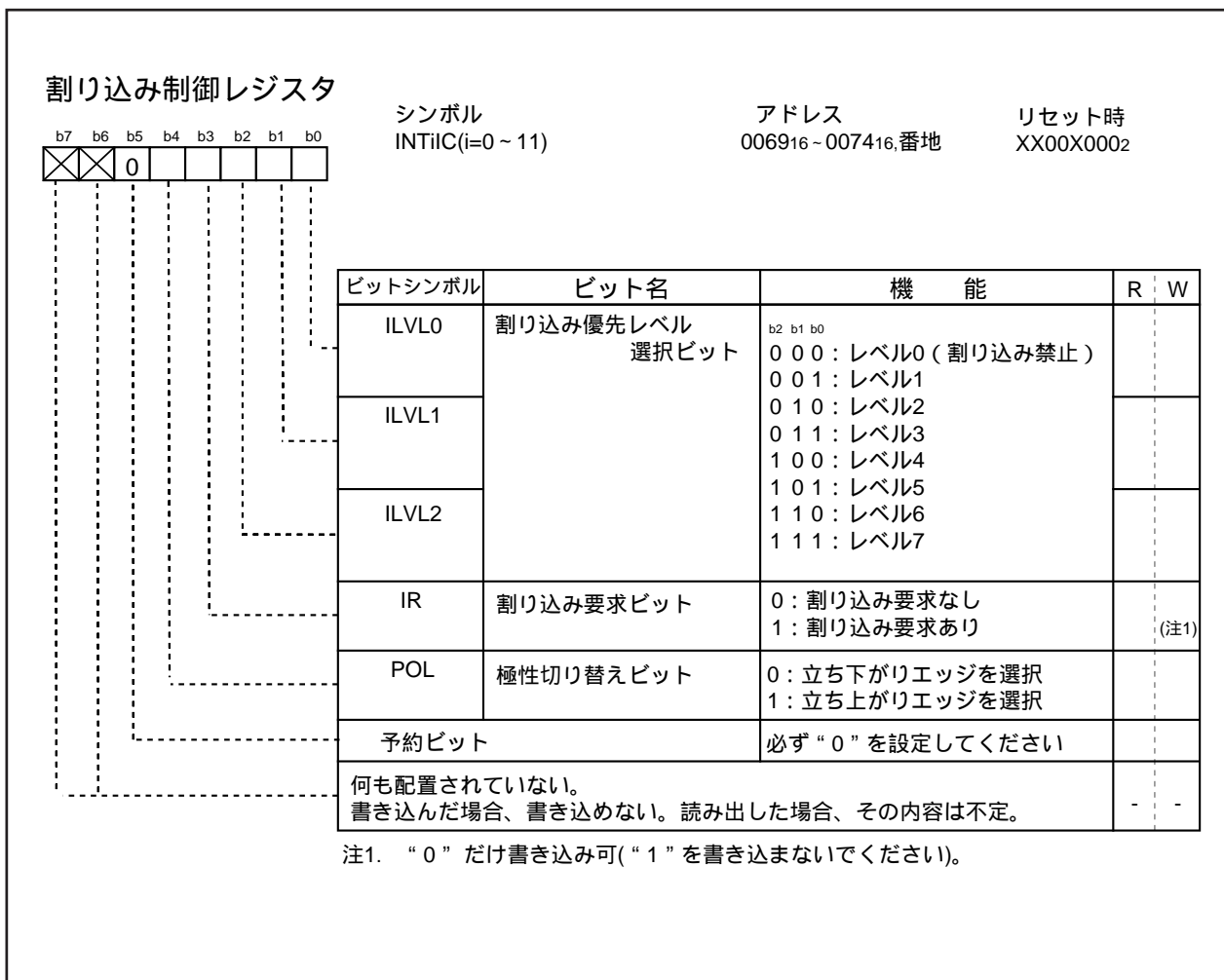
マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図DD-3、図DD-4に割り込み制御レジスタの構成を示します。



図DD-3. 割り込み制御レジスタの構成(1)



図DD-4. 割り込み制御レジスタの構成(2)

### 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

### 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

### 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表DD-4に割り込み優先レベルの設定を、表DD-5にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表DD-4. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表DD-5. プロセッサ割り込み優先レベル(IPL)  
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL <sub>2</sub> IPL <sub>1</sub> IPL <sub>0</sub> 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

## 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに " 0016 " を設定
  NOP                               ; HOLD機能を使用する場合はNOP命令が 4 個必要
  NOP
  FSET    I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに " 0016 " を設定
  MOV.W   MEM, R0     ; ダミーリード
  FSET    I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに " 0016 " を設定
  POPC    FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET 1 命令の前に NOP 命令 2 個 ( HOLD 機能使用時は 4 個 ) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ ( フラグ ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

## 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

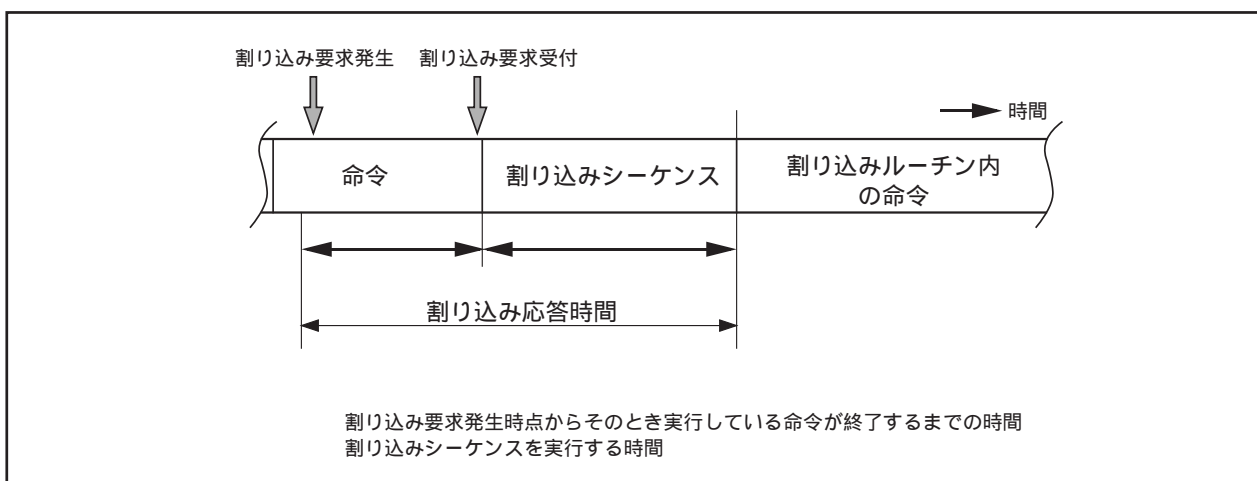
- (1) 0000016番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

## 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図DD-5に割り込み応答時間を示します。



図DD-5. 割り込み応答時間

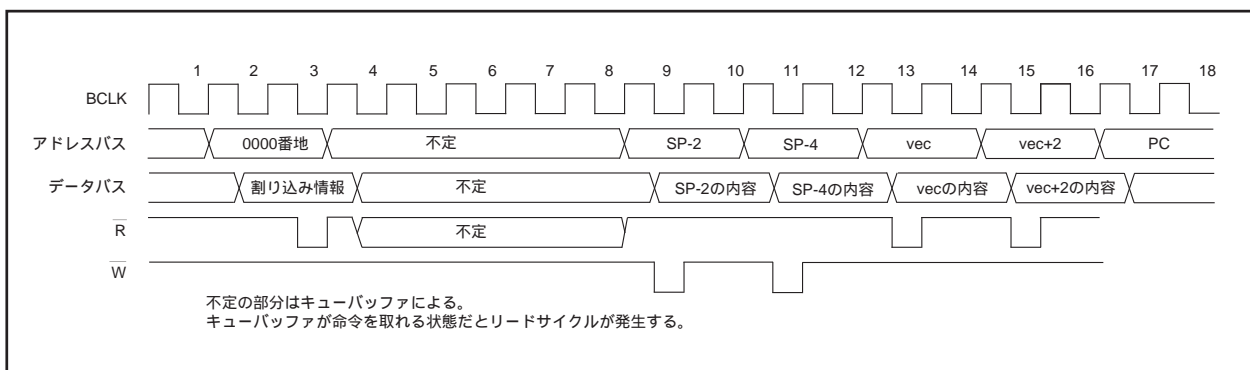
(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。  
 (b)の時間は次のとおりです。

表DD-6. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。



図DD-6. 割り込みシーケンスの実行時間

### 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表DD-7に示す値がIPLに設定されます。

表DD-7. 割り込み優先レベルをもたない割り込みとIPLの関係

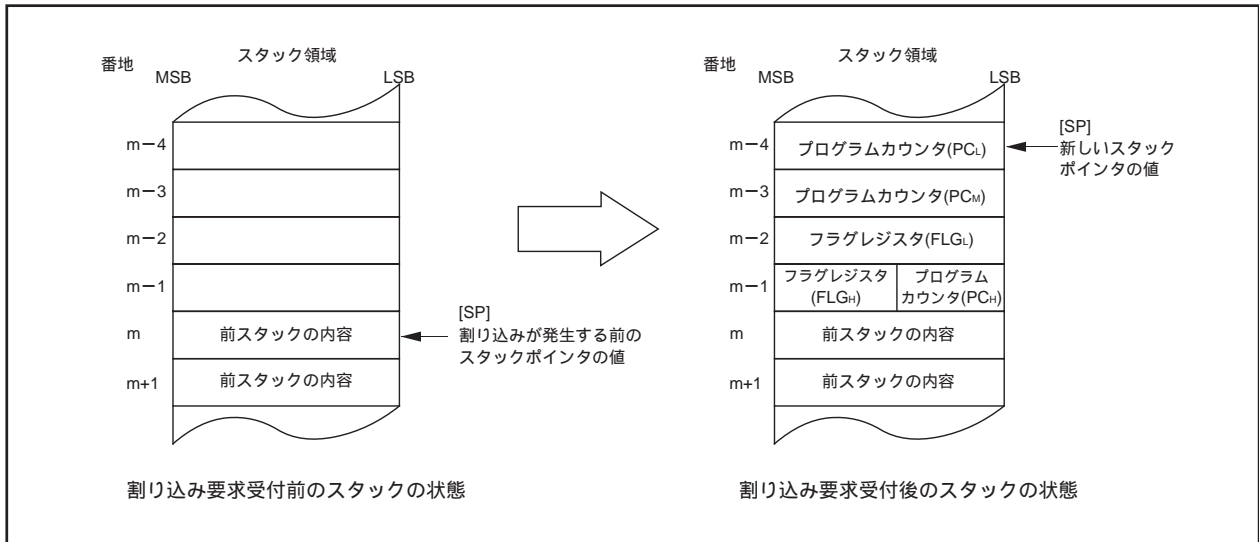
割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

### レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

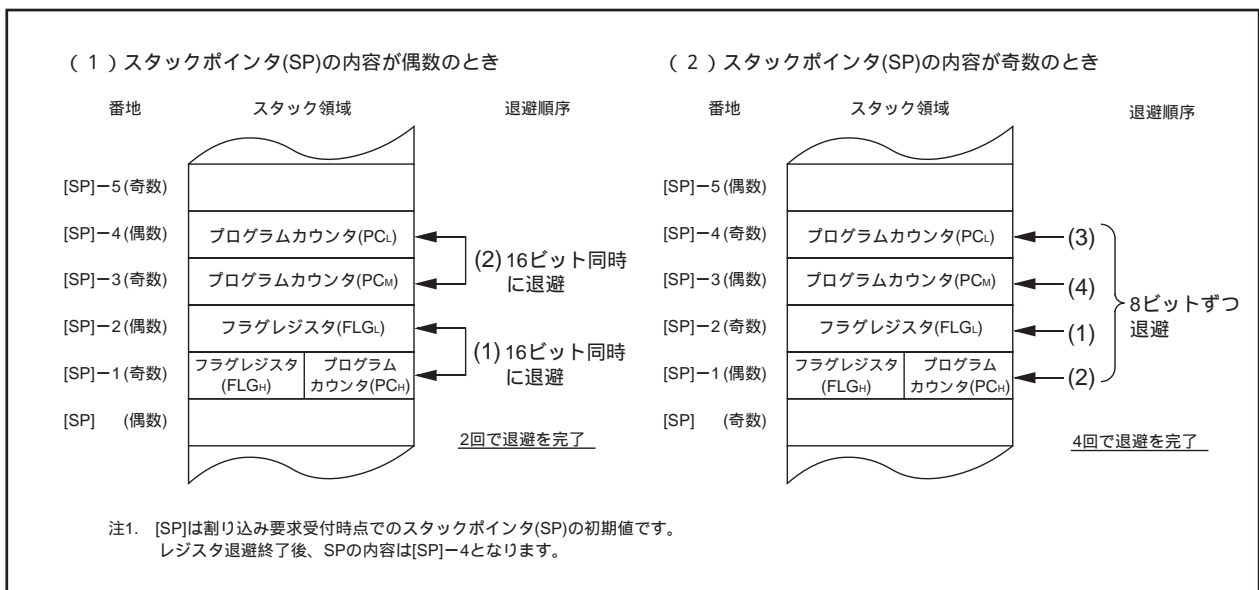
退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図DD-7に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。



図DD-7. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタの内容が偶数の場合と奇数の場合で異なります。スタックポインタの内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図DD-8にレジスタ退避動作を示します。



図DD-8. レジスタ退避動作

## 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

## 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図DD-9に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

## 割り込み優先レベル判定回路

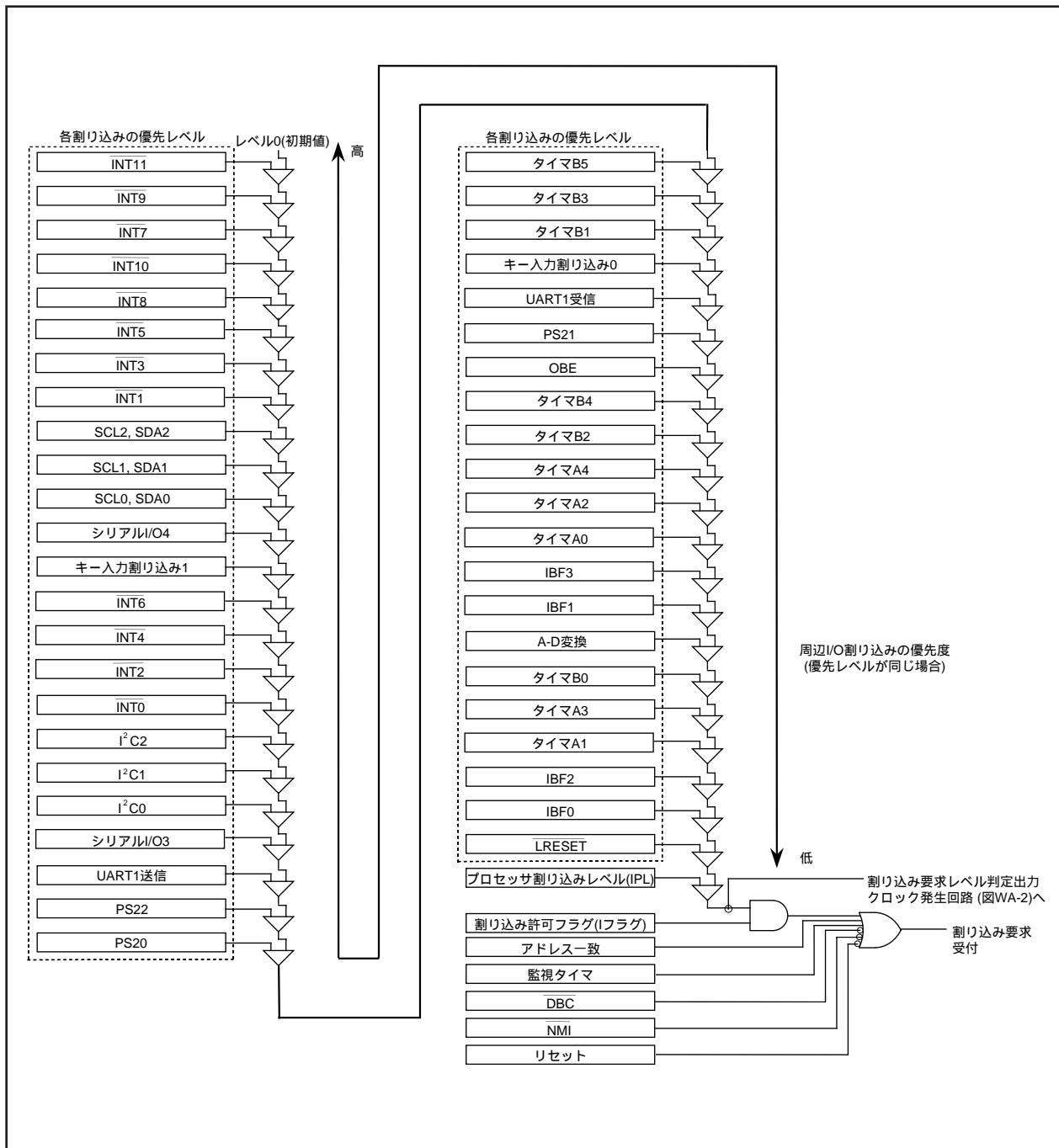
割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図DD-10に割り込み優先レベルの判定回路を示します。



リセット > NMI > DBC > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図DD-9. ハードウェア割り込みの割り込み優先順位



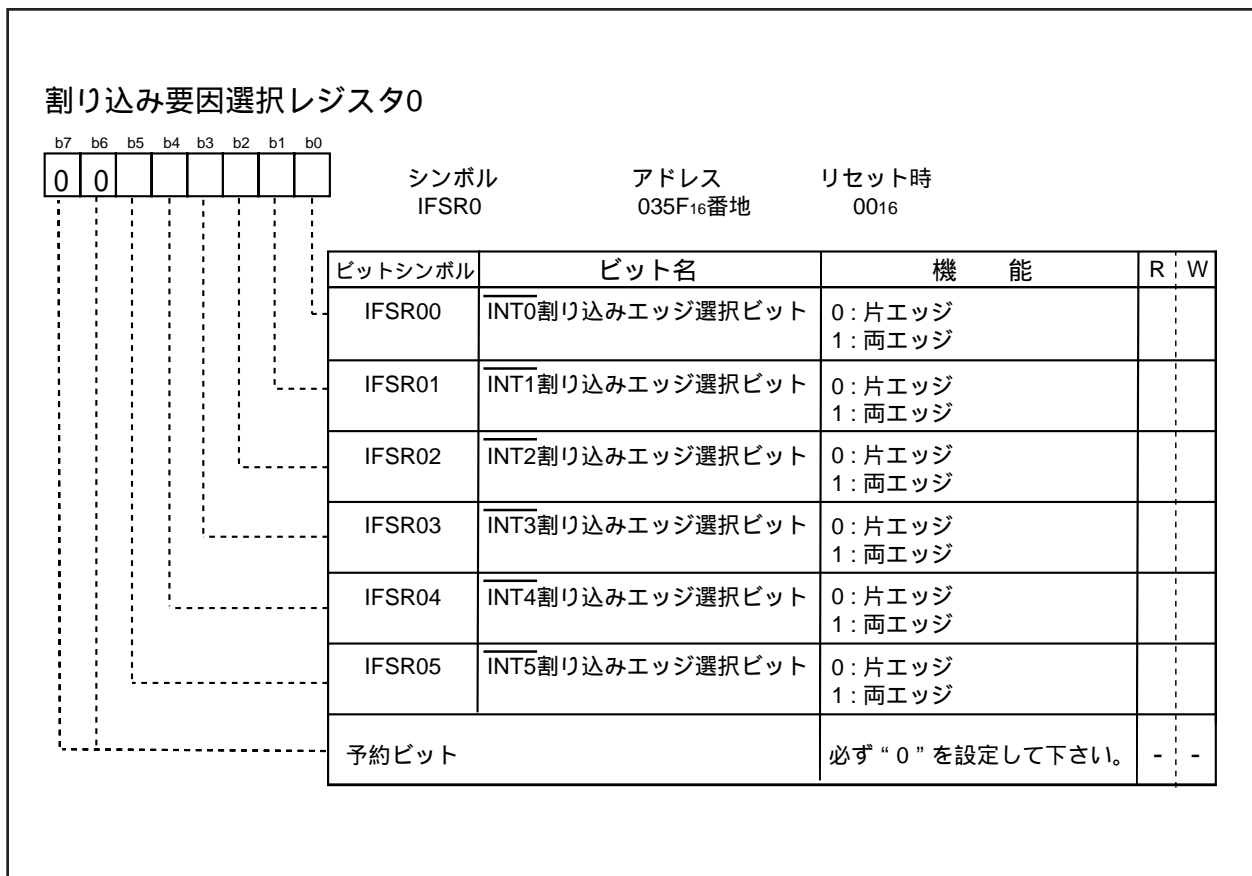
図DD-10. 割り込み優先レベル判定回路

## INT割り込み

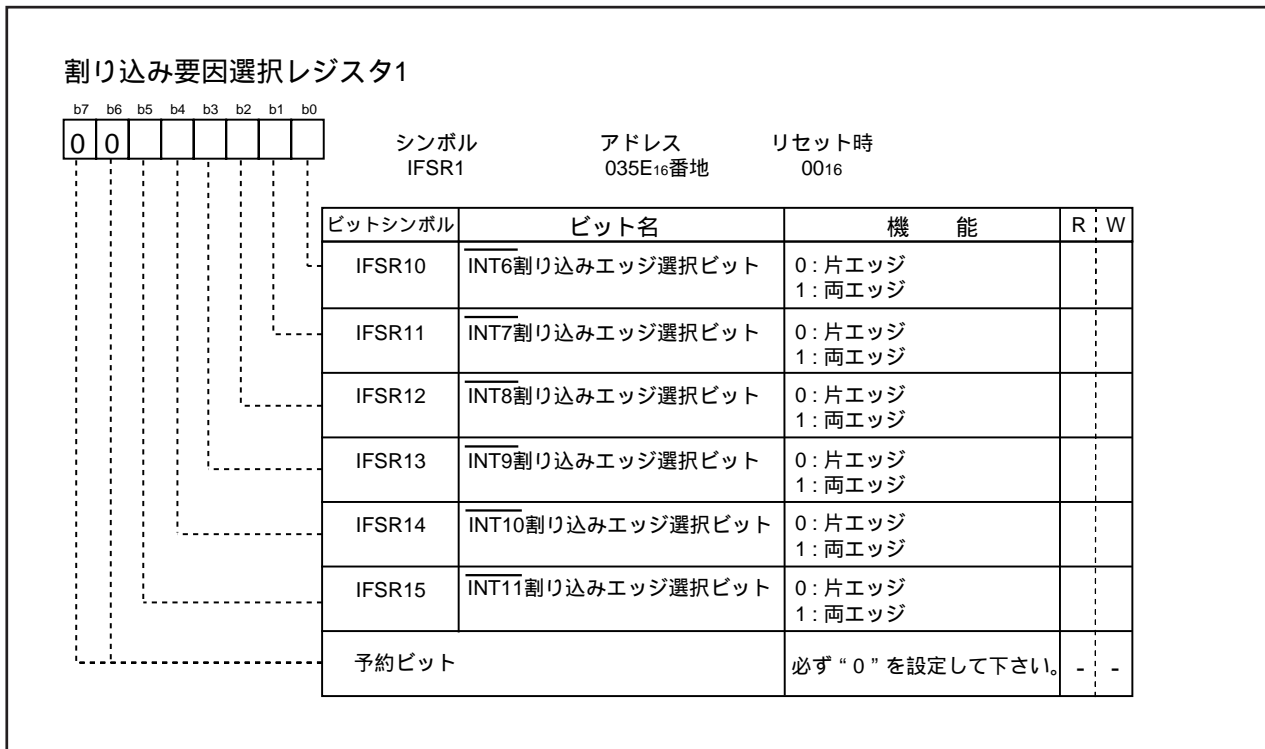
INT0～INT11は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

外部割り込み入力、割り込み要因選択レジスタ0,1(035F<sub>16</sub>,035E<sub>16</sub>番地)のINT<sub>i</sub>割り込みエッジ選択ビットを“1”に設定することによって、立ち上がり、立ち下がり両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。割り込みエッジを選択した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

図DD-11、図DD-12に割り込み要因選択レジスタ0、1の構成を示します。



図DD-11. 割り込み要因選択レジスタの構成(1)



図DD-12. 割り込み要因選択レジスタの構成(2)

## NMI割り込み

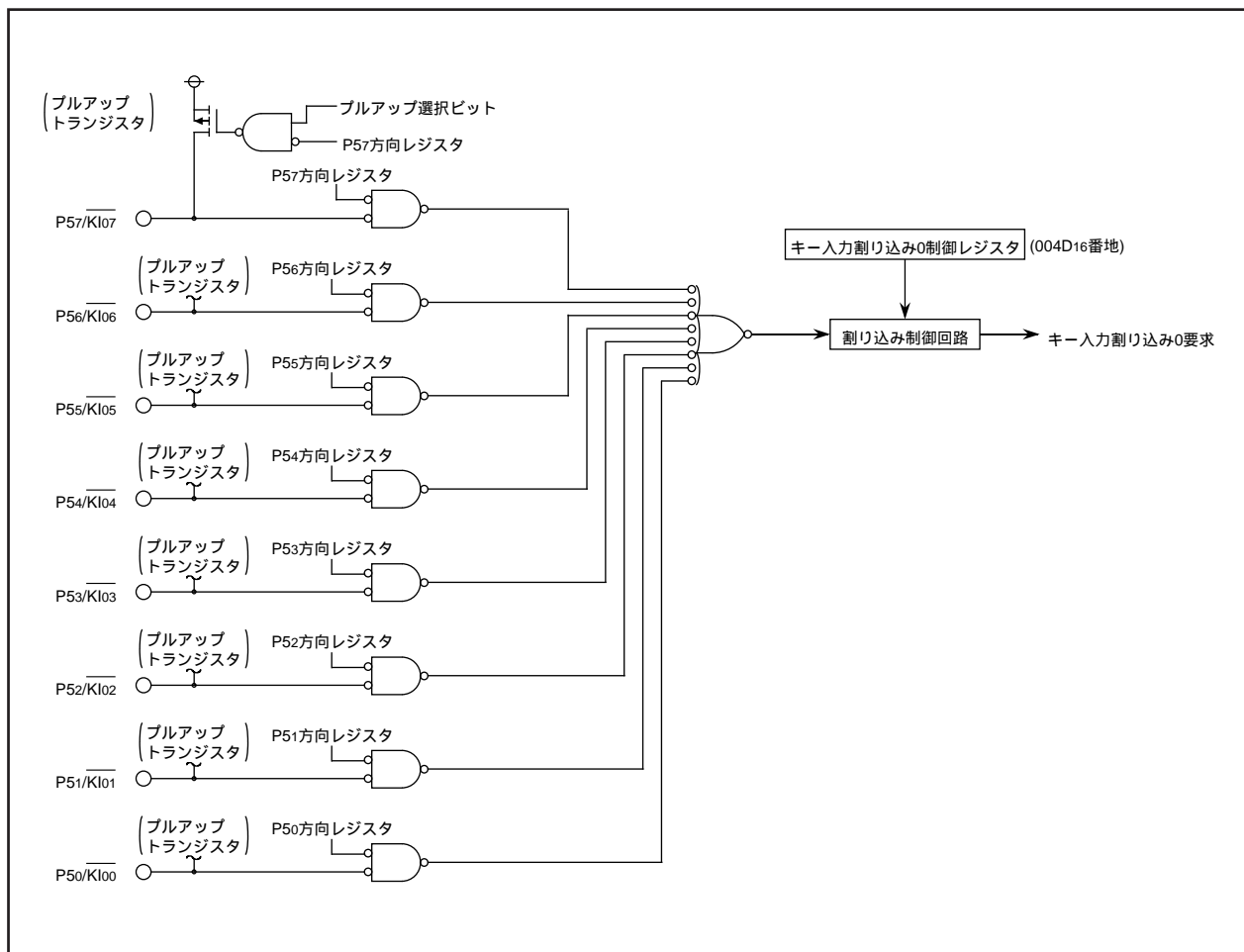
P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F0<sub>16</sub>番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

## キー入力割り込み0

P50～P57のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み0要求が発生します。

キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。キー入力割り込み0のブロック図を図DD-13に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。



図DD-13. キー入力割り込み0のブロック図

## キー入力割り込み1

P14<sub>0</sub>～P14<sub>7</sub>のうち、キー入力割り込み1許可レジスタ(02F4<sub>16</sub>番地)の許可ビットを“1”に設定している端子のいずれかに立ち下がりもしくは立ち上がりエッジを入力すると、キー入力割り込み1要求が発生します。

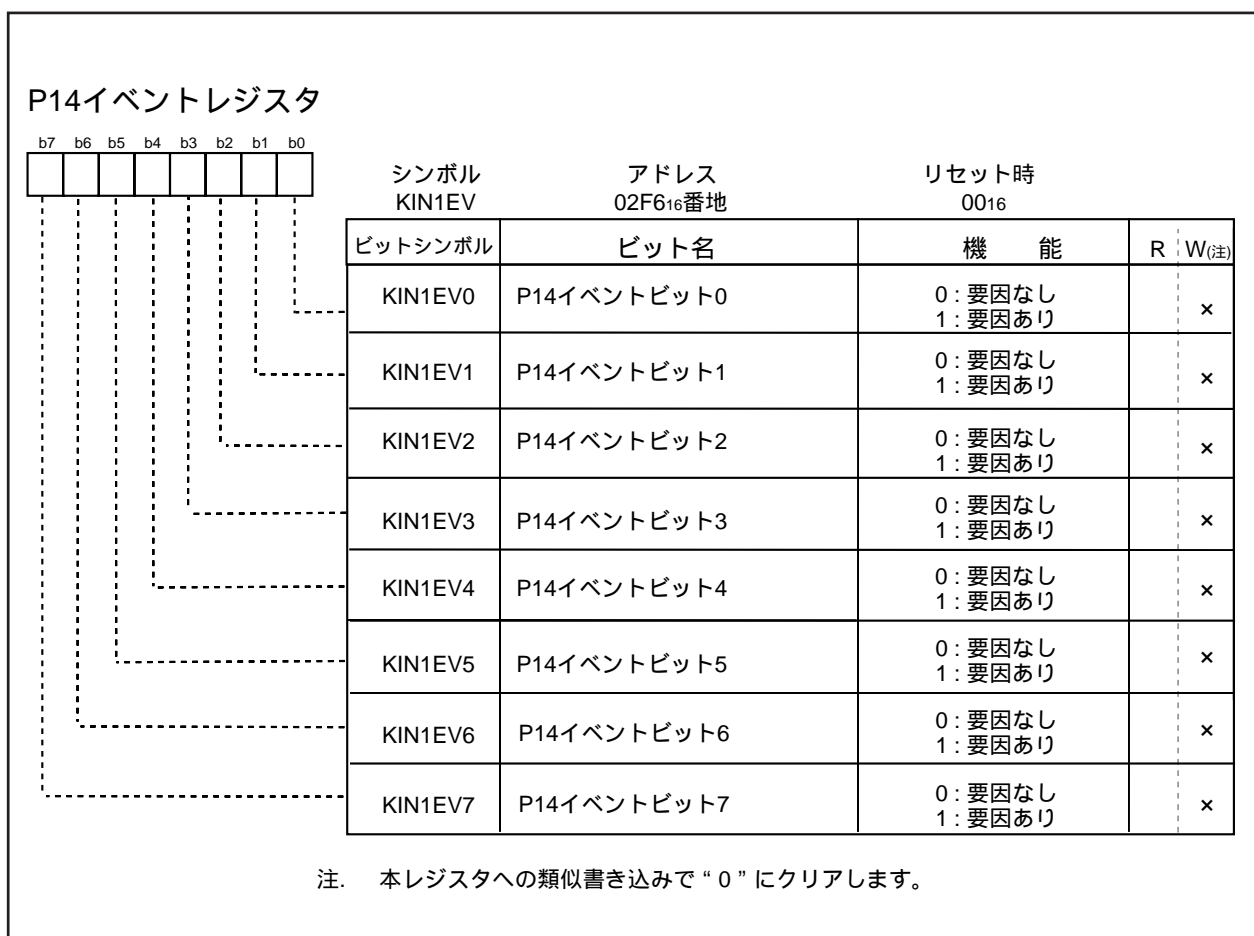
キー入力割り込み1の入力は、キー入力割り込み1エッジ切替レジスタ(02F5<sub>16</sub>番地)のエッジ切替ビットを“0”に設定することによって立ち下がり、“1”に設定することによって立ち上がりエッジで割り込み要求が発生することができます。

P14イベントレジスタ(02F6<sub>16</sub>番地)はP14<sub>0</sub>～P14<sub>7</sub>の有効な立ち下がりもしくは立ち上がりエッジを入力すると、対応するビットを“1”にセットします。このレジスタを読み出すことで、割り込み要求が発生した後、端子が変化してもどの端子の入力による割り込みであるかを確認できます。

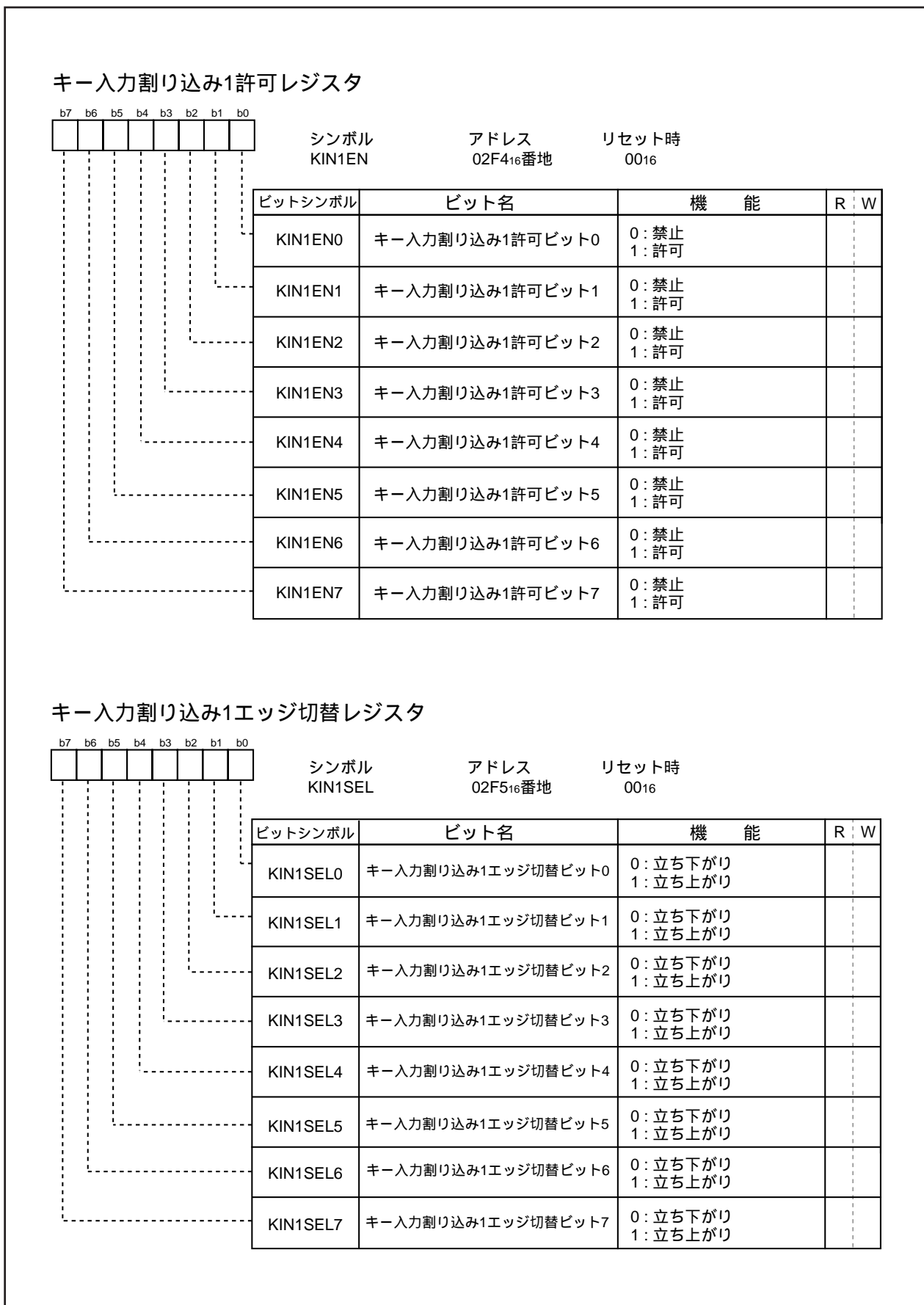
P14イベントレジスタは読み出し動作完了時に“1”が読み出されたビットのみ、自動的にイベントを“0”にクリアします。また、疑似書き込みすることで“0”にクリアします。

P14イベントレジスタの構成を図DD-14に、キー入力割り込み1レジスタの構成を図DD-15に、キー入力割り込み1のブロック図を図DD-16に、キー入力割り込み1のタイミング図を図DD-17に示します。

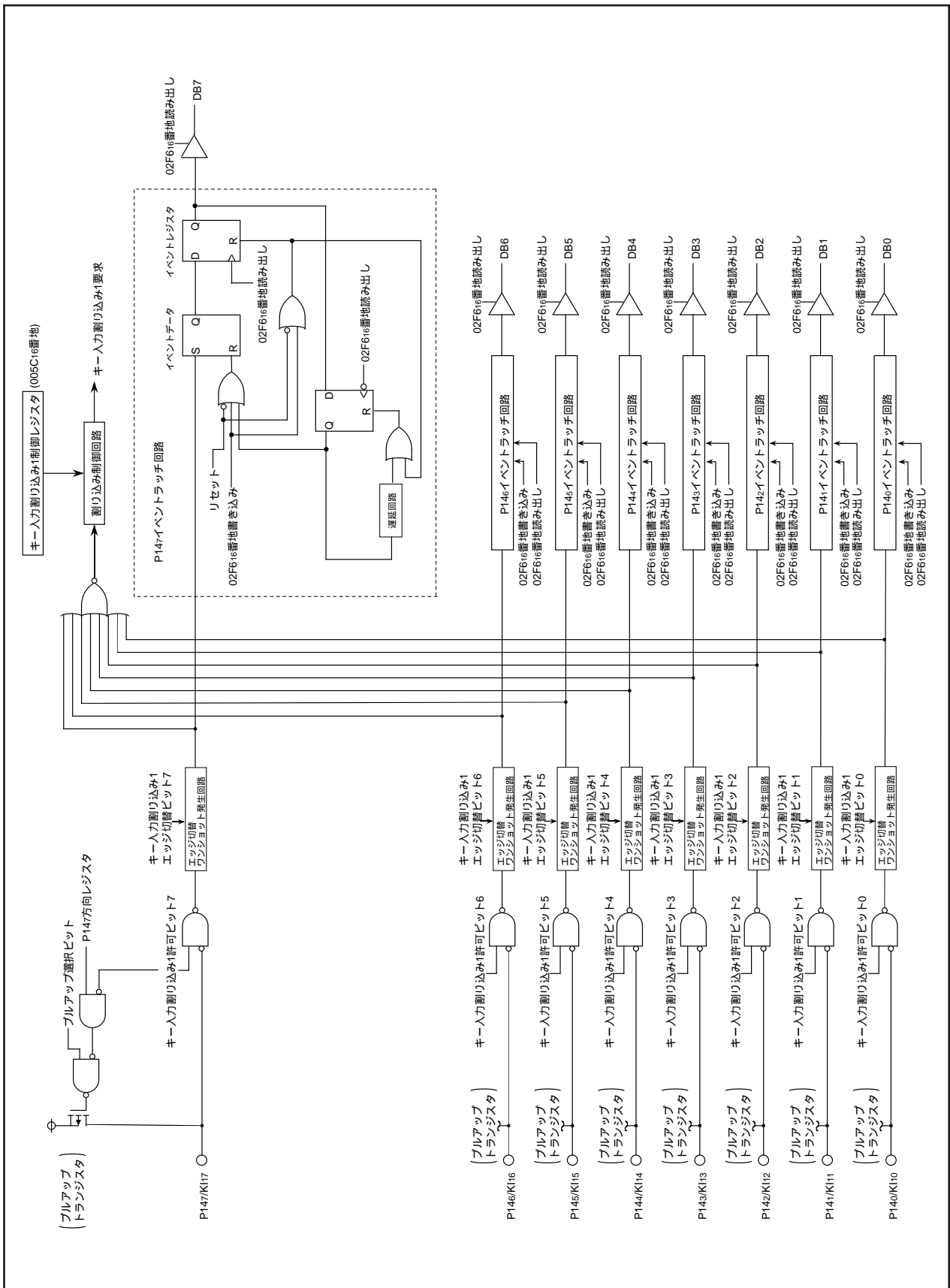
キー入力割り込み1許可レジスタにより禁止/許可を設定する際、もしくはキー入力割り込み1エッジ切替レジスタにより有効エッジを切り替えた際、P14イベントレジスタの読み出し値および割り込み要求ビットが“1”になることがありますので、切り替えた後、P14イベントレジスタへの疑似書き込みおよび割り込み要求ビットを“0”にしてください。



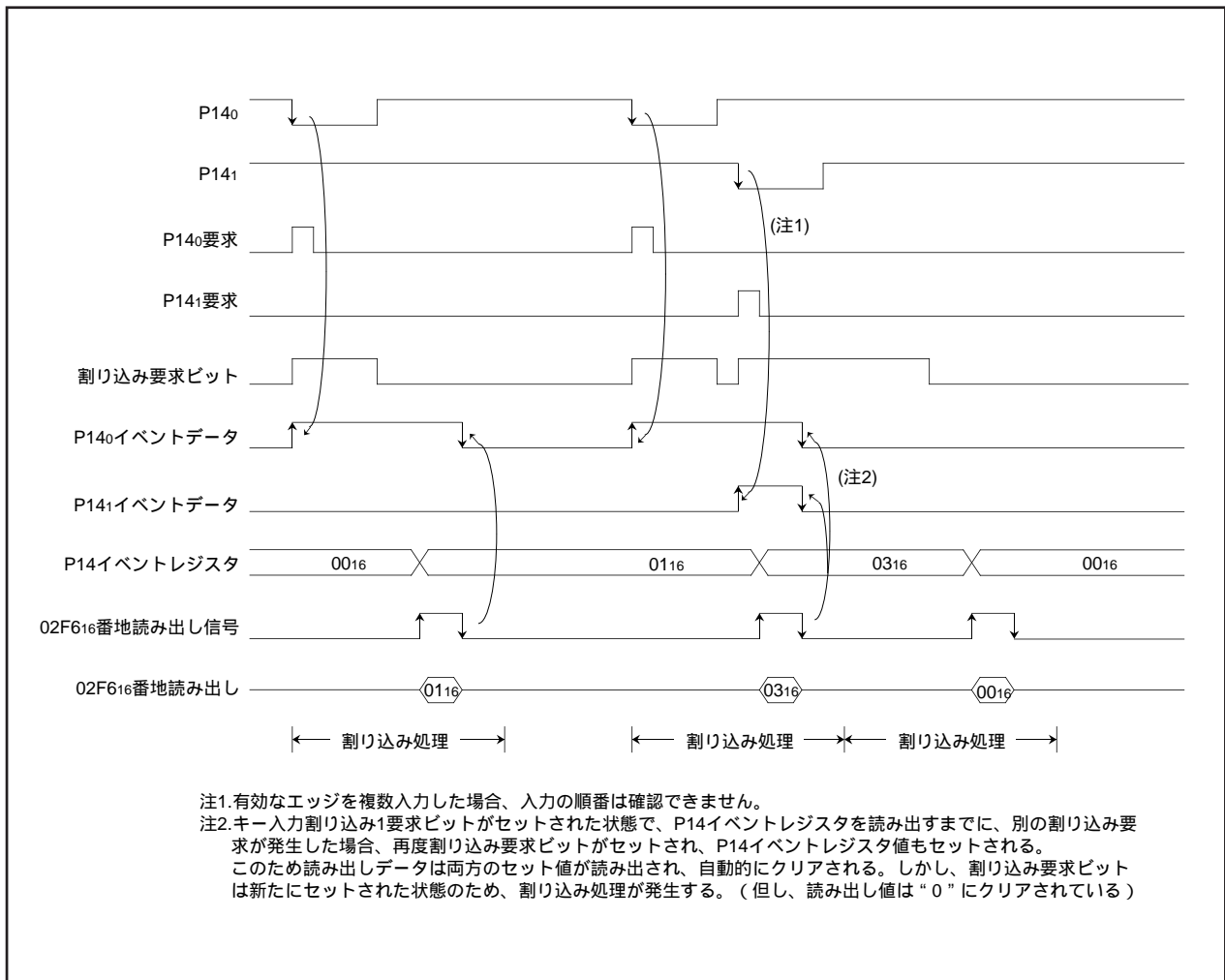
図DD-14. P14イベントレジスタの構成



図DD-15. キー入力割り込み1のレジスタの構成



図DD-16. キー入力割り込み1のブロック図



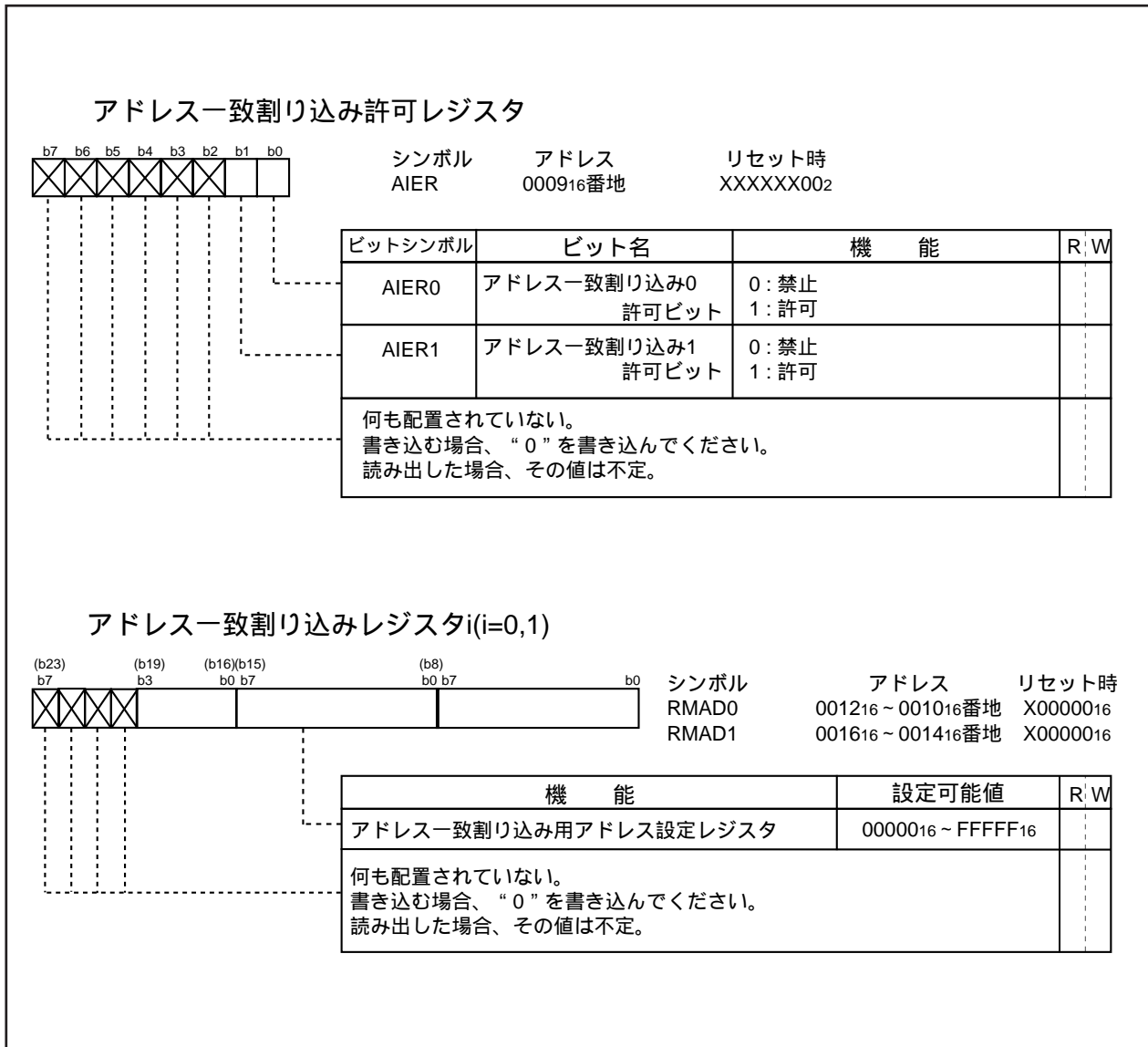
図DD-17. キー入力割り込み1のタイミング図



### アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図DD-18にアドレス一致割り込み関連レジスタの構成を示します。



## 割り込みの注意事項

### (1) 00000<sub>16</sub>番地の読み出し

マスクابل割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000<sub>16</sub>番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000<sub>16</sub>番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000<sub>16</sub>番地に対して読み出しを行わないでください。

### (2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000<sub>16</sub>”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。

リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

### (3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態のリセットをかけないでください。

$\overline{\text{NMI}}$ 端子入力が“L”の状態ではストップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。

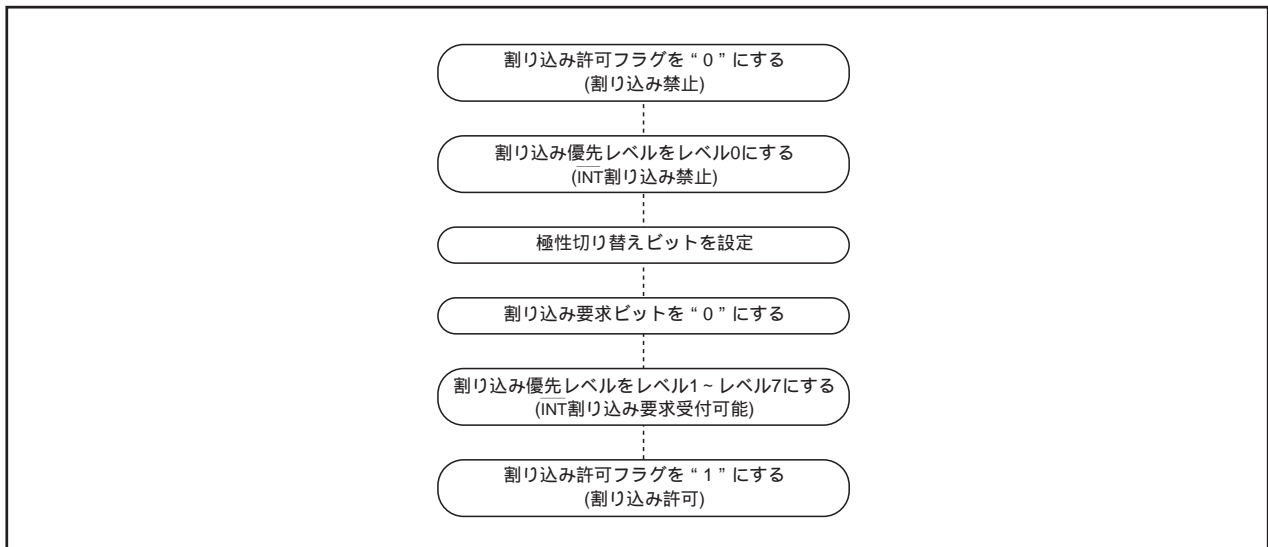
$\overline{\text{NMI}}$ 端子入力が“L”の状態ではウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。

$\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

### (4) 外部割り込み

INT<sub>0</sub> ~ INT<sub>11</sub>端子に入力する信号には、CPUの動作クロックに関係なく380ns以上の“L”レベル幅、または“H”レベル幅が必要です。

INT<sub>0</sub> ~ INT<sub>11</sub>端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図DD-19に示します。



図DD-19. INT割り込み発生要因の切り替え

### (5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```

INT_SWITCH1 :
  FCLR  I          ; 割り込み禁止状態
  AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  NOP          ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET  I          ; 割り込み許可状態
  
```

例 2 :

```

INT_SWITCH2 :
  FCLR  I          ; 割り込み禁止状態
  AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  MOV.W MEM, R0    ; ダミーリード
  FSET  I          ; 割り込み許可状態
  
```

例 3 :

```

INT_SWITCH3 :
  PUSHC FLG
  FCLR  I          ; 割り込み禁止状態
  AND.B #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  POPC  FLG       ; 割り込み許可状態
  
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個（HOLD 機能使用時は 4 個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされることがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET、BTSTC、BTSTS

## 監視タイマ

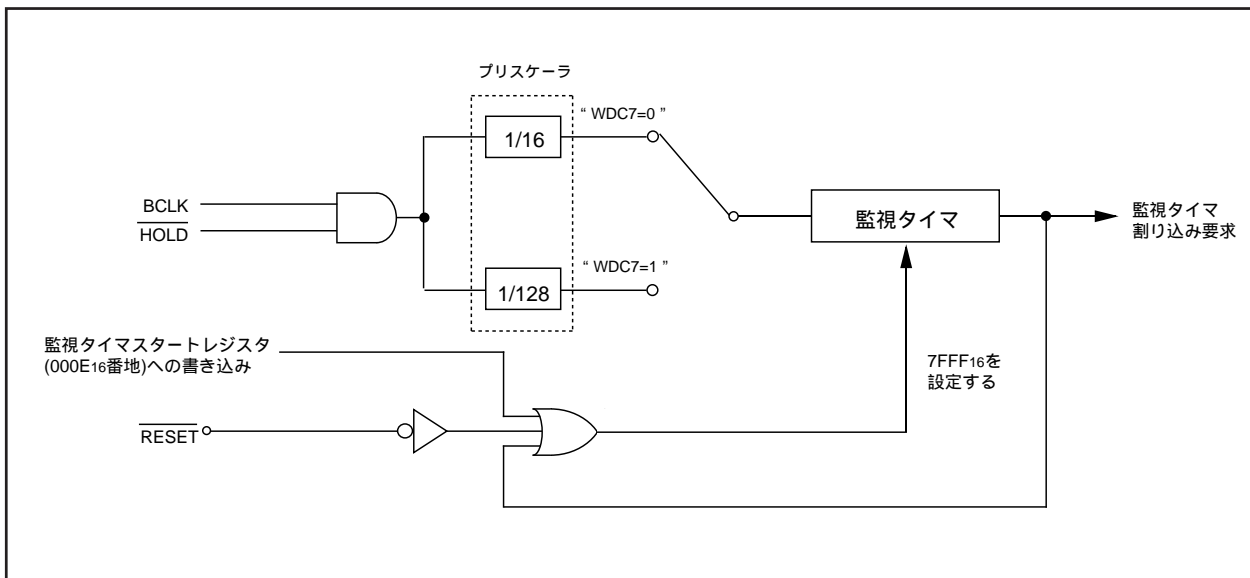
監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケアラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。監視タイマ制御レジスタ(000F<sub>16</sub>番地)のビット7でプリスケアラの分周比に16分周か128分周を選択することができます。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケアラによる誤差が生じます。

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比(16または128)} \times \text{監視タイマのカウント値(32768)}}{\text{BCLK}}$$

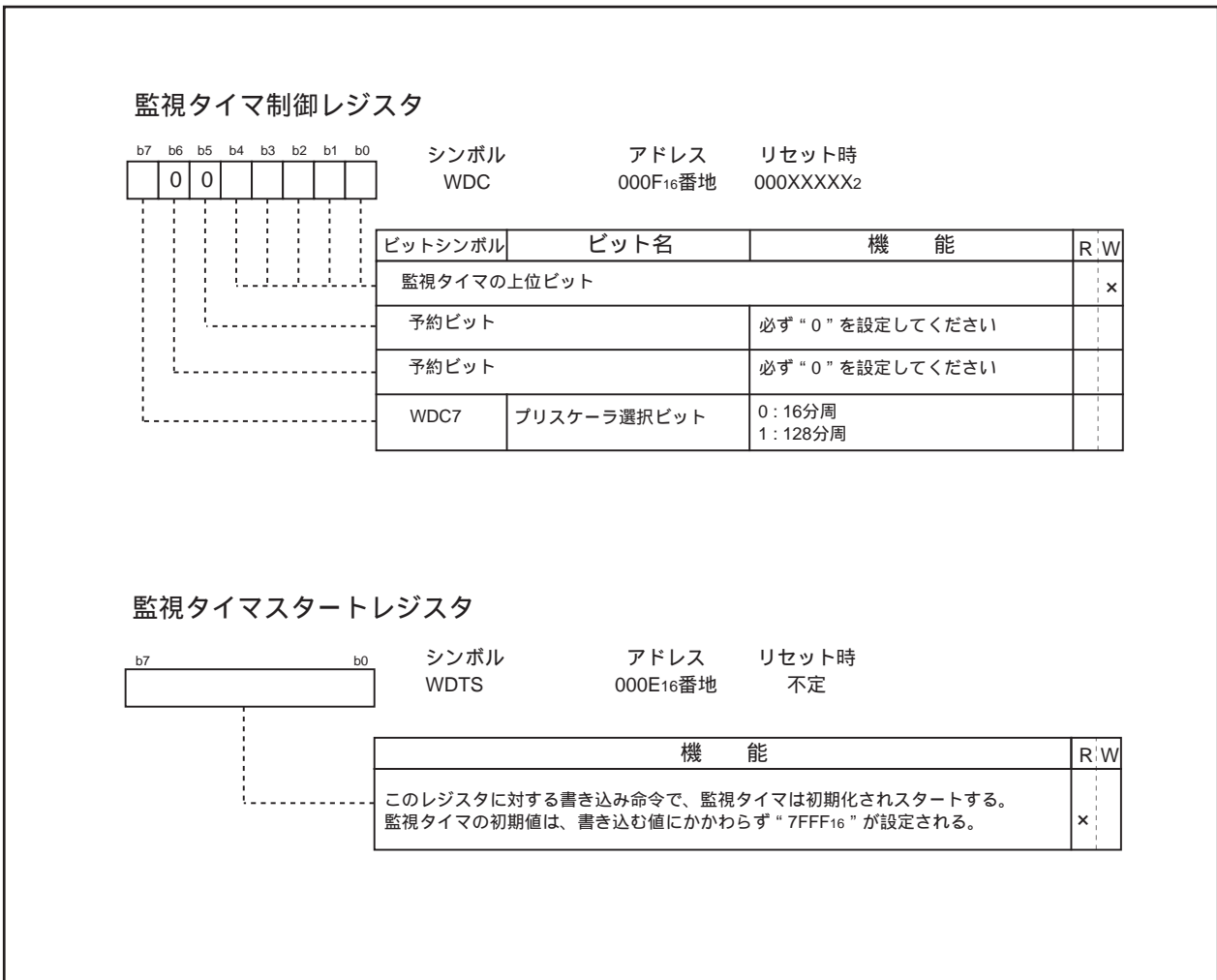
例えば、BCLKが16MHzで、プリスケアラの分周比として16分周を選択している場合、監視タイマの周期は、約32.7msとなります。

監視タイマは、監視タイマスタートレジスタ(000E<sub>16</sub>番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケアラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケアラは停止しており、監視タイマスタートレジスタ(000E<sub>16</sub>番地)への書き込み動作によりカウントを開始します。

図DG-1に監視タイマのブロック図、図DG-2に監視タイマ関連レジスタの構成を示します。



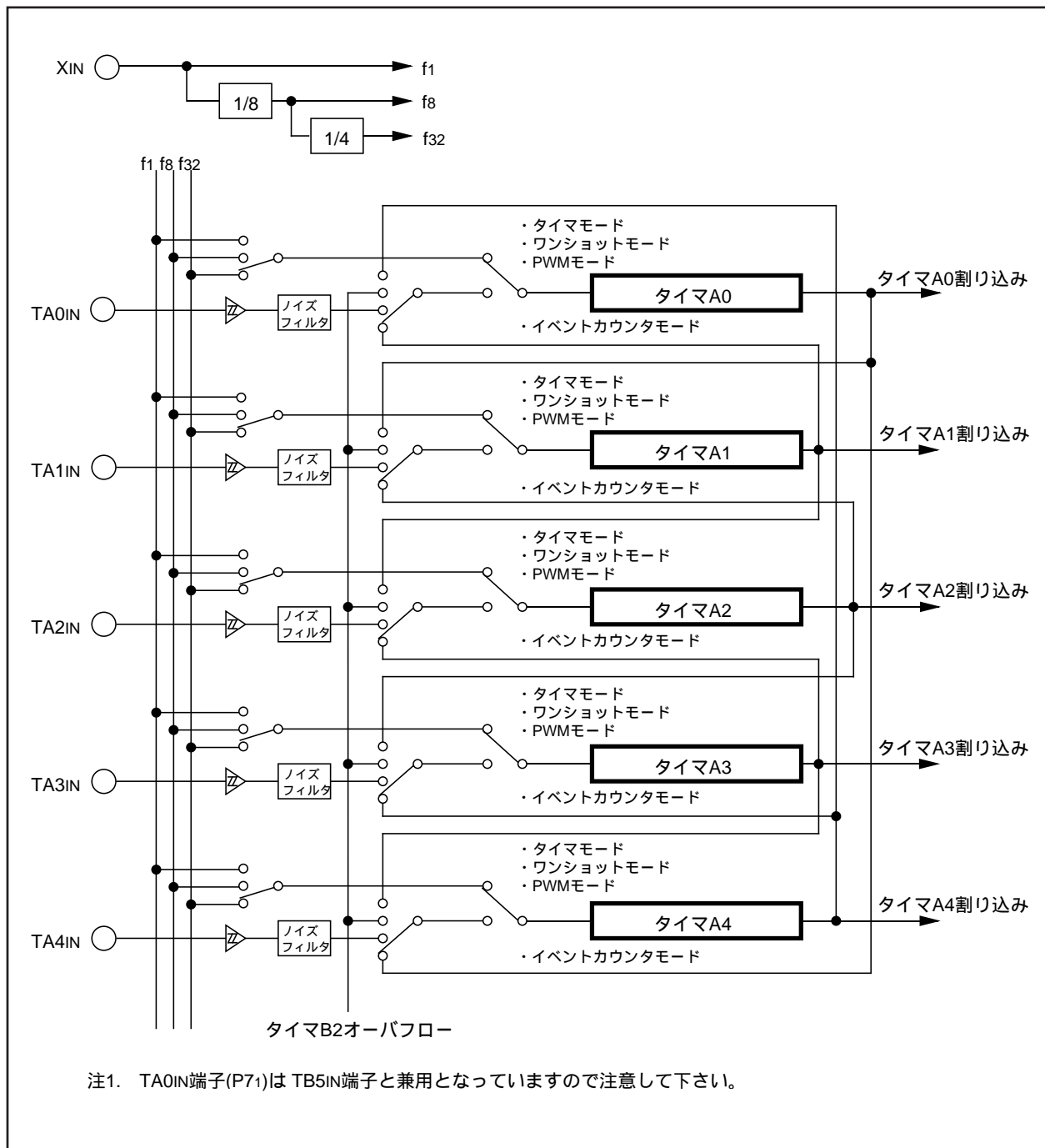
図DG-1. 監視タイマのブロック図



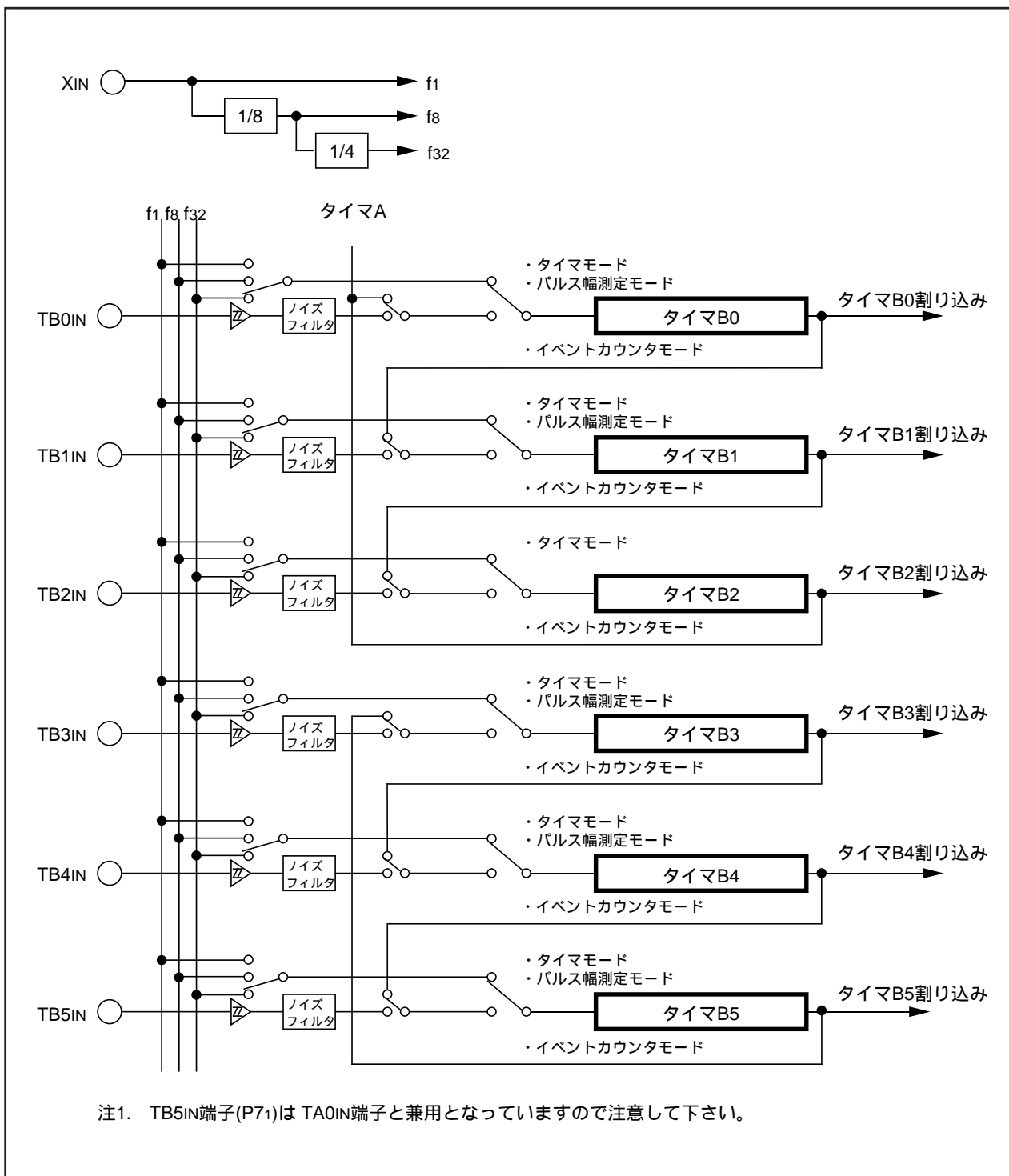
図DG-2. 監視タイマ関連レジスタ

## タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図FB-1にタイマA、図FB-2にタイマBの構成を示します。



図FB-1. タイマA構成



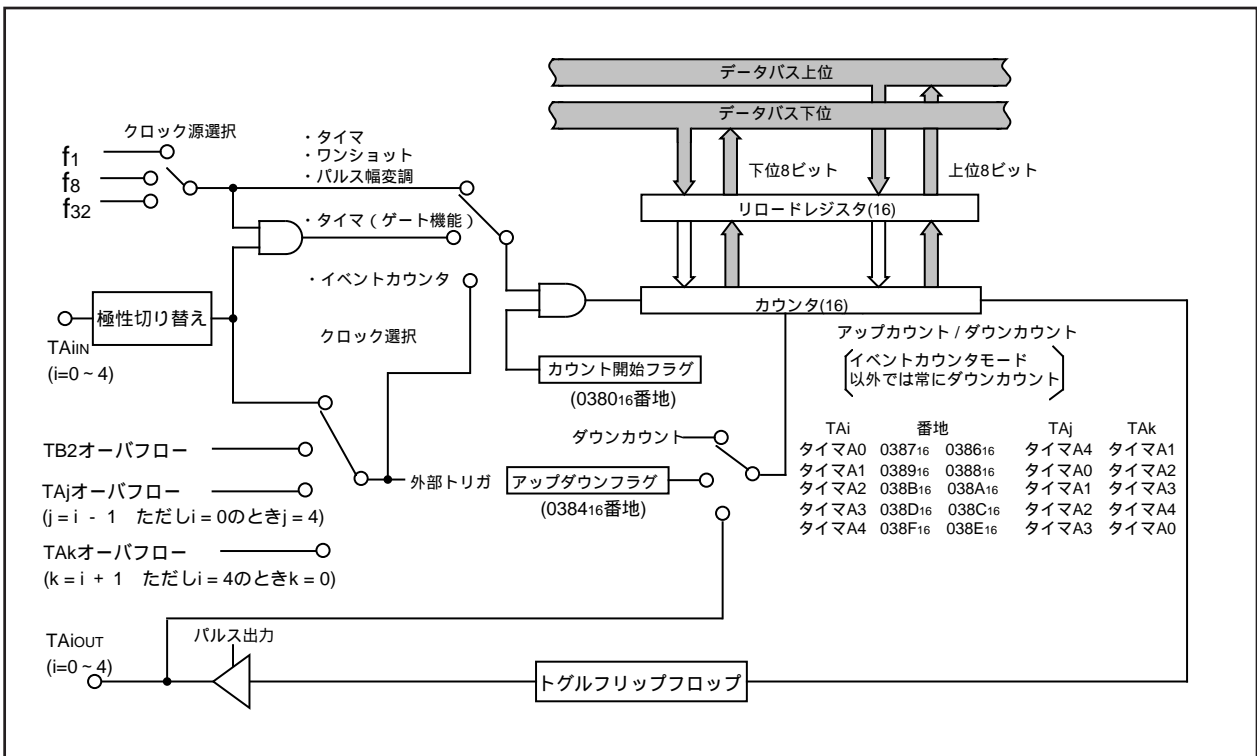
図FB-2. タイマB構成

### タイマA

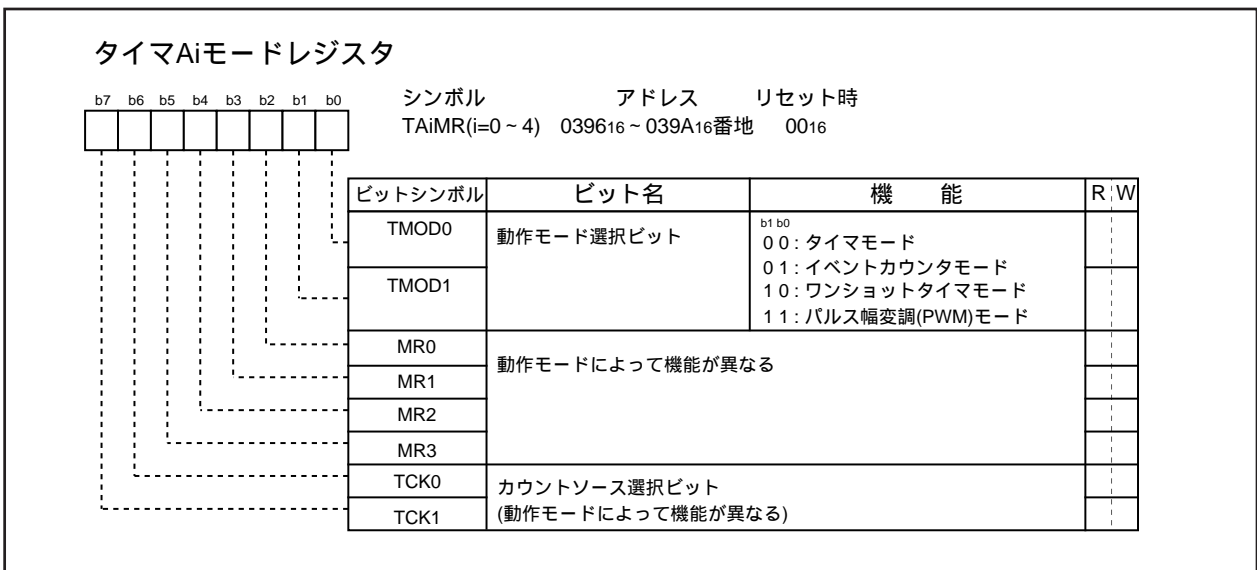
図FB-3にタイマAのブロック図を、図FB-4～図FB-6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・ タイマモード                               内部カウントソースをカウントするモード
- ・ イベントカウンタモード               外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・ ワンショットタイマモード           カウント値が“0000<sub>16</sub>”になるとカウントが止まるモード
- ・ パルス幅変調モード                   任意のパルス幅を連続して出力するモード

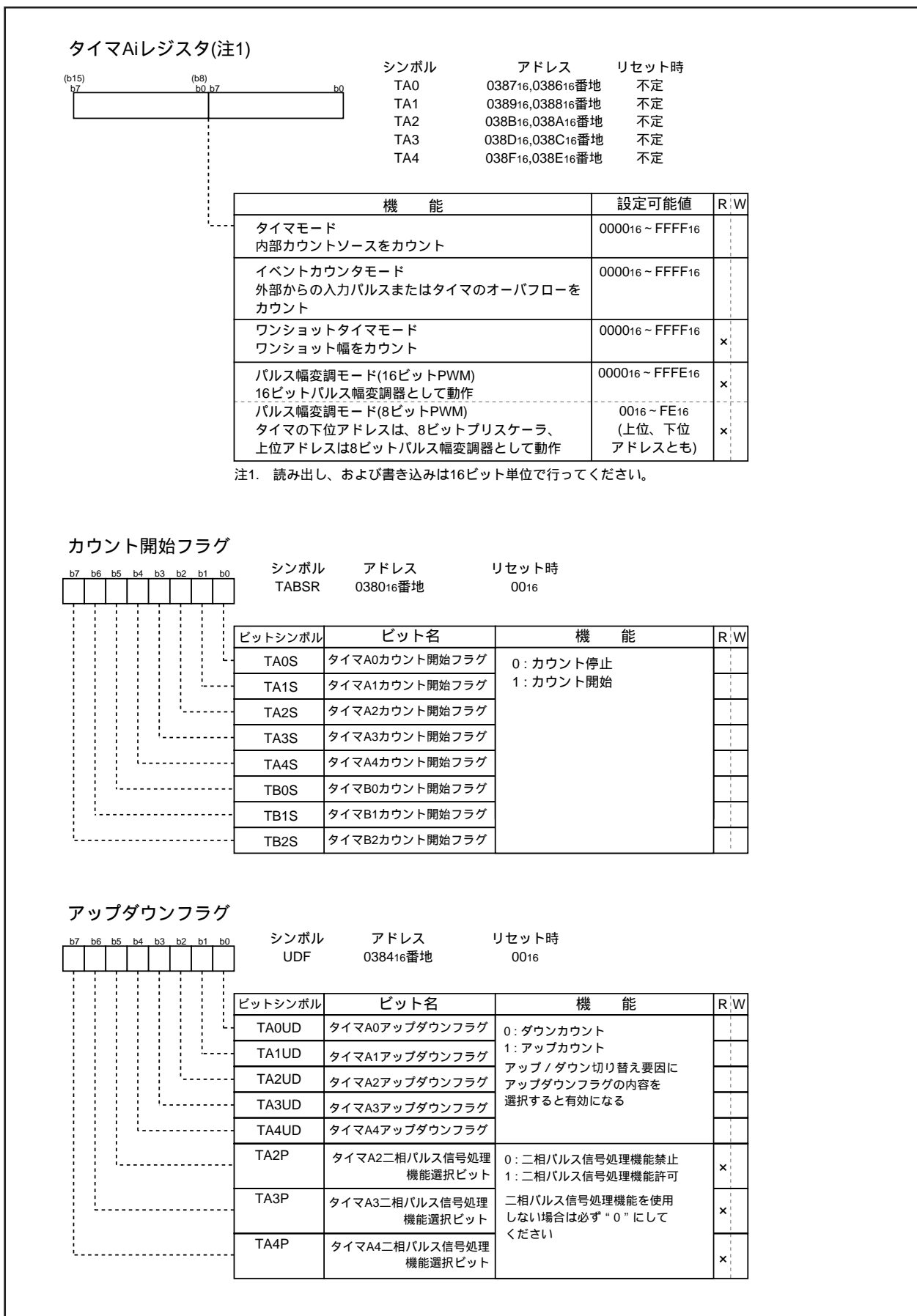


図FB-3. タイマAブロック図



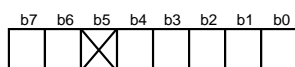
図FB-4. タイマA関連レジスタ(1)





図FB-5. タイマA関連レジスタ(2)

### ワンショット開始フラグ

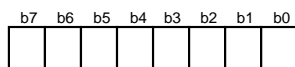


シンボル      アドレス      リセット時  
 ONSF      038216番地      00X000002

ビットシンボル	ビット名	機 能	R/W
TA0OS	タイマA0ワンショット開始フラグ	1: タイマスタート 読み出し時の値は“0”	
TA1OS	タイマA1ワンショット開始フラグ		
TA2OS	タイマA2ワンショット開始フラグ		
TA3OS	タイマA3ワンショット開始フラグ		
TA4OS	タイマA4ワンショット開始フラグ		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0IN端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA4のオーバーフローを選択 11: TA1のオーバーフローを選択	
TA0TGH			

注1. 対応するポート方向レジスタは“0”にしてください。

### トリガ選択レジスタ



シンボル      アドレス      リセット時  
 TRGSR      038316番地      0016

ビットシンボル	ビット名	機 能	R/W
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 00: TA1IN端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA0のオーバーフローを選択 11: TA2のオーバーフローを選択	
TA1TGH			
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 00: TA2IN端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA1のオーバーフローを選択 11: TA3のオーバーフローを選択	
TA2TGH			
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 00: TA3IN端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA2のオーバーフローを選択 11: TA4のオーバーフローを選択	
TA3TGH			
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 00: TA4IN端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA3のオーバーフローを選択 11: TA0のオーバーフローを選択	
TA4TGH			

注1. 対応するポート方向レジスタは“0”にしてください。

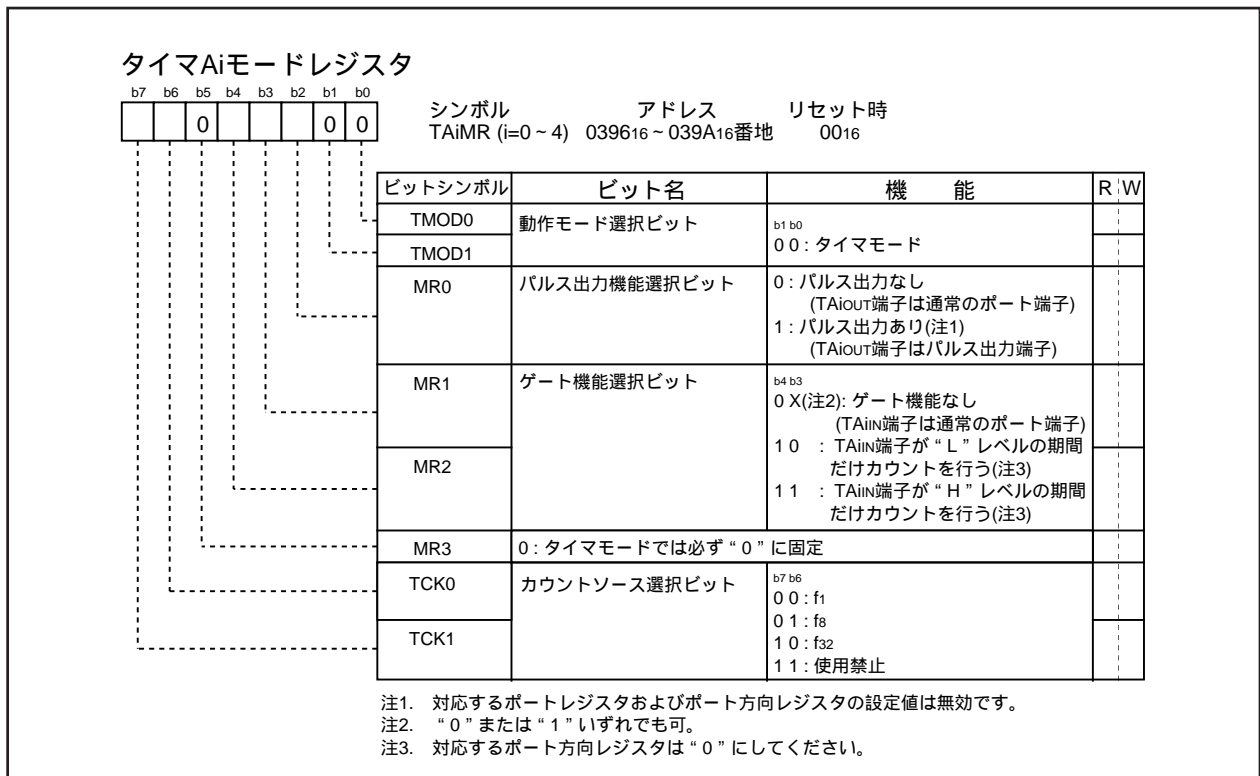
図FB-6. タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表FB-1)。図FB-7にタイマモード時のタイマAiモードレジスタの構成を示します。

表FB-1. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転



図FB-7. タイマモード時のタイマAiモードレジスタの構成

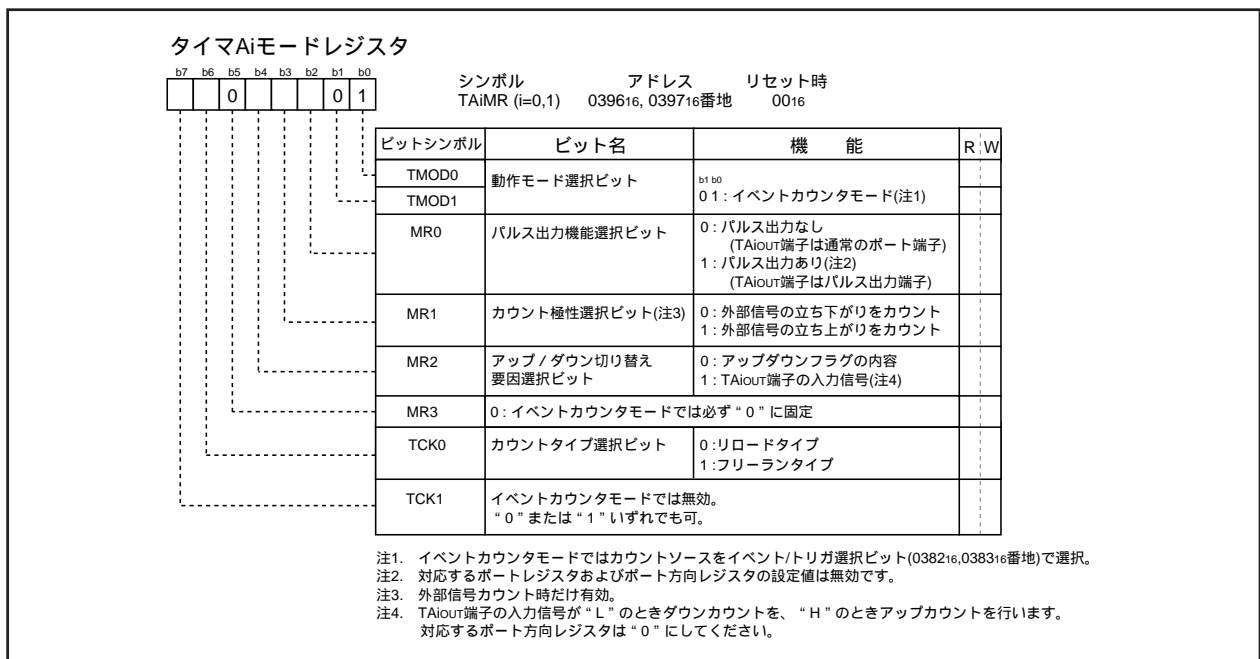
## (2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表FB-2に、タイマAiモードレジスタの構成を図FB-8に示します。二相の外部信号をカウントする場合の仕様を表FB-3に、タイマAiモードレジスタの構成を図FB-9に示します。

表FB-2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項 目	仕 様
カウントソース	TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバフロー、TAjのオーバフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF16 - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローすることにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。



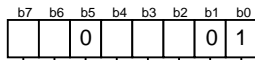
図FB-8. イベントカウンタモード時のタイマAiモードレジスタの構成

表FB-3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	<p>通常処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。</p>  <p>4通倍処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。</p> 

注1. フリーラン機能選択時は除く。

タイマAiモードレジスタ  
(二相パルス信号処理を使用しない場合)

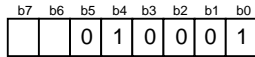


シンボル                      アドレス                      リセット時  
TAiMR(i=2~4)    0398<sub>16</sub> ~ 039A<sub>16</sub>番地    00<sub>16</sub>

ビットシンボル	ビット名	機 能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード		
TMOD1				
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiout端子は通常のポート端子) 1: パルス出力あり(注1) (TAiout端子はパルス出力端子)		
MR1	カウント極性選択ビット(注2)	0: 外部信号の立ち下がりをカウント 1: 外部信号の立ち上がりをカウント		
MR2	アップ/ダウン切り替え 要因選択ビット	0: アップダウンフラグの内容 1: TAiout端子の入力信号(注3)		
MR3		0: イベントカウンタモードモードでは必ず“0”に固定		
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ		
TCK1	二相パルス処理動作選択 ビット(注4)(注5)	0: 通常処理動作 1: 4 通倍処理動作		

- 注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
- 注2. 外部信号カウント時だけ有効。
- 注3. 対応するポート方向レジスタは“0”にしてください。
- 注4. このビットはタイマA3モードレジスタにおいて有効。  
タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
- 注5. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384<sub>16</sub>番地)は“1”に、  
イベント/トリガ選択ビット(0382<sub>16</sub>,0383<sub>16</sub>番地)は“00”にしてください。

タイマAiモードレジスタ  
(二相パルス信号処理を使用する場合)



シンボル                      アドレス                      リセット時  
TAiMR(i=2~4)    0398<sub>16</sub> ~ 039A<sub>16</sub>番地    00<sub>16</sub>

ビットシンボル	ビット名	機 能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード		
TMOD1				
MR0		0: 二相パルス信号処理使用時では必ず“0”に固定		
MR1		0: 二相パルス信号処理使用時では必ず“0”に固定		
MR2		1: 二相パルス信号処理使用時では必ず“1”に固定		
MR3		0: 二相パルス信号処理使用時では必ず“0”に固定		
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ		
TCK1	二相パルス処理動作選択 ビット(注1)(注2)	0: 通常処理動作 1: 4 通倍処理動作		

- 注1. このビットはタイマA3モードレジスタにおいて有効。  
タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
- 注2. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384<sub>16</sub>番地)は“1”に、  
イベント/トリガ選択ビット(0382<sub>16</sub>,0383<sub>16</sub>番地)は“00”にしてください。

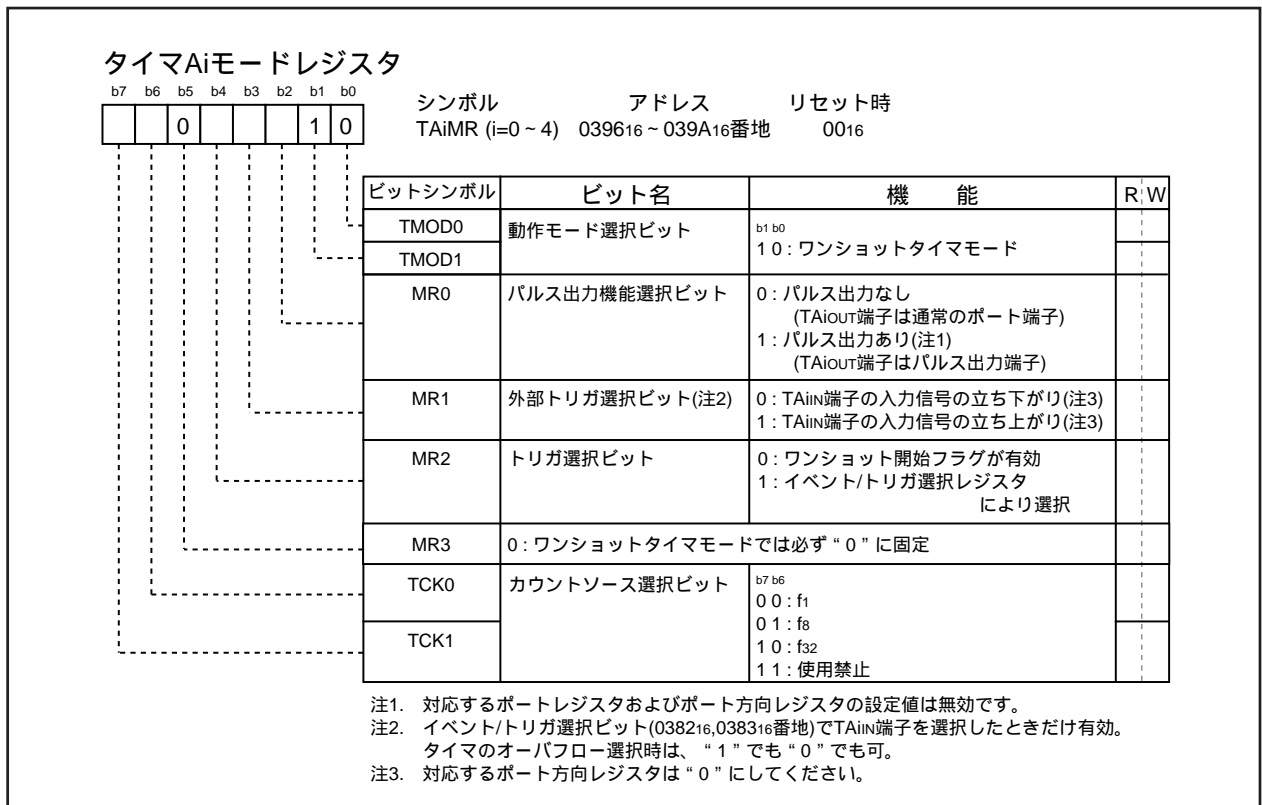
図FB-9. イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表FB-4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図FB-10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表FB-4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32
カウント動作	ダウンカウント カウントの値が0000 <sub>16</sub> になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 <sub>16</sub> になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 <sub>16</sub> になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図FB-10. ワンショットタイマモード時のタイマAiモードレジスタの構成

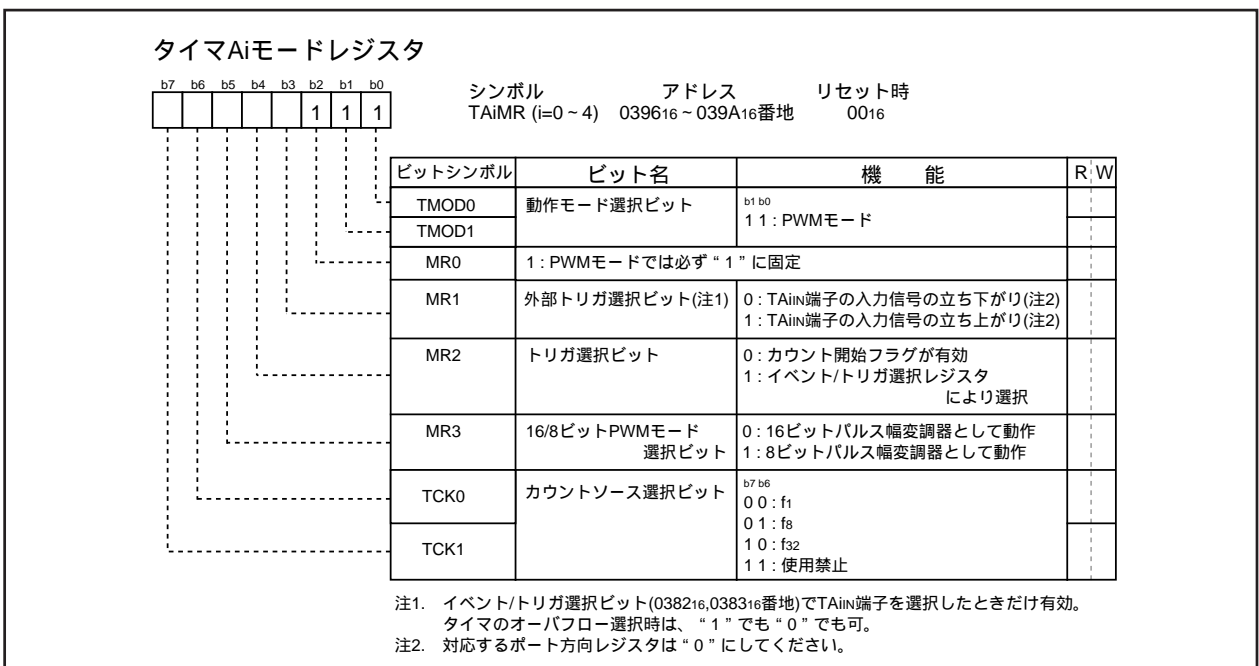


(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表FB-5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図FB-11にパルス幅変調モード時のタイマAiモードレジスタの構成、図FB-12に16ビットパルス幅変調器の動作例、および図FB-13に8ビットパルス幅変調器の動作例を示します。

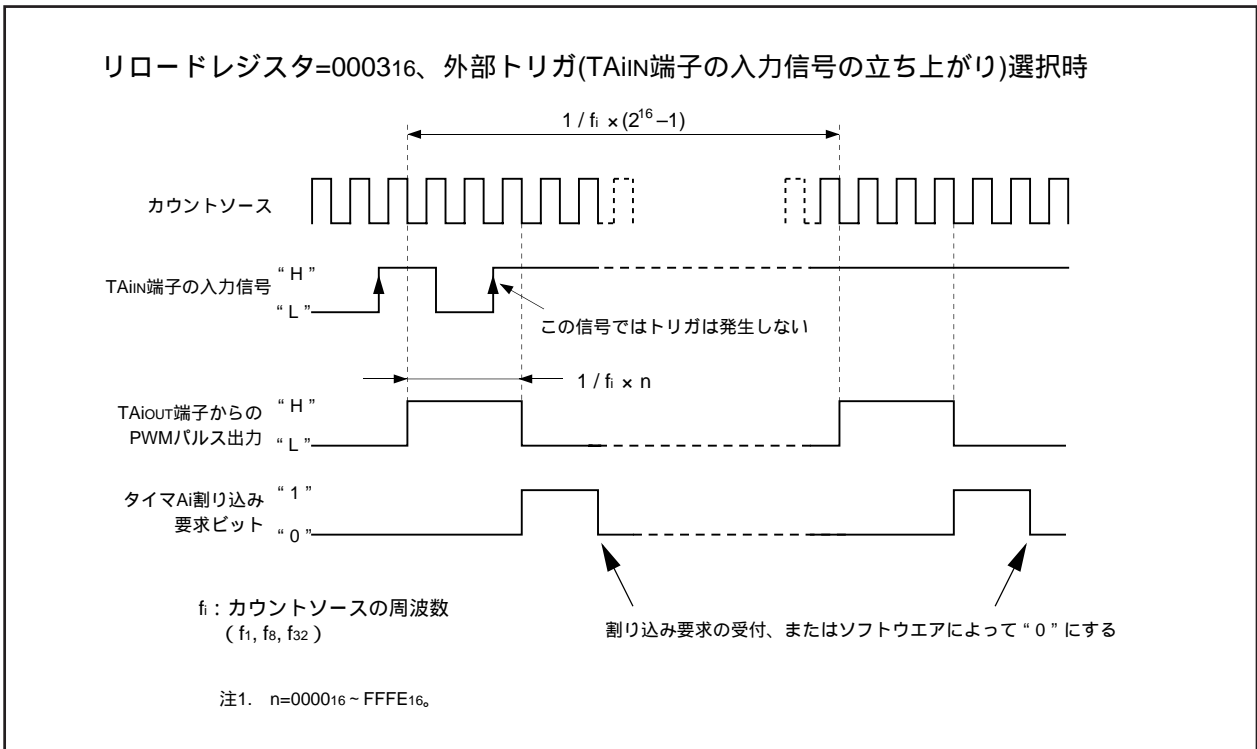
表FB-5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 $n / f_i$ n: 設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n: タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m: タイマAiレジスタの下位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

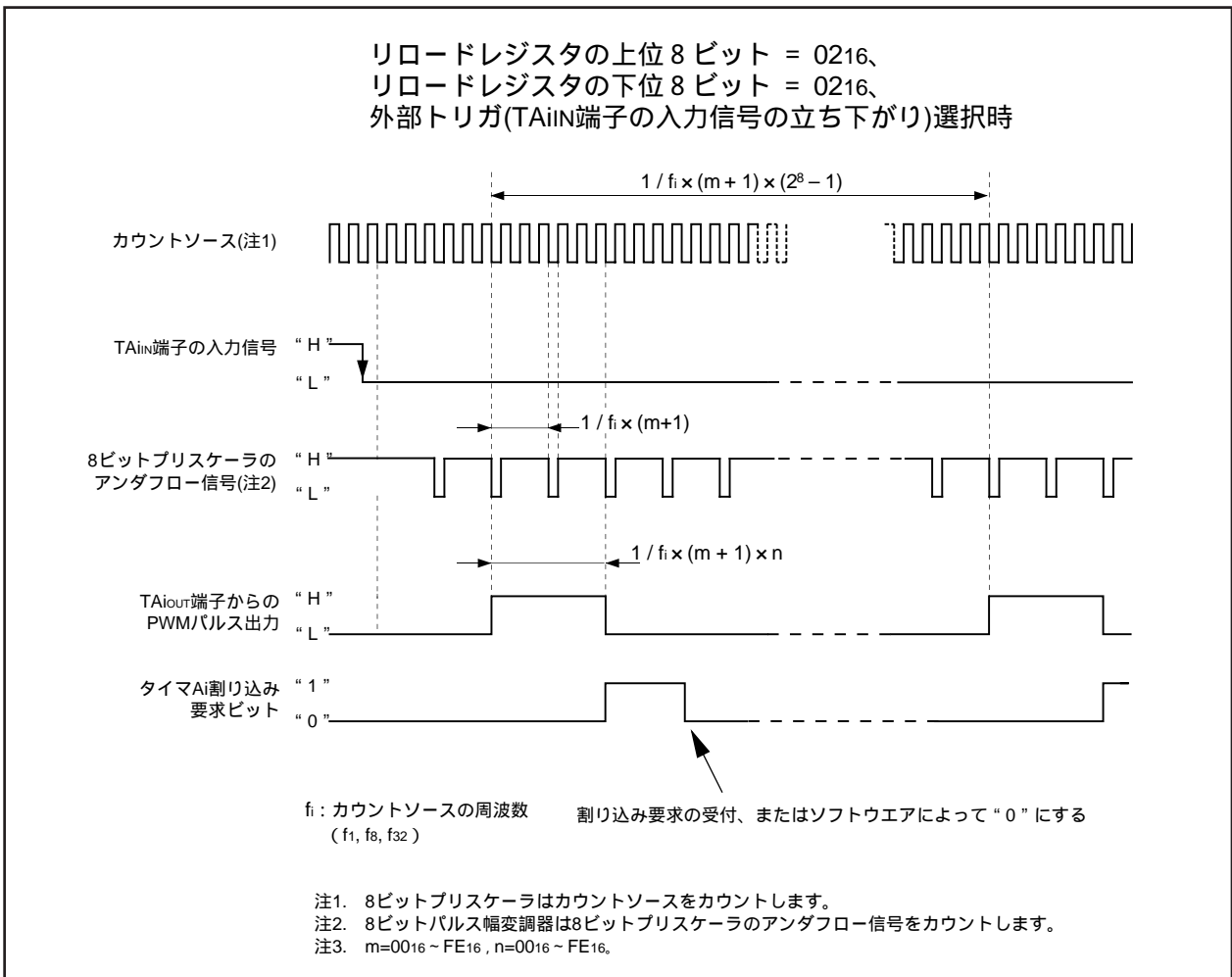


図FB-11. パルス幅変調モード時のタイマAiモードレジスタの構成





図FB-12. 16ビットパルス幅変調器の動作例



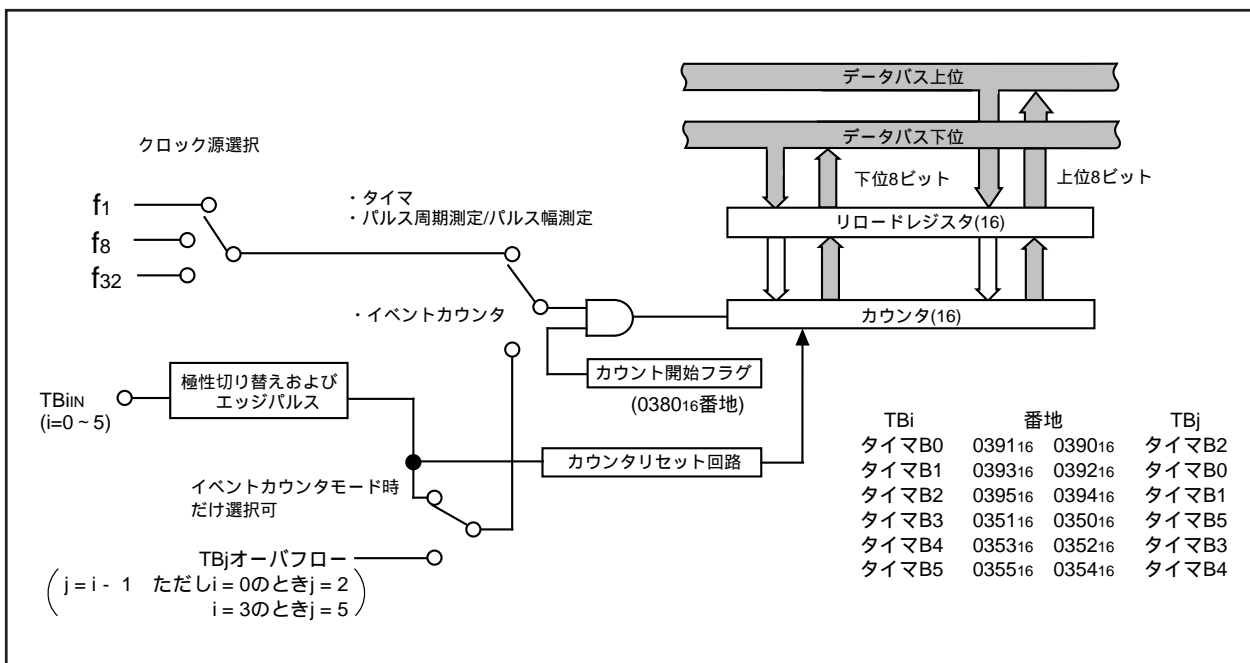
図FB-13. 8ビットパルス幅変調器の動作例

## タイマB

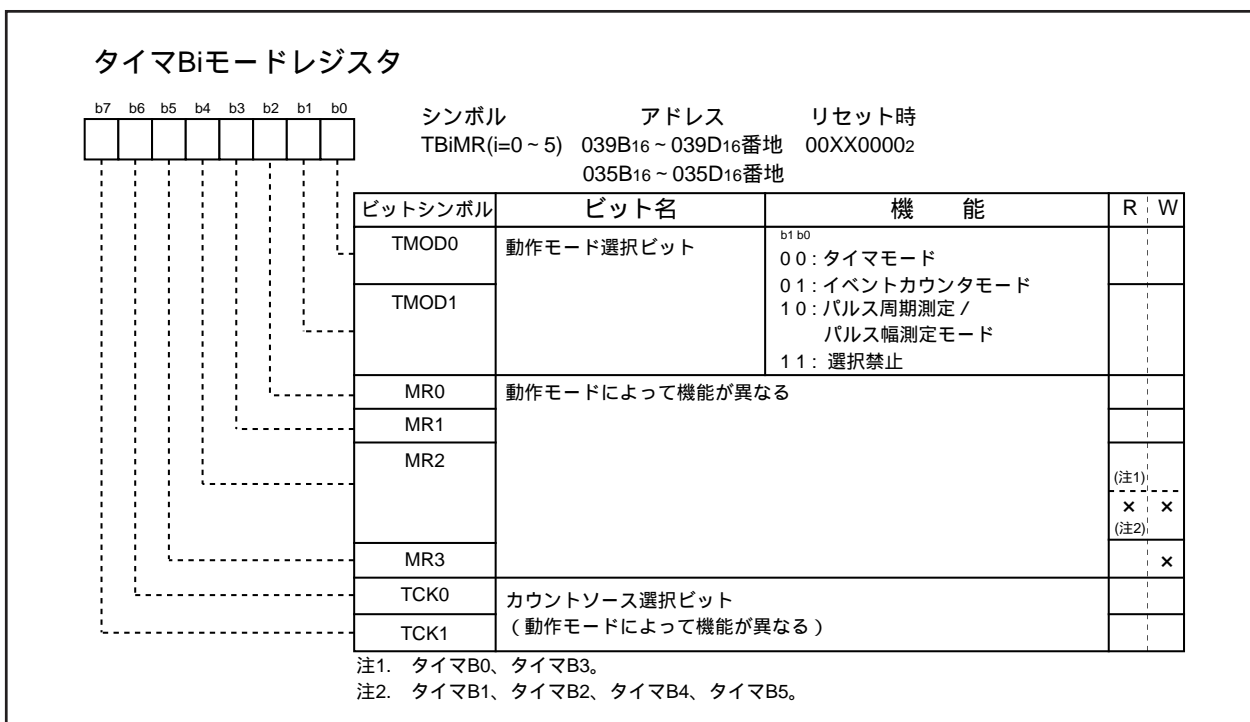
図FB-14にタイマBのブロック図を、図FB-15、図FB-16にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0~5)のビット0とビット1で選択できます。

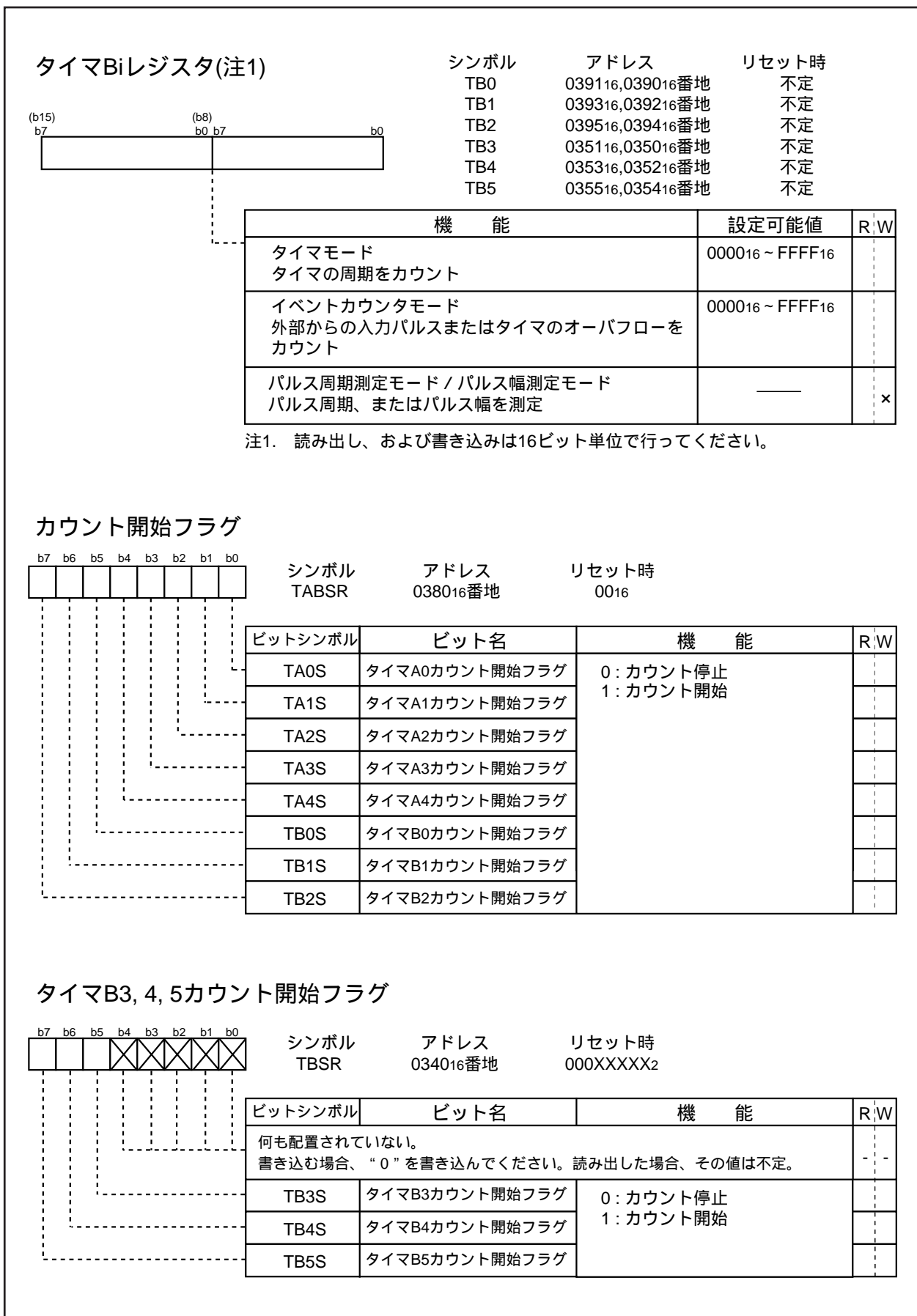
- ・タイマモード                   内部カウントソースをカウントするモード
- ・イベントカウンタモード       外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・パルス周期測定/パルス幅測定モード  外部パルスの周期またはパルス幅を測定するモード



図FB-14. タイマBブロック図



図FB-15. タイマB関連レジスタ(1)



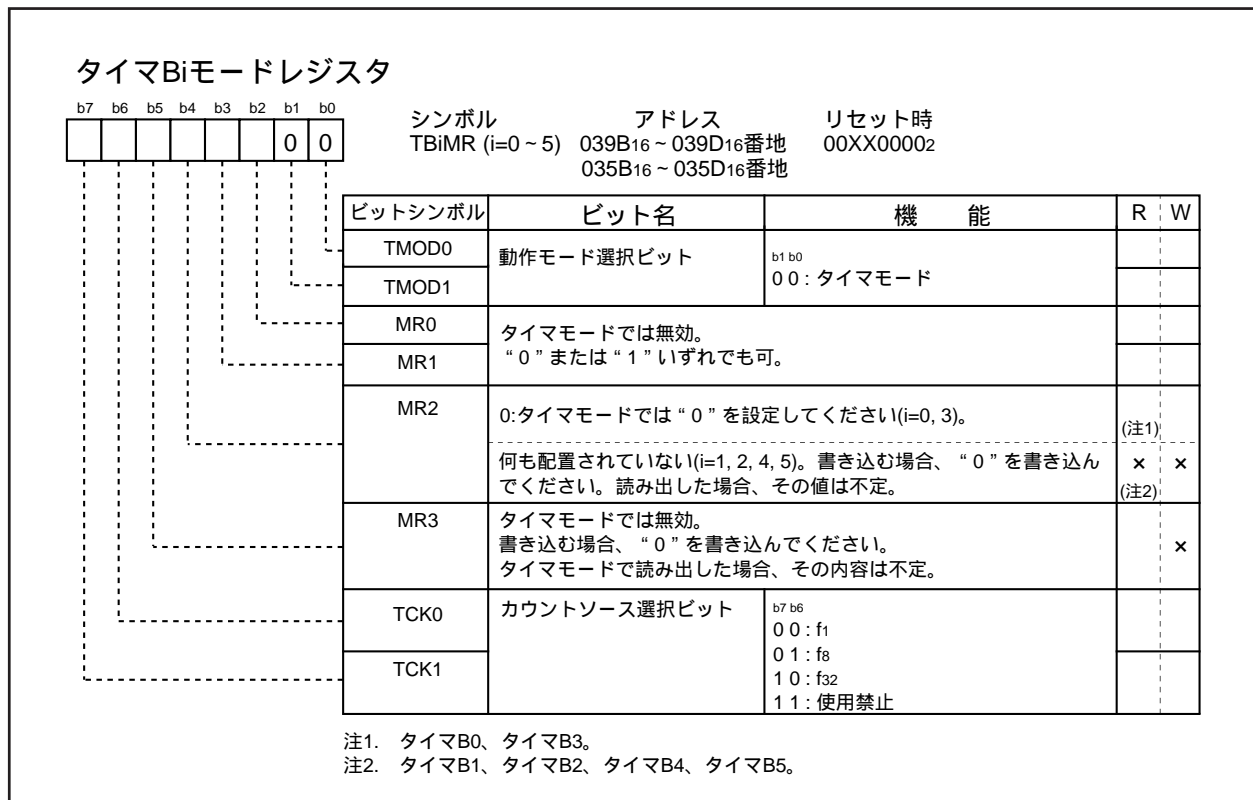
図FB-16. タイマB関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表FB-6)。図FB-17にタイマモード時のタイマBiモードレジスタの構成を示します。

表FB-6. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



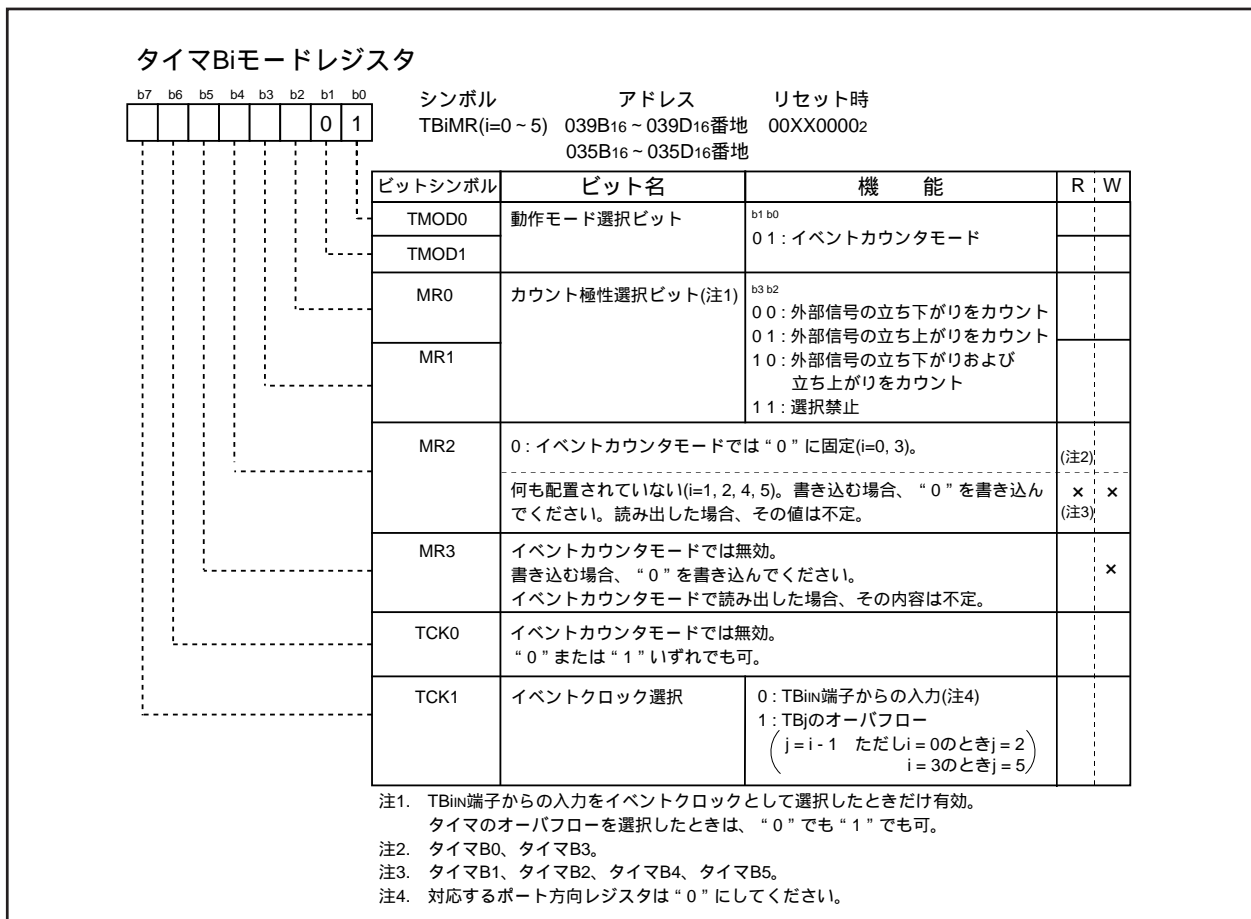
図FB-17. タイマモード時のタイマBiモードレジスタの構成

## (2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表FB-7)。タイマBiレジスタの構成を図FB-18に示します。

表FB-7. イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIn端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上りをソフトウェアによって選択可
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIn端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図FB-18. イベントカウンタモード時のタイマBiモードレジスタの構成

### (3) パルス周期測定 / パルス幅測定モード

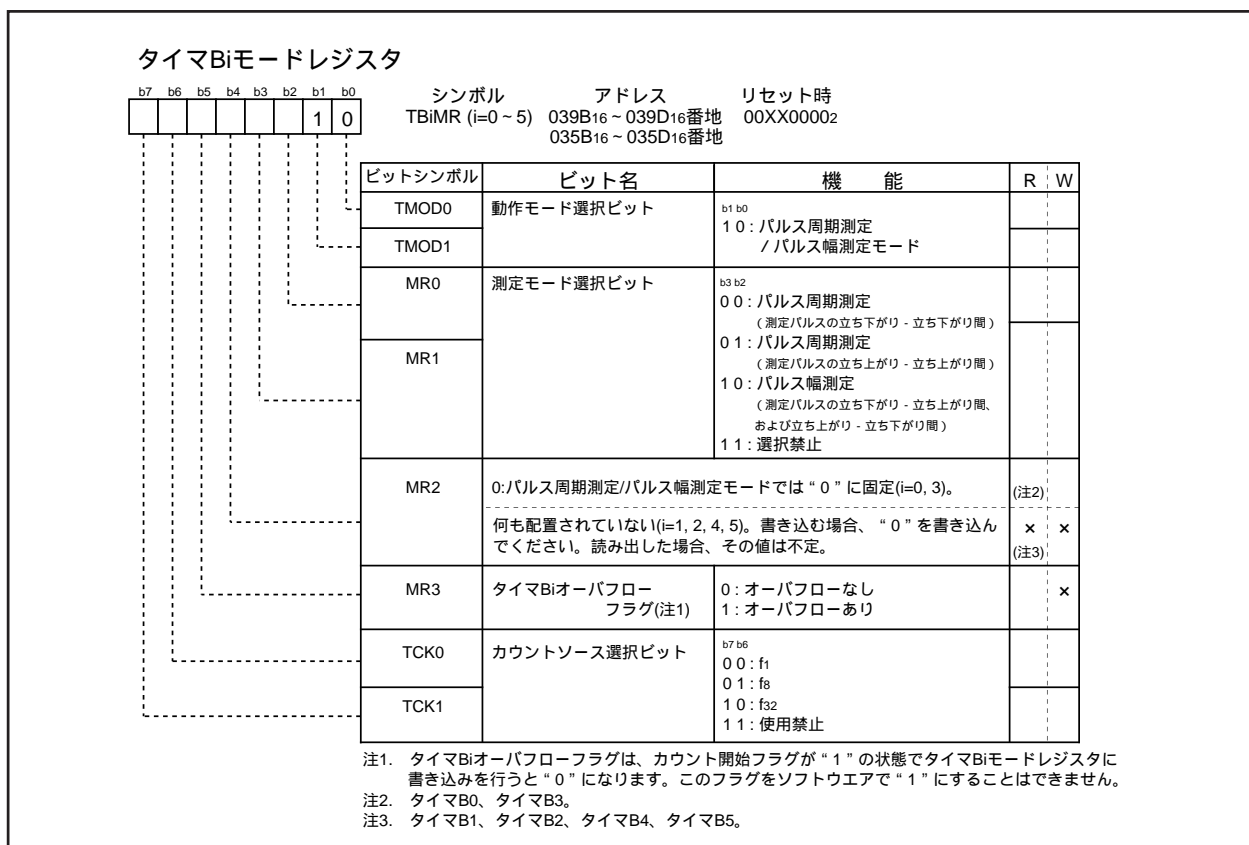
外部信号のパルス周期、またはパルス幅を測定するモードです(表FB-8)。図FB-19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図FB-20にパルス周期測定時の動作図、および図FB-21にパルス幅測定時の動作図を示します。

表FB-8. パルス周期測定 / パルス幅測定モードの仕様

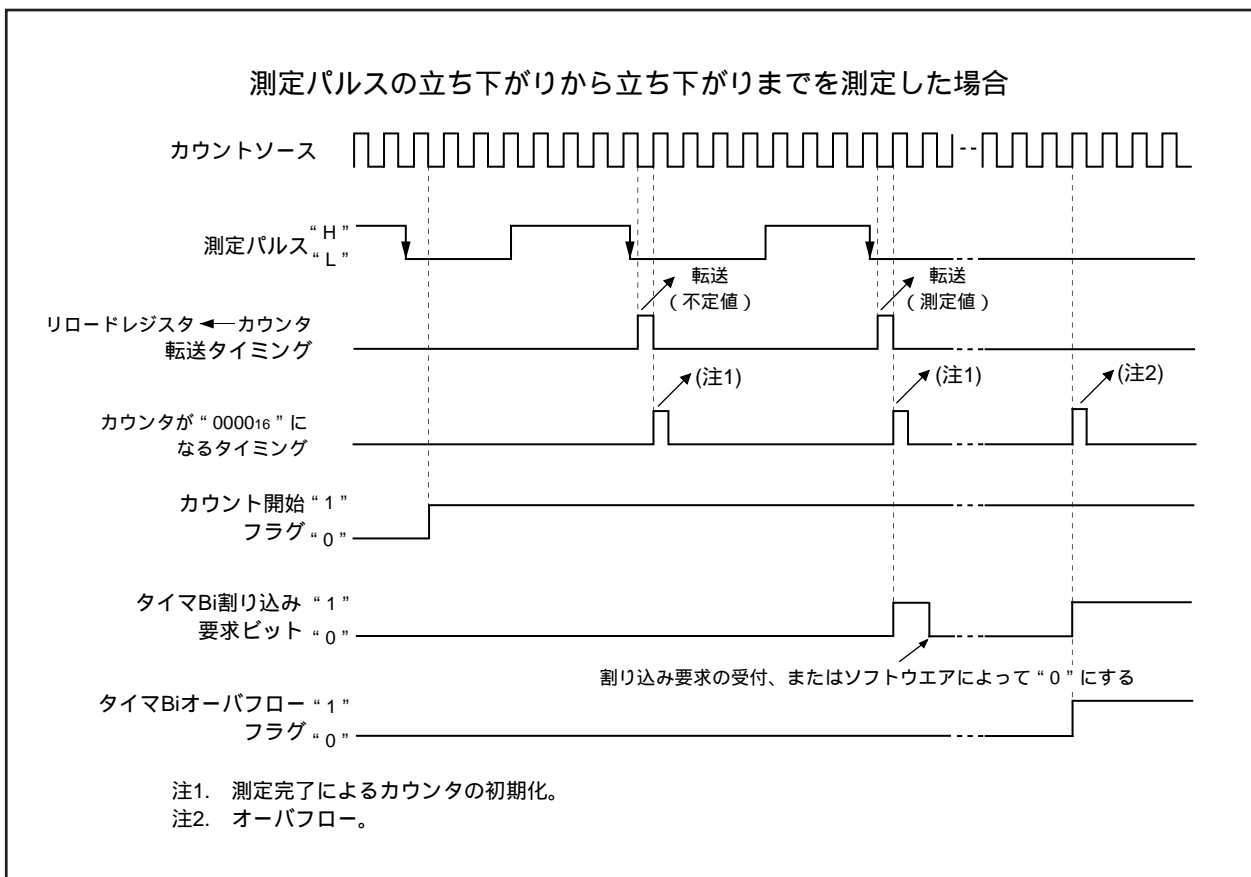
項目	仕様
カウントソース	f1, f8, f32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 <sub>16</sub> ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態ではタイマBiモードレジスタ書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

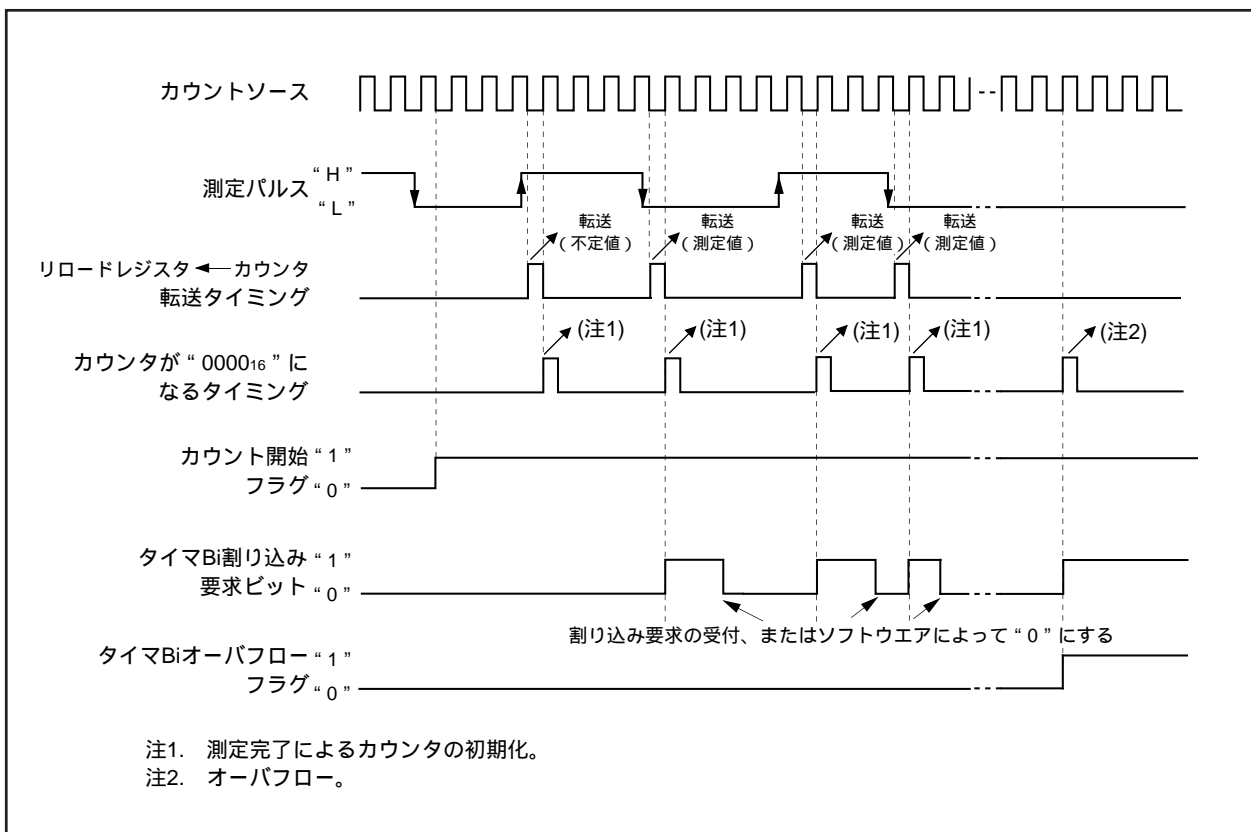
注2. カウント開始後 2 回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。



図FB-19. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成



図FB-20. パルス周期測定時の動作図



図FB-21. パルス幅測定時の動作図

## シリアルI/O

シリアルI/Oは、UART1およびS I/O3, 4の3チャンネルで構成しています。  
次にそれぞれについて説明します。

### UART1

図GA-1にUART1のブロック図を、図GA-2に送受信部のブロック図を示します。

UART1は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A8<sub>16</sub>番地のビット0～ビット2)の内容で選択します。

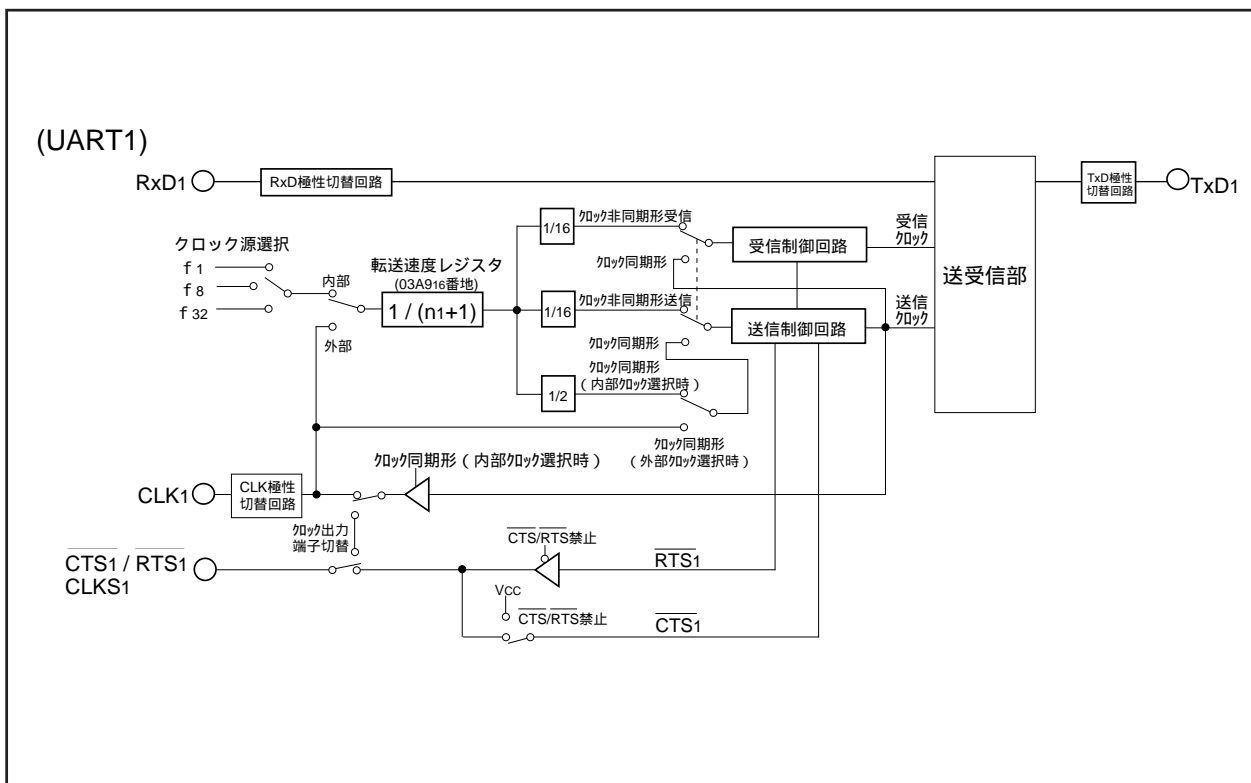
表GA-1にUART1を、図GA-3～図GA-7に、UART1関連のレジスタを示します。

表GA-1. UART1の機能一覧表

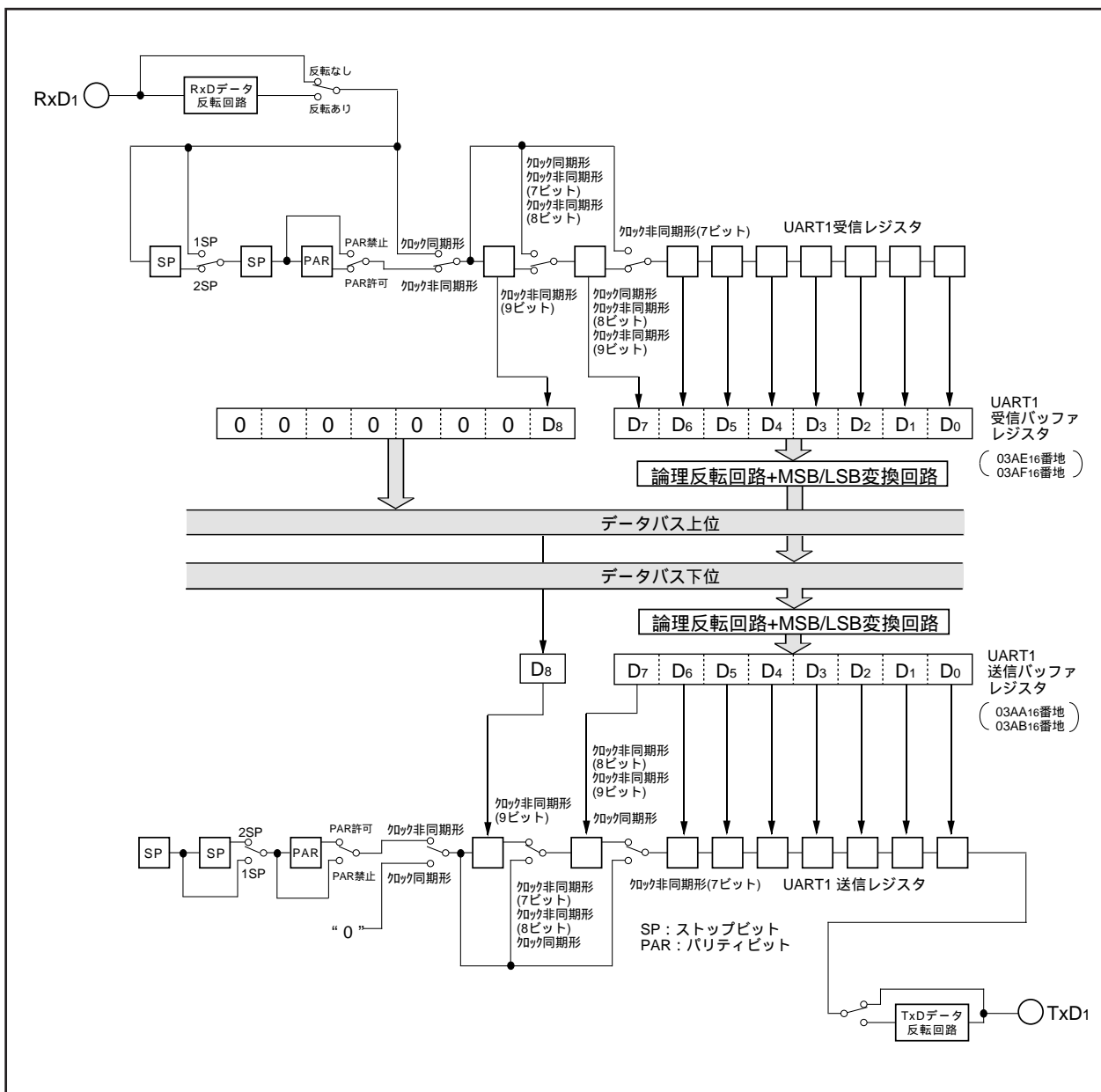
機 能	UART1
CLK極性選択	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)
連続受信モード選択	可 (注1)
転送クロック複数端子出力選択	可 (注1)
シリアルデータ論理切り替え	可
TxD、RxD入出力極性切り替え	可
TxD端子出力形式	CMOS出力

注1. クロック同期形シリアルI/Oモード時に選択できます。

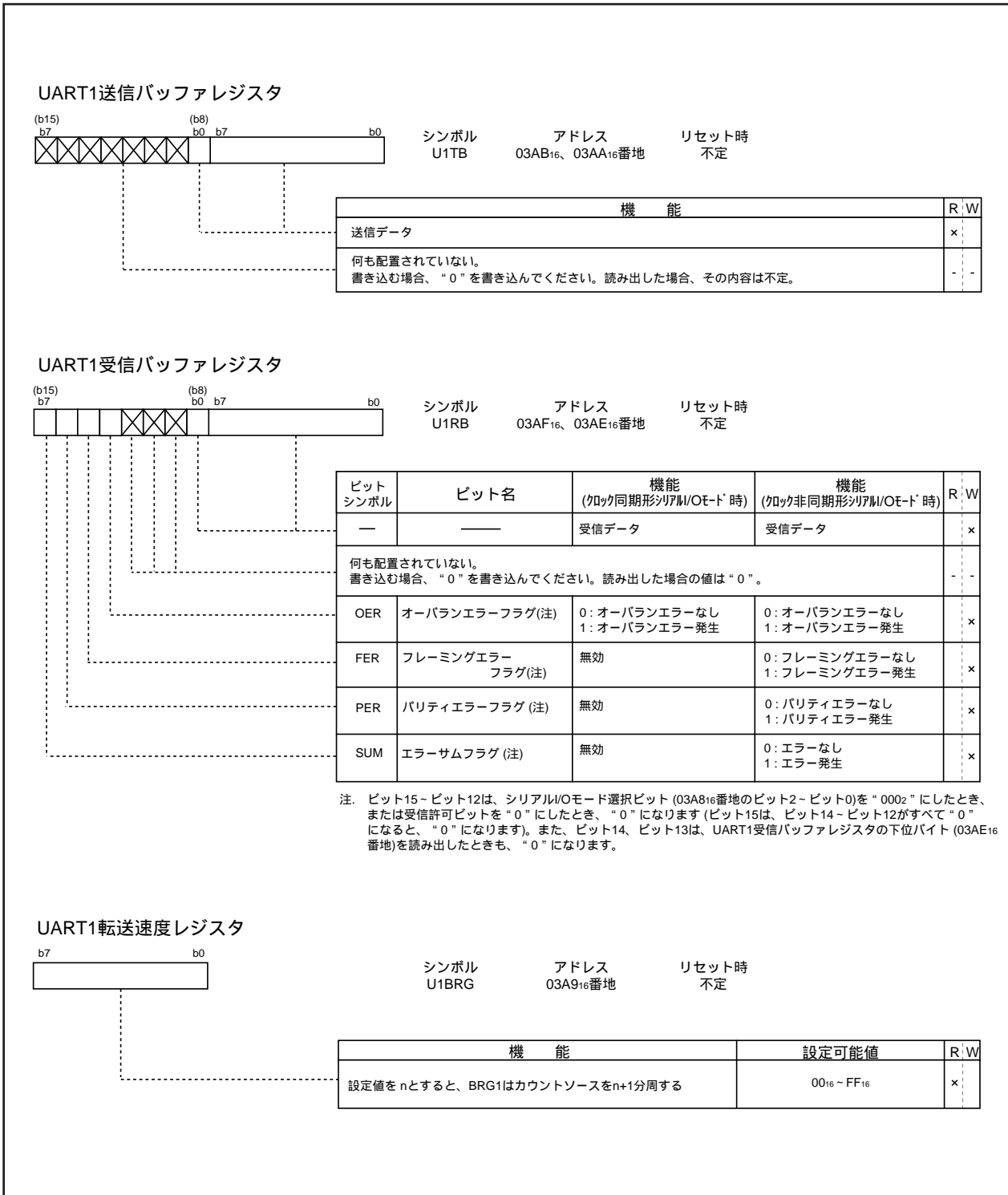




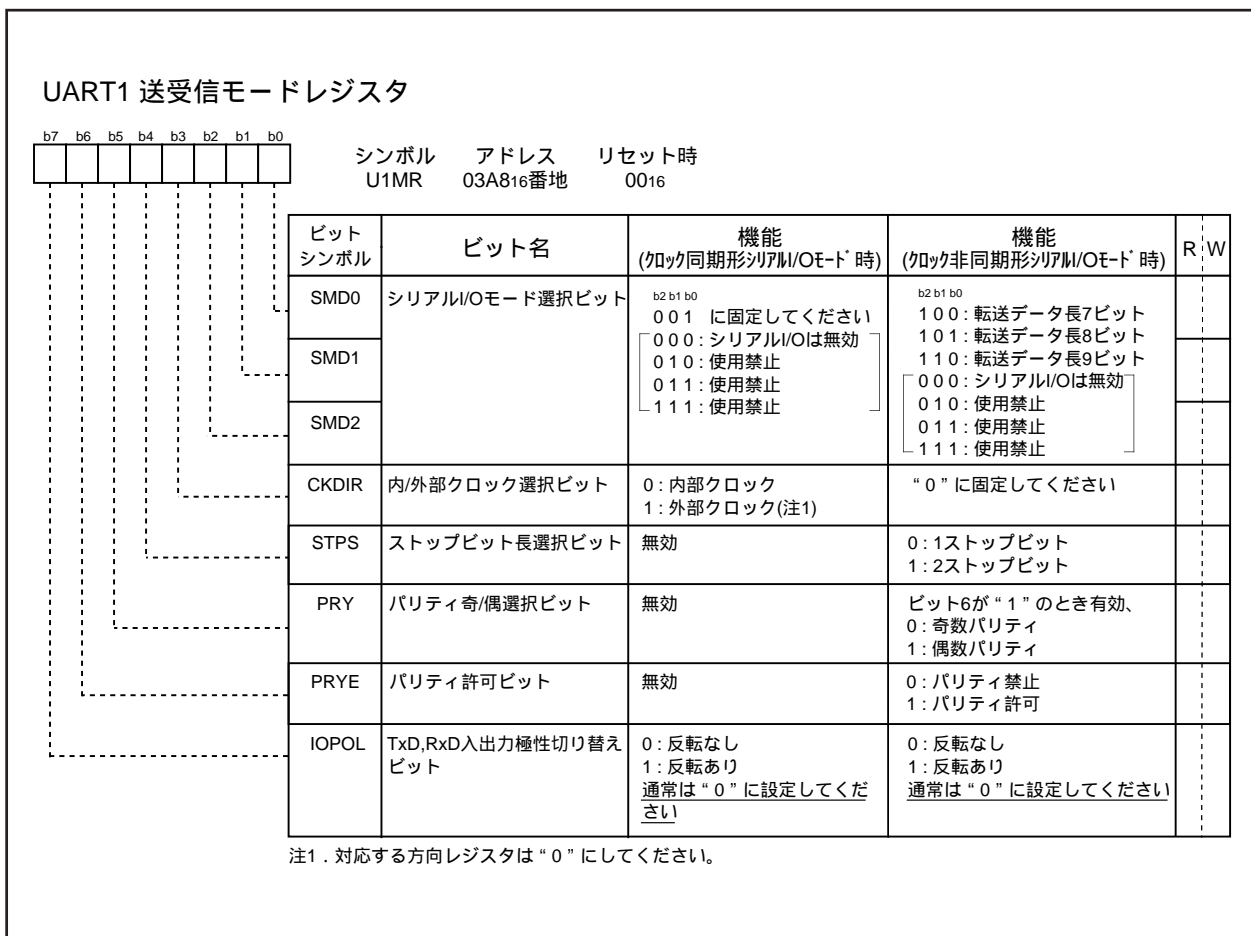
図GA-1. UART1ブロック図



図GA-2. UART1送受信部ブロック図



図GA-3. UART1関連のレジスタ (1)



図GA-4. UART1関連のレジスタ (2)

### UART1 送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル  
U1C0

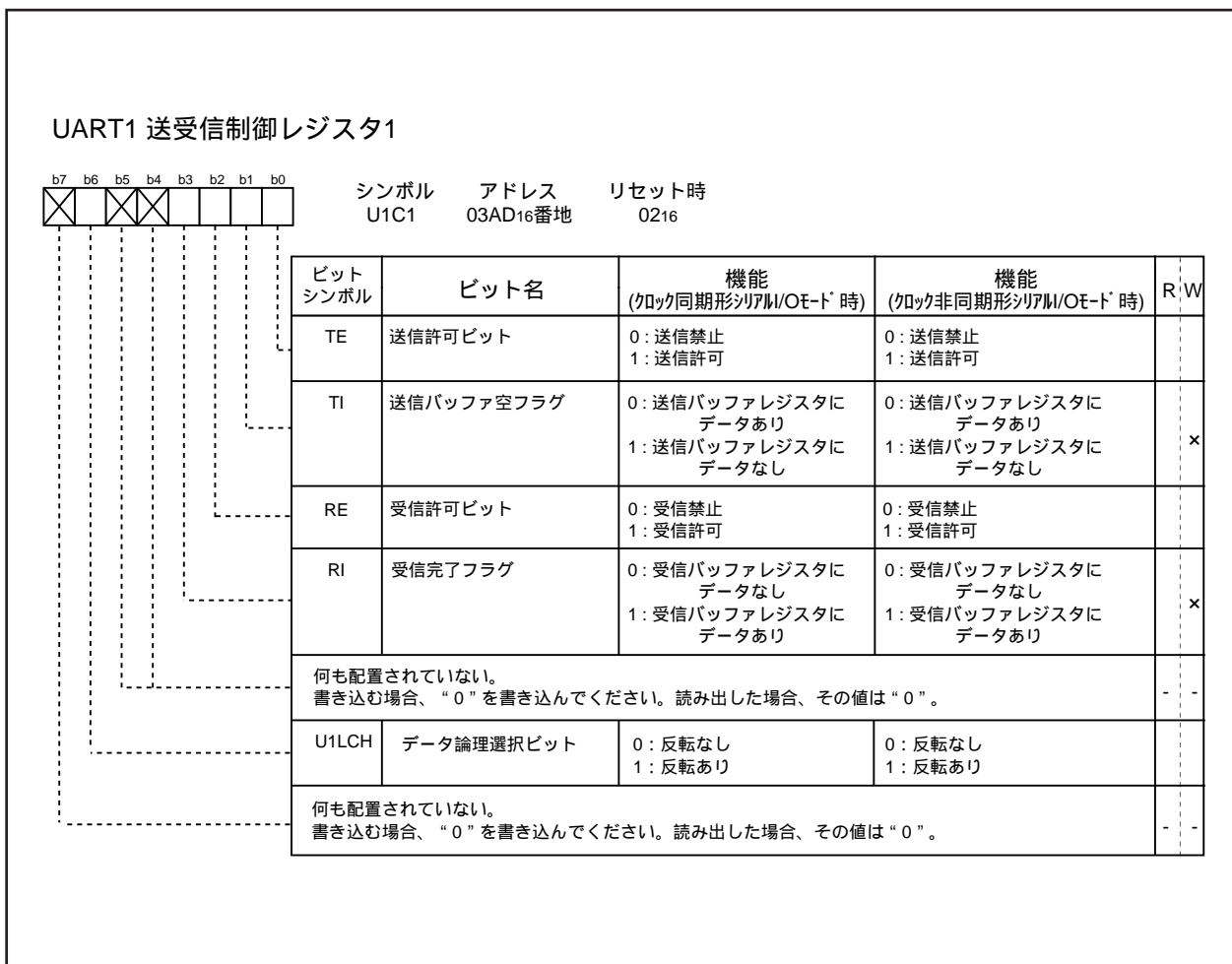
アドレス  
03AC16番地

リセット時  
0816

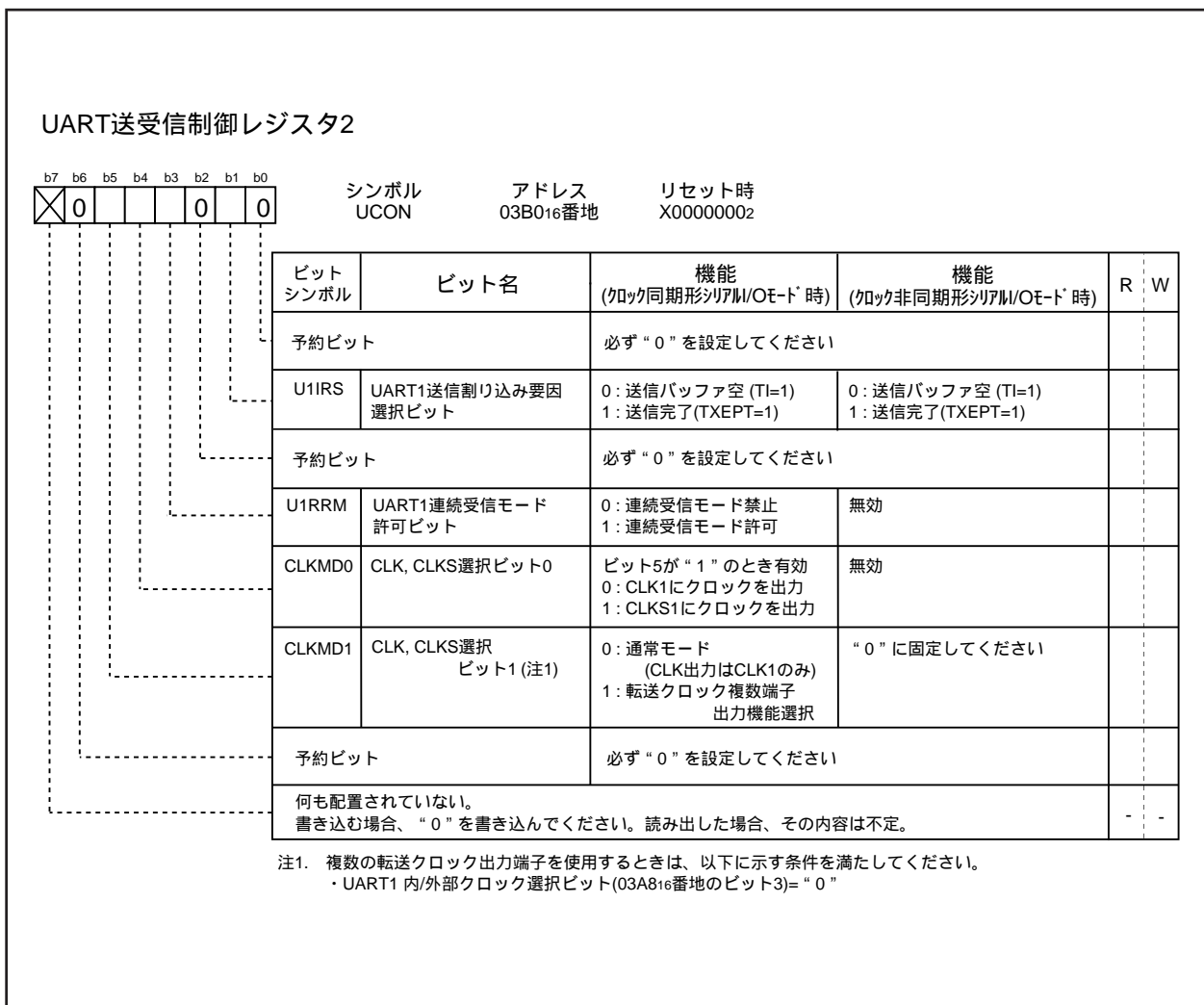
ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f <sub>i</sub> を選択 0 1 : f <sub>8</sub> を選択 1 0 : f <sub>32</sub> を選択 1 1 : 使用禁止	b1 b0 0 0 : f <sub>i</sub> を選択 0 1 : f <sub>8</sub> を選択 1 0 : f <sub>32</sub> を選択 1 1 : 使用禁止		
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)		
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり(送信中) 1 : 送信レジスタに データなし(送信完了)	0 : 送信レジスタに データあり(送信中) 1 : 送信レジスタに データなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (端子はプログラマブル入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (端子はプログラマブル入出力ポートとして機能)		
NCH	データ出力選択ビット	0 : TxD1端子はCMOS出力 1 : TxD1端子はNチャンネル オープンドレイン出力	0 : TxD1端子はCMOS出力 1 : TxD1端子はNチャンネル オープンドレイン出力		
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	“0”に固定してください		
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト		

注1. 対応するポート方向レジスタは“0”にしてください。  
 注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。  
 注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図GA-5. UART1関連のレジスタ (3)



図GA-6. UART1関連のレジスタ (4)



図GA-7. UART1関連のレジスタ (5)

## (1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表GA-2、表GA-3にクロック同期形シリアルI/Oモードの仕様を、図GA-8にUART1送受信モードレジスタの構成を示します。

表GA-2. クロック同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時 (03A8 <sub>16</sub> 番地のビット3 = "0") : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時 (03A8 <sub>16</sub> 番地のビット3 = "1") : CLK <sub>i</sub> 端子からの入力
送信制御/受信制御	CTS, RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>・送信許可ビット(03AD<sub>16</sub>番地のビット0) = "1"</li> <li>・送信バッファ空フラグ(03AD<sub>16</sub>番地のビット1) = "0"</li> <li>・CTS機能選択時、CTS端子の入力が "L" レベル</li> </ul> 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> <li>・CLK<sub>1</sub>極性選択ビット(03AC<sub>16</sub>番地のビット6) = "0" : CLK<sub>1</sub>端子の入力が "H"</li> <li>・CLK<sub>1</sub>極性選択ビット(03AC<sub>16</sub>番地のビット6) = "1" : CLK<sub>1</sub>端子の入力が "L"</li> </ul>
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>・受信許可ビット(03AD<sub>16</sub>番地のビット2) = "1"</li> <li>・送信許可ビット(03AD<sub>16</sub>番地のビット0) = "1"</li> <li>・送信バッファ空フラグ(03AD<sub>16</sub>番地のビット1) = "0"</li> </ul> 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> <li>・CLK<sub>1</sub>極性選択ビット(03AC<sub>16</sub>番地のビット6) = "0" : CLK<sub>1</sub>端子の入力が "H"</li> <li>・CLK<sub>1</sub>極性選択ビット(03AC<sub>16</sub>番地のビット6) = "1" : CLK<sub>1</sub>端子の入力が "L"</li> </ul>
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> <li>・送信割り込み要因選択ビット(03B0<sub>16</sub>番地のビット1) = "0" : UART1送信バッファレジスタからUART1送信レジスタへデータ転送完了時</li> <li>・送信割り込み要因選択ビット(03B0<sub>16</sub>番地のビット1) = "1" : UART1送信レジスタからデータ送信完了時</li> </ul> 受信時 <ul style="list-style-type: none"> <li>・UART1受信レジスタから、UART1受信バッファレジスタへデータ転送完了時</li> </ul>
エラー検出	オーバランエラー(注2) UART1受信バッファレジスタの内容を読み出す前に次のデータの7ビット目を受信したときに発生

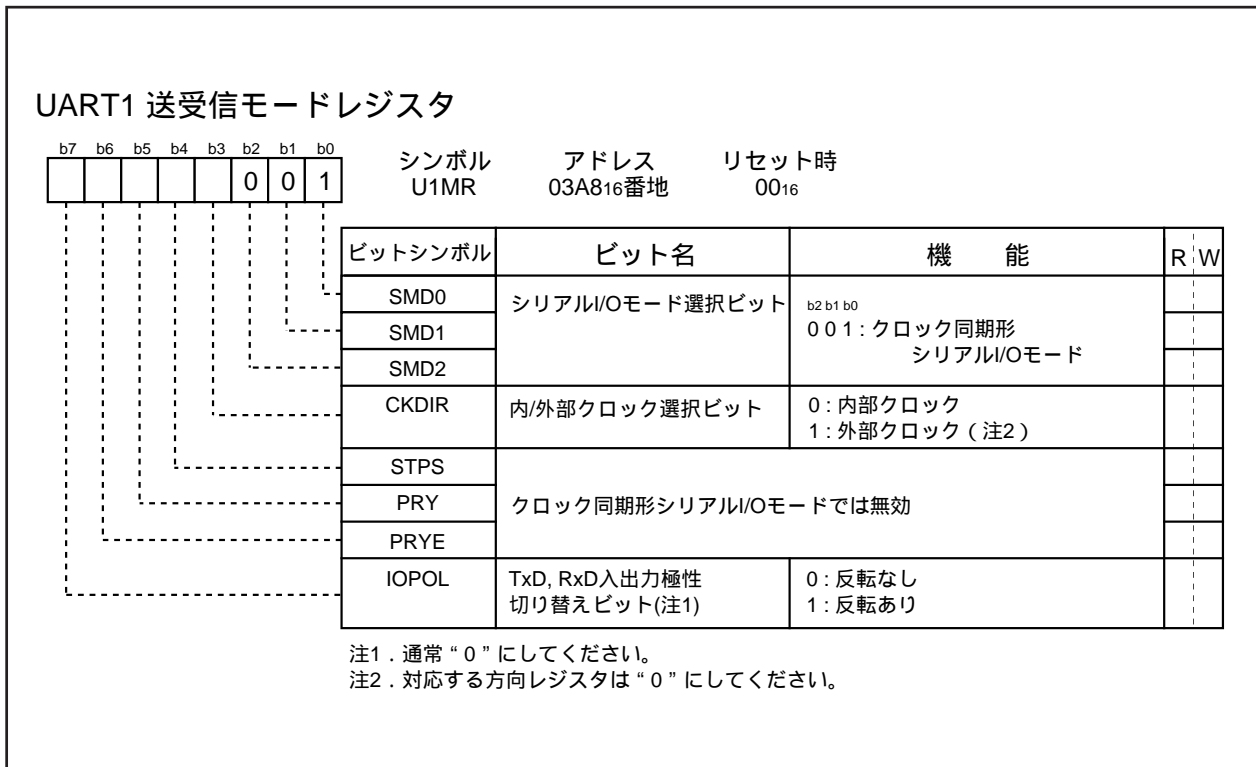
注1. nはUART転送速度レジスタに設定した00<sub>16</sub> ~ FF<sub>16</sub>の値です。

注2. オーバランエラーが発生した場合は、UART1受信バッファには次のデータが書き込まれます。またUART1受信割り込み要求ビットは "1" になりません。



表GA-3. クロック同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択 UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可



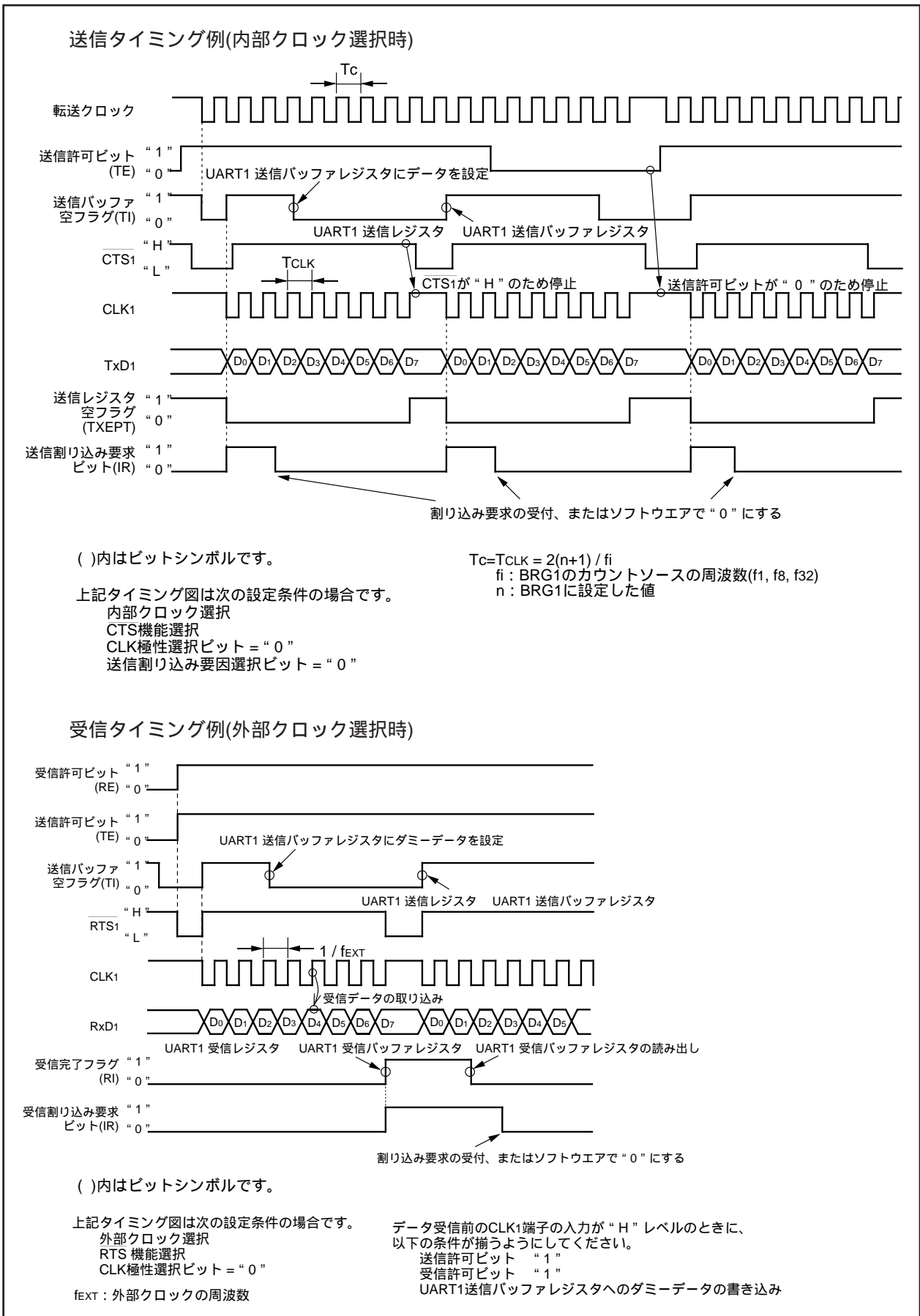
図GA-8. クロック同期形シリアルI/Oモード時のUART1送受信モードレジスタの構成

表GA-4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UART1の動作モード選択後、転送開始までは、TxD1端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表GA-4. クロック同期形シリアルI/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能非選択時)

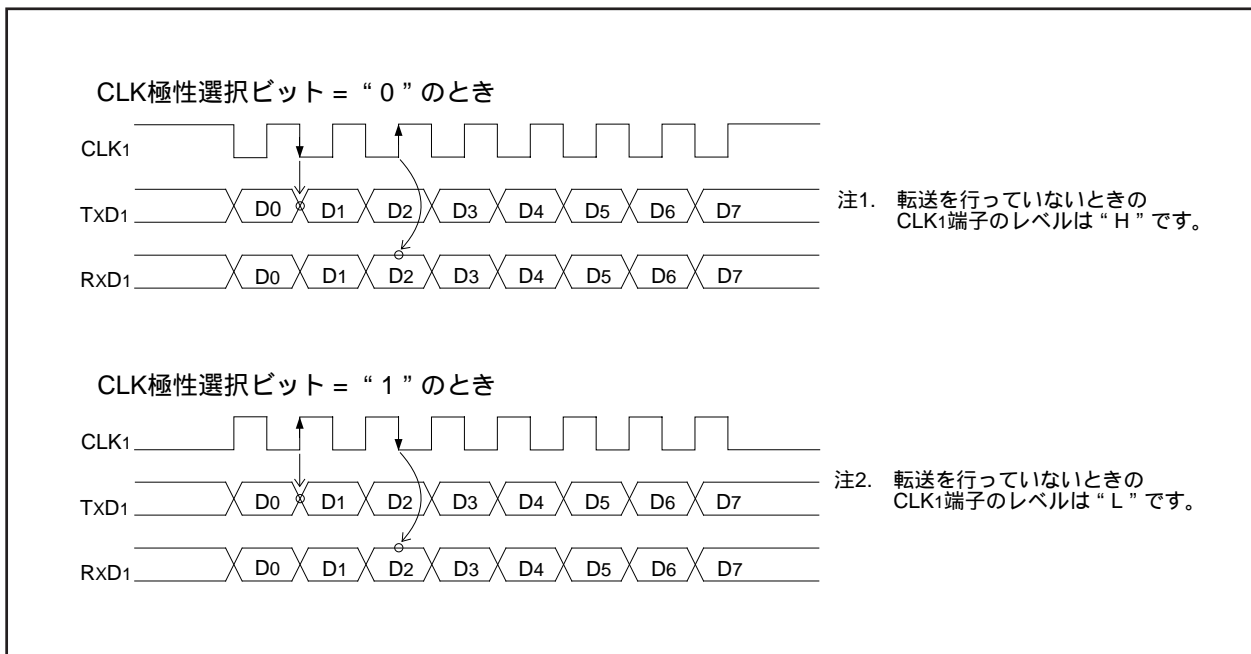
端子名	機能	選択方法
TxD1	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxD1	シリアルデータ入力	対応するポートの方向レジスタのビット = “0” (送信だけを行うときは入力ポートとして使用可)
CLK1	転送クロック出力	内/外部クロック選択ビット (03A8 <sub>16</sub> 番地のビット3) = “0”
	転送クロック入力	内/外部クロック選択ビット (03A8 <sub>16</sub> 番地のビット3) = “1” 対応するポートの方向レジスタのビット = “0”
CTS <sub>1</sub> /RTS <sub>1</sub>	CTS入力	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “0” CTS/RTS機能選択ビット (03AC <sub>16</sub> 番地のビット2) = “0” 対応するポートの方向レジスタのビット = “0”
	RTS入力	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “0” CTS/RTS機能選択ビット (03AC <sub>16</sub> 番地のビット2) = “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “1”



図GA-9. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

極性選択機能

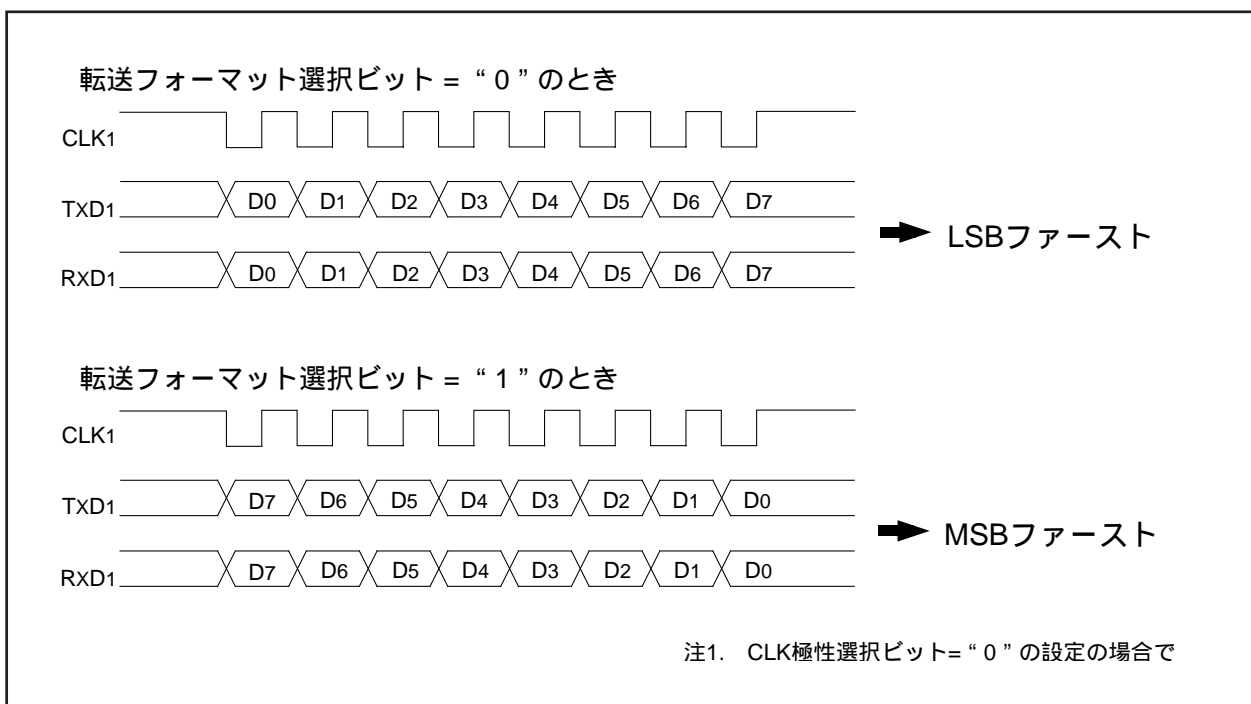
図GA-10に示すように、CLK極性選択ビット(03AC16番地のビット6)によって転送クロックの極性を  
選択できます。



図GA-10. 転送クロックの極性

LSBファースト/MSBファースト選択機能

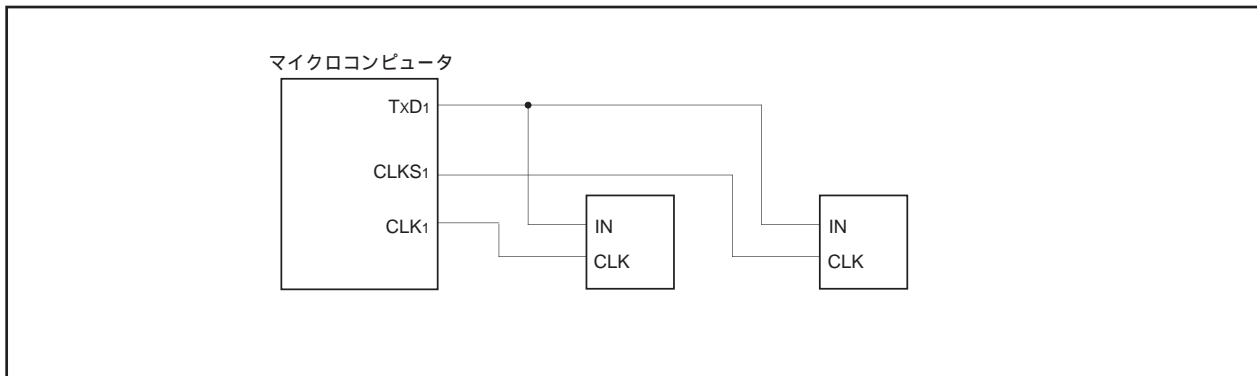
図GA-11に示すように、転送フォーマット選択ビット(03AC16番地のビット7)の内容が“0”のとき  
転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。



図GA-11. 転送フォーマット

### 転送クロック複数端子出力機能

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0<sub>16</sub>番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図GA-12)。この機能は、内部クロック選択時だけ有効な機能です。なお、本機能選択時にCTS/RTS機能は使用できません。



図GA-12. 転送クロック複数端子出力機能の使用例

### 連続受信モード

連続受信モード許可ビット(03B0<sub>16</sub>番地のビット3)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

## (2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表GA-5、表GA-6にクロック非同期形シリアルI/Oモードの仕様を、図GA-13にUART1送受信モードレジスタの構成を示します。

表GA-5. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A8 <sub>16</sub> 番地のビット3= "0") : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A8 <sub>16</sub> 番地のビット3= "1") : $f_{EXT}/16(n+1)$ (注1)(注2)
送信制御/受信制御	CTS, RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>送信許可ビット (03AD<sub>16</sub>番地のビット0) = "1"</li> <li>送信バッファ空フラグ (03AD<sub>16</sub>番地のビット1) = "0"</li> <li>CTS機能選択時、CTS端子の入力が "L" レベル</li> </ul>
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>受信許可ビット (03AD<sub>16</sub>番地のビット2) = "1"</li> <li>スタートビットの検出</li> </ul>
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> <li>送信割り込み要因選択ビット(03B0<sub>16</sub>番地のビット1) = "0" : UART1送信バッファレジスタからUART1送信レジスタへデータ転送完了時</li> <li>送信割り込み要因選択ビット(03B0<sub>16</sub>番地のビット1) = "1" : UART1送信レジスタからデータ送信完了時</li> </ul> 受信時 <ul style="list-style-type: none"> <li>UART1受信レジスタから、UART1受信バッファレジスタへデータ転送完了時</li> </ul>
エラー検出	オーバーランエラー(注3) UART1受信バッファレジスタの内容を読み出す前に次のデータ受信開始して、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の "1" の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 "1" になります

注1. n はUART転送速度レジスタに設定した00<sub>16</sub> ~ FF<sub>16</sub>の値です。

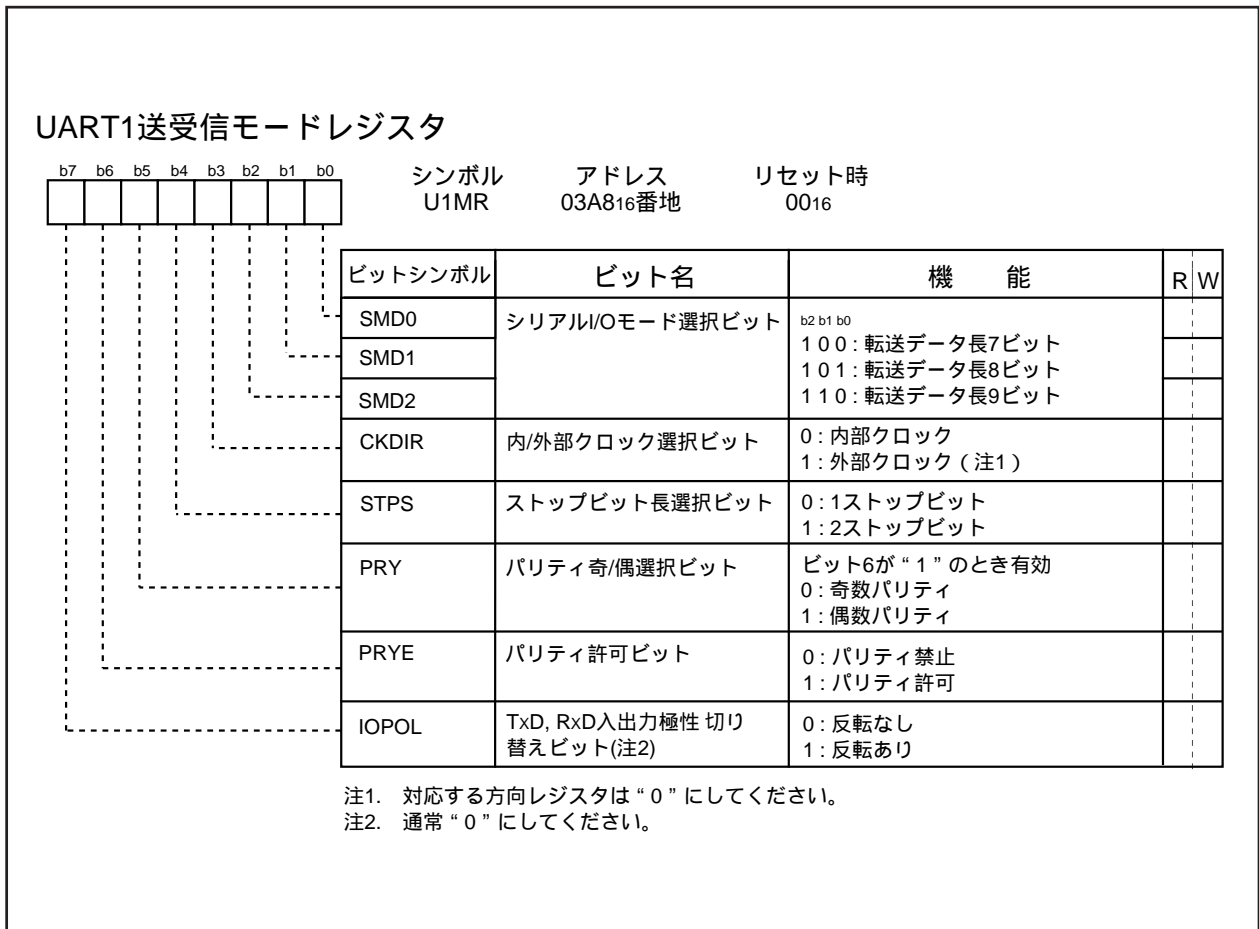
注2.  $f_{EXT}$ はCLK<sub>1</sub>端子からの入力です。

注3. オーバーランエラーが発生した場合は、UART1受信バッファには次のデータが書き込まれます。またUART1受信割り込み要求ビットは "1" になりません。

表GA-6. クロック非同期形シリアル/Oモードの仕様(2)

項 目	仕 様
選択機能	シリアルデータ論理切り替え 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 TxD、RxD入出力極性切り替え TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。



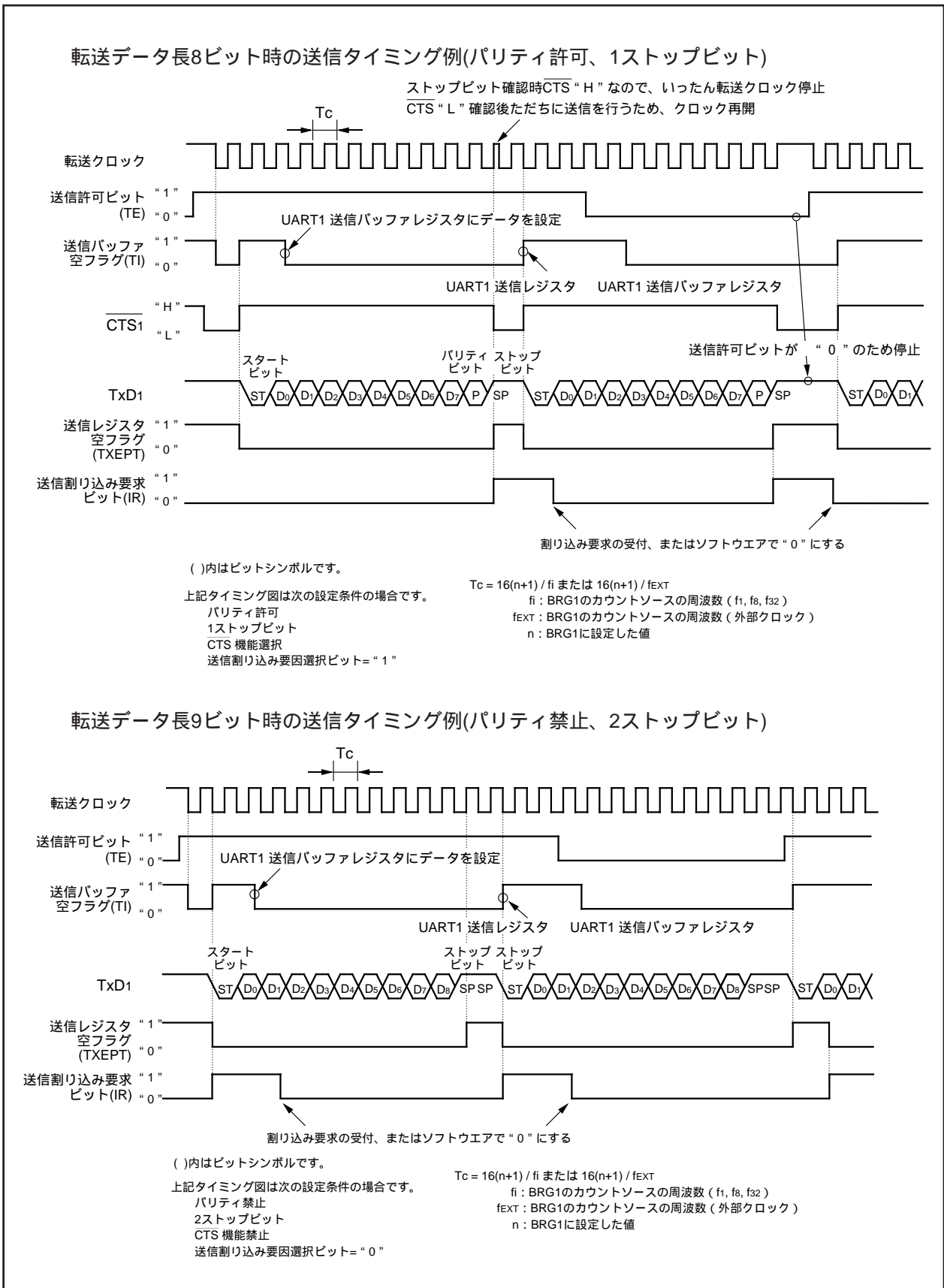


図GA-13. UARTモード時のUART1送受信モードレジスタの構成

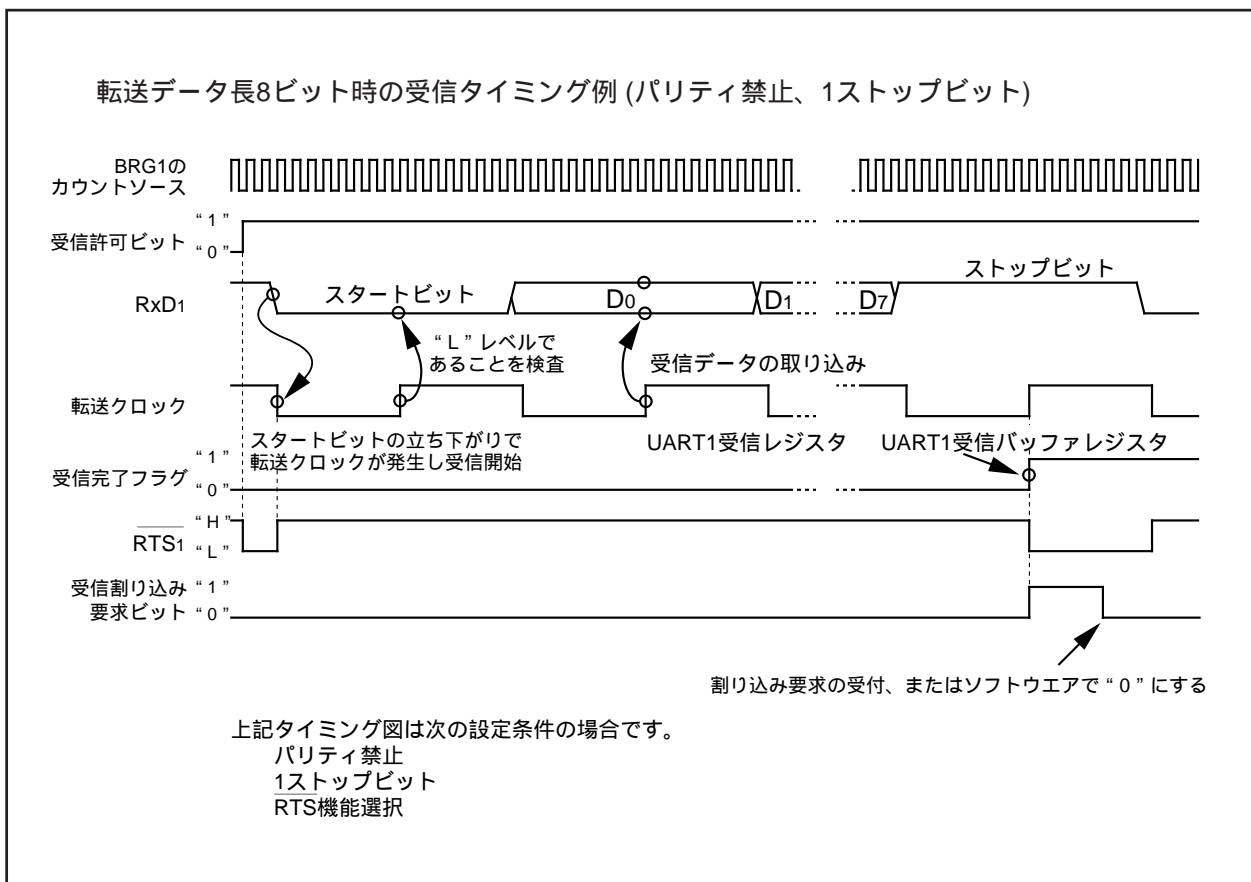
表GA-7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UART1の動作モード選択後、転送開始までは、TxD<sub>1</sub>端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表GA-7. クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機 能	選択方法
TxD <sub>1</sub>	シリアルデータ出力	
RxD <sub>1</sub>	シリアルデータ入力	対応するポートの方向レジスタのビット = “0” (送信だけを行うときは入力ポートとして使用可)
CLK <sub>1</sub>	プログラマブル入出力	内/外部クロック選択ビット (03A8 <sub>16</sub> 番地のビット3) = “0”
	転送クロック入力	内/外部クロック選択ビット (03A8 <sub>16</sub> 番地のビット3) = “1” 対応するポートの方向レジスタのビット = “0”
CTS <sub>1</sub> /RTS <sub>1</sub>	CTS入力	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “0” CTS/RTS機能選択ビット (03AC <sub>16</sub> 番地のビット2) = “0” 対応するポートの方向レジスタのビット = “0”
	RTS出力	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “0” CTS/RTS機能選択ビット (03AC <sub>16</sub> 番地のビット2) = “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット (03AC <sub>16</sub> 番地のビット4) = “1”



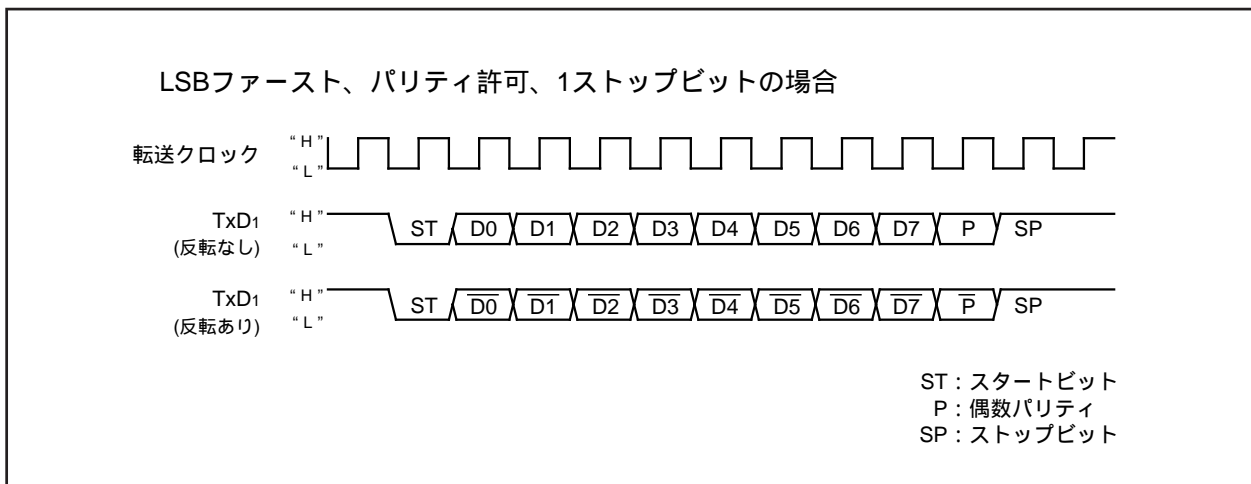
図GA-14. UARTモード時の送信タイミング例



図GA-15. UARTモード時の受信タイミング例

シリアルデータ論理切り替え機能

データ論理選択ビットの内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図GA-16に、シリアルデータ論理切り替え機能のタイミング例を示します。



図GA-16. シリアルデータ論理切り替え機能のタイミング例

TxD、RxD入出力極性切り替え機能

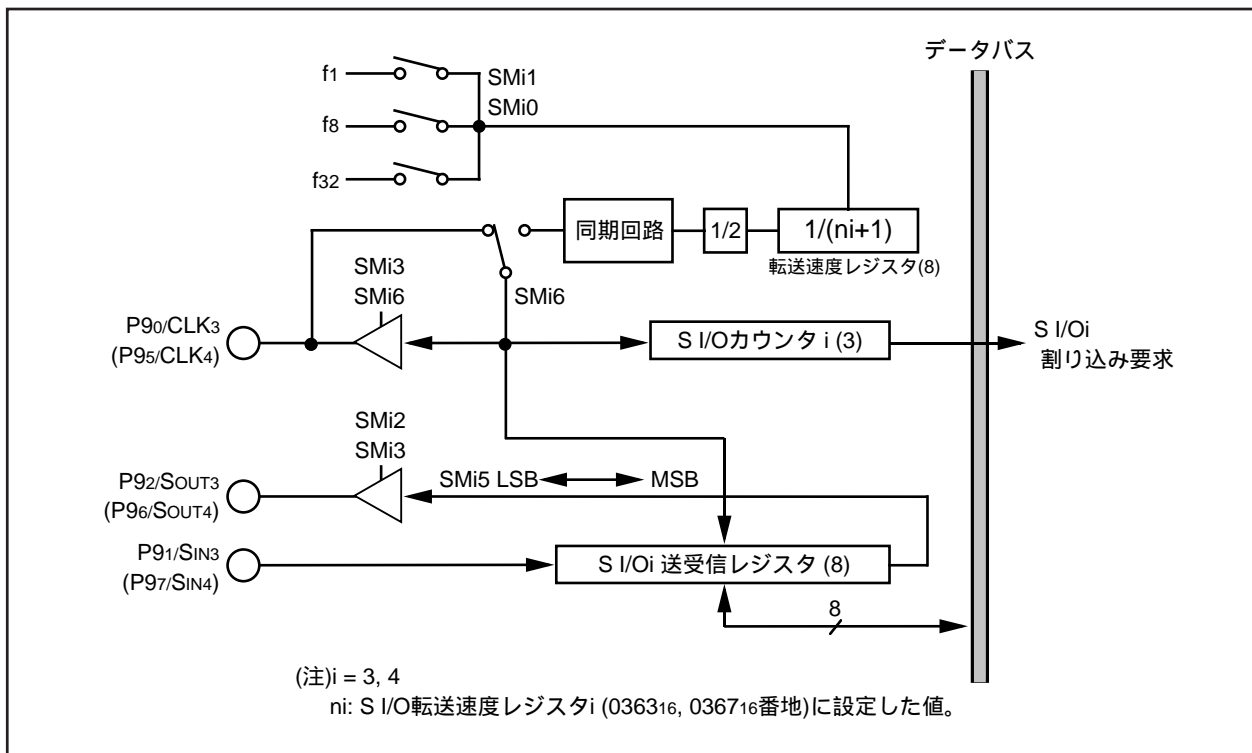
TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0” (反転なし) に設定してください。

### S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

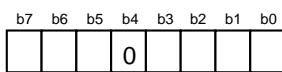
図GA-17にS I/O3, 4のブロック図を、図GA-18にS I/O3, 4の制御レジスタを示します。

表GA-9にS I/O3, 4の仕様を示します。



図GA-17. S I/O3, 4ブロック図

### S I/Oi 制御レジスタ (i = 3, 4) (注1)

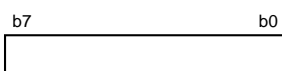


シンボル                      アドレス                      リセット時  
 SiC                              0362<sub>16</sub>, 0366<sub>16</sub>番地                      40<sub>16</sub>

ビット シンボル	ビット名	機 能	R	W
SMi0	内部同期クロック選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止		
SMi1				
SMi2	Souti 出力禁止ビット	0 : Souti出力 1 : Souti出力禁止(ハイインピーダンス)		
SMi3	S I/Oiポート選択 ビット(注2)	0 : 入出力ポート 1 : Souti出力、CLK機能		
予約ビット		必ず“0”を設定して下さい。	—	—
SMi5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト		
SMi6	同期クロック選択 ビット(注2)	0 : 外部クロック 1 : 内部クロック		
SMi7	Souti 初期値設定ビット	SMi3=0 時に有効 0 : L出力 1 : H出力		

- 注1. S I/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ(000A<sub>16</sub>番地)のビット2を“1”にしてから行ってください。  
 注2. S I/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

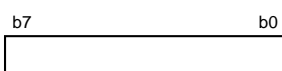
### S I/Oi転送速度レジスタ



シンボル                      アドレス                      リセット時  
 S3BRG                              0363<sub>16</sub>番地                      不定  
 S4BRG                              0367<sub>16</sub>番地                      不定

機 能	設定可能値	R	W
設定値を n とすると、BRGiはカウントソースをn+1分周する	00 <sub>16</sub> ~ FF <sub>16</sub>	x	x

### S I/Oi送受信レジスタ



シンボル                      アドレス                      リセット時  
 S3TRR                              0360<sub>16</sub>番地                      不定  
 S4TRR                              0364<sub>16</sub>番地                      不定

機 能	R	W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	x	x

図GA-18. S I/O3, 4制御レジスタ

表GA-9. S I/O3, 4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(0362 <sub>16</sub> 、0366 <sub>16</sub> 番地のビット6=“1”) : f <sub>1/2</sub> (n <sub>i+1</sub> ) , f <sub>8/2</sub> (n <sub>i+1</sub> ) , f <sub>32/2</sub> (n <sub>i+1</sub> ) (注1) 外部クロック選択時(0362 <sub>16</sub> 、0366 <sub>16</sub> 番地のビット6=“0”) : CLK <sub>i</sub> 端子からの入力 (注2)
送受信開始条件	送受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> <li>同期クロックの選択。(0362<sub>16</sub>、0366<sub>16</sub>番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362<sub>16</sub>、0366<sub>16</sub>番地のビット0, 1で選択)</li> <li>SOUT<sub>i</sub>初期値設定ビット設定。(0362<sub>16</sub>、0366<sub>16</sub>番地のビット7で設定)</li> <li>S I/O<sub>i</sub>ポート選択ビット(0362<sub>16</sub>、0366<sub>16</sub>番地のビット3)=“1”</li> <li>転送方向選択ビット設定(0362<sub>16</sub>、0366<sub>16</sub>番地のビット5で設定)</li> <li>S I/O<sub>i</sub>送受信レジスタ(0360<sub>16</sub>、0364<sub>16</sub>番地)への転送データ書き込み</li> </ul> 更に、S I/O <sub>i</sub> 割り込みを使用する場合、次の条件も必要です。 <ul style="list-style-type: none"> <li>S I/O<sub>i</sub>送受信レジスタへの転送データ書き込みの前に、S I/O<sub>i</sub>割り込み要求ビットクリア(0049<sub>16</sub>、0048<sub>16</sub>番地のビット3)=“0”</li> </ul>
割り込み要求発生タイミング	最後の転送クロックの立ち上がり。(注3)
選択機能	LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 SOUT <sub>i</sub> 初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUT <sub>i</sub> 端子出力レベルを選択できます。設定の方法は図GA-30を参照してください。
注意事項	S I/O <sub>i</sub> (i=3,4)は、UART0~2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/O <sub>i</sub> 送受信レジスタ(0360 <sub>16</sub> 、0364 <sub>16</sub> 番地)に書き込まないでください。 転送クロックとして内部クロックを選択している場合、転送終了後SOUT <sub>i</sub> は、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/O <sub>i</sub> 送受信レジスタ(0360 <sub>16</sub> 、0364 <sub>16</sub> 番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1. n はS I/O<sub>i</sub>転送速度レジスタに設定した00<sub>16</sub> ~ FF<sub>16</sub>の値です。(i=3, 4)

注2. 外部クロック選択時には、

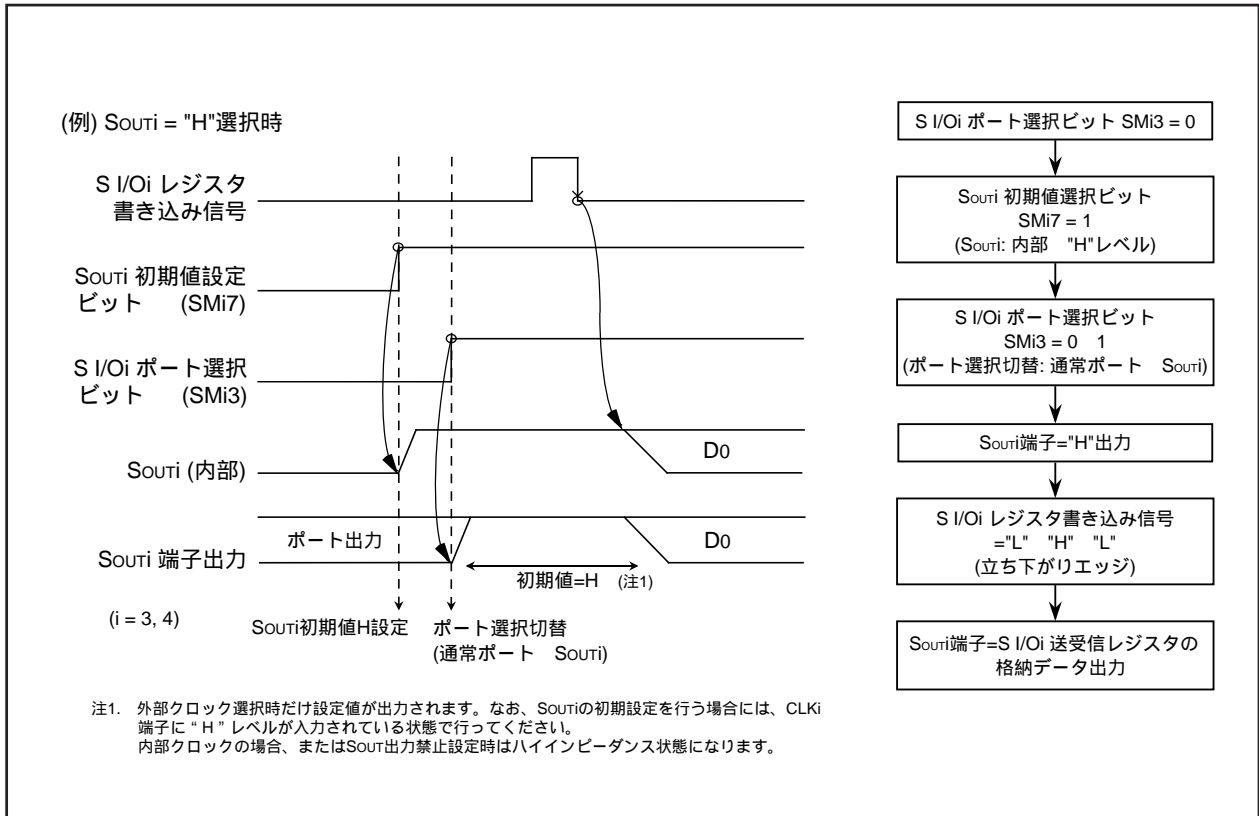
- S I/O<sub>i</sub>送受信レジスタ(0360<sub>16</sub>、0364<sub>16</sub>番地)への書き込みを行う際にはCLK<sub>i</sub>端子に“H”レベルが入力されている状態で行ってください。また、S I/O<sub>i</sub>制御レジスタ(0362<sub>16</sub>、0366<sub>16</sub>番地)のビット7(SOUT<sub>i</sub>初期値設定ビット)を書き替える場合もCLK<sub>i</sub>端子に“H”レベルが入力されている状態で行ってください。
- 同期クロックがS I/O<sub>i</sub>回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3. 同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態です。



Souti初期値設定機能

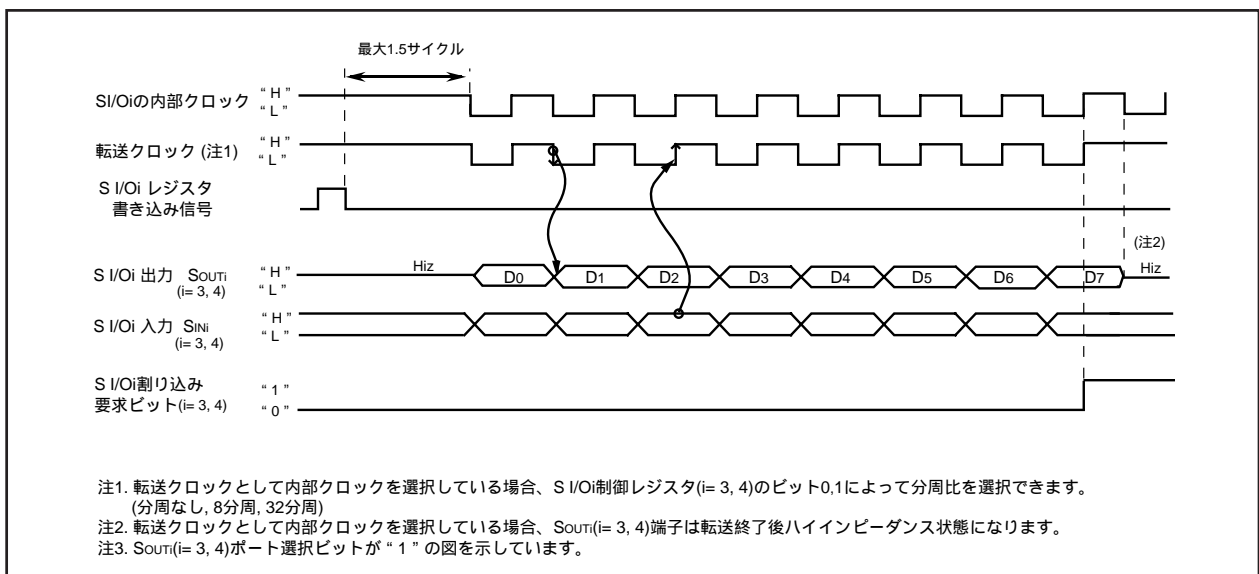
送信時、1ビットのデータを送信する前のSouti端子の出力レベルを“H”、“L”どちらかに設定できます。Souti初期値設定時のタイミング図および設定方法を図GA-19に示します。



図GA-19. Souti初期値設定 タイミング図・設定方法

S I/Oi動作タイミング

S I/Oi動作タイミング図を図GA-20に示します。



図GA-20. S I/Oi動作タイミング図

## A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P10<sub>0</sub> ~ P10<sub>7</sub>、P9<sub>5</sub>、P9<sub>6</sub>と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D7<sub>16</sub>番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表JA-1にA-D変換器の性能を、図JA-1にA-D変換器のブロック図を、図JA-2、図JA-3にA-D変換器関連のレジスタを示します。

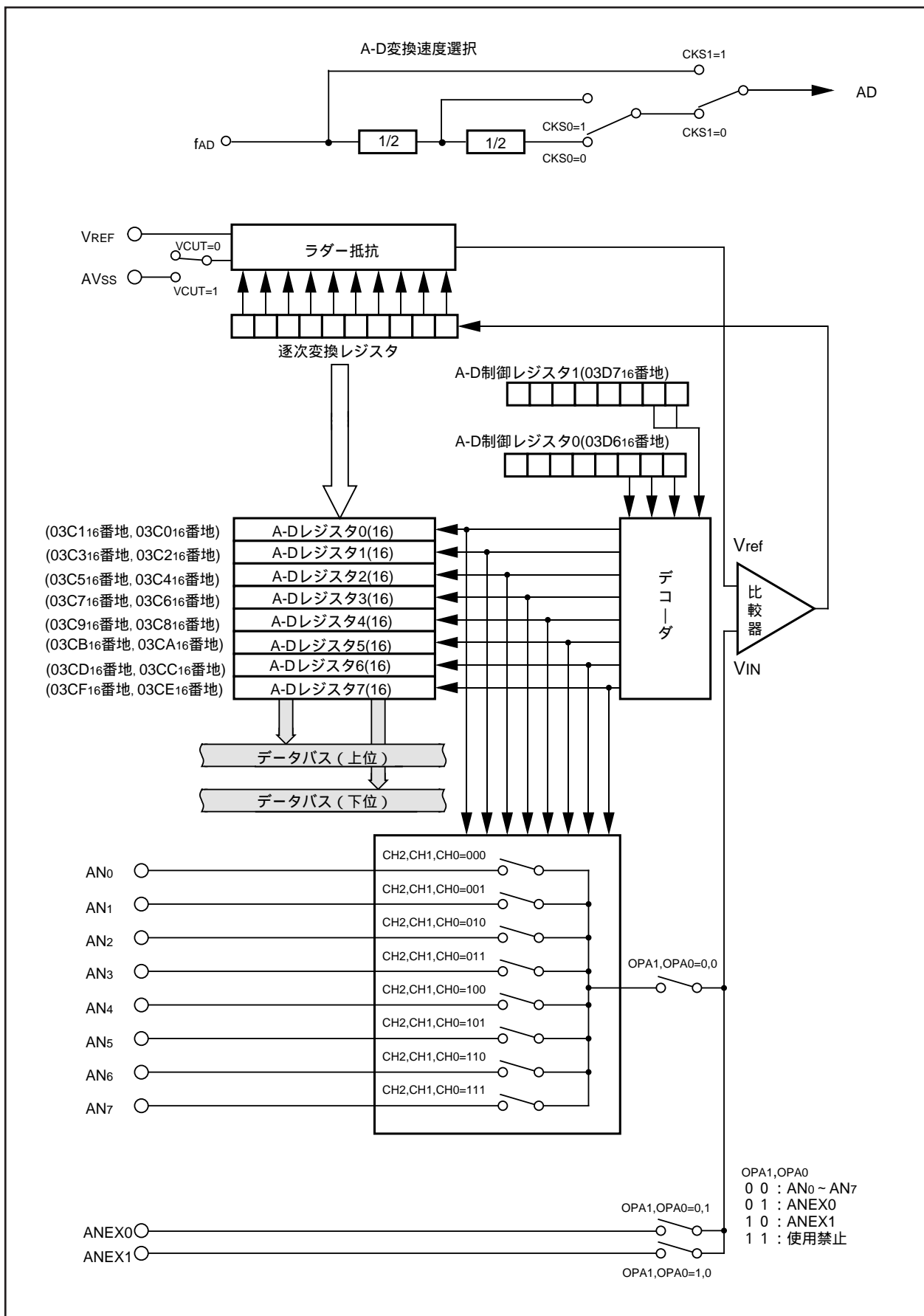
表JA-1. A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V ~ AVcc(Vcc)
動作クロック AD (注1)	f <sub>AD</sub> /f <sub>AD</sub> の2分周/ f <sub>AD</sub> の4分周 f <sub>AD</sub> =f(XIN)
分解能	8/10ビット選択可能
絶対精度	分解能8ビット ±2LSB 分解能10ビット ±6LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN <sub>0</sub> ~ AN <sub>7</sub> ) + 2本(ANEX <sub>0</sub> ,ANEX <sub>1</sub> )
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつADTRG/P9 <sub>7</sub> 入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

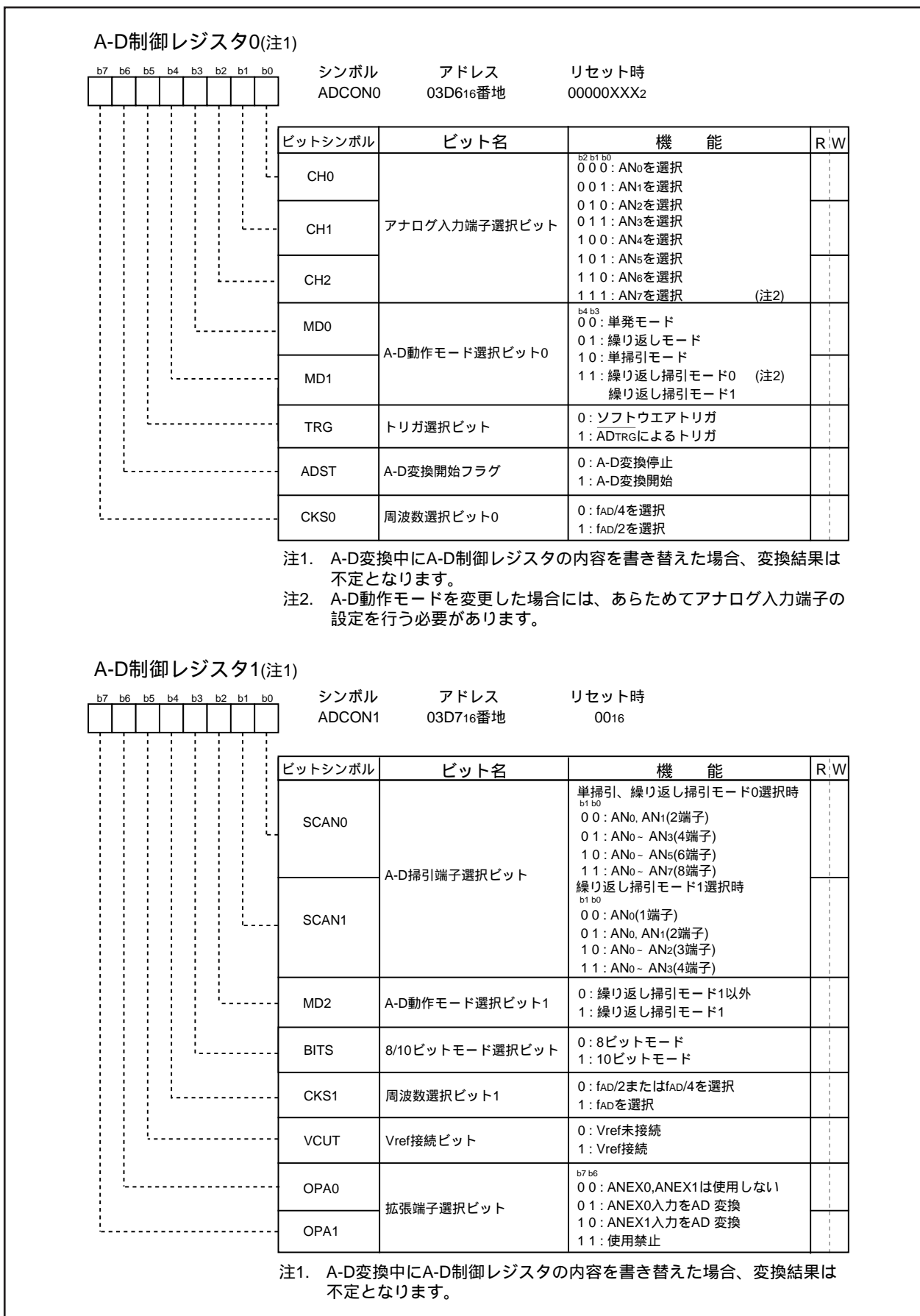
注1. ADの周波数は250kHz以上8MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

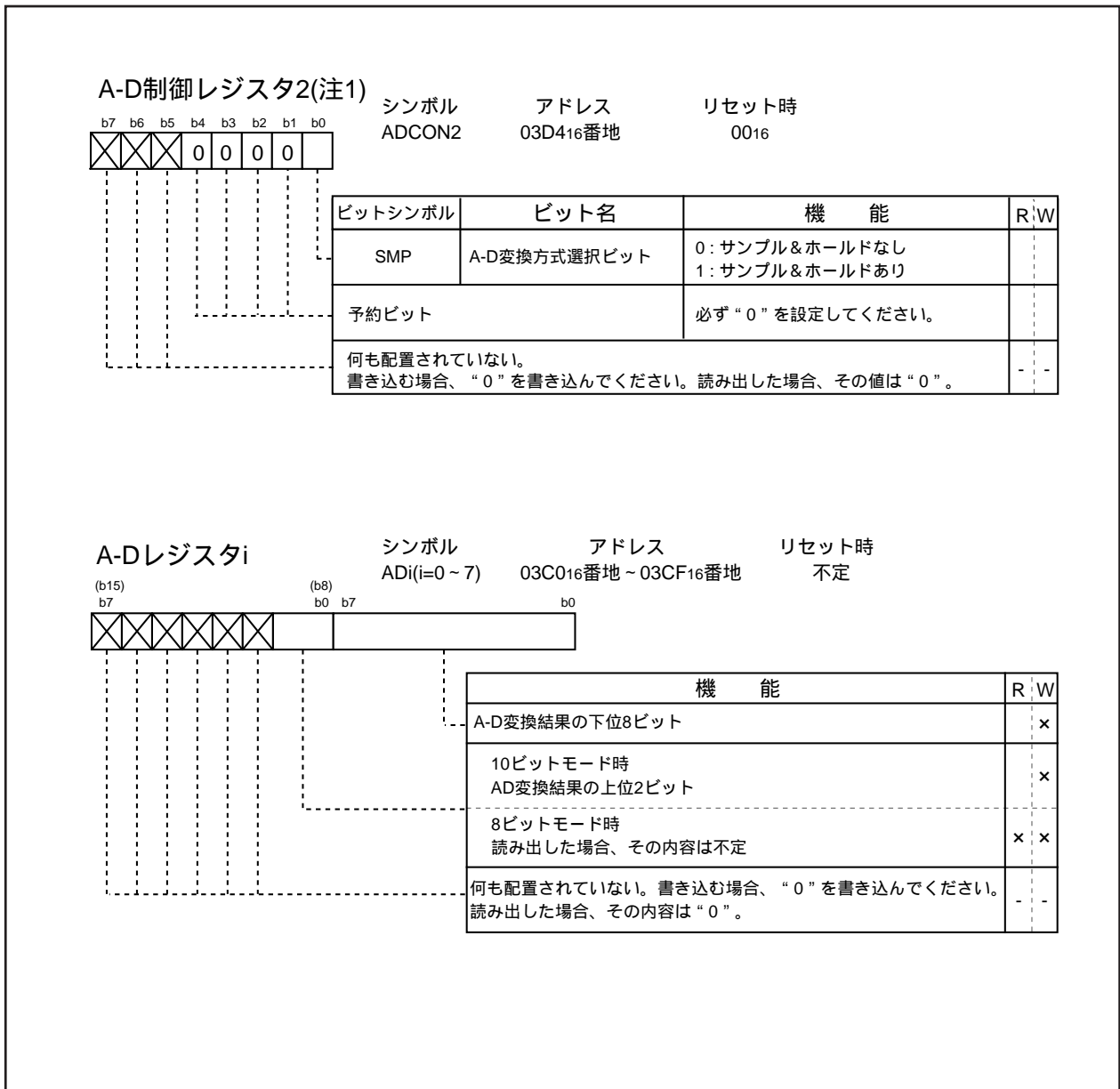
サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。



図JA-1. A-D変換器のブロック図



図JA-2. A-D変換器関連レジスタ(1)



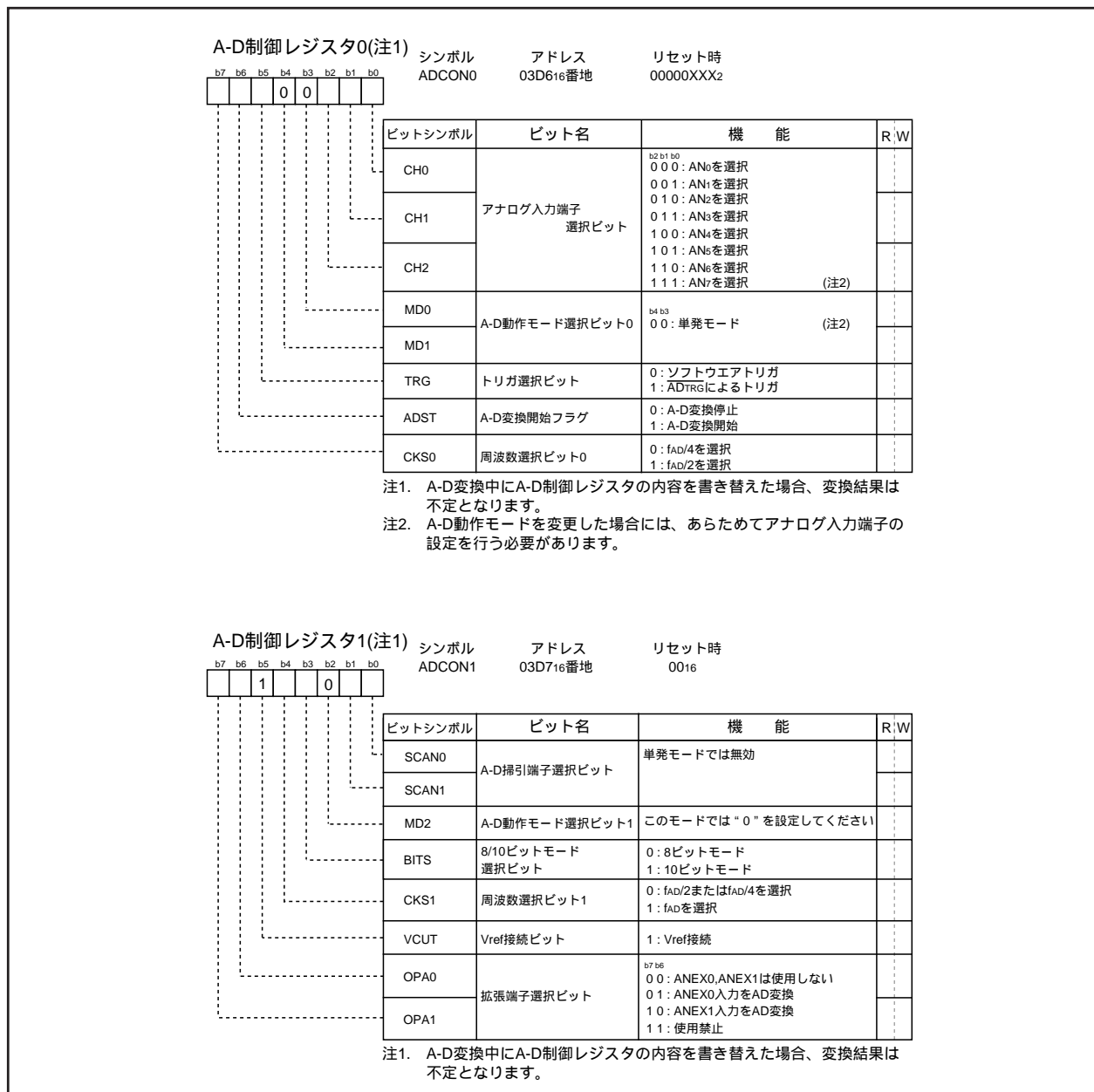
図JA-3. A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表JA-2に単発モードの仕様、図JA-4に単発モード時のA-D制御レジスタ構成を示します。

表JA-2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN <sub>0</sub> ~ AN <sub>7</sub> より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



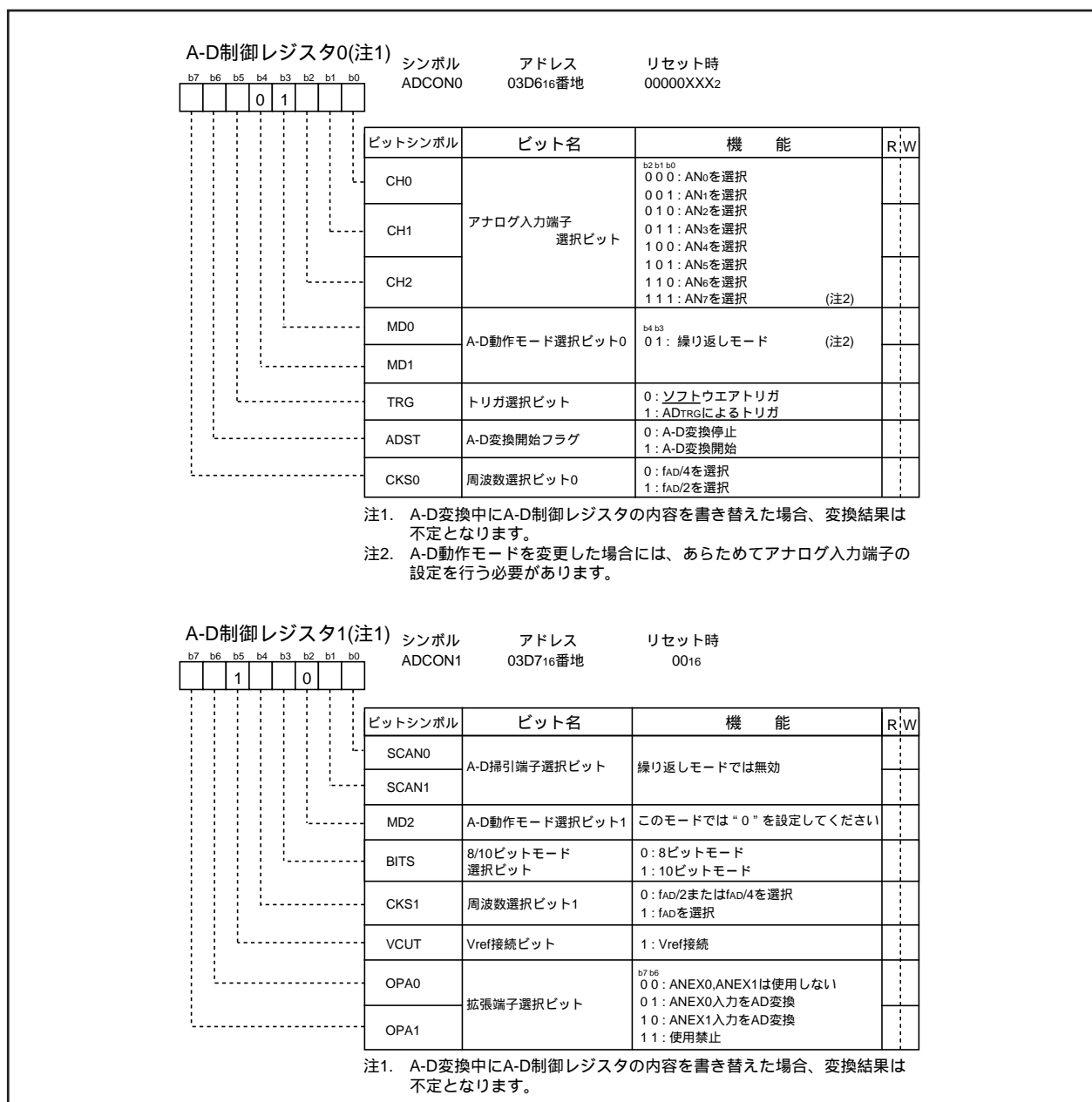
図JA-4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表JA-3に繰り返しモードの仕様、図JA-5に繰り返しモード時のA-D制御レジスタ構成を示します。

表JA-3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



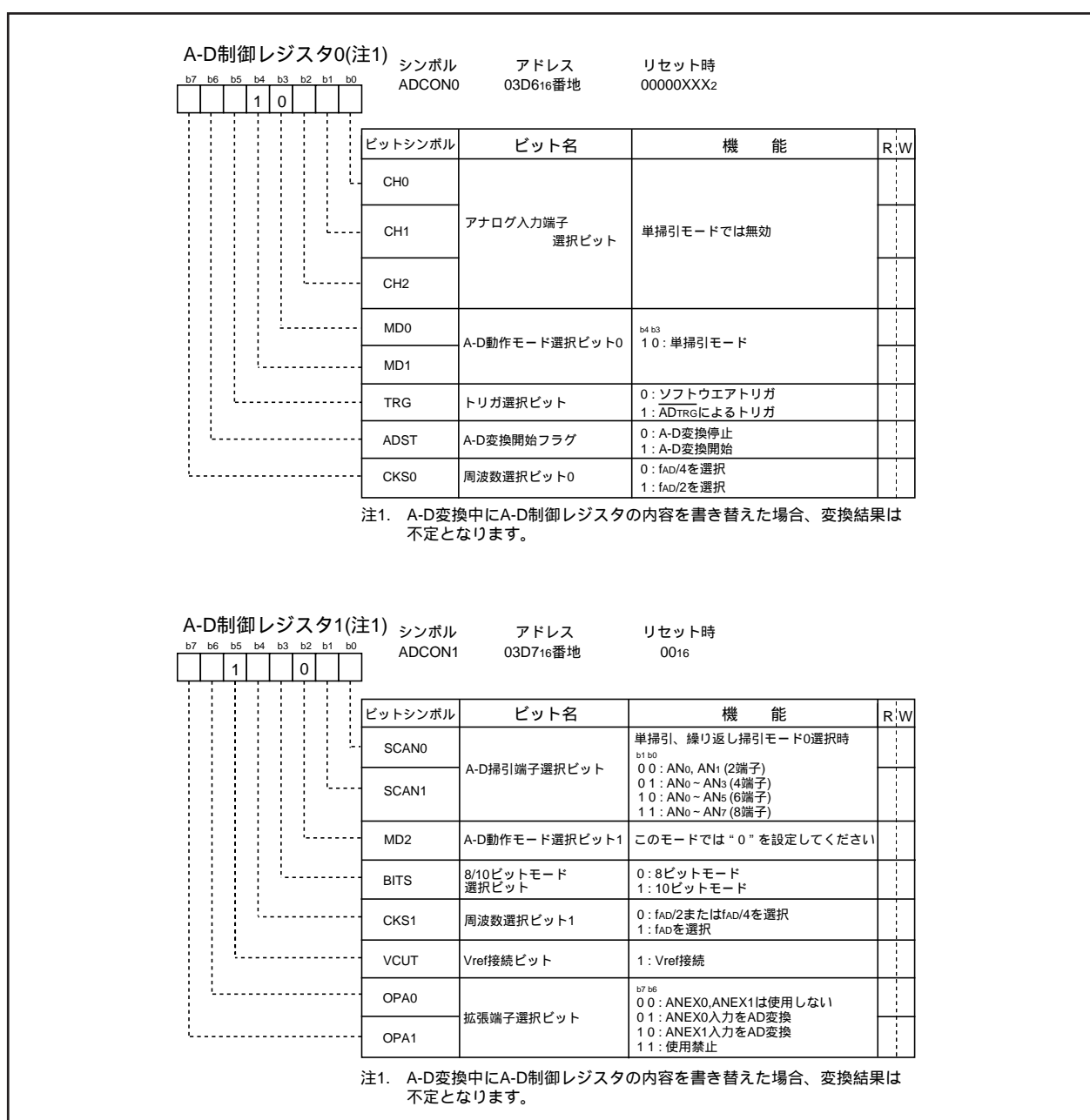
図JA-5. 繰り返しモード時のA-D制御レジスタ

### (3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表JA-4に単掃引モードの仕様、図JA-6に単掃引モード時のA-D制御レジスタ構成を示します。

表JA-4. 単掃引モードの仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN <sub>0</sub> , AN <sub>1</sub> (2端子)、AN <sub>0</sub> ~ AN <sub>3</sub> (4端子)、AN <sub>0</sub> ~ AN <sub>5</sub> (6端子)、AN <sub>0</sub> ~ AN <sub>7</sub> (8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



図JA-6. 単掃引モード時のA-D制御レジスタ

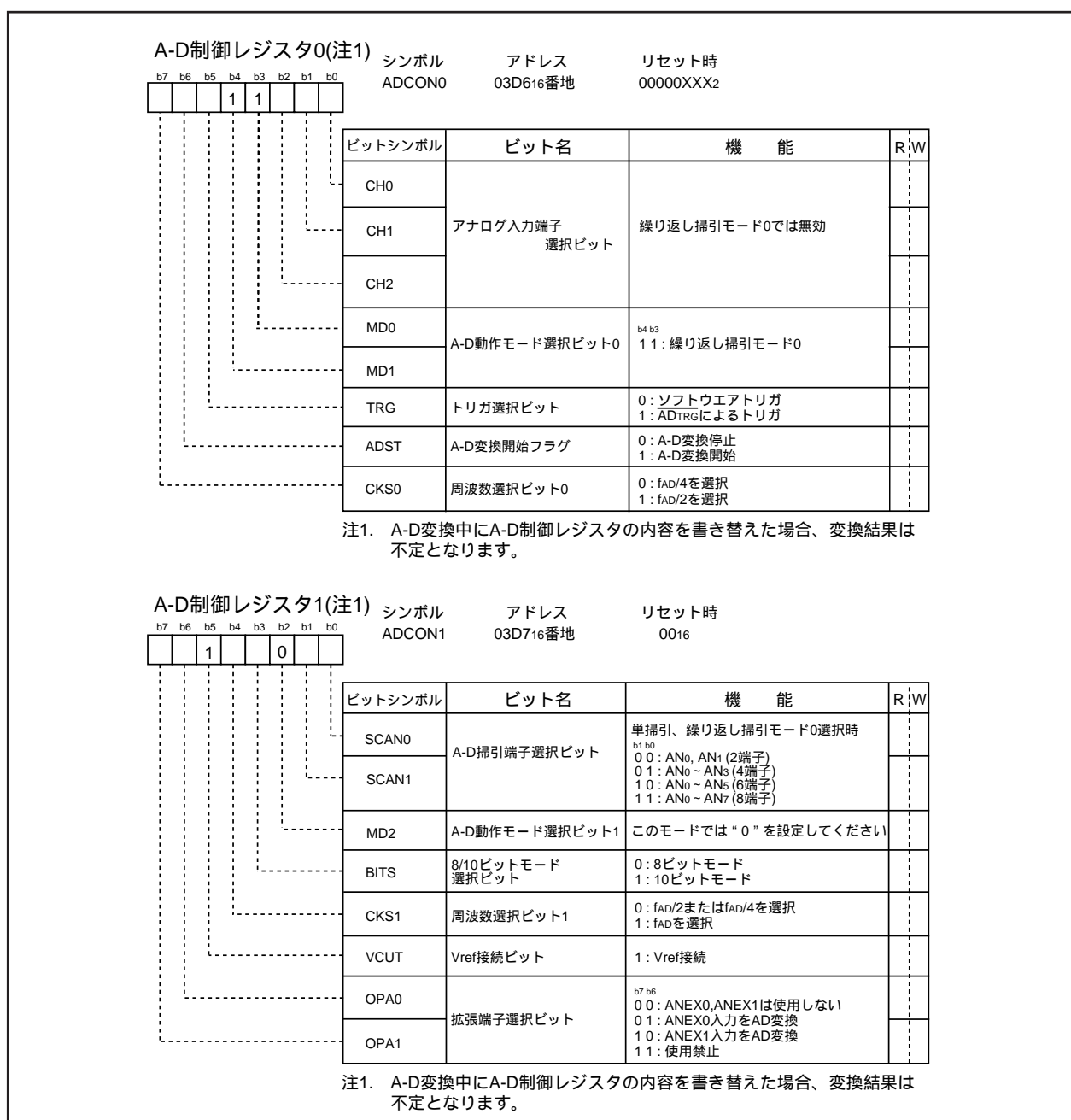


(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表JA-5に繰り返し掃引モード0の仕様、図JA-7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表JA-5. 繰り返し掃引モード0の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN <sub>0</sub> , AN <sub>1</sub> (2端子)、AN <sub>0</sub> ~ AN <sub>3</sub> (4端子)、AN <sub>0</sub> ~ AN <sub>5</sub> (6端子)、AN <sub>0</sub> ~ AN <sub>7</sub> (8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)



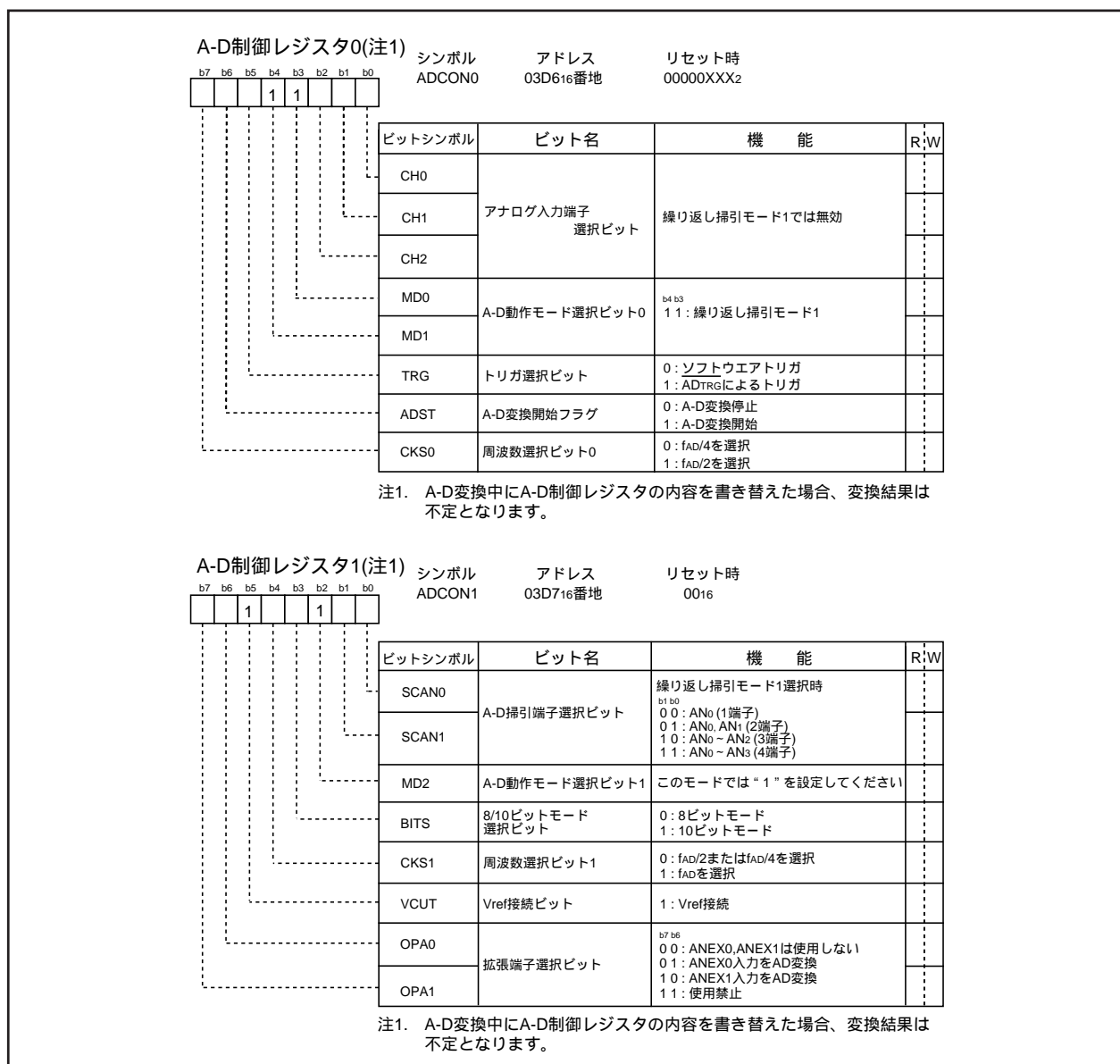
図JA-7. 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表JA-6に繰り返し掃引モード1の仕様、図JA-8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表JA-6. 繰り返し掃引モード1の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例：AN <sub>0</sub> を選択した場合 AN <sub>0</sub> AN <sub>1</sub> AN <sub>0</sub> AN <sub>2</sub> AN <sub>0</sub> AN <sub>3</sub> ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN <sub>0</sub> (1端子)、AN <sub>0</sub> ,AN <sub>1</sub> (2端子)、AN <sub>0</sub> ～AN <sub>2</sub> (3端子)、AN <sub>0</sub> ～AN <sub>3</sub> (4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)



図JA-8. 繰り返し掃引モード1時のA-D制御レジスタ

### 拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7<sub>16</sub>番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

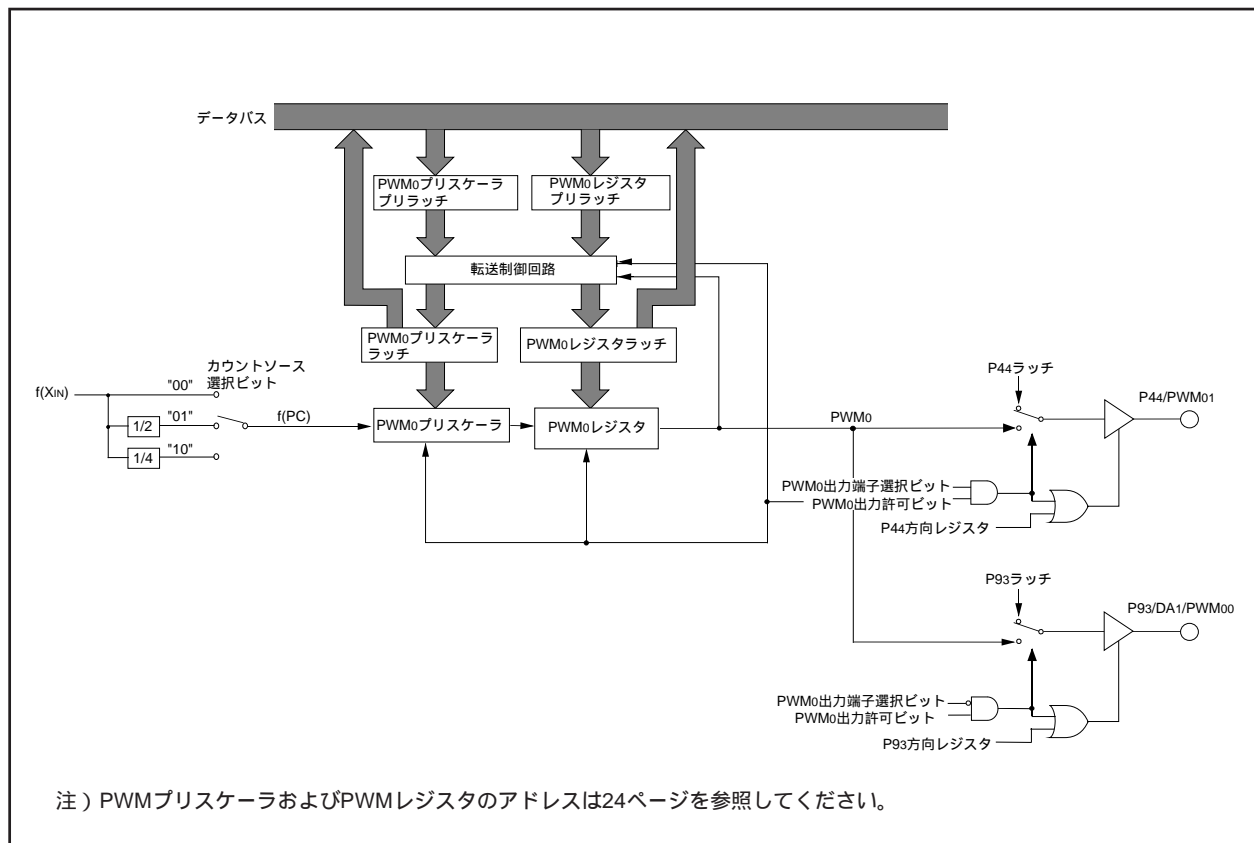
A-D制御レジスタ1(03D7<sub>16</sub>番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

### サンプル&ホールド

A-D制御レジスタ2(03D4<sub>16</sub>番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

PWM出力回路( PWM: Pulse Width Modulation )

PWM0 ~ PWM5出力回路は、8ビットの分解能を持っており、それぞれ独立して動作できます。クロック入力XIN、XINを2分周または4分周した信号f(PC)を基本としています。



図LA-1 . PWM回路ブロック図( PWM0 )

### ・データの設定 (PWM0)

PWM0の出力端子はポートP93もしくはP44と共用しています。PWM制御レジスタ $\alpha$ (030C<sub>16</sub>番地)のビット0によりPWM0出力端子を、P93/PWM00あるいはP44/PWM01どちらかに選択します。そして、PWM制御レジスタ $\kappa$ (030D<sub>16</sub>番地)のビット0を“1”にセットすることにより、PWM0出力許可状態になり、動作を開始します。

PWM0プリスケアラ(0300<sub>16</sub>番地)によりPWM周期を設定し、PWM0レジスタ(0301<sub>16</sub>番地)により出力パルスの“H”期間を設定します。

PWM0プリスケアラの値をn、PWM0レジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\text{PWM周期} = \frac{255 \times (n+1)}{f(\text{PC})} = 31.875 \times (n+1) \mu\text{s} \quad \left( \begin{array}{l} f(\text{XIN}) = 8\text{MHz, PWMカウント} \\ \text{ソース選択ビットが}^{\#} 002 \text{の場合} \end{array} \right)$$

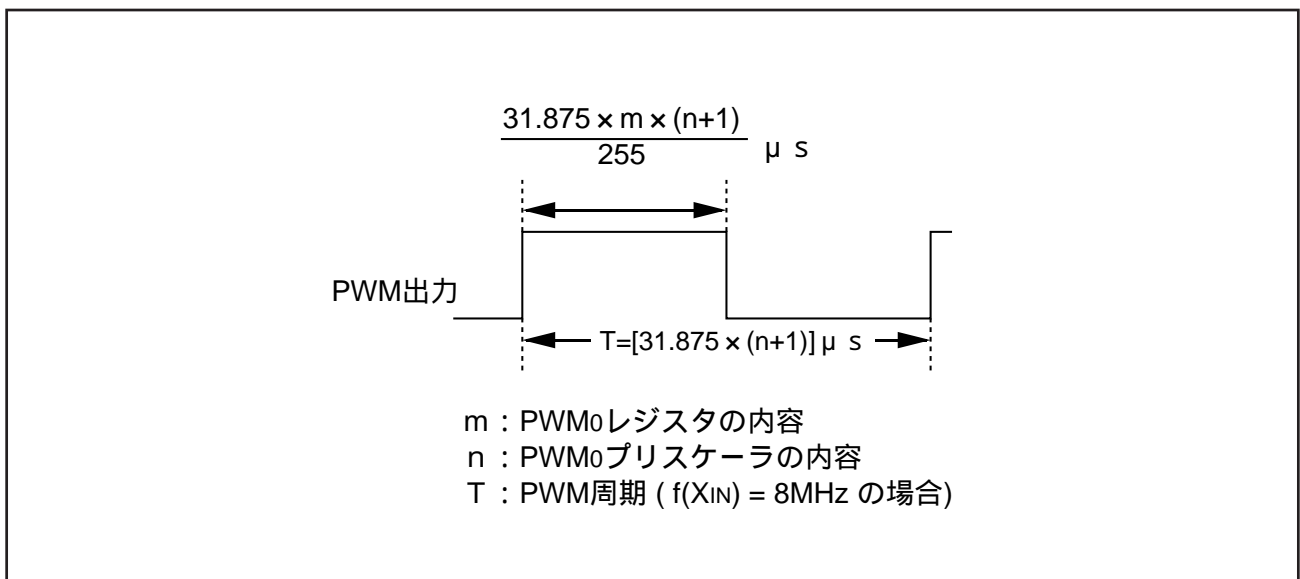
$$\text{出力パルスの}^{\#} \text{H} \text{期間} = \frac{\text{PWM周期} \times m}{255} = 0.125 \times (n+1) \times m \mu\text{s} \quad \left( \begin{array}{l} f(\text{XIN}) = 8\text{MHz, PWMカウント} \\ \text{ソース選択ビットが}^{\#} 002 \text{の場合} \end{array} \right)$$

PWM1~PWM5についても同様に設定します。

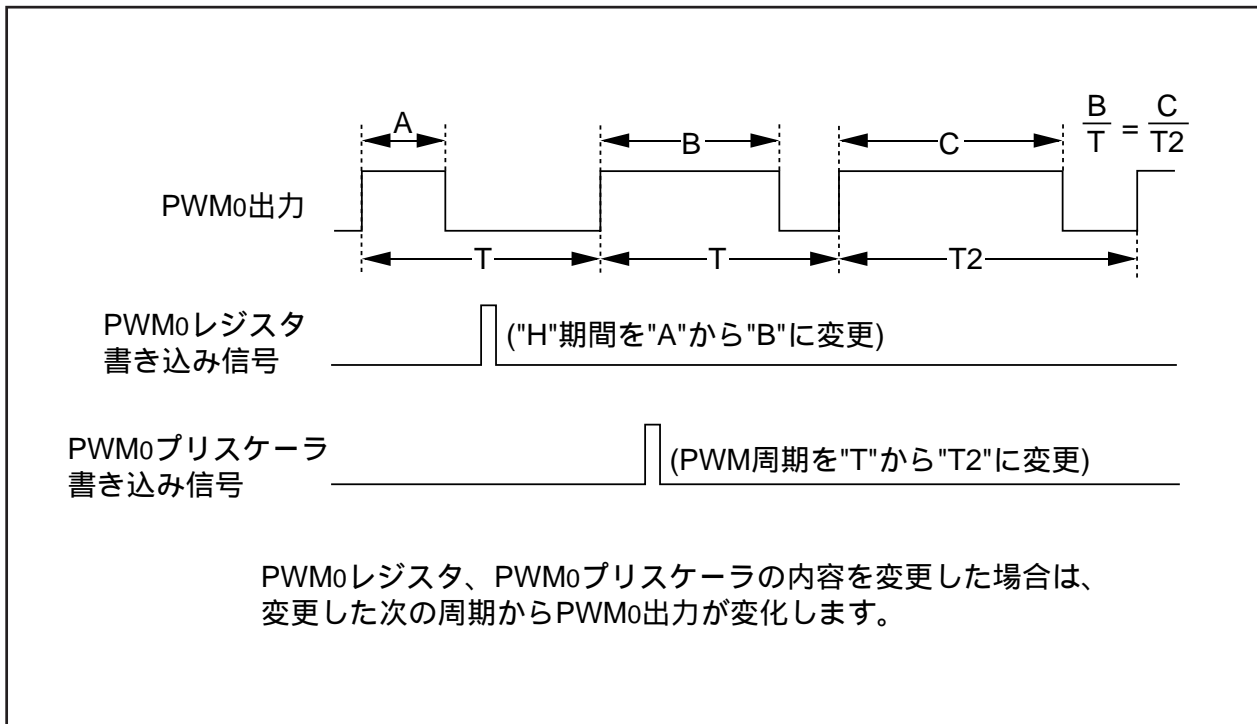
### ・PWMの動作

PWM制御レジスタ $\kappa$ のビット $\alpha$ (PWM0出力許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

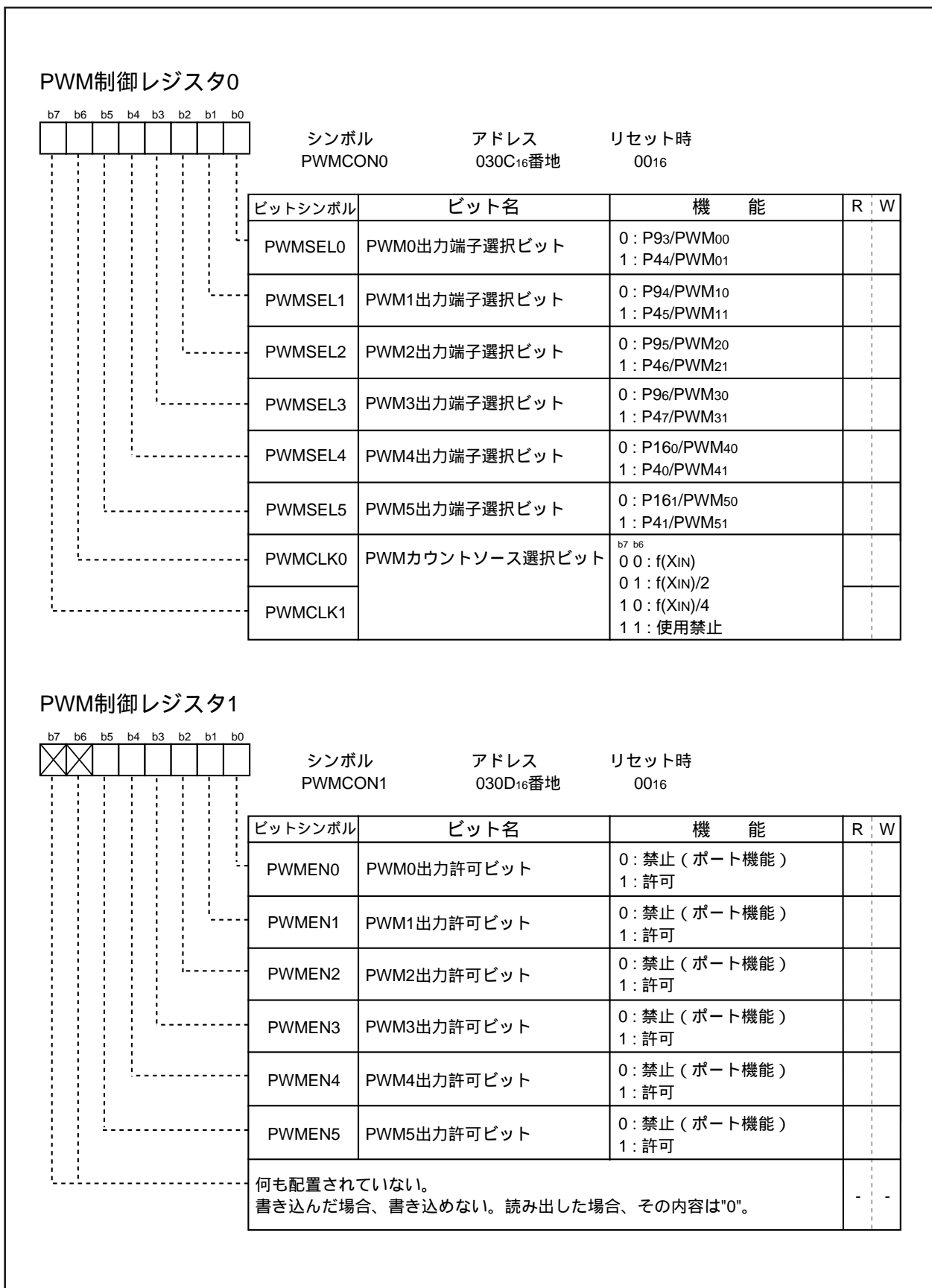
PWM出力中にPWM0レジスタ、PWM0プリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。



図LA-2. PWM周期のタイミング図(PWM0)



図LA-3 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図(PWM0)



図LA-4 . PWM制御レジスタの構成

## LPCバスインタフェース

LPC (Low Pin Count)バスインタフェースは、Intel社のLPC Interface Specification, Revision 1.0.のI/Oサイクルデータ転送フォーマットに基づいてシリアル通信を行う回路で、4チャンネル内蔵しています。

MELPS8 - 41シリーズと機能的にほぼ同等のデータバスバッファ、データバスバッファステータス機能を持ち、ホストCPU側からの制御信号によって読み出し、書き込み(スレーブモード)が可能です。

LPCバスインタフェース機能のブロック図を図GF-2に示します。

LPCデータバスバッファ機能入出力端子(P30 ~ P36)は、通常のデジタルポート入出力端子と兼用しています。LPC制御レジスタ(02D6<sub>16</sub>番地)のビット3(LPCバスバッファ許可ビット)が“0”のときは、通常のデジタルポート入出力端子となります。“1”のときは、LPCバスバッファ機能入出力端子となります。

LPCバスバッファを使用するチャンネルの許可は、LPC制御レジスタ(02D6<sub>16</sub>番地)のビット4 ~ 7(LPCバスバッファ0 ~ 3許可ビット)により行います。

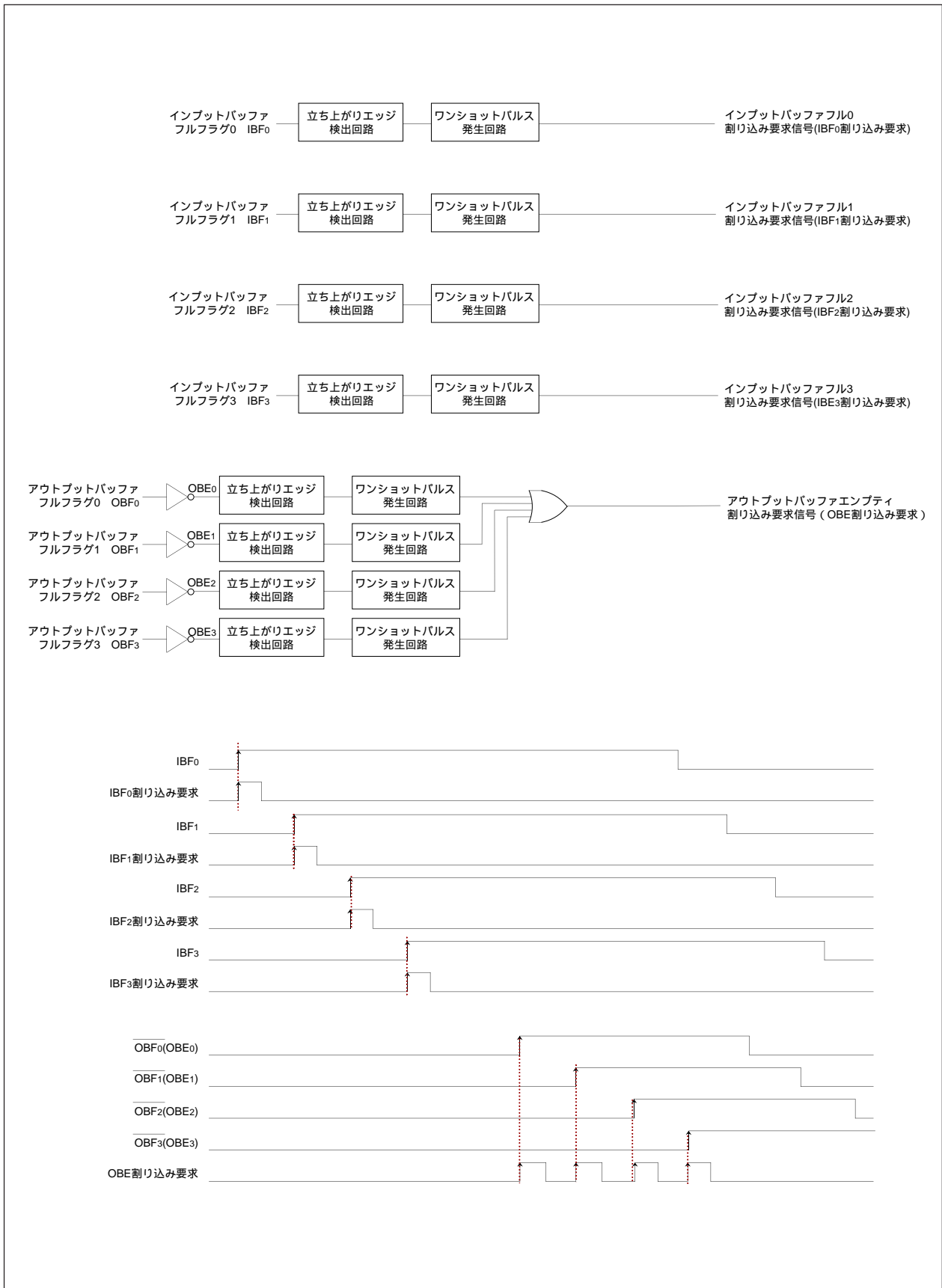
LPCバスバッファのチャンネル0はスレーブアドレスが0060h, 0064h固定になっています。

LPCバスバッファのチャンネル1 ~ 3は16ビットのスレーブアドレスがLPC1 ~ 3アドレスレジスタH, L(02D0<sub>16</sub> ~ 02D5<sub>16</sub>番地)で設定できます。

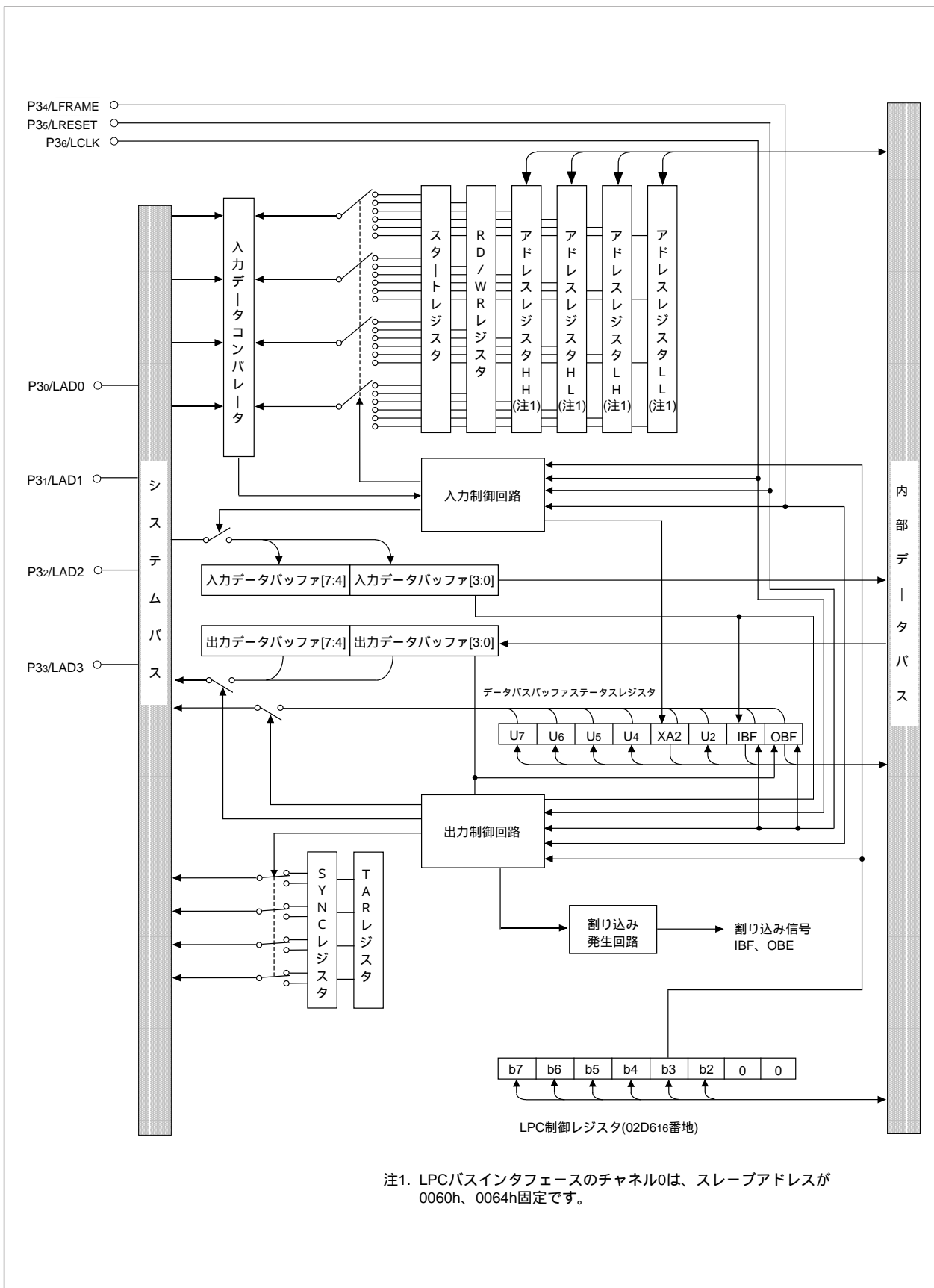
ただし、スレーブアドレスA2に対応するLPCSAD2は書き込みができません。LPCSAD2を読み出した場合は“0”が読み出されます。ホストCPUからの書き込み時、スレーブアドレスA2の値はXA2フラグにラッチします。

ホストCPU側からデータが書き込まれるとインプットバッファフル割り込みが発生します。また、ホストCPUからデータが読み出されるときにアウトプットバッファEMPTY割り込みが発生します。





図GF-1. データバスバッファの割り込み要求回路



図GF-2. LPCバスインタフェース機能ブロック図 (LPC1)

図GF-3にデータバスバッファ制御レジスタの構成、図GF-4にデータバスバッファステータスレジスタの構成、図GF-5, 6にLPC関連レジスタの構成を示します。

#### データバスバッファステータスレジスタ DBBSTS0 ~ DBBSTS3

このレジスタは8ビットのレジスタでビット0, 1, 3は読み出し専用で、データバスバッファの状態を示します。ビット2, 4, 5, 6, 7はプログラムにより設定できるユーザデファイナブルフラグで読み書き可能です。ホストCPUからは、16ビットスレーブアドレスのビット2 (A2)の状態を' H 'にして読み出すことのみ可能です。

##### ・アウトプットバッファフルフラグ OBF

出力データバスバッファに書き込みを行うと' 1 'がセットされ、ホストCPUにより読み出されると' 0 'にクリアされます。

##### ・インプットバッファフルフラグ IBF

ホストCPUから、入力データバスバッファに書き込みを行うと' 1 'がセットされ、スレーブCPU側より読み出すと' 0 'にクリアされます。

##### ・XA2フラグ XA2

ホストCPUから入力データバスバッファに書き込んだときの16ビットスレーブアドレスのA2の状態がラッチされます。

#### 入力データバスバッファレジスタ DBBIN0 ~ DBBIN3

ホストCPUからの書き込み要求によりデータバス上のデータが、DBBIN0 ~ 3にラッチされます。SFR上のデータバスバッファレジスタ(02C0<sub>16</sub>番地、あるいは02C2<sub>16</sub>、02C4<sub>16</sub>、02C6<sub>16</sub>番地)から、DBBIN0 ~ 3のデータを読み出すことができます。

#### 出力データバスバッファレジスタ DBBOUT0 ~ DBBOUT3

SFR上のデータバスバッファレジスタ(02C0<sub>16</sub>番地、あるいは02C2<sub>16</sub>、02C4<sub>16</sub>、02C6<sub>16</sub>番地)に書き込みを行うことで、DBBOUT0 ~ 3にデータをセットします。ホストCPUから、16ビットスレーブアドレスのA2の状態を' L 'にして読み出し要求を行うことにより、DBBOUT0 ~ 3のデータがデータバスに出力されます。

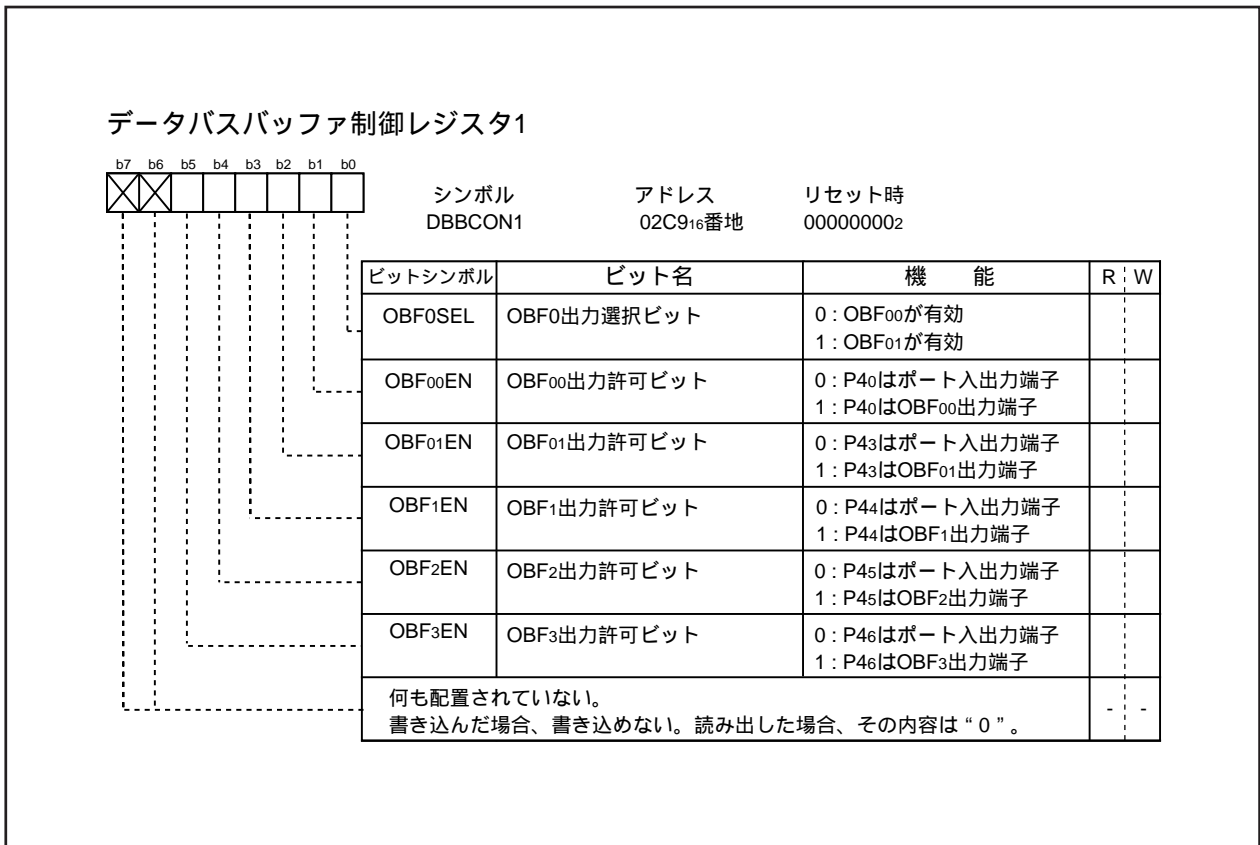
#### LPCiアドレスレジスタH/L i=1 ~ 3 LPC1ADH ~ LPC3ADH/LPC1ADL ~ LPC3ADL

LPCバスバッファのチャネル0はスレーブアドレスが0060h, 0064h固定になっています。LPCバスバッファのチャネル1 ~ 3は16ビットのスレーブアドレスがLPC1 ~ 3アドレスレジスタH/L(02D0<sub>16</sub> ~ 02D5<sub>16</sub>番地)で設定できます。

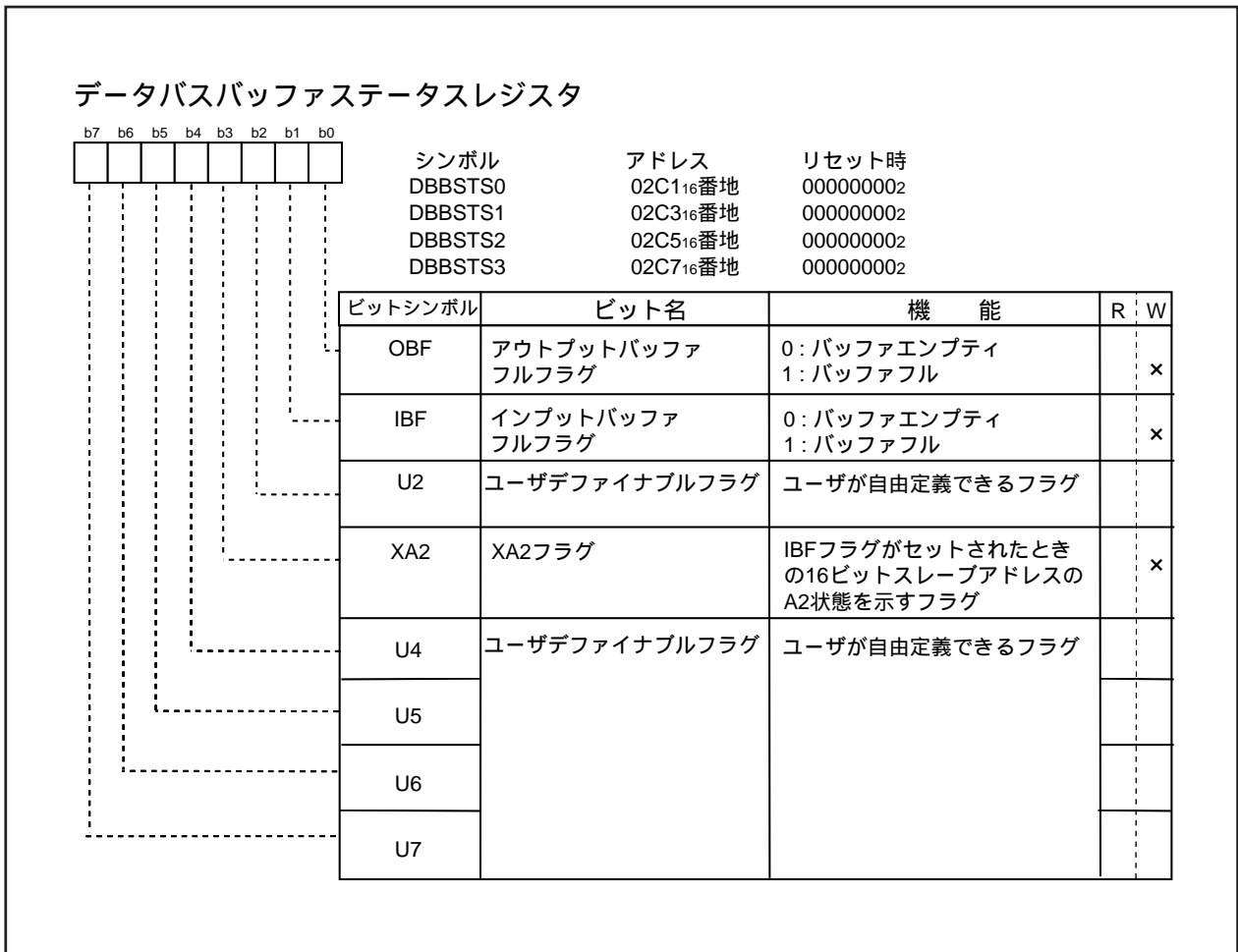
このレジスタは16ビットのスレーブアドレスの上位8ビット、下位8ビットを設定するレジスタです。このレジスタはプログラムで任意にセット、クリアすることができます。

但し、LPC1 ~ 3アドレスレジスタLのビット2には設定する値に関わらずデコードしません。また、スレーブCPUからのリード時は' 0 'が読み出されます。ホストCPUからのライト時のスレーブアドレス結果のA2の状態はXA2フラグにラッチされます。

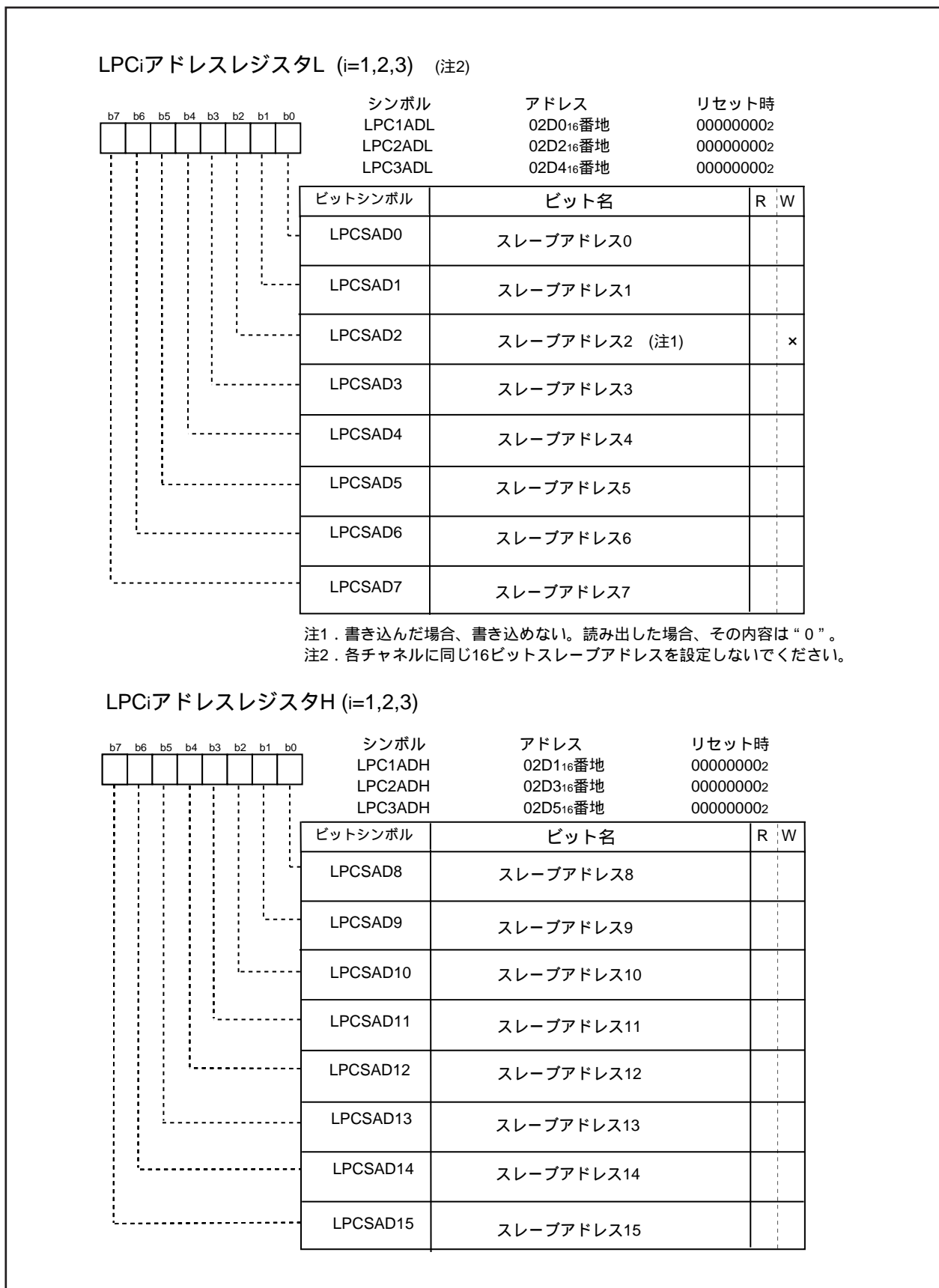
このレジスタに書き込まれたスレーブアドレスと、受信するアドレスデータとを比較します。



図GF-3. データバスバッファ制御レジスタの構成



図GF-4. データバスバッファステータスレジスタの構成



図GF-5. LPC関連レジスタの構成

## LPC制御レジスタ LPCCON

## ・LPCバスバッファ許可ビット LPCBEN

“ 0 ”をセットした場合、P30～P36は、通常のポート入出力端子になります。

“ 1 ”をセットした場合、LPCバスバッファとしての使用が許可されます。

## ・LPCバスバッファ0許可ビット LPCEN0

“ 0 ”をセットした場合、LPCバスバッファ0の使用を禁止します。

“ 1 ”をセットした場合、LPCバスバッファ0の使用が許可されます。

## ・LPCバスバッファ1許可ビット LPCEN1

“ 0 ”をセットした場合、LPCバスバッファ1の使用を禁止します。

“ 1 ”をセットした場合、LPCバスバッファ1の使用が許可されます。

## ・LPCバスバッファ2許可ビット LPCEN2

“ 0 ”をセットした場合、LPCバスバッファ2の使用を禁止します。

“ 1 ”をセットした場合、LPCバスバッファ2の使用が許可されます。

## ・LPCバスバッファ3許可ビット LPCEN3

“ 0 ”をセットした場合、LPCバスバッファ3の使用を禁止します。

“ 1 ”をセットした場合、LPCバスバッファ3の使用が許可されます。

## ・LPCソフトウェアリセットビット LPCSR

このビットに“ 1 ”を設定することで、LPCバスインタフェースの機能は、 $\overline{\text{LRESET}} = \text{L}$  の時と同様にリセット状態になります。また、“ 1 ”を書き込んだ後、BCLKの1.5サイクル後にリセットが解除されると同時に、このビットは“ 0 ”になります。

“ 0 ”を設定しても何も起こりません。

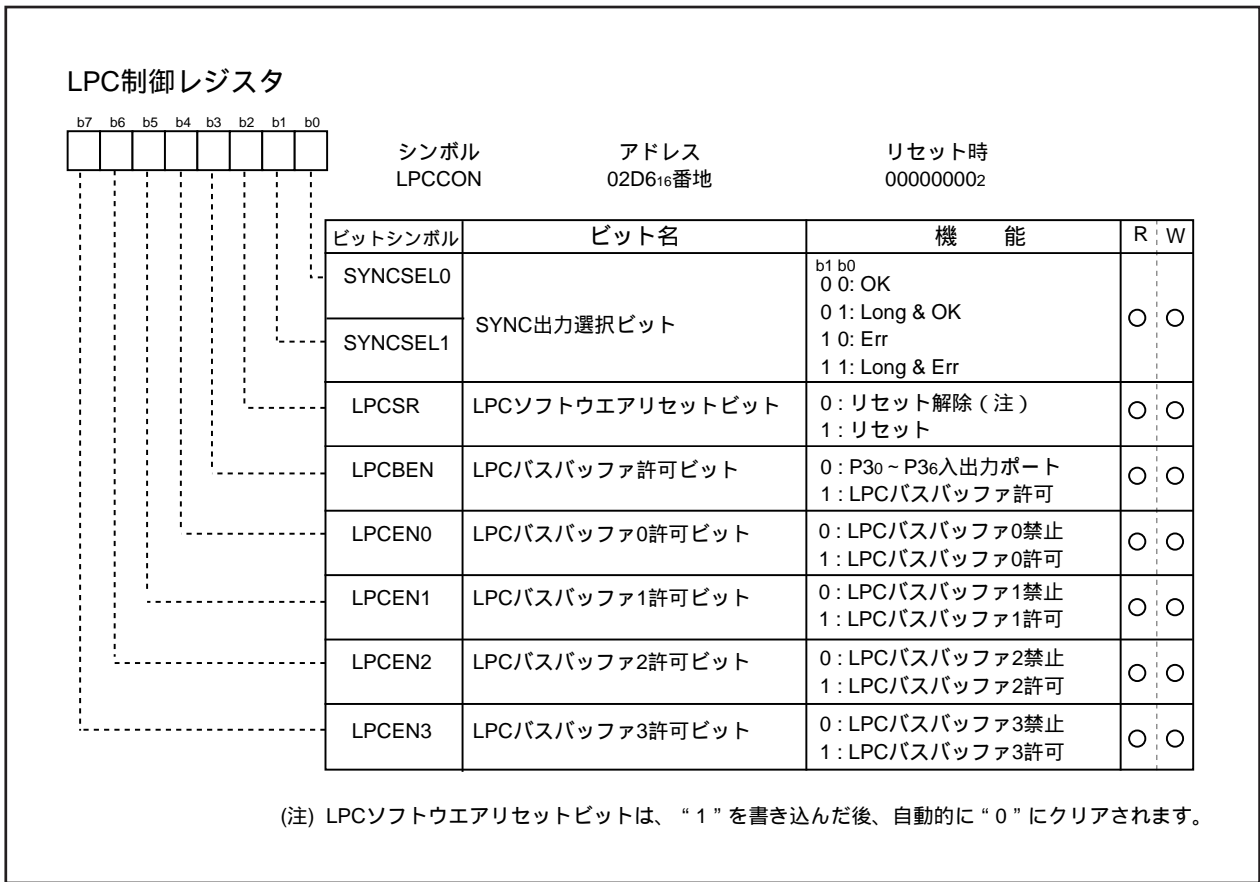
## SYNC出力選択

LPC制御レジスタのビット0、1(SYNC出力選択ビット)により、SYNC出力の内容を切り替えることができます。

図GF-6にLPC制御レジスタの構成を、表GF-1にSYNC出力選択ビットによるSYNC出力の内容の違いを示します。

表GF-1. SYNC出力

SYNCSEL1	SYNCSEL0	SYNCサイクル数	SYNC出力			
			第1サイクル	第2サイクル	第3サイクル	第4サイクル
0	0	1	00002	-	-	-
0	1	4	01102	01102	01102	00002
1	0	1	10102	-	-	-
1	1	4	01102	01102	01102	10102



図GF-6. LPC関連レジスタの構成



## LPCバスインタフェースの基本動作

図GF-7に状態遷移図を示します。

LPCバスインタフェース機能を使用する場合は、まずLPC制御レジスタ(02D6<sub>16</sub>番地)のビット3(LPCバスバッファ許可ビット)を'1'にし、LPC制御レジスタ(02D6<sub>16</sub>番地)のビット4~7(LPCバスバッファ0~3許可ビット)で使いたいチャンネルを選択し、そのチャンネルの許可ビットを'1'にすることで、LPCバスインタフェース機能を使用できる状態にします。

LPCバスバッファのチャンネル1~3を使用する場合は、16ビットのスレーブアドレスをLPC1~3アドレスレジスタH、L(02D0<sub>16</sub>~02D5<sub>16</sub>番地)で設定します。

データバスバッファ制御レジスタ(02C8<sub>16</sub>番地)のビット6,7(IBF/OBE割り込み要求ビット)で割り込み要求を設定します。

データバスバッファ制御レジスタ(02C9<sub>16</sub>番地)のビット(0BF0出力選択ビット)およびビット1~5(OBFi出力許可ビットi=00, 01, 1~3)でOBF出力端子を設定します。

## (1)ホストからのI/Oライトサイクル例

図GF-8にライト動作タイミング図を示します。

LPC I/Oプロトコルの基本サイクルは、13クロック分の通信です。LCLKの立ち上がりによりLAD[3:0]のバス上のデータを取り込みます。通信はLFRAMEの立ち上がりにより開始されます。

- ・第1サイクル、LFRAMEが"L"の時にLAD[3:0]が"0000<sub>2</sub>"で通信のスタート検出。
- ・第2サイクル、LFRAMEが"H"になった時にLAD[3:0]が"001X<sub>2</sub>"でライト動作検出。
- ・第3サイクル~第6サイクル、4クロック分で16ビットのスレーブアドレス検出。
  - 第3サイクル:ホスト側からLAD[3:0]にスレーブアドレス[15:12]を出力
  - 第4サイクル:ホスト側からLAD[3:0]にスレーブアドレス[11:8]を出力
  - 第5サイクル:ホスト側からLAD[3:0]にスレーブアドレス[7:4]を出力
  - 第6サイクル:ホスト側からLAD[3:0]にスレーブアドレス[3:0]を出力
- ・第7サイクル~第8サイクル、2クロック分で8ビットのデータをLAD[3:0]から入力データバッファに入力。
  - 第7サイクル:ホスト側からLAD[3:0]にライトデータ[3:0]を出力
  - 第8サイクル:ホスト側からLAD[3:0]にライトデータ[7:4]を出力
- ・第9サイクル~第10サイクル、2クロック分のTARでLPCバス上の通信方向をスレーブ側にかえる。
  - 第9サイクル:ホスト側からLAD[3:0]に"1111<sub>2</sub>"を出力
  - 第10サイクル:ホスト側からLAD[3:0]をハイインピーダンスにし、通信方向をかえる。
- ・第11サイクル、1クロック分でLAD[3:0]に"0000<sub>2</sub>"(SYNC OK)を出力。
- ・第12サイクル、1クロック分のTARでLAD[3:0]に"1111<sub>2</sub>"を出力。また、XA2フラグ、IBFフラグをセットし、IBF割り込み信号を発生。
- ・第13サイクル、1クロック分でLPCバス上をハイインピーダンスにし、LPCバス上の通信方向をホスト側にかえる。

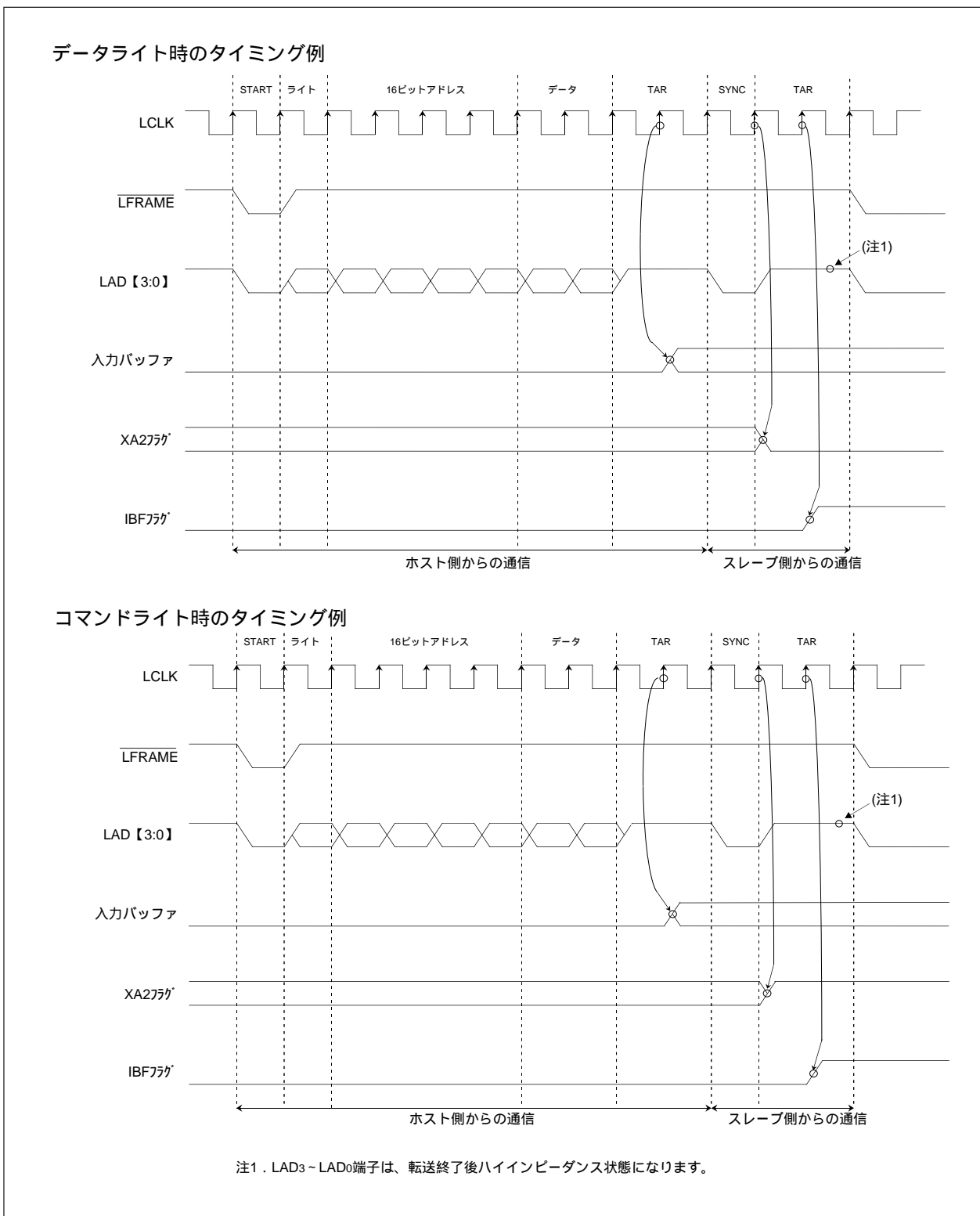
システムライト動作時の16ビットスレーブアドレスのA2の状態をXA2フラグにラッチする。スレーブCPUによって入力データバッファの8ビットデータを読むと同時に、IBFフラグを立ち下げる。

## (2)ホストからのI/Oリードサイクル例

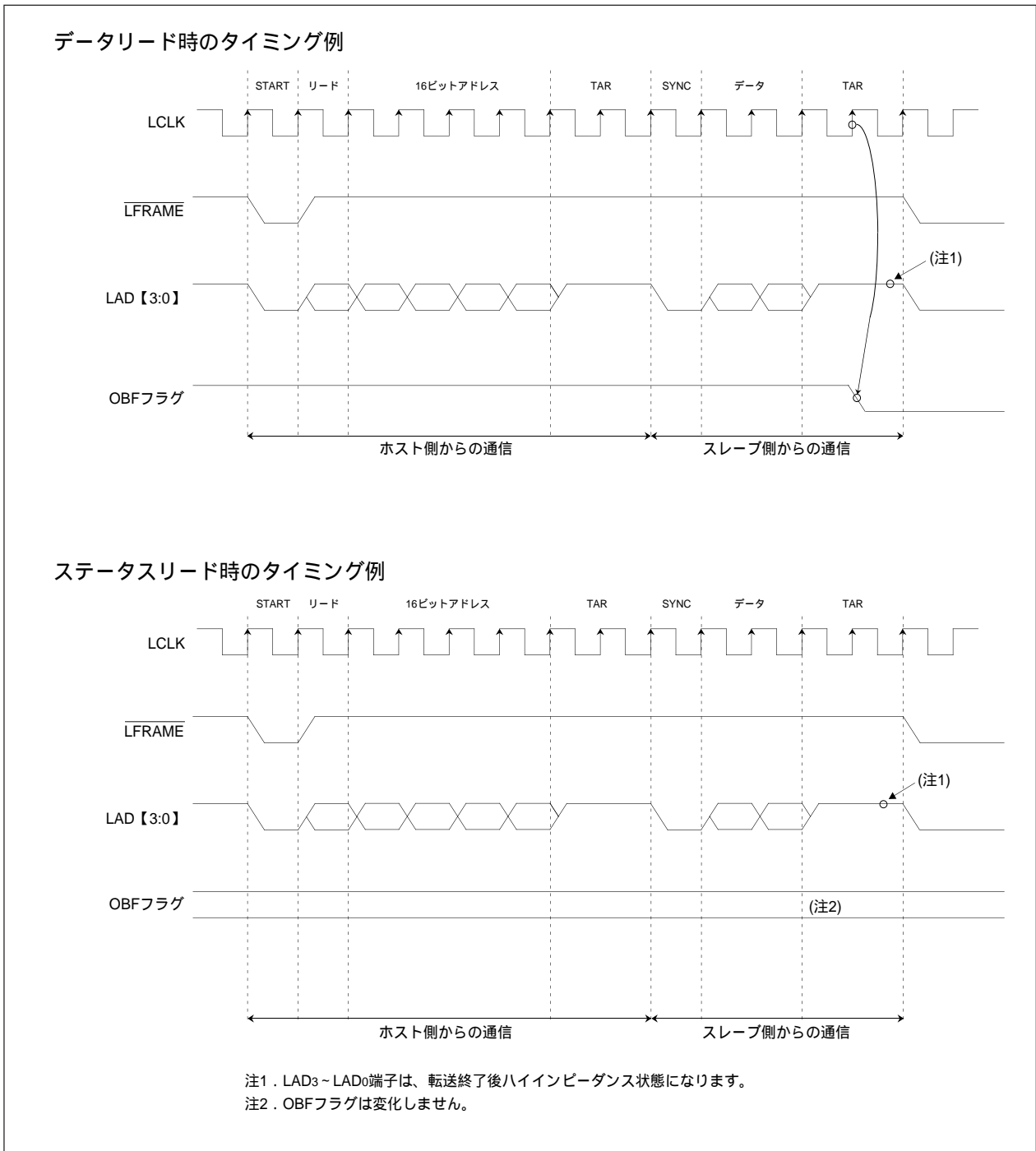
図GF-9にリード動作タイミング図を示します。

LPC I/O プロトコルの基本サイクルは、13クロック分の通信です。LCLKの立ち上がりによりLAD【3:0】のバス上のデータを取り込みます。通信はLFRAMEの立ち下がりにより開始されます。

- ・第1サイクル、LFRAMEが"L"の時にLAD【3:0】が"0000<sub>2</sub>"で通信のスタート検出。
- ・第2サイクル、LFRAMEが"H"になった時にLAD【3:0】が"000X<sub>2</sub>"でリード動作検出。
- ・第3サイクル～第6サイクル、4クロック分で16ビットのスレーブアドレス検出。
  - 第3サイクル: ホスト側からLAD【3:0】にスレーブアドレス【15:12】を出力
  - 第4サイクル: ホスト側からLAD【3:0】にスレーブアドレス【11:8】を出力
  - 第5サイクル: ホスト側からLAD【3:0】にスレーブアドレス【7:4】を出力
  - 第6サイクル: ホスト側からLAD【3:0】にスレーブアドレス【3:0】を出力
- ・第7サイクル～第8サイクル、2クロック分のTARでLPCバス上の通信方向をスレーブ側にかえる。
  - 第7サイクル: ホスト側からLAD【3:0】に"1111<sub>2</sub>"を出力
  - 第8サイクル: ホスト側からLAD【3:0】をハイインピーダンスにし、通信方向をかえる。
- ・第9サイクル、1クロック分でLAD【3:0】に"0000<sub>2</sub>"(SYNC OK)を出力。
- ・第10サイクル～第11サイクル、2クロック分で8ビットのデータを出力データバッファから、又は8ビットのステータスデータをLAD【3:0】に出力。
  - 第10サイクル: スレーブ側からLAD【3:0】に出力データバッファ【3:0】又はデータバッファステータス【3:0】を出力
  - 第11サイクル: スレーブ側からLAD【3:0】に出力データバッファ【7:4】又はデータバッファステータス【7:4】を出力
- ・第12サイクル、1クロック分のTARでLAD【3:0】に"1111<sub>2</sub>"を出力。また、OBFフラグをクリアし、OBE割り込み信号を発生。
- ・第13サイクル、1クロック分でLPCバス上をハイインピーダンスにし、LPCバス上の通信方向をホスト側にかえる。  
スレーブCPUによって出力データバッファに8ビットデータを書き込んだ時点で、OBFフラグを立ち上げる。



図GF-7. ライト動作タイミング図



図GF-8. リード動作タイミング図

表GF-2. LPCバスインタフェース機能選択時における制御入出力端子の機能説明

端子名	名称	LPC バス 許可ビット	OBF0 出力選択 ビット	OBF00 出力選択 ビット	OBF01 出力選択 ビット	OBF1 出力選択 ビット	OBF2 出力選択 ビット	OBF3 出力選択 ビット	HOST <sup>EN</sup> 制御 ビット	入出力	機能説明
P30/LAD0	LAD0	02D6:16番地 ビット3	-	-	-	-	-	-	02C9:16番地 ビット6	入出力	LPCバス上でホストと周辺機器間のアド レス、コマンド及びデータを送受信する のに用います。
P31/LAD1	LAD1	02D6:16番地 ビット3	-	-	-	-	-	-	-	入出力	
P32/LAD2	LAD2	02D6:16番地 ビット3	-	-	-	-	-	-	-	入出力	
P33/LAD3	LAD3	02D6:16番地 ビット3	-	-	-	-	-	-	-	入出力	
P34/LFRAME	LFRAME	02D6:16番地 ビット3	1	-	-	-	-	-	-	入力	LPC通信のスタート、及び異常通信サイ クルの終了を指し示すのに用います。
P35/LRESET	LRESET	02D6:16番地 ビット3	1	-	-	-	-	-	-	入力	LPC通信のリセット信号。LPCバスイン タフェース機能をリセットします。
P36/LCLK	LCLK	02D6:16番地 ビット3	1	-	-	-	-	-	-	入力	LPC通信の同期クロック信号。
P40/OBF00	OBF00	02D6:16番地 ビット3	-	0	1	-	-	-	-	出力	ステータス出力信号。OBF00信号が出力 されます。
P43/OBF01	OBF01	02D6:16番地 ビット3	-	1	0	-	-	-	-	出力	ステータス出力信号。OBF01信号が出力 されます。
P44/OBF1	OBF1	02D6:16番地 ビット3	-	-	-	1	-	-	-	出力	ステータス出力信号。OBF1信号が出力 されます。
P45/OBF2	OBF2	02D6:16番地 ビット3	-	-	-	-	1	-	-	出力	ステータス出力信号。OBF2信号が出力 されます。
P46/OBF3	OBF3	02D6:16番地 ビット3	-	-	-	-	-	1	-	出力	ステータス出力信号。OBF3信号が出力 されます。

表GF-3.  $\overline{\text{LRESET}}$ 入力によるLPCバスインタフェース機能の状態

	端子、内部レジスタ	$\overline{\text{LRESET}}$ 端子“H”時	$\overline{\text{LRESET}}$ 端子“L”時	備考	
端子	P30/LAD0	LPCバスインタフェース機能(機能選択時)	入出力ポート		
	P31/LAD1				
	P32/LAD2				
	P33/LAD3				
	P34/LFRAME		入出力ポート		
	P35/LRESET		LPCバスインタフェース機能		
	P36/LCLK				
	P40/OBF00		入出力ポート		(注) $\overline{\text{LRESET}}=\text{“L”}$ になるまでOBF出力端子として有効です。ポートを“L”出力設定とした場合、 $\overline{\text{LRESET}}=\text{“L”}$ になる直前にOBF信号が出力されるとポートにスパイクが出力されることがあります。
	P43/OBF01				
	P44/OBF1				
	P45/OBF2				
	P46/OBF3				
	P42/GATEA20				
内部レジスタ	入力データバスバッファ	不定			
	出力データバスバッファ	スレーブ側より書き込み不可			
	Uフラグ7,6,5,4,2	スレーブ側より書き込み、読み出し可能	(注)DBBSTS0のみ初期化読み出し時“0”になります。		
	XA2フラグ	初期化読み出し時“0”			
	IBFフラグ	初期化読み出し時“0”	(注)IBF割り込み要求を発生する場合があります。		
	OBFフラグ	初期化読み出し時“0”	(注)OBE割り込み要求を発生する場合があります。		
	LPCアドレスレジスタH/L	スレーブ側より書き込み、読み出し可能			
	LPC制御レジスタ	スレーブ側より書き込み、読み出し可能			
GA20回路	初期化				

### ゲートA20出力機能

LPCバスインタフェース機能のチャンネル0は、ハードウェアにて、GATEA20端子(ポートP42)の制御を行うことが可能です。

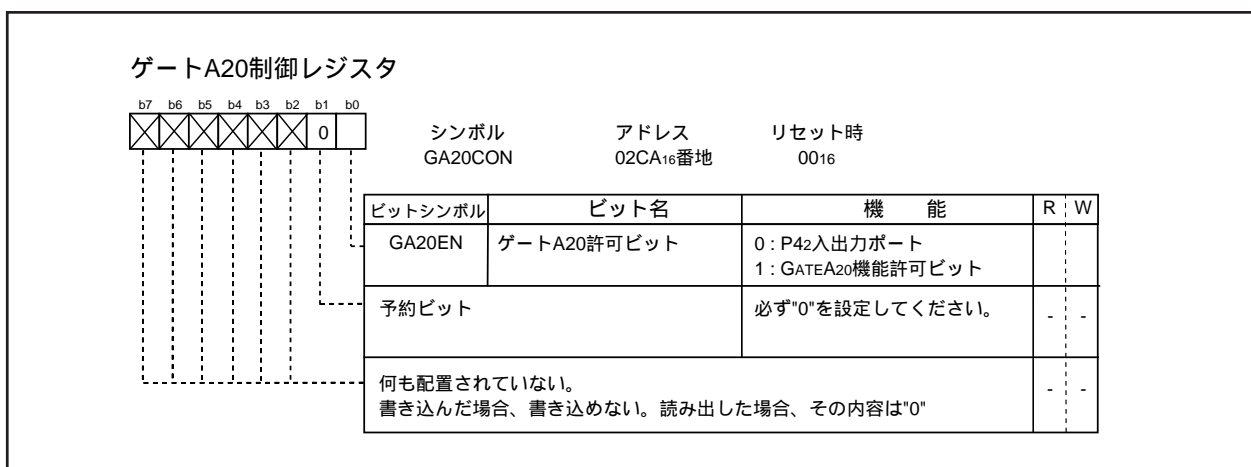
ゲートA20制御レジスタのビット0に“1”を書き込むことでポートP42端子は、GATEA20出力端子に切り替わります。GATEA20出力機能選択時の初期値は“1”です。図GF-9にゲートA20制御レジスタを示します。

ホストCPU側からスレーブアドレス0064<sub>16</sub>に“D1”コマンドを書き込み、続いてスレーブアドレス0060<sub>16</sub>にデータを書き込むことで、書き込まれたデータのビット1の値が、図GF-10に示すタイミングでGATEA20出力端子より出力されます。

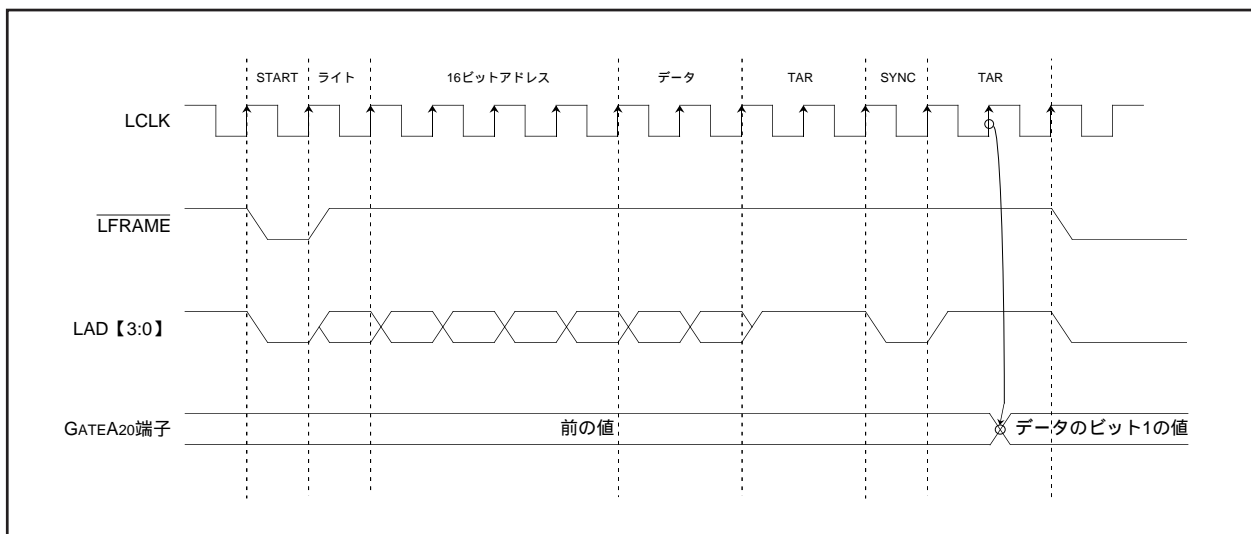
ゲートA20動作シーケンスについて、図GF-11、図GF-12に示します。また図中に示すように、本シーケンス中、インプットバッファフルフラグ(IBF0)の更新およびインプットバッファフル(IBF)割り込み要求は発生しません。ただし、入力データバスバッファおよびXA2フラグは更新されます。

GATEA20出力端子の出力値は、D1コマンドデータに続くデータが書き込まれるまで保持されます。

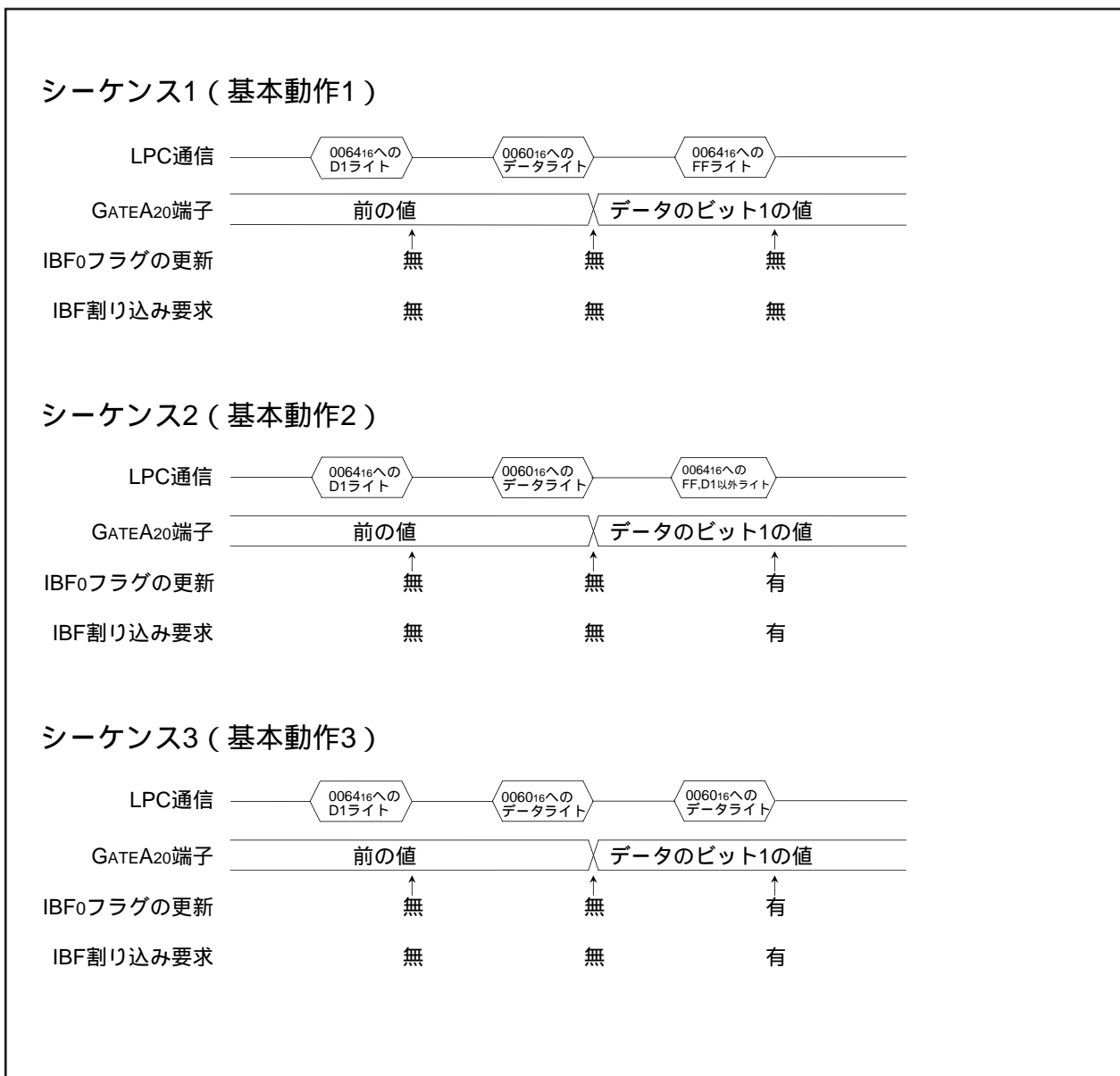
LRESET入力を“L”にすることでP42は入出力ポートになり、GATEA20出力値も“0”になります。また、動作中のシーケンスも初期化されます。ただし、ゲートA20許可ビットは変化しませんので、LRESET入力を“H”にすることで、GATEA20出力端子にもどり初期化されます。



図GF-9. ゲートA20制御レジスタ

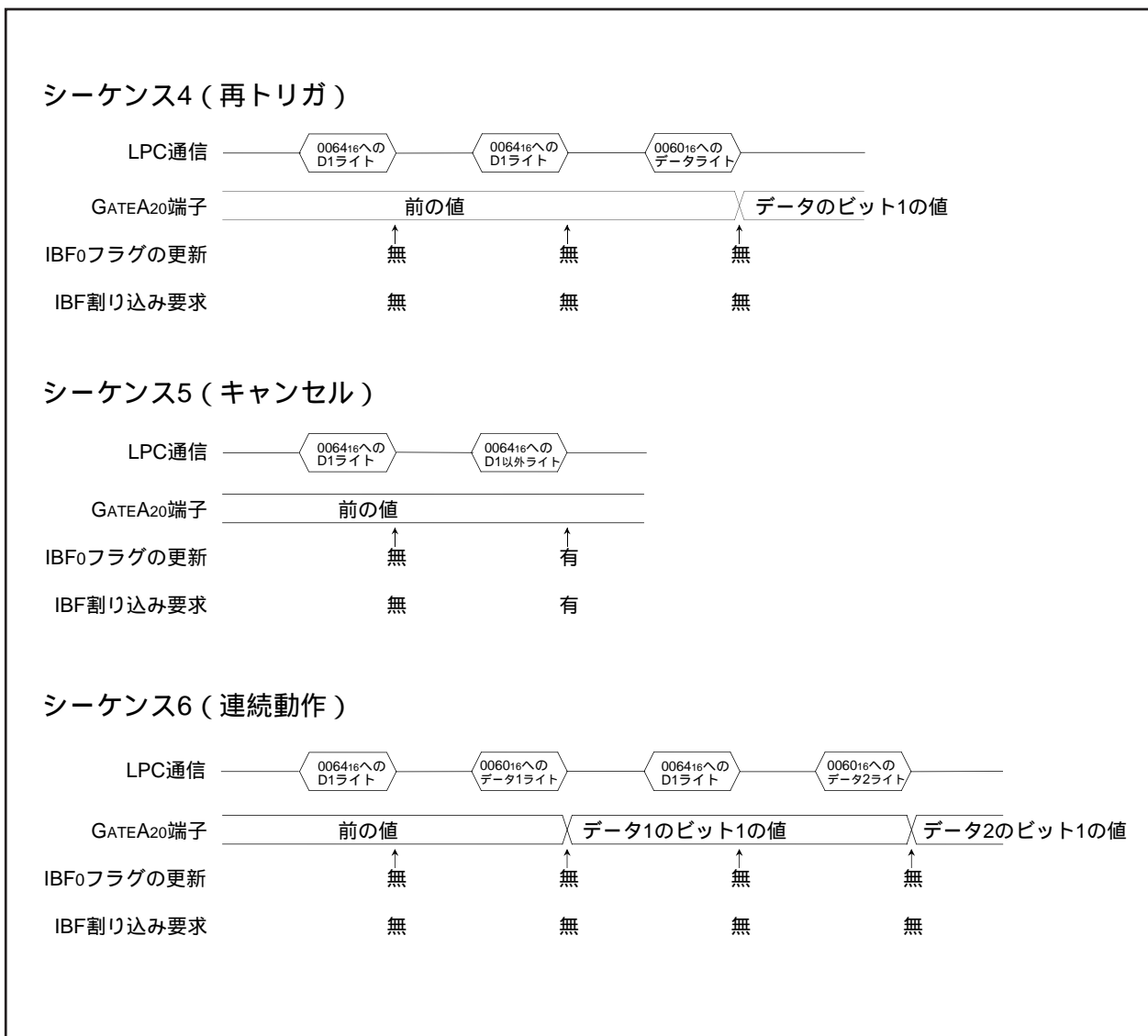


図GF-10. ゲートA20の出力タイミング



図GF-11. ゲートA20動作シーケンス(1)





図GF-12. ゲートA20動作シーケンス(2)

## シリアル割り込み出力

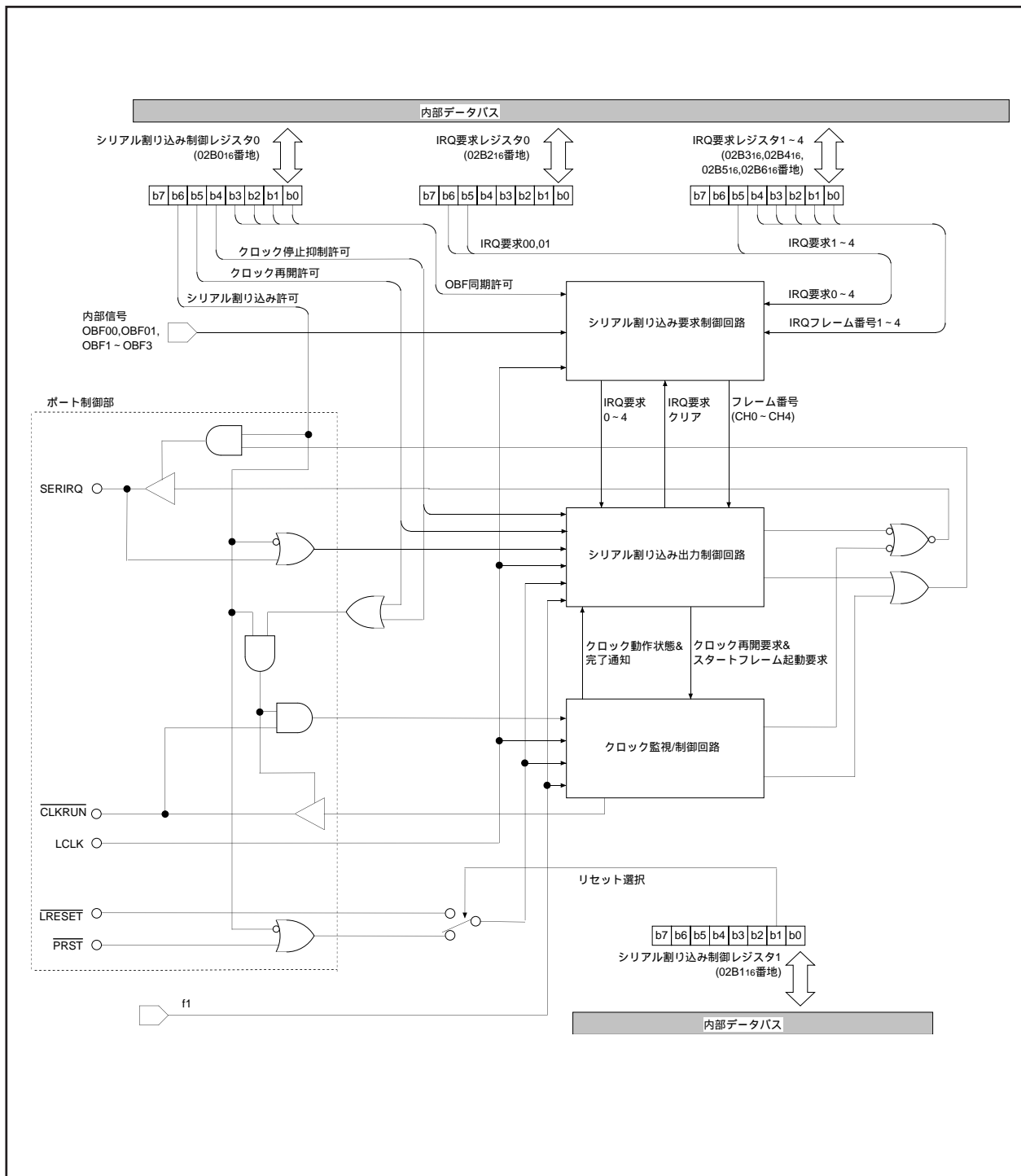
シリアル割り込み出力は、ホストCPUへの割り込み要求をシリアル割り込みのデータフォーマットで出力する回路です。表SI-1にシリアル割り込み出力の仕様を示します。

表SI-1. シリアル割り込み出力の仕様

項目	仕様
シリアル割り込み要因	シリアル割り込み出力で同時に出力可能なシリアル割り込み要求数(チャンネル数)は5要因です。各チャンネル毎の割り込み要因について説明します。 チャンネル0 IRQ要求レジスタ0のIRQ <sub>i</sub> 要求ビット(ビット5, 6 i=1, 12)を“1”にセットする事によりシリアル割り込み要求を発生。 ホストバスインタフェースの内部OBF00, OBF01信号に同期してシリアル割り込み要求を発生。 チャンネル1~3 IRQ要求レジスタ1~3のIRQ要求ビット(ビット5)を“1”にセットする事によりシリアル割り込み要求を発生。 ホストバスインタフェースの内部OBF1~3信号に同期してシリアル割り込み要求を発生。 チャンネル4 IRQ要求レジスタ4のIRQ要求ビット(ビット5)を“1”にセットする事によりシリアル割り込み要求を発生。
フレーム番号	チャンネル0 IRQ要求レジスタ0のIRQ1要求ビット(ビット5)を“1”にセット、またはホストバスインタフェースの内部OBF00信号と同期した場合、フレーム1を選択。 IRQ要求レジスタ0のIRQ12要求ビット(ビット6)を“1”にセット、またはホストバスインタフェースの内部OBF01信号と同期した場合、フレーム12を選択。 チャンネル1~4 IRQ要求レジスタ1~4のフレーム選択ビット(ビット0~4)でフレーム1~15、または拡張フレーム0~10を選択。
動作クロック	LCLK(最大33MHz)に同期して動作。(注)
クロックの再開	シリアル割り込み制御レジスタ0のクロック再開許可ビット(ビット6)に“1”を設定する事により、シリアル割り込み出力時にクロックが減速または停止していた場合に、クロックの再開要求を行います。
クロックの停止抑制	シリアル割り込み制御レジスタ0のクロック停止抑止ビット(ビット5)に“1”を設定する事により、シリアル割り込み送出時にクロックが減速または停止しようとした場合に、クロック停止の抑止要求を行います。
OBF同期の許可	シリアル割り込み制御レジスタ0のOBF00, OBF01, OBF1~3同期許可ビット(ビット0~4)に“1”を設定する事により、対応するOBF同期が許可されます。

(注) LCLKを有効にするため、LPCバスインタフェース機能を許可にする必要があります。

シリアル割り込みのブロック図を図SI-1に示します。



図SI-1. シリアル割り込みのブロック図

## (1)レジスタ説明

図SI-2にIRQ要求レジスタ0の構成、図SI-3にIRQ要求レジスタ1～4の構成、図SI-4, SI-5にシリアル割り込み制御レジスタ0, 1の構成を示します。

### IRQ要求レジスタ0 IRQR0

ソフトウェアによりチャンネル0のシリアル割り込み要求をセットします。

### IRQ1要求ビット IR0

このビットに“1”を書き込む事により、シリアル割り込み要求(フレーム1)を発生します。

また、シリアル割り込み制御レジスタ0のOBF00同期許可ビット(ビット0)を“1”に設定した場合、このビットは、ホストバスインタフェースの内部OBF00信号と同レベルとなり、内部OBF00信号が“1”のとき、シリアル割り込み要求を発生します。

このビットはソフトウェアによる“0”書き込みで“0”にクリアします。

OBF00同期許可ビットを“1”に設定した場合は、内部OBF00信号が“1”のときは、ソフトウェアによる“0”書き込みではIRQ1をクリアできません。

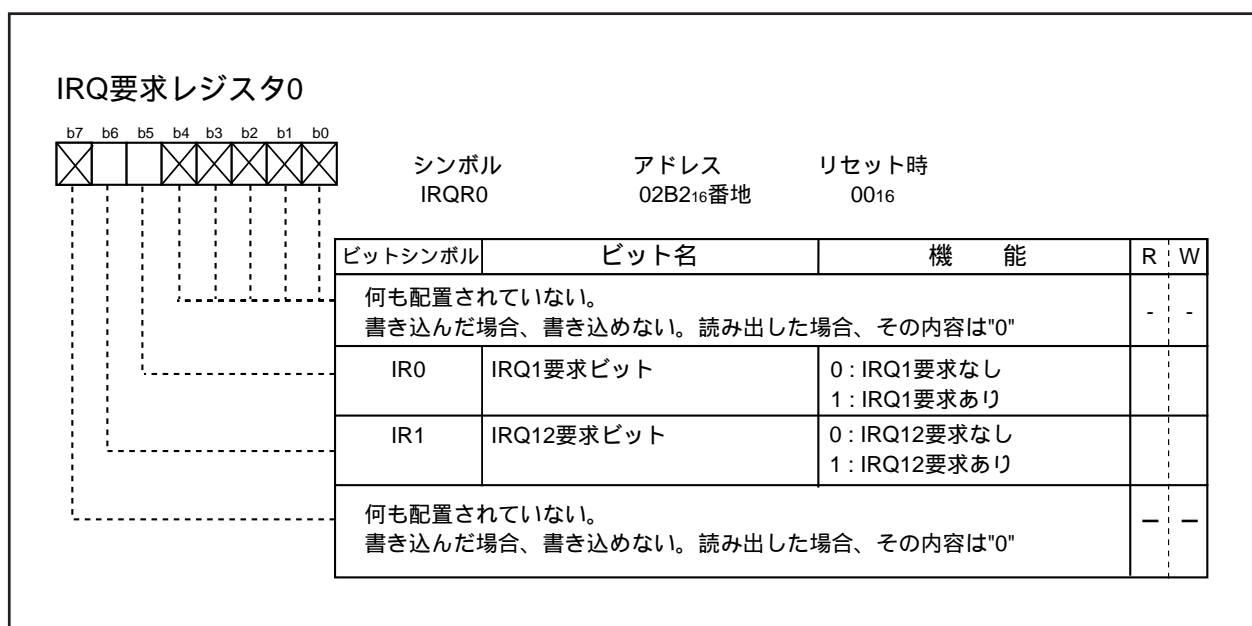
### IRQ12要求ビット IR1

このビットに“1”を書き込む事により、シリアル割り込み要求(フレーム12)を発生します。

また、シリアル割り込み制御レジスタ0のOBF01同期許可ビット(ビット1)を“1”に設定した場合、このビットは、ホストバスインタフェースの内部OBF01信号と同レベルとなり、内部OBF01信号が“1”のとき、シリアル割り込み要求を発生します。

このビットはソフトウェアによる“0”書き込みで“0”にクリアします。

OBF01同期許可ビットを“1”に設定した場合は、内部OBF01信号が“1”のときは、ソフトウェアによる“0”書き込みではIRQ12をクリアできません。



図SI-2. IRQ要求レジスタ0の構成

### IRQ要求レジスタi IRQRi (i=1~4)

ソフトウェアによりチャンネル1~4のシリアル割り込み要求をセットします。また、アサートするIRQフレームを選択します。

### IRQ要求ビット IR

このビットに“1”を書き込む事により、シリアル割り込み要求を発生します。

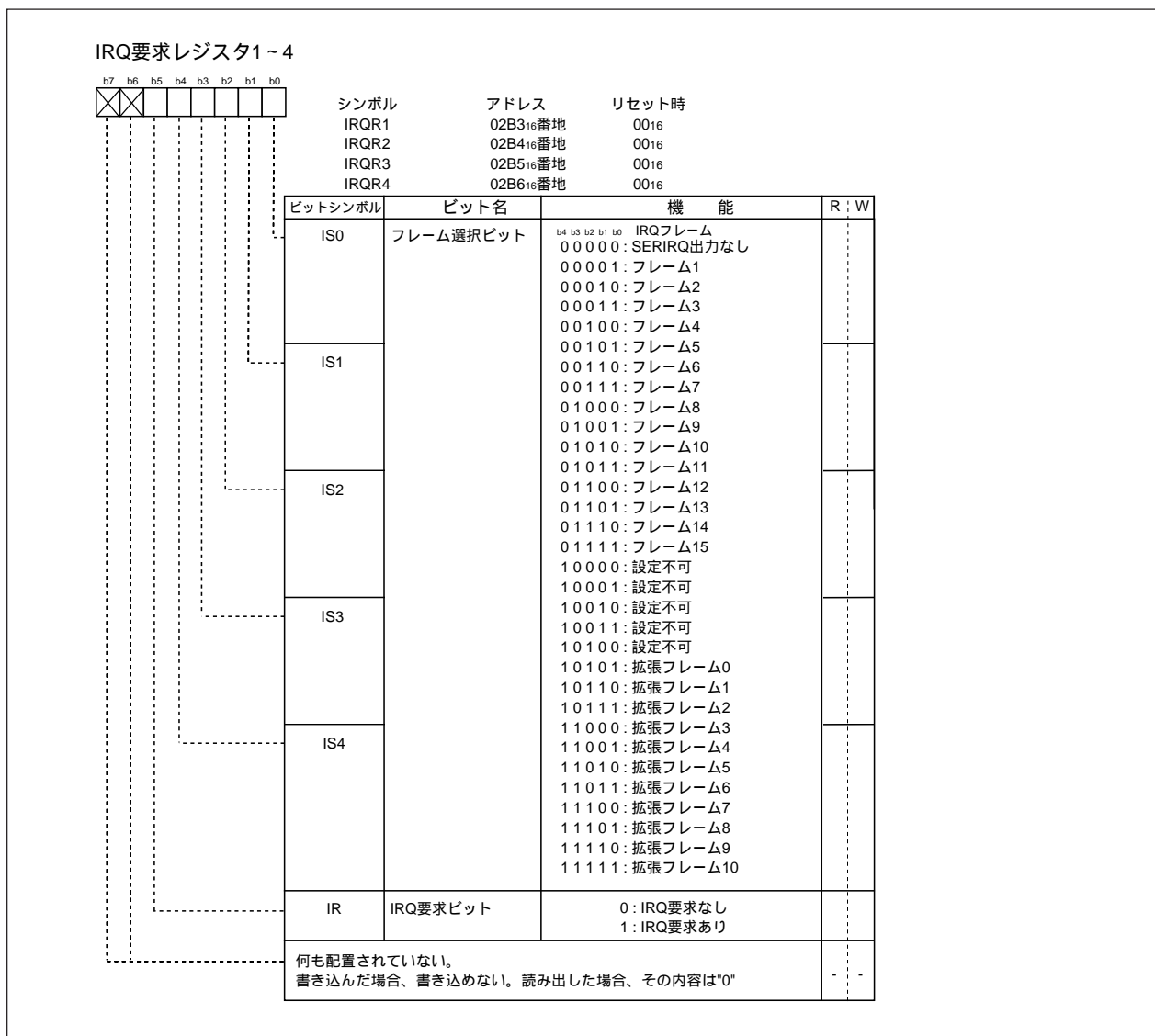
また、IRQ要求レジスタj(j=1~3)はシリアル割り込み制御レジスタ0のビット2~4(OBFj同期許可ビット)を“1”に設定した場合、このビットはホストバスインタフェースの内部OBFj信号と同レベルとなり、内部OBFj信号が“1”のとき、シリアル割り込み要求を発生します。

このビットはソフトウェアによる“0”書き込みで“0”にクリアします。

OBFj同期許可ビットを“1”に設定した場合、内部OBFj信号が“1”のときは、ソフトウェアによる“0”書き込みではクリアできません。

### IRQ選択ビット IS0~4

アサートするIRQフレームを選択します。



図SI-3. IRQ要求レジスタ1~4の構成

## シリアル割り込み制御レジスタ0 SERCON0

シリアル割り込みの動作条件を設定する為のレジスタです。

## OBFi同期許可ビット SENi (i=00, 01, 1~3)

本ビットに“1”を書き込むことにより、ホストバスインタフェースのOBFi信号に同期してシリアル割り込み要求を発生します。

## クロック停止抑止ビット SUPEN

本ビットに“1”を書き込むことにより、シリアル割り込み要求時に、クロックが停止または減速しようとした場合に、クロック停止の抑止要求を行います。

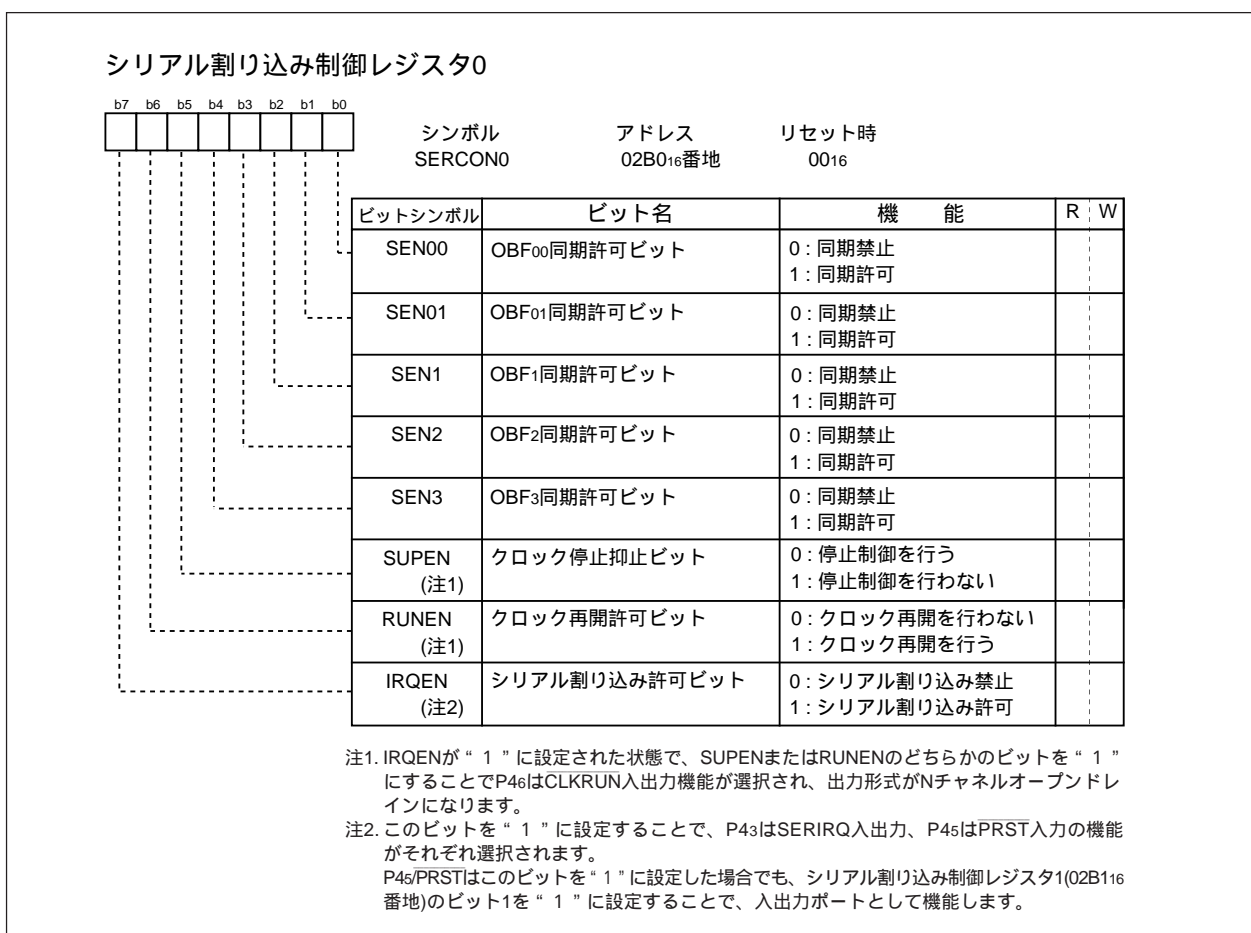
## クロック再開許可ビット RUNEN

本ビットに“1”を書き込むことにより、シリアル割り込み要求時に、クロックが停止または減速していた場合に、クロックの再開要求を行います。

## シリアル割り込み許可ビット IRQEN

0: SERIRQ、 $\overline{\text{PRST}}$ 、 $\overline{\text{CLKRUN}}$ は入出力ポート

1: SERIRQ、 $\overline{\text{PRST}}$ 、 $\overline{\text{CLKRUN}}$ はシリアル割り込み出力の入出力機能



図SI-4. シリアル割り込み制御レジスタ0の構成

### シリアル割り込み制御レジスタ1 SERCON1

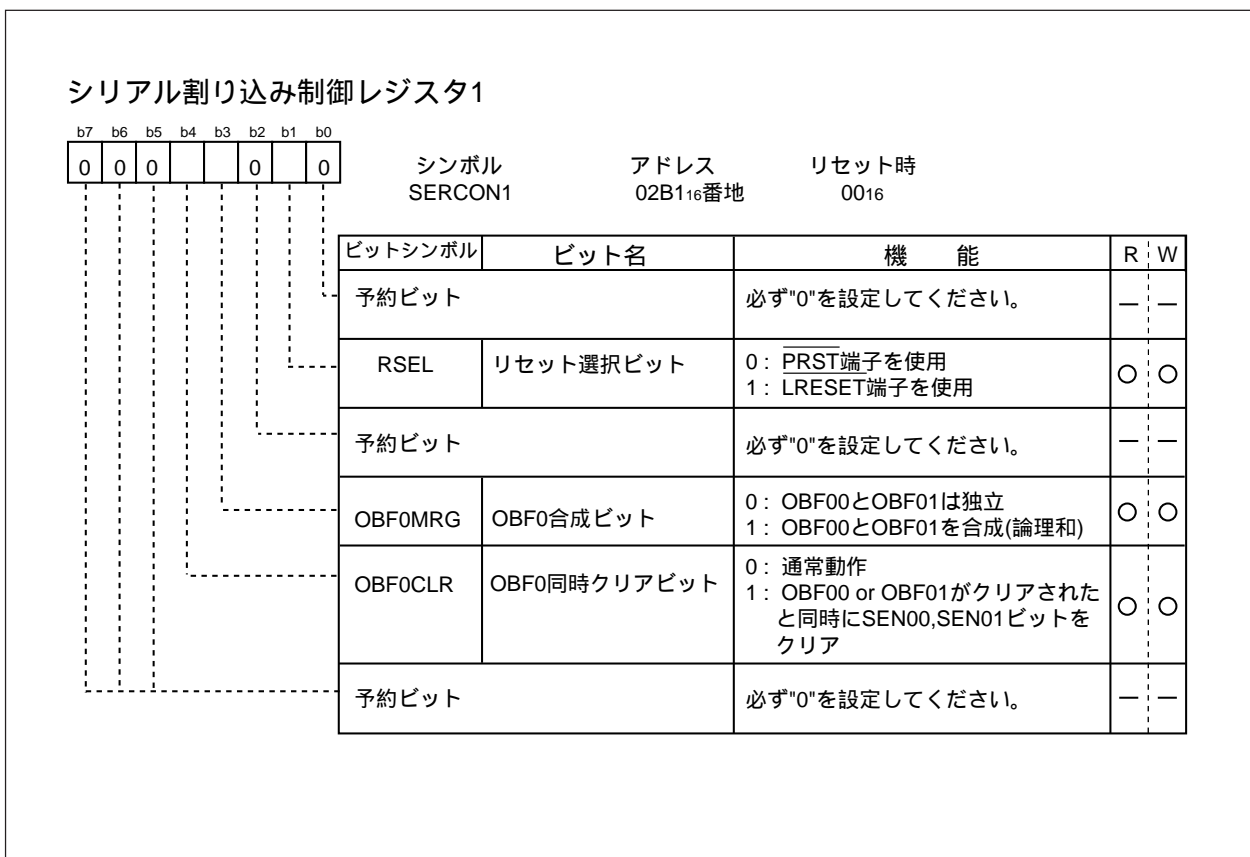
シリアル割り込みで使用する端子の設定を行う為のレジスタです。

#### リセット選択ビット RSEL

0 :  $\overline{\text{PRST}}$ 入力をリセット信号として動作します。

1 :  $\overline{\text{LRESET}}$ 入力をリセット信号として動作します。(注1)

注1. “1”を設定すると $\overline{\text{PRST}}$ 端子は入出力ポートとして機能します。



図SI-5. シリアル割り込み制御レジスタ1の構成

## OBF0合成機能

シリアル割り込み制御レジスタ1のビット3(OBF0合成ビット)により、シリアル割り込み回路へのOBF00信号とOBF01信号を合成することができます。

このビットを‘1’に設定することでLPCバスインタフェースからのOBF00信号とOBF01信号の論理和された信号が、シリアル割り込み回路内のIRQ1とIRQ12へ入力されます。

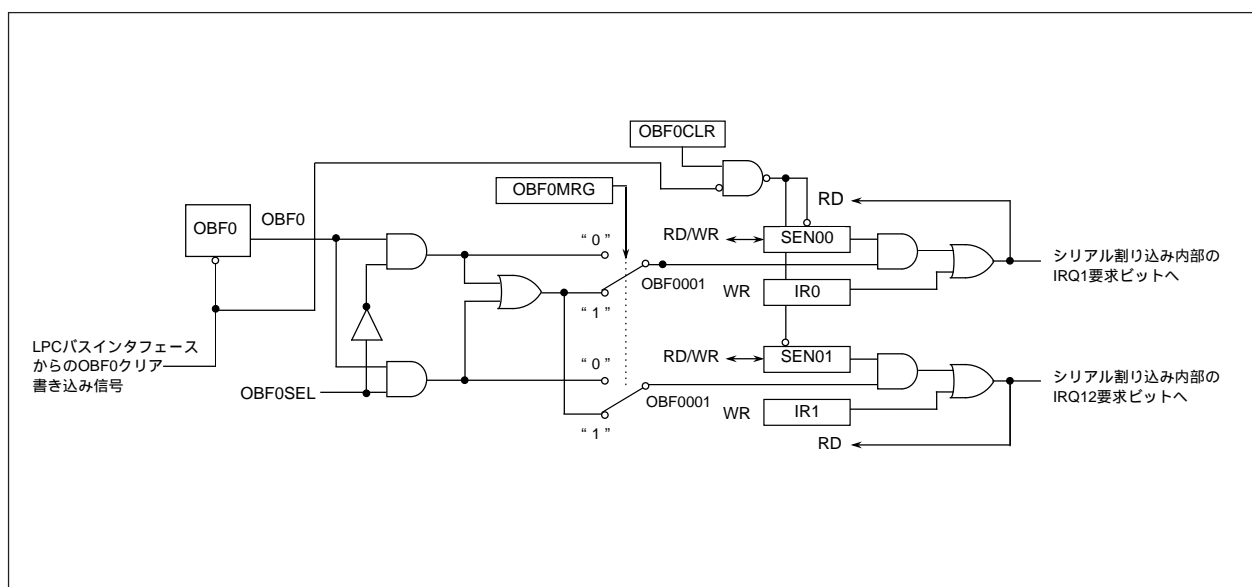
この機能により、IRQ1要求ビット(または、IRQ12要求ビット)がセットされた状態で、IRQ12要求ビット(またはIRQ1要求ビット)対応の出力データバスバッファへの上書きが発生した場合、IRQ1およびIRQ12要求ビットはともにセットされたままで、システムからの出力データバスバッファ読み出しでIRQ1およびIRQ12要求ビットを同時にハードウェアによってクリアさせることが可能になります。

## OBF0同期禁止機能

シリアル割り込み制御レジスタ1のビット4(OBF0同時クリアビット)により、OBF0がリードされたと同時にOBF0の同期を禁止することができます。

このビットを‘1’に設定することでOBF00またはOBF01がクリアされたと同時に、SEN00(OBF00同期許可ビット)、SEN01(OBF01同期許可ビット)のビットをハードウェアによって‘0’にクリア(同期禁止)させることが可能になります。

図SI-5にシリアル割り込み制御レジスタ1の構成と、図SI-6にOBF0MRG,OBF0CLRによる切り替え回路図を示します。



図SI-6. OBF0MRG,OBF0CLRによる切り替え回路図



### シリアル割り込み極性切り替え

シリアル割り込み制御レジスタ2のビット0からビット5により、シリアル割り込み出力の極性を切り替えることができます。

各ビットとも“0”に設定した場合、

要求あり時 Hiz-Hiz-Hiz

要求なし時 L-H-Hiz

“1”に設定した場合、

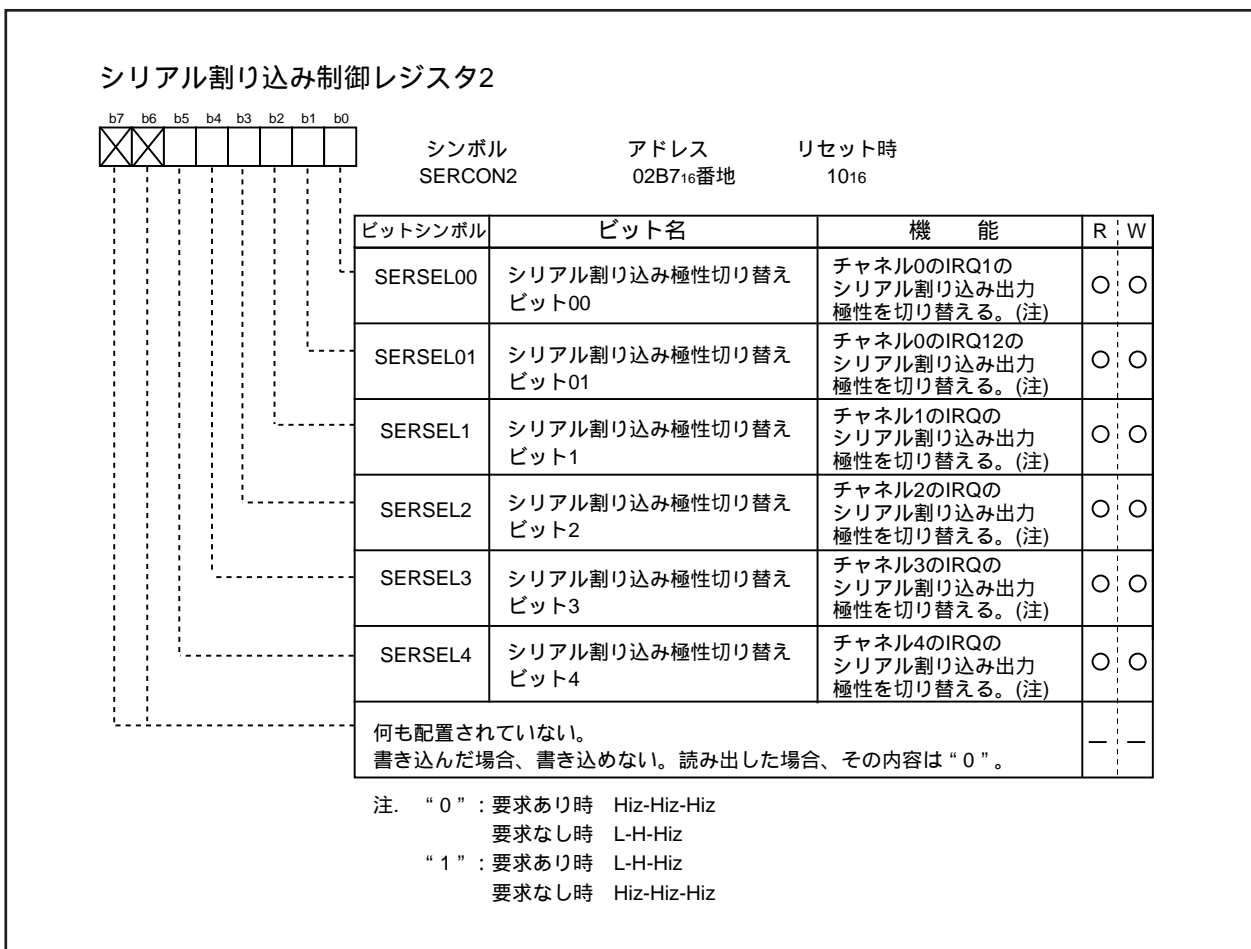
要求あり時 L-H-Hiz

要求なし時 Hiz-Hiz-Hiz

となります。

なお、シリアル割り込み制御レジスタ2のビット4(シリアル割り込み極性切り替えビット3)のみ、リセット後の初期値は“1”となります。

シリアル割り込み制御レジスタ2の構成を図SI-7に示します。



図SI-7. シリアル割り込み制御レジスタ2の構成

## (2)シリアル割り込みの動作

シリアル割り込みの1サイクル動作は、スタートフレームで始まり、ストップ・フレームで終わります。動作モードには、連続動作モードと単発動作モードの2つのモードがあり、システム側から送出されるストップフレームの長さを監視する事により、次動作時のモードの判別を行います。

### シリアル割り込みサイクルのタイミング

図SI-8にシリアル割り込みサイクルの基本タイミング例を示します。

#### スタートフレーム

SERIRQが、4~8クロック周期の期間“L”になった場合、スタートフレームと認識します。

#### IRQデータフレーム

各々のIRQデータフレームは、3クロック周期です。

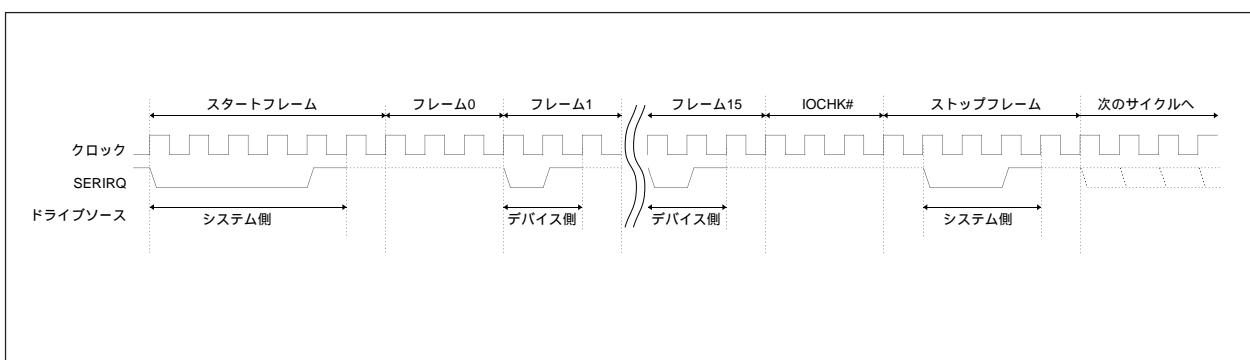
チャンネル0~2,4の場合、シリアル割り込み要求なしのとき、該当するIRQデータフレームの最初の1クロック周期、SERIRQを“L”にドライブし、次の1クロック周期“H”にドライブした後、ハイインピーダンスにします。シリアル割り込み要求ありのときは3クロック周期ともSERIRQをハイインピーダンスにします。

チャンネル3の場合、シリアル割り込み要求なしのとき、該当するIRQデータフレームの3クロック周期ともSERIRQをハイインピーダンスにします。シリアル割り込み要求ありのときは、最初の1クロック周期、SERIRQを“L”にドライブし、次の1クロック周期“H”にドライブした後、ハイインピーダンスにします。

なお、各チャンネルの出力極性は、シリアル割り込み制御レジスタ2のシリアル割り込み極性切り替えビットにより、切り替え可能です。

#### ストップフレーム

SERIRQが、2または3クロック周期の期間“L”になった場合、ストップフレームと認識します。2クロック周期の場合、次動作時のモードは単発動作モード、3クロック周期の場合連続動作モードとなります。



図SI-8. シリアル割り込みサイクルの基本タイミング

## 動作モード

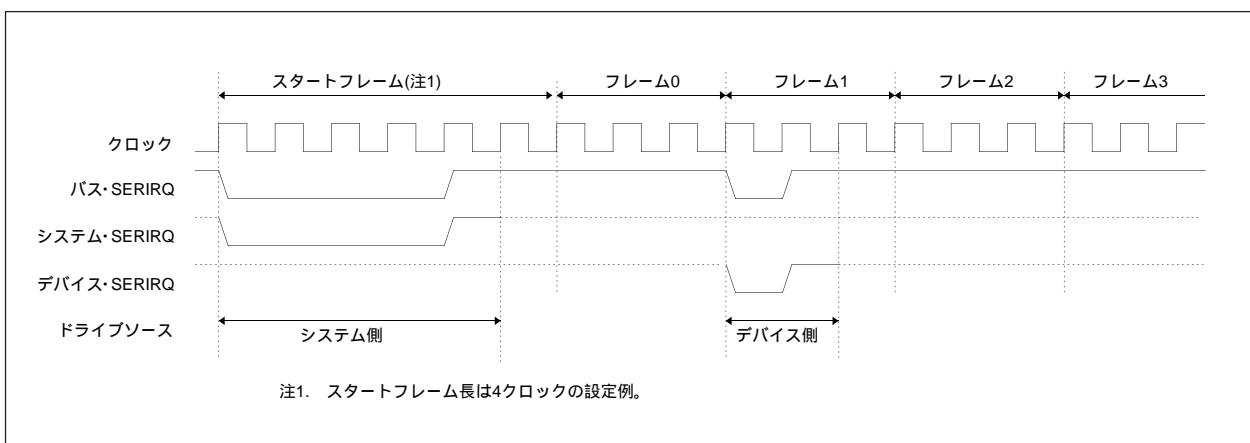
図SI-9に連続動作モード時のタイミング例を、図SI-10に単発動作モード時のタイミング例を示します。

### 連続動作モード

リセット解除後、 $\overline{\text{PRST}}$ (又は $\overline{\text{LRESET}}$ )の立ち上がり時、または前回のシリアル割り込みサイクルのストップフレームが3クロック周期であった場合に連続動作モードとなります。

スタートフレームの受信後(注1)、フレーム1、フレーム12、または各チャンネルで選択したフレームをアサートします。

注1.“L”期間が4サイクル未満または9サイクル以上であればスタートフレームとして認識せず、次のスタート(SERIRQの立ち下がり)待ち状態となります。



図SI-9. 連続動作モード時のタイミング例

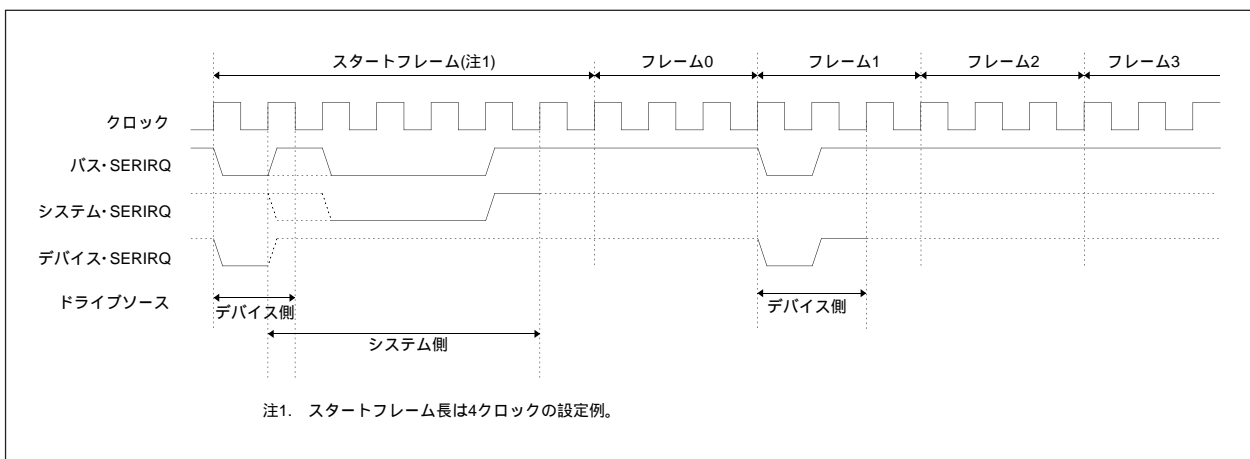
### 単発動作モード

クロックが停止および減速中の場合、または前回のシリアル割り込みサイクルのストップ・フレームが2クロック周期であった場合に単発動作モードとなります。

このモードでは、スタートフレームの最初の1クロック周期の間、SERIRQを“L”にドライブした後、ホストからの残りのスタートフレームを受信後(注1)、フレーム1、フレーム12、または各チャンネルで選択したフレームをアサートします。

注1. デバイスの出力する1サイクルの“L”とホストが出力する残りサイクルの“L”の合計が4~8サイクルであれば、スタートフレームと認識します。

合計の“L”期間が4サイクル未満または9サイクル以上であればスタートフレームとして認識せず、次のスタート(SERIRQの立ち下がり)待ち状態となります。



図SI-10. 単発動作モード時のタイミング例

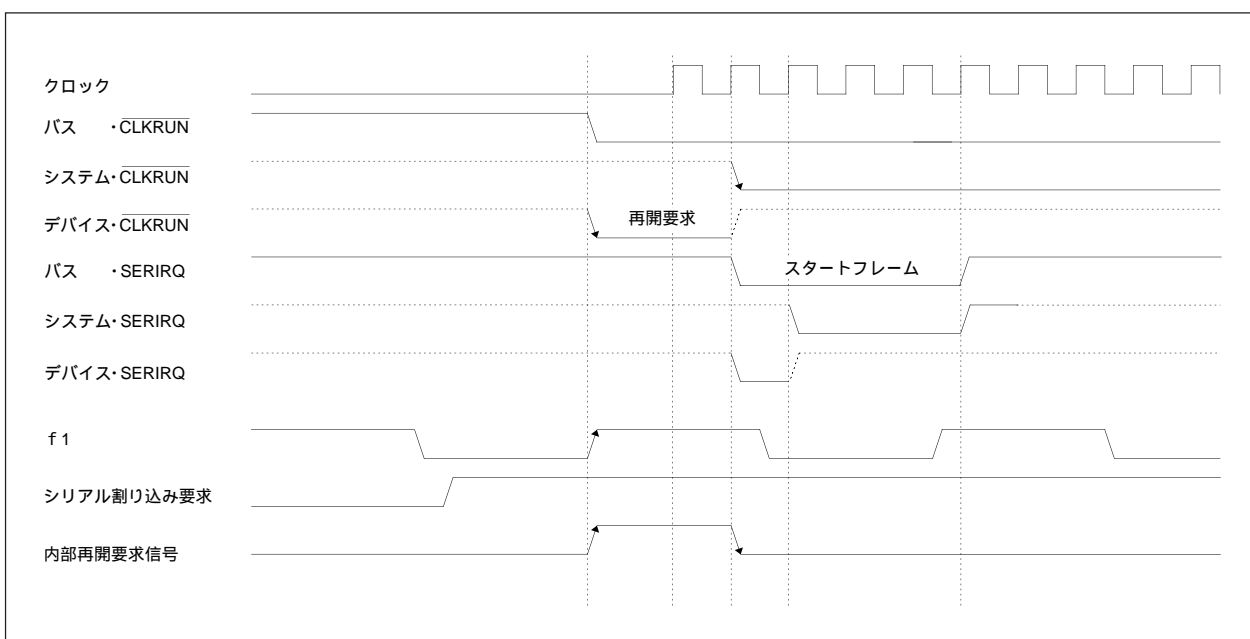
### (3)クロック再開 / 停止抑制要求

CLKRUN 信号をアサートすることで、停止または減速したクロックの再開要求、および停止または減速しようとするホストに対して抑止要求を出すことができます。

図SI-11にクロック再開要求のタイミング例を、図SI-12にクロック停止の抑止要求のタイミング例を示します。

#### クロック再開動作

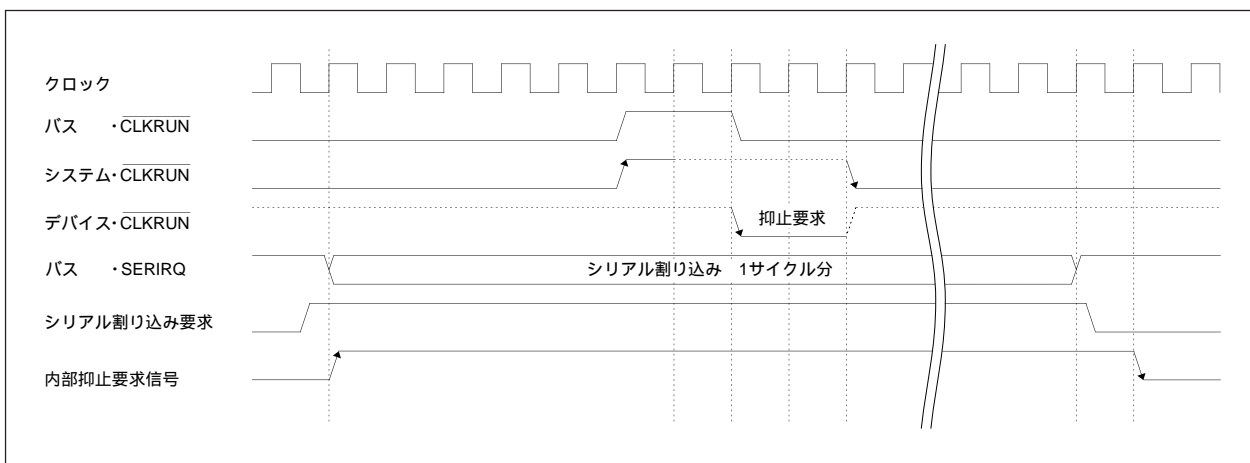
シリアル割り込み制御レジスタ0のクロック再開許可ビットが“1”の場合、シリアル割り込み要求発生時に、クロックが減速または停止していた場合に、クロック再開要求を行います。



図SI-11. クロック再開要求のタイミング

#### クロック停止抑止要求

シリアル割り込み制御レジスタ0のクロック停止抑止ビットが“1”の場合、シリアル割り込み要求が発生してから出力が完了するまでに、クロックが減速または停止しようとしたとき、クロック停止の抑止要求を行います。



図SI-12. クロック停止抑制動作のタイミング

## マルチマスタ<sup>2</sup>Cバスインタフェース

マルチマスタ<sup>2</sup>C-BUSインタフェースは、フィリップス社<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路で、独立した回路を3チャンネル分内蔵しています。アービトレーション・ロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図GC-1にマルチマスタ<sup>2</sup>C-BUSインタフェースのブロック図、表GC-1にマルチマスタ<sup>2</sup>C-BUSインタフェース機能を示します。

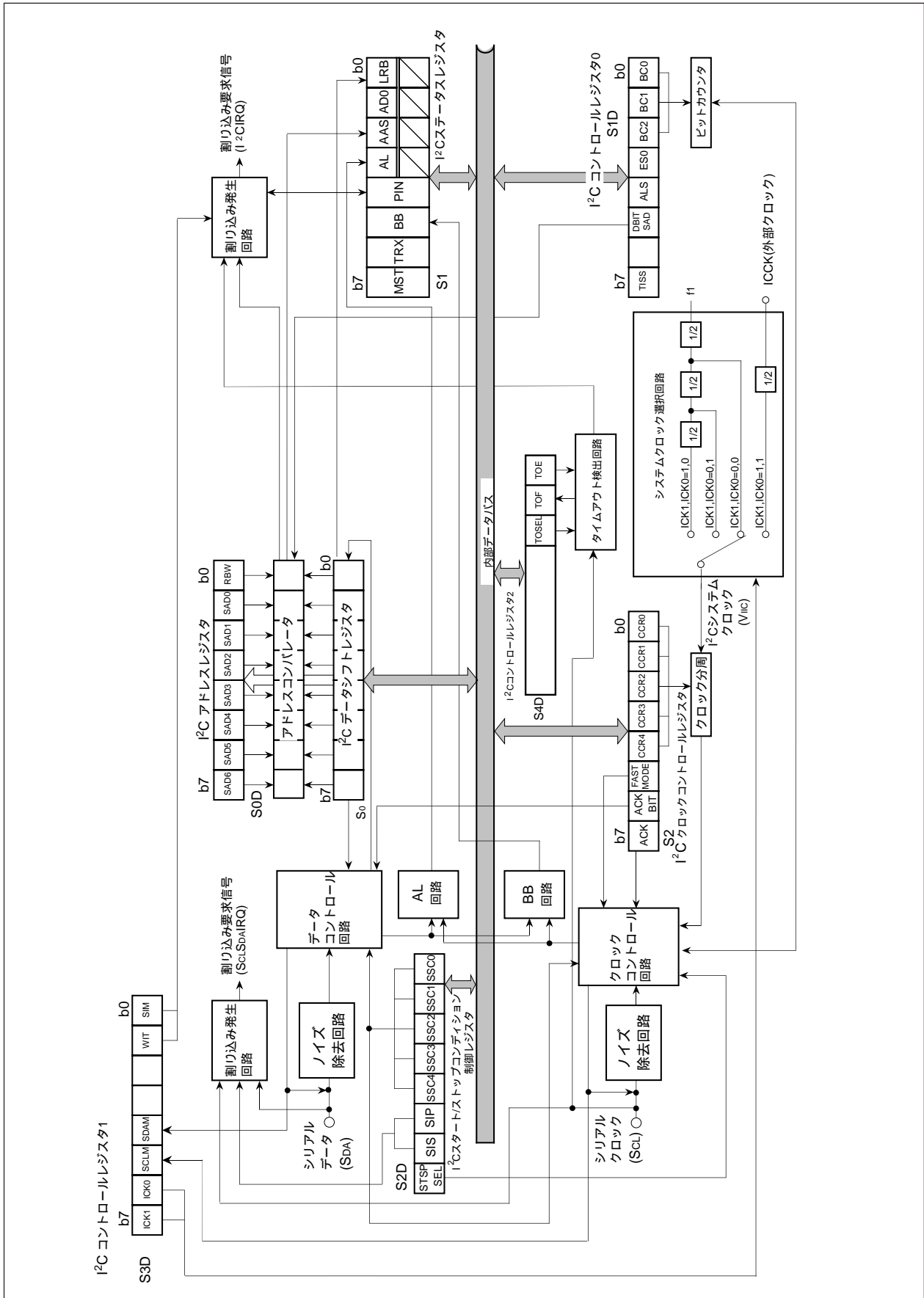
このマルチマスタ<sup>2</sup>C-BUSインタフェースは、<sup>2</sup>Cアドレスレジスタ、<sup>2</sup>Cデータシフトレジスタ、<sup>2</sup>Cクロックコントロールレジスタ、<sup>2</sup>Cコントロールレジスタ0、<sup>2</sup>Cコントロールレジスタ1、<sup>2</sup>Cコントロールレジスタ2、<sup>2</sup>Cステータスレジスタ、<sup>2</sup>Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

表GC-1 . マルチマスタ<sup>2</sup>C-BUSインタフェース機能

項 目	機 能
フォーマット	フィリップス社 <sup>2</sup> C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社 <sup>2</sup> C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz , ( V <sub>IIC</sub> = 4 MHz時 )

V<sub>IIC</sub>=<sup>2</sup>Cシステムクロック

\* :Purchase of Renesas Technology Corporation's <sup>2</sup>C components conveys a license under the Philips <sup>2</sup>C Patent Rights to use these components an <sup>2</sup>C system , provided that the system conforms to the <sup>2</sup>C Standard Specification as defined by Philips.



図GC-1. マルチマスタ<sup>2</sup>C-BUSインタフェースのブロック図

### I<sup>2</sup>Cデータシフトレジスタ

I<sup>2</sup>Cデータシフトレジスタ(0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。受信データをこのレジスタに格納するタイミングを図GC-3に示します。

I<sup>2</sup>Cデータシフトレジスタは、I<sup>2</sup>Cコントロールレジスタ0のI<sup>2</sup>C-BUSインタフェース許可ビット(ES0ビット:0323<sub>16</sub>、0333<sub>16</sub>、0313<sub>16</sub>番地のビット3)が"1"のときのみ書き込みが可能です。I<sup>2</sup>Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが"1"、I<sup>2</sup>Cステータスレジスタ(0328<sub>16</sub>、0338<sub>16</sub>、0318<sub>16</sub>番地)のMSTビットが"1"のとき、I<sup>2</sup>Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I<sup>2</sup>Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

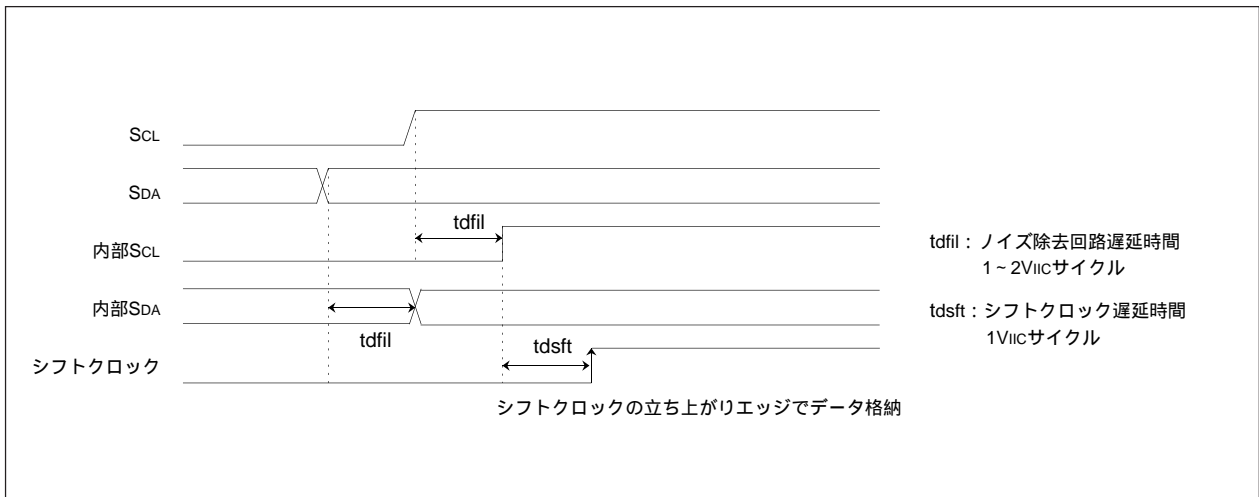
#### I<sup>2</sup>Cデータシフトレジスタ

b7 b6 b5 b4 b3 b2 b1 b0 	シンボル S0i(i=0,1,2)	アドレス 0320 <sub>16</sub> 番地,0330 <sub>16</sub> 番地,0310 <sub>16</sub> 番地	リセット時 不定
-----------------------------	----------------------	---	-------------

機 能	R	W
送信データ/受信データを格納。 マスタ送信モードでは、データ書き込みにより、スタートコンディション/ストップコンディションのトリガを発生。(スタート/ストップコンディションの発生方法の項を参照)また、SCLに同期して送受信を開始。	注	注

注. I<sup>2</sup>C-BUSインターフェース許可ビット(ES0ビット)が"1"の時のみ書き込み可能。送信データ/受信データに同一レジスタを使用しますので、送信時は受信データを読み出した後に送信データを書き込んでください。

図GC-2. I<sup>2</sup>Cデータシフトレジスタ



図GC-3. I<sup>2</sup>Cデータシフトレジスタ受信データ格納タイミング

## I<sup>2</sup>Cアドレスレジスタ

I<sup>2</sup>Cアドレスレジスタ(0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

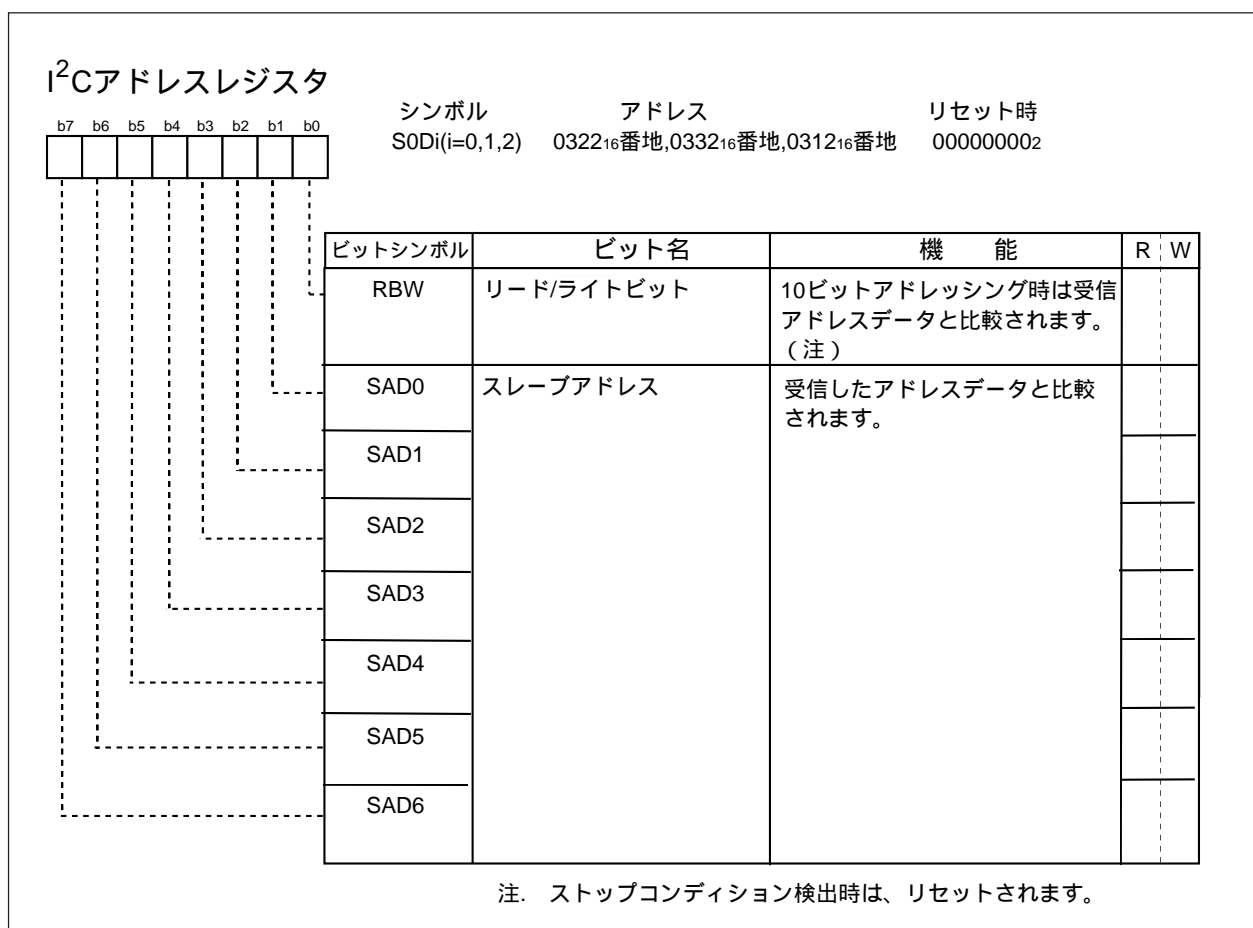
### ・ビット0:リード/ライトビット RBW

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI<sup>2</sup>Cアドレスレジスタの内容(SAD6 ~ SAD0 + RBW)が比較されます。

RBWビットはストップコンディションを検出すると、自動的に“0”になります。

### ・ビット1 ~ ビット7:スレーブアドレス SAD0 ~ SAD6

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。



図GC-4. I<sup>2</sup>Cアドレスレジスタの構成



## I<sup>2</sup>Cクロックコントロールレジスタ

I<sup>2</sup>C 0, 1, 2クロックコントロールレジスタ( 0324<sub>16</sub>, 0334<sub>16</sub>, 0314<sub>16</sub>番地 )はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

- ビット0～ビット4: SCL周波数制御ビット CCR0～CCR4

SCL周波数を制御するビットです。表GC-2を参照してください。

- ビット5: SCLモード指定ビット FAST MODE

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

高速モードI<sup>2</sup>Cバス規格(最高400kビット/秒)でバス接続する場合にはI<sup>2</sup>Cシステムクロック(VIIC)を4MHz以上の設定でご使用ください。

- ビット6: アックビット ACK BIT

アッククロック\*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT = “0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。

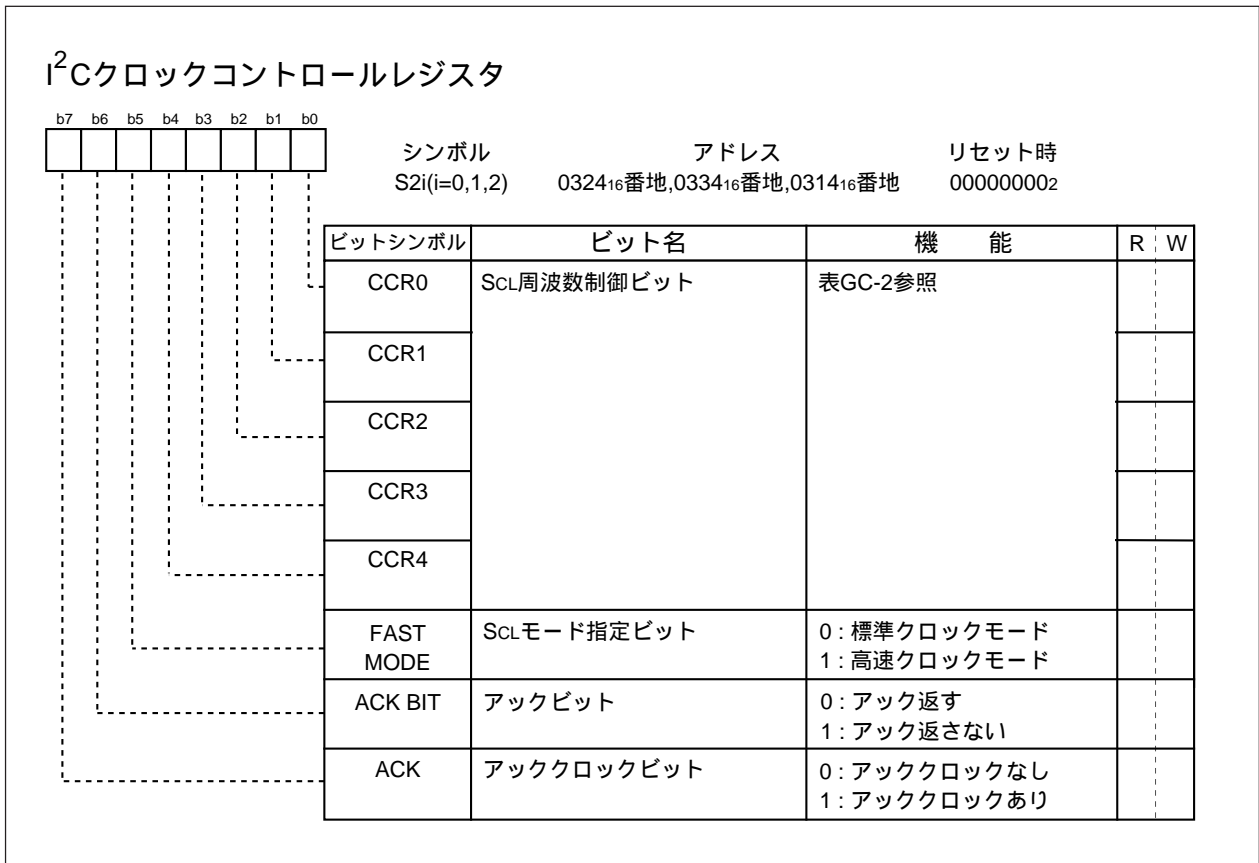
スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

\*アッククロック: 確認応答用のクロック

- ビット7: アッククロックビット ACK

データ転送の確認応答であるアック/リッジメントのモードを指定するビットです。“0”の場合アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)データを受信するデバイスが発生させるアックビットを受信します。

注 転送途中で、I<sup>2</sup>Cクロックコントロールレジスタのアックビット(ACKBIT)以外のビットの書きかえを行わないでください。転送途中に書きかえを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。



図GC-5. I<sup>2</sup>Cクロックコントロールレジスタの構成

表GC-2. I<sup>2</sup>Cクロックコントロールレジスタの設定値とSCL周波数

CCR4 ~ CCR0の設定値					SCL周波数 (V <sub>IIC</sub> = 4 MHz時, 単位: kHz) 注1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1 SCLクロック出力のデューティは50%です。高速クロックモードCCR値 = 5のみ35 ~ 45%になります。(400kHz, V<sub>IIC</sub> = 4MHz時) また、クロックの“H”の期間は標準クロックモードで+2 ~ -4 I<sup>2</sup>Cシステムクロックサイクル、高速クロックモードで+2 ~ -2 I<sup>2</sup>Cシステムクロックサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロニズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4 ~ CCR0を10進数表記した値です。

注2 V<sub>IIC</sub>=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はV<sub>IIC</sub>をより低い周波数で使ってください。V<sub>IIC</sub>はI<sup>2</sup>Cシステムクロック選択ビットの項(I<sup>2</sup>Cコントロールレジスタ1のビット6,7項)を参照ください。

注3 SCL周波数の計算式は次のとおりです。

V<sub>IIC</sub> / (8 × CCR値) 標準クロックモード

V<sub>IIC</sub> / (4 × CCR値) 高速クロックモード(CCR値 = 5)

V<sub>IIC</sub> / (2 × CCR値) 高速クロックモード(CCR値 = 5)

CCR値=0 ~ 2はV<sub>IIC</sub>の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4 ~ CCR0を設定ください。

## I<sup>2</sup>Cコントロールレジスタ0

I<sup>2</sup>C 0, 1, 2コントロールレジスタ(0323<sub>16</sub>, 0333<sub>16</sub>, 0313<sub>16</sub>番地)はデータ通信フォーマットの制御を行うレジスタです。

### ・ビット0～ビット2: ビットカウンタ BC0～BC2

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(0324<sub>16</sub>, 0334<sub>16</sub>, 0314<sub>16</sub>番地のビット7)による指定があればアックロックも合わせたビットカウント数の転送完了直後、I<sup>2</sup>C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

### ・ビット3: I<sup>2</sup>C-BUSインタフェース許可ビット ES0

マルチマスタI<sup>2</sup>C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0ビットは、SDA,SCL端子が“H”のときに、ES0=1に設定してください。

ES0 = “0”のとき、次のように処理されます。

I<sup>2</sup>Cステータスレジスタ(0328<sub>16</sub>, 0338<sub>16</sub>, 0318<sub>16</sub>番地)のMST=“0”, TRX=“0”, PIN = “1”, BB = “0”, AL = “0”, AAS=“0”, AD0=“0” に設定される。

I<sup>2</sup>Cデータシフトレジスタ(0320<sub>16</sub>, 0330<sub>16</sub>, 0310<sub>16</sub>番地)への書き込みは禁止される。

I<sup>2</sup>Cコントロールレジスタ2(0327<sub>16</sub>, 0337<sub>16</sub>, 0317<sub>16</sub>番地)のTOF=“0” に設定される。

I<sup>2</sup>CシステムクロックV<sub>IIC</sub>は停止し、内部カウンタ、フラグ等は初期状態に設定される。

### ・ビット4: データフォーマット選択ビット ALS

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又は、ジェネラルコール(I<sup>2</sup>Cステータスレジスタのビット1: ジェネラルコール検出フラグの項を参照)を受信したときのみの転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

### ・ビット5: アドレッシングフォーマット選択ビット DBIT SAD

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cアドレスレジスタ(0322<sub>16</sub>, 0332<sub>16</sub>, 0312<sub>16</sub>番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I<sup>2</sup>Cアドレスレジスタの全ビットがアドレスデータと比較されます。

### ・ビット6: I<sup>2</sup>C-BUSインタフェースリセットビット IHR

通信異常が発生したときにI<sup>2</sup>C-BUSインタフェース回路をリセットするビットです。ES0ビットが“1”でI<sup>2</sup>C-BUSインタフェースが許可されているときにIHRビットに“1”を書き込むことで、H/Wリセットして、各フラグは次のように処理されます。

I<sup>2</sup>Cステータスレジスタ(0328<sub>16</sub>, 0338<sub>16</sub>, 0318<sub>16</sub>番地)のMST=“0”, TRX=“0”, BB=“0”, PIN=“1”, AL=“0”, AAS=“0”, AD0=“0” に設定。

I<sup>2</sup>Cコントロールレジスタ2(0327<sub>16</sub>, 0337<sub>16</sub>, 0317<sub>16</sub>番地)のTOF=“0” に設定。

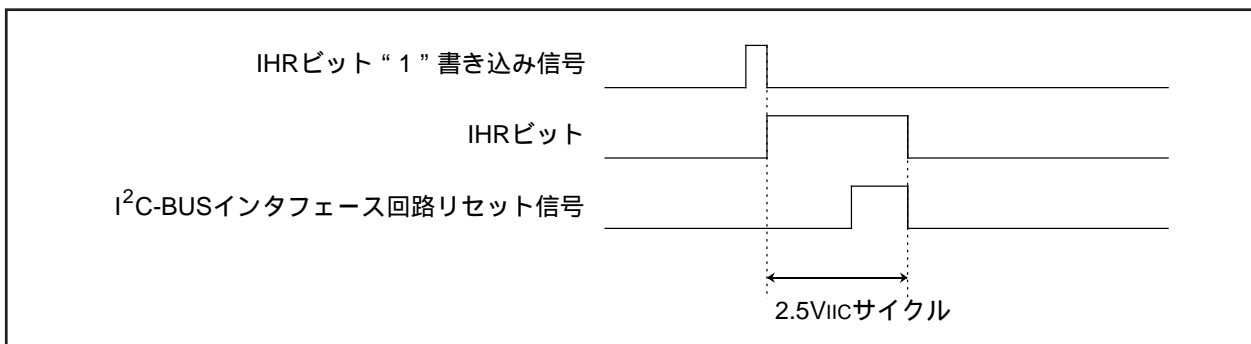
内部カウンタ、フラグ等は初期状態に設定。

IHRビットに“1”を書き込むと、最大2.5V<sub>IIC</sub>サイクル後にI<sup>2</sup>C-BUSインタフェース回路のリセット処理が完了し、その後IHRビットは自動的に“0”にクリアされます。図GC-6にリセットタイミング図を示します。

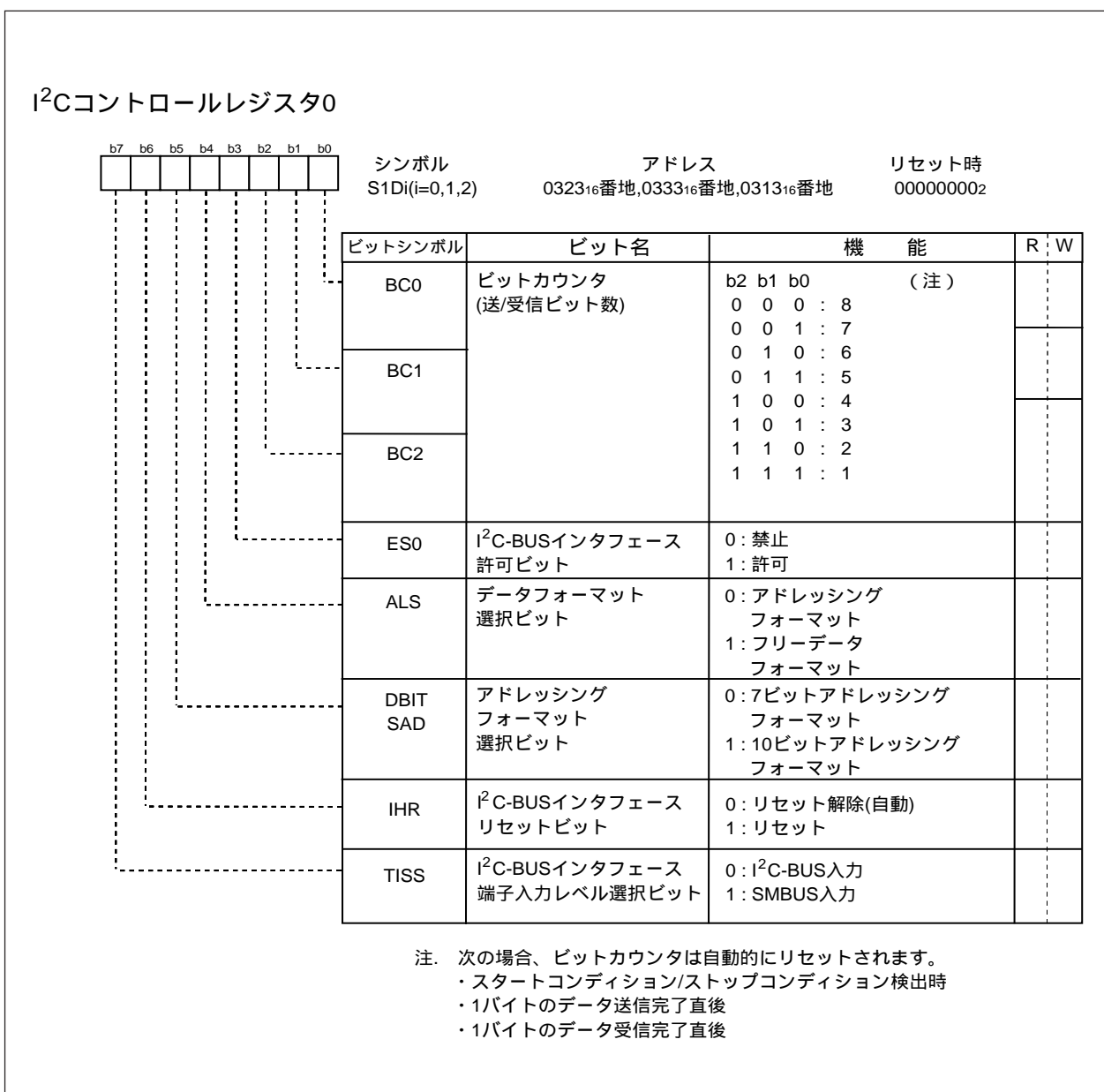
### ・ビット7: I<sup>2</sup>C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI<sup>2</sup>C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

“1”に設定すると、ポートP60、P61/P62、P63/P76、P77の入力もSMBUS入力レベルになります。



図GC-6. I<sup>2</sup>Cバスインタフェース回路リセットタイミング図



図GC-7. I<sup>2</sup>Cコントロールレジスタの構成

## I<sup>2</sup>Cステータスレジスタ

I<sup>2</sup>Cステータスレジスタ( 0328<sub>16</sub>、0338<sub>16</sub>、0318<sub>16</sub>番地 )はI<sup>2</sup>C-BUSインタフェースの状態を制御するレジスタです。下位6ビットは読み出し専用で、上位2ビットは読み出し/書き込み兼用です。下位6ビットへの書き込みの機能については、後述のスタートコンディション発生方法およびストップコンディション発生方法をご参照ください。

### ・ビット0:最終受信ビット LRB

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I<sup>2</sup>Cデータシフトレジスタ( 0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地 )に書き込み命令を実行すると“0”になります。

### ・ビット1:ジェネラルコール検出フラグ AD0

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール<sup>\*</sup>をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出、ES0が“0”のとき、あるいはリセットにより“0”になります。

\*ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“00<sub>16</sub>”を送信すること。

### ・ビット2:スレーブアドレス比較フラグ AAS

ALSビットが“0”の場合アドレスの比較結果を示します。

スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cアドレスレジスタ( 0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地 )に格納されている上位7ビットのスレーブアドレスと一致した場合
- ・ジェネラルコールを受信した場合

スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- ・アドレスデータとI<sup>2</sup>Cアドレスレジスタ(スレーブアドレス、及びRBWビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合にI<sup>2</sup>Cデータシフトレジスタ( 0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地 )へ書き込んだとき、又はES0が“0”のとき、又はリセットにより“0”になります。

### ・ビット3:アービトレーションロスト<sup>\*</sup>検出フラグ AL

マスタ送信モード時、SdAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

このビットは、ES0が“1”の場合にI<sup>2</sup>Cデータシフトレジスタ( 0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地 )へ書き込んだとき、ES0が“0”のとき、又はリセットにより“0”になります。

\*アービトレーションロスト: マスタとしての通信が不許可となった状態。



#### ・ビット4: I<sup>2</sup>C-BUSインタフェース割り込み要求ビット PIN

割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへI<sup>2</sup>C割り込み要求信号が発生します。PINビットは内部転送クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のとき、SCLは“0”に保たれクロックの発生は禁止されます。

また、アッククロックあり指定時に、I<sup>2</sup>Cコントロールレジスタ1のデータ受信完了割り込み許可ビット(WIT)を“1”に設定してデータ受信した場合には、最終ビットクロックとアッククロックの立ち下がりに同期してPINビットが“0”になりI<sup>2</sup>C割り込み要求信号が発生します。(I<sup>2</sup>Cコントロールレジスタ1のビット1:データ受信完了割り込み許可ビット参照)図GC-9にI<sup>2</sup>C割り込み要求信号の発生タイミングを示します。なお、本ビットは読み出し専用ビットで、書き込み時は“0”を書き込んでください。

PINビットが“1”になる条件を以下に示します。

- ・I<sup>2</sup>Cデータシフトレジスタ(0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地)への書き込み命令の実行
- ・I<sup>2</sup>Cクロックコントロールレジスタ(0324<sub>16</sub>、0334<sub>16</sub>、0314<sub>16</sub>番地)への書き込み命令の実行(WITビット制御により、内部WAITフラグが“1”のときのみ)
- ・ES0ビットが“0”のとき
- ・リセット時

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
- ・1バイトのデータ受信完了直後
- ・スレーブ受信の際、ALS = 0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後
- ・スレーブ受信の際、ALS = 1で、アドレスデータ受信完了直後

#### ・ビット5: バスビジーフラグ BB

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0325<sub>16</sub>、0335<sub>16</sub>、0315<sub>16</sub>番地)のスタート/ストップコンディション設定ビット(SSC4 ~ SSC0)の条件に従います。また、I<sup>2</sup>Cコントロールレジスタ(0323<sub>16</sub>、0333<sub>16</sub>、0313<sub>16</sub>番地)のES0ビット(ビット3)が“0”のとき、及びリセット時にBBフラグは“0”になります。

BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

#### ・ビット6: 通信モード指定ビット 転送方向指定ビット: TRX

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・アドレッシングフォーマット選択時(ALSビット = “0”)にスレーブモードでアドレスデータを受信した結果、スレーブアドレス比較フラグ(AAS)が“1”でR/Wビット受信が“1”の場合

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)により、スタートコンディションが発生できなかった場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合
- ・ES0 = “0”のとき
- ・リセット時

・ビット7:通信モード指定ビット      マスタ/スレーブ指定ビット:MST

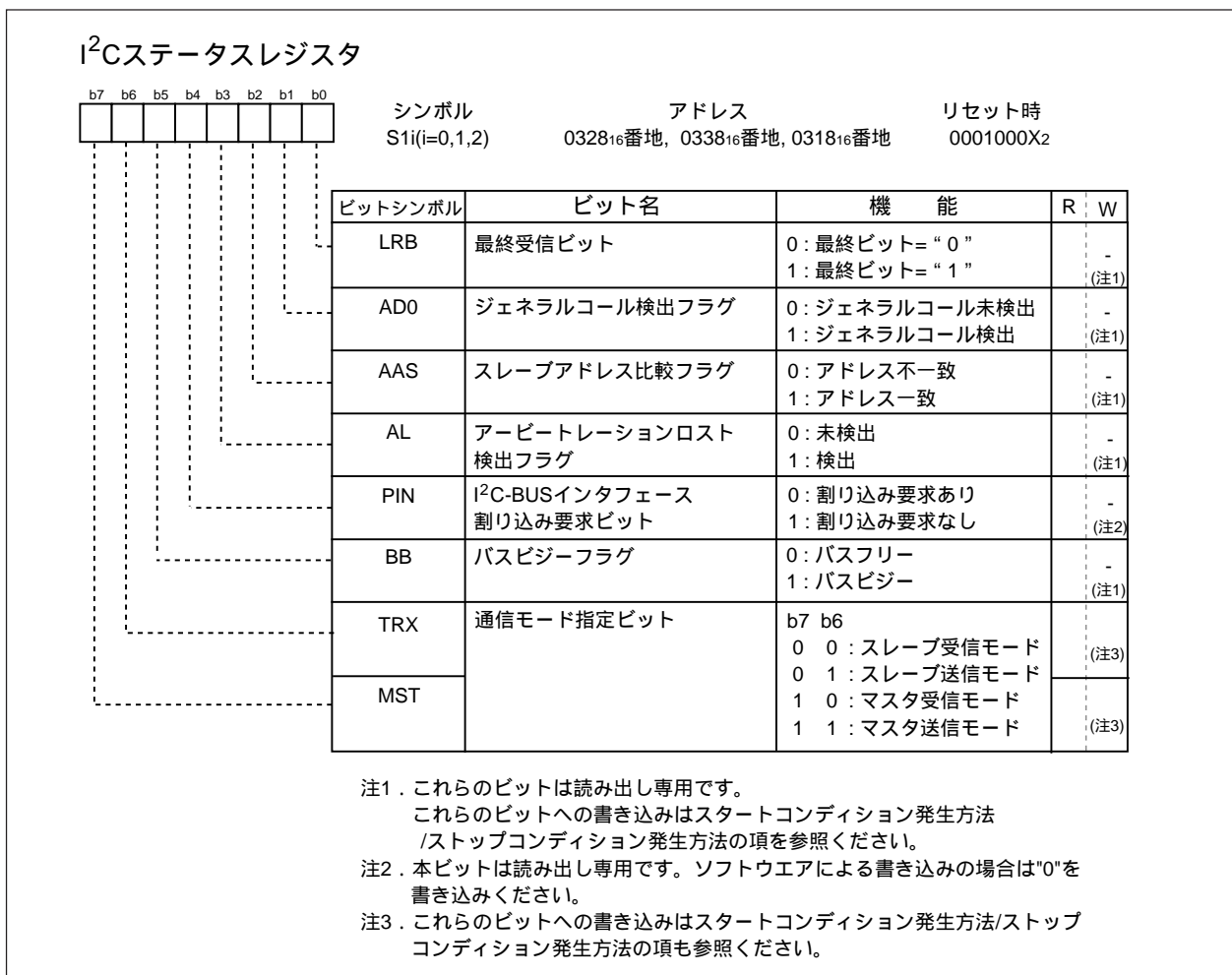
データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトラーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりスタートコンディションが発生できなかった場合
- ・ES0が“0”のとき
- ・リセット時

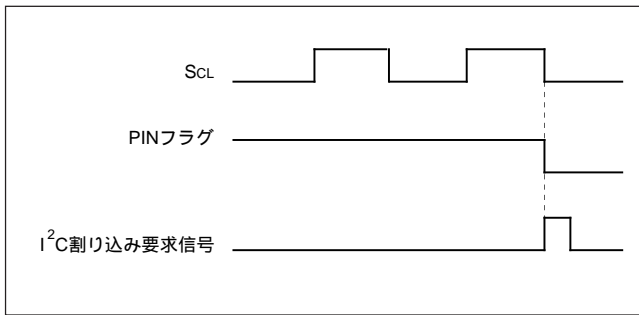
注 . スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、連続でI<sup>2</sup>Cステータスレジスタ書き込みとI<sup>2</sup>Cデータシフトレジスタ書き込みすることで行いますが、BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みデータをリセットし、I<sup>2</sup>Cデータシフトレジスタへの書き込みを禁止して、スタートコンディション発生を中止するのがスタートコンディション重複機能です。詳細はスタートコンディション発生方法の項を参照ください。



図GC-8. I<sup>2</sup>Cステータスレジスタの構成





図GC-9. 割り込み要求信号の発生タイミング

I<sup>2</sup>C0, I<sup>2</sup>C1コントロールレジスタ1

I<sup>2</sup>Cコントロールレジスタ10, 11, 12( 0326<sub>16</sub>, 0336<sub>16</sub>, 0316<sub>16</sub>番地 )はI<sup>2</sup>C-BUSインタフェース回路の各種制御を行うレジスタです。

- ビット0:ストップコンディション検出割り込み許可ビット SIM

I<sup>2</sup>C-BUSインタフェース割り込みとして、ストップコンディションを検出した場合に、割り込み要求を発生させることが可能です。

本ビットを“1”に設定した場合は、ストップコンディション検出により、I<sup>2</sup>C-BUSインタフェース割り込み要求が発生します。(PINフラグは変化しません)

- ビット1:データ受信完了割り込み許可ビット WIT

アッククロックあり指定時(ACKビット = “1”)にデータ受信完了割り込みを許可(WITビット = “1”)でデータ受信を行うと、最終データビットのクロック立ち下がりに同期してPINビットを“0”にしてI<sup>2</sup>C割り込み要求が発生し、SCLを“L”固定してアッククロック発生を抑制します。表GC-3と図GC-10にI<sup>2</sup>C割り込み要求発生タイミングと通信再開の方法を示します。通信を再開した後、アッククロックの立ち下がりに同期して、再びPINビットを“0”にして、I<sup>2</sup>C割り込み要求が発生します。

表GC-3. データ受信時の割り込み発生タイミング (WIT=“1”, ACK=“1”設定時)

I <sup>2</sup> C割り込み発生タイミング	通信再開方法
受信データ最終ビットのクロック立ち下がり同期	I <sup>2</sup> CクロックコントロールレジスタのACKBITビットへの書き込み実行 ( I <sup>2</sup> Cデータシフトレジスタへ書き込まないで下さい。 アッククロック処理が正しく行われなくなります。 )
アッククロック立ち下がり同期	I <sup>2</sup> Cデータシフトレジスタ書き込み実行

WITビットを読み出すと内部WAITフラグの状態が読み出せます。内部WAITフラグはI<sup>2</sup>Cデータシフトレジスタ書き込みでセットされ、I<sup>2</sup>Cクロックコントロールレジスタ書き込みでリセットされます。よって のどちらのタイミングでI<sup>2</sup>C割り込み要求が発生したのか判別できます。(図GC-10参照)

なお、送信時およびスタートコンディション直後のアドレスデータ受信時は、WITビットの値にかかわらず、内部WAITフラグはリセットのままで、I<sup>2</sup>C割り込み要求はアッククロック立ち下がり時のみ発生します。また、アッククロックなし(ACKビット = “0”)指定時はWITビットには“0”を書き込んでください。

### ・ビット2, 3: ポート機能切替ビット PED, PEC

I<sup>2</sup>Cコントロールレジスタ0のES0ビットに“1”を設定すると、P61(またはP63, P77)はSCL端子として、P60(またはP62, P76)はSDA端子として機能しますが、ポート機能切替ビットPEDに“1”を設定するとSDA端子が、PECに“1”を設定するとSCL端子がそれぞれ出力ポートとして機能いたします。この状態でポートレジスタに“0”または“1”を書き込むことで、内部SCL/SDA出力信号に関係なく、I<sup>2</sup>Cバス上にデータを出力させることが可能です。(SCL/SDA入力信号はI<sup>2</sup>Cインタフェース回路に接続しています)その後、再びPED/PECに“0”を設定することで、SCL/SDA端子として機能いたします。

なお、PED, PECの設定値に関係なく、ポートを入力に設定してポートレジスタを読み出した場合は、I<sup>2</sup>Cバス上の信号値が読めます。

表GC-4にポート仕様を示します。

表GC-4. ポート仕様

端子名	ES0ビット	PEDビット	P6/P7方向レジスタ値	機能
P60/P62/P76	0	-	0/1	ポート入力/ポート出力機能
	1	0	-	SDA入出力機能
	1	1	-	SDA入力機能、ポート出力機能
P61/P63/P77	ES0ビット	PECビット	P6/P7方向レジスタ値	機能
	0	-	0/1	入力ポート/出力ポート機能
	1	0	-	SCL入出力機能
	1	1	-	SCL入力機能、ポート出力機能

### ・ビット4, 5: SDA/SCL出力論理値モニタビット SDAM, SCLM

I<sup>2</sup>C-BUSインタフェース回路からのSDA出力信号、SCL出力信号の論理値をモニタすることが可能です。SDAMビットはSDA出力論理値が、SCLMはSCL出力論理値がそれぞれモニタできます。

本ビットは読み出し専用ビットで、書き込み時は“0”を書き込んでください。(“1”書き込みは予約)

### ・ビット6, 7: I<sup>2</sup>Cシステムクロック選択ビット ICK0, ICK1

I<sup>2</sup>C-BUSインタフェース回路の基本動作クロックを選択するビットです。

I<sup>2</sup>CシステムクロックV<sub>IIC</sub>は、メインクロックf(XIN)の2分周 4分周 8分周クロックまたは、外部I<sup>2</sup>Cクロック(ICCK)の2分周クロックから選択することが可能です。

表GC-5. I<sup>2</sup>Cシステムクロック選択ビット

ICK1	ICK0	I <sup>2</sup> Cシステムクロック
0	0	V <sub>IIC</sub> = 1/2f <sub>1</sub>
0	1	V <sub>IIC</sub> = 1/4f <sub>1</sub>
1	0	V <sub>IIC</sub> = 1/8f <sub>1</sub>
1	1	V <sub>IIC</sub> = 1/2ICCK

注) f<sub>1</sub>=f(XIN)

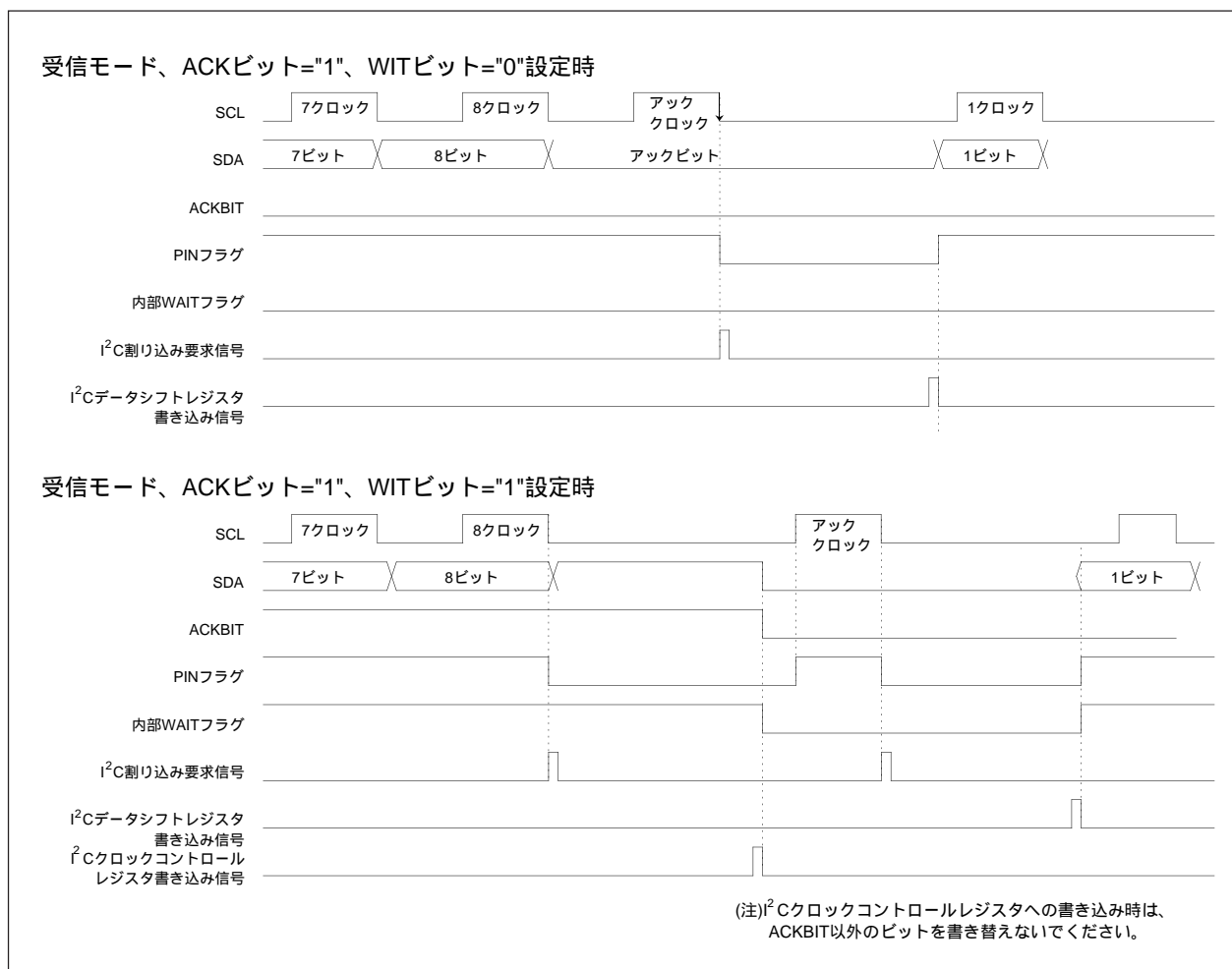
ICCK=外部I<sup>2</sup>Cクロック

・ストップモード/ウェイトモードでのアドレスデータ受信

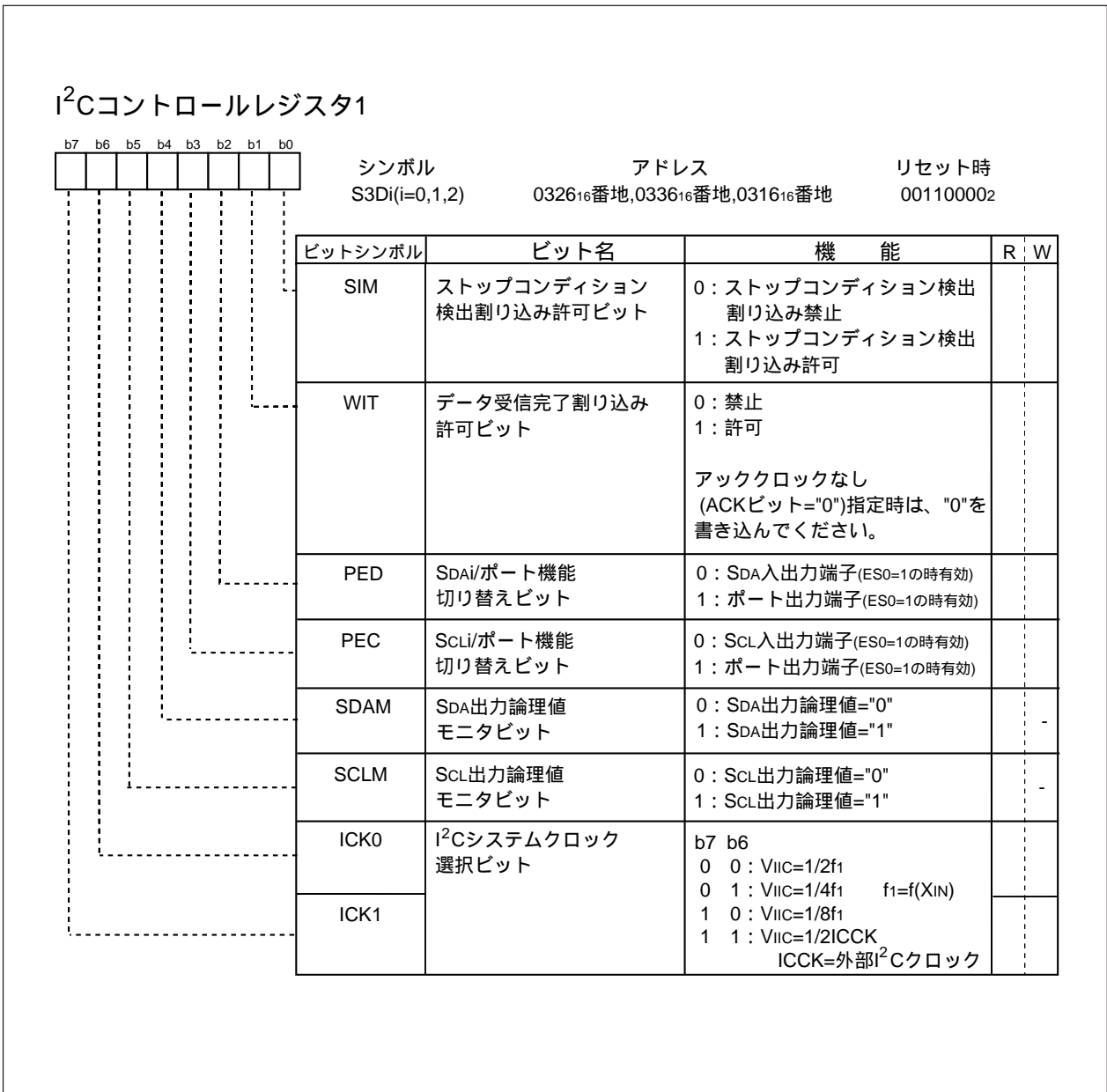
ストップモードまたはウェイトモード時であっても、I<sup>2</sup>C-BUSインタフェース回路はアドレスデータ受信が可能です。ただし、I<sup>2</sup>CシステムクロックV<sub>IIC</sub>が供給されている必要があります。表GC-6に設定一覧を示します。

表GC-6. 動作モード別 I<sup>2</sup>Cシステムクロック供給設定

モード	設定内容
ストップモード	I <sup>2</sup> CシステムクロックV <sub>IIC</sub> に外部I <sup>2</sup> Cクロックを選択し(ICK1=1, ICK0=1)、外部I <sup>2</sup> CクロックICCKが供給されている。
ウェイトモード	I <sup>2</sup> CシステムクロックV <sub>IIC</sub> に外部I <sup>2</sup> Cクロックを選択し(ICK1=1, ICK0=1)、外部I <sup>2</sup> CクロックICCKが供給されている。 WAIT時周辺機能クロック停止ビットCMO2(システムクロック制御レジスタ0:000616番地のビット2)により、ウェイトモード時 f <sub>1</sub> , f <sub>8</sub> , f <sub>32</sub> 停止しないを選択(CMO2=0)にしてWAIT命令実行。
低消費電力モード	I <sup>2</sup> CシステムクロックV <sub>IIC</sub> に外部I <sup>2</sup> Cクロックを選択し(ICK1=, ICK0=1)、外部I <sup>2</sup> CクロックICCKが供給されている。



図GC-10. データ受信完了時の割り込み発生タイミング図

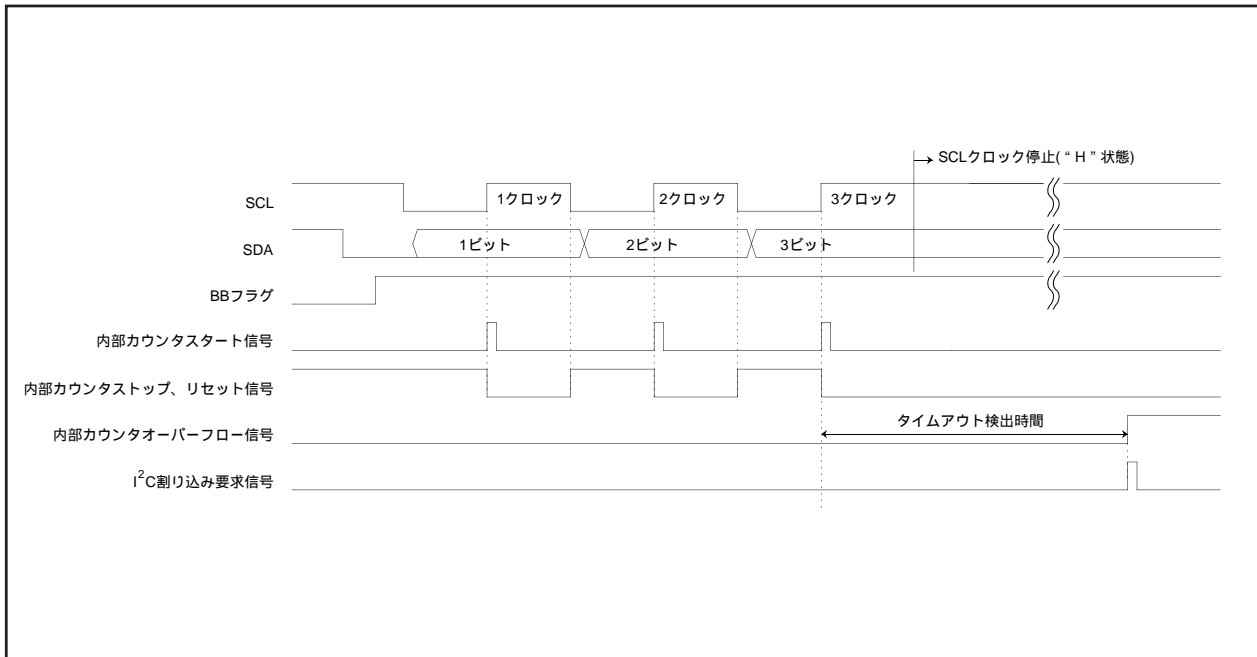


図GC-11. I<sup>2</sup>Cコントロールレジスタ1のビット構成

## I<sup>2</sup>Cコントロールレジスタ2

I<sup>2</sup>C0,1,2コントロールレジスタ(0327<sub>16</sub>、0337<sub>16</sub>、0317<sub>16</sub>番地)は通信異常検出を制御するレジスタです。

I<sup>2</sup>C-BUS通信は、SCLのクロック信号によりデータ転送を行う為に、転送中にSCLクロックが停止がすると、各デバイスは通信状態のまま停止してしまいます。そこでI<sup>2</sup>C-BUSインタフェース回路には、通信中にSCLクロックが“H”状態で一定時間以上停止したときにタイムアウトを検出してI<sup>2</sup>C割り込み要求を発生させることができます。図GC-12を参照ください。



図GC-12. タイムアウト検出タイミング図

### ・ビット0:タイムアウト検出機能許可ビット TOE

タイムアウト検出機能を許可するビットです。タイムアウト検出機能許可ビットを“1”に設定すると、バスビジー(BBフラグ=“1”)中にSCLクロックが一定時間以上“H”の状態に停止したときに、タイムアウトを検出してI<sup>2</sup>C割り込み要求信号を発生します。タイムアウト検出時間は、内部カウンタにより計測し、タイムアウト検出時間選択ビット(TOSEL)によりロングタイムとショートタイムから選択できます。タイムアウトを検出した場合には、I<sup>2</sup>Cバスインタフェース許可ビット(ES0)を“0”に設定して初期化してください。

### ・ビット1:タイムアウト検出フラグ TOF

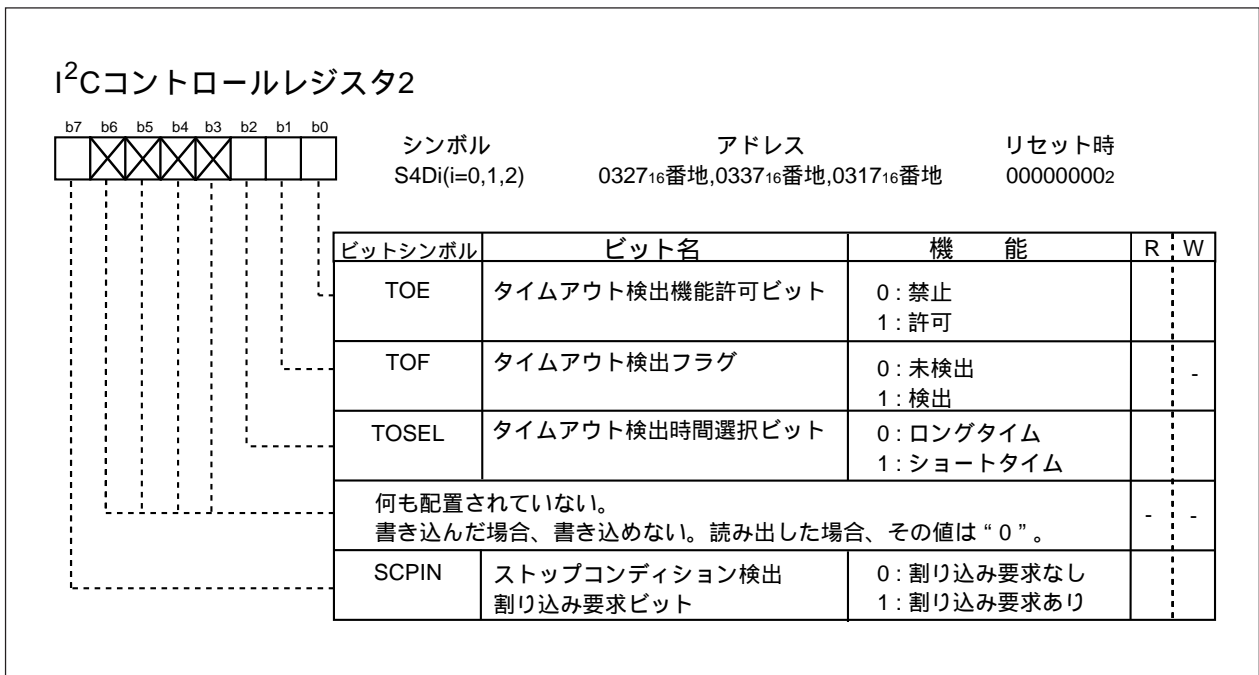
タイムアウト検出状態を示すフラグです。タイムアウト時間を計測する内部カウンタがオーバーフローするとタイムアウト検出フラグ(TOF)が“1”となり、同時にI<sup>2</sup>C割り込み要求信号を発生します。

### ・ビット2:タイムアウト検出時間選択ビット TOSEL

タイムアウト検出時間をロングタイムとショートタイムから選択するビットで、TOSEL=“0”に設定するとロングタイム、TOSEL=“1”に設定するとショートタイムが選択されます。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、I<sup>2</sup>Cシステムクロック(VIIC)をカウントソースとしてアップカウントします。タイムアウト検出時間例を表GC-7に示します。

表GC-7. タイムアウト検出時間例 (単位: ms)

VIIC(MHz)	ロングタイムモード	ショートタイムモード
4	16.4	4.1
2	32.8	8.2
1	65.6	16.4



図GC-13. I<sup>2</sup>Cコントロールレジスタ2のビット構成

・ビット7: ストップコンディション検出割り込み要求ビット      SCPIN

ストップコンディション検出割り込みをモニタするビットです。ストップコンディション検出割り込みによるI<sup>2</sup>C-BUSインタフェース割り込みが発生すると“1”になります。

“0”書き込みによりクリアされます。“1”は書き込めません。

## I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0325<sub>16</sub>、0335<sub>16</sub>、0315<sub>16</sub>番地)はスタートコンディション、ストップコンディションの検出を制御するレジスタです。

### ・ビット0～ビット4:スタート/ストップコンディション設定ビット SSC4～SSC0

SCL解放時間、セットアップ時間、ホールド時間はI<sup>2</sup>Cシステムクロック(V<sub>IIC</sub>)により時間を計測しているため、発振周波数f(XIN)や、I<sup>2</sup>Cシステムクロック選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL解放時間、セットアップ時間、ホールド時間を設定する必要があります。表GC-11を参照してください。スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。参考までに各発振周波数での標準クロックモード時のスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表GC-8に示します。なおスタート/ストップコンディションの検出はES0 = 1に設定した直後より開始します。

### ・ビット5: SCL/SDA割り込み端子極性選択ビット SIP

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。

SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

### ・ビット6: SCL/SDA割り込み端子選択ビット SIS

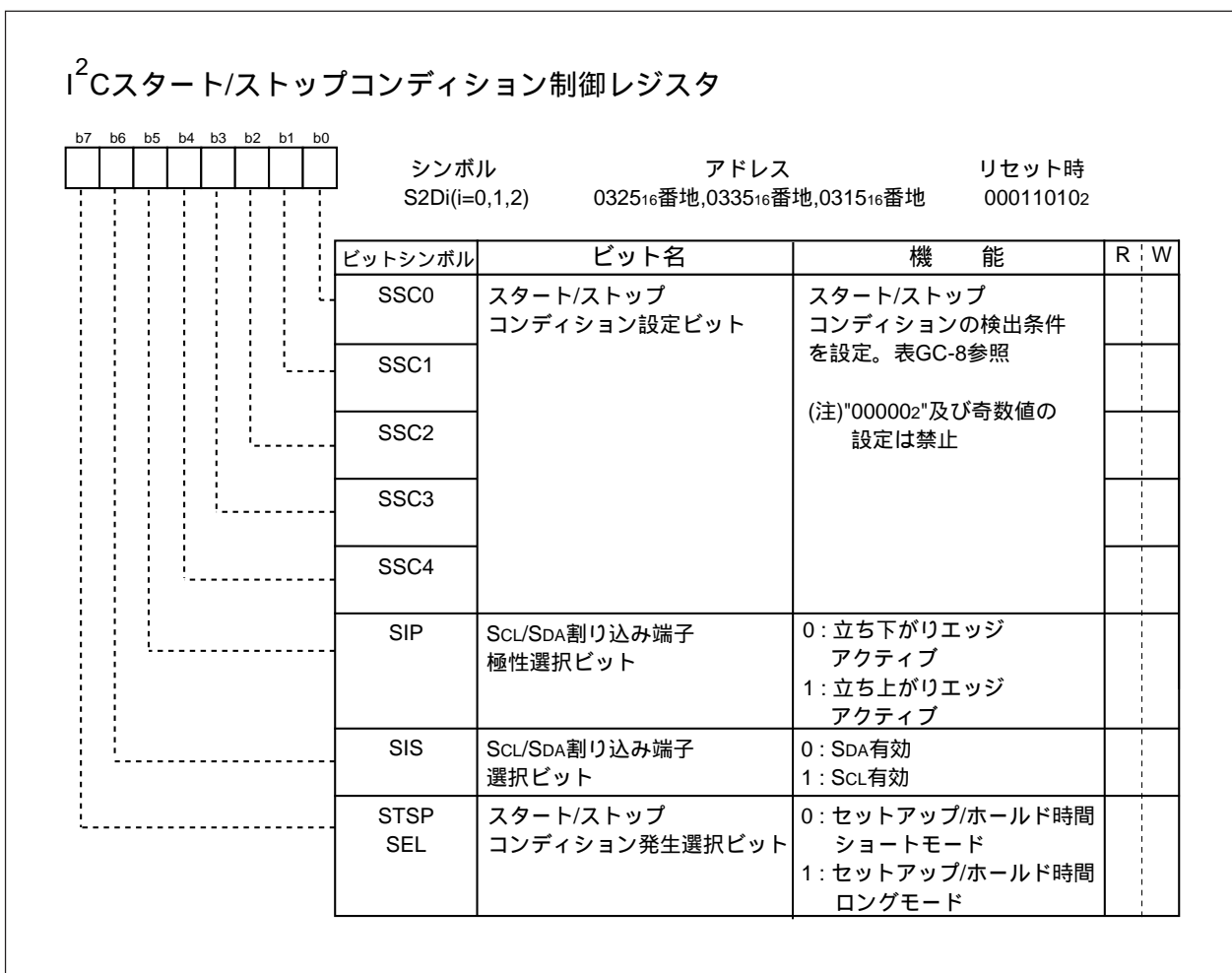
SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注 SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込みの要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定をする前に割り込みを禁止して、ビット設定後に要求ビットを“0”にリセットして割り込みを許可してください。

### ・ビット7: スタート/ストップコンディション発生選択ビット STSPSEL

スタート/ストップコンディション発生時のセットアップ/ホールド時間の長さを選択できます。セットアップ/ホールド時間の長さは、I<sup>2</sup>Cシステムクロックのサイクル数が基準になりますので表GC-9を参照してください。I<sup>2</sup>Cシステムクロックの周波数が4MHzを越える場合は、このビットを“1”に設定してください。





図GC-14. I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成

表GC-8. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4 ~ SSC0)への推奨設定値

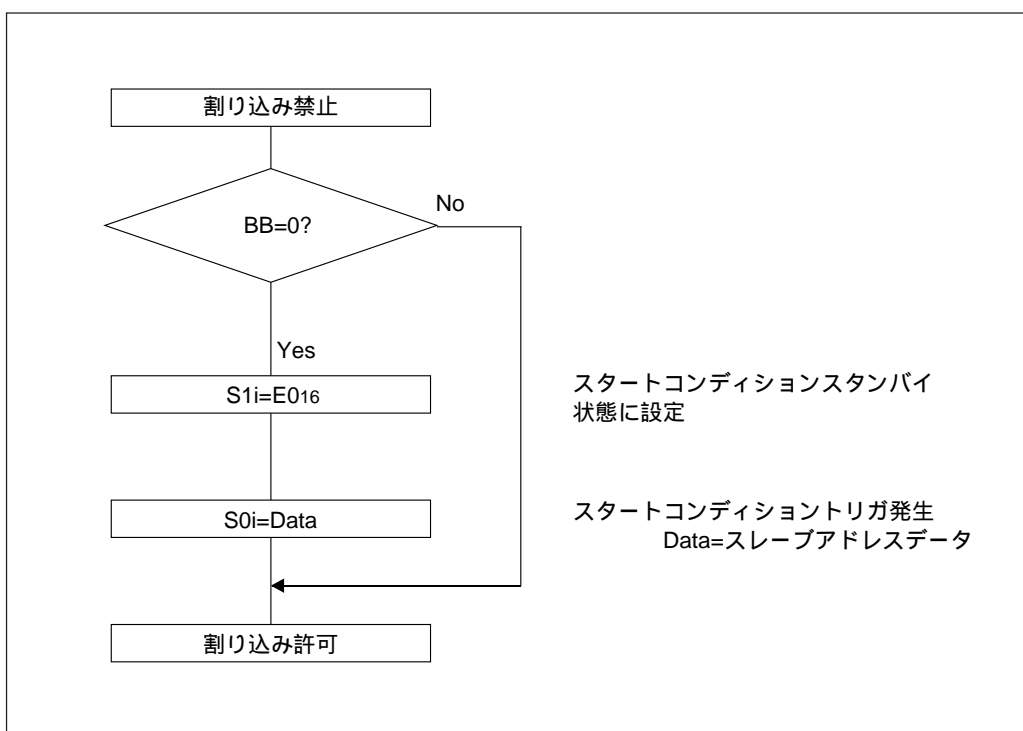
発振周波数 f(X <sub>M</sub> ) (MHz)	I <sup>2</sup> Cシステム クロック選択	I <sup>2</sup> Cシステム クロック V <sub>IIC</sub> (MHz)	スタート/ストップ コンディション制御 レジスタ	SCL解放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
10	1/2f <sub>1</sub>	5	XXX11110	6.2 μs(31サイクル)	3.2 μs(16サイクル)	3.0 μs(15サイクル)
8	1/2f <sub>1</sub>	4	XXX11010	6.75 μs(27サイクル)	3.5 μs(14サイクル)	3.25 μs(13サイクル)
			XXX11000	6.25 μs(25サイクル)	3.25 μs(13サイクル)	3.0 μs(12サイクル)
8	1/8f <sub>1</sub>	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)
4	1/2f <sub>1</sub>	2	XXX01100	6.5 μs(13サイクル)	3.5 μs(7サイクル)	3.0 μs(6サイクル)
			XXX01010	5.5 μs(11サイクル)	3.0 μs(6サイクル)	2.5 μs(5サイクル)
2	1/2f <sub>1</sub>	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)

注. スタート/ストップコンディション設定ビット(SSC4 ~ SSC0)に奇数の値及び "00000<sub>2</sub>" は設定しないでください。

### ●スタートコンディション発生方法

I<sup>2</sup>Cコントロールレジスタ0のES0ビットが“1”、I<sup>2</sup>CステータスレジスタのBBフラグが“0”の状態、I<sup>2</sup>Cステータスレジスタ(0328<sub>16</sub>番地, 0338<sub>16</sub>番地, 0318<sub>16</sub>番地)のMST,TRX,BBビットに“1”、PIN,下位4ビットに“0”を同時に書き込みを行い、スタートコンディションスタンバイ状態に設定します。次に、I<sup>2</sup>Cデータシフトレジスタにスレーブアドレスデータを書き込むとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図GC-17のスタートコンディション発生タイミング図と表GC-9のスタート/ストップコンディション発生タイミング表を参照してください。

なお、スタートコンディション発生の手順で、BBフラグによってバスフリーを確認後I<sup>2</sup>Cステータスレジスタへの書き込み、I<sup>2</sup>Cデータシフトレジスタへの書き込み処理ステップの間は、必ず割り込みを禁止にしてください。BBフラグがバスビジーを示していた場合には、ただちに割り込みを許可にしてください。図GC-15にスタートコンディション発生フローを示します。



図GC-15. スタートコンディション発生フロー

### ・スタートコンディション重複防止機能

スタートコンディション発生は、BBフラグによりバスが使用されていないことを確認してスタートコンディションを発生させる必要がありますが、BBフラグの確認直後に別のマスタデバイスのスタートコンディション発生によりBBフラグが「1」となった場合にはスタートコンディション発生を中止する機能を内蔵しています。

スタートコンディション重複防止機能が働くと、次のように処理されます。

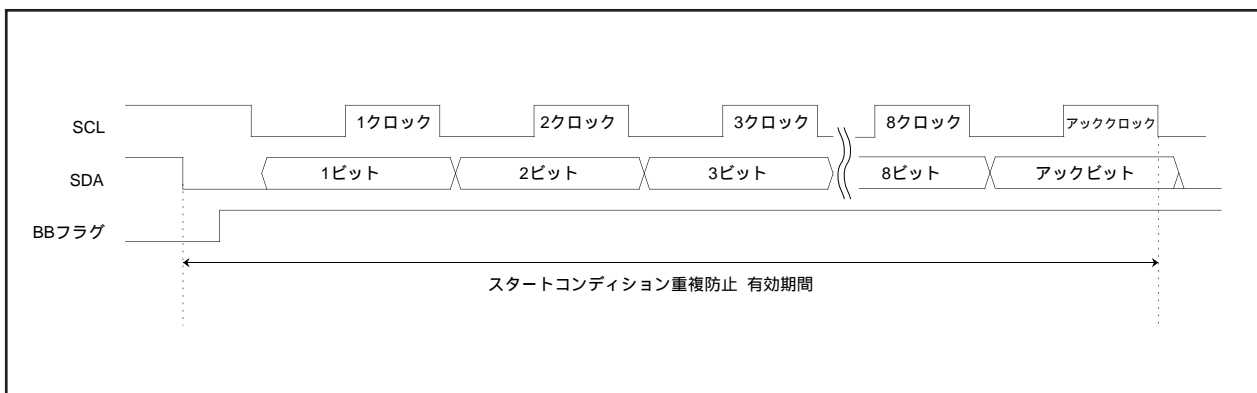
- ・スタートコンディションスタンバイ設定を禁止。

すでに設定されていた場合はスタートコンディションスタンバイ状態を解除し、MST、TRXビットをリセット

- ・<sup>2</sup>Cデータシフトレジスタへの書き込みを禁止(スタートコンディショントリガ発生を禁止)

- ・スタートコンディション発生が中止された場合は、ALフラグをセット

スタートコンディション重複防止機能は、スタートコンディションのSDA立ち上がりからスレーブアドレスの受信完了までの期間有効となります。図GC-16にスタートコンディション重複防止機能の有効期間を示します。

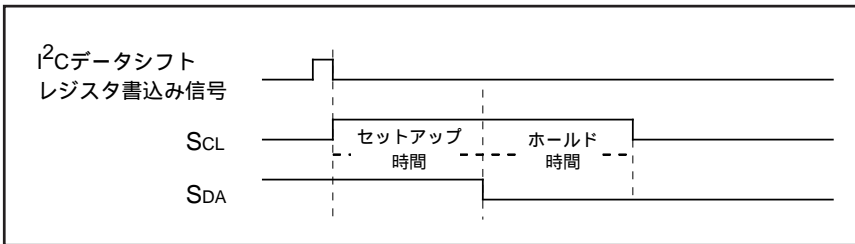


図GC-16. スタートコンディション重複防止機能 有効期間

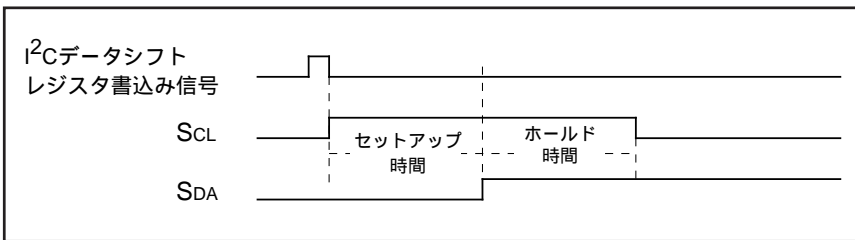
●ストップコンディションの発生方法

I<sup>2</sup>Cコントロールレジスタ0のES0ビットが“1”の状態でのI<sup>2</sup>CステータスレジスタのMST, TRXビットに“1”, BB, PIN, 下位4ビットに“0”を同時に書き込みを行い、ストップコンディションスタンバイ状態に設定します。次に、I<sup>2</sup>Cデータシフトレジスタにダミーデータを書き込むとストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図GC-18のストップコンディション発生タイミング図と表GC-9のスタート/ストップコンディション発生タイミング表を参照してください。

なお、ストップコンディションを発生させる命令を実行した後、BBフラグが“0”になるまでの間、I<sup>2</sup>Cステータスレジスタ、I<sup>2</sup>Cデータシフトレジスタに書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。



図GC-17. スタートコンディション発生タイミング図



図GC-18. ストップコンディション発生タイミング図

表GC-9. スタート/ストップコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
		セットアップ時間	“0” 5.0 μs (20サイクル) “1” 13.0 μs (52サイクル)
ホールド時間	“0”	5.0 μs (20サイクル)	2.5 μs (10サイクル)
	“1”	13.0 μs (52サイクル)	6.5 μs (26サイクル)

注 .V<sub>IIC</sub> = 4MHz時の絶対時間 ( )内はV<sub>IIC</sub>のサイクル数

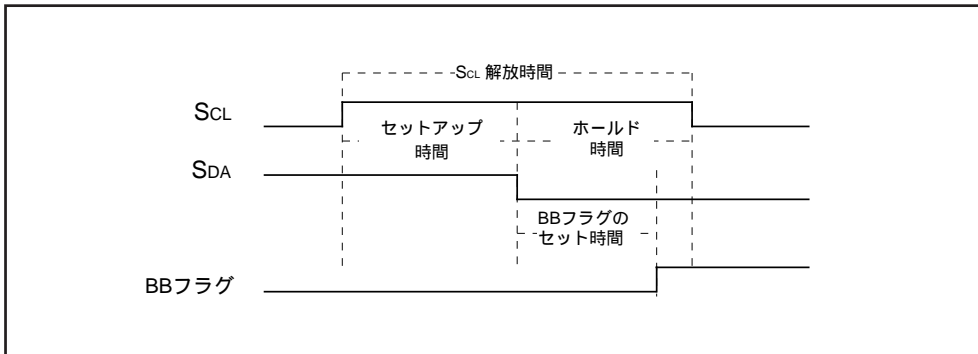
以上のようにI<sup>2</sup>CステータスレジスタのMST, TRXビットに“1”, BBビットに“1”または“0”, PINビットと、下位4ビットに“0”を同時に書き込むと、スタートコンディションまたはストップコンディションスタンバイ状態になり、スタートコンディションスタンバイ状態ではSDAを開放し、ストップコンディションスタンバイ状態ではSDAを“L”にします。その後I<sup>2</sup>Cデータシフトレジスタ書き込み信号をトリガとして、スタート/ストップコンディションが発生します。なお、スタート/ストップコンディションを発生させないで、MST, TRXビットを“1”に設定する場合には、下位4ビットには“1”を同時に書き込んで下さい。表GC-10にI<sup>2</sup>Cステータスレジスタ書き込みによる機能を示します。

表GC-10. I<sup>2</sup>Cステータスレジスタ書き込みによる機能一覧

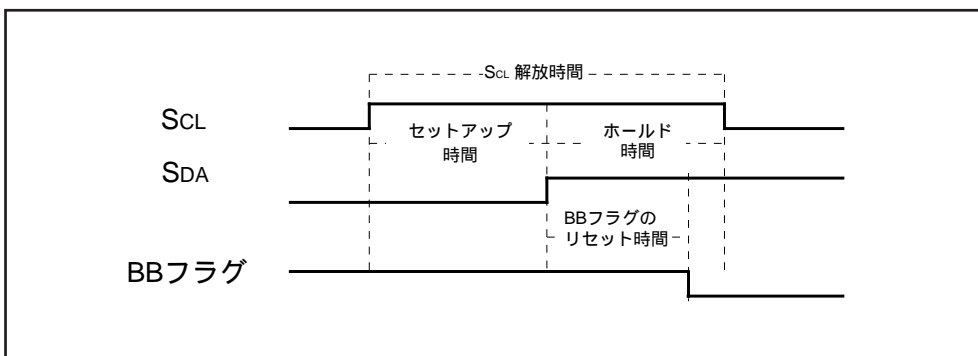
I <sup>2</sup> Cステータスレジスタ書込値								機能
MST	TRX	BB	PIN	AL	AAS	AS0	LRB	
1	1	1	0	0	0	0	0	マスター送信モードでスタートコンディションスタンバイ状態に設定
1	1	0	0	0	0	0	0	マスター送信モードでストップコンディションスタンバイ状態に設定
0/1	0/1	-	0	1	1	1	1	各通信モードに設定(【I <sup>2</sup> Cステータスレジスタ】の項を参照)

●スタート/ストップコンディション検出動作

スタート/ストップコンディションの検出動作を図GC-19、図GC-20と表GC-11に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表GC-11のSCL解放条件、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表GC-11のBBフラグセット/リセット時間を参照してください。



図GC-19. スタートコンディション検出のタイミング図



図GC-20. ストップコンディション検出のタイミング図

表GC-11. スタートコンディション/ストップコンディションの検出条件

	標準クロックモード	高速クロックモード
SCL解放時間	SSC値+1 サイクル(6.25 μs)	4サイクル(1.0 μs)
セットアップ時間	$\frac{\text{SSC値}}{2} + 1$ サイクル < 4.0 μs(3.25 μs)	2サイクル(0.5 μs)
ホールド時間	$\frac{\text{SSC値}}{2}$ サイクル < 4.0 μs(3.0 μs)	2サイクル(0.5 μs)
BBフラグセット/ リセット時間	$\frac{\text{SSC値} - 1}{2} + 2$ サイクル(3.375 μs)	3.5サイクル(0.875 μs)

注 単位はI<sup>2</sup>Cシステムクロック V<sub>IIC</sub>のサイクル数  
SSC値はスタート/ストップコンディション設定ビット SSC4 ~ SSC0を10進数表記した値です。SSC値=0及び奇数となる設定は禁止です。( )内はV<sub>IIC</sub>=4MHz時、I<sup>2</sup>Cスタート/ストップコンディション制御レジスタに“18<sub>16</sub>”を設定した場合の時間の一例です。

## ●アドレスデータ通信

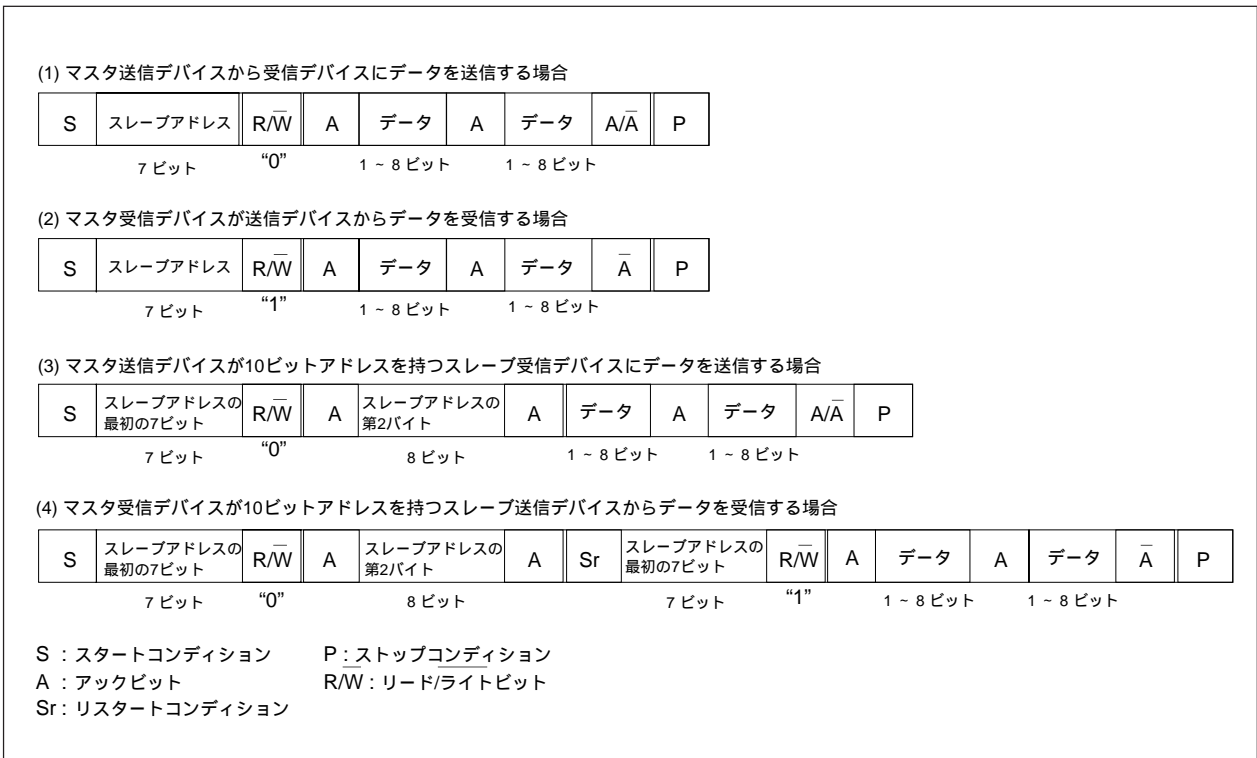
アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

### (1) 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ $\alpha$  (0323<sub>16</sub>、0333<sub>16</sub>、0313<sub>16</sub>番地)のDBITSADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)のRBWビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図GC-21の(1)(2)を参照してください。

### (2) 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ $\alpha$  (0323<sub>16</sub>、0333<sub>16</sub>、0313<sub>16</sub>番地)のDBITSADビットを“1”にしてください。またI<sup>2</sup>Cコントロールレジスタ1のWITビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)のRBWビットと、マスタから送信されるアドレスデータの最終ビット(R $\bar{W}$ ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRBWビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>Cステータスレジスタ (0328<sub>16</sub>、0338<sub>16</sub>、0318<sub>16</sub>番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I<sup>2</sup>Cデータシフトレジスタ (0320<sub>16</sub>、0330<sub>16</sub>、0310<sub>16</sub>番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>CクロックコントロールレジスタのACK BITに“0”を書き込んでください。これにより、アックビットを返します。アドレスが一致しなかった場合には、ACK BITに“1”を書き込むことでアックビットを返さないことで通信が終了します。アドレスが一致しているときには、次にI<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)のRBWビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR $\bar{W}$ のデータとI<sup>2</sup>Cアドレスレジスタ (0322<sub>16</sub>、0332<sub>16</sub>、0312<sub>16</sub>番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図GC-21の(3)(4)を参照してください。



図GC-21. アドレスデータ通信フォーマット



## ●マスタ送信例

標準クロックモード、SCL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- (1) I<sup>2</sup>Cアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタに“85<sub>16</sub>”、I<sup>2</sup>Cコントロールレジスタ1に“00<sub>16</sub>”を設定することによってアックを返すモード、SCL = 100kHzにします。(f(XIN) = 8MHz時)
- (3) I<sup>2</sup>Cステータスレジスタに“00<sub>16</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ0に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) I<sup>2</sup>CステータスレジスタのBBフラグによりバスフリー状態を確認します。
- (6) I<sup>2</sup>Cステータスレジスタに“E0<sub>16</sub>”を設定して、スタートコンディションスタンバイ状態に設定します。
- (7) I<sup>2</sup>Cデータシフトレジスタの上位7ビットに送信先のアドレスデータと最下位ビットに“0”を設定します。  
これによりスタートコンディションを発生します。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I<sup>2</sup>Cデータシフトレジスタに送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアックが返らない場合、あるいは送信が終了した場合は、I<sup>2</sup>Cステータスレジスタに“C0<sub>16</sub>”を設定して、ストップコンディションスタンバイ状態に設定します。
- (11) I<sup>2</sup>Cデータシフトレジスタにダミーデータを書き込むことにより、ストップコンディションを発生させます。

## ●スレーブ受信例

高速クロックモード、SCL周波数400kHz、アックを返すモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I<sup>2</sup>Cアドレスレジスタの上位7ビットにスレーブアドレス、RBWビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタに“A5<sub>16</sub>”、I<sup>2</sup>Cコントロールレジスタ1に“00<sub>16</sub>”を設定することによって、アックありモード、SCL = 400kHzにします。(f(XIN) = 8MHz時)
- (3) I<sup>2</sup>Cステータスレジスタに“00<sub>16</sub>”を設定し送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ0に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I<sup>2</sup>CステータスレジスタのAD0 = “1”に設定され、割り込み要求信号が発生します。  
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I<sup>2</sup>CステータスレジスタのAAS = “1”に設定され割り込み要求信号が発生します。  
・上記以外の場合、I<sup>2</sup>CステータスレジスタのAD0 = “0”、AAS = “0”に設定され、割り込み要求信号は発生しません。
- (7) I<sup>2</sup>Cデータシフトレジスタにダミーデータを設定します。
- (8) 1バイトのデータを受信すると自動的にアックを返し、I<sup>2</sup>C割り込み要求信号が発生します。
- (9) 制御データを受信して制御データの内容によりアックを返す/返さないを制御するときは、I<sup>2</sup>Cコントロールレジスタ1のWITビットに“1”を設定した後にI<sup>2</sup>Cデータシフトレジスタにダミーデータを設定してデータを受信します。
- (10) 1バイトのデータを受信すると、I<sup>2</sup>Cの割り込み要求信号が発生しますので、データシフトレジスタを読み出し、ACKBITに“1”または“0”を書き込んで、アックビットを出力します。
- (11) 複数バイトの制御データを受信する場合、(7)(8)または、(7)(10)を繰り返します。
- (12) ストップコンディションを検出すると通信が終了します。



## 使用上の注意事項

(1) I<sup>2</sup>C-BUSインタフェース回路の各レジスタアクセス

I<sup>2</sup>C-BUSインタフェース回路の各制御レジスタに対して、読み出し/書き込みする場合の注意事項を示します。

・I<sup>2</sup>Cデータシフトレジスタ(S0i:0320<sub>16</sub>, 0330<sub>16</sub>, 0310<sub>16</sub>番地)

データ転送中に書き込みを行わないで下さい。転送用ビットカウンタがリセットされ正常にデータ転送がでなくなります。

・I<sup>2</sup>Cアドレスレジスタ(S0Di:0322<sub>16</sub>, 0332<sub>16</sub>, 0312<sub>16</sub>番地)

ストップコンディション検出時にH/WによりRBWビットがリセットされますので、このタイミングでは、読み出し/書き込みを行わないで下さい。意図しない値になることがあります。H/WによるRBWビットのリセットタイミングを図GC-22に示します。

・I<sup>2</sup>Cコントロールレジスタ0(S1Di:0323<sub>16</sub>, 0333<sub>16</sub>, 0313<sub>16</sub>番地)

スタートコンディション検出時とバイト転送完了時にH/Wによりビットカウンタ(BC0 ~ BC2ビット)がリセットされますので、このタイミングでは読み出し/書き込みを行わないで下さい。意図しない値になることがあります。H/Wによるビットカウンタリセットタイミングを図GC-23, 図GC-24に示します。

・I<sup>2</sup>Cクロックコントロールレジスタ(S2i:0324<sub>16</sub>, 0334<sub>16</sub>, 0314<sub>16</sub>番地)

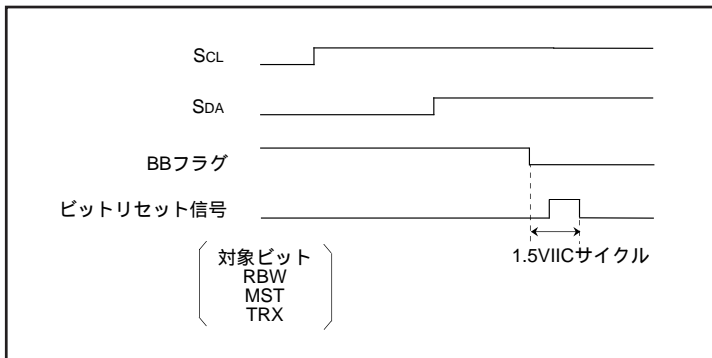
転送途中で、アックビット(ACKBIT)以外のビットを書き替えないで下さい。転送中に書き替えを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、正常に転送できません。

・I<sup>2</sup>Cコントロールレジスタ1(S3Di:0326<sub>16</sub>, 0336<sub>16</sub>, 0316<sub>16</sub>番地)

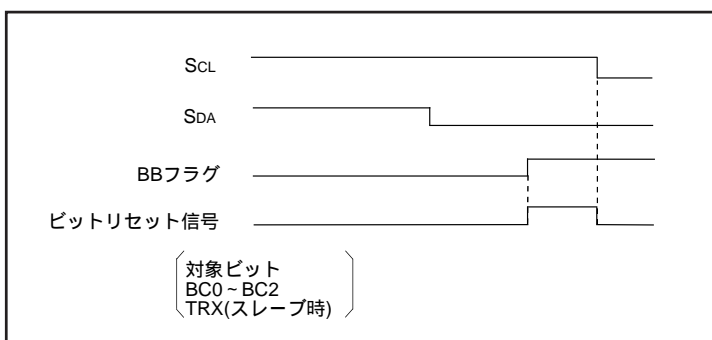
I<sup>2</sup>Cシステムクロック選択ビットはI<sup>2</sup>C-BUSインタフェース許可ビット(ES0)を禁止に設定している状態で書き替えを行って下さい。データ受信完了割り込み許可ビット(WIT)は、読み出しを行うと、内部ウエイトフラグが読み出されます。よって本レジスタにはビット処理命令(リードモディファイライト命令)を使用しないで下さい。

・I<sup>2</sup>Cステータスレジスタ(S1i:0328<sub>16</sub>, 0338<sub>16</sub>, 0318<sub>16</sub>番地)

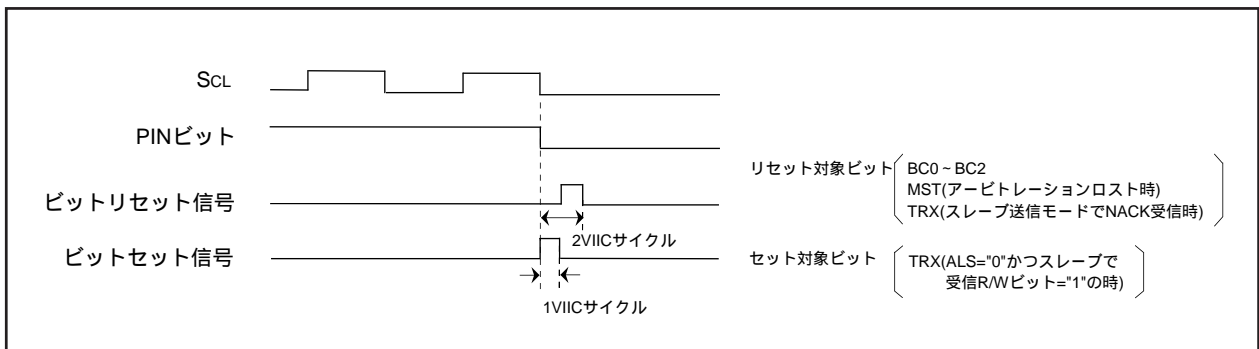
全てのビットがH/Wにより変化しますので、ビット処理命令(リードモディファイライト命令)を使用しないで下さい。また、通信モードを設定するMST, TRXビットがH/Wにより変化するタイミングでは読み出し/書き込みを行わないで下さい。意図しない値になることがあります。H/WによるMST, TRXビットが変化するタイミングを図GC-22, GC-23, GC-24に示します。



図GC-22. ビットリセットタイミング(ストップコンディション検出)



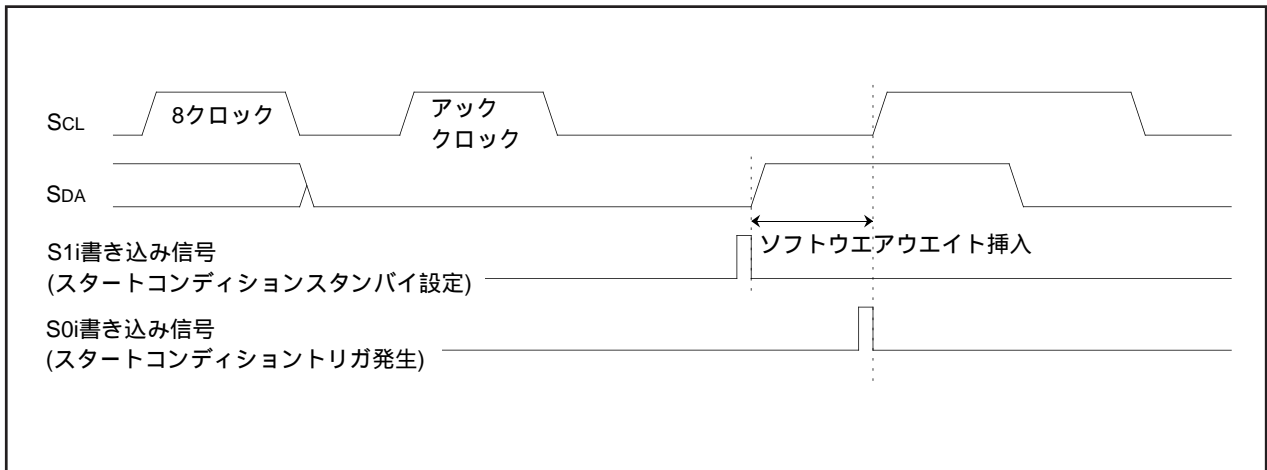
図GC-23. ビットリセットタイミング(スタートコンディション検出)



図GC-24. ビットセット/リセットタイミング(データ転送完了時)

(2) リスタートコンディションの発生

1バイトのデータ転送完了後にリスタートコンディションを発生させる場合、I<sup>2</sup>Cステータスレジスタに“ E016 ” を書き込んでスタートコンディションスタンバイに設定すると、一旦SDA端子を開放します。SDAが十分に“ H” になるまでソフトウェアにてウエイトした後にI<sup>2</sup>Cデータシフトレジスタに書き込むことでスタートコンディショントリガを発生させてください。図GC-25にリスタートコンディション発生タイミング図を示します。



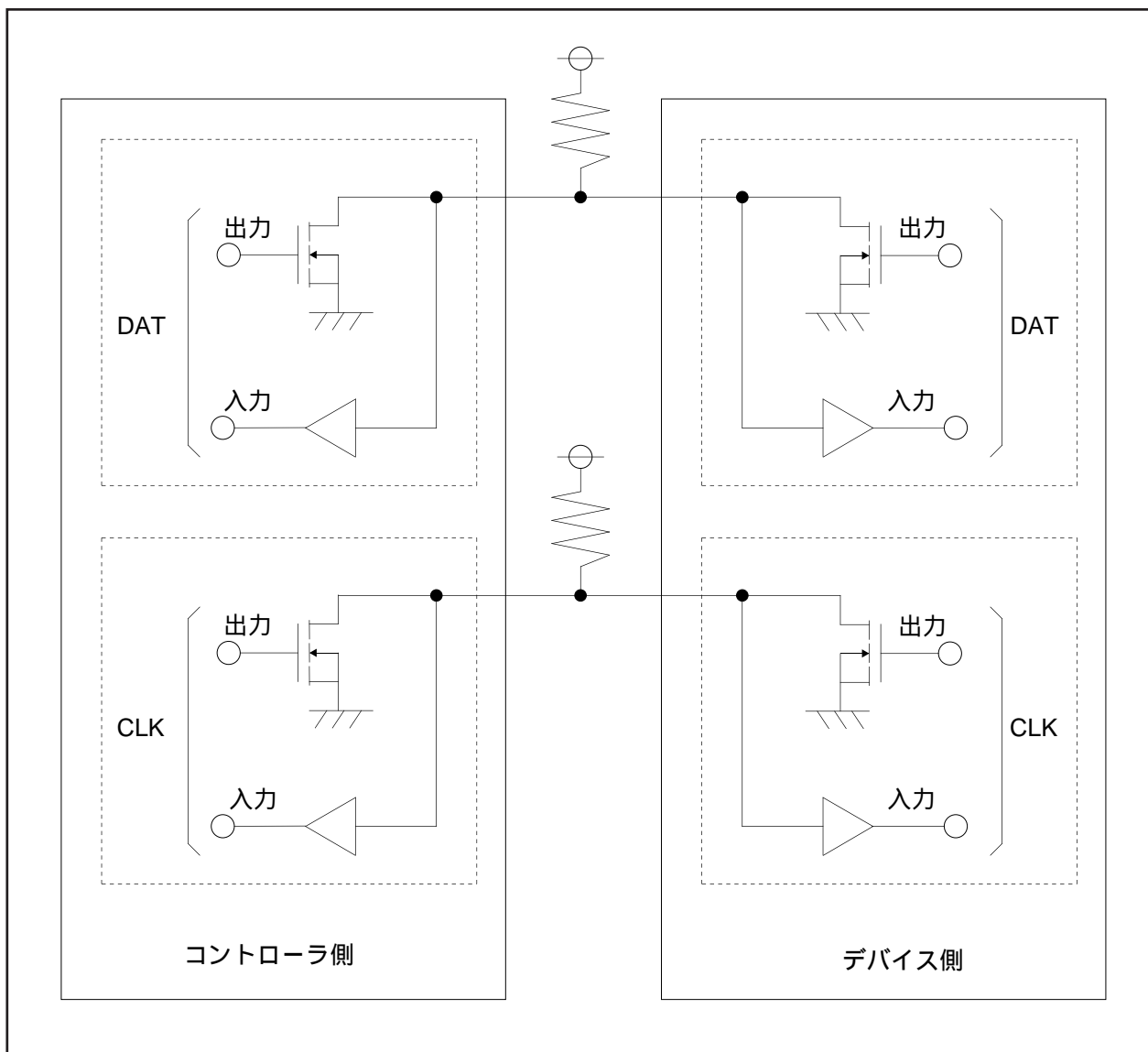
図GC-25. リスタートコンディション発生タイミング図

## PS2インタフェース

PS2インタフェースはPS/2に準拠した3チャンネルのシリアル送/受信回路です。

PS2インタフェースで使用する信号線は、PS2データ(DAT)とPS2クロック(CLK)の2本です。

DAT、CLKの信号線は双方向ラインで、プルアップ抵抗(外付け)を介して正電源に接続されます。出力形式はNチャンネルオープンドレインで、バスが開放されている時は、各信号線は“H”の状態になります。システム構成例を図GK-1に示します。

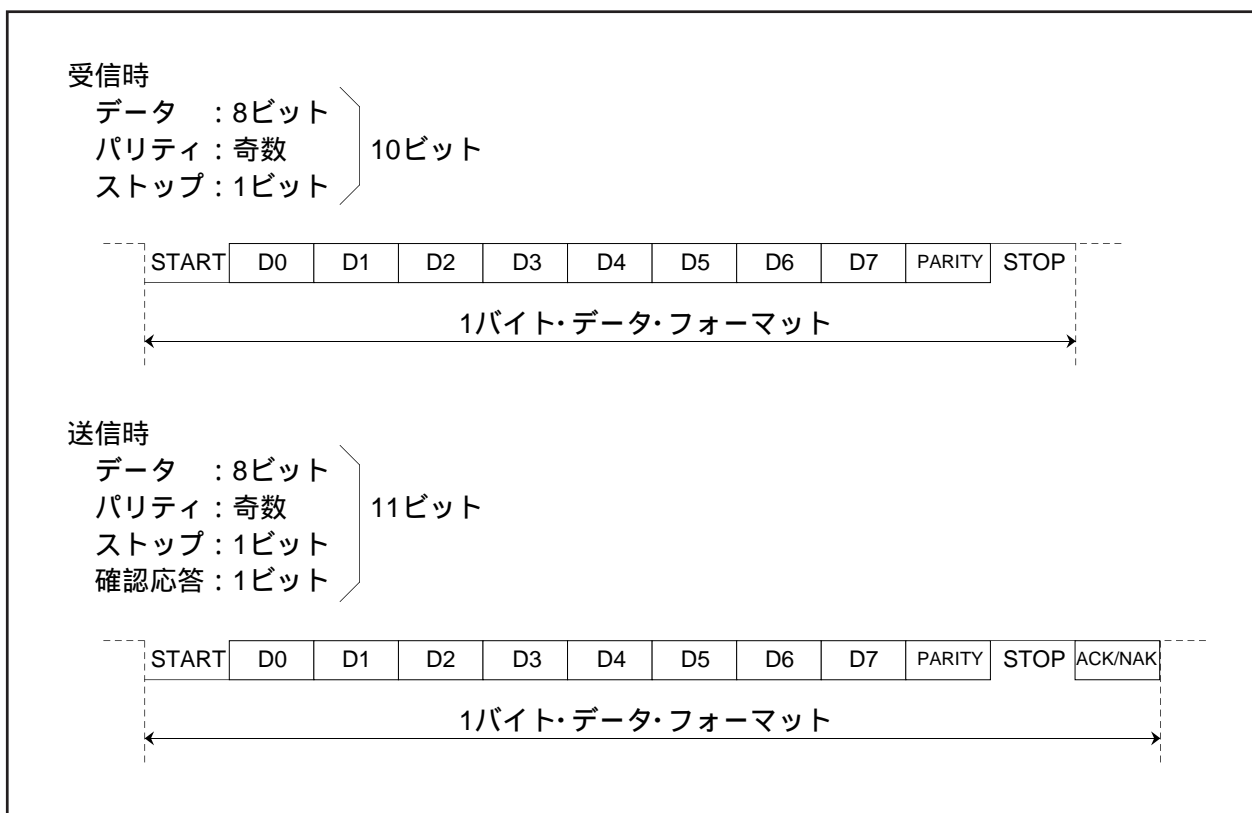


図GK-1. システム構成例

PS2インタフェースは、図GK-2のフォーマットで、1バイトデータの転送を行います。  
通信仕様を表GK-1に示します。

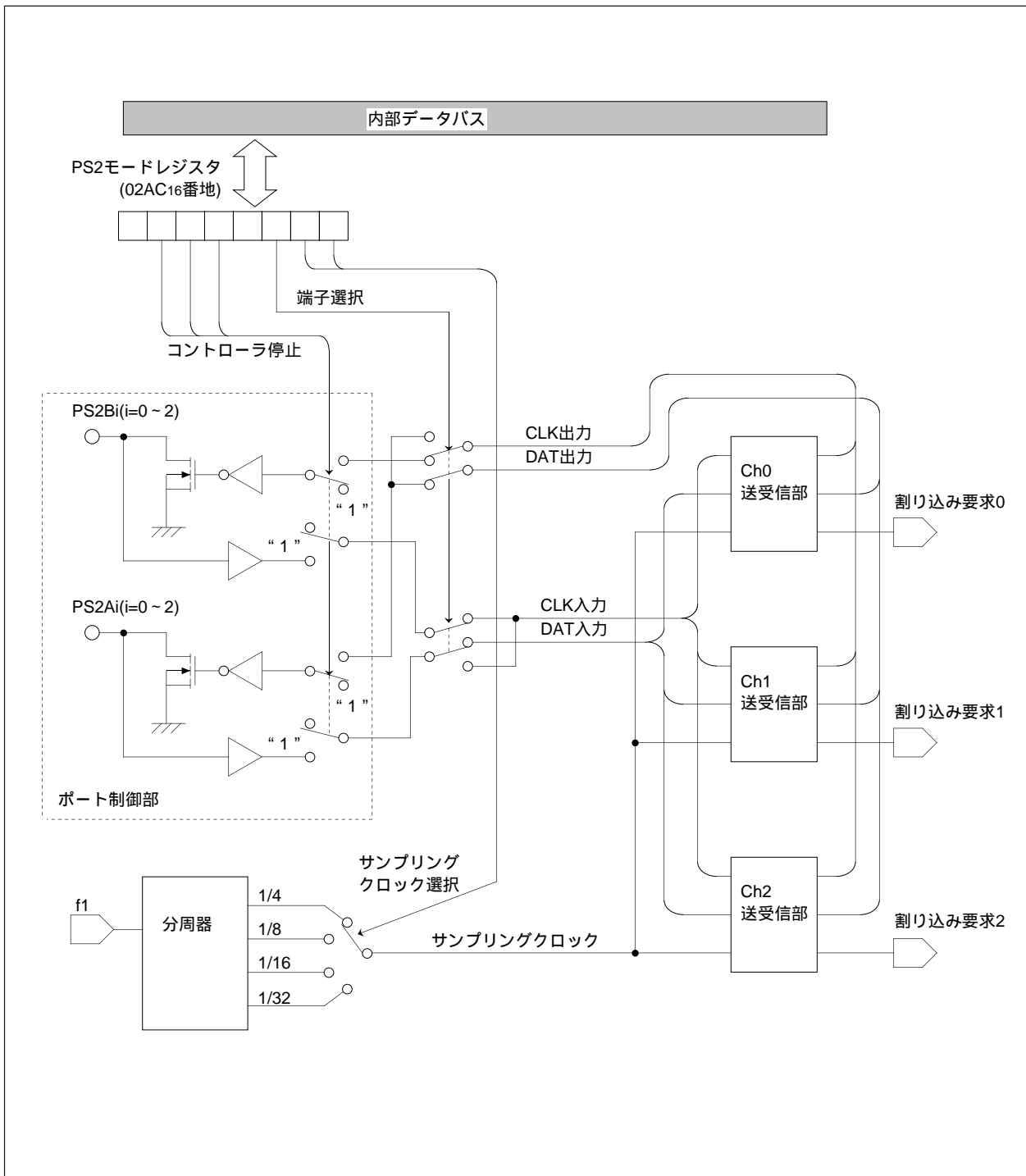
表GK-1. 通信仕様

項目	仕様
転送データフォーマット	スタートビット : 1ビット データビット : 8ビット(LSBから転送) パリティビット : 1ビット(奇数) ストップビット : 1ビット 確認応答・ビット : 1ビット(送信時のみ)
転送クロック	PS2クロック(CLK)をサンプリングクロックで同期化して使用。
受信開始条件	受信開始には、以下の条件が必要です。 受信許可ビットを“1”に設定 PS2クロック(CLK)とPS2データ(DAT)の“L”を検出
送信開始条件	送信開始には、以下の条件が必要です。 送信データをPS2iシフトレジスタに書き込む 送信許可ビットを“1”に設定
転送の中断	転送の中断を行う場合、以下の操作が必要です。 転送中断ビットを“1”に設定 転送完了フラグが“1”になるのを確認
割り込み要求発生タイミング	受信時：ストップビットの受信完了時 送信時：確認応答ビットの受信完了時 転送中断時：転送中断完了時
エラー検出	パリティエラー(受信時) 受信データにパリティエラーがあった場合に発生 フレーミングエラー(受信時) 受信データのストップビットが検出出来なかった場合に発生 異常応答受信(送信時) データ送信後、デバイス側から否定応答(NAK)を受信した場合に発生
選択機能	サンプリングクロック選択 PS2クロック(CLK)とPS2データ(DAT)をサンプリングする為のクロックの選択

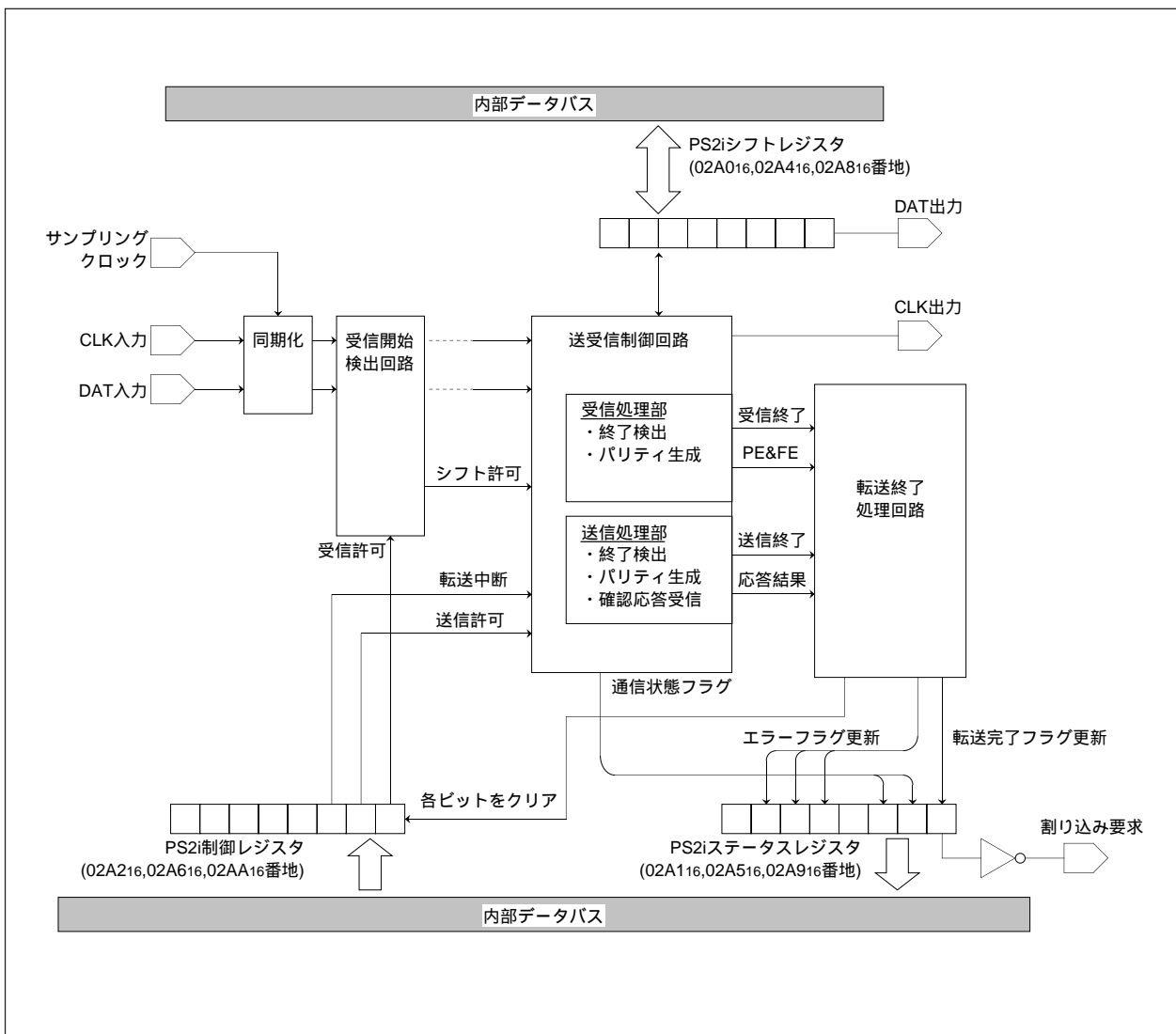


☒GK-2. 1バイトデータフォーマット

図GK-3に、PS2インタフェース全体のブロック図を、図GK-4に、送受信部のブロック図を示します。



図GK-3. PS2インタフェースブロック図



図GK-4. 送受信部のブロック図 (1チャンネル分)



(1)レジスタ説明

PS2iシフトレジスタ

送受信データ

データ受信時

受信したデータが格納されます。

データ送信時

送信するデータを書き込むことにより、データの送信準備が開始され、PS2データ(DAT)は、自動的に“L”(送信スタート)となります。



図GK-5. PS2iシフトレジスタの構成

## PS2i制御レジスタ

### 受信許可ビット REN

本ビットに“1”を書き込む事により、データの受信が許可され、PS2クロック(CLK)は自動的に“H”(受信許可状態)となります。

データの受信完了後、本ビットは自動的に“0”にクリアされ、PS2クロック(CLK)は“L”(受信禁止状態)となります。

但し、本ビットに“1”を書き込んだ後、転送完了フラグがセットされる前に、本ビットをクリアする場合には、受信許可ビット=“0”、転送中断ビット=“1”として、転送中断処理を同時に行ってください。

### 送信許可ビット TEN

PS2iシフトレジスタに送信データを書き込んだ後、本ビットに“1”を書き込む事により、データの送信が許可され、PS2クロック(CLK)は自動的に“H”(送信許可状態)となります。

データの送信完了後、本ビットは自動的に“0”にクリアされ、PS2クロック(CLK)は“L”(受信禁止状態)となります。

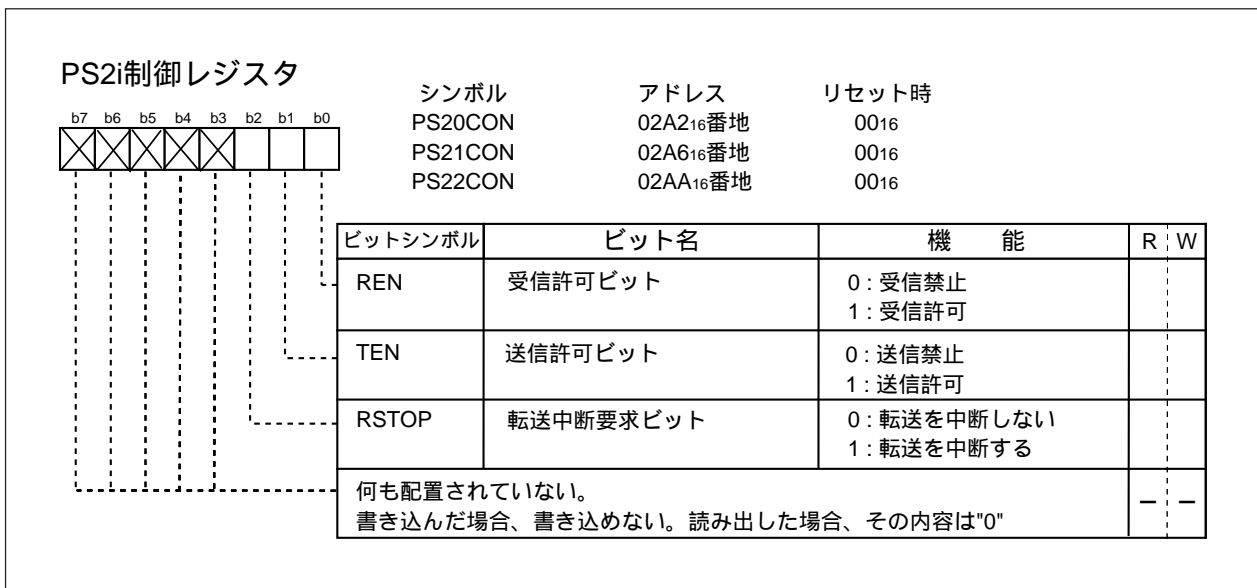
但し、本ビットに“1”を書き込んだ後、転送完了フラグがセットされる前に、本ビットをクリアする場合には、送信許可ビット=“0”、転送中断ビット=“1”として、転送中断処理を同時に行ってください。

### 転送中断要求ビット RSTOP

データの転送処理を中断したい場合に使用します。

転送中断処理が完了すると、PS2iステータスレジスタ中の転送完了フラグおよび転送中断完了フラグは“1”にセット、本ビットは自動的に“0”にクリアされ、PS2クロック(CLK)は“L”(受信禁止状態)となります。

PS2クロック(CLK)に“L”を出力後、デバイスが転送中断要求を認識するまで次の送受信は行わないでください。



図GK-6. PS2i制御レジスタの構成

## PS2iステータスレジスタ

### 転送完了フラグ TI

データ受信完了時、データ送信完了時または、転送中断完了時にセットされます。

PS2iシフトレジスタを読み出したとき、または、受信許可ビットを“0”から“1”にしたときに本フラグはクリアされます。

### 受信中フラグ RF

データの受信中に“1”にセットされます。

データの受信完了後または、転送中断完了後に自動的にクリアされます。

### 受信中断認識不可フラグ CD

データの受信中で、受信中断を行ってもデバイス側が中断を認識できない状態の場合にセットされます。(データビット6の受信後～ストップビットの受信完了までの期間“1”にセット。)

データの受信完了後または、転送中断完了後に自動的にクリアされます。

本フラグがセットされている間に、転送中断を行った場合、デバイス側は受信中断要求を認識出来ません。この為、中断時のデータをデバイス側は再送してきませんので注意が必要です。

### 転送状態フラグ TS

データ受信完了時に“1”にセットされます。

PS2iシフトレジスタを読み出したとき、または、受信許可ビットを“0”から“1”にしたときに、本フラグはクリアされます。

### パリティエラーフラグ PE

受信したデータに、パリティエラーが発生した場合にセットされます。

PS2iシフトレジスタを読み出したとき、または、受信許可ビットを“0”から“1”にしたときに、本フラグはクリアされます。

### フレーミングエラー/否定応答受信フラグ FE

受信完了時：受信したデータの、ストップビットが検出できなかった場合にセットされます。

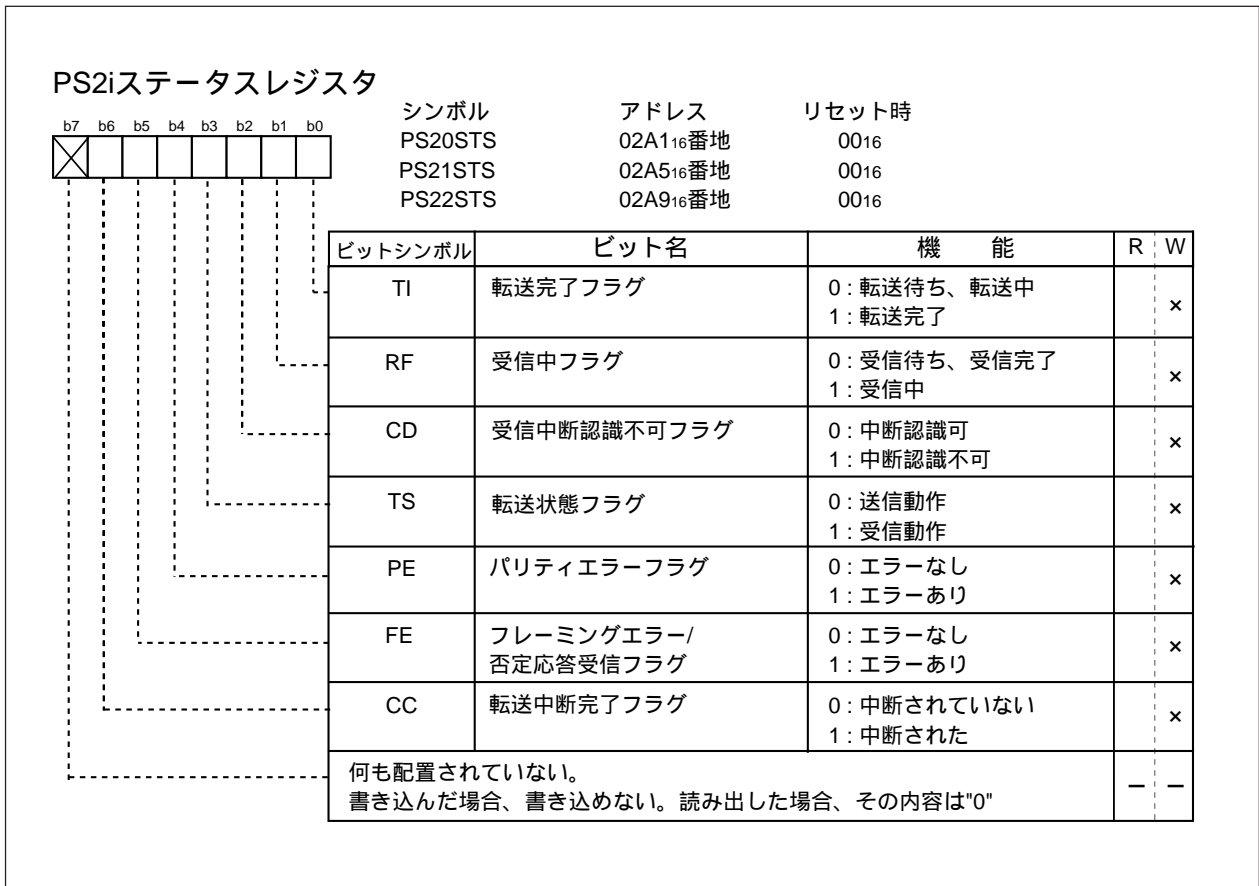
送信完了時：データ送信後、デバイス側から否定応答(NAK)を受信した場合にセットされます。

PS2iシフトレジスタを読み出したとき、または、受信許可ビット、送信許可ビットを、“0”から“1”にしたときに、本フラグはクリアされます。

### 転送中断完了フラグ CC

転送処理を中断した場合に、中断処理完了後セットされます。

PS2iシフトレジスタを読み出したとき、または、受信許可ビット、送信許可ビットを“0”から“1”にしたときに、本フラグはクリアされます。



図GK-7. PS2iステータスレジスタの構成

## PS2モードレジスタ

### サンプリングクロック選択ビット SCK0,1

本ビットは、PS2クロック(CLK)および、PS2データ(DAT)をサンプリングするためのクロックを選択するビットです。

発振周波数(XIN)と、サンプリング周期の関係を下表に示します。

XIN \ 設定値	1/4	1/8	1/16	1/32
8MHz	0.5 $\mu$	1.0 $\mu$	2.0 $\mu$	4.0 $\mu$
5MHz	0.8 $\mu$	1.6 $\mu$	3.2 $\mu$	6.4 $\mu$

\* サンプリングクロックは、各ラインを一定の周期でサンプリングすることにより、ラインの反射等の影響を回避する目的に使用しています。このため、内部回路では、サンプリングクロックの約1周分の遅れが生じますので、出来るだけ最小の値となるように設定してください。

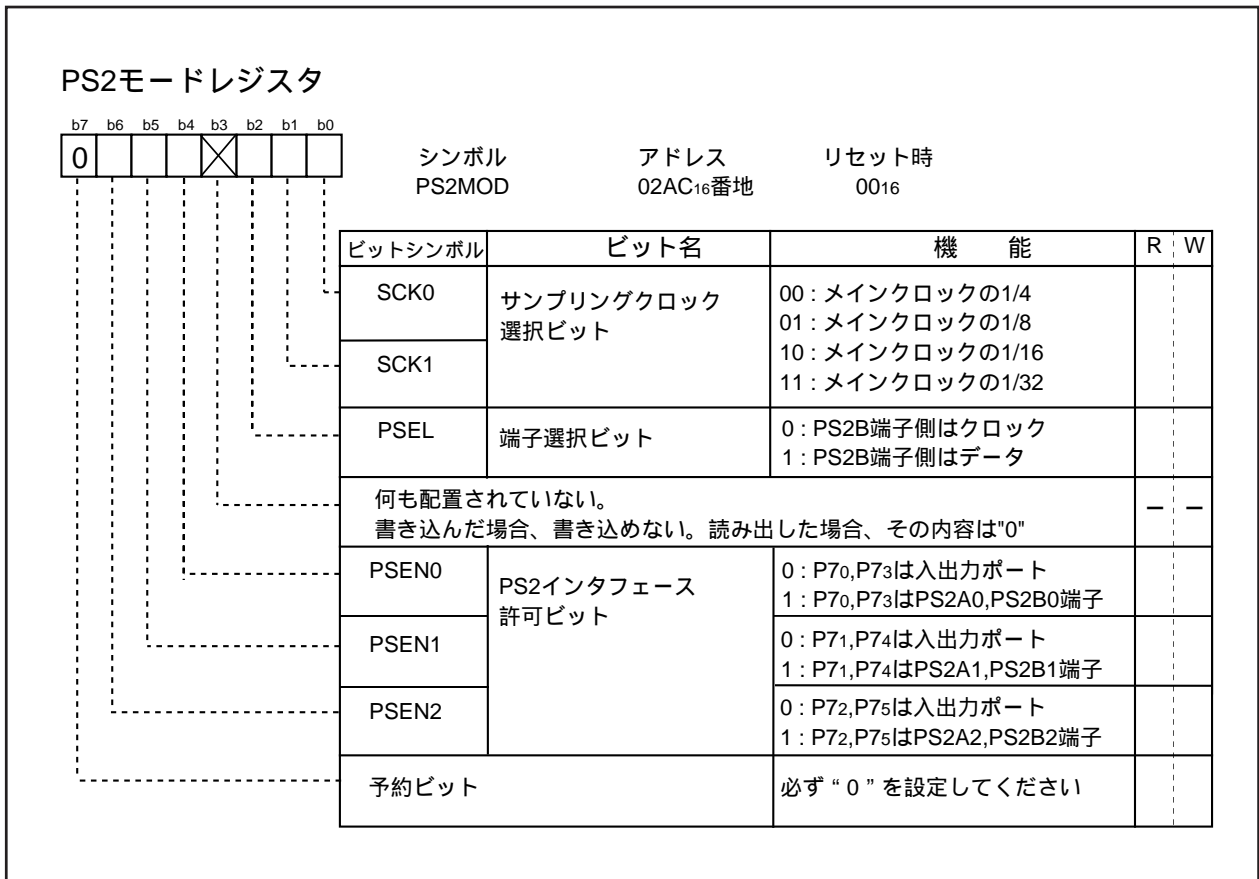
### 端子選択ビット PSEL

本ビットは、2本のPS2用端子の内PS2Bi(i=0~2)端子側(外部割り込み機能をもつ端子)を、PS2クロック(CLK)とするかPS2データ(DAT)とするかを選択するためのビットです。本ビットの設定内容と、PS2Bi(i=0~2)端子の対応を以下に示します。

端子選択ビット	PS2Bi(i=0~2)
“ 0 ”	PS2クロック(CLK)
“ 1 ”	PS2データ(DAT)

### PS2インタフェース許可ビット PSEN

本ビットに“ 0 ”を書き込むことにより、PS2Ai,PS2Bi端子は開放され通常の入出力ポートとして使用可能になります。“ 1 ”を書き込んだ場合には、端子は本コントローラに占有されます。



図GK-8. PS2モードレジスタの構成

## (2)動作説明

### 基本設定

PS2インタフェースを使用する場合は、PS2モードレジスタ(02AC<sub>16</sub>番地)中の以下の項目を設定してください。

### PS2インタフェースの許可

PS2インタフェース許可ビット(ビット4~6)の内、使用するチャンネルに対応するビットを“1”に設定します。この時、PS2クロック(CLK)は“L”(受信禁止状態)になります。

### サンプリングクロックの選択

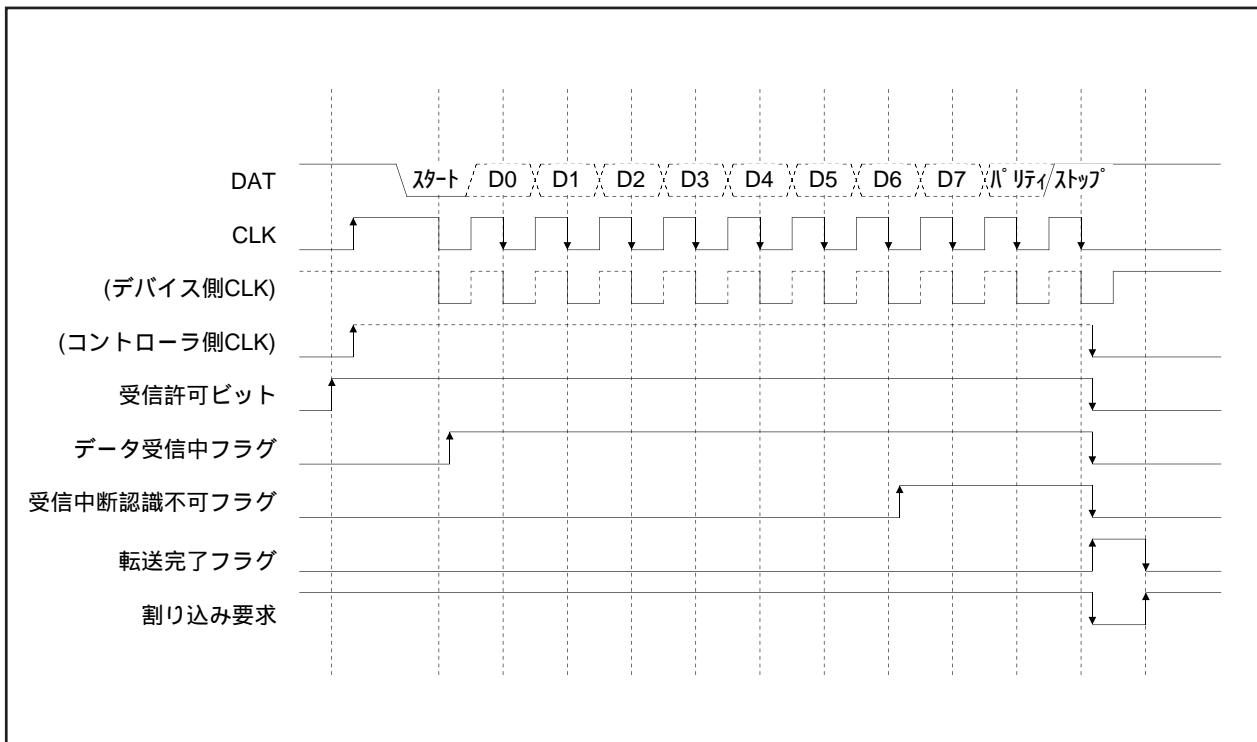
サンプリングクロック選択ビット(ビット0,1)で、サンプリングクロックの周期(1/4,1/8,1/16,1/32)の選択を行います。

### 外部割り込み機能を持つ端子(PS2B端子)の選択

外部割り込み機能を持つ端子(PS2B端子側)を、PS2クロック(CLK)とするかPS2データ(DAT)とするか選択します。

## 受信動作

受信動作のタイミングを図GK-9に示します。



図GK-9. 受信動作のタイミング

### 受信許可

PS2i制御レジスタ(02A2<sub>16</sub>,02A6<sub>16</sub>,02AA<sub>16</sub>番地)に01<sub>16</sub>(受信許可ビット=“1”)を設定し、受信動作を許可します。この時、PS2クロック(CLK)は、“H”になります。

### 受信開始

PS2クロック(CLK)とPS2データ(DAT)の“L”を検出することにより、受信動作が開始します。

### データ受信 (データビット、パリティビット受信)

PS2クロック(CLK)の立ち下がりエッジで、PS2データ(DAT)の内容が、PS2iシフトレジスタ(02A0<sub>16</sub>,02A4<sub>16</sub>,02A8<sub>16</sub>番地)に順次取り込まれていきます。データの転送順序は、データビット(D0～D7)、パリティビットの順になります。

### 受信完了 (ストップビット受信)

PS2クロック(CLK)の立ち下がりエッジを検出すると、PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)のエラーフラグ(ビット4～6)の更新後、転送完了フラグ(ビット0)が“1”にセットされ、PS2i制御レジスタ(02A2<sub>16</sub>, 02A6<sub>16</sub>, 02AA<sub>16</sub>番地)の受信許可ビット(ビット0)が“0”にクリアされます。この時、PS2クロック(CLK)は、“L”(受信禁止状態)となり、割り込み要求がセットされます。

### データ読み出し

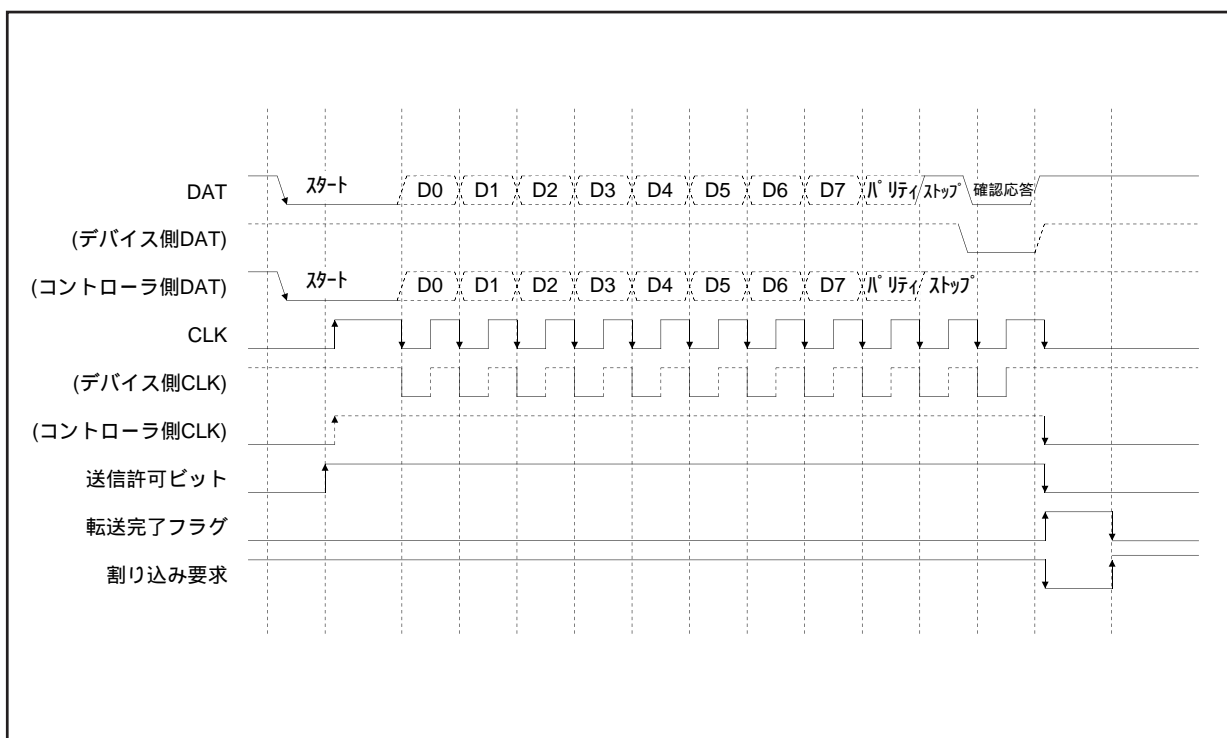
PS2iシフトレジスタ(02A0<sub>16</sub>, 02A4<sub>16</sub>, 02A8<sub>16</sub>番地)の内容を読み出します。

この時、PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)のエラーフラグ(ビット4～6)および転送完了フラグ(ビット0)の内容が“0”にクリアされます。



## 送信動作

送信動作のタイミングを図GK-10に示します。



図GK-10. 送信動作のタイミング

### データ書き込み

PS2iシフトレジスタ(02A0<sub>16</sub>, 02A4<sub>16</sub>, 02A8<sub>16</sub>番地)に送信データを書き込みます。

この時、PS2データ(DAT)は、“L”(送信スタート)になります。

### 送信許可

PS2i制御レジスタ(02A2<sub>16</sub>, 02A6<sub>16</sub>, 02AA<sub>16</sub>番地)に02<sub>16</sub>(送信許可ビット=“1”)を設定し、送信動作を許可します。この時、PS2クロック(CLK)は、“H”になります。

### データ送信 (データビット、パリティビット、ストップビット送信)

PS2クロック(CLK)の立ち下がリエッジで、PS2iシフトレジスタ(02A0<sub>16</sub>, 02A4<sub>16</sub>, 02A8<sub>16</sub>番地)の内容が、PS2データ(DAT)へ順次出力されていきます。データの転送順序は、データビット(D0～D7)、パリティビット、ストップビットの順になります。

### 確認応答受信

PS2クロック(CLK)の立ち下がリエッジで、確認応答ビットの内容が内部に取り込まれます。

### 送信完了

PS2クロック(CLK)とPS2データ(DAT)の“H”を検出することにより、送信動作が終了します。

PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)のエラーフラグ(ビット4～6)の更新後、転送完了フラグ(ビット0)が“1”にセットされ、PS2i制御レジスタ(02A2<sub>16</sub>, 02A6<sub>16</sub>, 02AA<sub>16</sub>番地)の送信許可ビット(ビット1)が“0”にクリアされます。この時、PS2クロック(CLK)は、“L”(受信禁止状態)となり、割り込み要求がセットされます。

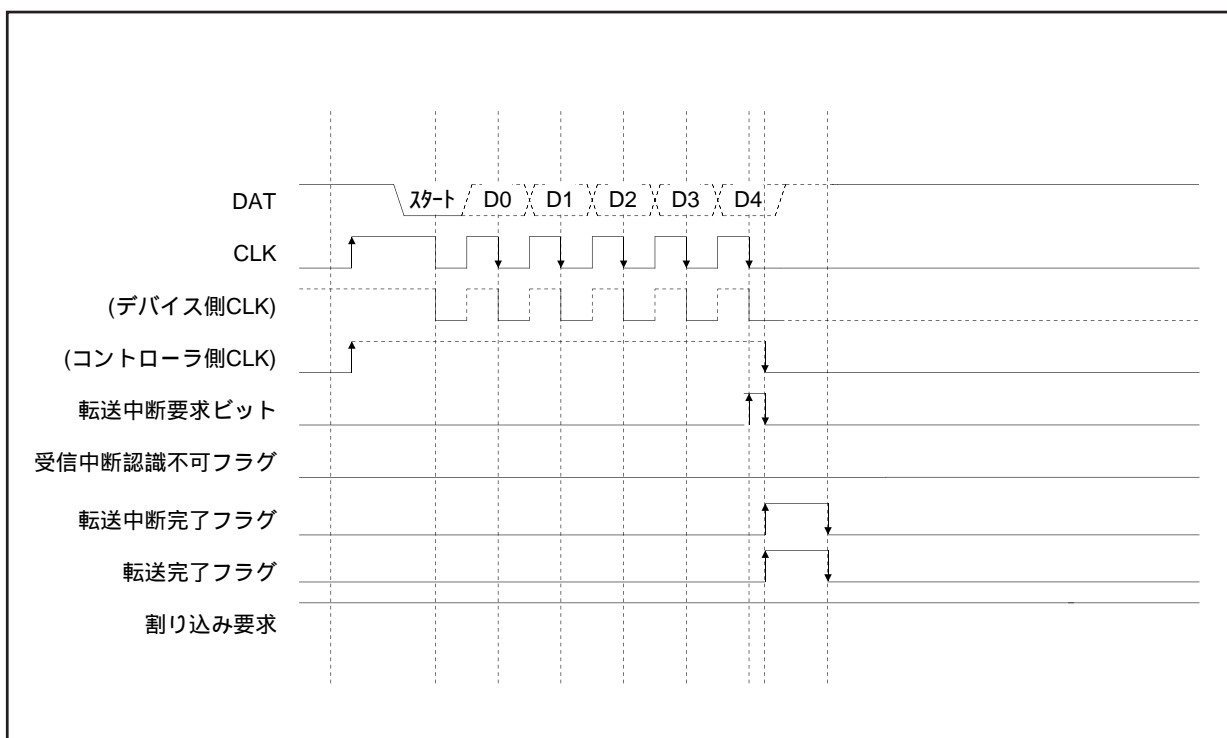
### ステータスのクリア

PS2iシフトレジスタ(02A0<sub>16</sub>, 02A4<sub>16</sub>, 02A8<sub>16</sub>番地)中の内容を読み出します。

この時、PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)のエラーフラグ(ビット4～6)および転送完了フラグ(ビット0)の内容が“0”にクリアされます。

## 転送中断動作

転送中断動作のタイミングを図GK-11に示します。



図GK-11. 転送中断動作のタイミング(受信時)

### ～ データ受信動作

#### 転送中断要求

PS2i制御レジスタ(02A2<sub>16</sub>, 02A6<sub>16</sub>, 02AA<sub>16</sub>番地)に04<sub>16</sub>(転送中断要求ビット=“1”)を設定します。

#### 転送中断完了

PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)の転送中断完了フラグ(ビット6)、転送完了フラグ(ビット0)が“1”にセットされ、PS2i制御レジスタ(02A2<sub>16</sub>, 02A6<sub>16</sub>, 02AA<sub>16</sub>番地)の転送中断要求ビット(ビット2)が“0”にクリアされます。この時、PS2クロック(CLK)は、“L”(受信禁止状態)となり、割り込み要求がセットされます。

#### ステータスのクリア

PS2iシフトレジスタ(02A0<sub>16</sub>, 02A4<sub>16</sub>, 02A8<sub>16</sub>番地)中の内容を擬似的に読み出すことで、PS2iステータスレジスタ(02A1<sub>16</sub>, 02A5<sub>16</sub>, 02A9<sub>16</sub>番地)の転送中断完了フラグ(ビット6)、転送完了フラグ(ビット0)の内容が“0”にクリアされます。

注 . PS2クロック(CLK)に“L”を出力後、デバイスが転送中断要求を認識するまで次の送受信は行わないでください。

## プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P16(P85は除く)の129本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます(ただしP10とP14は除く)。NチャネルオープンドレインポートのP60～P63、P70～P77、P80～P84、P130～P137と入力専用ポートのP85にプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図UA-1～図UA-6に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。内蔵周辺装置の設定方法は、各機能説明を参照してください。

### (1) 方向レジスタ

方向レジスタの構成を、図UA-7に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

注1. P85の方向レジスタのビットは存在していません。

### (2) ポートレジスタ

ポートレジスタの構成を、図UA-8に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

### (3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図UA-9、図UA-10、図UA-11に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます(ただしP10とP14は除く)。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

なお、P10およびP14は、1ポートごとにプルアップ抵抗の有無を設定できます。

### (4) ポート制御レジスタ

ポート制御レジスタ0, 1の構成を、図UA-12に、ポート制御レジスタ2, 3の構成を、図UA-13に示します。

ポートP1の読み出しに対して、ポート制御レジスタ0のビット0の値によって、以下のようになります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、ポートP1レジスタの内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

ポート制御レジスタ1のビット0~6、ポート制御レジスタ3のビット0~2の値によってP0、P1、P40~P46、P11、P14の出力形式をCMOSまたNチャネルオープンドレインに設定できます。

- 0：出力形式はCMOS
- 1：出力形式はNチャネルオープンドレイン

ただし、P42の出力形式のみポート制御レジスタ1のビット4またはポート制御レジスタ3のビット2のどちらか一方に“1”を設定することで、Nチャネルオープンドレインになります。

ポート制御レジスタ1のビット7の値によって以下の様に出来ます。

- 0：P40/P43出力はソフトウエアクリアのみ
- 1：P40/P43出力はソフトウエアクリアまたは出力データバスバッファ0読み出し(システム側)

ポート制御レジスタ2のビット6の値によってP140~P143のNチャネル出力トランジスタの駆動能力の設定を行います。

- 0：Nチャネル出力トランジスタはLow駆動能力
- 1：Nチャネル出力トランジスタはHigh駆動能力

#### (5) ポートP4/P7 入力レジスタ

ポートP4入力レジスタ、およびポートP7入力レジスタの構成を図UA-14に示します。

このレジスタを読み込むことによって、入力ポート/出力ポートにかかわらず、それぞれポートの端子の入力レベルを読み出すことができます。

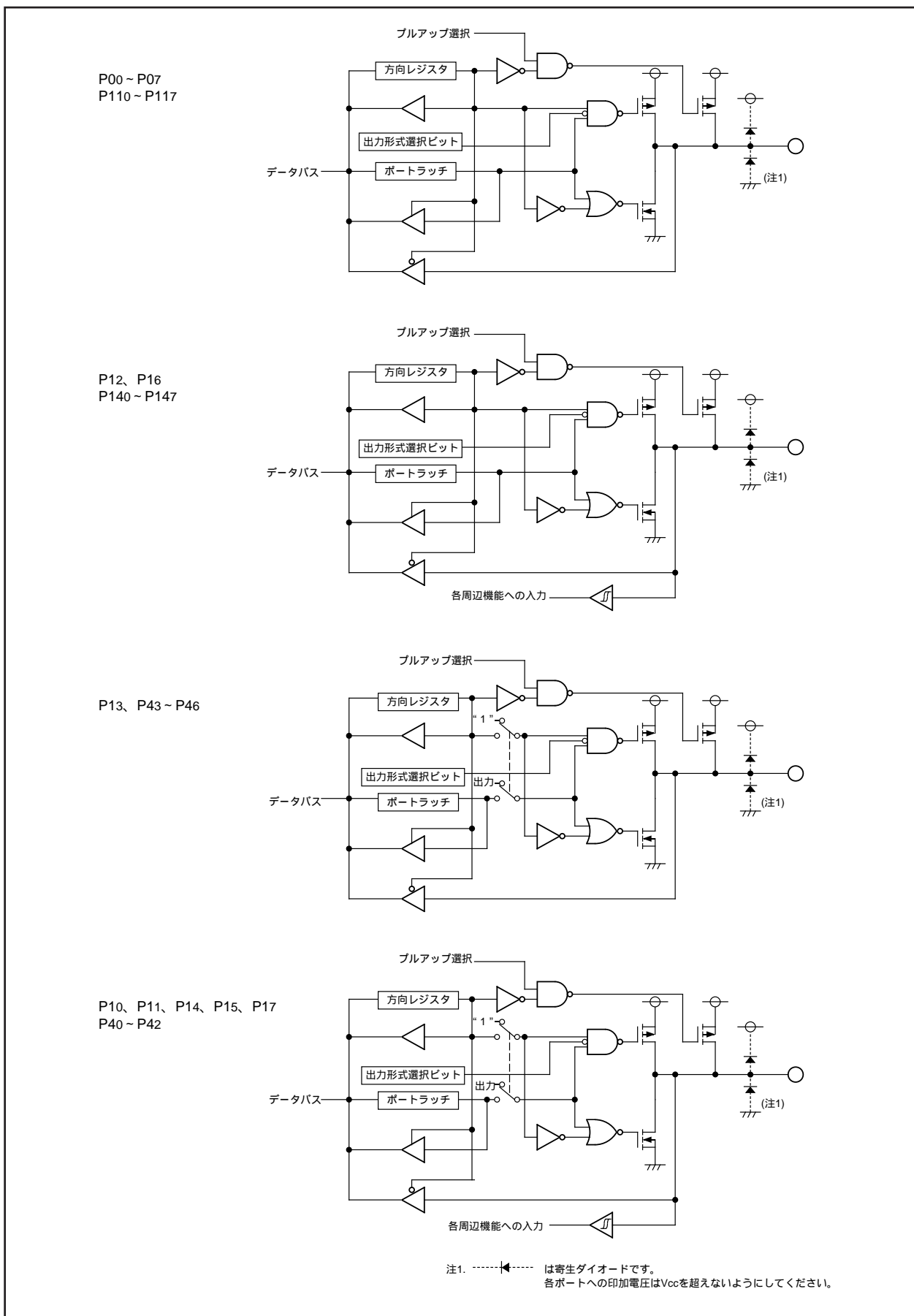
- ポートP4：ビット0~6は端子レベル、ビット7は“0”が読み出されます。
- ポートP7：ビット0~5は端子レベル、ビット6,7は“0”が読み出されます。

#### (6) ポート機能選択レジスタ0、1、2

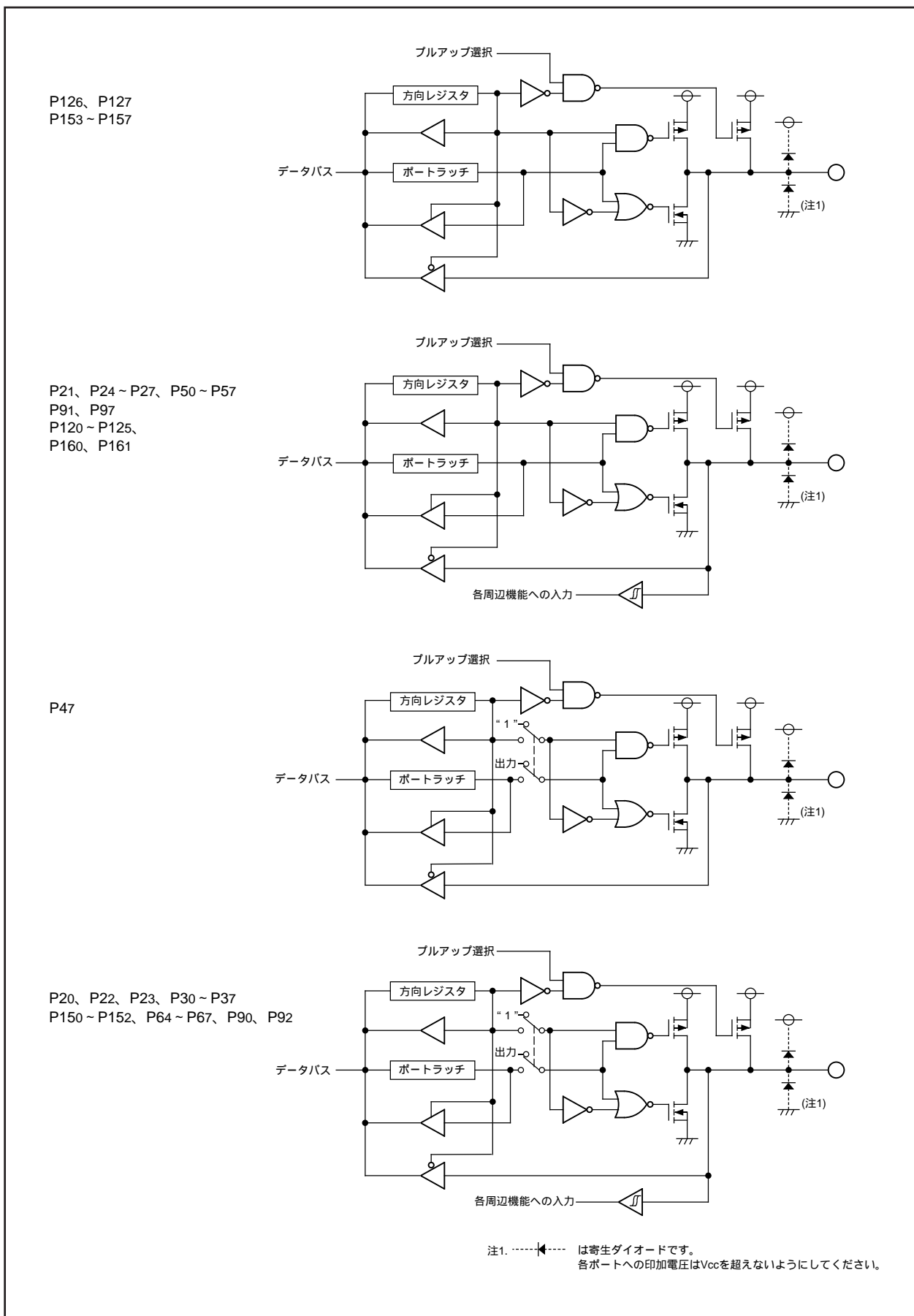
ポート機能選択レジスタの構成を図UA-15、図UA-16に示します。

これらのレジスタの設定によって、UART1入出力端子、タイマA0~A2出力端子、タイマB3、B4入力端子、外部割り込みINT6~INT12の入力端子、シリアルI/O3,4の入出力端子、I<sup>2</sup>C1,2の入出力端子をそれぞれ切り替えることができます。

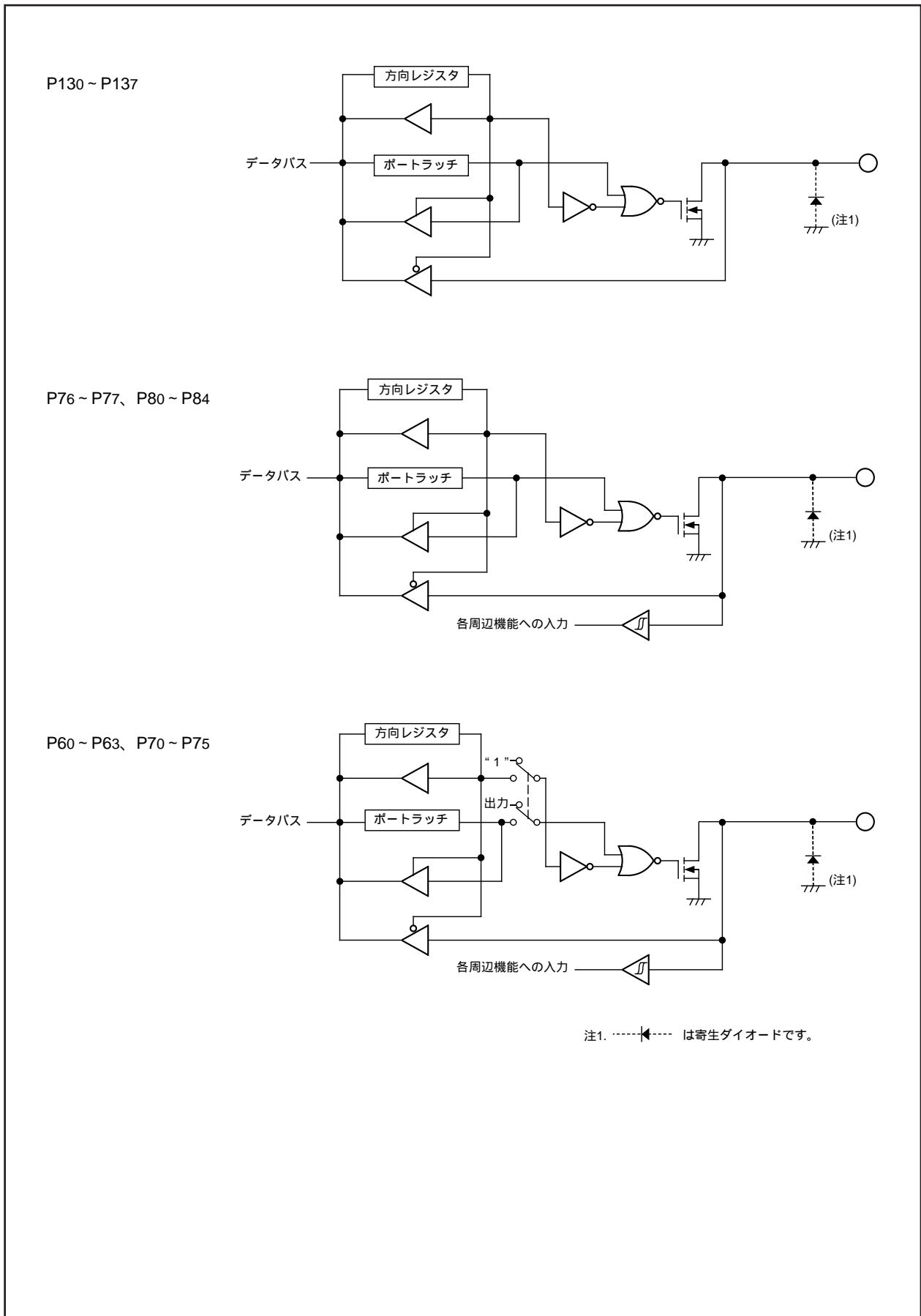
また、ポート機能選択レジスタ2のビット0、ビット1の値によってP110、P111からf(XIN)と同じ周期を持つクロックを出力することが出来ます。



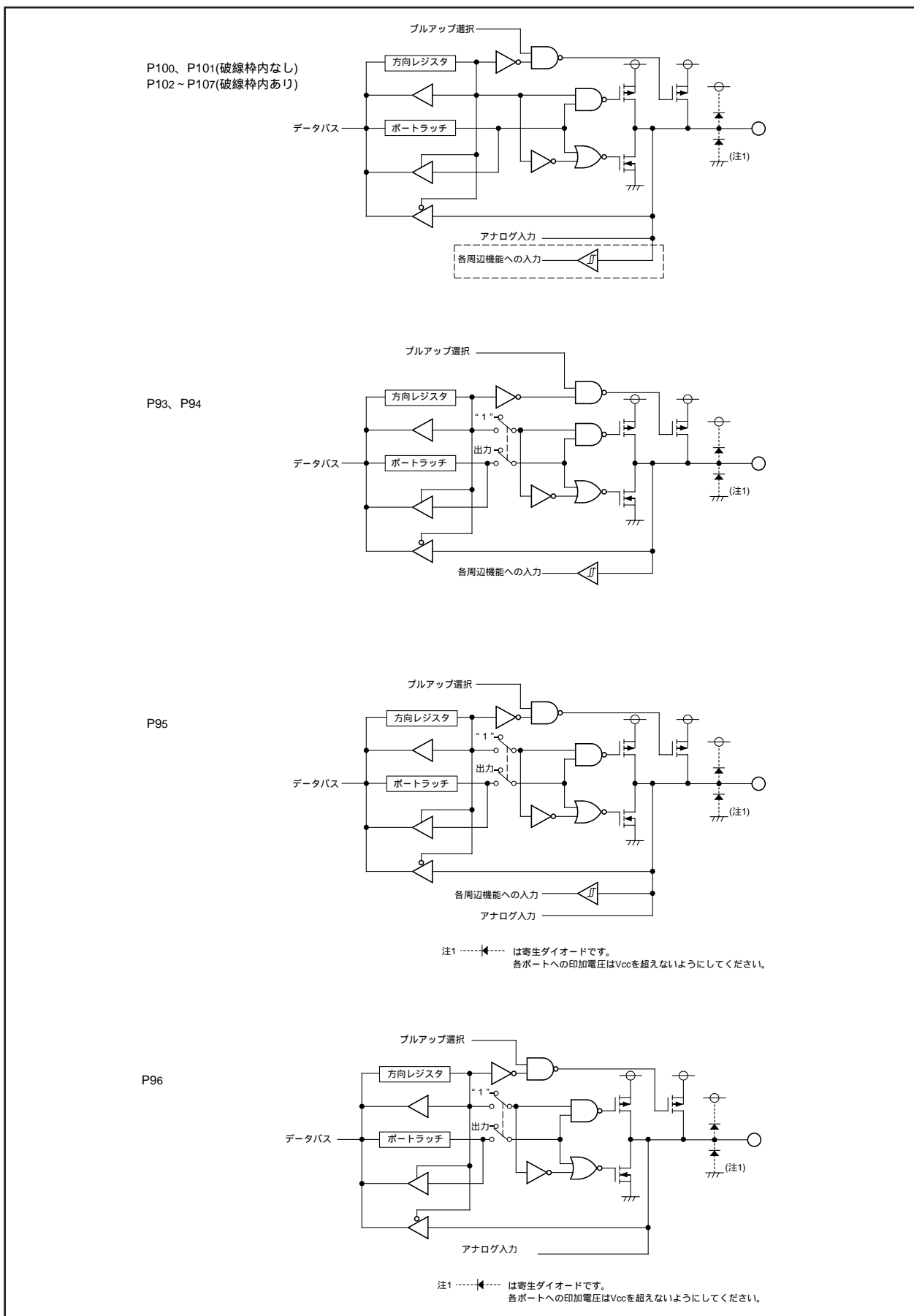
図UA-1. プログラマブル入出力ポートの構成(1)



図UA-2. プログラマブル入出力ポートの構成(2)

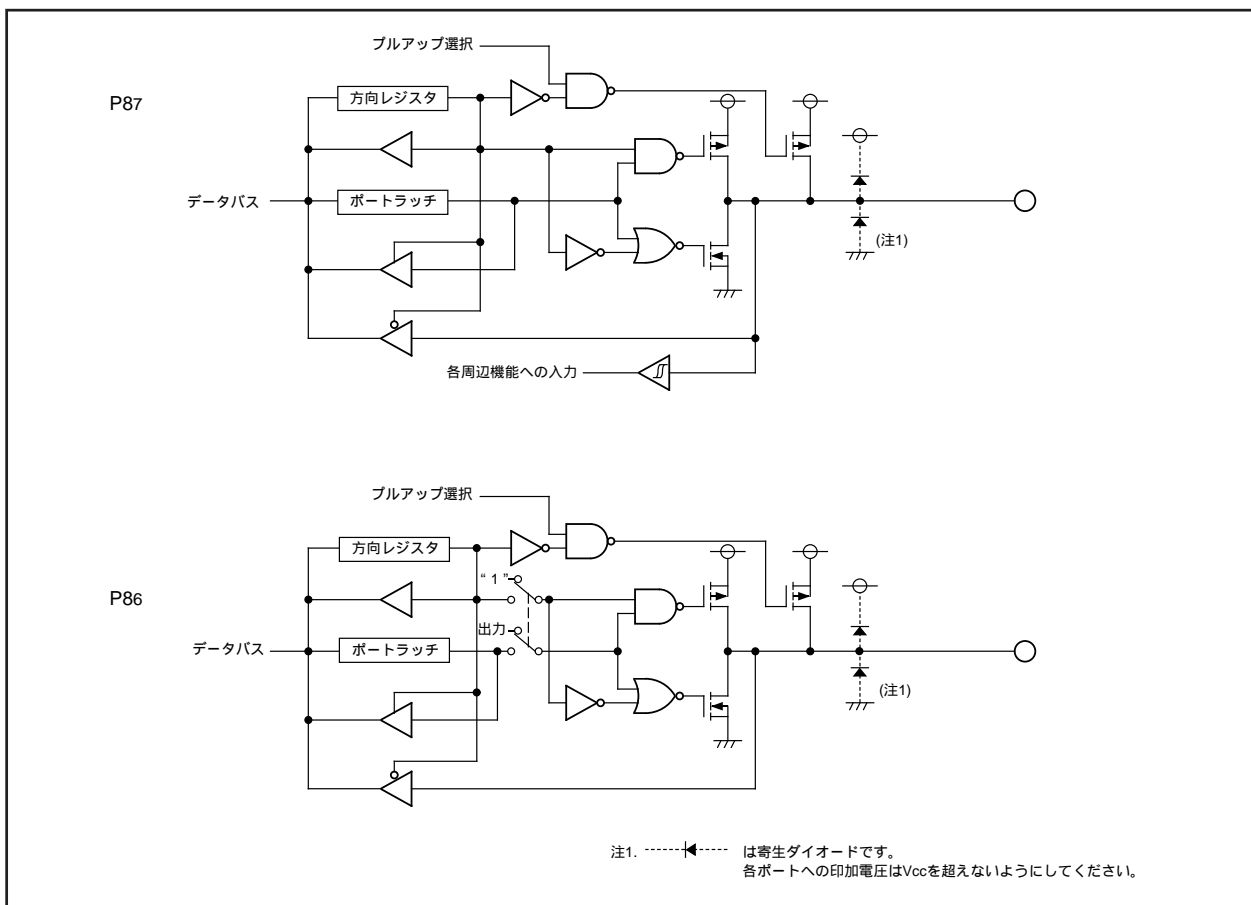


図UA-3. プログラマブル入出力ポートの構成(3)

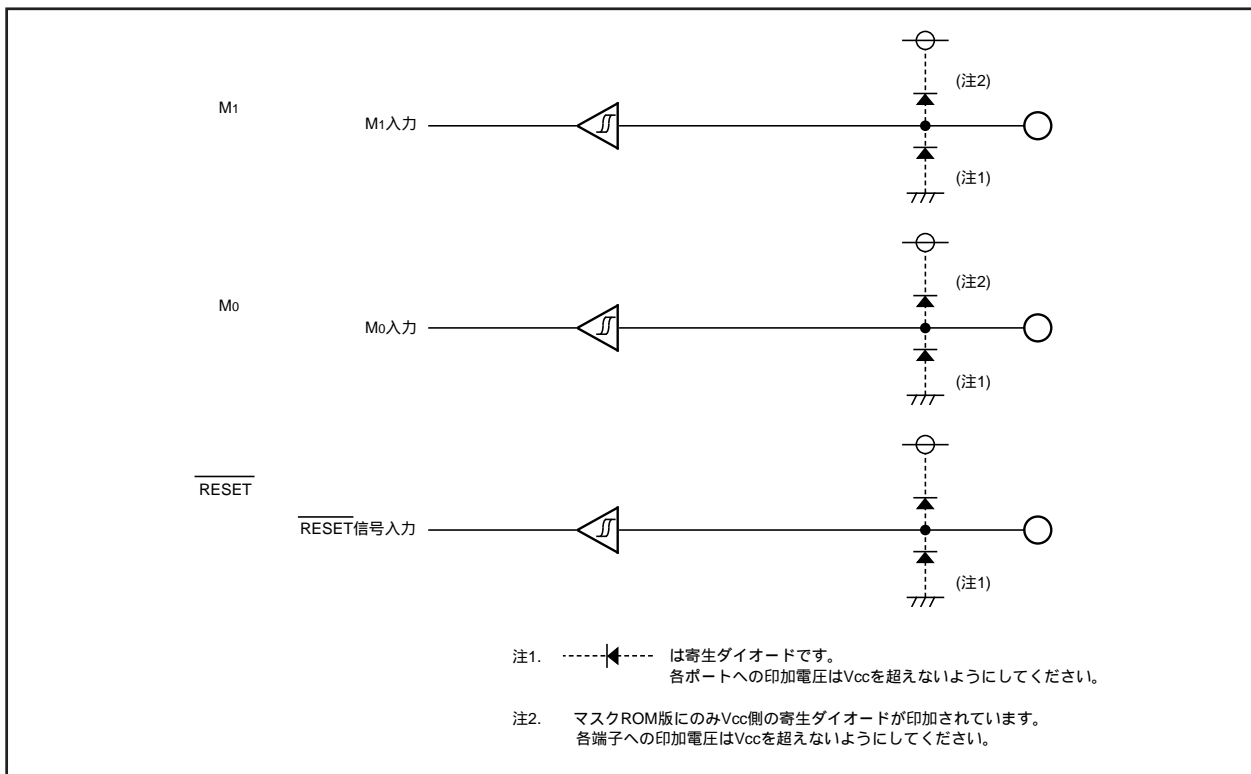


図UA-4. プログラマブル入出力ポートの構成(4)

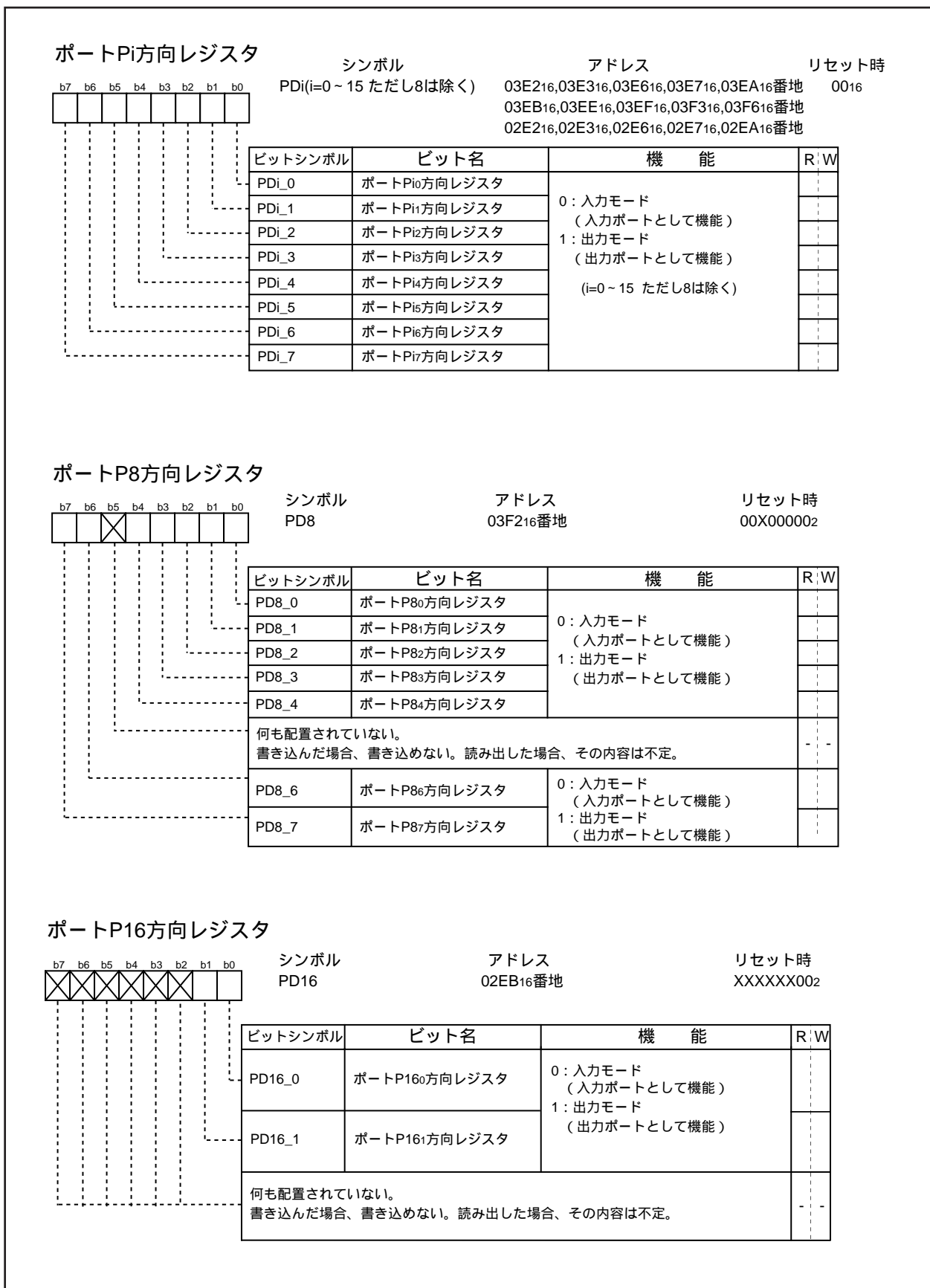




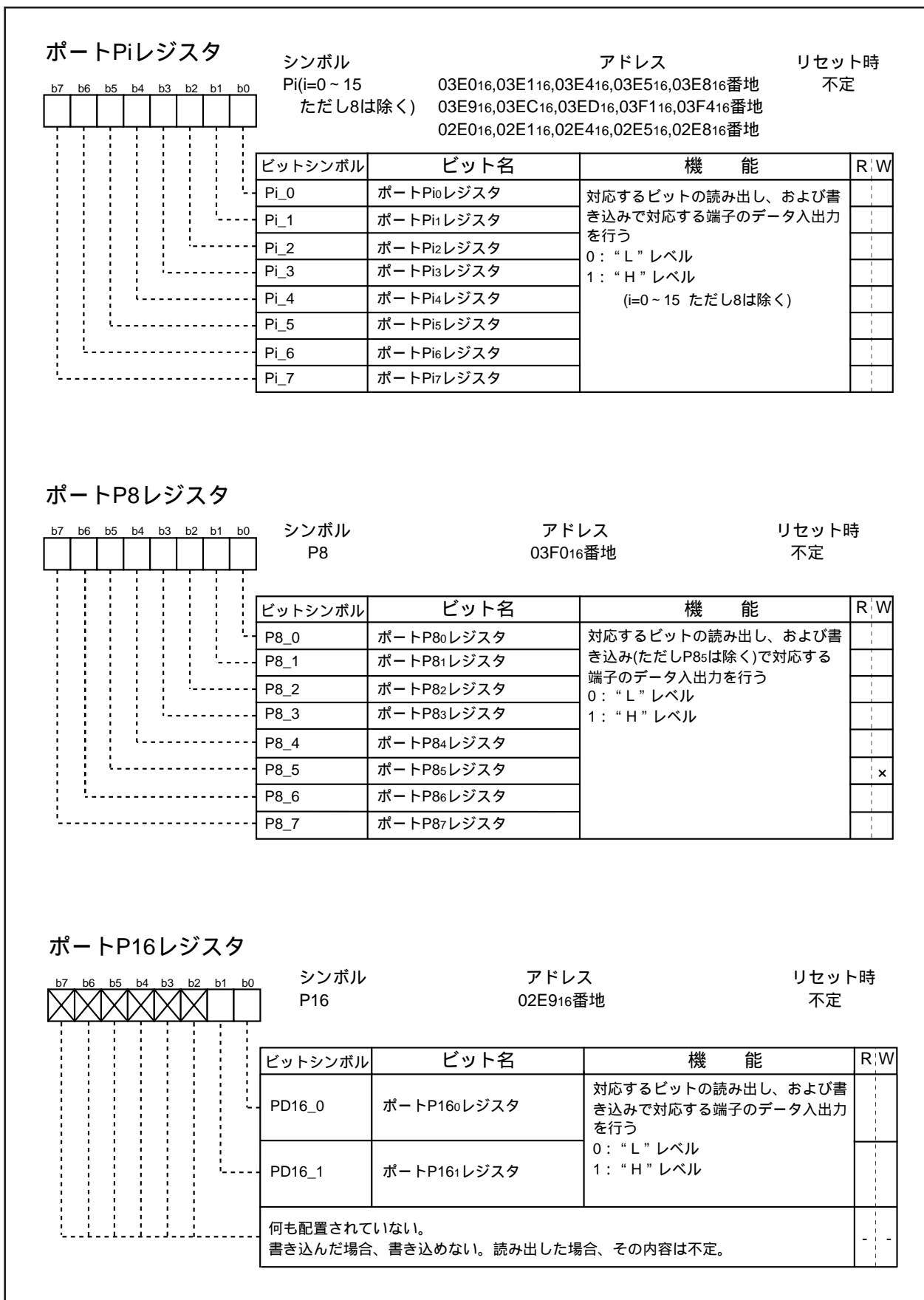
図UA-5. プログラマブル入出力ポートの構成(5)



図UA-6. 端子の構成

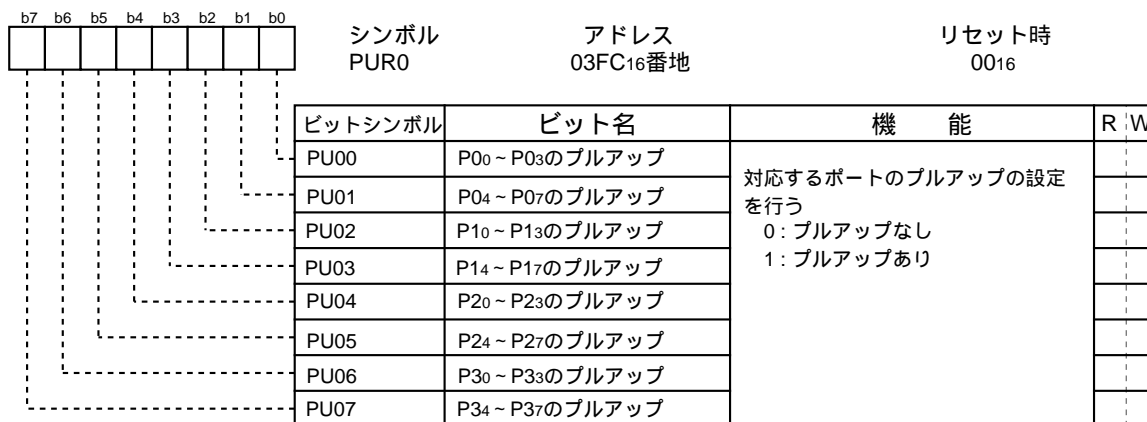


図UA-7. 方向レジスタの構成

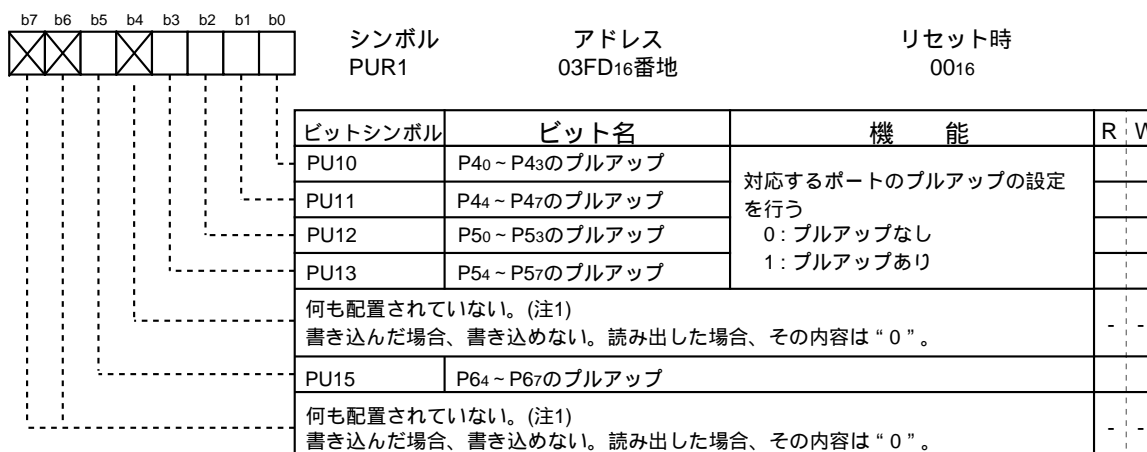


図UA-8. ポートレジスタの構成

### プルアップ制御レジスタ0

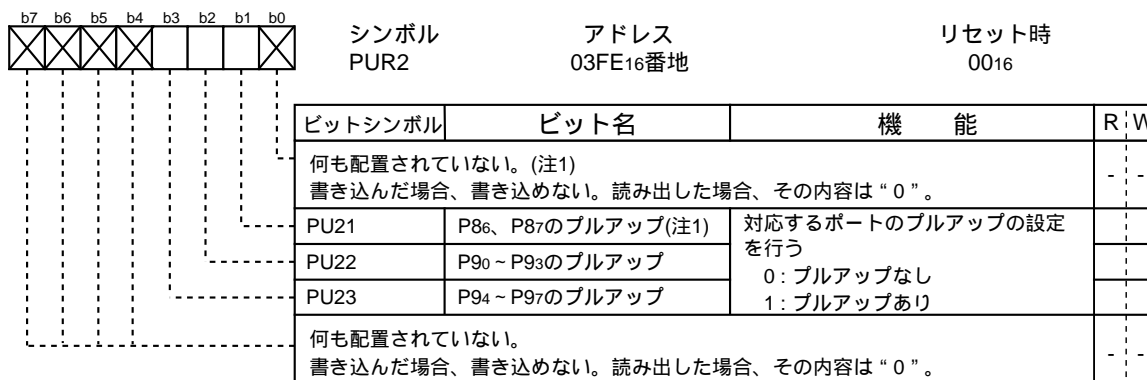


### プルアップ制御レジスタ1



注1 . P60 ~ P63、P70 ~ P77はNチャンネルオープンドレインポートのため、プルアップはありません。

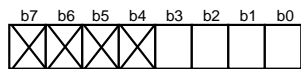
### プルアップ制御レジスタ2



注1 . P80 ~ P84はNチャンネルオープンドレインポートのためプルアップはありません。  
また、P85は入力専用ポートのためプルアップはありません。

図UA-9. プルアップ制御レジスタの構成(1)

### プルアップ制御レジスタ3



シンボル  
PUR3

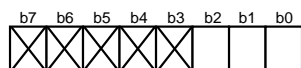
アドレス  
02FC<sub>16</sub>番地

リセット時  
00<sub>16</sub>

ビットシンボル	ビット名	機能	R	W
PU30	P110～P113のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	-	-
PU31	P114～P117のプルアップ			
PU32	P120～P123のプルアップ			
PU33	P124～P127のプルアップ			
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は“0”。			-	-

注1. P130～P137はNチャンネルオープンドレインのため、プルアップはありません。

### プルアップ制御レジスタ4



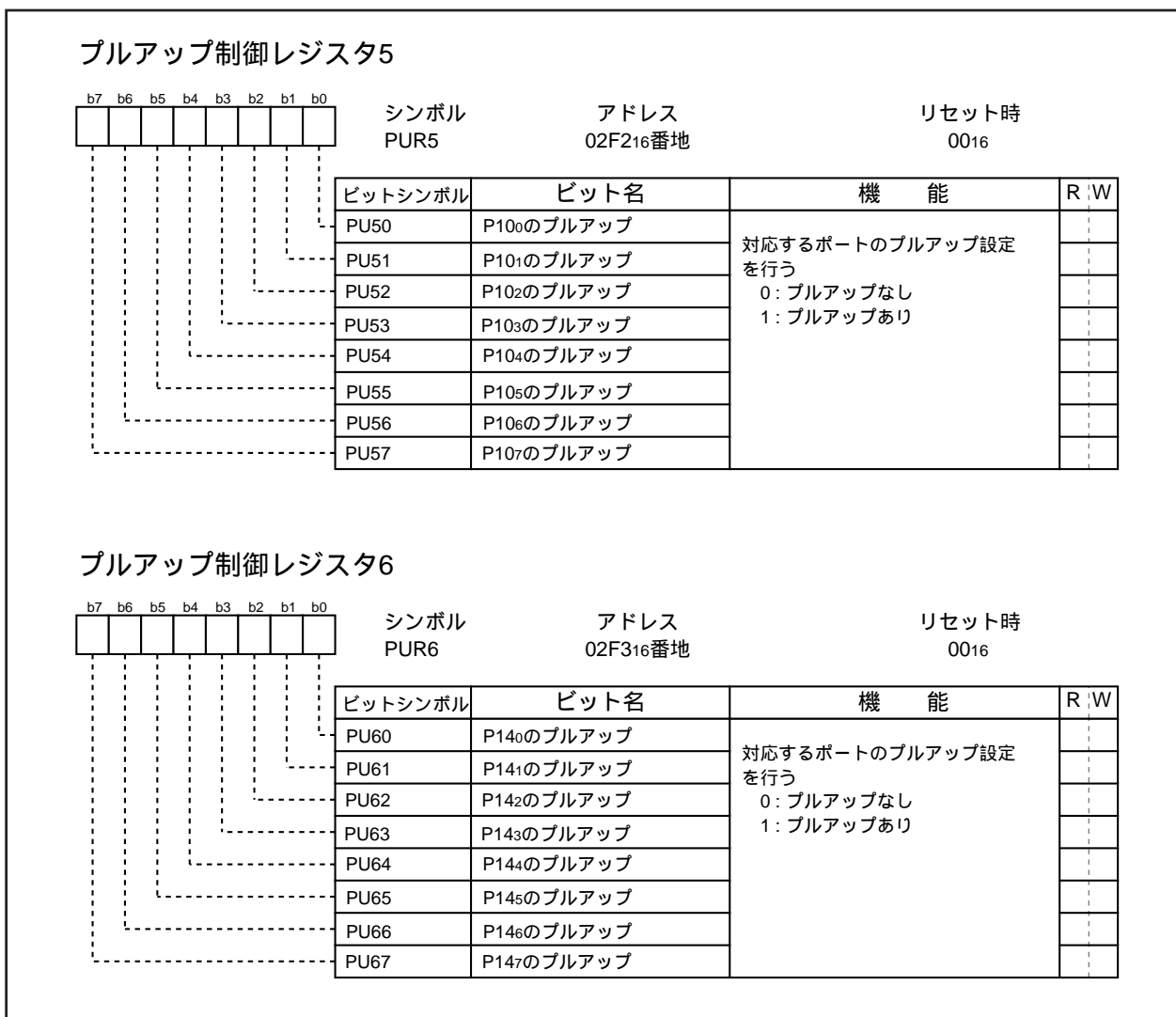
シンボル  
PUR4

アドレス  
02FD<sub>16</sub>番地

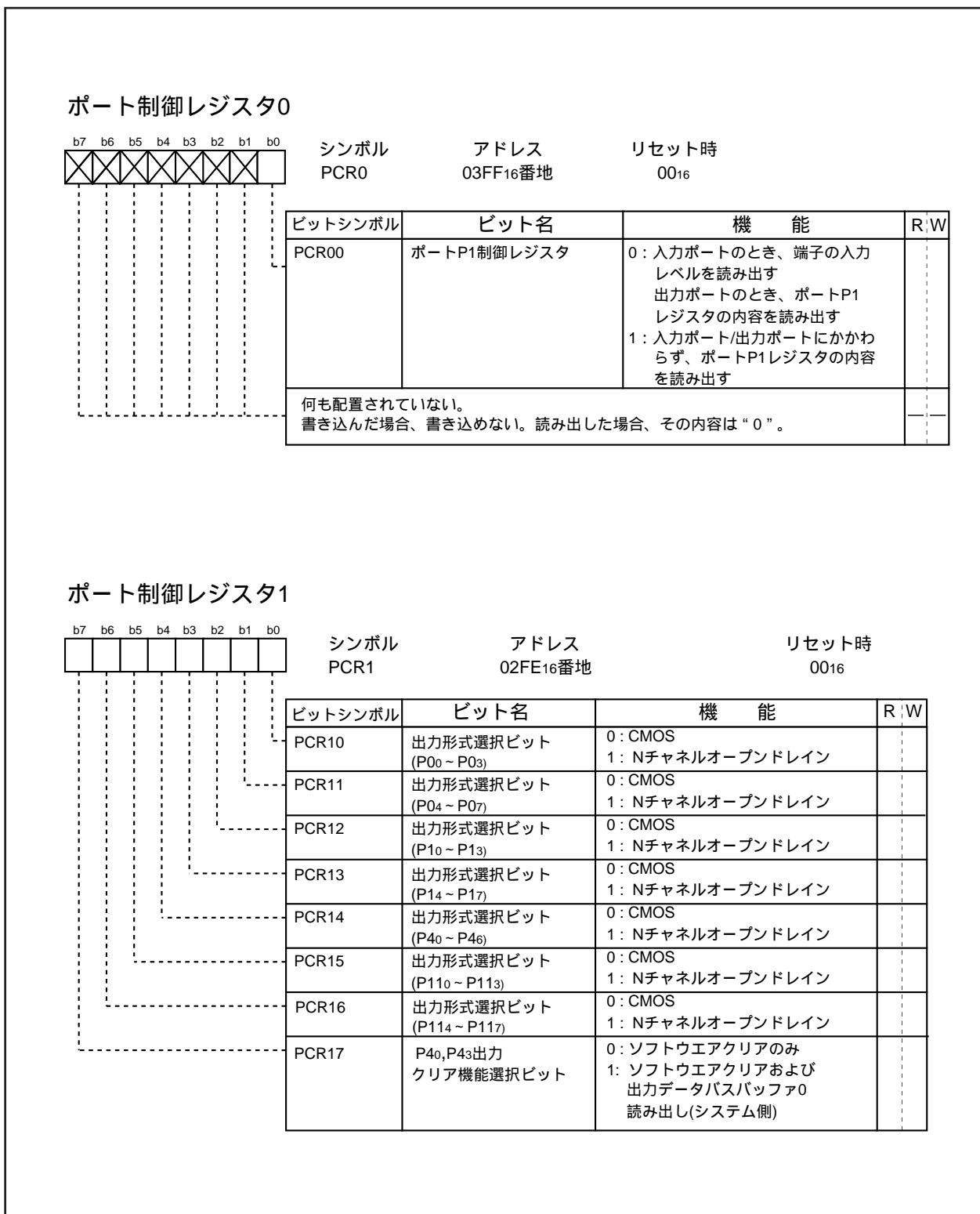
リセット時  
00<sub>16</sub>

ビットシンボル	ビット名	機能	R	W
PU40	P150～P153のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	-	-
PU41	P154～P157のプルアップ			
PU42	P160、P161のプルアップ			
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は“0”。			-	-

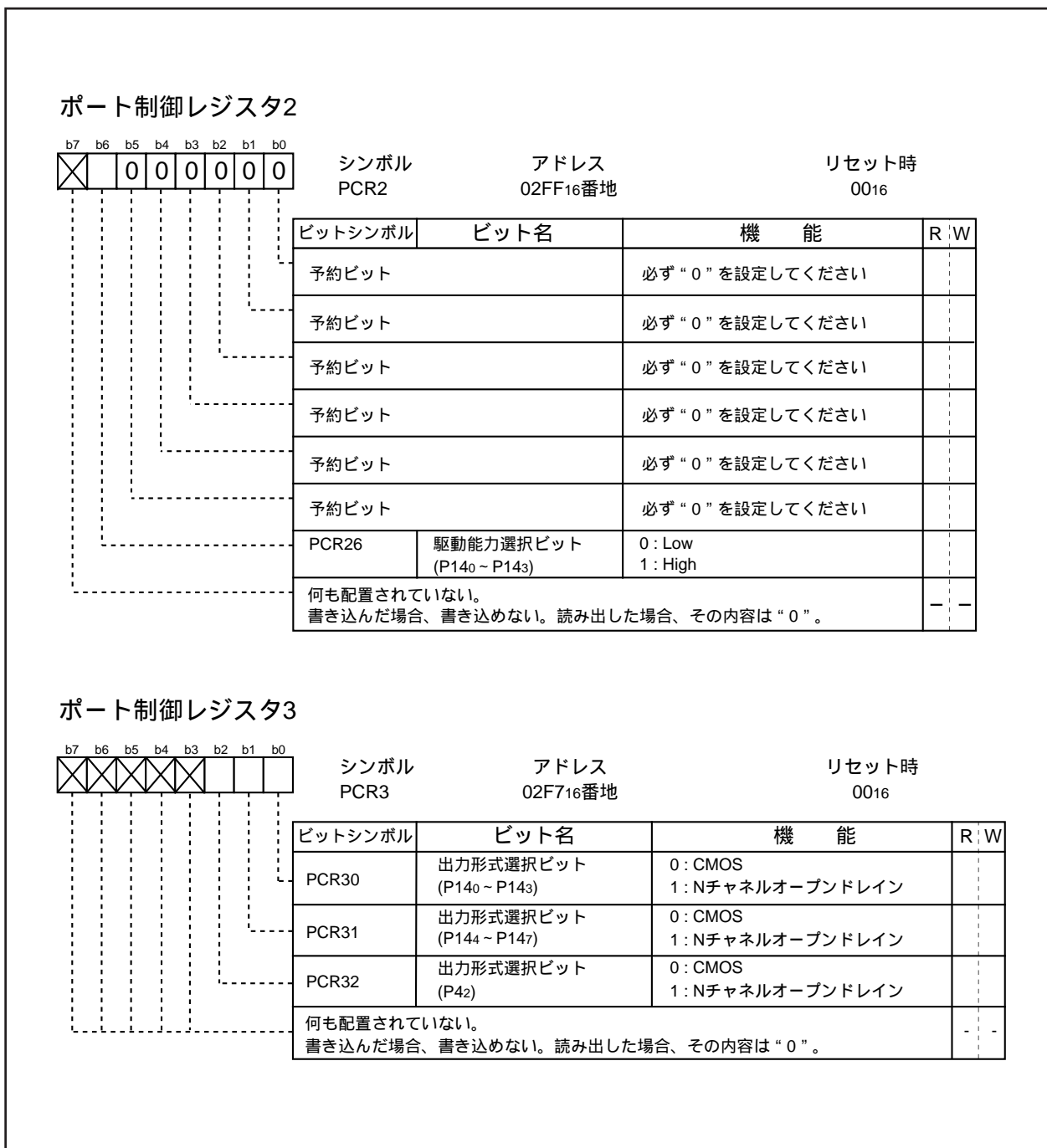
図UA-10. プルアップ制御レジスタの構成(2)



図UA-11. プルアップ制御レジスタの構成(3)

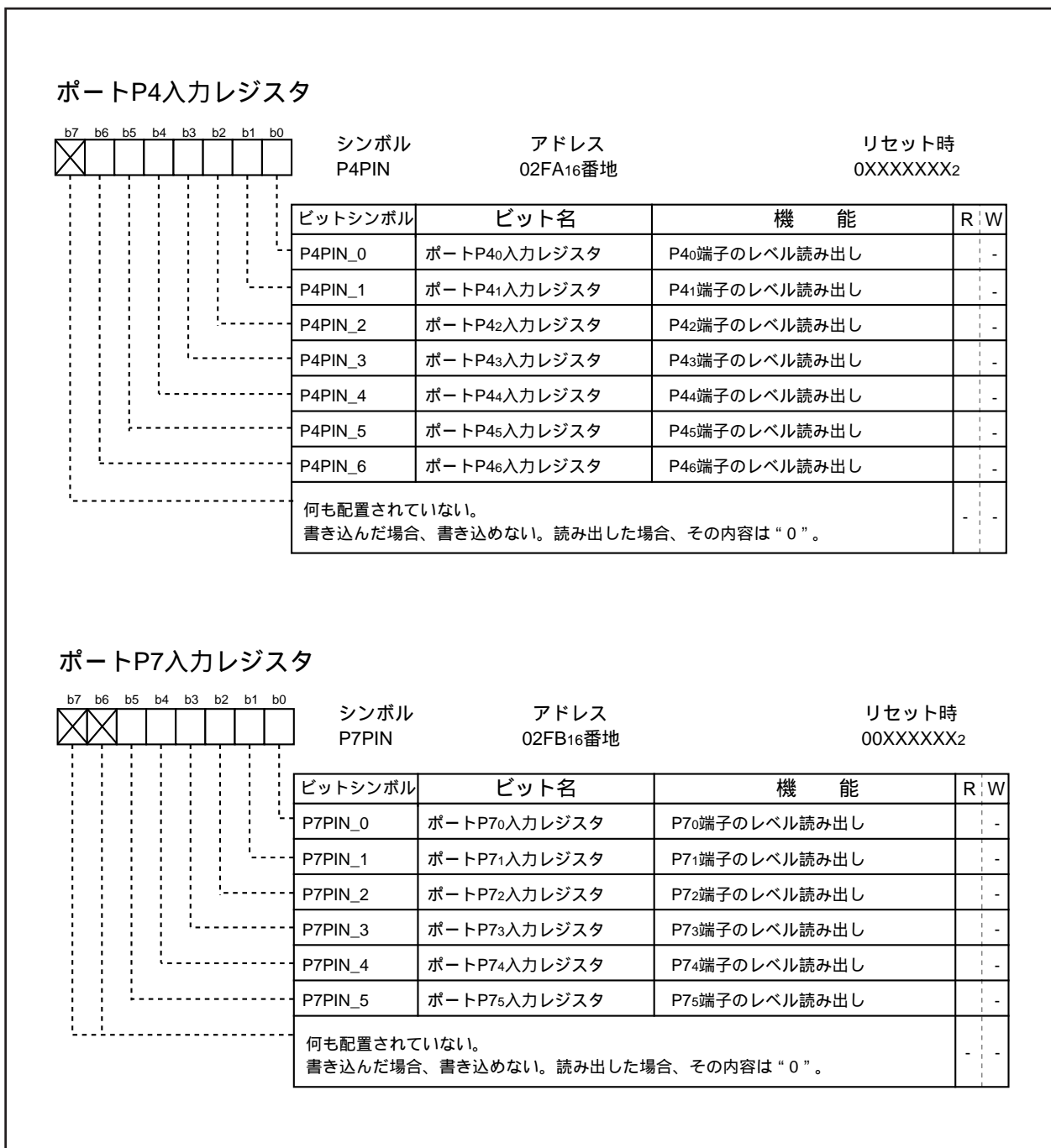


図UA-12. ポート制御レジスタ0, 1の構成



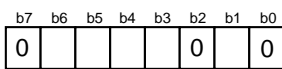
図UA-13. ポート制御レジスタ2, 3の構成





図UA-14. ポートP4, P7入力レジスタの構成

### ポート機能選択レジスタ0



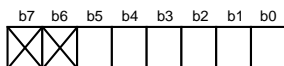
シンボル  
PSL0

アドレス  
02F8<sub>16</sub>番地

リセット時  
00<sub>16</sub>

ビットシンボル	ビット名	機能	R/W
予約ビット		必ず“0”を設定してください。	
PSL01	UART1入出力端子選択ビット	0 : P64~P67 1 : P14~P17	
予約ビット		必ず“0”を設定してください。	
PSL03	$\overline{\text{INT7}}$ 入力端子選択ビット	0 : P10 <sub>3</sub> 1 : P14	
PSL04	$\overline{\text{INT8}}$ 入力端子選択ビット	0 : P10 <sub>4</sub> 1 : P15	
PSL05	$\overline{\text{INT9}}$ 入力端子選択ビット	0 : P10 <sub>5</sub> 1 : P16	
PSL06	$\overline{\text{INT10}}$ 入力端子選択ビット	0 : P10 <sub>6</sub> 1 : P17	
予約ビット		必ず“0”を設定してください。	

### ポート機能選択レジスタ1



シンボル  
PSL1

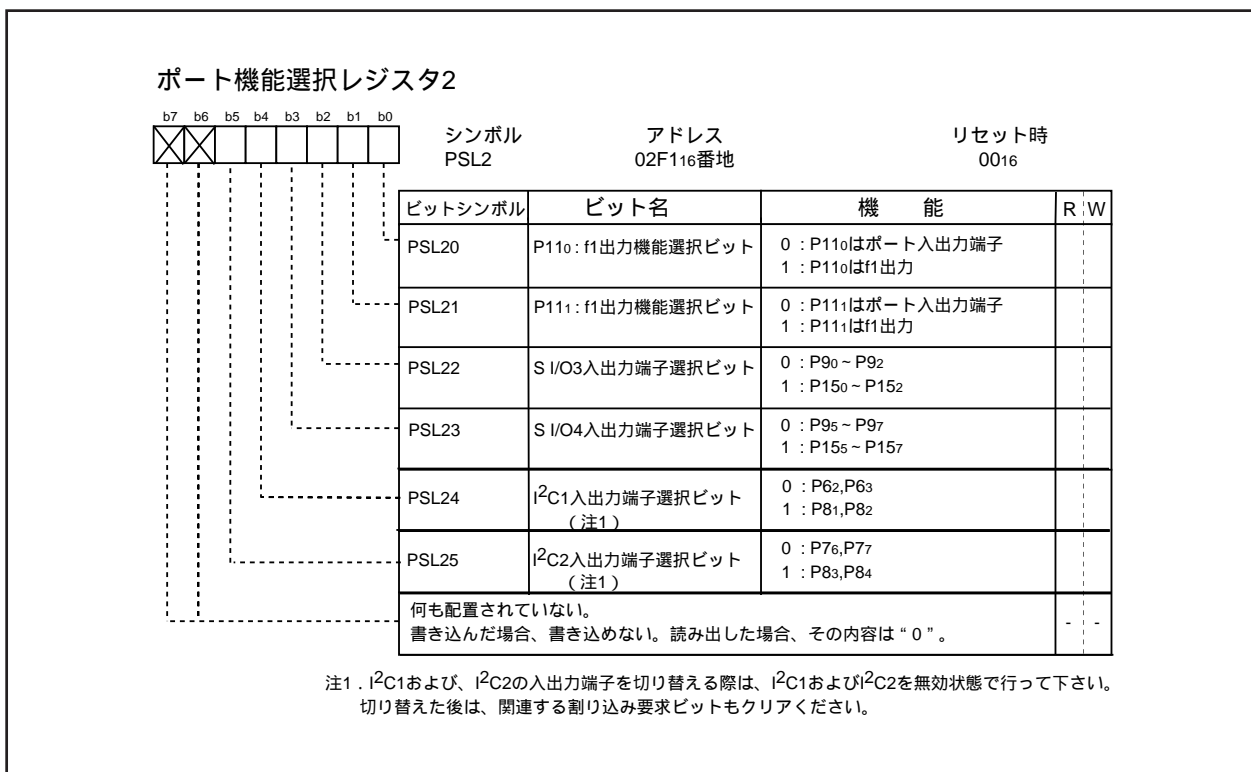
アドレス  
02F9<sub>16</sub>番地

リセット時  
00<sub>16</sub>

ビットシンボル	ビット名	機能	R/W
PSL10	TA0出力端子選択ビット	0 : P4 <sub>0</sub> 1 : P15 <sub>0</sub>	
PSL11	TA1出力端子選択ビット	0 : P4 <sub>1</sub> 1 : P15 <sub>1</sub>	
PSL12	TA2出力端子選択ビット	0 : P4 <sub>2</sub> 1 : P15 <sub>2</sub>	
PSL13	TB3入力端子選択ビット	0 : P9 <sub>3</sub> 1 : P16 <sub>0</sub>	
PSL14	TB4入力端子選択ビット	0 : P9 <sub>4</sub> 1 : P16 <sub>1</sub>	
PSL15(注1)	$\overline{\text{INT6}} \sim \overline{\text{INT11}}$ 入力端子切り替えビット	0 : P9 <sub>7</sub> , P10 <sub>3</sub> ~ P10 <sub>7</sub> 1 : P12 <sub>0</sub> , P12 <sub>1</sub> ~ P12 <sub>5</sub>	
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は“0”。			

注1. このビットに“1”を設定すると $\overline{\text{INTi}}$ 入力端子選択ビット(02F8<sub>16</sub>番地のビット3~ビット6 i=7~10)の設定は無効になります。

図UA-15. ポート機能選択レジスタ0, 1の構成

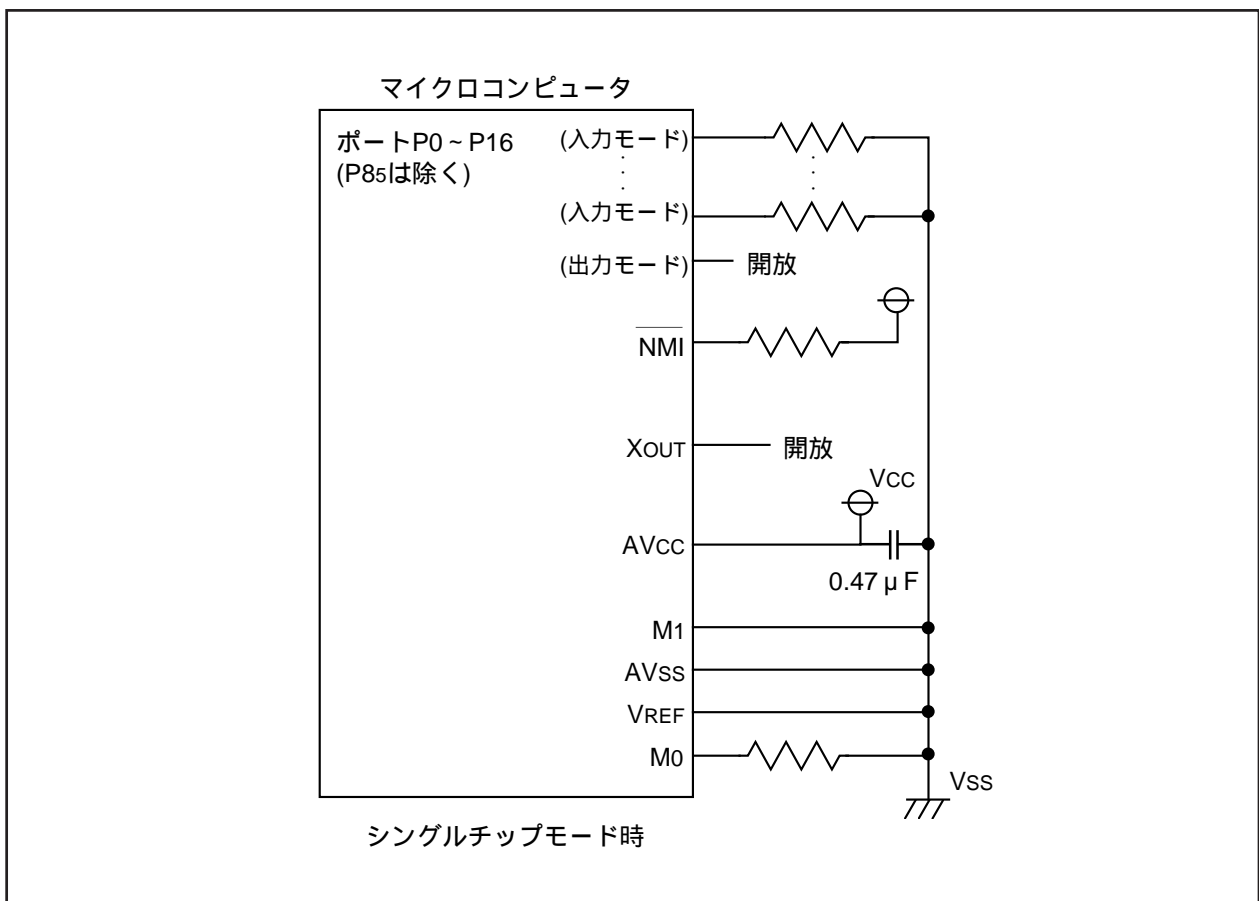


図UA-16. ポート機能選択レジスタ2の構成

表UA-1. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0~P10 (P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
ポートP11~P16	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT (注1)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, M1	Vssに接続

注1. XIN端子に外部クロックを入力しているとき



図UA-17. 未使用端子の処理例

## 使用上の注意事項

### タイマAの注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF<sub>16</sub>が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

### タイマAの注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF<sub>16</sub>が、オーバフロー時は0000<sub>16</sub>が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

### タイマAの注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。  
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。  
TAiOUT端子の出力レベルは“L”になります。  
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。  
リセット後、ワンショットタイマモードを選択したとき  
動作モードをタイマモードからワンショットタイマモードに変更したとき  
動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき  
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

### タイマAの注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。  
リセット後、PWMモードを選択したとき  
動作モードをタイマモードからPWMモードに変更したとき  
動作モードをイベントカウンタモードからPWMモードに変更したとき  
したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

### タイマBの注意事項 (タイマモード、イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF<sub>16</sub>が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

### タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- (1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
- (2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

### A-D変換器の注意事項

- (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。  
特にVref接続ビットを“0”から“1”にしたときは、1 $\mu$ s以上経過した後にA-D変換を開始させてください。
- (2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードまたは単掃引モードで使用する場合  
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合  
CPUの内部クロックは、メインクロックを分周せずに使用してください。

### ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
- (3) 低速モードおよび低消費電力モード時には周辺機能クロック停止ビット(CM02)に“1”を設定してウェイトモードに移行しないでください。

### 割り込みの注意事項

- (1) 00000<sub>16</sub>番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000<sub>16</sub>番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000<sub>16</sub>番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000<sub>16</sub>番地に対して読み出しを行わないでください。

- (2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000<sub>16</sub>”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。

リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

- (3)  $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子入力を“L”にした状態では、ストップモードには移行しないでください。

## (4) 外部割り込み

INT<sub>0</sub> ~ INT<sub>11</sub>端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

## (5) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

## 例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  NOP                    ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET   I           ; 割り込み許可状態
```

## 例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

## 例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに“0016”を設定
  POPC   FLG        ; 割り込み許可状態
```

例1と例2でFSET I命令の前にNOP命令2個（HOLD機能使用時は4個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

## ノイズに関する注意事項

- (1) ノイズおよびラッチアップ対策として、Vcc-Vssライン間へのバイパスコンデンサ挿入  
Vcc端子とVss端子間にバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

表ZA-1. 絶対最大定格

記号	項 目		条件	定格値	単位
Vcc	電源電圧		Vcc=AVcc	- 0.3 ~ 4.6	V
AVcc	アナログ電源電圧		Vcc=AVcc	- 0.3 ~ 4.6	V
Vi	入力電圧	RESET, M0, M1, VREF, XIN, P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161		- 0.3 ~ Vcc+0.3	V
		P60 ~ P63, P70 ~ P77, P80 ~ P85, P130 ~ P137		- 0.3 ~ 5.8	V
Vo	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161, XOUT		- 0.3 ~ Vcc+0.3	V
		P60 ~ P63, P70 ~ P77, P80 ~ P84, P130 ~ P137		- 0.3 ~ 5.8	V
Pd	消費電力		Ta=25	300	mW
Topr	動作周囲温度			- 20 ~ 85	
Tstg	保存温度			- 40 ~ 125	



表ZA-2. 推奨動作条件 (指定のない場合は、VCC=3.0V ~ 3.6V, Ta= - 20 ~ 85 )

記号	項 目		規 格 値			単位
			最小	標準	最大	
Vcc	電源電圧		3.0	3.3	3.6	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
VIH	"H"入力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161, XIN, RESET, M0, M1	0.8Vcc		Vcc	V
		P60 ~ P63, P70 ~ P77, P80 ~ P84, P85, P130 ~ P137, PSA0 ~ PSA2, PSB0 ~ PSB2	0.8Vcc		5.5	V
		LAD0 ~ LAD3, LFRAME, LCLK, SERIRQ, CLKRUN	0.6Vcc		Vcc	V
		SDA0, SCL0, SDA1, SCL1, SDA2, SCL2, P60 ~ P63, P76, P77, P81 ~ P84	0.7Vcc	IC-BUS入力レベル選択時	5.5	V
			1.4	SMBUS入力レベル選択時	5.5	V
VIL	"L"入力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161, XIN, RESET, M0, M1	0		0.2Vcc	V
		P60 ~ P63, P70 ~ P77, P80 ~ P84, P85, P130 ~ P137, PSA0 ~ PSA2, PSB0 ~ PSB2	0		0.2Vcc	V
		LAD0 ~ LAD3, LFRAME, LCLK, SERIRQ, CLKRUN	0		0.2Vcc	V
		SDA0, SCL0, SDA1, SCL1, SDA2, SCL2, P60 ~ P63, P76, P77, P81 ~ P84	0	IC-BUS入力レベル選択時	0.3Vcc	V
			0	SMBUS入力レベル選択時	0.6	V

表ZA-3. 推奨動作条件 (指定のない場合は、VCC=3.0V ~ 3.6V, Ta= - 20 ~ 85 )

記号	項 目	規 格 値			単位
		最小	標準	最大	
IOH(peak)	"H"尖頭出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161			- 10	mA
IOL(peak)	"L"尖頭出力電流 P00 ~ P07, P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P76 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P130 ~ P137, P144 ~ P147, P150 ~ P157, P160, P161			10	mA
		P20 ~ P27		20	mA
IOL(peak)	"L"尖頭出力電流 P140 ~ P143 駆動能力 : High			20	mA
		駆動能力 : Low		10	mA
IOH(avg)	"H"平均出力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161			- 5	mA
IOL(avg)	"L"平均出力電流 P00 ~ P07, P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P76 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P130 ~ P137, P140 ~ P147, P150 ~ P157, P160, P161			5	mA
		P20 ~ P27		15	mA
IOL(avg)	"L"平均出力電流 P140 ~ P143 駆動能力 : High			15	mA
		駆動能力 : Low		5	mA
f(XIN)	メインクロック 入力発振周波数	0		16	MHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P86 ~ P87, P9, P10, P11, P120 ~ P126, P153 ~ P157, P16のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10, P11, P120 ~ P126, P153 ~ P157, P16のIOH(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84, P13, P14, P150 ~ P152のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P64 ~ P67, P14, P150 ~ P152のIOH(peak)の合計は80mA以下にしてください。

表ZA-4. 電気的特性 (指定のない場合は、VCC=3V, VSS=0V, Ta=25 , f(XIN)=16MHz, ウェイトなし)

記号	項 目		測定条件	規 格 値			単位
				最小	標準	最大	
VoH	"H"出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161	IOH = - 1mA	2.5			V
VoH	"H"出力電圧	XOUT	HIGH POWER LOWPOWER	IOH = - 0.1mA IOH = - 50 μ A	2.5 2.5		V
VoL	"L"出力電圧	P00 ~ P07, P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P130 ~ P137, P140 ~ P147, P150 ~ P157, P160, P161	IOl = 1mA			0.5	V
		P20 ~ P27	VCC = 3V、IOl = 3mA			0.5	V
VoL	"L"出力電圧	P140 ~ P143	駆動能力 : High 駆動能力 : Low	IOl = 3mA IOl = 1mA		0.5 0.5	V
VoL	"L"出力電圧	XOUT	HIGH POWER LOWPOWER	IOH = 0.1mA IOH = 50 μ A		0.5 0.5	V
VT+ - VT-	ヒステリシス	TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT11, ADTRG, CTS1, CLK1, CLK3, CLK4, SIN3, SIN4, RXD1, ICCK, NMI, KI00 ~ KI07		0.2		0.8	V
VT+ - VT-	ヒステリシス	RESET		0.2		1.8	V
IiH	"H"入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P120 ~ P127, P130 ~ P137, P140 ~ P147, P150 ~ P157, P160, P161, XIN, RESET, M0, M1	Vi = 3V			4.0	μ A
IiL	"L"入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P130 ~ P137, P140 ~ P147, P150 ~ P157, P160, P161, XIN, RESET, M0, M1	Vi = 0V			-4.0	μ A
RPULLUP	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P64 ~ P67, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P117, P120 ~ P127, P140 ~ P147, P150 ~ P157, P160, P161	Vi = 0V	66.0	120.0	250.0	k
RfXIN	帰還抵抗	XIN			3.0		M
VRAM	RAM保持電圧		クロック停止時	2.0			V
ICC	電源電流	出力専用端子は開放、その他の端子はVSS	f(XIN)=16MHz方形波、 分周なし		16.0	24.0	mA
			クロック停止時 Ta=25			100.0	μ A
			クロック停止時 Ta=85			300.0	μ A

表ZA-5. A-D変換特性 (指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=25$  )

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		$V_{REF} = V_{CC}$			10	Bits
	絶対精度	8 bit	$V_{REF} = V_{CC} = 3V$ , $AD = f_{AD}$			$\pm 2$	LSB
		10 bit				$\pm 6$	LSB
RLADDER	ラダー抵抗		$V_{REF} = V_{CC}$	10		40	k
tCONV	変換時間	8 bit		6.125			$\mu s$
		10 bit		7.375			$\mu s$
VREF	基準電圧			2.7		$V_{CC}$	V
VIA	アナログ入力電圧			0		VREF	V

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ ,  $V_{SS}=0V$ ,  $T_a=25$  )

表ZA-6. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_c$	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力 "H"パルス幅	25		ns
$t_w(L)$	外部クロック入力 "L" パルス幅	25		ns
$t_r$	外部クロック立ち上がり時間		9	ns
$t_f$	外部クロック立ち下がり時間		9	ns

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ ,  $V_{SS}=0V$ ,  $T_a=25$  )

表ZA-7. タイマA入力 (イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiN入力サイクル時間	150		ns
$t_w(TAH)$	TAiN入力 "H" パルス幅	60		ns
$t_w(TAL)$	TAiN入力 "L" パルス幅	60		ns

表ZA-8. タイマA入力 (タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiN入力サイクル時間	600		ns
$t_w(TAH)$	TAiN入力 "H" パルス幅	300		ns
$t_w(TAL)$	TAiN入力 "L" パルス幅	300		ns

表ZA-9. タイマA入力 (ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiN入力サイクル時間	300		ns
$t_w(TAH)$	TAiN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiN入力 "L" パルス幅	150		ns

表ZA-10. タイマA入力 (パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiN入力 "L" パルス幅	150		ns

表ZA-11. タイマA入力 (イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	200		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	200		ns

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ ,  $V_{SS}=0V$ ,  $T_a=25$  )

表ZA-12. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表ZA-13. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表ZA-14. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	300		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	300		ns

表ZA-15. A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
$t_w(ADL)$	ADTRG入力 "L" パルス幅	200		ns

表ZA-16. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	150		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	150		ns
$t_d(C-Q)$	TxDi出力遅延時間		160	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	30		ns
$t_h(C-D)$	RxDi入力ホールド時間	50		ns

表ZA-17. 外部割り込み $\overline{INTi}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	$\overline{INTi}$ 入力 "H" パルス幅	380		ns
$t_w(INL)$	$\overline{INTi}$ 入力 "L" パルス幅	380		ns

タイミング必要条件 / スwitchング特性 (指定のない場合は、Vcc=3.0 ~ 3.6V, Vss=0V, Ta=25 )

表ZA-18. マルチマスタ<sup>2</sup>C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスマスタータイム	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの"0"状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	20+0.1Cb	300	ns
tHD;DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの"1"状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	20+0.1Cb	300	ns
tsu;DAT	データのセットアップ時間	250		100		ns
tsu;STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tsu;STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

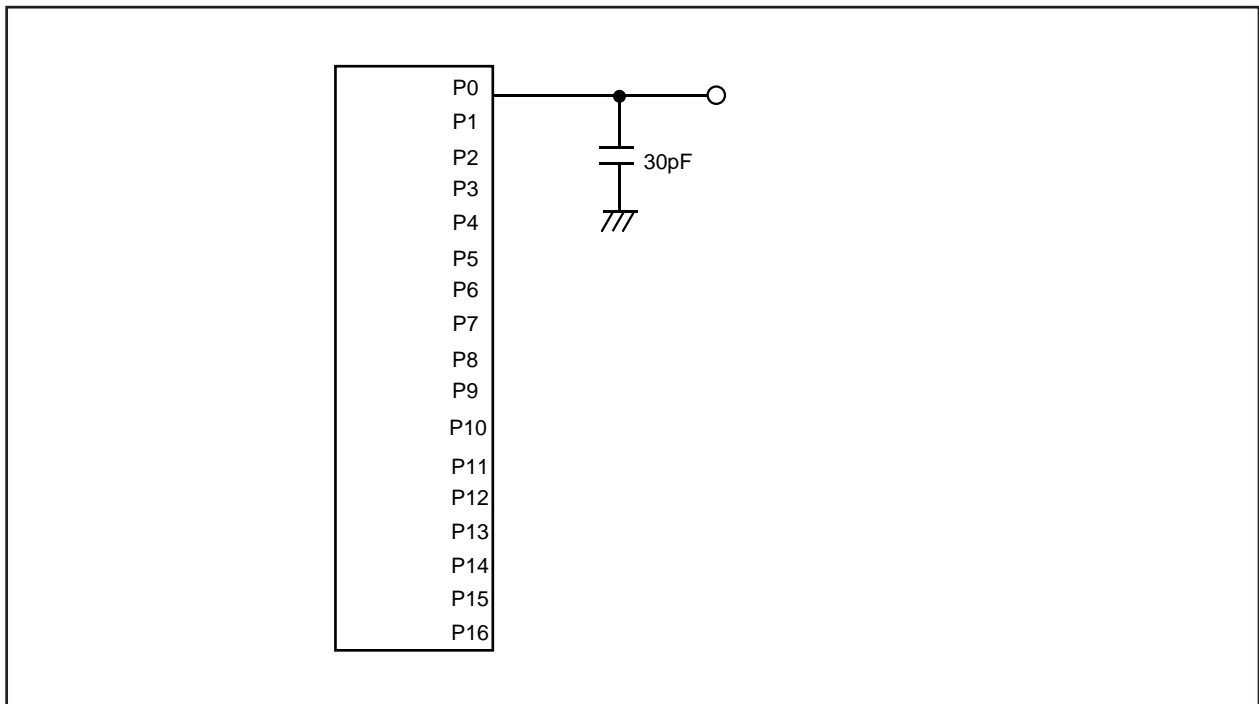
表ZA-19. PS2インタフェース特性 (指定のない場合は、Vcc=3.0 ~ 3.6V, Vss=0V, Ta=25 )

記号	項目	規格値			単位
		最小	標準	最大	
twL	PS2クロック"L"パルス幅	30		50	μs
twH	PS2クロック"H"パルス幅	30		50	μs
tsu	PS2データセットアップ時間	5			μs
th	PS2データホールド時間	0			ns
td	PS2データ遅延時間			twL - 5	μs
tv	PS2データ有効時間	0		twL - 5	μs

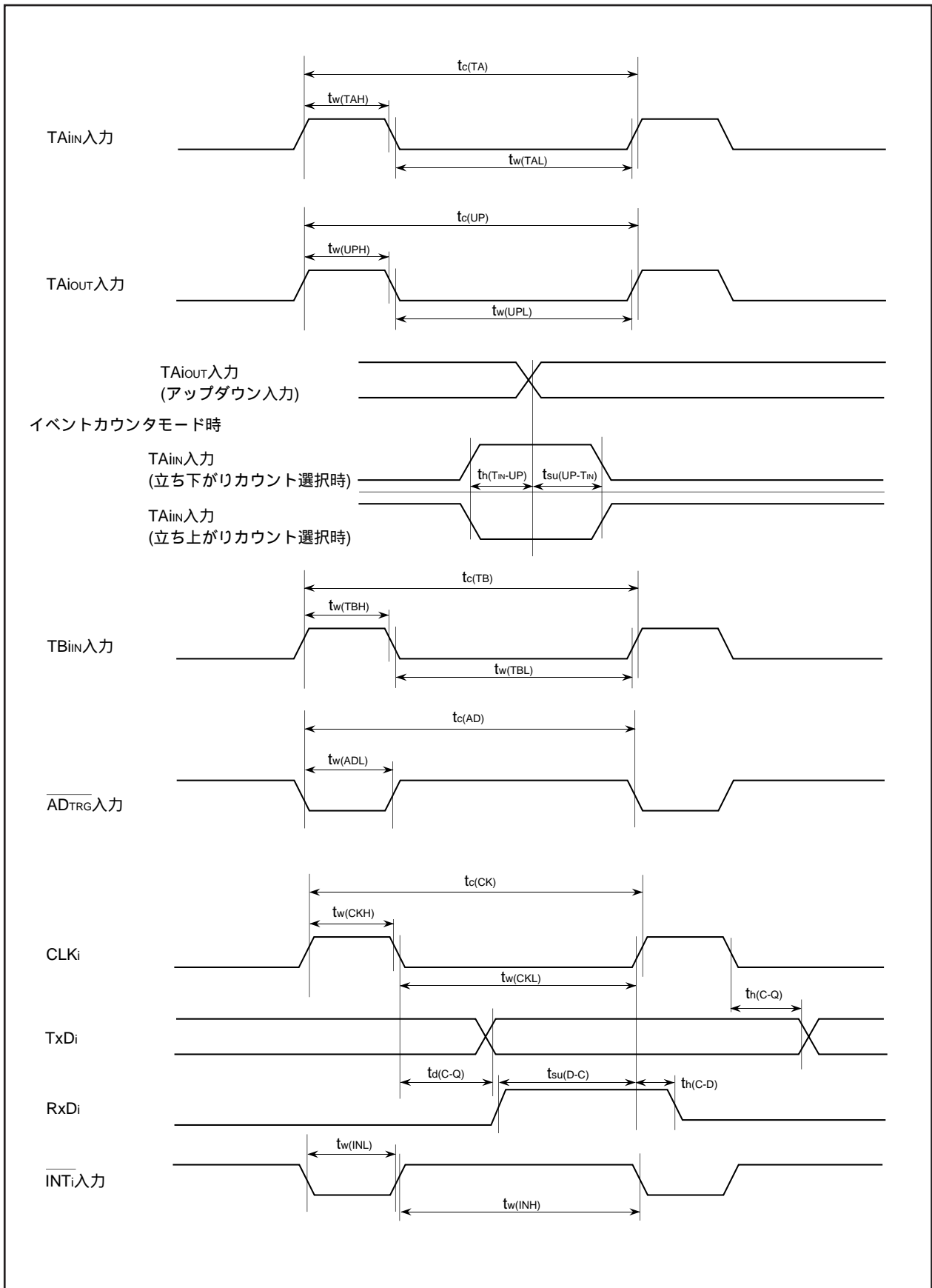
表ZA-20. LPCバスインタフェース/シリアル割り込み出力

記号	項目	規格値			単位
		最小	標準	最大	
tC(CLK)	LCLKクロック入力サイクル時間	30			nS
tWH(CLK)	LCLKクロック入力 "H" パルス幅	11			nS
tWL(CLK)	LCLKクロック入力 "L" パルス幅	11			nS
tsu(D-C)	LAD3 ~ LAD0, SERIRQ, CLKRUN, LFRAME 入力セットアップ時間	7			nS
th(C-D)	LAD3 ~ LAD0, SERIRQ, CLKRUN, LFRAME 入力ホールド時間	0			nS
tv(C-D)	LAD3 ~ LAD0, SERIRQ, CLKRUN 出力遅延時間	2		11	nS
toff(A-F)	LAD3 ~ LAD0, SERIRQ, CLKRUN フローティング出力遅延時間			28	nS

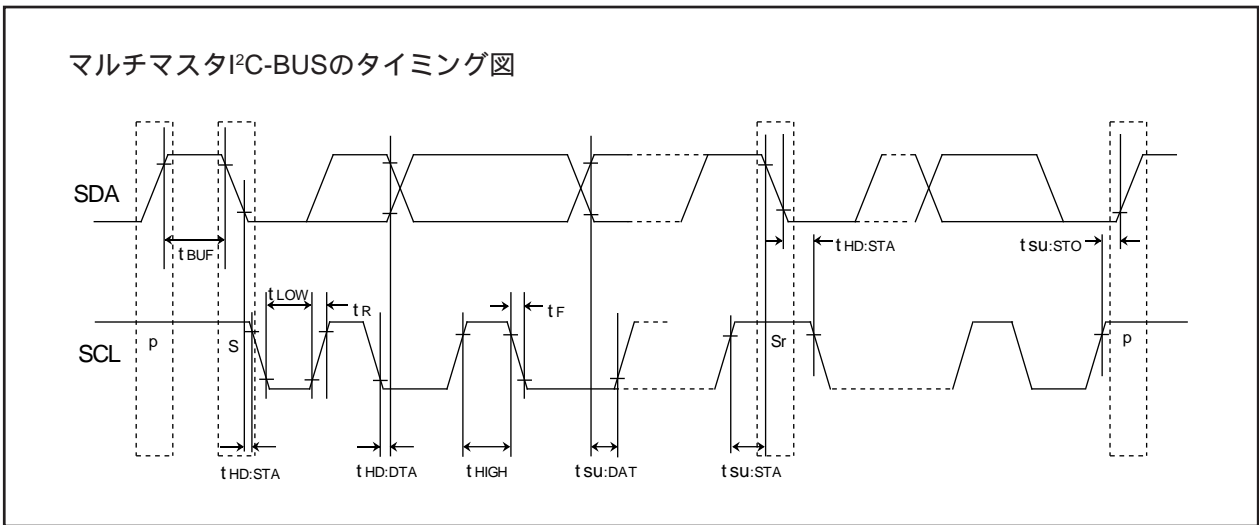




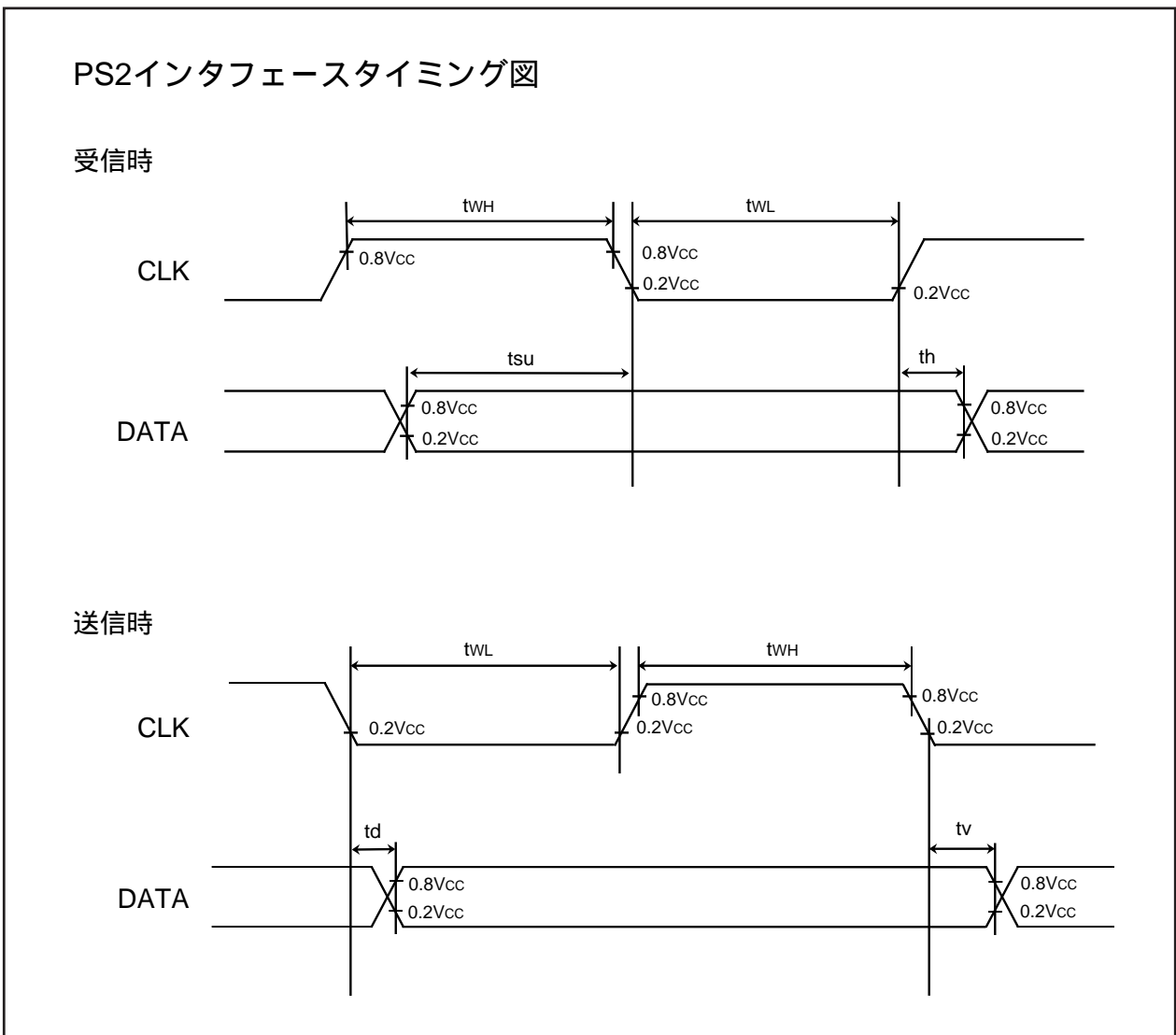
図ZA-1. ポートP0～P16の測定回路



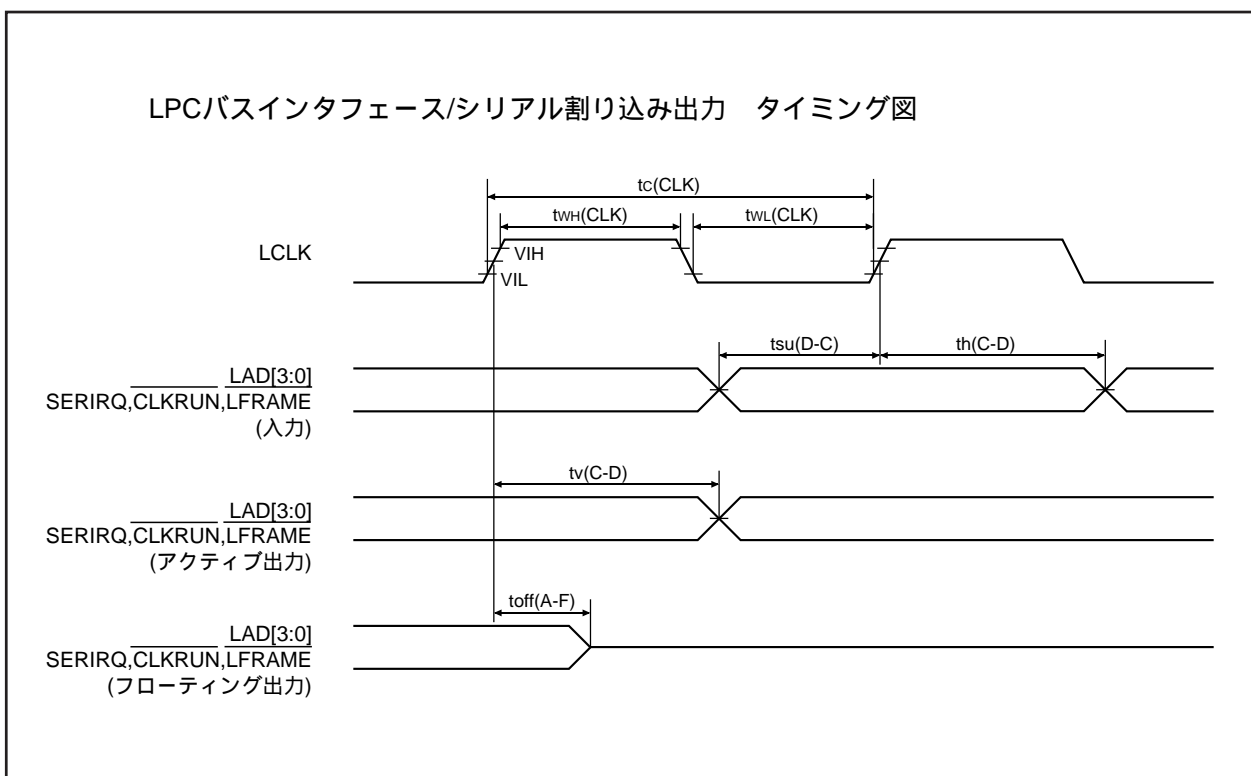
図ZA-2. タイミング図(1)



図ZA-3. タイミング図(2)



図ZA-4. タイミング図(3)



図ZA-5. タイミング図(4)

## 性能概要

表AB-1にM16C/6KAグループ(NEW DINOR型フラッシュメモリ内蔵版)の性能概要を示します。

表AB-1. M16C/6KAグループ(NEW DINOR型フラッシュメモリ内蔵版)の性能概要

項 目		性 能
電源電圧		3.0 ~ 3.6V (f(XIN) = 16MHz、0ウエイト)
プログラム/イレーズ用電源電圧		3.0 ~ 3.6V
フラッシュメモリの動作モード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	6分割(32K+32K+32K+16K+8K+8Kバイト)
	ブートROM領域	1分割(4Kバイト) (注1)
プログラム方式		2バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		5コマンド
プログラム/イレーズ回数	ユーザROM領域	100回
	ブートROM領域	100回
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

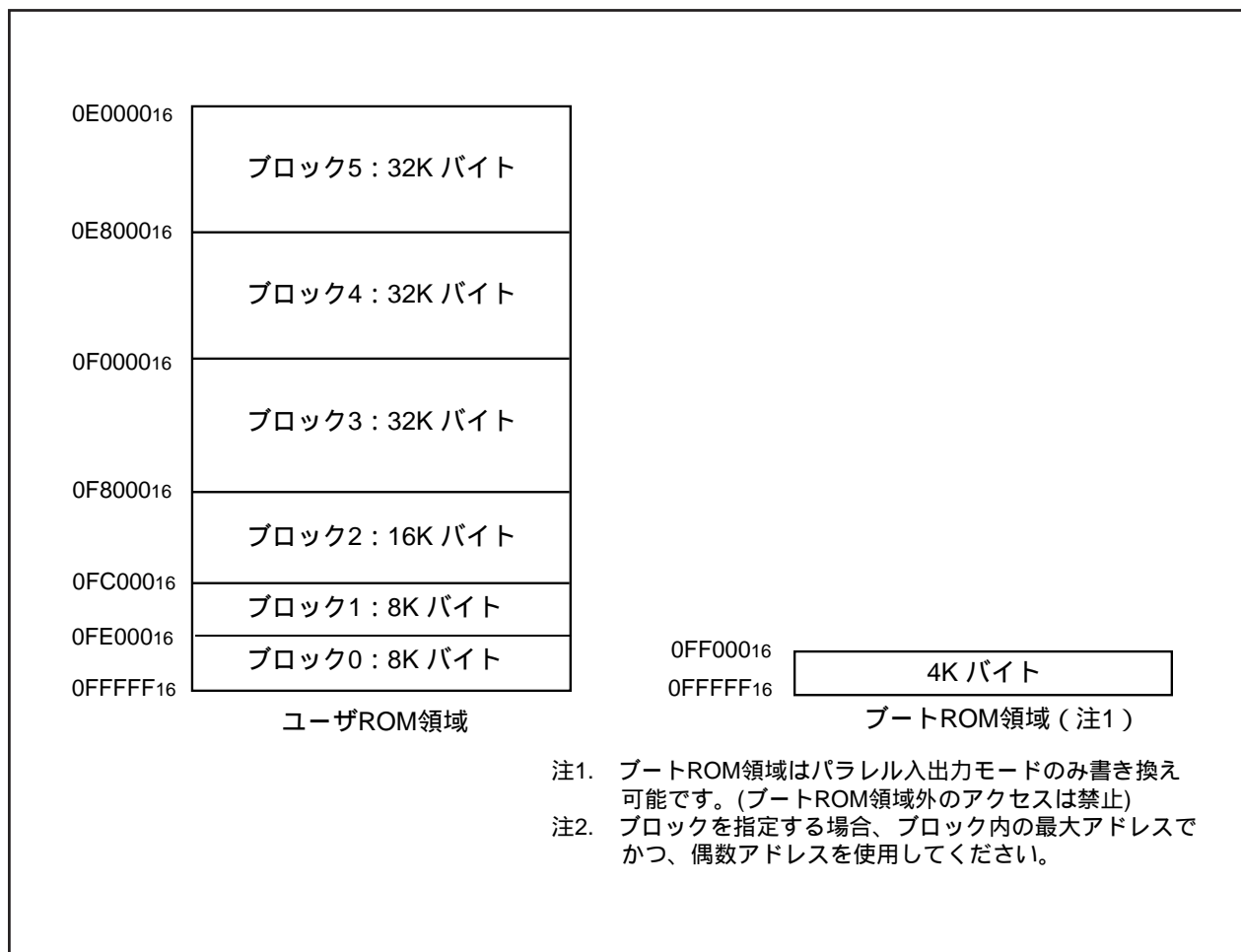
注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

## フラッシュメモリモード

M16C/6KAグループ(フラッシュメモリ内蔵版)は、CPU書き換えモード時にVcc=3.3Vにおいて書き換えが可能なNEW DINOR(Divied bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの2種類を用意しています。各モードについては次ページ以降で説明します。

図AB-1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。



図AB-1. 内蔵フラッシュメモリのブロック図

## CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図AB-1に示すユーザROM領域の書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域に対して行ってください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表BB-1にEW0モードとEW1モードの違いを示します。

### EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なのでEW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

### EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読みません。

## マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図AB-1に示すとおりです。

Mo端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

Mi端子を“L”、Mo端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

## ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

表BB-1. ソフトウェアコマンド一覧表(CPU書き換えモード)

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> <li>・シングルチップモード</li> <li>・ブートモード</li> </ul>	<ul style="list-style-type: none"> <li>・シングルチップモード</li> </ul>
書き換え抑制プログラムを配置できる領域	<ul style="list-style-type: none"> <li>・ユーザROM領域</li> <li>・ブートROM領域</li> </ul>	<ul style="list-style-type: none"> <li>・ユーザROM領域</li> </ul>
書き換え抑制プログラムを実行できる領域	RAMへ転送してから実行する必要あり	<ul style="list-style-type: none"> <li>・ユーザROM領域上で実行可能</li> </ul>
書き換えられる領域	<ul style="list-style-type: none"> <li>・ユーザROM領域</li> </ul>	<ul style="list-style-type: none"> <li>・ユーザROM領域</li> <li>ただし、書き換え制御プログラムがあるブロックを除く。</li> </ul>
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> <li>・プログラム、ブロックイレーズコマンド</li> <li>書き換え制御プログラムがあるブロックに対して実行禁止。</li> <li>・リードステータスレジスタコマンド</li> <li>実行禁止</li> </ul>
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態（入出力ポートはコマンド実行前の状態を保持）（注1）
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> <li>・プログラムでFMR0レジスタのFMR00, FMR06, FMR07ビットを読む。</li> <li>・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7, SR5, SR4を読む。</li> </ul>	<ul style="list-style-type: none"> <li>プログラムでFMR0レジスタのFMR00, FMR06, FMR07ビットを読む。</li> </ul>

注1. 割り込み（NMI, 監視タイマを除く）、DMA転送が起こらないようにしてください。



## 機能概要(CPU書き換えモード)

CPU書き換えモードでは、ソフトウエアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA0は“0”)へライト、リードします。したがって、8ビット単位のソフトウエアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地のデータは無効になります。

図BB1にフラッシュ識別レジスタ、フラッシュメモリ制御レジスタ0、およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/ $\overline{\text{BY}}$ ステータスフラグです。プログラム、イレ - ズ動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1はEW0モード選択ビットです。このビットに“1”を設定することによりEW0モードになり、ソフトウエアコマンドの受け付けが可能になります。また、 $\overline{\text{NMI}}$ 端子が“H”の状態で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”に設定するためには“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。EW0モードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。EW0モード選択ビットが“1”の状態、このビットに“1”を書き込むとリセットします。

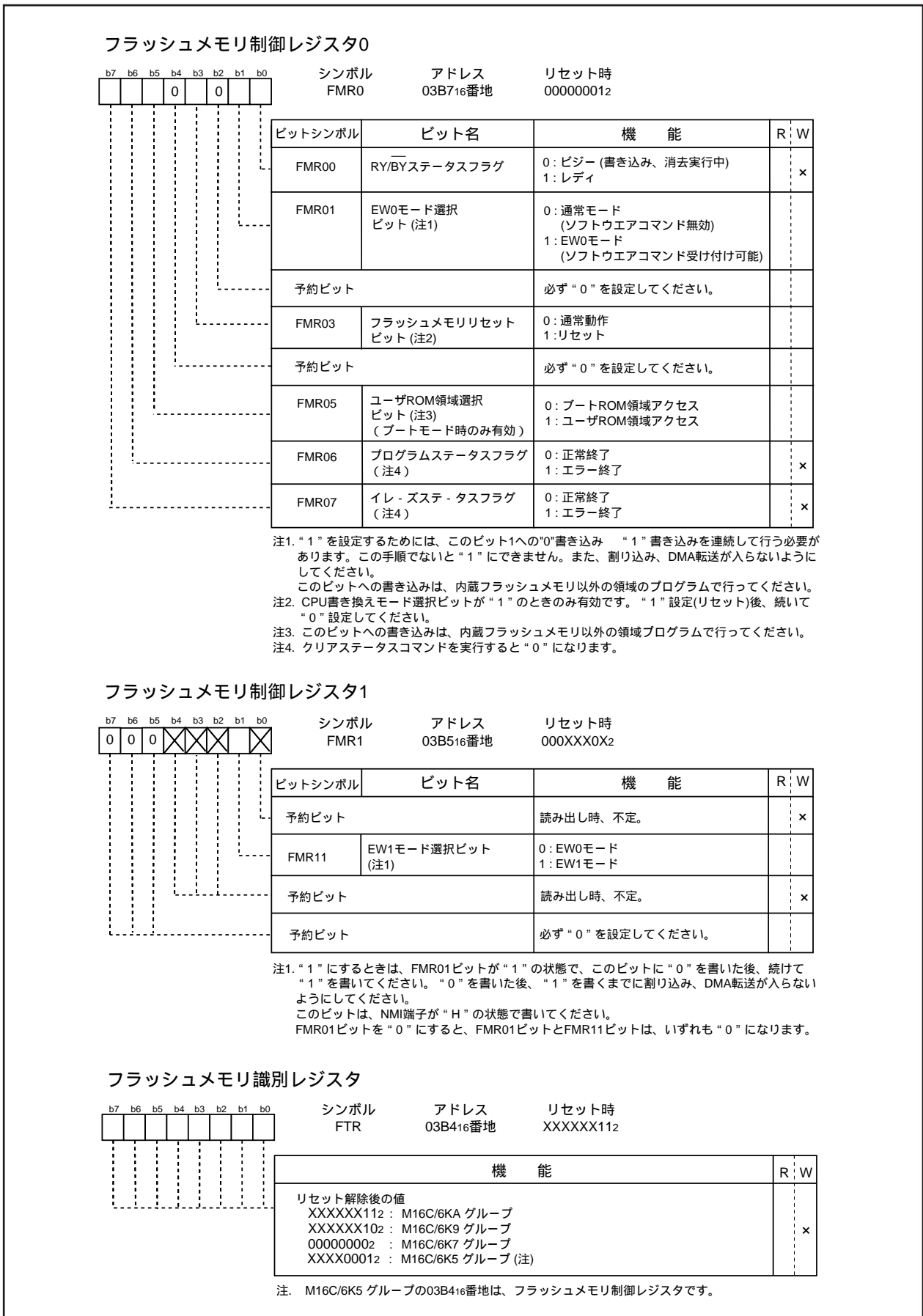
フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスする領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください。

フラッシュメモリ制御レジスタ0のビット6は、自動プログラム動作の動作状況を示す読み出し専用のプログラムステータスフラグです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。

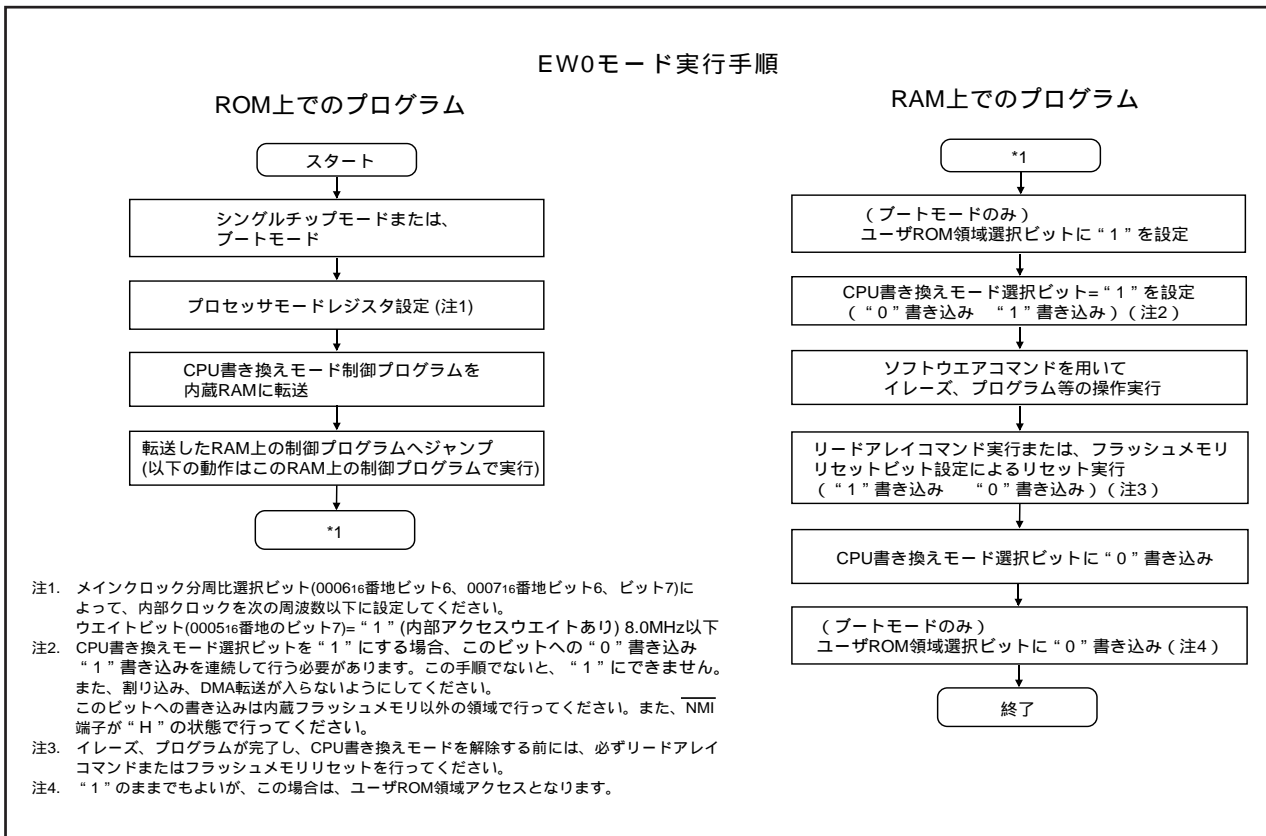
フラッシュメモリ制御レジスタ0のビット7は、イレ - ズ動作の動作状況を示す読み出し専用のイレ - ズステ - タスフラグです。イレ - ズエラーが発生すると“1”、それ以外のときは“0”となります。

図BB-2にEW0モードの設定/解除フロー - チャート、図BB-3にEW1モードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

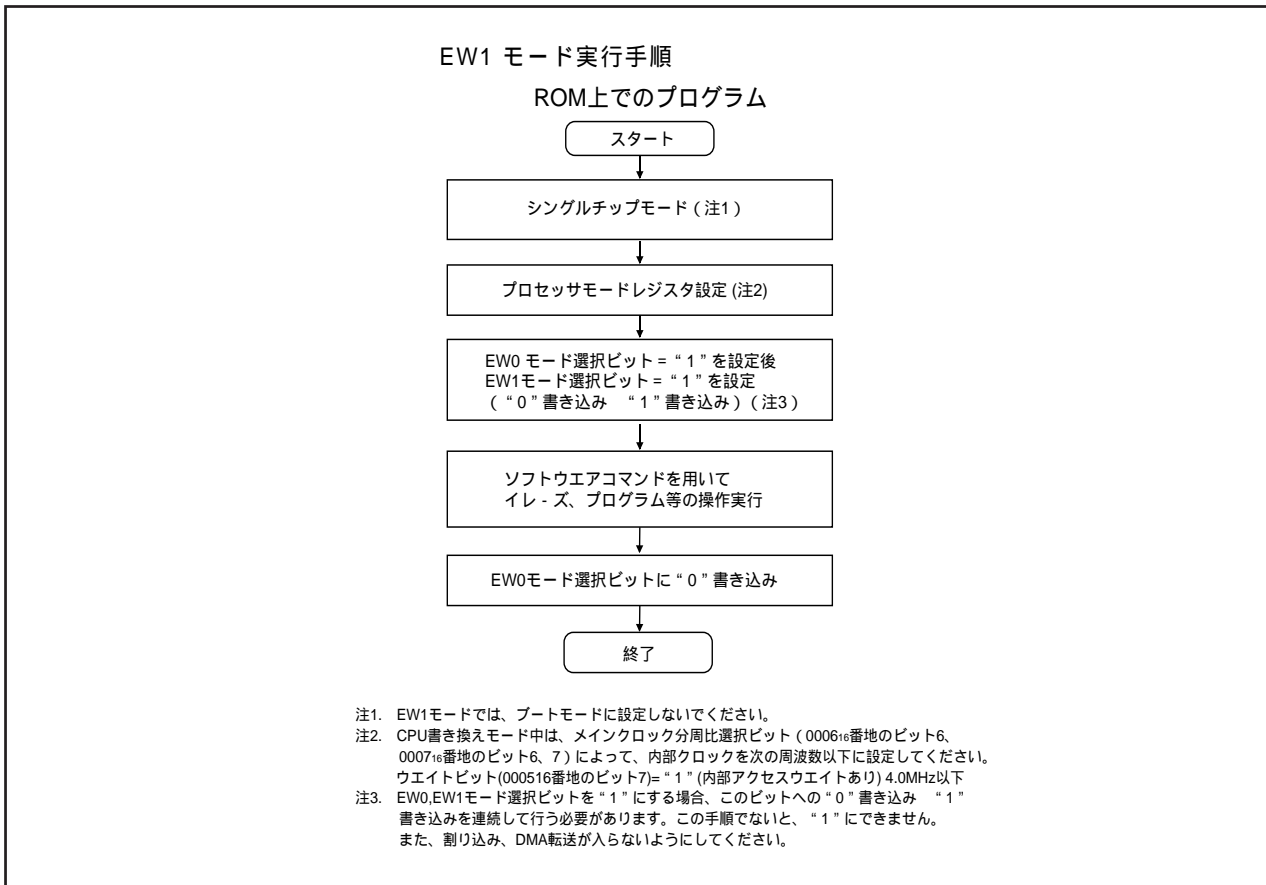
フラッシュメモリ制御レジスタ1のビット1はEW1モード選択ビットです。このビットに“1”を設定することでEW1モードになり、ソフトウエアコマンドの受け付けが可能となります。また、 $\overline{\text{NMI}}$ 端子が“H”の状態で行ってください。このビットを“1”に設定するためには、EW0モード選択ビットを“1”に設定した状態で“0”書き込みと“1”書き込みを連続して行う必要があります。“0”を設定する場合、“0”書き込みだけで行えます。また、EW1モード選択ビットに“1”が設定されている(EW0、EW1モード選択ビットがともに“1”に設定されている)状態で、EW0モード選択ビットに“0”を書き込んだ場合、EW0、EW1モード選択ビットがともにクリアされ、“0”になります。



図BB-1. フラッシュメモリ制御レジスタ、フラッシュメモリ識別レジスタのビット構成



図BB-2. CPU書き換えモードの設定/解除フローチャート



図BB-3. CPU書き換えモード1の設定/解除フローチャート

## CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

### (1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006<sub>16</sub>番地のビット6、0007<sub>16</sub>番地のビット6、7)によって、内部クロックを次の周波数以下に設定してください。

CPU書き換えモード0

ウエイトビット(0005<sub>16</sub>番地のビット7)=1 (内部アクセスウエイト有り)    8.0MHz以下

CPU書き換えモード1

ウエイトビット(0005<sub>16</sub>番地のビット7)=1 (内部アクセスウエイト有り)    4.0MHz以下

### (2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

### (3)使用禁止割り込み

CPU書き換えモード中、 $\overline{\text{NMI}}$ 割り込み、アドレス一致割り込み、監視タイマ割り込みはフラッシュメモリ内部のデータを参照するため使用できません。INTBレジスタにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。

### (4)リセット

常に受け付けます。

### (5)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があります。その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

## ソフトウェアコマンド

表BB-2にソフトウェアコマンドの一覧表を示します。

CPU書き換えモードでは、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D15～D8)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表BB-2. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	1	ライト	X (注5)	FF <sub>16</sub>			
リードステータスレジスタ	2	ライト	X	70 <sub>16</sub>	リード	X	SRD (注2)
クリアステータスレジスタ	1	ライト	X	50 <sub>16</sub>			
プログラム	2	ライト	X	40 <sub>16</sub>	ライト	WA (注3)	WD (注3)
ブロックイレーズ	2	ライト	X	20 <sub>16</sub>	ライト	BA (注4)	D0 <sub>16</sub>

注1. ソフトウェアコマンド入力時には上位バイト(D15～D8)のデータは無視されます。

注2. SRD=ステータスレジスタデータ。アドレスはユーザーROM領域内の偶数アドレスにしてください。

注3. WA=ライトアドレス(ただし偶数アドレス), WD=ライトデータ

注4. BA=ブロックアドレス(各ブロックの最大のワードアドレスを入力してください。ただし、偶数アドレス)

注5. XはユーザーROM領域内の任意のアドレス(ただし、偶数アドレス)

### リードアレイコマンド(FF<sub>16</sub>)

第1バスサイクルでコマンドコード“FF<sub>16</sub>”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D15～D0)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

### リードステータスレジスタコマンド(70<sub>16</sub>)

第1バスサイクルでコマンドコード“70<sub>16</sub>”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D7～D0)へ読み出されます。(ユーザーROM領域内の偶数アドレスにしてください。)

ステータスレジスタは、次の節で説明します。

### クリアステータスレジスタコマンド(50<sub>16</sub>)

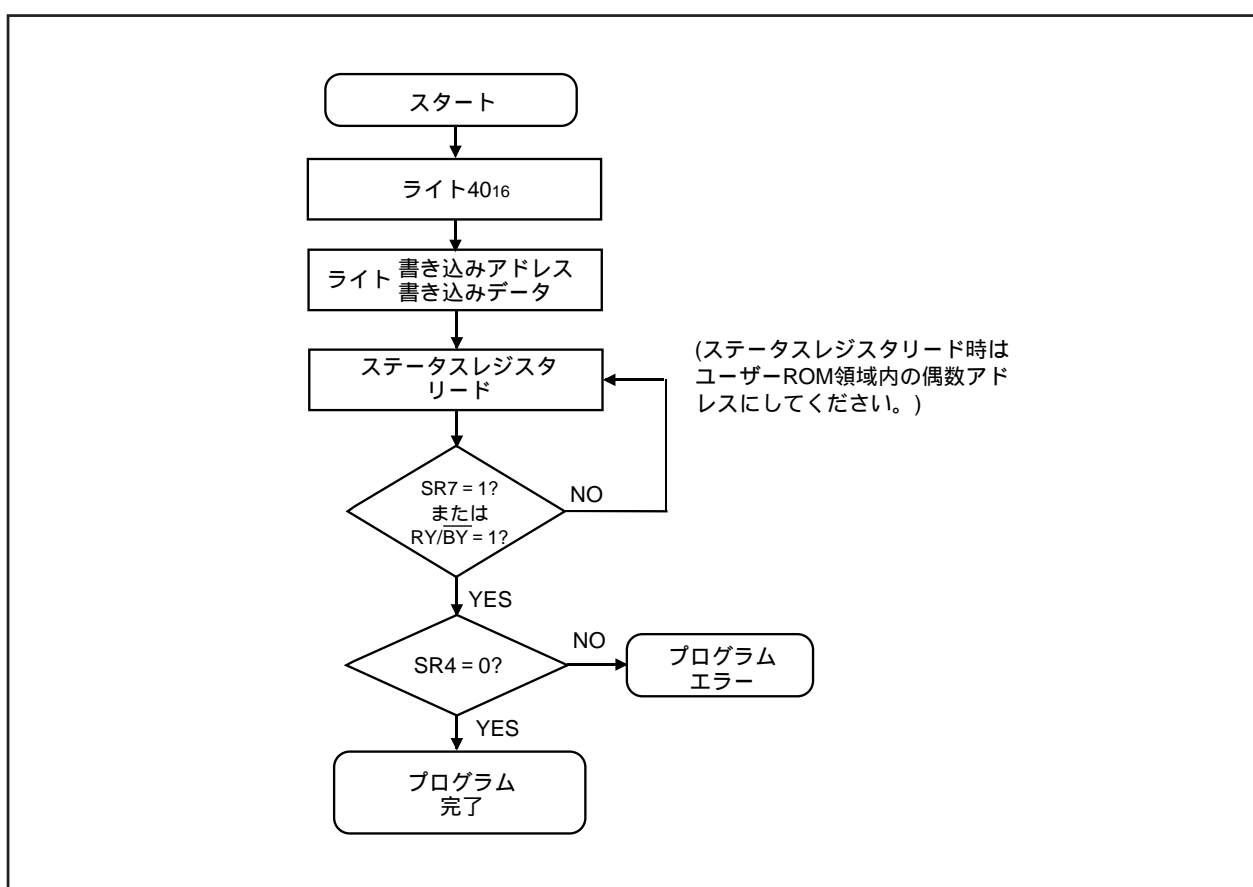
ステータスレジスタのエラー終了を示すビット(SR4, SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50<sub>16</sub>”をライトします。

プログラムコマンド(40<sub>16</sub>)

第1バスサイクルでコマンドコード“40<sub>16</sub>”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリードまたはRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にステータスレジスタリードモードとなり、ステータスレジスタの内容がデータバス(D<sub>0</sub>~D<sub>7</sub>)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラムの開始とともに"0"となり、終了とともに"1"にもどります。この場合のステータスレジスタリードモードは、次にリードコマンド("FF")をライトするまで継続されます。

RB/BYステータスフラグはステータスレジスタビット7と同じく、プログラム期間中は"0"、終了後は"1"となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。



図BB-4. プログラムフローチャート

ブロックイレーズ(20<sub>16</sub>/D0<sub>16</sub>)

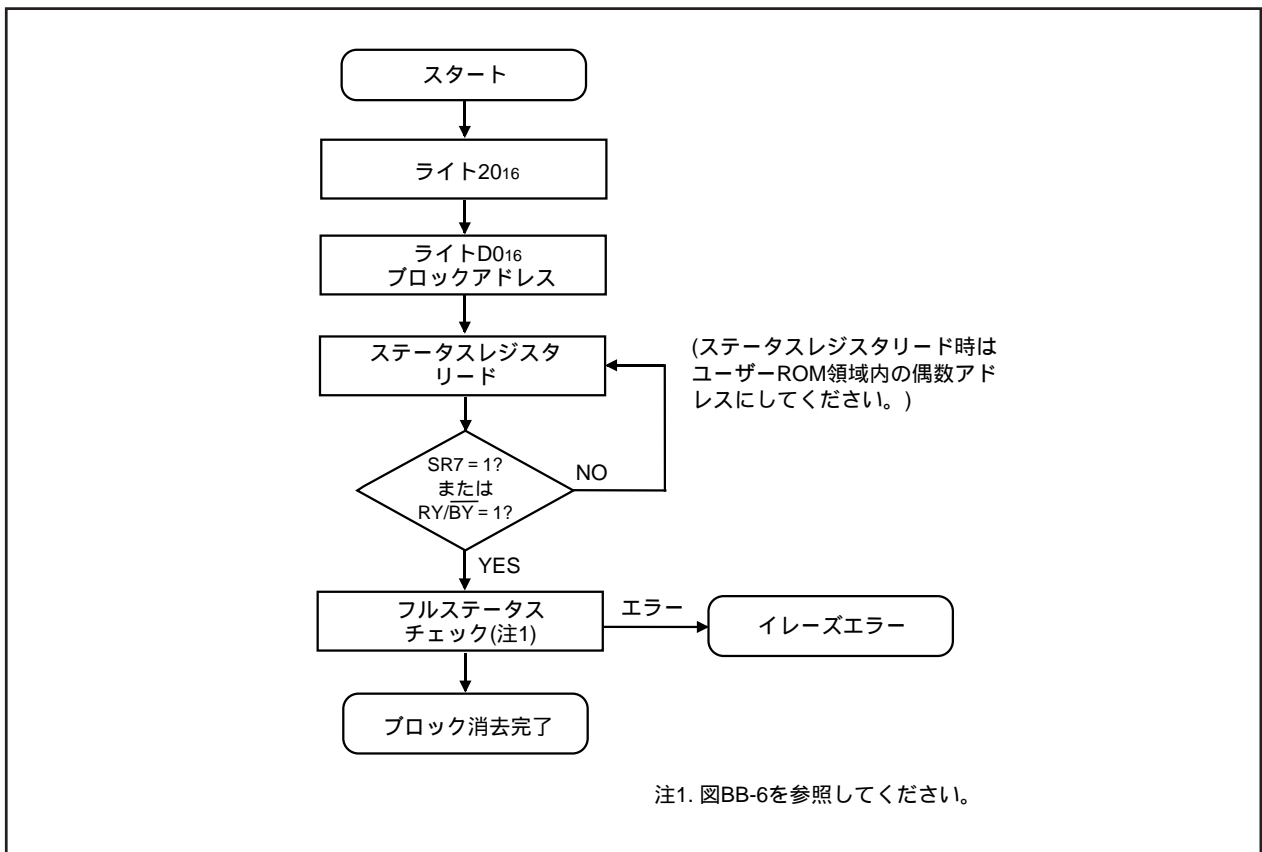
第1バスサイクルでコマンドコード“20<sub>16</sub>”、続く第2バスサイクルで確認コマンドコード“D0<sub>16</sub>”をブロックアドレスにライトすると、指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、ステータスレジスタのリードまたはRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF<sub>16</sub>)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

EW-1モードでは、制御プログラムが格納されているブロックへの、このコマンドの実行はしないでください。



図BB-5. イレーズフローチャート



## ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド(70<sub>16</sub>)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF<sub>16</sub>)入力までの期間、ユーザROM領域内の任意のアドレスを読み出したとき

ステータスレジスタを表BB-2に示します。

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50<sub>16</sub>)をライトしたとき  
リセット解除後、ステータスレジスタは、“80<sub>16</sub>”になります。

各ビットの意味を以下に示します。

### シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

### イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

### プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

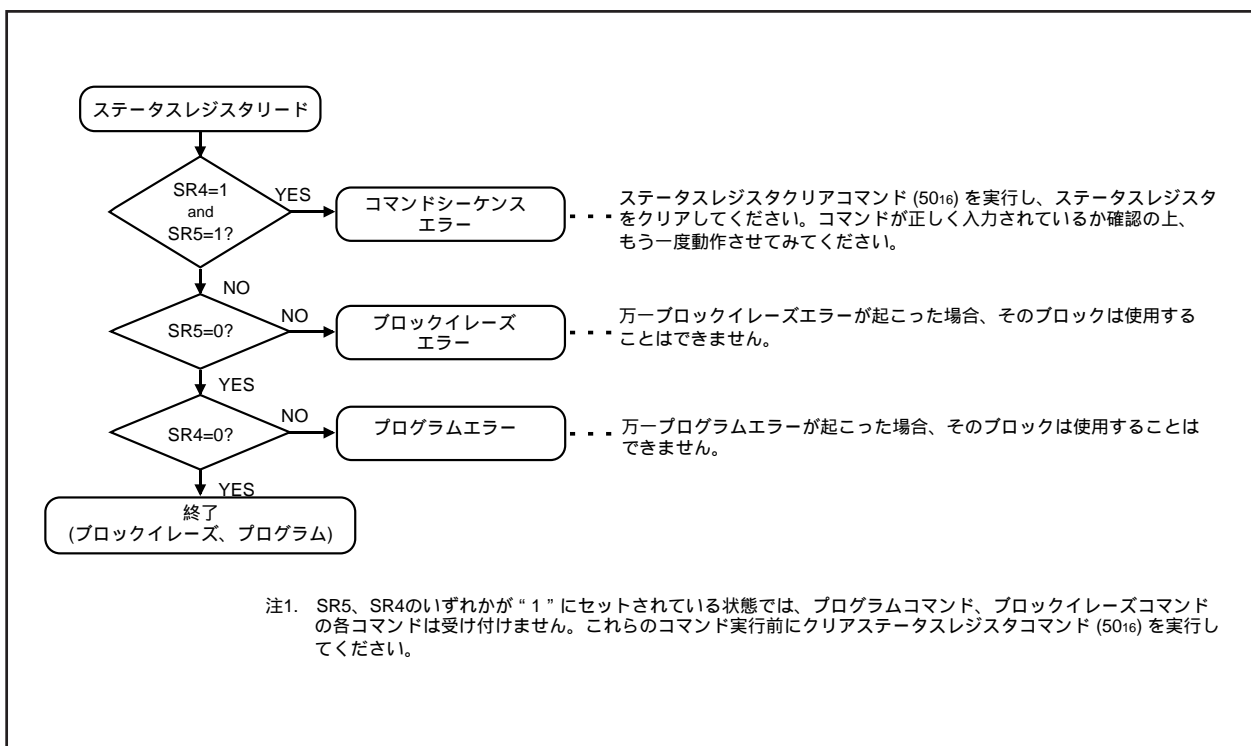


表BB-3. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

### フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図BB-6にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。



図BB-6. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

### 内蔵フラッシュメモリ書き換え禁止機能

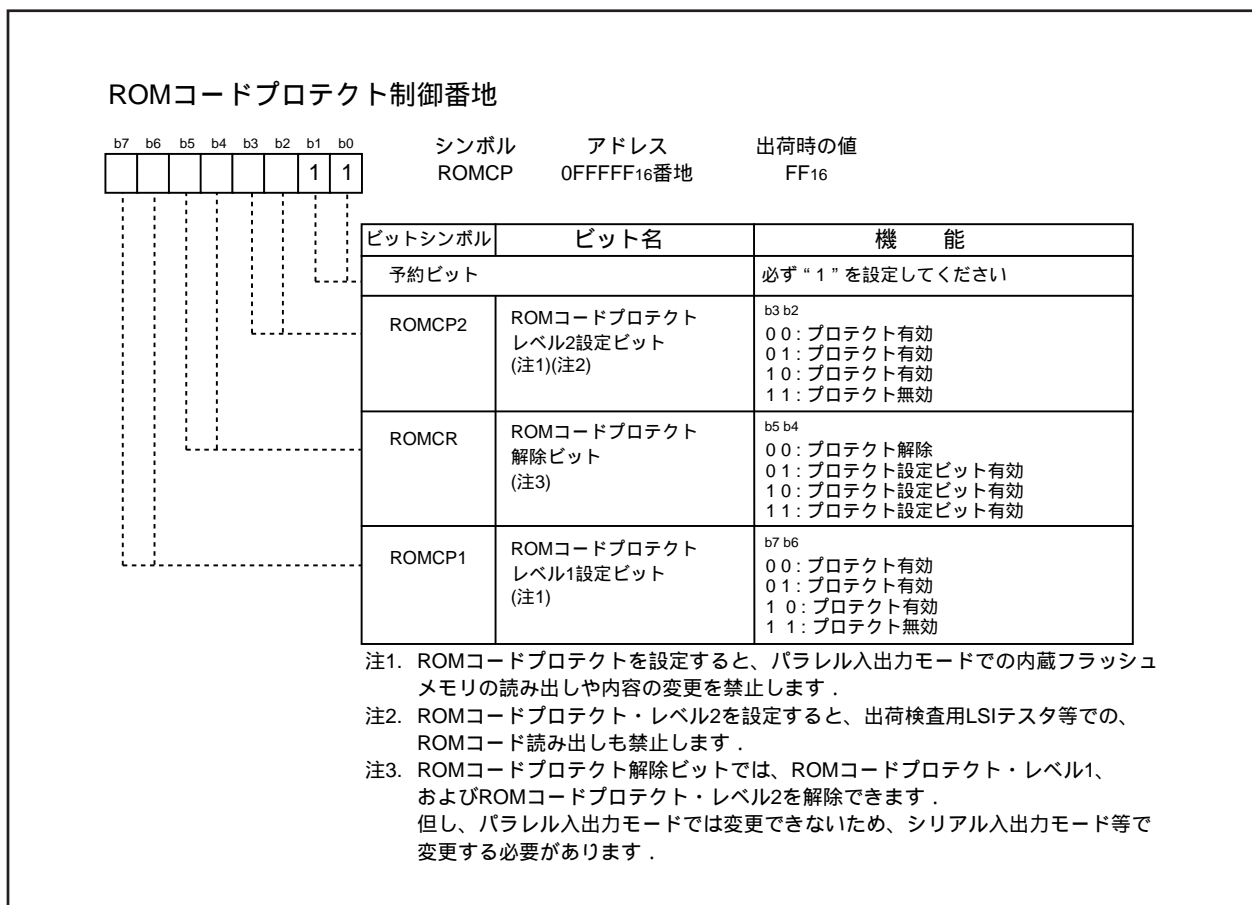
内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

### ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFF<sub>16</sub>番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFF<sub>16</sub>番地)の構成を図 BB-7に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

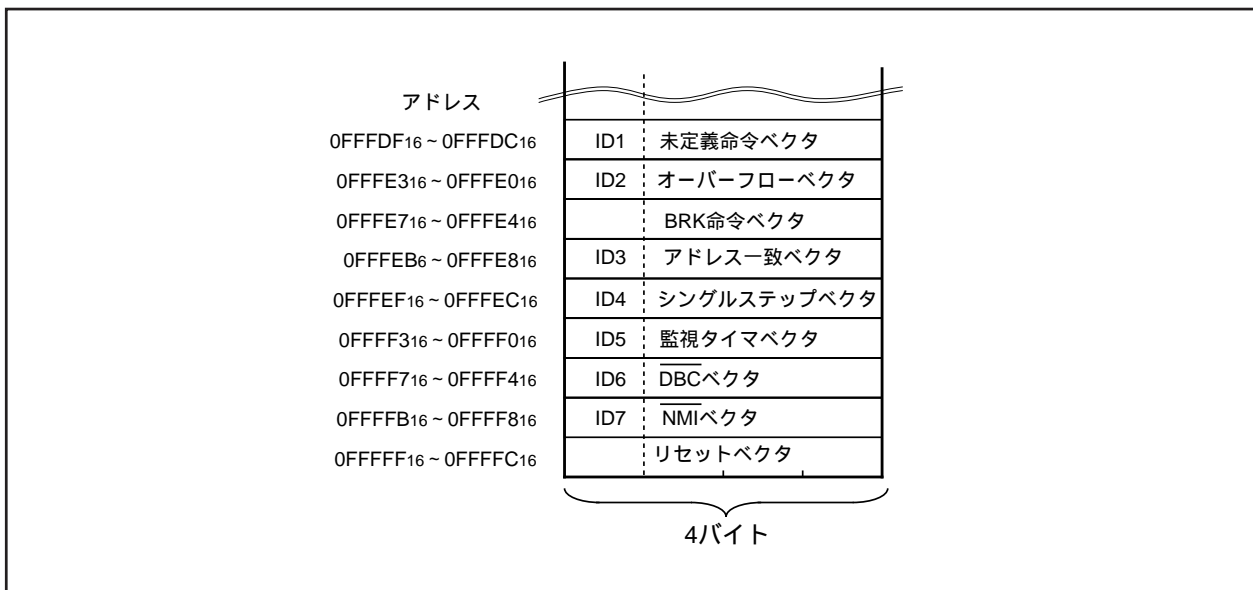
ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。



図BB-7. ROMコードプロテクトのビット構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF<sub>16</sub>、0FFFE3<sub>16</sub>、0FFFEB<sub>16</sub>、0FFFEF<sub>16</sub>、0FFFF3<sub>16</sub>、0FFFF7<sub>16</sub>、0FFFFB<sub>16</sub>番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。



図BB-8. IDコードの格納アドレス

## パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M16C/6KAグループ(フラッシュメモリ内蔵版)をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

## ユーザROM領域とブートROM領域

パラレル入出力モードでは、図AB-1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

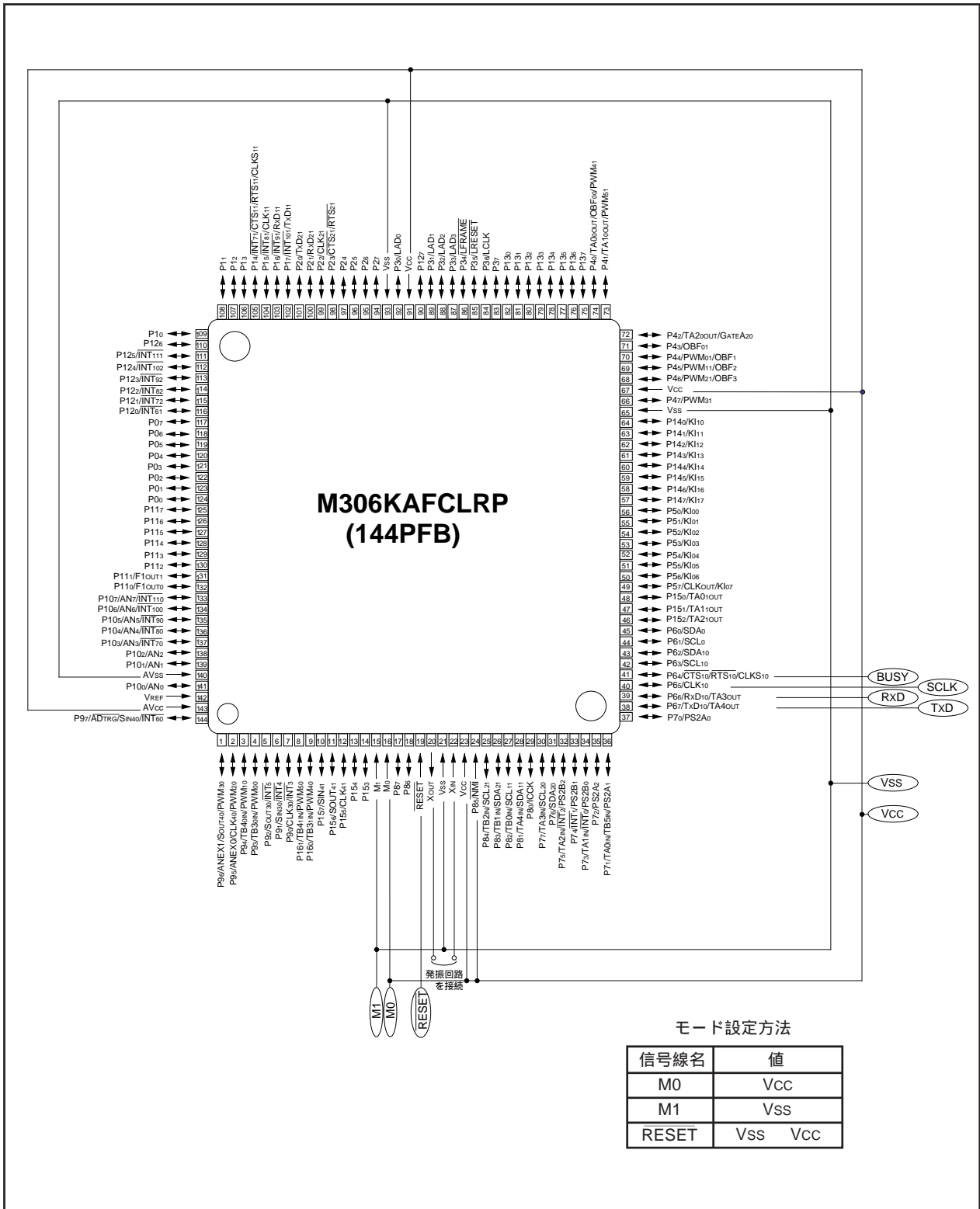
プログラム、ブロックイレーズはユーザROM領域を対象としてください。ユーザROM領域のブロックを図AB-1に示します。

ブートROM領域は、4Kバイトで、0FF000<sub>16</sub> ~ 0FFFFFF<sub>16</sub>番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、ルネサスからの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

表EE-1. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
M0	M0	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
M1	M1	入力	Vssに接続してください。
AVcc、AVss	アナログ電源入力		AVssはVssに、AVccはVccに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P50 ~ P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P60 ~ P63	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P64	BUSY出力	出力	BUSY信号の出力端子です。
P65	SCLK入力	入力	シリアルクロックの入力端子です。
P66	RxD入力	入力	シリアルデータの入力端子です。
P67	TxD出力	出力	シリアルデータの出力端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P80 ~ P84, P86, P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。
P110 ~ P117	入力ポートP11	入力	"H"を入力、"L"を入力、または開放してください。
P120 ~ P127	入力ポートP12	入力	"H"を入力、"L"を入力、または開放してください。
P130 ~ P137	入力ポートP13	入力	"H"を入力、"L"を入力、または開放してください。
P140 ~ P147	入力ポートP14	入力	"H"を入力、"L"を入力、または開放してください。
P150 ~ P157	入力ポートP15	入力	"H"を入力、"L"を入力、または開放してください。
P160, P161	入力ポートP16	入力	"H"を入力、"L"を入力、または開放してください。



図EE-1. シリアル入出力モード時の端子結線図

## 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードでは、M0は“L”に設定してください。)

この制御プログラムはルネサスからの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図EE-1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1の端子CLK<sub>10</sub>、RXD<sub>10</sub>、TXD<sub>10</sub>、RTS<sub>10</sub>(BUSY)の4本を使って行います。

CLK<sub>10</sub>端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD<sub>10</sub>端子はCMOS出力です。RTS<sub>10</sub>(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図AB-1に示すユーザROM領域の書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライタ)から送られてくるコマンドを受け付けません。

#### 機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK10端子に入力する転送クロック立ち上がり同期して、RxD10端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がり同期して、TxD10端子から外部に出力します。

TxD10端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS10(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS10(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。



ソフトウェアコマンド

表EE-2にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェアコマンドは、基本的にはパラレル入出力モードのものと同じですが、IDチェック機能、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能の4コマンドを追加しています。

表EE-2. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1H <sup>*</sup> 16ビットの転送	2H <sup>*</sup> 16ビット	3H <sup>*</sup> 16ビット	4H <sup>*</sup> 16ビット	5H <sup>*</sup> 16ビット	6H <sup>*</sup> 16ビット	~	ID照合未
1	ヘッダリード	FF <sub>16</sub>	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H <sup>*</sup> 16ビット データ出力	受付不可
2	ヘッダプログラム	41 <sub>16</sub>	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259H <sup>*</sup> 16ビット データ入力	受付不可
3	ブロックイレーズ	20 <sub>16</sub>	アドレス (中位)	アドレス (上位)	D0 <sub>16</sub>				受付不可
4	リードステータスレジスタ	70 <sub>16</sub>	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	50 <sub>16</sub>							受付不可
6	IDチェック機能	F5 <sub>16</sub>	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
7	ダウンロード機能	FA <sub>16</sub>	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
8	バージョン情報出力機能	FB <sub>16</sub>	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	~ 9H <sup>*</sup> 16ビット バージョンデータ出力	受付可
9	ブートROM領域出力機能	FC <sub>16</sub>	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H <sup>*</sup> 16ビット データ出力	受付不可
10	リードチェックデータ	FD <sub>16</sub>	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタ 1 データ。

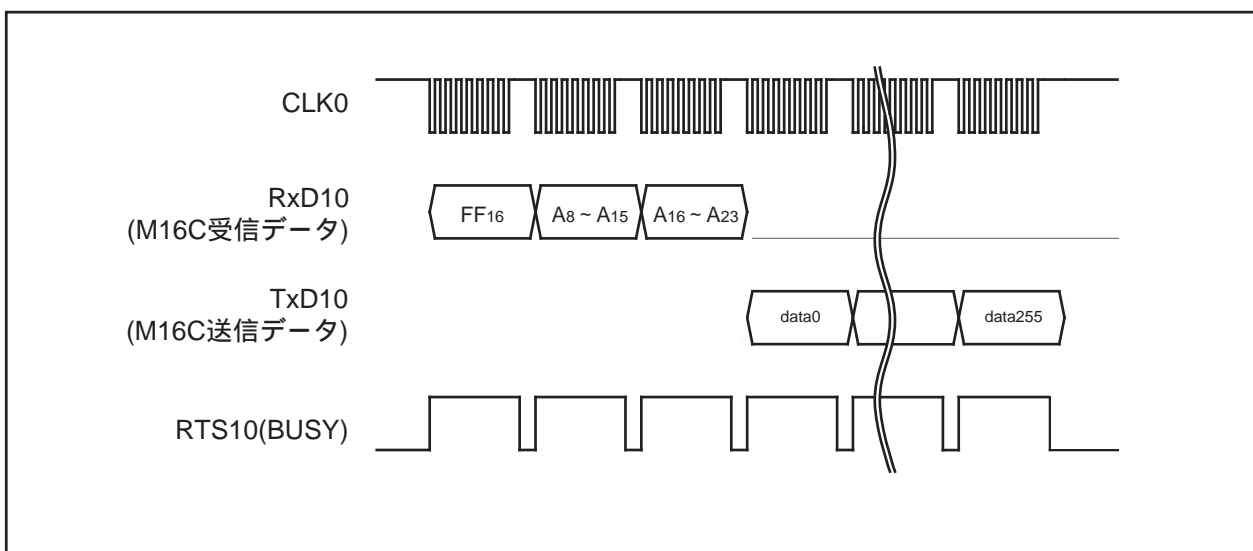
注3. ブランク品に対しては全コマンドの受け付け可。

以下に各ソフトウェアコマンドの内容を説明します

### ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

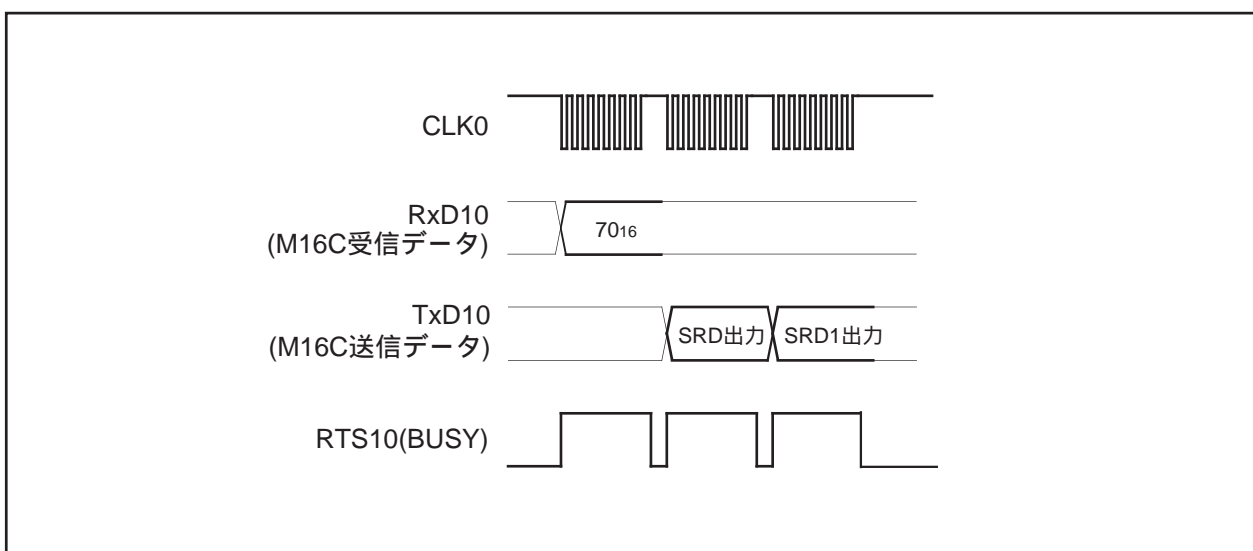
- (1) 1バイト目の転送でコマンドコード“FF<sub>16</sub>”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA<sub>8</sub>～A<sub>15</sub>、アドレスA<sub>16</sub>～A<sub>23</sub>を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA<sub>8</sub>～A<sub>23</sub>で指定したページ(256バイト)のデータ(D<sub>0</sub>～D<sub>7</sub>)を最小のアドレスから順番に出力します。



図EE-2. リードアレイ時のタイミング

### リードステータスレジスタコマンド

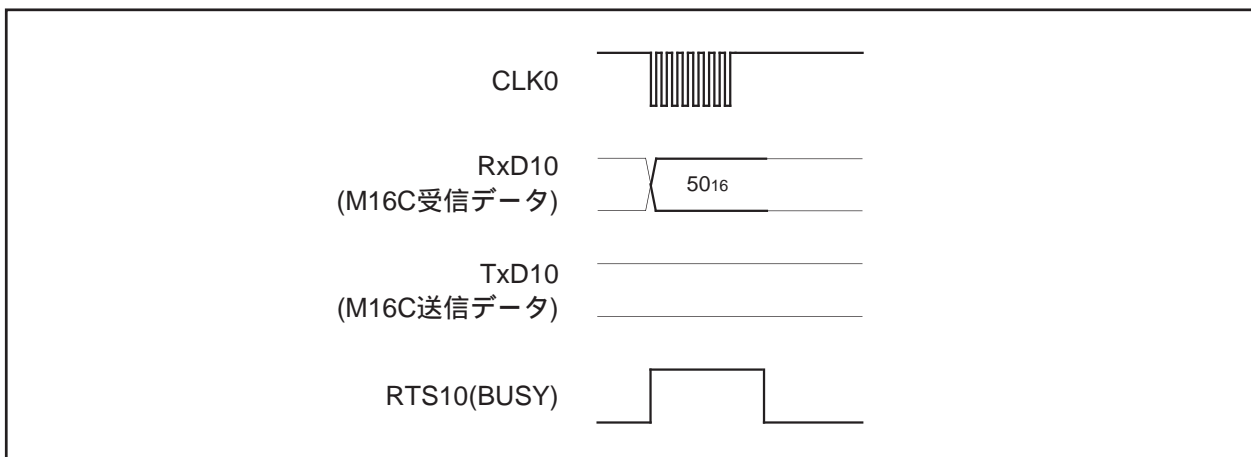
ステータス情報を読み出します。1バイト目の転送でコマンドコード“70<sub>16</sub>”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。



図EE-3. リードステータスレジスタコマンド時のタイミング

### クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3 ~ 5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50<sub>16</sub>”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS<sub>10</sub>(BUSY)信号は“H”から“L”に変化します。



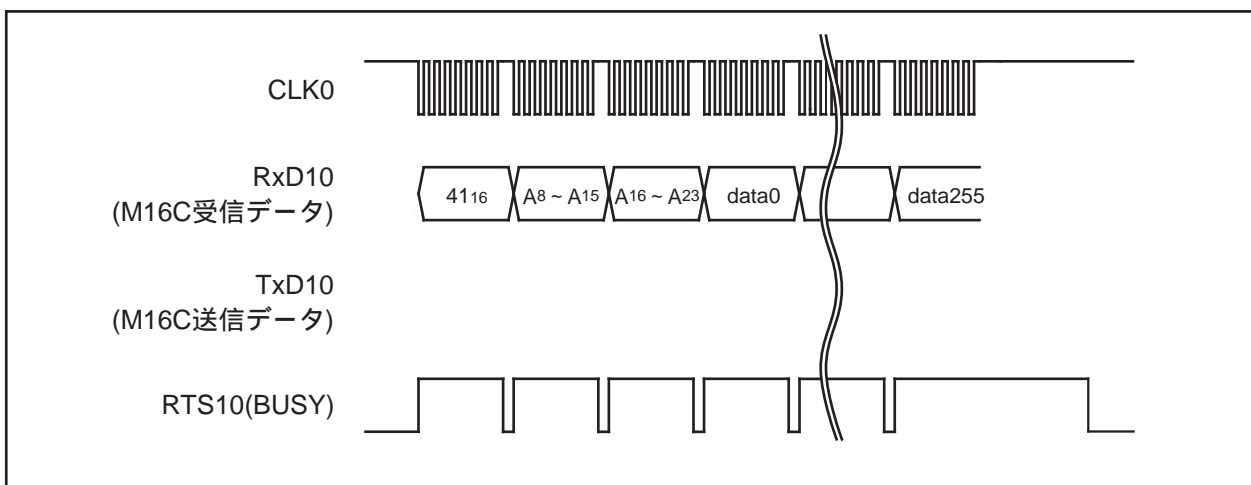
図EE-4. クリアステータスレジスタ時のタイミング

### ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41<sub>16</sub>”を転送します。
- (2) 2バイト目、3バイトの転送でそれぞれ、アドレスA<sub>8</sub> ~ A<sub>15</sub>、アドレスA<sub>16</sub> ~ A<sub>23</sub>を転送します。
- (3) 4バイト目以降、ライトデータ(D<sub>0</sub> ~ D<sub>7</sub>)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS<sub>10</sub>(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。



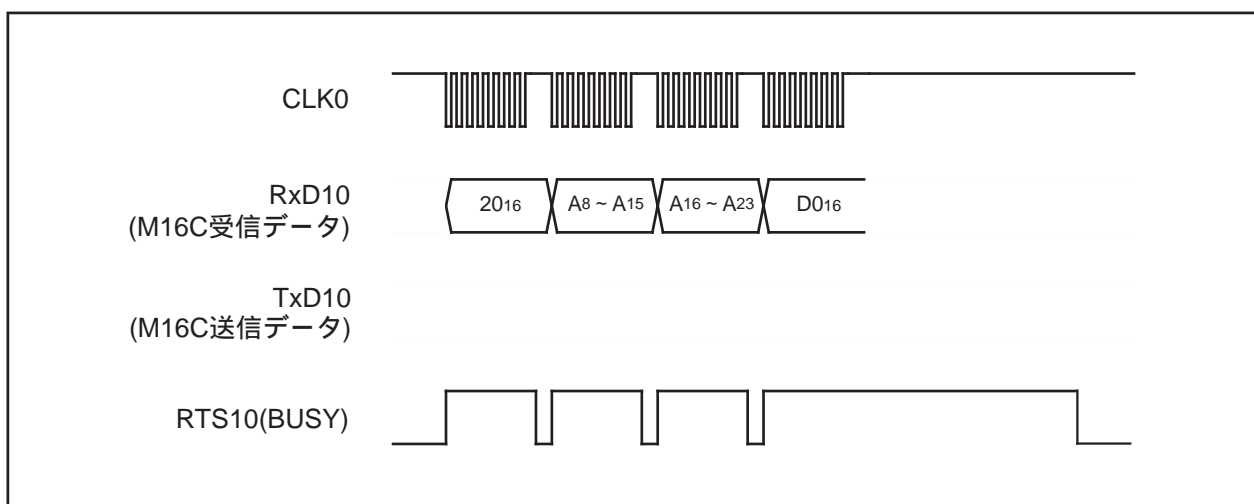
図EE-5. プログラムコマンド時のタイミング

### ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20<sub>16</sub>”を転送します。
- (2) 2バイト目の転送でアドレスA<sub>8</sub>～A<sub>15</sub>、3バイト目のシリアル転送でアドレスA<sub>16</sub>～A<sub>23</sub>を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0<sub>16</sub>”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A<sub>8</sub>～A<sub>23</sub>のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS<sub>1</sub>(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。



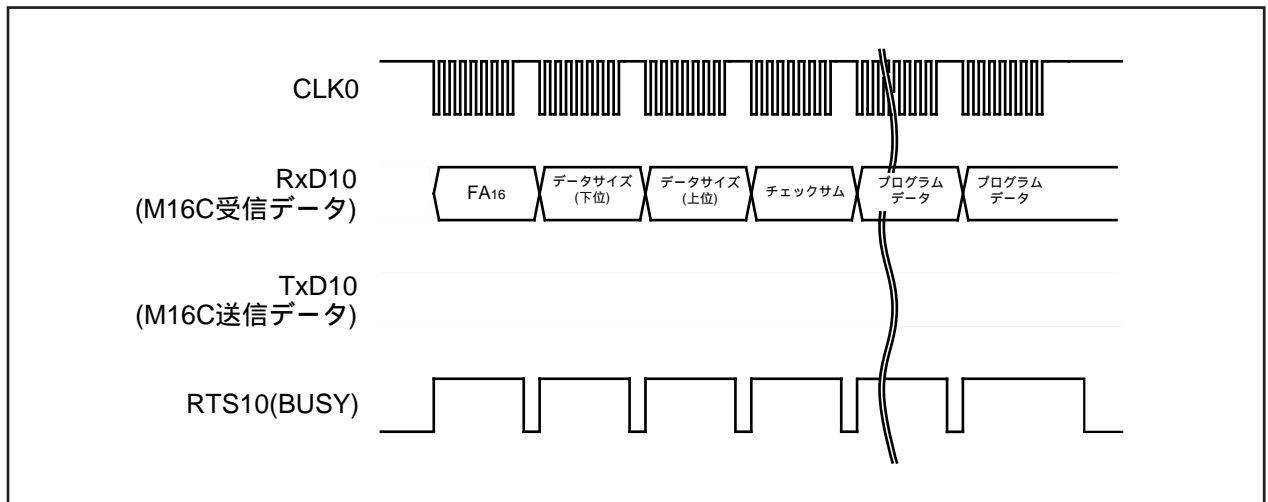
図EE-6. ブロックイレーズコマンド時のタイミング

### ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA16”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって異なります。

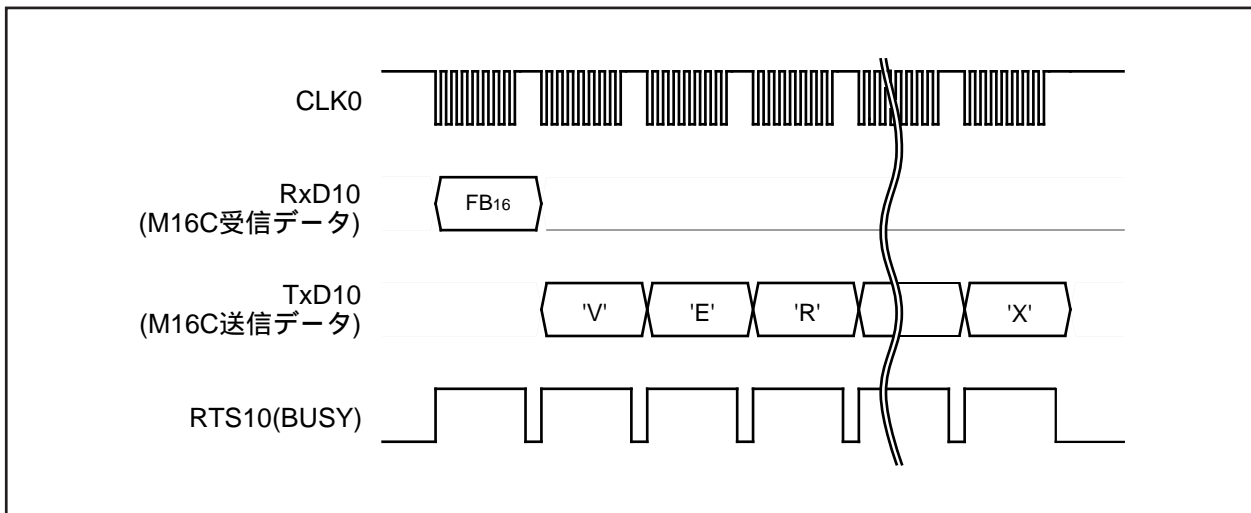


図EE-7. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB<sub>16</sub>”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

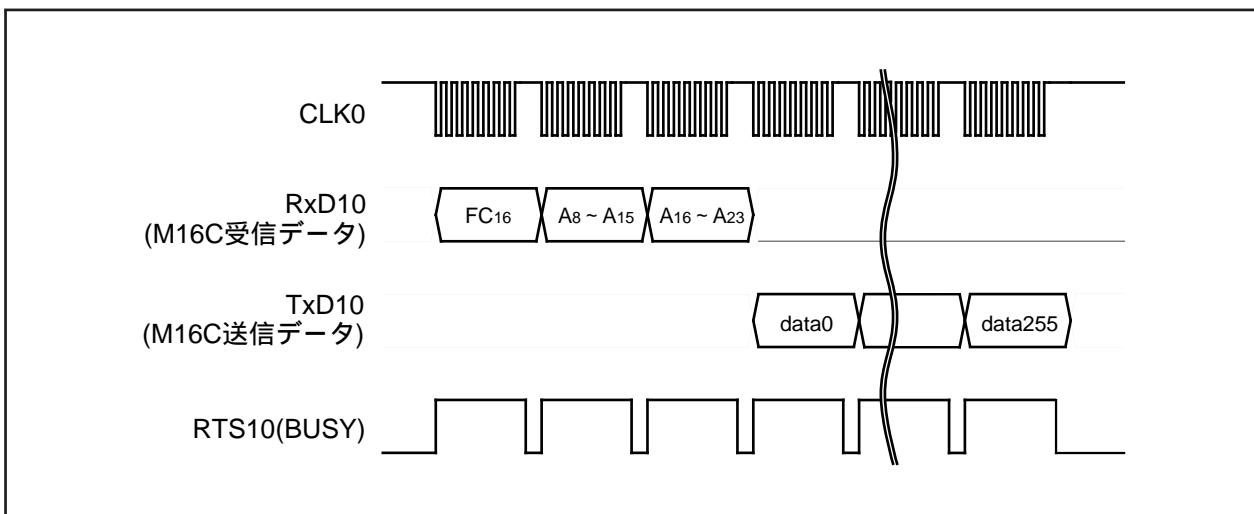


図EE-8. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256 バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC<sub>16</sub>”を転送します。
- (2) 2バイト、3バイト目の転送でそれぞれアドレスA<sub>8</sub>～A<sub>15</sub>、アドレスA<sub>16</sub>～A<sub>23</sub>を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA<sub>8</sub>～A<sub>23</sub>で指定したページ(256 バイト)のデータ(D<sub>0</sub>～D<sub>7</sub>)を最小のアドレスから順番に出力します

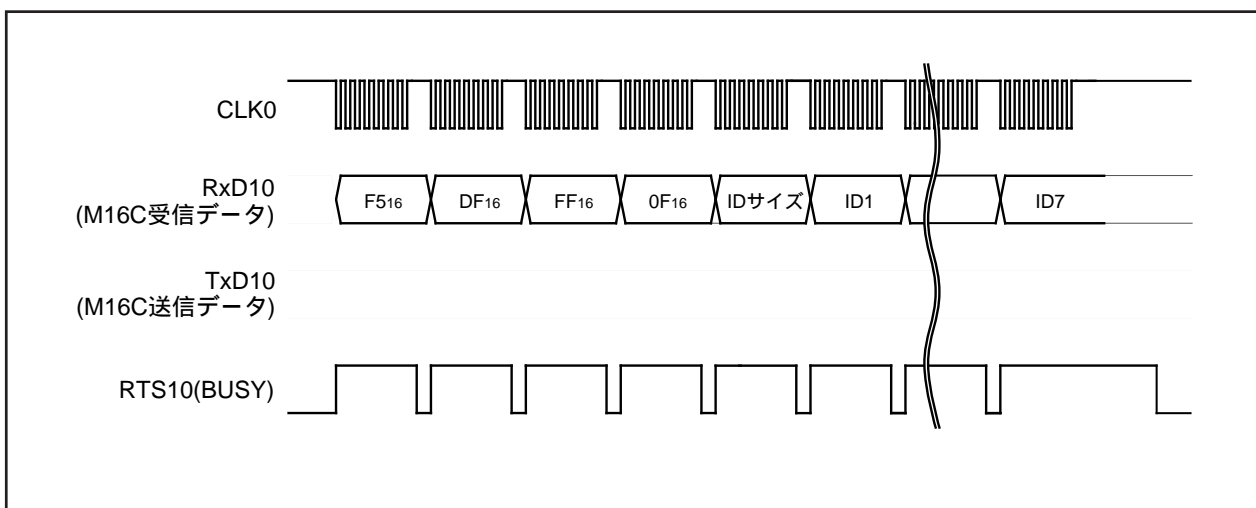


図EE-9. ブートROM領域出力機能のタイミング

### IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

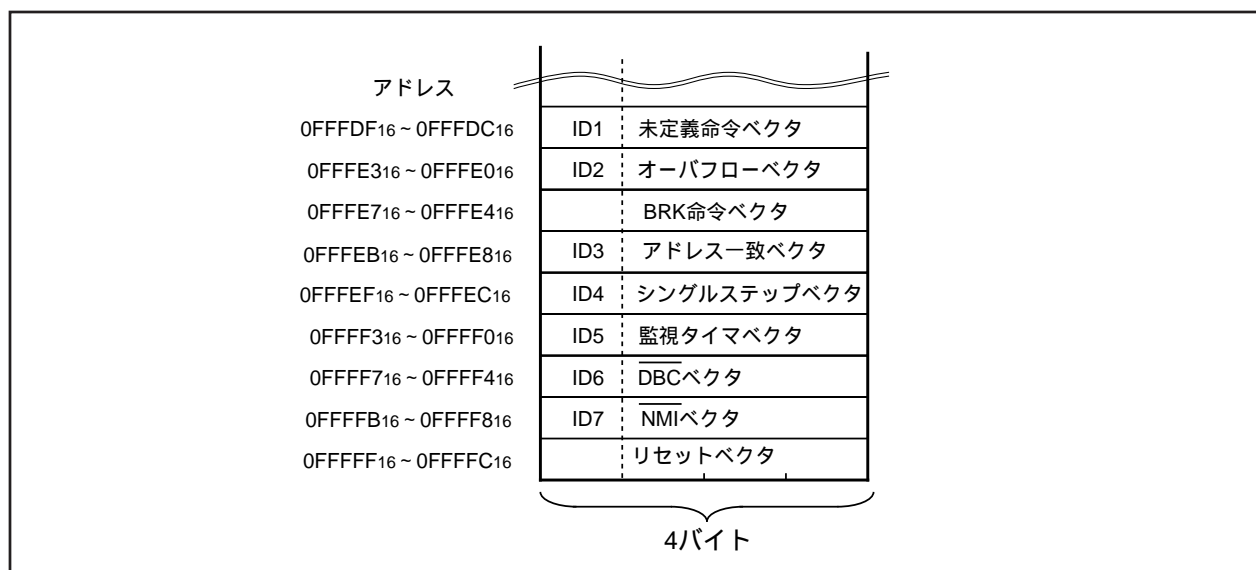
- (1) 1バイト目の転送でコマンドコード“F5<sub>16</sub>”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA<sub>0</sub> ~ A<sub>7</sub>、A<sub>8</sub> ~ A<sub>15</sub>、A<sub>16</sub> ~ A<sub>23</sub>を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。



図EE-10. IDチェック機能のタイミング

### IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFD<sub>16</sub>F、0FFFE<sub>3</sub><sub>16</sub>、0FFFE<sub>B</sub><sub>16</sub>、0FFFE<sub>F</sub><sub>16</sub>、0FFFF<sub>3</sub><sub>16</sub>、0FFFF<sub>7</sub><sub>16</sub>、0FFFF<sub>B</sub><sub>16</sub>番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。



図EE-11. IDコードの格納アドレス

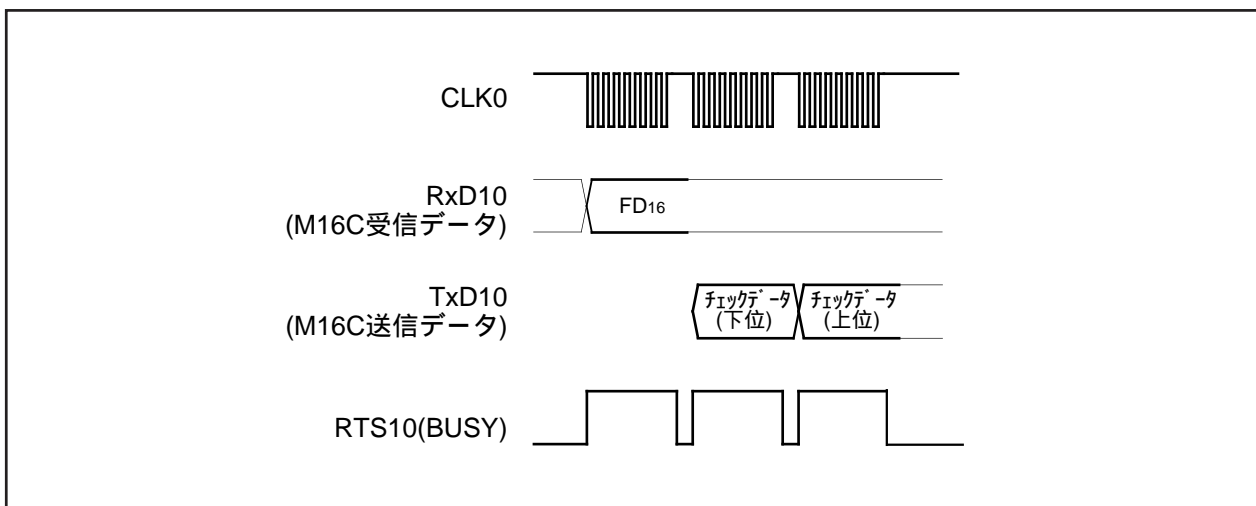
### リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータを1バイト単位で加算し、加算データの下位2バイトに対して2の補数を求めた結果です。



図EE-12. リードチェックデータコマンド時のタイミング



### ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70<sub>16</sub>)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50<sub>16</sub>)をライトしたときクリアされます。

ステータスレジスタを表EE-3に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80<sub>16</sub>”を出力します。

表EE-3. ステータスレジスタ(SRD)

記号	ステータス	定義	
		“1”	“0”
SR7 (D7)	シーケンサステータス	レディ	ビジー
SR6 (D6)	リザーブ	-	-
SR5 (D5)	イレーズステータス	エラー終了	正常終了
SR4 (D4)	プログラムステータス	エラー終了	正常終了
SR3 (D3)	リザーブ	-	-
SR2 (D2)	リザーブ	-	-
SR1 (D1)	リザーブ	-	-
SR0 (D0)	リザーブ	-	-

### シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時およびディープパワーダウンモードからの復帰時は“1”(レディ)にセットされる。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

### イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

### プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等  
を示すレジスタで、リードステータスレジスタコマンド(70<sub>16</sub>)をライトしたときSRDに続いて読み出  
すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50<sub>16</sub>)をラ  
イトしたときクリアされます。

ステータスレジスタを表EE-4に各ビットの定義を以下に示します。

電源投入時“00<sub>16</sub>”になります。フラグの状態はリセットしても保持されます。

表EE-4. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したか  
どうかを示すフラグです。

ID照合済みビット(SR11 SR10)

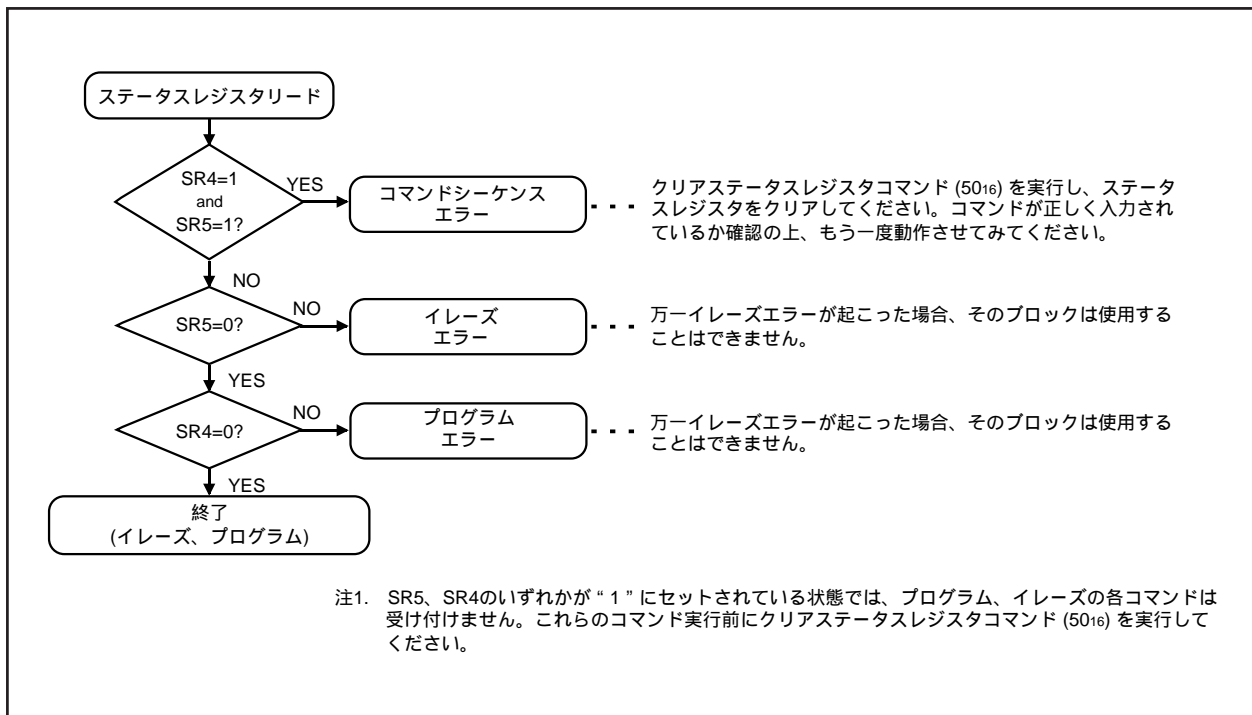
ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、  
受信したデータを破棄し、コマンド待ちに戻ります。

### フルステータスチェック

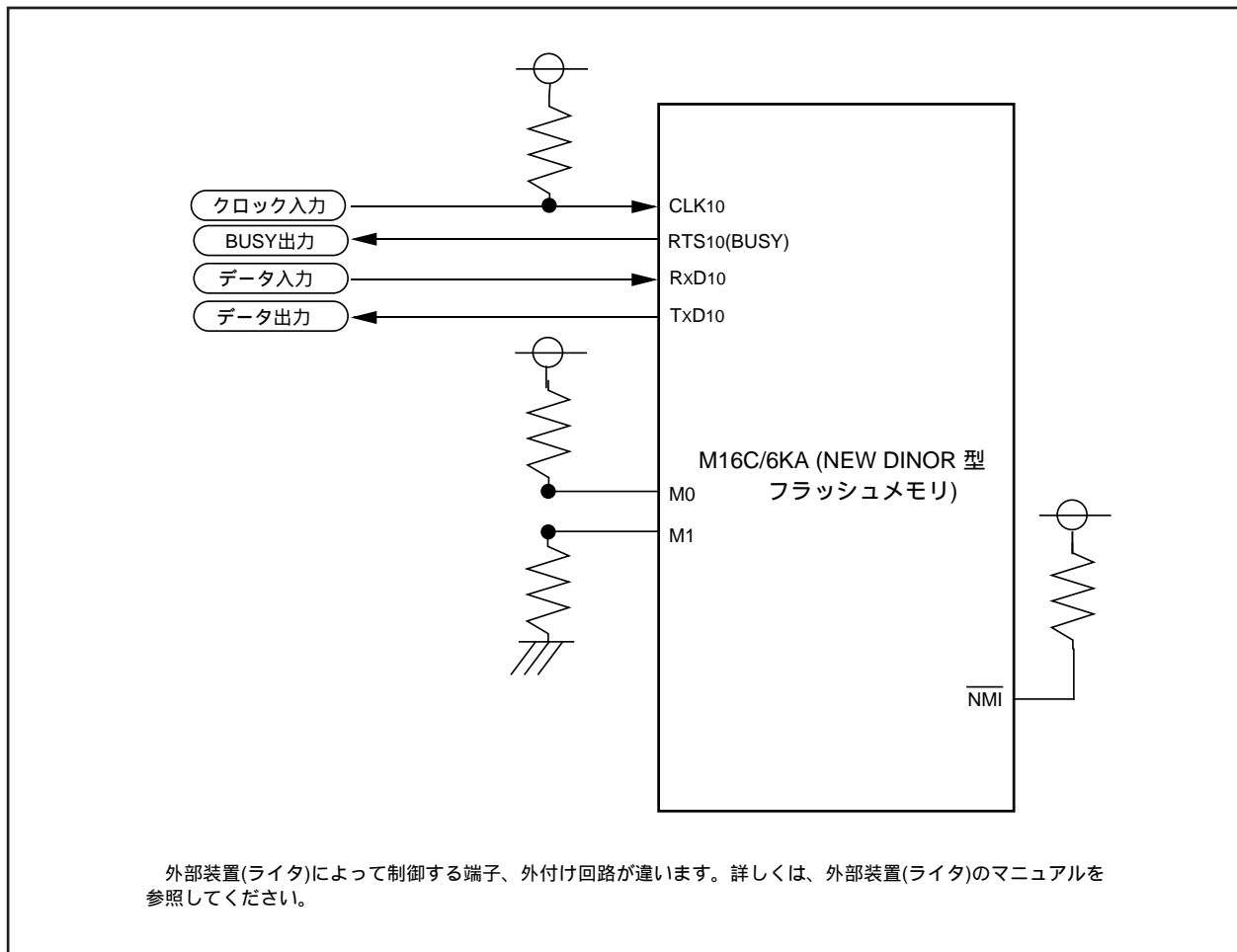
フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図EE-13にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。



図EE-13. フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。外部装置(ライター)によって制御するピン等が異なりますので、詳細は外部装置(ライター)のマニュアルを参考にしてください。

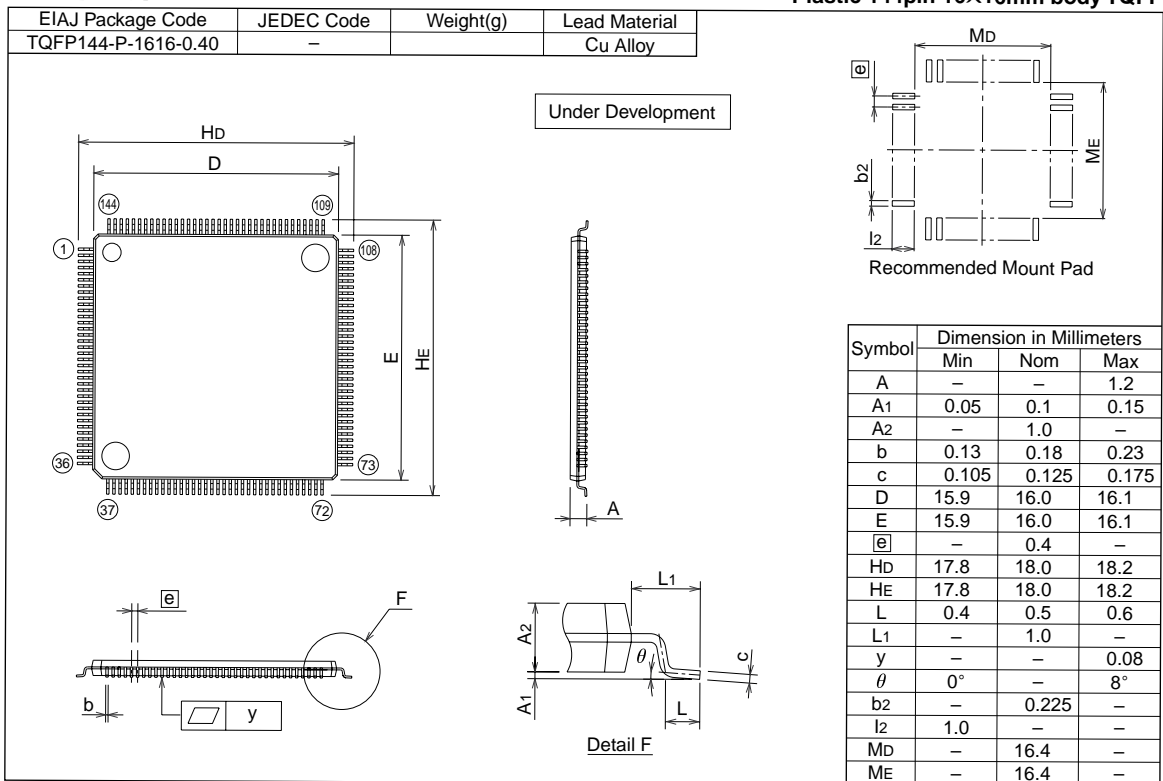


図EE-14. 標準シリアル入出力モード時の応用回路例

外形寸法図

144PFB-A

Plastic 144pin 16X16mm body TQFP



## 改訂記録

M16C/6KA グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.07.23	-	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	部	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)