お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

概　要

M16C/62グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/62グループは内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

特　長

- メモリ容量 …… ROM(ROM展開の図を参照してください)
  RAM　3Kバイト～20Kバイト
- 最短命令実行時間 …… 62.5ns(f(XIN)=16MHz、VCC=5V時)
  100ns(f(XIN=10MHz、1ウエイト、VCC=3V時) : マスクROM、フラッシュメモリ5V版
  142.9ns(f(XIN)=7MHz、1ウエイト、VCC=3V時) : ワンタイムPROM版
- 電源電圧 …… 4.2V～5.5V(f(XIN)=16MHz時、ウエイトなし) : マスクROM、フラッシュメモリ5V版
  4.5V～5.5V(f(XIN)=16MHz時、ウエイトなし) : ワンタイムPROM版
  2.7V～5.5V(f(XIN)=10MHz、1ウエイト時) : マスクROM、フラッシュメモリ5V版
  2.7V～5.5V(f(XIN)=7MHz、1ウエイト時) : ワンタイムPROM版
- 低消費電力 …… 25.5mW(VCC=3V、f(XIN)=10MHz、1ウエイト時)
- 割り込み …… 内部25要因、外部8要因、ソフトウエア4要因、7レベル
  (キー入力割り込みを含む)
- 多機能16ビットタイマ …… 出力系5本 + 入力系6本
- シリアルI/O…… 5本(UART/クロック 同期　3本、クロック 同期　2本)
- DMAC …… 2チャネル(スタート条件:24要因)
- A-D 変換器 …… 10ビット×8チャネル(最大10チャネルまで拡張可)
- D-A 変換器 …… 8ビット×2チャネル
- CRC 演算回路 …… 1回路
- 監視タイマ …… 1本
- プログラマブル入出力 …… 87本
- 入力ポート …… 1本(P85、$\overline{\text{NMI}}$端子と兼用)
- メモリ拡張 …… 可能(1.2Mバイト、4Mバイトの拡張)
- チップセレクト出力 …… 4本
- クロック発生回路 …… 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)

応　用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

――― 目　次 ―――

中央演算処理装置 11
リセット 14
プロセッサモード 27
クロック発生回路 40
プロテクト 49
割り込み 50
監視タイマ 69
DMAC 71
タイマ 81
三相モータ制御用タイマ機能 99
シリアルI/O 111
A-D変換器 151
D-A変換器 161
CRC演算回路 163
プログラマブル入出力ポート 165
電気的特性 180
フラッシュメモリ版 233

ピン接続図

図1.1.1および図1.1.2にピン接続図(上面図)を示します。

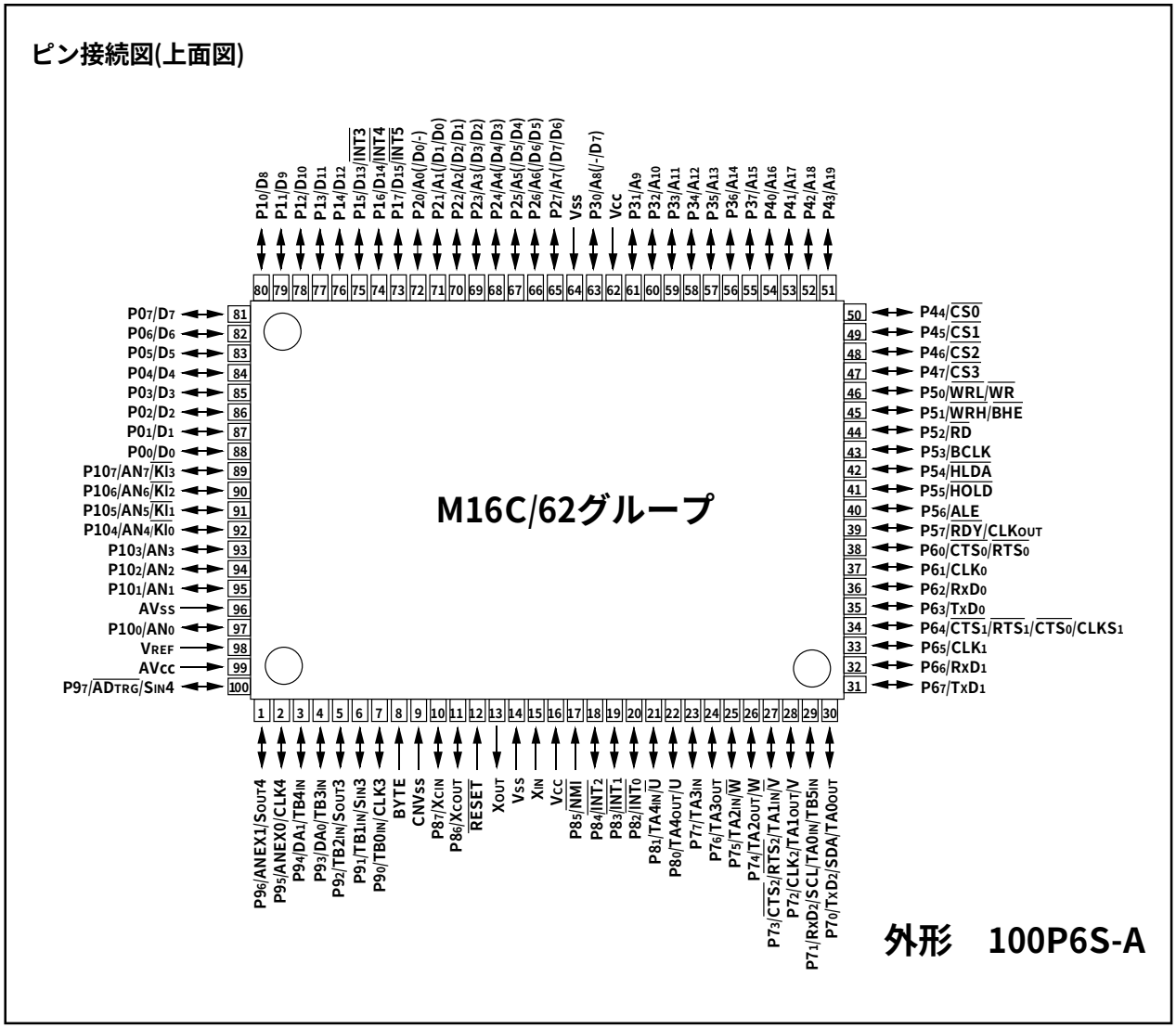


図1.1.1. ピン接続図(上面図)

ピン接続図(上面図)

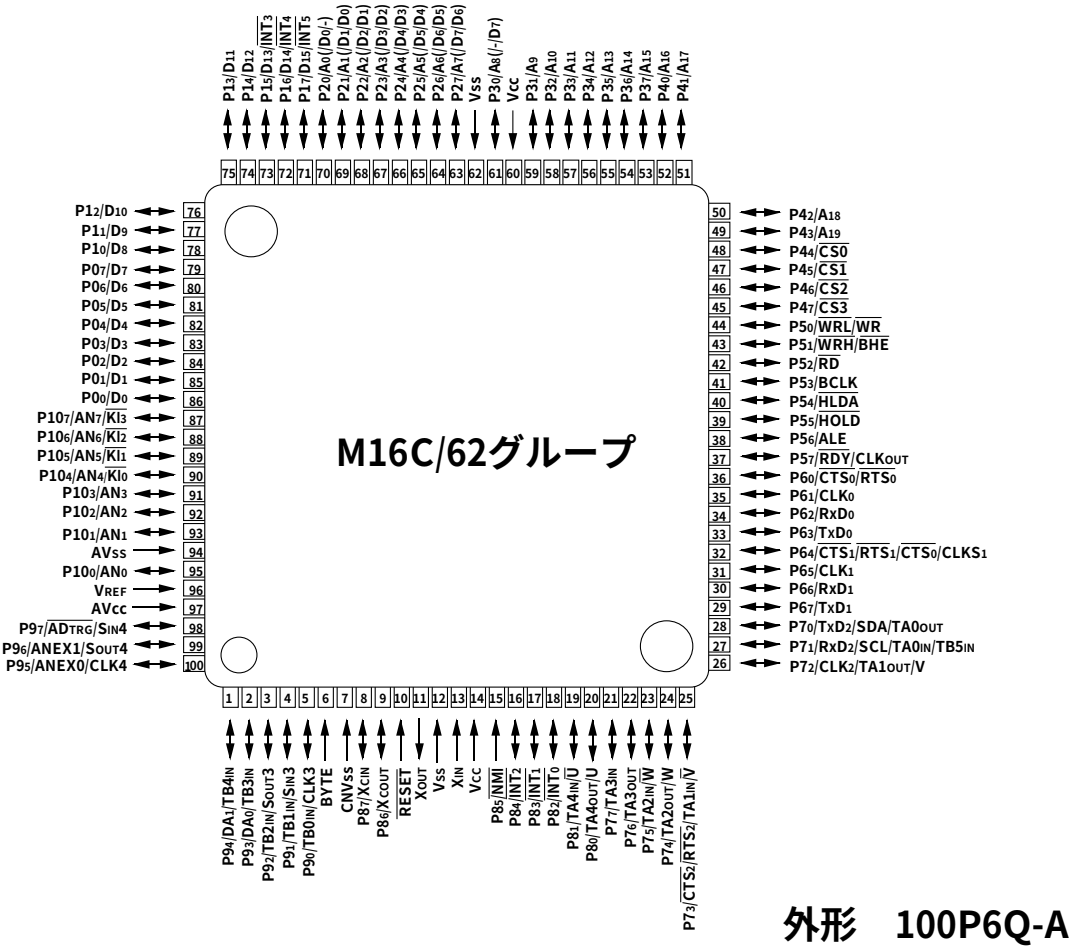
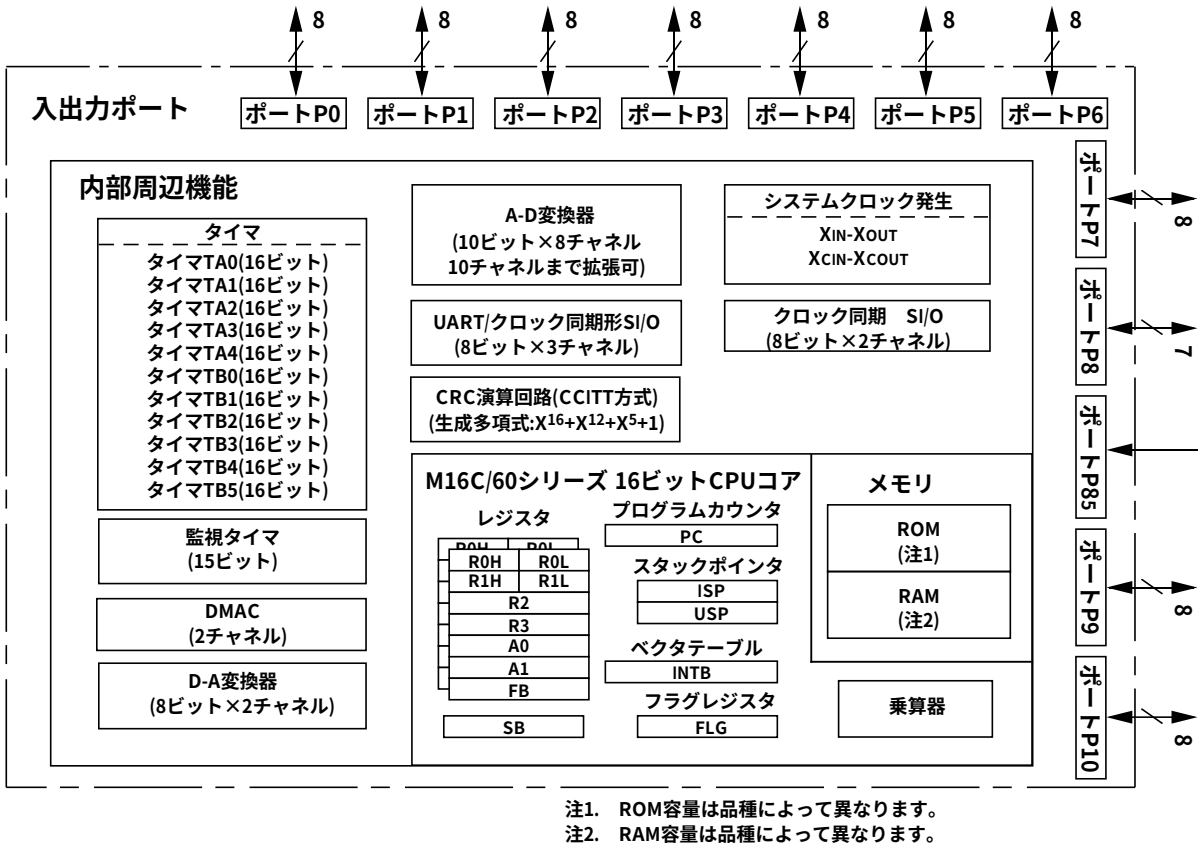


図1.1.2.　ピン接続図(上面図)

ブロック図

図1.1.3にM16C/62グループのブロック図を示します。



注1.　ROM容量は品種によって異なります。
注2.　RAM容量は品種によって異なります。

図1.1.3. M16C/62グループのブロック図

性能概要

表1.1.1にM16C/62グループの性能概要を示します。

表1.1.1. M16C/62グループの性能概要

項　　目		性　　能
基本命令数		91命令
最短命令実行時間		62.5ns(f(XIN)=16MHz、VCC=5V時) 100ns(f(XIN)=10MHz、1ウエイト、VCC=3V時) ：マスクROM、フラッシュメモリ5V版 142.9ns(f(XIN)=7MHz、1ウエイト、VCC=3V時)：ワンタイムPROM版
メモリ容量	ROM	(ROM展開の図を参照してください)
	RAM	3Kバイト～20Kバイト
入出力ポート	P0～P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形)×3
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×(8+2)チャネル
D-A変換器		8ビット×2
DMAC		2チャネル(スタート条件:24要因)
CRC演算回路		CRC-CCITT方式
監視タイマ		15ビット×1(プリスケーラ付)
割り込み		内部25要因、外部8要因、ソフトウエア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		4.2V～5.5V(f(XIN)=16MHz、ウエイトなし) ：マスクROM、フラッシュメモリ5V版 4.5V～5.5V(f(XIN)=16MHz、ウエイトなし)：ワンタイムPROM版 2.7V～5.5V(f(XIN)=10MHz、1ウエイト時) ：マスクROM、フラッシュメモリ5V版 2.7V～5.5V(f(XIN)=7MHz、1ウエイト時)：ワンタイムPROM版
消費電力		25.5mW(VCC=3V、f(XIN)=10MHz、1ウエイト時)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(1.2Mバイト、4Mバイトの拡張)
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

M16C/62グループでは次のような展開を計画しています。

(1) マスクROM版、ROM外付け版、ワンタイムPROM版、EPROM版、フラッシュメモリ版のサポート

(2) ROM容量

(3) パッケージ

100P6S-A ..... プラスチックモールドQFP(マスクROM、ワンタイムPROM、フラッシュメモリ版)

100P6Q-A ..... プラスチックモールドQFP(マスクROM、ワンタイムPROM、フラッシュメモリ版)

100D0 ..... セラミックLCC(EPROM版)

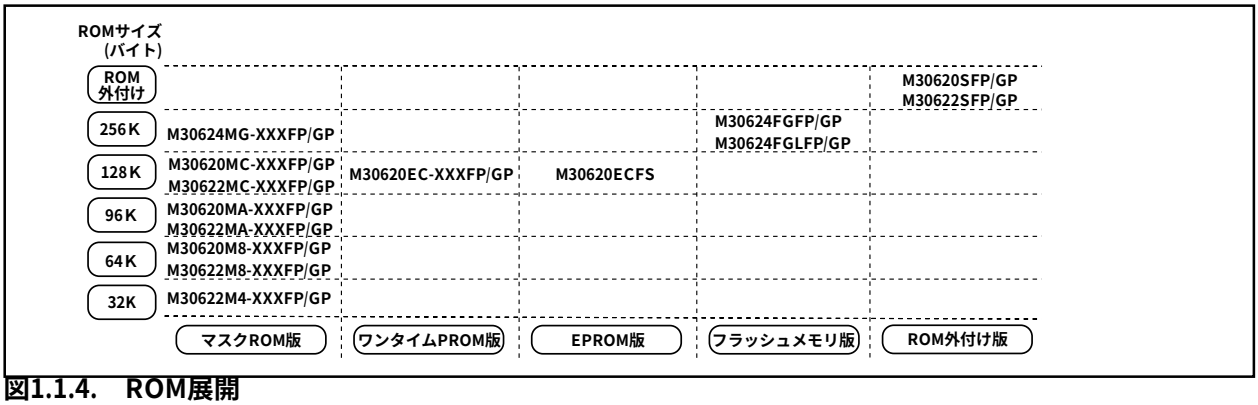


図1.1.4.　ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

2000年11月現在

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M30622M4-XXXFP	32Kバイト	3Kバイト	100P6S-A	マスクROM版
M30622M4-XXXGP			100P6Q-A	
M30620M8-XXXFP	64Kバイト	10Kバイト	100P6S-A	
M30620M8-XXXGP			100P6Q-A	
M30622M8-XXXFP		4Kバイト	100P6S-A	
M30622M8-XXXGP			100P6Q-A	
M30620MA-XXXFP	96Kバイト	10Kバイト	100P6S-A	
M30620MA-XXXGP			100P6Q-A	
M30622MA-XXXFP		5Kバイト	100P6S-A	
M30622MA-XXXGP			100P6Q-A	
M30620MC-XXXFP	128Kバイト	10Kバイト	100P6S-A	
M30620MC-XXXGP			100P6Q-A	
M30622MC-XXXFP		5Kバイト	100P6S-A	
M30622MC-XXXGP			100P6Q-A	
M30624MG-XXXFP	256Kバイト	20Kバイト	100P6S-A	
M30624MG-XXXGP			100P6Q-A	
M30620EC-XXXFP	128Kバイト	10Kバイト	100P6S-A	ワンタイムPROM版
M30620EC-XXXGP			100P6Q-A	
M30620ECFS	128Kバイト	10Kバイト	100D0	EPROM版(注1)
M30624FGFP	256Kバイト	20Kバイト	100P6S-A	フラッシュメモリ5V版
M30624FGGP			100P6Q-A	
M30624FGLFP	256Kバイト	20Kバイト	100P6S-A	フラッシュメモリ3V版
M30624FGLGP			100P6Q-A	
M30620SFP	――	10Kバイト	100P6S-A	ROM外付け版
M30620SGP			100P6Q-A	
M30622SFP		3Kバイト	100P6S-A	
M30622SGP			100P6Q-A	

注1.　EPROM版はプログラム開発用ツール(評価用)ですので、量産には使用しないでください。

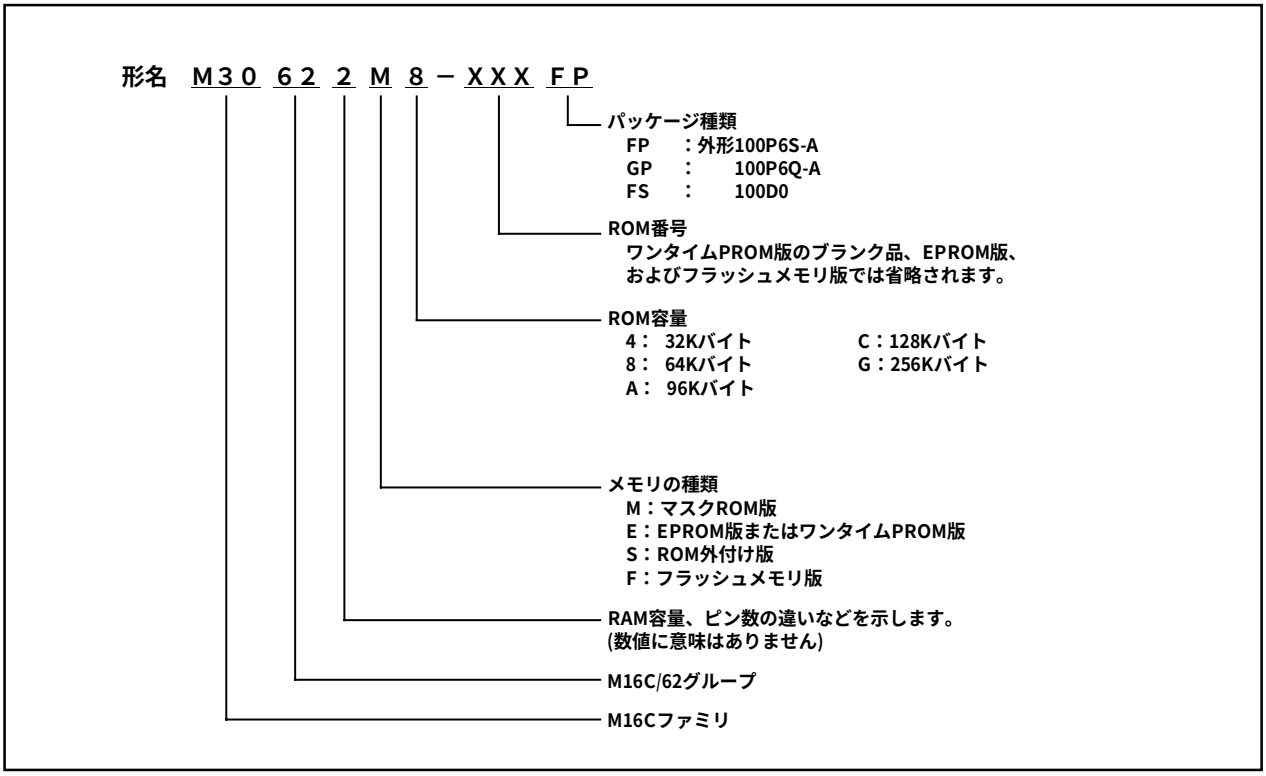


図1.1.5. 形名とメモリサイズ・パッケージ

端子の機能説明

端子名	名　称	入出力	機　　能
V_{CC}, V_{SS}	電源入力		V_{CC}端子には、2.7V～5.5Vを印加してください。V_{SS}端子には、0Vを印加してください。
CNV_{SS}	CNV_{SS}	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード（メモリ拡張モード）で動作を開始する場合V_{SS}端子に、マイクロプロセッサモードで動作を開始する場合V_{CC}端子に接続してください。
$\overline{RESET}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
X_{IN} X_{OUT}	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X_{IN}端子からクロックを入力し、X_{OUT}端子は開放にしてください。
BYTE	外部データバス幅切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、V_{SS}端子に接続してください。
AV_{CC}	アナログ電源入力		A-D変換器の電源入力端子です。V_{CC}端子に接続してください。
AV_{SS}	アナログ電源入力		A-D変換器の電源入力端子です。V_{SS}端子に接続してください。
V_{REF}	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
$P0_0$～$P0_7$	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。シングルチップモードの入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗の選択できません。
D_0～D_7		入出力	セパレートバス設定時データ(D_0～D_7)の入出力を行います。
$P1_0$～$P1_7$	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。$P1_5$～$P1_7$はソフトウェアで選択することによって、外部割り込み端子として機能します。
D_8～D_{15}		入出力	セパレートバス設定時データ(D_8～D_{15})の入出力を行います。
$P2_0$～$P2_7$	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A_0～A_7		出力	アドレスの下位8ビット(A_0～A_7)の出力を行います。
A_0/D_0～ A_7/D_7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D_0～D_7)の入出力と、アドレスの下位8ビット(A_0～A_7)の出力を時分割で行います。
A_0 A_1/D_0～ A_7/D_6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D_0～D_6)の入出力と、アドレス(A_1～A_7)の出力を時分割で行います。また、アドレス(A_0)の出力を行います。
$P3_0$～$P3_7$	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A_8～A_{15}		出力	アドレスの中位8ビット(A_8～A_{15})の出力を行います。
A_8/D_7、 A_9～A_{15}		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D_7)の入出力と、アドレス(A_8)の出力を時分割で行います。また、アドレス(A_9～A_{15})の出力を行います。
$P4_0$～$P4_7$	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A_{16}～A_{19}、 $\overline{CS_0}$～$\overline{CS_3}$		出力 出力	A_{16}～A_{19}、$\overline{CS_0}$～$\overline{CS_3}$信号を出力します。A_{16}～A_{19}はアドレスの上位4ビットです。$\overline{CS_0}$～$\overline{CS_3}$はチップセレクト信号でアクセス空間の指定に使用します。

端子の機能説明

端子名	名　称	入出力	機　　能
$P5_0$～$P5_7$	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウエアで選択することによって、$P5_7$からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
$\overline{WRL}$/$\overline{WR}$、 $\overline{WRH}$/$\overline{BHE}$、 $\overline{RD}$、 BCLK、 $\overline{HLDA}$、 $\overline{HOLD}$、 ALE、 $\overline{RDY}$		出力 出力 出力 出力 出力 入力 出力 入力	$\overline{WRL}$、$\overline{WRH}$、($\overline{WR}$、$\overline{BHE}$)、$\overline{RD}$、BCLK、$\overline{HLDA}$、ALE信号を出力します。なお、ソフトウエアによって$\overline{WRL}$、$\overline{WRH}$または、$\overline{BHE}$、$\overline{WR}$を切り替えることができます。 ■$\overline{WRL}$、$\overline{WRH}$、$\overline{RD}$選択時 外部データバス幅が16ビットの場合、$\overline{WRL}$信号が“L”レベルのとき偶数番地に、$\overline{WRH}$信号が“L”レベルのときは奇数番地に書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。 ■$\overline{WR}$、$\overline{BHE}$、$\overline{RD}$選択時 $\overline{WR}$信号が“L”レベルのとき書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。$\overline{BHE}$信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 $\overline{HOLD}$端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、$\overline{HLDA}$は“L”レベルを出力します。ALEはアドレスをラッチするための信号です。$\overline{RDY}$端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
$P6_0$～$P6_7$	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウエアで選択することによって、UART0、UART1の入出力端子として機能します。
$P7_0$～$P7_7$	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力)。ソフトウエアで選択することによって、タイマA0～A3、タイマB5またはUART2の入出力端子として機能します。
$P8_0$～$P8_4$、 $P8_6$、 $P8_7$、 $P8_5$	入出力ポートP8 入力ポート$P8_5$	入出力 入出力 入出力 入力	$P8_0$～$P8_4$、$P8_6$、$P8_7$はP6と同等の機能を持つ入出力ポートです。ソフトウエアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。$P8_6$、$P8_7$はソフトウエアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、$P8_6$(XCOUT端子)と$P8_7$(XCIN端子)の間には水晶発振子を接続してください。$P8_5$は$\overline{NMI}$と兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したとき$\overline{NMI}$割り込みが発生します。$\overline{NMI}$の機能はソフトウエアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
$P9_0$～$P9_7$	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、SI/O3, 4の入出力端子、タイマB0～B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
$P10_0$～$P10_7$	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによってA-D変換器の入力端子として機能します。また、$P10_4$～$P10_7$はキー入力割り込み機能の入力端子としても機能します。

機能ブロック動作説明

M16C/62グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.4.1に示します。アドレス空間は0000_{16}番地から$FFFFF_{16}$番地までの1Mバイトあります。

$FFFFF_{16}$番地から番地の小さい方向にROMが配置されています。例えばM30622MC-XXXFPでは、$E000_{16}$番地から$FFFFF_{16}$番地まで128Kバイトの内部ROMが配置されています。

$FFFDC_{16}$番地から$FFFFF_{16}$番地はリセットおよび$\overline{NMI}$などの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

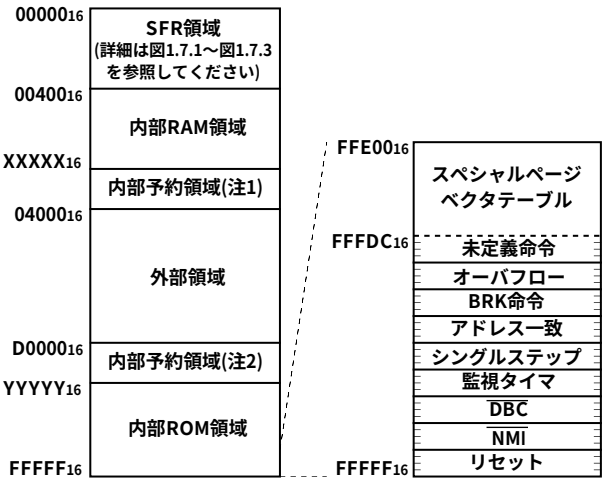
0040_{16}番地から番地の大きい方向にRAMが配置されています。例えばM30622MC-XXXFPでは、0040_{16}番地から$017FF_{16}$番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

0000_{16}番地から$003FF_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.7.1～図1.7.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

$FFE00_{16}$番地から$FFFDB_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30622MC-XXXFPでは、次の領域は使用できません。

・0180_{16}番地から$03FFF_{16}$番地(メモリ拡張モード時およびマイクロプロセッサモード時)
・$D000_{16}$番地から$DFFFF_{16}$番地(メモリ拡張モード時)



形　　名	XXXXX$_{16}$番地	YYYYY$_{16}$番地
M30622M4	$00FFF_{16}$	$F8000_{16}$
M30620M8	$02BFF_{16}$	$F0000_{16}$
M30620MA	$02BFF_{16}$	$E8000_{16}$
M30620MC/EC	$02BFF_{16}$	$E0000_{16}$
M30622M8	$013FF_{16}$	$F0000_{16}$
M30622MA	$017FF_{16}$	$E8000_{16}$
M30622MC	$017FF_{16}$	$E0000_{16}$
M30624MG/FG	$053FF_{16}$	$C0000_{16}$

注1.　メモリ拡張モード時およびマイクロプロセッサモード時
注2.　メモリ拡張モード時
注3.　このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。

図1.4.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.5.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

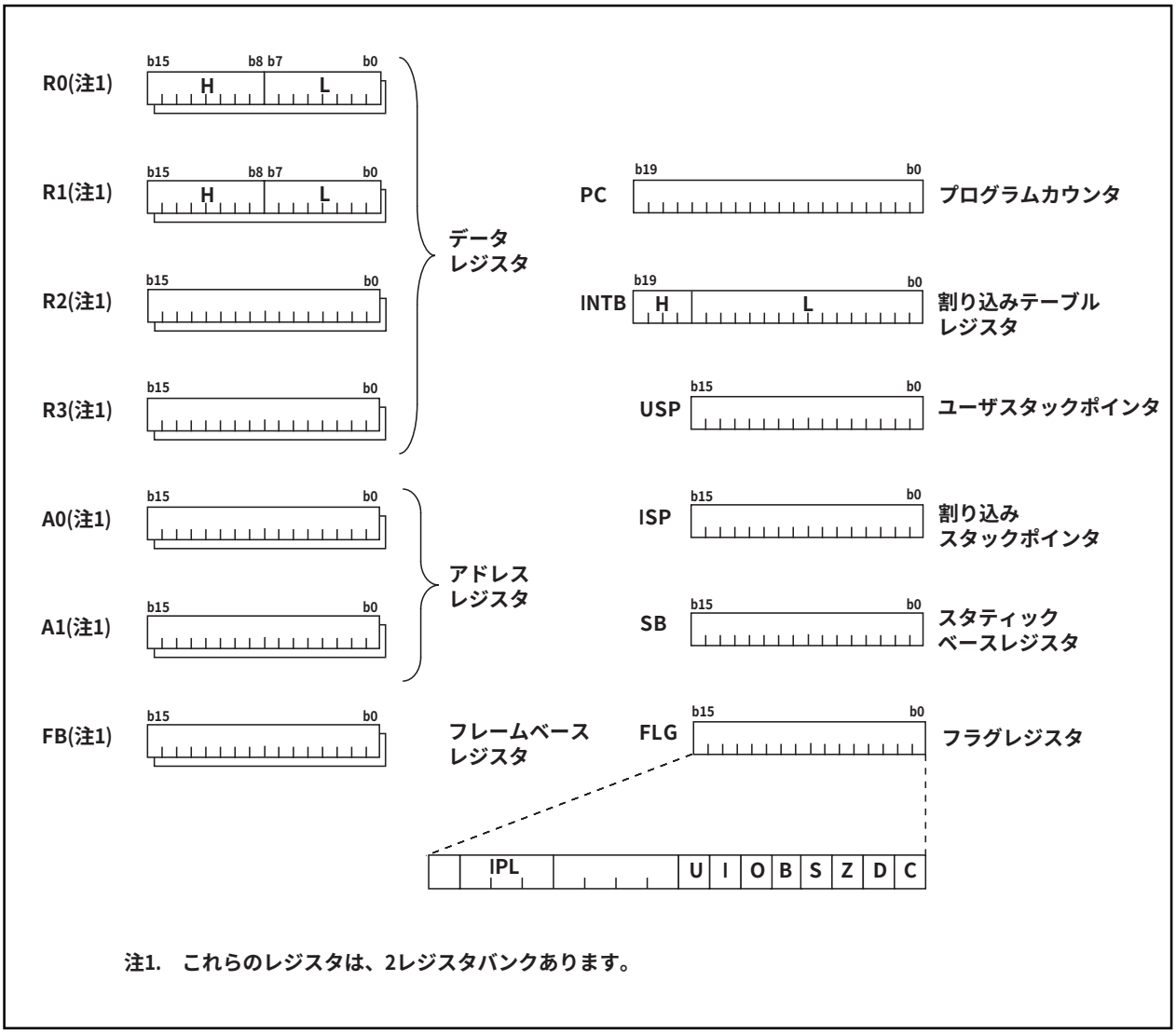


図1.5.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図1.5.2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

●ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

●ビット8～ビット11：予約領域

●ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

●ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウエアマニュアルを参照してください。

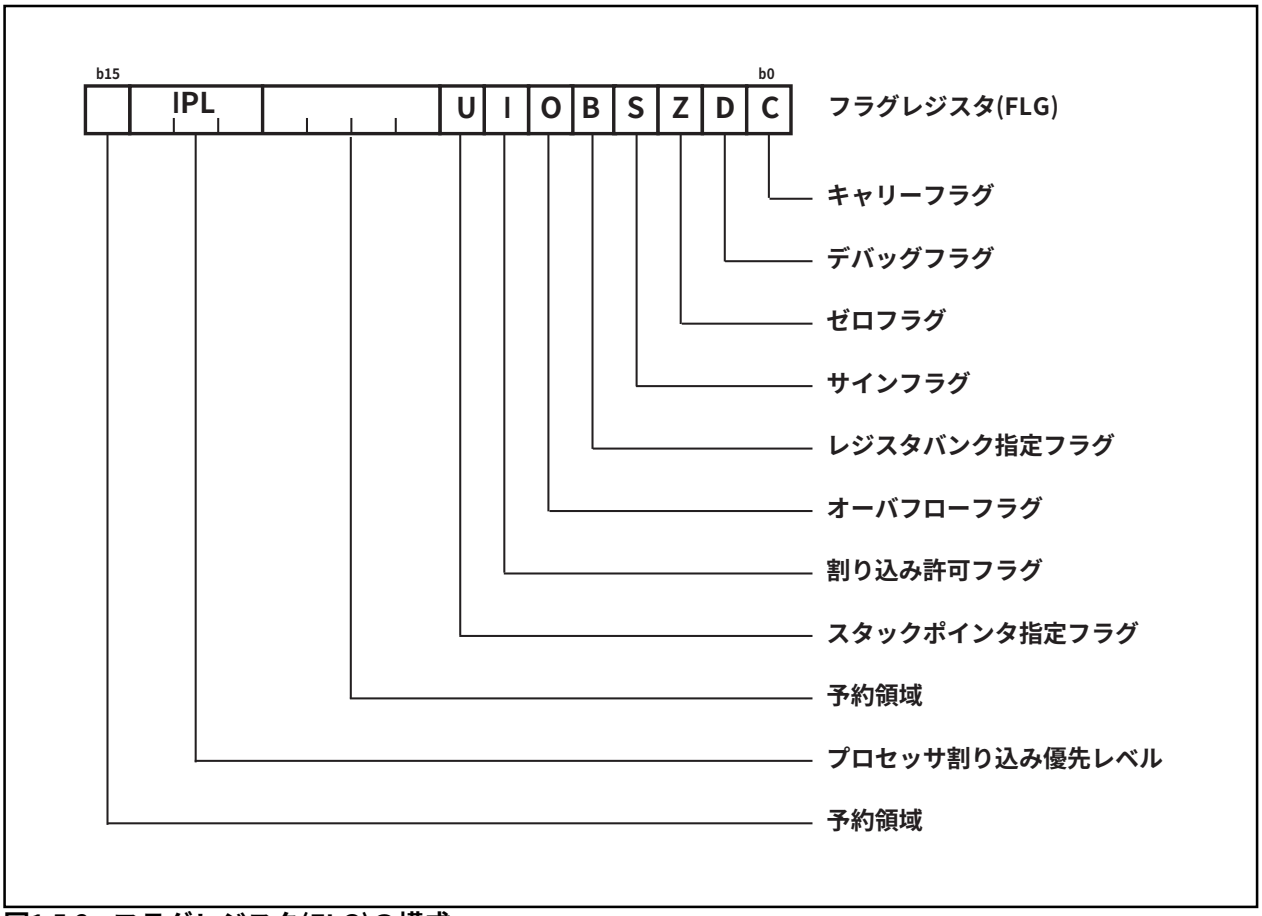


図1.5.2. フラグレジスタ(FLG)の構成

リセット

リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです(ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照)。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.6.1、リセットシーケンスを図1.6.2に示します。

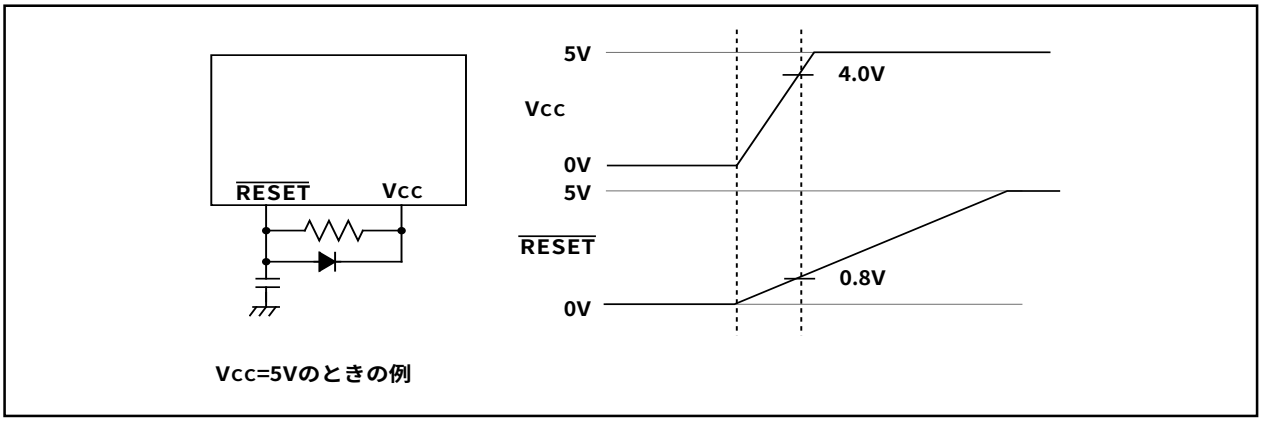


図1.6.1. リセット回路の一例

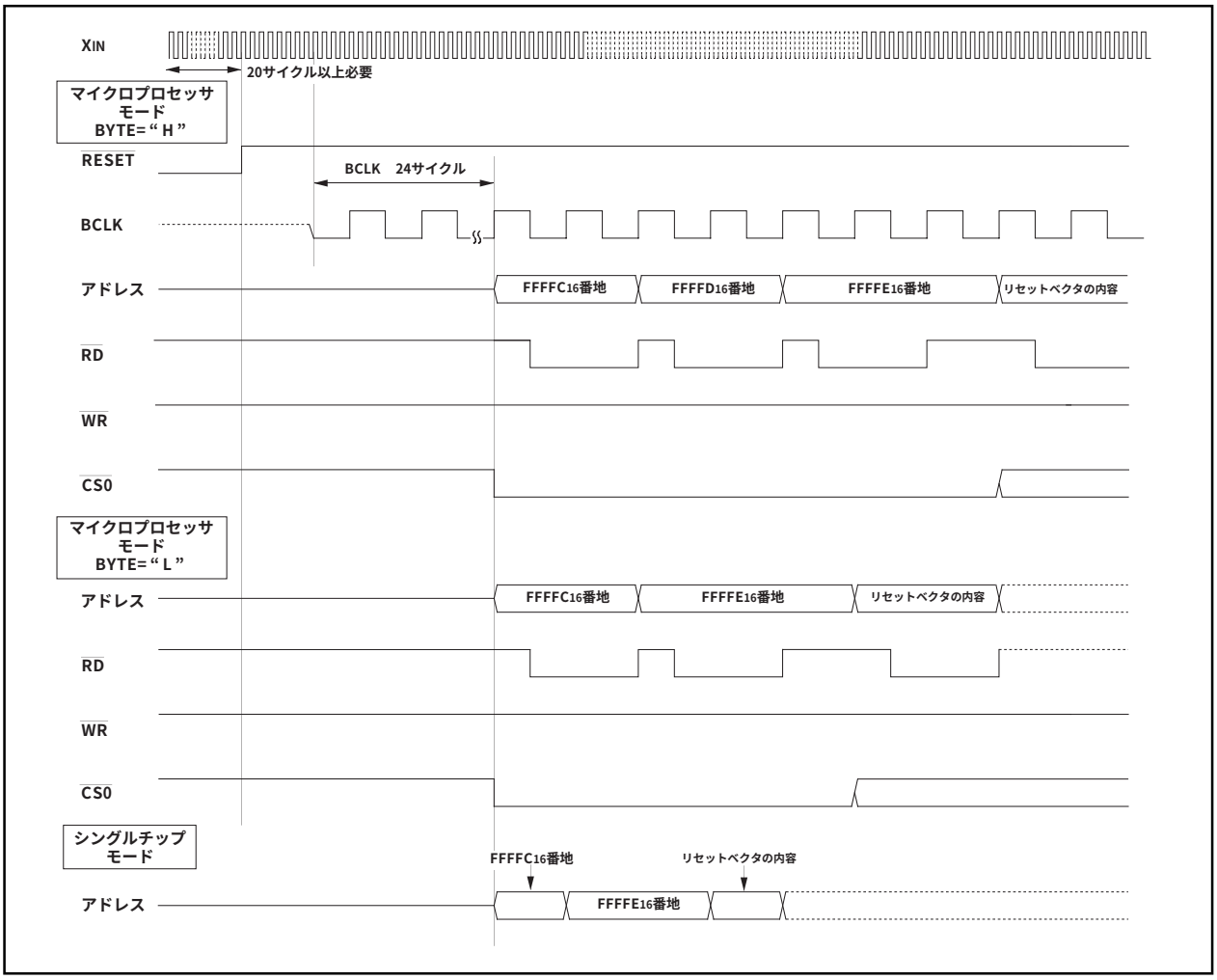


図1.6.2. リセットシーケンス

$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を表1.6.1、リセット解除直後のマイクロコンピュータの内部状態を図1.6.3、図1.6.4に示します。

表1.6.1. $\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40～P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{\text{CS0}}$出力(“H”レベルを出力)	$\overline{\text{CS0}}$出力(“H”レベルを出力)
P45～P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	$\overline{\text{WR}}$出力(“H”レベルを出力)	$\overline{\text{WR}}$出力(“H”レベルを出力)
P51	入力ポート(フローティング)	$\overline{\text{BHE}}$出力(不定)	$\overline{\text{BHE}}$出力(不定)
P52	入力ポート(フローティング)	$\overline{\text{RD}}$出力(“H”レベルを出力)	$\overline{\text{RD}}$出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)
P55	入力ポート(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)
P56	入力ポート(フローティング)	ALE出力(“L”レベルを出力)	ALE出力(“L”レベルを出力)
P57	入力ポート(フローティング)	$\overline{\text{RDY}}$入力(フローティング)	$\overline{\text{RDY}}$入力(フローティング)
P6, P7, P80～P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

(1) プロセッサモードレジスタ0(注1)	(0004_{16})・・・	00_{16}
(2) プロセッサモードレジスタ1	(0005_{16})・・・	0 0 0 0 0 × × 0
(3) システムクロック制御レジスタ0	(0006_{16})・・・	0 1 0 0 1 0 0 0
(4) システムクロック制御レジスタ1	(0007_{16})・・・	0 0 1 0 0 0 0 0
(5) チップセレクト制御レジスタ	(0008_{16})・・・	0 0 0 0 0 0 0 1
(6) アドレス一致割り込み許可レジスタ	(0009_{16})・・・	× × × × × × 0 0
(7) プロテクトレジスタ	($000A_{16}$)・・・	× × × × × 0 0 0
(8) データバンクレジスタ	($000B_{16}$)・・・	00_{16}
(9) 監視タイマ制御レジスタ	($000F_{16}$)・・・	0 0 0 ? ? ? ?
(10) アドレス一致割り込みレジスタ0	(0010_{16})・・・	00_{16}
	(0011_{16})・・・	00_{16}
	(0012_{16})・・・	× × × × 0 0 0 0
(11) アドレス一致割り込みレジスタ1	(0014_{16})・・・	00_{16}
	(0015_{16})・・・	00_{16}
	(0016_{16})・・・	× × × × 0 0 0 0
(12) DMA0制御レジスタ	($002C_{16}$)・・・	0 0 0 0 0 ? 0 0
(13) DMA1制御レジスタ	($003C_{16}$)・・・	0 0 0 0 0 ? 0 0
(14) INT3割り込み制御レジスタ	(0044_{16})・・・	× × 0 0 ? 0 0 0
(15) タイマB5割り込み制御レジスタ	(0045_{16})・・・	× × × × ? 0 0 0
(16) タイマB4割り込み制御レジスタ	(0046_{16})・・・	× × × × ? 0 0 0
(17) タイマB3割り込み制御レジスタ	(0047_{16})・・・	× × × × ? 0 0 0
(18) SI/O4割り込み制御レジスタ	(0048_{16})・・・	× × 0 0 ? 0 0 0
(19) SI/O3割り込み制御レジスタ	(0049_{16})・・・	× × 0 0 ? 0 0 0
(20) バス衝突検出割り込み制御レジスタ	($004A_{16}$)・・・	× × × × ? 0 0 0
(21) DMA0割り込み制御レジスタ	($004B_{16}$)・・・	× × × × ? 0 0 0
(22) DMA1割り込み制御レジスタ	($004C_{16}$)・・・	× × × × ? 0 0 0
(23) キー入力割り込み制御レジスタ	($004D_{16}$)・・・	× × × × ? 0 0 0
(24) A-D変換割り込み制御レジスタ	($004E_{16}$)・・・	× × × × ? 0 0 0
(25) UART2送信割り込み制御レジスタ	($004F_{16}$)・・・	× × × × ? 0 0 0
(26) UART2受信割り込み制御レジスタ	(0050_{16})・・・	× × × × ? 0 0 0
(27) UART0送信割り込み制御レジスタ	(0051_{16})・・・	× × × × ? 0 0 0
(28) UART0受信割り込み制御レジスタ	(0052_{16})・・・	× × × × ? 0 0 0
(29) UART1送信割り込み制御レジスタ	(0053_{16})・・・	× × × × ? 0 0 0
(30) UART1受信割り込み制御レジスタ	(0054_{16})・・・	× × × × ? 0 0 0
(31) タイマA0割り込み制御レジスタ	(0055_{16})・・・	× × × × ? 0 0 0
(32) タイマA1割り込み制御レジスタ	(0056_{16})・・・	× × × × ? 0 0 0
(33) タイマA2割り込み制御レジスタ	(0057_{16})・・・	× × × × ? 0 0 0
(34) タイマA3割り込み制御レジスタ	(0058_{16})・・・	× × × × ? 0 0 0
(35) タイマA4割り込み制御レジスタ	(0059_{16})・・・	× × × × ? 0 0 0
(36) タイマB0割り込み制御レジスタ	($005A_{16}$)・・・	× × × × ? 0 0 0
(37) タイマB1割り込み制御レジスタ	($005B_{16}$)・・・	× × × × ? 0 0 0
(38) タイマB2割り込み制御レジスタ	($005C_{16}$)・・・	× × × × ? 0 0 0
(39) INT0割り込み制御レジスタ	($005D_{16}$)・・・	× × 0 0 ? 0 0 0
(40) INT1割り込み制御レジスタ	($005E_{16}$)・・・	× × 0 0 ? 0 0 0
(41) INT2割り込み制御レジスタ	($005F_{16}$)・・・	× × 0 0 ? 0 0 0
(42) タイマB3,4,5カウント開始フラグ	(0340_{16})・・・	0 0 0 × × × × ×
(43) 三相PWM制御レジスタ0	(0348_{16})・・・	00_{16}
(44) 三相PWM制御レジスタ1	(0349_{16})・・・	00_{16}
(45) 三相出力バッファレジスタ0	($034A_{16}$)・・・	00_{16}
(46) 三相出力バッファレジスタ1	($034B_{16}$)・・・	00_{16}
(47) タイマB3モードレジスタ	($035B_{16}$)・・・	0 0 ? 0 0 0 0
(48) タイマB4モードレジスタ	($035C_{16}$)・・・	0 0 ? 0 0 0 0
(49) タイマB5モードレジスタ	($035D_{16}$)・・・	0 0 ? 0 0 0 0
(50) 割り込み要因選択レジスタ	($035F_{16}$)・・・	00_{16}
(51) SI/O3制御レジスタ	(0362_{16})・・・	40_{16}
(52) SI/O4制御レジスタ	(0366_{16})・・・	40_{16}
(53) UART2特殊モードレジスタ2	(0376_{16})・・・	00_{16}
(54) UART2特殊モードレジスタ	(0377_{16})・・・	00_{16}
(55) UART2送受信モードレジスタ	(0378_{16})・・・	00_{16}
(56) UART2送受信制御レジスタ0	($037C_{16}$)・・・	0 0 0 0 1 0 0 0
(57) UART2送受信制御レジスタ1	($037D_{16}$)・・・	0 0 0 0 0 0 1 0

×：このビットは何も配置されていません。
？：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1.　CNVss端子にVccレベルを印加しているときは、リセット時03_{16}になります。

図1.6.3. リセット解除後のマイクロコンピュータの内部状態(1)

(58) カウント開始フラグ	(0380_{16})・・・	00$_{16}$							
(59) 時計用プリスケーラリセットフラグ	(0381_{16})・・・	0	×	×	×	×	×	×	×
(60) ワンショット開始フラグ	(0382_{16})・・・	0	0	×	0	0	0	0	0
(61) トリガ選択レジスタ	(0383_{16})・・・	00$_{16}$							
(62) アップダウンフラグ	(0384_{16})・・・	00$_{16}$							
(63) タイマA0モードレジスタ	(0396_{16})・・・	00$_{16}$							
(64) タイマA1モードレジスタ	(0397_{16})・・・	00$_{16}$							
(65) タイマA2モードレジスタ	(0398_{16})・・・	00$_{16}$							
(66) タイマA3モードレジスタ	(0399_{16})・・・	00$_{16}$							
(67) タイマA4モードレジスタ	$(039A_{16})$・・・	00$_{16}$							
(68) タイマB0モードレジスタ	$(039B_{16})$・・・	0	0	?	0	0	0	0	
(69) タイマB1モードレジスタ	$(039C_{16})$・・・	0	0	?	0	0	0	0	
(70) タイマB2モードレジスタ	$(039D_{16})$・・・	0	0	?	0	0	0	0	
(71) UART0送受信モードレジスタ	$(03A0_{16})$・・・	00$_{16}$							
(72) UART0送受信制御レジスタ0	$(03A4_{16})$・・・	0	0	0	0	1	0	0	0
(73) UART0送受信制御レジスタ1	$(03A5_{16})$・・・	0	0	0	0	0	0	1	0
(74) UART1送受信モードレジスタ	$(03A8_{16})$・・・	00$_{16}$							
(75) UART1送受信制御レジスタ0	$(03AC_{16})$・・・	0	0	0	0	1	0	0	0
(76) UART1送受信制御レジスタ1	$(03AD_{16})$・・・	0	0	0	0	0	0	1	0
(77) UART送受信制御レジスタ2	$(03B0_{16})$・・・	×	0	0	0	0	0	0	0
(78) フラッシュメモリ制御レジスタ1(注2)	$(03B6_{16})$・・・	?	?	?	?	0	?	?	?
(79) フラッシュメモリ制御レジスタ0(注2)	$(03B7_{16})$・・・	×	×	0	0	0	0	0	1
(80) DMA0要因選択レジスタ	$(03B8_{16})$・・・	00$_{16}$							
(81) DMA1要因選択レジスタ	$(03BA_{16})$・・・	00$_{16}$							
(82) A-D制御レジスタ2	$(03D4_{16})$・・・	0	0	0	0	×	×	×	0
(83) A-D制御レジスタ0	$(03D6_{16})$・・・	0	0	0	0	0	?	?	?

(84) A-D制御レジスタ1	$(03D7_{16})$・・・	00$_{16}$							
(85) D-A制御レジスタ	$(03DC_{16})$・・・	00$_{16}$							
(86) ポートP0方向レジスタ	$(03E2_{16})$・・・	00$_{16}$							
(87) ポートP1方向レジスタ	$(03E3_{16})$・・・	00$_{16}$							
(88) ポートP2方向レジスタ	$(03E6_{16})$・・・	00$_{16}$							
(89) ポートP3方向レジスタ	$(03E7_{16})$・・・	00$_{16}$							
(90) ポートP4方向レジスタ	$(03EA_{16})$・・・	00$_{16}$							
(91) ポートP5方向レジスタ	$(03EB_{16})$・・・	00$_{16}$							
(92) ポートP6方向レジスタ	$(03EE_{16})$・・・	00$_{16}$							
(93) ポートP7方向レジスタ	$(03EF_{16})$・・・	00$_{16}$							
(94) ポートP8方向レジスタ	$(03F2_{16})$・・・	0	0	×	0	0	0	0	0
(95) ポートP9方向レジスタ	$(03F3_{16})$・・・	00$_{16}$							
(96) ポートP10方向レジスタ	$(03F6_{16})$・・・	00$_{16}$							
(97) プルアップ制御レジスタ0	$(03FC_{16})$・・・	00$_{16}$							
(98) プルアップ制御レジスタ1(注1)	$(03FD_{16})$・・・	00$_{16}$							
(99) プルアップ制御レジスタ2	$(03FE_{16})$・・・	00$_{16}$							
(100) ポート制御レジスタ	$(03FF_{16})$・・・	00$_{16}$							
(101) データレジスタ(R0/R1/R2/R3)		0000$_{16}$							
(102) アドレスレジスタ(A0/A1)		0000$_{16}$							
(103) フレームベースレジスタ(FB)		0000$_{16}$							
(104) 割り込みテーブルレジスタ(INTB)		00000$_{16}$							
(105) ユーザスタックポインタ(USP)		0000$_{16}$							
(106) 割り込みスタックポインタ(ISP)		0000$_{16}$							
(107) スタティックベースレジスタ(SB)		0000$_{16}$							
(108) フラグレジスタ(FLG)		0000$_{16}$							

×：このビットは何も配置されていません。
？：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1．CNVss端子にVccレベルを印加しているときは、リセット時02_{16}になります。
注2．このレジスタは、フラッシュメモリ版にのみ存在します。

図1.6.4. リセット解除後のマイクロコンピュータの内部状態(2)

0000_{16}	
0001_{16}	
0002_{16}	
0003_{16}	
0004_{16}	プロセッサモードレジスタ0(PM0)
0005_{16}	プロセッサモードレジスタ1(PM1)
0006_{16}	システムクロック制御レジスタ０(CM0)
0007_{16}	システムクロック制御レジスタ１(CM1)
0008_{16}	チップセレクト制御レジスタ(CSR)
0009_{16}	アドレス一致割り込み許可レジスタ(AIER)
$000A_{16}$	プロテクトレジスタ(PRCR)
$000B_{16}$	データバンクレジスタ(DBR)
$000C_{16}$	
$000D_{16}$	
$000E_{16}$	監視タイマスタートレジスタ(WDTS)
$000F_{16}$	監視タイマ制御レジスタ(WDC)
0010_{16}	アドレス一致割り込みレジスタ０(RMAD0)
0011_{16}	
0012_{16}	
0013_{16}	
0014_{16}	アドレス一致割り込みレジスタ１(RMAD1)
0015_{16}	
0016_{16}	
0017_{16}	
0018_{16}	
0019_{16}	
$001A_{16}$	
$001B_{16}$	
$001C_{16}$	
$001D_{16}$	
$001E_{16}$	
$001F_{16}$	
0020_{16}	DMA0ソースポインタ(SAR0)
0021_{16}	
0022_{16}	
0023_{16}	
0024_{16}	DMA0ディスティネーションポインタ(DAR0)
0025_{16}	
0026_{16}	
0027_{16}	
0028_{16}	DMA0転送カウンタ(TCR0)
0029_{16}	
$002A_{16}$	
$002B_{16}$	
$002C_{16}$	DMA0制御レジスタ(DM0CON)
$002D_{16}$	
$002E_{16}$	
$002F_{16}$	
0030_{16}	DMA1ソースポインタ(SAR1)
0031_{16}	
0032_{16}	
0033_{16}	
0034_{16}	DMA1ディスティネーションポインタ(DAR1)
0035_{16}	
0036_{16}	
0037_{16}	
0038_{16}	DMA1転送カウンタ(TCR1)
0039_{16}	
$003A_{16}$	
$003B_{16}$	
$003C_{16}$	DMA1制御レジスタ(DM1CON)
$003D_{16}$	
$003E_{16}$	
$003F_{16}$	

0040_{16}	
0041_{16}	
0042_{16}	
0043_{16}	
0044_{16}	INT3割り込み制御レジスタ(INT3IC)
0045_{16}	タイマB5割り込み制御レジスタ(TB5IC)
0046_{16}	タイマB4割り込み制御レジスタ(TB4IC)
0047_{16}	タイマB3割り込み制御レジスタ(TB3IC)
0048_{16}	SI/O4割り込み制御レジスタ(S4IC) INT5割り込み制御レジスタ(INT5IC)
0049_{16}	SI/O3割り込み制御レジスタ(S3IC) INT4割り込み制御レジスタ(INT4IC)
$004A_{16}$	バス衝突検出割り込み制御レジスタ (BCNIC)
$004B_{16}$	DMA0割り込み制御レジスタ (DM0IC)
$004C_{16}$	DMA1割り込み制御レジスタ(DM1IC)
$004D_{16}$	キー入力割り込み制御レジスタ(KUPIC)
$004E_{16}$	A-D変換割り込み制御レジスタ(ADIC)
$004F_{16}$	UART2送信割り込み制御レジスタ(S2TIC)
0050_{16}	UART2受信割り込み制御レジスタ(S2RIC)
0051_{16}	UART0送信割り込み制御レジスタ(S0TIC)
0052_{16}	UART0受信割り込み制御レジスタ(S0RIC)
0053_{16}	UART1送信割り込み制御レジスタ(S1TIC)
0054_{16}	UART1受信割り込み制御レジスタ(S1RIC)
0055_{16}	タイマA0割り込み制御レジスタ(TA0IC)
0056_{16}	タイマA1割り込み制御レジスタ(TA1IC)
0057_{16}	タイマA2割り込み制御レジスタ(TA2IC)
0058_{16}	タイマA3割り込み制御レジスタ(TA3IC)
0059_{16}	タイマA4割り込み制御レジスタ(TA4IC)
$005A_{16}$	タイマB0割り込み制御レジスタ(TB0IC)
$005B_{16}$	タイマB1割り込み制御レジスタ(TB1IC)
$005C_{16}$	タイマB2割り込み制御レジスタ(TB2IC)
$005D_{16}$	INT0割り込み制御レジスタ(INT0IC)
$005E_{16}$	INT1割り込み制御レジスタ(INT1IC)
$005F_{16}$	INT2割り込み制御レジスタ(INT2IC)
0060_{16}	
0061_{16}	
0062_{16}	
0063_{16}	
0064_{16}	
0065_{16}	
≈	≈
$032A_{16}$	
$032B_{16}$	
$032C_{16}$	
$032D_{16}$	
$032E_{16}$	
$032F_{16}$	
0330_{16}	
0331_{16}	
0332_{16}	
0333_{16}	
0334_{16}	
0335_{16}	
0336_{16}	
0337_{16}	
0338_{16}	
0339_{16}	
$033A_{16}$	
$033B_{16}$	
$033C_{16}$	
$033D_{16}$	
$033E_{16}$	
$033F_{16}$	

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.1. 周辺装置制御レジスタの配置(1)

0340₁₆	タイマB3,4,5カウント開始フラグ(TBSR)
0341₁₆	
0342₁₆	タイマA1-1レジスタ(TA11)
0343₁₆	
0344₁₆	タイマA2-1レジスタ(TA21)
0345₁₆	
0346₁₆	タイマA4-1レジスタ(TA41)
0347₁₆	
0348₁₆	三相PWM制御レジスタ0(INVC0)
0349₁₆	三相PWM制御レジスタ1(INVC1)
034A₁₆	三相出力バッファレジスタ0(IDB0)
034B₁₆	三相出力バッファレジスタ1(IDB1)
034C₁₆	短絡防止タイマ(DTT)
034D₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)
034E₁₆	
034F₁₆	
0350₁₆	タイマB3レジスタ(TB3)
0351₁₆	
0352₁₆	タイマB4レジスタ(TB4)
0353₁₆	
0354₁₆	タイマB5レジスタ(TB5)
0355₁₆	
0356₁₆	
0357₁₆	
0358₁₆	
0359₁₆	
035A₁₆	
035B₁₆	タイマB3モードレジスタ(TB3MR)
035C₁₆	タイマB4モードレジスタ(TB4MR)
035D₁₆	タイマB5モードレジスタ(TB5MR)
035E₁₆	
035F₁₆	割り込み要因選択レジスタ(IFSR)
0360₁₆	SI/O3送受信レジスタ(S3TRR)
0361₁₆	
0362₁₆	SI/O3制御レジスタ(S3C)
0363₁₆	SI/O3転送速度レジスタ(S3BRG)
0364₁₆	SI/O4送受信レジスタ(S4TRR)
0365₁₆	
0366₁₆	SI/O4制御レジスタ(S4C)
0367₁₆	SI/O4転送速度レジスタ(S4BRG)
0368₁₆	
0369₁₆	
036A₁₆	
036B₁₆	
036C₁₆	
036D₁₆	
036E₁₆	
036F₁₆	
0370₁₆	
0371₁₆	
0372₁₆	
0373₁₆	
0374₁₆	
0375₁₆	
0376₁₆	UART2特殊モードレジスタ2(U2SMR2)
0377₁₆	UART2特殊モードレジスタ(U2SMR)
0378₁₆	UART2送受信モードレジスタ(U2MR)
0379₁₆	UART2転送速度レジスタ(U2BRG)
037A₁₆	UART2送信バッファレジスタ(U2TB)
037B₁₆	
037C₁₆	UART2送受信制御レジスタ0(U2C0)
037D₁₆	UART2送受信制御レジスタ1(U2C1)
037E₁₆	UART2受信バッファレジスタ(U2RB)
037F₁₆	

0380₁₆	カウント開始フラグ(TABSR)
0381₁₆	時計用プリスケーラリセットフラグ(CPSRF)
0382₁₆	ワンショット開始フラグ(ONSF)
0383₁₆	トリガ選択レジスタ(TRGSR)
0384₁₆	アップダウンフラグ(UDF)
0385₁₆	
0386₁₆	タイマA0(TA0)
0387₁₆	
0388₁₆	タイマA1(TA1)
0389₁₆	
038A₁₆	タイマA2(TA2)
038B₁₆	
038C₁₆	タイマA3(TA3)
038D₁₆	
038E₁₆	タイマA4(TA4)
038F₁₆	
0390₁₆	タイマB0(TB0)
0391₁₆	
0392₁₆	タイマB1(TB1)
0393₁₆	
0394₁₆	タイマB2(TB2)
0395₁₆	
0396₁₆	タイマA0モードレジスタ(TA0MR)
0397₁₆	タイマA1モードレジスタ(TA1MR)
0398₁₆	タイマA2モードレジスタ(TA2MR)
0399₁₆	タイマA3モードレジスタ(TA3MR)
039A₁₆	タイマA4モードレジスタ(TA4MR)
039B₁₆	タイマB0モードレジスタ(TB0MR)
039C₁₆	タイマB1モードレジスタ(TB1MR)
039D₁₆	タイマB2モードレジスタ(TB2MR)
039E₁₆	
039F₁₆	
03A0₁₆	UART0送受信モードレジスタ(U0MR)
03A1₁₆	UART0転送速度レジスタ(U0BRG)
03A2₁₆	UART0送信バッファレジスタ(U0TB)
03A3₁₆	
03A4₁₆	UART0送受信制御レジスタ０(U0C0)
03A5₁₆	UART0送受信制御レジスタ１(U0C1)
03A6₁₆	UART0受信バッファレジスタ(U0RB)
03A7₁₆	
03A8₁₆	UART1送受信モードレジスタ(U1MR)
03A9₁₆	UART1転送速度レジスタ(U1BRG)
03AA₁₆	UART1送信バッファレジスタ(U1TB)
03AB₁₆	
03AC₁₆	UART1送受信制御レジスタ０(U1C0)
03AD₁₆	UART1送受信制御レジスタ１(U1C1)
03AE₁₆	UART1受信バッファレジスタ(U1RB)
03AF₁₆	
03B0₁₆	UART送受信制御レジスタ2(UCON)
03B1₁₆	
03B2₁₆	
03B3₁₆	
03B4₁₆	
03B5₁₆	
03B6₁₆	フラッシュメモリ制御レジスタ1(FMR1)(注1)
03B7₁₆	フラッシュメモリ制御レジスタ0(FMR0)(注1)
03B8₁₆	DMA0要因選択レジスタ(DM0SL)
03B9₁₆	
03BA₁₆	DMA1要因選択レジスタ(DM1SL)
03BB₁₆	
03BC₁₆	CRCデータレジスタ(CRCD)
03BD₁₆	
03BE₁₆	CRCインプットレジスタ(CRCIN)
03BF₁₆	

注1.　このレジスタはフラッシュメモリ版にのみ存在します。
注2.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.2.　周辺装置制御レジスタの配置(2)

03C0$_{16}$ 03C1$_{16}$	A-Dレジスタ0(AD0)
03C2$_{16}$ 03C3$_{16}$	A-Dレジスタ1(AD1)
03C4$_{16}$ 03C5$_{16}$	A-Dレジスタ2(AD2)
03C6$_{16}$ 03C7$_{16}$	A-Dレジスタ3(AD3)
03C8$_{16}$ 03C9$_{16}$	A-Dレジスタ4(AD4)
03CA$_{16}$ 03CB$_{16}$	A-Dレジスタ5(AD5)
03CC$_{16}$ 03CD$_{16}$	A-Dレジスタ6(AD6)
03CE$_{16}$ 03CF$_{16}$	A-Dレジスタ7(AD7)
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	A-D制御レジスタ2(ADCON2)
03D5$_{16}$	
03D6$_{16}$	A-D制御レジスタ0(ADCON0)
03D7$_{16}$	A-D制御レジスタ1(ADCON1)
03D8$_{16}$	D-Aレジスタ0(DA0)
03D9$_{16}$	
03DA$_{16}$	D-Aレジスタ1(DA1)
03DB$_{16}$	
03DC$_{16}$	D-A制御レジスタ(DACON)
03DD$_{16}$	
03DE$_{16}$	
03DF$_{16}$	
03E0$_{16}$	ポートP0(P0)
03E1$_{16}$	ポートP1(P1)
03E2$_{16}$	ポートP0方向レジスタ(PD0)
03E3$_{16}$	ポートP1方向レジスタ(PD1)
03E4$_{16}$	ポートP2(P2)
03E5$_{16}$	ポートP3(P3)
03E6$_{16}$	ポートP2方向レジスタ(PD2)
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4(P4)
03E9$_{16}$	ポートP5(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	ポートP5方向レジスタ(PD5)
03EC$_{16}$	ポートP6(P6)
03ED$_{16}$	ポートP7(P7)
03EE$_{16}$	ポートP6方向レジスタ(PD6)
03EF$_{16}$	ポートP7方向レジスタ(PD7)
03F0$_{16}$	ポートP8(P8)
03F1$_{16}$	ポートP9(P9)
03F2$_{16}$	ポートP8方向レジスタ(PD8)
03F3$_{16}$	ポートP9方向レジスタ(PD9)
03F4$_{16}$	ポートP10(P10)
03F5$_{16}$	
03F6$_{16}$	ポートP10方向レジスタ(PD10)
03F7$_{16}$	
03F8$_{16}$	
03F9$_{16}$	
03FA$_{16}$	
03FB$_{16}$	
03FC$_{16}$	プルアップ制御レジスタ０(PUR0)
03FD$_{16}$	プルアップ制御レジスタ１(PUR1)
03FE$_{16}$	プルアップ制御レジスタ２(PUR2)
03FF$_{16}$	ポート制御レジスタ(PCR)

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.3.　周辺装置制御レジスタの配置(3)

メモリ空間拡張機能

メモリ空間拡張機能について説明します。

プロセッサモードがメモリ拡張モードおよびマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張することができます。メモリ空間拡張機能には、次の3つのモードがあります。

(1)ノーマルモード (拡張なし)
(2)メモリ空間拡張モード1 (以下、拡張モード1)
(3)メモリ空間拡張モード2 (以下、拡張モード2)

各モードの選択はプロセッサモードレジスタ1のビット5、4(PM15,PM14)で設定します。モードごとに、チップセレクト信号により指定される外部領域が異なり、アクセス可能なメモリ空間が変化します。表1.8.1に各モードごとの設定方法とアクセス可能なメモリ空間を示します。チップセレクト信号により指定される外部領域については、33ページの表1.12.1を参照してください。

表1.8.1. メモリ空間拡張各モードの設定方法およびメモリ空間

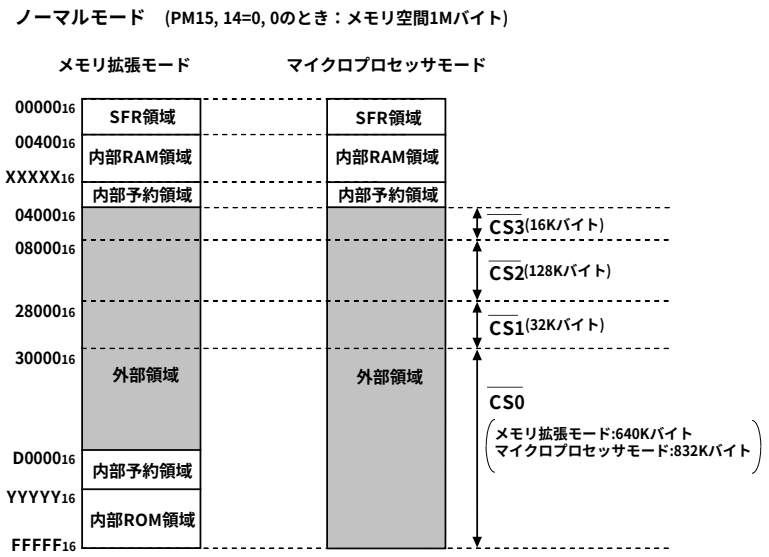
拡張モード	設定方法(PM15,PM14)	アクセス可能なメモリ空間
ノーマルモード(拡張なし)	0, 0	最大1Mバイト
拡張モード1	1, 0	最大1.2Mバイト
拡張モード2	1, 1	最大4Mバイト

以下に各拡張モードについて説明します。

(1)ノーマルモード(拡張なし)

メモリ空間を拡張しない通常モードです。

ノーマルモード時のメモリ配置図およびチップセレクト領域を図1.8.1に示します。



形　　名	XXXXX₁₆番地	YYYYY₁₆番地
M30622M4	00FFF₁₆	F8000₁₆
M30620M8	02BFF₁₆	F0000₁₆
M30620MA	02BFF₁₆	E8000₁₆
M30620MC/EC	02BFF₁₆	E0000₁₆
M30622M8	013FF₁₆	F0000₁₆
M30622MA	017FF₁₆	E8000₁₆
M30622MC	017FF₁₆	E0000₁₆
M30624MG/FG	053FF₁₆	C0000₁₆

注1. このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。
注2. シングルチップモード時のメモリ配置図は省略しています。

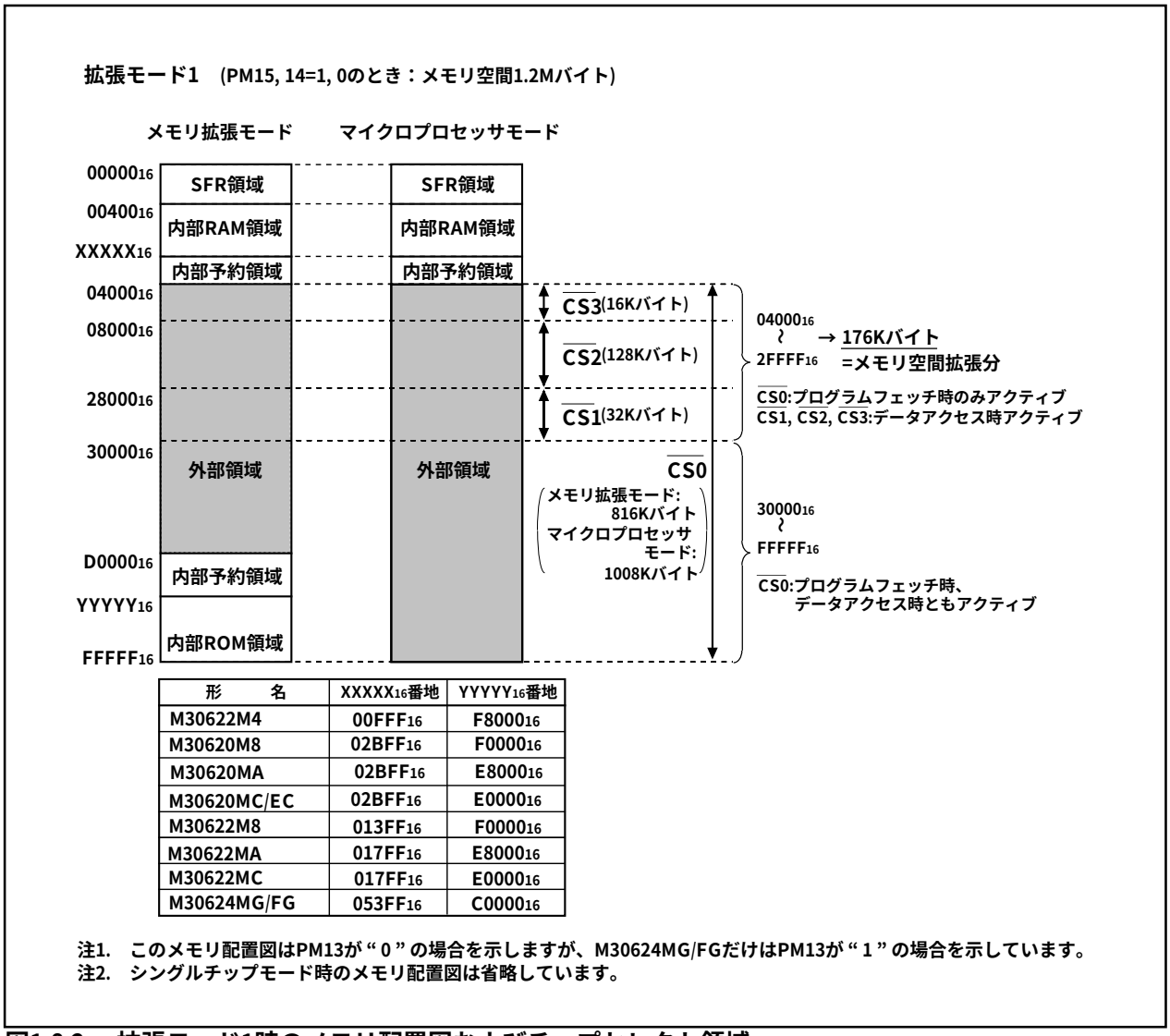
図1.8.1. ノーマルモード時のメモリ配置およびチップセレクト領域

(2) 拡張モード1

メモリ空間を通常モードより176Kバイト拡張することができます。

拡張モード1時のメモリ配置図およびチップセレクト領域を図1.8.2に示します。

拡張モード1時、0400016番地～2FFFF16番地の領域ではデータアクセス時に$\overline{CS3}$、$\overline{CS2}$、$\overline{CS1}$がアクティブになり、プログラムフェッチ時に$\overline{CS0}$がアクティブになります。30000016番地以降の領域では、データアクセス時、プログラムフェッチ時ともに$\overline{CS0}$がアクティブになります。つまり、0400016番地～2FFFF16番地(176Kバイト)をデータアクセス($\overline{CS3}$、$\overline{CS2}$、$\overline{CS1}$)とプログラムフェッチ($\overline{CS0}$)で使い分けることにより、アドレス空間を拡張します。



形　　名	XXXXX16番地	YYYYY16番地
M30622M4	00FFF16	F8000016
M30620M8	02BFF16	F0000016
M30620MA	02BFF16	E8000016
M30620MC/EC	02BFF16	E0000016
M30622M8	013FF16	F0000016
M30622MA	017FF16	E8000016
M30622MC	017FF16	E0000016
M30624MG/FG	053FF16	C0000016

注1. このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。
注2. シングルチップモード時のメモリ配置図は省略しています。

図1.8.2. 拡張モード1時のメモリ配置図およびチップセレクト領域

接続例

拡張モード1時の接続例を図1.8.3に示します。

この例では、$\overline{CS0}$を1Mバイトフラッシュ ROMに接続し、$\overline{CS2}$を128KバイトSRAMに接続しています。

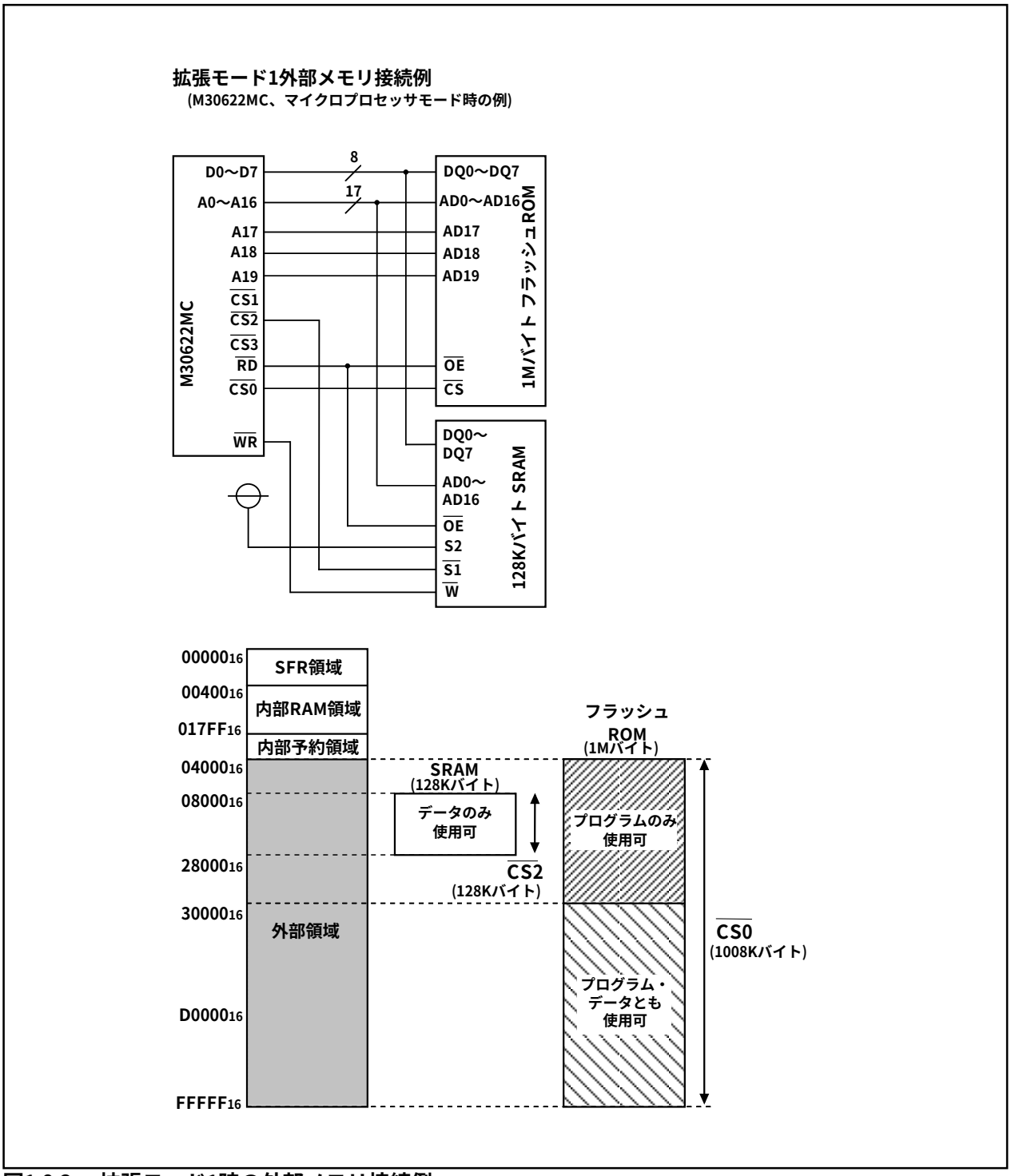
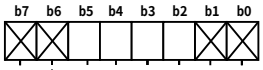


図1.8.3.　拡張モード1時の外部メモリ接続例

(3) 拡張モード2

拡張モード2では、データバンクレジスタ(0000B16番地)が有効になります。データバンクレジスタの構成を図1.8.4に示します。

データバンクレジスタ

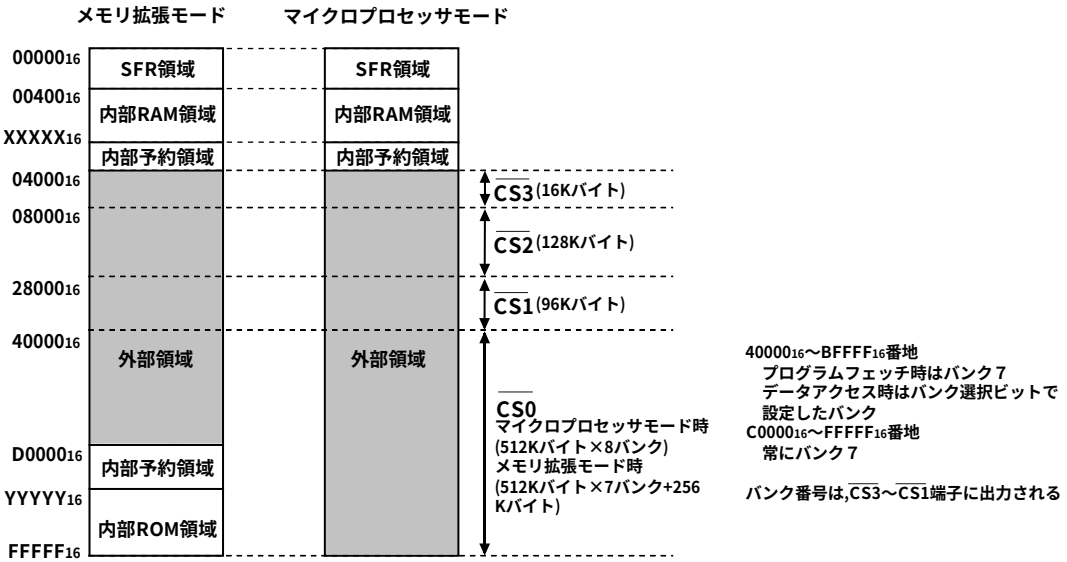


シンボル	アドレス	リセット時
DBR	000B16番地	0016

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
OFS	オフセットビット	0：オフセットなし 1：オフセットあり	○	○
BSR	バンク選択ビット	b5 b4 b3 0 0 0：バンク0 0 0 1：バンク1 0 1 0：バンク2 0 1 1：バンク3 b5 b4 b3 1 0 0：バンク4 1 0 1：バンク5 1 1 0：バンク6 1 1 1：バンク7	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

図1.8.4.　データバンクレジスタ

拡張モード2　(PM15, 14=1, 1のとき：メモリ空間4Mバイト)



形　　名	XXXXX16番地	YYYYY16番地
M30622M4	00FFF16	F8000₁₆
M30620M8	02BFF16	F0000₁₆
M30620MA	02BFF16	E8000₁₆
M30620MC/EC	02BFF16	E0000₁₆
M30622M8	013FF16	F0000₁₆
M30622MA	017FF16	E8000₁₆
M30622MC	017FF16	E0000₁₆
M30624MG/FG	053FF16	C0000₁₆

注1.　このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。
注2.　シングルチップモード時のメモリ配置図は省略しています。

図1.8.5.　拡張モード2時のメモリ配置図およびチップセレクト領域

データバンクレジスタは、バンク選択ビット(ビット5〜3)とオフセットビット(ビット2)で構成されます。バンク選択ビットは、4000_{16}〜$BFFFF_{16}$の領域のデータアクセス時のバンク番号を設定します。オフセットビットを“１”に設定することで、4000_{16}番地分のオフセットを設定することができます。

拡張モード2時のメモリ配置図およびチップセレクト領域を図1.8.5に示します。

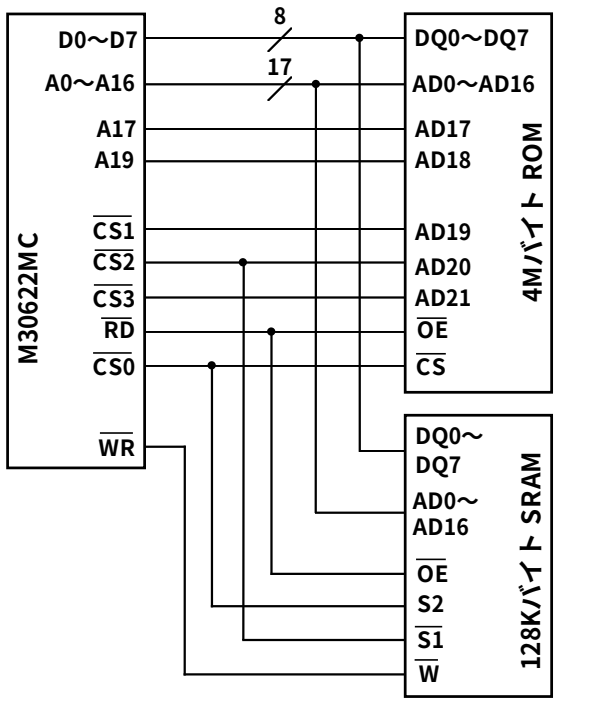
$\overline{CS0}$の領域は、4000_{16}〜$FFFFF_{16}$となりますが、その内4000_{16}〜$BFFFF_{16}$の領域については、データアクセス時のみ$\overline{CS3}$〜$\overline{CS1}$の出力端子よりバンク選択ビットで設定したバンク番号が出力されます。プログラムフェッチの場合は常に$\overline{CS3}$〜$\overline{CS1}$はバンク7(111_2)が出力されます。それ以外の領域$C000_{16}$〜$FFFFF_{16}$についてはデータアクセス、プログラムフェッチにかかわらず$\overline{CS3}$〜$\overline{CS1}$はバンク７（111_2）が出力されます。

$\overline{CS0}$以外の領域のアクセスの場合は、データアクセス、プログラムフェッチにかかわらず、従来通りアドレスによって$\overline{CS3}$(4000_{16}〜$7FFF_{16}$)、$\overline{CS2}$(8000_{16}〜$27FFF_{16}$)、$\overline{CS1}$(2800_{16}〜$3FFFF_{16}$)のチップセレクト信号が出力されます。

図1.8.6に、4MバイトのROMと128KバイトのSRAMの接続例を示します。4MバイトのROMのチップセレクトには$\overline{CS0}$を接続します。アドレス入力AD21，AD20，AD19にはM16Cの$\overline{CS3}$，$\overline{CS2}$，$\overline{CS1}$をそれぞれ接続します。アドレス入力AD18にはM16CのA19出力を接続します。この接続における4MバイトROMとM16Cのアドレスの関係を図1.8.7に示します。

このモードでは、512Kバイト毎のバンクがあり、バンクが異なるデータアクセスには、バンクを切り換える必要があります。しかし、オフセットビット“０”時のバンク境界部分データは、オフセットビットを“１”に設定することで、4000_{16}番地のオフセットがつきバンク境界部分のデータであっても、連続してアクセスできます。例えば、4MバイトROMの$0FFFFF_{16}$番地と10000_{16}番地に配置されている2バイトのデータは、オフセットビットを“１“にし$07FFFF_{16}$番地と8000_{16}番地をアクセスすることで、バンクビットを切り換えることなく連続的にアクセスできます。

一方、SRAMのチップセレクトは$\overline{CS0}$＝1(非選択)で$\overline{CS2}$＝0(選択)であることが条件ですので、S2には$\overline{CS0}$を$\overline{S1}$には$\overline{CS2}$をそれぞれ接続します。もし、両極性のチップセレクト信号入力端子を持たない場合は、外部で$\overline{CS0}$、$\overline{CS2}$をデコードしてください。



注1.　チップセレクト端子(S1, S2)が1つしかない場合、外付け回路でデコードが必要。

図1.8.6.　拡張モード2時の外部メモリ接続例

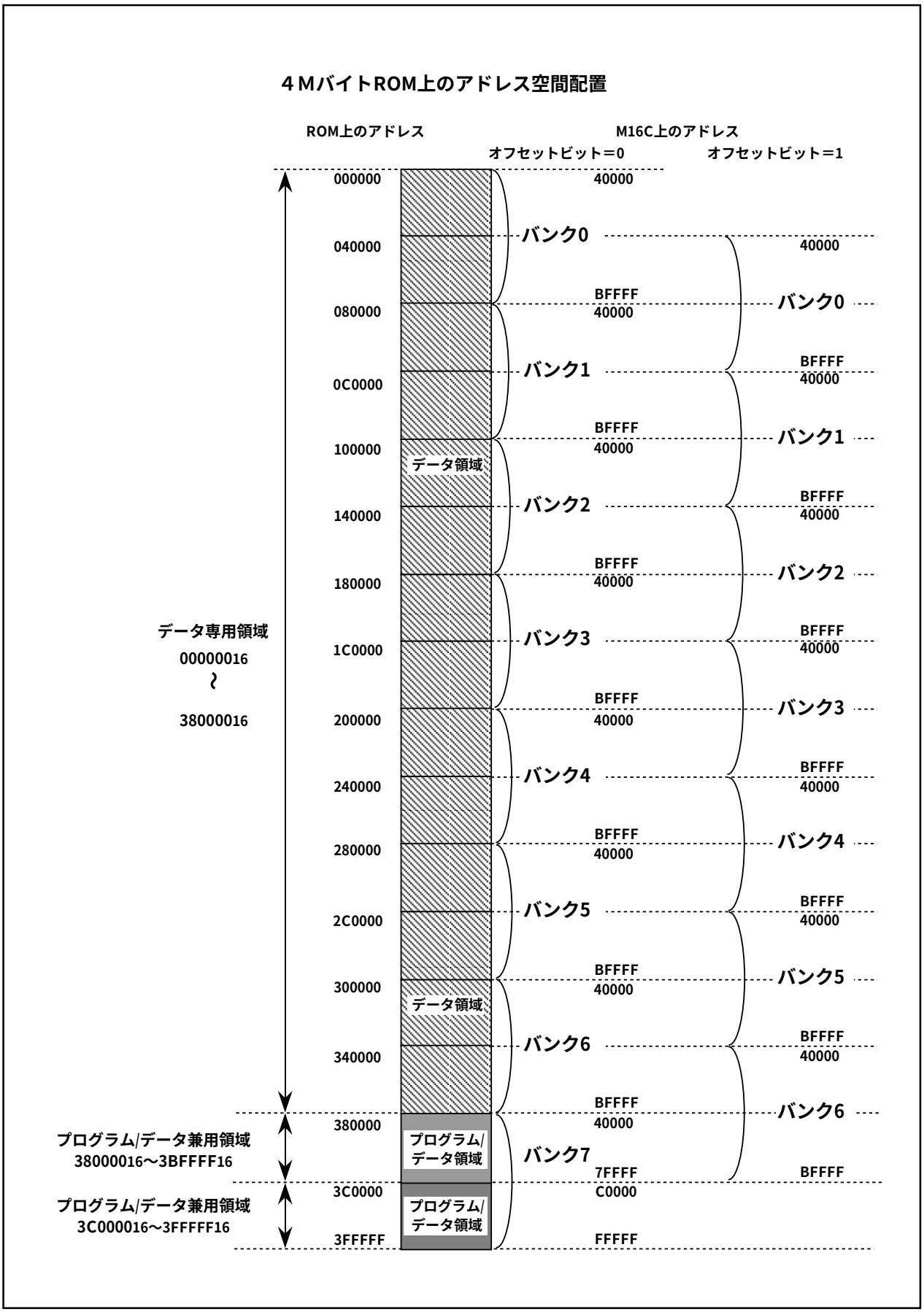


図1.8.7.　4MバイトROMのアドレスとM16Cのアドレスとの関係

ソフトウエアリセット

プロセッサモードレジスタ0(0004$_{16}$番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

●シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

●メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

●マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

メモリ拡張モードおよびマイクロプロセッサモードについては、メモリ空間拡張機能を使用し、アクセス空間を拡大することが可能です(詳細は、「メモリ空間拡張機能」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVSS端子およびプロセッサモードビット(0004$_{16}$番地のビット1、ビット0)によって行います。プロセッサモードビットを“10$_2$”にしないでください。

CNVSS端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

●CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01$_2$”にするとメモリ拡張モードへ切り替えることができます。

●CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図1.9.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図1.10.1にメモリ空間拡張なし(ノーマルモード)時の、各プロセッサモードのメモリ配置図を示します。

プロセッサモードレジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PM0	0004_{16}番地	00_{16}(注2)

ビットシンボル	ビット名	機　　能	R	W
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 使用禁止 1 1 : マイクロプロセッサモード	○	○
PM01			○	○
PM02	R/Wモード選択ビット	0 : $\overline{RD}$,BHE,$\overline{WR}$ 1 : RD,WRH,WRL	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
PM04	マルチプレクスバス空間選択ビット	b5 b4 0 0 : マルチプレクスバスを使用しない 0 1 : CS2の空間に割り当てる 1 0 : CS1の空間に割り当てる 1 1 : 全空間に割り当てる (注4)	○	○
PM05			○	○
PM06	ポートP4_0～P4_3機能選択ビット(注3)	0 : アドレス出力 1 : ポート機能 (アドレスは出力されません)	○	○
PM07	BCLK出力禁止ビット	0 : 出力する 1 : 出力しない (端子はフローティングになります)	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2. CNV$_{SS}$端子にV$_{CC}$レベルを印加しているときは、リセット時03_{16}になります(PM00およびPM01が“1”になります)。
注3. マイクロプロセッサモード、メモリ拡張モード時有効。
注4. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので、各チップセレクトごとに256バイトしか使えません。

プロセッサモードレジスタ1(注1)

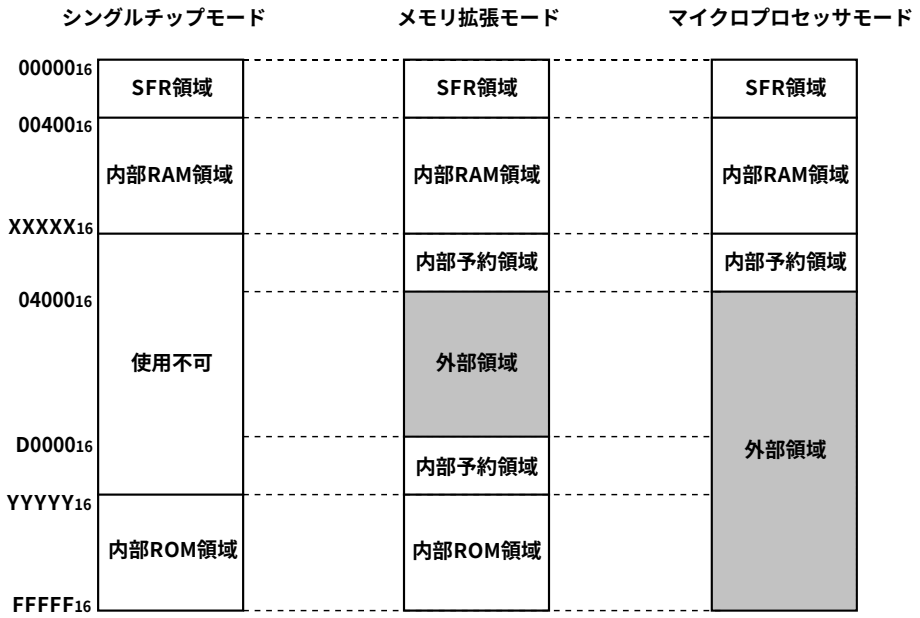
b7	b6	b5	b4	b3	b2	b1	b0
	0				X	X	0

シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00000XX0_2$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PM13	内部予約領域拡張ビット(注2)	0 : M16C/60、M16C/61グループと同一の内部予約領域 1 : 内部RAM領域を23Kバイト、内部ROM領域を256Kバイトに拡張(注2)	—	○
PM14	メモリ空間拡張ビット(注3)	b5 b4 0 0 : ノーマルモード(拡張なし) 0 1 : 使用禁止 1 0 : メモリ空間拡張モード1 1 1 : メモリ空間拡張モード2	○	○
PM15				
予約ビット		必ず“0”を設定してください	○	○
PM17	ウエイトビット	0 : ウエイトなし 1 : ウエイトあり	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2. RAM15Kバイト越え、ROM192Kバイト越えの製品以外は、必ずこのビットを“0”にしてください。
RAM15Kバイト越え、ROM192Kバイト越えの製品であるM30624MG/FGは、ユーザプログラムの最初で、このビットを“1”にしてください。また、ユーザプログラムのリセットベクタテーブルには、リセット解除時PM13が“0”で内部ROM領域となる$D0000_{16}$番地以降のアドレスを指定してください。
注3. プロセッサモードがメモリ拡張モードおよびマイクロプロセッサモードのときに、このビットを設定することにより、外部領域を拡張することができます(ノーマルモード：最大1Mバイト→拡張モード1：最大1.2Mバイト, 拡張モード2：最大4Mバイト)。詳細はメモリ空間拡張機能の項を参照してください。

図1.9.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成



形　　名	XXXXX₁₆番地	YYYYY₁₆番地
M30622M4	00FFF₁₆	F8000₁₆
M30620M8	02BFF₁₆	F0000₁₆
M30620MA	02BFF₁₆	E8000₁₆
M30620MC/EC	02BFF₁₆	E0000₁₆
M30622M8	013FF₁₆	F0000₁₆
M30622MA	017FF₁₆	E8000₁₆
M30622MC	017FF₁₆	E0000₁₆
M30624MG/FG	053FF₁₆	C0000₁₆

外部領域：この領域をアクセスすると、外部に接続したデバイスをアクセスすることができます。

注1. このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。

図1.10.1. 各プロセッサモード時のメモリ配置(メモリ空間拡張なし：ノーマルモード)

内部RAM15Kバイト越え、ROM192Kバイト越えの製品についてPM13(内部予約領域拡張ビット)による、各プロセッサモード時のメモリ配置およびチップセレクト領域を図1.10.2に示します。

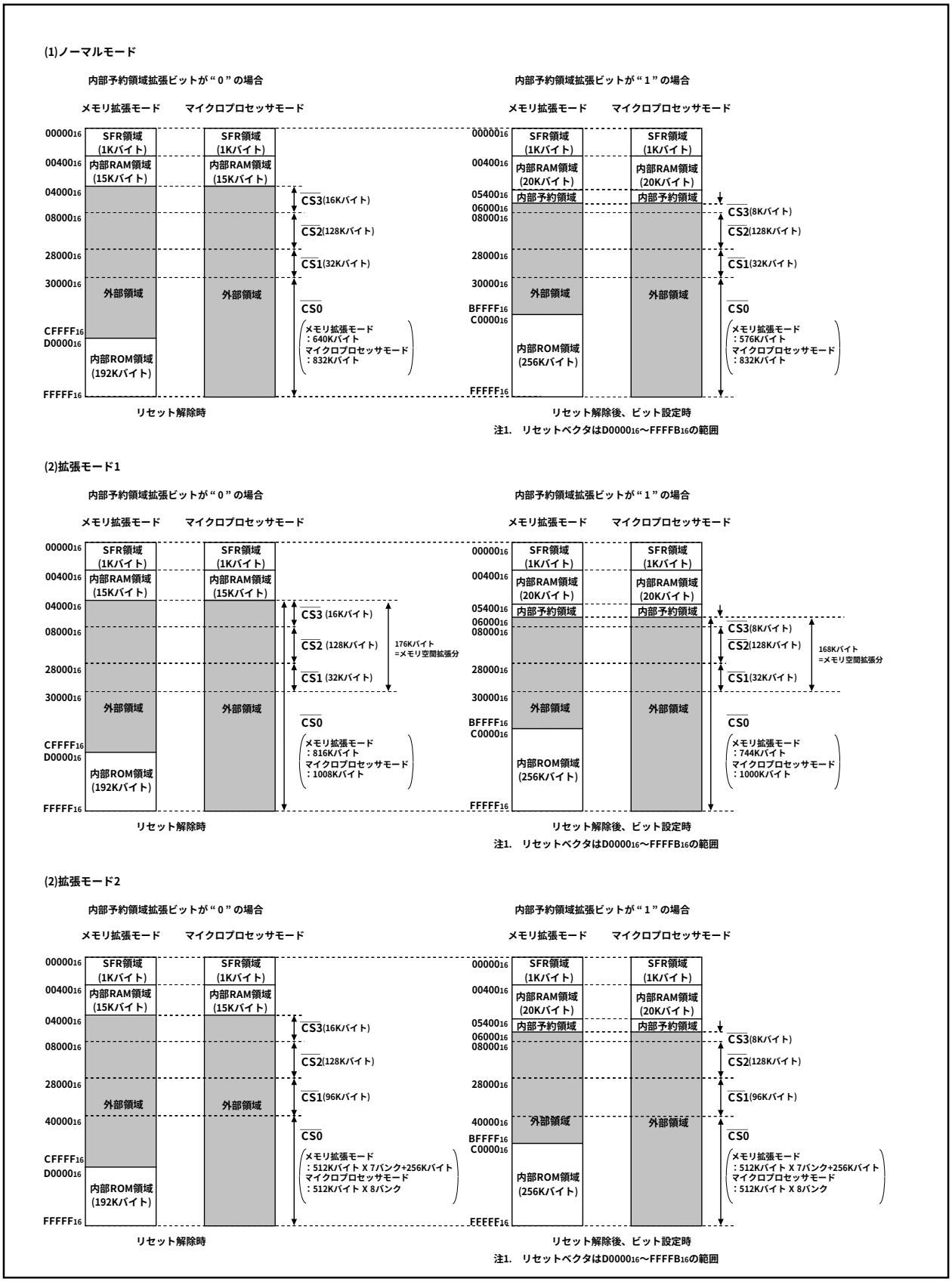


図1.10.2. 各プロセッサモード時のメモリ配置図およびチップセレクト領域

バス設定

バスの設定はBYTE端子とプロセッサモードレジスタ0(0004_{16}番地)のビット4～ビット6で切り替えることができます。

表1.11.1に各バスの設定と切り替え要因を示します。

表1.11.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス／マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。プロセッサモードレジスタ0のビット6が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。$P4_0$～$P4_3$は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、および$P4_0$～$P4_3$がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス／マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

●セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウエアウエイトの有無を選択できます。

●マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。データバスが8ビット(BYTE端子が“H”レベル)のとき、D_0～D_7の8ビットがA_0～A_7とマルチプレクスされます。

データバスが16ビット(BYTE端子が“L”レベル)のとき、D_0～D_7の8ビットがA_1～A_8とマルチプレクスされD_8～D_{15}はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、$P5_6$から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウエアウエイトを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので、各チップセレクトごとに256バイトしか使えません。

表1.11.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード／マイクロプロセッサモード				メモリ拡張モード
マルチプレクスバス空間選択ビット		“01”、“10” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“00” (セパレートバス)		“11”(注1) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
$P0_0$～$P0_7$	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
$P1_0$～$P1_7$	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
$P2_0$	入出力ポート	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス／データバス
$P2_1$～$P2_7$	入出力ポート	アドレスバス／データバス(注2)	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス／データバス
$P3_0$	入出力ポート	アドレスバス	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	A_8/D_7
$P3_1$～$P3_7$	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
$P4_0$～$P4_3$ ポート$P4_0$～$P4_3$機能選択ビット=“1”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
$P4_0$～$P4_3$ ポート$P4_0$～$P4_3$機能選択ビット=“0”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
$P4_4$～$P4_7$	入出力ポート	$\overline{CS}$(チップセレクト）またはプログラマブル入出力ポートの選択 （詳細は「バス制御」を参照）				
$P5_0$～$P5_3$	入出力ポート	$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$、BCLK出力または$\overline{RD}$、$\overline{BHE}$、$\overline{WR}$、BCLK出力 （詳細は「バス制御」を参照）				
$P5_4$	入出力ポート	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$	$\overline{HLDA}$
$P5_5$	入出力ポート	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$
$P5_6$	入出力ポート	ALE	ALE	ALE	ALE	ALE
$P5_7$	入出力ポート	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$

注1. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。
リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、上位アドレスはポートとなりますので、各チップセレクトごとに256バイトしか使えません。

注2. セパレートバスではアドレスバスになります。

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウエアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウエアウエイトは全プロセッサモードで有効です。

(1) アドレスバス／データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A_0～A_{19}の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD_0～D_7の8本がデータバスに、BYTE端子が“L”のときはD_0～D_{15}の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP_{44}～P_{47}と兼用で、チップセレクト制御レジスタ(0008_{16}番地)のビット0～ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。チップセレクト制御レジスタは、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP_{44}～P_{47}はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のとき$\overline{CS0}$だけチップセレクト信号を出力し、$\overline{CS1}$～$\overline{CS3}$は入力ポートになっています。チップセレクト制御レジスタの構成を図1.12.1に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.12.1および表1.12.2に示します。

表1.12.1. チップセレクト信号によって指定する外部領域(内部RAM15Kバイト以内でかつ内部ROM192Kバイト以内の製品)(注1)

メモリ空間拡張モード		プロセッサモード	チップセレクト信号			
			$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$
指定するアドレス範囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	3000_{16}～$CFFFF_{16}$ (640Kバイト)	2800_{16}～$2FFFF_{16}$ (32Kバイト)	0800_{16}～$27FFF_{16}$ (128Kバイト)	0400_{16}～$07FFF_{16}$ (16Kバイト)
		マイクロプロセッサモード	3000_{16}～$FFFFF_{16}$ (832Kバイト)			
	拡張モード1 (PM15,14=1,0)	メモリ拡張モード	0400_{16}～$CFFFF_{16}$ (816Kバイト)			
		マイクロプロセッサモード	0400_{16}～$FFFFF_{16}$ (1008Kバイト)			
	拡張モード2 (PM15,14=1,1)	メモリ拡張モード	4000_{16}～$BFFFF_{16}$ (512Kバイト × 7+256Kバイト)	2800_{16}～$3FFFF_{16}$ (96Kバイト)		
		マイクロプロセッサモード	4000_{16}～$FFFFF_{16}$ (512Kバイト×8)			

注1. プロセッサモードレジスタ1のビット3(PM13)は、必ず“0”にしてください。

表1.12.2. チップセレクト信号によって指定する外部領域(内部RAM15Kバイトを越えるかまたは内部ROM192Kバイトを越える製品)

メモリ空間拡張モード		プロセッサモード	チップセレクト信号			
			$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$
指定するアドレス範囲	ノーマルモード (PM15,14=0,0)	メモリ拡張モード	PM13=0のとき 30000_{16}～$CFFFF_{16}$ (640Kバイト)	28000_{16}～$2FFFF_{16}$ (32Kバイト)	08000_{16}～$27FFF_{16}$ (128Kバイト)	PM13=0のとき 04000_{16}～$07FFF_{16}$ (16Kバイト) PM13=1のとき 06000_{16}～$07FFF_{16}$ (8Kバイト)
			PM13=1のとき 30000_{16}～$BFFFF_{16}$ (576Kバイト)			
		マイクロプロセッサモード	30000_{16}～$FFFFF_{16}$ (816Kバイト)			
	拡張モード1 (PM15,14=1,0)	メモリ拡張モード	PM13=0のとき 04000_{16}～$CFFFF_{16}$ (816Kバイト)			
			PM13=1のとき 06000_{16}～$BFFFF_{16}$ (744Kバイト)			
		マイクロプロセッサモード	PM13=0のとき 04000_{16}～$FFFFF_{16}$ (1008Kバイト)			
			PM13=1のとき 06000_{16}～$FFFFF_{16}$ (1000Kバイト)			
	拡張モード2 (PM15,14=1,1)	メモリ拡張モード	40000_{16}～$BFFFF_{16}$ (512Kバイト×7+256Kバイト)	28000_{16}～$3FFFF_{16}$ (96Kバイト)		
		マイクロプロセッサモード	40000_{16}～$FFFFF_{16}$ (512Kバイト×8)			

チップセレクト制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CSR	0008_{16}番地	01_{16}

ビットシンボル	ビット名	機　能	R	W
CS0	$\overline{CS0}$出力許可ビット	0 : チップセレクト出力禁止 (通常のポート端子) 1 : チップセレクト出力許可	○	○
CS1	$\overline{CS1}$出力許可ビット		○	○
CS2	$\overline{CS2}$出力許可ビット		○	○
CS3	$\overline{CS3}$出力許可ビット		○	○
CS0W	$\overline{CS0}$ウエイトビット	0 : ウエイトあり 1 : ウエイトなし	○	○
CS1W	$\overline{CS1}$ウエイトビット		○	○
CS2W	$\overline{CS2}$ウエイトビット		○	○
CS3W	$\overline{CS3}$ウエイトビット		○	○

図1.12.1. チップセレクト制御レジスタの構成

(3) リード／ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード／ライト信号はプロセッサモードレジスタ0(0004$_{16}$番地)のビット2によって、$\overline{RD}$、$\overline{BHE}$、$\overline{WR}$の組み合わせ、または$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせを使用してください(プロセッサモードレジスタ0(0004$_{16}$番地)のビット2を“0”にしてください)。各信号の動作を表1.12.3、表1.12.4に示します。

リセット解除後、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせです。

$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004$_{16}$番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

表1.12.3. $\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.12.4. $\overline{RD}$、$\overline{WR}$、$\overline{BHE}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H／L	1バイトのデータを書き込む
	L	H	使用しない	H／L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

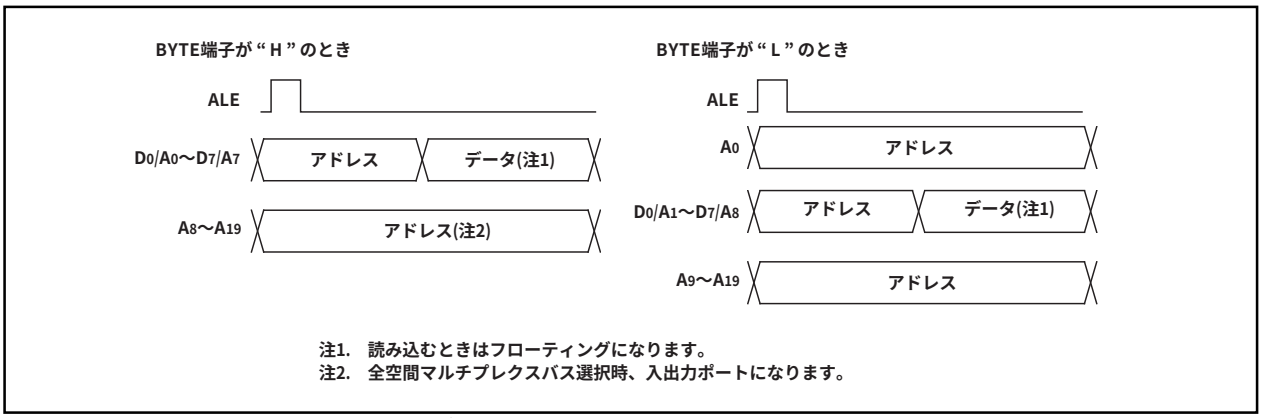


図1.12.2. ALE信号とアドレスバス/データバス

(5) $\overline{\text{RDY}}$信号

$\overline{\text{RDY}}$は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.12.3に示すようにBCLKの立ち下がりで$\overline{\text{RDY}}$端子に“L”が入力されているとき、バスはウエイト状態になります。BCLKの立ち下がりで$\overline{\text{RDY}}$端子に“H”が入力されているとき、バスはウエイト状態を解除します。表1.12.5にバスのウエイト状態におけるマイクロコンピュータの状態、図1.12.3に$\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例を示します。

$\overline{\text{RDY}}$信号は、チップセレクト制御レジスタ(0008_{16}番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008_{16}番地)のビット4～ビット7に全て“1”を設定している場合は、$\overline{\text{RDY}}$信号は無効ですが、$\overline{\text{RDY}}$端子の未使用端子の処理が必要です。

表1.12.5. バスのウエイト状態におけるマイクロコンピュータの状態(注1)

項　目	状　態
発振	動作
R/$\overline{\text{W}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$ ALE信号、$\overline{\text{HLDA}}$ プログラマブル入出力ポート	$\overline{\text{RDY}}$信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1.　ソフトウエアウエイトによるウエイトの直前には$\overline{\text{RDY}}$信号は受け付けられません。

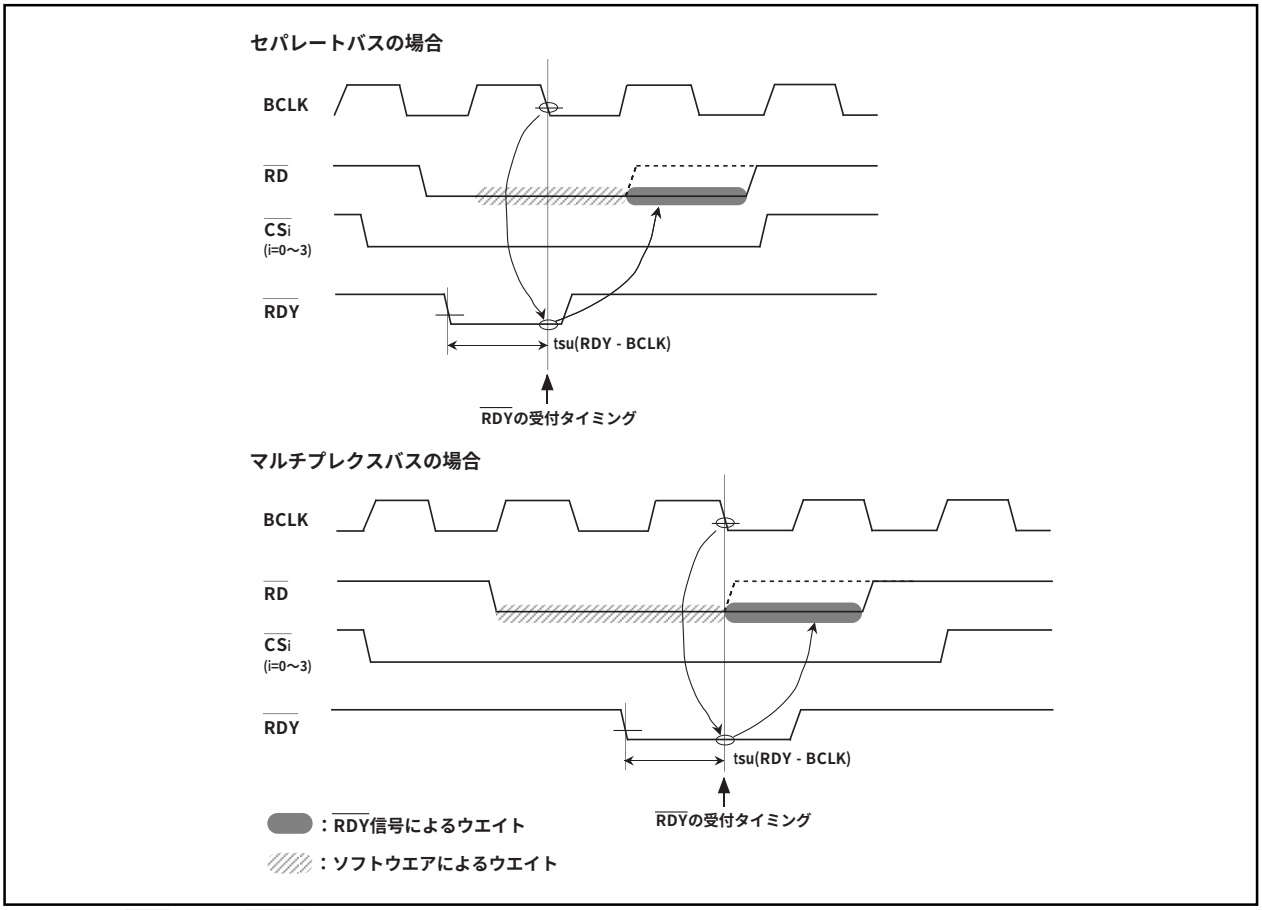


図1.12.3. $\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用権をCPUから外部回路へ移行するための信号です。$\overline{\text{HOLD}}$端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、$\overline{\text{HOLD}}$端子が“L”の期間その状態を保持します。また、その間$\overline{\text{HLDA}}$端子から“L”を出力します。表1.12.6にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、$\overline{\text{HOLD}}$、DMAC、CPUとなっています。

$\overline{\text{HOLD}}$ > DMAC > CPU

図1.12.4. バス使用優先順位

表1.12.6. ホールド状態におけるマイクロコンピュータの状態

項　目		状　態
発振		動作
R/$\overline{\text{W}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$、$\overline{\text{BHE}}$		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.12.7に示します。

表1.12.7. 内部領域をアクセスしたときの外部バスの状態

項　目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$		$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$を出力	“H”を出力
$\overline{\text{BHE}}$		$\overline{\text{BHE}}$を出力	直前にアクセスされた外部領域の状態を保持
$\overline{\text{CS}}$		“H”を出力	“H”を出力
ALE		“L”を出力	“L”を出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004$_{16}$番地)(注1)のビット7によって選択でき、“1”を選択した場合はフローティングになります。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

(9) ソフトウエアウエイト

プロセッサモードレジスタ1(0005$_{16}$番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008$_{16}$番地)のビット4～ビット7によって、ソフトウエアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウエアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、$\overline{\text{RDY}}$信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウエアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクト$\overline{\text{CS0}}$～$\overline{\text{CS3}}$に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウエアウエイトを挿入してください。

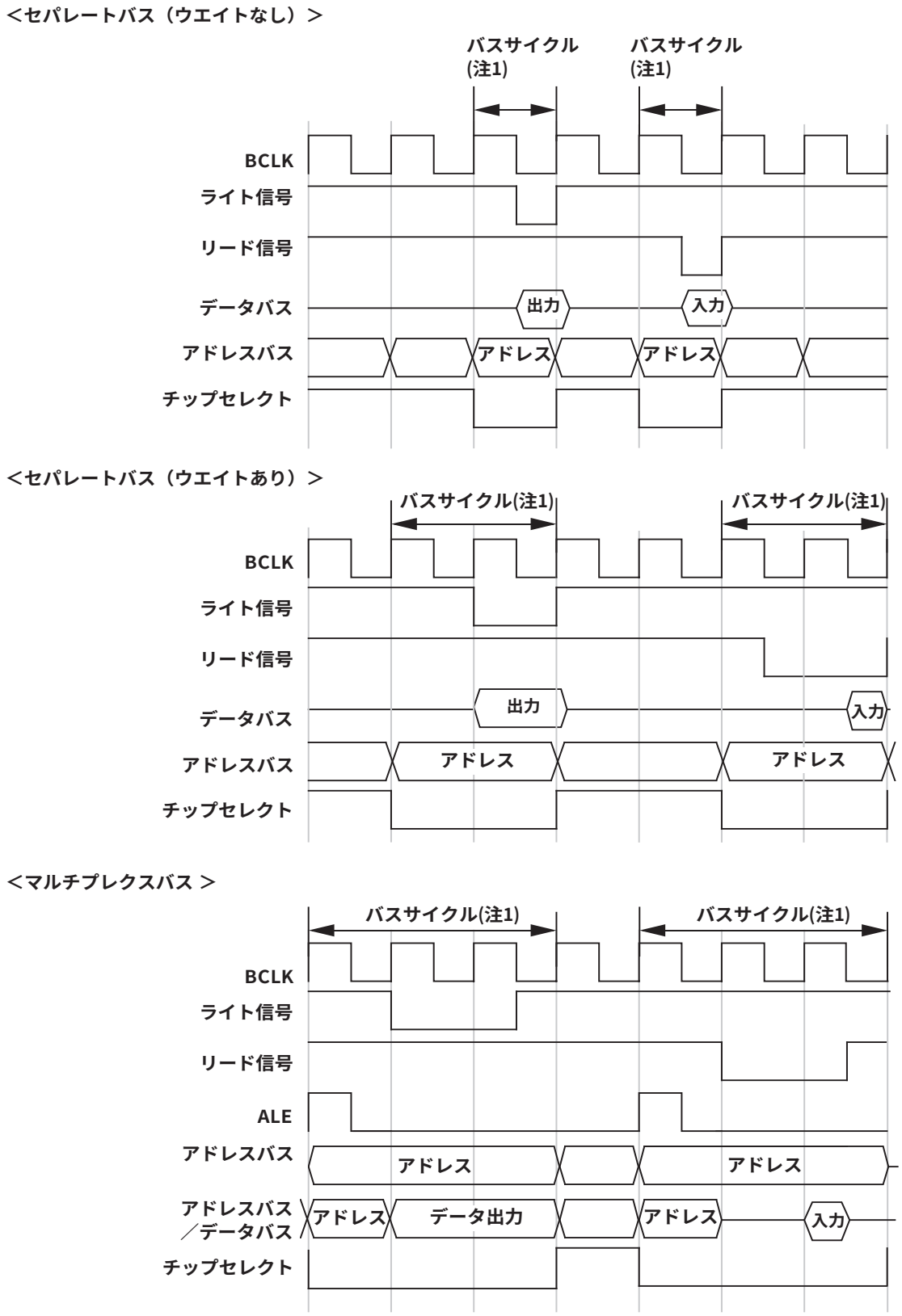
表1.12.8にソフトウエアウエイトとバスサイクル、図1.12.5にソフトウエアウエイトを使用した場合のバスタイミング例を示します。

注1. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

表1.12.8. ソフトウエアウエイトとバスサイクル

領　域	バス形状	ウエイトビット	チップセレクト制御レジスタビット4～ビット7	バスサイクル
SFR	――	無効	無効	BCLKの2サイクル
内部ROM/RAM	――	0	無効	BCLKの1サイクル
	――	1	無効	BCLKの2サイクル
外部メモリ領域	セパレートバス	0	1	BCLKの1サイクル
	セパレートバス	0	0	BCLKの2サイクル
	セパレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

注1. $\overline{\text{RDY}}$信号を使用する場合“0”を設定してください。



注1.　本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。

図1.12.5. ソフトウエアウエイトを使用した場合のバスタイミング例

クロック発生回路

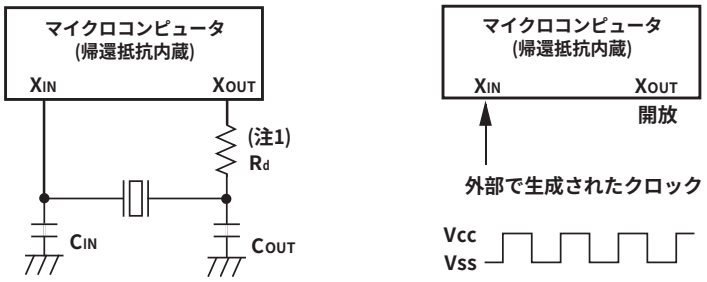
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.13.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●CPUの動作クロック源 ●タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

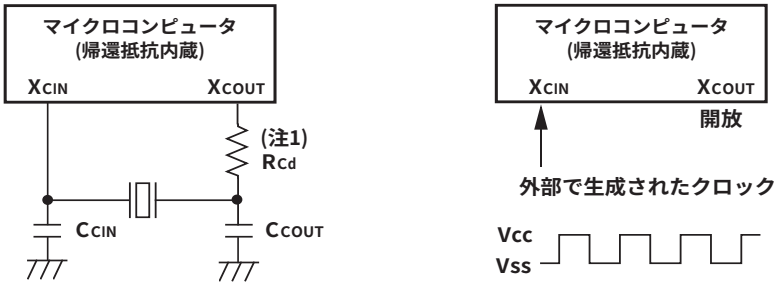
発振回路例

図1.13.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.13.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.13.1中および図1.13.2中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

図1.13.1. メインクロックの接続例



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図1.13.2. サブクロックの接続例

クロックの制御

図1.13.3にクロック発生回路のブロック図を示します。

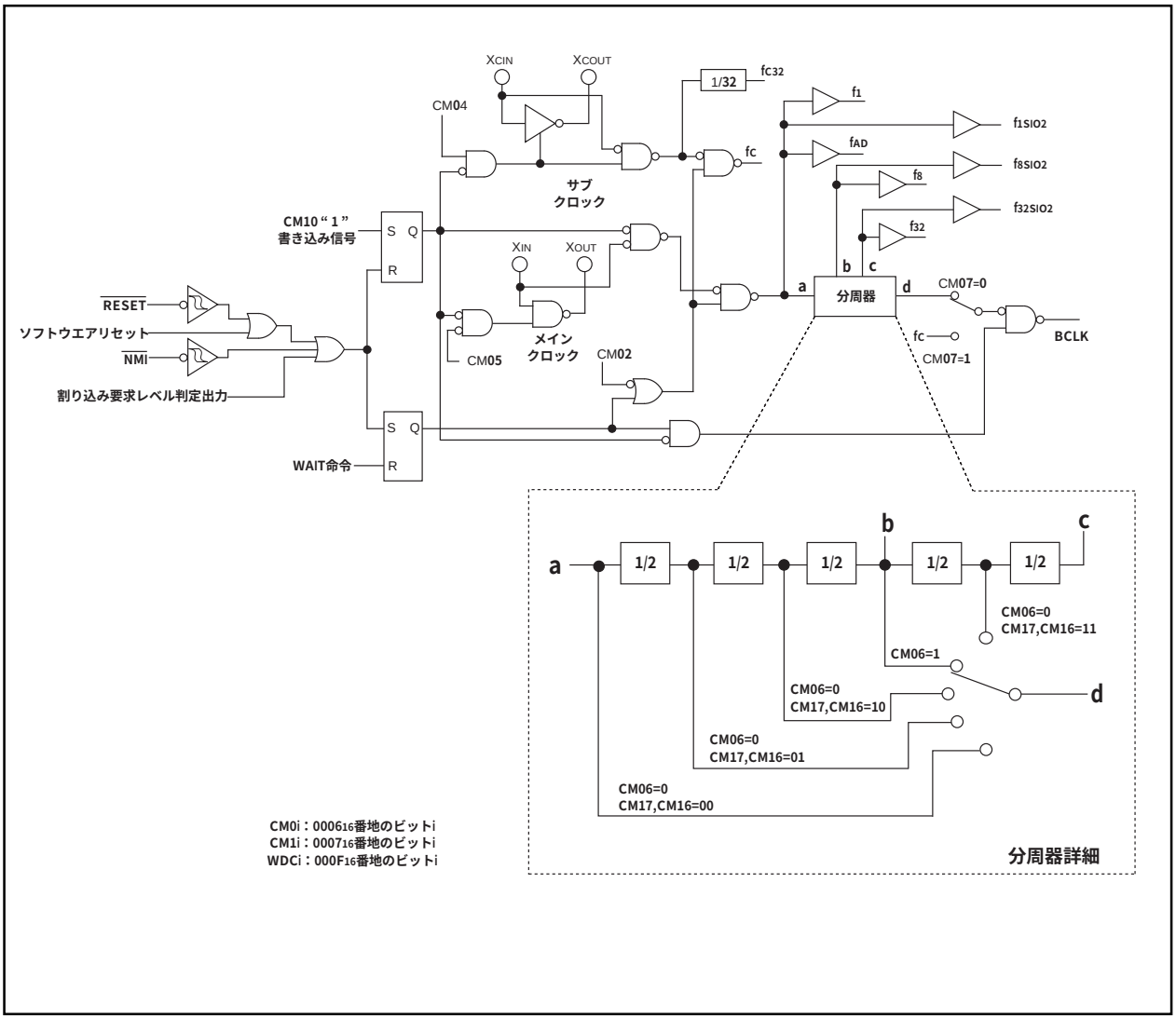


図1.13.3. クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が充分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfCをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、BCLK出力禁止ビット(000416番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fC32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fC

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図1.13.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	0006_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット(シングルチップモード時のみ有効)	b1 b0 0 0 : 入出力ポートP5$_7$ 0 1 : fcを出力 1 0 : f8を出力 1 1 : f32を出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能	○	○
CM05	メインクロック (XIN-XOUT)停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : XIN,XOUT選択 1 : XCIN,XCOUT選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介して、XOUT(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、ポートXC切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. fc32は含みません。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM15	XIN-XOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(0006_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XCIN、XCOUTは、ハイインピーダンスになります。

図1.13.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック出力

シングルチップモード時、クロック出力機能選択ビット(000616番地のビット0、ビット1)によってP57/CLKOUT端子からf8、f32またはfCを出力することができます。WAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf8、f32のクロック出力は停止します。

ストップモード

全クロック停止制御ビット(000716番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、VCCが2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f1～f32、f1SIO2～f32SIO2、fC、fC32、fADは停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i＝0～2)、SIO3,4は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.13.2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表1.13.2. ストップモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0}$～$\overline{CS3}$, $\overline{BHE}$		ストップモードに入る直前の状態を保持	
$\overline{RD}$, $\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$		“H”	
$\overline{HLDA}$,BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	fC選択時	シングルチップモード時だけ有効	“H”
	f8、f32選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表1.13.3に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表1.13.3. ウエイトモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0}$～$\overline{CS3}$, $\overline{BHE}$		ウエイトモードに入る直前の状態を保持	
$\overline{RD}$, $\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$		“H”	
$\overline{HLDA}$, BCLK		“H”	
ALE		“H”	
ポート		ウエイトモードに入る直前の状態を保持	ウエイトモードに入る直前の状態を保持
CLKOUT	fC選択時	シングルチップモード時だけ有効	停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.13.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006$_{16}$番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

f_CがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

f_CがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをX_{IN}からX_{CIN}、X_{CIN}からX_{IN}に切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.13.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウエイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図1.13.5に示します。

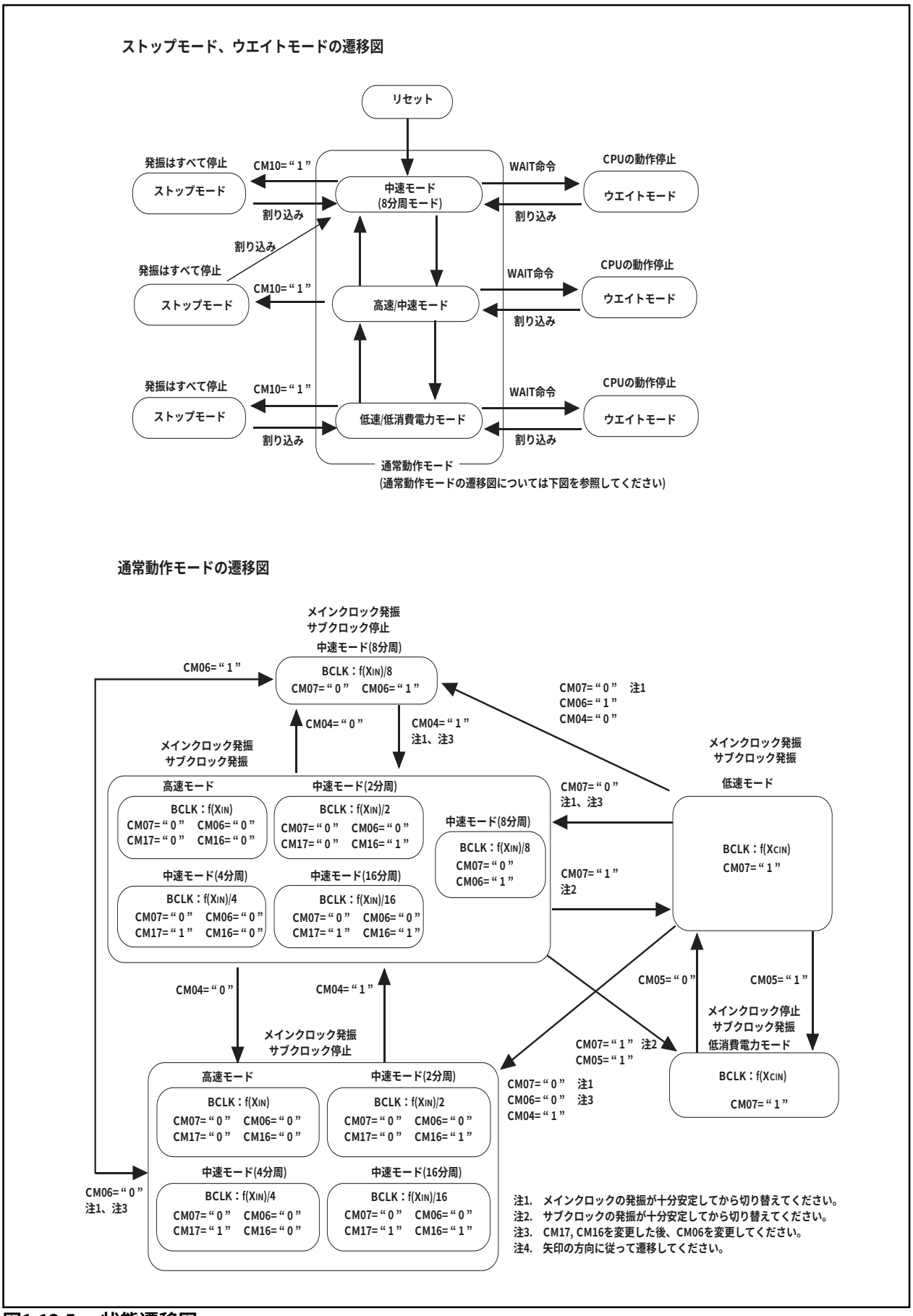

ストップモード、ウエイトモードの遷移図
リセット
発振はすべて停止
CM10=“1”
ストップモード
割り込み
中速モード
(8分周モード)
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
割り込み
発振はすべて停止
CM10=“1”
ストップモード
高速/中速モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
発振はすべて停止
CM10=“1”
ストップモード
低速/低消費電力モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
割り込み
通常動作モード
(通常動作モードの遷移図については下図を参照してください)
通常動作モードの遷移図
メインクロック発振
サブクロック停止
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0” CM06=“1”
CM06=“1”
CM07=“0” 注1
CM06=“1”
CM04=“0”
CM04=“0”
CM04=“1”
注1、注3
メインクロック発振
サブクロック発振
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0”
CM06=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
メインクロック発振
サブクロック発振
低速モード
BCLK：f(XCIN)
CM07=“1”
CM07=“0”
注1、注3
CM07=“1”
注2
CM04=“0”
CM04=“1”
メインクロック発振
サブクロック停止
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
CM06=“0”
注1、注3
CM05=“0”
CM05=“1”
メインクロック停止
サブクロック発振
低消費電力モード
BCLK：f(XCIN)
CM07=“1”
CM07=“1” 注2
CM05=“1”
CM07=“0” 注1
CM06=“0” 注3
CM04=“1”
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. CM17, CM16を変更した後、CM06を変更してください。
注4. 矢印の方向に従って遷移してください。

図1.13.5. 状態遷移図

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.13.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004_{16}番地)、プロセッサモードレジスタ1(0005_{16}番地)、システムクロック制御レジスタ0(0006_{16}番地)、システムクロック制御レジスタ1(0007_{16}番地)、ポートP9方向レジスタ($03F3_{16}$番地)、SI/O3制御レジスタ(0362_{16}番地)、およびSI/O4制御レジスタ(0366_{16}番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/Oi制御レジスタ(i = 3、4)書き込み許可ビット($000A_{16}$番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット($000A_{16}$番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット($000A_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	×	×			

シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
PRC2	ポートP9方向レジスタ($03F3_{16}$番地)、SI/Oi制御レジスタ(i=3,4)(0362_{16}, 0366_{16}番地)への書き込み許可(注1)	0：書き込み禁止 1：書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。
他のビットは“0”になりませんので、プログラムで“0”にしてください。

図1.13.6. プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図1.14.1に割り込みの分類を示します。

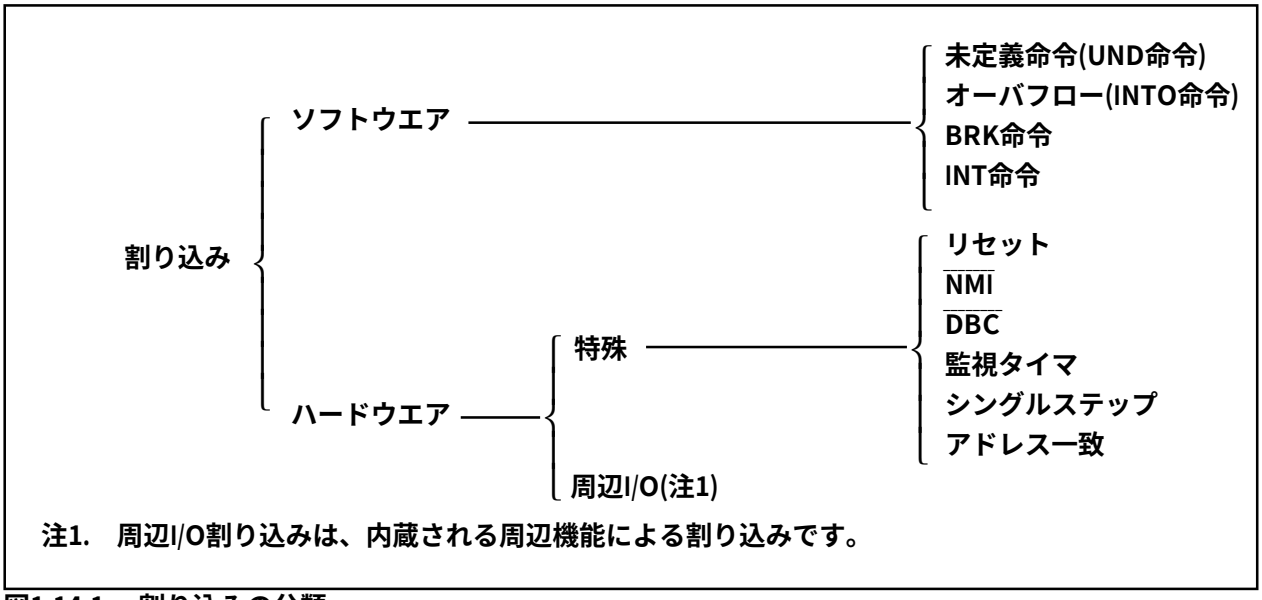


図1.14.1.　割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、$\overline{\text{KI}}$端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$～$\overline{\text{INT5}}$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.14.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

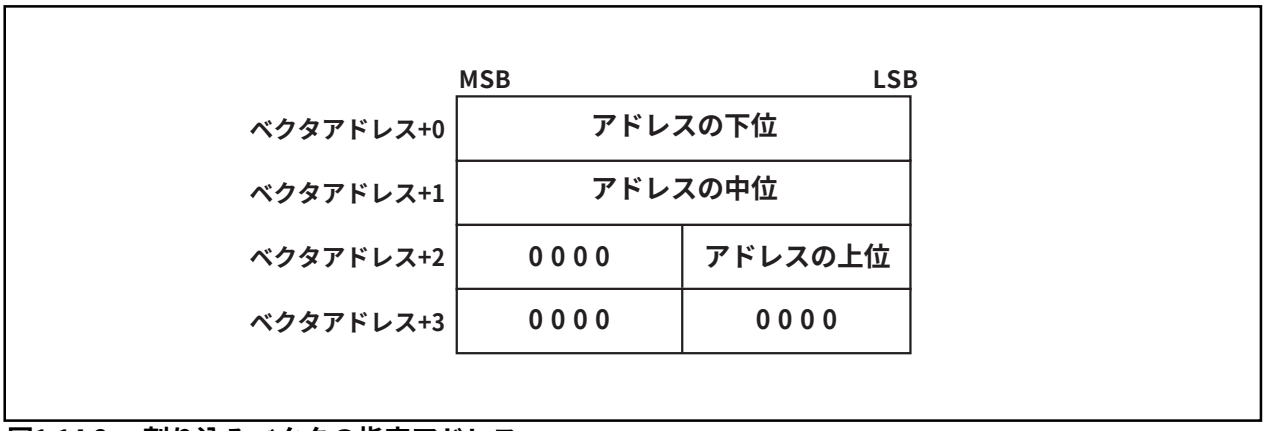


図1.14.2.　割り込みベクタの指定アドレス

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.14.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.14.1.　固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注1)	FFFF416 ～ FFFF716	通常は使用禁止
$\overline{\text{NMI}}$	FFFF816 ～ FFFFB16	$\overline{\text{NMI}}$端子入力による外部割り込み
リセット	FFFFC16 ～ FFFFF16	

注1.　デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.14.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.14.2.　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号4	+16～+19(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウエア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウエア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウエア割り込み番号8	+32～+35(注1)	SI/O4／$\overline{\text{INT5}}$　(注2)	
ソフトウエア割り込み番号9	+36～+39(注1)	SI/O3／$\overline{\text{INT4}}$　(注2)	
ソフトウエア割り込み番号10	+40～+43(注1)	バス衝突検出	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウエア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウエア割り込み番号14	+56～+59(注1)	A-D	
ソフトウエア割り込み番号15	+60～+63(注1)	UART2送信／NACK (注3)	
ソフトウエア割り込み番号16	+64～+67(注1)	UART2受信／ACK　(注3)	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマA3	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマA4	
ソフトウエア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。
注2.　割り込み要因切り替えビット(035F$_{16}$番地のビット6,7)により選択します。
注3.　IICモード選択時にNACK、ACK割り込みが選択されます。

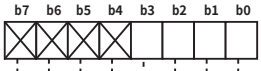
割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図1.14.3に割り込み制御レジスタの構成を示します。

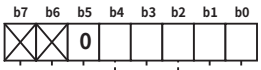
割り込み制御レジスタ(注2)



シンボル	アドレス	リセット時
TBiIC(i=3～5)	0045_{16}～0047_{16}番地	$XXXXX000_2$
BCNIC	$004A_{16}$番地	$XXXXX000_2$
DMiIC(i=0,1)	$004B_{16}$, $004C_{16}$番地	$XXXXX000_2$
KUPIC	$004D_{16}$番地	$XXXXX000_2$
ADIC	$004E_{16}$番地	$XXXXX000_2$
SiTIC(i=0～2)	0051_{16}, 0053_{16}, $004F_{16}$番地	$XXXXX000_2$
SiRIC(i=0～2)	0052_{16}, 0054_{16}, 0050_{16}番地	$XXXXX000_2$
TAiIC(i=0～4)	0055_{16}～0059_{16}番地	$XXXXX000_2$
TBiIC(i=0～2)	$005A_{16}$～$005C_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○(注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=3)	0044_{16}番地	$XX00X000_2$
SiIC/INTjIC(i=4, 3)	0048_{16}, 0049_{16}番地	$XX00X000_2$
(j=5, 4)	0048_{16}, 0049_{16}番地	$XX00X000_2$
INTiIC(i=0～2)	$005D_{16}$～$005F_{16}$番地	$XX00X000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○(注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図1.14.3.　割り込み制御レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.14.3に割り込み優先レベルの設定を、表1.14.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- 割り込み許可フラグ(Iフラグ) ＝ “1”
- 割り込み要求ビット ＝ “1”
- 割り込み優先レベル ＞ プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.14.3. 割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	高い

表1.14.4. プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP                    ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

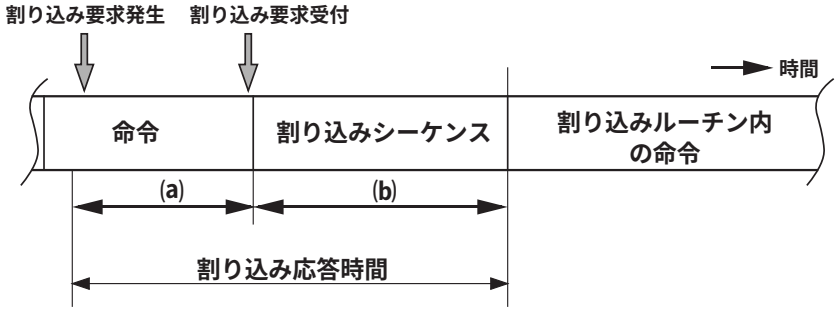
(1) 0000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.14.4に割り込み応答時間を示します。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間
(b) 割り込みシーケンスを実行する時間

図1.14.4. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表1.14.5.　割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1.　$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。
注2.　割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

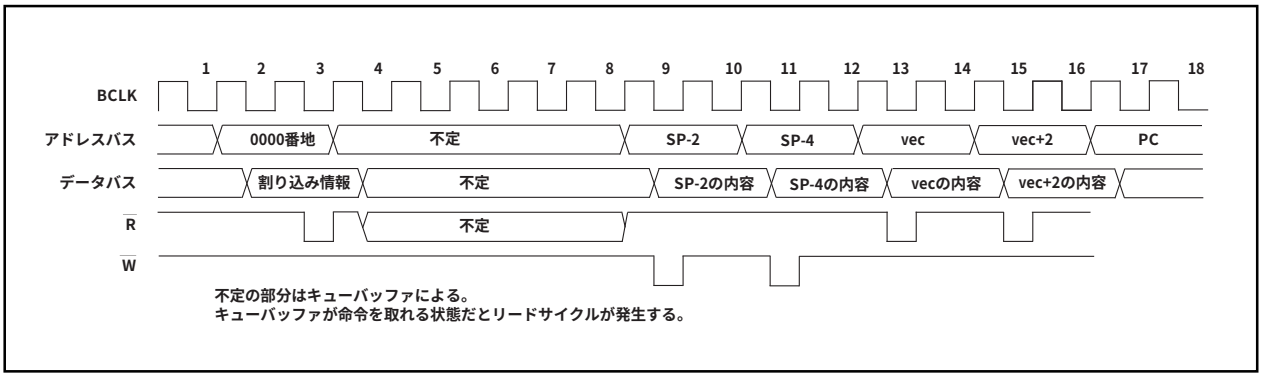


図1.14.5.　割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.14.6に示す値がIPLに設定されます。

表1.14.6.　割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、$\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図1.14.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

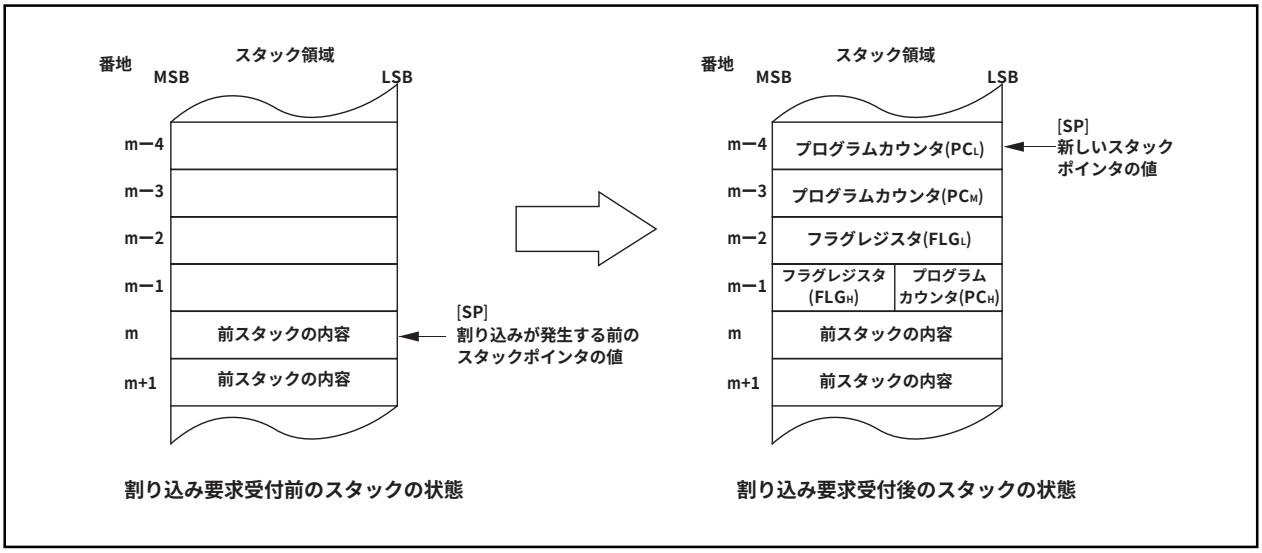


図1.14.6.　割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.14.7にレジスタ退避動作を示します。

注1.　ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。
　　それ以外は、割り込みスタックポインタ(ISP)です。

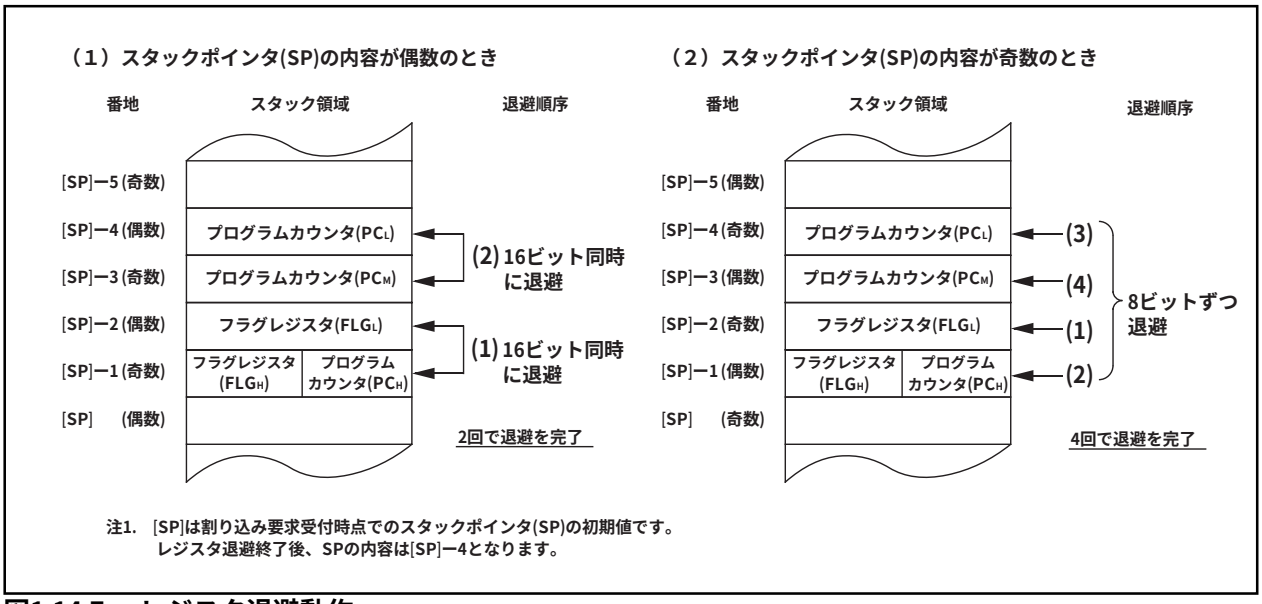


図1.14.7.　レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図1.14.8に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.14.9に割り込み優先レベルの判定回路を示します。

リセット＞$\overline{\text{NMI}}$＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図1.14.8.　ハードウエア割り込みの割り込み優先順位

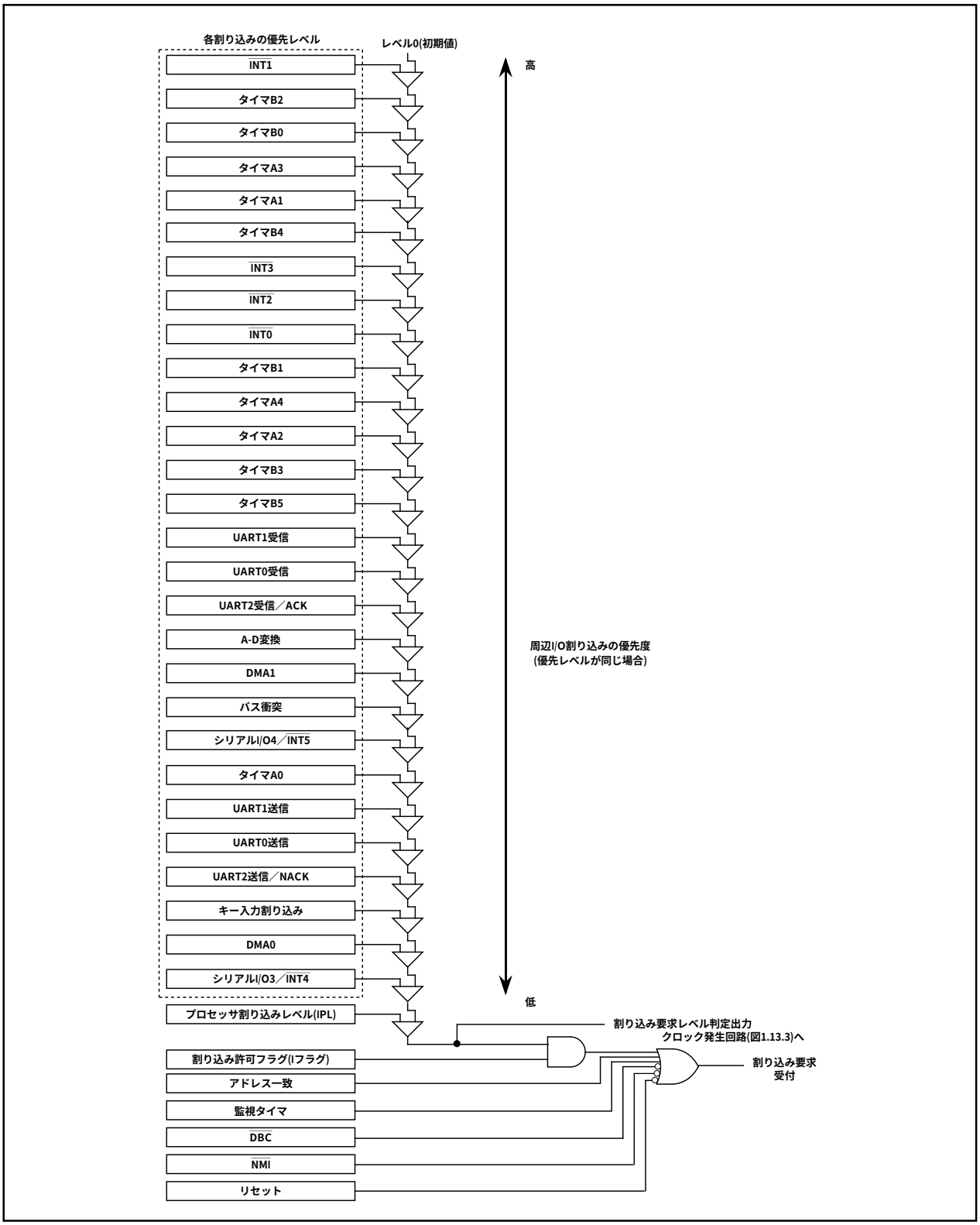


図1.14.9.　割り込み優先レベル判定回路

$\overline{\text{INT}}$割り込み

$\overline{\text{INT0}}$～$\overline{\text{INT5}}$は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

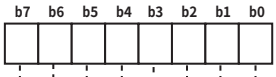
割り込み制御レジスタの内、0048$_{16}$番地はシリアルI/O4と外部割り込み$\overline{\text{INT5}}$入力の割り込み制御レジスタを兼用し、0049$_{16}$番地はシリアルI/O3と外部割り込み$\overline{\text{INT4}}$入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F$_{16}$番地)の割り込み要因切り替えビット(ビット6, 7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048$_{16}$番地と0049$_{16}$番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F$_{16}$番地)のINTi割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図1.14.10に割り込み要因選択レジスタの構成を示します。

割り込み要因選択レジスタ



シンボル	アドレス	リセット時
IFSR	035F$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
IFSR0	INT0割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR1	INT1割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR2	INT2割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR3	INT3割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR4	INT4割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR5	INT5割り込み極性切替ビット	0 : 片エッジ 1 : 両エッジ	○	○
IFSR6	割り込み要因切替ビット	0 : SIO3 1 : INT4	○	○
IFSR7	割り込み要因切替ビット	0 : SIO4 1 : INT5	○	○

図1.14.10. 割り込み要因選択レジスタの構成

NMI割り込み

P85/NMI端子の入力が“H”レベルから“L”レベルに変化したとき、NMI割り込みが発生します。NMI割り込みは、ノンマスカブル外部割り込みです。また、この端子の値はポートP85レジスタ(03F016番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.14.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

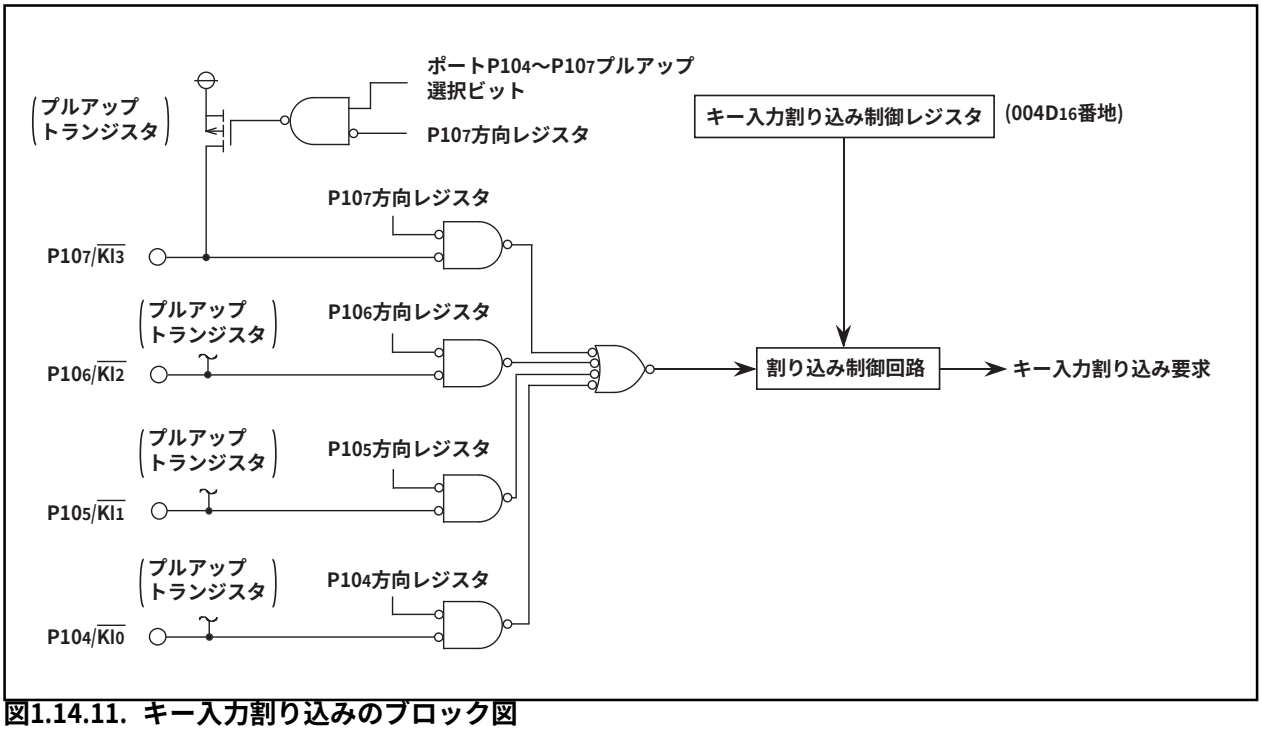


図1.14.11. キー入力割り込みのブロック図

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みは使用できません。

図1.14.12にアドレス一致割り込み関連レジスタの構成を示します。

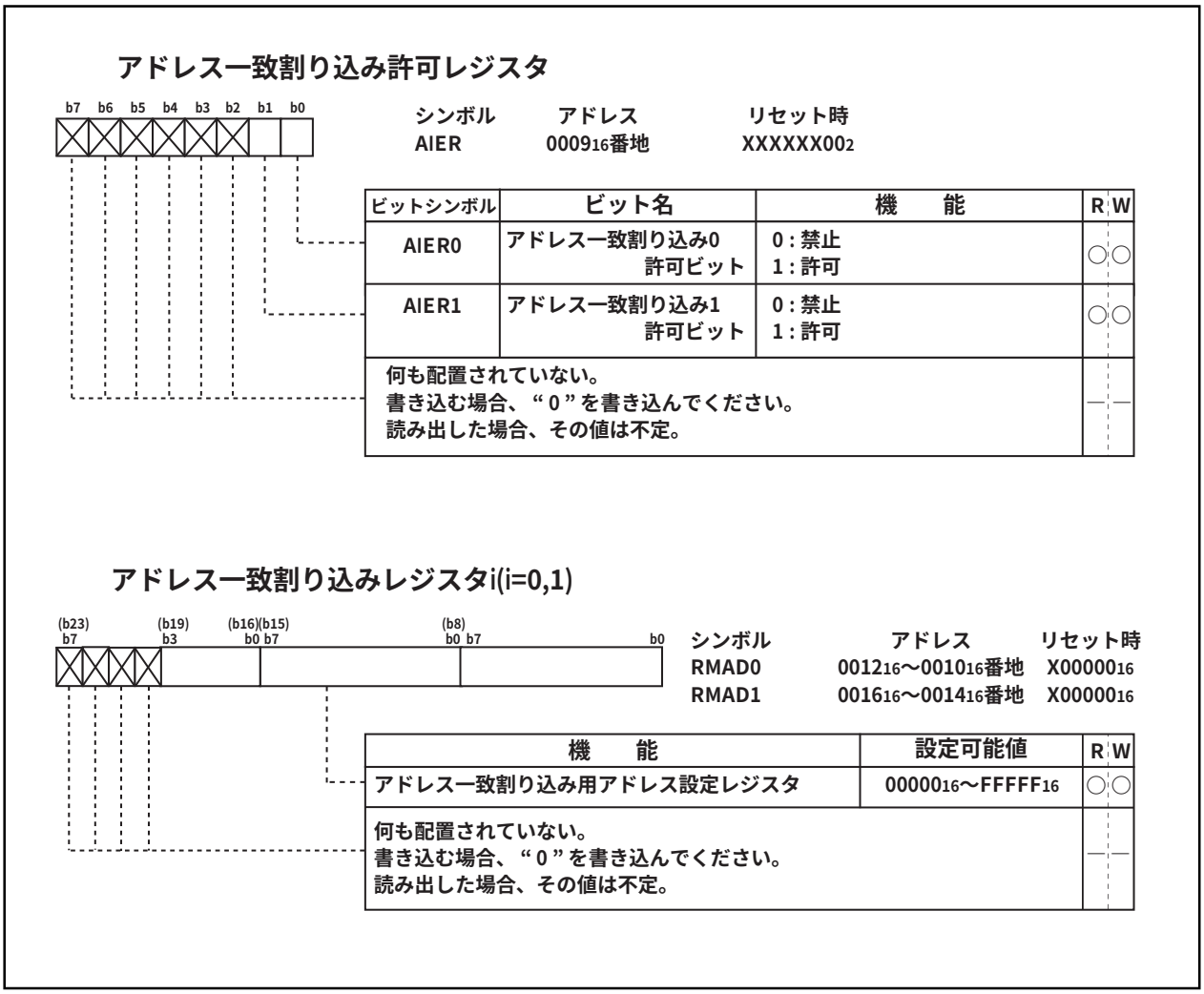


図1.14.12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

(1) 00000$_{16}$番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000$_{16}$番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000$_{16}$番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000$_{16}$番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000$_{16}$”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCCに接続(プルアップ)してください。必ず端子処理は必要です。
●$\overline{\text{NMI}}$端子は、入力専用のP8$_5$と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。
●$\overline{\text{NMI}}$端子入力が“L”の状態でリセットをかけないでください。
●$\overline{\text{NMI}}$端子入力が“L”の状態でストップモードに移行しないでください。$\overline{\text{NMI}}$端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。
●$\overline{\text{NMI}}$端子入力が“L”の状態でウエイトモードに移行しないでください。$\overline{\text{NMI}}$端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。
●$\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図1.14.13に示します。

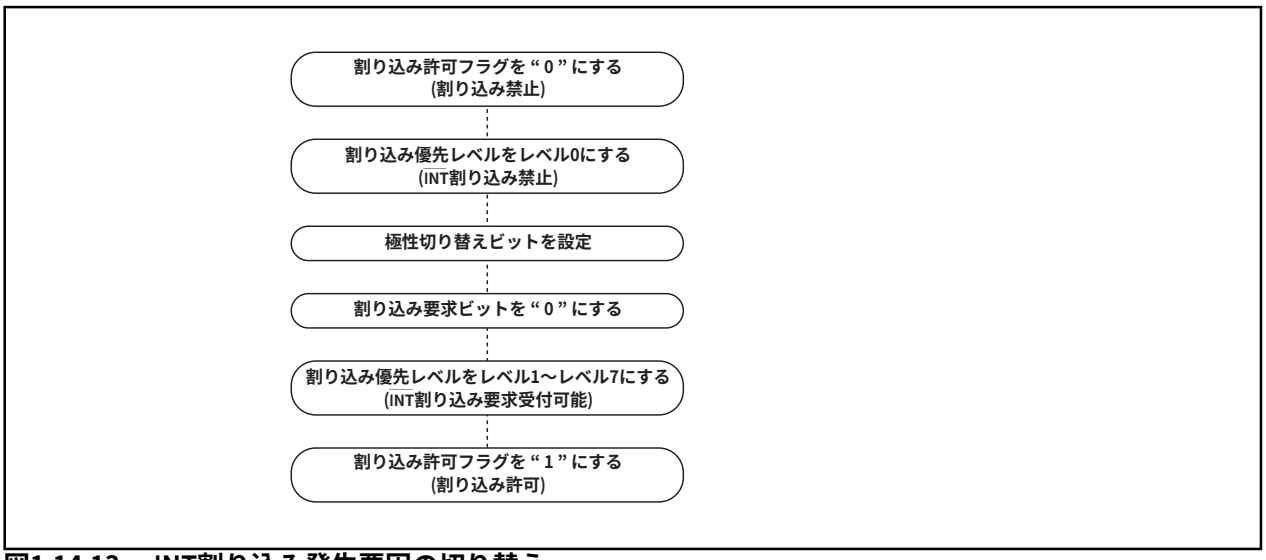


図1.14.13.　INT割り込み発生要因の切り替え

(5)　割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP                    ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7に関係なくプリスケーラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケーラによる誤差が生じます。

BCLKにXINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(16または128)\times監視タイマのカウント値(32768)}{BCLK}$$

BCLKにXCINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(2)\times監視タイマのカウント値(32768)}{BCLK}$$

例えば、BCLKが16MHzで、プリスケーラの分周比として16分周を選択している場合、監視タイマの周期は、約32.8msとなります。

監視タイマは、監視タイマスタートレジスタ(000E16番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。

図1.15.1に監視タイマのブロック図、図1.15.2に監視タイマ関連レジスタの構成を示します。

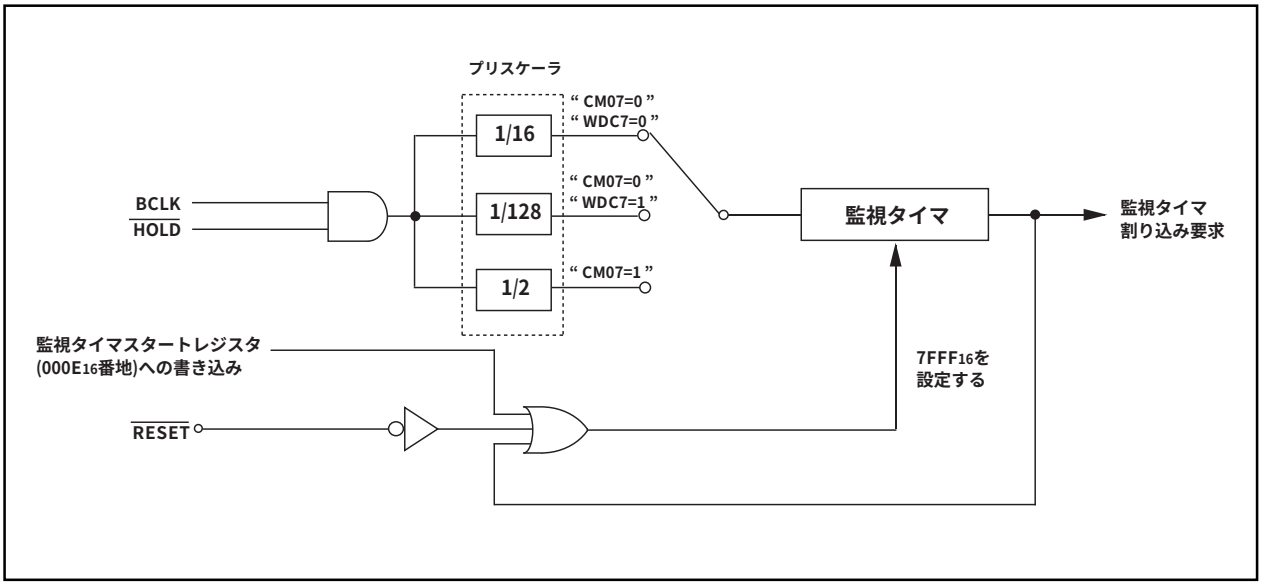


図1.15.1. 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット時
WDC	000F16番地	000XXXXX2

ビットシンボル	ビット名	機　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0：16分周 1：128分周	○	○

監視タイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

機　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	×	○

図1.15.2. 監視タイマ関連レジスタ

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.16.1にDMACのブロック図を、表1.16.1にDMACの仕様を、図1.16.2～図1.16.4にDMACで使用するレジスタの構成を示します。

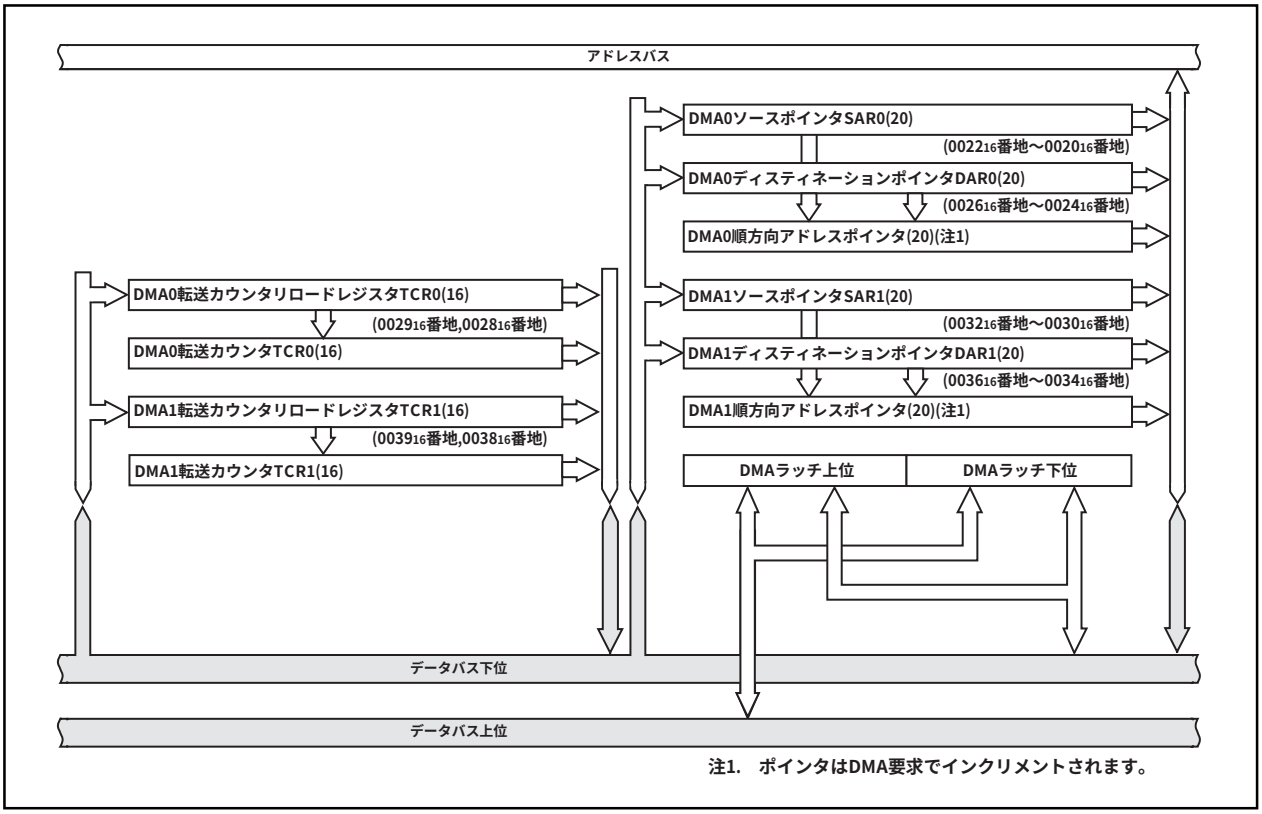


図1.16.1. DMACブロック図

DMA転送の要求信号には、ソフトウエアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

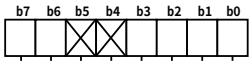
DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.16.1. DMAC仕様

項　　目	仕　　様
チャネル数	2チャネル(サイクルスチール方式)
転送空間	●1Mバイトの任意の空間から固定アドレス ●固定アドレスから1Mバイトの任意の空間 ●固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:002016番地～003F16番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	$\overline{\text{INT0}}$または$\overline{\text{INT1}}$端子の立ち下がりエッジまたは両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	●単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ●リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	●DMA許可ビットが“0”のときDMACはアクティブでない状態 ●単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1.　DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

DMA0要因選択レジスタ

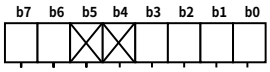


シンボル	アドレス	リセット時
DM0SL	$03B8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT0}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4(DMS=0) /$\overline{\text{INT0}}$端子の両エッジ(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /タイマB3(DMS=1) 1 0 0 0 : タイマB1(DMS=0) /タイマB4(DMS=1) 1 0 0 1 : タイマB2(DMS=0) /タイマB5(DMS=1) 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1送信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図1.16.2. DMACレジスタ構成(1)

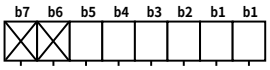
DMA1要因選択レジスタ



シンボル	アドレス	リセット時
DM1SL	03BA16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT1}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3(DMS=0) /シリアルI/O3(DMS=1) 0 1 1 0 : タイマA4(DMS=0) /シリアルI/O4(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /$\overline{\text{INT1}}$端子の両エッジ(DMS=1) 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1受信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0 : ノーマル 1 : 拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

DMAi制御レジスタ



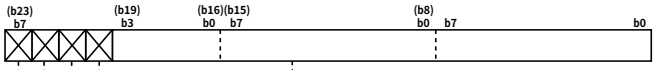
シンボル	アドレス	リセット時
DMiCON(i=0,1)	002C16番地,003C16番地	00000X002

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード 選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
注2.　“0”だけ書き込み可。
注3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

図1.16.3.　DMACレジスタ構成(2)

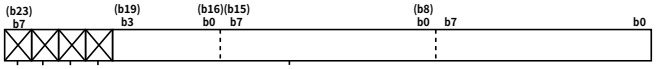
DMAiソースポインタ(i=0,1)



シンボル	アドレス	リセット時
SAR0	0022_{16}番地 ～0020_{16}番地	不定
SAR1	0032_{16}番地 ～0030_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

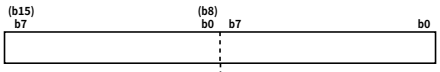
DMAiディスティネーションポインタ(i=0,1)



シンボル	アドレス	リセット時
DAR0	0026_{16}番地 ～ 0024_{16}番地	不定
DAR1	0036_{16}番地 ～ 0034_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	0029_{16}番地, 0028_{16}番地	不定
TCR1	0039_{16}番地, 0038_{16}番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000_{16}～$FFFF_{16}$	○	○

図1.16.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウエアウエイトの影響により、バスサイクル自体が長くなります。

■転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

■BYTE端子の影響

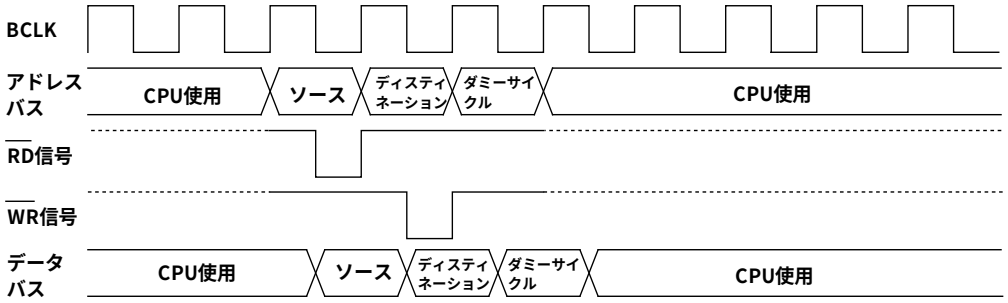
メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

■ソフトウエアウエイトの影響

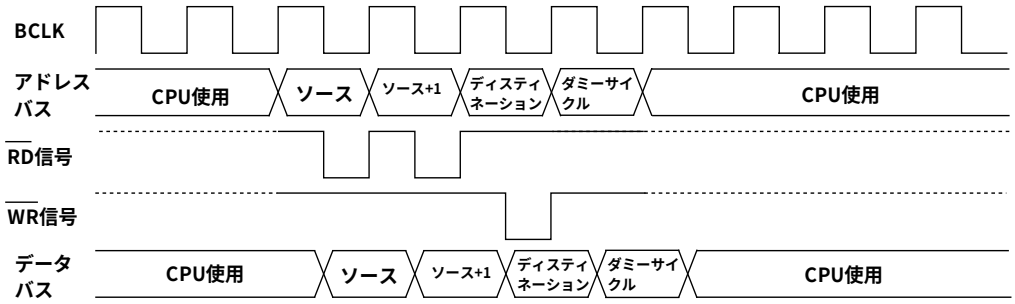
ソフトウエアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.16.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば②の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

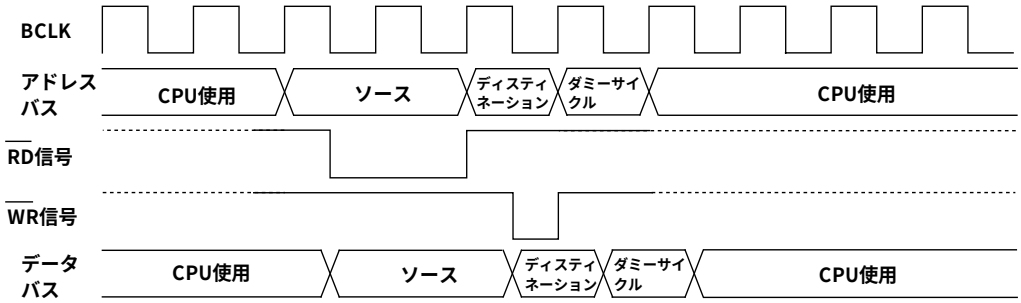
① 転送単位が8ビット幅のとき
転送単位が16ビット幅でソースアドレスが偶数番地のとき



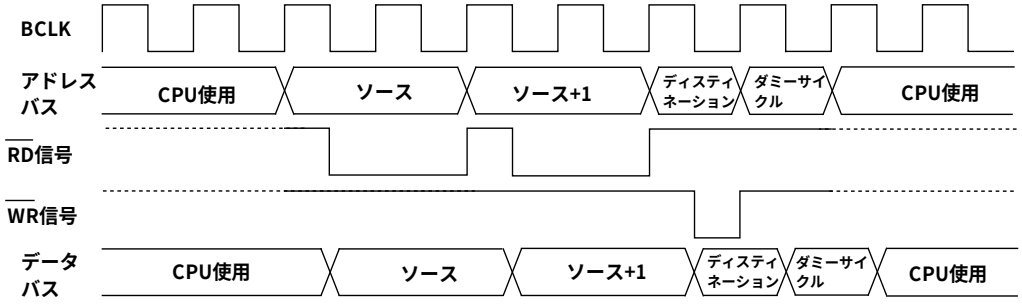
② 転送単位が16ビット幅でソースアドレスが奇数番地のとき
転送単位が16ビット幅で8ビットバス使用時(この場合、ディスティネーションサイクルも2バスサイクルになります)



③ ①の条件でソースリードに1ウエイトが入ったとき



④ ②の条件でソースリードに1ウエイトが入ったとき
(転送単位が16ビットバス幅で8ビットバス使用時は、ディスティネーションサイクルは2バスサイクルになります)



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図1.16.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.16.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表1.16.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶　数	1	1	1	1
		奇　数	1	1	1	1
	8ビット (BYTE=“H”)	偶　数	—	—	1	1
		奇　数	—	—	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶　数	1	1	1	1
		奇　数	2	2	2	2
	8ビット (BYTE=“H”)	偶　数	—	—	2	2
		奇　数	—	—	2	2

係数j,k

内部領域			外部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート ウエイトあり	マルチプレクス バス
1	2	2	1	2	3

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

(1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする

(2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウエアDMA要因(内部要因)

・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウエアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}$i端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として$\overline{\text{INT}}$i端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各$\overline{\text{INT}}$i端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャネルのDMA要求ビットは同時に“1”になります。このとき各チャネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図1.16.6外部要因によるDMA転送例で示します。

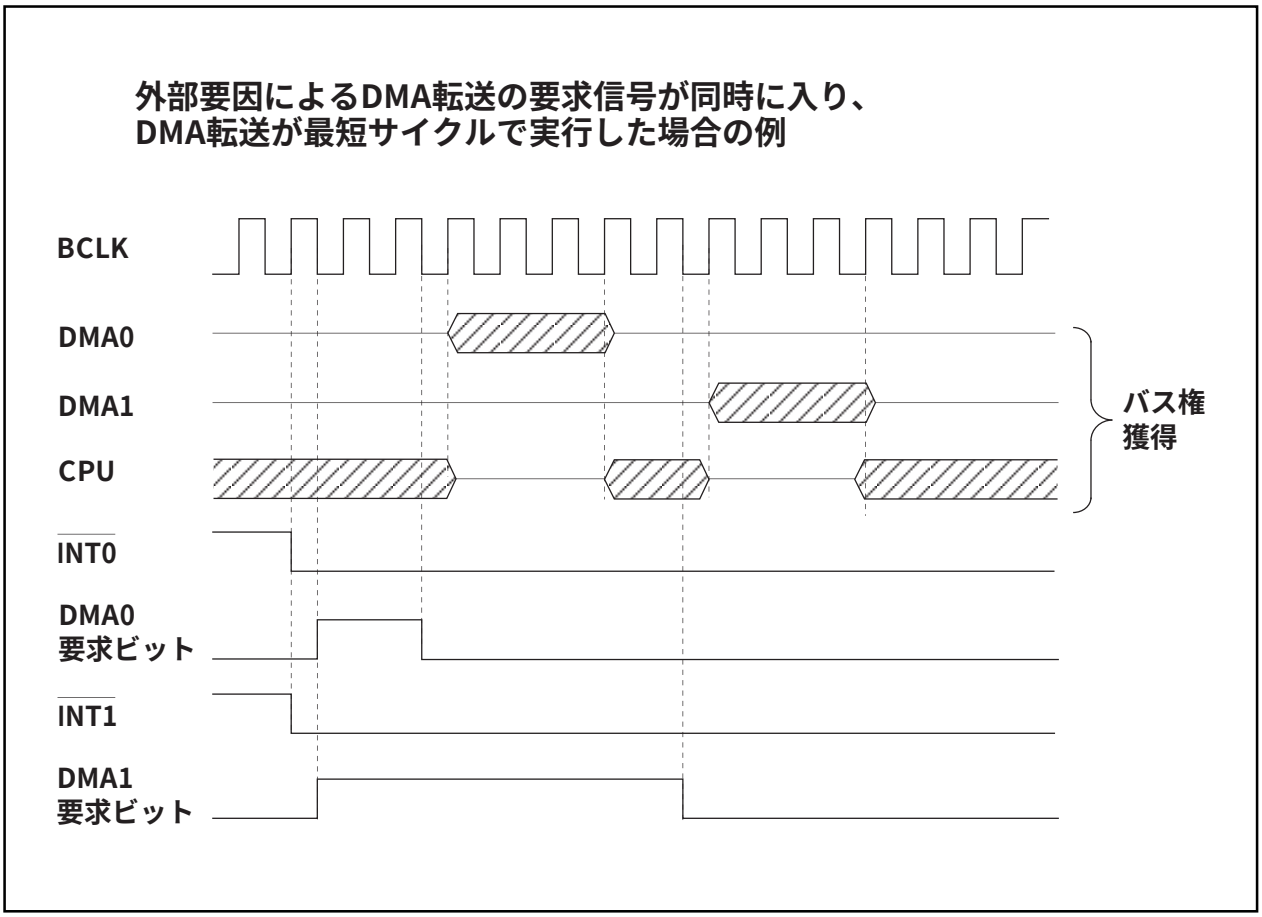
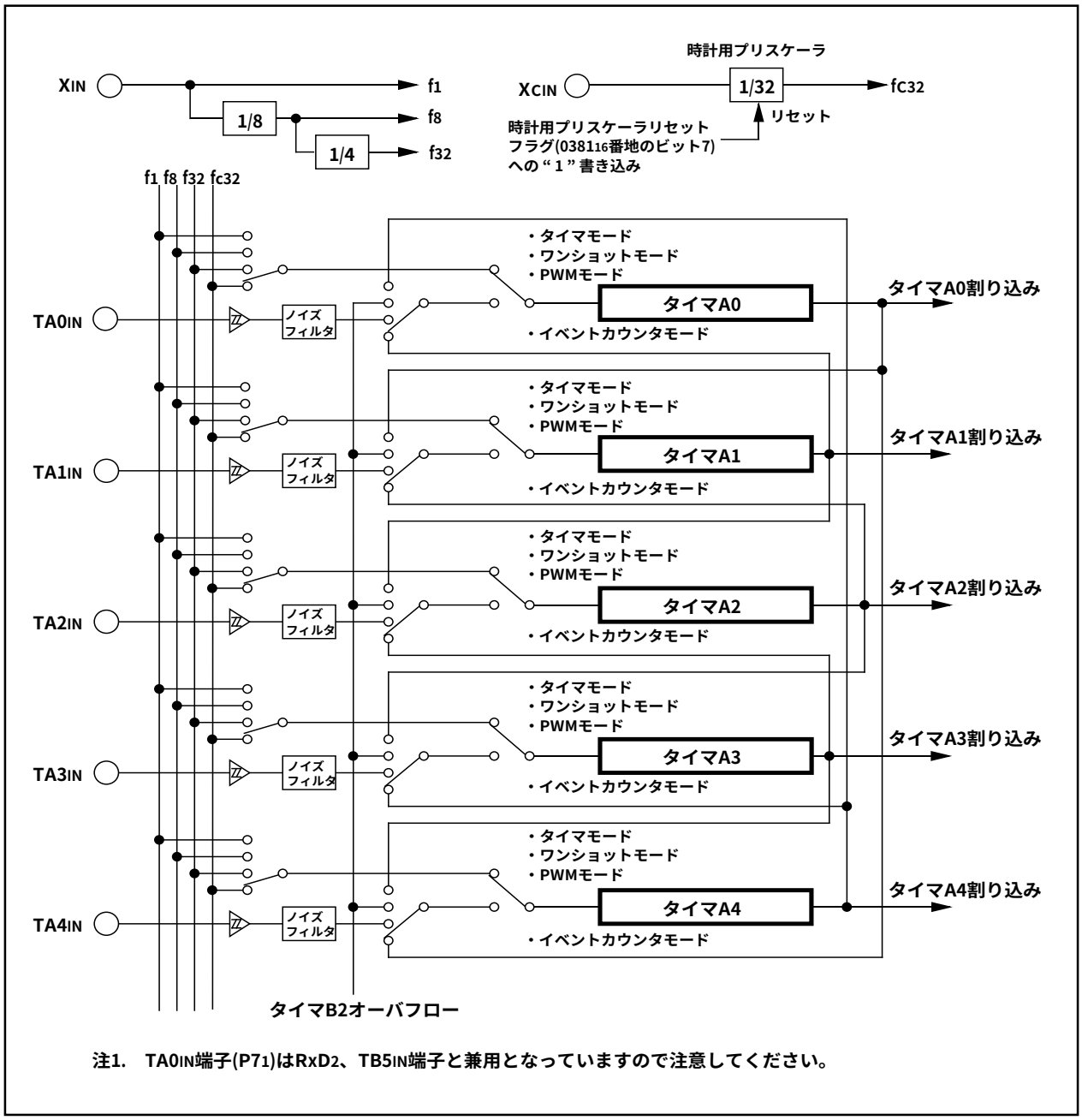


図1.16.6. 外部要因によるDMA転送例

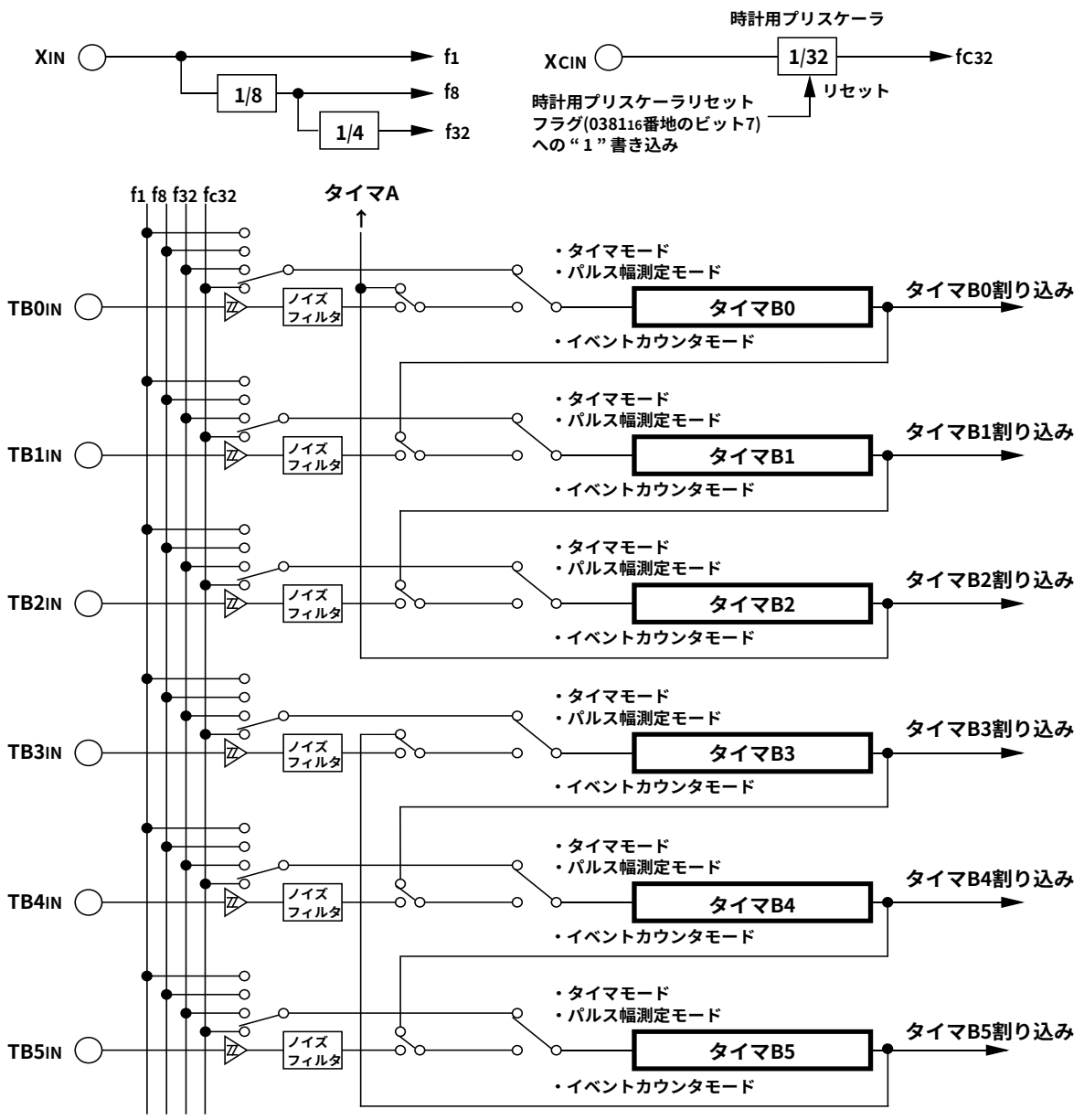
タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.17.1にタイマA、図1.17.2にタイマBの構成を示します。



注1. TA0IN端子(P71)はRxD2、TB5IN端子と兼用となっていますので注意してください。

図1.17.1. タイマA構成



注1.　TB5IN端子(P71)はRxD2、TA0IN端子と兼用となっていますので注意してください。

図1.17.2.　タイマB構成

タイマA

図1.17.3にタイマAのブロック図を、図1.17.4～図1.17.6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード　　カウント値が“ 0000_{16} ”になるとカウントが止まるモード
- ・パルス幅変調モード　　任意のパルス幅を連続して出力するモード

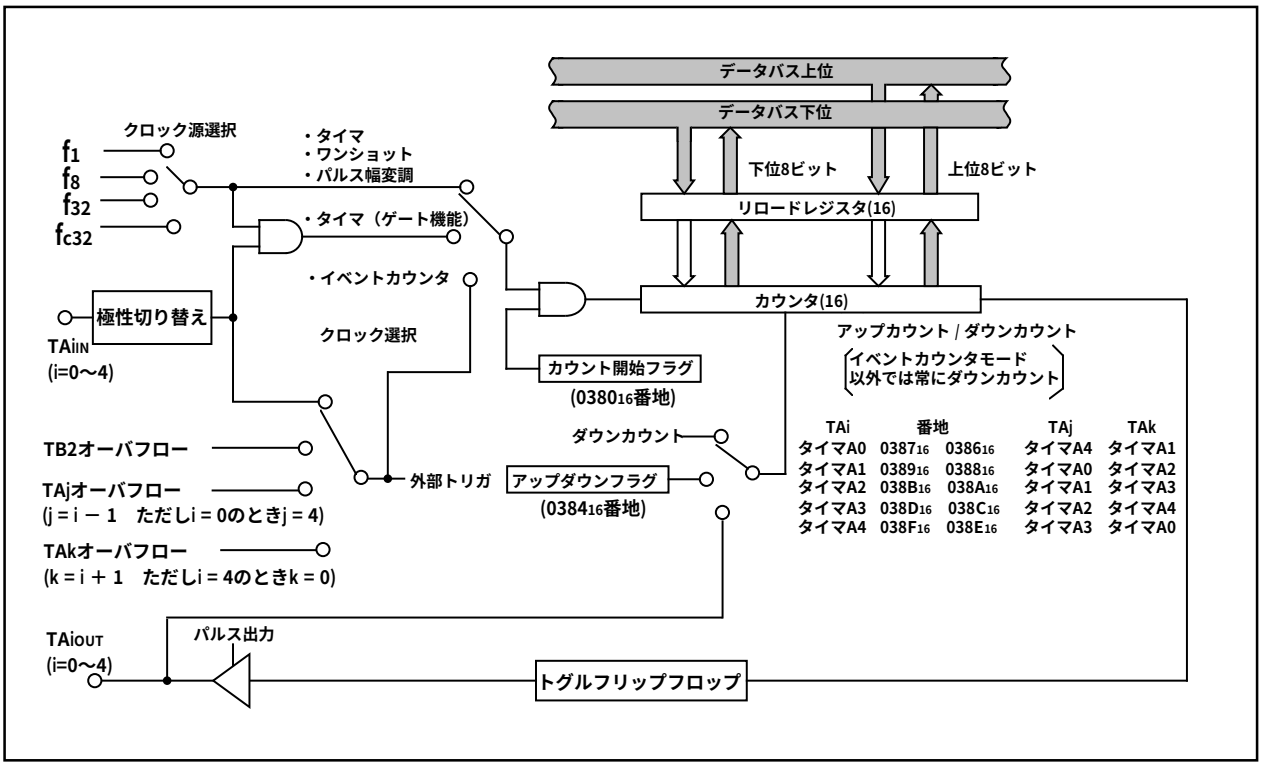


図1.17.3. タイマAブロック図

タイマAiモードレジスタ

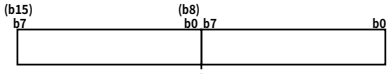
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		○	○
TCK1			○	○

図1.17.4. タイマA関連レジスタ(1)

タイマAiレジスタ(注1)

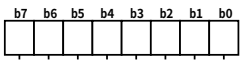


シンボル	アドレス	リセット時
TA0	0387$_{16}$,0386$_{16}$番地	不定
TA1	0389$_{16}$,0388$_{16}$番地	不定
TA2	038B$_{16}$,038A$_{16}$番地	不定
TA3	038D$_{16}$,038C$_{16}$番地	不定
TA4	038F$_{16}$,038E$_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000$_{16}$～FFFF$_{16}$	×	○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000$_{16}$～FFFE$_{16}$	×	○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケーラ、上位アドレスは8ビットパルス幅変調器として動作	00$_{16}$～FE$_{16}$ (上位、下位アドレスとも)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。

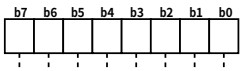
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

アップダウンフラグ



シンボル	アドレス	リセット時
UDF	0384$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

図1.17.5.　タイマA関連レジスタ(2)

ワンショット開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
ONSF	0382$_{16}$番地	00X00000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
TA0TGL	タイマA0イベント／ トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TRGSR	0383$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

時計用プリスケーラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“ 0 ”)	○	○

図1.17.6.　タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.17.1)。図1.17.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.17.1. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	ゲート機能選択ビット	b4 b3 0 X(注2): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0 : TAiIN端子が“L”レベルの期間だけカウントを行う(注3) 1 1 : TAiIN端子が“H”レベルの期間だけカウントを行う(注3)	○	○
MR2			○	○
MR3	0 : タイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. “0”または“1”いずれでも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図1.17.7. タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.17.2に、タイマAiモードレジスタの構成を図1.17.8に示します。二相の外部信号をカウントする場合の仕様を表1.17.3に、タイマAiモードレジスタの構成を図1.17.9に示します。

表1.17.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　　目	仕　　様
カウントソース	●TAiIN端子に入力された外部信号(ソフトウエアにて有効エッジを選択可能) ●TB2のオーバフロー、TAjのオーバフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1.　フリーラン機能選択時は除きます。

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

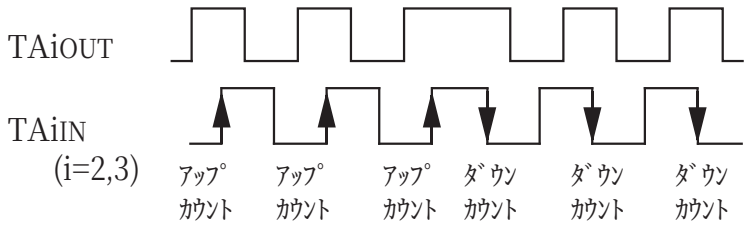
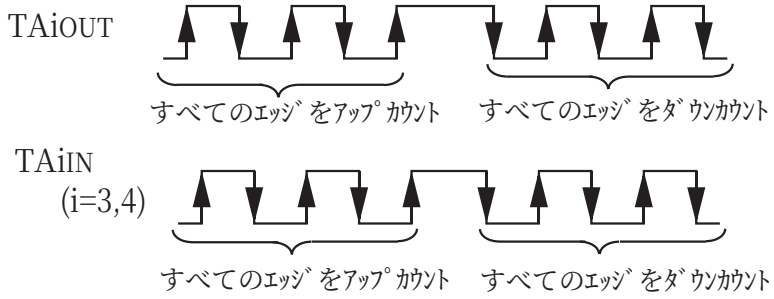
シンボル	アドレス	リセット時
TAiMR(i=0,1)	0396₁₆,0397₁₆番地	00₁₆

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注4)	○	○
MR3	0 : イベントカウンタモードでは必ず“0”に固定		○	○
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ	○	○
TCK1	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○

注1.　イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0382₁₆,0383₁₆番地)で選択。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3.　外部信号カウント時だけ有効。
注4.　TAiOUT端子の入力信号が“L”のときダウンカウントを、“H”のときアップカウントを行います。
対応するポート方向レジスタは“0”にしてください。

図1.17.8. イベントカウンタモード時のタイマAiモードレジスタの構成

表1.17.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項　　目	仕　　様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●通常処理動作 TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。  ●4逓倍処理動作 TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　フリーラン機能選択時は除く。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル	アドレス	リセット時
TAiMR(i=2~4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注2)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注3)	○	○
MR3	0 : イベントカウンタモードモードでは必ず“0”に固定		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注4)(注5)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2.　外部信号カウント時だけ有効。
注3.　対応するポート方向レジスタは“0”にしてください。
注4.　このビットはタイマA3モードレジスタにおいて有効。
　　タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
注5.　2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384_{16}番地)は“1”に、
　　イベント/トリガ選択ビット(0382_{16},0383_{16}番地)は“00”にしてください。

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル	アドレス	リセット時
TAiMR(i=2~4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
MR1	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
MR2	1 : 二相パルス信号処理使用時では必ず“1”に固定		○	○
MR3	0 : 二相パルス信号処理使用時では必ず“0”に固定		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注1)(注2)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　このビットはタイマA3モードレジスタにおいて有効。
　　タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。
注2.　2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384_{16}番地)は“1”に、
　　イベント/トリガ選択ビット(0382_{16},0383_{16}番地)は“00”にしてください。

図1.17.9. イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.17.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.17.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.17.4. ワンショットタイマモードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント ●カウントの値が0000₁₆になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000₁₆になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039₁₆～039A₁₆番地	00₁₆

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択レジスタ により選択	○	○
MR3	0 : ワンショットタイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8	○	○
TCK1		1 0 : f32 1 1 : fC32	○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図1.17.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.17.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.17.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.17.12に16ビットパルス幅変調器の動作例、および図1.17.13に8ビットパルス幅変調器の動作例を示します。

表1.17.5. パルス幅変調モードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fi　n:設定値 ●周期　$(2^{16}-1)$ / fi固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fi　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^{8}-1)\times(m+1)$ / fi　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
					1	1	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	1 : PWMモードでは必ず“1”に固定		○	○
MR1	外部トリガ選択ビット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1. イベント/トリガ選択ビット(038_{16},038_{16}番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2. 対応するポート方向レジスタは“0”にしてください。

図1.17.11. パルス幅変調モード時のタイマAiモードレジスタの構成

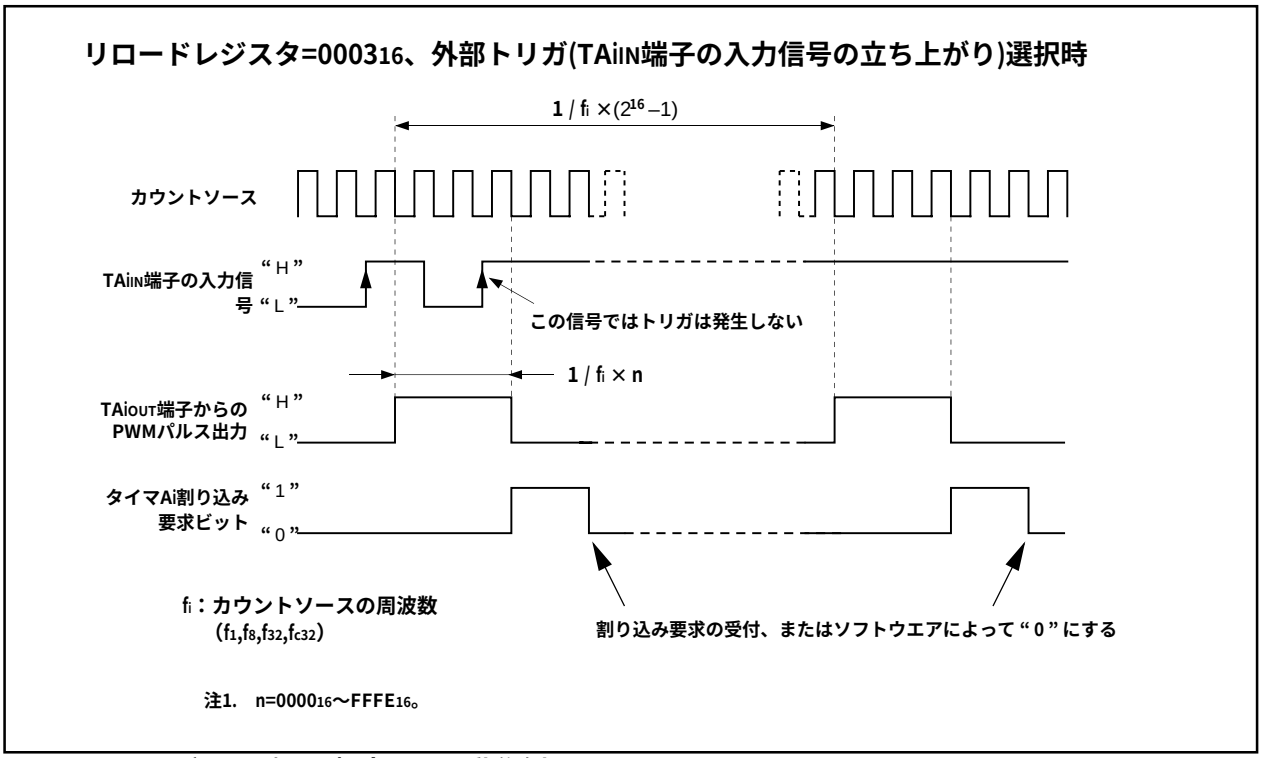


図1.17.12. 16ビットパルス幅変調器の動作例

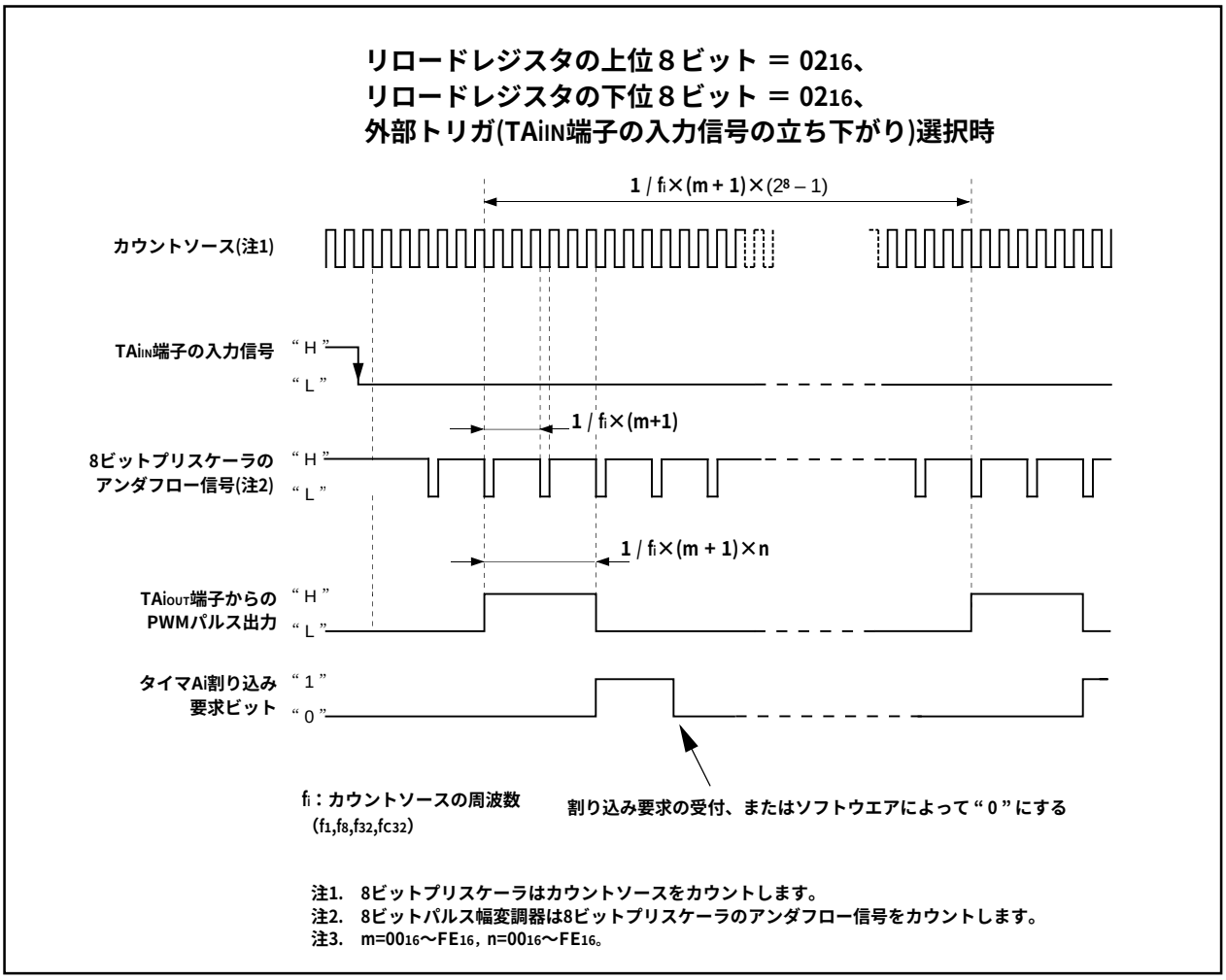


図1.17.13. 8ビットパルス幅変調器の動作例

タイマB

図1.17.14にタイマBのブロック図を、図1.17.15、図1.17.16にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～5)のビット0とビット1で選択できます。

・タイマモード　　内部カウントソースをカウントするモード
・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
・パルス周期測定／パルス幅測定モード　　外部パルスの周期またはパルス幅を測定するモード

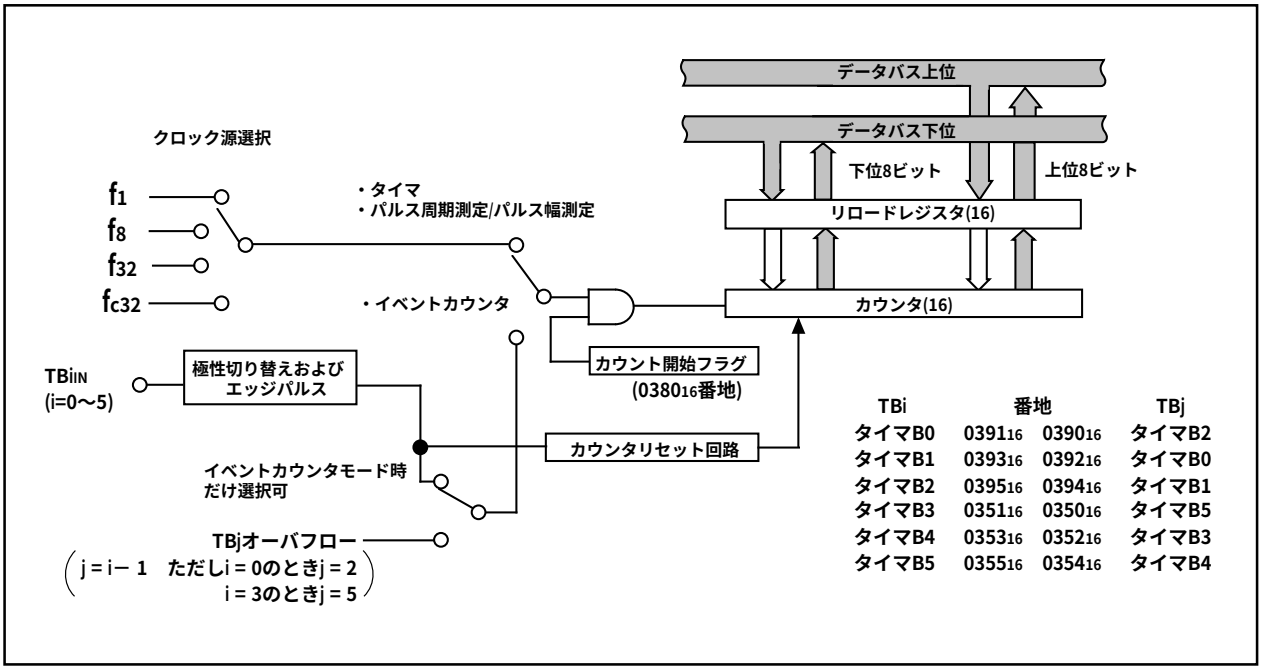
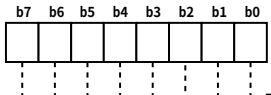


図1.17.14. タイマＢブロック図

タイマBiモードレジスタ



シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B₁₆～039D₁₆番地 035B₁₆～035D₁₆番地	00XX0000₂

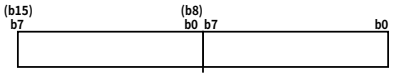
ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.17.15. タイマB関連レジスタ(1)

タイマBiレジスタ(注1)

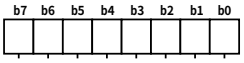
シンボル	アドレス	リセット時
TB0	0391$_{16}$,0390$_{16}$番地	不定
TB1	0393$_{16}$,0392$_{16}$番地	不定
TB2	0395$_{16}$,0394$_{16}$番地	不定
TB3	0351$_{16}$,0350$_{16}$番地	不定
TB4	0353$_{16}$,0352$_{16}$番地	不定
TB5	0355$_{16}$,0354$_{16}$番地	不定



機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

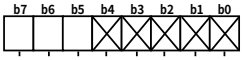
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

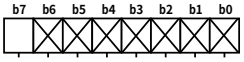
タイマB3,4,5カウント開始フラグ



シンボル	アドレス	リセット時
TBSR	0340$_{16}$番地	000XXXXX$_{2}$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウント開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_{2}$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	○	○

図1.17.16.　タイマB関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.17.6)。図1.17.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.17.6. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	$039B_{16}$～$039D_{16}$番地 $035B_{16}$～$035D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”に固定(i=0, 3)。		○(注1)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.17.17. タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表1.17.7)。タイマBiレジスタの構成を図1.17.18に示します。

表1.17.7. イベントカウンタモードの仕様

項　目	仕　様
カウントソース	●TBiIN端子に入力された外部信号 ●カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B16～039D16番地 035B16～035D16番地	00XX0000₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0 : イベントカウンタモードでは“0”に固定(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その値は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注4) 1 : TBjのオーバフロー (j = i - 1　ただしi = 0のときj = 2 i = 3のときj = 5)	○	○

注1.　TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。
　　タイマのオーバフローを選択したときは、“0”でも“1”でも可。
注2.　タイマB0、タイマB3。
注3.　タイマB1、タイマB2、タイマB4、タイマB5。
注4.　対応するポート方向レジスタは“0”にしてください。

図1.17.18. イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.17.8)。図1.17.19にパルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成、図1.17.20にパルス周期測定時の動作図、および図1.17.21にパルス幅測定時の動作図を示します。

表1.17.8. パルス周期測定／パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000₁₆”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタ書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1.　カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
注2.　カウント開始後２回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	039B₁₆～039D₁₆番地 035B₁₆～035D₁₆番地	00XX0000₂

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定（測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定（測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定（測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“0”に固定(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		×(注3)	×
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1.　タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウエアで“1”にすることはできません。
注2.　タイマB0、タイマB3。
注3.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.17.19. パルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成

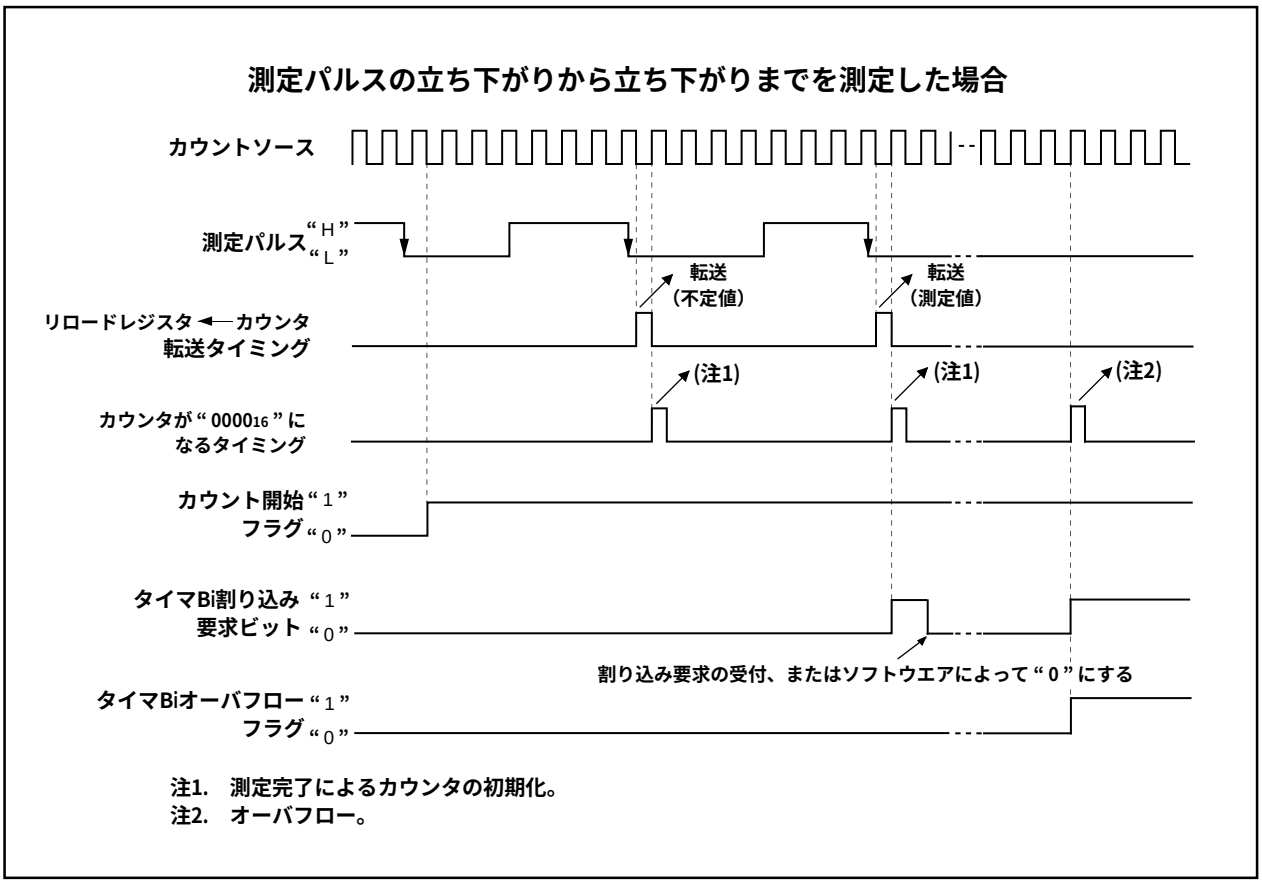


図1.17.20. パルス周期測定時の動作図

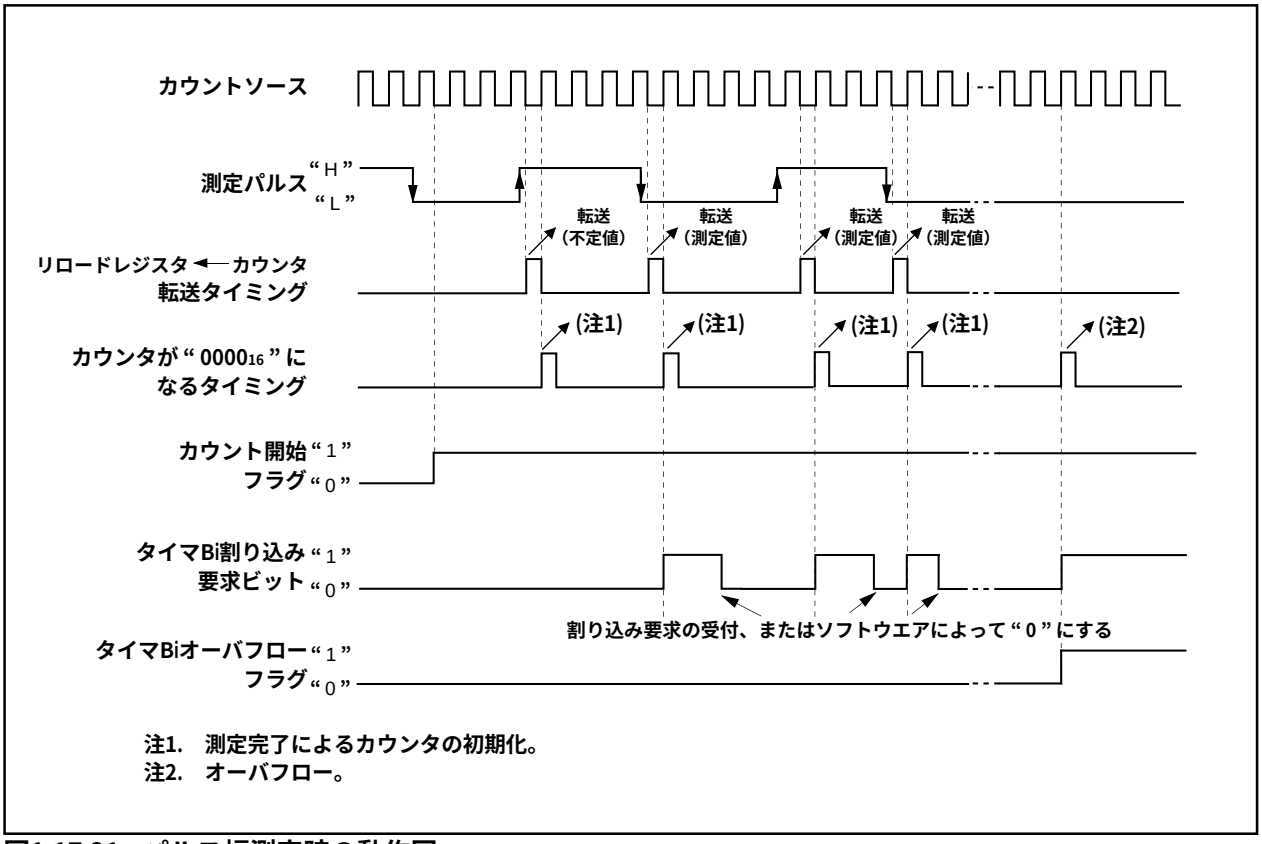


図1.17.21. パルス幅測定時の動作図

三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。
図1.18.1～図1.18.3に三相モータ制御用タイマ関連のレジスタを示します。

三相PWM制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル INVC0　　アドレス 0348_{16}番地　　リセット時 00_{16}

ビットシンボル	ビット名	機　能	R	W
INV00	割り込み有効出力極性選択ビット(注4)	0 : タイマA1リロード制御信号が"1"の時タイマB2割り込み発生 1 : タイマA1リロード制御信号が"0"の時タイマB2割り込み発生 三相モード1のときだけ有効	○	○
INV01	割り込み有効出力指定ビット(注4)	0 : 指定なし 1 : 割り込み有効出力極性選択ビットにより選択 三相モード1のときだけ有効	○	○
INV02	モード選択ビット(注2)	0 : 通常モード 1 : 三相PWM出力モード	○	○
INV03	出力制御ビット	0 : 出力禁止 1 : 出力許可	○	○
INV04	正逆相同時L出力禁止機能許可ビット	0 : 機能禁止 1 : 機能許可	○	○
INV05	正逆相同時L出力検出フラグ	0 : 未検出 1 : 検出	○	○ (注1)
INV06	変調モード選択ビット(注3)	0 : 三角波変調モード 1 : 鋸波変調モード	○	○
INV07	ソフトウエアトリガビット	1 : トリガ発生 読み出し時の値は "0"	○	○

注1. “0”だけ書き込み可。
注2. 三相PWM出力モードに設定することにより、$P8_0$, $P8_1$, $P7_2$～$P7_5$はU, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$出力になり、短絡防止時間設定タイマやU, V, W相出力制御回路、タイマB2割り込み頻度設定回路が動作する。
注3. 三角波変調モード時 : 短絡防止タイマはタイマAi出力の立ち下がりに同期してスタート。
三相出力バッファレジスタから三相出力シフトレジスタへのデータ転送は三相出力バッファレジスタへの書き込み実施後、転送トリガ信号に同期し一回のみ行われる。
鋸波変調モード時 : 短絡防止タイマはタイマA出力の立ち下がりと転送トリガ信号に同期してスタート。
三相出力バッファレジスタから三相出力シフトレジスタへのデータ転送は転送トリガ信号ごとに行われる。
注4. 三相PWM制御レジスタのビット0(INV00)、ビット1(INV01)にともに“1”を書き込む場合は、タイマB2割り込み発生頻度設定カウンタの内容を設定してから書き込んでください。

三相PWM制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
			0				

シンボル INVC1　　アドレス 0349_{16}番地　　リセット時 00_{16}

ビットシンボル	ビット名	機　能	R	W
INV10	タイマAiスタートトリガ信号選択ビット	0 : タイマB2オーバフロー信号 1 : タイマB2オーバフロー信号、タイマB2への書き込み信号	○	○
INV11	タイマA1-1, A2-1, A4-1制御ビット	0 : 三相モード0 1 : 三相モード1	○	○
INV12	短絡防止タイマカウントソース選択ビット	0 : 使用禁止 1 : $f_1/2$(注1)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。。読み出した場合、その値は“0”。			—	—

注1. 三相PWM出力モードを使用する場合は、INV12に“1”を書き込んでください。

図1.18.1.　三相モータ制御用タイマ関連のレジスタ

三相出力バッファレジスタ0(注1)

シンボル	アドレス	リセット時
IDB0	034A16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DU0	U相出力バッファ0	U相出力バッファ0の設定値	○	○
DUB0	$\overline{U}$相出力バッファ0	$\overline{U}$相出力バッファ0の設定値	○	○
DV0	V相出力バッファ0	V相出力バッファ0の設定値	○	○
DVB0	$\overline{V}$相出力バッファ0	$\overline{V}$相出力バッファ0の設定値	○	○
DW0	W相出力バッファ0	W相出力バッファ0の設定値	○	○
DWB0	$\overline{W}$相出力バッファ0	$\overline{W}$相出力バッファ0の設定値	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

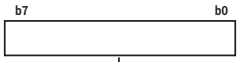
三相出力バッファレジスタ1(注1)

シンボル	アドレス	リセット時
IDB1	034B16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DU1	U相出力バッファ1	U相出力バッファ1の設定値	○	○
DUB1	$\overline{U}$相出力バッファ1	$\overline{U}$相出力バッファ1の設定値	○	○
DV1	V相出力バッファ1	V相出力バッファ1の設定値	○	○
DVB1	$\overline{V}$相出力バッファ1	$\overline{V}$相出力バッファ1の設定値	○	○
DW1	W相出力バッファ1	W相出力バッファ1の設定値	○	○
DWB1	$\overline{W}$相出力バッファ1	$\overline{W}$相出力バッファ1の設定値	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

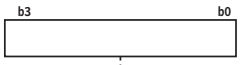
短絡防止タイマ



シンボル	アドレス	リセット時
DTT	034C16番地	不定

機　　能	設定可能値	R	W
短絡防止時間の設定	1～255	—	○

タイマB2割り込み発生頻度設定カウンタ



シンボル	アドレス	リセット時
ICTB2	034D16番地	不定

機　　能	設定可能値	R	W
タイマB2割り込み要求の発生頻度の設定	1～15	—	○

注1.　三相PWM制御レジスタ0のビット1(INV01)の割り込み有効出力指定ビットが“1”のとき、三相モータ制御用タイマ機能動作中にはタイマB2割り込み発生頻度設定カウンタを書き換えないでください。
注2.　タイマB2のオーバフローが発生するタイミングでは書き込みを行わないでください。

図1.18.2.　三相モータ制御用タイマ関連のレジスタ

タイマAiレジスタ(注1)

(b15) b7 … (b8) b0 b7 … b0

シンボル	アドレス	リセット時
TA1	0389_{16},0388_{16}番地	不定
TA2	$038B_{16}$,$038A_{16}$番地	不定
TA4	$038F_{16}$,$038E_{16}$番地	不定
TB2	0395_{16},0394_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000_{16}～$FFFF_{16}$	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。

タイマAi-1レジスタ(注1)

(b15) b7 … (b8) b0 b7 … b0

シンボル	アドレス	リセット時
TA11	0343_{16},0342_{16}番地	不定
TA21	0345_{16},0344_{16}番地	不定
TA41	0347_{16},0346_{16}番地	不定

機　　能	設定可能値	R	W
内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TRGSR	0383_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“0”にしてください。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TABSR	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

図1.18.3.　三相モータ制御用タイマ関連のレジスタ

三相モータ駆動波形出力モード(三相波形モード)

図1.18.1に示す三相PWM制御レジスタ0(0348$_{16}$番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1，A2，A4，B2の4つのタイマを使用する三相波形モードが選択されます。図1.18.4に示すように三相波形モードではタイマA1、A2、A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

タイマAiモードレジスタ

シンボル	アドレス	リセット時
TA1MR	0397$_{16}$番地	00$_{16}$
TA2MR	0398$_{16}$番地	00$_{16}$
TA4MR	039A$_{16}$番地	00$_{16}$

b7	b6	b5	b4	b3	b2	b1	b0
		0	1		0	1	0

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	三相PWM波形モードでは“0”に固定	○	○
MR1	外部トリガ選択ビット	三相PWM波形モードでは無効	○	○
MR2	トリガ選択ビット	1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	0 : ワンショットタイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	○	○
TCK1			○	○

タイマB2モードレジスタ

シンボル	アドレス	リセット時
TB2MR	039D$_{16}$番地	00XX0000$_2$

b7	b6	b5	b4	b3	b2	b1	b0
			0			0	0

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”に固定		○	○
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	○	○
TCK1			○	○

図1.18.4.　三相波形モード時のタイマモードレジスタおよびトリガ選択レジスタ

三相波形モード時のブロック図を図1.18.5に示します。三相波形モードにおいては正相波形(U相、V相、W相)および逆相波形($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)の6つの波形がP80，P81，P72，P73，P74，P75から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、$\overline{U}$相、タイマA1はV相、$\overline{V}$相、タイマA2はW相、$\overline{W}$相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1～255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ(034C16番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(0349₁₆番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が00₁₆になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相波形モードにおける正相波形(U相、V相、W相)とその逆相波形($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)は三相PWM制御レジスタ0(0348₁₆番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはポート方向レジスタで設定した状態になります。このビットは、命令で“0”にする以外に、$\overline{NMI}$入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と$\overline{U}$相、V相と$\overline{V}$相、W相と$\overline{W}$相のいずれかが同時に“L”になることでポートはポート方向レジスタで設定した状態になります。

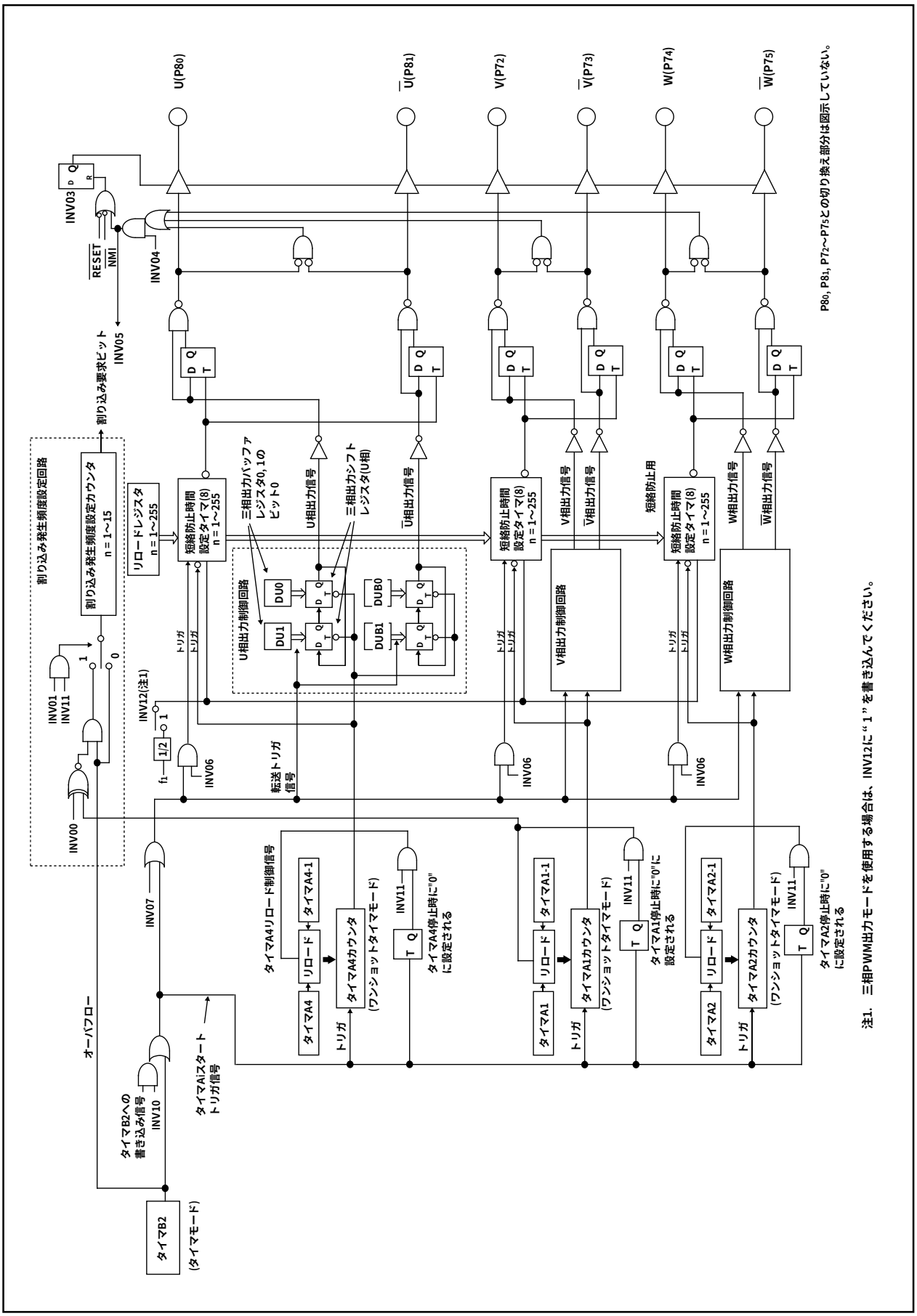


図1.18.5. 三相波形モードのブロック図

三角波変調

三角波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348$_{16}$番地)の変調モード選択ビット(ビット6)を“0”に設定します。そして、三相PWM制御レジスタ1(0349$_{16}$番地)のタイマA4-1、 A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000$_{16}$になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348$_{16}$番地)の割り込み有効出力指定ビット(ビット1)が“0”であれば、タイマB2のカウンタの値が0000$_{16}$になるごとに発生する割り込み要求の発生頻度をタイマB2割り込み発生頻度設定カウンタ(034D$_{16}$番地)によって設定できます。発生頻度は(設定値 ; 設定値≠0)で与えられます。

また、三相PWM制御レジスタ0(0348$_{16}$番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0348$_{16}$番地)の割り込み有効出力極性選択ビット(ビット0)で行います。

次に、U相波形の一例を図1.18.6に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A$_{16}$番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034B$_{16}$番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000$_{16}$になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”にして、割り込み有効出力極性選択ビットを“0”にし、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000$_{16}$になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ($\overline{U}$相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000$_{16}$になってもシフトレジスタへの設定はされません。

U端子(P8$_0$)にはDU0の値が、$\overline{U}$端子(P8$_1$)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F$_{16}$番地、038E$_{16}$番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、 U相出力信号にはDU1の値が、$\overline{U}$相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である$\overline{U}$相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000$_{16}$になるとタイマA4のカウンタがタイマA4-1(0347$_{16}$番地、0346$_{16}$番地)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相である$\overline{U}$相波形は$\overline{U}$相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{U}$相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相である$\overline{V}$相、$\overline{W}$相についても、それに対応したタイマで同様に動作し、波形が発生します。

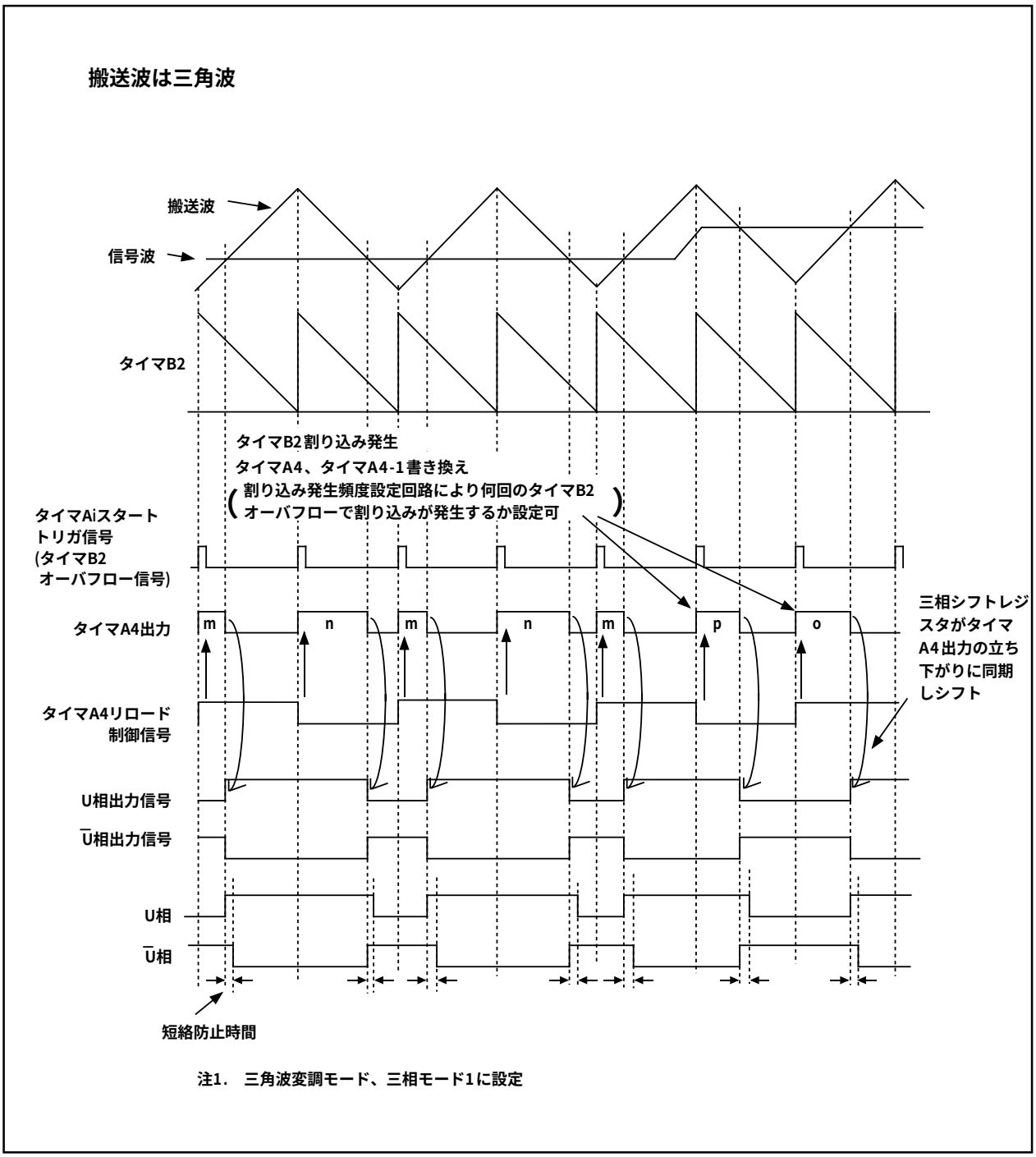


図1.18.6. 動作タイミング図(1)

また、三相出力バッファレジスタ0(034A16番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(034B16番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図1.18.7のような、U相のみ出力、$\overline{U}$相は“H”固定、またはU相は“H”固定、$\overline{U}$相のみ出力の波形を出力することができます。

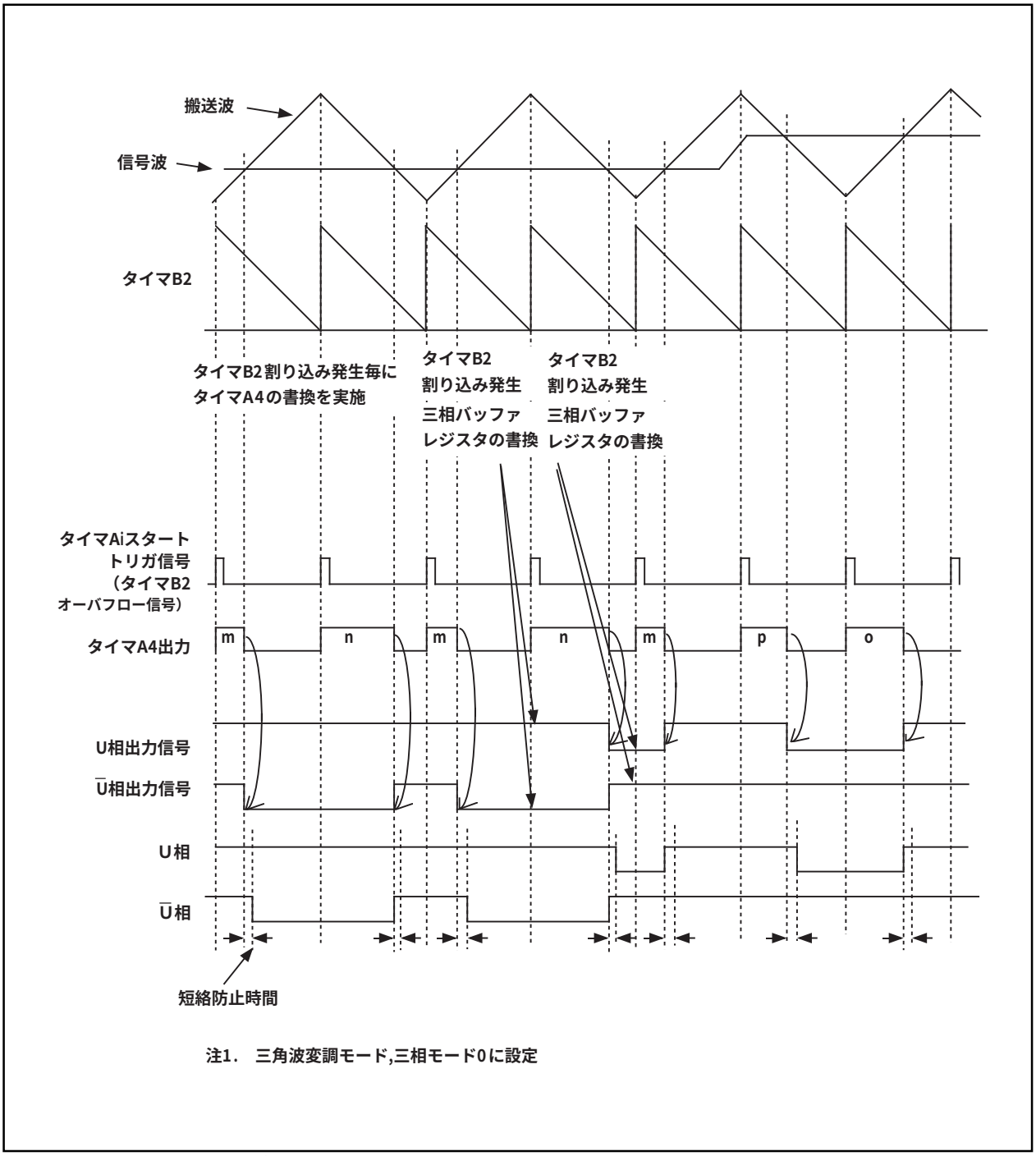


図1.18.7. 動作タイミング図(2)

鋸波変調

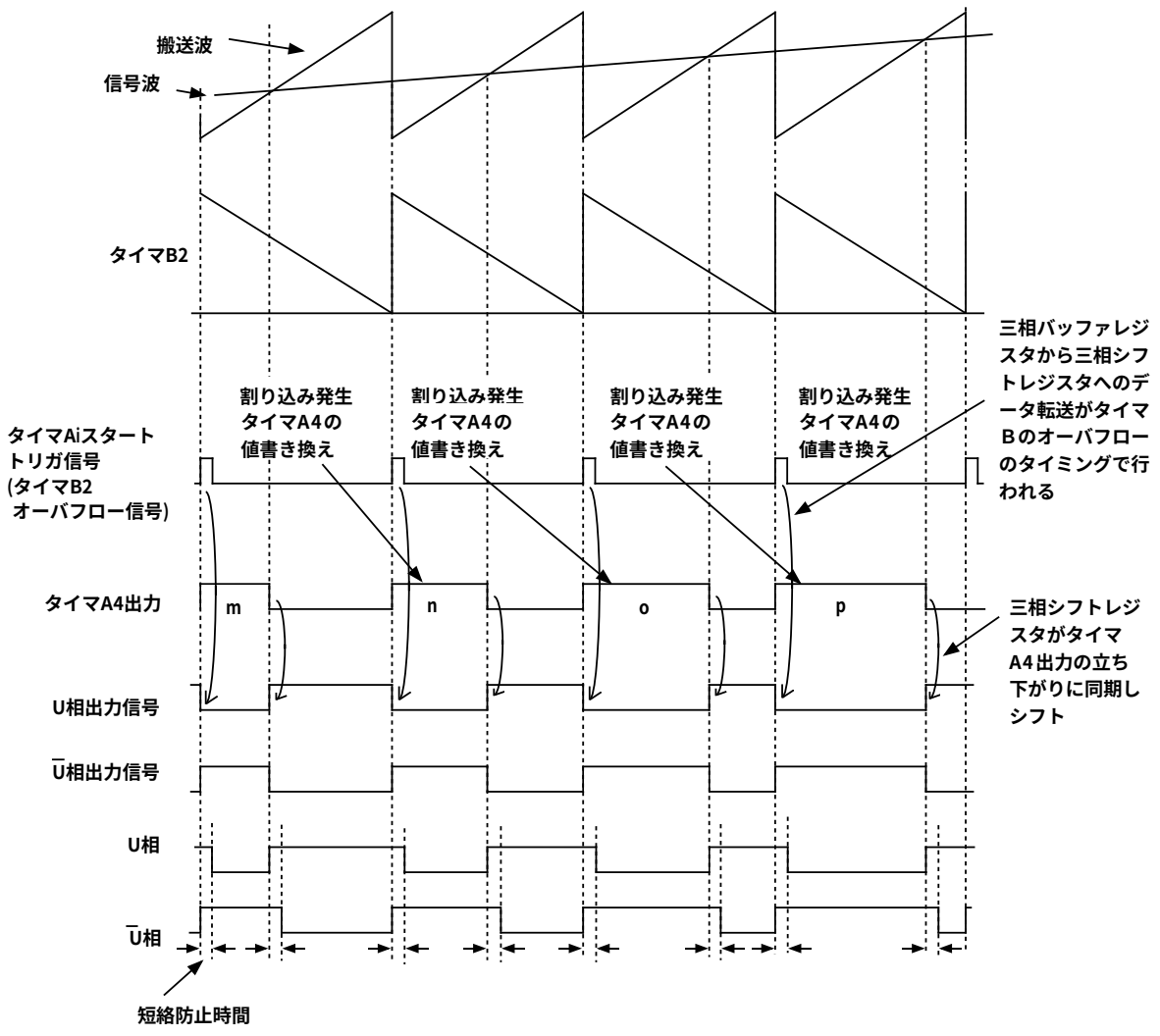
鋸波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0348$_{16}$番地)の変調モード選択ビット(ビット6)を“1”に設定します。そして、三相PWM制御レジスタ1(0349$_{16}$番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、タイマA4、A1、A2のタイマレジスタは従来のタイマA4，A1，A2のみで、タイマB2のカウンタの内容が0000$_{16}$になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348$_{16}$番地)の割り込み有効出力指定ビット(ビット1)や割り込み有効出力極性選択ビット(ビット0)は無効になります。

次に、U相波形の一例を図1.18.8に示し、波形出力動作を説明します。三相出力バッファレジスタ0(034A$_{16}$番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(034A$_{16}$番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。

タイマB2のカウンタの内容が0000$_{16}$になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\overline{\text{U}}$相)に設定されます。以降タイマB2のカウンタの内容が0000$_{16}$になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P8$_0$)にはDU0の値が、$\overline{\text{U}}$端子(P8$_1$)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F$_{16}$番地、038E$_{16}$番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、$\overline{\text{U}}$相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である$\overline{\text{U}}$相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000$_{16}$になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\overline{\text{U}}$相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である$\overline{\text{U}}$相波形は$\overline{\text{U}}$相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{\text{U}}$相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である$\overline{\text{V}}$相、$\overline{\text{W}}$相についても、それに対応したタイマで同様に動作し、波形が発生します。



注1. 鋸波変調モード、三相モード0に設定

図1.18.8. 動作タイミング図(3)

また、三相出力バッファレジスタ0(034A16番地)のビット1(DUB0)と三相出力バッファレジスタ1(034B16番地)のビット1(DUB1)をともに“1”に設定することにより、図1.18.9のようにU相のみ出力し、$\overline{U}$相を“H”出力固定にすることもできます。

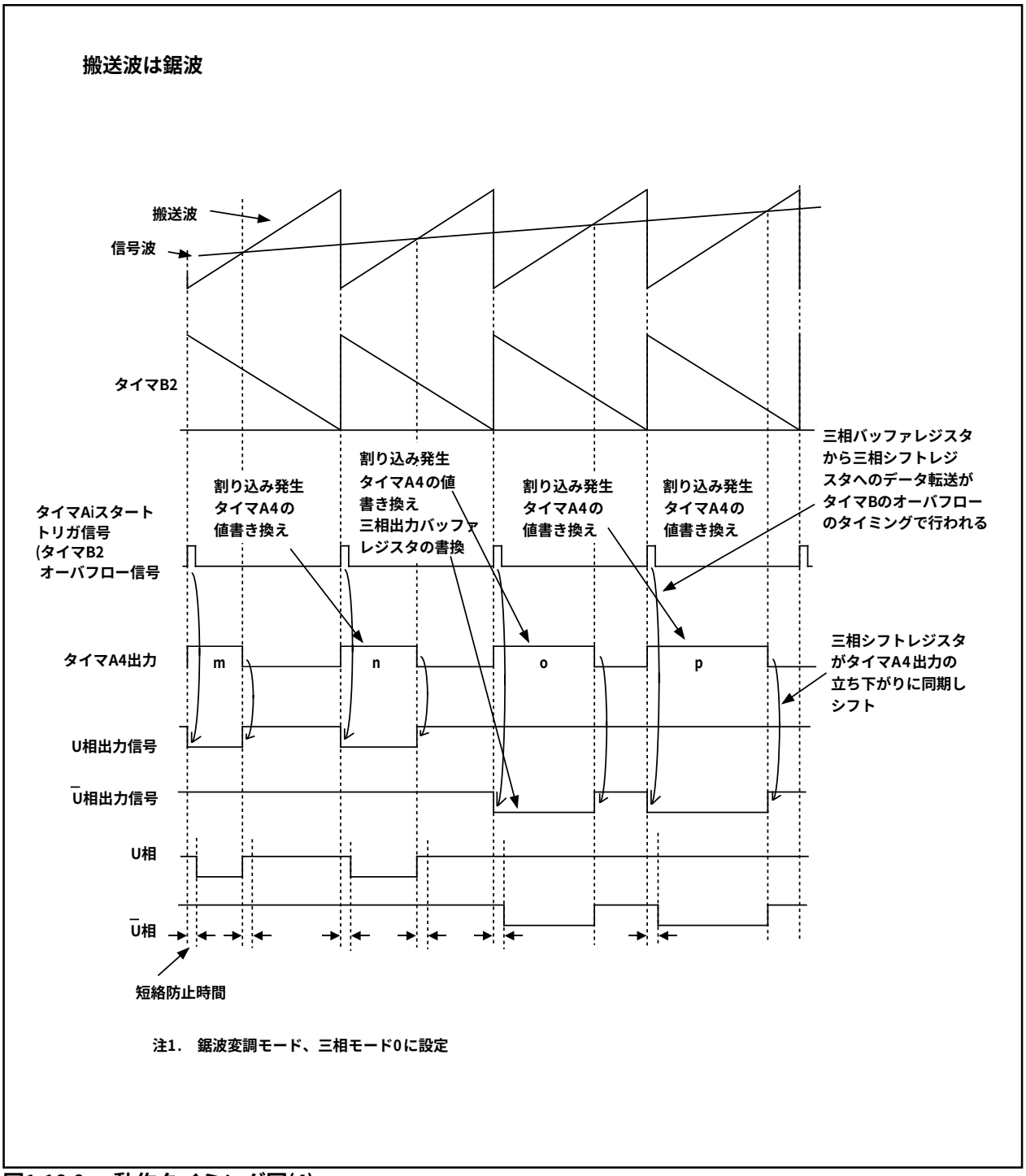


図1.18.9. 動作タイミング図(4)

シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3, 4の5チャネルで構成しています。
次にそれぞれについて説明します。

UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図1.19.1にUARTi(i=0～2)のブロック図を、図1.19.2、図1.19.3に送受信部のブロック図を示します。
UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット0～ビット2)の内容で選択します。
UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。
注1.　SIM：Subscriber Identity Module

表1.19.1にUART0～UART2の機能比較を、図1.19.4～図1.19.8に、UARTi関連のレジスタを示します。

表1.19.1.　UART0～UART2の機能比較

機　　能	UART0	UART1	UART2
CLK極性選択	可　(注1)	可　(注1)	可　(注1)
LSBファースト/MSBファースト選択	可　(注1)	可　(注1)	可　(注2)
連続受信モード選択	可　(注1)	可　(注1)	可　(注1)
転送クロック複数端子出力選択	不可	可　(注1)	不可
$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離	可	不可	不可
シリアルデータ論理切り替え	不可	不可	可　(注4)
スリープモード選択	可　(注3)	可　(注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nﾁｬﾈﾙｵｰﾌﾟﾝﾄﾞﾚｲﾝ出力
パリティエラー信号出力	不可	不可	可　(注4)
バス衝突検出	不可	不可	可

注1.　クロック同期形シリアルI/Oモード時に選択できます。
注2.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。
注3.　UARTモード時に選択できます。
注4.　SIMインタフェース対応。

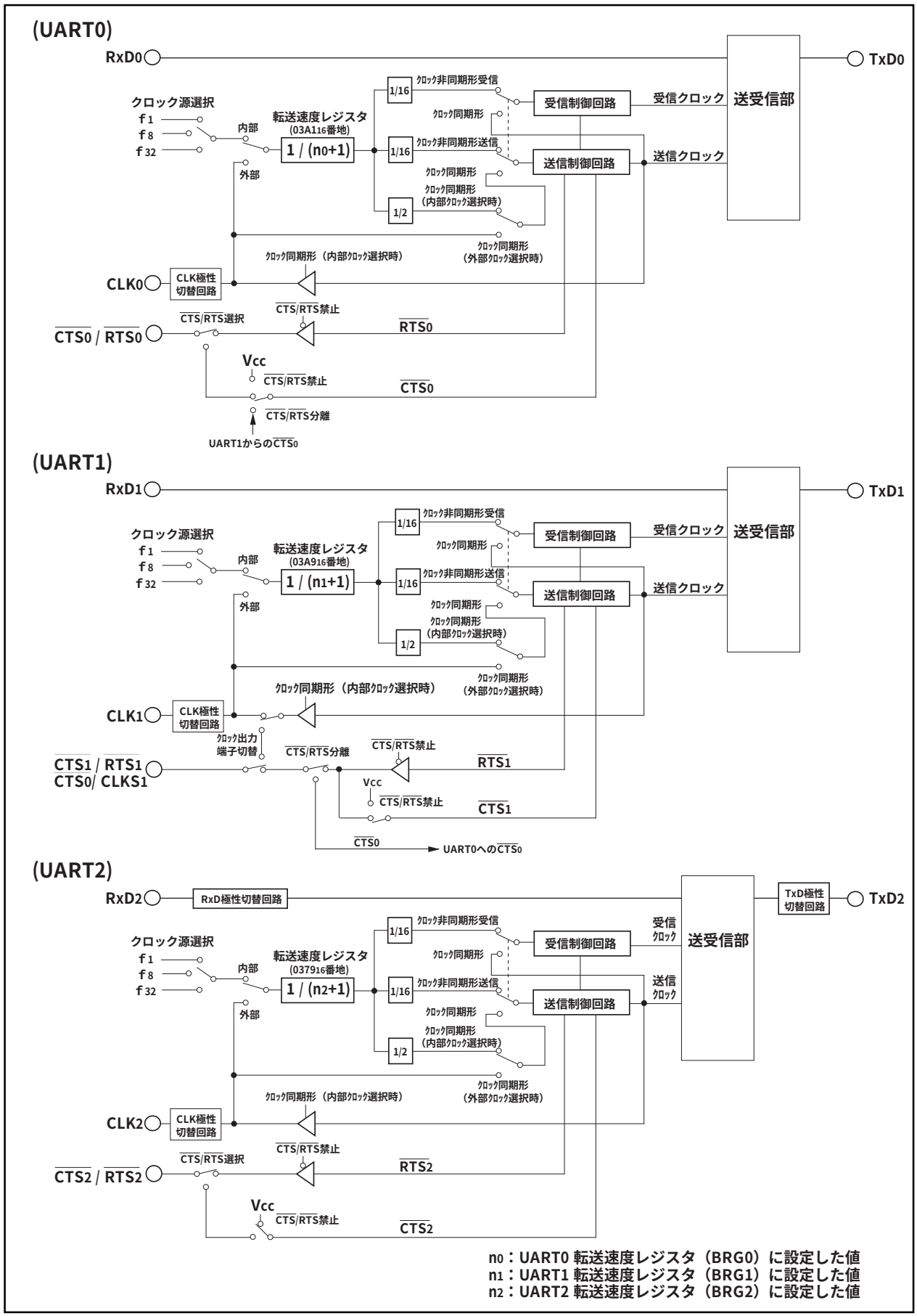


図1.19.1. UARTi(i=0～2)ブロック図

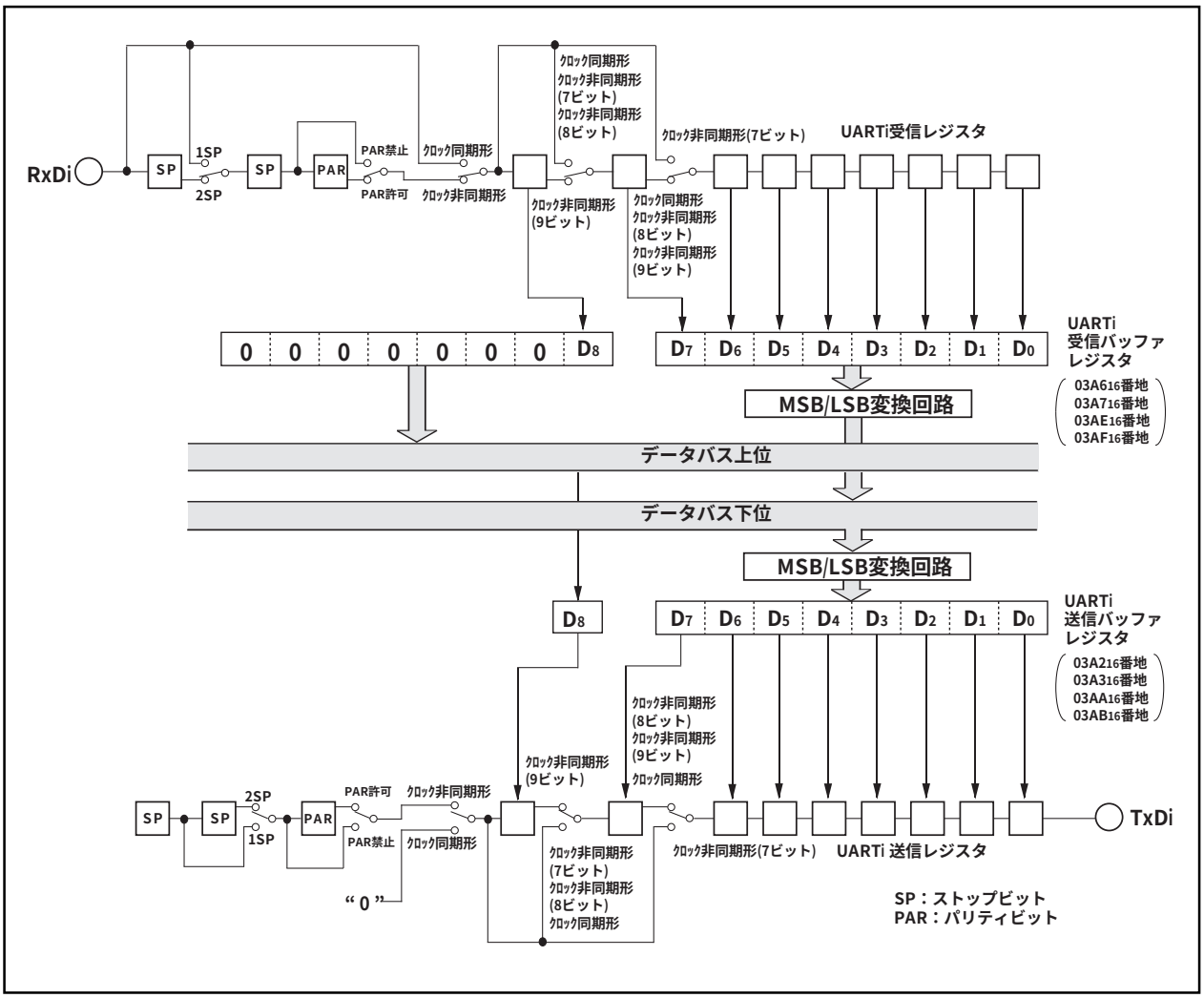


図1.19.2. UARTi(i=0,1)送受信部ブロック図

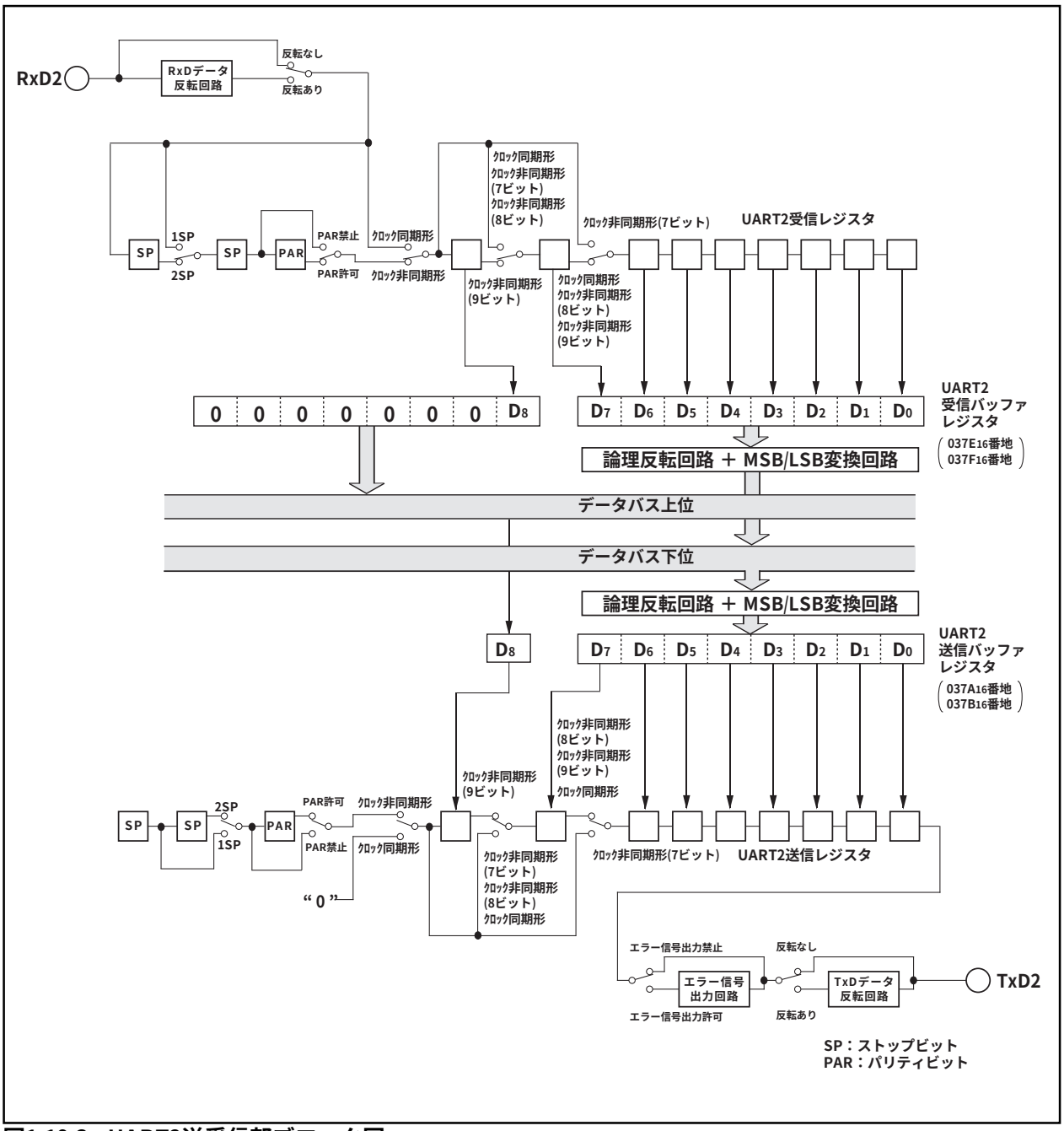
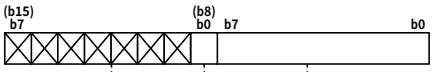


図1.19.3. UART2送受信部ブロック図

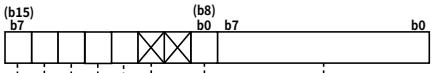
UARTi送信バッファレジスタ



シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

UARTi受信バッファレジスタ



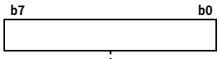
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

図1.19.4.　UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”に固定してください	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	“0”に固定してください	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

注1. IICモード使用時、ビット2～ビット0は“010$_2$”にしてください。
注2. 対応する方向レジスタは“0”にしてください。

図1.19.5. UARTi関連のレジスタ (2)

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル入出力ポートとして機能)	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”に固定してください	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		X					

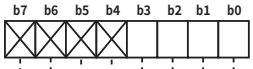
シンボル	アドレス	リセット時
U2C0	037C$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル入出力ポートとして機能)	○	○
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. クロック同期形シリアルI/OモードおよびUARTモード時だけ有効です。

図1.19.6. UARTi関連のレジスタ (3)

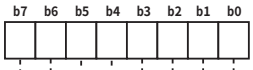
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	03A5$_{16}$,03AD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART2送受信制御レジスタ1

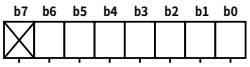


シンボル	アドレス	リセット時
U2C1	037D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“0”に固定してください	0 : 出力しない 1 : 出力する	○	○

図1.19.7. UARTi関連のレジスタ (4)

UART送受信制御レジスタ2

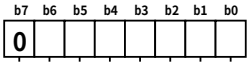


シンボル	アドレス	リセット時
UCON	03B0$_{16}$番地	X0000000$_2$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	無効	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0 : CLK1にクロックを出力 1 : CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1 (注1)	0 : 通常モード (CLK出力はCLK1のみ) 1 : 転送クロック複数端子出力機能選択	“0”に固定してください	○	○
RCSP	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離ビット	0 : $\overline{\text{CTS}}$,$\overline{\text{RTS}}$共通端子 1 : CTS,RTS分離	0 : $\overline{\text{CTS}}$,$\overline{\text{RTS}}$共通端子 1 : CTS,RTS分離	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット(03A8$_{16}$番地のビット3)=“0”

UART2特殊モードレジスタ



シンボル	アドレス	リセット時
U2SMR	0377$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0 : 通常モード 1 : IICモード	“0”に固定してください	○	○
ABC	アービトレーションロスト検出フラグ制御	0 : ビット毎に更新 1 : バイト毎に更新	“0”に固定してください	○	○
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出	“0”に固定してください	○	○ (注1)
LSYN	SCLL同期出力許可ビット	0 : 禁止 1 : 許可	“0”に固定してください	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”に固定してください	0 : 転送クロックの立ち上がり 1 : タイマA0のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”に固定してください	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”に固定してください	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1. “0”だけ書き込み可。

図1.19.8. UARTi関連のレジスタ (5)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.19.2、表1.19.3にクロック同期形シリアルI/Oモードの仕様を、図1.19.9にUARTi送受信モードレジスタの構成を示します。

表1.19.2. クロック同期形シリアルI/Oモードの仕様(1)

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“0”)：fi/2(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“1”)：CLKi端子からの入力
送信制御/受信制御	●$\overline{\text{CTS}}$機能/RTS機能/$\overline{\text{CTS}}$,$\overline{\text{RTS}}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ・$\overline{\text{CTS}}$機能選択時、$\overline{\text{CTS}}$端子の入力が“L”レベル ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット2)=“1” ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1.　nはUART転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。

注2.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表1.19.3. クロック同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択(UART1) (注1) UART1の転送クロック端子を2本設定し、ソフトウエアによって出力端子を選択可 ●$\overline{\text{CTS}}$/$\overline{\text{RTS}}$ 分離(UART0) (注1) UART0の$\overline{\text{CTS}}$端子と$\overline{\text{RTS}}$端子を別々の端子に配置できる。 ●シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRx端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

注1.　転送クロック複数端子出力機能と$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能は同時に選択できません。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは必ず“0”に固定		○	○

注1.　対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
U2MR	0378$_{16}$	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD,RxD入出力極性切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1．通常“0”にしてください。
注2.　対応する方向レジスタは“0”にしてください。

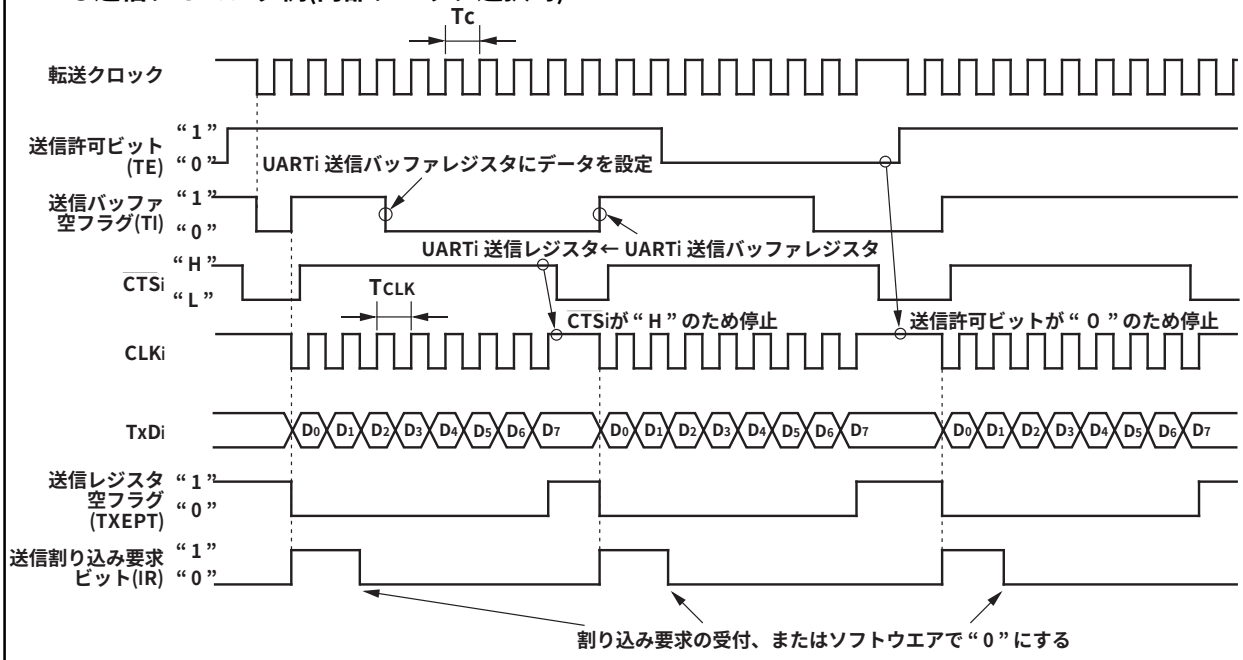
図1.19.9.　クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

表1.19.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能および$\overline{CTS}$/$\overline{RTS}$分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.19.4. クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択、$\overline{CTS}$/$\overline{RTS}$分離機能非選択時)

端子名	機　　能	選択方法
TxDi (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE16番地のビット2、ビット6、03EF16番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	転送クロック出力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“1” ポートP61、P65、P72の方向レジスタ(03EE16番地のビット1、ビット5、03EF16番地のビット2)=“0”
$\overline{CTS}$i/$\overline{RTS}$i (P60、P64、P73)	$\overline{CTS}$入力	$\overline{CTS}$/$\overline{RTS}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“0” ポートP60、P64、P73の方向レジスタ(03EE16番地のビット0、ビット4、03EF16番地のビット3)=“0”
	$\overline{RTS}$出力	$\overline{CTS}$/$\overline{RTS}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{CTS}$/$\overline{RTS}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“1”

●送信タイミング例(内部クロック選択時)

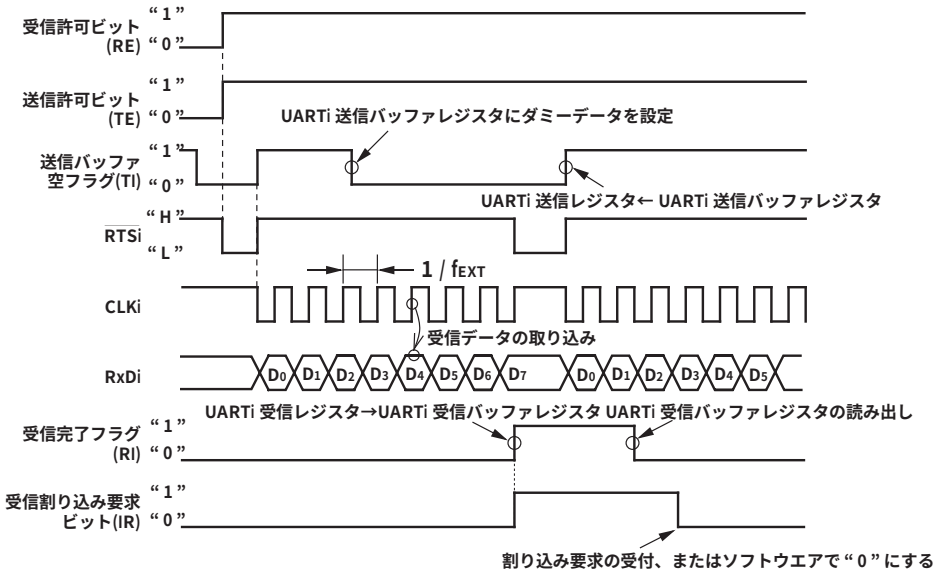


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
fi：BRGiのカウントソースの周波数(f1, f8, f32)
n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット =“0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図1.19.10. クロック同期形シリアルI/Oモード時の送信／受信タイミング例

■極性選択機能

図1.19.11に示すように、CLK極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

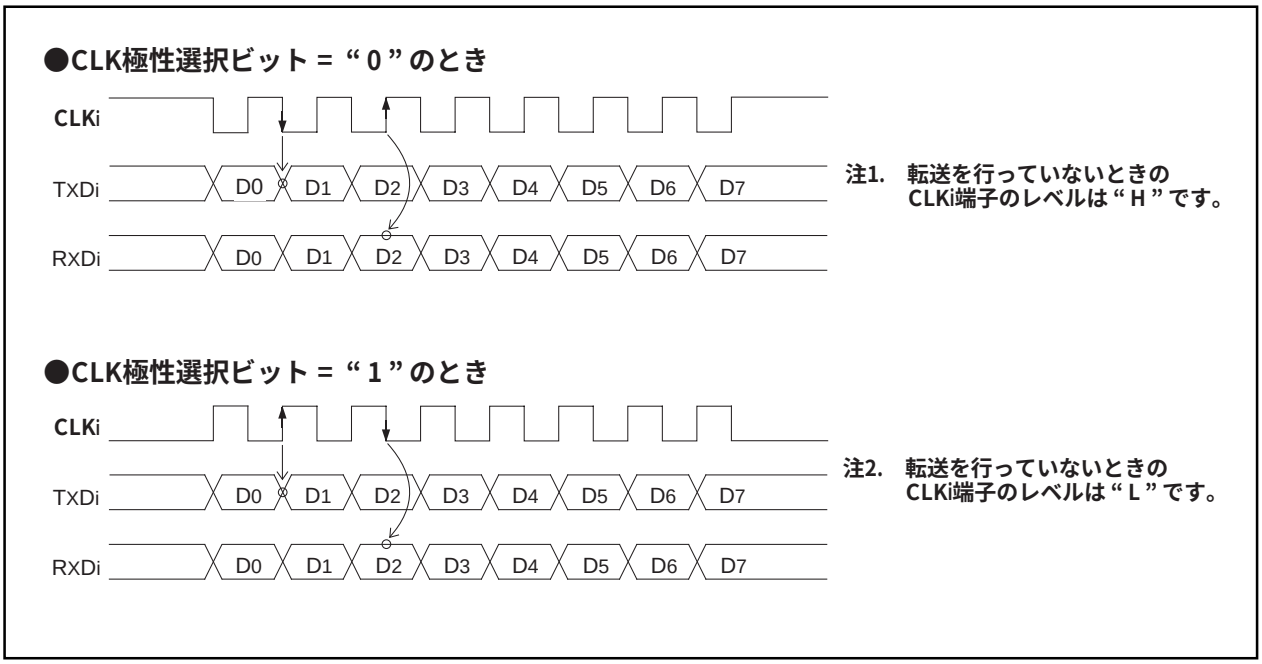


図1.19.11. 転送クロックの極性

■LSBファースト/MSBファースト選択機能

図1.19.12に示すように、転送フォーマット選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット7)の内容が “ 0 ” のとき転送フォーマットはLSBファースト、“ 1 ” のとき転送フォーマットはMSBファーストになります。

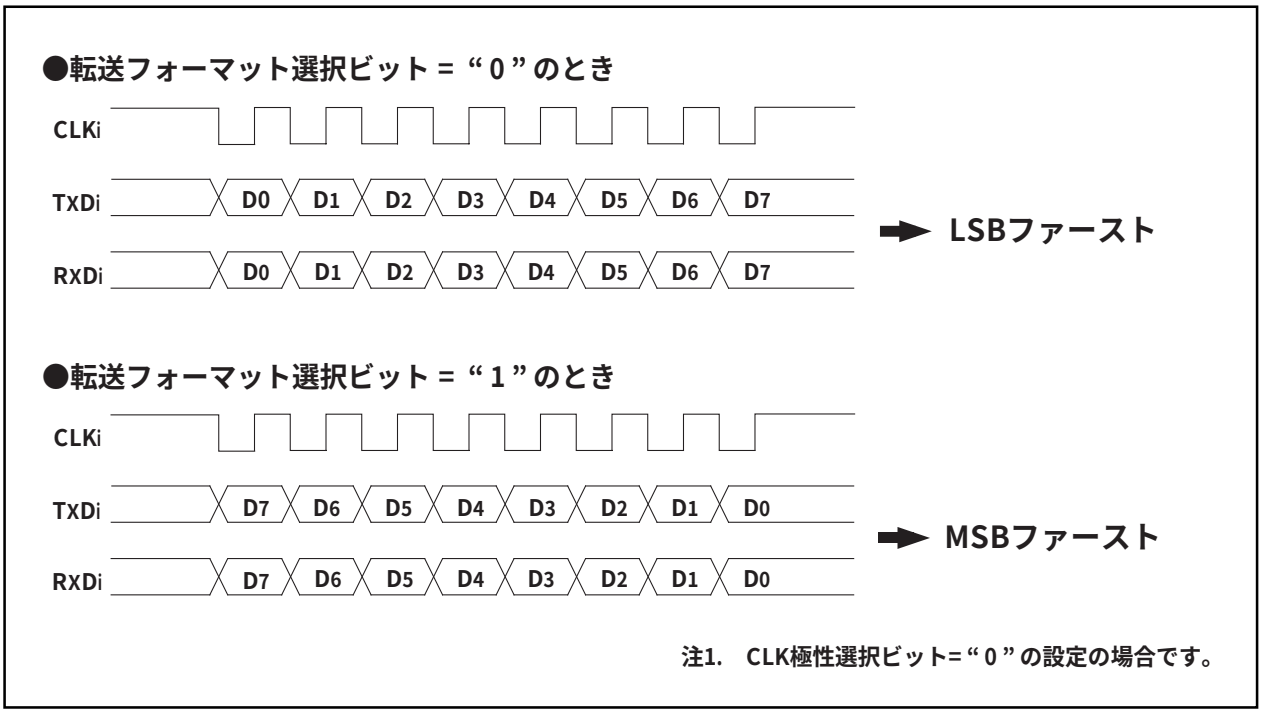
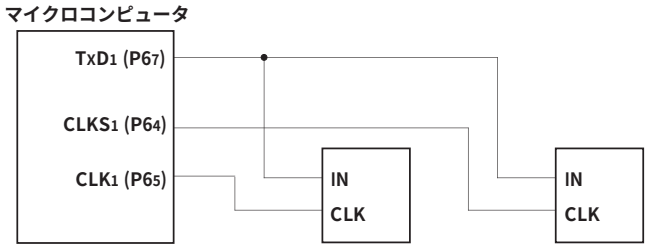


図1.19.12. 転送フォーマット

■転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0$_{16}$番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.19.13)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1の$\overline{CTS}$/$\overline{RTS}$機能は使用できません。



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

図1.19.13. 転送クロック複数端子出力機能の使用例

■連続受信モード

連続受信モード許可ビット(03B0$_{16}$番地のビット2、ビット3、037D$_{16}$番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

■$\overline{CTS}$/$\overline{RTS}$分離機能(UART0)

本機能は、クロック非同期形シリアルI/O(UART)モード時と同様の機能です。設定方法、入出力端子の機能共に同様ですので、次項「(2) クロック非同期形シリアルI/O(UART)モード」の、選択機能の項を参照してください。なお、転送クロック複数端子出力機能選択時には、本機能は無効となります。

■シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D$_{16}$番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.19.14にシリアルデータ論理切り替えのタイミング例を示します。

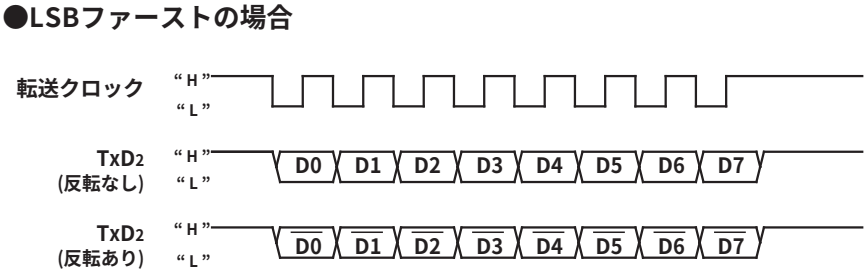


図1.19.14. シリアルデータ論理切り替えのタイミング例

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.19.5、表1.19.6にクロック非同期形シリアルI/Oモードの仕様を、図1.19.15にUARTi送受信モードレジスタの構成を示します。

表1.19.5. クロック非同期形シリアルI/Oモードの仕様(1)

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時($03A0_{16}$、$03A8_{16}$番地のビット3=“1”)： f_{EXT}/16(n+1) (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	●$\overline{CTS}$機能/$\overline{RTS}$機能/$\overline{CTS}$,$\overline{RTS}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット1)=“0” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が“L”レベル
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
注2. f_{EXT}はCLKi端子からの入力です。
注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

表1.19.6. クロック非同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●$\overline{\text{CTS}}$/$\overline{\text{RTS}}$ 分離(UART0) UART0の$\overline{\text{CTS}}$端子と$\overline{\text{RTS}}$端子を別々の端子に配置できる ●スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

注1.　対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	“0”に固定してください	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1.　通常“0”にしてください。

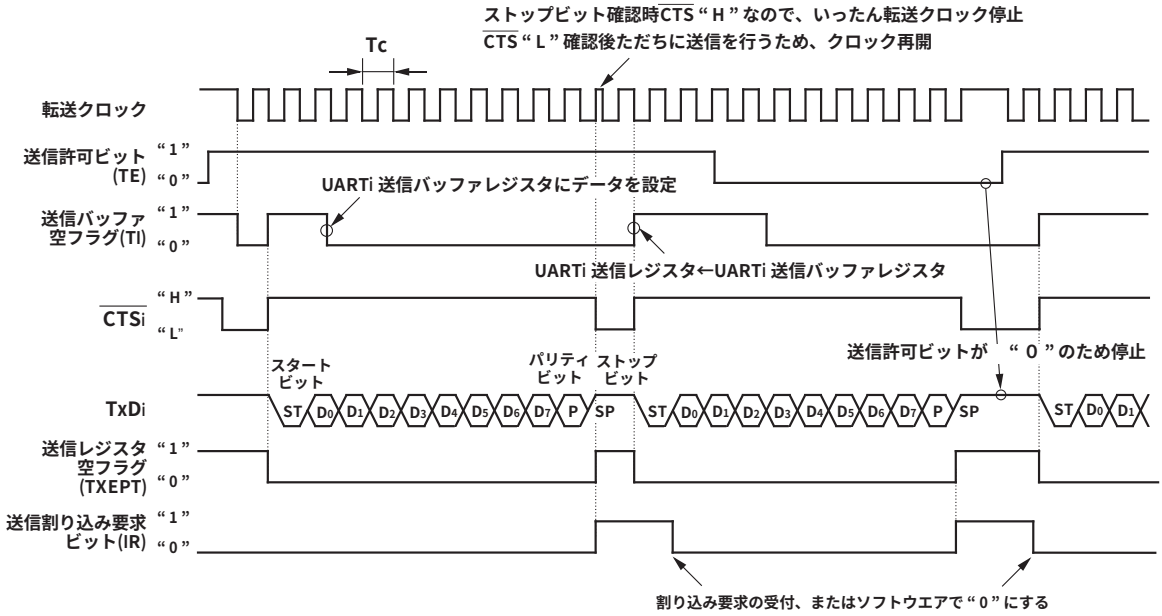
図1.19.15.　UARTモード時のUARTi送受信モードレジスタの構成

表1.19.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、$\overline{CTS}$/$\overline{RTS}$分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.19.7. クロック非同期形シリアルI/Oモード時($\overline{CTS}$/$\overline{RTS}$分離機能非選択時)の入出力端子の機能

端子名	機　能	選択方法
TxDi ($P6_3$、$P6_7$、$P7_0$)	シリアルデータ出力	
RxDi ($P6_2$、$P6_6$、$P7_1$)	シリアルデータ入力	ポート$P6_2$、$P6_6$、$P7_1$の方向レジスタ($03EE_{16}$番地のビット2、ビット6、$03EF_{16}$番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi ($P6_1$、$P6_5$、$P7_2$)	プログラマブル入出力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$番地のビット3)=“1” ポート$P6_1$、$P6_5$の方向レジスタ($03EE_{16}$番地のビット1、ビット5)=“0” (UART2は外部クロック選択を設定しないでください)
$\overline{CTS}$i/$\overline{RTS}$i ($P6_0$、$P6_4$、$P7_3$)	$\overline{CTS}$入力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“0” ポート$P6_0$、$P6_4$、$P7_3$の方向レジスタ($03EE_{16}$番地のビット0、ビット4、$03EF_{16}$番地のビット3)=“0”
	$\overline{RTS}$出力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“1”

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

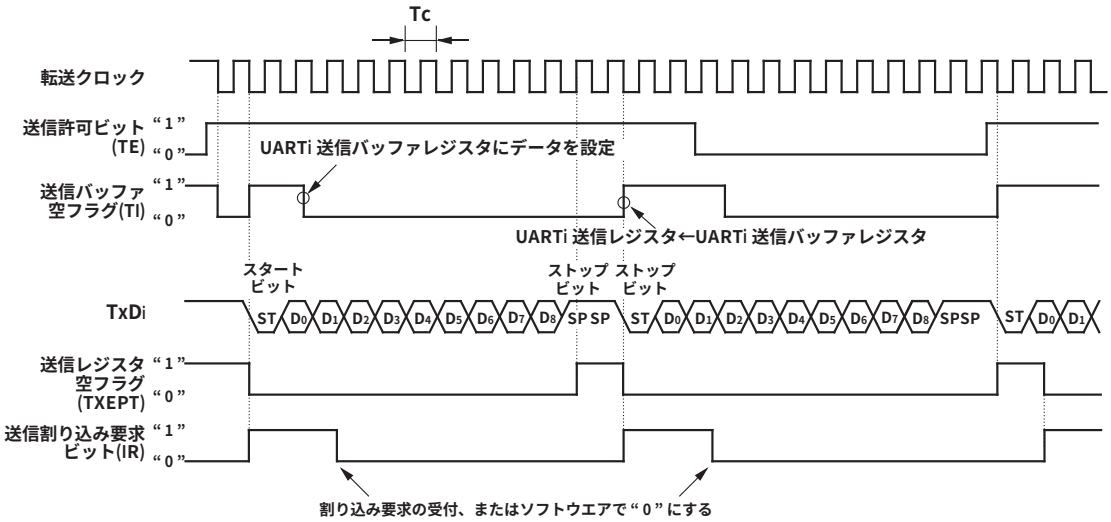


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●CTS 機能選択
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●CTS 機能禁止
- ●送信割り込み要因選択ビット=“0”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図1.19.16. UARTモード時の送信タイミング例(UART0、UART1)

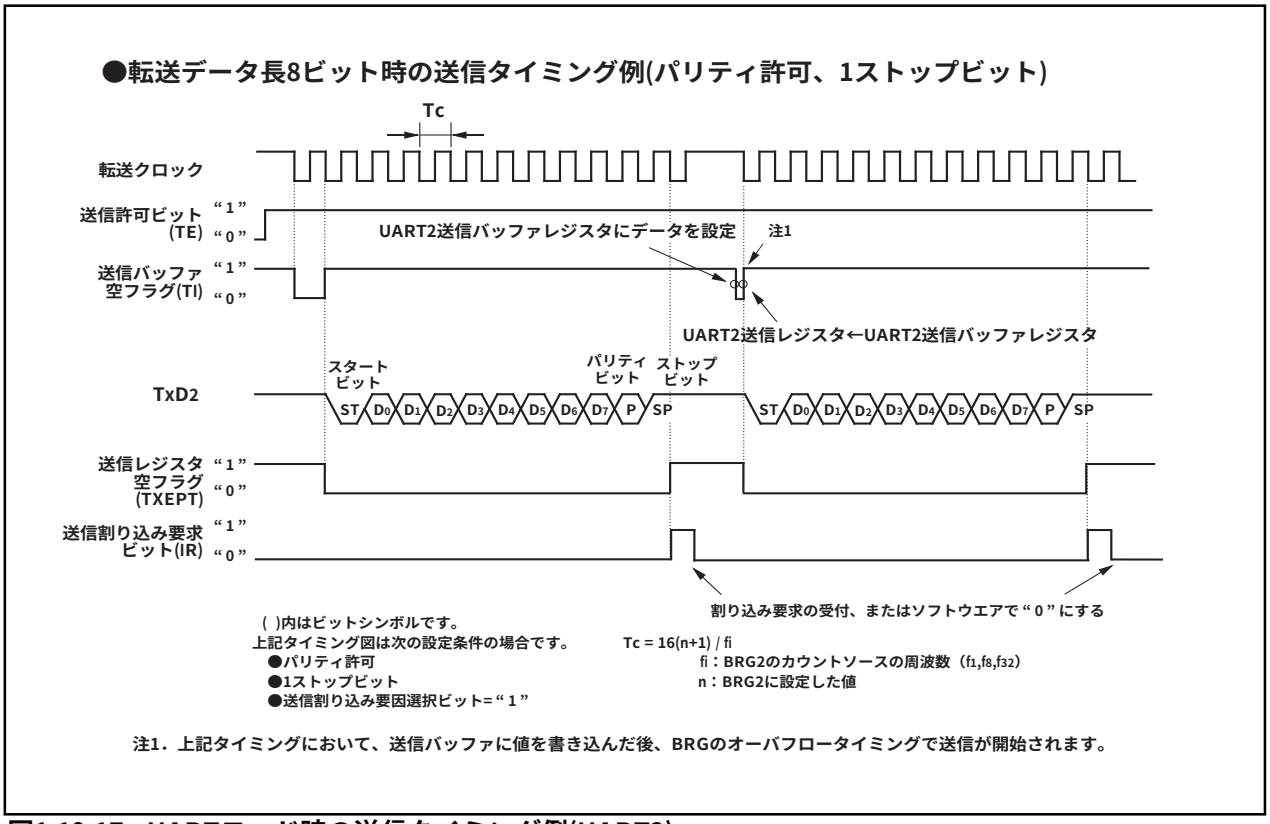


図1.19.17. UARTモード時の送信タイミング例(UART2)

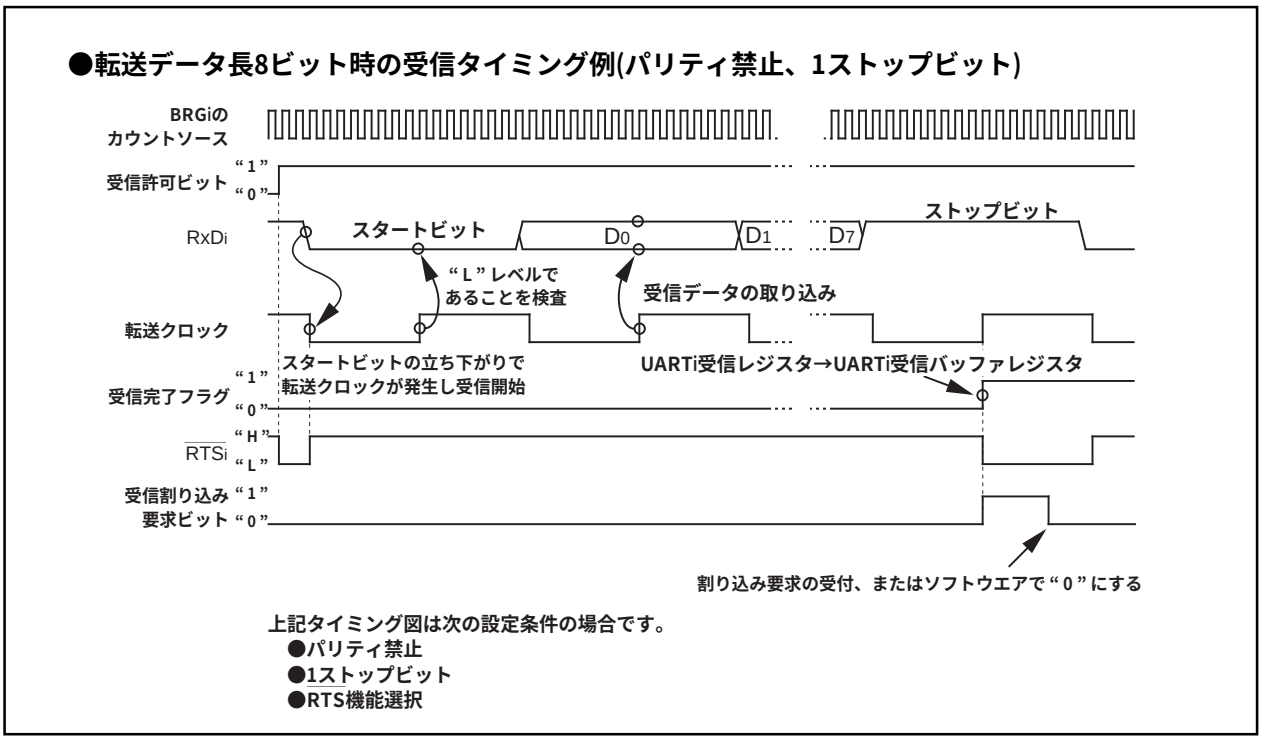


図1.19.18. UARTモード時の受信タイミング例

■$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能(UART0)

$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離ビット(03B0$_{16}$番地のビット6)を"1"にすることにより$\overline{\text{CTS}}$信号と$\overline{\text{RTS}}$信号を別々の端子から入力/出力します。$\overline{\text{CTS}}$を使用するか$\overline{\text{RTS}}$を使用するかは、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A4$_{16}$番地のビット2)で選択してください。この機能はUART0だけで有効です。なお、本機能選択時にUART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能は使用できませんが、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03AC$_{16}$番地のビット2)、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03AC$_{16}$番地のビット4)ともに"0"を設定してください。

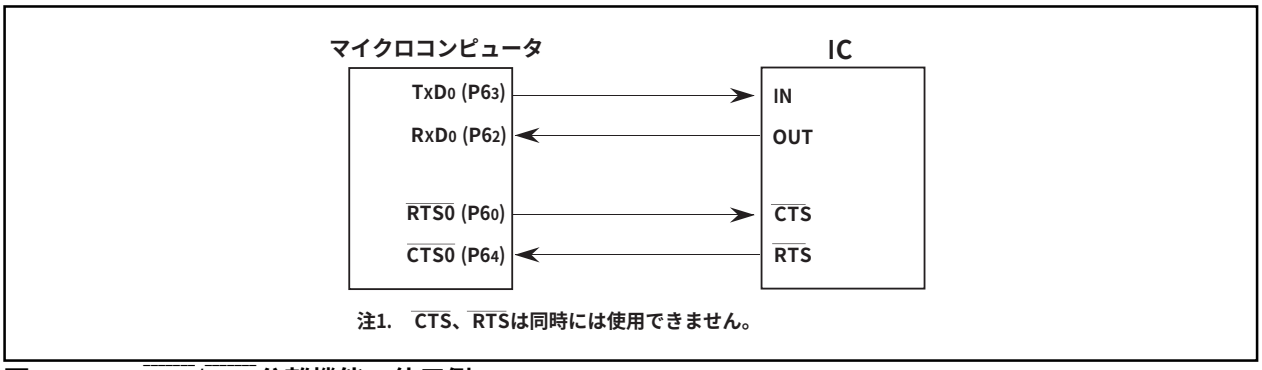


図1.19.19. $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能の使用例

■スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット7)を"1"にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが"1"のときに受信動作を行い、"0"のときには受信動作を行いません。

■シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.19.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

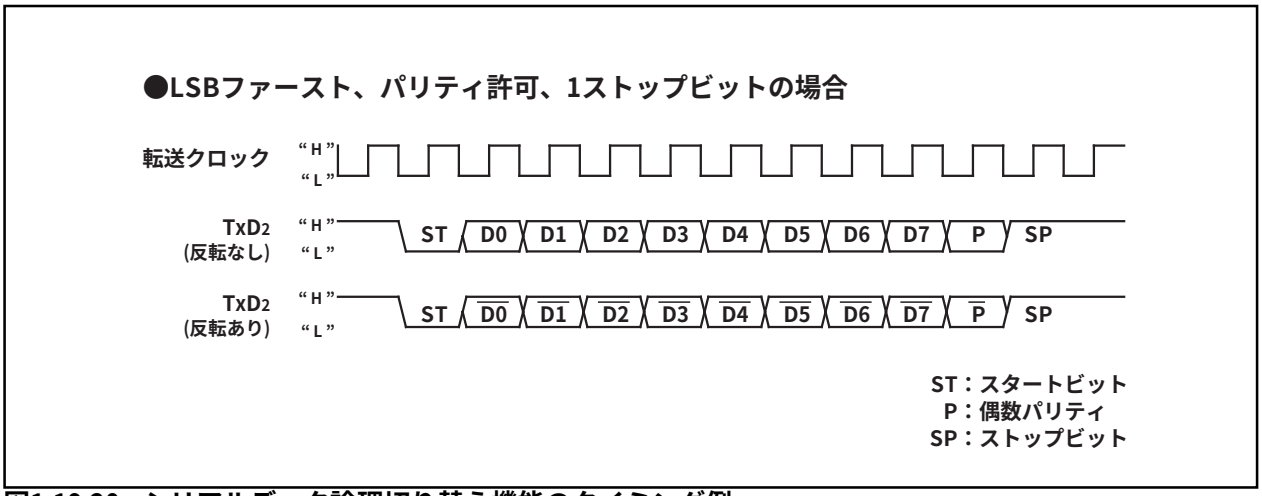


図1.19.20. シリアルデータ論理切り替え機能のタイミング例

■TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”（反転なし）に設定してください。

■バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.19.21にバス衝突検出タイミング例(UARTモード時)を示します。

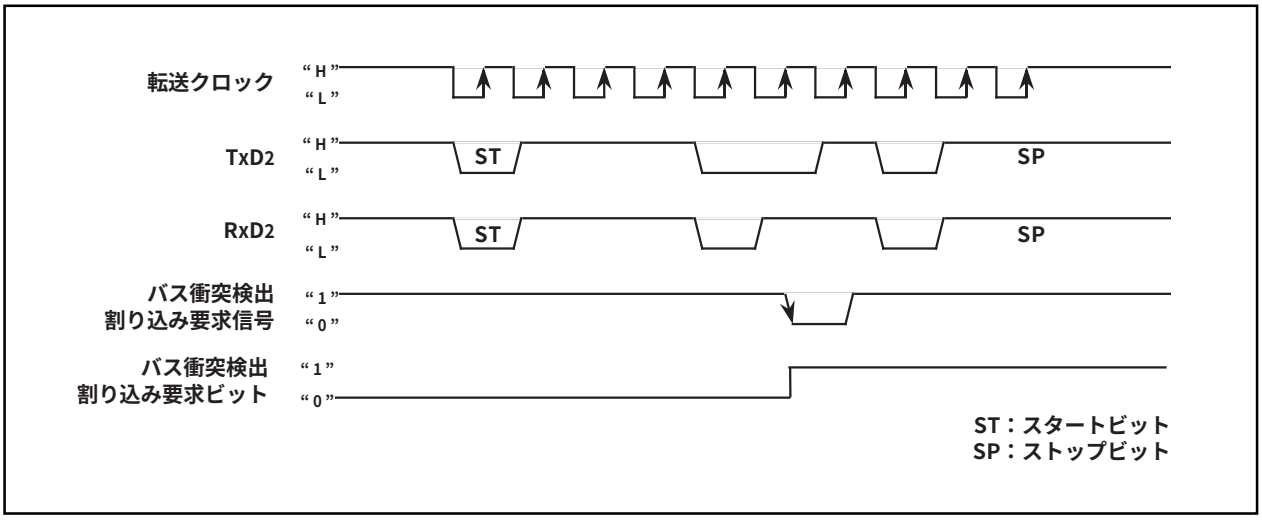


図1.19.21. バス衝突検出タイミング例(UARTモード時)

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

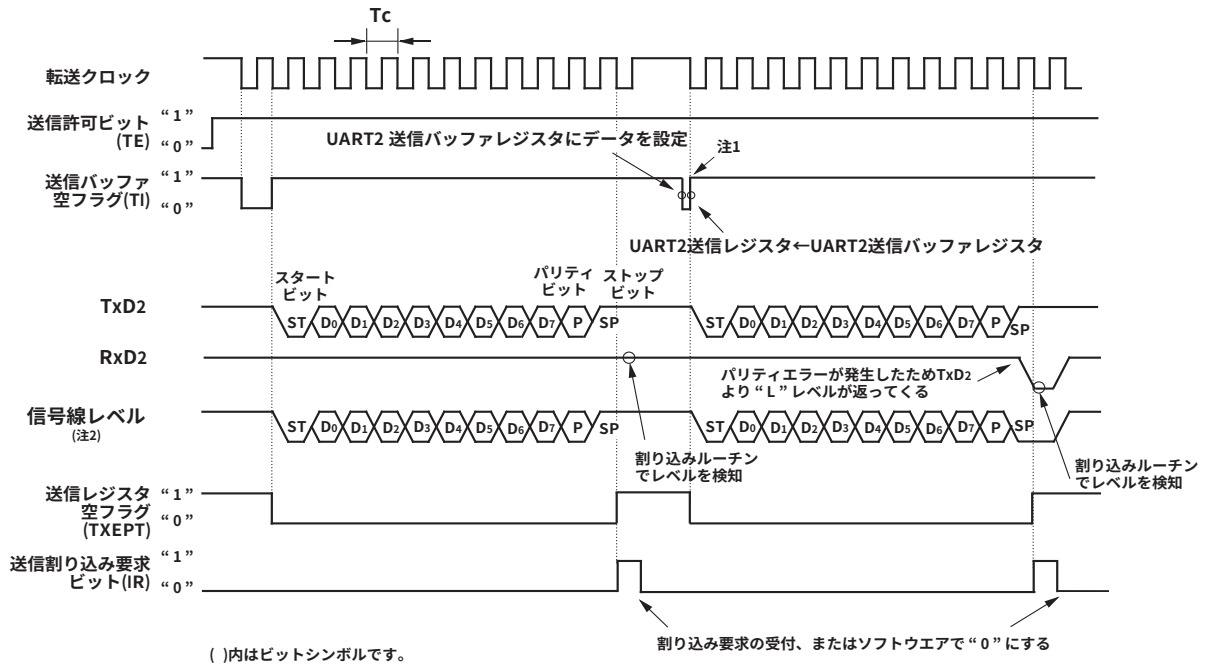
SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.19.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.19.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項　目	仕　様
転送データフォーマット	●転送データ　8ビットUARTモード　(0378_{16}番地のビット2～ビット0=“101_2”) ●1ストップビット　(0378_{16}番地のビット4=“0”) ●ダイレクトフォーマットの場合 パリティを偶数パリティに設定　(0378_{16}番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定　($037D_{16}$番地のビット6=“0”) 転送フォーマットをLSBに設定　($037C_{16}$番地のビット7=“0”) ●インバースフォーマットの場合 パリティを奇数パリティに設定　(0378_{16}番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定　($037D_{16}$番地のビット6=“1”) 転送フォーマットをMSBに設定　($037C_{16}$番地のビット7=“1”)
転送クロック	●内部クロック選択時(0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f_1,f_8,f_{32} (外部クロック選択を設定しないでください)
送信制御/受信制御	●$\overline{CTS}$, $\overline{RTS}$機能禁止に設定　($037C_{16}$番地のビット4=“1”)
その他設定項目	●UART2ではスリープモード選択機能はありません ●送信割り込み要因を送信完了に設定 ($037D_{16}$番地のビット4=“1”)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($037D_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 UART2送信レジスタからデータ転送完了時 ($037D_{16}$番地のビット4=“1”) ●受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) ●フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ●パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能($037D_{16}$番地のビット7=“1”)によりTxD$_2$端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxD$_2$端子入力レベルによりパリティエラーを検知 ●エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

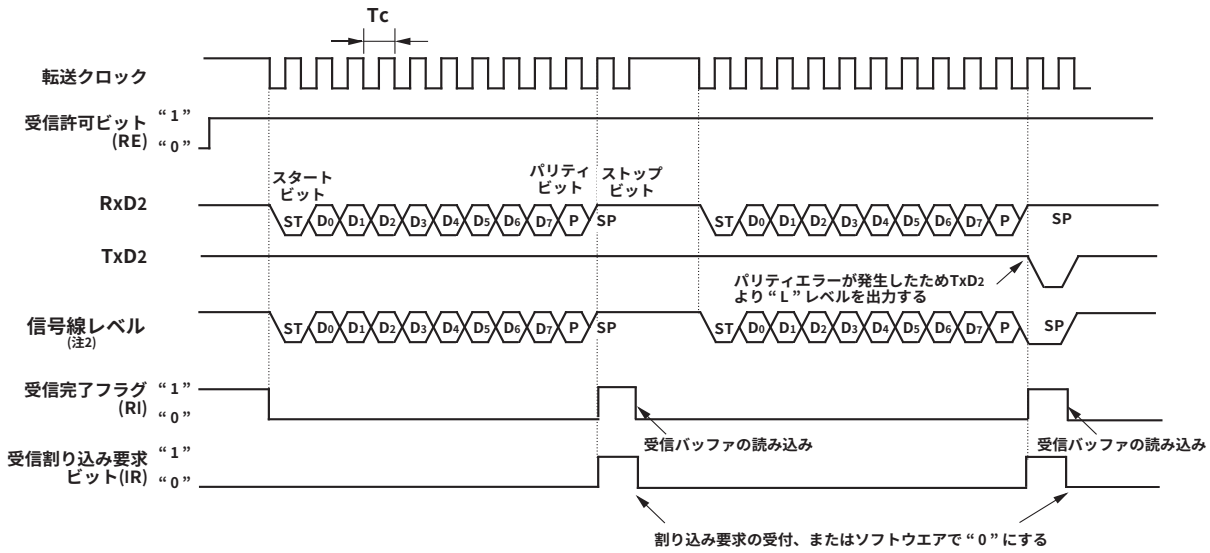
注2.　オーバランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは“1”になりません。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注2．TxD_2とRxD_2を接続しているため同じ波形になる

図1.19.22. UARTモード(SIMインタフェース対応)の送受信タイミング例

■パリティエラー信号出力機能

エラー信号出力許可ビット(037D16番地のビット7)の内容が“1”のとき、パリティエラー検出時にTxD2端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図1.19.23にパリティエラー信号出力タイミングを示します。

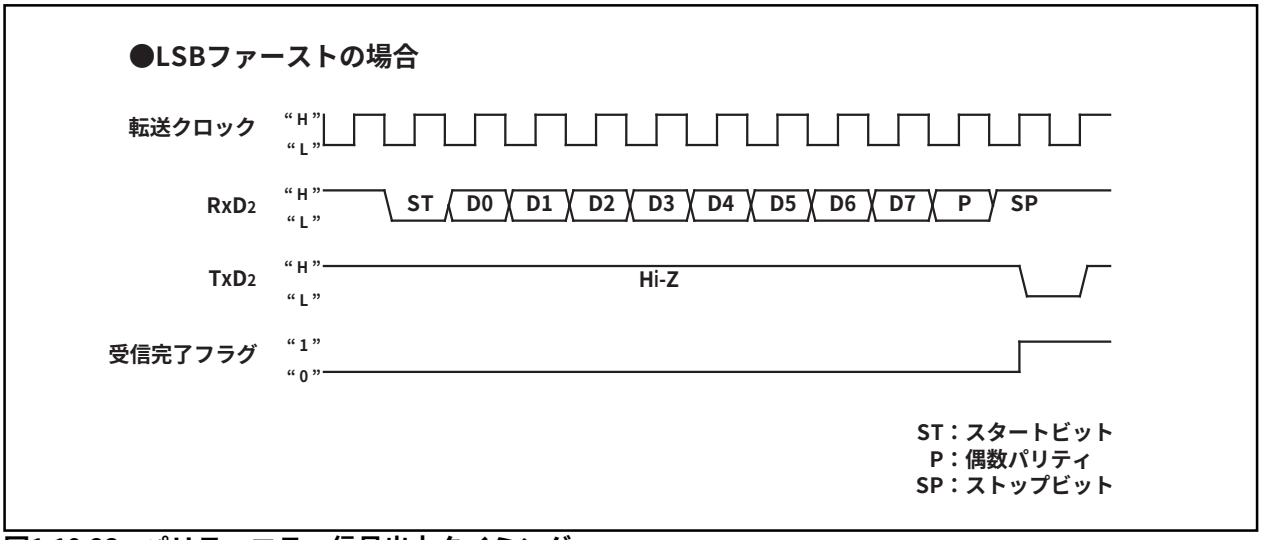


図1.19.23. パリティエラー信号出力タイミング

■ダイレクトフォーマット／インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット／インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図1.19.24にSIMインタフェースフォーマットを示します。

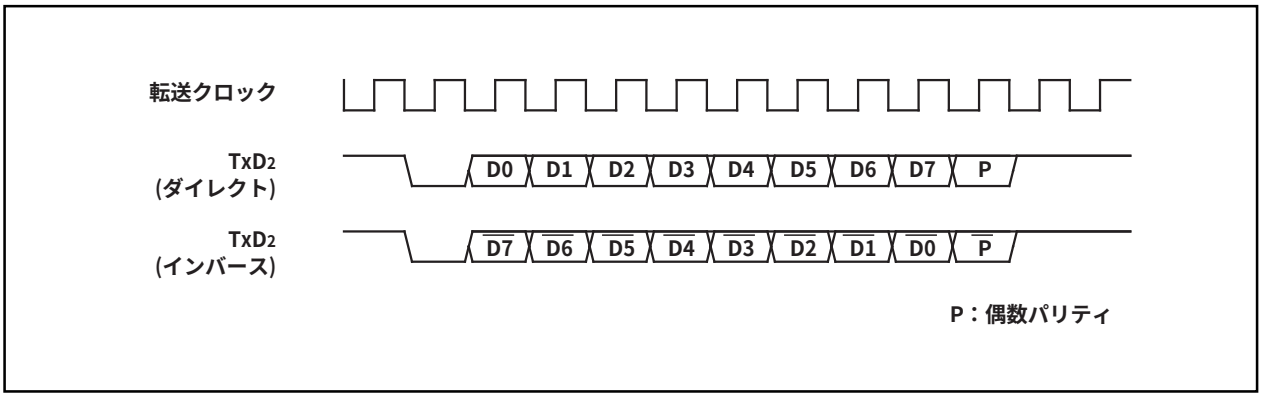


図1.19.24. SIMインタフェースフォーマット

図1.19.25にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

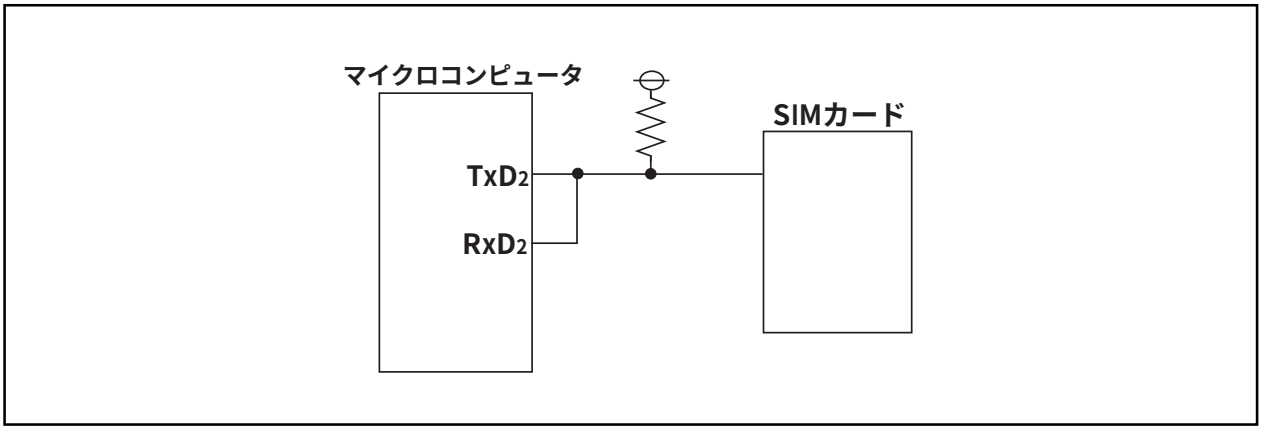


図1.19.25. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377$_{16}$番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図1.19.26に示します。

まず、IICバスインタフェース関連の制御ビットについて説明します。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.19.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを必ず“0”に設定してください。

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
U2SMR	0377$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”に固定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”に固定してください	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”に固定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0：禁止 1：許可	“0”に固定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	“0”に固定してください	0：転送クロックの立ち上がり 1：タイマA0のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	“0”に固定してください	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”に固定してください	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1.“0”だけ書き込み可。

図1.19.26．UART2特殊モードレジスタ

表1.19.9．IICモード時の各機能

	機　能	通常モード	IICモード(注1)
1	割り込み番号10の要因 (注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2	割り込み番号15の要因 (注2)	UART2送信	アクノリジ未検出 (NACK)
3	割り込み番号16の要因 (注2)	UART2受信	アクノリジ検出 (ACK)
4	UART2送信出力delay	delayなし	delayあり
5	UART2使用時のP7$_0$	TxD$_2$ (出力)	SDA (入出力) (注3)
6	UART2使用時のP7$_1$	RxD$_2$ (入力)	SCL (入出力)
7	UART2使用時のP7$_2$	CLK$_2$	P7$_2$
8	DMA要求要因選択ビット=1101時のDMA1要因	UART2受信	アクノリジ検出 (ACK)
9	Noize Filter 幅	15ns	50ns
10	P7$_1$のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11	UART2出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時にP7$_0$ラッチに設定した値

注1.　IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を010に設定してください。
RTS／CTS機能は禁止してください。
MSBファーストに設定してください。

注2.　要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3.　SDA送信出力の初期値の設定は、シリアルI/Oが無効の状態で行ってください。

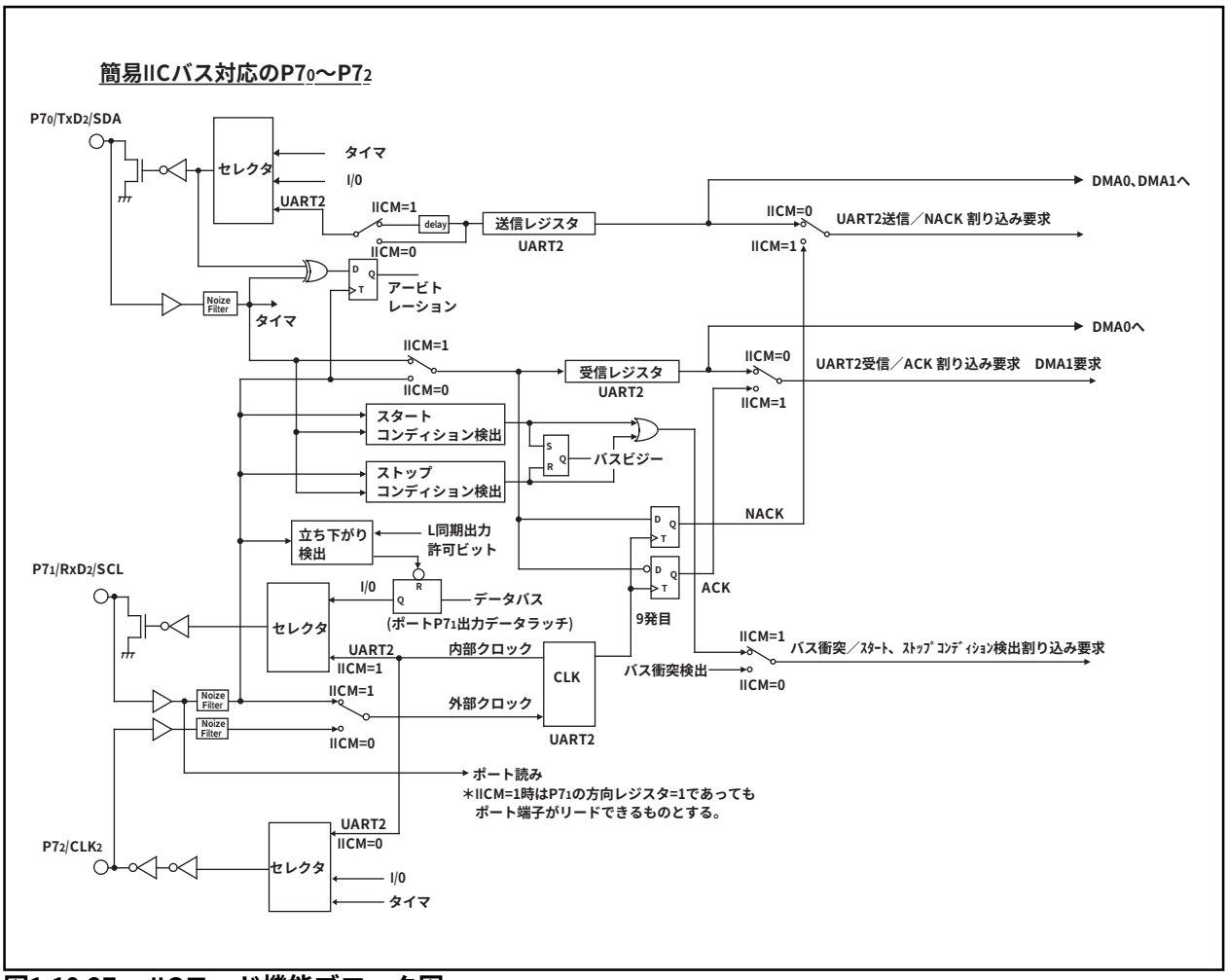


図1.19.27.　IICモード機能ブロック図

IICモードの機能を図1.19.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”にすると、ポートP70，P71，P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、 SCL端子(P71) が“H”の状態でSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、 SCL端子(P71)が“H”の状態でSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377$_{16}$番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ1(037F$_{16}$番地)のビット3に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット3はSCL　L同期出力許可ビットです。このビットを“1”にすると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

次に、その他の追加された機能について説明します。その動作を図1.19.28に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

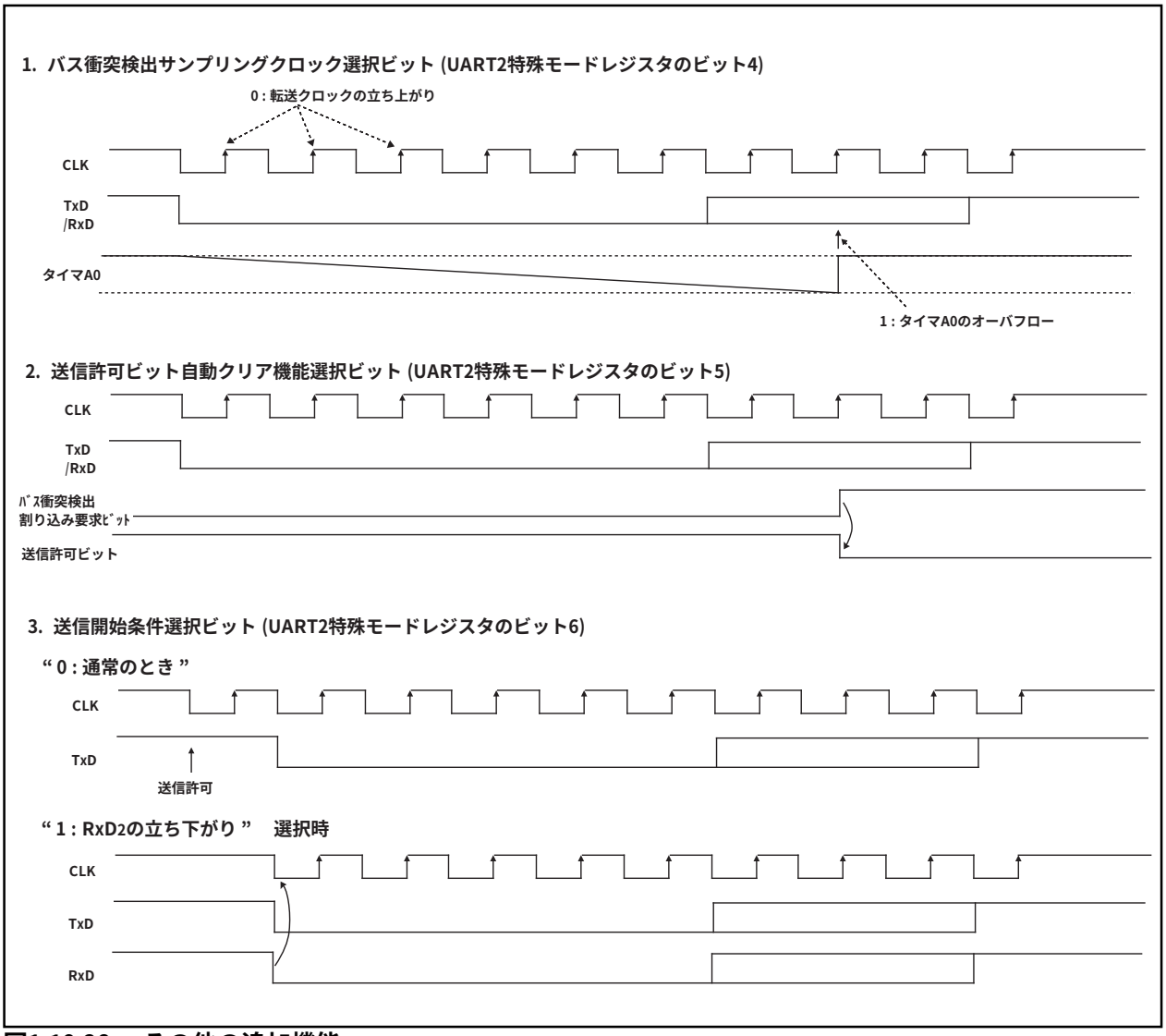


図1.19.28. その他の追加機能

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376$_{16}$番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図1.19.29に示します。

UART2特殊モードレジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2SMR2	0376$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能	R	W
IICM2	IICモード選択ビット2	表1.19.10参照	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STAC	UART2初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UART2クロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	○	○
SHTC	スタート/ストップコンディション条件制御ビット	1 : IICモード選択時、必ず1に設定してください。(表1.19.11参照)	○	○

図1.19.29．UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(037616番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表1.19.10に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表1.19.11に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は、必ず“1”に設定してください。

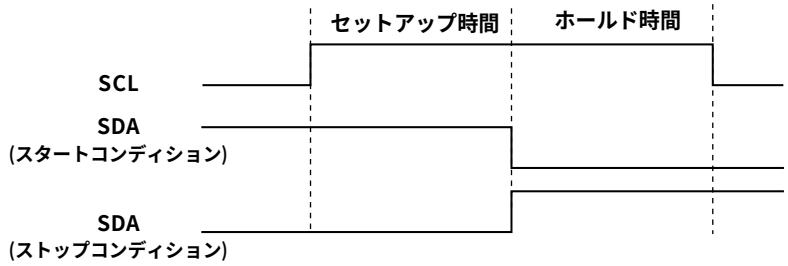
表1.19.10．IICモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要求要因選択ビット= "1101"時のDMA1要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表1.19.11．スタート/ストップコンディション検出タイミング特性(注1)

3～6サイクル < セットアップ時間	（注2）
3～6サイクル < ホールド時間	（注2）

注1.　スタート/ストップコンディション条件制御ビットSHTC=“1”の場合。
注2.　サイクル数はメインクロック入力発振周波数f(XIN)のサイクル数を示します。



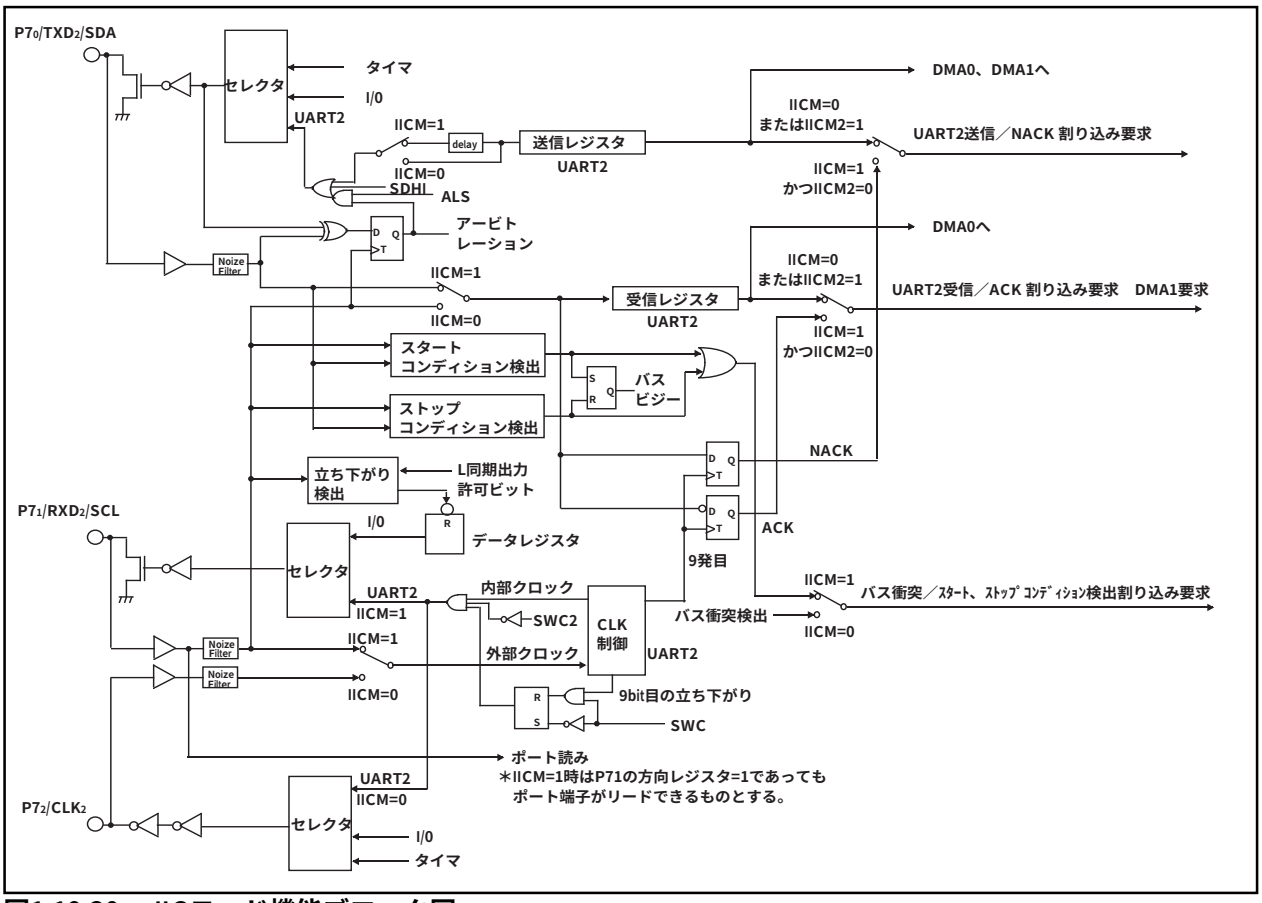


図1.19.30.　IICモード機能ブロック図

IICモードの機能を図1.19.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(037616番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(037616番地)のビット1はクロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ボーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればボーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(037616番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりでSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

(1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。
これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。

(2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。

(3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりでSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。
また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

図1.19.31にS I/O3, 4のブロック図を、図1.19.32にS I/O3, 4関連のレジスタを示します。

表1.19.12にS I/O3, 4の仕様を示します。

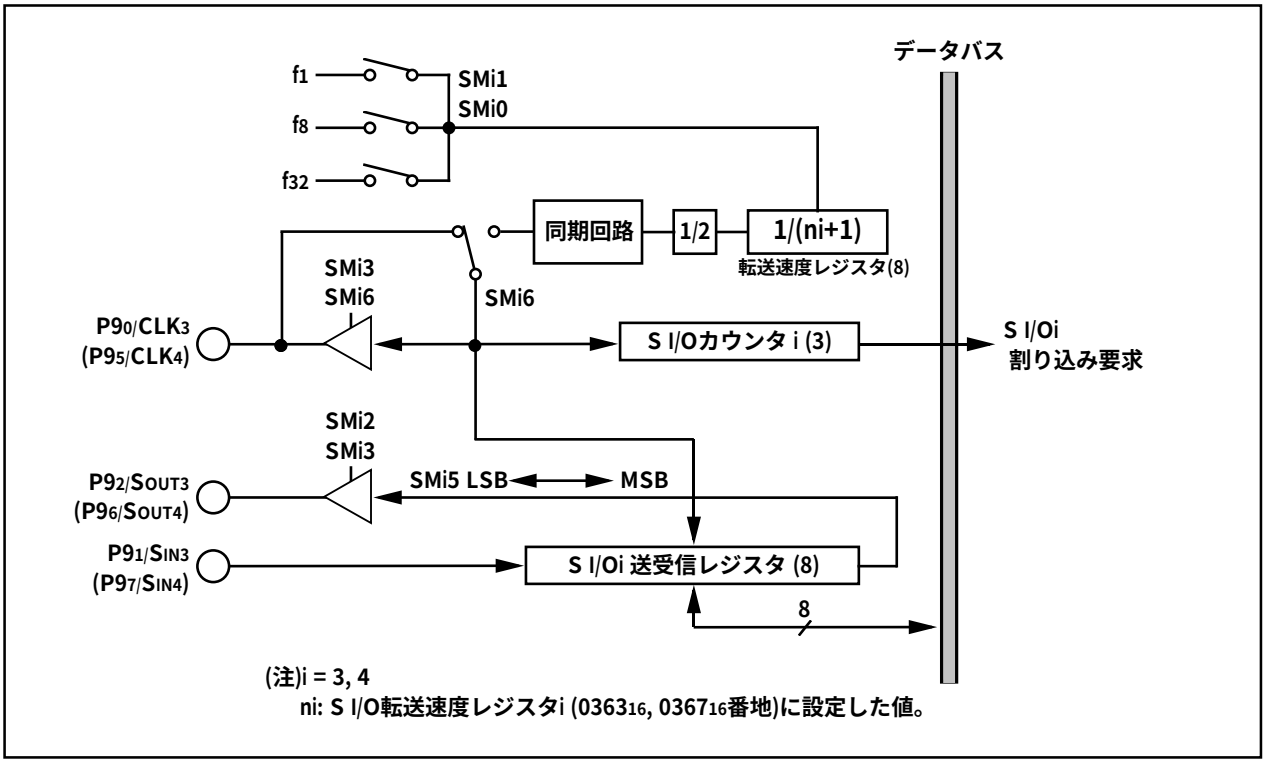
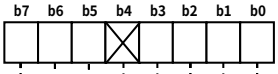


図1.19.31. S I/O3, 4ブロック図

S I/Oi 制御レジスタ (i = 3, 4) (注1)

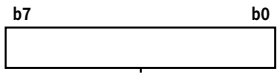


シンボル	アドレス	リセット時
SiC	0362_{16}, 0366_{16}番地	40_{16}

ビットシンボル	ビット名	機　能	R	W
SMi0	内部同期クロック選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	○	○
SMi1			○	○
SMi2	SOUTi 出力禁止ビット	0 : SOUTi出力 1 : SOUTi出力禁止(ハイインピーダンス)	○	○
SMi3	S I/Oiポート選択ビット(注2)	0 : 入出力ポート 1 : SOUTi出力、CLK機能	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
SMi5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	○	○
SMi6	同期クロック選択ビット(注2)	0 : 外部クロック 1 : 内部クロック	○	○
SMi7	SOUTi 初期値設定ビット	SMi3=0 時に有効 0 : L出力 1 : H出力	○	○

注1. SI/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ($000A_{16}$番地)のビット2を“1”にしてから行ってください。
注2. SI/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

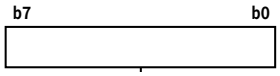
SI/Oi転送速度レジスタ



シンボル	アドレス	リセット時
S3BRG	0363_{16}番地	不定
S4BRG	0367_{16}番地	不定

機　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

SI/Oi送受信レジスタ



シンボル	アドレス	リセット時
S3TRR	0360_{16}番地	不定
S4TRR	0364_{16}番地	不定

機　能	R	W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	○	○

図1.19.32. SI/Oi関連のレジスタ

表1.19.12. S I/O3, 4の仕様

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(0362$_{16}$、0366$_{16}$番地のビット6=“1”)：f1/2(ni+1) , f8/2(ni+1) ,f32/2(ni+1) (注1) ●外部クロック選択時(0362$_{16}$、0366$_{16}$番地のビット6=“0”)：CLKi端子からの入力 (注2)
送受信開始条件	●送受信開始には、以下の条件が必要です。 ・同期クロックの選択。(0362$_{16}$、0366$_{16}$番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362$_{16}$、0366$_{16}$番地のビット0, 1で選択) ・SOUTi初期値設定ビット設定。(0362$_{16}$、0366$_{16}$番地のビット7で設定) ・S I/Oiポート選択ビット(0362$_{16}$、0366$_{16}$番地のビット3)=“1” ・転送方向選択ビット設定(0362$_{16}$、0366$_{16}$番地のビット5で設定) ・S I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)への転送データ書き込み ●更に、S I/Oi割り込みを使用する場合、次の条件も必要です。 ・SI/Oi送受信レジスタへの転送データ書き込みの前に、S I/Oi割り込み要求ビットクリア(0049$_{16}$、0048$_{16}$番地のビット3)=“0”
割り込み要求発生タイミング	●最後の転送クロックの立ち上がり。(注3)
選択機能	●LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 ●SOUTi初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを選択できます。設定の方法は図1.19.33を参照してください。
注意事項	●S I/Oi(i=3,4)は、UART0～2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)に書き込まないでください。 ●転送クロックとして内部クロックを選択している場合、転送終了後SOUTiは、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/Oi送受信レジスタ(0360$_{16}$、0364$_{16}$番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1.　n はS I/Oi転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。(i=3, 4)

注2.　外部クロック選択時には、

・SI/Oi送受信レジスタ(0360$_{16}$, 0364$_{16}$番地)への書き込みを行う際にはCLKi端子に“H”レベルが入力されている状態で行ってください。また、SI/Oi制御レジスタ(0362$_{16}$, 0366$_{16}$番地)のビット7(SOUTi初期値設定ビット)を書き替える場合もCLKi端子に“H”レベルが入力されている状態で行ってください。

・同期クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3.　同期クロックに内部クロックを使用している場合、転送クロックは“H”の状態で停止します。

■SOUTi初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを“H”または“L”のどちらかに設定できます。SOUTi初期値設定時のタイミング図および設定方法を図1.19.33に示します。

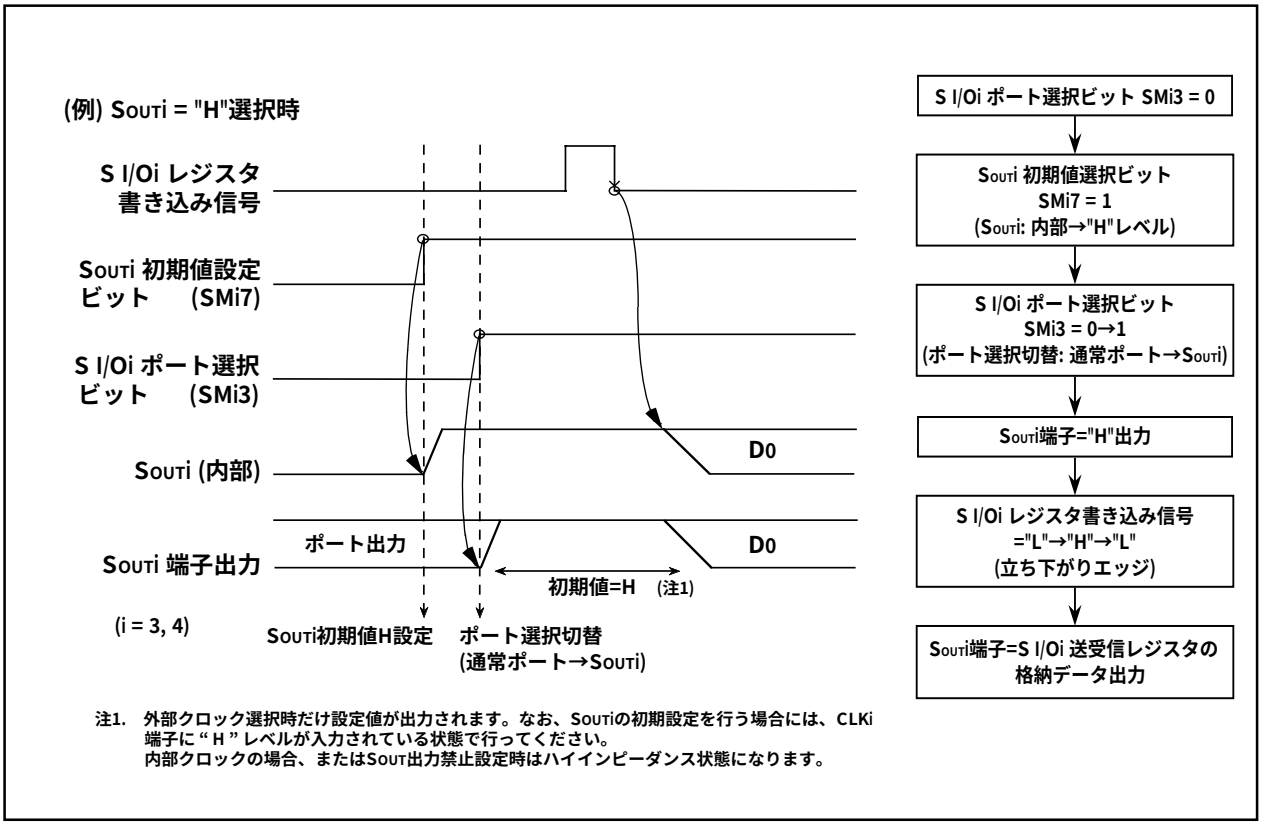


図1.19.33. SOUTi初期値設定時のタイミング図および設定方法

■S I/Oi動作タイミング

S I/Oi動作タイミング図を図1.19.34に示します。

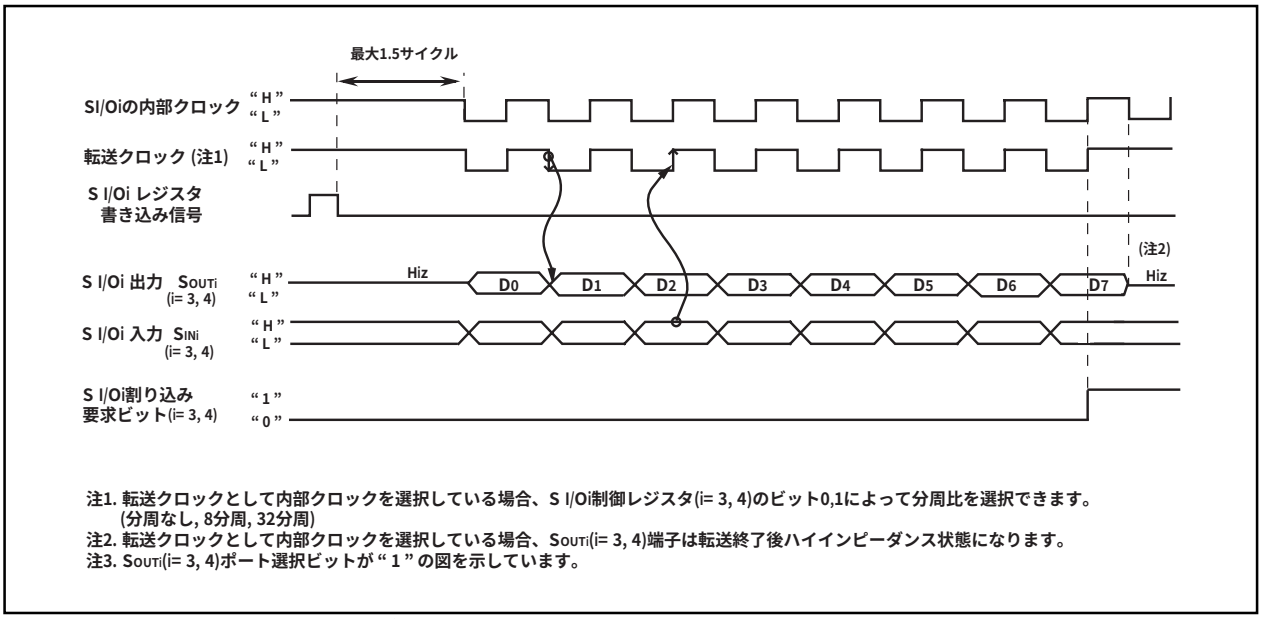


図1.19.34. S I/Oi動作タイミング図

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P10_0$～$P10_7$、$P9_5$、$P9_6$と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット($03D7_{16}$番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.20.1にA-D変換器の性能を、図1.20.1にA-D変換器のブロック図を、図1.20.2、図1.20.3にA-D変換器関連のレジスタを示します。

表1.20.1. A-D変換器の性能

項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックϕ_{AD}(注2)	V_{CC}=5Vのとき f_{AD}/f_{AD}の2分周/f_{AD}の4分周 f_{AD}=f(X_{IN}) V_{CC}=3Vのとき f_{AD}の2分周/f_{AD}の4分周 f_{AD}=f(X_{IN})
分解能	8/10ビット選択可能
絶対精度	V_{CC} = 5Vのとき ●サンプル&ホールド機能なし ±3LSB ●サンプル&ホールド機能あり(分解能8ビット) ±2LSB ●サンプル&ホールド機能あり(分解能10ビット) AN_0～AN_7入力の場合±3LSB ANEX0, ANEX1入力の場合(外部オペアンプ接続モードを含む)±7LSB V_{CC} = 3Vのとき ●サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN_0～AN_7) + 2本(ANEX0, ANEX1)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 ●外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつ$\overline{ADTRG}$/$P9_7$入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49ϕ_{AD}サイクル 分解能10ビットの場合59ϕ_{AD}サイクル ●サンプル&ホールドあり 分解能8ビットの場合28ϕ_{AD}サイクル 分解能10ビットの場合33ϕ_{AD}サイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(X_{IN})が10MHzを超える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
サンプル&ホールド機能なしのときϕ_{AD}の周波数は250kHZ以上にしてください。
サンプル&ホールド機能ありのときϕ_{AD}の周波数は1MHZ以上にしてください。

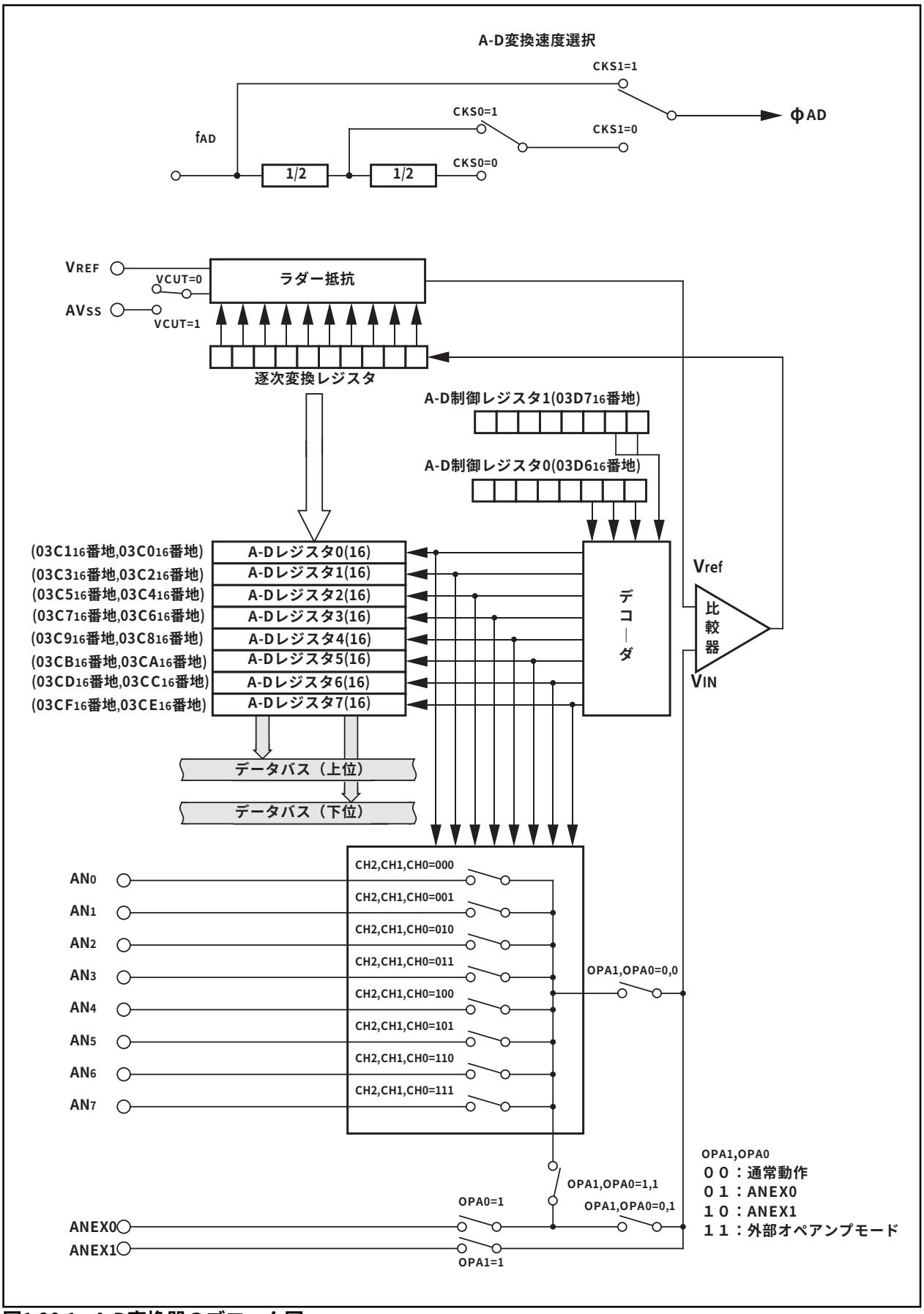


図1.20.1. A-D変換器のブロック図

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0　(注2) 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0～ AN_3(4端子) 1 0 : AN_0～ AN_5(6端子) 1 1 : AN_0～ AN_7(8端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～ AN_2(3端子) 1 1 : AN_0～ AN_3(4端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.20.2.　A-D変換器関連レジスタ(1)

A-D制御レジスタ2(注1)

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$0000XXXX0_2$

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	0	0	0	

ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	$03C0_{16}$番地～$03CF_{16}$番地	不定

(b15) b7							(b8) b0	b7						b0
╳	╳	╳	╳	╳	╳	╳								

機　　能	R	W
A-D変換結果の下位8ビット	○	×
●10ビットモード時 AD変換結果の上位2ビット	○	×
●8ビットモード時 読み出した場合、その値は不定	×	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は“0”。	—	—

図1.20.3.　A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.20.2に単発モードの仕様、図1.20.4に単発モード時のA-D制御レジスタ構成を示します。

表1.20.2. 単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.20.4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.20.3に繰り返しモードの仕様、図1.20.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.20.3. 繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.20.5. 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.20.4に単掃引モードの仕様、図1.20.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.20.4. 単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD 変換 1 0 : ANEX1入力をAD 変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図1.20.6. 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.20.5に繰り返し掃引モード0の仕様、図1.20.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.20.5. 繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図1.20.7. 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表1.20.6に繰り返し掃引モード1の仕様、図1.20.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.20.6. 繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子　　AN_0(1端子)、AN_0,AN_1(2端子)、AN_0～AN_2(3端子)、AN_0～AN_3(4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル ADCON0　　アドレス $03D6_{16}$番地　　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : f_{AD}/4を選択 1 : f_{AD}/2を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			1		

シンボル ADCON1　　アドレス $03D7_{16}$番地　　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0,AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“1”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : f_{AD}/2、f_{AD}/4を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注2)	b7 b6 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をAD変換 1 0 : ANEX1入力をAD変換 1 1 : 外部オペアンプ接続モード	○	○
OPA1			○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　外部オペアンプ接続モードビットで“01”,“10”の選択はできません。

図1.20.8. 繰り返し掃引モード1時のA-D制御レジスタ

■サンプル&ホールド

A-D制御レジスタ2(03D4$_{16}$番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28φ$_{AD}$サイクル、分解能10ビットの場合33φ$_{AD}$サイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA-D変換を開始してください。

■拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

■外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN$_0$～AN$_7$からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.20.9に外部オペアンプ接続モードの接続例を示します。

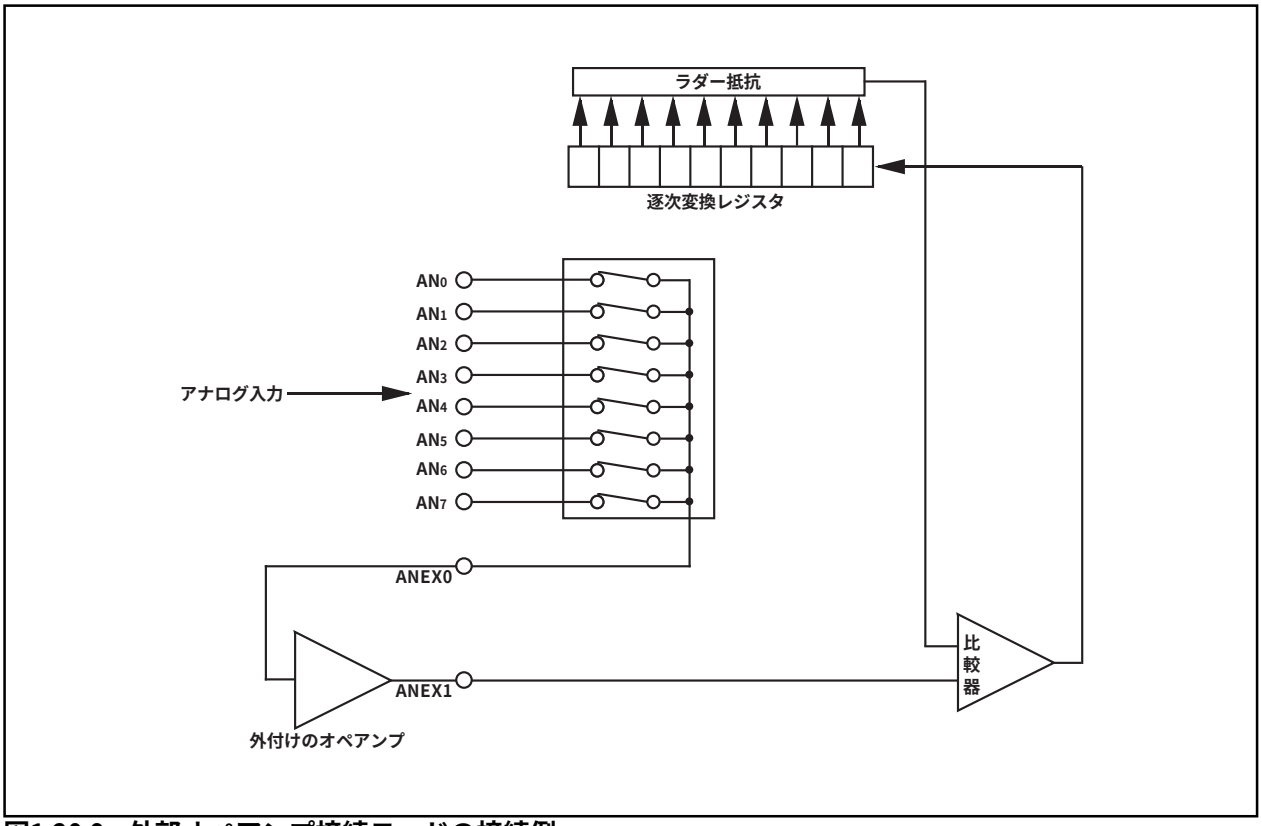


図1.20.9. 外部オペアンプ接続モードの接続例

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V=V_{REF}\times n/256$(n=0～255)

V_{REF}:基準電圧

表1.21.1にD-A変換器の性能を、図1.21.1にD-A変換器のブロック図を、図1.21.2にD-A制御レジスタの構成を、図1.21.3にD-A変換器の等価回路を示します。

表1.21.1. D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル

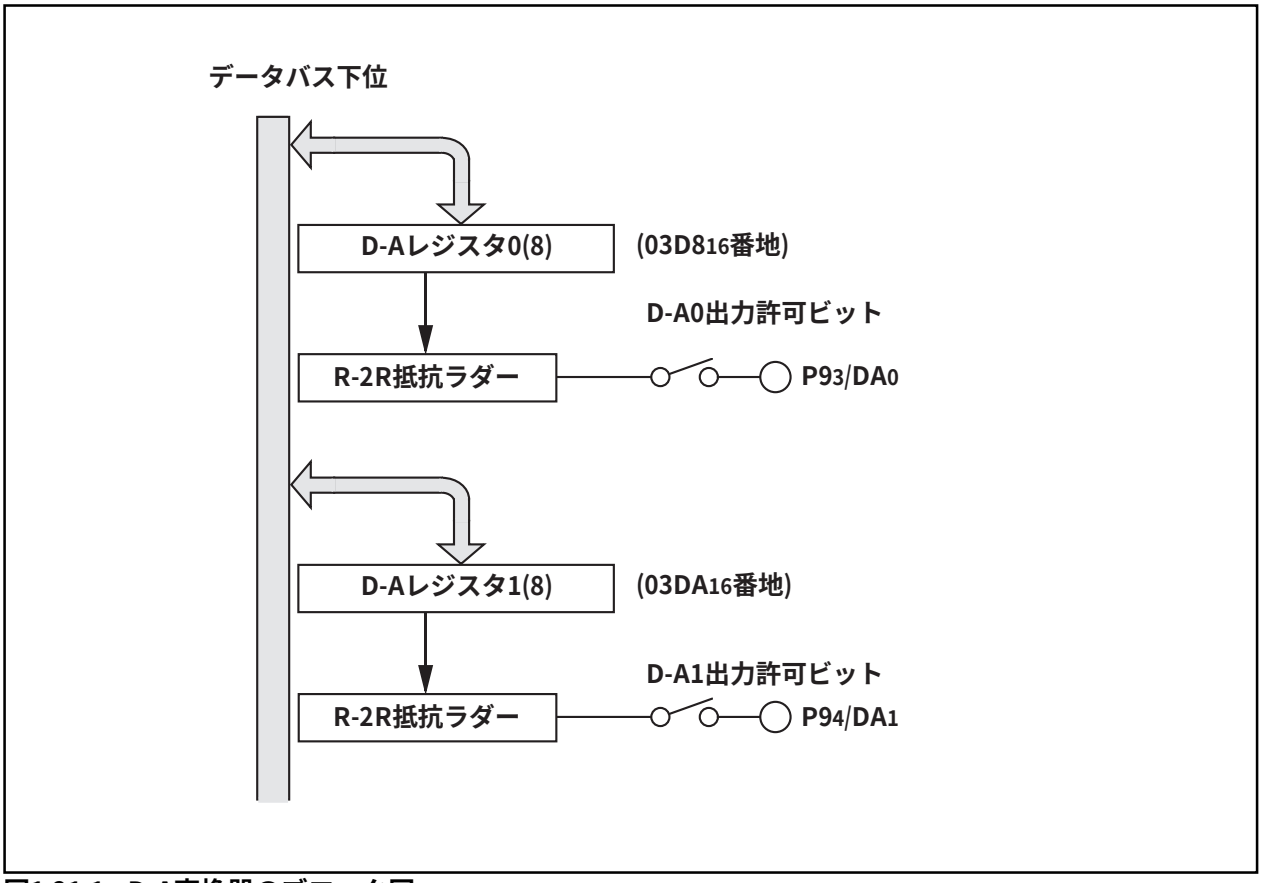


図1.21.1. D-A変換器のブロック図

D-A制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
DACON	03DC16番地	0016

ビットシンボル	ビット名	機　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は“ 0 ”。			—	—

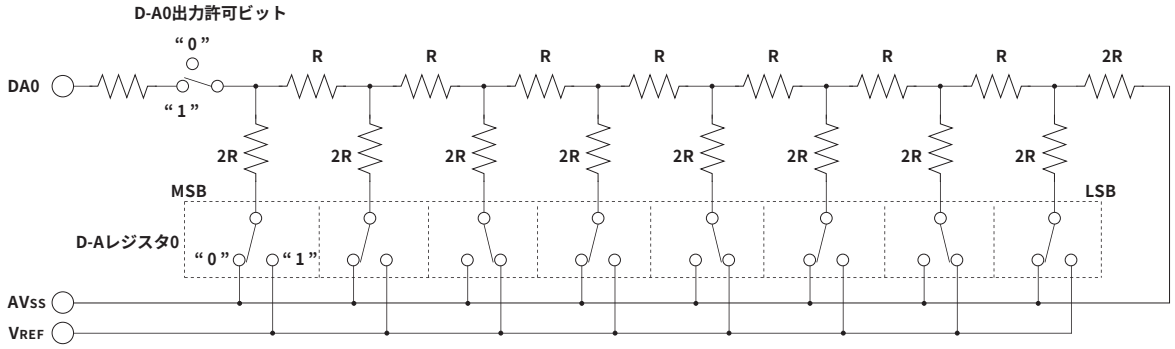
D-Aレジスタ

b7 b0

シンボル	アドレス	リセット時
DAi(0,1)	03D816、03DA16番地	不定

機　能	R	W
D-A変換の出力値	○	○

図1.21.2. D-A制御レジスタの構成



注1. 上図はD-Aレジスタの値が“ 2A16 ”の場合です。
注2. この回路はD-A1においても同一です。
注3. D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“ 0 ”とし、D-Aレジスタを“ 0016 ”として、R-2Rの抵抗に電流が流れないようにしてください。

図1.21.3. D-A変換器の等価回路

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^{5}+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.22.1にCRCのブロック図、図1.22.2にCRCの関連レジスタを示します。また、図1.22.3にCRC演算回路の演算例を示します。

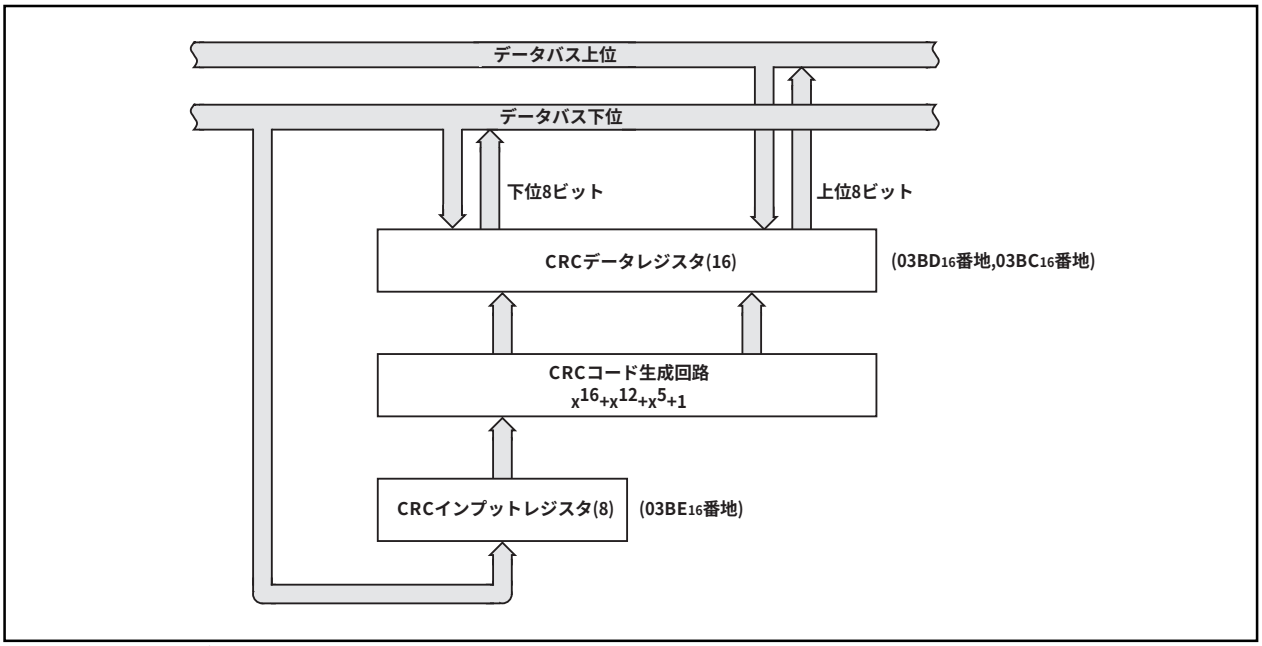


図1.22.1. CRCブロック図

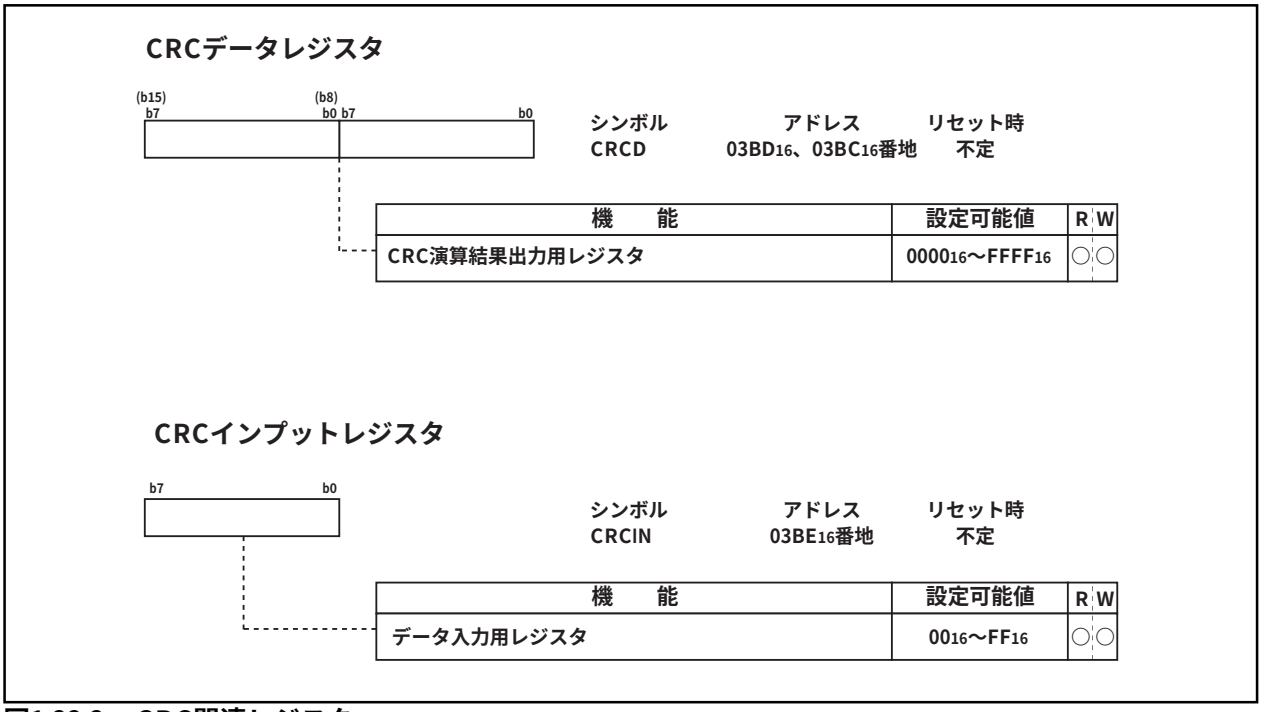


図1.22.2. CRC関連レジスタ

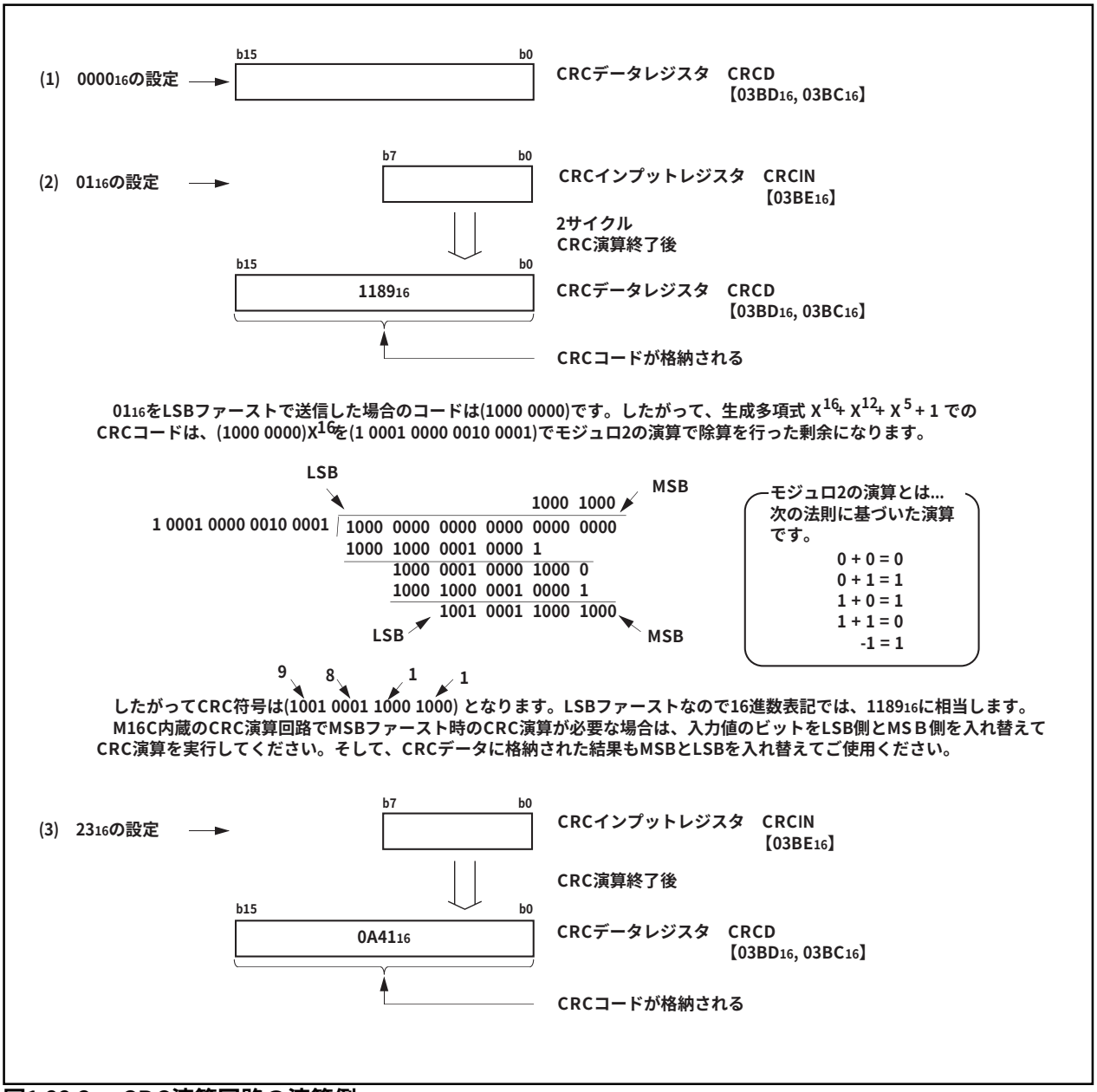


図1.22.3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図1.23.1～図1.23.4に、端子の構成を、図1.23.5に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.23.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.23.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.23.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。

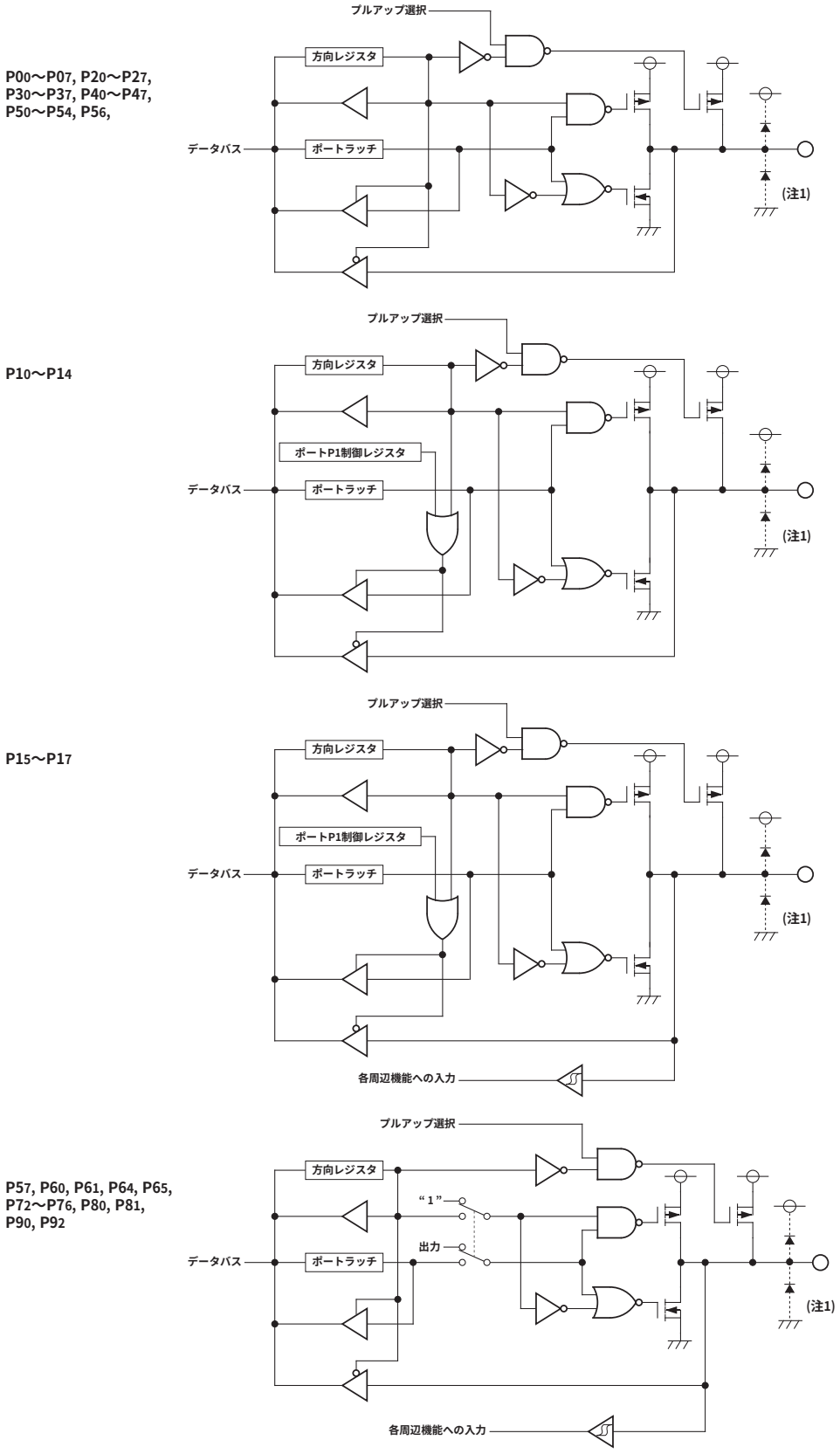
(4) ポート制御レジスタ

ポート制御レジスタの構成を、図1.23.9に示します。

ポートP1の読み出しに対して、ポート制御レジスタのビット0の値によって、以下の様になります。

0 : 入力ポートのとき、端子の入力レベルを読み出す
　出力ポートのとき、ポートP1レジスタの内容を読み出す
1 : 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。



注1. ----|◀---- は寄生ダイオードです。
各ポートへの印加電圧はVccを越えないようにしてください。

図1.23.1. プログラマブル入出力ポートの構成(1)

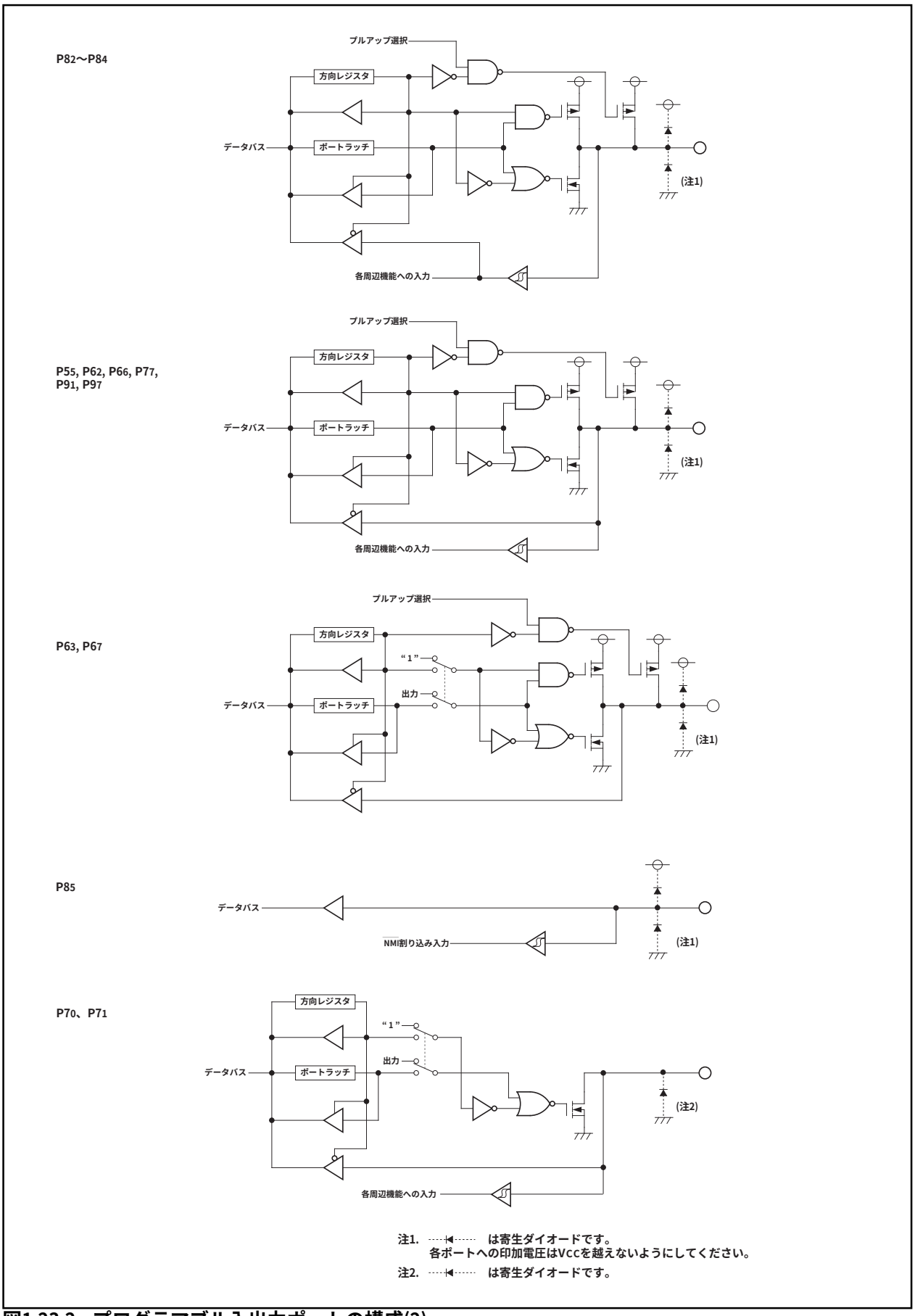
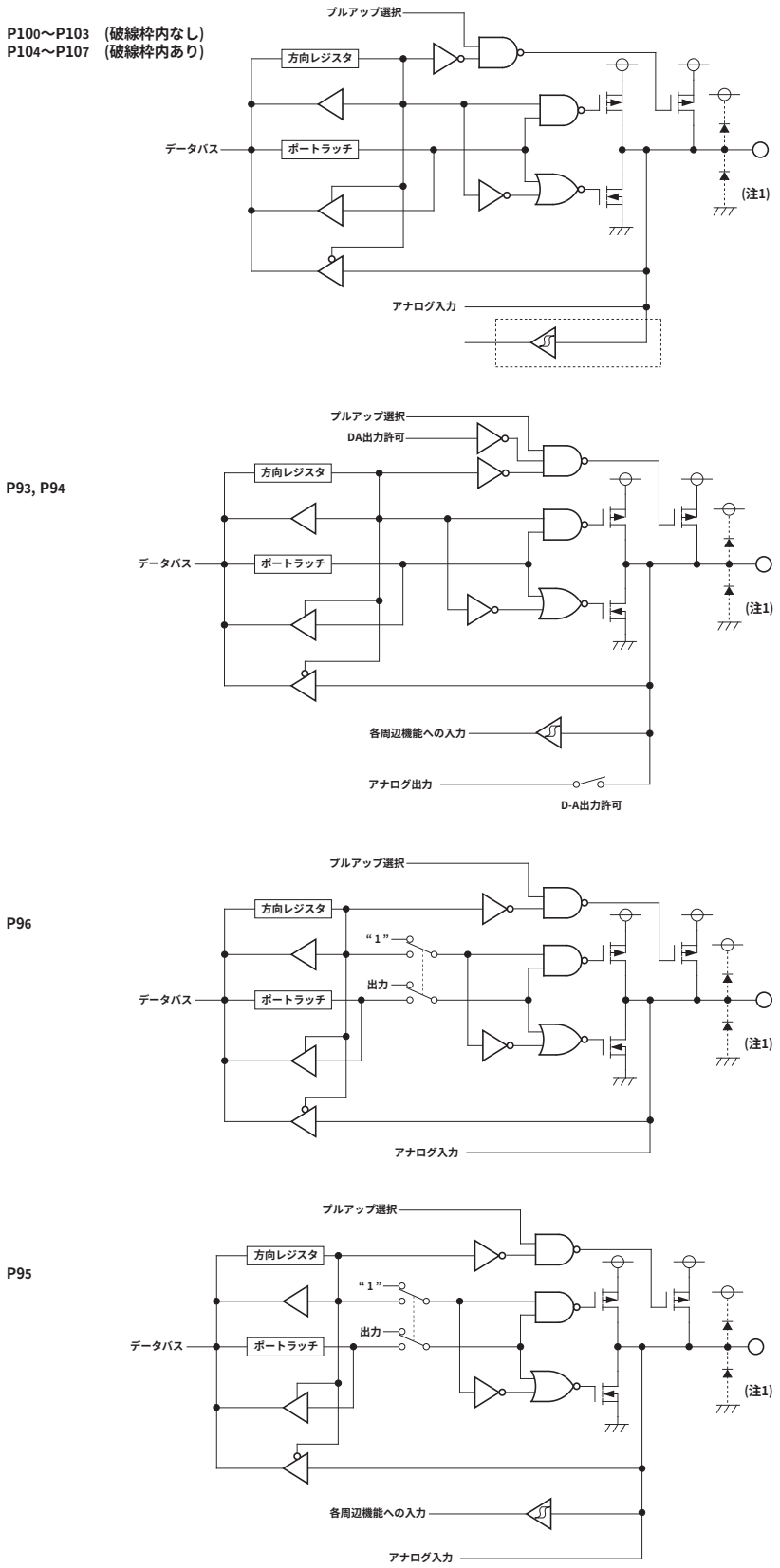
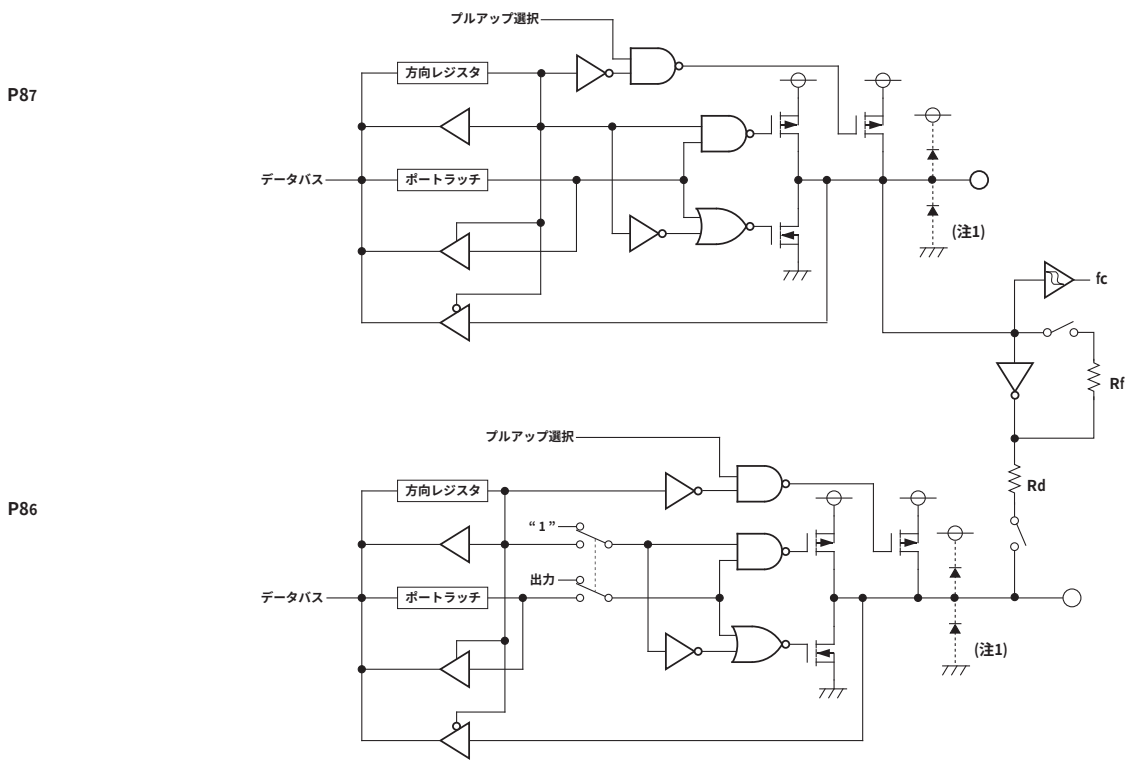


図1.23.2. プログラマブル入出力ポートの構成(2)



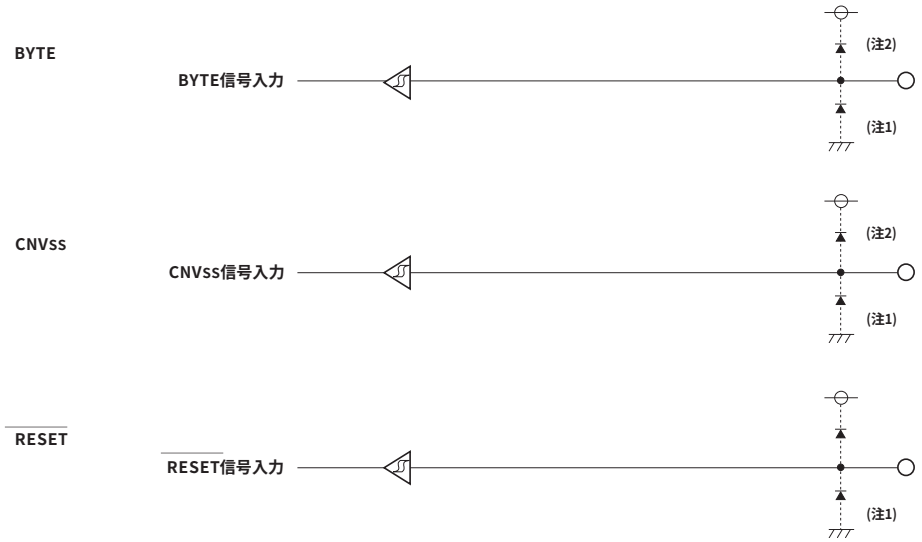
注1. ⋯⋯ は寄生ダイオードです。
各ポートへの印加電圧はVccを越えないようにしてください。

図1.23.3. プログラマブル入出力ポートの構成(3)



注1. ----|◀---- は寄生ダイオードです。
各ポートへの印加電圧はVccを越えないようにしてください。

図1.23.4. プログラマブル入出力ポートの構成(4)



注1. ----|◀---- は寄生ダイオードです。
各端子への印加電圧はVccを越えないようにしてください。
注2. マスクROM版にのみVCC側の寄生ダイオードが付加されています。
各端子への印加電圧はVccを越えないようにしてください。

図1.23.5. 端子の構成

ポートPi方向レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
PDi(i=0～10 ただし8は除く)	03E2$_{16}$,03E3$_{16}$,03E6$_{16}$,03E7$_{16}$,03EA$_{16}$番地 03EB$_{16}$,03EE$_{16}$,03EF$_{16}$,03F3$_{16}$,03F6$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0～10 ただし8は除く)	○	○
PDi_1	ポートPi$_1$方向レジスタ		○	○
PDi_2	ポートPi$_2$方向レジスタ		○	○
PDi_3	ポートPi$_3$方向レジスタ		○	○
PDi_4	ポートPi$_4$方向レジスタ		○	○
PDi_5	ポートPi$_5$方向レジスタ		○	○
PDi_6	ポートPi$_6$方向レジスタ		○	○
PDi_7	ポートPi$_7$方向レジスタ		○	○

注1.　ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット2を“1”にしてください。

ポートP8方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
PD8	03F2$_{16}$番地	00X00000$_2$

ビットシンボル	ビット名	機　　能	R	W
PD8_0	ポートP8$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_1	ポートP8$_1$方向レジスタ		○	○
PD8_2	ポートP8$_2$方向レジスタ		○	○
PD8_3	ポートP8$_3$方向レジスタ		○	○
PD8_4	ポートP8$_4$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PD8_6	ポートP8$_6$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_7	ポートP8$_7$方向レジスタ		○	○

図1.23.6.　方向レジスタの構成

ポートPiレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
Pi(i=0～10 ただし8は除く)	$03E0_{16}$,$03E1_{16}$,$03E4_{16}$,$03E5_{16}$,$03E8_{16}$番地 $03E9_{16}$,$03EC_{16}$,$03ED_{16}$,$03F1_{16}$,$03F4_{16}$番地	不定 不定

ビットシンボル	ビット名	機　　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル(注1) (i=0～10　ただし8は除く)	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

注1.　$P7_0$、$P7_1$はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP8レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
P8	$03F0_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
P8_0	ポートP80レジスタ	対応するビットの読み出し、および書き込み(ただしP85は除く)で対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P8_1	ポートP81レジスタ		○	○
P8_2	ポートP82レジスタ		○	○
P8_3	ポートP83レジスタ		○	○
P8_4	ポートP84レジスタ		○	○
P8_5	ポートP85レジスタ		○	×
P8_6	ポートP86レジスタ		○	○
P8_7	ポートP87レジスタ		○	○

図1.23.7.　ポートレジスタの構成

プルアップ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR0	03FC16番地	0016

ビットシンボル	ビット名	機　　能	R	W
PU00	P00～P03のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU01	P04～P07のプルアップ		○	○
PU02	P10～P13のプルアップ		○	○
PU03	P14～P17のプルアップ		○	○
PU04	P20～P23のプルアップ		○	○
PU05	P24～P27のプルアップ		○	○
PU06	P30～P33のプルアップ		○	○
PU07	P34～P37のプルアップ		○	○

プルアップ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR1	03FD16番地	0016 (注2)

ビットシンボル	ビット名	機　　能	R	W
PU10	P40～P43のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU11	P44～P47のプルアップ		○	○
PU12	P50～P53のプルアップ		○	○
PU13	P54～P57のプルアップ		○	○
PU14	P60～P63のプルアップ		○	○
PU15	P64～P67のプルアップ		○	○
PU16	P72～P73のプルアップ (注1)		○	○
PU17	P74～P77のプルアップ		○	○

注1.　P70、P71はNチャネルオープンドレインポートのため、プルアップはありません。
注2.　CNVss端子にVccレベルを印加しているときは、リセット時0216になります(PU11が“1”になります)。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳						

シンボル	アドレス	リセット時
PUR2	03FE16番地	0016

ビットシンボル	ビット名	機　　能	R	W
PU20	P80～P83のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU21	P84～P87のプルアップ (ただしP85は除く)		○	○
PU22	P90～P93のプルアップ		○	○
PU23	P94～P97のプルアップ		○	○
PU24	P100～P103のプルアップ		○	○
PU25	P104～P107のプルアップ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			―	―
			―	―

図1.23.8.　プルアップ制御レジスタの構成

ポート制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PCR	03FF16番地	0016

ビットシンボル	ビット名	機　　能	R	W
PCR0	ポートP1制御レジスタ	0：入力ポートのとき、端子の入力レベルを読み出す 出力ポートのとき、ポートP1レジスタの内容を読み出す 1：入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

図1.23.9.　ポート制御レジスタの構成

表1.23.1. シングルチップモード時の未使用端子の処理例

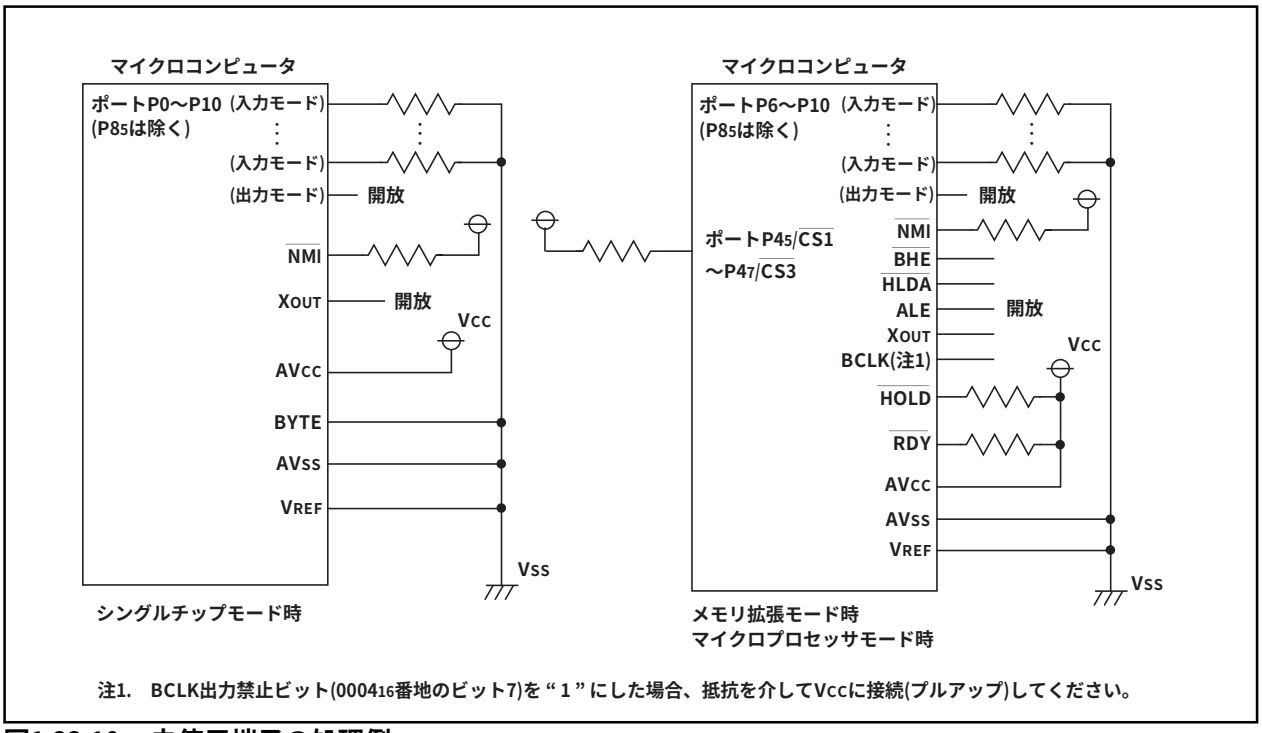
端　子　名	処　理　内　容
ポートP0～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
$\overline{\text{NMI}}$	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1.　XIN端子に外部クロックを入力しているとき

表1.23.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端　子　名	処　理　内　容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/$\overline{\text{CS1}}$～P47/$\overline{\text{CS3}}$	ポートを入力モードに設定し、$\overline{\text{CS1}}$～$\overline{\text{CS3}}$出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
$\overline{\text{BHE}}$, ALE, $\overline{\text{HLDA}}$, XOUT(注1), BCLK(注2)	開放
$\overline{\text{HOLD}}$, $\overline{\text{RDY}}$, $\overline{\text{NMI}}$	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1.　XIN端子に外部クロックを入力しているとき
注2.　BCLK出力禁止ビット(0004_{16}番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。



注1.　BCLK出力禁止ビット(0004_{16}番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。

図1.23.10.　未使用端子の処理例

使用上の注意事項

タイマＡの注意事項 (タイマモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマＡの注意事項 (イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF16が、オーバフロー時は0000 16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

タイマＡの注意事項 (ワンショットタイマモード)

(1) カウント中にカウント開始フラグを“０”にすると次のようになります。
- ●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ●TAiOUT端子の出力レベルは“Ｌ”になります。
- ●割り込み要求が発生し、タイマAi割り込み要求ビットが“１”になります。

(2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。
- ●リセット後、ワンショットタイマモードを選択したとき
- ●動作モードをタイマモードからワンショットタイマモードに変更したとき
- ●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

タイマＡの注意事項 (パルス幅変調モード)

(1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。
- ●リセット後、PWMモードを選択したとき
- ●動作モードをタイマモードからPWMモードに変更したとき
- ●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

(2) PWMパルスを出力中にカウント開始フラグを“０”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“Ｈ”レベルを出力している場合は、出力レベルは“Ｌ”になり、タイマAi割り込み要求ビットが“１”になります。“Ｌ”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

(1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。

(2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

A-D変換器の注意事項

(1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始させてください。

(2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(3) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。

(4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

ストップモード、ウエイトモードの注意事項

(1) ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

(2) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

割り込みの注意事項

(1) 0000_{16}番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000_{16}番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

●$\overline{\text{NMI}}$端子入力を“L”にした状態では、ストップモードには移行しないでください。

(4)　外部割り込み

●$\overline{\text{INT0}}$～$\overline{\text{INT5}}$端子の極性を切り替えるときに割り込み要求ビットが“１”になることがあります。切り替えを行った後、割り込み要求ビットを“０”にしてください。

(5)　割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP                       ；HOLD機能を使用する場合はNOP命令が４個必要
  NOP
  FSET     I                ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W    MEM，R0          ；ダミーリード
  FSET     I                ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC    FLG
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC     FLG              ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個（HOLD機能使用時は４個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

ノイズに関する注意事項

(1)　ワンタイムPROM版およびEPROM版のVPP端子配線

●CNVSS端子はVPP端子と兼用しています。VPP端子は内蔵PROMへの電源入力端子ですので、ノイズ誤動作耐量向上のため、CNVSS端子に接続する配線は短くしてください。CNVSS端子への配線が長くなる場合には、5kΩ程度の抵抗をできるだけCNVSS端子に近い位置に挿入し、これを介してCNVSS端子とVSSまたはVCCを接続してください。
注1.　5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

(2)　ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入

●VCC端子とVSS端子間にバイパスコンデンサ(0.1μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

ROM外付け版の注意事項

ROM外付け版はマイクロプロセッサモードでだけ動作します。
必ず以下の設定を行ってください。
・CNVSS端子は、VCCに接続してください。
・プロセッサモードビットは、“ 11_2 ”に固定してください。

PROM内蔵版使用上の注意事項

【PROM内蔵版の全機種に対する注意事項】

内蔵PROMへの書き込み時は高い電圧を使用しますので、マイクロコンピュータに過電圧がかからないようにしてください。電源の投入時は特に注意してください。

【ワンタイムPROM版に対する注意事項】

ワンタイムPROM版では、ユーザにて内蔵PROMを書き込むためのブランク出荷品（M30620ECFP、M30620ECGP）を用意しています。

ブランク出荷品については、アセンブリ工程以降、PROMの書き込みテスト、およびスクリーニングを、弊社では実施しません。したがって、ROM書き込み不良が5%程度、発生することがあります。書き込み以降の信頼性を向上させるために、図1.241に示す手順で書き込み、およびテストを行った後、使用することを推奨します。

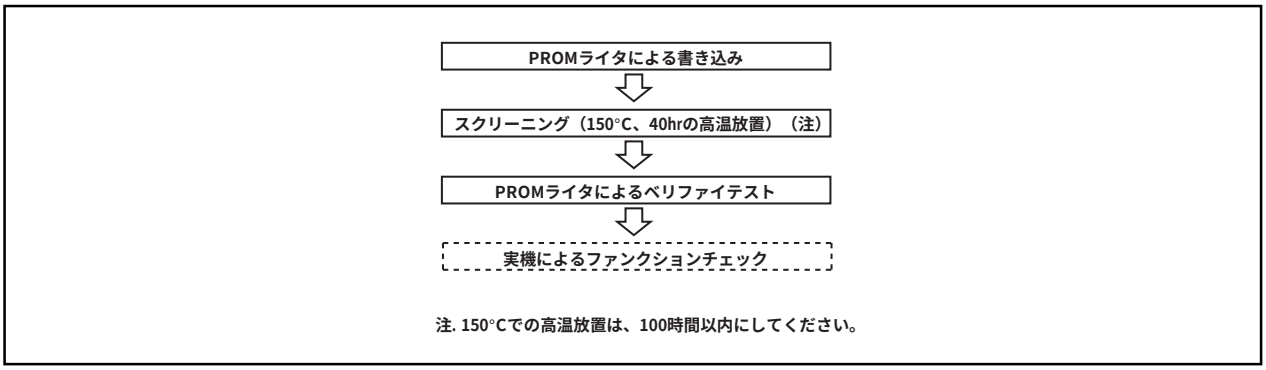


図1.24.1.　ワンタイムPROM版の書き込み、およびテスト

【EPROM版に対する注意事項】

●太陽光や蛍光灯には、書き込まれた情報を消去する可能性のある光が含まれています。読み出し状態で使用する場合は、シールなどで透明ガラス部分を覆ってください。このとき、シールがEPROMリード端子に接触しないように注意してください。
透明ガラス部分を覆うシールは弊社で用意しています。

●透明ガラス部分を清浄にした後、消去を実施してください。手の脂、糊などが紫外線の通過を妨げ、消去特性に影響を与える可能性があります。

●EPROM版はプログラム開発用ツール(評価用)ですので、量産には使用しないでください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

(1) マスク化確認書
(2) マーク指定書
(3) ROMのデータ ･････････････ EPROM、またはフロッピーディスク
*EPROMの場合は同一のデータのものを3組準備してください。
*フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

(1) ROM書き込み確認書
(2) マーク指定書
(3) ROMのデータ ･････････････ EPROM、またはフロッピーディスク
*EPROMの場合は同一のデータのものを3組準備してください。
*フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。

表1.26.1. 絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3～6.5	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3～6.5	V
V_I	入力電圧	RESET, (マスクROM版　CNVss, BYTE), $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, V_{REF}, X_{IN}		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$, (EPROM版　CNVss, BYTE)		−0.3～6.5（注1）	V
V_O	出力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_4$, $P8_6$, $P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{OUT}		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$,		−0.3～6.5	V
P_d	消費電力		Ta=25 ℃	300	mW
T_{opr}	動作周囲温度			−20～ 85 / −40～85(注2)	℃
T_{stg}	保存温度			−65～150	℃

注1.　CNVssだけEPROM書き込み時は-0.3～13.0(V)
注2.　-40～85 ℃品を御使用になる場合はそのむね御指定下さい。

表1.26.2. 推奨動作条件(指定のない場合は、Vcc=2.7V～5.5V, Ta=－20℃～85℃ / －40℃～85℃(注3))

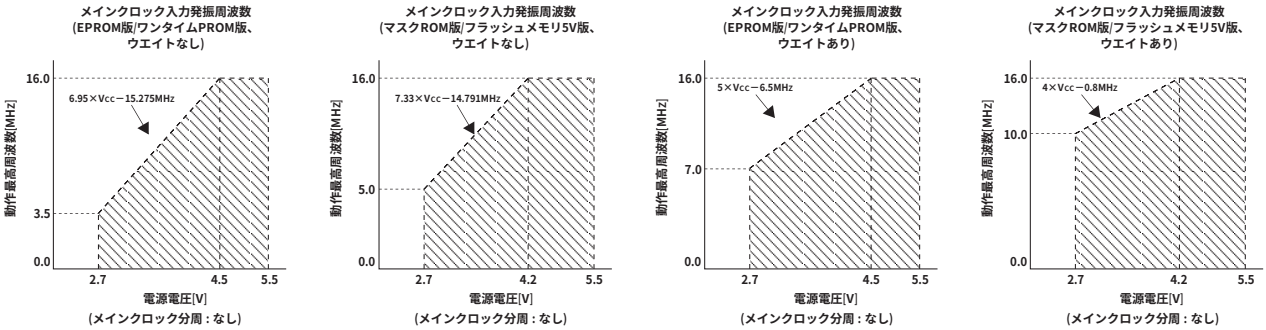
記号	項目				規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧				2.7	5.0	5.5	V
AVcc	アナログ電源電圧					Vcc		V
Vss	電源電圧					0		V
AVss	アナログ電源電圧					0		V
V_{IH}	"H"入力電圧	$P3_1$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, RESET, CNVss, BYTE			0.8Vcc		Vcc	V
		$P7_0$, $P7_1$			0.8Vcc		6.5	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (シングルチップモード時)			0.8Vcc		Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)			0.5Vcc		Vcc	V
V_{IL}	"L "入力電圧	$P3_1$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, RESET, CNVss, BYTE			0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (シングルチップモード時)			0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)			0		0.16Vcc	V
I_{OH} (peak)	"H"尖頭出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$					－10.0	mA
I_{OH} (avg)	"H"平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$					－5.0	mA
I_{OL} (peak)	"L "尖頭出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$					10.0	mA
I_{OL} (avg)	"L "平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$					5.0	mA
f (X_{IN})	メインクロック入力発振周波数	ウエイトなし	EPROM版 ワンタイムPROM版	Vcc=4.5V～5.5V	0		16	MHz
				Vcc=2.7V～4.5V	0		6.95 × Vcc －15.275	MHz
			マスクROM版 フラッシュメモリ 5V版(注5)	Vcc=4.2V～5.5V	0		16	MHz
				Vcc=2.7V～4.2V	0		7.33 × Vcc －14.791	MHz
		ウエイトあり	EPROM版 ワンタイムPROM版	Vcc=4.5V～5.5V	0		16	MHz
				Vcc=2.7V～4.5V	0		5 × Vcc －6.5	MHz
			マスクROM版 フラッシュメモリ 5V版(注5)	Vcc=4.2V～5.5V	0		16	MHz
				Vcc=2.7V～4.2V	0		4 X Vcc －0.8	MHz
f (X_{CIN})	サブクロック発振周波数					32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0,P1,P2,$P8_6$～$P8_7$,P9,P10のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, $P8_6$～$P8_7$, P9, P10のIOH(peak)の合計は80mA下、ポートP3, P4, P5, P6, P7, $P8_0$～$P8_4$のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, $P7_2$～$P7_7$, $P8_0$～$P8_4$のIOH(peak)の合計は80mA以下にしてください。

注3. －40～85℃品を御使用になる場合はそのむね御指定下さい。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。



注5. ウエイトなしの場合、フラッシュメモリの書き込み/消去は、Vcc=4.2V～5.5V、f(BCLK)≦6.25MHzで実行してください。ウエイトありの場合、フラッシュメモリの書き込み/消去は、Vcc=4.2V～5.5V、f(BCLK)≦12.5MHzで実行してください。

電気的特性(Vcc=5V)

Vcc = 5V

表1.26.3. 電気的特性(指定のない場合は、Vcc=5V,Vss=0V,Ta=25°C,f(XIN)=16MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OH}=−5mA		3.0			V
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OH}=−200μA		4.7			V
V_{OH}	"H"出力電圧 X_{OUT}		HIGHPOWER	I_{OH}=−1mA		3.0			V
			LOWPOWER	I_{OH}=−0.5mA		3.0			
	"H"出力電圧 X_{COUT}		HIGHPOWER	無負荷時			3.0		V
			LOWPOWER	無負荷時			1.6		
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OL}=5mA				2.0	V
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OL}=200μA				0.45	V
V_{OL}	"L"出力電圧 X_{OUT}		HIGHPOWER	I_{OL}=1mA				2.0	V
			LOWPOWER	I_{OL}=0.5mA				2.0	
	"L"出力電圧 X_{COUT}		HIGHPOWER	無負荷時			0		V
			LOWPOWER	無負荷時			0		
V_{T+}-V_{T-}	ヒステリシス	$\overline{HOLD}$, $\overline{RDY}$, $TA0_{IN}$～$TA4_{IN}$, $TB0_{IN}$～$TB5_{IN}$, $\overline{INT_0}$～$\overline{INT_5}$,NMI $\overline{ADTRG}$, $\overline{CTS_0}$～$\overline{CTS_2}$, SCL, SDA CLK_0～CLK_4,$TA2_{OUT}$～$TA4_{OUT}$ $\overline{KI_0}$～$\overline{KI_3}$,RxD_0～RxD_2,S_{IN3},S_{IN4}				0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス $\overline{RESET}$				0.2		1.8	V
I_{IH}	"H"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$,X_{IN}, $\overline{RESET}$, CNVss, BYTE		V_I=5V				5.0	μA
I_{IL}	"L"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$,X_{IN}, $\overline{RESET}$, CNVss, BYTE		V_I=0V				−5.0	μA
R_{PULLUP}	プルアップ抵抗	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		V_I=0V		30.0	50.0	167.0	kΩ
R_{fXIN}	帰還抵抗 X_{IN}						1.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}						6.0		MΩ
V_{RAM}	RAM保持電圧		クロック停止時		2.0				V
Icc	電源電流	シングルチップモードで、出力端子は開放、その他の端子はVss	EPROM、ワンタイムPROM、マスクROM版	f(X_{IN})=16MHz 方形波、分周なし			30.0	50.0	mA
			フラッシュメモリ5V版	f(X_{IN})=16MHz 方形波、分周なし			35.0	50.0	mA
			EPROM、ワンタイムPROM、マスクROM版	f(X_{CIN})=32kHz 方形波			90.0		μA
			フラッシュメモリ5V版	f(X_{CIN})=32kHz 方形波、RAM上			90.0		μA
			フラッシュメモリ5V版	f(X_{CIN})=32kHz 方形波、Flash上			8.0		mA
				f(X_{CIN})=32kHz ウエイト時(注1)			4.0		μA
				クロック停止時 Ta=25°C				1.0	μA
				クロック停止時 Ta=85°C				20.0	

注1. f_{C32}にてタイマ1本を動作させている状態です。

Vcc = 5V

表1.26.4. A-D変換特性 (指定のない場合は、Vcc=AVcc=VREF=5V, Vss=AVss=0V, Ta=25°C, f(XIN)=16MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc				10	Bits
–	絶対精度	サンプル&ホールド機能なし	VREF =Vcc=5V				±3	LSB
		サンプル&ホールド機能あり(10bit)	VREF = Vcc=5V	AN0～AN7入力			±3	LSB
				ANEX0, ANEX1入力、外部オペアンプ接続モード			±7	LSB
		サンプル&ホールド機能あり(8bit)	VREF =Vcc=5V				±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc		10		40	kΩ
tCONV	変換時間(10bit)				3.3			μs
tCONV	変換時間(8bit)				2.8			μs
tSAMP	サンプリング時間				0.3			μs
VREF	基準電圧				2		Vcc	V
VIA	アナログ入力電圧				0		VREF	V

注1. f(XIN)が10MHzを超える時は分周し、φADを10MHz以下として下さい。

表1.26.5. D-A変換特性 (指定のない場合は、Vcc=5V, Vss=AVss=0V, VREF=5V, Ta=25°C, f(XIN)=16MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00₁₆ ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、DAレジスタの内容が“ 00 ”以外の場合A-D制御レジスタでVref未接続としても、IVREFは流れます。

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25°C)

表1.26.6.　外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	25		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表1.26.7.　メモリ拡張およびマイクロプロセッサモード

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{ac1(RD-DB)}$	データ入力アクセス時間　（ウエイトなし）		（注1）	ns
$t_{ac2(RD-DB)}$	データ入力アクセス時間　（ウエイトあり）		（注1）	ns
$t_{ac3(RD-DB)}$	データ入力アクセス時間　（マルチプレクスバス領域をアクセスした場合）		（注1）	ns
$t_{su(DB-RD)}$	データ入力セットアップ時間	40		ns
$t_{su(RDY-BCLK)}$	$\overline{RDY}$入力セットアップ時間	30		ns
$t_{su(HOLD-BCLK)}$	$\overline{HOLD}$入力セットアップ時間	40		ns
$t_{h(RD-DB)}$	データ入力ホールド時間	0		ns
$t_{h(BCLK-RDY)}$	$\overline{RDY}$入力ホールド時間	0		ns
$t_{h(BCLK-HOLD)}$	$\overline{HOLD}$入力ホールド時間	0		ns
$t_{d(BCLK-HLDA)}$	$\overline{HLDA}$出力遅延時間		40	ns

注１：BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1(RD-DB)} = \frac{10^9 \times 1}{f(BCLK) \times 2} - 45\ [ns]$$

$$t_{ac2(RD-DB)} = \frac{10^9 \times 3}{f(BCLK) \times 2} - 45\ [ns]$$

$$t_{ac3(RD-DB)} = \frac{10^9 \times 3}{f(BCLK) \times 2} - 45\ [ns]$$

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃)

表1.26.8.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	40		ns

表1.26.9.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	200		ns

表1.26.10.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表1.26.11.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表1.26.12.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

Vcc = 5V

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃)

表1.26.13.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	80		ns

表1.26.14.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.26.15.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.26.16.　A-Dトリガ入力

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L " パルス幅	125		ns

表1.26.17.　シリアルI/O

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.26.18.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規格値 最小	規格値 最大	単位
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

Vcc = 5V

スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15= “ 1 ”)

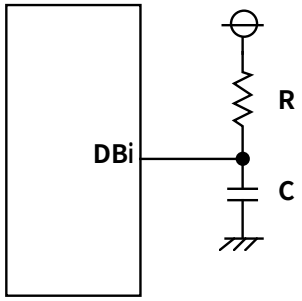
表1.26.19.　メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記　号	項　　目	測　定　条　件	規　格　値		単位
			最　小	最　大	
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		25	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			25	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1.　BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)\times 2} - 40 \quad [ns]$$

注2.　この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力 “ L ” レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



Vcc = 5V

スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15=“1”)

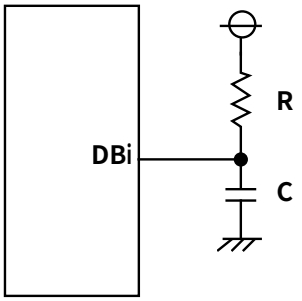
表1.26.20. メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値 最小	規格値 最大	単位
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		25	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			25	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)} - 40 \quad [ns]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力“L”レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



Vcc = 5V

スイッチング特性(指定のない場合は、Vcc=5V, Vss=0V, Ta=25℃, CM15= “ 1 ”)

表1.26.21.　メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値 最小	規格値 最大	単位
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		25	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		(注1)		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
th(RD-CS)	チップセレクト出力保持時間（RD基準）		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間（WR基準）		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			40	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間（BCLK基準）			25	ns
th(BCLK-ALE)	ALE出力保持時間（BCLK基準）		−4		ns
td(AD-ALE)	ALE出力遅延時間（アドレス基準）		(注1)		ns
th(ALE-AD)	ALE出力保持時間（アドレス基準）		30		ns
td(AD-RD)	アドレス後RD信号出力遅延時間		0		ns
td(AD-WR)	アドレス後WR信号出力遅延時間		0		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1.　BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK)\times 2} \quad [ns]$$

$$th(WR-AD) = \frac{10^9}{f(BCLK)\times 2} \quad [ns]$$

$$th(RD-CS) = \frac{10^9}{f(BCLK)\times 2} \quad [ns]$$

$$th(WR-CS) = \frac{10^9}{f(BCLK)\times 2} \quad [ns]$$

$$td(DB-WR) = \frac{10^9\times 3}{f(BCLK)\times 2} - 40 \quad [ns]$$

$$th(WR-DB) = \frac{10^9}{f(BCLK)\times 2} \quad [ns]$$

$$td(AD-ALE) = \frac{10^9}{f(BCLK)\times 2} - 25 \quad [ns]$$

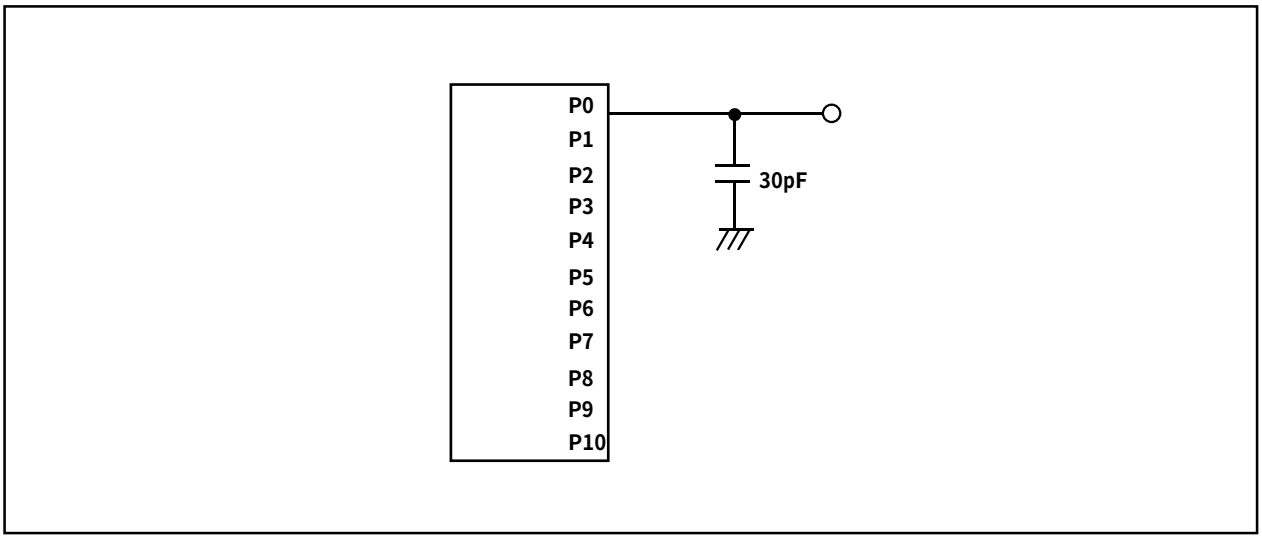


図1.26.1.　ポートP0～P10の測定回路

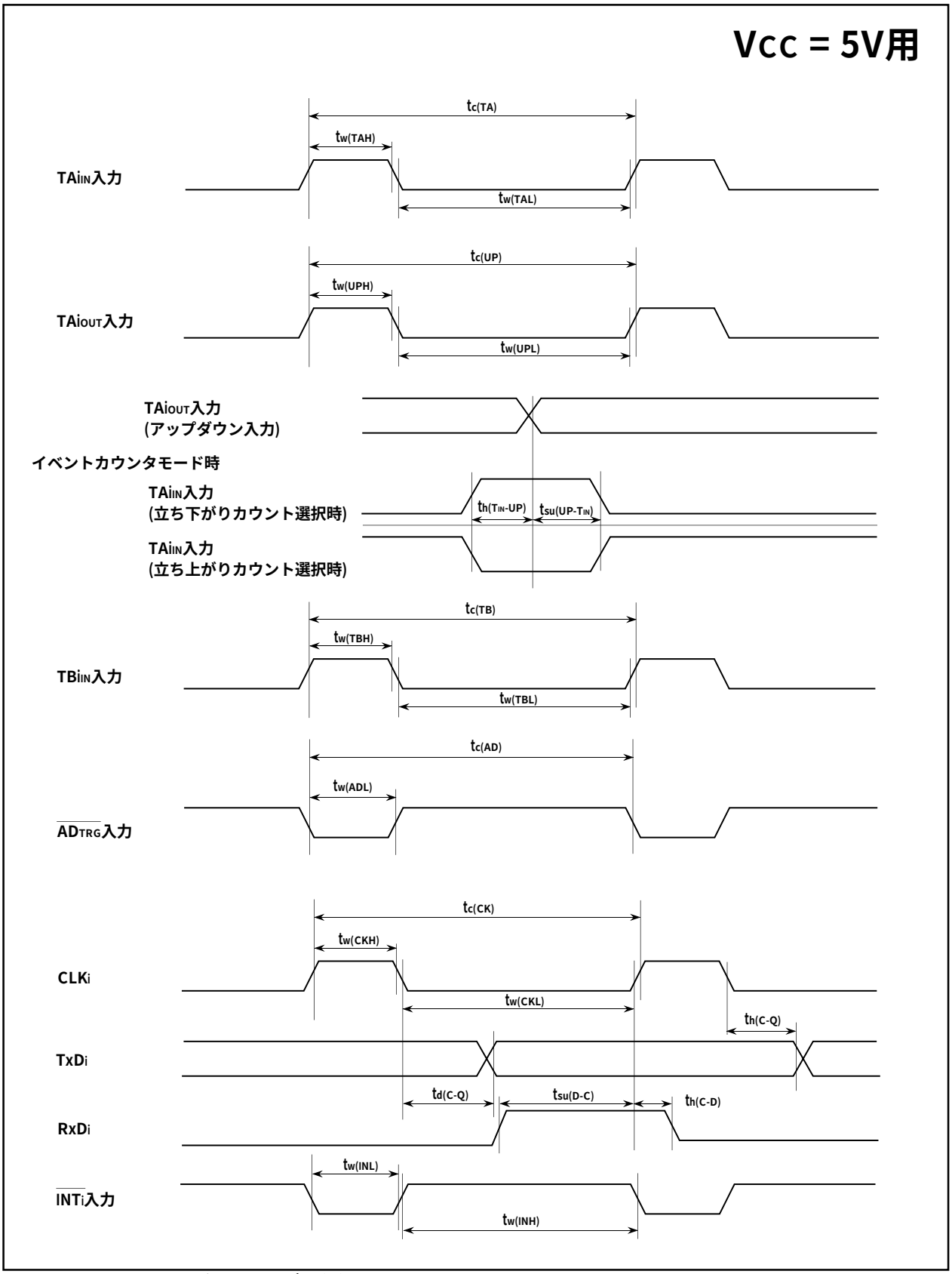
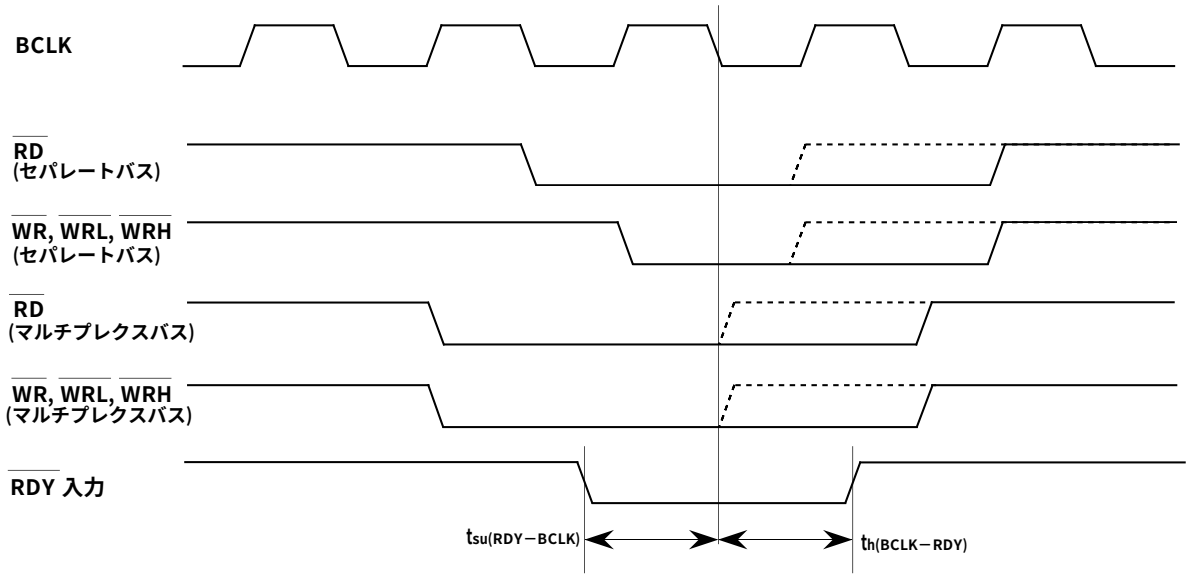


図1.26.2.　Vcc=5V用タイミング図(1)

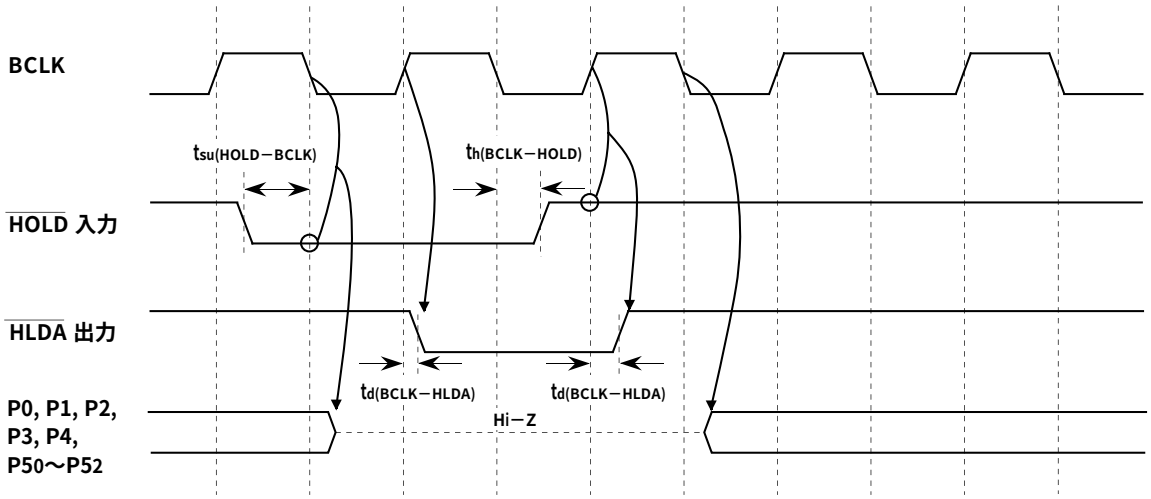
Vcc = 5V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポート$P4_0$〜$P4_3$機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

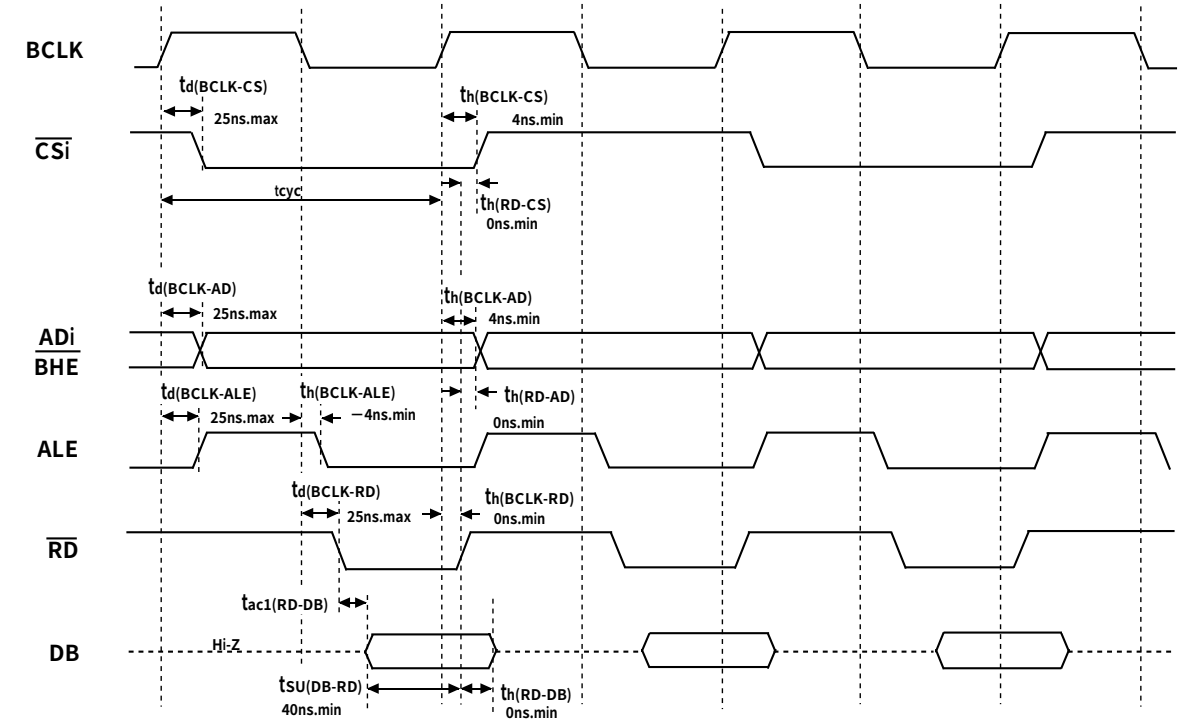
測定条件
- V_{CC}=5V
- 入力タイミング電圧：V_{IL}=1.0V, V_{IH}=4.0V
- 出力タイミング電圧：V_{OL}=2.5V, V_{OH}=2.5V

図1.26.3. Vcc=5V用タイミング図(2)

Vcc = 5V用

メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

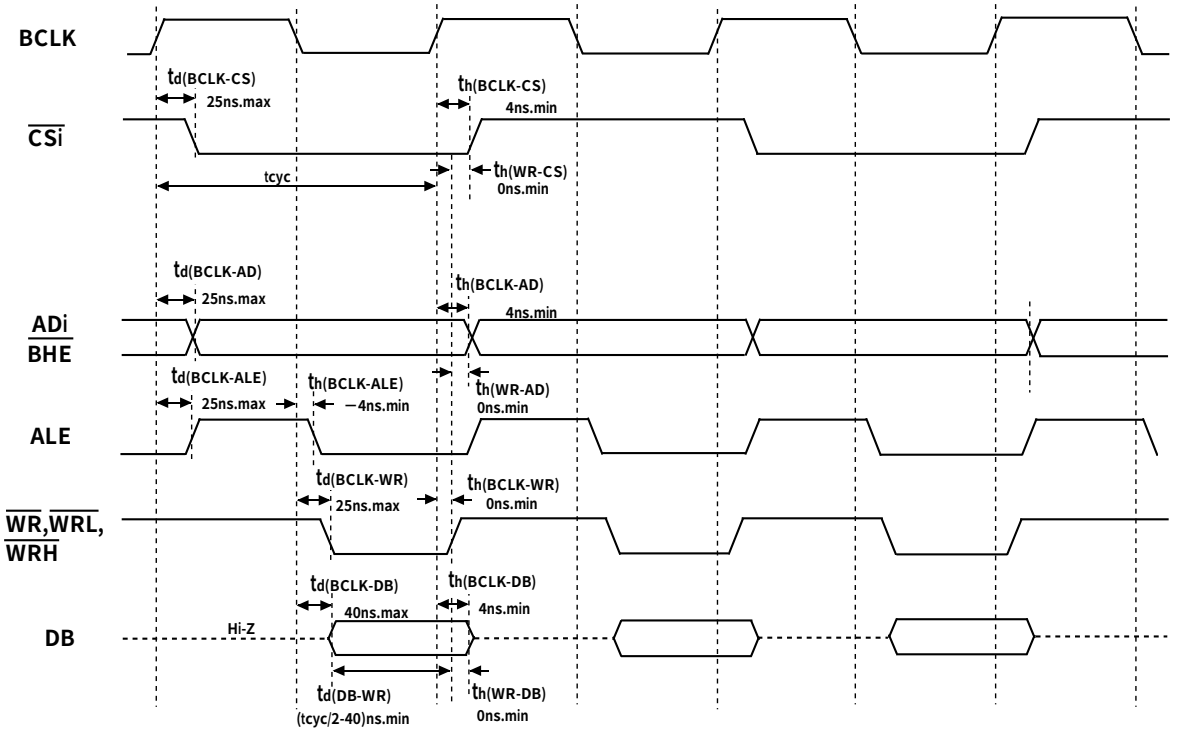


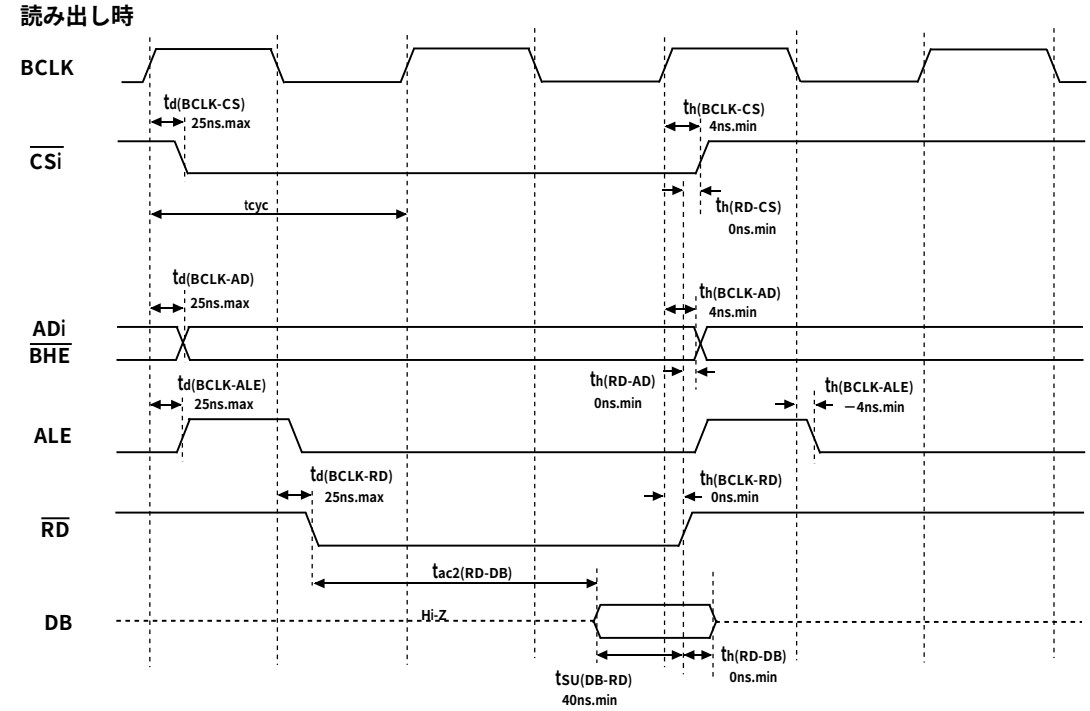
図1.26.4.　Vcc=5V用タイミング図(3)

タイミング(Vcc=5V)

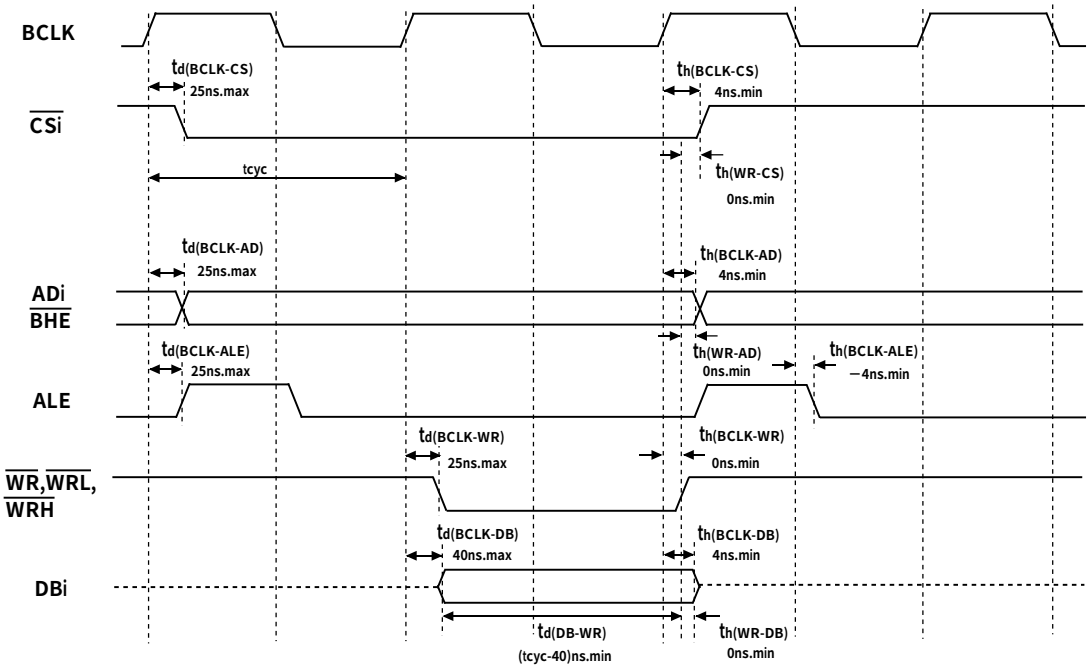
Vcc = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件
- Vcc=5V
- 入力タイミング電圧：VIL=0.8V,VIH=2.5V
- 出力タイミング電圧：VOL=0.8V,VOH=2.0V

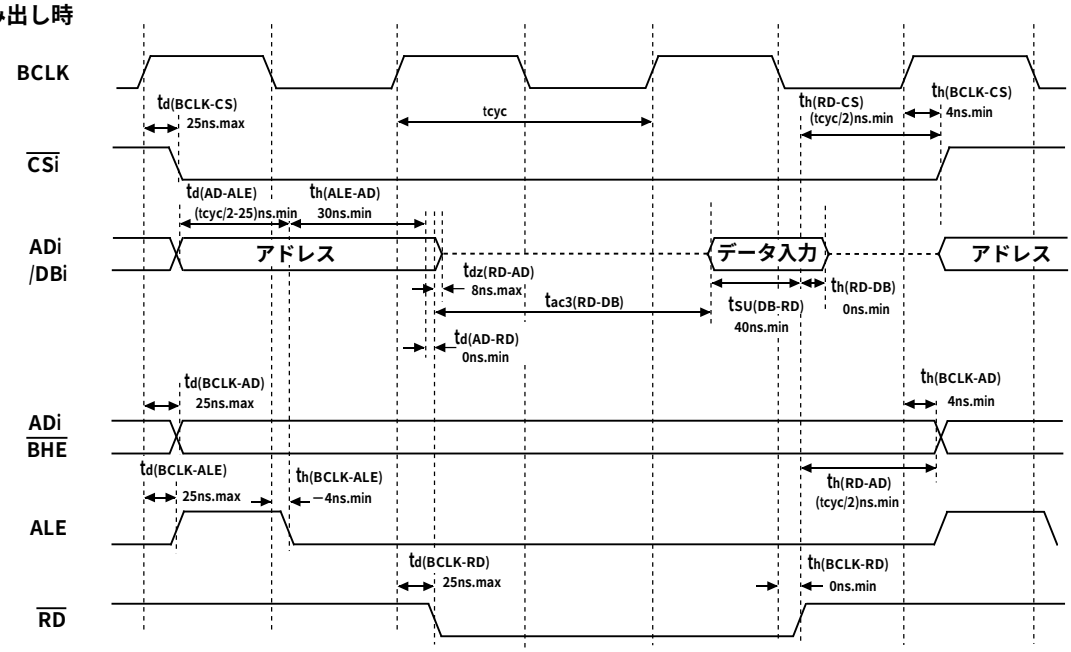
図1.26.5.　Vcc=5V用タイミング図(4)

タイミング(Vcc=5V)

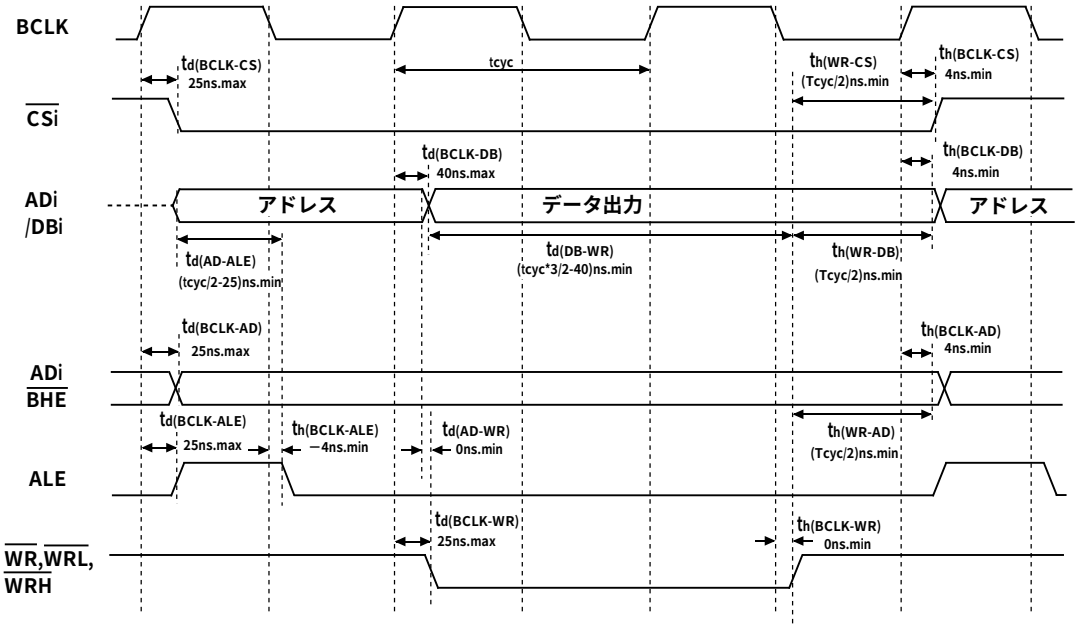
Vcc = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件
- Vcc=5V
- 入力タイミング電圧：VIL=0.8V,VIH=2.5V
- 出力タイミング電圧：VOL=0.8V,VOH=2.0V

図1.26.6.　Vcc=5V用タイミング図(5)

電気的特性(Vcc=3V)

Vcc = 3V

表1.26.22. 電気的特性(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃, f(XIN)=7MHZ(注1), ウエイトあり)

記号	項目			測定条件		規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$, $P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OH}=－1mA		2.5			V
V_{OH}	"H"出力電圧	X_{OUT}	HIGHPOWER	I_{OH}=－0.1mA		2.5			V
			LOWPOWER	I_{OH}=－50μA		2.5			
	"H"出力電圧	X_{COUT}	HIGHPOWER	無負荷時			3.0		V
			LOWPOWER	無負荷時			1.6		
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_4$, $P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		I_{OL}=1mA				0.5	V
V_{OL}	"L"出力電圧	X_{OUT}	HIGHPOWER	I_{OL}=0.1mA				0.5	V
			LOWPOWER	I_{OL}=50μA				0.5	
	"L"出力電圧	X_{COUT}	HIGHPOWER	無負荷時			0		V
			LOWPOWER	無負荷時			0		
V_{T+}-V_{T-}	ヒステリシス	$\overline{HOLD}$, $\overline{RDY}$, $TA0_{IN}$～$TA4_{IN}$, $TB0_{IN}$～$TB5_{IN}$, $\overline{INT0}$～$\overline{INT5}$,NMI $\overline{ADTRG}$, $\overline{CTS0}$～$\overline{CTS2}$, SCL, SDA $CLK0$～$CLK4$,$TA2_{OUT}$～$TA4_{OUT}$ $\overline{KI0}$～$\overline{KI3}$,$RxD0$～$RxD2$,$SIN3$,$SIN4$				0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$				0.2		1.8	V
I_{IH}	"H"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, RESET, CNVss, BYTE		V_I=3V				4.0	μA
I_{IL}	"L"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$, $P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, RESET, CNVss, BYTE		V_I=0V				－4.0	μA
R_{PULLUP}	プルアップ抵抗	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$, $P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$		V_I=0V		66.0	120.0	500.0	kΩ
R_{fXIN}	帰還抵抗 X_{IN}						3.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}						10.0		MΩ
V_{RAM}	RAM保持電圧			クロック停止時		2.0			V
Icc	電源電流	シングルチップモードで、出力端子は開放、その他の端子はVss		EPROM、ワンタイムPROM版	f(XIN)=7MHz 方形波、分周なし		6.0	15.0	mA
				マスクROM版	f(XIN)=10MHz 方形波、分周なし		8.5	21.25	mA
				フラッシュメモリ5V版	f(XIN)=10MHz 方形波、分周なし		13.5	21.25	mA
				EPROM、ワンタイムPROM、マスクROM版	f(XCIN)=32kHz 方形波		40.0		μA
				フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、RAM上		40.0		μA
				フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、Flash上		4.5		mA
					f(XCIN)＝32kHz ウエイト時 発振能力 High(注2)		2.8		μA
					f(XCIN)＝32kHz ウエイト時 発振能力 Low(注2)		0.9		μA
					クロック停止時 Ta=25℃			1.0	μA
					クロック停止時 Ta=85℃			20.0	

注1. マスクROM版およびフラッシュメモリ5V版の場合は10MHzです。

注2. fC_{32}にてタイマ1本を動作させている状態です。

Vcc = 3V

表1.26.23. A-D変換特性 (指定のない場合は、Vcc=AVcc=VREF=3V, Vss=AVss=0V, Ta=25℃, f(XIN)=7MHz (注1))

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc			10	Bits
–	絶対精度	サンプル&ホールド機能なし(8bit)	VREF =Vcc=3V，φAD=fAD/2			±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc	10		40	kΩ
tconv	変換時間(8bit)	ワンタイムPROM, EPROM版		14.0			μs
		マスクROM、フラッシュメモリ5V版		9.8			μs
VREF	基準電圧			2.7		Vcc	V
VIA	アナログ入力電圧			0		VREF	V

注1. マスクROM版およびフラッシュメモリ5V版の場合は10MHzです。

表1.26.24. D-A変換特性 (指定のない場合は、Vcc=3V,Vss=AVss=0V,VREF=3V,Ta=25℃, f(XIN)=7MHz (注2))

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.0	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00_{16} ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、DAレジスタの内容が“ 00 ”以外の場合A-D制御レジスタでVref未接続としても、IVREFは流れます。

注2. マスクROM版およびフラッシュメモリ5V版の場合は10MHzです。

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃)

表1.26.25.　外部クロック入力

記　号	項　　目		規　格　値		単位
			最　小	最　大	
tc	外部クロック入力サイクル時間	EPROM,ワンタイムPROM版	143		ns
		マスクROM、フラッシュメモリ5V版	100		ns
tw(H)	外部クロック入力 "H"パルス幅	EPROM,ワンタイムPROM版	60		ns
		マスクROM、フラッシュメモリ5V版	40		ns
tw(L)	外部クロック入力 "L" パルス幅	EPROM,ワンタイムPROM版	60		ns
		マスクROM、フラッシュメモリ5V版	40		ns
tr	外部クロック立ち上がり時間			18	ns
tf	外部クロック立ち下がり時間			18	ns

表1.26.26.　メモリ拡張およびマイクロプロセッサモード

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tac1(RD-DB)	データ入力アクセス時間　（ウエイトなし）		（注1）	ns
tac2(RD-DB)	データ入力アクセス時間　（ウエイトあり）		（注1）	ns
tac3(RD-DB)	データ入力アクセス時間　（マルチプレクスバス領域をアクセスした場合）		（注1）	ns
tsu(DB-RD)	データ入力セットアップ時間	80		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$入力セットアップ時間	60		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$入力セットアップ時間	80		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK -RDY)	$\overline{\text{RDY}}$入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$入力ホールド時間	0		ns
td(BCLK-HLDA)	$\overline{\text{HLDA}}$出力遅延時間		100	ns

注１：BCLKの周波数に応じて次の計算式で算出されます。

$$tac1(RD-DB) = \frac{10^9 \times 1}{f(BCLK) \times 2} - 90\ [ns]$$

$$tac2(RD-DB) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 90\ [ns]$$

$$tac3(RD-DB) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 90\ [ns]$$

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃)

表1.26.27.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	60		ns

表1.26.28.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	300		ns

表1.26.29.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	150		ns

表1.26.30.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	150		ns

表1.26.31.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1500		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	600		ns

Vcc = 3V

タイミング必要条件　(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃)

表1.26.32.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	160		ns

表1.26.33.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表1.26.34.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表1.26.35.　A-Dトリガ入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L " パルス幅	200		ns

表1.26.36.　シリアルI/O

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	150		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		160	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.26.37.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	380		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	380		ns

Vcc = 3V

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃, CM15=“ 1 ”)

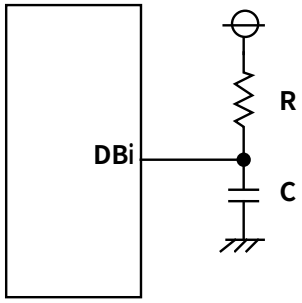
表1.26.38.　メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記　号	項　　目	測　定　条　件	規　格　値		単位
			最　小	最　大	
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		60	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			60	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			60	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			60	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			60	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			80	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1.　BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)\times 2} - 80 \quad [ns]$$

注2.　この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力“ L ”レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



Vcc = 3V

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃, CM15=“1”)

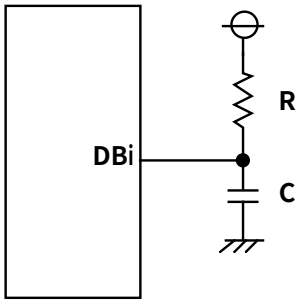
表1.26.39. メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値 最小	規格値 最大	単位
td(BCLK-AD)	アドレス出力遅延時間	図1.26.1		60	ns
th(BCLK-AD)	アドレス出力保持時間（BCLK基準）		4		ns
th(RD-AD)	アドレス出力保持時間（RD基準）		0		ns
th(WR-AD)	アドレス出力保持時間（WR基準）		0		ns
td(BCLK-CS)	チップセレクト出力遅延時間			60	ns
th(BCLK-CS)	チップセレクト出力保持時間（BCLK基準）		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			60	ns
th(BCLK-ALE)	ALE信号出力保持時間		−4		ns
td(BCLK-RD)	RD信号出力遅延時間			60	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			60	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間（BCLK基準）			80	ns
th(BCLK-DB)	データ出力保持時間（BCLK基準）		4		ns
td(DB-WR)	データ出力遅延時間（WR基準）		(注1)		ns
th(WR-DB)	データ出力保持時間（WR基準）(注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9}{f(BCLK)} - 80 \quad [ns]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。
右図の回路でデータバスの保持時間は、
$t = -CR \times \ln(1 - V_{OL} / V_{CC})$
で表されます。
例えば、$V_{OL} = 0.2V_{CC}$、C = 30pF、R = 1kΩとすると、
出力“L”レベルの保持時間は、
$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$
$= 6.7ns$



Vcc = 3V

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Ta=25℃, CM15= “ 1 ”)

表1.26.40.　メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記　号	項　　目	測　定　条　件	規　格　値		単位
			最　小	最　大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図1.26.1		60	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間（BCLK基準）		4		ns
$t_{h(RD-AD)}$	アドレス出力保持時間（RD基準）		(注1)		ns
$t_{h(WR-AD)}$	アドレス出力保持時間（WR基準）		(注1)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			60	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間（BCLK基準）		4		ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間（RD基準）		(注1)		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間（WR基準）		(注1)		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			60	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			60	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間（BCLK基準）			80	ns
$t_{h(BCLK-DB)}$	データ出力保持時間（BCLK基準）		4		ns
$t_{d(DB-WR)}$	データ出力遅延時間（WR基準）		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間（WR基準）		(注1)		ns
$t_{d(BCLK-ALE)}$	ALE出力遅延時間（BCLK基準）			60	ns
$t_{h(BCLK-ALE)}$	ALE出力保持時間（BCLK基準）		−4		ns
$t_{d(AD-ALE)}$	ALE出力遅延時間（アドレス基準）		(注1)		ns
$t_{h(ALE-AD)}$	ALE出力保持時間（アドレス基準）		50		ns
$t_{d(AD-RD)}$	アドレス後RD信号出力遅延時間		0		ns
$t_{d(AD-WR)}$	アドレス後WR信号出力遅延時間		0		ns
$t_{dZ(RD-AD)}$	アドレス出力フローティング開始時間			8	ns

注1.　BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(WR-AD)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(RD-CS)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$th(WR-CS)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$td(DB-WR)=\frac{10^9\times 3}{f(BCLK)\times 2}-80\quad [ns]$$

$$th(WR-DB)=\frac{10^9}{f(BCLK)\times 2}\quad [ns]$$

$$td(AD-ALE)=\frac{10^9}{f(BCLK)\times 2}-45\quad [ns]$$

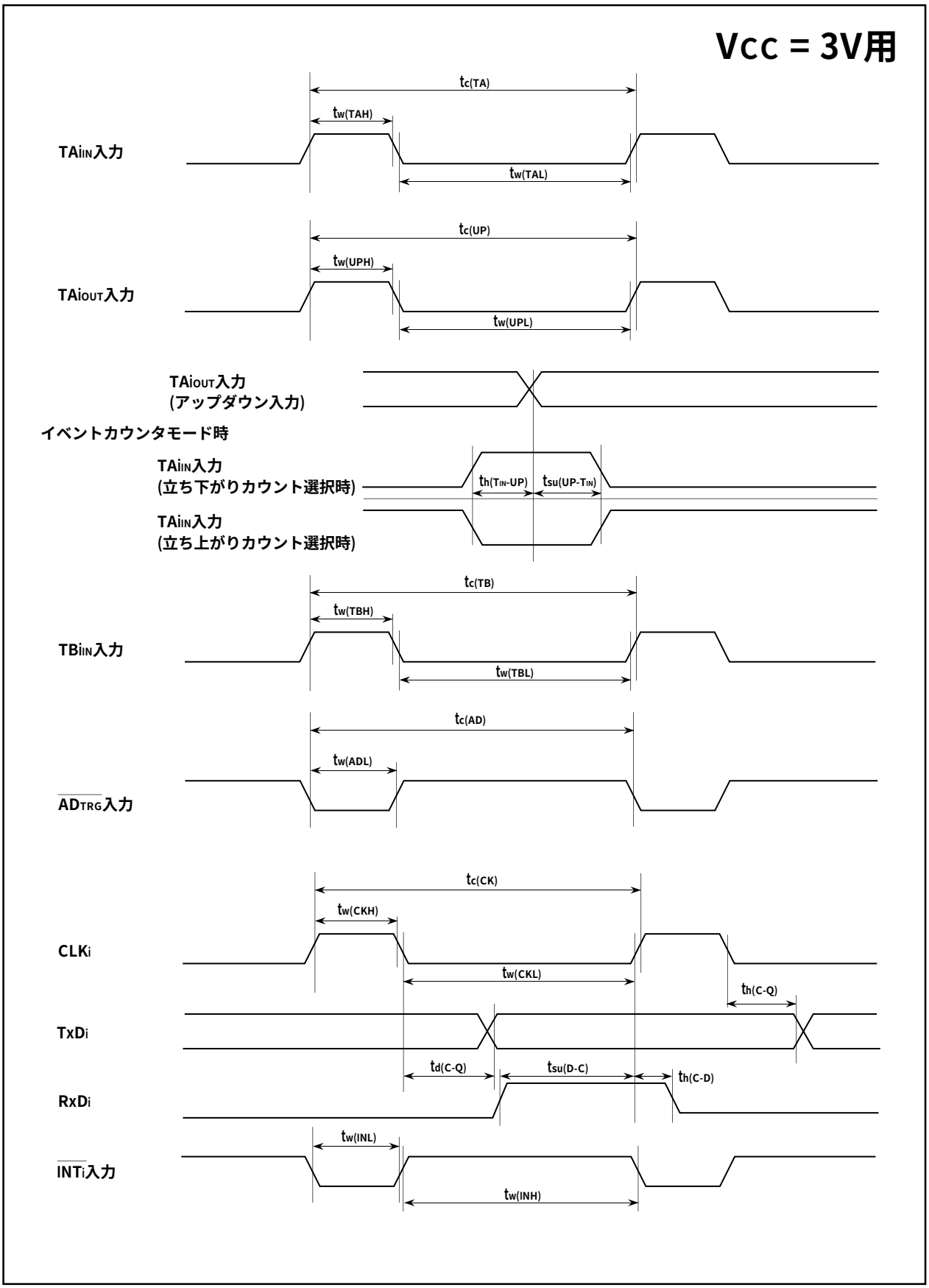


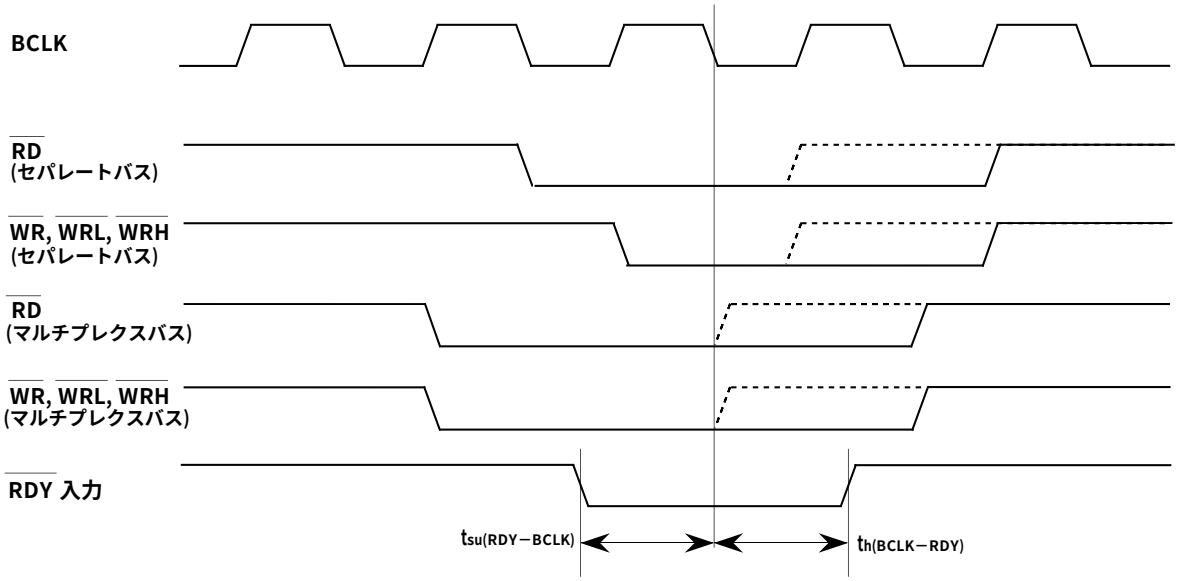
図1.26.7.　Vcc=3V用タイミング図(1)

タイミング(VCC=3V)

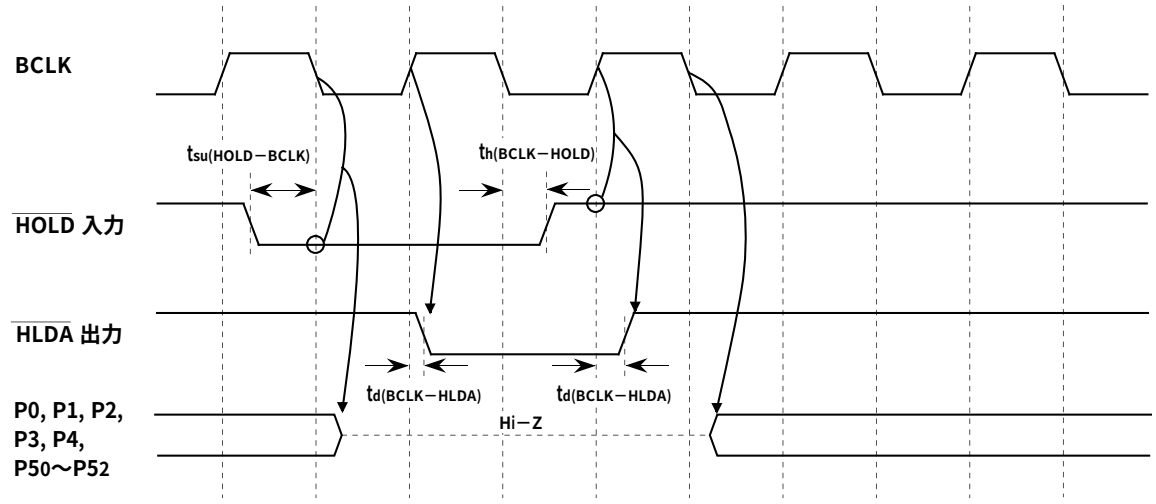
Vcc = 3V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポート$P4_0$〜$P4_3$機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件
- V_{CC}=3V
- 入力タイミング電圧：V_{IL}=0.6V, V_{IH}=2.4V
- 出力タイミング電圧：V_{OL}=1.5V, V_{OH}=1.5V

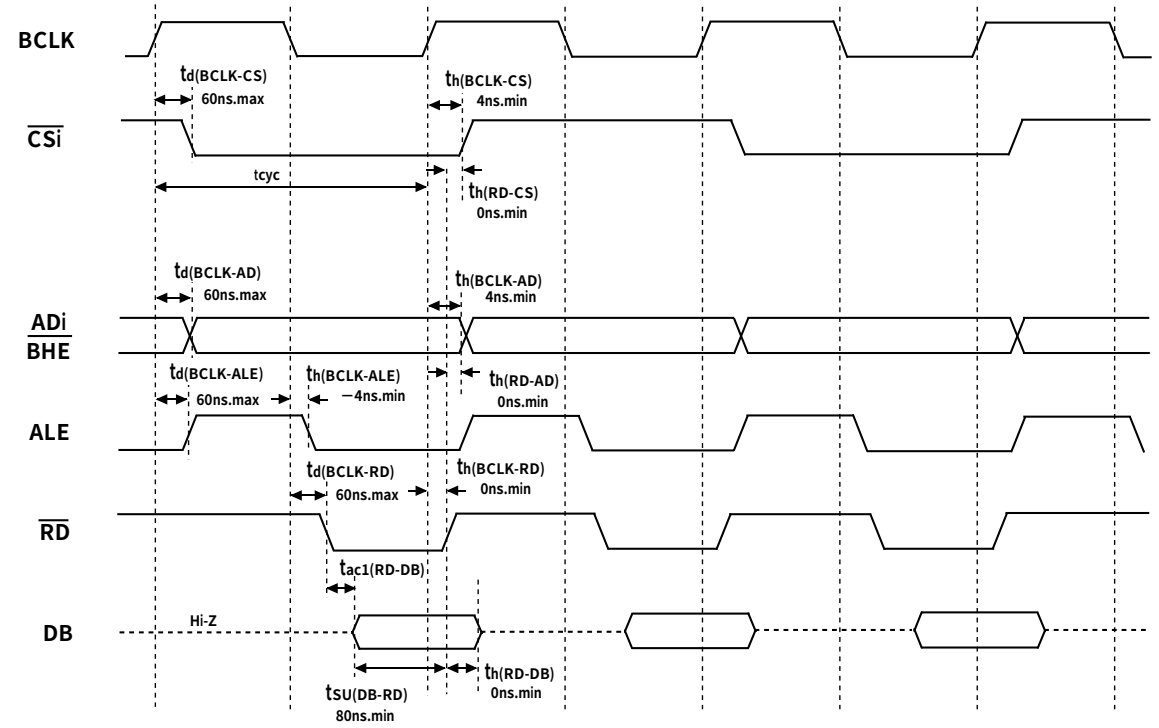
図1.26.8. Vcc=3V用タイミング図(2)

タイミング(VCC=3V)

Vcc = 3V用

メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

読み出しタイミング



書き込みタイミング

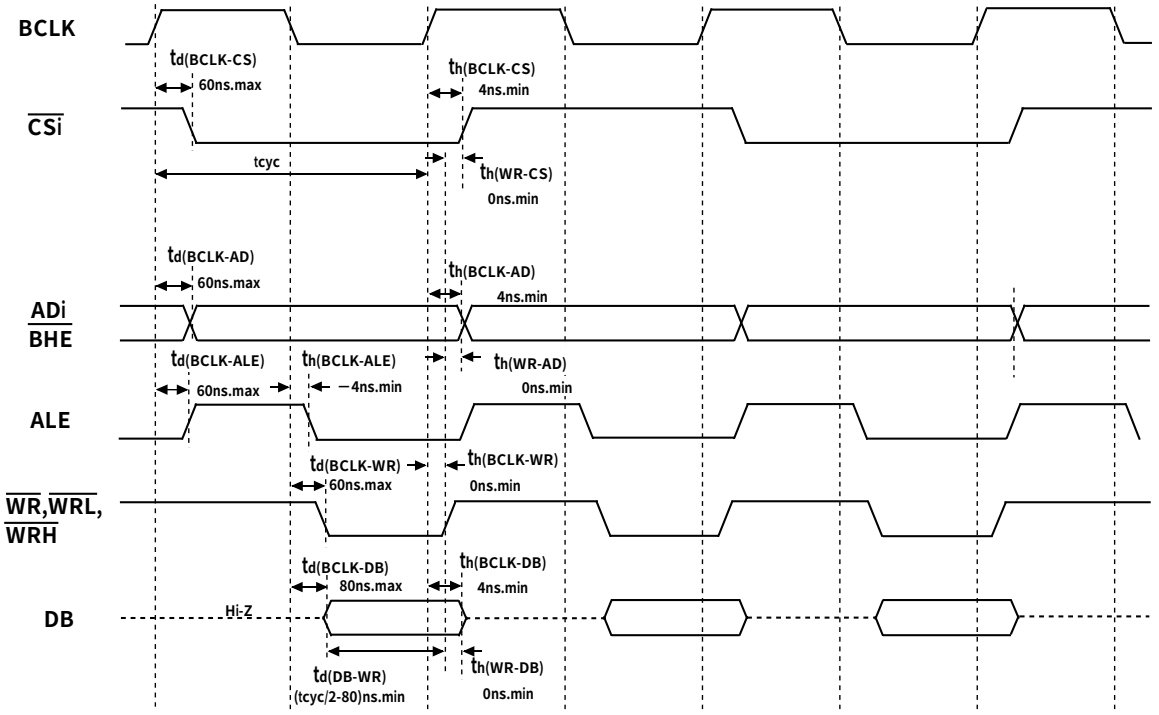


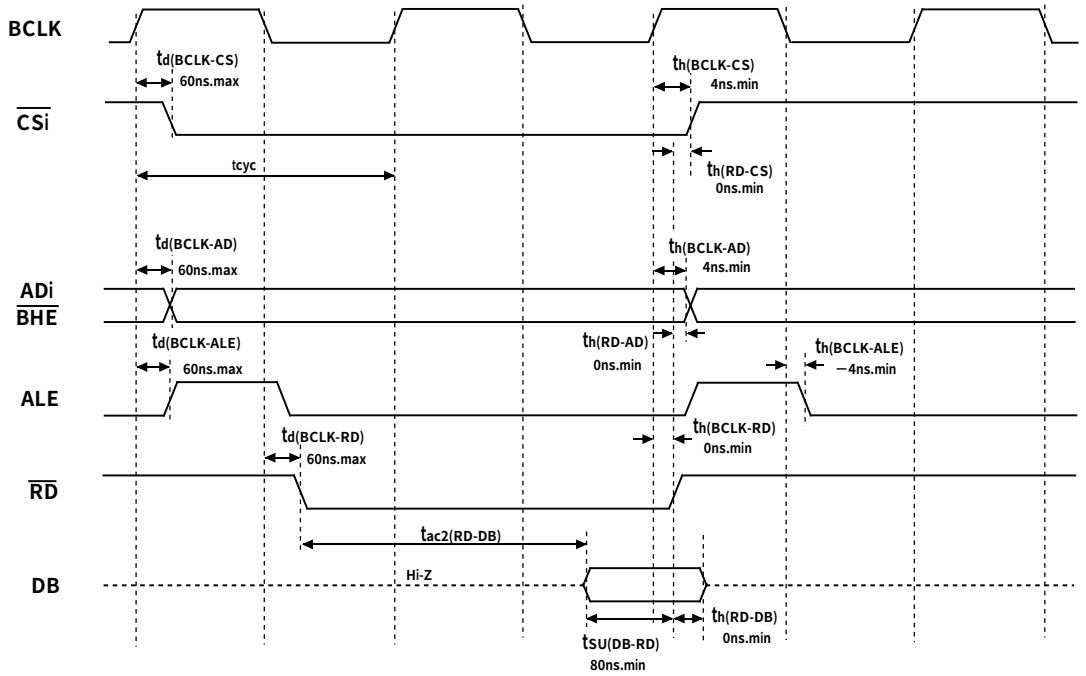
図1.26.9.　Vcc=3V用タイミング図(3)

タイミング(VCC=3V)

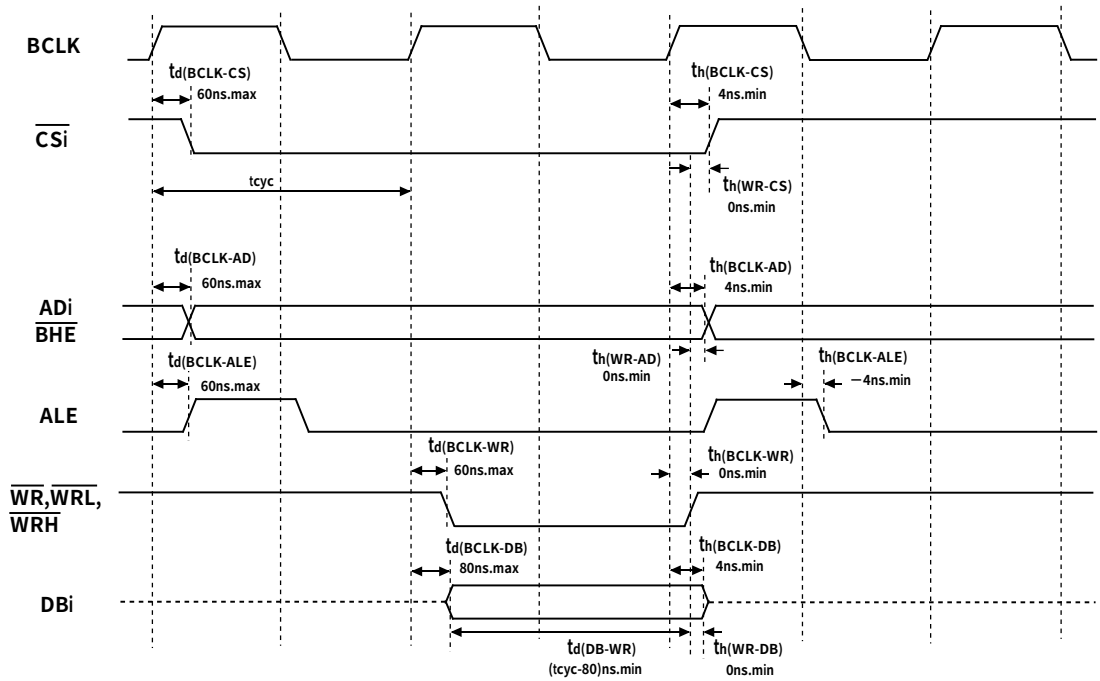
Vcc = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件
- Vcc=3V
- 入力タイミング電圧：VIL=0.48V,VIH=1.5V
- 出力タイミング電圧： VOL=1.5V,VOH=1.5V

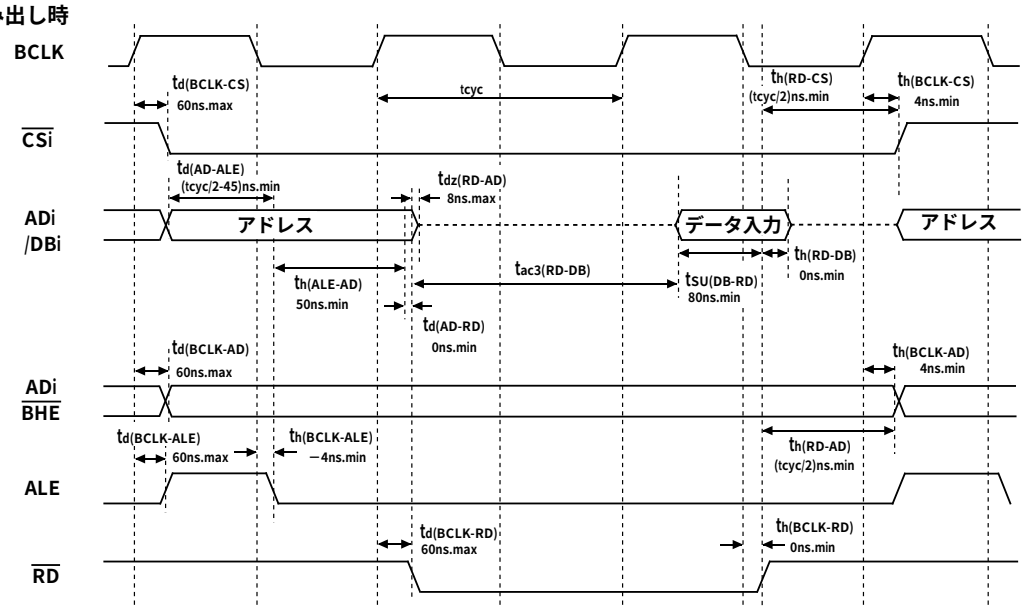
図1.26.10.　Vcc=3V用タイミング図(4)

タイミング(VCC=3V)

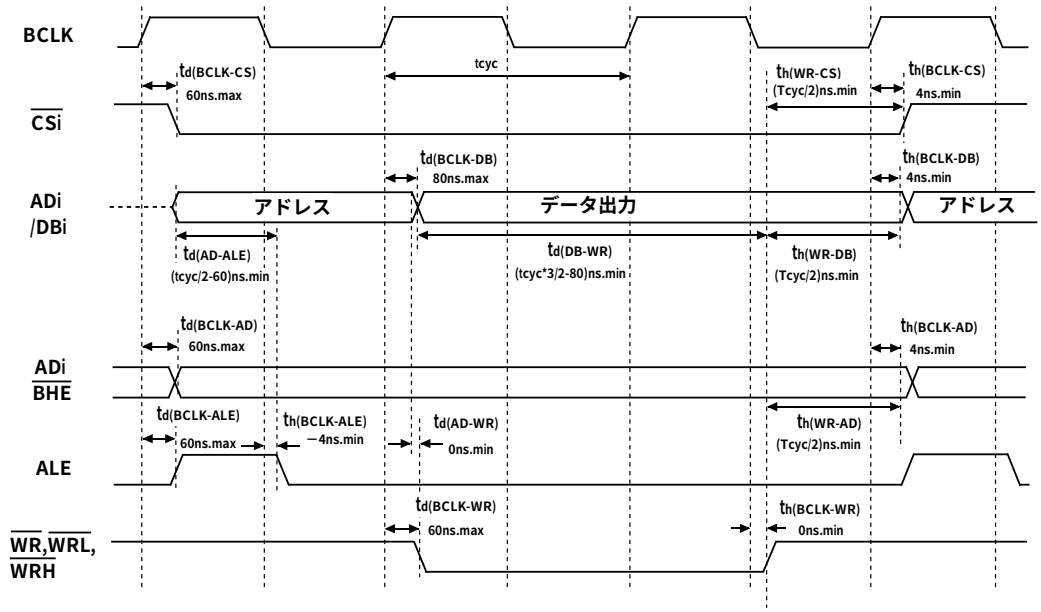
Vcc = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件
- Vcc=3V
- 入力タイミング電圧：VIL=0.48V,VIH=1.5V
- 出力タイミング電圧：VOL=1.5V,VOH=1.5V

図1.26.11.　Vcc=3V用タイミング図(5)

GZZ-SH12-58A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620M8-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

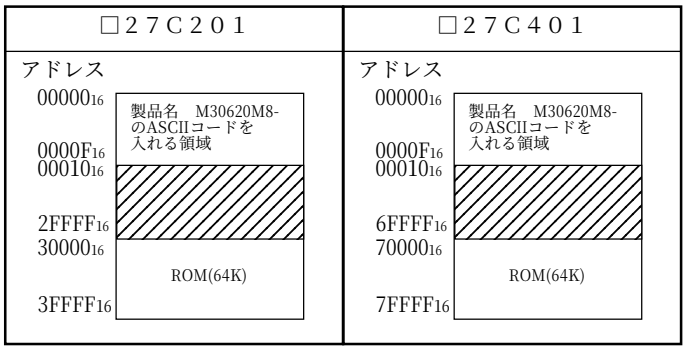
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30620M8-XXXFP　□M30620M8-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30620M8-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’0’ = 30_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’8’ = 38_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-58A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620M8-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30620M8- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30620M8- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30620M8-XXXFP　□M30620M8-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620M8-XXXFPの場合は100P6Sの、M30620M8-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-58A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30620M8-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-60A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620MA-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※ 貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
	発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

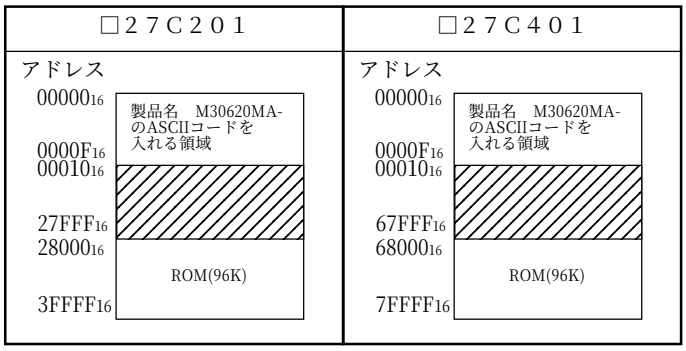
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30620MA-XXXFP　□M30620MA-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30620MA-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’0’ = 30_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’A’ = 41_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-60A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620MA-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30620MA- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30620MA- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30620MA-XXXFP　□M30620MA-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620MA-XXXFPの場合は100P6Sの、M30620MA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-60A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30620MA-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-62A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620MC-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

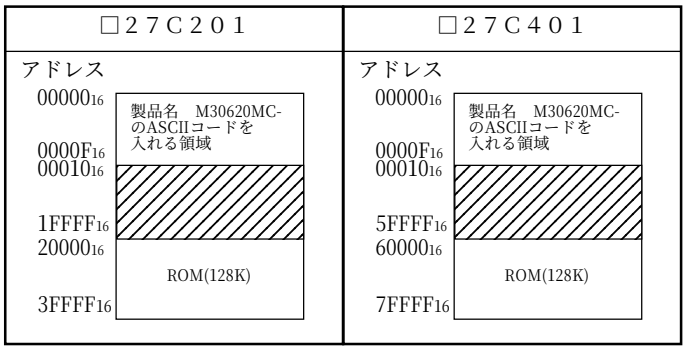
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30620MC-XXXFP　□M30620MC-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30620MC-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’0’ = 30_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’C’ = 43_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-62A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30620MC-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30620MC- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30620MC- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30620MC-XXXFP　□M30620MC-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620MC-XXXFPの場合は100P6Sの、M30620MC-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-62A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30620MC-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-74A<82A2>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622M4-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※ 貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
	発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

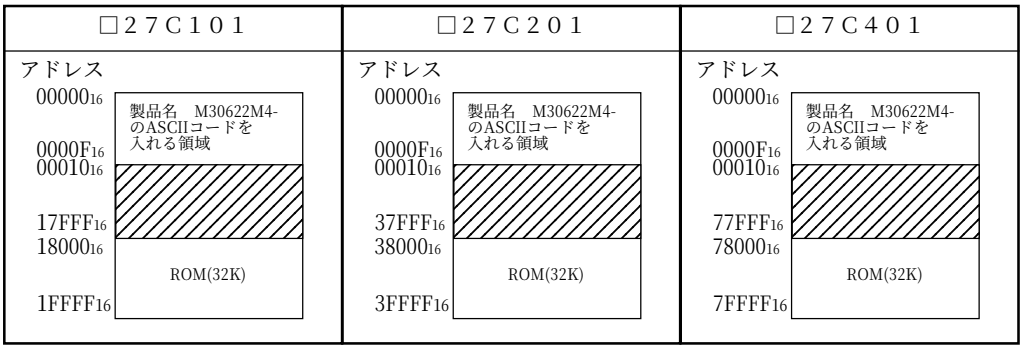
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30622M4-XXXFP　□M30622M4-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30622M4-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’2’ = 32_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’4’ = 34_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-74A<82A2>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622M4-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C101	27C201	27C401
ソースプログラムへの記述	△.SECTION △ASCIICODE, ROM DATA △.ORG△0E0000H △.BYTE△ ’M30622M4-’	△.SECTION △ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’M30622M4-’	△.SECTION △ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’M30622M4-’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30622M4-XXXFP　□M30622M4-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622M4-XXXFPの場合は100P6Sの、M30622M4-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = [　　] MHz

GZZ-SH12-74A<82A2>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30622M4-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-64A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622M8-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

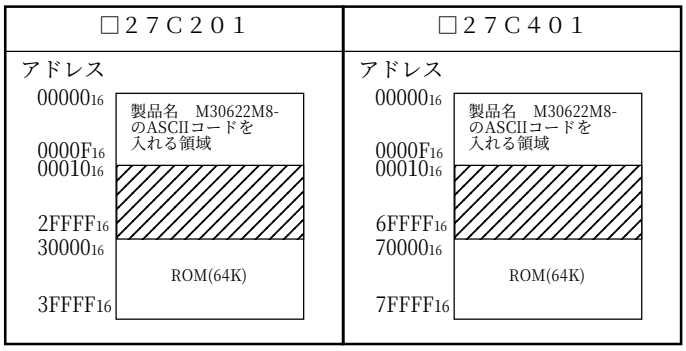
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30622M8-XXXFP　□M30622M8-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30622M8-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’2’ = 32_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’8’ = 38_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-64A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622M8-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30622M8- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30622M8- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30622M8-XXXFP　□M30622M8-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622M8-XXXFPの場合は100P6Sの、M30622M8-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-64A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30622M8-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-66A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622MA-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

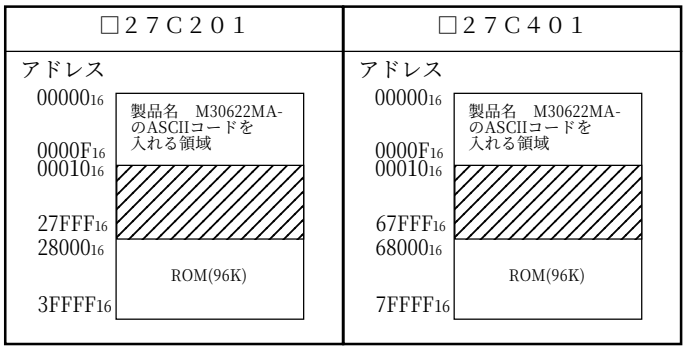
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30622MA-XXXFP　□M30622MA-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30622MA-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’2’ = 32_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’A’ = 41_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-66A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622MA-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30622MA- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30622MA- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30622MA-XXXFP　□M30622MA-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622MA-XXXFPの場合は100P6Sの、M30622MA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-66A<82A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30622MA-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-03A<77A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622MC-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

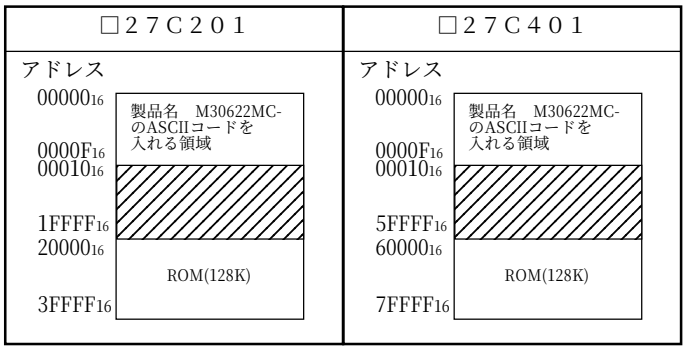
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30622MC-XXXFP　□M30622MC-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30622MC-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’2’ = 32_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’C’ = 43_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-03A<77A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30622MC-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’ M30622MC- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30622MC- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　　□M30622MC-XXXFP　□M30622MC-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622MC-XXXFPの場合は100P6Sの、M30622MC-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　　□　水晶発振子

□　外部クロック入力　　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-03A<77A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30622MC-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

GZZ-SH12-78A<83A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30624MG-XXXFP/GP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

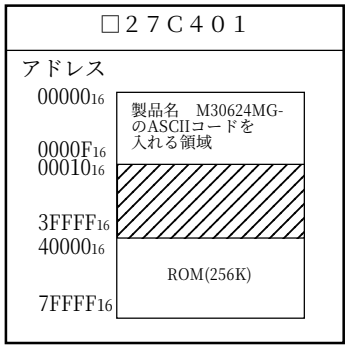
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30624MG-XXXFP　□M30624MG-XXXGP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}～$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30624MG-’のASCIIコードを右記に示しますので、00000_{16}～$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’－’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’6’ = 36_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’4’ = 34_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’G’ = 47_{16}	$0000F_{16}$	FF_{16}

GZZ-SH12-78A<83A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30624MG-XXXFP/GP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’ M30624MG- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30624MG-XXXFP　□M30624MG-XXXGP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30624MG-XXXFPの場合は100P6Sの、M30624MG-XXXGPの場合は100P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MHzですか。

$f(X_{IN})$ = □ MHz

GZZ-SH12-78A<83A1>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30624MG-XXXFP/GP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

□ シングルチップモード　□ メモリ拡張モード
□ マイクロプロセッサモード

(4) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(5) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(6) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

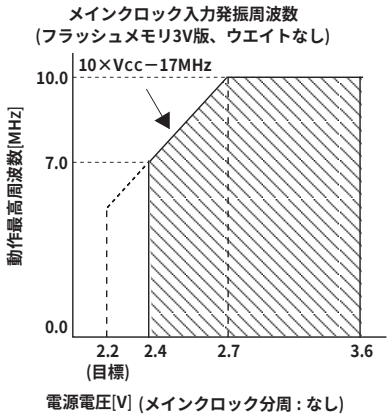
性能概要

表1.28.1にM16C/62(フラッシュメモリ版)の性能概要を、表1.28.2に電源電流(標準値)を示します。

表1.28.1.　M16C/62(フラッシュメモリ版)の性能概要

項　目		性　能
電源電圧		5V版 : 2.7～5.5V (f(XIN) = 16MHz、ウエイトなし、4.2V～5.5V、f(XIN) = 10MHz、1ウエイト、2.7V～5.5V) 3V版 : 2.4～3.6V (f(XIN) = 10MHz、ウエイトなし、2.7V～3.6V、f(XIN) = 7MHz、ウエイトなし、2.4V～3.6V)(下限目標は2.2V)
プログラム/イレーズ電圧		5V版 : 4.2～5.5V (f(XIN) = 12.5MHz、1ウエイト、f(XIN) = 6.25MHz、ウエイトなし) 3V版 : 2.7～3.6V (f(XIN) = 10MHz、1ウエイト、f(XIN) = 6.25MHz、ウエイトなし)
フラッシュメモリの動作モード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.28.2を参照してください。
	ブートROM領域	1分割(8Kバイト) (注1)
プログラム方式		ページ単位(256バイト単位)
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウエアコマンドによるプログラム/イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応
3V版メインクロック最大入力発振周波数(注2)		10MHz(VCC=2.7V～3.6V、ウエイトなし)
		10 X VCC - 17 MHz(VCC=2.4V～2.7V、ウエイトなし)(下限目標は2.2V)
3V版電源電流(注3、注4)		12.0mA(標準値)、21.25mA(最大値)(VCC=3V、f(XIN)=10MHz、方形波、分周なし、ウエイトなし)
		40μA(標準値)(VCC=3V、f(XCIN)=32kHz、方形波、ウエイトなし) [RAM上で動作]
		700μA(標準値)(VCC=3V、f(XCIN)=32kHz、方形波、ウエイトなし) [フラッシュメモリ上で動作]

注1.　ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。
注2.　5V版は推奨動作条件を参照してください。3V版でのメインクロック入力発振周波数と電源電圧の関係を以下に示します。



注3.　5V版は電気的特性を参照してください。
注4.　ウエイトモード時、およびストップモード時の規格値は、内蔵するメモリの種類によらず同等ですので、VCC=3V時の電気的特性を参照してください。

表1.28.2.　M16C/62(フラッシュメモリ版)の電源電流(標準値)

項　目	測定条件	規格値(標準値)			備　考
		リード	プログラム	イレーズ	
5V電源電流(5V版)	f(XIN)=16MHz、ウエイトなし、分周なし	35mA	28mA	25mA	書き込み/消去時は4分周
3V電源電流(5V版)	f(XIN)=10MHz、1ウエイト、分周なし	13.5mA	-	-	
3V電源電流(3V版)	f(XIN)=10MHz、ウエイトなし、分周なし	12mA	17mA	14mA	書き込み/消去時は2分周

概　要(フラッシュメモリ版)

M16C/62(フラッシュメモリ版)では次のような展開を計画しています。

(1)　ROM容量

(2)　パッケージ

100P6S-A ..... プラスチックモールドQFP

100P6Q-A ..... プラスチックモールドQFP

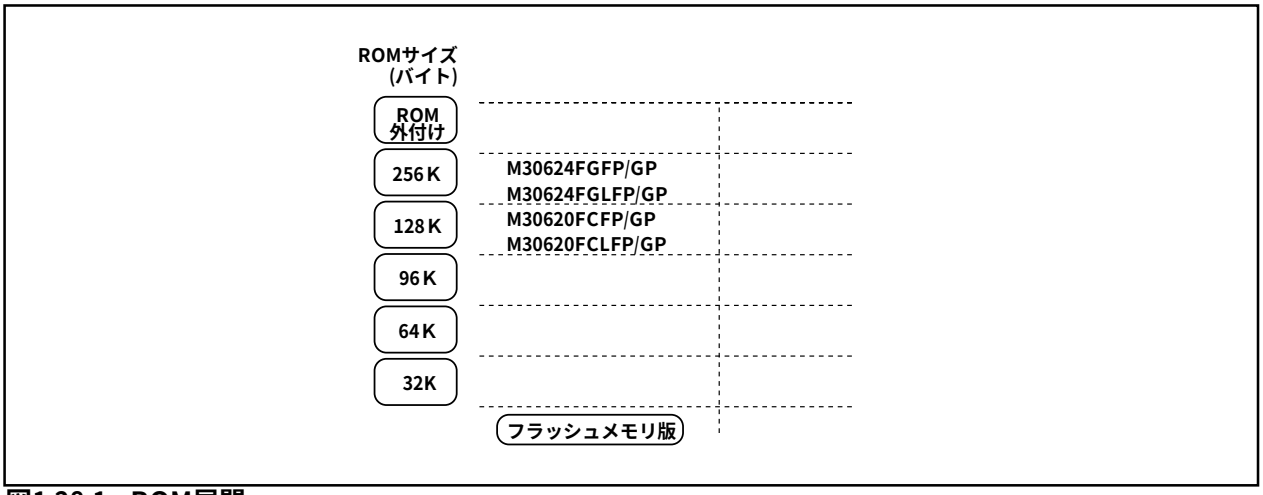


図1.28.1.　ROM展開

サポートを行う予定の製品を以下に示します。

表1.28.3.　製品一覧表

1999年3月現在

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M30620FCFP ★★	128Kバイト	10Kバイト	100P6S-A	フラッシュメモリ 5V版
M30620FCGP ★★			100P6Q-A	
M30620FCLFP ★★	128Kバイト	10Kバイト	100P6S-A	フラッシュメモリ 3V版
M30620FCLGP ★★			100P6Q-A	
M30624FGFP ★	256Kバイト	20Kバイト	100P6S-A	フラッシュメモリ 5V版
M30624FGGP ★			100P6Q-A	
M30624FGLFP ★	256Kバイト	20Kバイト	100P6S-A	フラッシュメモリ 3V版
M30624FGLGP ★			100P6Q-A	

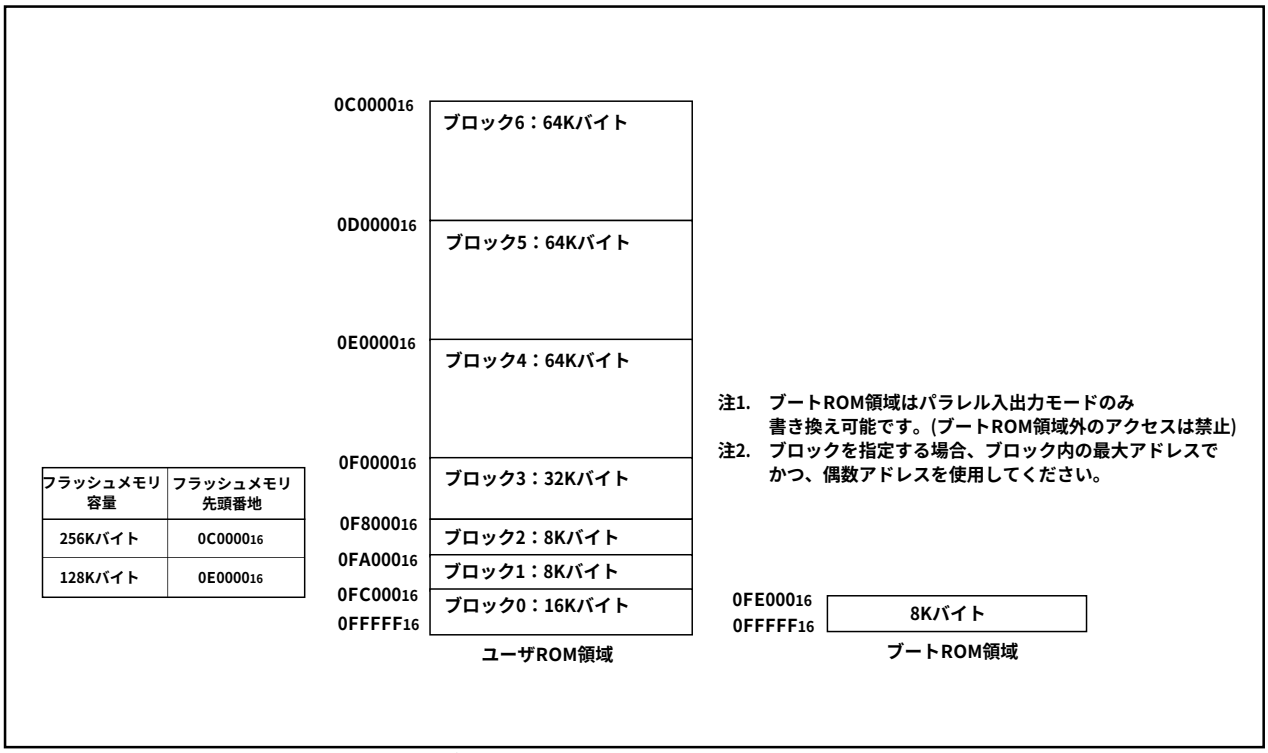
★　：新製品
★★：開発中

フラッシュメモリ

M16C/62(フラッシュメモリ版)は、5Vまたは3.3V単一電源での書き換えが可能なDINOR(DIvied bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.28.2に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効／無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。



フラッシュメモリ容量	フラッシュメモリ先頭番地
256Kバイト	0C0000₁₆
128Kバイト	0E0000₁₆

図1.28.2.　内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図1.28.2に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モード で、 ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは 使用できなくなります。)

ブートROM領域は、図1.28.2に示すとおりです。

CNVSS端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVSS端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウエアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(03B7$_{16}$番地のビット1)に“1”を書き込むことにより移行し、ソフトウエアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウエアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA$_0$は“0”)へライト、リードしてください。8ビット単位のソフトウエアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウエアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図1.29.1にフラッシュメモリ制御レジスタ0およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/$\overline{\text{BY}}$ステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります(パラレル入出力モードのRY/$\overline{\text{BY}}$端子と同等の機能)。

フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウエアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます(パラレル入出力モードの$\overline{\text{WP}}$端子と同等の機能)。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態で、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスされる領域がブートROM領域からユーザROM領域に切り替わります。ブートモードで CPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ制御レジスタ1のビット3は、内蔵フラッシュメモリの電源をoffするビットです。このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ1を特別に設定する必要がありません。

図1.29.2にCPU書き換えモードの設定/解除フローチャート、図1.29.3に低速モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳		0				

シンボル	アドレス	リセット時
FMR0	$03B7_{16}$番地	$XX000001_2$

ビットシンボル	ビット名	機　能	R	W
FMR00	RY/$\overline{BY}$ステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	○	×
FMR01	CPU書き換えモード選択ビット (注1)	0 : 通常モード (ソフトウエアコマンド無効) 1 : CPU書き換えモード (ソフトウエアコマンド受け付け可能)	○	○
FMR02	ロックビット無効選択ビット (注2)	0 : ロックビットデータによるブロックロック有効 1 : ロックビットデータによるブロックロック無効	○	○
FMR03	フラッシュメモリリセットビット (注3)	0 : 通常動作 1 :リセット	○	○
予約ビット		必ず“0”を設定してください	○	○
FMR05	ユーザROM領域選択ビット (注4) (ブートモード時のみ有効)	0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス	○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. “1”を設定するためには、このビット1への "0"書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。
注2. “1”を設定するためには、CPU書き換えモード選択ビットが“1”の状態で、このビット2への“0”書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
注3. CPU書き換えモード選択ビットが“1”のときのみ有効です。“1”設定(リセット)後、続いて“0”設定してください。
注4. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル	アドレス	リセット時
FMR1	$03B6_{16}$番地	$XXXX0XXX_2$

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	—	○
FMR13	フラッシュメモリ供給電源offビット(注1)	0 : フラッシュメモリ供給電源接続 1 : フラッシュメモリ供給電源off	○	○
予約ビット		必ず“0”を設定してください	—	○

注1. “1”を設定するためには、このビット3への "0"書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。パラレル入出力モード時は、このビットによらず、端子により書き込みの制御がなされます。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図1.29.1. フラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1

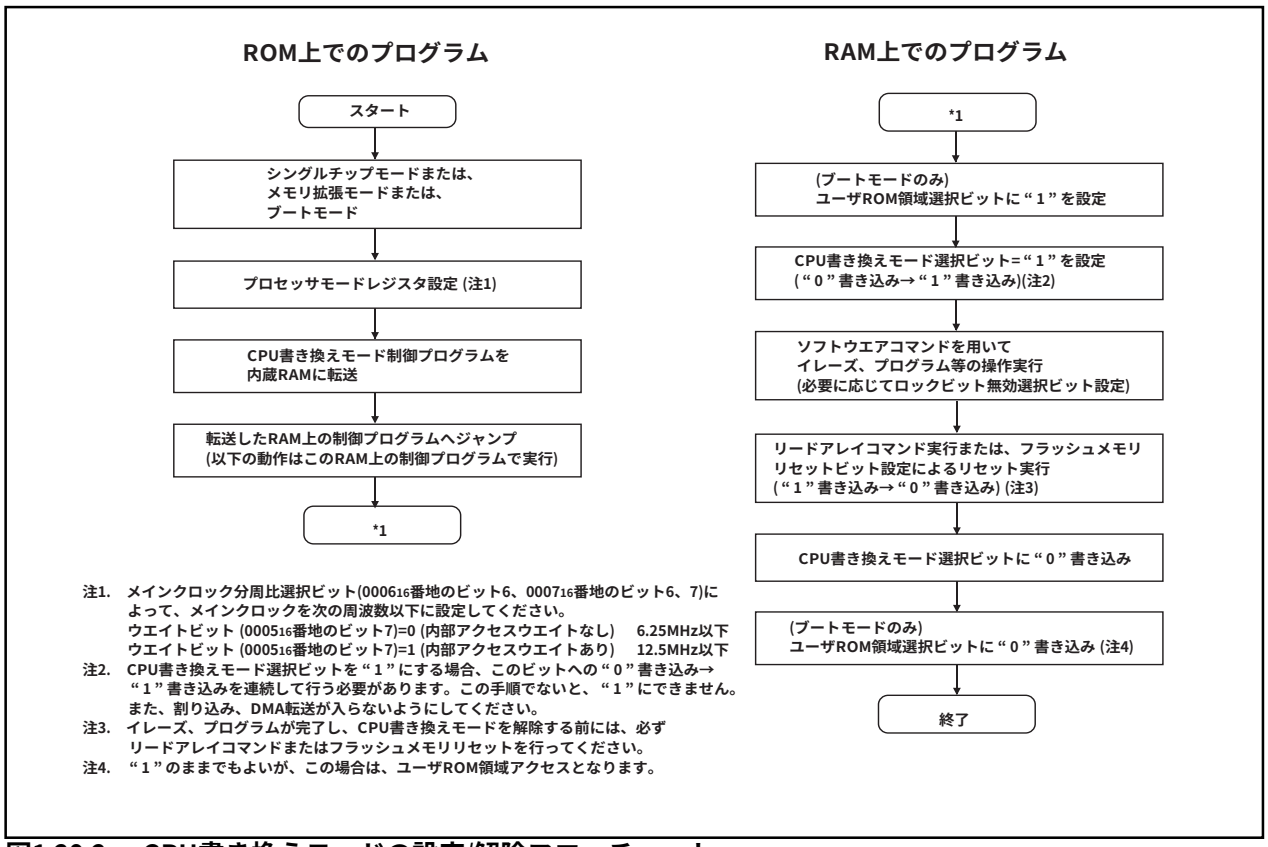


図1.29.2. CPU書き換えモードの設定/解除フローチャート

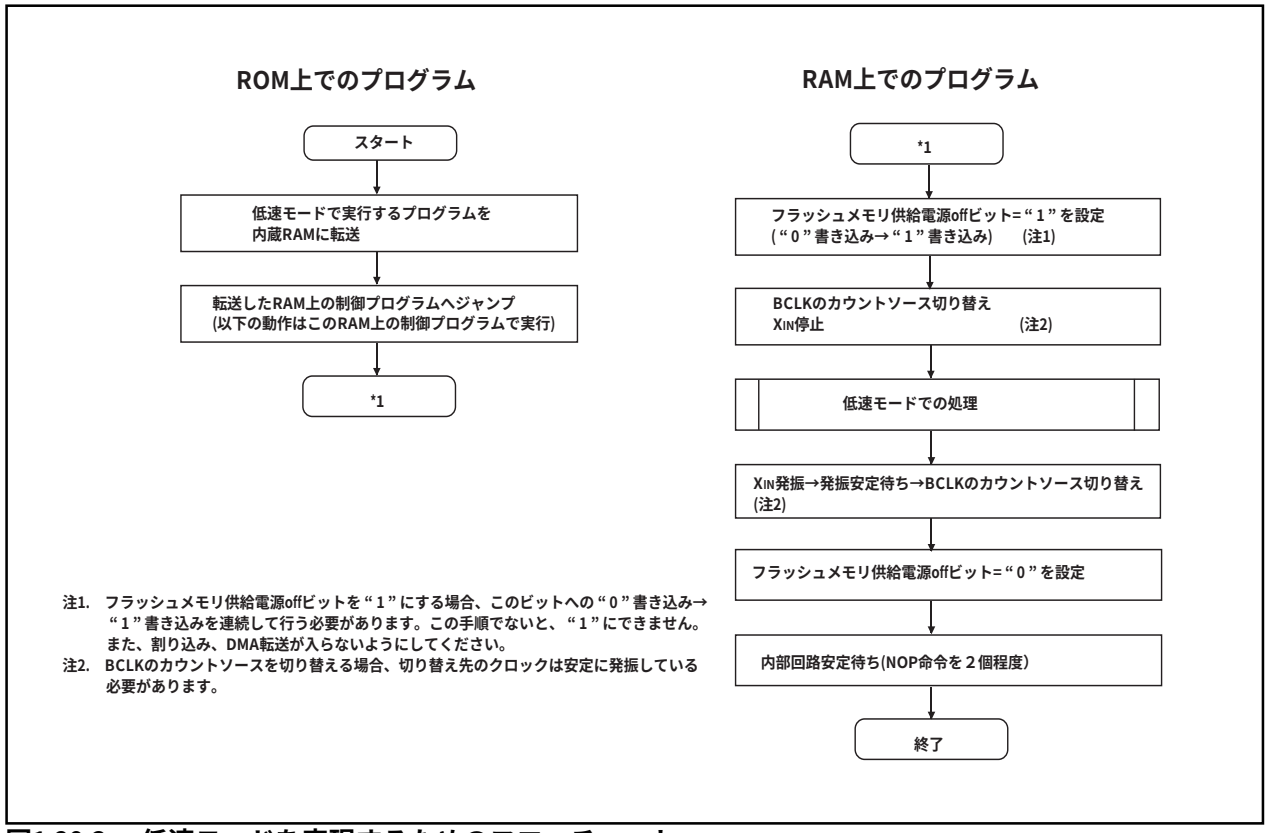


図1.29.3. 低速モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(000_{16}番地のビット6、0007_{16}番地のビット6、7)によって、メインクロックを次の周波数以下に設定してください。

ウエイトビット(0005_{16}番地のビット7)＝0(内部アクセスウエイト無し)　6.25MHz以下
ウエイトビット(0005_{16}番地のビット7)＝1(内部アクセスウエイト有り)　12.5MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。$\overline{\text{NMI}}$割り込み、監視タイマ割り込みは、各割り込み発生時にフラッシュメモリの動作モードを強制的にリードアレイモードに変更するので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。$\overline{\text{NMI}}$割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、消去/プログラムの動作が必要です。

ユーザROM領域の$FC00_{16}$番地～$FFFFF_{16}$番地のブロックに対する消去動作や書き換え動作を中止すると、以後の全ブロックへの消去動作や書き換え動作ができなくなることがあるので、このブロックの書き換えは、標準シリアル入出力モードを使用することを推奨します。

(4)内部予約領域拡張ビット(0005_{16}番地のビット3)

内部予約領域拡張ビット(0005_{16}番地のビット3)により内部メモリの予約領域を変更できます。しかし、CPU書き換えモード選択ビット($03B7_{16}$番地のビット1)を“1”すると、自動的に内部予約領域拡張ビット(0005_{16}番地のビット3)も“1”になります。CPU書き換えモード選択ビット($03B7_{16}$番地のビット1)を“0”すると、自動的に内部予約領域拡張ビット(0005_{16}番地のビット3)も“0”に戻ります。

この注意事項の対象はRAM15Kバイト超えまたはフラッシュメモリ192Kバイト超えの製品です。

(5)リセット

常に受け付けます。リセット解除時、$0C0000_{16}$番地～$0CFFFF_{16}$番地は予約領域でアクセスできません。したがって、この領域をユーザROM領域内に持つ製品の場合、リセットベクタにはこの領域のアドレスを書かないでください。プログラムで内部予約領域拡張ビット(0005_{16}番地のビット3)を変更することにより、アクセス可能となります。

(6)アクセス禁止

CPU書き換えモード選択ビット、フラッシュメモリ供給電源offビット、ユーザROM領域選択ビットは、内蔵フラッシュメモリ以外の領域のプログラムで書き込みを行ってください。

(7)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビット、フラッシュメモリ供給電源offビットを“1”に設定する場合は、“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

ソフトウエアコマンド

表1.29.1にソフトウエアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウエアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウエアコマンドの入力時、上位バイト(D_8〜D_{15})は無視されます。

以下に各ソフトウエアコマンドの内容を説明します。

表1.29.1. ソフトウエアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D_0〜D_7)	モード	アドレス	データ (D_0〜D_7)	モード	アドレス	データ (D_0〜D_7)
リードアレイ	ライト	X (注6)	FF_{16}						
リードステータスレジスタ	ライト	X	70_{16}	リード	X	SRD (注2)			
クリアステータスレジスタ	ライト	X	50_{16}						
ページプログラム (注3)	ライト	X	41_{16}	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	20_{16}	ライト	BA (注4)	$D0_{16}$			
イレーズ全アンロックブロック	ライト	X	$A7_{16}$	ライト	X	$D0_{16}$			
ロックビットプログラム	ライト	X	77_{16}	ライト	BA	$D0_{16}$			
リードロックビットステータス	ライト	X	71_{16}	リード	BA	D_6 (注5)			

注1. ソフトウエアコマンド入力時には上位バイト(D_8〜D_{15})のデータは無視されます。
注2. SRD=ステータスレジスタデータ
注3. WA=ライトアドレス, WD=ライトデータ
WAとWDは 00_{16} からFE_{16}(バイトアドレス。ただし、偶数アドレス) へ順番に設定されなければなりません。ページサイズは256バイトです。
注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)
注5. D_6 はブロックロックステータスに対応します。D_6="1": 非ブロックロック、D_6="0": ブロックロック
注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF_{16})

第1バスサイクルでコマンドコード“FF_{16}”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D_0〜D_{15})へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70_{16})

第1バスサイクルでコマンドコード“70_{16}”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D_0〜D_7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50_{16})

ステータスレジスタのエラー終了を示すビット(SR3〜5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50_{16}”をライトします。

ページプログラムコマンド(41$_{16}$)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“41$_{16}$”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA$_0$～A$_7$は“00$_{16}$”から“FE$_{16}$”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF$_{16}$)または、リードロックビットステータスコマンド(71$_{16}$)をライトするまでまたは、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/$\overline{\text{BY}}$ステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.29.4にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

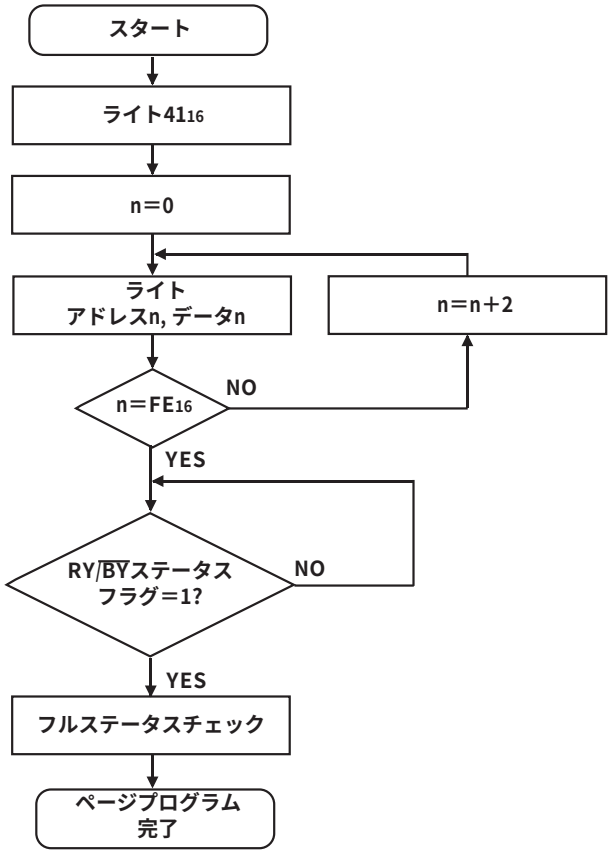


図1.29.4. ページプログラムフローチャート

ブロックイレーズコマンド(20$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“20$_{16}$”、続く第2バスサイクルで確認コマンドコード“D0$_{16}$”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF$_{16}$)またはリードロックビットステータスコマンド(71$_{16}$)をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/$\overline{\text{BY}}$ステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.29.5にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

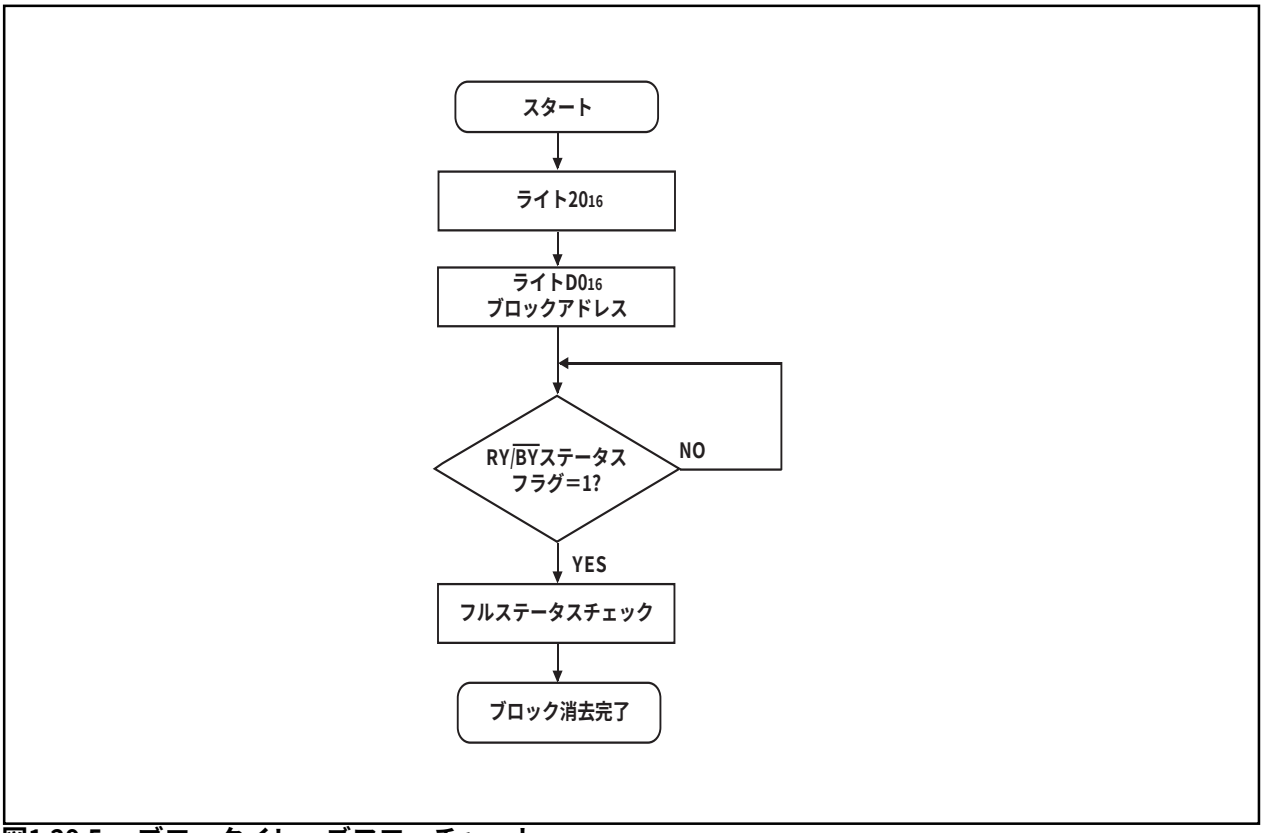


図1.29.5. ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A7$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“A7$_{16}$”、続く第2バスサイクルで確認コマンドコード“D0$_{16}$”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“1”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“0”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“1”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(77$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“77$_{16}$”、続く第2バスサイクルで確認コマンド“D0$_{16}$”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“0”(ロック状態)を書き込みます。

図1.29.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

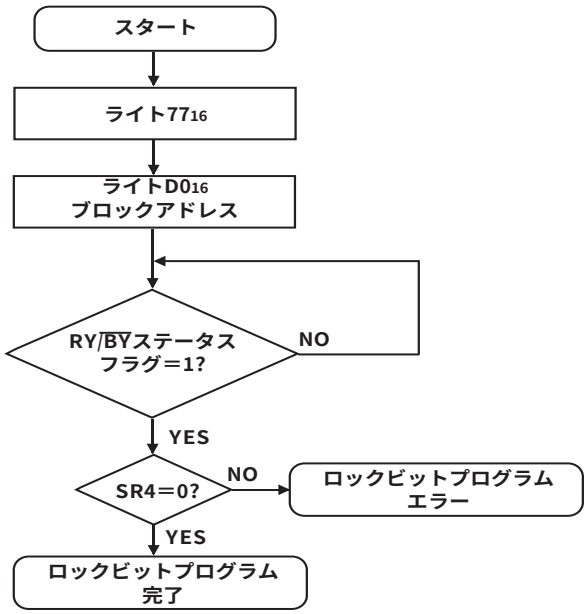


図1.29.6. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(71_{16})

第1バスサイクルでコマンドコード“71_{16}”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックビットの状態がデータバス(D_6)へ読み出されます。

図1.29.7にリードロックビットプログラムのフローチャート例を示します。

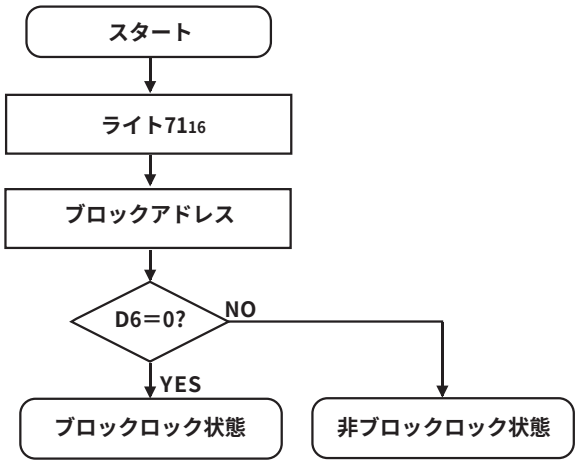


図1.29.7.　リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.28.2に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

(1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。 ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。

(2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状 態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70_{16})をライトしたとき読み出すことができます。ステータスレジスタを表1.29.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50_{16})をライトしたときクリアされます。

リセット解除後、ステータスレジスタは、“80_{16}”になります。

各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはRY/$\overline{\text{BY}}$ピンの出力と同様にデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20_{16})が入力された後に確認コマンド($D0_{16}$)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、コマンドライトによる次のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

(1) 規定コマンドが正しく入力されなかった場合。

(2) ロックビットプログラム(77_{16}/$D0_{16}$)、ブロックイレーズ(20_{16}/$D0_{16}$)、イレーズオールアンロックドブロック($A7_{16}$/$D0_{16}$)の第2バスサイクルのデータに$D0_{16}$またはFF_{16}以外のデータを入力した場合。
ただし、FF_{16}を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

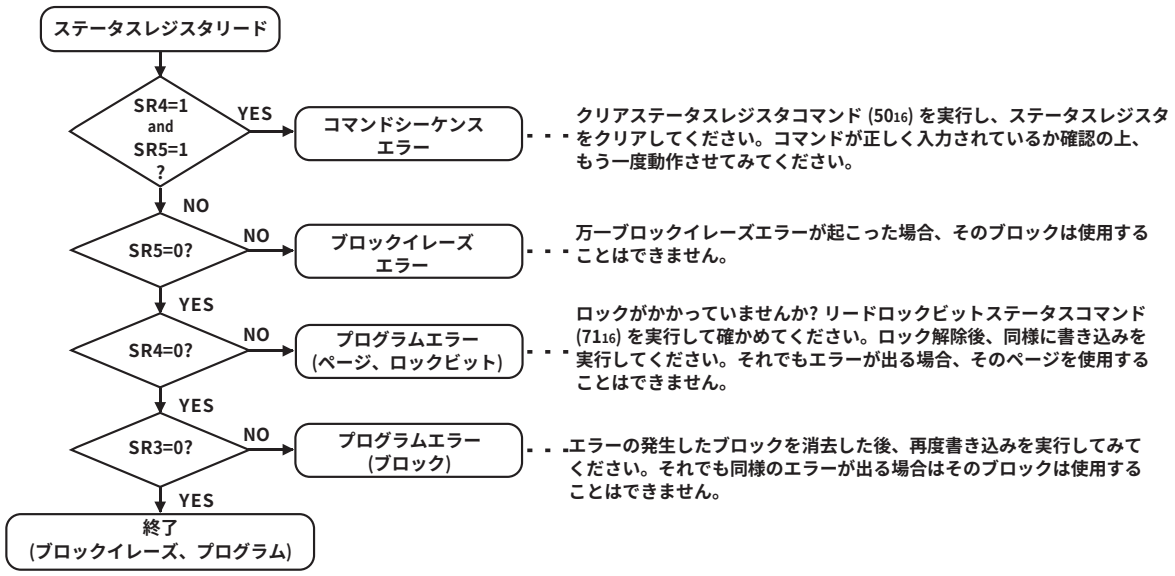
ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80_{16}”を出力し、書き込みがフェイルしたときは“90_{16}”を出力、そして、過剰書き込みが発生したときに“88_{16}”が出力されます。

表1.29.2. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	—	—
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	—	—
SR1 (bit1)	リザーブ	—	—
SR0 (bit0)	リザーブ	—	—

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.29.8にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。



注1. SR5～SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムの各コマンドは受け付けません。これらのコマンド実行前にクリアステータスレジスタコマンド (5016) を実行してください。

図1.29.8. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFF16番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFF16番地)の構成を図1.29.8に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスタ等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	出荷時の値
ROMCP	0FFFFF16番地	FF16

ビットシンボル	ビット名	機　　能
予約ビット		必ず“1”を設定してください
ROMCP2	ROMコードプロテクトレベル2設定ビット(注1)(注2)	b3 b2 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効
ROMCR	ROMコードプロテクト解除ビット(注3)	b5 b4 0 0 : プロテクト解除 0 1 : プロテクト設定ビット有効 1 0 : プロテクト設定ビット有効 1 1 : プロテクト設定ビット有効
ROMCP1	ROMコードプロテクトレベル1設定ビット(注1)	b7 b6 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効

注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します.
注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスタ等での、ROMコード読み出しも禁止します.
注3. ROMコードプロテクト解除ビットでは、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます.
但し、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更する必要があります.

図1.29.8. ROMコードプロテクト制御番地の構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

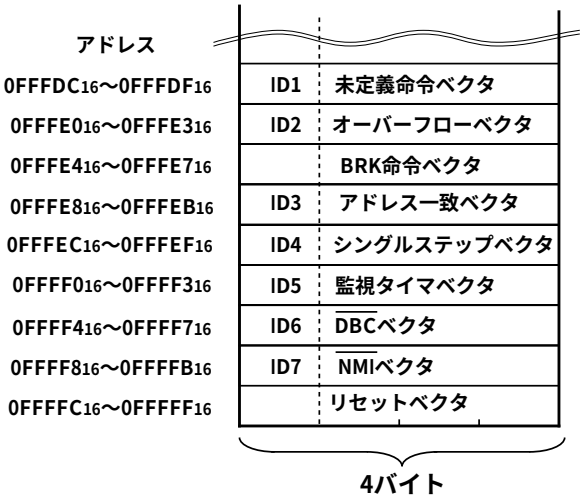


図1.29.9. IDコードの格納アドレス

端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名　　称	入出力	機　能
V_{CC},V_{SS}	電源入力		V_{CC}端子には3.3±0.3V(5V版、3V版共)を、V_{SS}には0Vを印加してください。
CNV$_{SS}$	CNV$_{SS}$	入力	V_{CC}に接続してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。リセットが"L"の間、X_{IN}端子には20サイクル以上のクロックが必要です。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、X_{IN}から入力しX_{OUT}は開放してください。
X_{OUT}	クロック出力	出力	
BYTE	$\overline{BYTE}$入力	入力	V_{CC}またはV_{SS}に接続してください。
AV$_{CC}$、AV$_{SS}$	アナログ電源入力		AV$_{SS}$はV_{SS}に、AV$_{CC}$はV_{CC}に接続してください。
V_{REF}	基準電圧入力	入力	V_{SS}に接続してください。
$P0_0$～$P0_7$	データ入出力D_0～D_7	入出力	データD_0～D_7の入出力端子です。
$P1_0$～$P1_6$	データ入出力D_8～D_{14}	入出力	データD_8～D_{14}の入出力端子です。
$P1_7$	入力ポートP1	入力	"H"を入力してください。
$P2_0$	データ入出力D_{15}/ アドレス入力A_{-1}	入出力 入力	データD_{15}の入出力端子です。 アドレスA_{-1}(バイトアドレス)の入力端子です。
$P2_1$～$P2_7$	アドレス入力A_0～A_6	入力	アドレスA_0～A_6(ワードアドレス)の入力端子です。パラレル入出力モード時のアドレスAiは、マイコンモード時のAi+1に相当します。
$P3_0$～$P3_7$	アドレス入力A_7～A_{14}	入力	アドレスA_7～A_{14}(ワードアドレス)の入力端子です。
$P4_0$～$P4_2$	アドレス入力A_{15}～A_{17}	入力	アドレスA_{15}～A_{17}(ワードアドレス)の入力端子です。
$P4_3$～$P4_7$	入力ポートP4	入力	"H"を入力してください。
$P5_0$	$\overline{CE}$入力	入力	$\overline{CE}$の入力端子です。
$P5_1$	$\overline{OE}$入力	入力	$\overline{OE}$の入力端子です。
$P5_2$	$\overline{WE}$入力	入力	$\overline{WE}$の入力端子です。
$P5_3$	$\overline{WP}$入力	入力	$\overline{WP}$の入力端子です。
$P5_4$	BSEL入力	入力	BSELの入力端子です。
$P5_5$	$\overline{EPM}$入力	入力	"L"を入力してください。
$P5_6$～$P5_7$	入力ポートP5	入力	"H"を入力してください。
$P6_0$～$P6_7$	入力ポートP6	入力	"H"を入力してください。
$P7_0$	RY/$\overline{BY}$出力	出力	RY/$\overline{BY}$出力端子です。
$P7_1$～$P7_7$	入力ポートP7	入力	"H"を入力してください。
$P8_0$～$P8_1$	入力ポートP8	入力	"H"を入力してください。
$P8_2$～$P8_4$	入力ポートP8	入力	"L"を入力してください。
$P8_5$	$\overline{RP}$入力	入力	$\overline{RP}$の入力端子です。
$P8_6$～$P8_7$	入力ポートP8	入力	"H"を入力してください。
$P9_0$～$P9_7$	入力ポートP9	入力	"H"を入力してください。
$P10_0$～$P10_7$	入力ポートP10	入力	"H"を入力してください。

パラレル入出力モード

図1.30.2、図1.30.3に示す結線を行い、Vcc 電源(3.3V)を投入するとパラレル入出力モードになります。このモードでは、M16C/62(フラッシュメモリ版)は、三菱製 DINORフラッシュメモリM5M29FB/T800相当の動作をします。ただし、表1.30.1に示すとおり、マイコンが持っていない機能やメモリ容量関連の相違点がありますので注意してください。

なお、M16C/62(フラッシュメモリ版)は、5V版、3V版ともパラレル入出力モード時に限り、電源電圧は3.3V±0.3Vで使用してください。表1.30.2にパラレル入出力モード時の端子対応を示します。

表1.30.1.　M5M29FB/T800との相違点

マイコンが持っていない機能	メモリ容量関連の相違点
・デバイス識別コード読み出し ・サスペンド／レジューム機能 ・スリープ機能 ・追加書き込み機能	・フラッシュメモリ容量 ・ブロック配置(図1.30.1参照)
	マイコンのみ持っている機能
	・ブートROM領域選択

注1.　A9端子、$\overline{RP}$端子へのVHH(12V)印加は行わないでください。

表1.30.2.　パラレル入出力モードの端子対応

	M16C/62(フラッシュメモリ版)	M5M29FB/T800
Vcc	Vcc	Vcc
Vss	Vss	Vss
アドレス入力	P21～P27, P30～P37, P40, P41, P42	A0～A17
データ入出力	P00～P07, P10～P16, P20	D0～D15
$\overline{OE}$入力	P51	$\overline{OE}$
$\overline{CE}$入力	P50	$\overline{CE}$
$\overline{WP}$入力	P53	$\overline{WP}$
$\overline{WE}$入力	P52	$\overline{WE}$
$\overline{BYTE}$入力	BYTE	$\overline{BYTE}$
$\overline{RP}$入力	P85	$\overline{RP}$
RY/$\overline{BY}$出力	P70	RY/$\overline{BY}$
BSEL入力 (注1)	P54	―――

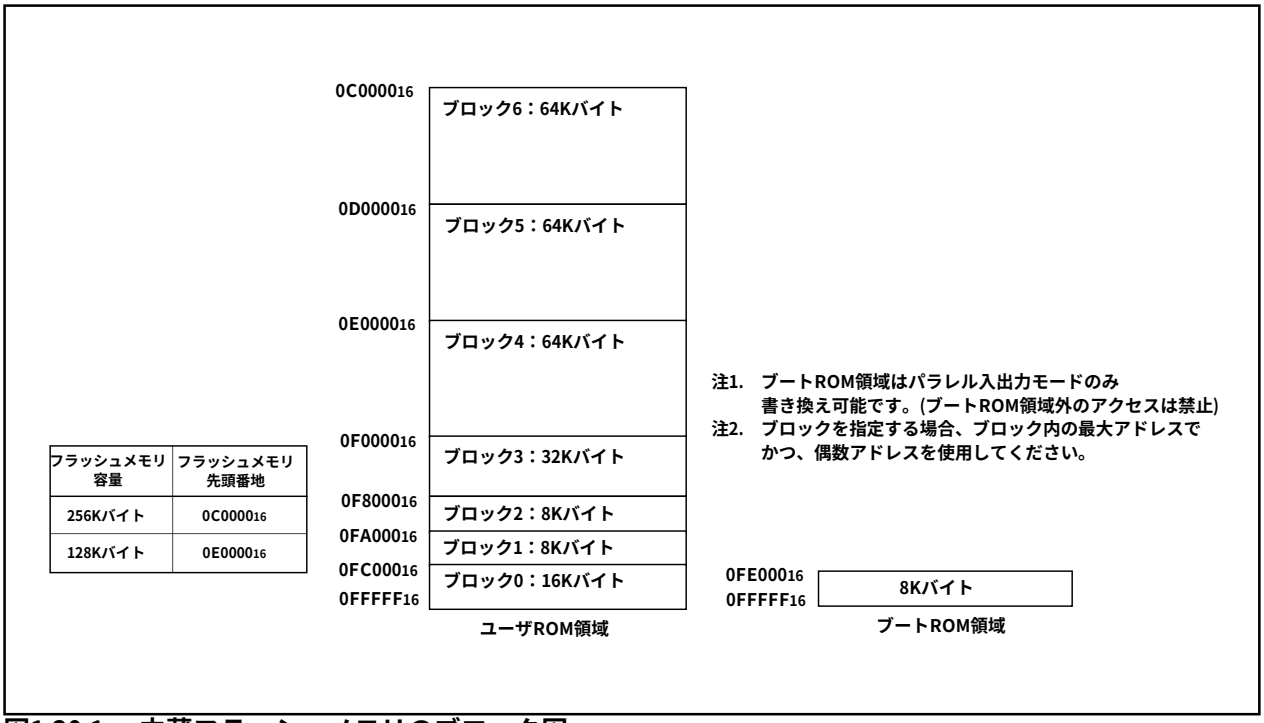
注1.　BSELは、ユーザROM領域、ブートROM領域を選択する端子でありM5M29FB/T800に対応する端子ではありません。

アドレス

M16C/62(フラッシュメモリ版)は、ワードモードとバイトモードを持っており、$\overline{\text{BYTE}}$端子で切り換えます。

$\overline{\text{BYTE}}$端子が“H”のとき16ビットデータバスとなり、16ビットでアクセスします。このとき、アドレスは、必ず偶数アドレスを指定してください。$\overline{\text{BYTE}}$端子が“L”のとき8ビットデータバスとなり、8ビットでアクセスします。

また、図1.30.1に示すとおり、ユーザROM領域はブロックに分けられています。ブロック内の最大偶数アドレスがブロックアドレスです。



フラッシュメモリ容量	フラッシュメモリ先頭番地
256Kバイト	0C0000₁₆
128Kバイト	0E0000₁₆

図1.30.1.　内蔵フラッシュメモリのブロック図

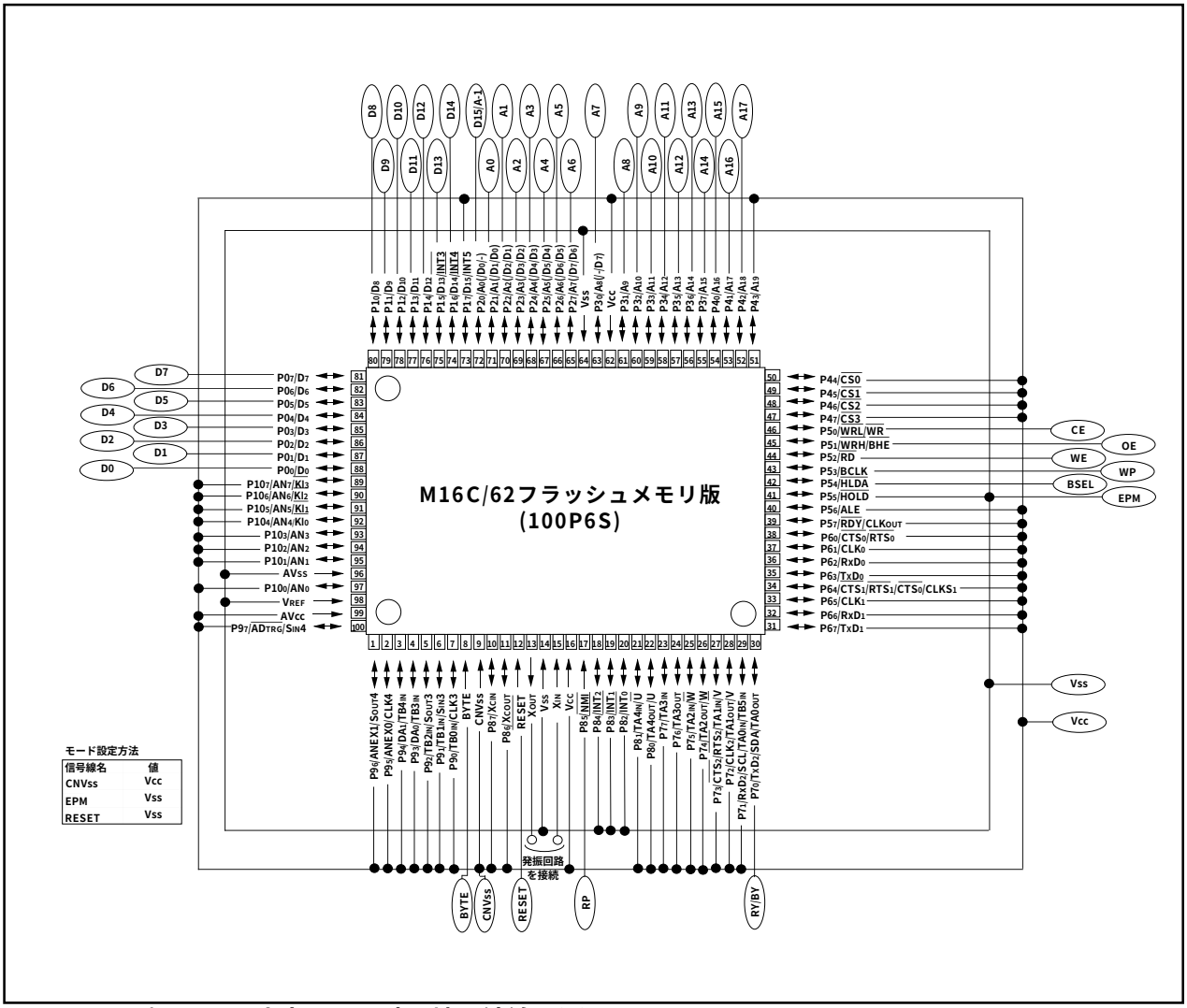


図1.30.2.　パラレル入出力モード時の端子結線図(1)

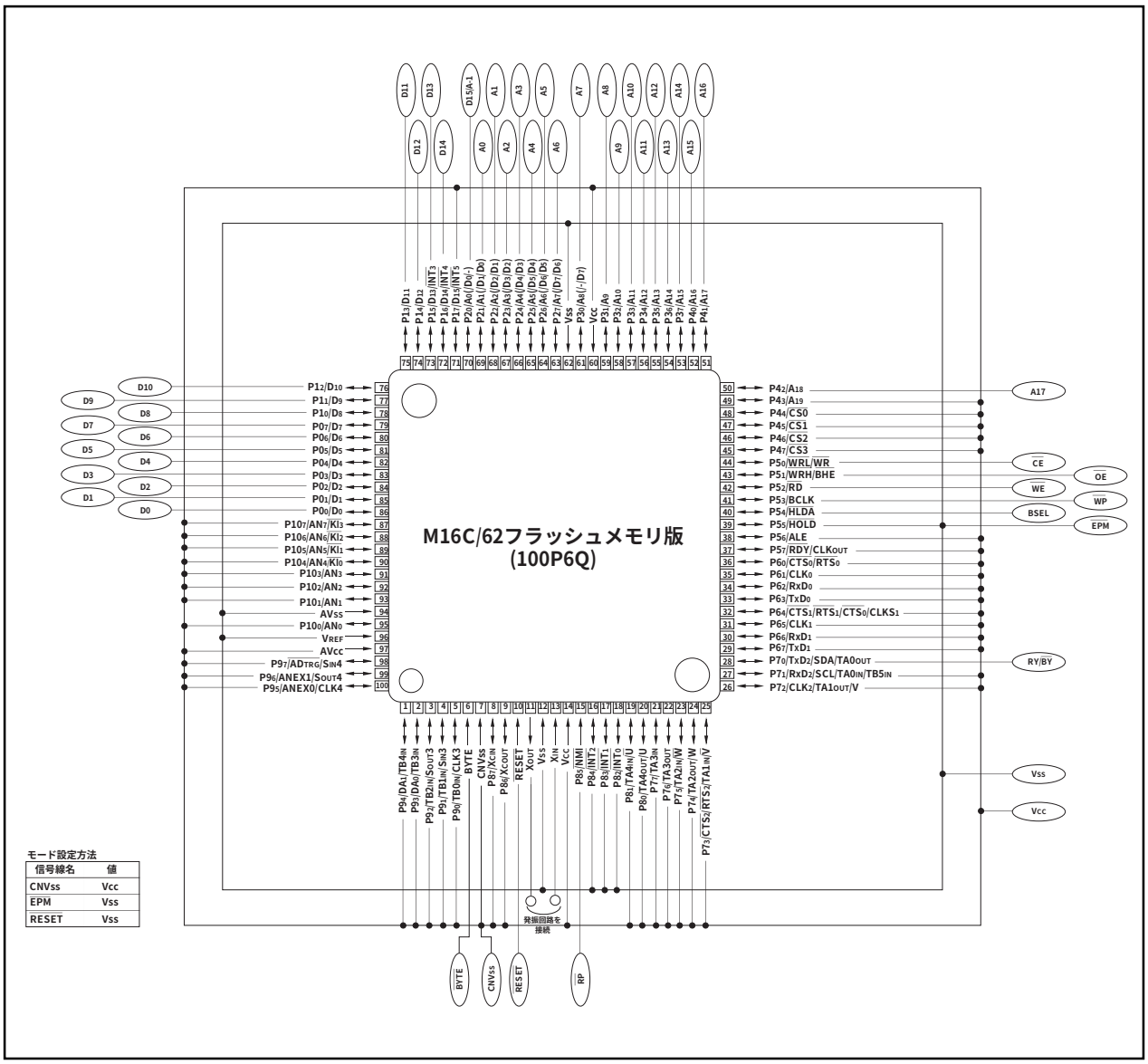


図1.30.3.　パラレル入出力モード時の端子結線図(2)

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.30.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。この2つの領域の選択は、BSEL端子で行います。BSEL入力を“L”とするとユーザROM領域が選択され、BSEL入力を“H”とするとブートROM領域が選択されます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図1.30.1に示します。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、 $0FE000_{16}$～$0FFFFF_{16}$ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウエアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、表1.30.3に示すとおり、入力端子$\overline{CE}$、$\overline{OE}$、$\overline{WE}$、$\overline{RP}$の状態でリード、出力ディスエーブル、スタンドバイ、ライト、ディープパワーダウンの各バス動作モードを選択します。

イレーズ、プログラム等の操作内容は、ソフトウエアコマンドをライトすることで選択します。また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。

プログラム、イレーズ動作の制御は、ソフトウエアコマンドを使用します。

表1.30.3.　制御信号とバス動作モードの対応

モード ＼ 端子名		$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	$\overline{RP}$	D_0～D_{15}
リード	アレイ	V_{IL}	V_{IL}	V_{IH}	V_{IH}	データ出力
	ステータスレジスタ	V_{IL}	V_{IL}	V_{IH}	V_{IH}	ステータスレジスタデータ出力
	ロックビットステータス	V_{IL}	V_{IL}	V_{IH}	V_{IH}	ロックビットデータ (D_6)出力
出力ディスエーブル		V_{IL}	V_{IH}	V_{IH}	V_{IH}	Hi-Z
スタンドバイ		V_{IH}	X	X	V_{IH}	Hi-Z
ライト	プログラム	V_{IL}	V_{IH}	V_{IL}	V_{IH}	コマンド/データ入力
	イレーズ	V_{IL}	V_{IH}	V_{IL}	V_{IH}	コマンド入力
	その他	V_{IL}	V_{IH}	V_{IL}	V_{IH}	コマンド入力
ディープパワーダウン		X	X	X	V_{IL}	Hi-Z

注1.　XはVILまたはVIHのどちらでもよい。

以下、バス動作モード、ソフトウエアコマンド、ステータスレジスタ等について説明します。

バス動作モード

$\overline{CE}$端子が“L”、$\overline{WE}$端子、$\overline{RP}$端子が“H”のとき、$\overline{OE}$端子を“L”とするとリードモードになります。リードモードには、アレイ、ステータスレジスタ、ロックビットステータスの3種類があり、これらはソフトウエアコマンド入力によって選択します。リードモードでは、これらのソフトウエアコマンドに対応したデータがデータ入出力端子D_0～D_{15}から出力されます。電源投入時やディープパワーダウンモード解除後は、リードアレイモードが自動的に選択されます。

出力ディスエーブル

$\overline{CE}$端子を“L”、$\overline{WE}$端子、$\overline{OE}$端子、$\overline{RP}$端子を“H”とすると出力ディスエーブル状態になり、データ入出力端子はハイインピーダンス状態になります。

スタンドバイ

$\overline{RP}$端子が“H”のとき、$\overline{CE}$端子を“H”とするとスタンドバイ状態になります。また、データ入出力端子はハイインピーダンス状態になります。ただし、イレーズ、プログラム動作中に$\overline{CE}$端子を“H”にしても内部制御回路は停止せず、動作完了までの期間は通常の消費電力を要します。

ライト

$\overline{CE}$端子が“L”、$\overline{OE}$端子、$\overline{RP}$端子が“H”のとき$\overline{WE}$端子を“L”にするとライトモードになり、データ入出力端子からソフトウエアコマンドまたはライトデータの入力が可能になります。この入力するソフトウエアコマンドの内容により、プログラム、イレーズ等の操作が可能となります。アドレスおよびソフトウエアコマンド等の入力データは$\overline{WE}$と$\overline{CE}$のどちらか早い方の立ち上がりエッジで取り込まれます。

ディープパワーダウン

$\overline{RP}$端子を“L”とするとディープパワーダウンモードになります。また、データ入出力端子はハイインピーダンス状態になります。ディープパワーダウンモードから解除されたときには、リードアレイモードが選択され、ステータスレジスタ内容は“80_{16}”になります。イレーズ、プログラム動作中は$\overline{RP}$端子を“L”にするとそれらの動作は取り消され、そのブロックのデータは無効になります。

ソフトウエアコマンド

表1.30.4にソフトウエアコマンドの一覧表を示します。ライトモードでデータ入出力端子(D_0～D_7)からソフトウエアコマンドを入力することにより、イレーズ、プログラム等の操作内容を指定します。なお、ソフトウエアコマンドの入力時、上位バイト(D_8～D_{15})は無視されます。

以下に各ソフトウエアコマンドの内容を説明します。

表1.30.4.　ソフトウエアコマンド一覧表(パラレル入出力モード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D_0～D_7)	モード	アドレス	データ (D_0～D_7)	モード	アドレス	データ (D_0～D_7)
リードアレイ	ライト	X	FF_{16}						
リードステータスレジスタ	ライト	X	70_{16}	リード	X	SRD (注2)			
クリアステータスレジスタ	ライト	X	50_{16}						
ページプログラム (注3)	ライト	X	41_{16}	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	20_{16}	ライト	BA (注4)	$D0_{16}$			
イレーズ全アンロックブロック	ライト	X	$A7_{16}$	ライト	X	$D0_{16}$			
ロックビットプログラム	ライト	X	77_{16}	ライト	BA	$D0_{16}$			
リードロックビットステータス	ライト	X	71_{16}	リード	BA	D_6 (注5)			

注1.　ソフトウエアコマンド入力時には上位バイト(D_8～D_{15})のデータは無視されます。
注2.　SRD=ステータスレジスタデータ
注3.　WA=ライトアドレス, WD=ライトデータ
WAとWDは 00_{16} からFE_{16} (偶数アドレス)へ順番に設定されなければなりません。ページサイズは256バイトです。
注4.　BA=ブロックアドレス(各ブロックの最大のワードアドレスを入力してください。)
注5.　D_6 はブロックロックステータスに対応します。D_6="1": 非ブロックロック、D_6="0": ブロックロック。

リードアレイコマンド(FF_{16})

第1バスサイクルでコマンドコード“ FF_{16} ”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータ入出力端子(D_0～D_{15})から出力されます。入力するアドレスは、$\overline{BYTE}$端子が“ H ”(16ビットモード)のときは偶数アドレスを指定してください。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

また、電源投入後およびディープパワーダウンモードからの復帰後にも、リードアレイモードが選択されています。

リードステータスレジスタコマンド(70_{16})

第1バスサイクルでコマンドコード“ 70_{16} ”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータ入出力端子から出力されます。ステータスレジスタの内容は、$\overline{OE}$または$\overline{CE}$のどちらかの立ち下がりエッジで更新されるので、ステータスリードを行う場合には毎回$\overline{OE}$または$\overline{CE}$信号を入力してください。ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50_{16})

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“ 50_{16} ”をライトします。

ページプログラムコマンド(41$_{16}$)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“41$_{16}$”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを順次ライトします。この場合アドレスは、$\overline{\text{BYTE}}$端子が“H”のときは、偶数アドレスで“00$_{16}$”から“FE$_{16}$”まで2ずつインクリメントする必要があります。$\overline{\text{BYTE}}$端子が“L”のときは、“00$_{16}$”から“FF$_{16}$”までインクリメントする必要があります。データロードが完了すると 自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはRY/$\overline{\text{BY}}$信号状態によって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D$_0$～D$_7$)から読み出すことができます。ステータスレジスタのビット7(SR 7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF$_{16}$)またはリードロックビットステータスコマンド(71$_{16}$)をライトするまで継続されます。

RY/$\overline{\text{BY}}$端子はステータスレジスタビット7と同じく、自動書き込み期間中は“L”、終了後は“H”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.30.4にページプログラムプログラムフローチャート例を示します。 また、ページプログラムの動作タイミングは電気的特性の節のタイミング図を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページに対する追加書き込みは禁止します。

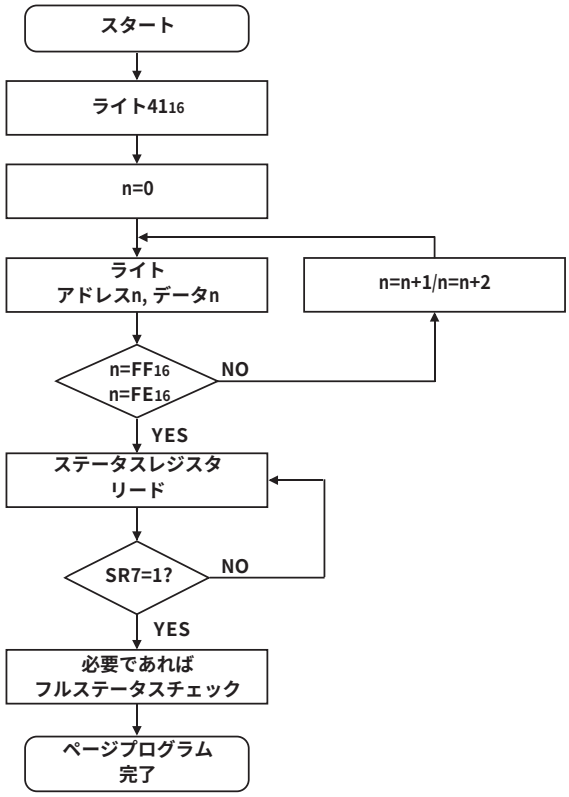


図1.30.4.　ページプログラムフローチャート

ブロックイレーズコマンド(20_{16}/$D0_{16}$)

第1バスサイクルでコマンドコード“20_{16}”、続く第2バスサイクルで確認コマンドコード“$D0_{16}$をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはRY/$\overline{BY}$信号状態によって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D_0～D_7)から読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF_{16})またはリードロックビットステータスコマンド(71_{16}) をライトするまで継続されます。

RY/$\overline{BY}$端子は、ステータスレジスタのビット7と同じく、自動消去期間中は“L”、終了後は“H”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.30.5にブロックイレーズのフローチャート例を示します。また、ブロックイレーズの動作タイミングは、電気的特性の節のタイミング図を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

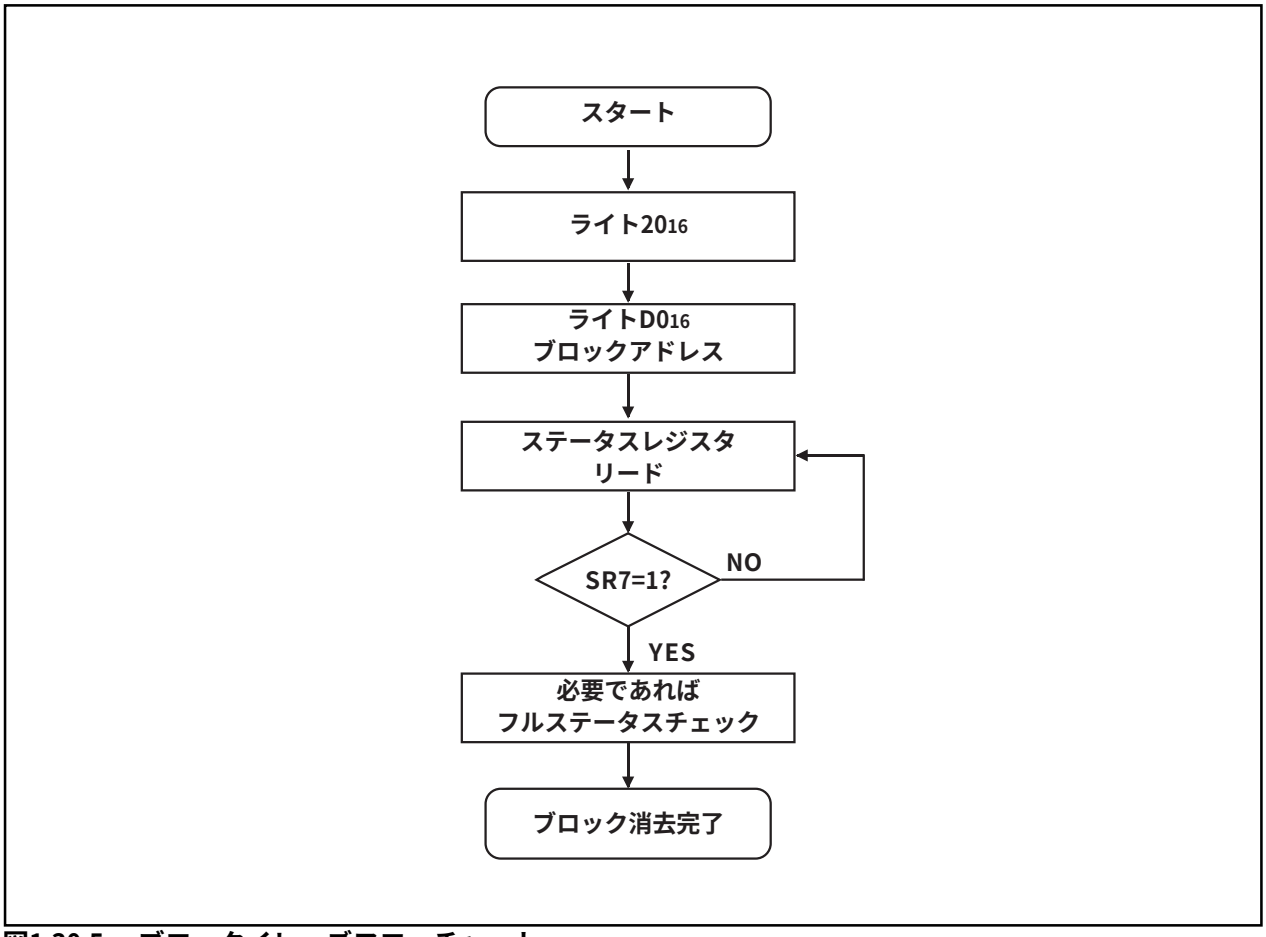


図1.30.5.　ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A7$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“A7$_{16}$”、続く第2バスサイクルで確認コマンドコード“D0$_{16}$”をライトすると全ブロックに対し、連続的にブロックイレーズを実行します。この場合には第2バスサイクルでのアドレス入力は不要です。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはRY/$\overline{BY}$信号状態によって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

$\overline{WP}$端子が“H”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。また、$\overline{WP}$端子が“L”の場合には、ロックビットの状態が有効となり、非ロック状態(ロックビットデータが“1”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(77$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“77$_{16}$”、続く第2バスサイクルで確認コマンド“D0$_{16}$”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“0”(ロック状態)を書き込みます。

図1.30.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの自動書き込みの終了は、ページプログラムと同様にステータスレジスタのリードまたはRY/$\overline{BY}$信号状態によって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

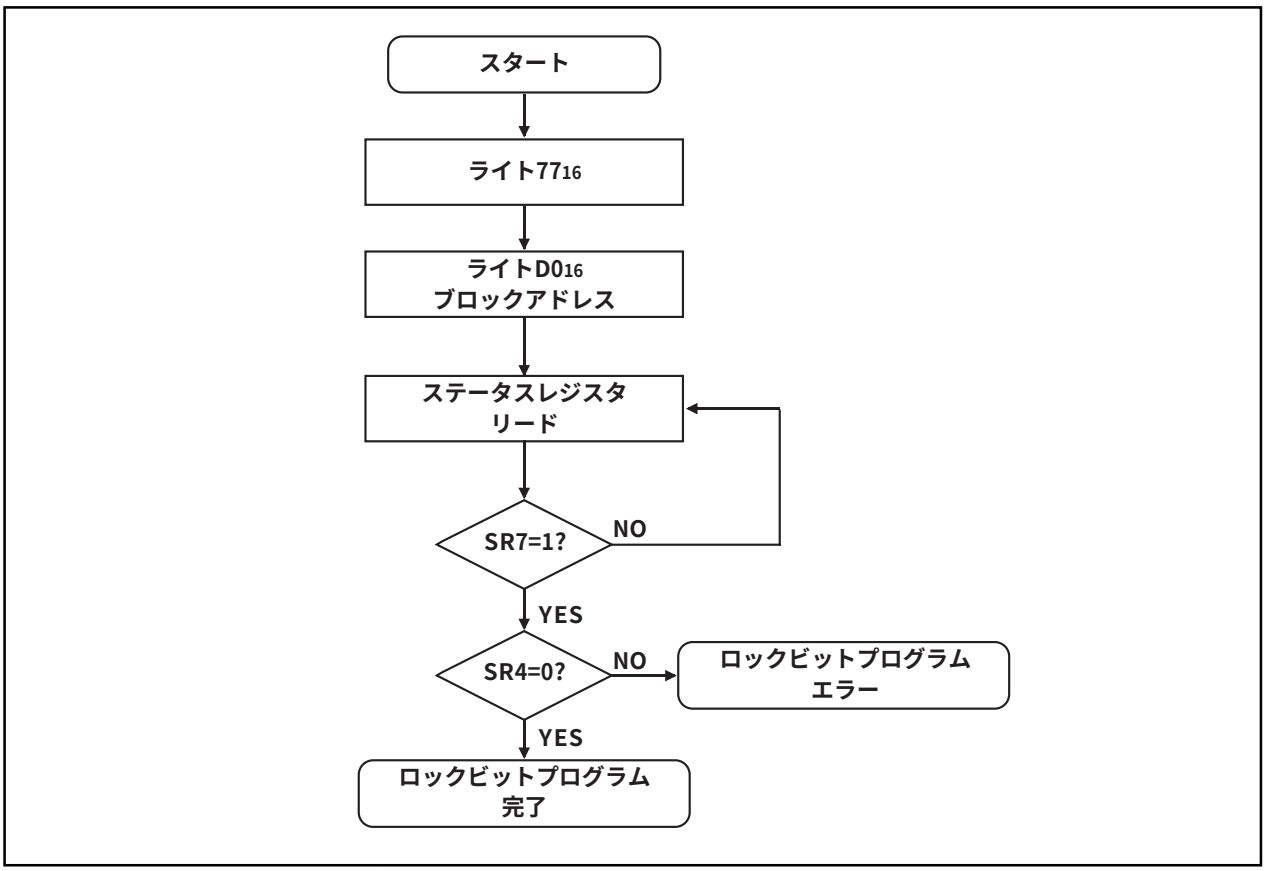
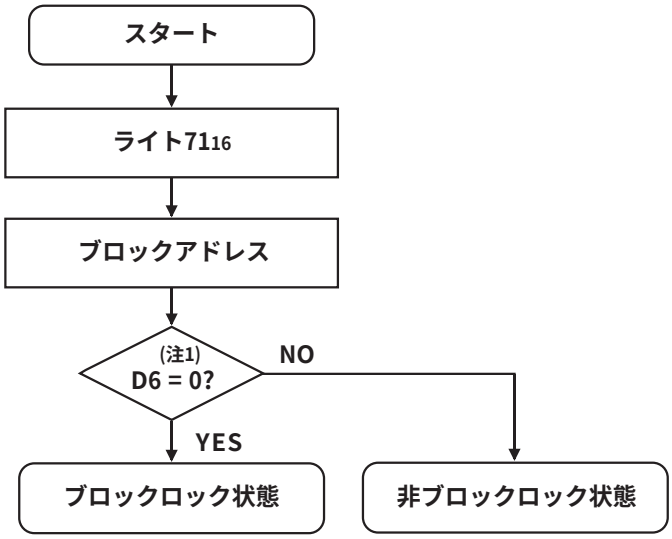


図1.30.6.　ロックビットプログラムフローチャート

リードロックビットステータスコマンド(71$_{16}$)

第1バスサイクルでコマンドコード“71$_{16}$”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックの状態がデータ入出力端子のビット6(D$_6$)に出力されます。図1.30.7にリードロックビットプログラムのフローチャート例を示します。



注1.　データバスのビット6。

図1.30.7.　リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.30.1に示す各々のブロックは、消去／書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“ 0 ”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態と$\overline{RP}$端子、$\overline{WP}$端子の状態で決まります。この関係を表1.30.5に示します。

(1) $\overline{RP}$端子が“ L ”の場合、ディープパワーダウンモードになり、全ブロックがロック状態になります。

(2) $\overline{RP}$端子が“ H ”、$\overline{WP}$端子が“ L ”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック／非ロックが設定できます。 ロックビットデータが“ 0 ”のブロックはロック状態になり消去／書き込みが禁止されます。一方、ロックビットデータが“ 1 ”のブロックは非ロック状態となり消去／書き込みが可能です。

(3) $\overline{RP}$端子が“ H ”、$\overline{WP}$端子が“ H ”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去／書き込みが可能になります。このとき、“ 0 ”(ロック状態)であったロックビットデータは、消去終了後“ 1 ”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

表1.30.5.　ブロックロック条件

$\overline{RP}$	$\overline{WP}$ (注1)	ロックビット (内部)	ブロックロック
V_{IL}	X	X	全ブロックロック (ディープパワーダウンモード)
V_{IH}	V_{IL}	0	ロックビットデータによるブロックロック実施
V_{IH}	V_{IL}	1	ロックビットデータによるブロックロック解除 (非ロック状態)
V_{IH}	V_{IH}	X	全ブロックロック解除 (非ロック状態) (注2)

注1.　リード／ライト動作やライトステートマシン(WSM)ステータスビジー(SR7=“ 0 ”)時には、$\overline{WP}$端子の状態を切り換えないでください。
注2.　この条件での消去終了後、ロックビットは "1" にセットされます。

ステータスレジスタ

ステータスレジスタは、イレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

(1)　リードアレイモード、ロックビットステータスモードにおいて、リードステータスレジスタコマンド(70$_{16}$)をライトした後、ブロックアドレスを読み出したとき

(2)　ページプログラムの自動書き込み開始またはブロックイレーズの自動消去開始から、リードアレイコマンド(FF$_{16}$)またはリードロックビットステータスコマンド(71$_{16}$) 入力までの期間

また、ステータスレジスタは次の条件でクリアされます。

(1)　クリアステータスレジスタコマンド(50$_{16}$)をライトしたとき

(2)　ディープパワーダウンモードに入ったとき

(3)　電源をオフにしたとき

表1.30.6にステータスレジスタの各ビットの定義を示します。ステータスレジスタは、電源投入時、またはディープパワーダウンモードからの復帰時には“ 80$_{16}$ ”を出力します。

表1.30.6.　ステータスレジスタ

記号	ステータス	定義	
		“ 1 ”	“ 0 ”
SR7 (D_7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (D_6)	リザーブ	–	–
SR5 (D_5)	イレーズステータス	エラー終了	正常終了
SR4 (D_4)	プログラムステータス	エラー終了	正常終了
SR3 (D_3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (D_2)	リザーブ	–	–
SR1 (D_1)	リザーブ	–	–
SR0 (D_0)	リザーブ	–	–

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を示すもので電源投入時、またはディープパワーダウンモードからの復帰時は“ 1 ”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。イレーズステータスは、クリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。プログラムステータスは、クリアされると“ 0 ”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”になります。すなわち、書き込みが正常終了したときステータスレジスタは“80_{16}”、書き込みがフェイルしたときは“90_{16}”、そして、過剰書き込みが発生したときに“88_{16}”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50_{16})を実行し、ステータスをクリアしてください。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

(1) ロックビットプログラムコマンド(77_{16}/$D0_{16}$)の第2バスサイクルのデータに“$D0_{16}$”または“FF_{16}”以外のデータを入力した場合。

(2) ブロックイレーズコマンド(20_{16}/$D0_{16}$)の第2バスサイクルのデータに“$D0_{16}$”または“FF_{16}”以外のデータを入力した場合。

(3) イレーズ全アンロックブロックコマンド($A7_{16}$/$D0_{16}$)の第2バスサイクルのデータに“$D0_{16}$”または“FF_{16}”以外のデータを入力した場合。

ただし“FF_{16}”を入力すると、リードアレイモードになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.30.8にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

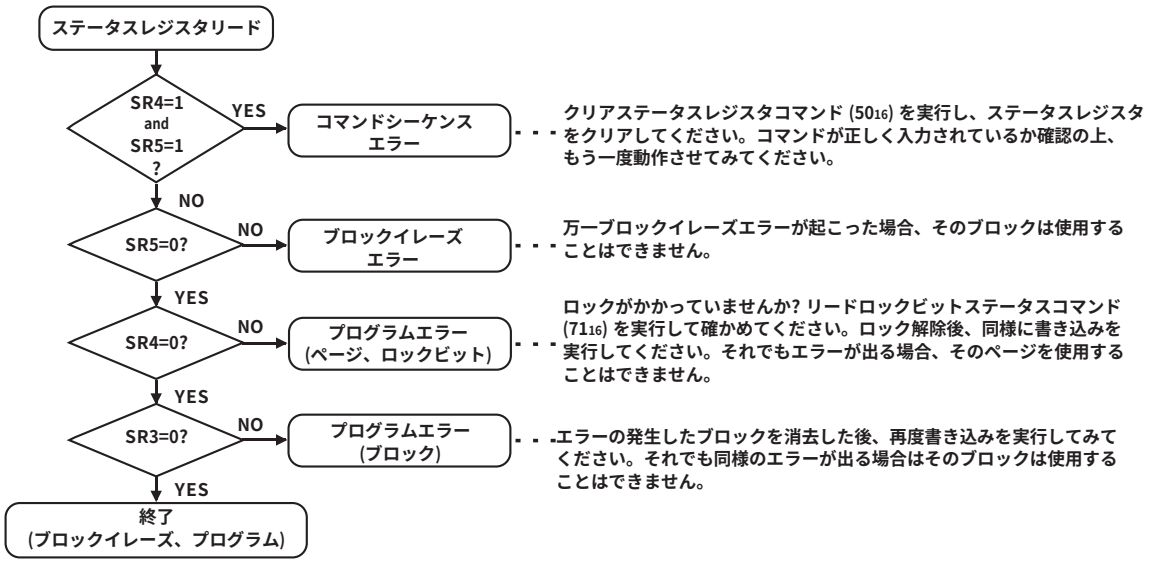


図1.30.8.　フルステータスチェックフローチャートおよび各エラー発生時の対処法

レディ／ビジー(RY/$\overline{\text{BY}}$)端子

RY/$\overline{\text{BY}}$端子はステータスレジスタのライトステートマシン(WSM)ステータス(SR7)と同じくフラッシュメモリの動作状況を知らせるための出力端子(Nチャネルオープンドレイン出力)です。自動書き込みや自動消去の動作中は“L”(ビジー)となり、これらの動作終了とともにハイインピーダンス状態(レディ)となります。RY/$\overline{\text{BY}}$端子は、外部でのプルアップが必要です。

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　　称	入出力	機　能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vccに接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VssまたはVccに接続してください。
AVcc、AVss	アナログ電源入力		AVssはVssに、AVccはVccに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
$P0_0$～$P0_7$	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
$P1_0$～$P1_7$	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
$P2_0$～$P2_7$	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
$P3_0$～$P3_7$	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
$P4_0$～$P4_7$	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
$P5_1$～$P5_4$,$P5_6$,$P5_7$	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
$P5_0$	$\overline{\text{CE}}$入力	入力	"H"を入力してください。
$P5_5$	$\overline{\text{EPM}}$入力	入力	"L"を入力してください。
$P6_0$～$P6_3$	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
$P6_4$	BUSY出力	出力	BUSY信号の出力端子です。
$P6_5$	SCLK入力	入力	シリアルクロックの入力端子です。
$P6_6$	RXD入力	入力	シリアルデータの入力端子です。
$P6_7$	TXD出力	出力	シリアルデータの出力端子です。
$P7_0$～$P7_7$	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
$P8_0$～$P8_4$,$P8_6$,$P8_7$	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
$P8_5$	$\overline{\text{NMI}}$入力	入力	Vccに接続してください。
$P9_0$～$P9_7$	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
$P10_0$～$P10_7$	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

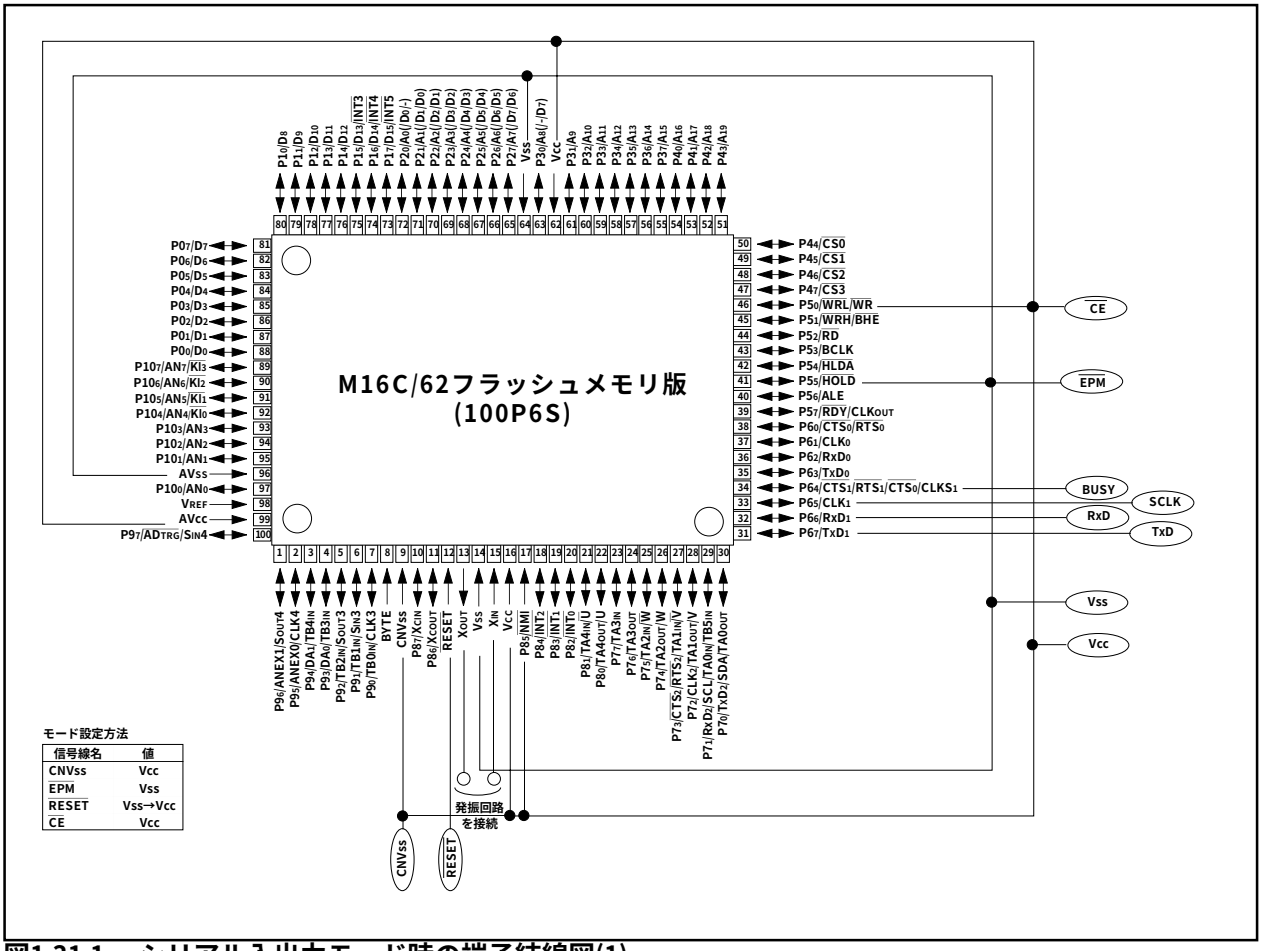


図1.31.1.　シリアル入出力モード時の端子結線図(1)

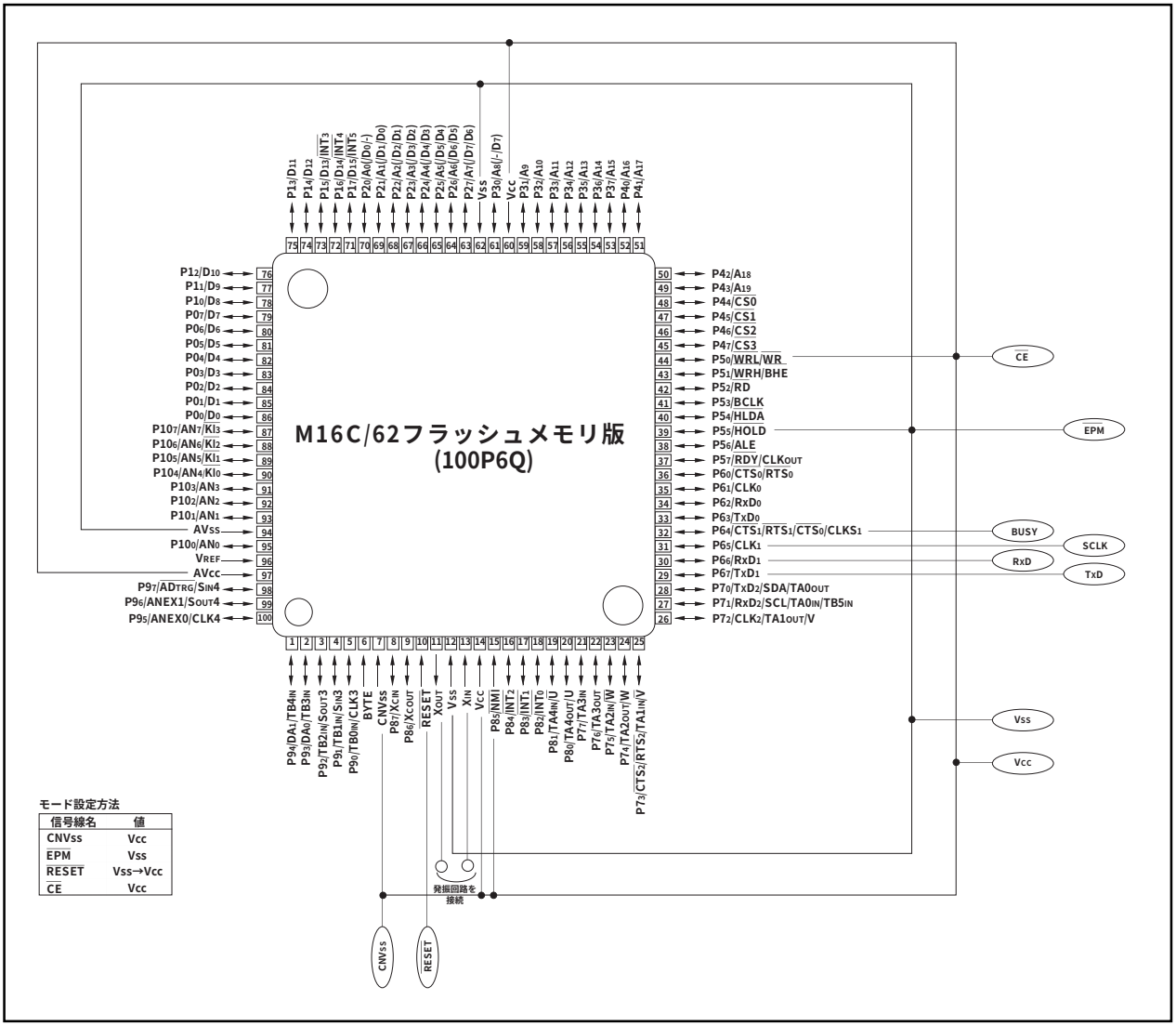


図1.31.2.　シリアル入出力モード時の端子結線図(2)

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをシリアルに入出力するモードで、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、$P5_0$($\overline{CE}$)端子“H”、$P5_5$($\overline{EPM}$)端子を“L”、CNV_{SS}端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNV_{SS}は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.31.1、図1.31.2に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1の端子CLK_1、RxD_1、TxD_1、RTS_1(BUSY)の4本を使って行います。

CLK_1端子は転送クロックの入力端子で、外部から転送クロックを入力します。TxD_1端子はCMOS出力です。RTS_1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図1.301に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライタ)から送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウエアコマンド、アドレスおよびプログラムデータは、CLK_1端子に入力する転送クロック立ち上がりに同期して、RxD_1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD_1端子から外部に出力します。

TxD_1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS_1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS_1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常／エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウエアコマンド、ステータスレジスタ等について説明します。

ソフトウエアコマンド

表1.31.1にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウエアコマンドは、基本的にはパラレル入出力モードのものと同じですが、パラレル入出力モードの$\overline{\text{WP}}$端子機能を代替するためにロックビット無効、ロックビット有効、IDチェック機能、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能の6コマンドを追加しています。

以下に各ソフトウエアコマンドの内容を説明します

表1.31.1.　ソフトウエアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	41 16	アドレス（中位）	アドレス（上位）	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目 データ入力	受付不可
3	ﾌﾞﾛｯｸｲﾚｰｽﾞ	20 16	アドレス（中位）	アドレス（上位）	D0 16				受付不可
4	ｲﾚｰｽﾞ全ｱﾝﾛｯｸﾌﾞﾛｯｸ	A7 16	D0 16						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	70 16	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	50 16							受付不可
7	ﾘｰﾄﾞﾛｯｸﾋﾞｯﾄｽﾃｰﾀｽ	71 16	アドレス（中位）	アドレス（上位）	ﾛｯｸﾋﾞｯﾄﾃﾞｰﾀ出力				受付不可
8	ﾛｯｸﾋﾞｯﾄﾌﾟﾛｸﾞﾗﾑ	77 16	アドレス（中位）	アドレス（上位）	D0 16				受付不可
9	ﾛｯｸﾋﾞｯﾄ有効	7A 16							受付不可
10	ﾛｯｸﾋﾞｯﾄ無効	75 16							受付不可
11	IDﾁｪｯｸ機能	F5 16	アドレス（下位）	アドレス（中位）	アドレス（上位）	IDサイズ	ID1	～ID7	受付可
12	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA 16	サイズ（下位）	サイズ（上位）	チェックサム	データ入力	～必要回数		受付不可
13	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB 16	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目 ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
14	ﾌﾞｰﾄROM領域出力機能	FC 16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送
それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。

注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタ１データ。

注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

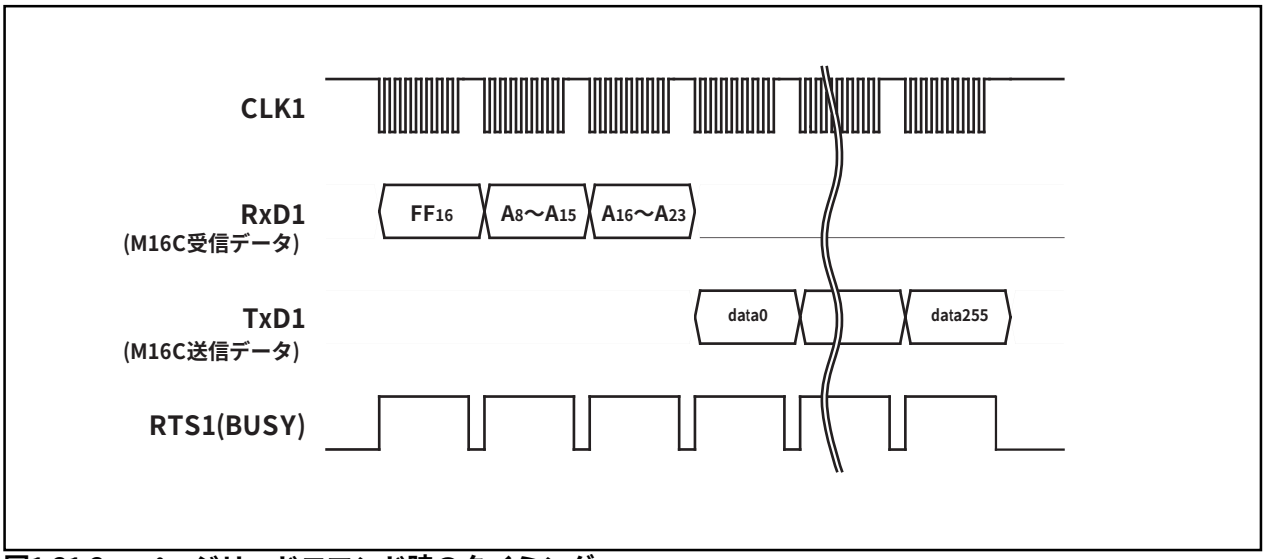


図1.31.3.　ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

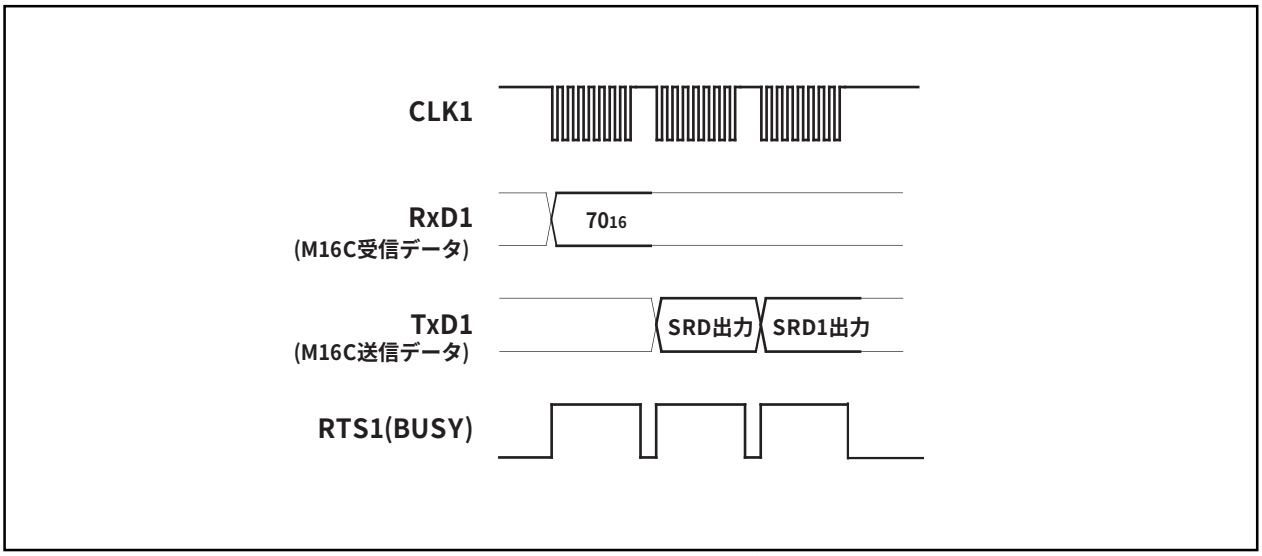


図1.31.4.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS1(BUSY)信号は“ H ”から“ L ”に変化します。

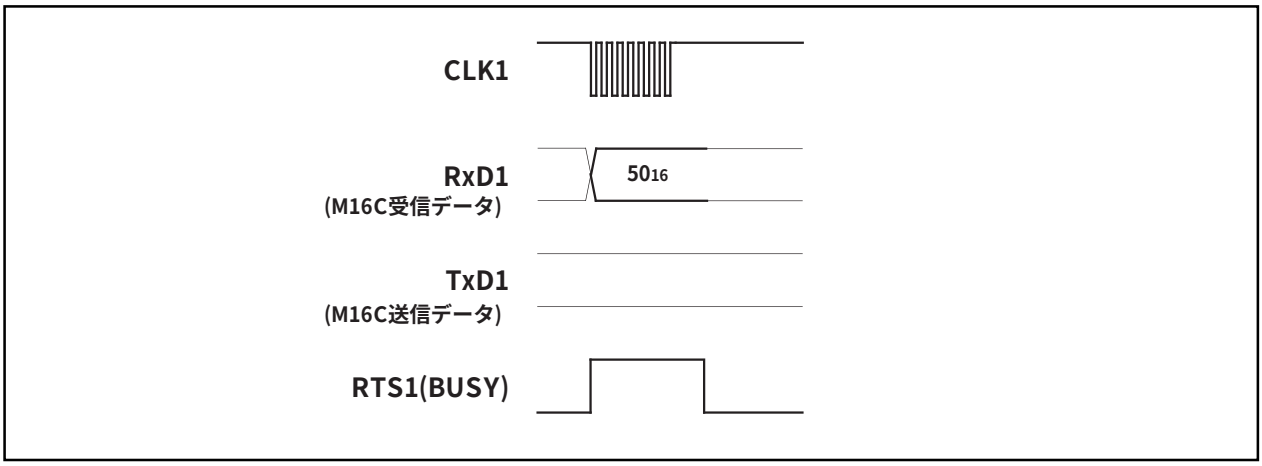


図1.31.5.　クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS1(BUSY)信号が“ H ”から“ L ”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

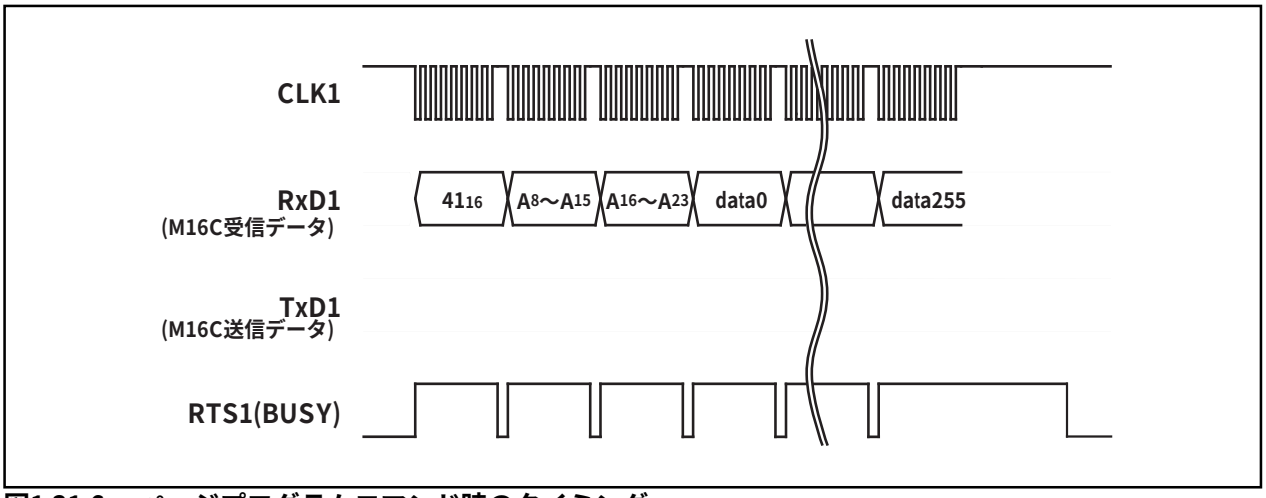


図1.31.6.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS1(BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

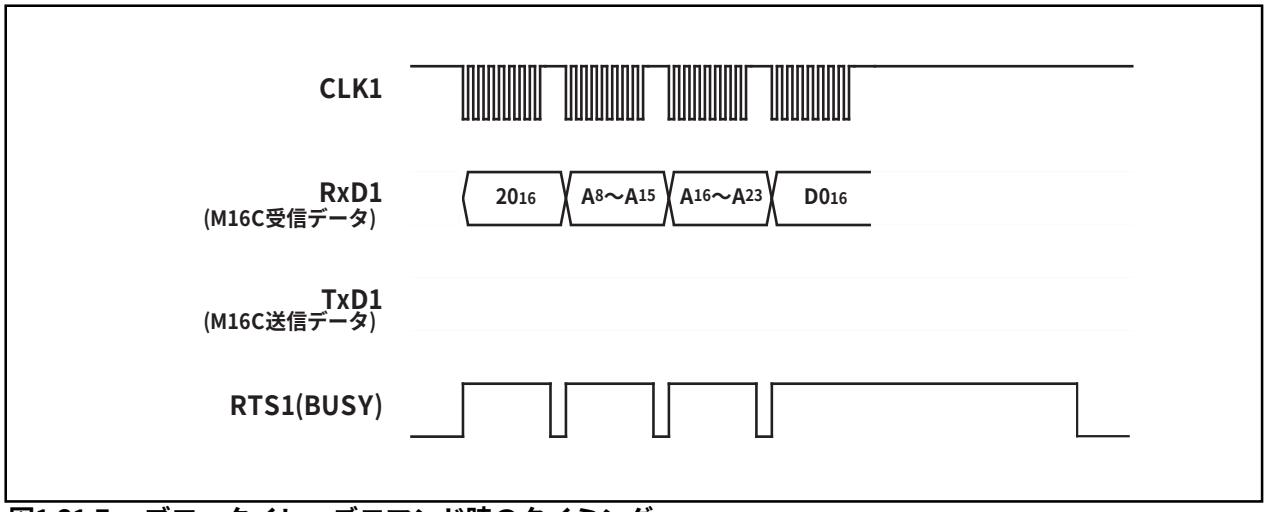


図1.31.7.　ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンブロックブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンブロックブロックが終了するとRTS1(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

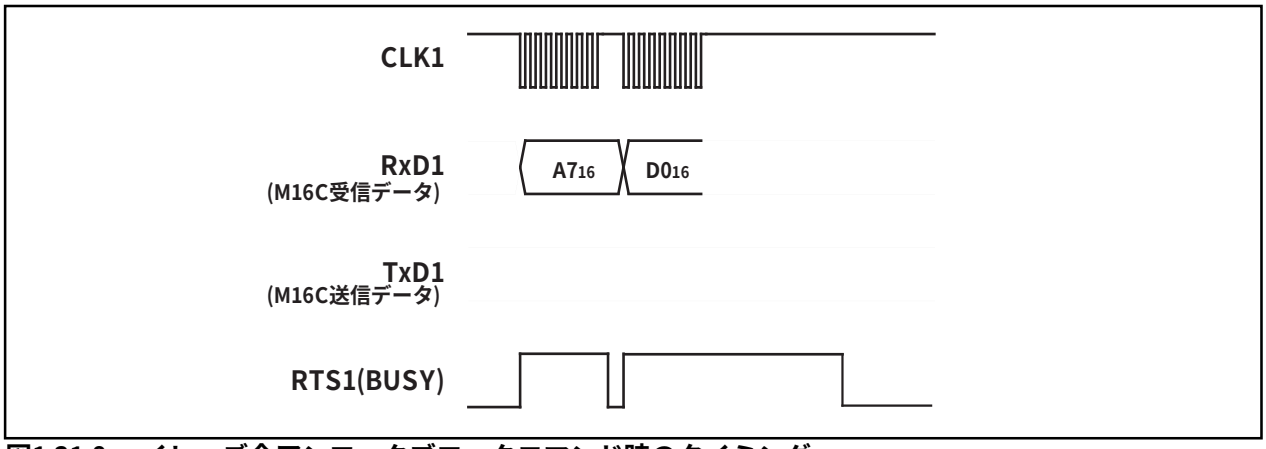


図1.31.8.　イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

(1)　1バイト目の転送でコマンドコード“ 77_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS1(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

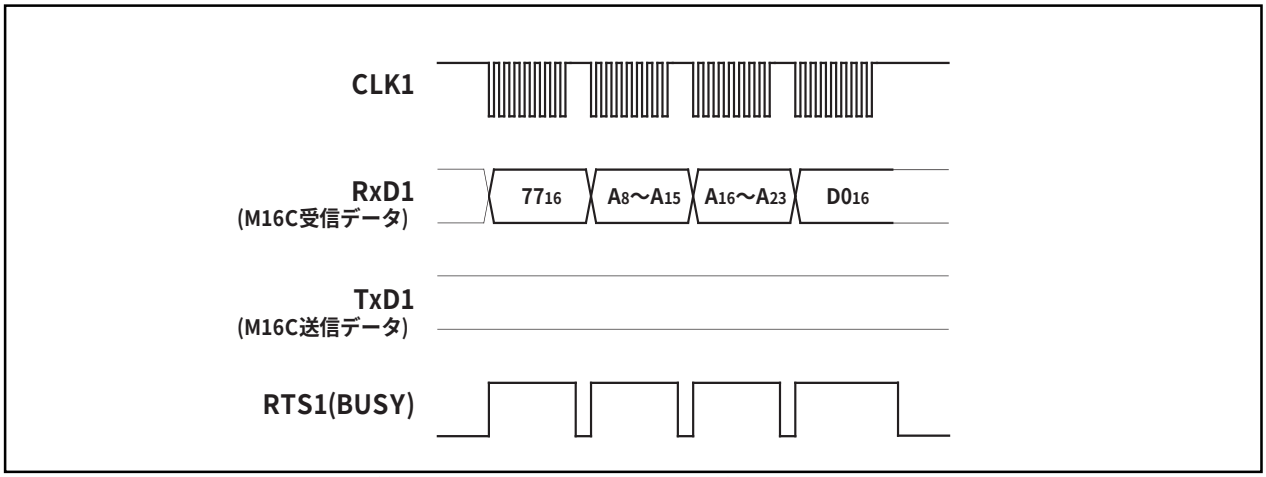


図1.31.9.　ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

(1) 1バイト目の転送でコマンドコード“ 71_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。
出力されるデータの6ビット目(D_6)がロックビットデータです。 なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

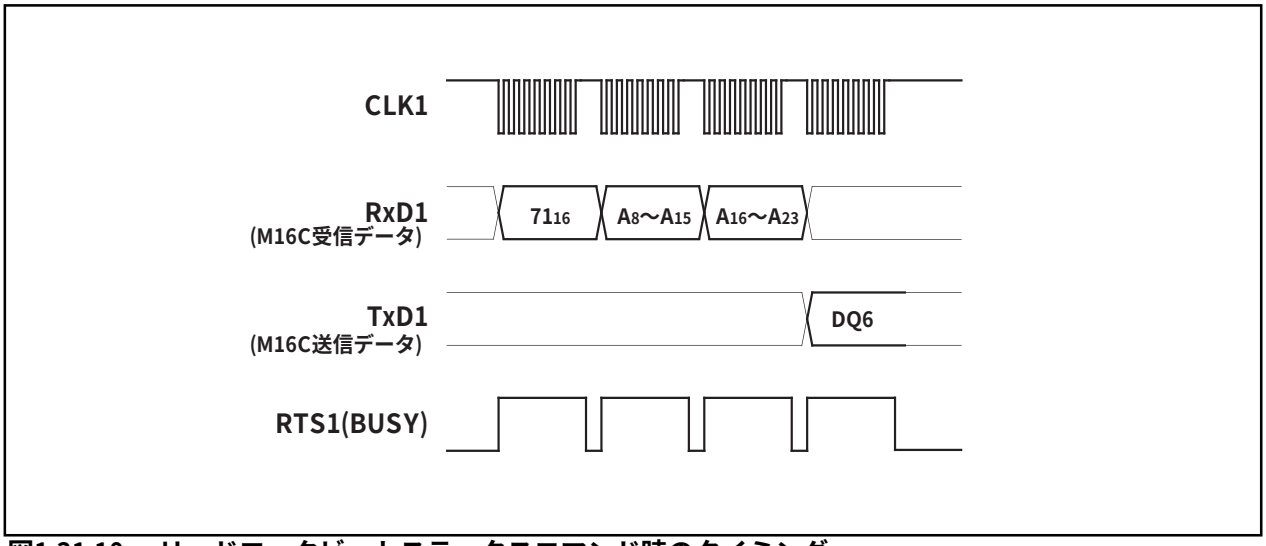


図1.31.10.　リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。(パラレル入出力モードの$\overline{WP}$端子と同等の機能)。1バイト目のシリアル転送でコマンドコード“ $7A_{16}$ ”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

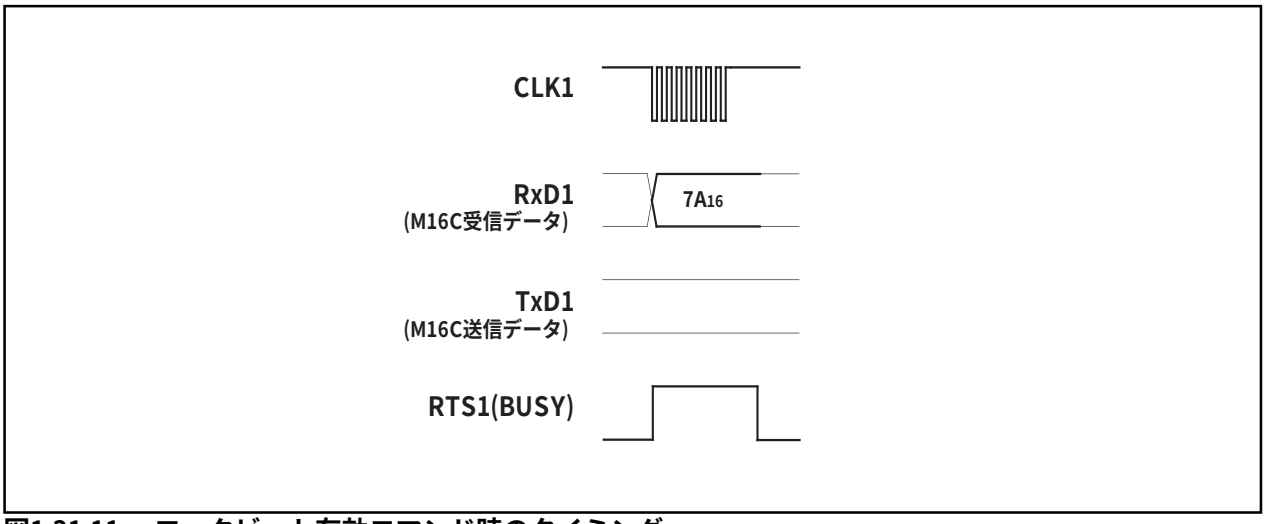


図1.31.11.　ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです(パラレル入出力モードの$\overline{WP}$端子と同等の機能)。1バイト目の転送でコマンドコード“ 75_{16} ”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“ 0 ”(ロック状態)であったロックビットデータは、消去終了後“ 1 ”(非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

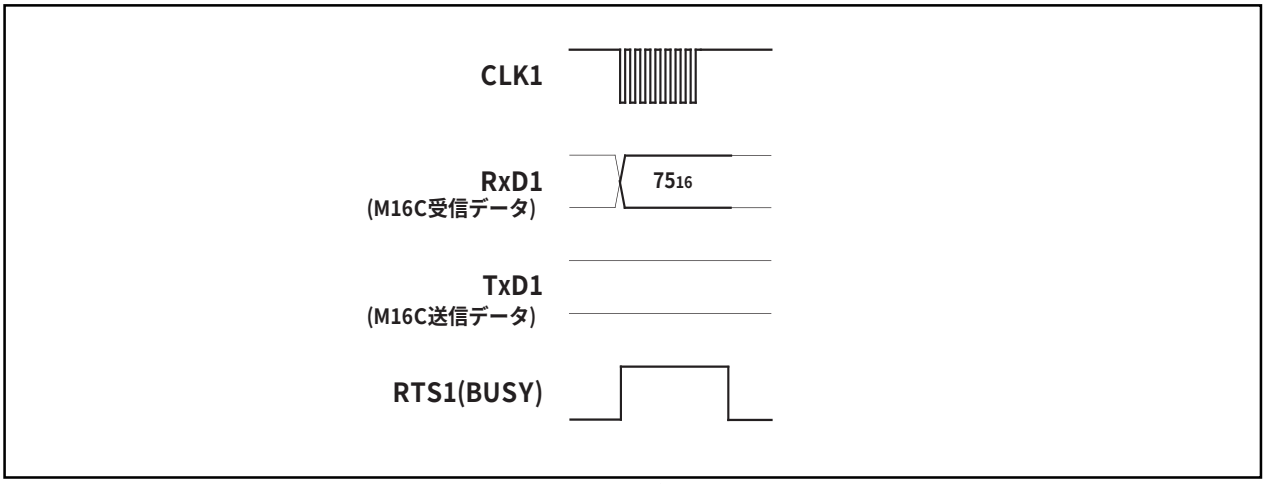


図1.31.12.　ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

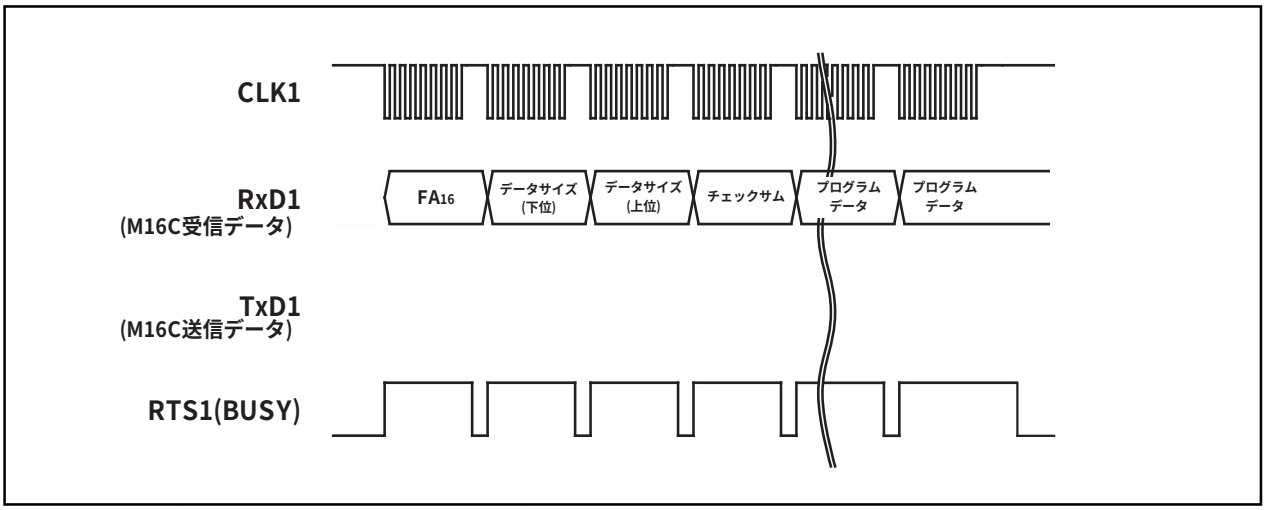


図1.31.13.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2)　2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

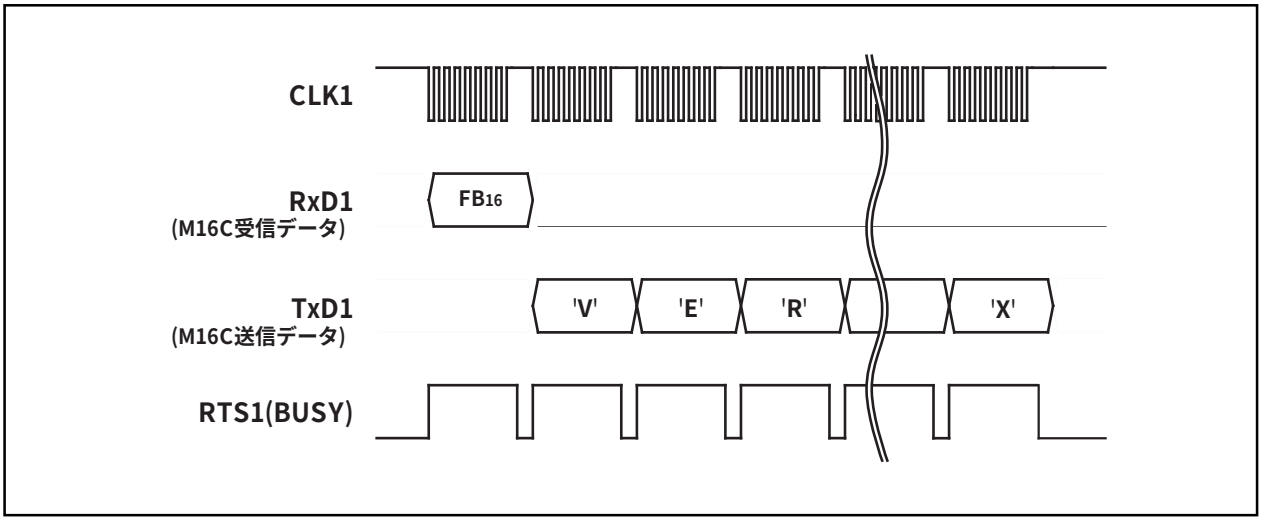


図1.31.14.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

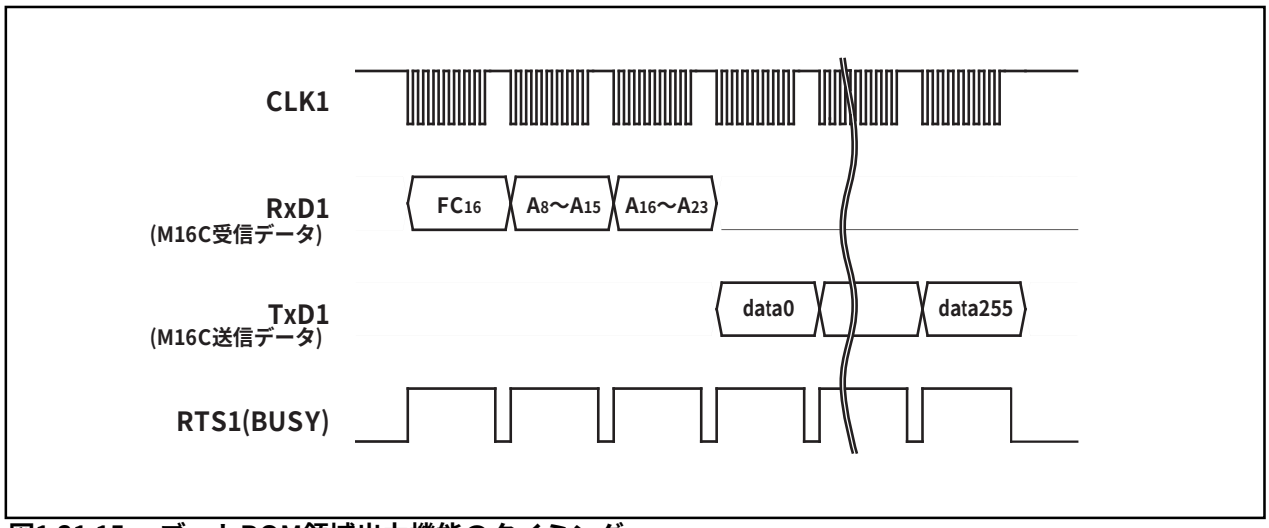


図1.31.15.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

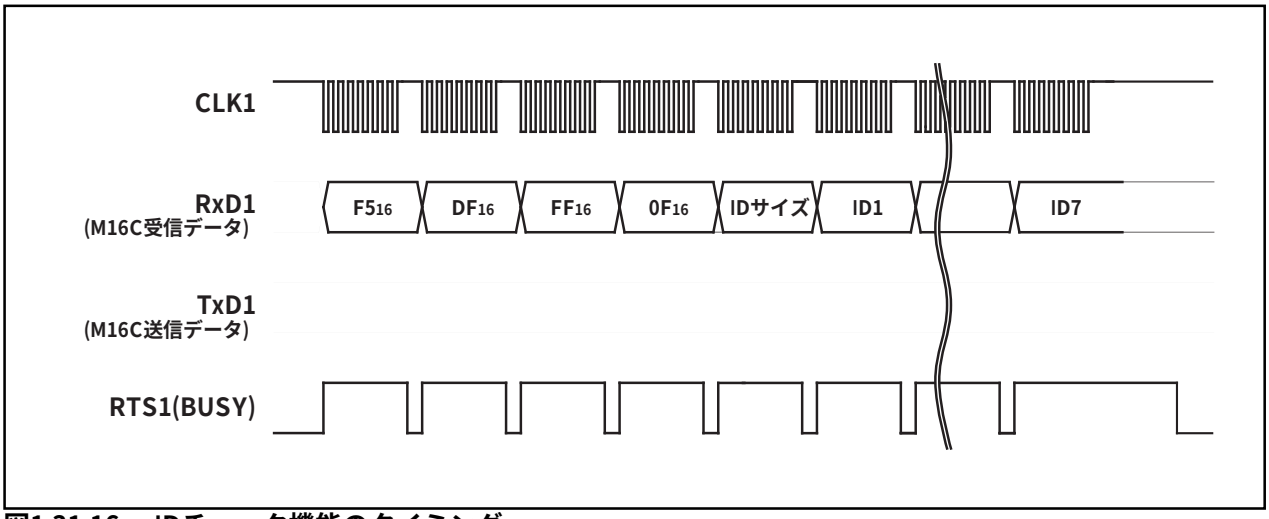


図1.31.16.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

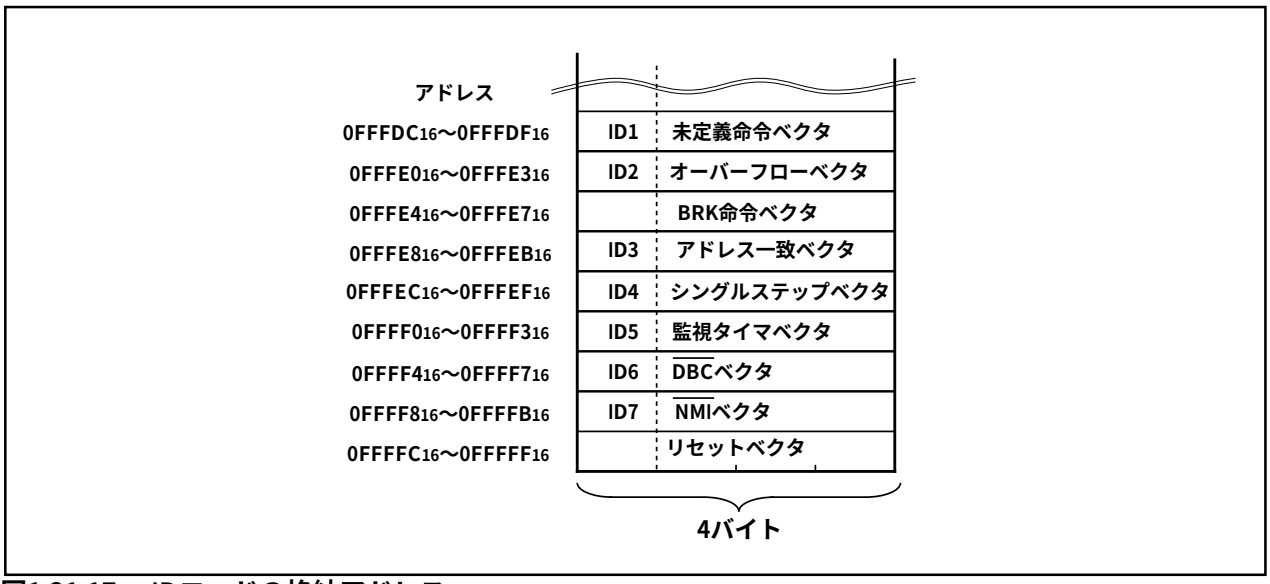


図1.31.17.　IDコードの格納アドレス

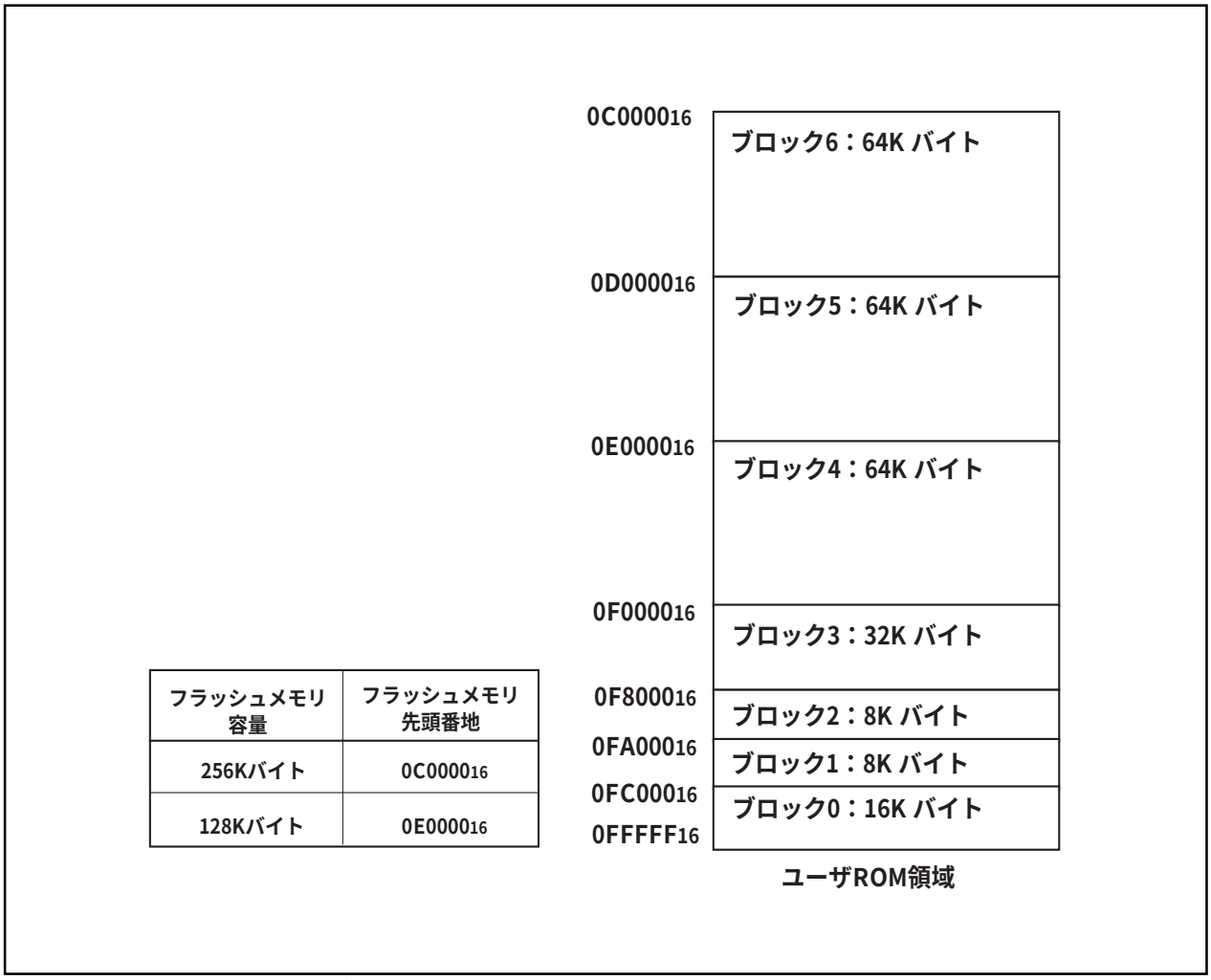
データ保護機能(ブロックロック)

図1.31.18 に示す各々のブロックは、消去／書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの無効、有効はロックビットの状態とロックビット無効コマンド／ロックビット有効コマンドの実行状況で決まります。

(1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック／非ロックが設定できます。 ロックビットデータが“0”のブロックはロック状態になり消去／書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去／書き込みが可能です。

(2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去／書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。



フラッシュメモリ容量	フラッシュメモリ先頭番地
256Kバイト	$0C0000_{16}$
128Kバイト	$0E0000_{16}$

図1.31.18.　ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70$_{16}$)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50$_{16}$)をライトしたときクリアされます。

ステータスレジスタを表1.31.2に各ビットの定義を以下に示すます。

リセット解除後、ステータスレジスタは、“ 80$_{16}$ ”を出力します。

表1.31.2.　ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“ 1 ”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。イレーズステータスは、クリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。プログラムステータスは、クリアされると“ 0 ”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“80_{16}”、書き込みがフェイルしたときは“90_{16}”、そして、過剰書き込みが発生したときに“88_{16}”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50_{16})を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70$_{16}$)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50$_{16}$)をライトしたときクリアされます。

ステータスレジスタを表1.31.3に各ビットの定義を以下に示します。

電源投入時“00$_{16}$”になります。フラグの状態はリセットしても保持されます。

表1.31.3.　ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	—	—
SR13 (bit5)	リザーブ	—	—
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	—	—

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうか示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうか示すフラグです。

ID照合済みビット(SR11　SR10)

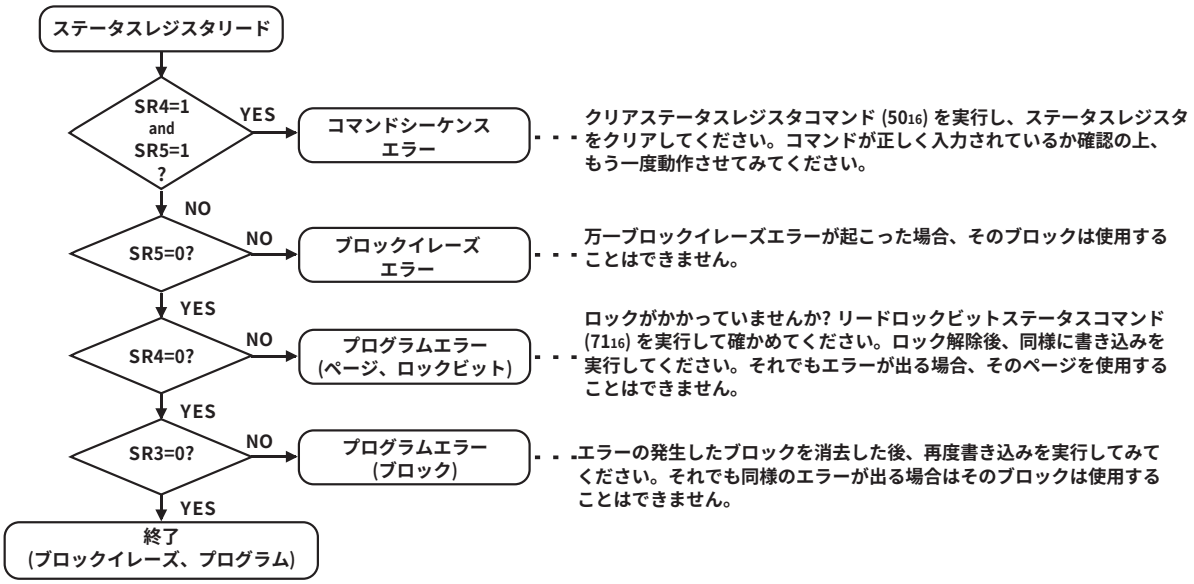
ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.31.19 にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

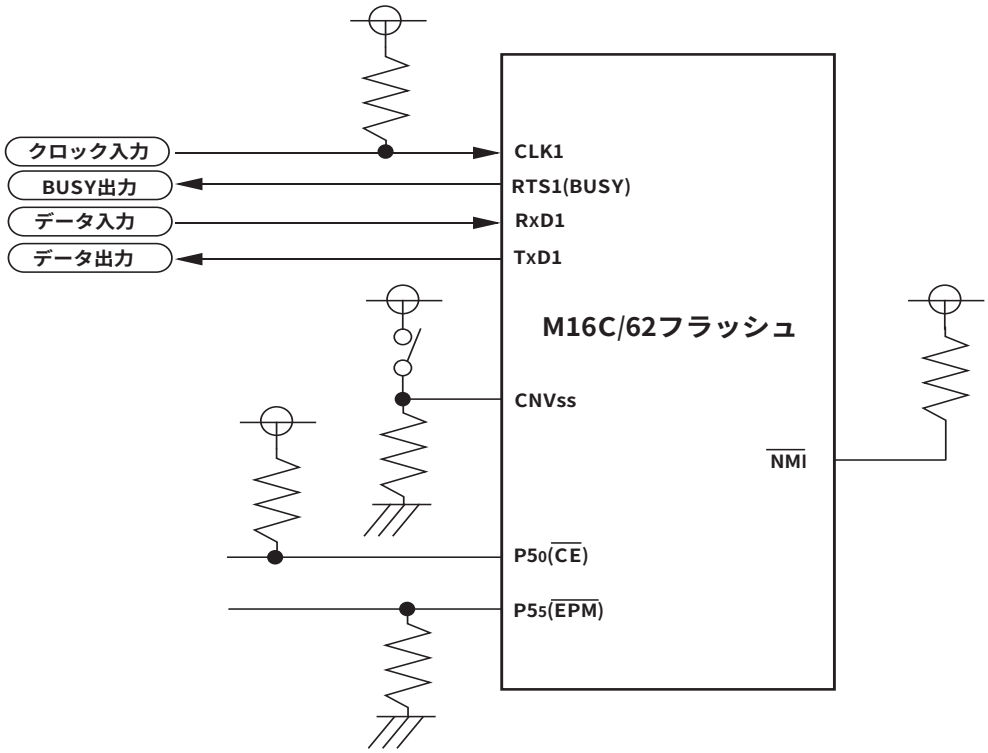


注1.　SR5～SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムの各コマンドは受け付けません。これらのコマンド実行前にクリアステータスレジスタコマンド (5016) を実行してください。

図1.31.19.　フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。外部装置(ライタ)によって制御するピン等が違いますので、詳細は外部装置(ライタ)のマニュアルを参考にしてください。



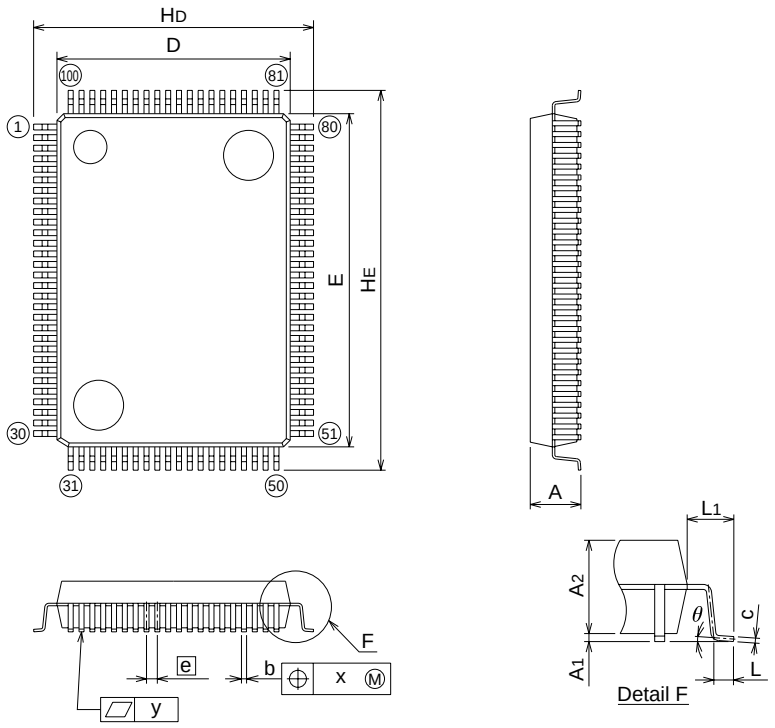
(1) 外部装置(ライタ)によって制御する端子、外付け回路が違います。詳しくは、外部装置(ライタ)のマニュアルを参照してください。
(2) この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

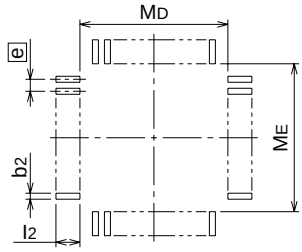
図1.31.20.　標準シリアル入出力モード時の応用回路例

100P6S-A (MMP)

Plastic 100pin 14×20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	–	1.58	Alloy 42





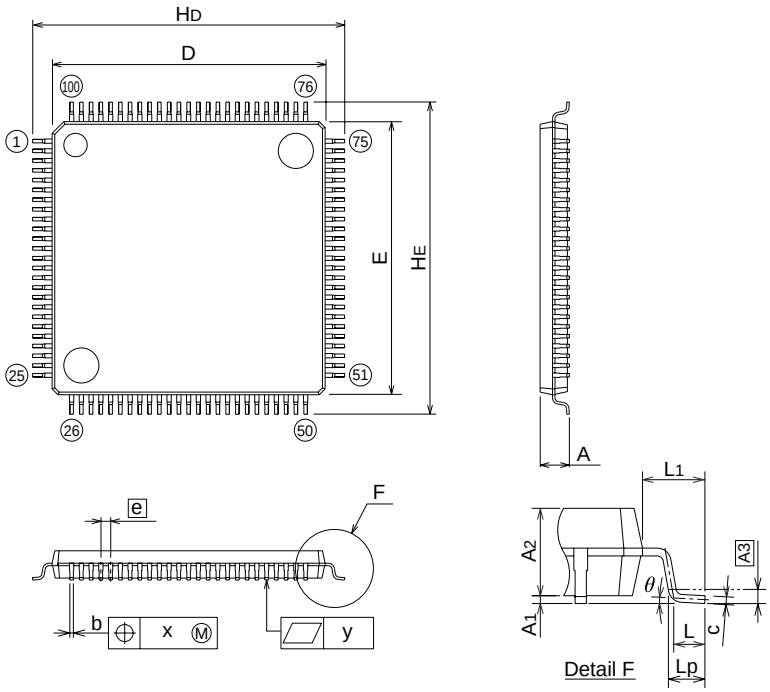
Recommended Mount Pad

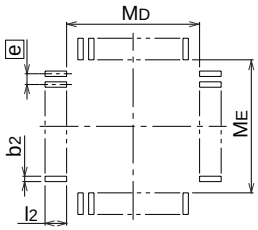
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	3.05
A_1	0	0.1	0.2
A_2	–	2.8	–
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	–	0.65	–
H_D	16.5	16.8	17.1
H_E	22.5	22.8	23.1
L	0.4	0.6	0.8
L_1	–	1.4	–
x	–	–	0.13
y	–	–	0.1
θ	0°	–	10°
b_2	–	0.35	–
l_2	1.3	–	–
M_D	–	14.6	–
M_E	–	20.6	–

100P6Q-A (MMP)

Plastic 100pin 14×14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	–	0.63	Cu Alloy





Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0	0.1	0.2
A_2	–	1.4	–
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	–	0.5	–
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
L	0.3	0.5	0.7
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	10°
b_2	–	0.225	–
l_2	0.9	–	–
M_D	–	14.4	–
M_E	–	14.4	–

M30622MCとM30612MCとの相異点

品種名	M30622MC	M30612MC
メモリ空間	メモリ拡張あり 1.2Mバイトモード 4Mバイトモード	1Mバイト固定
タイマB	6本	3本
シリアル I/O	UART/クロック同期形SI/O ····· 3本 クロック同期形SI/O ····· 2本	UART/クロック同期形SI/O ····· 3本
IICバスモード	UART2に内蔵。 ソフトウエアとの組み合わせにより IICバスを実現可能。	なし
ポートの端子機能	$P9_0$ ····· $TB0_{IN}$/CLK3 $P9_1$ ····· $TB1_{IN}$/S_{IN}3 $P9_2$ ····· $TB2_{IN}$/S_{OUT}3 $P9_3$ ····· $TB3_{IN}$/DA0 $P9_4$ ····· $TB4_{IN}$/DA1 $P9_5$ ····· ANEX0/CLK4 $P9_6$ ····· ANEX1/S_{OUT}4 $P9_7$ ····· AD_{TRG}/S_{IN}4 $P1_5$ ····· D13/INT3 $P1_6$ ····· D14/INT4 $P1_7$ ····· D15/INT5 $P7_1$ ····· R_XD_2/$TA0_{IN}$/$TB5_{IN}$	$P9_0$ ····· $TB0_{IN}$ $P9_1$ ····· $TB1_{IN}$ $P9_2$ ····· $TB2_{IN}$ $P9_3$ ····· DA0 $P9_4$ ····· DA1 $P9_5$ ····· ANEX0 $P9_6$ ····· ANEX1 $P9_7$ ····· AD_{TRG} $P1_5$ ····· D13 $P1_6$ ····· D14 $P1_7$ ····· D15 $P7_1$ ····· R_XD_2/$TA0_{IN}$
割り込み要因	内部25要因、外部8要因、 ソフトウエア4要因 (シリアル2本、タイマ3本、 外部割り込み3本追加)	内部20要因、外部5要因、 ソフトウエア4要因
チップセレクト	M30612MCタイプの出力と以下の タイプの出力を切り替え可能 (他に4Mバイトモードあり) CS0 : 0400_{16}～$3FFFF_{16}$ (ﾌｪｯﾁ) 4000_{16}～$FFFFF_{16}$ (ﾃﾞｰﾀ/ﾌｪｯﾁ) CS1 : 2800_{16}～$2FFFF_{16}$ (ﾃﾞｰﾀ) CS2 : 0800_{16}～$27FFF_{16}$ (ﾃﾞｰﾀ) CS3 : 0400_{16}～$07FFF_{16}$ (ﾃﾞｰﾀ)	CS0 : 3000_{16}～$FFFFF_{16}$ CS1 : 2800_{16}～$2FFFF_{16}$ CS2 : 0800_{16}～$27FFF_{16}$ CS3 : 0400_{16}～$07FFF_{16}$
三相インバータ 制御回路	タイマA4、A1、A2を使用して三相 インバータ用PWM出力を実現可能。 出力端子は$P7_2$～$P7_5$、$P8_0$、$P8_1$に 配置。	なし
ポートP1の読み出し	レジスタの設定により入力モード、 出力モード関係なくポートレジスタ の状態を読み込むことができる。	入力モード時、端子の状態 出力モード時、ポートレジスタの状態
$P4_4$/$\overline{CS0}$～$P4_7$/$\overline{CS3}$ 端子プルアップ抵抗	CNV_{SS}端子にV_{CC}レベルを印可した 場合にはリセット時プルアップ制御 レジスタ1のビット2(PU11)が“1”に なり、$P4_4$/$\overline{CS0}$～$P4_7$/$\overline{CS3}$がプルアッ プありとなります。	リセット時にはプルアップ制御レジス タ1のビット2(PU11)は“0”になり、 $P4_4$/$\overline{CS0}$～$P4_7$/$\overline{CS3}$がプルアップなし となります。

改定副番	主な改定内容	改定年月日
REV.C	・下記品種のROM容量を変更 M30622M8-XXXFP/GP、M30622MA-XXXFP/GP ・下記品種(マスクROM版)を追加 M30622M4-XXXFP/GP、M30620MA-XXXFP/GP、 M30624MG-XXXFP/GP ・下記品種(フラッシュ版)を追加 M30624FGFP/GP、M30624FGLFP/GP ・内部クロックφをBCLKに変更 ・タイマA0モードレジスタなどのレジスタの中で、何も配置されていないビットに値を書き込む場合、“0”を書き込む旨を追加 ・$\overline{\text{RDY}}$の動作例に、マルチプレクスバスを選択した場合の例を追加 ・バスの使用優先順位(ホールド、DMAC、CPU)を追加 ・メインクロック停止ビットが“1”のときの注意事項を追加 ・全クロック停止制御ビットが“1”のときの注意事項を追加 ・パワーセーブの項目を追加 ・割り込みを全面改定 ・アドレス一致割り込みは、実行している命令により退避するプログラムカウンタの値が異なることを追加 ・監視タイマの周期の計算式を追加 ・DMAC全面改定 ・三相モータ制御用タイマにおいて、割り込み有効出力極性選択ビット(INV00)の機能を変更 このビットが“0”のときと“1”のときの機能が逆 ・三相モータ制御用タイマにおいて、割り込み有効出力極性選択ビット(INV00)、割り込み有効出力指定ビット(INV01)を設定するときの注意事項を追加 ・三相モータ制御用タイマにおいて、短絡防止タイマカウントソース選択ビットの機能を変更 ・タイマB2割り込み発生頻度設定カウンタの注意事項を追加 ・D-A変換器の等価回路を追加 ・CRC演算回路の演算例を追加 ・BYTE、CNVSS、$\overline{\text{RESET}}$各端子の構成を追加 ・ウエイトモード、ストップモードに移行する場合の注意事項を追加 ・電気的特性を追加 ・M30612MCとの相違点にP44/CS0～P47/CS3プルアップ抵抗の項目を追加	'98. 2.25
REV.C1	・最短命令実行時間の条件をより明確にする ・1ページ目、5ページ目の低消費電力値の記載ミスを修正(21mWを25.5mWに修正) ・電源電流の測定条件で記載ミスを修正 (f(XIN)＝32kHzをf(XCIN)＝32kHzに修正)	'98. 3.13

改定履歴	M16C/62グループ仕様書	

改定副番	主な改定内容	改定年月日
REV.D	・全空間マルチプレクスバス選択時の$P3_0$の機能を修正(入出力ポートをアドレスバスに修正) ・内部領域をアクセスしたときの外部バスの状態を追加 ・パワーセーブをパワーコントロールに改題して説明文を変更 ・割り込み制御レジスタの注意事項を追加 ・UART2特殊モードレジスタ2(0376_{16}番地)を追加 ・マスク化発注時の提出資料、ROM書き込み発注時の提出資料を追加 ・推奨動作条件　メインクロック入力周波数の参考図を追加 ・電気的特性の項目で　ヒステリシス　$\overline{INT_3}$～$\overline{INT_5}$、$\overline{KI_0}$～$\overline{KI_3}$を追加 ・D-A変換器の特性で、Vref未接続とした場合でも、I_{VREF}が流れる旨の注意事項を追加 ・下記　マスク化確認書を追加 M30620M8-XXXFP/GP, M30620MA-XXXFP/GP, M30620MC-XXXFP/GP, M30622M4-XXXFP/GP, M30622M8-XXXFP/GP, M30622MA-XXXFP/GP, M30622MC-XXXFP/GP, M30624MG-XXXFP/GP	'98.5.20
REV.D1	・電気的特性　電源電流の測定条件について誤記修正 ・割り込み制御レジスタの変更について誤記修正	'98.5.29
REV.D1	・UARTi送信バッファレジスタのIICモード時の注意事項を削除(115頁)	'98.5.30
REV.D2	・全空間マルチプレクスバス選択時の注意事項 「256バイトしか使えません。」を「各チップセレクトごとに256バイトしか使えません。」に変更(28頁、31頁、32頁) ・三相モータ制御用タイマ機能のタイマB2割り込み発生頻度設定カウンタの注１について、誤記を修正(100頁) ・$\overline{CTS}$,$\overline{RTS}$分離機能の説明を変更(説明不足につき文章を追加)(132頁) ・マスク化確認書にI^2Cバス機能、IEバス機能の使用状況を確認する文章を追加	'98.7.3
REV.E	・スタートコンディション/ストップコンディション条件制御ビットについて、IICモード時、必ず1に設定する必要がある旨を追加(142頁、143頁) ・148頁２行目　図ZA-31を図ZA-33に修正 ・D-A等価回路の注3の誤記修正(D-A制御レジスタではなくD-Aレジスタに00を設定)(160頁) ・表GA-11　4～5サイクル＜セットアップ時間、ホールド時間を下記のとおり変更 3～6サイクル＜セットアップ時間、ホールド時間	'98.7.21
REV.F	・フラッシュメモリ内蔵版を追加	'98.8.24
REV.F1	・フラッシュメモリ内蔵版の電源電圧を変更(231頁) 3.3V版：2.2V～3.6V（f(X_{IN}＝10MHz、1ウエイト、2.7V～3.6V、 f(X_{IN}＝5MHz、1ウエイト、2.2V～3.6V）	'98.9.24

改定副番	主な改定内容	改定年月日
REV.F1	・フラッシュメモリ内蔵版の低電圧版の表記(231頁、249頁) 3V版→3.3V版 ・フラッシュメモリ内蔵版のCPU書き換えモードの説明(234～236頁) CPU書き換えモードの制御はRAM上に転送したプログラムで行うように記述しているが、これはシングルチップモードでのことなので、説明文章を変更 ・CPU書き換えモードの設定/解除フローチャートの設定の注1を下記のとおり修正(237頁) 注1.プロセッサモードレジスタ1(000F16番地)のビット7(内部ROMアクセスウエイトビット)を“1”(1ウエイト)としてください。 ・フラッシュメモリ内蔵版のシリアル入出力モード時の端子結線図(2)(267頁) ピン名修正(FPパッケージのピン名をGPパッケージのピン名に修正)	'98.9.24
REV.G	・図表番号をシリアル番号に変更 ・メモリ拡張モード時、マイクロプロセッサモード時、P0～P5に内蔵プルアップ抵抗は設定できないことを明記(8頁、9頁、165頁) ・メモリ空間拡張機能の拡張モード2説明文章を変更(25頁) ・$\overline{\text{RDY}}$信号を使用する場合、チップセレクトごとのウエイトビットの設定が必要であることを追加(36頁、38頁) ・クロックの状態遷移について詳細に説明(42頁～48頁) ・ストップモード、ウエイトモードから割り込みで復帰した場合、割り込みルーチンを実行することを追加(44頁、45頁) ・UARTモード時のUART2の送信タイミング例を追加(132頁) ・UARTモード(SIM対応)の送信タイミング例を変更(136頁) ・SI/O3,4制御レジスタのビット2の名称をSOUTiハイインピーダンス制御ビットからSOUTi出力禁止ビットに変更(148頁) ・SI/O3,4の注意事項を追加(149頁) ・SI/O3,4がハイインピーダンスになるタイミングを追加(150頁) ・CNVss端子の処理例を追加(174頁) ・5V時マルチプレクスバスのALE出力保持時間(アドレス基準)th(ALE-AD)を50nsから30nsに変更(189頁、195頁) ・3V時マルチプレクスバスのALE出力遅延時間(アドレス基準)td(AD-ALE)を10^9/2/f(BCLK)-60 (ns) から 10^9/2/f(BCLK)-45 (ns)に変更(203頁、208頁) ・フラッシュメモリ制御レジスタのシンボルをFERからFMCRに変更。ビットシンボルも同様に変更(238頁) ・CPU書き換えモードの設定/解除フローチャートの注1を変更(番地とビット名の誤記修正)(239頁) ・CPU書き換えモード時には、固定ベクタでも可変ベクタでもBRK命令は使用できないので、誤記を修正(240頁) ・CPU書き換えモード時の使用禁止割り込みの説明文章を変更(240頁)	'99.1.26

改定履歴	M16C/62グループ仕様書	

改定副番	主な改定内容	改定年月日
REV.G	・CPU書き換えモード時における内部予約領域拡張ビットの注意事項はM30620FC、M30620FCLには関係がないので、説明文章を追加(240頁) ・標準シリアル入出力モード時における$P8_5$/$\overline{NMI}$端子の処理を変更(V_{CC}に接続してください)(267頁～269頁)	'99.1.26
	・M30622EC-XXXFP/GP、M30622ECFS削除(6頁、10頁、16頁、19頁、21頁、22頁、24頁、29頁、143頁、178頁)。 ・フラッシュメモリ5V版メインクロック入力発振周波数を追加(181頁) ・フラッシュメモリ5V版電源電流を追加(182頁) ・フラッシュメモリ3.3V版電源電圧、プログラム/イレーズ電圧変更(233頁) ・フラッシュメモリ3.3Vメインクロック最大入力発振周波数を追加(233頁) ・フラッシュメモリ3.3V電源電流を追加(233頁)	'99.2.7
	・フラッシュメモリ版の標準シリアル入出力モード時のコマンド名誤記を修正(リードアレイコマンドをページリードコマンドに修正)(272頁)	'99.2.10
	・UART2をクロック非同期形で使用する際、外部クロックの選択を禁止する旨の文章を追加(116頁、127頁、129頁、130頁、132頁、135頁、136頁)	'99.2.11
REV.G1	・標準シリアル入出力モード時の応用回路例を修正($\overline{NMI}$端子をプルアップする図追加)(285頁)	'99.3.8
	・フラッシュメモリ版の電源電流で、サブクロック動作時の項目を追加(182頁、196頁、233頁) (プログラムをRAM上で動作させる場合の規格値は、マスクROM版と同等)	'99.3.10
	・最短命令実行時間にフラッシュメモリ5V版を追加(マスクROM版と同等)(1頁、3頁) ・電源電圧にフラッシュメモリ5V版を追加(マスクROM版と同等)(1頁、3頁) ・パッケージにフラッシュメモリ5V版を追加(マスクROM版と同等)(6頁) ・フラッシュ3.3V版という名称をフラッシュメモリ3Vに変更(6頁、233頁、234頁、251頁、252頁)	'99.3.12
REV.G2	・ヒステリシス(0.2V最小、0.8V最大)に$TB3_{IN}$～$TB5_{IN}$、CLK_2～CLK_4、SCL、SDA、$\overline{CTS_2}$、RxD_0～RxD_2、S_{IN3}、S_{IN4}追加(182頁、196頁)	'99.3.18
	・フラッシュメモリ制御レジスタ2追加(17頁、19頁、237頁～239頁)	'99.3.19
	・CPU書き換えモードの注意事項に(6)アクセス禁止を追加(240頁) ・CPU書き換えモードの注意事項に(7)アクセス方法を追加(240頁)	'99.3.19
REV.G3	・ソフトウエアウエイトを使用した場合のバスタイミング例に下記注意事項追加 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります(39頁)	'99.4.1
REV.G4	・未使用端子の処理例でCNV_{SS}端子の処理例を削除(174頁) CNV_{SS}端子は必ず使用する端子であるし、抵抗を挿入する必要があるのはワンタイムPROM版、EPROM版のみのため ・ノイズに関する注意事項を追加(177頁、178頁)	'99.4.12
	・フラッシュメモリ版　CPU書き換えモード時の注意事項　(3)使用禁止割り込み $\overline{NMI}$割り込み、監視タイマ割り込みを使用する場合の補足説明を追加	'99.4.20

改定履歴	M16C/62グループ仕様書	

改定副番	主な改定内容	改定年月日
REV.G5	・シリアルI/O　IICモード時の各機能(139頁) 「IICモード時、LSBファーストに設定してください。」を「IICモード時、MSBファーストに設定してください。」に変更。	'99.5.28
REV.H	・CNV$_{SS}$端子の機能説明(8頁) 「シングルチップモード時およびメモリ拡張モード時はV$_{SS}$端子に接続してください。マイクロプロセッサモード時はV$_{CC}$端子に接続してください。」を「リセット解除後、シングルチップモード（メモリ拡張モード）で動作を開始する場合V$_{SS}$端子に、マイクロプロセッサモードで動作を開始する場合V$_{CC}$端子に接続してください。」に変更。 ・BYTE端子の機能説明(8頁) 「シングルチップモード時は、V$_{SS}$端子に接続してください。」を「外部データバスを使用しない場合、V$_{SS}$端子に接続してください。」に変更。 ・メモリ配置図(10頁)に下記の注意事項を追加。 このメモリ配置図はPM13が“0”の場合を示しますが、M30624MG/FGだけはPM13が“1”の場合を示しています。 ・レジスタ名称およびシンボルを変更(17頁、19頁、237頁～239頁) 03B6$_{16}$番地：フラッシュメモリ制御レジスタ2(FMCR2)を フラッシュメモリ制御レジスタ1(FMR1) 03B7$_{16}$番地：フラッシュメモリ制御レジスタ(FMCR)を フラッシュメモリ制御レジスタ0(FMR0) 各ビットシンボルも変更。 (レジスタシンボルとビットシンボルが重複していたため変更) ・SFR(18頁～20頁)に下記注意事項を追加。 SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。 ・ストップモード時のポートの状態(44頁) BHEは“H”ではなく、ストップモードに入る直前の状態を保持。 ・ウエイトモード時のポートの状態(45頁) BHEは“H”ではなく、ウエイトモードに入る直前の状態を保持。 ・割り込みのレジスタ退避時の注意事項(61頁最終行) 「Uフラグが示すスタックポインタです。」を「ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。」に変更。 ・割り込み優先レベル判定回路にクロック発生回路への信号を追加(63頁) ・シリアルI/Oの内/外部クロック選択ビットを“1”(外部クロック)にする場合、対応する方向レジスタは“0”にする旨の注意事項を追加(116頁、122頁、129頁) ・メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例(174頁) BCLK出力禁止ビット(0004$_{16}$番地のビット7)を“1”にした場合、抵抗を介してV$_{CC}$に接続(プルアップ)してください。	'99.7.23

改定履歴	M16C/62グループ仕様書	

改定副番	主な改定内容	改定年月日
REV.H	・DA変換器の注意事項　1番下(183頁、197頁) 「また、A-D制御レジスタでVref未接続とした場合でも、IVREFは流れます。」を「また、DAレジスタの内容が“00”以外の場合A-D制御レジスタでVref未接続としても、I_{VREF}は流れます。」に変更。 ・M30622M4-XXXFP/GPマスク化確認書　改定 改定後のシリアル番号　GZZ-SH12-74A<82A2>	'99.7.23
REV.H1	・フラシュメモリ制御レジスタ1($03B6_{16}$番地)(238頁) ビット2とビット3の機能を入れ替え。入れ替え後の機能は下記のとおり。 ビット2・・・予約ビット(必ず“0”を設定してください) ビット3・・・フラッシュメモリ供給電源offビット(FMR13) 0：フラッシュメモリ供給電源接続 1：フラッシュメモリ供給電源off	'99.8.2
REV.H1	・ノイズに関する注意事項　(2)の1行目(178頁) 「ワンタイムPROM版、EPROM版のノイズおよびラッチアップ対策として、V_{CC}-V_{SS}ライン間へのバイパスコンデンサ挿入」を「ノイズおよびラッチアップ対策として、V_{CC}-V_{SS}ライン間へのバイパスコンデンサ挿入」に変更	'99.8.18
REV.H2	・開発中止につき、M30620FCFP/GP、M30620FCLFP/GPを削除 ・34頁　表1.12.2　拡張モード1、マイクロプロセッサモード、PM13=1のときの$\overline{CS0}$領域 06000_{16}～$\underline{B}FFFF_{16}$　→06000_{16}～$\underline{F}FFFF_{16}$	'00.10.31

改定履歴	M16C/62グループ仕様書	

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。

・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。

・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

三菱シングルチップマイクロコンピュータ
M16C / 62 グループ 仕様書　REV.H2

2000 年 11 月発行
編集　三菱電機セミコンダクタシステム株式会社
発行　三菱電機株式会社　北伊丹事業所

禁無断転載
　本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。
©2000 MITSUBISHI ELECTRIC CORPORATION