

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

M16C/39Pグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載した蛍光表示管(VFD)のコントローラ/ドライバ内蔵のシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、オーディオ機器の制御に適したマイクロコンピュータです。

VFD: Vacuum Fluorescent Display

1.1 応用

オーディオ、家電、事務機器、他

本仕様書はできる限り正確を期すように努力しておりますが、誤記がありましたときはご容赦ください。

また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

1.2 性能概要

表1.1に性能概要を示します。

表1.1 性能概要(100ピン版)

項目		性能
CPU	基本命令数	91命令
	最短命令実行時間	62.5ns(f(XIN)=16MHz、VCC1=VCC2=4.2~5.5V、ウェイトなし) 100ns(f(XIN)=10MHz、VCC1=VCC2=2.7~5.5V、ウェイトなし)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	128KB/5KB、192KB/6KB
周辺機能	ポート	入出力：53本、入力：1本
	多機能タイマ	タイマA：16ビット×3チャンネル、タイマB：16ビット×3チャンネル
	シリアルインタフェース	2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O I ² C bus (注1)
		1チャンネル IEBus (注2)
		1チャンネル クロック同期形シリアルI/O(注3)
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、18チャンネル
	DMAC	2チャンネル
	CRC演算回路	CRC-CCITT方式
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：17要因、外部：7要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
	クロック発生回路	2回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 (*発振回路には帰還抵抗内蔵 (注4))
	VFD耐圧ポート	34本
電气的特性	電源電圧(注5)	VCC1=VCC2=4.2~5.5V(*) (f(XIN)=16MHz) (*)VFDコントローラ/ドライバ使用時はVCC1=VCC2=4.5~5.5V VCC1=VCC2=2.7~5.5V(*) (f(XIN)=10MHz、ウェイトなし) (*)VFDコントローラ/ドライバ使用時はVCC1=VCC2=3.0~3.6V、4.5V~5.5V
	消費電流	10mA (VCC1=VCC2=5V、(f(XIN)=16MHz) 10mA (VCC1=VCC2=3V、(f(XIN)=10MHz、ウェイトなし) 3.8μA (VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 1.4μA (VCC1=VCC2=3V、ストップモード)
フラッシュメモリ版(注6)	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V
	プログラム、イレーズ回数	100回
動作周囲温度	-20℃~75℃	
パッケージ	100ピンプラスチックモールドQFP	

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の登録商標です。

注3. UART0はVFDコントローラ/ドライバに接続されています。

注4. CLKOUT(クロック出力機能)は、VFDコントローラ/ドライバに接続されています。

注5. VCC1=VCC2で使用してください。

14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。

注6. FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

1.3 ブロック図

図1.1にブロック図を示します。

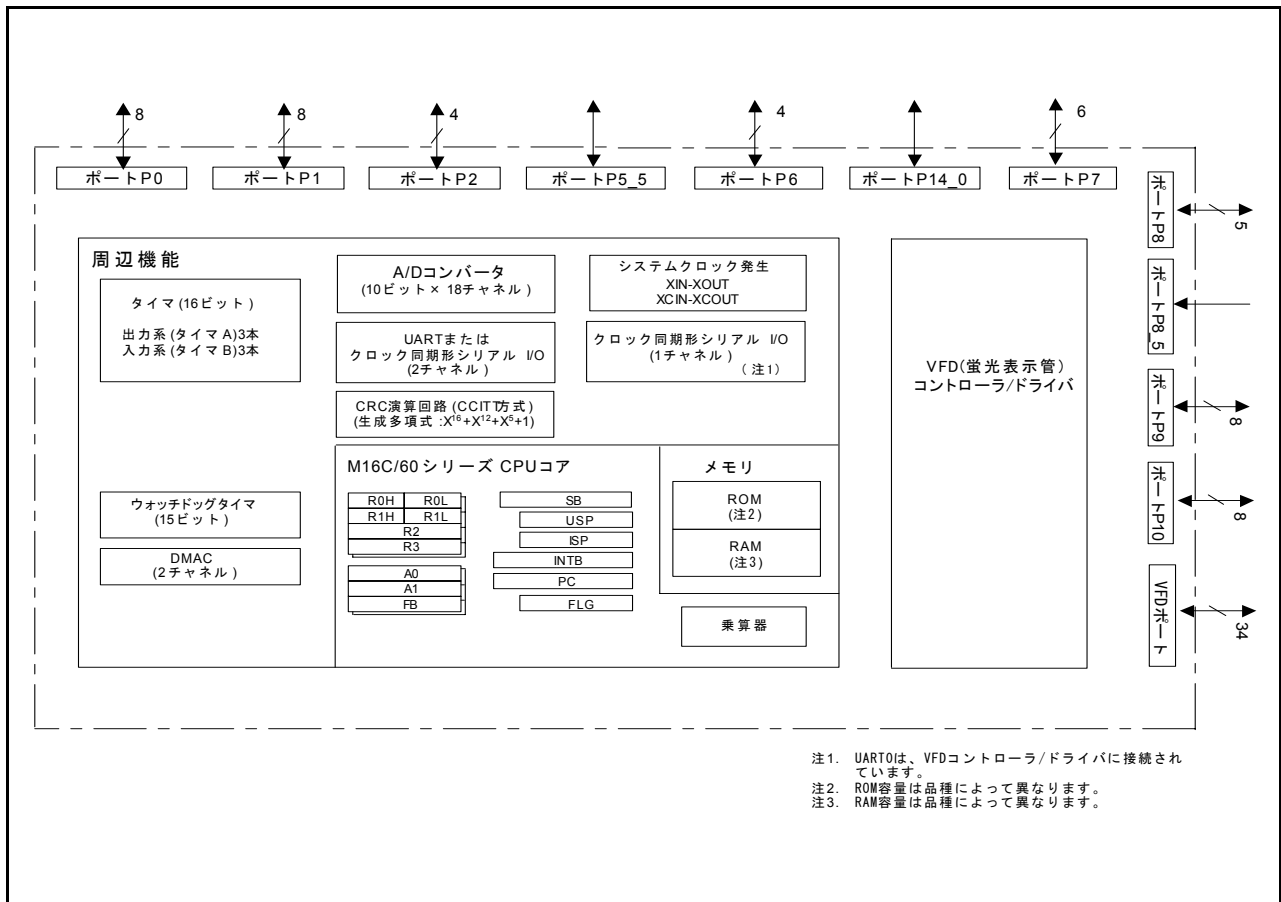


図1.1 ブロック図

1.4 製品一覧

表1.2に製品一覧表、図1.2に形名とメモリサイズ・パッケージを示します。

表1.2 製品一覧表

2005年7月現在

形名	ROM容量	RAM容量	パッケージ	備考
M30392MCP-XXXFP	128Kバイト	5Kバイト	PRQP0100JB-A	マスクROM版
M30392MEP-XXXFP	192Kバイト	6Kバイト		フラッシュメモリ版 (注2)
M30392FEPFP (開)	192Kバイト	6Kバイト		

(開) : 開発中

(計) : 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A: 100P6S-A

注2. FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

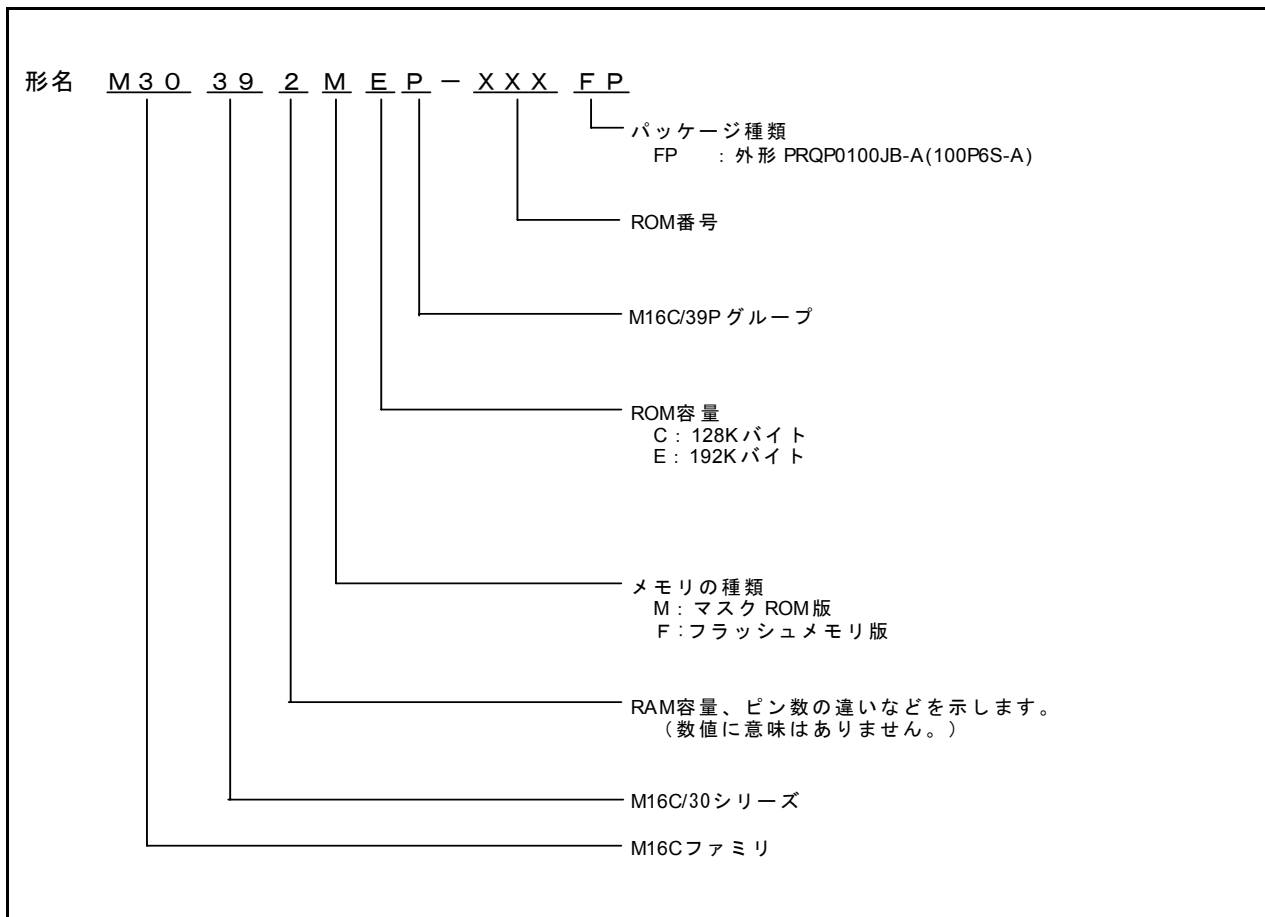


図1.2 形名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3にピン接続図（上面図）を示します。

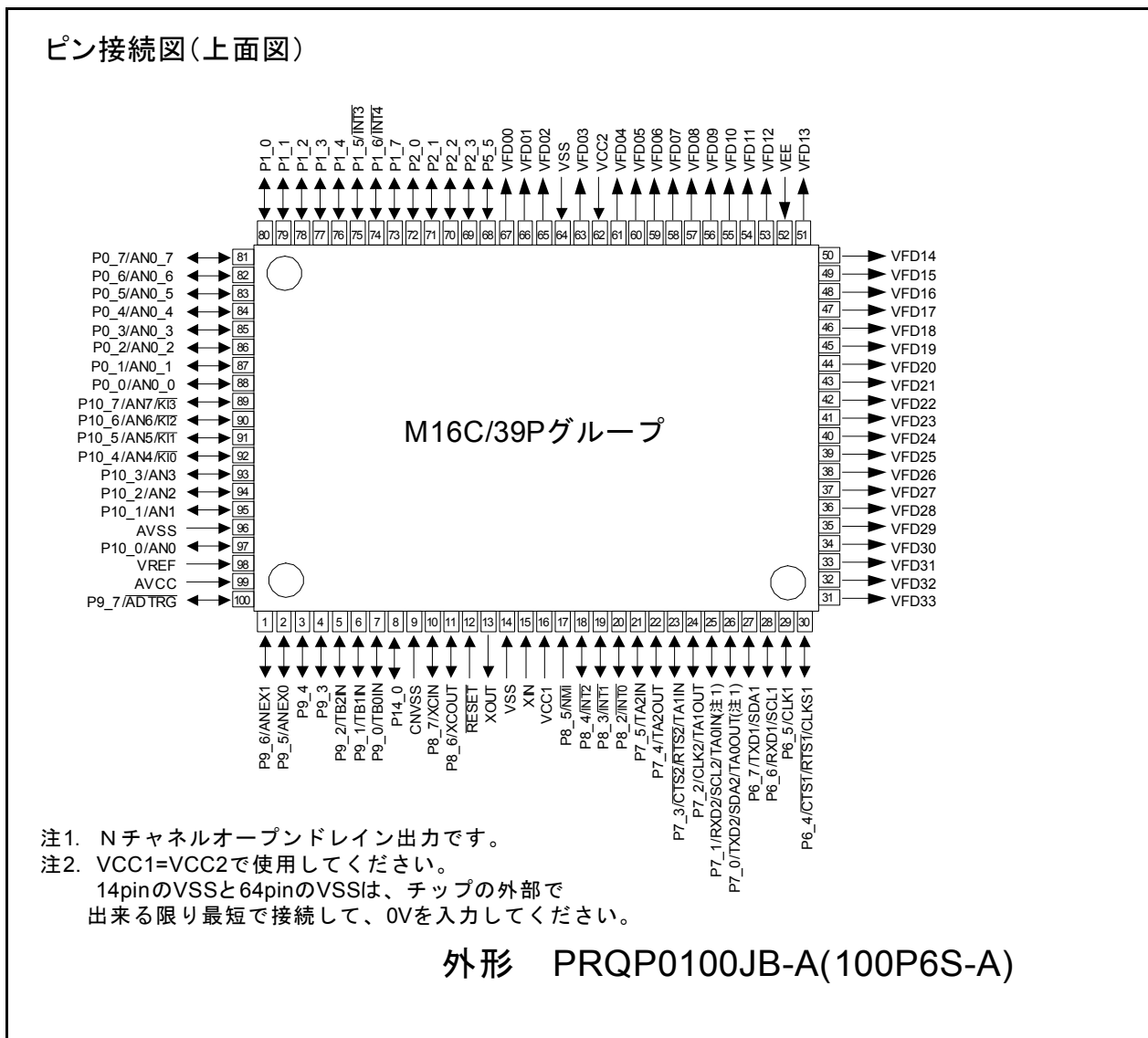


図1.3 ピン接続図(上面図)

表 1.3 端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	VFD 耐圧ポート
1		P9_6				ANEX1	
2		P9_5				ANEX0	
3		P9_4					
4		P9_3					
5		P9_2		TB2IN			
6		P9_1		TB1IN			
7		P9_0		TB0IN			
8		P14_0					
9	CNVSS						
10	XCIN	P8_7					
11	XCOU	P8_6					
12	RESET						
13	XOUT						
14	VSS						
15	XIN						
16	VCC1						
17		P8_5	$\overline{\text{NMI}}$				
18		P8_4	$\overline{\text{INT2}}$				
19		P8_3	$\overline{\text{INT1}}$				
20		P8_2	$\overline{\text{INT0}}$				
21		P7_5		TA2IN			
22		P7_4		TA2OUT			
23		P7_3		TA1IN	$\overline{\text{CTS2/RTS2}}$		
24		P7_2		TA1OUT	CLK2		
25		P7_1		TA0IN	RXD2/SCL2		
26		P7_0		TA0OUT	TXD2/SDA2		
27		P6_7			TXD1/SDA1		
28		P6_6			RXD1/SCL1		
29		P6_5			CLK1		
30		P6_4			$\overline{\text{CTS1/RTS1/CLKS1}}$		
31							VFD33
32							VFD32
33							VFD31
34							VFD30
35							VFD29
36							VFD28
37							VFD27
38							VFD26
39							VFD25
40							VFD24
41							VFD23
42							VFD22
43							VFD21
44							VFD20
45							VFD19
46							VFD18
47							VFD17
48							VFD16
49							VFD15
50							VFD14

表 1.4 端子名一覧表 (2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	VFD 耐圧ポート
51							VFD13
52	VEE						
53							VFD12
54							VFD11
55							VFD10
56							VFD09
57							VFD08
58							VFD07
59							VFD06
60							VFD05
61							VFD04
62	VCC2						
63							VFD03
64	VSS						
65							VFD02
66							VFD01
67							VFD00
68		P5_5					
69		P2_3					
70		P2_2					
71		P2_1					
72		P2_0					
73		P1_7					
74		P1_6	INT4				
75		P1_5	INT3				
76		P1_4					
77		P1_3					
78		P1_2					
79		P1_1					
80		P1_0					
81		P0_7				AN0_7	
82		P0_6				AN0_6	
83		P0_5				AN0_5	
84		P0_4				AN0_4	
85		P0_3				AN0_3	
86		P0_2				AN0_2	
87		P0_1				AN0_1	
88		P0_0				AN0_0	
89		P10_7	KI3			AN7	
90		P10_6	KI2			AN6	
91		P10_5	KI1			AN5	
92		P10_4	KI0			AN5	
93		P10_3				AN3	
94		P10_2				AN2	
95		P10_1				AN1	
96	AVSS						
97		P10_0				AN0	
98	VREF						
99	AVCC						
100		P9_7				ADTRG	

1.6 端子機能の説明

表 1.5 端子の機能説明(1)

分類	端子名	入出力	機能
電源入力	VCC1, VCC2 VSS	入力	VCC1、VCC2端子には、2.7V～5.5V(VFDコントローラ/ドライバ使用時は3.0V～3.6V、4.5V～5.5V)を入力してください。入力条件はVCC1=VCC2です。14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VSSに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT4	出力	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	NMI割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT～ TA2OUT	入出力	タイマA0～A2の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレイン)
	TA0IN～TA2IN	入力	タイマA0～A2の入力です。
タイマB	TB0IN～TB2IN	入力	タイマB0～B2の入力です。
シリアルインタフェース	CTS1, CTS2	入力	送信制御用入力です。
	RTS1, RTS2	出力	受信制御用出力です。
	CLK1, CLK2	入出力	転送クロック入出力です。
	RXD1, RXD2	入力	シリアルデータ入力です。
	TXD1, TXD2	出力	シリアルデータ出力です(ただし、TXD2の出力はNチャンネルオープンドレイン)。
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
I ² Cモード	SDA1, SDA2	入出力	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL1, SCL2	入出力	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。

表 1.6 端子の機能説明 (2)

分類	端子名	入出力	機能
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7, AN0_0~AN0_7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。
入出力ポート	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムによって4ビット単位でプルアップ抵抗の有無を選択できます。(ただし、P7_0、P7_1の出力はNチャネルオープンドレイン出力)
入力ポート	P8_5	入力	$\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認するための入力専用ポートです。
VFDポート	VFD00~VFD33	出力	VFD表示データ出力ポートです。
プルダウン電源電圧	VEE	入力	プルダウン電源電圧の入力です。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

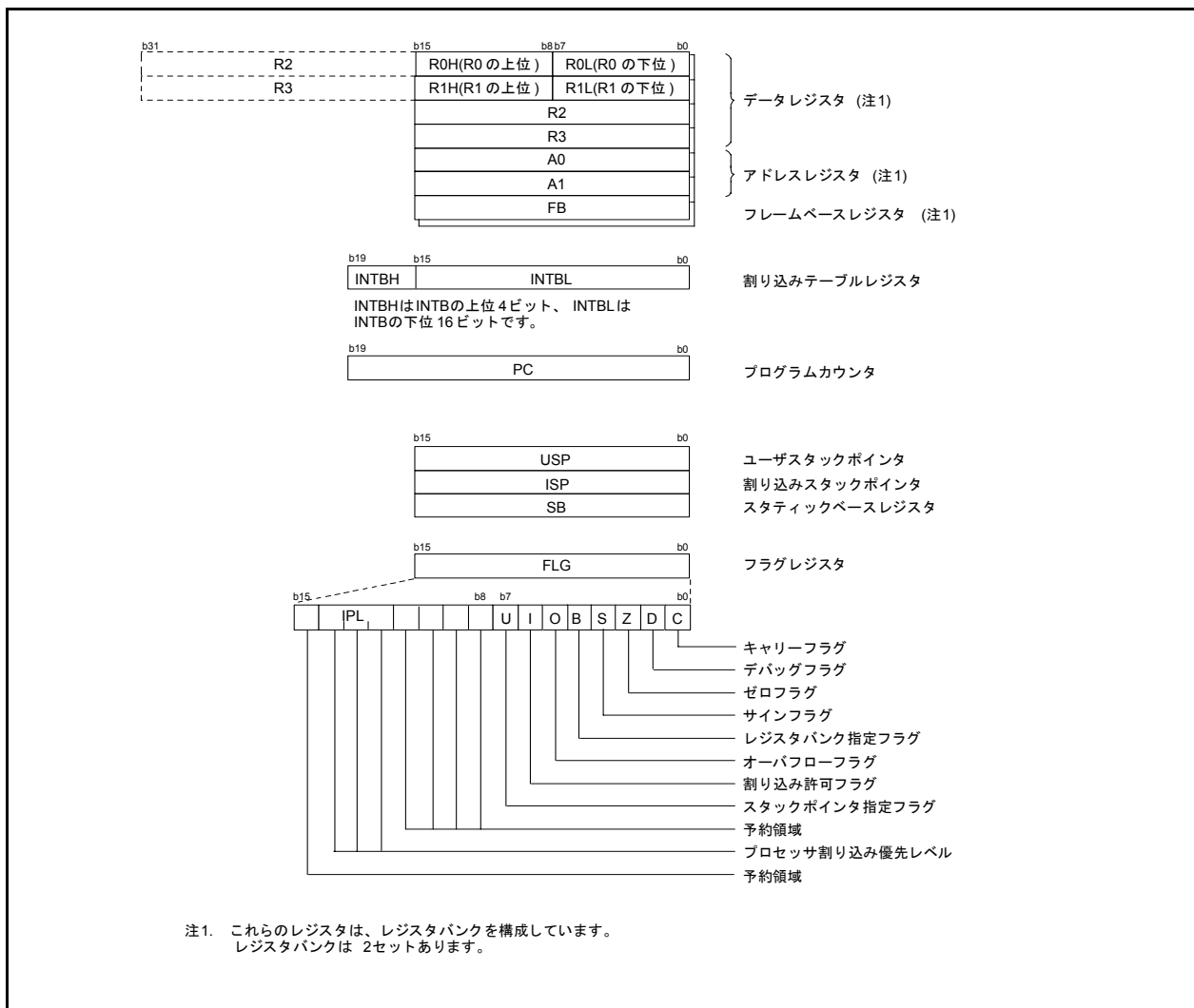


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

また、A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ (Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFh番地から下位方向に配置されます。例えば128Kバイトの内部ROMは、E0000h番地からFFFFFh番地に配置されます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば5Kバイトの内部RAMは、00400h番地から017FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDCh番地に配置されています。このベクタはJMPS 命令またはJSRS 命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

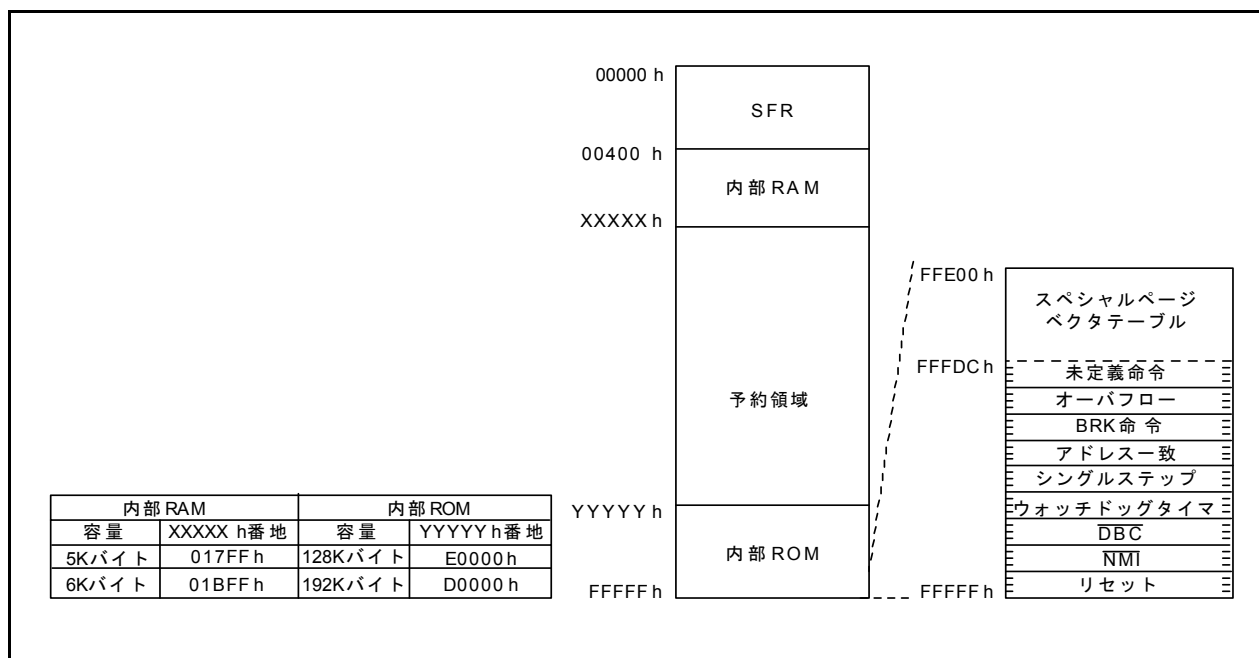


図3.1 メモリ配置

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.5にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0 (注2)	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00XXX0XXb
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h	DMA0ソースポインタ	SAR0	XXh
0021h			XXh
0022h			XXh
0023h			
0024h	DMA0ディスティネーションポインタ	DAR0	XXh
0025h			XXh
0026h			XXh
0027h			
0028h	DMA0転送カウンタ	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			
0030h	DMA1ソースポインタ	SAR1	XXh
0031h			XXh
0032h			XXh
0033h			
0034h	DMA1ディスティネーションポインタ	DAR1	XXh
0035h			XXh
0036h			XXh
0037h			
0038h	DMA1転送カウンタ	TCR1	XXh
0039h			XXh
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	00000X00b
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM00、PM01ビットはソフトウェアリセット時は変化しません。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	XX00X000b
0045h			
0046h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXXX000b
0047h			
0048h			
0049h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h			
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXXX000b
0058h			
0059h			
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0060h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ(注2)	FIDR	XXXXXX00b
01B5h	フラッシュメモリ制御レジスタ1(注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0(注2)	FMR0	XX000001b
01B8h			
01B9h			
~			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			
0260h			
~			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

X : 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	UART1特殊モードレジスタ4	U1SMR4	00h
0371h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2特殊モードレジスタ4	U2SMR4	00h
0375h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2送受信モードレジスタ	U2MR	00h
0379h	UART2転送速度レジスタ	U2BRG	XXh
037Ah	UART2送信バッファレジスタ	U2TB	XXh
037Bh			XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh	UART2受信バッファレジスタ	U2RB	XXh
037Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
0380h	カウント開始フラグ	TABSR	00XX000b
0381h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXXb
0382h	ワンショット開始フラグ	ONSF	00XX000b
0383h	トリガ選択レジスタ	TRGSR	XXXX0000b
0384h	アップダウンフラグ	UDF	XX0XX000b (注2)
0385h			
0386h	タイマA0レジスタ	TA0	XXh
0387h			XXh
0388h	タイマA1レジスタ	TA1	XXh
0389h			XXh
038Ah	タイマA2レジスタ	TA2	XXh
038Bh			XXh
038Ch			
038Dh			
038Eh			
038Fh			
0390h	タイマB0レジスタ	TB0	XXh
0391h			XXh
0392h	タイマB1レジスタ	TB1	XXh
0393h			XXh
0394h	タイマB2レジスタ	TB2	XXh
0395h			XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h			
039Ah			
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh			
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0転送速度レジスタ	U0BRG	XXh
03A2h	UART0送信バッファレジスタ	U0TB	XXh
03A3h			XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h			
03A7h			
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1転送速度レジスタ	U1BRG	XXh
03AAh	UART1送信バッファレジスタ	U1TB	XXh
03ABh			XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh	UART1受信バッファレジスタ	U1RB	XXh
03AFh			XXh
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. アップダウンフラグのビット5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
03C0h 03C1h	A/Dレジスタ0	AD0	XXh XXh
03C2h 03C3h	A/Dレジスタ1	AD1	XXh XXh
03C4h 03C5h	A/Dレジスタ2	AD2	XXh XXh
03C6h 03C7h	A/Dレジスタ3	AD3	XXh XXh
03C8h 03C9h	A/Dレジスタ4	AD4	XXh XXh
03CAh 03CBh	A/Dレジスタ5	AD5	XXh XXh
03CCh 03CDh	A/Dレジスタ6	AD6	XXh XXh
03CEh 03CFh	A/Dレジスタ7	AD7	XXh XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h 03D5h	A/D制御レジスタ2	ADCON2	XXX000X0b
03D6h	A/D制御レジスタ0	ADCON0	000X0XXXb
03D7h 03D8h	A/D制御レジスタ1	ADCON1	00000XXXb
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh	ポートP14制御レジスタ	PC14	XX00XXXXb
03DFh	プルアップ制御レジスタ3	PUR3	00h
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00X00000b
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h 03F5h	ポートP10レジスタ	P10	XXh
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	プルアップ制御レジスタ0	PUR0	00h
03FDh	プルアップ制御レジスタ1	PUR1	00h
03FEh	プルアップ制御レジスタ2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

5. 電気的特性

表5.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧 (V _{CC1} =V _{CC2})		V _{CC1} =V _{CC2} =AV _{CC}	-0.3~6.5	V
AV _{CC}	アナログ電源電圧		V _{CC1} =V _{CC2} =AV _{CC}	-0.3~6.5	V
V _I	入力電圧	RESET, CNVSS, P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0 V _{REF} , X _{IN}		-0.3~V _{CC} +0.3	V
		P7_0, P7_1		-0.3~6.5	V
V _O	出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6 P8_7, P9_0~P9_7, P10_0~P10_7, P14_0 X _{OUT}		-0.3~V _{CC} +0.3	V
		P7_0, P7_1		-0.3~6.5	V
		VFD00~VFD33		V _{CC} -45~V _{CC} +0.3	V
P _d	消費電力		T _{opr} =25℃	750	mW
T _{opr}	動作周囲温度	マイコン動作時		-20~75	℃
		フラッシュ書き込み消去時		0~60	
T _{stg}	保存温度			-65~150	℃
V _{EE}	ブルダウン電源電圧			V _{CC} -45~V _{CC} +0.3	V

表 5.2 推奨動作条件 (注1)

記号	項目	規格値			単位
		最小	標準	最大	
Vcc	電源電圧(V _{CC1} = V _{CC2}) (注2)	2.7	5.0	5.5	V
AVcc	アナログ電源電圧		Vcc		V
Vss	電源電圧		0		V
AVss	アナログ電源電圧		0		V
VEE	ブルダウン電源電圧	Vcc-45		Vcc	V
V _{IH}	"H"入力電圧 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0 XIN, RESET, CNVSS	0.8Vcc		Vcc	V
		0.8Vcc		6.5	V
V _{IL}	"L"入力電圧 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0 XIN, RESET, CNVSS	0		0.2Vcc	V
I _{OH} (peak)	"H"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0			-10.0	mA
I _{OH} (avg)	"H"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0			-5.0	mA
I _{OL} (peak)	"L"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0			10.0	mA
I _{OL} (avg)	"L"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0			5.0	mA
f (XIN)	メインクロック 入力発振周波数 (注5)	V _{CC1} =V _{CC2} =4.2V~5.5V	0	16	MHz
		V _{CC1} =V _{CC2} =2.7V~4.2V	0	$4 \times V_{CC} - 0.8$	MHz
f (XCIN)	サブクロック発振周波数		32.768	50	kHz
f (BCLK)	CPU動作周波数	0		16	MHz

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~5.5V、Topr=-20~75°Cです。

注2. VFDコントローラ/ドライバ使用時は、V_{CC1}=V_{CC2}=3.0~3.6V、4.5~5.5Vにしてください。

注3. 平均出力電流は100msの期間内での平均値です。

注4. ポートP0, P1, P2, P8_6, P8_7, P9, P10のI_{OL}(peak)の合計は80mA以下、ポートP5, P6, P7, P8_2~P8_4のI_{OL}(peak)の合計は40mA以下、ポートP0, P1, P2のI_{OH}(peak)の合計は-20mA以下、ポートP5のI_{OH}(peak)の合計は-40mA以下、ポートP6, P7, P8_2~P8_4のI_{OH}(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9のI_{OH}(peak)の合計は-40mA以下にしてください。全ポートのI_{OL}(peak)の合計およびI_{OH}(peak)の合計は80mA以下にしてください。平均出力電流はpeakの1/2にしてください。

注5. メインクロック入力周波数と電源電圧の関係を以下に示します。

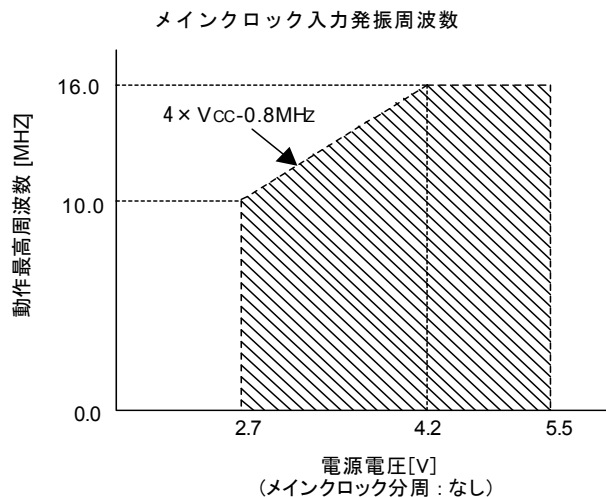


表 5.3 A/D 変換特性 (注 1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		$V_{REF} = V_{CC}$				10	Bits
INL	積分 非直線性 誤差	10bit	$V_{REF} =$ $V_{CC} =$ 5V	AN0~AN7入力、 AN0_0~AN0_7入力、 ANEX0、ANEX1入力			± 5	LSB
			$V_{REF} =$ $V_{CC} =$ 3.3V	AN0~AN7入力、 AN0_0~AN0_7入力、 ANEX0、ANEX1入力			± 7	LSB
		8bit	$V_{REF} = V_{CC} = 3.3V$				± 2	LSB
—	絶対精度	10bit	$V_{REF} =$ $V_{CC} =$ 5V	AN0~AN7入力、 AN0_0~AN0_7入力、 ANEX0、ANEX1入力			± 5	LSB
			$V_{REF} =$ $V_{CC} =$ 3.3V	AN0~AN7入力、 AN0_0~AN0_7入力、 ANEX0、ANEX1入力			± 7	LSB
		8bit	$V_{REF} = V_{CC} = 3.3V$				± 2	LSB
—	許容信号源インピーダンス					3		k Ω
DNL	微分非直線性誤差						± 2	LSB
—	オフセット誤差						± 5	LSB
—	ゲイン誤差						± 5	LSB
R _{LADDER}	ラダー抵抗		$V_{REF} = V_{CC}$		10		40	k Ω
t _{CONV}	変換時間(10bit)、サンプル&ホールド機能あり		$V_{REF} = V_{CC} = 5V$ 、 $\phi AD = 10MHz$		3.3			μs
t _{CONV}	変換時間(8bit)、サンプル&ホールド機能あり		$V_{REF} = V_{CC} = 5V$ 、 $\phi AD = 10MHz$		2.8			μs
t _{SAMP}	サンプリング時間				0.3			μs
V _{REF}	基準電圧				3.0		V _{CC}	V
V _{IA}	アナログ入力電圧				0		V _{REF}	V

注1. 指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 3.3 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_{opr} = -20 \sim 75^\circ C$ です。

注2. ϕAD の周波数は10MHz以下にしてください

注3. サンプル&ホールド機能なしのときは、注2の制限に加え ϕAD の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときは、注2の制限に加え ϕAD の周波数は1MHz以上にしてください。

表 5.4 VFD 特性

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V _{t+}	正方向 スレッシュホールド電圧		$V_{CC} = 4.5 \sim 5.5V$	0.35V _{CC}	2.6	0.7V _{CC}	V	
			$V_{CC} = 3.0 \sim 3.6V$	0.3V _{CC}	1.9	0.83V _{CC}	V	
V _{t-}	負方向 スレッシュホールド電圧		$V_{CC} = 4.5 \sim 5.5V$	0.2V _{CC}	1.8	0.55V _{CC}	V	
			$V_{CC} = 3.0 \sim 3.6V$	0.17V _{CC}	1.2	0.68V _{CC}	V	
I _{IN}	入力電流		$V_I = 0V \sim V_{CC}$			± 1	μA	
V _{OH}	"H"出力電圧	Digitとして使用時	$V_{CC} = 3.0 \sim 5.5V$	I _{OH} = -18mA	V _{CC} -2		V	
		Segment or LED用として使用 時	$V_{CC} = 3.0 \sim 5.5V$	I _{OH} = -5mA	V _{CC} -2		V	
R _d	出力プルダウン抵抗		$V_p = V_{CC} - 45V$ 、 $V_o = V_{CC}$		47	70	130	k Ω
I _{CC}	正電源電流		$V_I = 0V$ 、出力端子開放 $V_p = V_{CC} - 45V$				100	μA
			出力端子開放、 出力 = "H"、クロック停止、 $V_p = V_{CC} - 45V$				45	mA
I _p	負電源電流		出力端子開放、 出力 = "H"、クロック停止、 $V_p = V_{CC} - 45V$				40	mA

注1. 指定のない場合は、 $T_a = -20 \sim 75^\circ C$ 、 $V_{CC} = 4.5 \sim 5.5V$ または $3.0 \sim 3.6V$

表5.5 フラッシュメモリの電気的特性(注1、6)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3)	100			回
-	ワードプログラム時間($V_{CC1}=5.0V$ 、 $T_{opr}=25^{\circ}C$)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 ($V_{CC1}=5.0V$ 、 $T_{opr}=25^{\circ}C$)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間(注2)			$4 \times n$	s
tps	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注4)	10			年

注1. 指定のない場合は、 $V_{CC1}=4.5\sim 5.5V$ 、 $3.0\sim 3.6V$ 、 $T_{opr}=0\sim 60^{\circ}C$ です。

注2. nはイレーズするブロック数です。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回($n=100$)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. $T_{opr}=-20\sim 75^{\circ}C$ の条件です。

注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

注6. FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

表5.6 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性($T_{opr}=0\sim 60^{\circ}C$)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
$V_{CC1}=3.3\pm 0.3V$ または $5.0\pm 0.5V$	$V_{CC1}=2.7\sim 5.5V$

表 5.7 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	Vcc=2.7 ~5.5V			2	ns
td(R-S)	STOP解除時間				1500	μs
td(W-S)	低消費電力モードウェイトモード解除時間				1500	μs

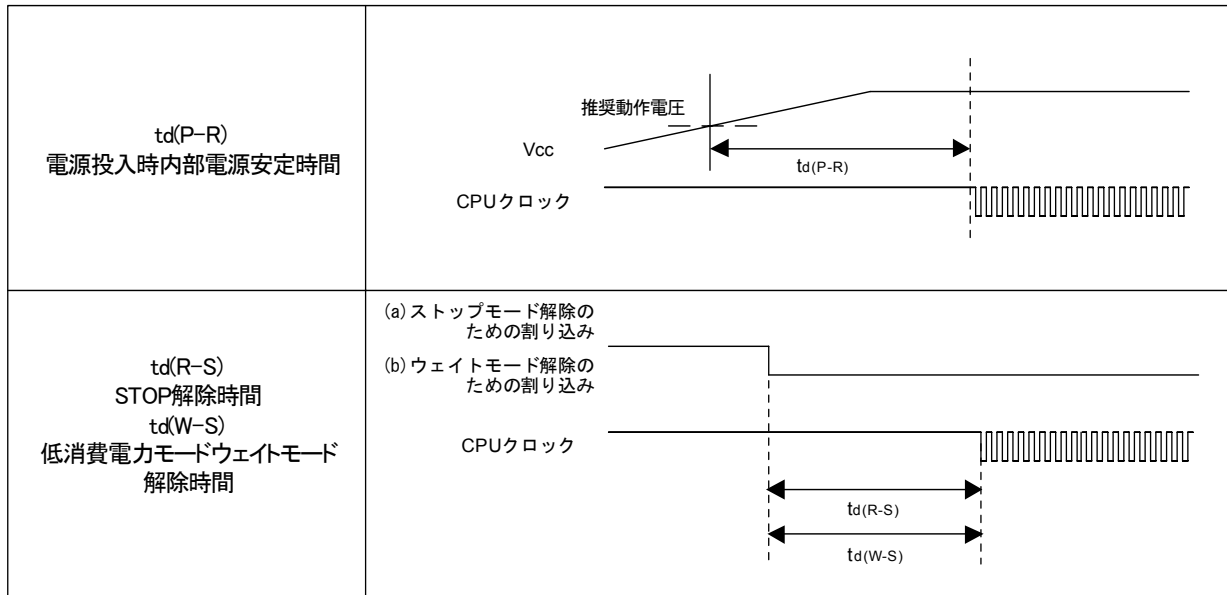


図 5.1 電源回路のタイミング図

$$V_{CC1} = V_{CC2} = 5V$$

表 5.8 電気的特性(1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OH} =-5mA	V _{CC} -2.0		V _{CC}	V
V _{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OH} =-200 μA	V _{CC} -0.3		V _{CC}	V
V _{OH}	"H"出力電圧	XOUT	HIGHPOWER			V _{CC}	V
			LOWPOWER	I _{OH} =-1mA	V _{CC} -2.0	V _{CC}	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5	V
			LOWPOWER	無負荷時		1.6	
V _{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OL} =5mA			2.0	V
V _{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5 P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OL} =200 μA			0.45	V
V _{OL}	"L"出力電圧	XOUT	HIGHPOWER			2.0	V
			LOWPOWER	I _{OL} =1mA		2.0	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス	TA0IN~TA2IN, TB0IN~TB2IN, INT0~INT4, NMI, ADTRG, CTS1, CTS2, CLK1, CLK2, TA0OUT~TA2OUT, K10~K13, RXD1~RXD2, SCL1, SCL2, SDA1, SDA2		0.2		1.0	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		2.5	V
V _{T+} -V _{T-}	ヒステリシス	XIN		0.2		0.8	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0, XIN, RESET, CNVSS	V _I =5V			5.0	μA
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0, XIN, RESET, CNVSS	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	V _I =0V	30	50	170	kΩ
R _{IXIN}	帰還抵抗	XIN			1.5		MΩ
R _{IXCIN}	帰還抵抗	XCIN			15		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、T_{opr}=-20~75°C、f(BCLK)=16MHzです。

$$V_{CC1} = V_{CC2} = 5V$$

表 5.9 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 (V _{CC1} =4.2~5.5V)	シングルチップモードで、 出力端子は開放、その他の 端子はV _{SS}	マスクROM	f(BCLK)=16MHz 分周なし	10		mA
			フラッシュメモリ	f(BCLK)=16MHz 分周なし	18		mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =5.0V	15		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz V _{CC1} =5.0V	25		mA
			マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注2)	27		μA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注2)	27		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注2)	422		μA
			マスクROM フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注3) 発振能力 High	9.5		μA
				f(BCLK)=32kHz ウェイトモード時(注3) 発振能力 Low	4		μA
				ストップモード時 T _{opr} =25°C	1.5		μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、T_{opr}=-20~75°C、f(BCLK)=16MHzです。

注2. 実行するプログラムが存在するメモリを示す。

注3. fC32iにてタイマ1本を動作させている状態です。

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.10 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	25		ns
$t_{w(L)}$	外部クロック入力 "L"パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.11 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	40		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	40		ns

表 5.12 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	200		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	200		ns

表 5.13 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表 5.14 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表 5.15 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表 5.16 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TA\ IN-TA\ OUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TA\ Out-TA\ IN)$	TAiIN入力セットアップ時間	200		ns

$$V_{CC1} = V_{CC2} = 5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.17 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN 入力サイクル時間 (片エッジカウント)	100		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅 (片エッジカウント)	40		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅 (片エッジカウント)	40		ns
$t_c(TB)$	TBiIN 入力サイクル時間 (両エッジカウント)	200		ns
$t_w(TBH)$	TBiIN 入力 "H" パルス幅 (両エッジカウント)	80		ns
$t_w(TBL)$	TBiIN 入力 "L" パルス幅 (両エッジカウント)	80		ns

表 5.18 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	200		ns

表 5.19 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	400		ns
$t_w(TBH)$	TBiIN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiIN入力 "L" パルス幅	200		ns

表 5.20 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	ADTRG入力サイクル時間 (トリガ可能最小)	1000		ns
$t_w(ADL)$	ADTRG入力 "L" パルス幅	125		ns

表 5.21 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	100		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表 5.22 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力 "H" パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力 "L" パルス幅	250		ns

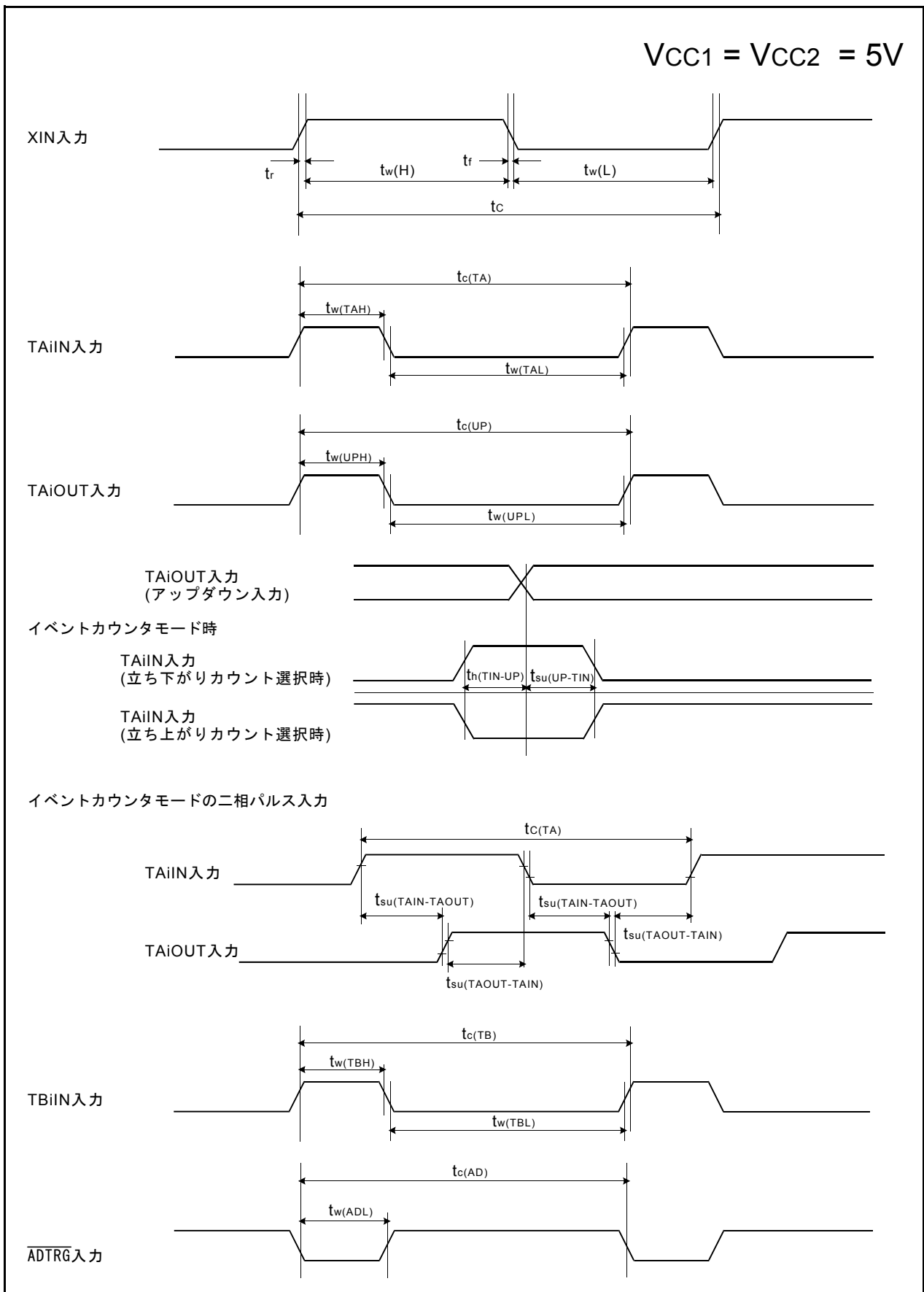


図5.2 タイミング図(1)

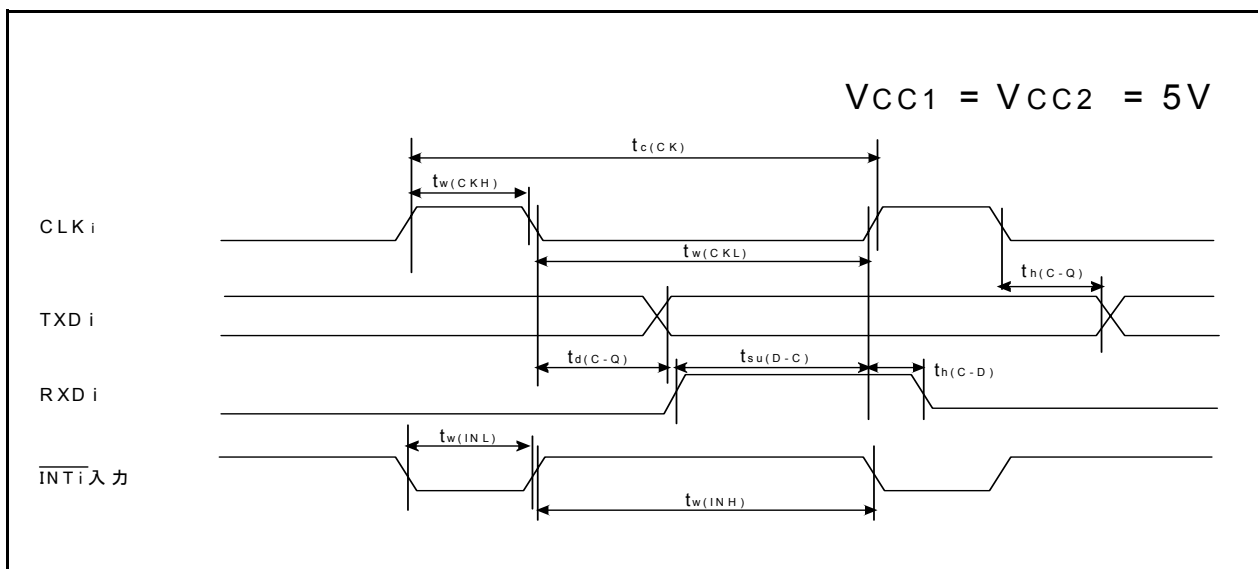


図5.3 タイミング図(2)

$$V_{CC1} = V_{CC2} = 3V$$

表 5.23 電気的特性(1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OH} =-1mA	V _{CC} -0.5		V _{CC}	V
V _{OH}	"H"出力電圧	XOUT	HIGHPOWER	V _{CC} -0.5		V _{CC}	V
			LOWPOWER	I _{OH} =-50 μ A	V _{CC} -0.5	V _{CC}	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5	V
			LOWPOWER	無負荷時		1.6	
V _{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	I _{OL} =1mA			0.5	V
V _{OL}	"L"出力電圧	XOUT	HIGHPOWER			0.5	V
			LOWPOWER	I _{OL} =50 μ A		0.5	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス	TA0IN~TA2IN, TB0IN~TB2IN, INT0~INT4, NMI, ADTRG, CTS1, CTS2, CLK1, CLK2, TA0OUT~TA2OUT, K10~K13, RXD, RXD2, SCL1, SCL2, SDA1, SDA2		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2	(0.7)	1.8	V
V _{T+} -V _{T-}	ヒステリシス	XIN		0.2		0.8	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0, XIN, RESET, CNVSS	V _I =3V			4.0	μ A
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_0~P7_5, P8_2~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0, XIN, RESET, CNVSS	V _I =0V			-4.0	μ A
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_3, P5_5, P6_4~P6_7, P7_2~P7_5, P8_2, P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0	V _I =0V	50	100	500	k Ω
R _{IXIN}	帰還抵抗	XIN			3.0		M Ω
R _{IXCIN}	帰還抵抗	XCIN			25		M Ω
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}=-20~75 $^{\circ}$ C、f(BCLK)=10MHz、ウェイトなしです。

$$V_{CC1} = V_{CC2} = 3V$$

表 5.24 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 (V _{CC1} =2.7~3.6V)	シングルチップモードで、 出力端子は開放、その他の 端子は V _{SS}	マスクROM	f(BCLK)=10MHz、0ウェイト 分周なし		10		mA
			フラッシュメモリ	f(BCLK)=10MHz、0ウェイト 分周なし		10		mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =3.0V		12		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz V _{CC1} =3.0V		22		mA
			マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注2)		27		μA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注2)		27		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注2)		422		μA
			マスクROM フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注3) 発振能力 High		8.0		μA
				f(BCLK)=32kHz ウェイトモード時(注3) 発振能力 Low		3.8		μA
				ストップモード時 T _{opr} =25°C		1.4		μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}=-20~75°C、f(BCLK)=10MHz、ウェイトなしです。

注2. 実行するプログラムが存在するメモリを示す。

注3. fC32にてタイマ1本を動作させている状態です。

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.25 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.26 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	60		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	60		ns

表 5.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	300		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	300		ns

表 5.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表 5.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	150		ns

表 5.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su}(UP-TiN)$	TAiOUT入力セットアップ時間	600		ns
$t_h(TiN-UP)$	TAiOUT入力ホールド時間	600		ns

表 5.31 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

$$V_{CC1} = V_{CC2} = 3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 75^{\circ}C$)

表 5.32 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間 (片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅 (片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅 (片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間 (両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅 (両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅 (両エッジカウント)	120		ns

表 5.33 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅	300		ns

表 5.34 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅	300		ns

表 5.35 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG 入力サイクル時間 (トリガ可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG 入力 "L" パルス幅	200		ns

表 5.36 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	150		ns
$t_{d(C-Q)}$	TXDi 出力遅延時間		160	ns
$t_{h(C-Q)}$	TXDi ホールド時間	0		ns
$t_{su(D-C)}$	RXDi 入力セットアップ時間	100		ns
$t_{h(C-D)}$	RXDi 入力ホールド時間	90		ns

表 5.37 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力 "H" パルス幅	380		ns
$t_{w(INL)}$	\overline{INTi} 入力 "L" パルス幅	380		ns

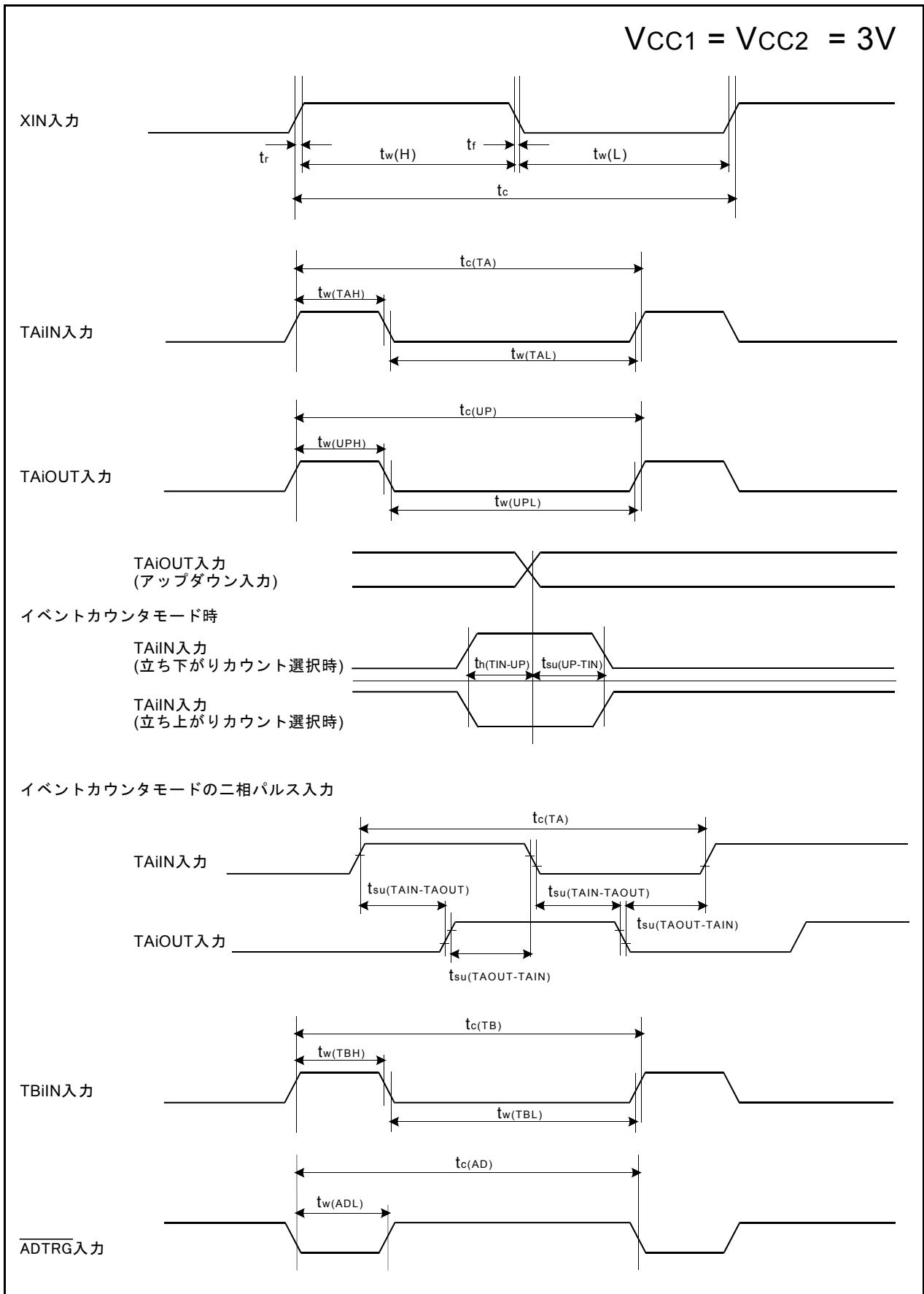


図5.4 タイミング図(1)

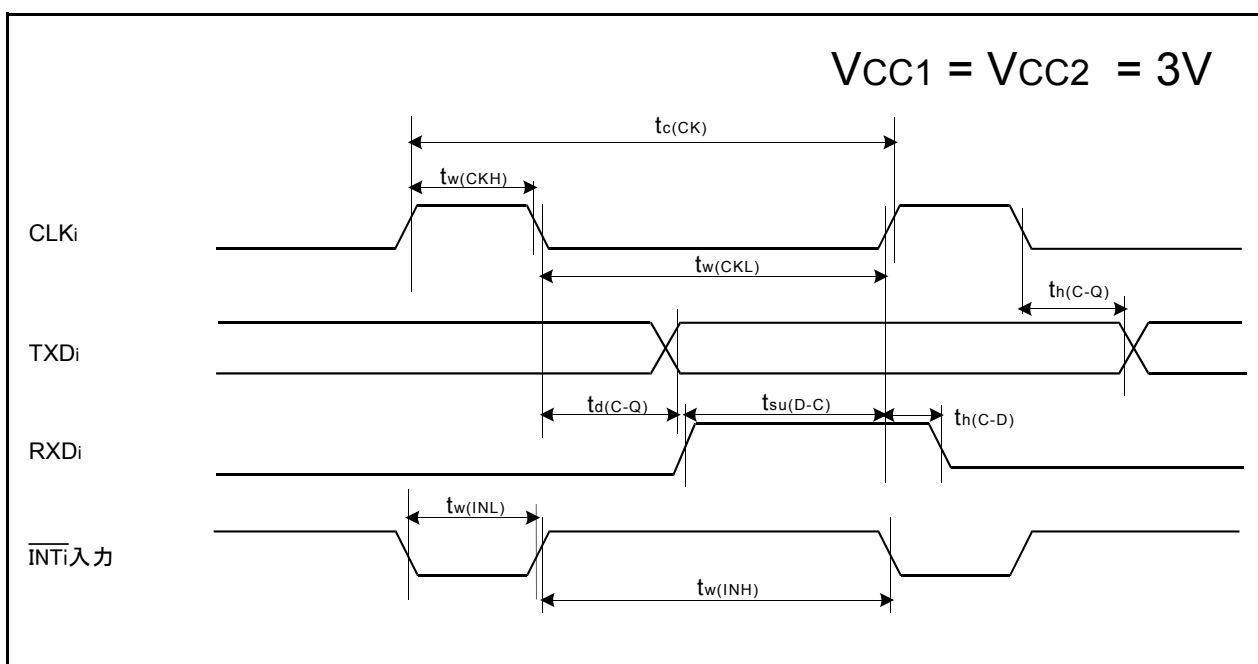


図 5.5 タイミング図(2)

表5.38 VFDコントローラ/ドライバタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tc	クロックサイクル時間	VFD_SCK	500			ns
		VFD_XIN	500			
tWH	クロック"H"パルス幅	VFD_SCK	230			ns
		VFD_XIN	230			
tWL	クロック"L"パルス幅	VFD_SCK	230			ns
		VFD_XIN	230			
tsu(D)	VFD_SDATA セットアップ時間		130			ns
th(D)	VFD_SDATA ホールド時間		100			ns
tsu(VFD_CS)	VFD_CS セットアップ時間		0			ns
th(VFD_CS)	VFD_CS ホールド時間		100			ns
trec	VFD_RESET リカバリ時間		400			ns
tVFD_reset	VFD_RESET "L"パルス幅		400			ns
tBUSY	内部処理時間				3	1/fosc

表5.39 VFDコントローラ/ドライバ発振特性

記号	項目	測定条件	推奨設定範囲	単位
fosc	推奨発振周波数設定値		250 ~ 20000	kHz

注1. 標準条件の時に上記範囲内に収まるよう、R、C値を設定してください。

注2. 指定のない場合は、 $T_a = 25^\circ\text{C}$ 、 $V_{cc} = 5.0\text{V}$ または 3.0V

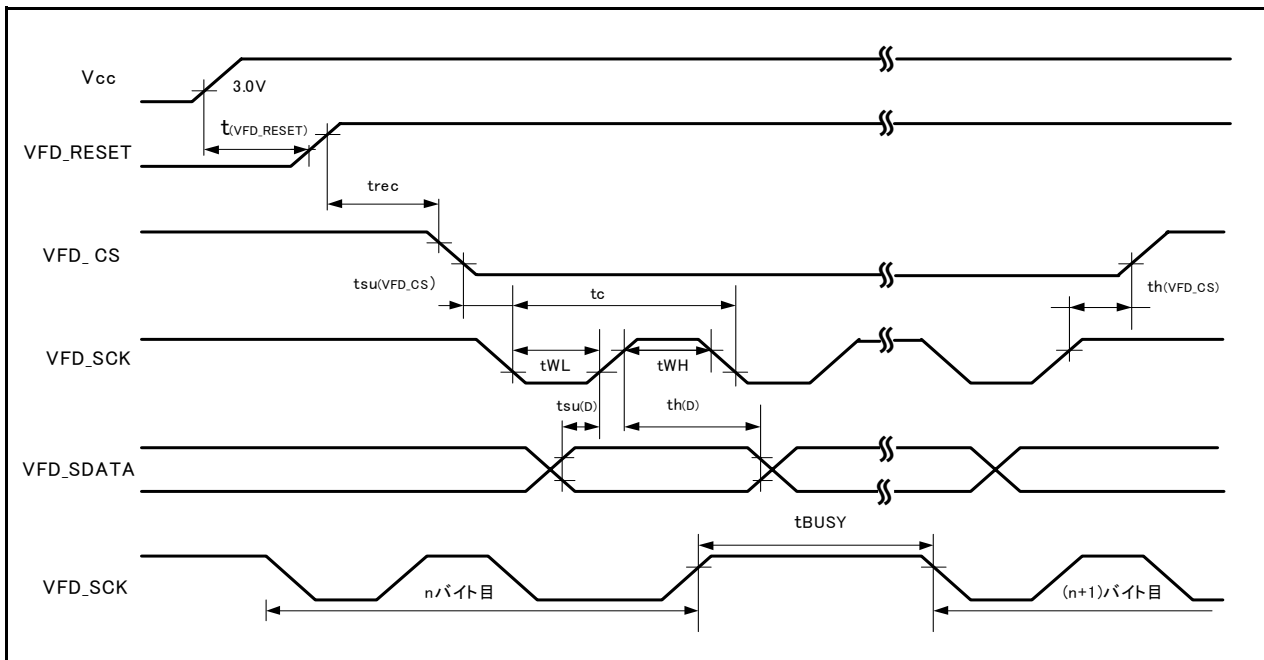
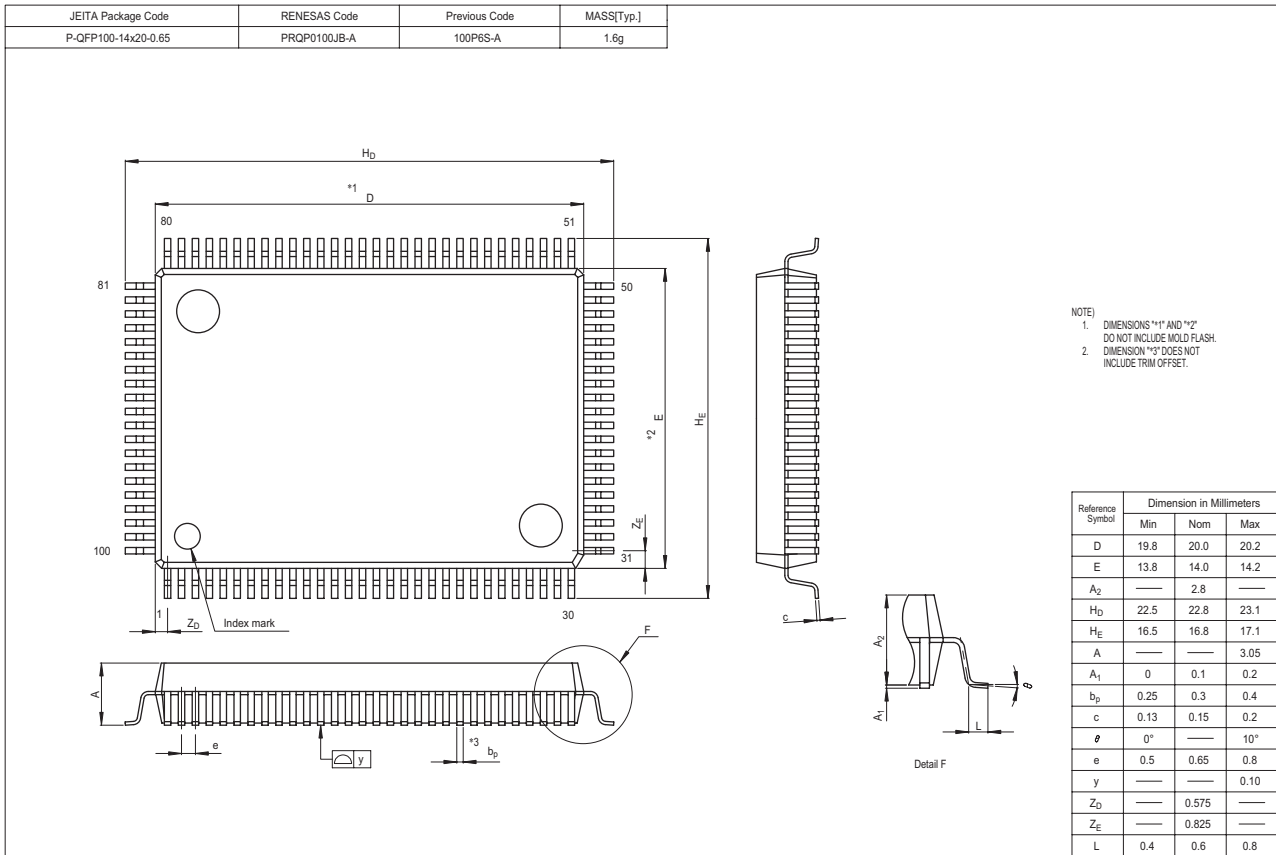


図5.6 VFDコントローラ/ドライバタイミング図

付録1. 外形寸法図



改訂記録

M16C/39P グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.72	2004.12.01	-	Rev.0.72 初版発行
0.73	2005.02.07	4	製品一覧表修正
		18~	電気的特性 フラッシュメモリ版の項目を追加
		-	Rev.0.73 発行
0.74	2005.02.15	20	表 5.3 A/D 変換特性の注 2. を修正 「 ϕ AD の周波数 10MHz に…」 → 「 ϕ AD の周波数 12MHz に…」 に修正 「また、Vcc1 が 4.0V 未満の場合は fAD を分周し、 ϕ AD の周波数は 10MHz 以下にしてください。」を追加
		-	Rev.0.74 発行
0.80	2005.03.31	1	1. 概要 「…通信機器、産業機器の…」 → 「…通信機器、オーディオ機器の…」に変更 1.1 応用 「産業機器」を削除
		2	表 1.1 性能概要 フラッシュメモリ版の項目を追加 プログラム、イレーズ電圧 3.0 \pm 0.3V または 5.0 \pm 0.5V プログラム、イレーズ回数 100回 電源電圧に VFD コントローラ/ドライバ使用時の値を追加 3V 時の消費電流測定条件を f(XIN)=10MHz、ウェイトなし、10mA に変更
		4	表 1.2 製品一覧表 空欄を削除 図 1.2 型名とメモリサイズ・パッケージ ROM 容量から「A : 96K バイト」を削除
		5	表 1.3 フラッシュメモリ版の製品コードを追加 図 1.3 フラッシュメモリ版のマーキング図を追加
		8	表 1.5 端子の機能説明(1) 電源入力に「(VFD コントローラ/ドライバ使用時は 3.0~3.6V、4.5~5.5V)」を追加
		9	表 1.6 端子の機能説明(2) 入出力ポートの機能に、「(ただし、P7_0、P7_1 の出力は N チャンネル オープンドレイン出力)」を追加
		19	表 5.2 推奨動作条件 注 2. の追加 (VFD コントローラ/ドライバ使用時の電源電圧)
		20	表 5.3 A/D 変換特性 注 2. 「 ϕ AD の周波数は 12MHz 以下にしてください。また、VCC1…」 → 「 ϕ AD の周波数は 10MHz 以下にしてください。」に修正
		21	表 5.5 フラッシュメモリの電気的特性 表タイトル、プログラム、イレーズ回数 注意書きの修正
		24	表 5.9 電気的特性(2) 5V 時 フラッシュメモリ消費電流規格値を追加

改訂記録		M16C/39P グループデータシート	
Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2005.03.31	30	表 5.23 電気的特性(1) 3V時のマスクROM消費電流測定条件「10MHz、1ウェイト、分周なし 7mA」→「10MHz、0ウェイト、分周なし 10mA」に変更
		31	表 5.24 電気的特性(2) 3V時 フラッシュメモリ消費電流規格値を追加
		-	【M16C/30P Rev.0.80修正対応】 2ページ 表 1.1 性能概要 IEBusを1チャンネルに修正 4ページ 図 1.2 形名とメモリサイズ・パッケージ 「M16C/39Pグループ」を追加
		-	Rev.0.80発行
1.00	2005.09.20	5	フラッシュメモリ版の製品コードを削除 フラッシュメモリ版のマーキング図を削除
		-	2ページ 表 1.1 5ページ 図 1.3 8ページ 表 1.5 「14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。」の記載を追加。
		4	表 1.2 製品一覧表 パッケージ型名を新パッケージ型名に変更
		4	図 1.2 型名とメモリサイズ・パッケージ パッケージ型名を新パッケージ型名に変更
		5	図 1.3 ピン接続図 パッケージ型名を新パッケージ型名に変更
		6、7	表 1.3、表 1.4 端子名一覧表を追加
		19	注 4. に記載追加 全ポートのIOL(peak)の合計およびIOH(peak)の合計は80mA以下にしてください。
		20	表 5.4 VFD特性 Digitとして使用時 Vcc=3.0~5.5V IOH=-18mA VOH>=VCC-2.0V Segment or LEDとして使用時 Vcc=3.0~5.5V IOH=-5mA VOH>=-VCC-2.0Vに変更
		38	外形寸法図を変更
		-	2ページ 性能概要 4ページ 製品一覧表 21ページ フラッシュメモリの電気的特性 フラッシュメモリ版の注意書きを追加
		-	Rev.1.00発行

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に第1にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京		社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	業	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■ 技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com