広 V_{IN} 範囲、500mA 同期整流型降圧レギュレータ

ISL85415

ISL85415 は、入力電圧範囲 3V ～ 36V の 500mA 同期整流型降圧レギュレータです。使いやすく、高効率で、部品点数を低減できるので、さまざまなアプリケーションに適しています。

ISL85415はハイサイドおよびローサイドNチャネルMOSFETを内蔵し、軽負荷時の効率向上のためのパルス周波数変調(PFM) モードを備えています。強制 PWM モードが必要な場合には、PFM モードはディスエーブルになります。ISL85415はデフォルトのスイッチング周波数500kHzで動作しますが、外付けの抵抗を使用してスイッチング周波数を 300kHz ～ 2MHz に設定することもできます。ISL85415 では、内蔵補償回路、外付け補償回路のどちらでも使用できます。N チャネル MOSFET の内蔵および内蔵補償回路を使用する選択肢により、最小限の外付け部品で回路を構成して、部品点数削減、設計の簡素化を図ることができます。

ISL85415 は優れた性能をもつとともに、広い入力電圧範囲と、少ない部品点数で回路を構成できる特長を生かして、さまざまなアプリケーション向けに使いやすいソリューションを提供します。高電圧の産業用機器アプリケーション向けに堅牢性の高い設計を可能にするとともに、バッテリ動作のデバイスに適した高効率ソリューションを提供します。

ISL85415 は小型の 4mmx3mm 鉛フリー DFN プラスチック・パッケージで提供され、動作温度範囲は-40°C～+125°Cです。

関連ドキュメント

- AN1859 「ISL85415EVAL1Z, ISL85415AE VAL1Z Wide V_{IN} 500mA Synchronous Buck Regulator」を参照してください。

特長

- 広い入力電圧範囲 : 3V ～ 36V
- 高効率同期整流型レギュレータ
- 外付け補償回路不要
- ハイサイドおよびローサイド N チャネル MOSFET を内蔵
- 軽負荷時、PFM モードまたは強制 PWM モードを選択可能
- 内蔵の500kHz固定のスイッチング周波数または300kHz～2MHz に設定可能なスイッチング周波数
- 最大 500mA の連続出力電流
- 内蔵ソフトスタート回路または外付けソフトスタート回路を選択可能
- 最小限の外付け部品で回路を構成
- パワーグッド機能およびイネーブル機能

アプリケーション

- 産業用制御機器
- 医療機器
- 携帯用計測器
- 分散型電源
- クラウドインフラ

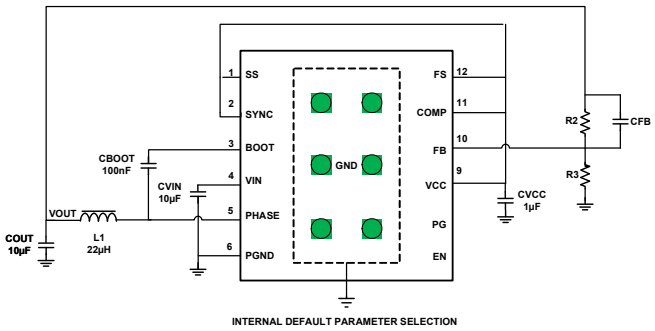


図 1. アプリケーション回路例

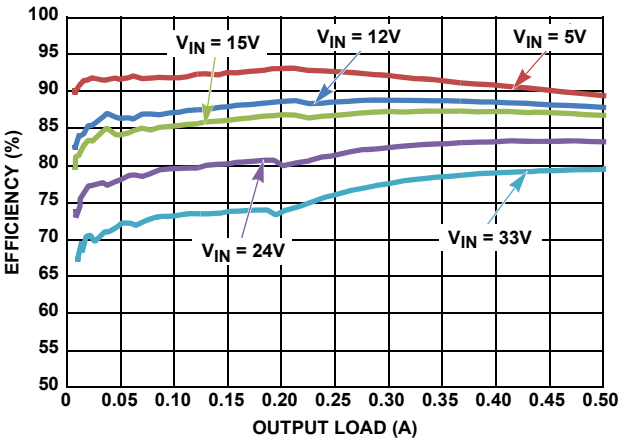


図 2. 効率 vs 負荷電流、PFM、V_{OUT} = 3.3V

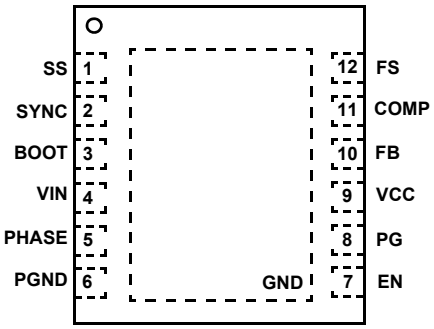
注意：本データシート記載のデバイスは静電気に対して敏感です。適切な取り扱いを行ってください。
Copyright Intersil Americas LLC 2013. All Rights Reserved
Intersil、Intersil ロゴは Intersil Corporation または関連子会社が権利を保有しています。
そのほかの企業名や製品名などの商標はそれぞれの権利所有者に帰属します。

目次

アプリケーション回路例 **4**
絶対最大定格 **6**
温度情報 **6**
推奨動作条件 **6**
電気的特性 **6**
効率曲線 **8**
効率曲線 **10**
代表的な性能特性 **12**
詳細説明 **17**
パワーオン・リセット 17
ソフトスタート 17
パワーグッド 17
PWM 制御方式 17
軽負荷時の動作 17
出力電圧の選択 18
保護機能 **18**
過電流保護 18
逆電流保護 18
過熱保護 19
ブートストラップ・アンダーボルテージ保護 19
アプリケーション・ガイドライン **19**
設計の簡素化 19
動作周波数 19
外部同期調整 19
出力インダクタの選択 19
降圧レギュレータの出力コンデンサの選択 19
ループ補償の設計 20
レイアウトに関する考慮事項 21
改訂履歴 **23**
インターシルについて **23**
パッケージ寸法図 **24**

ピン配置

ISL85415
(12 LD 4X3 DFN)
TOP VIEW



ピンの説明

ピン番号	ピン名称	ピンの説明
1	SS	SS ピンで、出力のソフトスタートのランプ時間を調整します。SS ピンとグラウンドの間の 1 つのコンデンサで出力のランプレートが決まります。ソフトスタートの詳細は、17 ページの「ソフトスタート」を参照してください。SS ピンを VCC に接続すると、2ms の内蔵ソフトスタート回路が使用されます。
2	SYNC	同期信号入力および軽負荷動作モード選択入力。PWM モードに設定するには、SYNC ピンに High レベルを与えるか VCC に接続します。PFM モードに設定するには、SYNC ピンに Low レベルを与えるかグラウンドに接続します。Low レベルを設定することにより、PFM モードまたは PWM モードを自動的に選択できるようになります。SYNC ピンに外部クロックを与えると立ち上がりエッジをトリガとして外部同期が行われます。同期信号の周波数は、設定される IC の周波数より高くする必要があります。SYNC ピンが開放のときにステートが不定にならないように、5MΩ のプルダウン抵抗が内蔵されています。
3	BOOT	パワー MOSFET ゲートドライバ用のフローティング・ブートストラップ電源ピン。ブートストラップ・コンデンサは、内蔵 N チャネル MOSFET をターンオンするのに必要な充電を行います。このピンと PHASE の間に 100nF 外付けコンデンサを接続してください。
4	VIN	レギュレータのパワー段用およびバイアス電圧を供給する内蔵リニア・レギュレータ用の入力電源。デカップリング用に 4.7µF 以上のセラミック・コンデンサを IC の近くに配置し、VIN と GND の間に接続してください。
5	PHASE	スイッチ・ノード出力。スイッチング FET に接続されており、外付け出力インダクタをこのピンに接続します。
6	PGND	電源グラウンド。システムのグラウンド層に直接接続してください。
7	EN	レギュレータのイネーブル入力。このピンをグラウンドにプルダウンすると、レギュレータとバイアス電圧を供給する LDO はオフになります。このピンの電圧が 1V を上回ると、チップはイネーブルになります。自動的にスタートアップするには、このピンを VIN に接続します。LDO は EN 電圧で制御されるので、EN ピンを VCC に接続しないでください。
8	PG	オープン・ドレイン出力のパワーグッド信号です。出力電圧がレギュレーション・リミットより低いときとソフトスタート期間中は Low になります。プルアップ抵抗 5MΩ を内蔵しています。
9	VCC	バイアス電圧を供給する内蔵 5V リニア・レギュレータの出力。1µF のセラミック・コンデンサで PGND に対してデカップリングしてください。
10	FB	帰還入力ピン。FB は電圧ループ誤差アンプの反転入力です。COMP は誤差アンプの出力です。出力電圧は、FB に接続された外付け抵抗分圧回路によって設定されます。また、PWM レギュレータのパワーグッドおよびアンダーボルテージ・ロックアウト (UVLO) 回路では、FB を使用してレギュレータの出力電圧をモニタリングします。
11	COMP	COMP は誤差アンプの出力です。COMP ピンを VCC に接続すると、内蔵補償回路を使用します。COMP ピンからグラウンドに RC 回路を接続した場合のみ、外付け補償回路が使用されます。詳細は、20 ページの「ループ補償の設計」を参照してください。
12	FS	スイッチング周波数設定ピン。スイッチング周波数を 500kHz に設定するには、VCC に接続してください。スイッチング周波数を 300kHz ～ 2MHz に設定するには、グラウンドとの間に抵抗を接続してください。
EPAD	GND	シグナル・グラウンド。少なくとも 5 つのビアを介して実装基板のグラウンド層に接続します。すべての電圧レベルが、このピンを基準に測定されています。エキスポーズド・パッドを開放のままにしないでください。

アプリケーション回路例

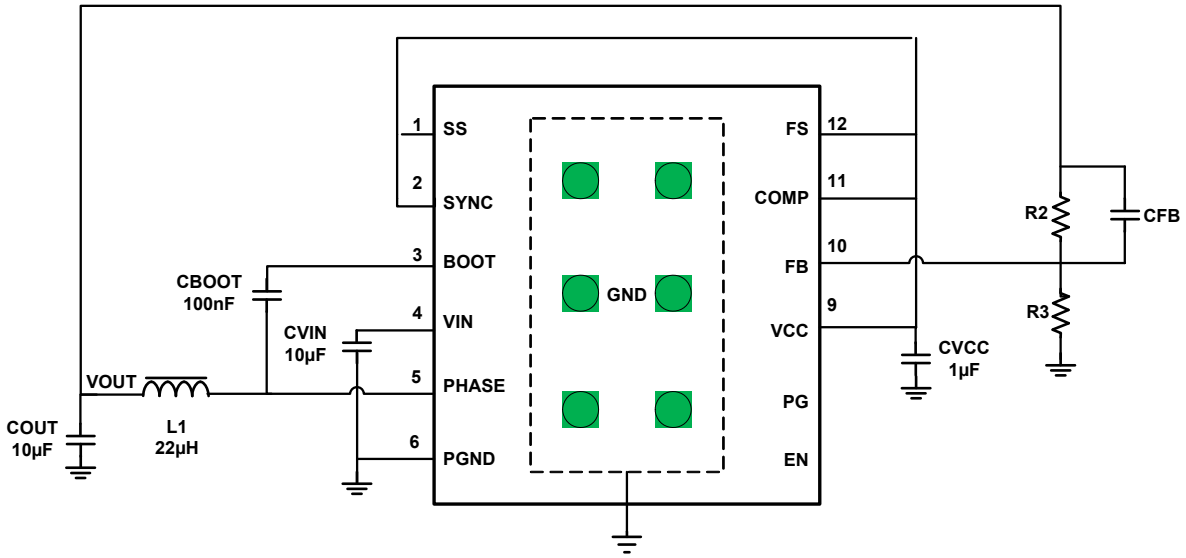


図 3. 内蔵デフォルト回路を使用した回路例

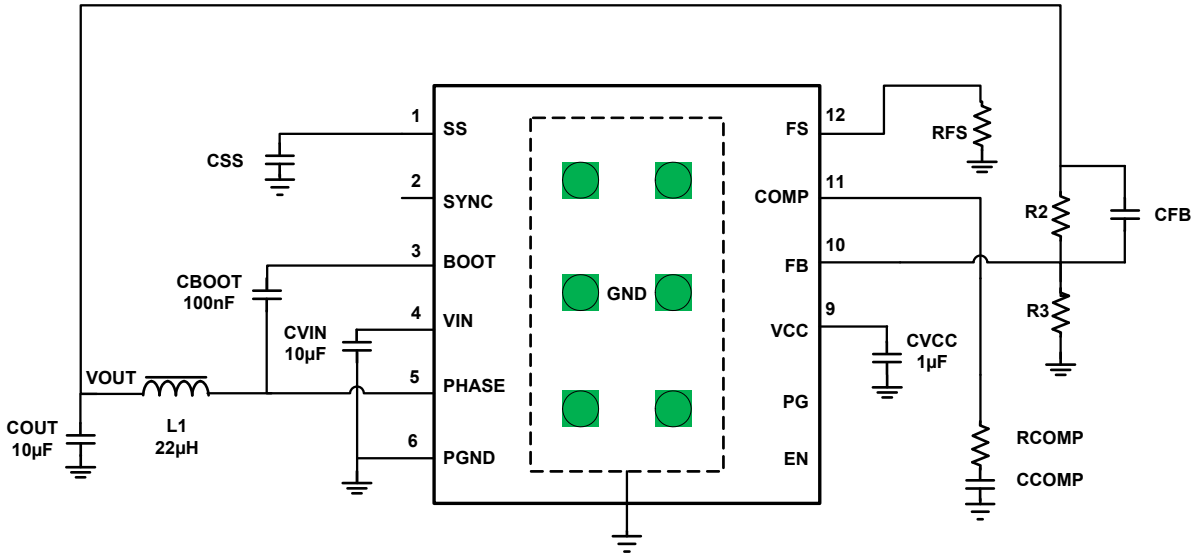
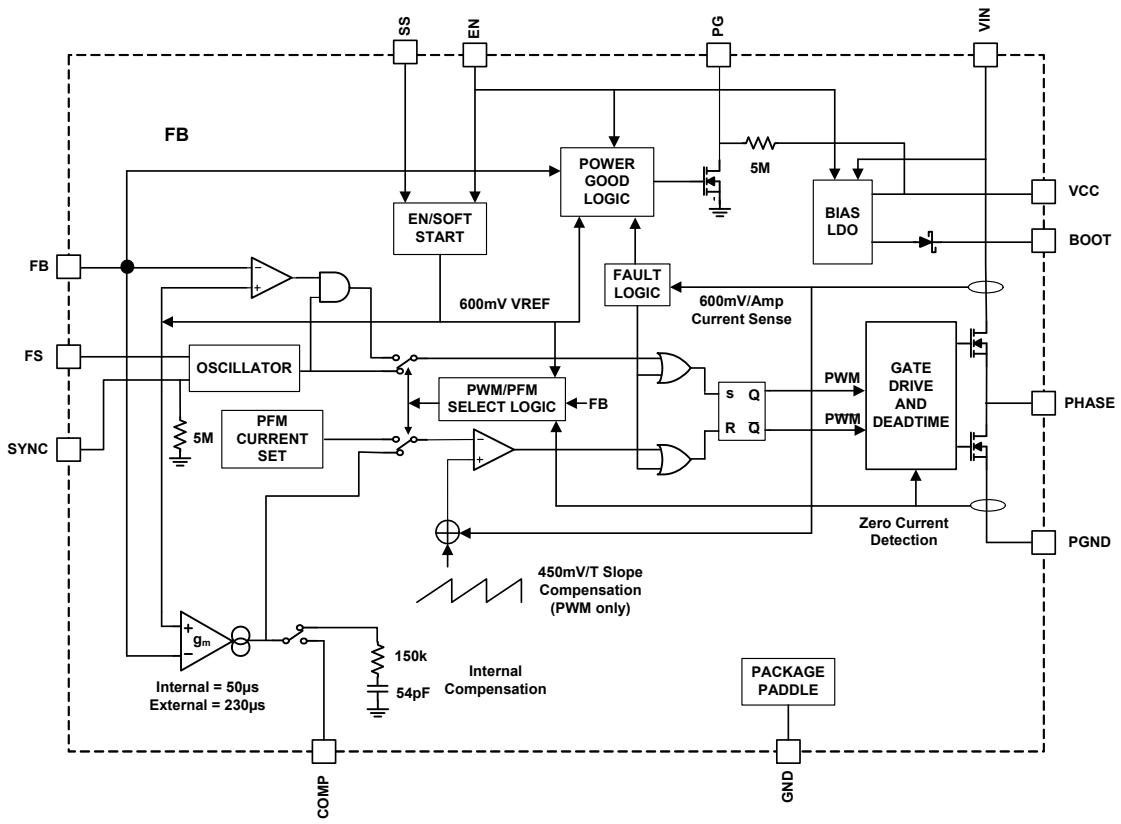


図 4. ユーザー設定パラメータを使用した回路例

表 1. 外付け部品選択一覧

V_{OUT} (V)	L_1 (µH)	C_{OUT} (µF)	R_2 (kΩ)	R_3 (kΩ)	C_{FB} (pF)	R_{FS} (kΩ)	R_{COMP} (kΩ)	C_{COMP} (pF)
12	45	10	90.9	4.75	22	115	100	470
5	22	2x22	90.9	12.4	100	120	100	470
3.3	22	2x22	90.9	20	100	120	100	470
2.5	22	2x22	90.9	28.7	100	120	100	470
1.8	22	22	100	50	22	120	50	470

機能ブロック図



注文情報

製品型番 (Note 1、2、3)	製品 マーキング	温度範囲 (°C)	パッケージ (鉛フリー)	PKG. DWG.#
ISL85415FRZ	5415	-40 ～ +125	12 Ld DFN	L12.4x3
ISL85415EVAL1Z	評価用ボード			

NOTE：

1. テープ＆リールは製品型番の末尾に「T」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 吸湿性レベル (MSL) については ISL85415 のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ TB363 を参照してください。

絶対最大定格

VIN ～ GND . . . . . -0.3V ～ +42V
PHASE ～ GND . . . . . -0.3V ～ VIN+0.3V (DC)
PHASE ～ GND . . . . . -2V ～ 43V (20ns)
EN ～ GND . . . . . -0.3V ～ +42V
BOOT ～ PHASE . . . . . -0.3V ～ +5.5V
COMP、FS、PG、SYNC、SS、VCC (GND 基準) . . . -0.3V ～ +5.9V
FB ～ GND . . . . . -0.3V ～ +2.95V
ESD 定格
人体モデル (JESD22-A114 に従ってテスト) 3kV
デバイス帯電モデル (JESD22-C101E に従ってテスト) 1.5kV
機械モデル (JESD22-A115 に従ってテスト) 200V
ラッチアップ定格
(JESD-78A; Class 2, Level A に従ってテスト) 100mA

温度情報

熱抵抗	θ_{JA} (°C/W)	θ_{JC} (°C/W)
DFN パッケージ (Note 4、5)	44	5.5

ジャンクション最高温度 (プラスチック・パッケージ) . . . .+150°C
最大保存温度範囲 . . . . . .-65°C ～ +150°C
周囲温度範囲 . . . . . .-40°C ～ +125°C
動作時の接合温度範囲 . . . . . .-40°C ～ +125°C
鉛フリー・リフロープロファイル . . . . . 以下の URL を参照
http://www.intersil.com/pbfree/Pb-FreeReflow.asp

推奨動作条件

温度 . . . . . .-40 ℃～ +125°C
電源電圧 . . . . . 3V ～ 36V

注意 : 過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

4. θ_{JA} は、部品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ TB379 を参照してください。
5. θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、T_A = -40°C ～ +125°C、V_{IN} = 3V ～ 36V。代表値は T_A = +25°C における値です。**太字のリミット値は接合温度範囲 -40°C ～ +125°C に対して適用されます。**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
SUPPLY VOLTAGE						
V_{IN} Voltage Range	V_{IN}		**3**		**36**	V
V_{IN} Quiescent Supply Current	I_Q	V_{FB} = 0.7V, SYNC = 0V, F_S = V_{CC}		80		µA
V_{IN} Shutdown Supply Current	I_{SD}	EN = 0V, V_{IN}=36V (Note 6)		1.8	**2.5**	µA
V_{CC} Voltage	V_{CC}	I_{OUT} = 0mA	**4.8**	5.15	**5.5**	V
		V_{IN} = 6V; I_{OUT} = 10mA	**4.65**	5	**5.35**	V
POWER-ON RESET						
V_{CC} POR Threshold		Rising Edge		2.75	**2.95**	V
		Falling Edge	**2.4**	2.6		V
OSCILLATOR						
Nominal Switching Frequency	F_S	F_S = V_{CC}	**440**	500	**560**	kHz
		Resistor from F_S to GND = 340kΩ	**240**	300	**360**	kHz
		Resistor from F_S to GND = 32.4kΩ		2000		kHz
Minimum Off-Time	t_{OFF}	V_{IN} = 3V		150		ns
Minimum On-Time	t_{ON}	(Note 9)		90		ns
F_S Voltage	V_{FS}	F_S = 100kΩ	**0.39**	0.4	**0.41**	V
Synchronization Frequency	SYNC		**300**		**2000**	kHz
SYNC Pulse Width			**100**			ns
ERROR AMPLIFIER						
Error Amplifier Transconductance Gain	gm	External Compensation	**165**	230	**295**	µA/V
		Internal Compensation		50		µA/V
FB Leakage Current		V_{FB} = 0.6V		1	**100**	nA
Current Sense Amplifier Gain	R_T		**0.54**	0.6	**0.66**	V/A
FB Voltage		T_A = -40°C to +85°C	**0.589**	0.599	**0.606**	V
		T_A = -40°C to +125°C	**0.589**	0.599	**0.609**	V

電気的特性 特記のない限り、T_A = -40°C ～ +125°C、V_{IN} = 3V ～ 36V。代表値は T_A = +25°C における値です。**太字のリミット値は接合温度範囲 -40°C ～ +125°C に対して適用されます。(続き)**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
POWER-GOOD						
Lower PG Threshold - VFB Rising				90	**94**	%
Lower PG Threshold - VFB Falling			**82.5**	86		%
Upper PG Threshold - VFB Rising				116.5	**120**	%
Upper PG Threshold - VFB Falling			**107**	112		%
PG Propagation Delay		Percentage of the soft-start time		10		%
PG Low Voltage		I_{SINK} = 3mA, EN = V_{CC}, V_{FB} = 0V		0.05	**0.3**	V
TRACKING AND SOFT-START						
Soft-Start Charging Current	I_{SS}		**1.5**	2	**2.5**	µA
Internal Soft-Start Ramp Time		EN/SS = V_{CC}	**1.7**	2.4	**3.1**	ms
FAULT PROTECTION						
Thermal Shutdown Temperature	T_{SD}	Rising Threshold		150		°C
	T_{HYS}	Hysteresis		20		°C
Current Limit Blanking Time	t_{OCON}			17		Clock pulses
Overcurrent and Auto Restart Period	t_{OCOFF}			8		SS cycle
Positive Peak Current Limit	IPLIMIT	(Note 7)	**0.8**	0.9	**1**	A
PFM Peak Current Limit	I_{PK_PFM}		**0.26**	0.3	**0.34**	A
Zero Cross Threshold				10		mA
Negative Current Limit	INLIMIT	(Note 7)	**-0.46**	-0.40	**-0.34**	A
POWER MOSFET						
High-side	R_{HDS}	I_{PHASE} = 100mA, V_{CC} = 5V		450	**600**	mΩ
Low-side	R_{LDS}	I_{PHASE} = 100mA, V_{CC} = 5V		250	**330**	mΩ
PHASE Leakage Current		EN = PHASE = 0V			**300**	nA
PHASE Rise Time	t_{RISE}	V_{IN} = 36V		10		ns
EN/SYNC						
Input Threshold		Falling Edge, Logic Low	**0.4**	1		V
		Rising Edge, Logic High		1.2	**1.4**	V
EN Logic Input Leakage Current		EN = 0V/36V	**-0.5**		**0.5**	µA
SYNC Logic Input Leakage Current		SYNC = 0V		10	**100**	nA
		SYNC = 5V		1.0	**1.3**	µA

NOTE :

6. テスト条件 : V_{IN} = 36V、FB は強制的にレギュレーション・ポイント (0.6V) を超過、スイッチングなし、パワー MOSFET ゲート充電電流は除外。
7. 電流検出アンプのゲインテストおよび電流検出アンプの出力テスト (I_L = 0A) に基づいて定められています。
8. 特記のない限り、MIN や MAX のリミット値が記載されたパラメータは、+25°C で 100% テストされています。温度のリミット値は特性評価によって定められたものであり、製造時テストは行われていません。
9. Minimum On-Time はループ安定性の維持に必要なパラメータです。

効率曲線 F_{SW} = 800kHz、T_A = +25°C

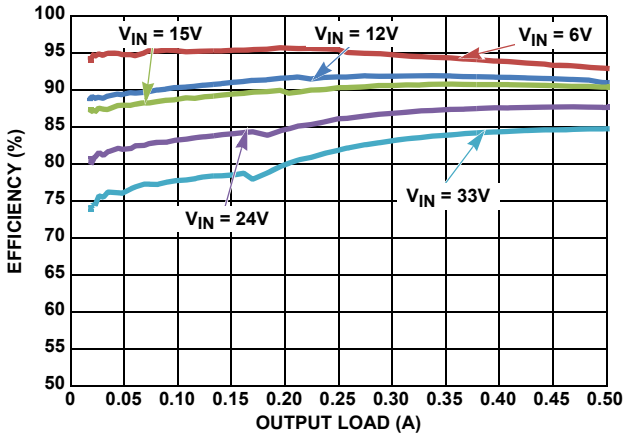


図 5. 効率 vs 負荷電流、PFM、V_{OUT} = 5V

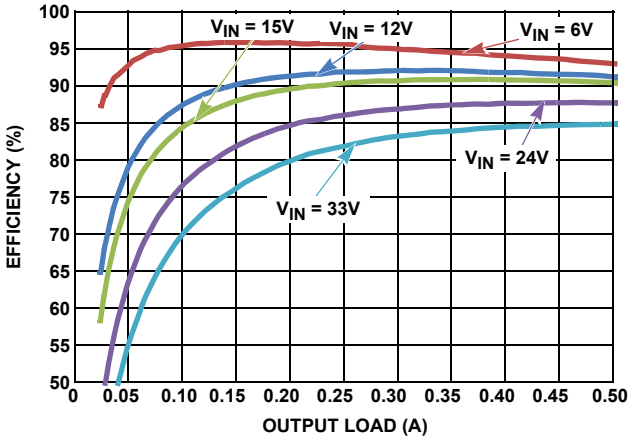


図 6. 効率 vs 負荷電流、PWM、V_{OUT} = 5V

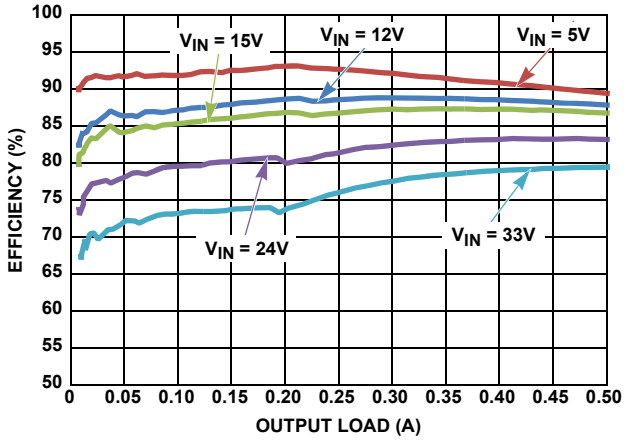


図 7. 効率 vs 負荷電流、PFM、V_{OUT} = 3.3V

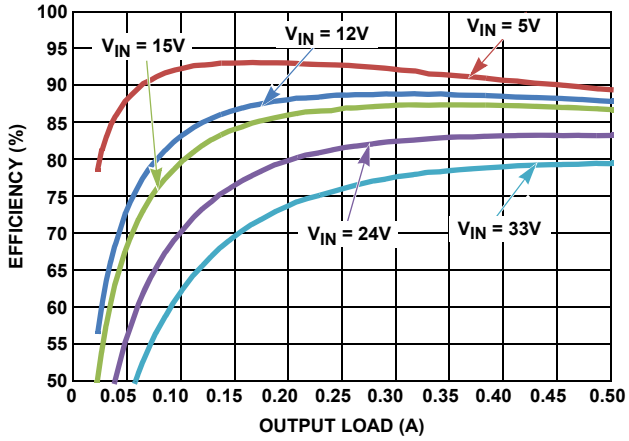


図 8. 効率 vs 負荷電流、PWM、V_{OUT} = 3.3V

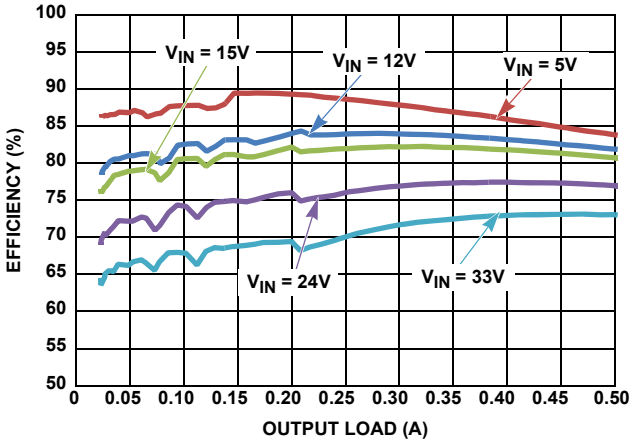


図 9. 効率 vs 負荷電流、PFM、V_{OUT} = 1.8V

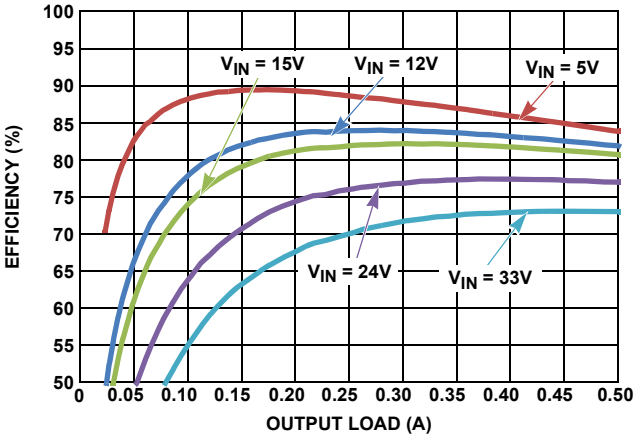


図 10. 効率 vs 負荷電流、PWM、V_{OUT} = 1.8V

効率曲線 F_{SW} = 800kHz、T_A = +25°C (続き)

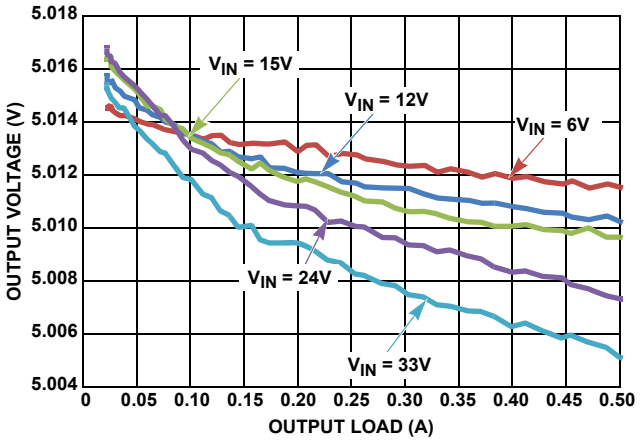


図 11. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 5V

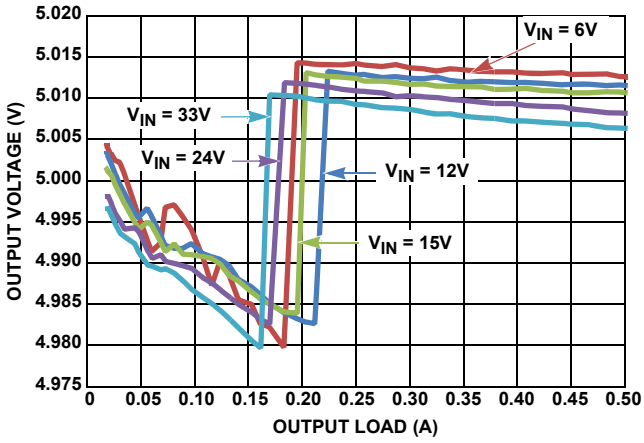


図 12. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 5V

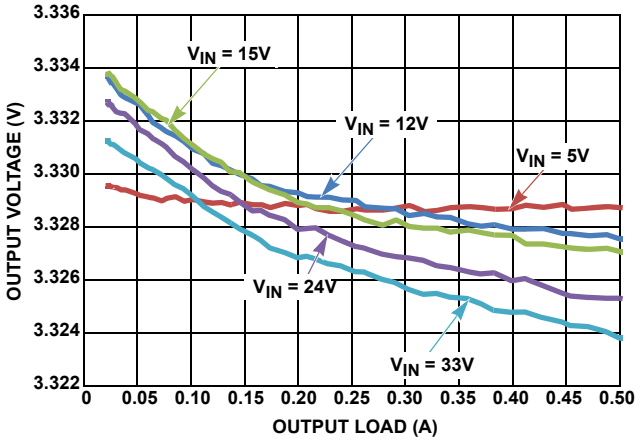


図 13. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 3.3V

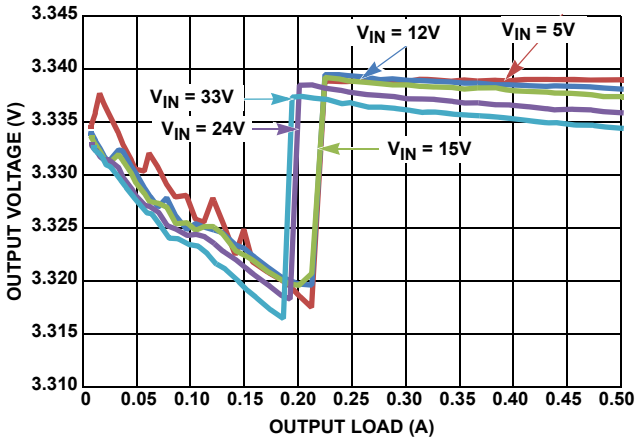


図 14. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 3.3V

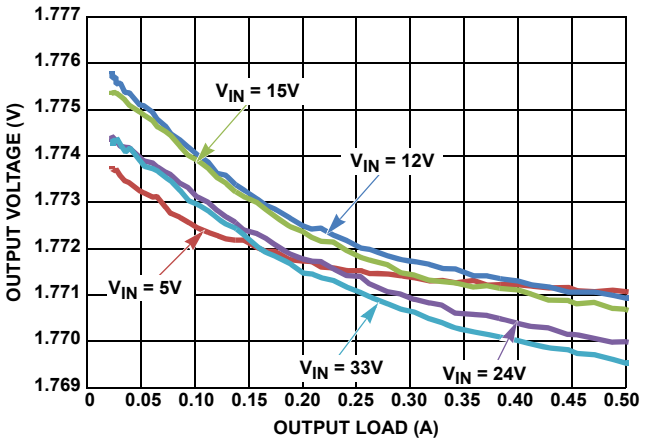


図 15. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 1.8V

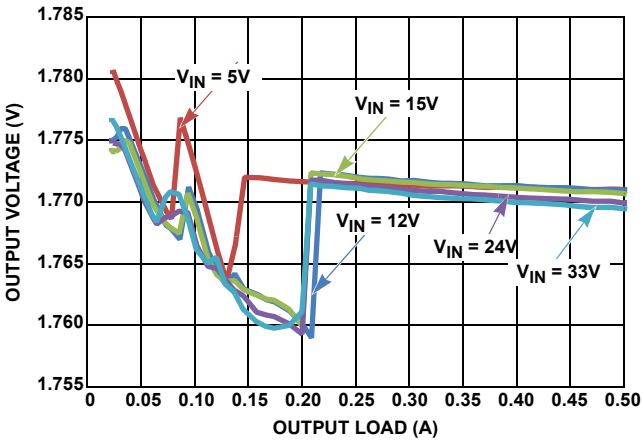


図 16. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 1.8V

効率曲線 F_{SW} = 500kHz、T_A = +25°C

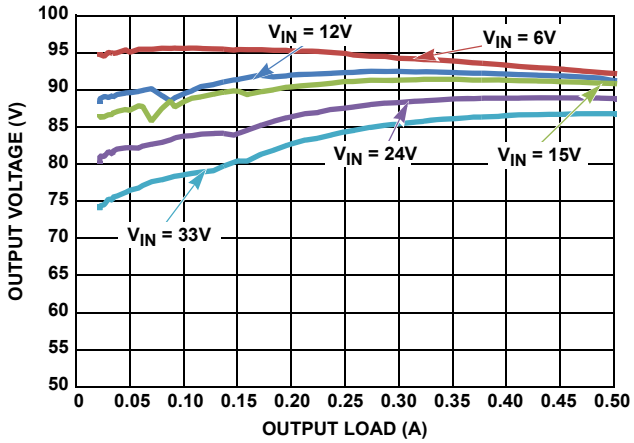


図 17. 効率 vs 負荷電流、PFM、V_{OUT} = 5V

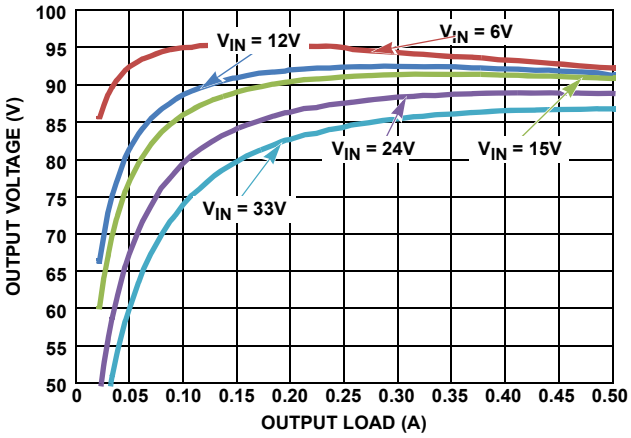


図 18. 効率 vs 負荷電流、PWM、V_{OUT} = 5V

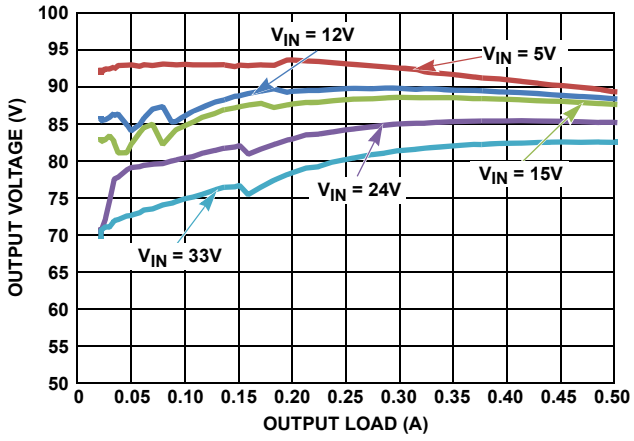


図 19. 効率 vs 負荷電流、PFM、V_{OUT} = 3.3V

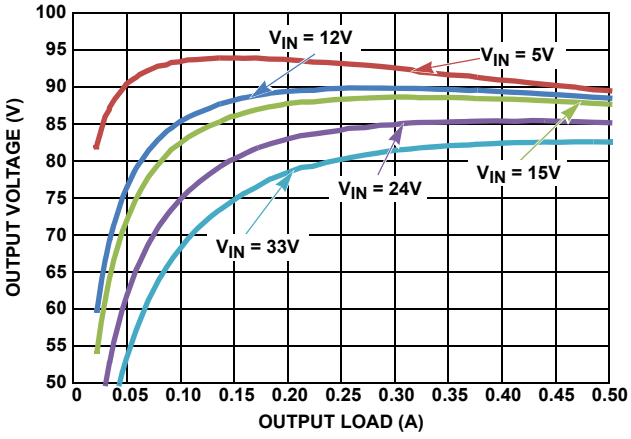


図 20. 効率 vs 負荷電流、PWM、V_{OUT} = 3.3V

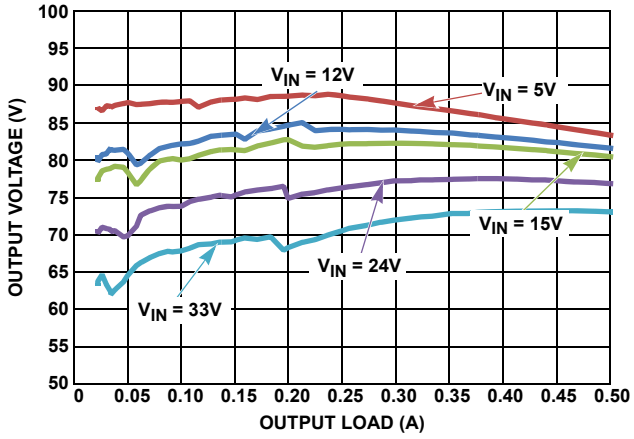


図 21. 効率 vs 負荷電流、PFM、V_{OUT} = 1.8V

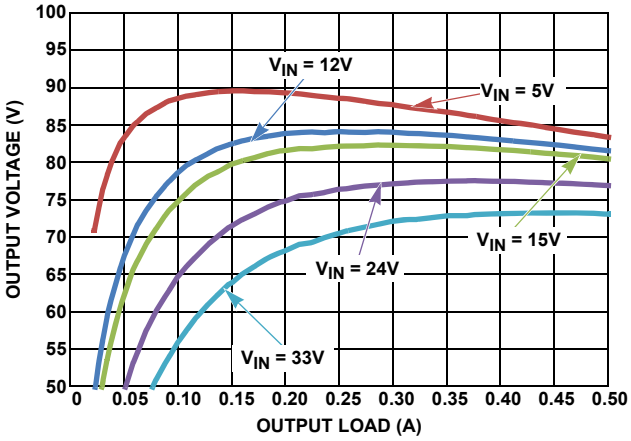


図 22. 効率 vs 負荷電流、PWM、V_{OUT} = 1.8V

効率曲線 F_{SW} = 500kHz、T_A = +25°C (続き)

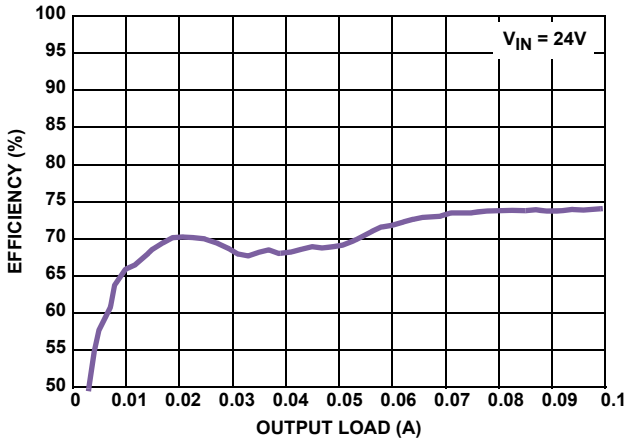


図 23. 効率 vs 負荷電流、PFM、V_{OUT} = 1.8V

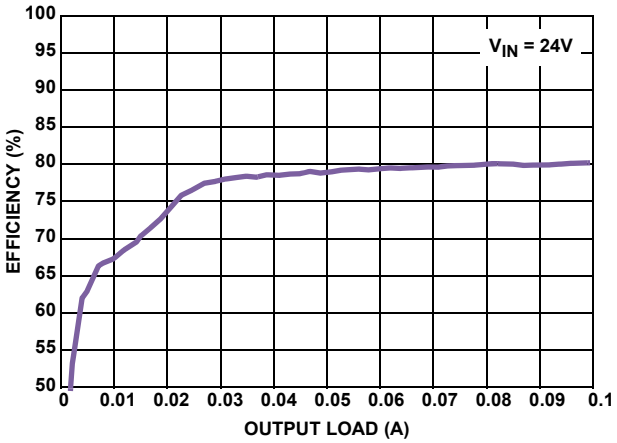


図 24. 効率 vs 負荷電流、PFM、V_{OUT} = 3.3V

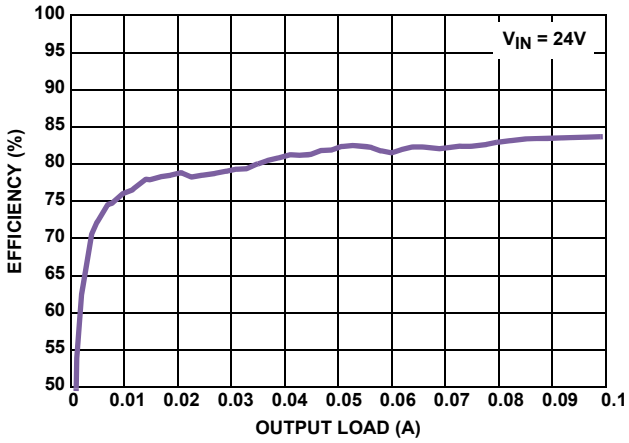


図 25. 効率 vs 負荷電流、PFM、V_{OUT} = 5V

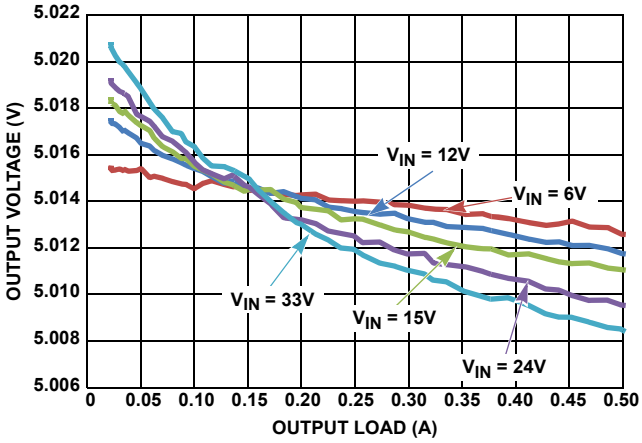


図 26. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 5V

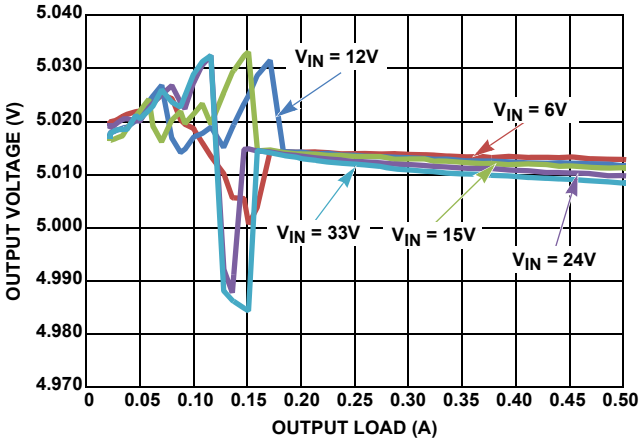


図 27. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 5V

効率曲線 F_{SW} = 500kHz、T_A = +25°C (続き)

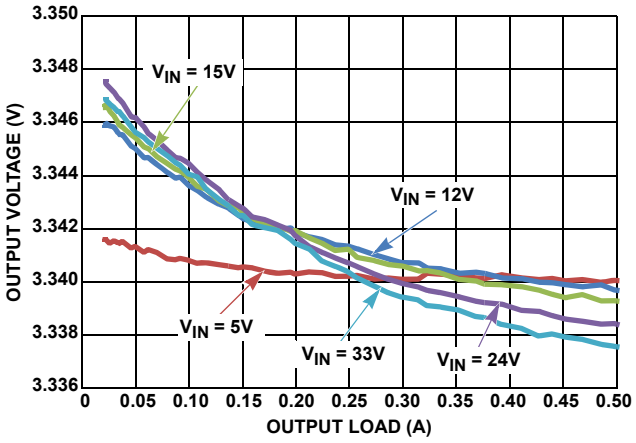


図 28. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 3.3V

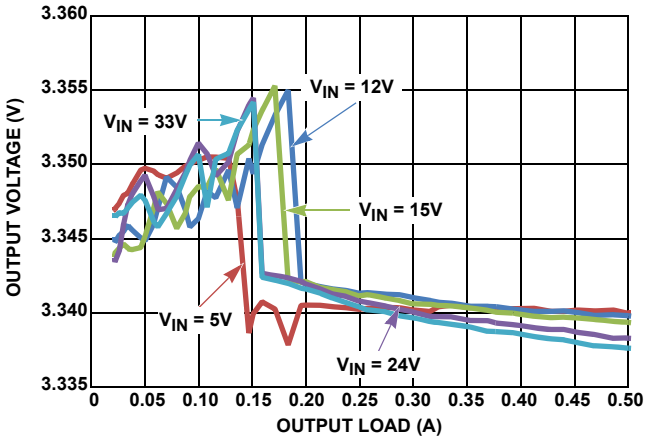


図 29. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 3.3V

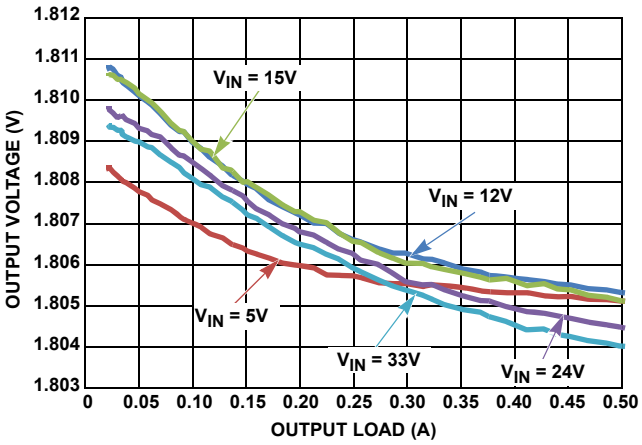


図 30. V_{OUT} レギュレーション vs 負荷電流、PWM、V_{OUT} = 1.8V

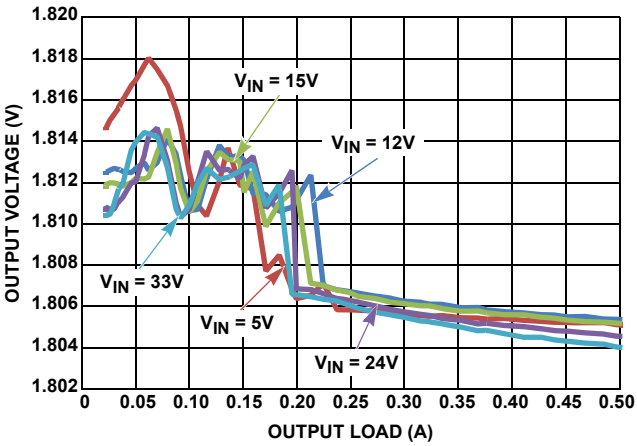


図 31. V_{OUT} レギュレーション vs 負荷電流、PFM、V_{OUT} = 1.8V

代表的な性能特性 V_{IN} = 24V、V_{OUT} = 3.3V、F_{SW} = 800kHz、T_A = +25°C

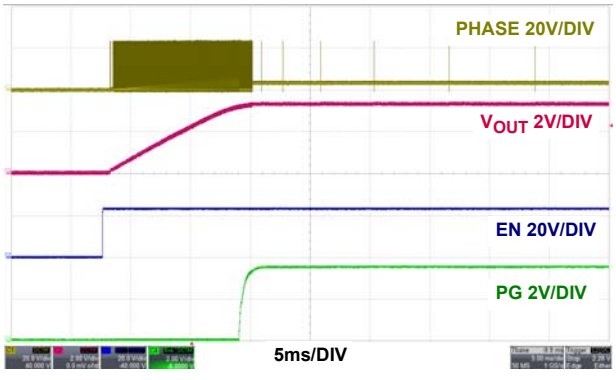


図 32. 無負荷時のスタートアップ、PFM

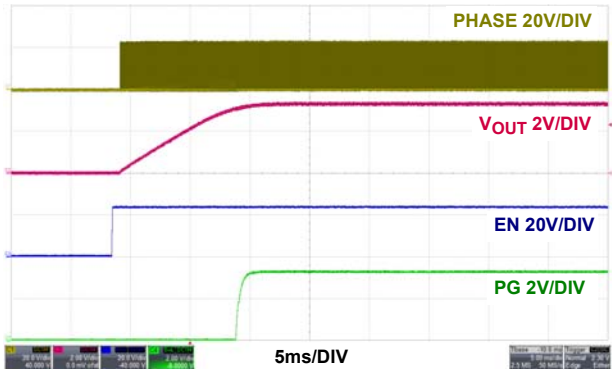


図 33. 無負荷時のスタートアップ、PWM

代表的な性能特性 V_{IN} = 24V、V_{OUT} = 3.3V、F_{SW} = 800kHz、T_A = +25°C (続き)

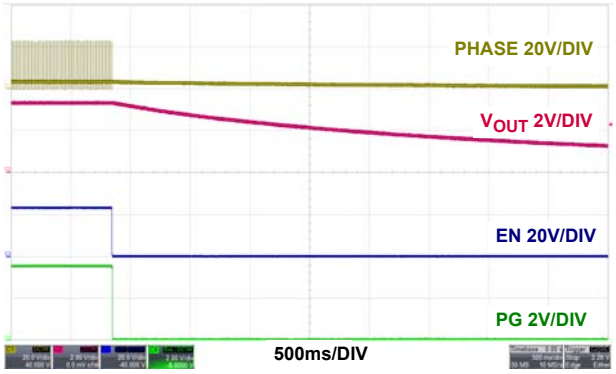


図 34. 無負荷時のシャットダウン、PFM

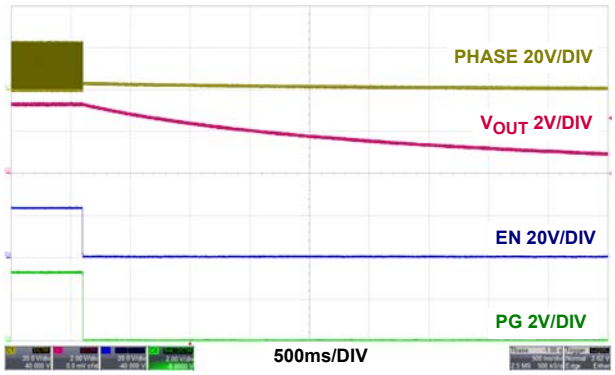


図 35. 無負荷時のシャットダウン、PWM

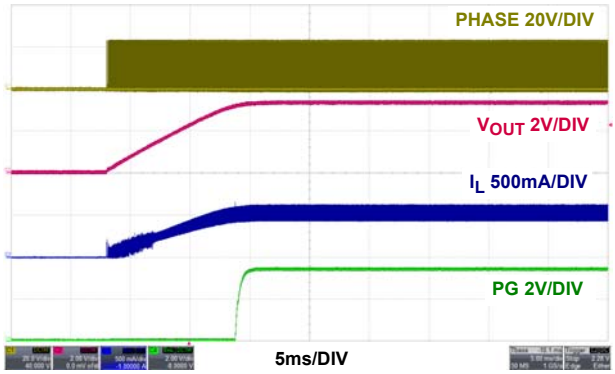


図 36. 500mA 負荷時のスタートアップ、PWM

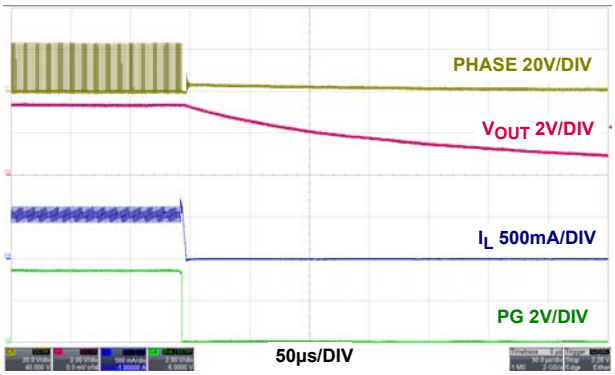


図 37. 500mA 負荷時のシャットダウン、PWM

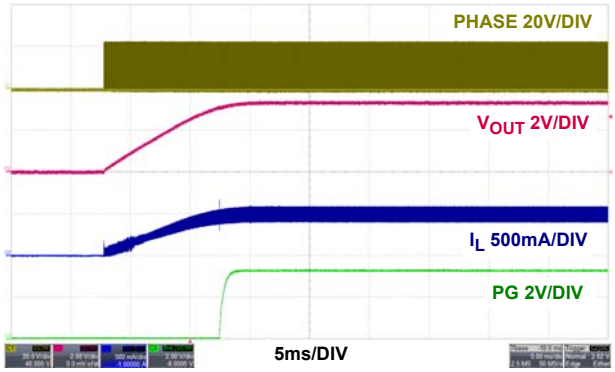


図 38. 500mA 負荷時のスタートアップ、PFM

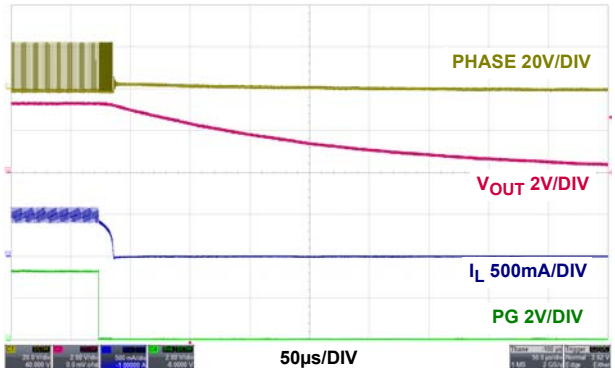


図 39. 500mA 負荷時のシャットダウン、PFM

代表的な性能特性 V_{IN} = 24V、V_{OUT} = 3.3V、F_{SW} = 800kHz、T_A = +25°C (続き)

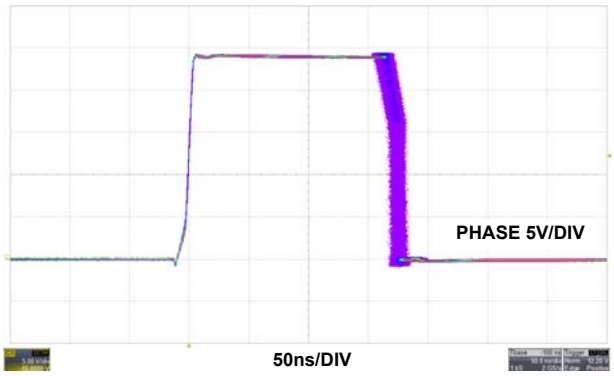


図 40. 無負荷時のジッタ、PWM

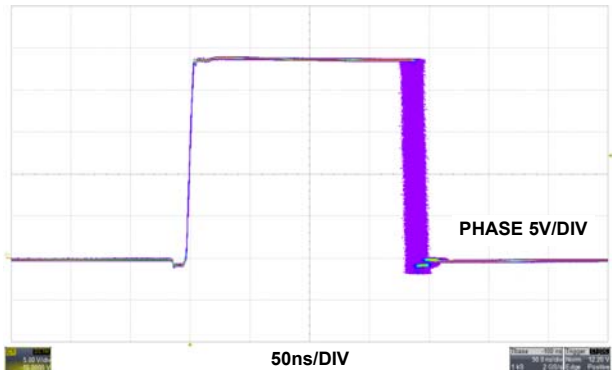


図 41. 500mA 負荷時のジッタ、PWM

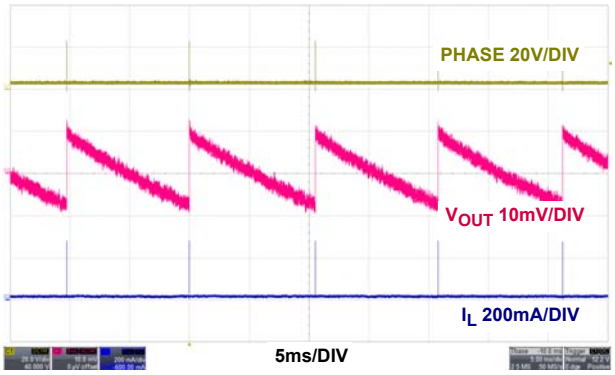


図 42. 無負荷時の定常状態動作、PFM

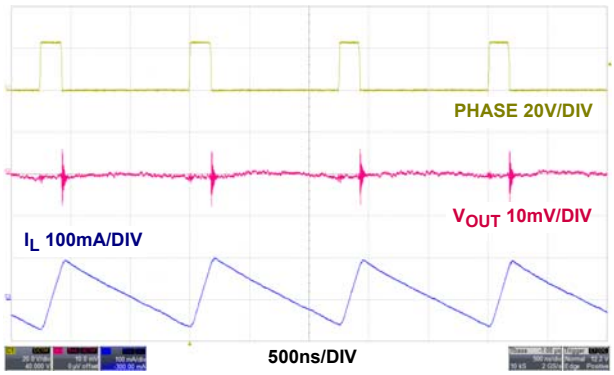


図 43. 無負荷時の定常状態動作、PWM

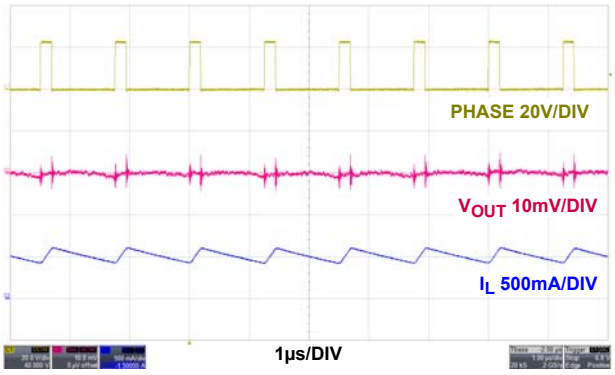


図 44. 500mA 負荷時の定常状態動作、PWM

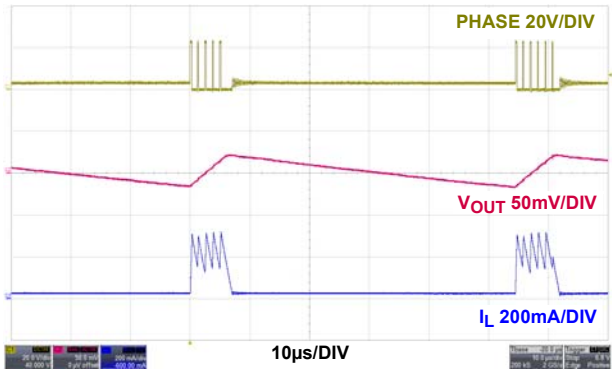


図 45. 20mA 軽負荷動作、PFM

代表的な性能特性 V_{IN} = 24V、V_{OUT} = 3.3V、F_{SW} = 800kHz、T_A = +25°C (続き)

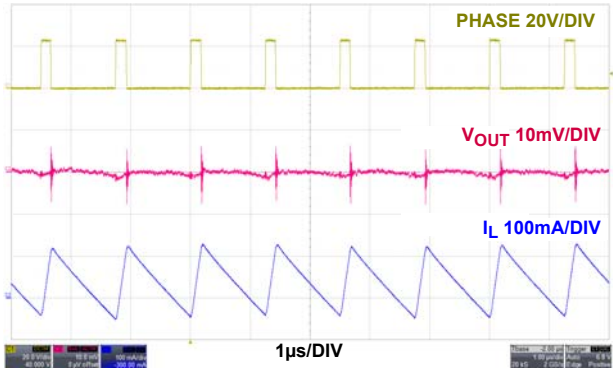


図 46. 20mA 軽負荷動作、PWM

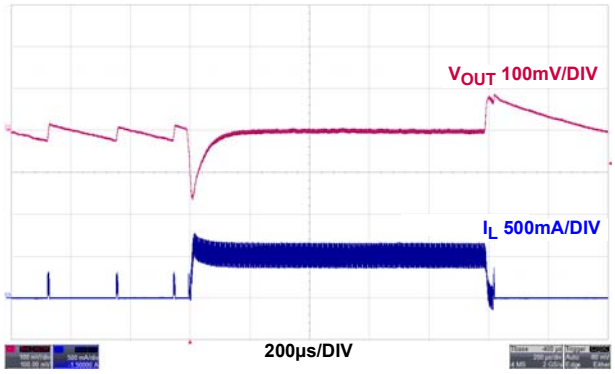


図 47. 負荷過渡応答、PFM

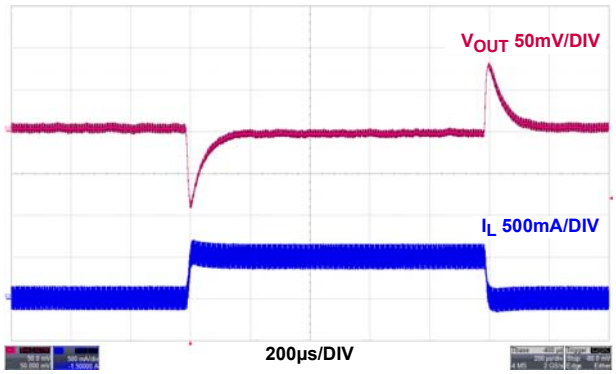


図 48. 負荷過渡応答、PWM

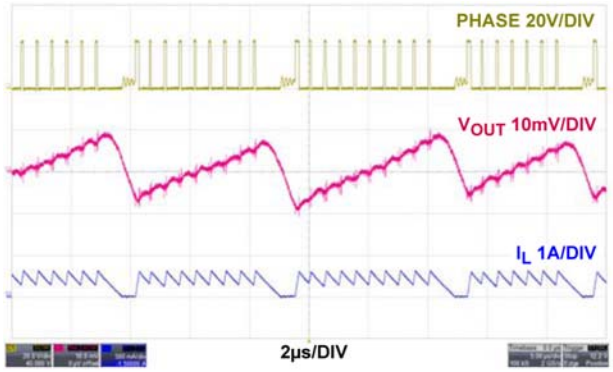


図 49. PFM モードから PWM モードへの切り替わり

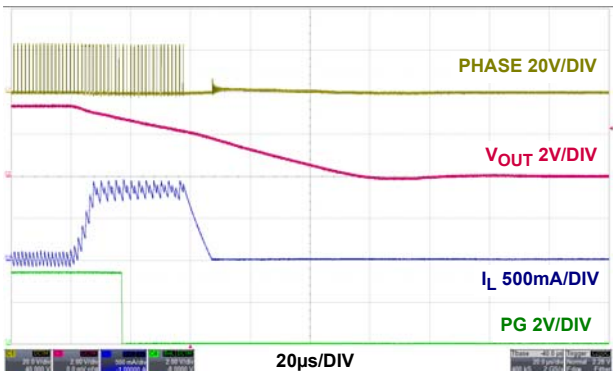


図 50. 過電流保護動作、PWM

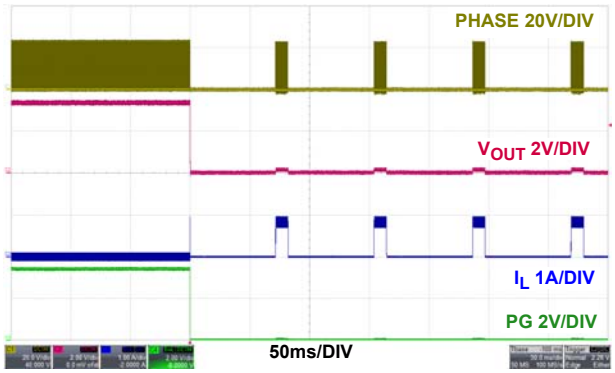


図 51. 過電流保護ヒカップモード動作、PWM

代表的な性能特性 V_{IN} = 24V、V_{OUT} = 3.3V、F_{SW} = 800kHz、T_A = +25°C (続き)

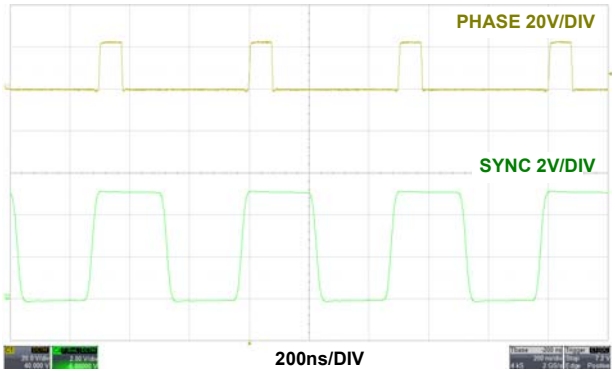


図 52. 500mA 負荷時の同期信号、PWM

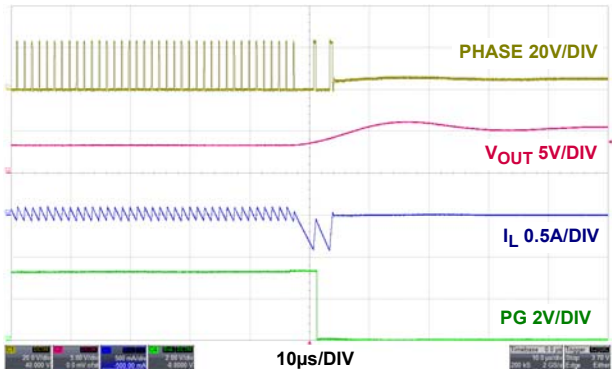


図 53. 逆電流保護動作、PWM

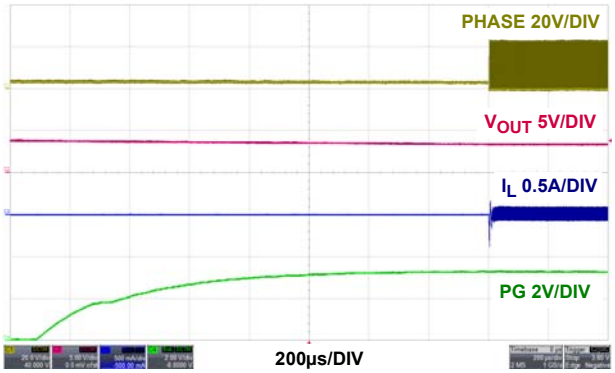


図 54. 逆電流保護動作からの回復、PWM

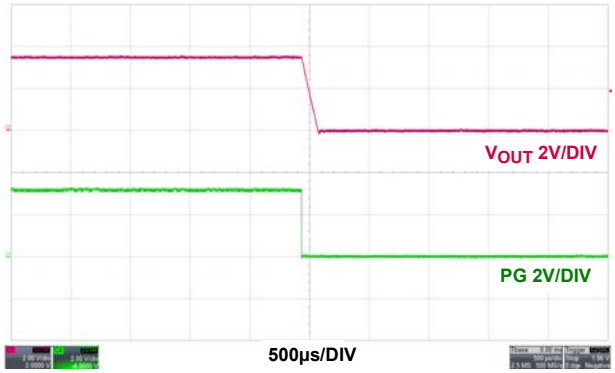


図 55. 過熱保護動作、PWM

詳細説明

ISL85415 は、同期整流型降圧 PWM コントローラと内蔵パワースイッチを組み合わせたものです。降圧コントローラは内蔵しているハイサイドおよびローサイド N チャネル MOSFET を駆動し、最大 500mA の負荷電流を供給します。この降圧レギュレータは、レギュレートされていない +3V ～ +36V の DC ソース (バッテリなど) で動作します。内蔵 LDO は、IC の低圧回路にバイアス電圧を供給します。

ピーク電流モード制御を使用して、帰還ループ補償の簡素化と入力電圧変動の除去を行います。内蔵の帰還ループ補償回路を使用すれば、設計がさらに簡単になります。ISL85415 はデフォルトのスイッチング周波数 500kHz で動作します。

降圧レギュレータは電流検出回路を内蔵しており、ピーク電流制限のしきい値は通常 0.9A です。

パワーオン・リセット

ISL85415 は、入力電力を受け取ると自動的に初期化を行います。また、EN ピンの状態を継続的にモニタリングします。EN の電圧がロジックの立ち上がりスレッショルドより低い状態にあるとき、IC はシャットダウン状態で、VIN 電源からの消費電流は通常 1µA です。EN の電圧がロジックの立ち上がりスレッショルドを超えると、レギュレータはバイアス電圧供給用 LDO をイネーブルにし、VCC ピンの電圧モニタリングを開始します。VCC の電圧が立ち上がり POR スレッショルドを超えると、コントローラはスイッチング・レギュレータの回路を初期化します。VCC が立ち上がり POR スレッショルドを超えるまでは、コントローラによってスイッチング・レギュレータは動作が禁止されています。スイッチング・レギュレータの動作中に、VCC が立ち下がり POR スレッショルドより低下した場合は、VCC が回復するまでスイッチング・レギュレータはシャットダウンされたままになります。

ソフトスタート

大きな突入電流が流れないように、スタートアップ時 V_{OUT} は最終値のレギュレーション電圧まで徐々に増加します。ソフトスタート時間は SS ピンの接続で決まります。SS ピンを VCC に接続すると、ソフトスタートに 2ms の内蔵タイマが使用されます。他のソフトスタート時間にする場合は、単純に、SS ピンとグラウンドの間にコンデンサを 1 個接続してください。この場合、2µA の電流によって SS の電圧は上昇します。FB ピンの電圧は、600mV の基準電圧レベルに達するまでこのランプ電圧に追従します。このときのソフトスタート時間は、式 1 で表されます。

$$Time(ms) = C(nF)*0.3 \quad (式\ 1)$$

パワーグッド

パワーグッド (PG) は、降圧レギュレータの出力電圧を、FB ピンを介して継続的にモニタリングするウィンドウ・コンパレータのオープン・ドレイン出力です。EN が Low のときや、降圧レギュレータのソフトスタート期間中は、PG が Low に維持されます。ソフトスタート期間が終了すると、PG はハイ・インピーダンスになり、FB ピンの電圧が 3 ページの「電気的特性」で指定された範囲内にある間はその状態が維持されます。FB の電圧が指定されたウィンドウの外に出たときは、FB が元に戻るまで PG は Low のままになっています。過熱フォルト発生時にも、ソフトスタートの試行によってフォルト状態がクリアされるまで PG は強制的に Low に維持されます。プルアップ抵抗 5MΩ を内蔵しています。

PWM 制御方式

ISL85415 は、高速負荷応答とパルスごとの電流制限を実現するために、5 ページの「機能ブロック図」に示すようにピーク電流モードのパルス幅変調 (PWM) 制御を採用しています。電流ループは、電流検出回路、傾き補償ランプ、PWM コンパレータ、発振器、ラッチで構成されています。電流検出アンプのトランス・レジスタンスは通常 600mV/A で、傾き補償のスルーレート Se は通常 450mV/T です。ここで、T はスイッチング・サイクルの周期です。電流ループの制御基準には誤差アンプの出力 V_{COMP} を使用しています。

クロックパルスが PWM ラッチをセットし上側の FET がオンになると PWM サイクルが始まります。上側の FET とインダクタを流れる電流が一定の比率で増加します。この電流は検出された後に電圧 (V_{CSA}) に変換されて、傾き補償信号との和がとられます。合わさった信号は V_{COMP} と比較され、V_{COMP} に等しくなるとラッチがリセットされます。ラッチがリセットされると上側の FET がオフになり、下側の FET がオンになります。そして、インダクタを流れる電流が一定の比率で減少します。クロック信号によって次の PWM サイクルが開始されるまで、下側の FET はオンのままです。図 56 に PWM 動作時の動作波形例を示します。点線の波形は電流検出信号と傾き補償信号の和を表しています。

誤差アンプによって V_{COMP} とインダクタを流れる出力電流が変化するにつれて、出力電圧はレギュレートされます。誤差アンプはトランスコンダクタンス・アンプで、その出力 (COMP) を RC 直列回路を介してグラウンドに接続します。COMP ピンを VCC に接続すると、誤差アンプの出力は内蔵の RC 回路 (150k/54pF) を介してグラウンドに接続されます。また、トランスコンダクタンスは、COMP ピンを VCC に接続したとき 50µA/V に対して、外付け RC 回路使用時は 220µA/V です。誤差アンプの非反転入力は内部で 600mV 基準電圧に接続されています。誤差アンプの反転入力は FB ピンを介して出力電圧に接続されており、また FB につながっている抵抗分圧回路にも接続されています。

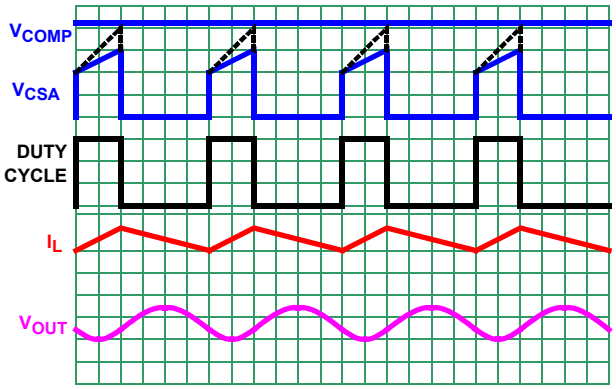


図 56. PWM 動作波形

軽負荷時の動作

軽負荷時、コンバータの効率はパルス周波数変調 (PFM) を使用して改善できます。SYNC ピンをグラウンドに接続すると、コントローラは負荷電流が小さいとき自動的に PFM モードで動作します。電流不連続モード (DCM) の動作を図 57 に示します。インダクタ電流が 8 サイクル連続してゼロを下回ると、IC は電流不連続モードに移行します。これは、負荷電流がインダクタのピーク・ツー・ピーク・リップル電流の 1/2 に等しく、次の式 2 で設定できることに対応します。

$$I_{OUT} = \frac{V_{OUT}(1-D)}{2LF_S} \quad (式\ 2)$$

ここで、D はデューティ・サイクル、F_S はスイッチング周波数、L はインダクタの値、I_{OUT} は出力負荷電流、V_{OUT} は出力電圧です。

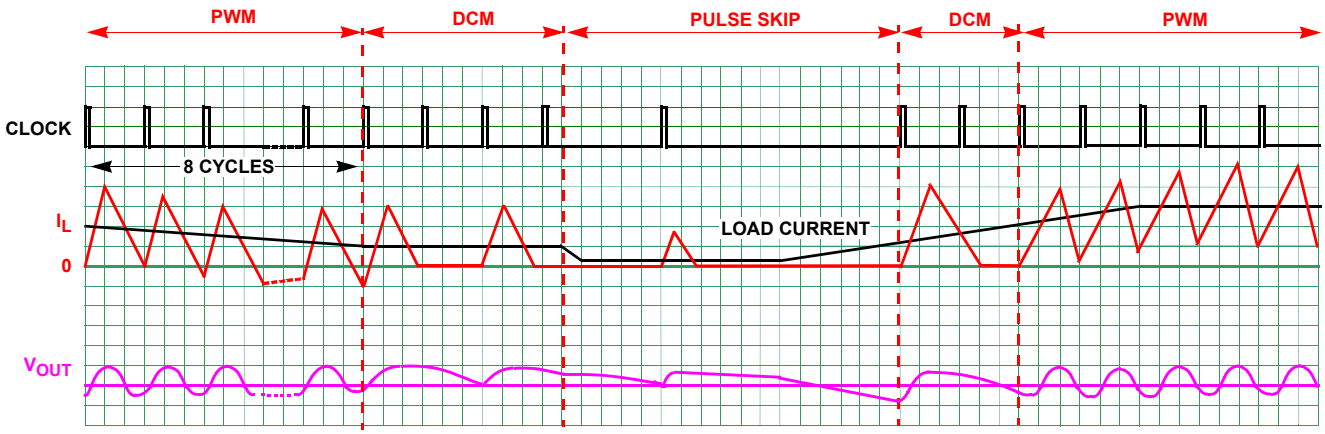


図 57. 電流不連続モード動作波形

PFM モードで動作している間、レギュレータは出力電圧を単純なコンパレータ 1 個と FET のパルス電流で制御します。コンパレータは、FB の電圧が 600mV の基準電圧レベルと等しくなると信号を出します。その時点からレギュレータはパルス電流を流し始め、FB の電圧が 600mV の基準電圧レベルより 1% だけ高くなると電流供給を止めます。パルス電流はおよそ 300mA で、コンバータの設定動作周波数と等しい周波数で流れます。

PFM モードにおけるパルス電流の性質を利用して、コンバータは負荷電流を制限することができます。負荷電流が制限値を超えると、VOUT は減り始めます。2 番目のコンパレータによって、FB の電圧が 600mV の基準電圧レベルから 1% 低下すると、コンバータは強制的に PWM モード動作に戻されます。

出力電圧の選択

レギュレータの出力電圧は、内部基準電圧に基づいて V_{OUT} を調整する外付け抵抗分圧回路を使用して容易に設定できます。調整された電圧は、誤差アンプの反転入力に印加されます (図 57 参照)。

出力電圧設定抵抗 R_3 は、帰還抵抗 R_2 に対して選択した値と、レギュレータの必要な出力電圧 V_{OUT} に依存します。V_{OUT} と抵抗値の関係を式 3 に示します。

$$R_3 = \frac{R_2 \times 0.6V}{V_{OUT} - 0.6V} \quad (式\ 3)$$

必要な出力電圧が 0.6V の場合は、R_3 は実装しないで、R_2 を 0Ω にします。

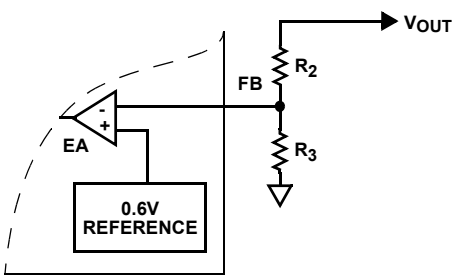


図 58. 外付け抵抗分圧回路

保護機能

ISL85415 には、過電流、逆電流および過熱に対する保護機能があります。保護回路は自動的に動作します。

過電流保護

PWM のオン時間中は、上側の FET を流れる電流がモニタリングされ、ピーク電流制限の公称値 0.9A と比較されます。電流が制限値に達すると、上側の FET はオフになり、次回のスイッチング・サイクルまでオンになりません。このようにして、FET のピーク電流制限は常にうまく動作しています。

過電流状態が 17 クロック・サイクル連続すると、レギュレータはヒカップモード・シーケンスを開始します。この場合、2 つの FET はともにオフになり、パワーグッド信号は Low になります。この状態は 8 ソフトスタート・サイクル持続し、その後、レギュレータは通常のソフトスタート・シーケンスを試行します。

出力のフォルト状態が持続すると、レギュレータはヒカップモード・シーケンスを無限に繰り返します。ソフトスタート中に出力が短絡したとしても何の危険もありません。

V_{OUT} が非常に短時間で短絡すると、17 クロック・サイクル連続の過電流状態が検出される前に、FB の電圧が急激に低下して目標値の 5/8 を下回ることがあります。ISL85415 では、この状態を識別してスイッチング周波数を低下させ、FB ピンの電圧に比例した周波数になるようにします。この結果、いかなる状態においても (V_{OUT} が 0V に近い状態など)、インダクタ電流が流れないようになります。

逆電流保護

外部ソースが何らかの理由で V_{OUT} に電流を流し込むと、外部ソースからの電流を吸収するために、コントローラはインダクタ電流を逆流させて V_{OUT} をレギュレートしようとします。外部ソースのインピーダンスが低い場合には、逆電流が許容レベルを超えることがあり、コントローラは逆電流保護を開始します。通常の過電流と同様に、下側の FET を流れる電流のモニタリングをして逆電流保護を実現しています。インダクタ電流のバレー点が逆電流の制限値に達すると、下側の FET はオフになり、上側の FET は強制的にオンになります。上側の FET は、電流が**順方向の**電流制限値に達するか内部クロック信号が発生するまでオフになりません。上側の FET がオフになった時点で、下側の FET は通常動作に戻ります。次回のスイッチング・サイクルで電流が再び逆電流の制

限値に達すると、上側の FET は再度強制的にオンになり、電流は順方向の電流制限値の 1/6 に制限されます。この時点で、コントローラは 2 つの FET をともにオフにして、COMP の電圧が通常動作に戻るのを待ちます。この期間、コントローラは PHASE と PGND の間に 100Ω の負荷抵抗を接続して出力を放電します。逆電流保護はパルスごとに動作し、自動的に回復します。下側の FET のダイオード・エミュレーション動作のため逆電流を流すことができないので、PFM モードでは逆電流保護はディスエーブルになります。

過熱保護

過熱保護は、ISL85415 のジャンクション最高温度を制限します。ジャンクション温度 (T_J) が +150°C を超えると、2 つの FET はともにオフになり、コントローラは温度がおよそ 20°C 下がるのを待ちます。この期間、パワーグッド信号は Low になります。温度が許容範囲に入ると、コントローラは通常のソフトスタート・シーケンスを開始します。連続動作をさせる場合、+125°C のジャンクション温度定格を超えないようにしてください。

ブートストラップ・アンダーボルテージ保護

ブートストラップ・コンデンサの電圧が 1.8V より低下した場合、ブートストラップ・アンダーボルテージ保護回路は下側の FET をオンにして、400ns の間、コンデンサを再充電します。この動作は、PFM モードの無負荷状態のように、長時間スイッチングが停止している期間中に起こることがあります。ドロップアウトに近い状態 (V_{IN} が V_{OUT} に近い状態) で PWM 動作しているとき、複数のクロック・サイクルの間、上側の FET をオンに保つことがあります。ブートストラップ・コンデンサが放電しないように、10 クロック・サイクルごとにおよそ 200ns の間、下側の FET を強制的にオンにします。

アプリケーション・ガイドライン

設計の簡素化

ISL85415 では大部分のパラメータをユーザーが設定できますが、最小限の外付け部品で回路を構成する最も簡単な方法の場合は、SS ピン、COMP ピンおよび FS ピンの設定時、内蔵回路を使用する必要があります。また、4 ページの表 1 にさまざまな出力電圧に対応する外付け部品選択一覧を示していますので、最小限の手間で回路設計ができます。

動作周波数

F_S を V_{CC} に接続すると、ISL85415 はデフォルトのスイッチング周波数 500kHz で動作します。スイッチング周波数を 300kHz ～ 2MHz に設定するには、式 4 に示す抵抗を F_S とグラウンドの間に接続してください。

$$R_{FS}[k\Omega] = 108.75k\Omega*(t - 0.2\mu s)/1\mu s \quad (式\ 4)$$

ここで、

t はスイッチング周期で、単位は µs です。

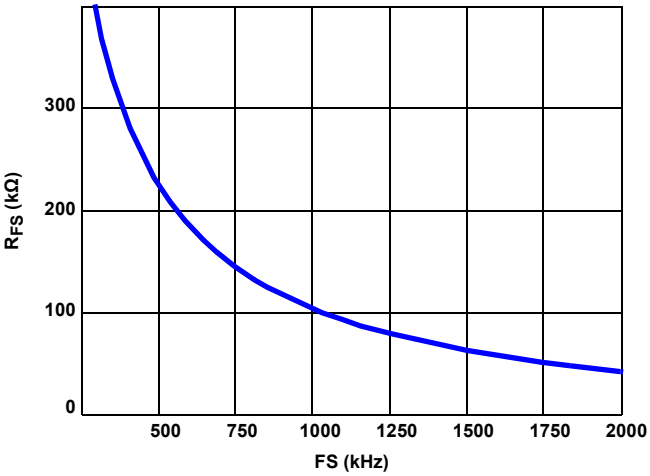


図 59. R_{FS} vs スイッチング周波数

外部同期調整

動作周波数は SYNC ピンに印加する最大 2MHz の外部信号に同期させることができます。SYNC の立ち上がりエッジによって PHASE の立ち上がりエッジがトリガされます。正しく同期させるには、外部信号の周波数を設定される自走周波数より少なくとも 10% 以上高くする必要があります。

出力インダクタの選択

インダクタの値によってコンバータのリップル電流が決まります。インダクタ電流を選択するには、リップル電流 ΔI をある程度任意に決める必要があります。妥当な設計の出発点として、インダクタ電流リップルを最大負荷電流の 30% に設定します。インダクタの値は式 5 で求められます。

$$L = \frac{V_{IN} - V_{OUT}}{FS \times DI} \times \frac{V_{OUT}}{V_{IN}} \quad (式\ 5)$$

インダクタンス値を大きくすると、リップル電流は減少しリップル電圧も低くなります。ただし、インダクタンス値が大きくなると、コンバータの負荷過渡応答時間が短くなることがあります。インダクタの電流定格は過電流状態でも飽和しないようにしてください。標準的な ISL85415 アプリケーションでは、インダクタの値は一般に 10µH ～ 47µH の範囲にあります。一般的に、V_{OUT} が高いほどインダクタンス値を大きくする必要があります。

降圧レギュレータの出力コンデンサの選択

インダクタ電流のフィルタリングには出力コンデンサが必要です。電流モード制御ループの採用により、低 ESR セラミック・コンデンサを使用することができ、プリント基板上の回路実装面積を大幅に削減できます。電解コンデンサやポリマー・コンデンサも使用できます。

セラミック・コンデンサは総合的性能に優れ、高い信頼性もありますが、実際の使用回路での容量について考慮する必要があります。セラミック・コンデンサは、大きいピーク・ツー・ピーク電圧振幅を使用して DC バイアスがない状態で仕様を定めています。DC/DC コンバータ・アプリケーションでは、これらの条件は現実を反映していません。その結果、実容量が表記容量より大幅に小さくなっていることがあります。実際のアプリケーションでの容量を決めるには、メーカーのデータシートを調べてください。ほとんどのメーカーは容量 -DC バイアス特性を公表していますので、

DC バイアスが容量に与える影響について容易に対応することができます。AC 電圧の影響については、あまり公表されていませんが、容量低下はおよそ 20% 超であると仮定すれば通常は十分です。これらを考慮すると、実容量は公称値より 50% 低いことがあるので、設計計算にはこの値を使用する必要があります。上記問題があるにしても、セラミック・コンデンサは信頼性が高く ESR がきわめて低いため、多くのアプリケーションに適しています。

必要とするリップル電圧レベルに適合する必要なコンデンサ容量は、次式で計算できます。より容量の大きいコンデンサを使用することもあります。

低 ESR のセラミック・コンデンサの場合、

$$V_{OUTripple} = \frac{\Delta I}{8 * F_{SW} * C_{OUT}} \quad (式\ 6)$$

ここで、ΔI はインダクタのピーク・ツー・ピーク・リップル電流、F_{SW} はスイッチング周波数、C_{OUT} は出力コンデンサです。

電解コンデンサの場合、

$$V_{OUTripple} = \Delta I * ESR \quad (式\ 7)$$

ループ補償の設計

COMP ピンが VCC に接続されていない場合、COMP ピンは外付けループ補償用に有効になります。ISL85415 は、一定周波数のピーク電流モード制御アーキテクチャを用いて、高速ループ過渡応答を実現しています。ハイサイド MOSFET に並列に接続した正確な電流センス・パイロット・デバイスをピーク電流制御と過電流保護の両方に使用しています。インダクタ・ピーク電流は一定ですのでインダクタを状態変数と見なす必要はなく、系は一次系になります。電圧モード制御と比べて、タイプ II 補償回路を設計してループを安定化するほうがはるかに簡単です。ピーク電流モード制御には本来、入力電圧フィード・フォワード機能が備わっているため、良好なライン・レギュレーションが得られます。図 60 に同期整流型降圧レギュレータの小信号モデルを示します。

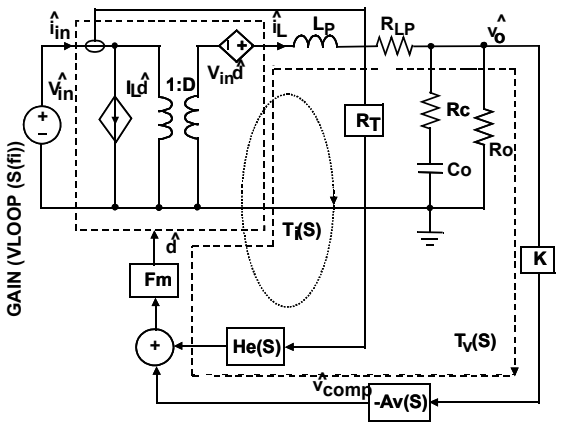


図 60. 同期整流型降圧レギュレータの小信号モデル

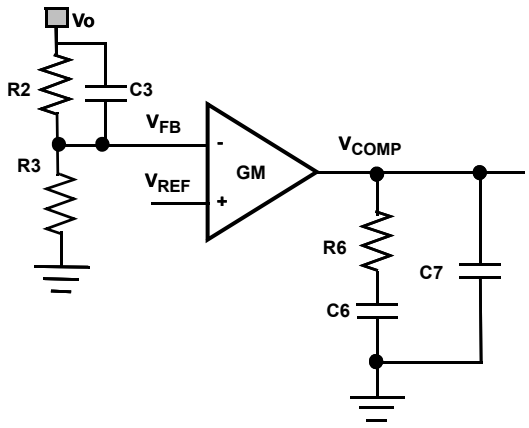


図 61. タイプ II 補償回路

タイプ II 補償回路の回路を図 61 に、伝達関数を式 8 に示します。

$$A_V(S) = \frac{\hat{v}_{COMP}}{\hat{v}_{FB}} = \frac{GM \cdot R_3}{(C_6 + C_7) \cdot (R_2 + R_3)} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right)\left(1 + \frac{S}{\omega_{cz2}}\right)}{S\left(1 + \frac{S}{\omega_{cp1}}\right)\left(1 + \frac{S}{\omega_{cp2}}\right)} \quad (式\ 8)$$

ここで、

$$\omega_{cz1} = \frac{1}{R_6 C_6},\ \omega_{cz2} = \frac{1}{R_2 C_3}, \omega_{cp1} = \frac{C_6 + C_7}{R_6 C_6 C_7}, \omega_{cp2} = \frac{R_2 + R_3}{C_3 R_2 R_3}$$

補償回路の設計目標は以下のとおりです。

高 DC ゲイン

ループ帯域幅 f_c：100kHz 未満

ゲインマージン：>10dB

位相マージン：>40°

補償回路の設計手順は以下のとおりです。

クロスオーバー周波数 f_c におけるループゲインはユニティゲインです。そこで、補償回路の抵抗 R_6 は式 9 で求められます。

$$R_6 = \frac{2\pi f_c V_o C_o R_t}{GM \cdot V_{FB}} = 27.3 \times 10^3 \cdot f_c V_o C_o \quad (式\ 9)$$

GM は各位相の電圧誤差アンプのトランスコンダクタンス g_m の和です。補償回路のコンデンサ C_6 は式 10 で与えられます。

$$C_6 = \frac{R_o C_o}{R_6} = \frac{V_o C_o}{I_o R_6}, C_7 = \max\left(\frac{R_c C_o}{R_6}, \frac{1}{\pi f_s R_6}\right) \quad (式\ 10)$$

高 DC ゲインを得るために、補償回路の 1 つのポールをゼロ周波数に配置し、もう 1 つのポールをスイッチング周波数の 1/2 か ESR ゼロ周波数のいずれか、式 10 で低いほうに配置します。必須ではありませんが、ゼロを追加すると位相マージンが向上します。ω_{CZ2} は R_2 と C_3 で構成されるゼロです。

補償回路のゼロはクロスオーバー周波数 f_c の 2 ～ 5 倍の周波数に配置します。

$$C_3 = \frac{1}{\pi f_c R_2} \quad (式\ 11)$$

例：V_{IN} = 12V、V_O = 5V、I_O = 500mA、fs = 500kHz、R_2 = 90.9kΩ、C_o = 22µF/5mΩ、L = 39µH、f_c = 50kHz のとき、15.2 補償回路の抵抗 R_6 は、以下のようになります。

$$R_6 = 27.3\times10^3 \cdot 50kHz \cdot 5V \cdot 22\mu F = 150.2k\Omega \quad (式\ 12)$$

R_6 として、上記の値に最も近い入手可能な素子の標準値 150kΩ を使用します。

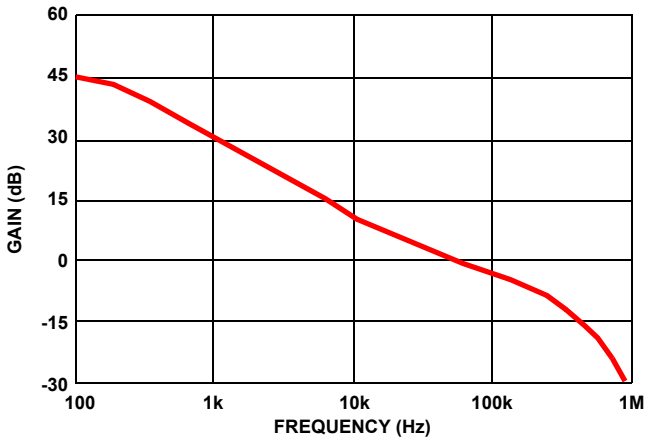
$$C_6 = \frac{5V \cdot 22\mu F}{500mA \cdot 150k\Omega} = 1.46nF \quad (式\ 13)$$

$$C_7 = \max\left(\frac{5m\Omega \cdot 22\mu F}{150k\Omega}, \frac{1}{\pi \cdot 500kHz \cdot 150k\Omega}\right) = (0.7pF, 4.2pF) \quad (式\ 14)$$

C_6 と C_7 についても同様に、上記の値に最も近い入手可能な素子の標準値を使用します。V_{COMP} と GND との間におよそ 3pF の寄生容量が存在するため、C_7 の実装は必須ではありません。C_6 = 1500pF を使用し、C_7 は開放とします。

$$C_3 = \frac{1}{\pi \cdot 50kHz \cdot 90.9k\Omega} = 70pF \quad (式\ 15)$$

また、C_3 = 68pF を使用します。C_3 によって、前述の推定値よりもループ帯域幅が増加することがある点に注意してください。図 62 に電圧ループゲインのシミュレーション結果を示します。ループ帯域幅は 75kHz、位相マージンは 61°、ゲインマージンは 6dB が得られています。ゲインマージンをもっと大きくすることが必要な場合があります。そのときは R_6 を 20% ～ 30% だけ小さくすれば、ゲインマージンを大きくできます。実際に、セラミック・コンデンサは、タイプによっては電圧および温度に関してかなりのディレーティングを必要とします。詳細については、セラミック・コンデンサのデータシートをご覧ください。



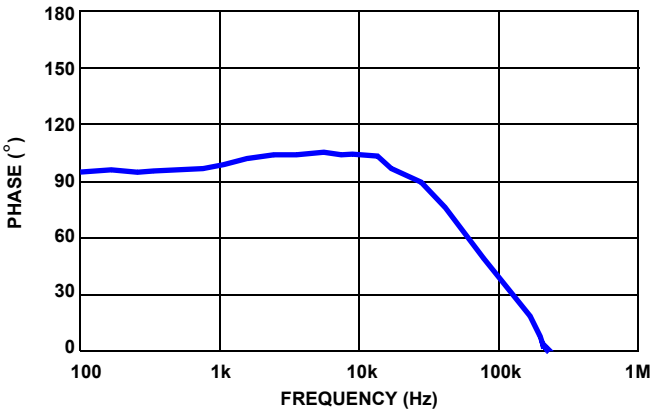


図 62. ループゲインのシミュレーション結果

レイアウトに関する考慮事項

電源コンバータのレイアウトを適切に行えば、EMI とノイズを最小限に抑え、設計の最初のパスでの成功を確実にします。プリント基板レイアウトは、複数の形式でインターシルのウェブサイトに掲載されています。さらに、図 63 を用いてプリント基板レイアウトの重要なポイントを明らかにします。実際に、ISL85415 のプリント基板レイアウトはきわめて単純です。

グラウンド層のある多層式プリント基板を推奨します。図 63 は、コンバータにおける重要な部品の接続を示しています。コンデンサ C_{IN} と C_{OUT} は、それぞれ複数の物理コンデンサで構成される場合もあります。最も重要な接続は、PGND ピンとパッケージのグラウンド・パッドの接続と、ビアを介したグラウンド・パッドとシステムのグラウンド層との直接接続です。グラウンド・パッドをシステムのグラウンド層へ接続することによって、リターン電流すべてが流れる低インピーダンスの経路を確保します。同時に、これは熱を放散させる優れた熱特性をもつ経路にもなります。この接続の後、入力コンデンサに高周波用積層セラミック・コンデンサ (MLCC) を使用して、VIN ピンの近くに配置します。このコンデンサに接続したコンデンサパッドを、ビアを介してシステムのグラウンド層に直接接続します。

ブートストラップ・コンデンサをプリント基板上でコントローラ IC と反対側の位置に配置するのは容易です。2 つのビアを介して、このコンデンサを直接 BOOT ピンと PHASE ピンに接続します。

1µF の積層セラミック・コンデンサを VCC ピンの近くに配置し、そのコンデンサの反対側のリードをシステムのグラウンド層にビアで直接接続してください。

帰還抵抗分圧回路は FB ピンの近くに配置し、帰還部品の経路がいずれも PHASE や BOOT の近くを通らないようにしてください。SS、COMP および FS に外付け部品を接続する場合も、上記の注意事項を守ってください。

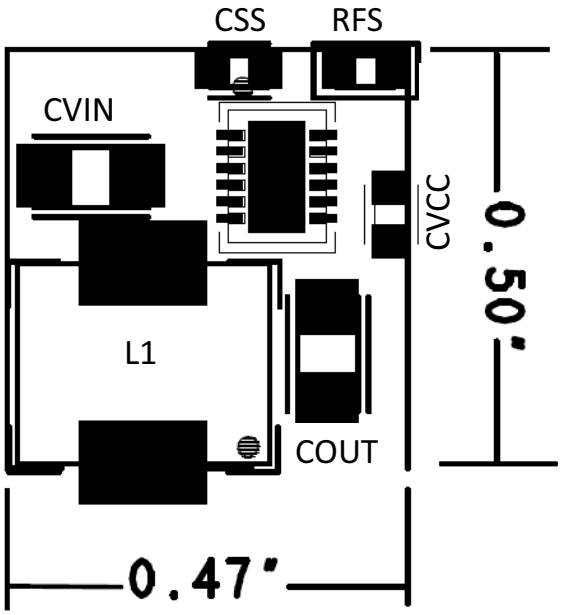


図 63. プリント基板の電源層とアイランド

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、
ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいますようお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をご覧ください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

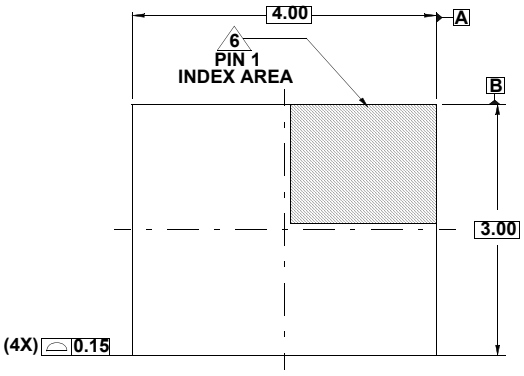
日付	レビジョン	変更点
2013 年 11 月 13 日	FN8373.3	3 ページの「ピンの説明」で SS ピンに関する参照先のページ番号を修正。「PFM モードに設定するには、SYNC ピンに Low レベルを与えるかグラウンドに接続します。」という文の直後に「論理グラウンドを設定することで IC が PFM モードまたは PWM モードを自動的に選択するようにできます。」という SYNC ピンに関する説明を追加。プルダウン抵抗を 1MΩ から 5MΩ に変更。 6 ページの「電気的特性」表で SYNC Pulse Width の TYP の数値 100ns を MIN に移動。 7 ページの「電気的特性」表の下の NOTE：に「Minimum On Time」の説明を追加。 21 ページの式 12 の値を 157kΩ から 150.2kΩ に変更。 20 ページの「ループ補償の設計」の最終段落のあとに「実際に、～」という文を追加。 15 ページの図 49 の VOUT のスケールを 2V/div から 10mV/div に変更。
2013 年 9 月 26 日	FN8373.2	1 ページの「製品間の主な違い」の表を削除。20 ページの（式 9）と 21 ページの（式 12）の係数を 31.4 から 27.3 に変更。
2013 年 9 月 5 日	FN8373.1	13 ページの図 38 で、タイトル中の「PWM」を「PFM」に変更。 12 ページの代表的な性能特性の最初の部分で、LX の表記をすべて PHASE に変更。
2013 年 7 月 15 日	FN8373.0	初版

インターシルについて

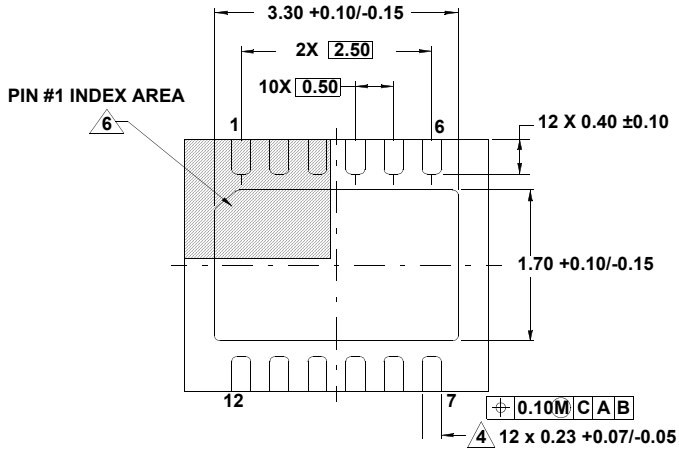
インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器 / インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。インターシルに関する詳細情報については、www.intersil.com をご覧ください。

最新のデータシート、アプリケーションノート、関連ドキュメント、関連部品は、www.intersil.com に記載のそれぞれの製品情報ページを参照してください。本データシートに関するご意見は www.intersil.com/en/support/ask-an-expert.html へお寄せください。信頼性に関するデータは次のウェブサイトを参照してください。http://www.intersil.com/en/support/qualandreliability.html#reliability

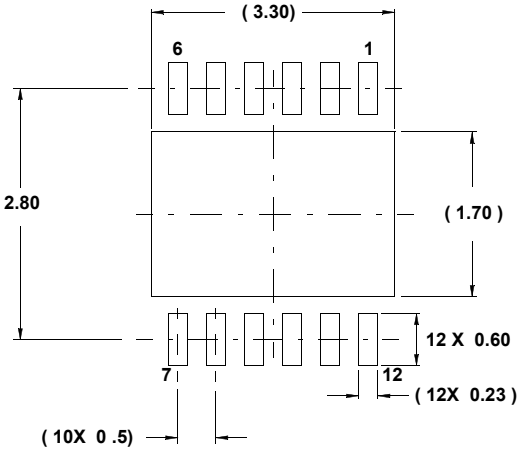
パッケージ寸法図
L12.4x3
12 LEAD DUAL FLAT NO-LEAD PLASTIC PACKAGE
Rev 2, 7/10



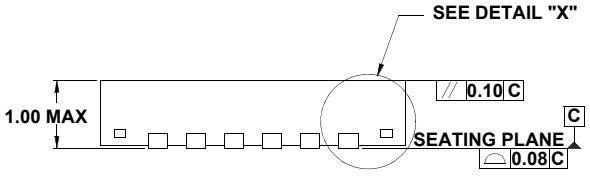
上面図



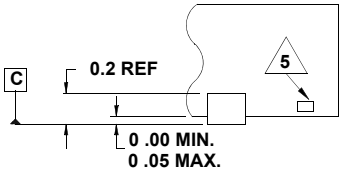
底面図



推奨ランドパターンの例



側面図



"X" の詳細

NOTE:

1. 寸法の単位は mm です。
   ( ) 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ±0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ～ 0.30mm のポイントで計測した値です。
5. タイバー(示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC MO-229 V4030D-4 issue E に準拠しています。