

高機能シングル汎用パルス幅変調 (PWM) コントローラ

ISL8130

ISL8130 は制御機能、出力調整機能、モニタリング機能、保護機能を単一パッケージ上に統合した汎用コントローラで、同期整流降圧型、標準昇圧型、SEPIC、フライバックの各トポロジに対応します。

ISL8130 は、単一帰還ループを用いたシンプルな電圧モード制御を高速負荷応答のもとで実行します。コンバータの出力電圧を最小 0.6V まで正確にレギュレートできます。スイッチング周波数は 100kHz ~ 1.4MHz の範囲で調整可能です。

エラー・アンプは 15MHz のゲイン帯域幅と 6V/μs のスルーレートによって高速負荷応答を実現しています。過渡状態における PWM デューティサイクルの範囲は 0% ~ 100% です。ENSS ピンとグラウンドの間に接続されたコンデンサによって、ソフトスタートのスルーレートを設定します。

ISL8130 は出力電圧をモニタリングし、ソフトスタート・シーケンスの完了後に出力がレギュレーション範囲内に達すると、PGOOD (パワーグッド) 信号を生成します。内蔵のオーバーボルテージ (過電圧) 保護回路は、出力電圧がセットポイントの 115% (typ) を上回らないようにします。降圧型構成と昇降圧型構成では、ハイスайд MOSFET の $r_{DS(ON)}$ をモニタリングし、PWM 動作を適切に抑制して、過電流状態からの保護を行います。この方式では、電流センス抵抗を不要にすることで効率を高めています。その他のトポロジでは、電流センス抵抗を利用して過電流保護を実行します。

特長

- 多用途の DC/DC コンバータに適した汎用コントローラ
- 広い入力範囲
 - 4.5V ~ 5.5V
 - 5.5V ~ 28V
- ソフトスタートをプログラム可能
- プリバイアス負荷アプリケーションに対応
- 抵抗で選択可能なスイッチング周波数
 - 100kHz ~ 1.4MHz
- 外部リファレンス・トラッキング・モード
- 高速負荷応答
 - 広帯域エラー・アンプ
- 広範な回路保護機能
 - 過電圧、過電流、シャットダウン
- 鉛フリー (RoHS 準拠)

アプリケーション

- マイクロプロセッサ / ASIC の電源
- イーサネット・ルータ / スイッチャ
- 医療用機器の電源

関連文書

- テクニカル・ブリーフ [TB389](#) 「PCB Land Pattern Design and Surface Mount Guidelines for QFN Packages」

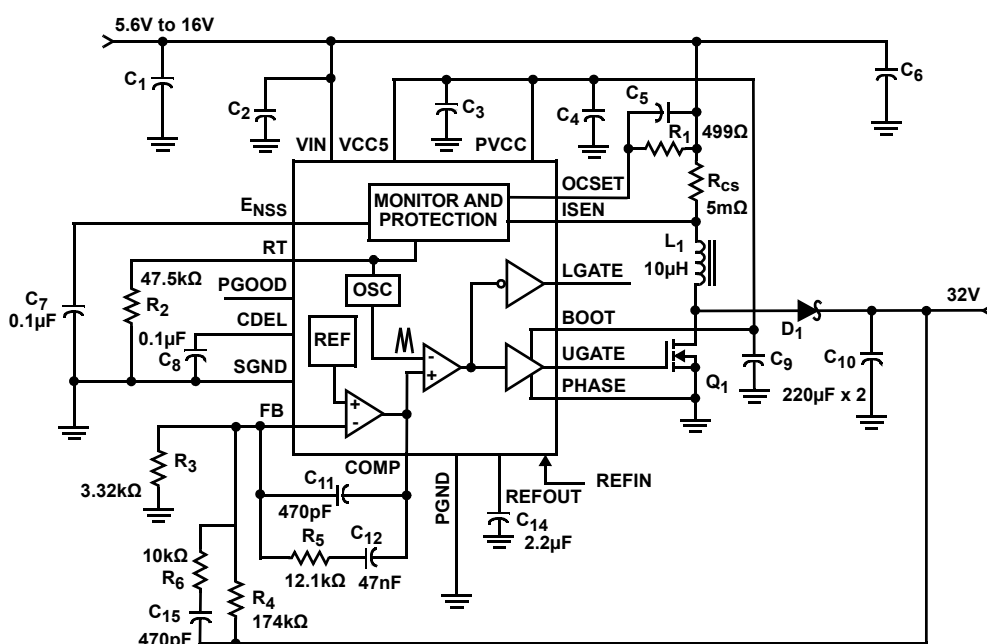


図 1. 昇圧型コンバータ

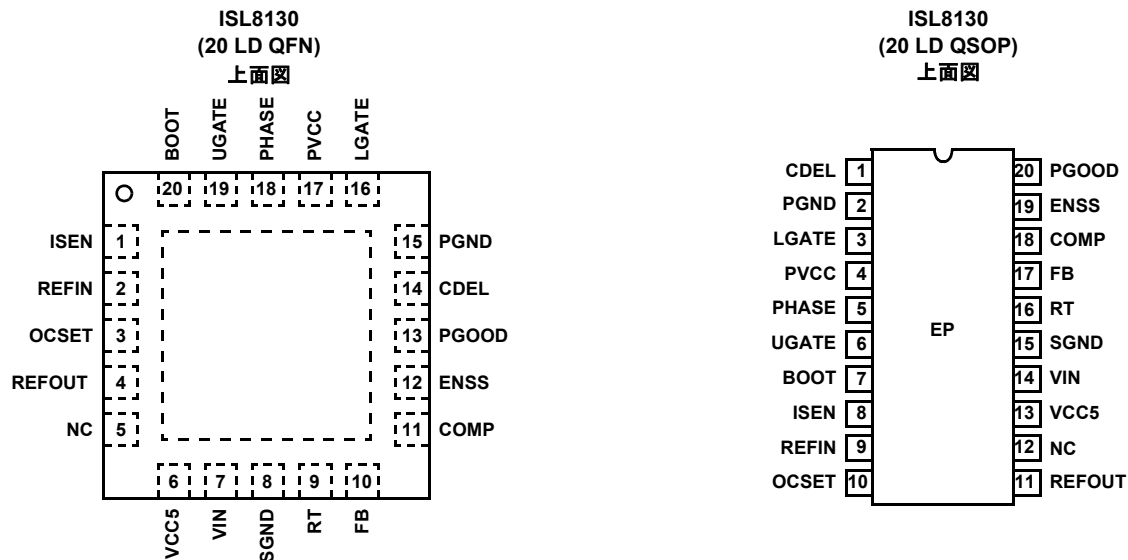
注文情報

製品型番 (Note 1、2、3)	マーキング	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL8130IAZ	8130 IAZ	-40 ~ +85	20 Ld QSOP	M20.15
ISL8130IRZ	81 30IRZ	-40 ~ +85	20 Ld 4x4 QFN	L20.4x4

Note :

- テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
- 湿度感受性レベル (MSL) については [ISL8130](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (TB363)」を参照してください。

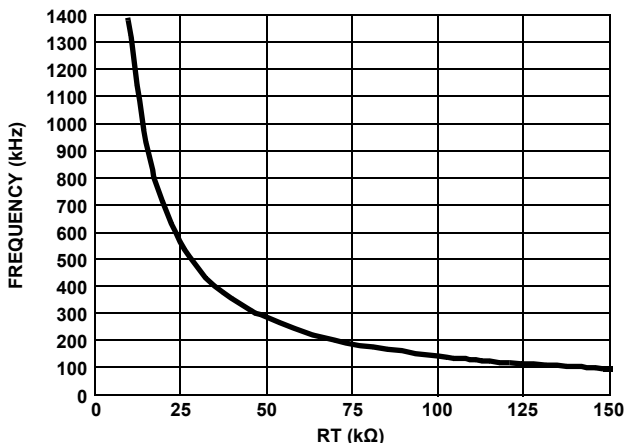
ピン配置図



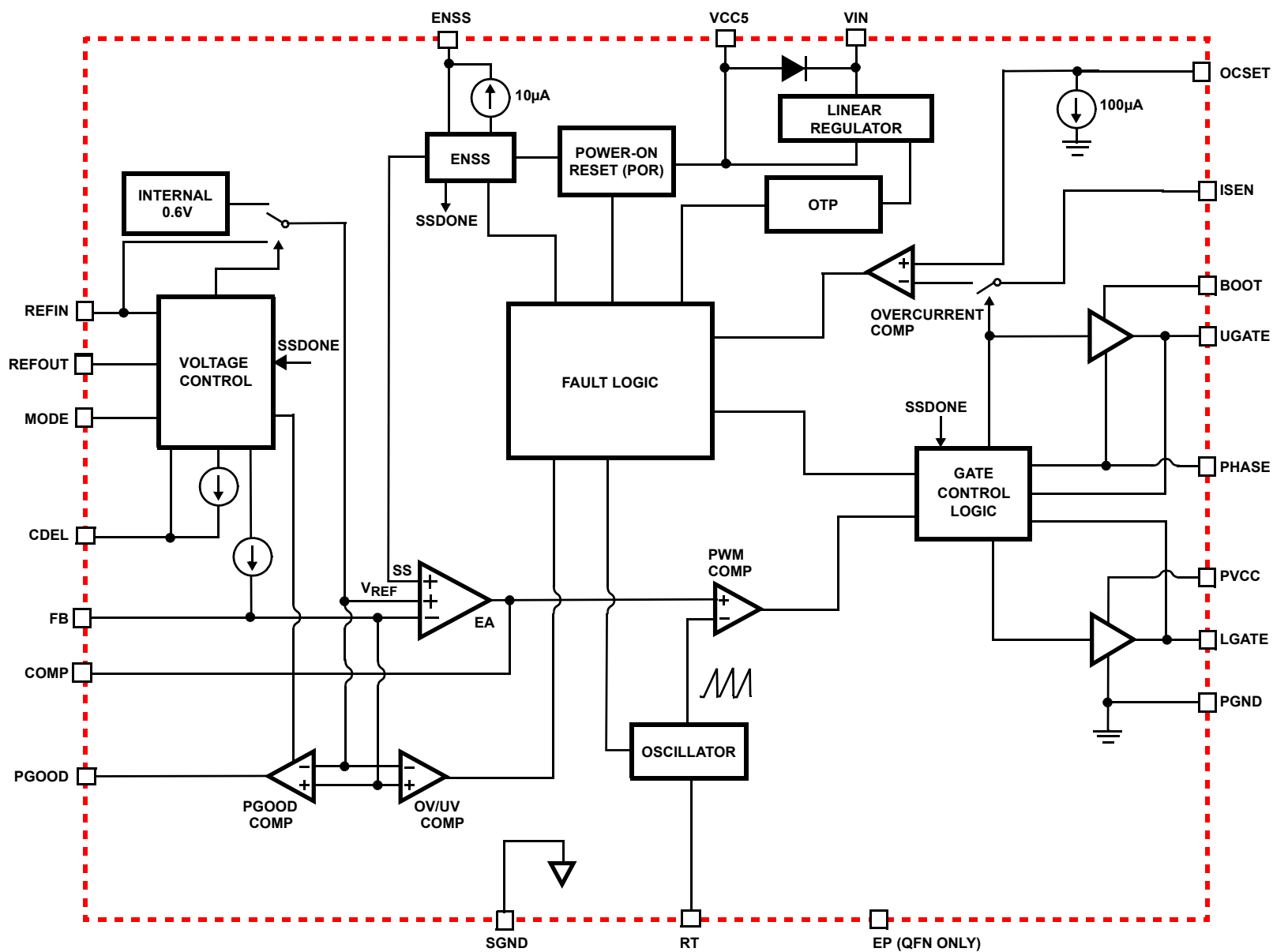
ピンの説明

ピン番号 QFN、QSOP	名称	説明
1, 8	ISEN	過電流保護コンパレータへの入力。このピンの電圧を OCSET ピンの電圧と比較して、過電流状態を検出します。昇圧型、SEPIC、フライバックの各構成では、このピンをインダクタと電流センス抵抗の接続部に接続してください。降圧型構成では、ハイサイド MOSFET の両端間の電圧低下を検出する目的で、このピンをフェーズ・ノードに接続してください。詳細については 13 ページ「過電流保護」を参照してください。
2, 9	REFIN	REFIN を入力リファレンスとして使用する場合は、0.6V ~ 1.25V の範囲の必要なリファレンス電圧を REFIN ピンに接続してください。内部リファレンス電圧を使用する場合は、このピンを VCC5 に接続してください。REFIN ピンはフローティング状態にしてはなりません。
3, 10	OCSET	電源とこのピンの間に接続された抵抗を介して内蔵電流源が 100µA の電流を取得します。このピンの電圧を ISEN ピンの電圧と比較して、過電流状態を検出します。
4, 11	REFOUT	このピンは、バッファされた REFIN のリファレンス出力を供給します。2.2µF のデカップリング・コンデンサをこのピンに接続してください。
5, 12	NC	未接続。
6, 13	VCC5	このピンは内蔵 5V LDO の出力です。IC のできる限り近くで、4.7µF 以上のセラミック・デカップリング・コンデンサをこのピンに接続してください。表 1 を参照してください。

ピンの説明 (続き)

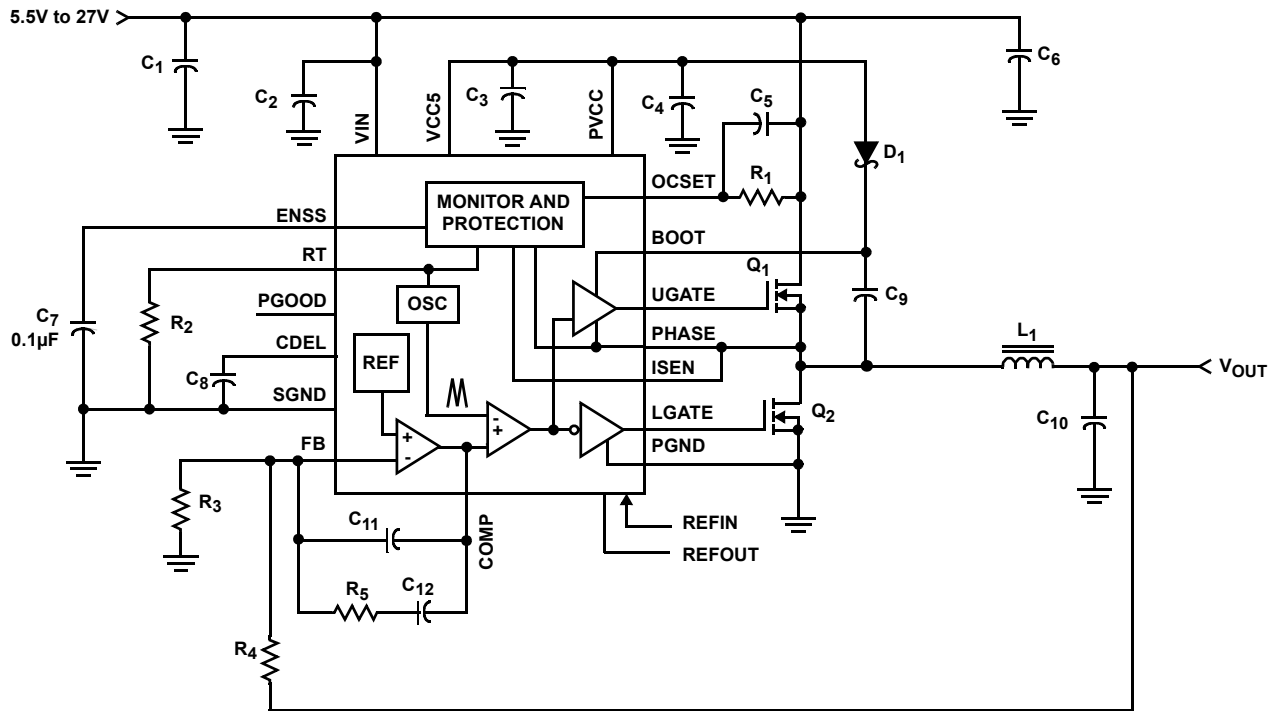
ピン番号 QFN、QSOP	名称	説明
7, 14	VIN	このピンはコントローラに電力を供給します。VIN ピンのできる限り近くにセラミック・コンデンサを接続し、グラウンドに対してデカップリングしてください。
8, 15	SGND	このピンは IC の信号グラウンドとなります。超低インピーダンス接続を介してこのピンをグラウンド層に接続してください。
9, 16	RT	発振器周波数選択ピンです。このピンを VCC5 に直接接続すると、300kHz のフリー・ランニング発振器周波数が選択されます。このピンと GND の間に抵抗を接続すると、発振器周波数を 100kHz ~ 1.4MHz の範囲でプログラムできます。図 2 に、発振器周波数と RT 抵抗の関係を示します。  図 2. 発振器周波数 vs RT
10, 17	FB	このピンは帰還抵抗分圧回路に接続され、電圧帰還信号をコントローラに供給します。このピンによってコンバータの出力電圧を設定します。
11, 18	COMP	このピンはエラー・アンプ出力ピンです。PWM エラー・アンプの補償ポイントとして使用されます。
12, 19	ENSS	このピンは、PWM 出力に対してイネーブル/ディスエーブル機能とソフトスタート機能を提供します。このピンを 1V 未満にすると、出力ドライバがオフになります。
13, 20	PGOOD	このピンはパワーグッド・ステータスを通知します。これは出力電圧ステータスの通知に使用されるオープン・コレクタ出力です。
14, 1	CDEL	2μA の CDEL 電流と、このピンとグラウンドの間に接続されているコンデンサの容量に比例した時間で、PGOOD 信号を遅らせます。通常は 0.1μF で 125ms のディレイが生じます。
15, 2	PGND	このピンは IC の電源グラウンドとなります。超低インピーダンス接続を介してこのピンをグラウンド層に接続してください。
16, 3	LGATE	降圧型構成と昇降圧型構成では、このピンはローサイド MOSFET の PWM 制御ゲートドライブに使用されます。
17, 4	PVCC	このピンはゲートドライバの電源接続です。このピンは VCC5 ピンに接続します。IC のできる限り近くで、1.0μF 以上のセラミック・デカップリング・コンデンサをこのピンに接続してください。
18, 5	PHASE	このピンはハイサイド・ゲートドライバの帰還パスとなります。降圧型構成では、インダクタ、ハイサイド MOSFET ソース、ローサイド MOSFET ドレインのジャンクション・ポイントになります。昇圧型、SEPIC、フライバックの各構成では、このピンを電源グラウンドに接続します。
19, 6	UGATE	すべての構成で、このピンはメイン・スイッチング MOSFET の PWM 制御ゲートドライブに使用されます。
20, 7	BOOT	このピンは、UGATE ピン上でレベルシフト・ゲートドライブ信号を生成するのに使用されます。降圧型構成と昇降圧型構成では、このピンをブートストラップ・コンデンサとブートストラップ・ダイオードのカソードとのジャンクションに接続してください。その他のトポロジでは、このピンを PVCC に接続してください。詳細については、5 ページから始まるアプリケーション回路例を参照してください。
21 (QSOP のみ)	EP	このパッドは電氣的に絶縁されています。確実な熱伝導パスを構築するには、少なくとも 5 つのビアを使ってこのパッドを信号グラウンド層に接続してください。

ブロック図

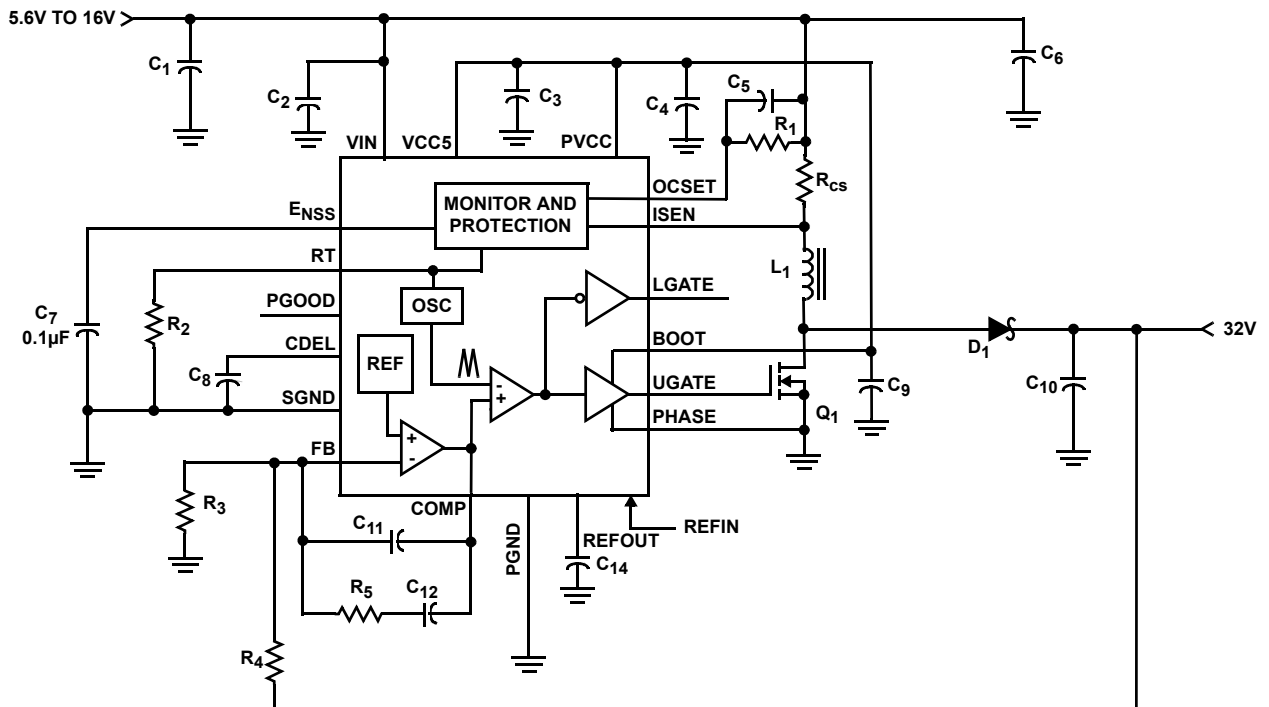


ISL8130

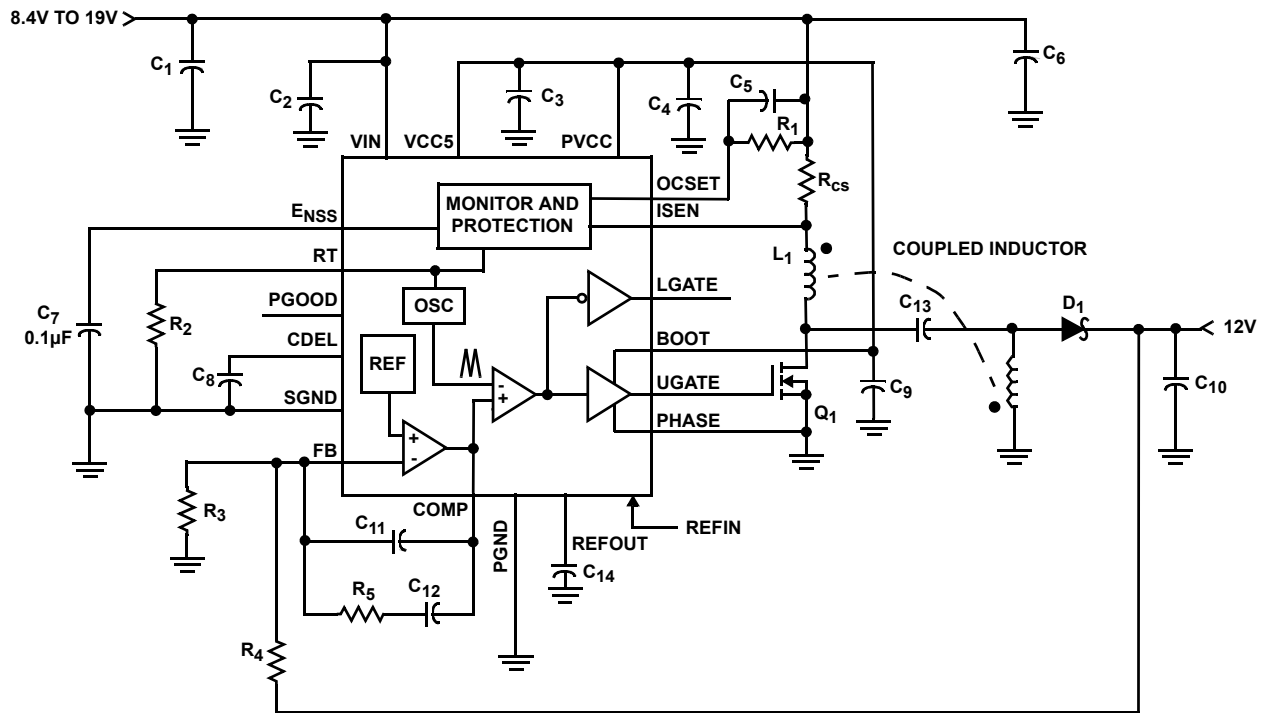
降圧型 DC/DC アプリケーション回路の例



標準昇圧型 DC/DC アプリケーション回路の例



SEPIC DC/DC アプリケーション回路の例



絶対最大定格

VIN ~ GND	-0.3V ~ +30V
PHASE, BOOT, UGATE ~ GND	-0.3V ~ +33V
BOOT ~ PHASE	-0.3V ~ VCC + 0.3V
PVCC, VCC5, PGOOD, REFIN, CDEL ~ GND	-0.3V ~ +6V
LGATE, ENSS, COMP, FB, RT ~ GND	-0.3V ~ VCC5 + 0.3V
OCSET, ISEN ~ GND	-0.3V ~ +27V
OCSET ~ ISEN	-0.7V ~ +27V
ESD 定格	
人体モデル (JESD22-A114F に従ってテスト済み)	2kV
機械モデル (JESD22-A115C に従ってテスト済み)	150V
デバイス帯電モデル (JESD22-C101E に従ってテスト済み)	1.5kV
ラッチアップ定格	
(JESD-78C; Class 2, Level A に従ってテスト済み)	100mA

温度情報

熱抵抗 (typ)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
QFN パッケージ (Note 4, 6)	43	6.5
QSOP パッケージ (Note 5, 7)	90	52
最大ジャンクション温度 (プラスチック・パッケージ)	+150 °C	
最大保存温度範囲	-65 °C ~ +150 °C	
周囲温度範囲	-40 °C ~ +85 °C	
(製品型番の末尾に「I」が付いたもの)		
ジャンクション温度範囲	-40 °C ~ +125 °C	
鉛フリー・リフロープロファイル	以下の URL を参照	
http://www.intersil.com/pbfree/Pb-FreeReflow.asp		

推奨動作条件

VIN ~ GND	4.5V ~ +24V
OCSET ~ VIN	-1.4V ~ +0.3V
周囲温度範囲	-40 °C ~ +85 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

Note :

- θ_{JA} はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板上に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- θ_{JA} はデバイスを放熱効率の高い試験基板上に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ上面の中心です。

電気的特性 動作条件：VIN = 12V、PVCC を VCC5 に接続、TA = +25 °C。太字のリミット値は動作温度範囲 -40 °C ~ +85 °C に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 13)	TYP	MAX (Note 13)	UNITS
VIN SUPPLY CURRENT						
Shutdown Current (Note 8)	I _{VIN_SHDN}	EN/SS = GND	-	1.4	-	mA
Operating Current (Notes 8, 9)	I _{VIN_OP}		-	2.0	3.0	mA
VCC5 SUPPLY (Notes 9, 10)						
Input Voltage Range		V _{IN} = VCC5 for 5V configuration	4.5	5.0	5.5	V
Output Voltage		V _{IN} = 5.6V to 28V, I _L = 3mA to 50mA	4.5	5.0	5.5	V
Maximum Output Current		V _{IN} = 12V	50	-	-	mA
POWER-ON RESET						
Rising VCC5 Threshold		V _{IN} connected to VCC5, 5V input operation	4.310	4.400	4.475	V
Falling VCC5 Threshold			4.090	4.100	4.250	V
UVLO Threshold Hysteresis			0.16	-	-	V
PWM CONVERTERS						
Maximum Duty Cycle		f _{SW} = 300kHz	90	96	-	%
Minimum Duty Cycle		f _{SW} = 300kHz	-	-	0	%
FB Pin Bias Current			-	80	-	nA
Undervoltage Protection	V _{UV}	Fraction of the set point; ~3μs noise filter	75	-	85	%
Overvoltage Protection	V _{OV}	Fraction of the set point; ~1μs noise filter	112	-	120	%
OSCILLATOR						
Free Running Frequency		RT = VCC5, T _A = -40°C to +85°C	270	300	330	kHz
Total Variation		T _A = -40°C to +85°C, with frequency set by external resistor at RT	-	±10%	-	%

ISL8130

電気的特性 動作条件 : $V_{IN} = 12V$ 、 $PVCC$ を $VCC5$ に接続、 $T_A = +25^\circ C$ 。太字のリミット値は動作温度範囲 $-40^\circ C \sim +85^\circ C$ に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 13)	TYP	MAX (Note 13)	UNITS
Frequency Range (Set by RT)		$V_{IN} = 12V$	100	-	1400	kHz
Ramp Amplitude (Note 11)	ΔV_{OSC}		-	1.25	-	V_{P-P}
REFERENCE AND SOFT-START/ENABLE						
Internal Reference Voltage	V_{REF}		0.594	-	0.606	V
Soft-Start Current	I_{SS}		-	10	-	μA
Soft-Start Threshold	V_{SOFT}		1.0	-	-	V
Enable Low (Converter Disabled)			-	-	1.0	V
PWM CONTROLLER GATE DRIVERS						
Gate Drive Pull Down Resistance			-	2.0	-	Ω
Gate Drive Pull Up Resistance			-	2.6	-	Ω
Rise Time		$C_o = 3300pF$	-	25	-	ns
Fall Time		$C_o = 3300pF$	-	25	-	ns
Dead Time Between Drivers			-	20	-	ns
ERROR AMPLIFIER						
DC Gain (Note 11)			-	88	-	dB
Gain-Bandwidth Product (Note 11)	GBW		-	15	-	MHz
Slew Rate (Note 11)	SR		-	6	-	$V/\mu s$
COMP Source/Sink Current (Note 11)				± 0.4		mA
OVERCURRENT PROTECTION						
OCSET Current Source	I_{OCSET}	$V_{OCSET} = 4.5V$	80	100	120	μA
POWER-GOOD AND CONTROL FUNCTIONS						
Power-Good Lower Threshold	V_{PG-}	Fraction of the set point; $\sim 3\mu s$ noise filter	-14	-10	-8	%
Power-Good Higher Threshold	V_{PG+}	Fraction of the set point; $\sim 3\mu s$ noise filter	9	-	16	%
PGOOD Leakage Current	I_{PGLKG}	$V_{PULLUP} = 5.0V$ (Note 12)	-	-	1	μA
PGOOD Voltage Low		$I_{PGOOD} = 4mA$	-	-	0.5	V
PGOOD Delay		$C_{DEL} = 0.1\mu F$	-	125	-	ms
C_{DEL} Current for PGOOD		C_{DEL} threshold = 2.5V	-	2	-	μA
C_{DEL} Threshold			-	2.5	-	V
EXTERNAL REFERENCE						
Min External Reference Input at REFIN			-	0.600	-	V
Max External Reference Input at REFIN			-	-	1.250	V
REFERENCE BUFFER						
Buffered Output Voltage - Internal Reference	V_{REFOUT}	$I_{REFOUT} = 1mA$, $C_{REFOUT} = 2.2\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$	0.583	0.595	0.607	V
Buffered Output Voltage - Internal Reference	V_{REFOUT}	$I_{REFOUT} = 20mA$, $C_{REFOUT} = 2.2\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$	0.575	0.587	0.599	V

電気的特性 動作条件 : $V_{IN} = 12V$ 、PVCC を VCC5 に接続、 $T_A = +25^\circ C$ 。太字のリミット値は動作温度範囲 $-40^\circ C \sim +85^\circ C$ に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 13)	TYP	MAX (Note 13)	UNITS
Buffered Output Voltage - External Reference	V_{REFOUT}	$V_{REFOUT} = 1.25V$, $I_{REFOUT} = 1mA$, $C_{REFOUT} = 2.2\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$	1.227	1.246	1.265	V
Buffered Output Voltage - External Reference	V_{REFOUT}	$V_{REFOUT} = 1.25V$, $I_{REFOUT} = 20mA$, $C_{REFOUT} = 2.2\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$	1.219	1.238	1.257	V
Current Drive Capability		$C_{REFOUT} = 2.2\mu F$	20			mA
THERMAL SHUTDOWN						
Shutdown Temperature (Note 11)			-	150	-	$^\circ C$
Thermal Shutdown Hysteresis (Note 11)			-	20	-	$^\circ C$

Note :

- 5V 入力時の動作消費電流とシャットダウン電流の仕様は、VIN 消費電流の仕様と同じです (入力条件 : $5.6V \sim 28V$)。これらの仕様は、5V 入力用に構成された部品を使って試験が行われます ($V_{IN} = V_{CC5} = PVCC = 5V$)。
- デバイスがアクティブだがスイッチングが行われていないときに消費される V_{CC} 電流です。ゲートドライブ電流は含まれていません。
- VIN ピンの入力電圧が $5.6V \sim 28V$ の場合、VCC5 ピンは合計で $50mA$ (max) に対応した 5V 出力を内蔵 LDO から供給します。入力電圧が 5V の場合、VCC5 ピンは 5V 入力として使用され、内蔵 LDO レギュレータがディスエーブルになるので、VIN を VCC5 に接続する必要があります。いずれの場合でも必ず、PVCC ピンを VCC5 ピンに接続してください (詳細は 15 ページの「動作の説明」を参照)。
- リミット値は特性評価によって得ており、製造時試験は行っていない。
- VCC5 をプルアップ・ソースとして使用することを推奨します。
- MIN パラメータと MAX パラメータは特記のない限り $+25^\circ C$ で全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていない。

性能特性

特記のない限り、オシロスコプのグラフは、評価ボード ISL8130EVAL1Z (降圧型コンバータ) または ISL8130EVAL2Z (昇圧型コンバータ) を使用し、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ (降圧型コンバータ) または $V_{OUT} = 32V$ (昇圧型コンバータ) で測定したものです。

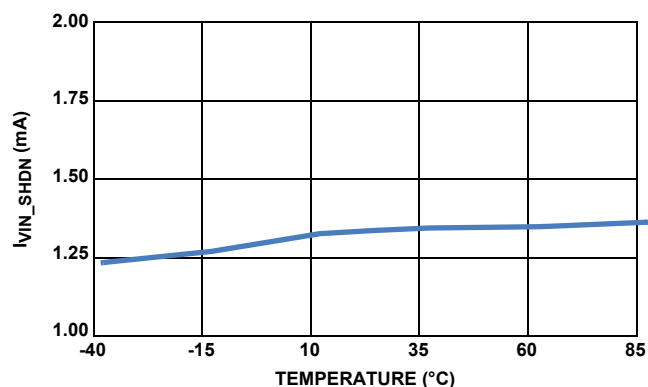


図 3. シャットダウン電流 I_{VIN_SHDN} vs 温度

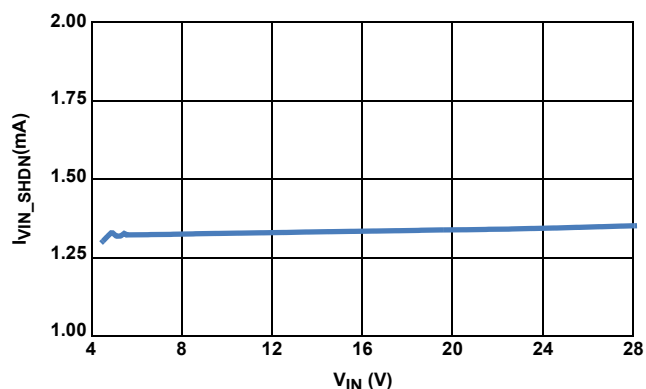


図 4. シャットダウン電流 I_{VIN_SHDN} vs V_{IN}

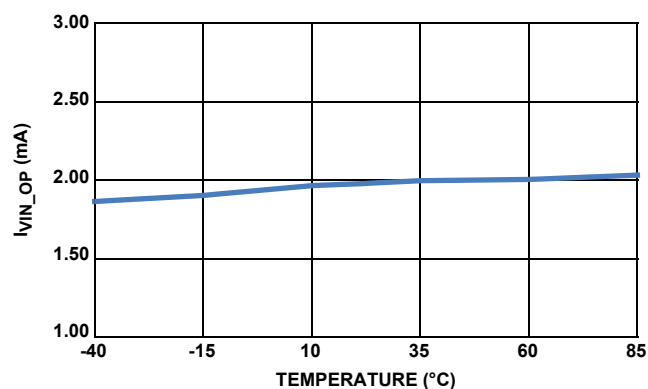


図 5. 動作電流 I_{VIN_OP} vs 温度

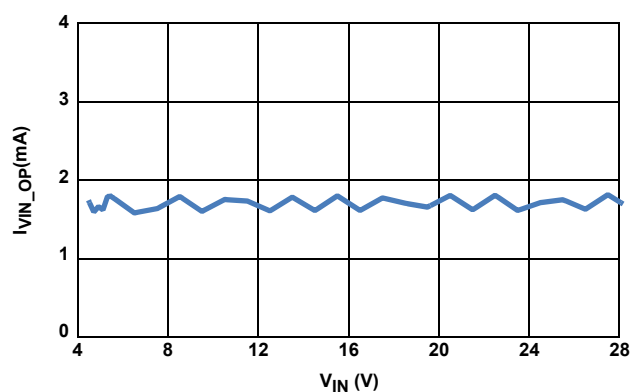


図 6. 動作電流 I_{VIN_OP} vs V_{IN}

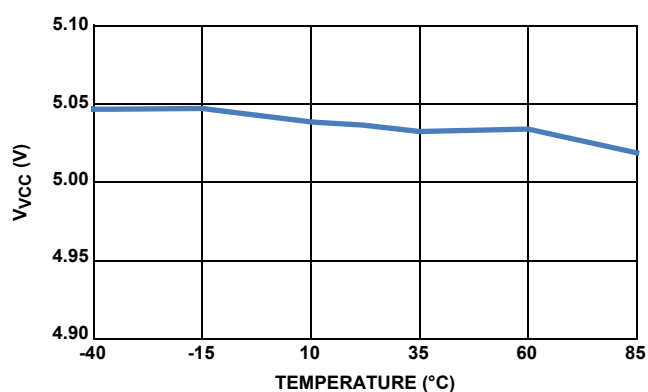


図 7. V_{VCC} vs 温度

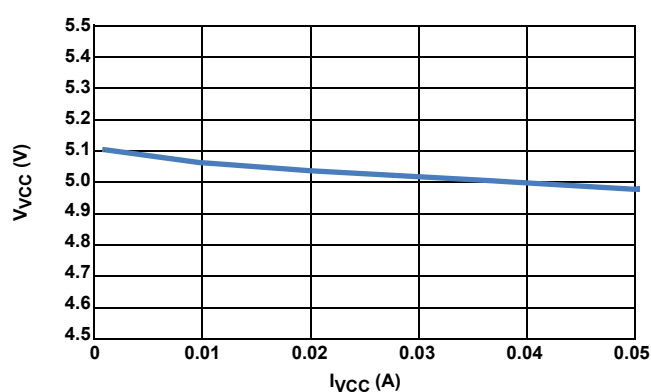


図 8. V_{VCC} vs I_{VCC}

性能特性

特記のない限り、オシロスコプのグラフは、評価ボード ISL8130EVAL1Z (降圧型コンバータ) または ISL8130EVAL2Z (昇圧型コンバータ) を使用し、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ (降圧型コンバータ) または $V_{OUT} = 32V$ (昇圧型コンバータ) で測定したものです。(続き)

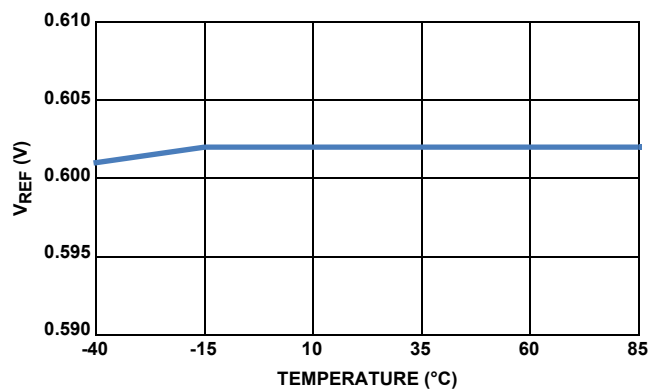


図 9. V_{REF} vs 温度

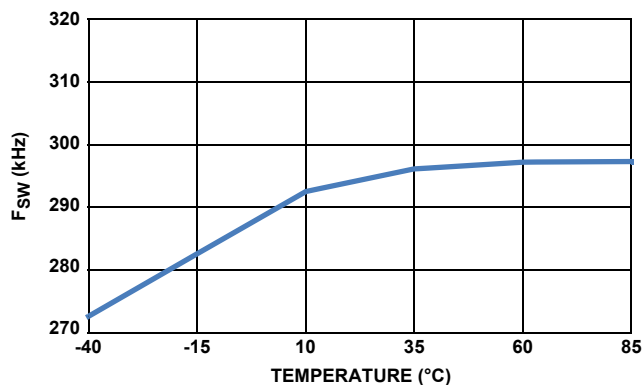


図 10. F_{SW} vs 温度

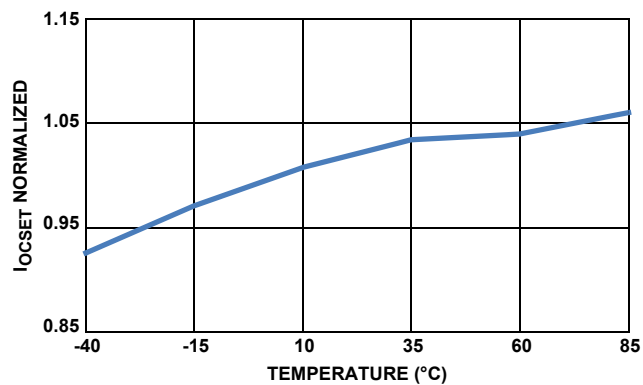


図 11. I_{OCSET} vs 温度

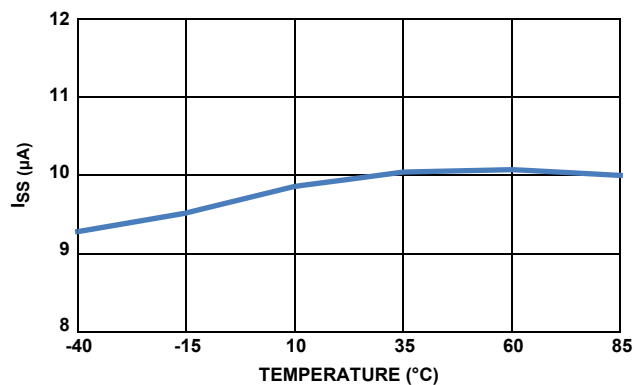


図 12. ソフトスタート電流 I_{SS} vs 温度

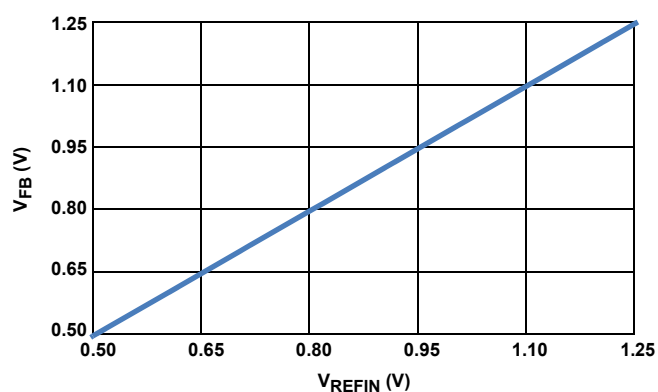


図 13. V_{FB} vs V_{REFIN}

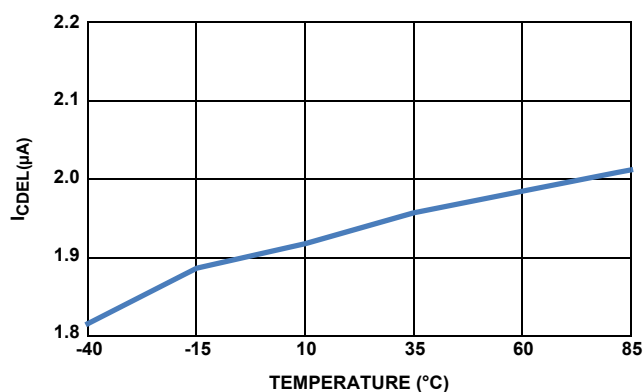


図 14. PGOOD 用の CDEL 電流 I_{CDEL} vs 温度

性能特性

特記のない限り、オシロスコブのグラフは、評価ボード ISL8130EVAL1Z (降圧型コンバータ) または ISL8130EVAL2Z (昇圧型コンバータ) を使用し、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ (降圧型コンバータ) または $V_{OUT} = 32V$ (昇圧型コンバータ) で測定したものです。(続き)

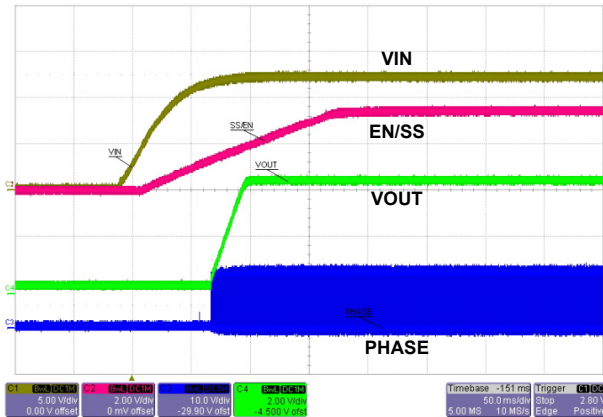


図 15. ソフトスタート波形、プリバイアスなし、降圧型コンバータ

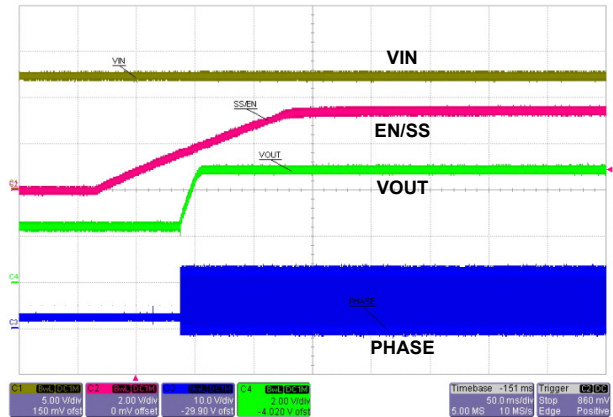


図 16. ソフトスタート波形、プリバイアスあり、降圧型コンバータ

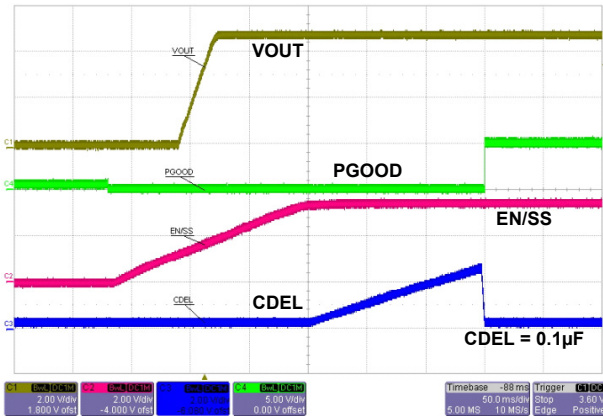


図 17. スタートアップ時の PGOOD プルアップ・ディレイ、降圧型コンバータ

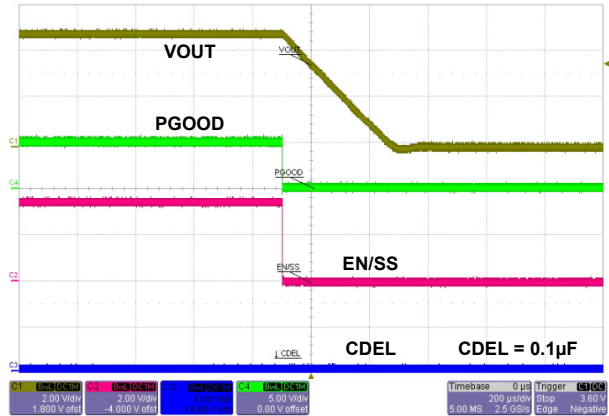


図 18. シャットダウン時の PGOOD プルダウン、降圧型コンバータ

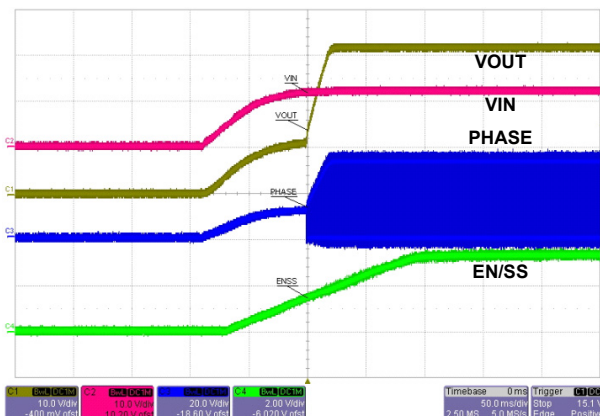


図 19. ソフトスタート波形、プリバイアスなし、昇圧型コンバータ

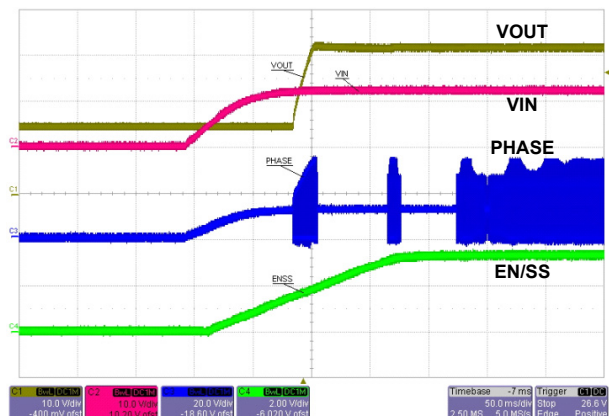


図 20. ソフトスタート波形、プリバイアスあり、昇圧型コンバータ

性能特性

特記のない限り、オシロスコープのグラフは、評価ボード ISL8130EVAL1Z (降圧型コンバータ) または ISL8130EVAL2Z (昇圧型コンバータ) を使用し、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ (降圧型コンバータ) または $V_{OUT} = 32V$ (昇圧型コンバータ) で測定したものです。(続き)

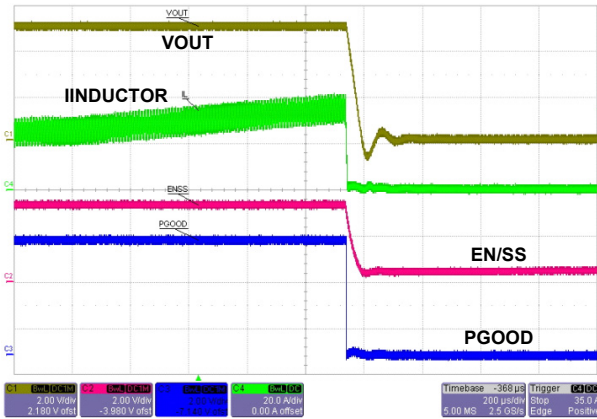


図 21. 過電流保護、降圧型コンバータ

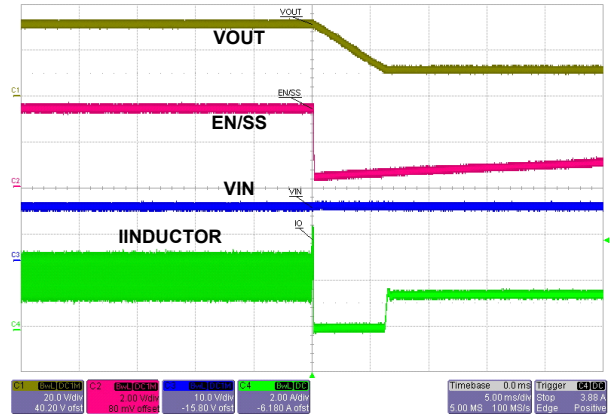


図 22. 過電流保護、昇圧型コンバータ

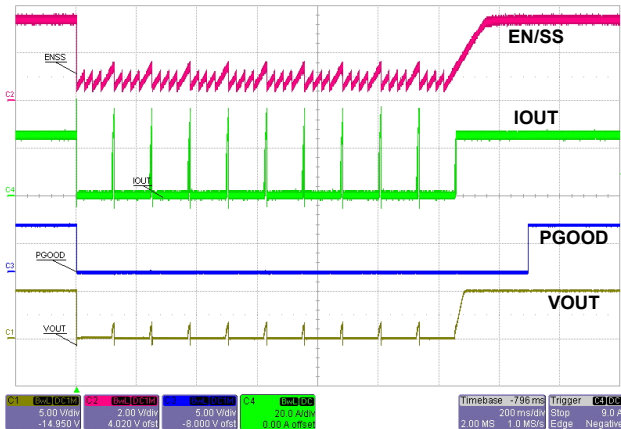


図 23. 過電流保護の開始と終了、降圧型コンバータ

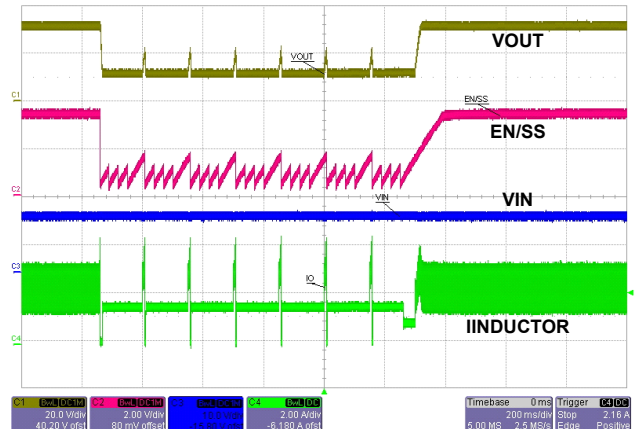


図 24. 過電流保護の開始と終了、昇圧型コンバータ

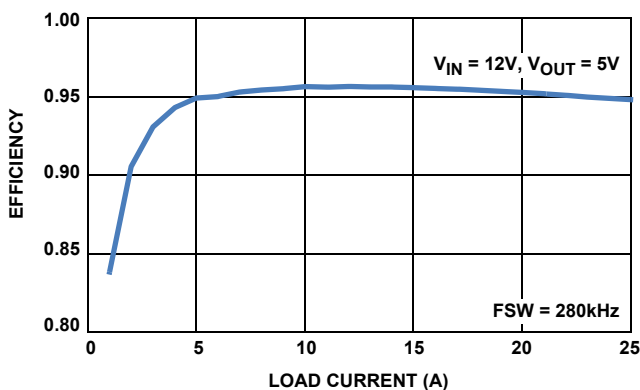


図 25. 効率 vs 負荷電流、降圧型コンバータ、ハイサイド / ローサイド MOSFET : BSC057N03LS×2、インダクタ : SER2010-901

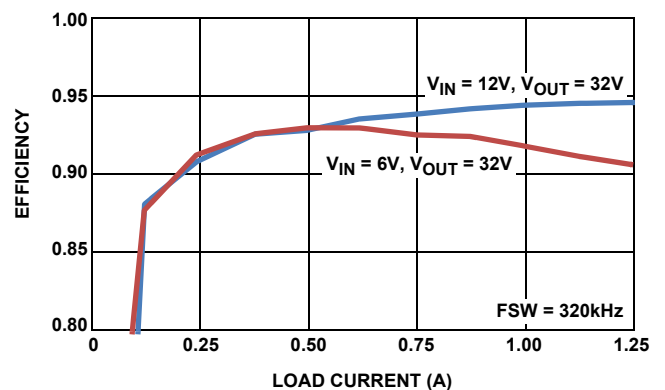


図 26. 効率 vs 負荷電流、昇圧型コンバータ、MOSFET : BSC100N06LS、インダクタ : WE 74477110

性能特性

特記のない限り、オシロスコープのグラフは、評価ボード ISL8130EVAL1Z (降圧型コンバータ) または ISL8130EVAL2Z (昇圧型コンバータ) を使用し、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ (降圧型コンバータ) または $V_{OUT} = 32V$ (昇圧型コンバータ) で測定したものです。(続き)

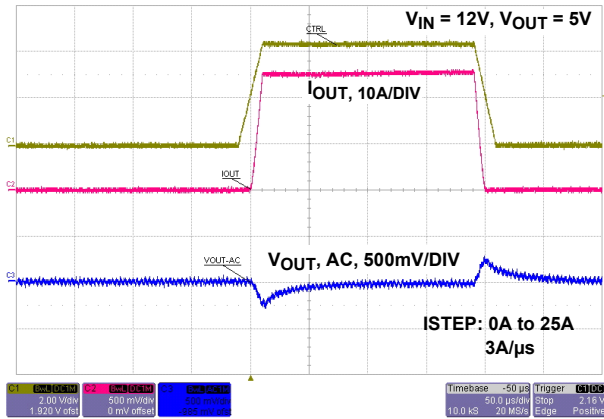


図 27. 負荷変動、降圧型コンバータ、インダクタ :
SER2010-901、 $C_{OUT} : 2 \times 16SEPC180MX$

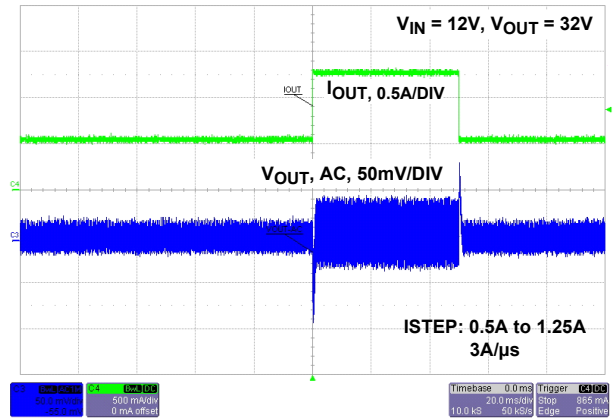


図 28. 負荷変動、昇圧型コンバータ、インダクタ :
WE 74477110、 $C_{OUT} : 2 \times 220\mu F$ 50V、42mΩ ESR

動作の説明

初期化

ISL8130 は、電力を受け取ると自動的に初期化を行います。このパワーオン・リセット (POR) 機能では、LDO 出力 (VCC5) で生成された内部バイアス電圧と ENSS ピンをモニタリングします。VCC5 が POR スレッシュホールドを超えると、POR 機能がソフトスタート動作を開始します。チップがディスエーブルの場合 (ENSS ピン < 1V の場合)、POR 機能は動作を抑制します。

このデバイスは、内蔵の 5V リニアレギュレータによってチップへのバイアス供給とゲートドライバへの電力供給を行うことにより、VIN ピンに直接接続された 5.5V ~ 24V の入力電源電圧で動作できます。5V ±10% のアプリケーションの場合は、VIN を VCC5 に接続してリニアレギュレータをバイパスしてください。表 1 を参照してください。

表 1. 入力電源の構成

入力	ピン配置
5.5V ~ 24V	入力を VIN ピンに接続してください。VCC5 ピンが内蔵 LDO から 5V 出力を供給します。PVCC は VCC5 に接続します。
5V ±10%	入力を VCC5 ピンに接続してください。PVCC ピンと VIN ピンも VCC5 に接続します。

シャットダウン

ENSS ピンの電圧が 1V 未満になると、PWM 出力ドライバがトライステートの状態となり、レギュレータがディスエーブルになります。ディスエーブル時は、IC の消費電力が減少します。

ソフトスタート / イネーブル

ISL8130 のソフトスタート機能は、内蔵電流源と外付けコンデンサを利用してスタートアップ時のストレスとサージ電流を低減します。

内蔵リニアレギュレータの出力が POR スレッシュホールドに達すると、POR 機能はソフトスタート・シーケンスを開始します。内蔵の 10μA 電流源は、ENSS ピンに接続された外付けコンデンサに 0V ~ 3.3V までリニアに充電します。

ENSS ピンの電圧が 1V (typ) に達すると、ENSS 電圧の dv/dt に追従して 0.6V の内部リファレンスが充電を開始します。ソフトスタート・ピンが 1V ~ 1.6V まで充電するのに伴い、リファレンス電圧は 0V ~ 0.6V まで充電します。図 15 に、代表的なソフトスタート・シーケンスを示してあります。

プリバイアス負荷へのスタートアップ

ISL8130 は、プリバイアス負荷へのパワーアップが可能のように設計されています。ソフトスタート時に、エラー・アンプが FB ピンの電圧と ENSS ピンで得られる立ち上がりリファレンス電圧を比較します。VFB が立ち上がりリファレンス電圧より高い場合は、COMP ピンが Low に維持され、スイッチングが抑制されます。

立ち上がりリファレンス電圧が FB ピンの電圧を超えると、ISL8130 はスイッチングを開始します。以降は CCM で動作します。図 19 に、この状態の波形を示しています。

外部リファレンス / トラッキング

REFIN ピンが VCC5 に接続されている場合は、0.6V の内部リファレンスがエラー・アンプの非反転入力として使用されます。

REFIN が 0.6V ~ 1.25V の外部電圧源に接続されている場合は、この外部電圧がエラー・アンプの正入力におけるリファレンス電圧として使用されます。

パワーグッド

PGOOD ピンは、出力電圧ステータスのモニタリングに使用できます。FB ピンの電圧がリファレンスの ±10% 以内になり、ENSS ピンがソフトスタート・ランプを完了すると、PGOOD が真 (オープン・ドレイン) になります。

CDEL は、ソフトスタート後の PGOOD アクティブ・ディレイの設定に使用されます。ENSS ピンがソフトスタート・ランプを完了すると、2μA の電流によって CDEL コンデンサが 2.5V まで充電されます。このコンデンサからの放電が急速に行われた後で、PGOOD が High になります。このプログラム可能なディレイは、複数のコンバータのシーケンス制御や、Low が真のリセット信号に使用できます。

FB ピンの電圧がリファレンスの ±10% を超えると、1μs のノイズ・フィルタリング後に PGOOD が Low になります。

過電流保護

過電流保護 (OCP) 機能は、過電流状態からコンバータを保護します。OCP 回路は OCSET ピンと ISEN ピンの電圧を比較し、ISEN が OCSET を下回っていると、過電流状態を通知します。OCSET ピンの電圧は、入力電源レールとこのピンの間に接続された抵抗によって設定され、リファレンスとして機能します。内蔵電流源は OCSET ピンから電流 I_{OCSET} (100μA typ) を取得し、式 1 で求められる電圧をこのピンで生成します。

$$V_{OCSET} = V_{IN} - R_{OCSET} \times I_{OCSET} \quad (式 1)$$

ISEN ピンは、入力電源からの電流を検出する電流センス抵抗に接続されます。ISL8130 を降圧型構成で使用する場合は、この電流センス抵抗はハイサイド MOSFET の $r_{DS(ON)}$ でかまいません。詳細については 4 ページの「ブロック図」を参照してください。ISEN ピンの電圧は式 2 で求められます。

$$V_{ISEN} = V_{IN} - R_{CS} \times I_{IN} \quad (式 2)$$

式 1 と式 2 を組み合わせると、式 3 に示すように過電流トリップ・ポイントが求められます。

$$I_{OC} = \frac{R_{OCSET} \times I_{OCSET}}{R_{CS}} \quad (式 3)$$

UGATE が High になると、センス抵抗を流れる電流が増加します。 V_{ISEN} が V_{OCSET} より小さくなるほど電流が増加した場合は、そのクロック・サイクルに対して過電流イベントが記録され、カウンタが増加し、UGATE パルスが即座に終了します。過電流状態が連続 8 サイクル記録されると、ISL8130 はソフトスタート・ヒカップモードに移行します。ヒカップモード中は、ENSS ピンに接続された外付けコンデンサから放電が行われます。放電後、コンデンサが解放され、ソフトスタート・サイクルが開始されます。パワーデバイスの冷却と、過負荷状態や短絡状態における熱ストレスの軽減を目的に、

ダミー・ソフトスタート・ディレイ・サイクルが 3 回発生します。4 番目のソフトスタート・サイクルで、出力が通常のソフトスタート・サイクルを開始し、ランプを試みます。

OCF スレッシュホールドの精度を確保するためには、OCSET と ISEN のトレースを適切に電流感知抵抗へ接続することが重要です。ノイズ・カップリングを避けるには、ケルビン接続を推奨します。

降圧型構成では、主にハイサイド MOSFET の $r_{DS(ON)}$ の変動が原因で過電流トリップ・ポイントが変化します。通常動作負荷範囲での過電流トリップを避けるには、以下の条件のもとで、式 1 により ROCSET 抵抗の値を求めます。

1. 最大ジャンクション温度における最大 $r_{DS(ON)}$
2. 次の値を求めます。 I_{OC} for $I_{OC} > I_{OUT(MAX)} + (\Delta I)/2$
 ΔI は出力インダクタ・リップル電流です。

入力電圧にスイッチング・ノイズが発生する場合は、小容量のセラミック・コンデンサを ROCSET と並列接続して、ROCSET の両端間電圧を平滑化する必要があります。ROCSET とフィルタリング・コンデンサのいずれも、ISL8130 の近くに配置してください。

ENSS がイネーブル・スレッシュホールド電圧に達すると、OCF 機能がアクティブになります。

過熱保護

ISL8130 は過熱状態に対する保護機能を備えています。ジャンクション温度が +150 °C を超えると、PWM がシャットオフされます。ジャンクション温度が 130 °C まで低下すると、通常動作が再開されます。

アンダーボルテージ

FB ピンの電圧が連続 8 PWM サイクルにわたってリファレンス電圧を 15% 下回ると、回路はソフトスタート・ヒカップモードに移行します。このモードは、過電流ヒカップモードと同様に機能します。ENSS が 3.3V に達しない場合、このアンダーボルテージ保護はディスエーブルになります。

過電圧保護

FB ピンの電圧がリファレンス電圧を 15% 上回ると、ローサイド・ゲートドライバが継続的にオンになり、出力電圧を放電します。過電圧状態が 32 PWM サイクル連続した場合は、ゲートドライバがトライステート状態でチップがオフになります。すると、FB ピンの電圧が低下し、15% のアンダーボルテージ・スレッシュホールドに達します。8 クロック・サイクル後、チップはソフトスタート・ヒカップモードに移行します。このモードは、過電流ヒカップモードと同様に機能します。ENSS が 3.3V に達しない場合、この過電圧保護はディスエーブルになります。

ゲート制御ロジック

ゲート制御ロジックは PWM 制御信号を MOSFET ゲートドライブ信号に変換し、必要な増幅、レベルシフト、シュートスルー保護を行います。また、さまざまな動作条件に合わせて IC 性能を最適化する機能も備えています。

MOSFET のスイッチング時間は、入力電圧により様々な状態に劇的に変化します。そのためゲート制御ロジックは、ハイサイドおよびローサイド MOSFET のゲート～ソース間電圧をモニタし、デッドタイムを最適化します。

ハイサイド MOSFET のゲート～ソース間電圧が約 1V 未満に低下するまで、ローサイド MOSFET はオンになりません。同様に、ローサイド MOSFET のゲート～ソース間電圧が約 1V 未満に低下するまで、ハイサイド MOSFET はオンになりません。このため、同時導通やシュートスルーを心配せずに、さまざまなハイサイド / ローサイド MOSFET を使用できます。

昇圧型コンバータ構成では、LGATE 信号をフローティング状態のままにします。

アプリケーション・ガイドライン

レイアウトに関する考慮事項

あらゆる高周波スイッチング・コンバータと同様に、レイアウトがきわめて重要です。パワーデバイス間を流れるスイッチング電流は、接続部のボンディング・ワイヤ、回路トレースのインピーダンスの違いにより電圧変動を発生させることがあります。こうしたインターコネクト・インピーダンスは、短くて広いプリント基板トレースを使って最小限に抑える必要があります。グラウンド層構造またはシングル・ポイント・グラウンド接続を使用し、重要な部品同士をできる限り近付けて配置してください。

図 29 に、降圧型コンバータの重要なパワー部品を示します。電圧オーバーシュートを最小限に抑えるには、太線で示したインターコネクト・ワイヤをプリント基板のグラウンド層または電源層の一部に含める必要があります。図 29 に示した部品は、できる限り互いに近付けて配置してください。コンデンサ C_{IN} と C_O はそれぞれ、複数の物理コンデンサを表しています。ISL8130 は、MOSFET (Q_1 と Q_2) から 3 インチ (7.62cm) 以内に配置してください。ISL8130 から MOSFET のゲート / ソース接続部への回路トレースは、最大で 1A のピーク電流に対応可能なサイズでなければなりません。

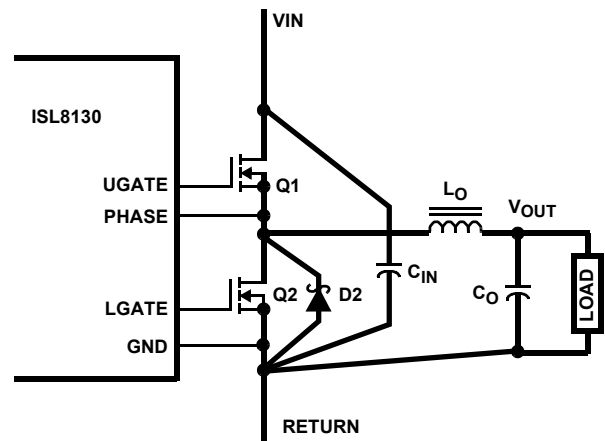


図 29. プリント基板の電源 / グラウンド層とアイランド

図 30 に、レイアウトに関してさらなる考慮が必要な回路トレースを示します。図の回路には一点接続とグラウンド層構造を使用します。内蔵電流源はわずか 10μA なので、SS ピンのリーク電流パスを最小限に抑え、コンデンサ C_{SS} を SS ピンの近くに配置してください。VCC ピンと GND ピンの間には、ローカルな V_{CC} デカップリングが必要です。コンデンサ C_{BOOT} は、実用的な範囲で BOOT ピンと PHASE ピンの近くに配置してください。

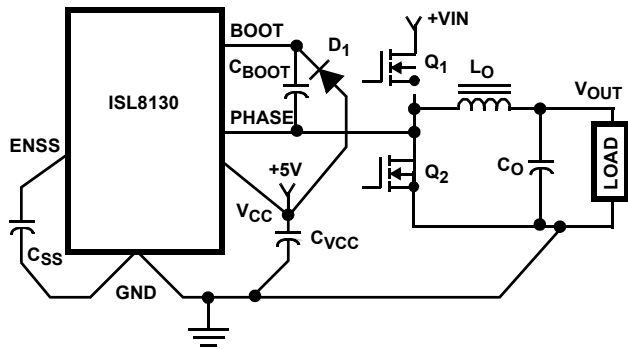


図 30. プリント基板の小信号レイアウトのガイドライン

帰還抵抗分圧回路の接続や補償ネットワークの接続などすべての制御トレースは、高 dv/dt ノードから離して配置する必要があります。電流センスには、ケルビン・センス接続を使用してください。

サーマルパッドの設計に関する一般考慮事項

図 31 に、IC からの放熱用にビアを使用する際の例を示します。

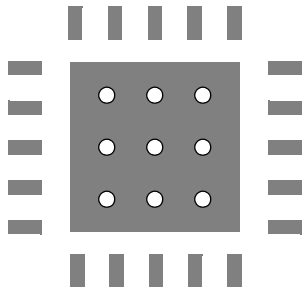


図 31. PCB のビアパターン

サーマルパッド・エリア全体にビアを配置することを推奨します。代表的なビア配列としては、ビア同士の中心間距離が半径の 3 倍になるようにサーマルパッドにビアを配置します。ビアは小さくすべきですが、リフロー時にハンダが穴を通じて流れない程小さくしないでください。

すべてのビアはグラウンド層に接続してください。効率的な熱伝導を行うには、ビアの熱抵抗が低いことが重要です。メッキ・スルーホールを各層へ完全に到達させる必要があります。

帰還補償

図 32 に、同期整流降圧型コンバータの電圧モード制御ループを示します。出力電圧 (V_{OUT}) はリファレンス電圧レベルまでレギュレートされます。PHASE ノードで V_{IN} の振幅をパルス幅変調された波形にするために、エラーアンプの出力は発振器の三角波と比較されます。PWM 波は出力フィルタ (L_O と C_O) によって平滑化されます。モジュレータの伝達関数は、 $V_{OUT}/V_{E/A}$ の小信号伝達関数です。

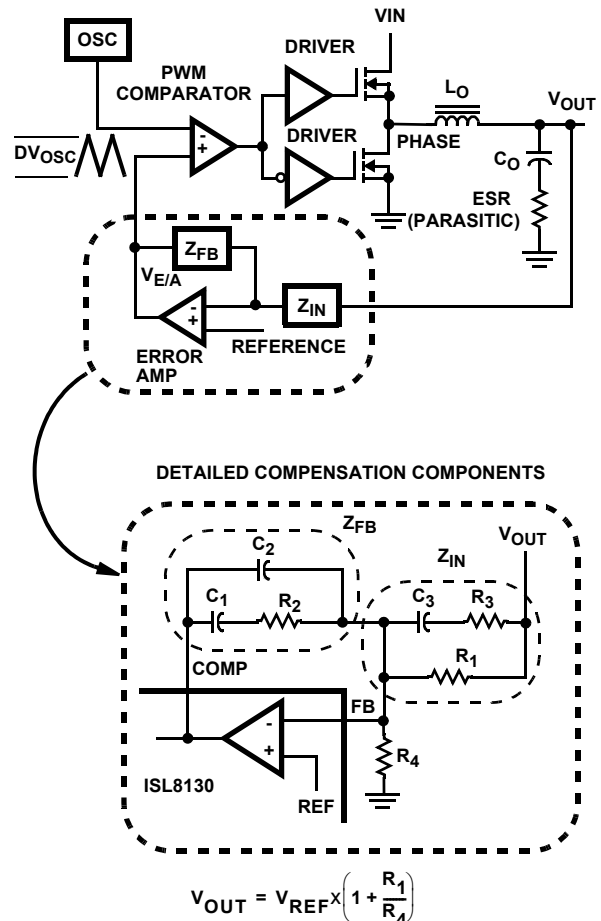


図 32. 電圧モード降圧型コンバータの補償設計

この関数は F_{LC} でのダブル・ポール遮断周波数、 F_{ESR} でのゼロと共に DC ゲイン、出力フィルタ (L_O と C_O) によって左右されます。モジュレータの DC ゲインは、入力電圧 (V_{IN}) をピークツーピーク発振器電圧 ΔV_{OSC} で割ったものです。

モジュレータの極点 / 零点周波数を求める式

$$F_{LC} = \frac{1}{2\pi \cdot \sqrt{L_O \cdot C_O}} \quad (式 4)$$

$$F_{ESR} = \frac{1}{2\pi \cdot (ESR \cdot C_O)} \quad (式 5)$$

補償ネットワークは、エラー・アンプ (ISL8130 に内蔵) とインピーダンス・ネットワーク (Z_{IN} と Z_{FB}) で構成されています。補償ネットワークの目的は、利得 0dB での高いクロスオーバー周波数 (f_{0dB}) と十分な位相マージンを閉ループ伝達関数に提供することです。 f_{0dB} における閉ループ位相の差です (負帰還なので 180° ずれた値となります)。以下の式は、補償ネットワークのポール、ゼロ、ゲインと図 32 の部品 (R_1 、 R_2 、 R_3 、 C_1 、 C_2 、 C_3) との関係を示しています。以下のガイドラインに従って、補償ネットワークのポールとゼロを設定してください。

補償回路の遮断周波数を求める式

$$F_{Z1} = \frac{1}{2\pi \cdot R2 \cdot C1} \quad (\text{式 6})$$

$$F_{P1} = \frac{1}{2\pi \cdot R2 \cdot \left(\frac{C1 \cdot C2}{C1 + C2} \right)} \quad (\text{式 7})$$

$$F_{Z2} = \frac{1}{2\pi \cdot (R1 + R3) \cdot C3} \quad (\text{式 8})$$

$$F_{P2} = \frac{1}{2\pi \cdot R3 \cdot C3} \quad (\text{式 9})$$

1. 必要なコンバータ帯域幅のゲイン ($R2/R1$) を選択
2. 最初のゼロをフィルタのダブル・ポールより下に配置 (F_{LC} のおよそ 75%)
3. 2 番目のゼロをフィルタのダブル・ポールに配置
4. 最初のポールを ESR ゼロに配置
5. 2 番目のポールをスイッチング周波数の半分に配置
6. ゲインをエラー・アンプの開ループ・ゲインと比較確認
7. 位相マージンを推定。必要に応じて繰り返し実行

図 33 は、DC/DC コンバータのゲインと周波数との関係を示した漸近線グラフです。実際のモジュレータ・ゲインは、出力フィルタの高い Q ファクタが原因でゲイン・ピークが高く、図 33 に示されていません。前述のガイドラインに従うと、グラフと同様の補償ゲインを得られます。開ループ・エラー・アンプ・ゲインが補償ゲインの境界になります。 F_{P2} の補償ゲインをエラー・アンプの能力と比較確認してください。ループ・ゲインは、図 33 の対数 / 対数グラフに示されているように、モジュレータ・ゲイン (dB 単位) を補償ゲイン (dB 単位) に追加したものです。これは、モジュレータの伝達関数を補償の伝達関数に掛け合わせて、ゲインをプロットしたものに相当します。

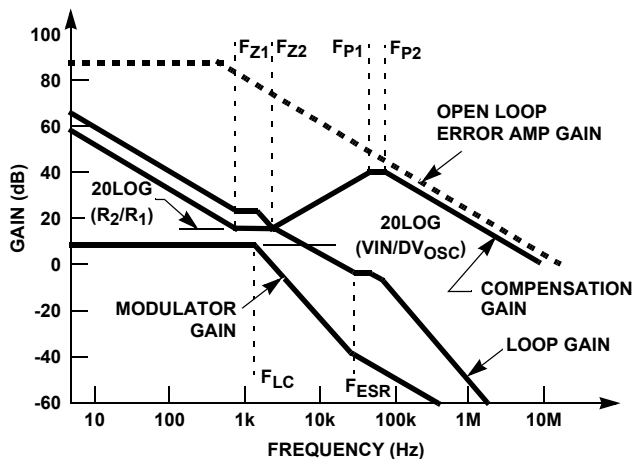


図 33. コンバータ・ゲインの漸近線ボード線図

補償ゲインは外付けインピーダンス・ネットワーク (Z_{FB} と Z_{IN}) を利用して、安定した広帯域 (BW) 全体ループを提供します。安定した制御ループでは、ゲインが -20dB/ デイケードのスロープとなり、位相マージンが 45° を上回ります。位相マージンを決定する際は、ワーストケースの部品変動を考慮に入れてください。

部品選定のガイドライン

降圧型コンバータの部品

MOSFET に関する考慮事項

広い入力電圧範囲と出力電力の要件を考慮して、最適な効率を得られるロジック・レベル MOSFET を選択します。降圧型コンバータでは 2 つの N チャネル MOSFET が必要です。各 MOSFET は、 $r_{DS(ON)}$ 、ゲート電源要件、熱管理に関する考慮事項に基づいて選択してください。

電力損失には、導通損失やスイッチング損失という 2 つの損失要素が含まれています。これらの損失は、デューティサイクルに応じてハイサイド MOSFET とローサイド MOSFET の間で分散されます (式 10 と 11 を参照)。ローサイド MOSFET では、導通損失が消費電力の主要要素です。ローサイド・デパイスは 0V 付近でオン / オフになるので、大きなスイッチング損失があるのはハイサイド MOSFET のみです。これらの式ではリニアな電圧 - 電流遷移を想定しており、ローサイド MOSFET のボディ・ダイオードの逆回復による電力損失はモデル化していません。

$$P_{UPPER} = \frac{(I_O)^2 (r_{DS(ON)}) (V_{OUT})}{V_{IN}} + \frac{(I_O) (V_{IN}) (t_{SW}) (F_{SW})}{2} \quad (\text{式 10})$$

$$P_{LOWER} = \frac{(I_O)^2 (r_{DS(ON)}) (V_{IN} - V_{OUT})}{V_{IN}} \quad (\text{式 11})$$

大きいゲートチャージはスイッチング時間 t_{SW} を増加させ、それに伴いハイサイド MOSFET のスイッチング損失も増加します。パッケージの熱抵抗仕様に基いて温度上昇を計算し、周囲温度が高い場合でも両方の MOSFET が最大ジャンクション温度以下になるようにしてください。

出力インダクタの選択

PWM コンバータには出力インダクタが必要です。出力電圧リップル要件を満たした出力インダクタを選択します。インダクタの値によってコンバータのリップル電流が決まり、リップル電流と出力コンデンサの ESR によってリップル電圧が決まります。リップル電圧の式は、コンデンサの選択セクションに記載されています。リップル電流は式 12 で概算できます。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) (V_{OUT})}{(f_S) (L) (V_{IN})} \quad (\text{式 12})$$

出力コンデンサの選択

リップル電圧や負荷過渡などの動的なレギュレーション要件を満たした出力コンデンサを選択します。出力コンデンサの選択は出力インダクタにも依存するので、出力コンデンサを選択するには、インダクタについてある程度の解析が必要になります。

コンバータの負荷過渡応答を制限するパラメータの 1 つが、インダクタ電流のレベル変更に要する時間です。この応答時間は、インダクタ電流を初期電流値から負荷電流レベルに変更するのに必要な時間です。この期間中、インダクタ電流と過渡電流レベルとの差を出力コンデンサによって確保しなければなりません。応答時間を最小限に抑えれば、必要な出力コンデンサ容量も最小限に抑えられます。ハードドライブ

や CD ドライブのように、負荷過渡立ち上がり時間がインダクタの応答時間より長い場合は、出力コンデンサ要件が緩和されます。

インダクタの応答時間中に立ち上がりステップの負荷過渡電流をフル供給するに必要な最大コンデンサ容量は、式 13 で求められます。

$$C_{OUT} = \frac{(L_O)(I_{TRAN})^2}{2(V_{IN} - V_O)(DV_{OUT})} \quad (式 13)$$

C_{OUT} は必要な出力コンデンサ、 L_O は出力インダクタ、 I_{TRAN} は負荷過渡電流ステップ、 V_{IN} は入力電圧、 V_O は出力電圧、 DV_{OUT} は負荷変動時に許容される出力電圧の低下です。

高周波コンデンサは最初、過渡電流を供給し、バルク・コンデンサでの負荷の変更レートを低下させます。バルク・フィルタ・コンデンサの値は通常、実際のコンデンサ容量要件のほか、ESR (等価直列抵抗) と電圧定格の要件によって決まります。

式 14 に示すように、出力電圧リップルはインダクタ・リップル電流と出力コンデンサの ESR によって決まります。

$$V_{RIPPLE} = \Delta I_L (ESR) \quad (式 14)$$

I_L は、18 ページの「出力インダクタの選択」で計算したものです。

高周波デカップリング・コンデンサを負荷のパワーピンのできる限り近い場所に配置する必要があります。回路基板の配線が低インダクタンス部品の効果を損なう程のインダクタンスを持たない様に注意してください。具体的なデカップリング要件については、各負荷回路メーカーにお問い合わせください。

バルク・コンデンサには、スイッチング・レギュレータ・アプリケーション専用の低 ESR コンデンサのみ使用してください。ほとんどの場合、複数の小型ケース電解コンデンサを使用する方が、単一の大型ケース・コンデンサを使用するよりも高い性能を得られます。

入力コンデンサの選択

バルク入力コンデンサで重要なパラメータは、電圧定格と RMS 電流定格です。動作の信頼性を確保するため、電圧定格と電流定格がそれぞれ回路に必要な最大入力電圧と最大 RMS 電流を上回っているバルク入力コンデンサを選択してください。コンデンサの電圧定格は最大入力電圧の少なくとも 1.25 倍必要であり、一般的な目安は 1.5 倍です。AC RMS 入力電流は、負荷に応じて変動します。入力コンデンサから供給される合計 RMS 電流は、式 15 で求められます。

$$I_{RMSx} = \sqrt{DC - DC^2} \cdot I_O \quad (式 15)$$

DC は降圧型コンバータのデューティサイクルです。

複数の入力バイパス・コンデンサを組み合わせ、MOSFET での電圧リップルを制御します。高周波デカップリング用にセラミック・コンデンサを使用し、RMS 電流の供給用にバルク・コンデンサを使用します。小容量のセラミック・コンデンサをハイサイド MOSFET のきわめて近くに配置すると、寄生回路インピーダンスで生じる電圧を抑制できます。

昇圧型コンバータのレイアウトに関する考慮事項

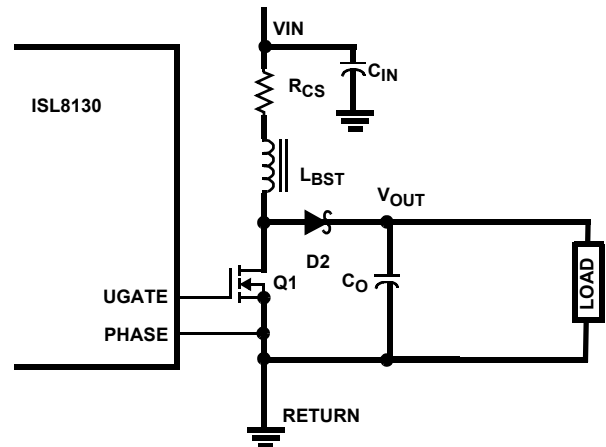


図 34. プリント基板の電源 / グラウンド層とアイランド

図 34 に、昇圧型コンバータの重要なパワー部品を示します。電圧オーバーシュートを最小限に抑えるには、太線で示したインターコネクト・ワイヤをプリント基板のグラウンド層または電源層の一部に含める必要があります。図 34 に示した部品は、できる限り互いに近付けて配置してください。

昇圧型コンバータの部品選択

MOSFET に関する考慮事項

昇圧型コンバータの MOSFET では、導通損失とスイッチング損失が発生します (式 16)。

$$P_{FET} = P_{COND} + \frac{(I_{OUT})(V_{OUT})^2(t_{SWON} + t_{SWOFF})(F_{SW})}{2 \cdot V_{IN}} \quad (式 16)$$

導通損失 P_{COND} は式 17 で求められます。

$$P_{COND} = (I_{RMSFET})^2 \cdot r_{DS(ON)} \quad (式 17)$$

I_{RMSFET} は MOSFET の RMS ドレイン電流です (式 18)。

$$I_{RMSFET} = \frac{I_{OUT} \cdot V_{OUT}}{V_{IN}} \cdot \sqrt{DC \cdot \left(1 + \frac{\Delta I_{PP}}{12}\right)^2} \quad (式 18)$$

DC は昇圧型コンバータのデューティサイクルです。

スイッチング損失は式 19 で求められます。

$$P_{SW} = \frac{(I_{OUT})(V_{OUT})^2(t_{SWON} + t_{SWOFF})(F_{SW})}{2 \cdot V_{IN}} \quad (式 19)$$

t_{SWON} と t_{SWOFF} はそれぞれ MOSFET のターンオン時間とターンオフ時間で、 V_m は MOSFET のターンオン / ターンオフ時のプラトー電圧です (式 20、21)。

$$t_{SWON} = \frac{Q_{gd} \cdot (2\Omega + R_{GFET})}{(PVCC - V_m)} \quad (式 20)$$

$$t_{SWOFF} = \frac{Q_{gd} \cdot (2\Omega + R_{GFET})}{V_m} \quad (式 21)$$

最適な MOSFET では通常、導通損失とスイッチング損失が等しくなります。MOSFET のワーストケースは V_{IN} が最小で、インダクタの平均電流が最大の時です。これらの式ではリニアな電圧 - 電流遷移を想定しており、ショットキー・ダイオードの逆回復による電力損失はモデル化していません。

インダクタの選択

昇圧型コンバータの場合、出力リップルは昇圧インダクタの強い影響は受けません。効率、サイズ、熱の要件を満たしたインダクタを選択します。一般的には、コスト、サイズ、補償の容易さを考慮して低インダクタンスのインダクタを推奨します。ただし、低インダクタンスのインダクタを使用すると、インダクタ・リップル電流が増加して、コア損失が拡大します。リップル比は通常、30%～50%です (式 22)。

$$L_{BST} = \frac{V_{OUT}}{F_{SW}\Delta I_R} DC(1-DC)^2 \quad (式 22)$$

ΔI_R は目標とするリップル比です。DC は昇圧型コンバータのデューティサイクルです。

DC インダクタ電流は最小 V_{IN} で最大になります (式 23)。

$$I_{RMSIND} = \frac{I_{OUT} \cdot V_{OUT}}{V_{IN}} \cdot \sqrt{1 + \frac{\Delta I_{PP}^2}{12}} \quad (式 23)$$

最大ピーク・インダクタ電流は最小入力で発生します (式 24)。

$$I_{PKIND} = I_{RMSIND} + \frac{1}{2L_{BST}F_{SW}} \left(1 - \frac{V_{INMIN}}{V_{OUT}} \right) \quad (式 24)$$

式 22 を使って、飽和電流が式 24 で求めた値より大きいインダクタを選択します。インダクタが熱ストレスに耐えられることを確認してください。

出力コンデンサの選択

バルク出力コンデンサで重要なパラメータは、電圧定格、RMS 電流定格、出力リップルです。動作の信頼性を確保するため、電圧定格と電流定格がそれぞれ回路に必要な最大出力電圧 (OVP スレッシュホールドになります) と最大 RMS 電流を上回っているバルク・コンデンサを選択してください。コンデンサの電圧定格は最大出力電圧の少なくとも 1.25 倍必要であり、一般的な目安は 1.5 倍です。AC RMS 出力電流は、負荷と V_{IN} に応じて変動します。出力コンデンサによってフィルタリングされる合計 RMS 電流は、式 25 で求められます。

$$I_{RMSOUT} = I_{OUT} \cdot \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \quad (式 25)$$

ワーストケースは、フル負荷で V_{IN} が最小のときです。この場合の最大 AC リップル電流は、式 26 で求められます。

$$I_{RMSOUT} = I_{OUTMAX} \cdot \sqrt{\frac{V_{OUT}}{V_{INMIN}} - 1} \quad (式 26)$$

複数の入力バイパス・コンデンサを組み合わせると、MOSFET での電圧リップルを制御します。高周波デカップリング用にセラミック・コンデンサを使用し、RMS 電流の供給用にバルク・コンデンサを使用します。小容量のセラミック・コンデンサを MOSFET とダイオードのきわめて近くに配置すると、寄生回路インピーダンスで生じる電圧を抑制できます。

電流センス抵抗の選択

変換効率を高めるには、低抵抗値の電流センス抵抗を推奨します。ただし、 R_{CS} が小さすぎると、正確な OCP スレッシュホールドを適用できないことがあります。

正確な OCP トリップ・スレッシュホールドを適用するには、OCP における電流センス抵抗の両端間電圧が 500mV を超える電流センス抵抗を選択する必要があります (式 27)。

$$R_{CS} = \frac{500mV}{I_{PKIND} \cdot (1 + Margin)} \quad (式 27)$$

I_{PKIND} は最大インダクタ・ピーク電流です。負荷変動や変化に備えて 25% のマージンを持たせることを推奨します。

次に、OCP での最大ストレスに耐えられるように抵抗のサイズを調整します (式 28)。

$$P_{RCS} = R_{CS}(I_{PKIND} \cdot (1 + Margin))^2 \quad (式 28)$$

入力コンデンサの選択

昇圧型コンバータの場合、入力電流リップルは出力リップルよりもはるかに小さくなります。昇圧型コンバータにおける入力コンデンサの目的は、インダクタ・リップル電流の除去と、電源や昇圧型コンバータの安定化です。

入力コンデンサは入力 RMS 電流に対応できる必要があります (式 29)。

$$I_{RMSIN} = \sqrt{\frac{1}{12}} \cdot \left(\frac{V_{OUT}}{L_{BST} \cdot F_{SW}} \cdot DC(1-DC) \right) \quad (式 29)$$

昇圧型コンバータが十分な容量の出力コンデンサを備えた別の DC/DC コンバータから電力を供給される場合は、入力コンデンサに小容量のセラミック・コンデンサを使用できます。

昇圧型コンバータの補償

モジュレータの遮断周波数を求める式

モジュレータの DC ゲインは式 30 で求められます。

$$G_{DC} = \frac{V_{OUT}}{V_{OSC} \cdot (1-DC)} \quad (式 30)$$

V_{OSC} は内蔵発振器の出力振幅 (1.25V) で、DC は昇圧型コンバータのデューティサイクルです。

昇圧型コンバータのダブル・ポールは、デューティサイクル、インダクタ、出力コンデンサによって決まります (式 31)。

$$F_{LC} = \frac{1-DC}{2\pi \cdot (L_{BST} \cdot C_O)} \quad (式 31)$$

出力コンデンサの ESR はゼロをループ・ゲインに追加します (式 32)。

$$F_{ESR} = \frac{1}{2\pi \cdot (ESR \cdot C_O)} \quad (式 32)$$

右半平面 (RHP) ゼロは、負荷電流、VIN、昇圧インダクタンスによって決まります。RHP ゼロは位相遅延の原因となり、位相マージンを減少させます。閉ループ・ゲインが F_{RHP} の 1/3 で 0dB を横切ることを推奨します (式 33)。

$$F_{RHP} = \frac{V_{IN} \cdot (1 - DC)}{2\pi \cdot (I_{OUT} \cdot L_{BST})} \quad (\text{式 33})$$

補償の遮断周波数を求める式

$$F_{Z1} = \frac{1}{2\pi \cdot R2 \cdot C1} \quad (\text{式 34})$$

$$F_{Z2} = \frac{1}{2\pi \cdot (R1 + R3) \cdot C3} \quad (\text{式 36})$$

$$F_{P2} = \frac{1}{2\pi \cdot R3 \cdot C3} \quad (\text{式 37})$$

$$F_{P1} = \frac{1}{2\pi \cdot R2 \cdot \left(\frac{C1 \cdot C2}{C1 + C2}\right)} \quad (\text{式 35})$$

補償ネットワークは、エラー・アンプ (ISL8130 に内蔵) とインピーダンス・ネットワーク (Z_{IN} と Z_{FB}) で構成されています。補償ネットワークの目的は、利得 0dB での高いクロスオーバー周波数 (f_{0dB}) と十分な位相マージンを閉ループ伝達関数に提供することです。位相マージンとは、 f_{0dB} における閉ループ位相の差です (負帰還なので 180° ずれた値となります) 180° における閉ループ位相の差です。以下の式は、補償ネットワークのポール、ゼロ、ゲインと図 32 の部品 ($R1$ 、 $R2$ 、 $R3$ 、 $C1$ 、 $C2$ 、 $C3$) との関係を示しています。以下のガイドラインに従って、補償ネットワークのポールとゼロを設定してください。

図 35 は、昇圧型コンバータのゲインと周波数との関係を示した漸近線グラフです。前述のガイドラインに従うと、グラフと同様の補償ゲインを得られます。開ループ・エラー・アンプ・ゲインが補償ゲインの境界になります。 F_{P2} の補償

ゲインをエラー・アンプの能力と比較確認してください。ループ・ゲインは、図 35 の対数 / 対数グラフに示されているように、モジュレータ・ゲイン (dB 単位) を補償ゲイン (dB 単位) に追加したものです。これは、モジュレータの伝達関数を補償の伝達関数に掛け合わせて、ゲインをプロットしたものに相当します。

1. 必要なコンバータ帯域幅のゲイン ($R2/R1$) を選択
2. 最初のゼロをフィルタのダブル・ポールより下に配置 (F_{LC} のおよそ 75%)
3. 2 番目のゼロをフィルタのダブル・ポールに配置
4. 最初のポールを右半平面ゼロ F_{RHP} に配置
5. 2 番目のポールをスイッチング周波数の半分に配置
6. ゲインをエラー・アンプの開ループ・ゲインと比較確認

位相マージンを推定。必要に応じて繰り返し実行

RHP ゼロが原因でコンバータの安定化が著しく困難なアプリケーションでは、出力コンデンサを増やすことを推奨します。

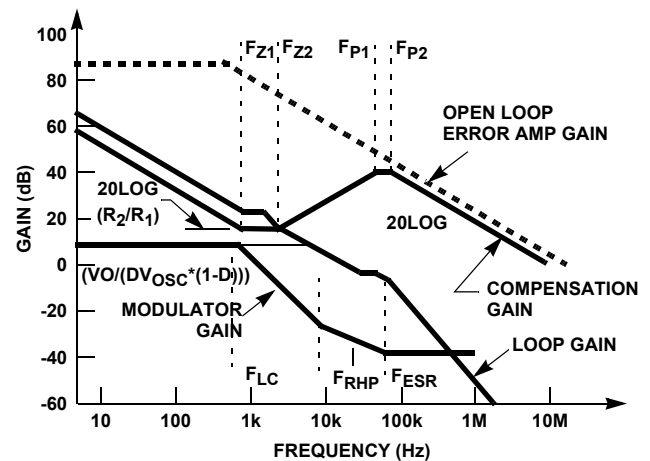


図 35. コンバータ・ゲインの漸近線ボード線図

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2012/2/22	FN7954.2	5 ページ「降圧型 DC/DC アプリケーション回路の例」: VIN と PVCC の接続を修正。REFOUT からコンデンサ C14 と GND を削除
2012/2/13	FN7954.1	7 ページの「Shutdown Current」と「Operating Current」の単位を μA から mA に修正 8 ページの「PWM CONTROLLER GATE DRIVERS」: プルダウン抵抗の TYP 値を 2.6 から 2.0 に変更、プルアップ抵抗の TYP 値を 2.0 から 2.6 に変更 14 ページの図 27 と図 28「負荷変動」を変更し、波形の描写を明確化
2012/2/9	FN7954.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルとパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

ISL8130 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL8130](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

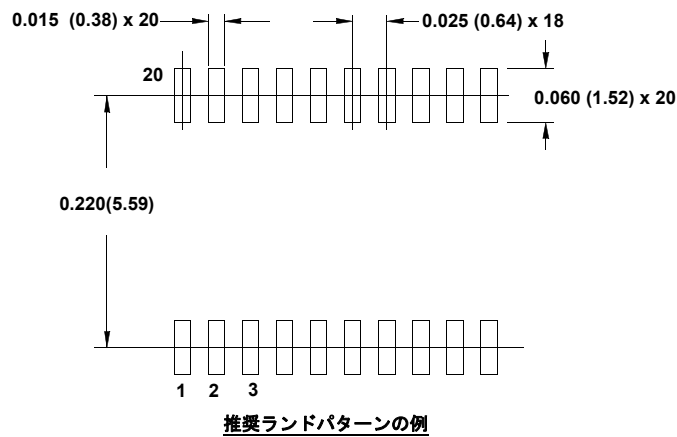
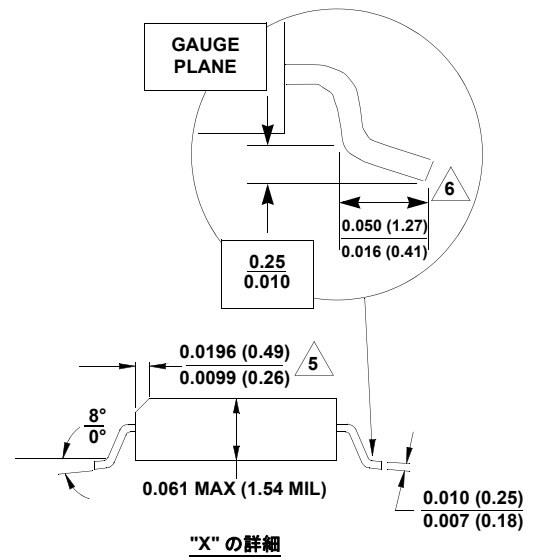
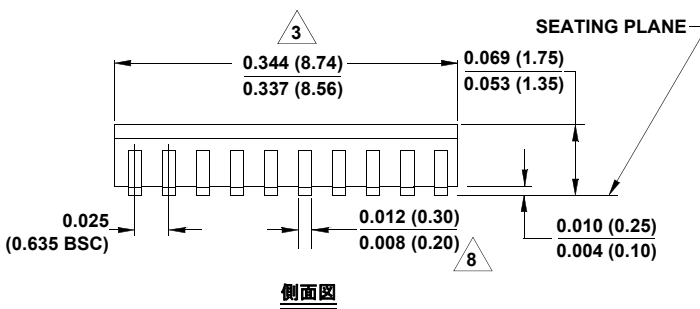
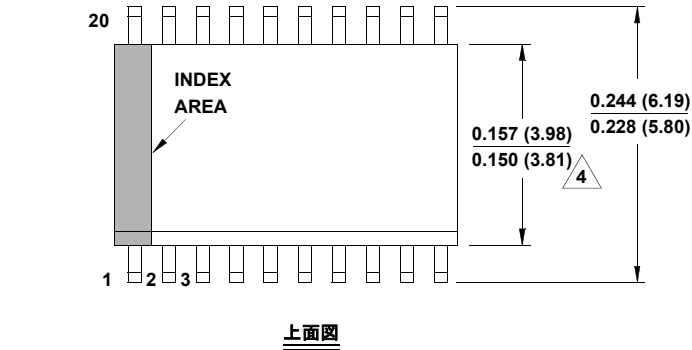
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

M20.15

20 LEAD QUARTER SIZE OUTLINE PLASTIC PACKAGE (QSOP)

Rev 2, 1/11



NOTE:

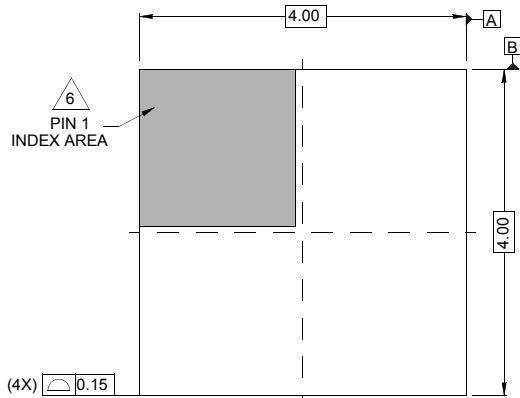
1. 記号は、Publication Number 95 のセクション 2.2 の「MO Series Symbol List」で定義されているものです。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 寸法にモールドのバリ、突出部、ゲートのバリは含まれません。モールドのバリ、突出部、ゲートのバリは各側面で 0.15mm (0.006 インチ) を超えないものとします。
4. 寸法にリード間のバリや突出部は含まれません。リード間のバリや突出部は各側面で 0.25mm (0.010 インチ) を超えないものとします。
5. 本体上の面取はオプションです。面取が存在しない場合、ビジュアルインデックスは斜線の領域内に配置されます。
6. サブストレートにハンダ付けするための端子の長さ。
7. 端子番号は参考用です。
8. 寸法にダムバーの突出部は含まれません。ダムバーの突出部は、最大実体状態で寸法を合計 0.10mm (0.004 インチ) まで超過できるものとします。
9. 優先単位はインチです。ミリメートルに変換された値は必ずしも正確ではありません。

パッケージ寸法図

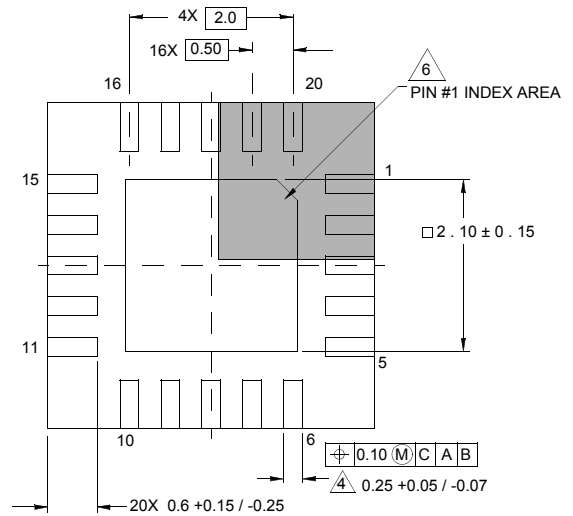
L20.4x4

20 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE

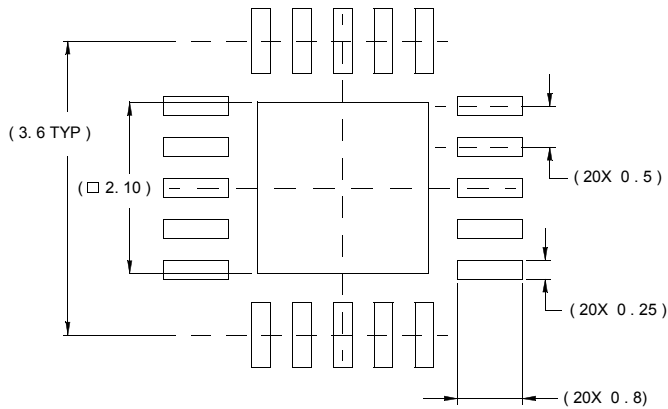
Rev 3, 11/06



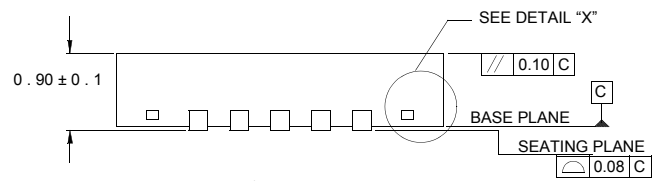
上面図



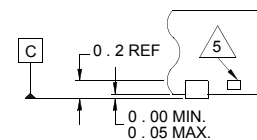
底面図



推奨ランドパターンの例



側面図



"X"の詳細

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法 b は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm の範囲で計測した値です。
5. タイパー(示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。