3A デュアル出力、低自己消費電流、高効率同期整流型降圧レギュレータ

ISL8033、ISL8033A

ISL8033 は、低消費電力低電圧アプリケーションに最適な、デュアル降圧レギュレータです。チャネルあたりの定格出力は 3A で、スイッチング周波数は 1MHz です。ISL8033A は 2.5MHz で動作し、小型製品の設計に適しています。入力 RMS 電流と EMI を抑えるために、2 系統のチャネルは 180° 異なる位相で動作します。両方のチャネルともに 0.8V を下限とする低電圧出力に最適化されています。入力電圧範囲は 2.85V ～ 6V で、シングルセルのリチウムイオン・バッテリ、3 セルの NiMH バッテリ、または 5V レギュレート電源が使えます。ISET を VDD に接続すると、2 系統のチャネルはそれぞれ 3A の出力電流が保証されます。各出力の出力電流は ISET ピンによって設定できます。

ISL8033/ISL8033A は、低オン抵抗の P チャネル MOSFET と N チャネル MOSFET をそれぞれペアで内蔵し、変換効率の向上と外付け部品数の削減とを実現しています。100％デューティサイクル動作が可能であり、3A 出力時のドロップアウト電圧は 250mV 未満です。

ISL8033/ISL8033A は、パワーアップ時に動作するチャネルごとの 1ms のパワーグッド (PG) タイマを備えています。また、シャットダウン時に動作する出力コンデンサの放電回路も内蔵しています。そのほか、デジタル制御のソフトスタート機能、パワーシーケンスを実現するイネーブル機能、制御が容易なディスエーブル時のソフトストップ出力放電機能、プリバイアス出力対応のスタートアップ機能、超低ドロップアウトで最大 100％のデューティサイクル、100％デューティサイクル動作によるスムーズなモード移行、8µA 未満のロジック制御シャットダウン電流、独立したイネーブル機能、過電流保護機能、サーマル・シャットダウン機能を備えています。

ISL8033/ISL8033A は 4mm×4mm サイズで最大高さ 1mm の 24 リード QFN パッケージで供給されます。コンバータ回路は 5.46cm^2 未満のサイズで構成可能です。

特長

- 最高効率 95％の 3A デュアル出力同期整流型降圧レギュレータ
- 温度範囲 / 負荷範囲 / 入力電圧範囲の全域で出力精度 2％
- デジタル制御のソフトスタート機能 (1.5ms) を内蔵
- 最高 6MHz まで外部同期可能 (ISL8033)
- 電流モード補償回路内蔵
- ピーク電流リミットとヒカップモードによる短絡保護
- ピーク過負荷電流を調整可能
- 負極性電流保護
- 鉛フリー (RoHS 準拠)

アプリケーション

- DC/DC POL モジュール
- マイクロコントローラ / マイクロプロセッサ、FPGA や DSP の電源
- ルータや交換機用のプラグイン DC/DC モジュール
- 計測機器
- リチウムイオン・バッテリで動作するモバイル機器
- バーコード・リーダー

関連ドキュメント

- ISL8033EVAL1Z のアプリケーションノート AN1606
- ISL8033EVAL2Z のアプリケーションノート AN1611

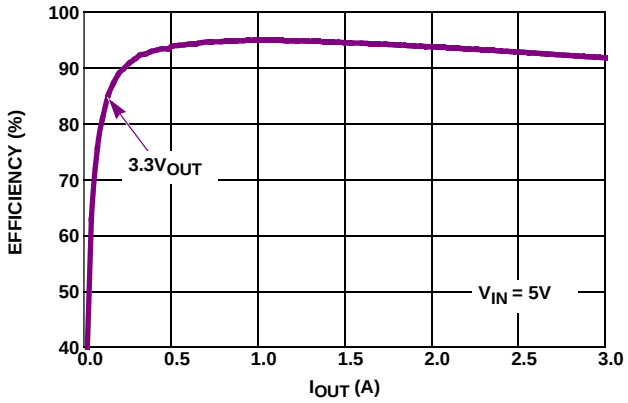


図 1. 効率 vs 負荷電流

注意：本データシート記載のデバイスは静電気に対して敏感です。適切な取り扱いを行ってください。
Copyright Intersil Americas Inc. 2012. All Rights Reserved
Intersil、Intersil ロゴは Intersil Corporation または関連子会社が権利を保有しています。
そのほかの企業名や製品名などの商標はそれぞれの権利所有者に帰属します。

アプリケーション回路例

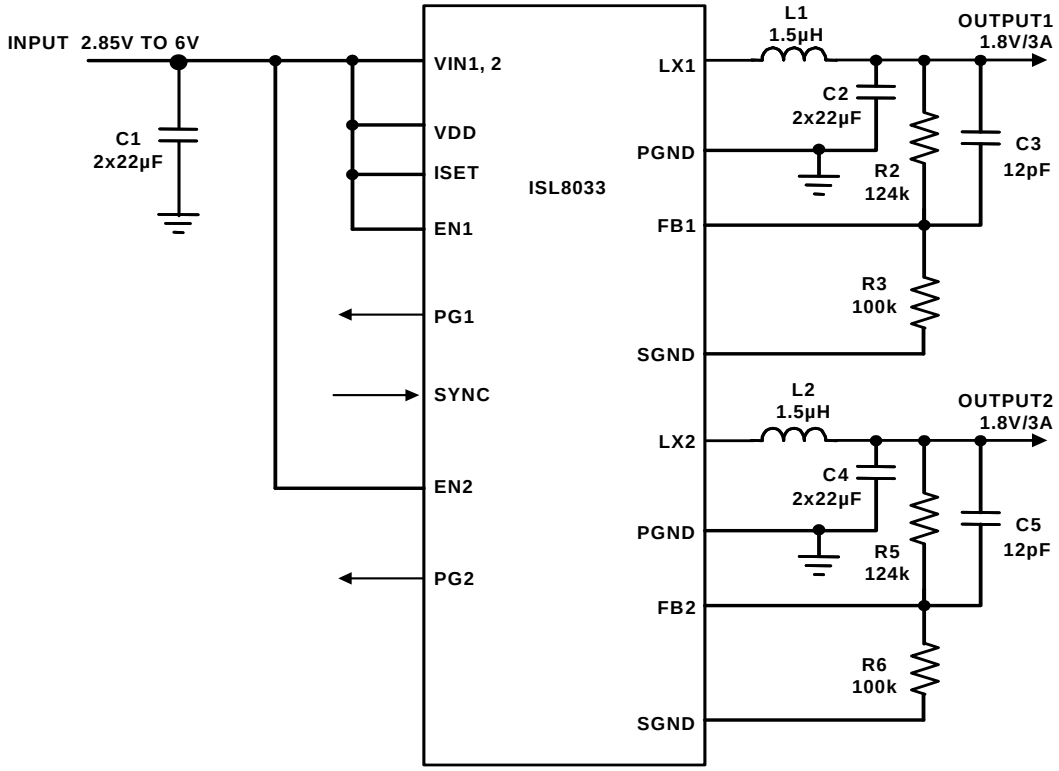


図 2. アプリケーション回路例 - 独立したデュアル出力

表 1. ISL8033 の部品定数

V_{OUT}	0.8V	1.2V	1.5V	1.8V	2.5V	3.3V
C1	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF
C2 (or C4)	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF
C3 (or C5)	12pF	12pF	12pF	12pF	12pF	12pF
L1 (or L2)	1.0µH~2.2µH	1.0µH~2.2µH	1.0µH~2.2µH	1.0µH~3.3µH	1.0µH~3.3µH	1.0µH~4.7µH
R2 (or R5)	0	50k	87.5k	124k	212.5k	312.5k
R3 (or R6)	100k	100k	100k	100k	100k	100k

表 2. ISL8033A の部品定数

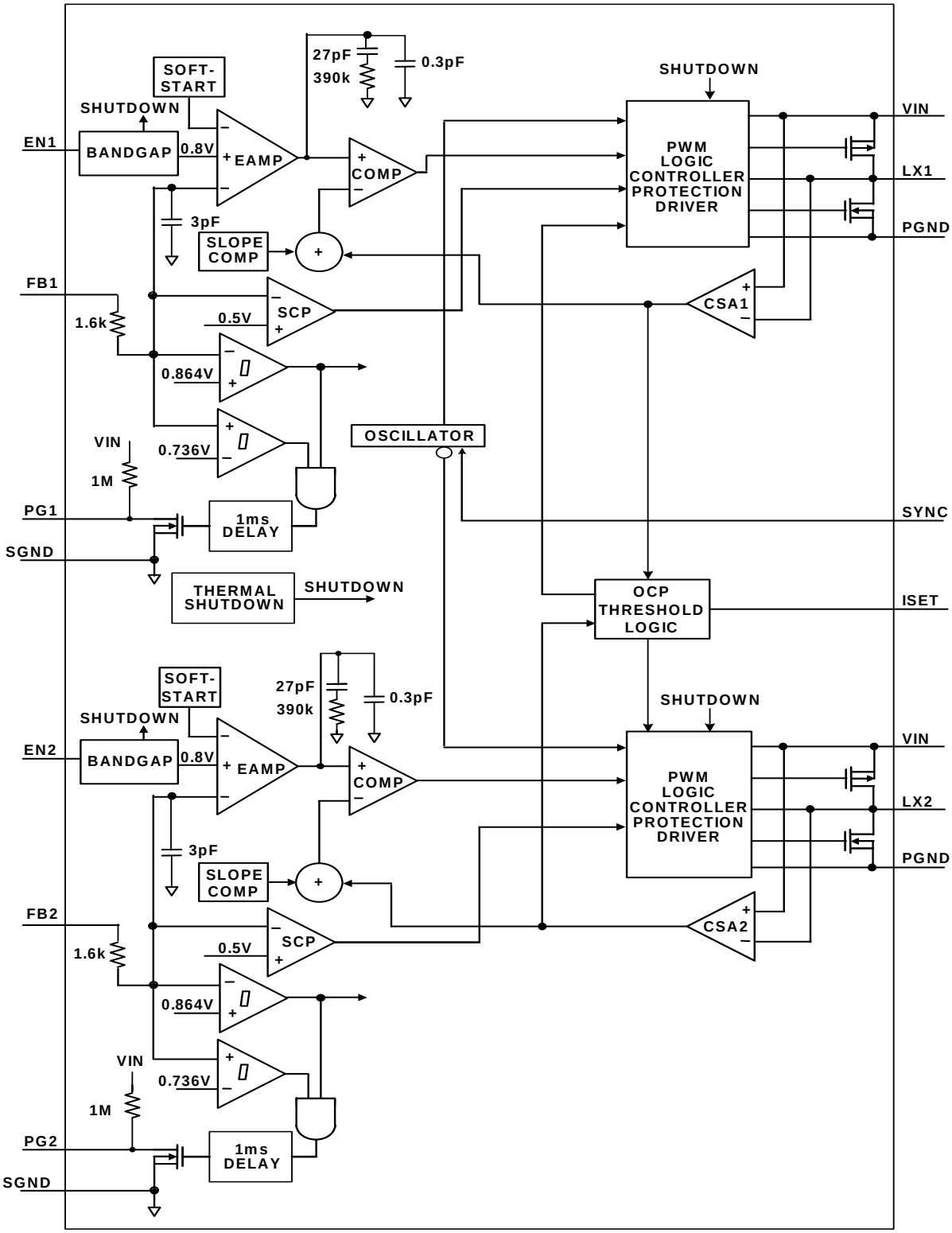
V_{OUT}	0.8V	1.2V	1.5V	1.8V	2.5V	3.3V
C1	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF
C2 (or C4)	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF	2x22µF
C3 (or C5)	12pF	12pF	12pF	12pF	12pF	12pF
L1 (or L2)	0.47~1.5µH	0.47~1.5µH	0.47~1.5µH	0.47~1.5µH	1.0~2.2µH	1.0~3.3µH
R2 (or R5)	0	50k	87.5k	124k	212.5k	312.5k
R3 (or R6)	100k	100k	100k	100k	100k	100k

Note：コンバータ・システム全体の安定動作に必要な出力コンデンサの最小容量値を、それぞれの出力電圧に対応させて示しています。より高速の負荷変動応答要件を満たすには、出力コンデンサの容量値を増やす必要があります。

表 3. 2 品種の違い

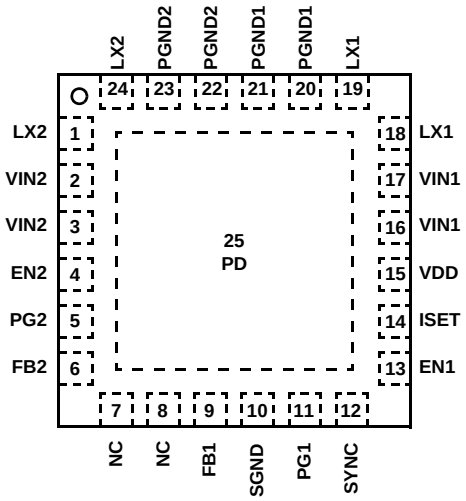
製品型番	スイッチング周波数
ISL8033	内部スイッチング周波数 F_{SW} = 1MHz
ISL8033A	内部スイッチング周波数 F_{SW} = 2.5MHz

ブロック図


SOFT-START
SHUTDOWN
EN1
BANDGAP
0.8V
EAMP
27pF
390k
0.3pF
COMP
3pF
SLOPE COMP
FB1
1.6k
0.5V
SCP
0.864V
VIN
0.736V
1M
PG1
1ms DELAY
SGND
THERMAL SHUTDOWN
SHUTDOWN
OSCILLATOR
PWM LOGIC CONTROLLER PROTECTION DRIVER
CSA1
VIN
LX1
PGND
SYNC
OCP THRESHOLD LOGIC
ISET
SOFT-START
SHUTDOWN
EN2
BANDGAP
0.8V
EAMP
27pF
390k
0.3pF
COMP
3pF
SLOPE COMP
FB2
1.6k
0.5V
SCP
0.864V
VIN
0.736V
1M
PG2
1ms DELAY
SGND
SHUTDOWN
PWM LOGIC CONTROLLER PROTECTION DRIVER
CSA2
VIN
LX2
PGND

ピン配置

ISL8033、ISL8033A
(24 LD QFN)
TOP VIEW



ピンの説明

ピン番号	名称	説明
1, 24	LX2	チャネル 2 のスイッチング・ノードです。VOUT2 の出力インダクタの一方の端子に接続してください。
22, 23	PGND2	チャネル 2 のパワーステージ用のパワーグラウンドです。
4	EN2	チャネル 2 のイネーブルピンです。High を与えると出力 VOUT2 が有効になります。Low を与えると VOUT2 をシャットダウンし出力コンデンサを放電します。開放のまま使用しないでください。
5	PG2	1ms タイマの出力です。パワーアップのとき、または EN ピンに High を与えたとき、PG2 ピンには VOUT2 電圧の状態を示すパワーグッド信号が 1ms 後に出力されます。
6	FB2	チャネル 2 レギュレータの帰還ネットワーク入力です。FB2 はトランスコンダクタンス・エラーアンプの負入力 (反転入力) に内部で接続されています。レギュレータの出力電圧は FB2 に接続した抵抗分圧回路によって設定します。分圧比を適切に選択すれば、電源レール (コンバータ損失を引いた電圧) を上限とし、0.8V を下限とする範囲で、出力電圧を任意の電圧に設定可能です。一般的なアプリケーションでは内蔵の補償回路のままで問題ありません。 FB2 ピンは、チャネル 2 のレギュレータ出力電圧をモニタする目的で、レギュレータのパワーグッド回路とアンダーボルテージ保護回路によっても参照されます。
7, 8	NC	未使用ピンです。グラウンドに接続してください。
9	FB1	チャネル 1 レギュレータの帰還ネットワーク入力です。FB1 はトランスコンダクタンス・エラーアンプの負入力 (反転入力) に内部で接続されています。レギュレータの出力電圧は FB1 に接続した抵抗分圧回路によって設定します。分圧比を適切に選択すれば、電源レール (コンバータ損失を引いた電圧) を上限とし、0.8V を下限とする範囲で、出力電圧を任意の電圧に設定可能です。一般的なアプリケーションでは内蔵の補償回路のままで問題ありません。 FB1 ピンは、チャネル 1 のレギュレータ出力電圧をモニタする目的で、レギュレータのパワーグッド回路とアンダーボルテージ保護回路によっても参照されます。
10	SGND	システム・グラウンドです。このピンと PGND の間を一点で接続してください。
11	PG1	1ms タイマの出力です。パワーアップのとき、または EN ピンに High を与えたとき、PG1 ピンには VOUT1 電圧の状態を示すパワーグッド信号が 1ms 後に出力されます。
12	SYNC	内部発振周波数でスイッチングさせる場合は、SYNC ピンにロジック High レベルを与えるか入力電圧 VIN を接続します。外部同期を行うには SYNC ピンに外部クロックを与えます。立ち下がりエッジトリガです。開放のまま使用しないでください。**また、Low レベルを与えたり、SGND に接続してはなりません。**
13	EN1	チャネル 1 のイネーブルピンです。High を与えると出力 VOUT1 が有効になります。Low を与えると VOUT1 をシャットダウンし出力コンデンサを放電します。開放のまま使用しないでください。
14	ISET	レギュレータの出力電流リミットを設定します。設定の詳細については 6 ページの「電気的特性」を参照してください。

ピンの説明 (続き)

ピン番号	名称	説明
15	VDD	ロジック回路の電源入力です。VIN ピンに接続してください。
20, 21	PGND1	チャネル 1 のパワーステージ用のパワーグラウンドです。
18, 19	LX1	チャネル 1 のスイッチング・ノードです。VOUT1 の出力インダクタの一方の端子に接続してください。
2, 3, 16, 17	VIN2、VIN1	電源入力です。電源グラウンドとの間に22µFのセラミック・コンデンサをチャネルごとに接続してください。
25	PD	適切な電気的特性を得るために、エキスポーズド・パッドは PGND に接続してください。また、放熱性能を最大限に高めるために、このパッドの下のランドにはできるだけ多くのサーマルビアを設けてください。

注文情報

製品型番 (Note 1、2、3)	マーキング	温度範囲 (℃)	パッケージ (鉛フリー)	パッケージの外形図
ISL8033IRZ*	80 33IRZ	-40 ～ +85	24 Ld 4x4 QFN	L24.4x4D
ISL8033AIRZ*	80 33AIRZ	-40 ～ +85	24 Ld 4x4 QFN	L24.4x4D

Note :

1. テープ＆リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様については、テクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリーハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については ISL8033 または ISL8033A のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (TB363)」を参照してください。

絶対最大定格 (SGND 基準)

VIN1、VIN2、VDD . . . . . -0.3V ～ 6.5V (DC) または 7V (20ms)
LX1、LX2. . . . . .-1.5V (100ns)/-0.3V (DC) ～ 6.5V (DC) または 7V (20ms)
EN1、EN2、PG1、PG2、SYNC、ISET . . . . . -0.3V ～ +6.5V
FB1、FB2. . . . . .-0.3V ～ 2.7V
NC. . . . . .-0.3V ～ 0.3V
ESD 定格
人体モデル (JESD22-A114 に従ってテスト済み) 4kV
デバイス帯電モデル (JESD22-C101E に従ってテスト済み) . . .2kV
機械モデル (JESD22-A115 に従ってテスト済み) 0.3kV
ラッチアップ定格
(JESD-78A; Class 2, Level A に従ってテスト済み) 100mA

温度情報

熱抵抗 (代表値)	θ_{JA} (℃ /W)	θ_{JC} (℃ /W)
4×4 QFN パッケージ (Note 4、5)	36	2

ジャンクション温度範囲. . . . . .-55 ℃～ +150 ℃
保存温度範囲. . . . . .-65 ℃～ +150 ℃
周囲温度範囲. . . . . .-40 ℃～ +85 ℃
鉛フリー・リフロープロファイル. . . . . 以下の URL を参照
http://www.intersil.com/pbfree/Pb-FreeReflow.asp

推奨動作条件

VIN 電源電圧範囲. . . . . .2.85V ～ 6V
チャネルあたりの負荷電流範囲. . . . . 0A ～ 3A
ジャンクション温度範囲. . . . . .-55 ℃～ +125 ℃

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

Note :

4. θ_{JA} はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
5. θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、各仕様値は以下の条件で測定しています。

T_A = -40 ℃～ +85 ℃、V_{IN} = 3.6V、EN1 = EN2 = VDD、L = 1.5µH、C1 = C2 = C4 = 2×22µF、I_{OUT1} = I_{OUT2} = 0A ～ 3A。代表値は T_A = +25 ℃ における値です。**太字のリミット値は動作温度範囲- 40 ℃～ +85 ℃に対して適用されます。**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
INPUT SUPPLY						
VIN Undervoltage Lockout Threshold	V_{UVLO}	Rising		2.5	**2.85**	V
		Hysteresis	**50**	100		mV
Quiescent Supply Current						
	I_{VDD}	SYNC = VDD, EN1 = EN2 = VDD, F_S = 1MHz, no load at the output		15	**40**	mA
		SYNC = VDD, EN1 = EN2 = VDD, F_S = 2.5MHz, no load at the output		30	**70**	mA
Shutdown Supply Current	I_{SD}	VDD = 6V, EN1 = EN2 = SGND		8	**20**	µA
OUTPUT REGULATION						
FB1, FB2 Regulation Voltage	V_{FB}		**0.790**	0.8	**0.810**	V
FB1, FB2 Bias Current	I_{FB}	VFB = 0.75V		0.1		µA
Load Regulation		SYNC = VDD, output load from 0A to 3A		2		mV/A
Line Regulation		VIN = VO + 0.5V to 6V (minimal 2.85V)		0.1		%/V
Soft-Start Ramp Time Cycle				1.5		ms
COMPENSATION						
Error Amplifier Trans-Conductance				20		µA/V
Trans-Resistance	RT		**0.18**	0.2	**0.22**	Ω
OVERCURRENT PROTECTION						
Dynamic Current Limit ON-time	t_{OCON}			17		Clock pulses
Dynamic Current Limit OFF-time	t_{OCOFF}			8		SS cycle
Positive Peak Overcurrent Limit	I_{poc1}	ISET = VDD	**4.1**	4.8	**5.5**	A
	I_{poc2}		**4.1**	4.8	**5.5**	A
	I_{poc1}	ISET = Float	**4.1**	4.8	**5.5**	A
	I_{poc2}		**2.7**	3.3	**3.9**	A
	I_{poc1}	ISET = GND	**2.7**	3.3	**3.9**	A
	I_{poc2}		**2.7**	3.3	**3.9**	A

電気的特性 特記のない限り、各仕様値は以下の条件で測定しています。
T_A = -40 ℃～ +85 ℃、V_{IN} = 3.6V、EN1 = EN2 = VDD、L = 1.5µH、C1 = C2 = C4 = 2×22µF、$I_{OUT1} = I_{OUT2}$ = 0A ～ 3A。代表値は T_A = +25 ℃における値です。**太字のリミット値は動作温度範囲- 40 ℃～ +85 ℃に対して適用されます。(続き)**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
Negative Peak Overcurrent Limit	I_{noc1}		**-3.5**	-2.5	**-1.5**	A
	I_{noc2}		**-3.5**	-2.5	**-1.5**	A
LX1, LX2						
P-Channel MOSFET ON-Resistance		VIN = 6V, I_O = 200mA		50	**75**	mΩ
		VIN = 2.85V, I_O = 200mA		70	**100**	mΩ
N-Channel MOSFET ON-Resistance		VIN = 6V, I_O = 200mA		50	**75**	mΩ
		VIN = 2.85V, I_O = 200mA		70	**100**	mΩ
LX_ Maximum Duty Cycle				100		%
PWM Switching Frequency	F_S	ISL8033	**0.88**	1.1	**1.32**	MHz
		ISL8033A	**2.15**	2.5	**2.85**	MHz
Synchronization Range	F_{SYNC}	ISL8033 (Note 6)	**2.64**		**6**	MHz
Channel 1 to Channel 2 Phase Shift		Rising edge to rising edge timing		180		°
LX Minimum On-Time		SYNC = High (forced PWM mode)			**140**	ns
Soft Discharge Resistance	R_{DIS}	EN = LOW	**80**	100	**120**	Ω
LX Leakage Current		Pulled up to 6V		0.1	**1**	µA
PG1, PG2						
Output Low Voltage		Sinking 1mA, VFB = 0.7V			**0.3**	V
PG_ Pin Leakage Current		PG = VIN = 6V		0.01	**0.1**	µA
Internal PGOOD Low Rising Threshold		Percentage of nominal regulation voltage	**89.5**	92	**94.5**	%
Internal PGOOD Low Falling Threshold		Percentage of nominal regulation voltage	**85**	88	**91**	%
Delay Time (Rising Edge)				1		ms
Internal PGOOD Delay Time (Falling Edge)				7	**10**	µs
EN1, EN2, SYNC						
Logic Input Low					**0.4**	V
Logic Input High			**1.5**			V
SYNC Logic Input Leakage Current	I_{SYNC}	Pulled up to 6V		0.1	**1**	µA
Enable Logic Input Leakage Current	I_{EN}	Pulled up to 6V		0.1	**1**	µA
Thermal Shutdown				150		°C
Thermal Shutdown Hysteresis				25		°C

NOTE :

6. スイッチング・チャネルあたりの動作周波数は、SYNC 周波数の 1/2 の周波数になります。

7. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか 1 つまたは複数によって保証されています。

動作性能特性、ISL8033

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = L2 = 1.5µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。

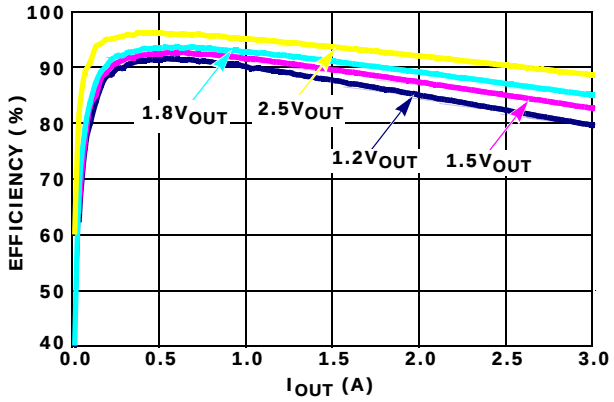


図 3. 効率、T_A = +25 ℃、V_{IN} = 3.3V

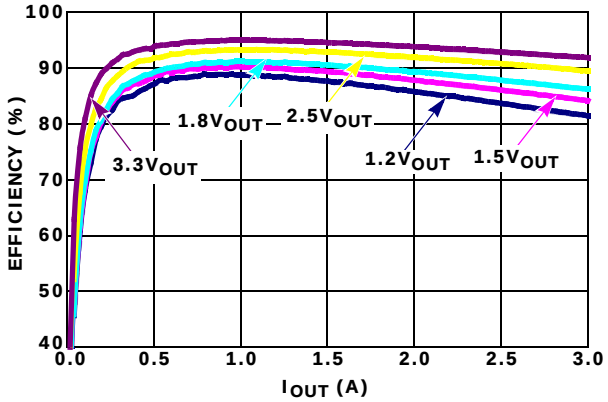


図 4. 効率、T_A = +25 ℃、V_{IN} = 5V

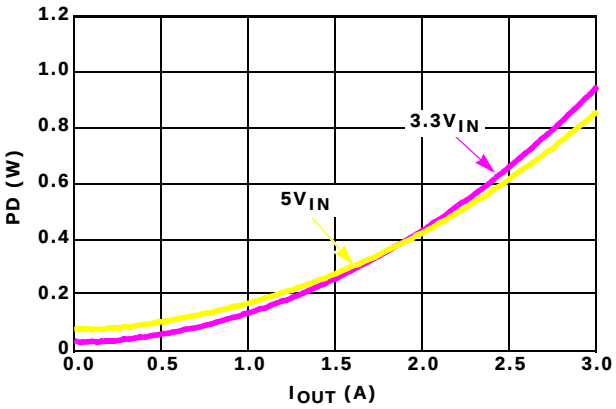


図 5. 電力損失、T_A = +25 ℃、V_{OUT} = 1.8V

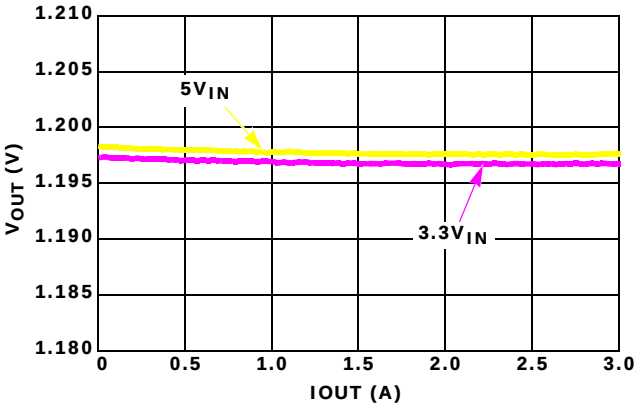


図 6. 負荷レギュレーション、V_{OUT} = 1.2V、T_A = +25 ℃

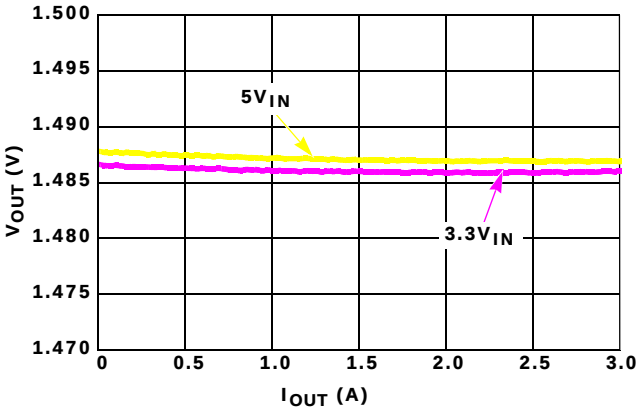


図 7. 負荷レギュレーション、V_{OUT} = 1.5V、T_A = +25 ℃

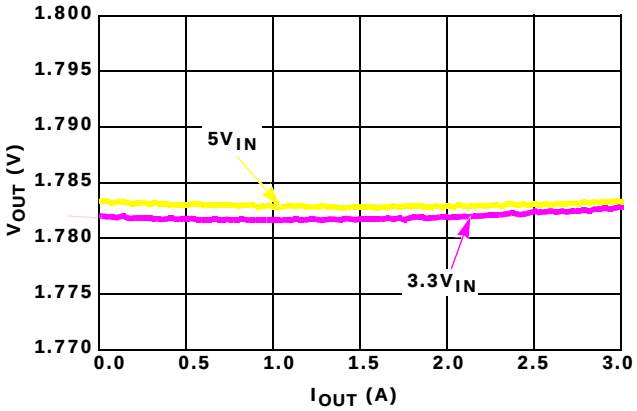


図 8. 負荷レギュレーション、V_{OUT} = 1.8V、T_A = +25 ℃

動作性能特性、ISL8033

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = L2 = 1.5µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。**(続き)**

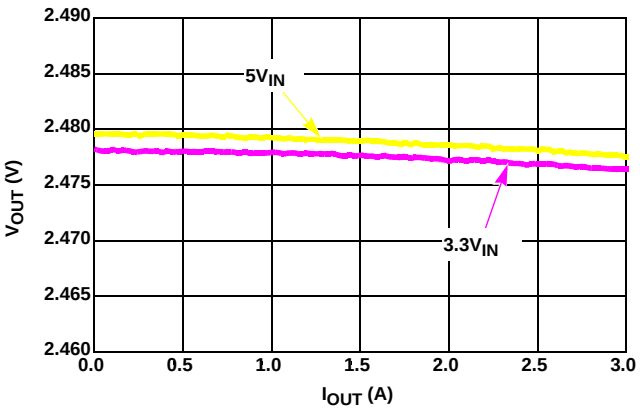


図 9. 負荷レギュレーション、V_{OUT} = 2.5V、T_A = +25 ℃

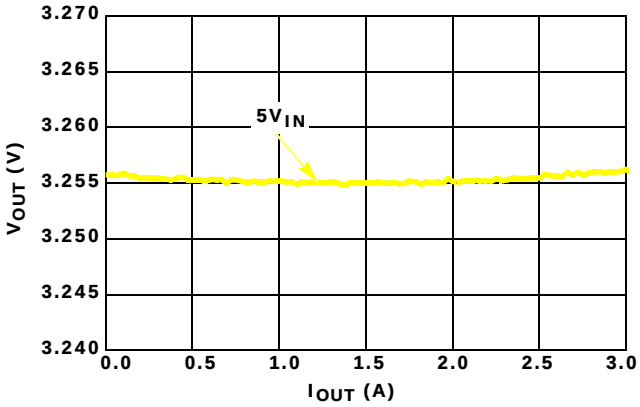


図 10. 負荷レギュレーション、V_{OUT} = 3.3V、T_A = +25 ℃

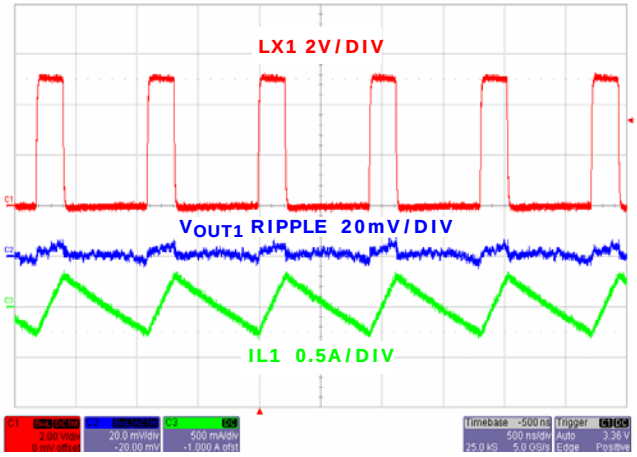


図 11. 無負荷時の定常状態動作、チャネル 1 (PWM)

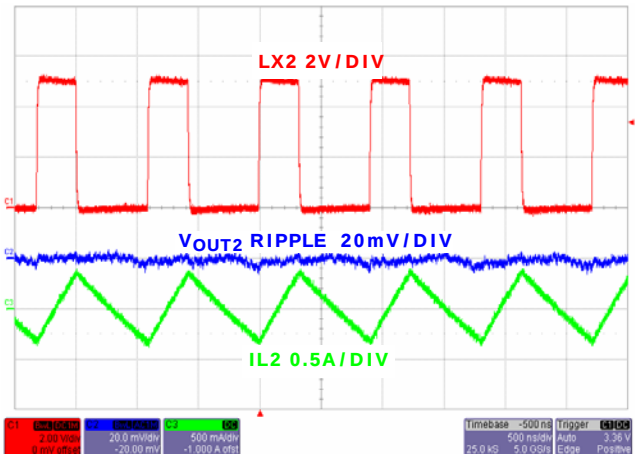


図 12. 無負荷時の定常状態動作、チャネル 2 (PWM)

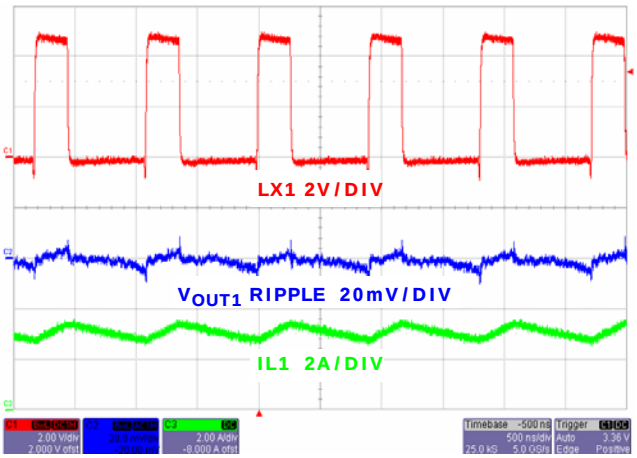


図 13. フル負荷時の定常状態動作、チャネル 1

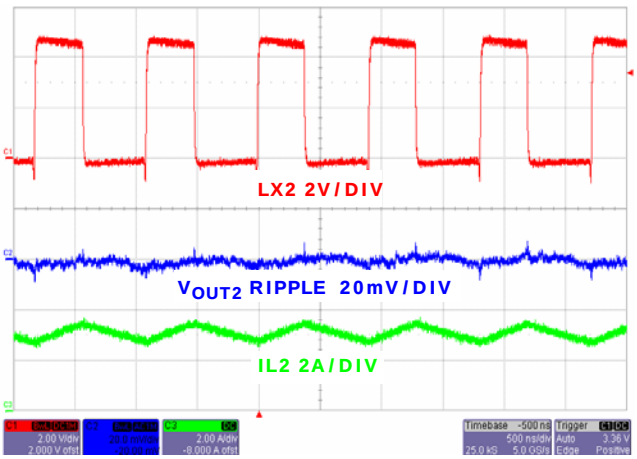


図 14. フル負荷時の定常状態動作、チャネル 2

動作性能特性、ISL8033

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = L2 = 1.5µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。**(続き)**

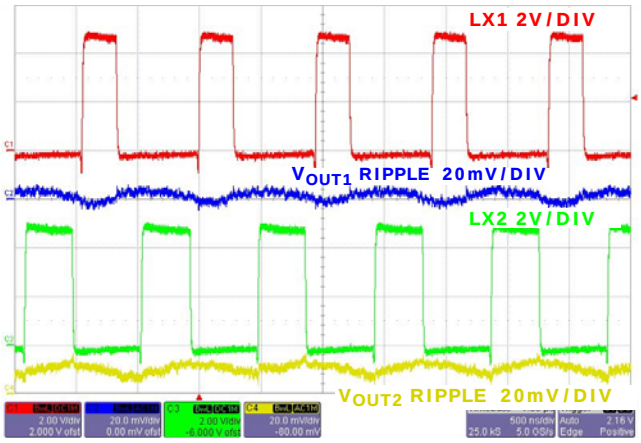


図 15. フル負荷時の定常状態動作、両チャネル

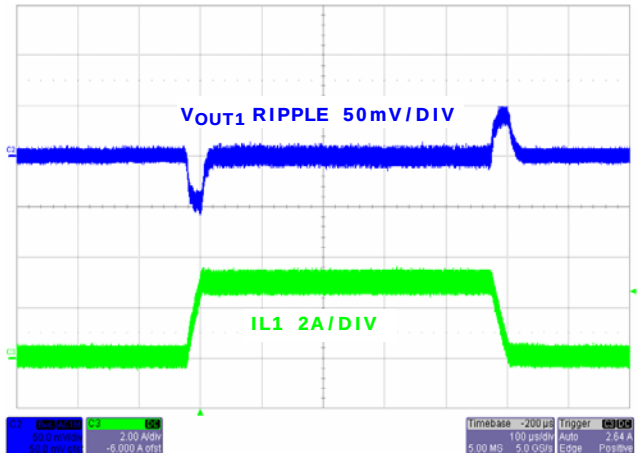


図 16. 負荷変動応答、チャネル 1 (PWM)

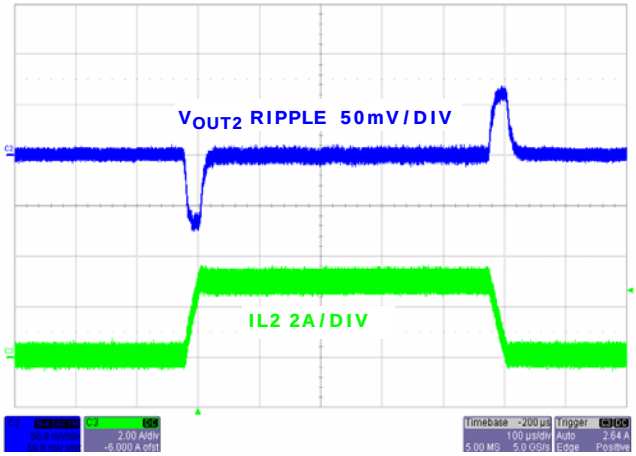


図 17. 負荷変動応答、チャネル 2 (PWM)

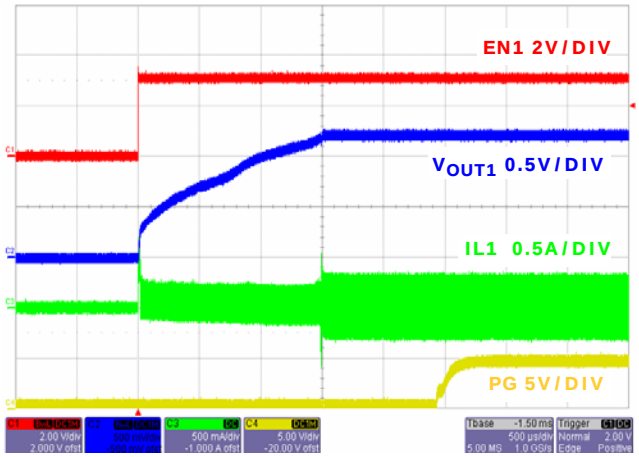


図 18. 無負荷時のソフトスタート、チャネル 1

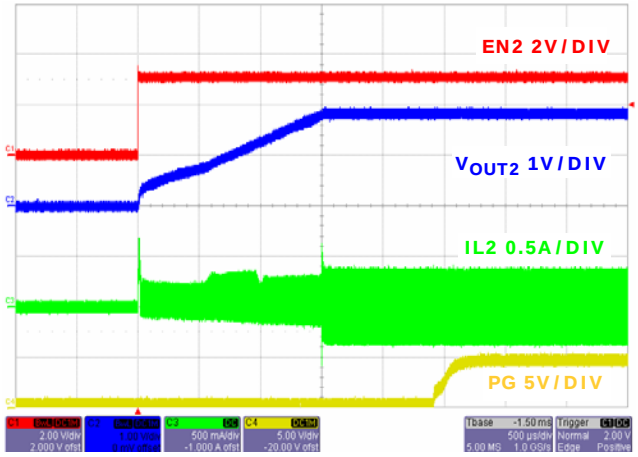


図 19. 無負荷時のソフトスタート、チャネル 2

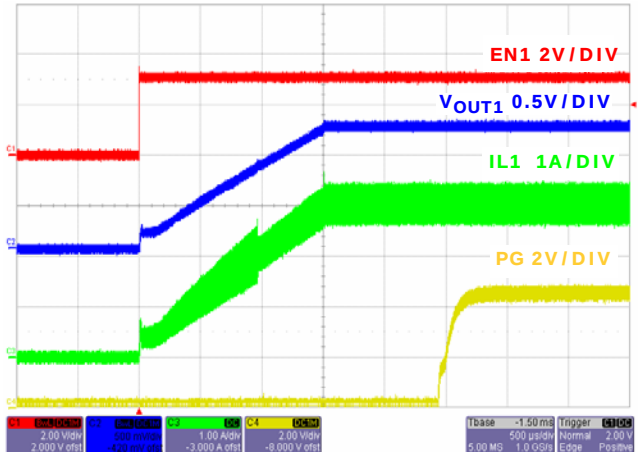


図 20. フル負荷時のソフトスタート、チャネル 1

動作性能特性、ISL8033

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = L2 = 1.5µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。**(続き)**

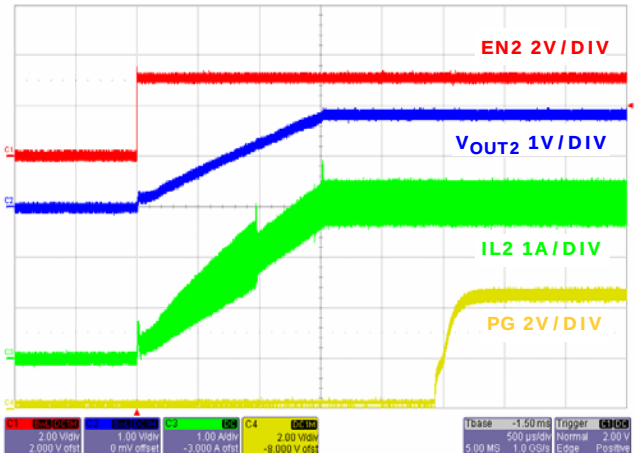


図 21. フル負荷時のソフトスタート、チャネル 2

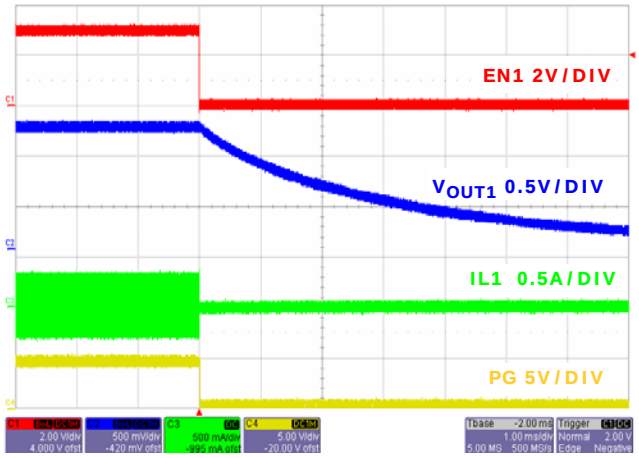


図 22. ソフト放電シャットダウン、チャネル 1

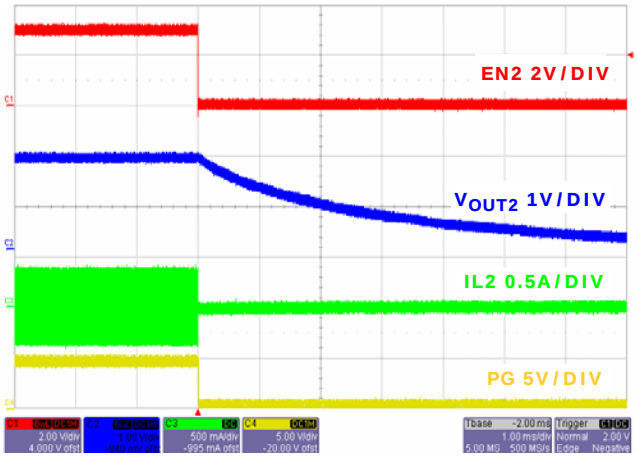


図 23. ソフト放電シャットダウン、チャネル 2

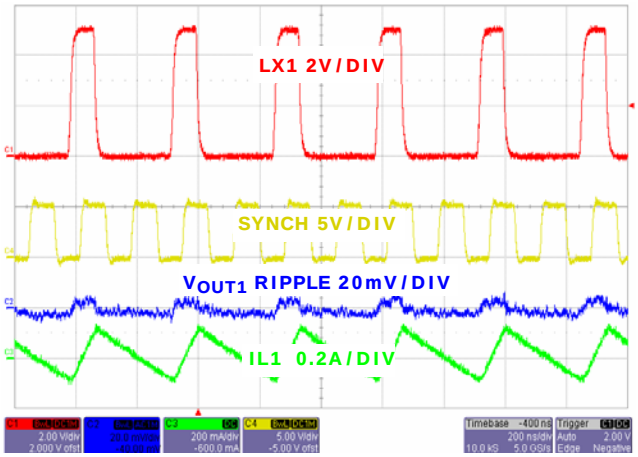


図 24. 無負荷時の定常状態動作、周波数 = 6MHz、チャネル 1

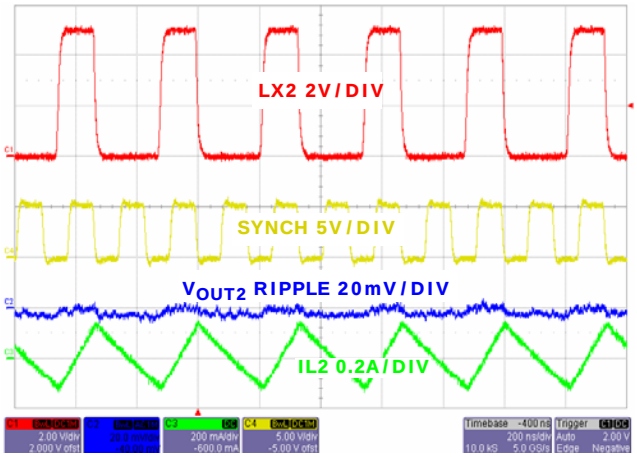


図 25. 無負荷時の定常状態動作、周波数 = 6MHz、チャネル 2

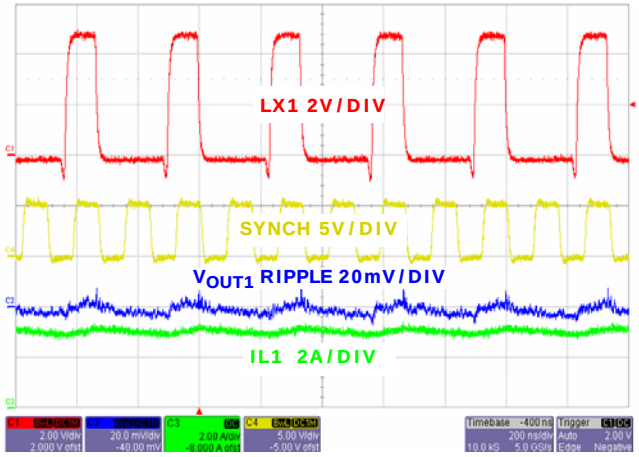


図 26. フル負荷時の定常状態動作、周波数 = 6MHz、チャネル 1

動作性能特性、ISL8033

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = L2 = 1.5µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。**(続き)**

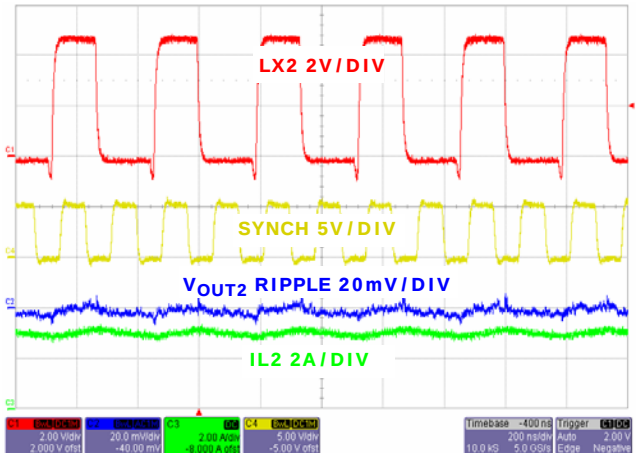


図 27. フル負荷時の定常状態動作、周波数 = 6MHz、チャネル 2

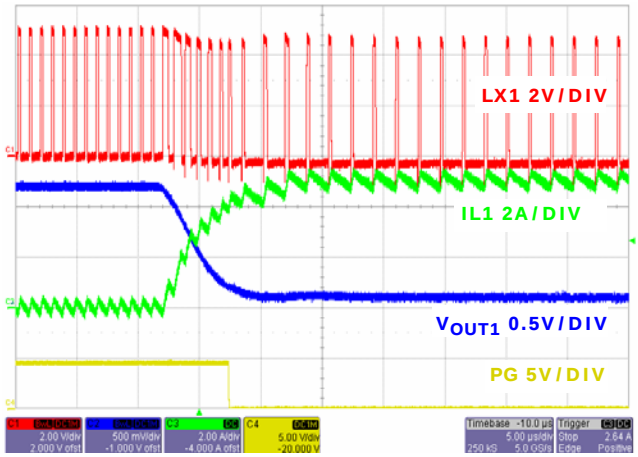


図 28. 出力短絡、チャネル 1

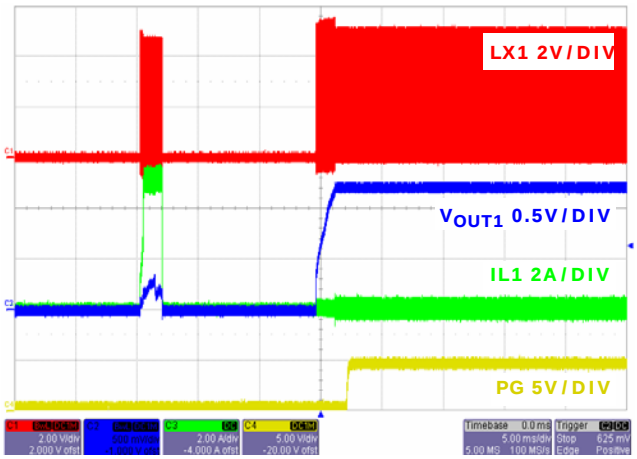


図 29. 出力短絡からの復帰、チャネル 1

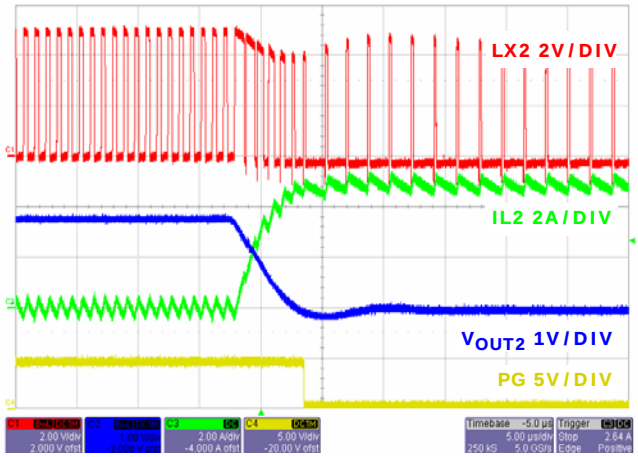


図 30. 出力短絡、チャネル 2

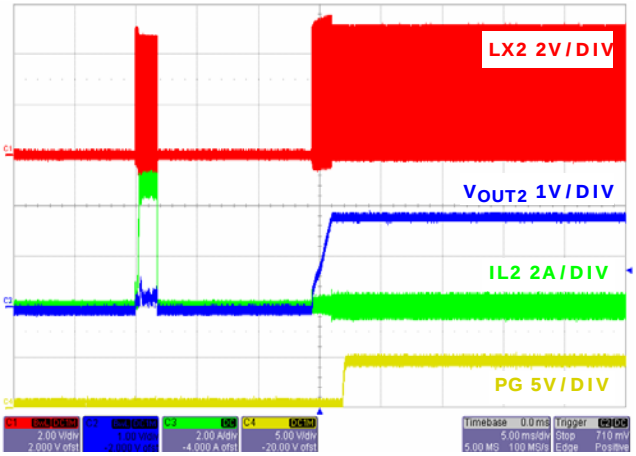


図 31. 出力短絡からの復帰、チャネル 2

動作性能特性、ISL8033A

特記のない限り動作条件は次のとおりです。T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = 0.68µH、L2 = 1µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。

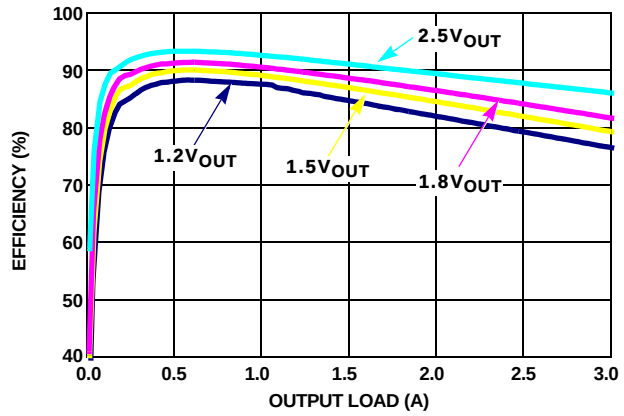


図 32. 効率 vs 負荷電流、1MHz、3.3V_{IN}、+25 ℃、チャネル 1

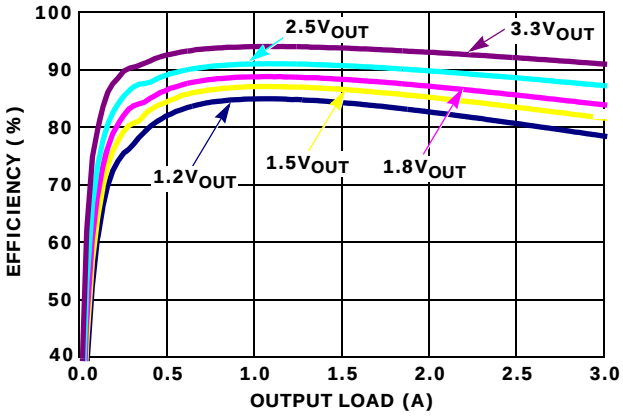


図 33. 効率 vs 負荷電流、1MHz、5V_{IN}、+25 ℃、チャネル 1

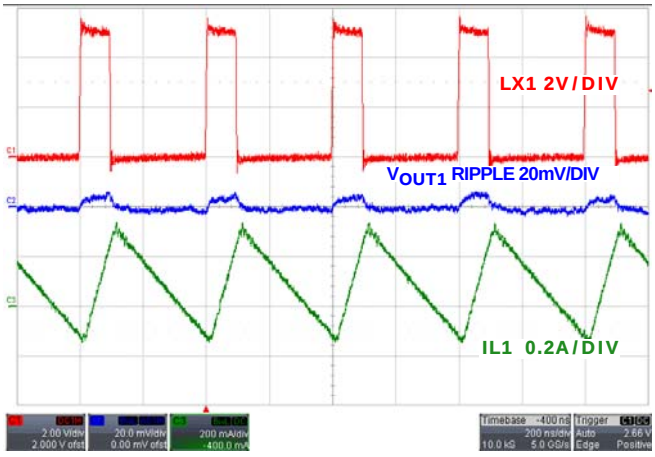


図 34. 無負荷時の定常状態動作、チャネル 1

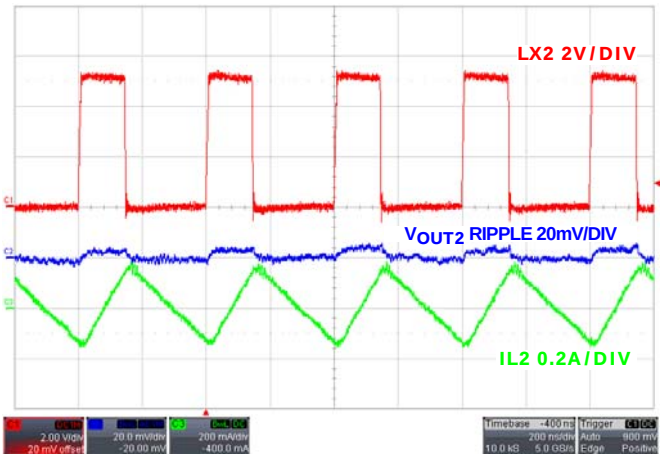


図 35. 無負荷時の定常状態動作、チャネル 2

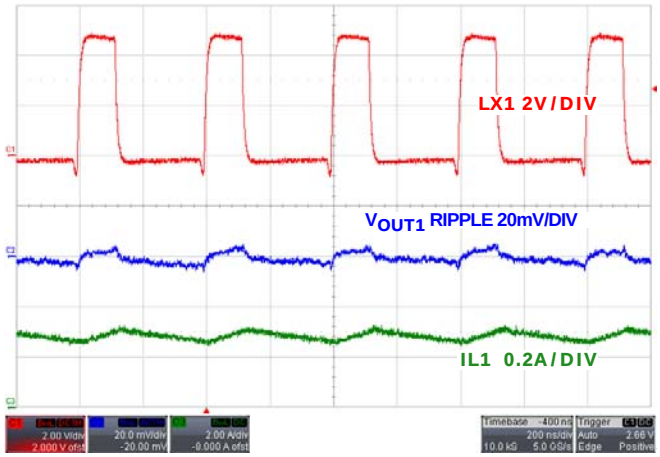


図 36. フル負荷時の定常状態動作、チャネル 1

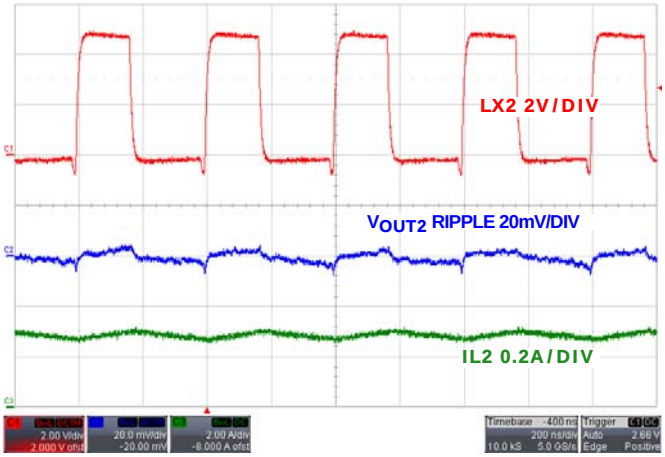


図 37. フル負荷時の定常状態動作、チャネル 2

動作性能特性、ISL8033A

特記のない限り動作条件は次のとおりです。 T_A = +25 ℃、V_{IN} = 5V、EN = V_{IN}、L1 = 0.68µH、L2 = 1µH、C1 = C2 = C4 = 2×22µF、V_{OUT1} = 1.2V、V_{OUT2} = 1.8V、I_{OUT1} = I_{OUT2} = 0A ～ 3A。**(続き)**

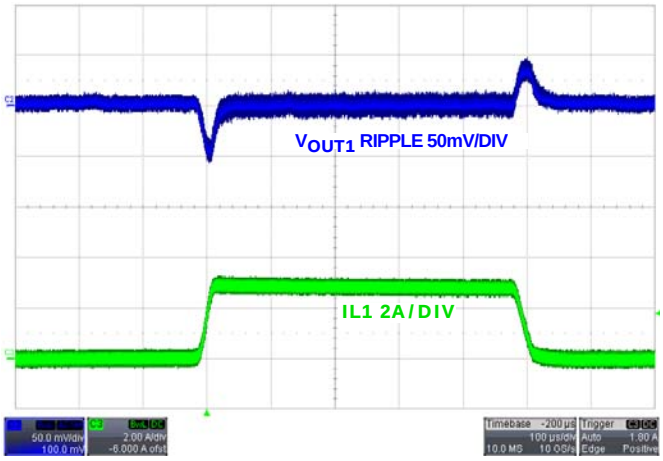


図 38. 負荷変動応答、チャネル 1

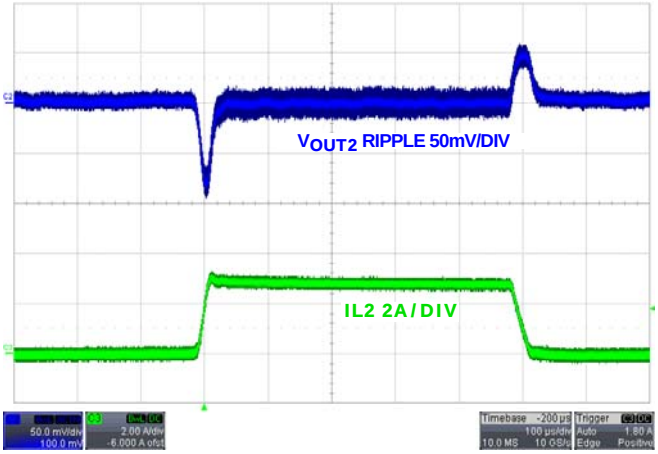


図 39. 負荷変動応答、チャネル 2

動作の仕組み

ISL8033 は、バッテリ駆動アプリケーションやモバイル・アプリケーションに最適な、定格 3A のデュアル出力が可能な降圧スイッチング・レギュレータです。負荷が重い条件下でも、1MHz の一定周波数で動作します。ISL8033A は 2.5MHz で動作するので、小型の外付けインダクタやコンデンサを使用すると、プリント基板 (PCB) の面積を最小限に抑えられます。2 系統のチャネルは 180° 異なる位相で動作します。レギュレータがシャットダウンしているときの電源電流はわずか 8µA です。

PWM 制御方式

SYNC ピンに High (>1.5V) を与えると、負荷電流に関わらず、コンバータは次のスイッチング・サイクルから PWM モードに移行します。14 ページの「動作の仕組み」に示すように、ISL8033/ISL8033A の各チャネルともに電流モードのパルス幅変調 (PWM) 制御方式を採用し、高速な負荷変動応答とパルス単位での電流リミットを実現しています。コンバータ回路の電流ループは、発振回路、PWM コンパレータ COMP、電流センス回路、ループ安定性を維持するスロープ・コンペンセーションで構成されます。電流センス回路は、P チャネル MOSFET のオン抵抗と、電流センスアンプ CSA1 で構成されます。電流センス回路のゲインは標準値で 0.20V/A です。電流ループの制御リファレンス信号は、電圧ループ内のエラーアンプ (EAMP) で生成しています。

PWM 動作は発振回路のクロックによって始まります。P チャネル MOSFET は PWM サイクルの開始時にターンオンし、MOSFET の電流は上昇を始めます。電流アンプ CSA1 (チャネル 2 は CSA2) と、スロープ・コンペンセーション (0.46V/µs) の和が電流ループの制御リファレンスに達すると、P チャネル MOSFET をターンオフし、かつ、N チャネル MOSFET をターンオンするように、PWM コンパレータ COMP は PWM ロジックに信号を送出します。N チャネル MOSFET は PWM サイクルが終わるまでオンの状態を維持します。図 40 に PWM 動作中の動作波形の一例を示します。点線はスロープ・コンペンセーションと電流センス・アンプ (CSA_) の出力の和を表しています。

電流ループに与えるリファレンス電圧を制御して、出力電圧のレギュレーションを行っています。バンドギャップ回路から 0.8V リファレンス電圧が電圧制御ループに出力されます。帰還信号は VFB ピンから与えられます。ソフトスタート・ブロックはスタートアップ時のみ動作し、詳細は後述します。エラーアンプはトランスコンダクタンス・アンプで、電圧誤差信号を電流出力へと変換します。電圧ループは 27pF と 390kΩ で構成される内蔵 RC ネットワークで位相補償されています。EAMP 出力の最大電圧はバンドギャップ電圧 (1.172V) で高精度にクランプされます。

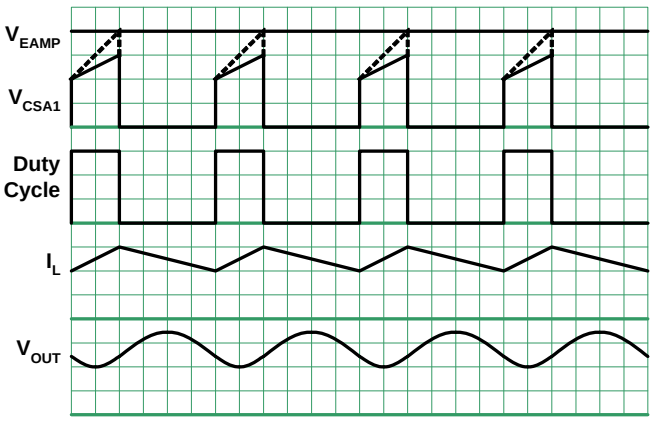


図 40. PWM 動作波形

外部同期制御 (ISL8033)

動作周波数は SYNC ピンに与える最高 6MHz の外部信号に同期できます。SYNC の先頭の立ち下がりエッジによって、チャネル 1 の PWM オンパルスの立ち上がりエッジがトリガされます。SYNC 信号の 2 番目の立ち下がりエッジによって、チャネル 2 の PWM オンパルスの立ち上がりエッジがトリガされます。このようにして両チャネルは 180° 異なる位相で動作します。

過電流保護

チャネル 1 の負荷電流とチャネル 2 の負荷電流は、それぞれ CSA1 と CSA2 でモニタされます。図 40 に示すように、CSA 出力は過電流保護 (OCP) スレッショルド・ロジックを使いモニタして、過電流保護を実現しています。電流センス回路の P チャネル MOSFET 電流から CSA 出力までのゲインは 0.20V/A です。CSA1 出力が ISET で設定した OCP スレッショルドに達すると、OCP コンパレータがトリップして即座に P チャネル MOSFET をターンオフします。このように過電流保護は、ハイサイド MOSFET を流れる電流をモニタすると、スイッチング・コンバータ回路を出力短絡から保護します。

過電流状態が検出されるとハイサイド MOSFET は即座にターンオフし、次のスイッチング・サイクルが始まるまではターンオンしません。過電流状態が初めて検出されると、過電流フォルト・カウンタが 1 にセットされるとともに、過電流状態フラグが Low から High にセットされます。続くサイクルでも過電流状態が検出されると過電流フォルト・カウントはインクリメントされます。17 サイクル連続して過電流フォルトが検出されると、レギュレータは過電流フォルト状態とみなしシャットダウンします。続いて、ソフトスタート 4 回分に相当する遅延ののち、ヒカップモードでのリスタートを試みます。ソフトスタート 4 回分の時間が経過すると、フォルト・カウンタはリセットされ、ソフトスタートがもう一度試みられます。過電流フォルト・カウンタが 4 に達する前に過電流状態が解消されると、過電流状態フラグは Low に戻ります。

負荷電流が負極性となり -2.5A に達すると、デバイスは負極性過電流保護状態に移行します。この時点ですべてのスイッチング動作は停止し、デバイスはハイ・インピーダンス・モードに入ると同時に、内蔵プルダウン FET によって通常のレギュレーション電圧になるまで出力を放電し、その後デバイスはリスタートします。

パワーグッド (PG)

チャネルごとのパワーグッド信号が用意されています。PG1 はチャネル 1 出力をモニタした信号で、PG2 はチャネル 2 出力をモニタした信号です。オープンコレクタの PG 出力は、電源投入後に V_O が設定電圧に達したあとも、およそ 1ms にわたって Low を維持します。PG_ 出力は 1ms だけ遅延したパワーグッド信号となります。

アンダーボルテージ・ロックアウト (UVLO)

入力電圧がアンダーボルテージ・ロックアウト (UVLO) スレッショルドを下回ると、レギュレータはディスエーブル状態になります。

イネーブル

パワーアップ・シーケンスを行うには、イネーブル (EN) 入力を使って、レギュレータのイネーブルとディスエーブルを制御します。レギュレータがイネーブル状態になったあと、バンドギャップ・リファレンスの起動に標準値で 600µs を要します。その後ソフトスタートが始まります。

ソフトスタート

ソフトスタートはスタートアップ時の突入電流を抑える機能です。ソフトスタート・ブロックによって、電圧ループと電流ループの両方に対しランプ・リファレンスが出力されます。インダクタ電流の立ち上がり速度と出力電圧の立ち上がり速度が制限されるため、出力電圧は制御された状態で上昇します。スタートアップが開始した直後、出力電圧は 0.5V 未満で、そのため PWM 動作周波数は通常の周波数の 1/2 に下がります。

スタートアップ時は PWM モードであっても電流をシンクできません。

放電モード (ソフトストップ)

シャットダウン・モードへの移行が発生したとき、または、出力アンダーボルテージ・フォルトラッチがセットされたとき、出力は内蔵の 100Ω スイッチを介して PGND レベルに放電されます。

パワー MOSFET

パワーMOSFETは最大限の効率が得られるように最適化されています。P チャネル MOSFET のオン抵抗は標準値で 50mΩ、N チャネル MOSFET のオン抵抗は標準値で 50mΩ です。

100%デューティサイクル

ISL8033 は、機器のバッテリ動作時間を最大限に確保できるように、100%デューティサイクル動作に対応しています。ISL8033/ISL8033A が出力レギュレーションを維持できないレベルにまでバッテリ電圧が低下すると、レギュレータは P チャネル MOSFET を完全にターンオンします。100%デューティサイクル動作における最大ドロップアウト電圧は、負荷電流と P チャネル MOSFET のオン抵抗の積で求められます。

サーマル・シャットダウン

ISL8033/ISL8033A にはサーマル保護機能が内蔵されています。内部温度が +150℃に達するとレギュレータは完全にシャットダウンします。温度が +125℃にまで下がると ISL8033/ISL8033A はソフトスタート・サイクルを経て通常動作に復帰します。

アプリケーション情報

出力インダクタと出力コンデンサの選択

安定状態動作と過渡応答動作を考慮して、ISL8033 の出力インダクタには 1.5µH を標準的に使います。コンバータ全体のシステム性能を高めるためにこれ以外のインダクタンス値を使用してもかまいません。たとえば、出力電圧が 3.3V と高めのアプリケーションの場合、大きめのインダクタを使用するとインダクタ電流と出力電圧リップルの抑制が図れます。インダクタ・リップル電流は式 1 で表されます。

$$\Delta I = \frac{V_O \bullet \left(1 - \frac{V_O}{V_{IN}}\right)}{L \bullet f_S} \quad \text{(式 1)}$$

インダクタの飽和電流定格はピーク電流よりも大きくなければなりません。ISL8033/ISL8033A は標準値で 4.8A 以上のピーク電流に対して保護機能が働きます。したがって、最大出力電流を必要とするアプリケーションの場合で、飽和電流定格は 4.8A 以上が必要です。

ISL8033/ISL8033A は位相補償ネットワークを内蔵していますが、出力コンデンサの容量は出力電圧によって決定します。推奨品は X5R または X7R タイプのセラミック・コンデンサです。出力コンデンサの推奨最小容量を 2 ページの表 1 と 2 に示します。

出力電圧の選択

レギュレータの出力電圧は外付けの抵抗分圧回路で設定します。この分圧回路は、内部リファレンス電圧を基準とする出力電圧の比を定めて、エラーアンプの反転入力に帰還する役割を担います。図 2 を参照してください。

レギュレータの所望の電圧から出力設定抵抗 R_2 (チャネル 2 は R_5) を選択します。帰還抵抗の抵抗値は一般に 0Ω から 750kΩ の範囲です。R_2 = 124kΩ としたとき、R_3 は次のように求められます。

$$R_3 = \frac{R_2 \times 0.8V}{V_{OUT} - 0.8V} \quad \text{（式 2）}$$

適切な性能を得るために、R_2 には並列に 12pF を接続してください。出力電圧として 0.8V を設定する場合は、R_3 を未実装とし、R_2 を短絡してください。

入力コンデンサの選択

入力コンデンサの主な機能は、寄生インダクタンスとのデカップリングと、スイッチング電流がバッテリ・レールに逆流しないようにフィルタすることです。入力コンデンサの選択にあたっては、スタートポイントとして、X5R または X7R タイプの 22µF セラミック・コンデンサをチャネルあたり 1 個設けてください。

プリント基板のレイアウト設計指針

設計したコンバータから所望の性能を得るには、プリント基板のレイアウト設計がきわめて重要な役割を担います。ISL8033 のパワーループは、出力インダクタ L、出力コンデンサ C_{OUT1} と C_{OUT2}、LX ピン、SGND ピンで構成されています。このパワーループをできるだけ小さく設計する必要があるとともに、それらを接続しているトレースは迂回させずに最短かつ幅広で設計してください。コンバータのスイッチング・ノード LX_ ピンと、LX_ ピンに接続されているトレースは、ノイズを発生させるため、電圧帰還トレースはこれからできるだけ離してルーティングしてください。入力コンデンサは VIN ピンのできるだけ近くに配置します。同様に、入力コンデンサのグラウンドと出力コンデンサのグラウンドもできるだけ近くに配置します。IC の発熱は主にサーマルパッドから拡散していきます。そのため、サーマルパッドを実装するランドをできるだけ広くしてください。また、EMI 性能を高めるにはベタグラウンド層が有効です。放熱を高めるために、少なくとも 5 個以上のビアをパッドのランド内に設けてください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2011/1/12	FN6854.2	全体： 新しいデータシート・テンプレートに変更。 1 ページ： 「関連ドキュメント」を追加。 5 ページ： 「注文情報」のテープ＆リールに関する Note を「テープ＆リールは製品型番の末尾に「-T」を付加してください。」から新基準の「テープ＆リールは製品型番の末尾に「-T*」を付加してください。」に更新。「*」はすべてのテープ＆リール・オプションに適用されます。 6 ページ： 仕様表の Min/Max 列の過熱に関する Note を「MIN パラメータと MAX パラメータは特記のない限り +25℃で全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていません。」から新基準の「データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか 1 つまたは複数によって保証されています。」に更新。
2010/10/12	FN6854.1	2 ページ、表 3 の ISL8033 の F_{SW} を 1Hz から 1MHz に訂正。
2010/9/29	FN6854.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

*ISL8033、ISL8033A に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の ISL8033 と ISL8033A のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、
ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

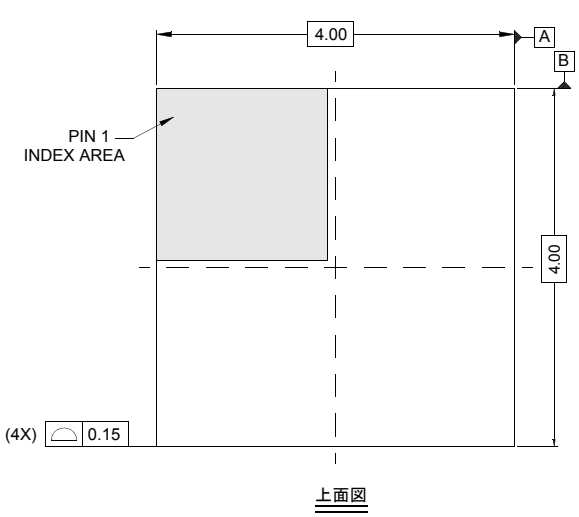
インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいますようお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をご覧ください。

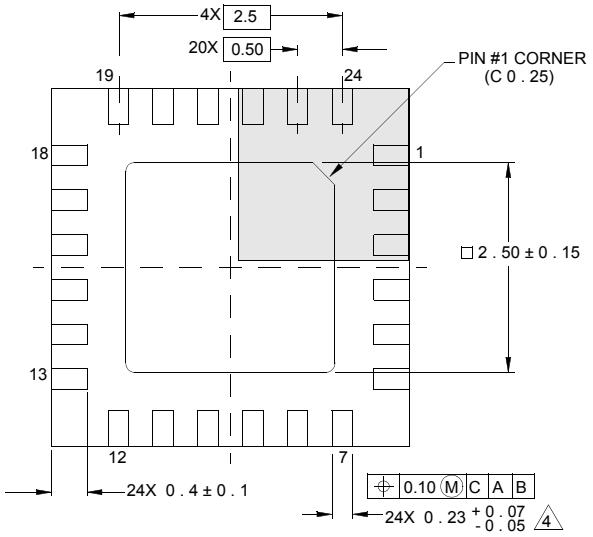
パッケージ寸法図

L24.4x4D

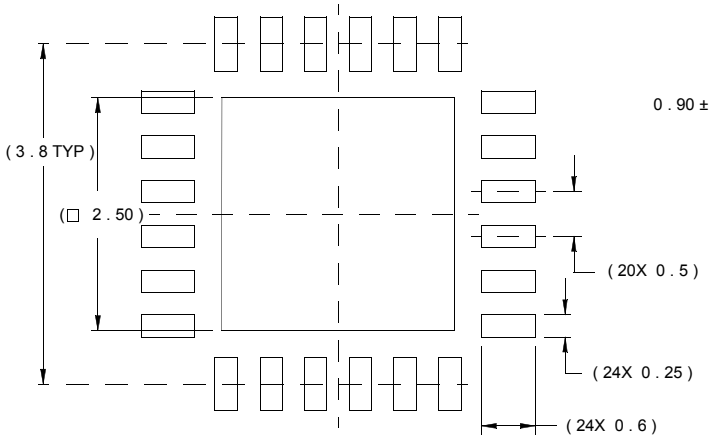
24 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE
Rev 2, 10/06



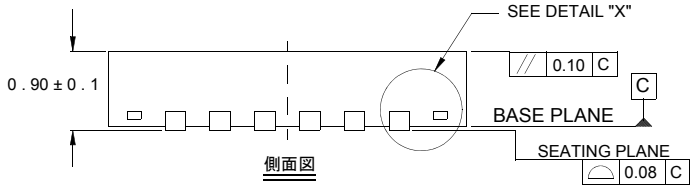
上面図



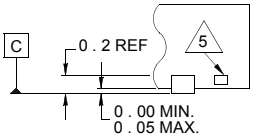
底面図



推奨ランドパターンの例



側面図



"X" の詳細

NOTE:

1. 寸法の単位は mm です。
   ( ) 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ±0.05 です。
4. 寸法 b は金属端子に適用され、端子先端から 0.15mm ～ 0.30mm のポイントで計測した値です。
5. タイバー(示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。