

1A/2A/3A、超低ドロップアウト、低入力電圧 NMOS LDO

ISL80111、ISL80112、ISL80113

ISL80111/ISL80112/ISL80113 は、データ通信、コンピューティング、ストレージ、医療向けのサイズが制約される製品で性能、サイズ、消費電力の最適なバランスを実現する超低ドロップアウト LDO です。出力電流はそれぞれ 1A、2A、3A で、低電圧変換向けに最適化されています。標準的な 3.3V ~ 5V の電圧がバイアスに印加されていれば、1V ~ 3.6V の V_{IN} で動作し、 V_{OUT} を 0.8V ~ 3.3V の範囲で調整できます。各 LDO の V_{IN} 電源電圧除去比 (PSRR) は 100kHz で 40dB を超えるため、ノイズに敏感なアプリケーションに理想的な選択肢です。また、すべての条件下で $\pm 1.6\%$ の V_{OUT} 精度が保証されているので、最新の低電圧デジタル IC へ高精度の電圧を供給するのに適しています。

イネーブル入力を利用すると、低待機時電流シャットダウン・モードに移行できます。この製品ファミリはサブミクロン CMOS プロセスを採用し、通常 2.5V 未満への入力電圧変換が必要なアプリケーションでクラス最高のアナログ性能と総合的に高い価値を発揮します。また、NMOS パワー段に特有の優れた負荷過渡レギュレーションを実現しています。各 LDO では、負荷あたりの待機時電流がバイポーラ LDO に比べて大幅に抑えられています。

特長

- 超低ドロップアウト：3A で 75mV (typ)
- 優れた V_{IN} PSRR：1kHz で 70dB (typ)
- $-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$ で $\pm 1.6\%$ の V_{OUT} 精度を保証
- 超高速負荷過渡応答
- 高度な保護機能とレポート機能
- V_{IN} 範囲：1V ~ 3.6V、 V_{OUT} 範囲：0.8V ~ 3.3V
- 小型 10 Ld 3x3 DFN パッケージ

アプリケーション

- ノイズに敏感な計測 / 医療システム
- データアキュイジション / データ通信システム
- ストレージ / テレコム / サーバー機器
- 低電圧の DSP/FPGA/ASIC コア電源
- スイッチモード電源のポスト・レギュレーション

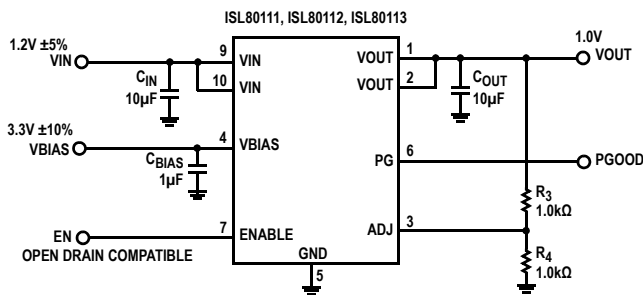


図 1. アプリケーション回路例

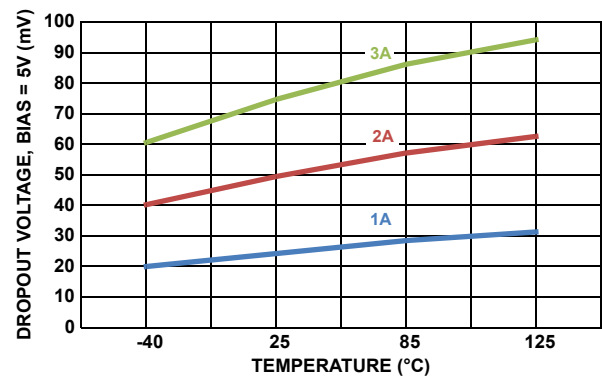


図 2. 各 I_{OUT} におけるドロップアウト電圧と温度の関係

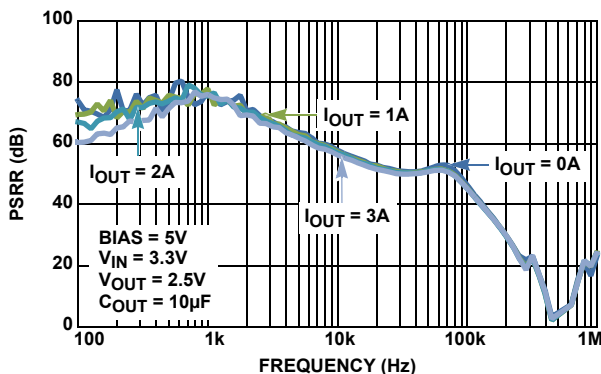


図 3. V_{IN} PSRR vs 負荷電流 (ISL80113)

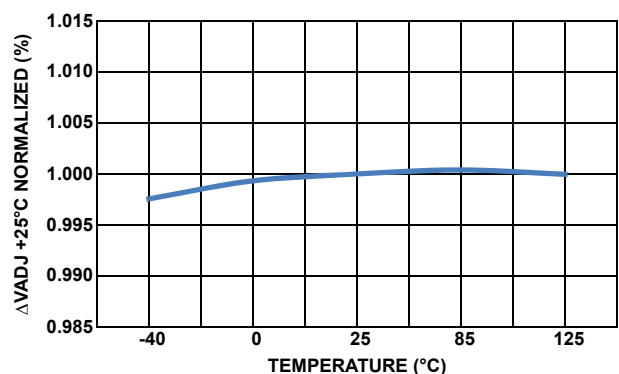
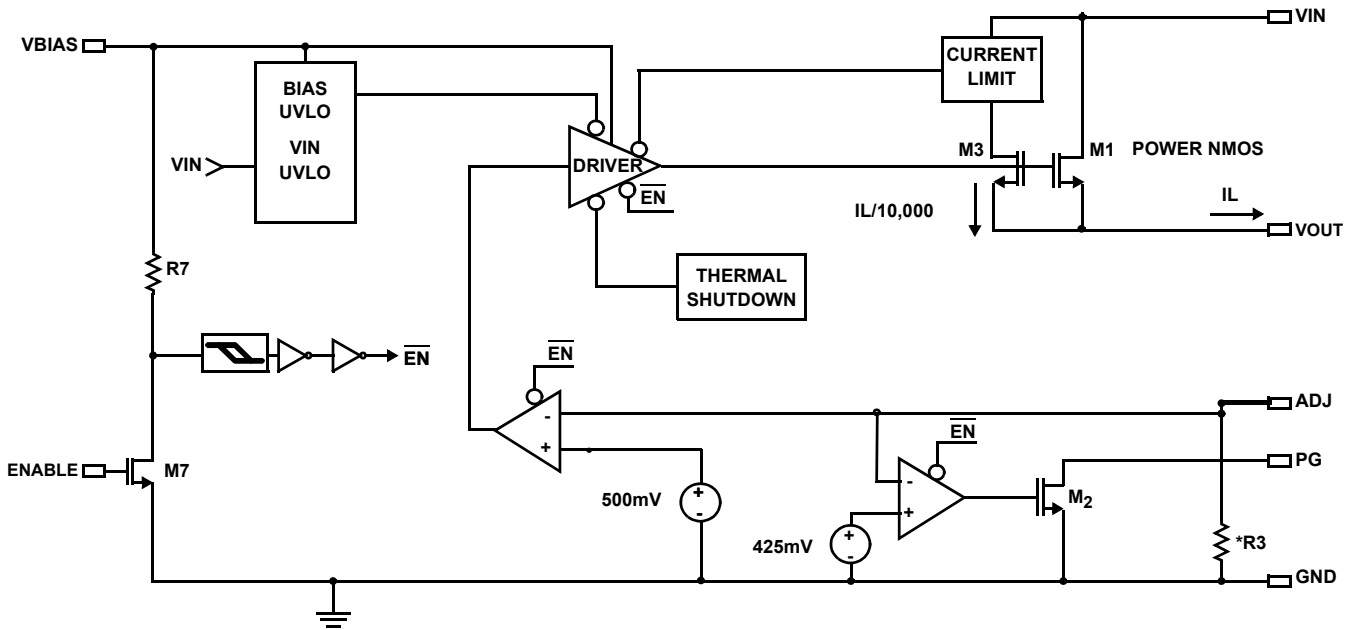


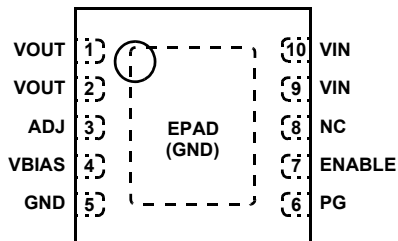
図 4. ΔV_{ADJ} vs 温度

ブロック図



ピン配置

ISL80111, ISL80112, ISL80113
(10 LD 3X3 DFN)
上面図



ピンの説明

ピン番号	ピン名称	説明
1, 2	VOUT	出力電圧ピン。範囲：0.8V ~ 3.3V。
3	ADJ	V _{OUT} の外部設定用の ADJ ピン。 範囲：0.5V ~ V _{OUT} 。
4	VBIAS	内蔵制御回路用のバイアス電圧ピン。 範囲：2.9V ~ 5.5V。
5	GND	グラウンド・ピン。
6	PG	パワーグッド信号。 ロジック Low は V _{OUT} がレギュレーション状態にないことを示します。 範囲：0V ~ バイアス。
7	ENABLE	V _{IN} に依存しないチップ・イネーブル。 TTL および CMOS 互換です。 範囲：0V ~ V _{BIAS} 。
8	NC	未接続。
9, 10	VIN	入力電源ピン。範囲：1.0V ~ 3.6V。
	EPAD	グラウンド電位の EPAD。EPAD はグラウンド層にハンダ付けすることを推奨します。

注文情報

製品型番 (Note 1、2、3)	マーキング	V _{OUT} 電圧 (Note 3)	周囲温度 範囲 (°C)	パッケージ (鉛フリー)	パッケージの外形図
ISL80111IRAJZ	1ADJ	ADJ	-40 ~ +85	10 Ld 3x3 DFN	L10.3x3
ISL80112IRAJZ	2ADJ	ADJ	-40 ~ +85	10 Ld 3x3 DFN	L10.3x3
ISL80113IRAJZ	3ADJ	ADJ	-40 ~ +85	10 Ld 3x3 DFN	L10.3x3
ISL80111EVAL1Z	ISL80111 の評価ボード				
ISL80112EVAL1Z	ISL80112 の評価ボード				
ISL80113EVAL1Z	ISL80113 の評価ボード				

NOTE :

1. テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit ([TB347](#))」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL80111](#)、[ISL80112](#)、[ISL80113](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices ([TB363](#))」を参照してください。

ISL80111、ISL80112、ISL80113

絶対最大定格 (Note 4)

V_{IN} (GND 基準)	0.3V ~ +6V
V_{OUT} (GND 基準)	-0.3V ~ +4V
PG、ENABLE、SENSE/ADJ (GND 基準) (Note 5)	-0.3V ~ +6V
V_{BIAS} (GND 基準)	-0.3V ~ +6V
PG 定格電流 (Note 6)	10mA
ESD 定格	
人体モデル (JESD22-A114E に従い試験)	4,000V
機械モデル (JESD22-115-A に従い試験)	300V
デバイス帯電モデル	2,000V
ラッチアップ定格	100mA

温度情報

熱抵抗 (Note 7、8)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
10 Ld 3x3 DFN パッケージ	48	4
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照 http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件 (Note 4、6)

ジャンクション温度範囲	-40 °C ~ +125 °C
V_{IN} (GND 基準) (ISL80113) (Note 9)	$V_{OUT} + 0.4V \sim 5V$
V_{IN} (GND 基準) (ISL80112) (Note 9)	$V_{OUT} + 0.3V \sim 5V$
V_{IN} (GND 基準) (ISL80111) (Note 9)	$V_{OUT} + 0.2V \sim 5V$
公称 V_{OUT} 範囲	800mV ~ 3.3V
PG、ENABLE、SENSE/ADJ、SS (GND 基準)	0V ~ 5.5V
V_{BIAS} (GND 基準)	0V ~ 5.5V
V_{BIAS} (V_{OUT} 基準)	+0.8V 以上

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

NOTE：

- 絶対最大定格は、安全な動作の範囲を定めたものです。このような条件で長時間動作させると、製品の信頼性に影響が及ぶ恐れがあります。この範囲を超えた場合は、製品が破損します。推奨動作条件は、仕様が保証されている範囲を定めたものです。
- 絶対最大電圧定格は、6V 超が印加される時間の生涯平均割り合いを 1% として定義しています。
- エレクトロ・マイグレーションに関する仕様は、生涯平均ジャンクション温度を 110 °C として定義しています。最大定格 DC 電流 = 生涯平均電流です。
- θ_{JA} はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板上に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- $V_{IN} - V_{DO} < 1V$ の場合、 V_{IN} に印加される最小動作電圧は 1V です。

電気的特性 特記のない限り、すべてのパラメータは以下の条件で保証されています。

$V_{IN} = V_{OUT} + 0.4V$ 、 $V_{BIAS} = 2.9V$ 、 $V_{OUT} = 1.2V$ 、 $C_{BIAS} = 1\mu F$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 2.2\mu F$ 、 $T_J = +25\text{ °C}$ 、 $I_L = 0mA$ 。
ワーストケースのジャンクション温度を決定するために、アプリケーションはパッケージの放熱ガイドラインに従わなければなりません。13 ページの「消費電力」とテクニカル・ブリーフ TB379 を参照してください。

太字のリミット値はジャンクション温度 (T_J) 範囲 -40 °C から +125 °C に対して適用されます。 $T_J = T_A$ を維持するパルス負荷試験は ATE を用いて実施し、データシートのリミット値を定義しています。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 10)	TYP	MAX (Note 10)	UNITS
DC CHARACTERISTICS						
V_{BIAS} UVLO	UVLO_BIAS_r	V_{BIAS} Rising		2.3	2.9	V
	UVLO_BIAS_f	V_{BIAS} Falling	1.55	2.1	2.8	V
V_{BIAS} UVLO Hysteresis	UVLO_B_HYS			0.2		V
DC ADJ Pin Voltage Accuracy	V_{ADJ}	$1.0V \leq V_{IN} \leq 3.6V$, $I_{LOAD} = 0A$, $2.9V \leq V_{BIAS} \leq 5.5V$, $V_{OUT} = V_{ADJ}$	494	502	510	mV
DC Input Line Regulation	ΔV_{OUT}	$V_{OUT} + 0.4V \leq V_{IN} \leq 3.6V$		0.01	0.9	mV
DC Bias Line Regulation	ΔV_{OUT}	$2.9V < V_{BIAS} < 5.5V$ with respect to ADJ pin		0.3	1.4	mV
DC Output Load Regulation	ΔV_{OUT}	$0A \leq I_{LOAD} \leq 3A$	-2	-0.2	2	mV
Feedback Input Current		$V_{ADJ} = 0.5V$		10	80	nA
V_{IN} Quiescent Current	$I_Q (V_{IN})$	$V_{OUT} = 2.5V$		8	10	mA
V_{IN} Quiescent Current	$I_Q (V_{IN})$	$V_{OUT} = 3.3V$		10.6		mA

ISL80111、ISL80112、ISL80113

電気的特性 特記のない限り、すべてのパラメータは以下の条件で保証されています。

$V_{IN} = V_{OUT} + 0.4V$ 、 $V_{BIAS} = 2.9V$ 、 $V_{OUT} = 1.2V$ 、 $C_{BIAS} = 1\mu F$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 2.2\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0mA$ 。

ワーストケースのジャンクション温度を決定するために、アプリケーションはパッケージの放熱ガイドラインに従わなければなりません。13 ページの「消費電力」とテクニカル・ブリーフ [TB379](#) を参照してください。

太字のリミット値はジャンクション温度 (T_J) 範囲 $-40^\circ C$ から $+125^\circ C$ に対して適用されます。 $T_J = T_A$ を維持するパルス負荷試験は ATE を用いて実施し、データシートのリミット値を定義しています。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 10)	TYP	MAX (Note 10)	UNITS
V _{IN} Quiescent Current	I _Q (V _{IN})	V _{OUT} = 1.0V		3.5		mA
V _{BIAS} Quiescent Current	I _Q (V _{BIAS})	0 ≤ I _L ≤ 3A, V _{BIAS} = 5.5V		2.9	4.6	mA
Ground Pin Current in Shutdown	I _{SHDN}	ENABLE Pin = 0.2V, T _J = +125°C		3	20	μA
V _{IN} Dropout Voltage (Note 11)	V _{DO(VIN)}	I _{LOAD} = 1A, V _{OUT} = 1.2V, 2.9V ≤ V _{BIAS} ≤ 5V		27	90	mV
		I _{LOAD} = 2A, V _{OUT} = 1.2V, 2.9V ≤ V _{BIAS} ≤ 5V		53	115	mV
		I _{LOAD} = 3A, V _{OUT} = 1.2V, 2.9V ≤ V _{BIAS} ≤ 5V		75	140	mV
V _{BIAS} Dropout Voltage (Note 11)	V _{DO(BIAS)}	I _{LOAD} = 1A, V _{OUT} = 1.2V		1.1	1.3	V
		I _{LOAD} = 2A, V _{OUT} = 1.2V		1.2	1.4	V
		I _{LOAD} = 3A, V _{OUT} = 1.2V		1.3	1.5	V
OVERCURRENT PROTECTION						
Output Short Circuit Current (3A Version)	ISC	V _{OUT} = 0.2V		5.2		A
Output Short Circuit Current (2A Version)		V _{OUT} = 0.2V		3.2		A
Output Short Circuit Current (1A Version)		V _{OUT} = 0.2V		2.2		A
OVER-TEMPERATURE PROTECTION						
Thermal Shutdown Temperature	TSD			160		°C
Thermal Shutdown Hysteresis	TSDn			20		°C
AC CHARACTERISTICS						
Input Supply Ripple Rejection	PSRR(V _{IN})	f = 120Hz, I _{LOAD} = 1A		80		dB
	PSRR(V _{BIAS})	f = 120Hz, I _{LOAD} = 1A		60		dB
Output Noise Voltage	e _{N(RMS)}	I _{LOAD} = 10mA, BW = 100Hz ≤ f ≤ 100kHz		100		μV _{RMS}
Spectral Noise Density	e _N	I _{LOAD} = 3A, f = 10Hz		7		μV/√Hz
		I _{LOAD} = 3A, f = 100Hz		3		μV/√Hz
DEVICE START-UP CHARACTERISTICS						
EN Start-up Time	t _{EN}	C _{OUT} = 10μF, I _{LOAD} = 1A		50		μs
BIAS Start-up Time	t _{BIAS}	C _{OUT} = 10μF, EN = BIAS		100		μs
ENABLE PIN CHARACTERISTICS						
Turn-on Threshold (Rising)		V _{OUT} + 0.4V ≤ V _{IN} ≤ 3.6V, 2.9V ≤ V _{BIAS} ≤ 5.5V	400	680	850	mV
Hysteresis (Rising Threshold)		1.2V ≤ V _{IN} ≤ 3.6V, 2.9V ≤ V _{BIAS} ≤ 5.5V	60	260	330	mV
PG PIN CHARACTERISTICS						
PG Flag Falling Threshold	PG _{TH}	2.9V ≤ V _{BIAS} ≤ 5.5V	71	82	93	%V _{OUT}
PG Flag Hysteresis	PG _{HYS}	2.9V ≤ V _{BIAS} ≤ 5.5V		9.3		%V _{OUT}
PG Flag Low Voltage		I _{SINK} = 500μA		90	130	mV

電気的特性 特記のない限り、すべてのパラメータは以下の条件で保証されています。

$V_{IN} = V_{OUT} + 0.4V$ 、 $V_{BIAS} = 2.9V$ 、 $V_{OUT} = 1.2V$ 、 $C_{BIAS} = 1\mu F$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 2.2\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0mA$ 。

ワーストケースのジャンクション温度を決定するために、アプリケーションはパッケージの放熱ガイドラインに従わなければなりません。13 ページの「消費電力」とテクニカル・ブリーフ [TB379](#) を参照してください。

太字のリミット値はジャンクション温度 (T_J) 範囲 $-40^\circ C$ から $+125^\circ C$ に対して適用されます。 $T_J = T_A$ を維持するパルス負荷試験は ATE を用いて実施し、データシートのリミット値を定義しています。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 10)	TYP	MAX (Note 10)	UNITS
PG Flag Leakage Current		$PG = V_{BIAS} = 5.5V$		11	300	nA
PG Flag Sink Current			7	10		mA

NOTE :

- MIN パラメータと MAX パラメータは特記のない限り $+25^\circ C$ で全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていません。
- ドロップアウトは、電源で V_{OUT} が公称値から 2% 低下したときの、電源電圧 (V_{IN} 、 V_{BIAS}) と V_{OUT} の差として定義されています (出力電圧は 2.5V に設定)。
- 通常動作時の V_{IN} は常に、 V_{BIAS} に印加された電圧以下でなければなりません。部品は、 V_{IN} が V_{BIAS} を上回る可能性があるフォルト状態から保護されます。

代表的な性能特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 1.8V$ 、 $V_{BIAS} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。

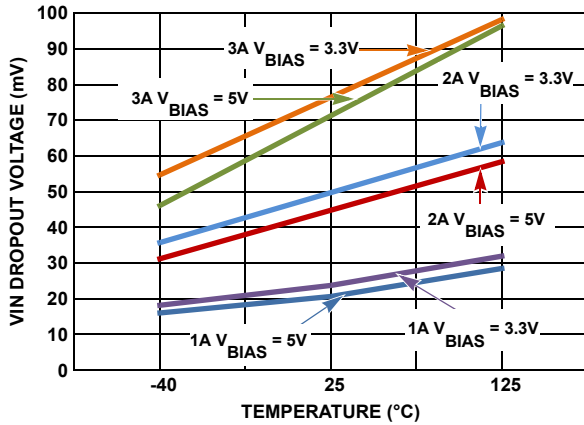


図 5. ドロップアウト vs V_{BIAS}

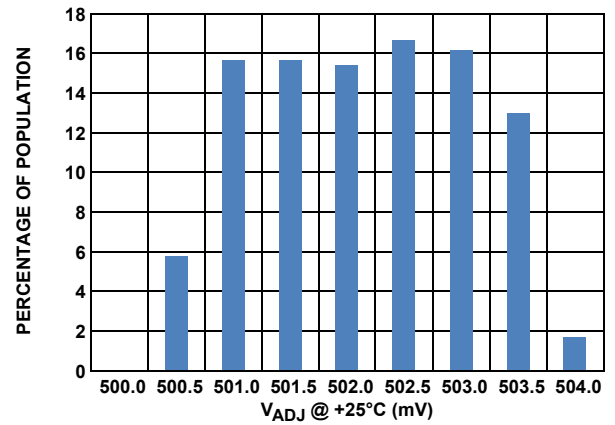


図 6. V_{ADJ} の分布

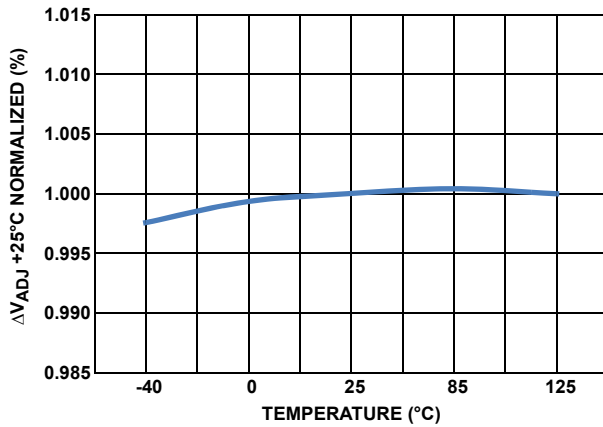


図 7. ΔV_{ADJ} vs 温度

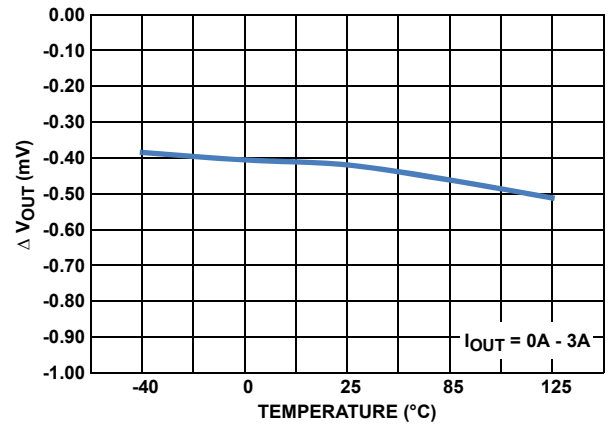


図 8. 負荷レギュレーション vs 温度

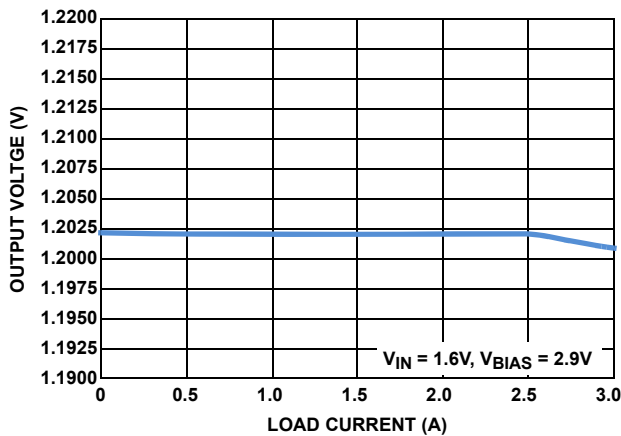


図 9. 負荷レギュレーション、 V_{OUT} vs I_{OUT}

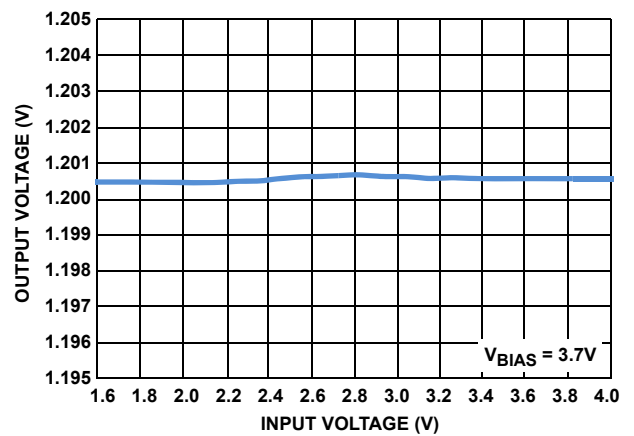


図 10. V_{IN} のライン・レギュレーション

代表的な性能特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 1.8V$ 、 $V_{BIAS} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。(続き)

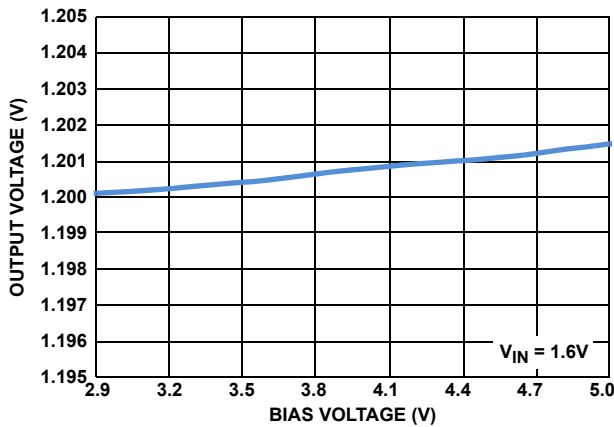


図 11. V_{BIAS} のライン・レギュレーション

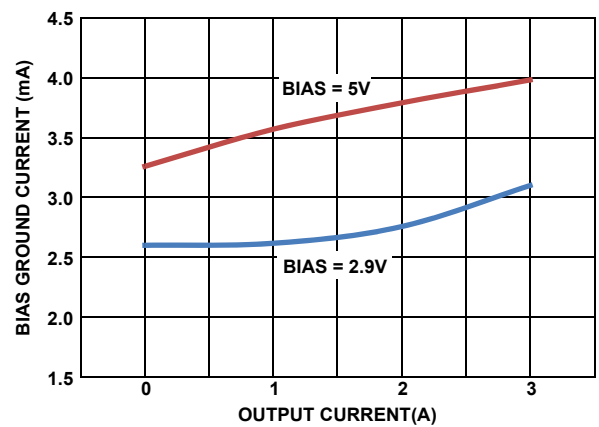


図 12. バイアス・グラウンド電流 vs 負荷電流

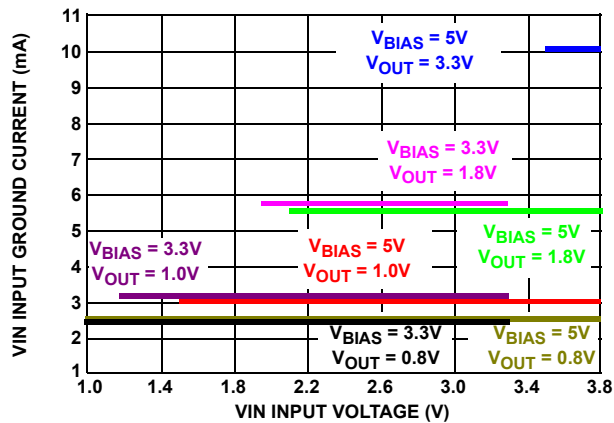


図 13. 入力グラウンド電流 vs V_{IN} と V_{OUT}

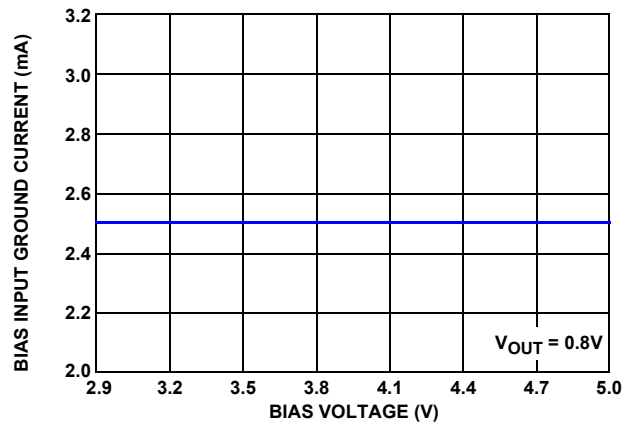


図 14. 入力グラウンド電流 vs V_{BIAS}

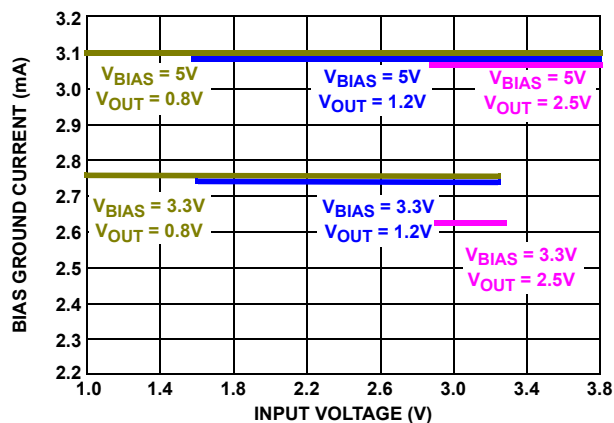


図 15. バイアス・グラウンド電流 vs V_{IN} および V_{OUT}

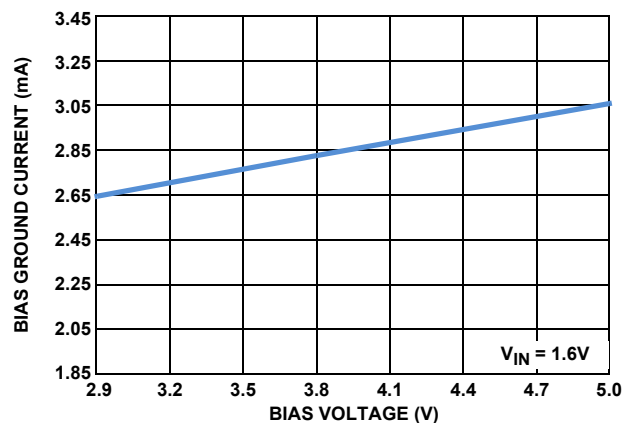


図 16. バイアス・グラウンド電流 vs V_{BIAS}

ISL80111、ISL80112、ISL80113

代表的な性能特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 1.8V$ 、 $V_{BIAS} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。(続き)

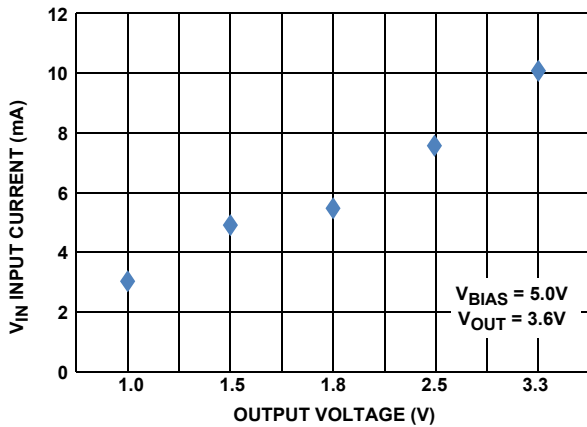


図 17. V_{IN} I_Q vs V_{OUT} 電圧

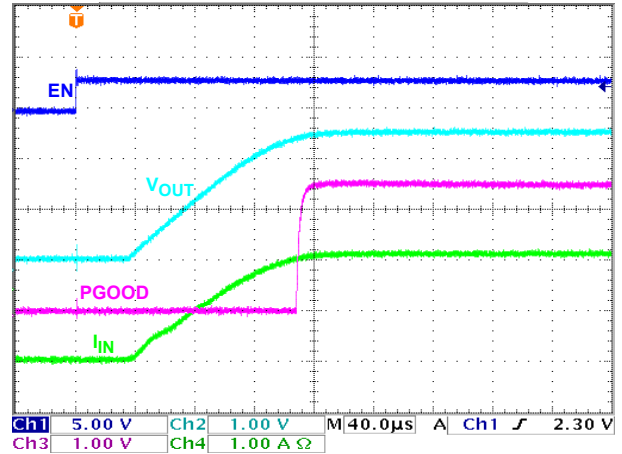


図 18. PGOOD 使用時のイネーブル・スタートアップ

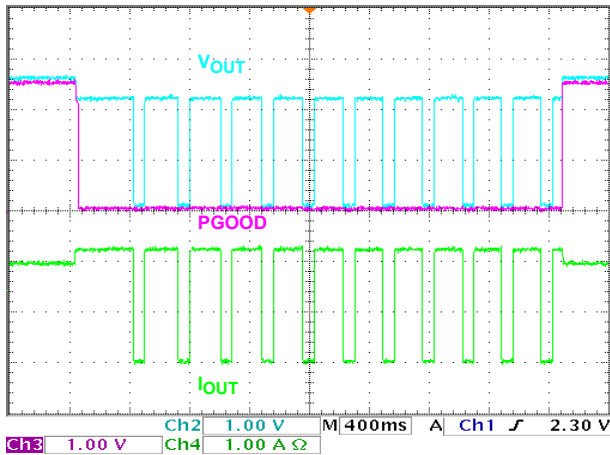


図 19. ISL8011X のサーマル・シャットダウンの開始と終了

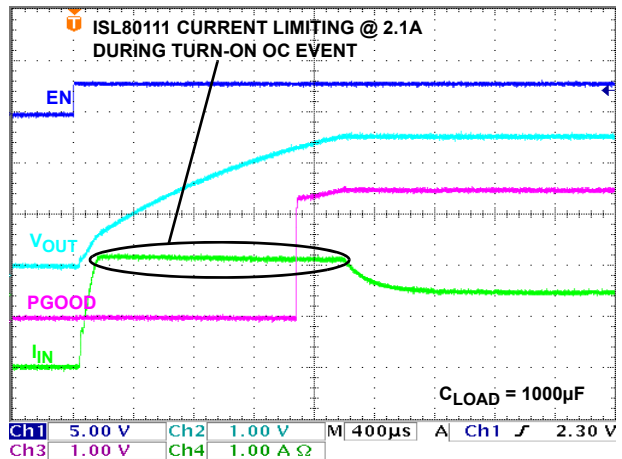


図 20. ISL80111 の過電流状態へのイネーブル

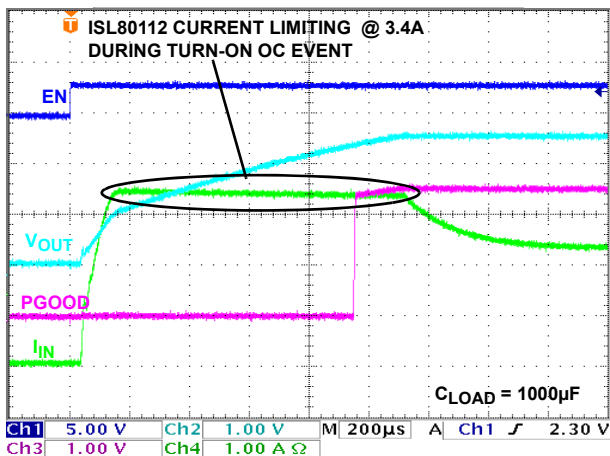


図 21. ISL80112 の過電流状態へのイネーブル

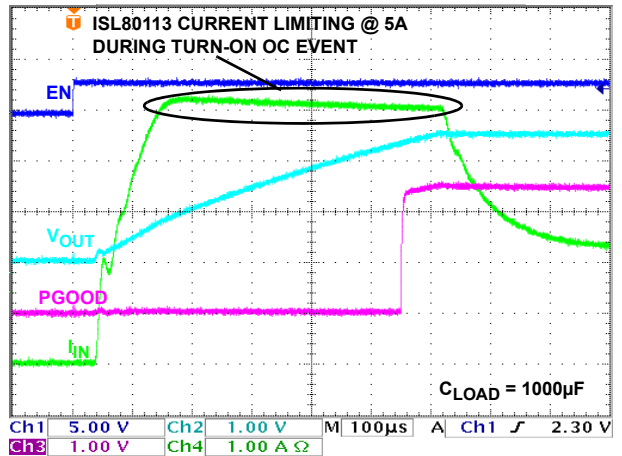


図 22. ISL80113 の過電流状態へのイネーブル

代表的な性能特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 1.8V$ 、 $V_{BIAS} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。(続き)

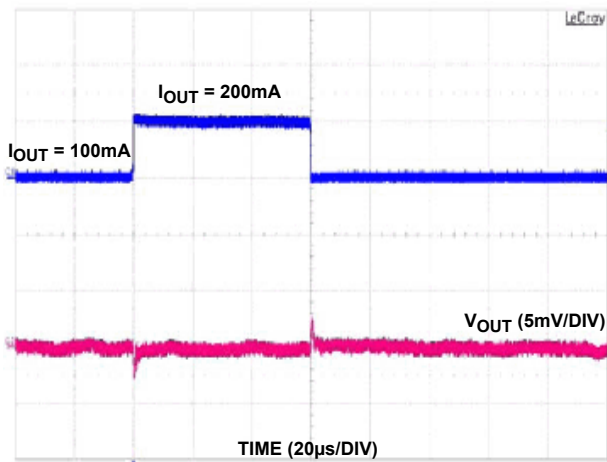


図 23. 100mA の負荷過渡応答

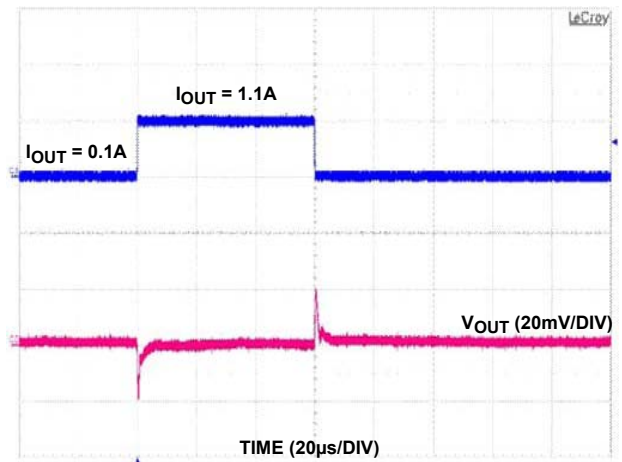


図 24. 1A の負荷過渡応答

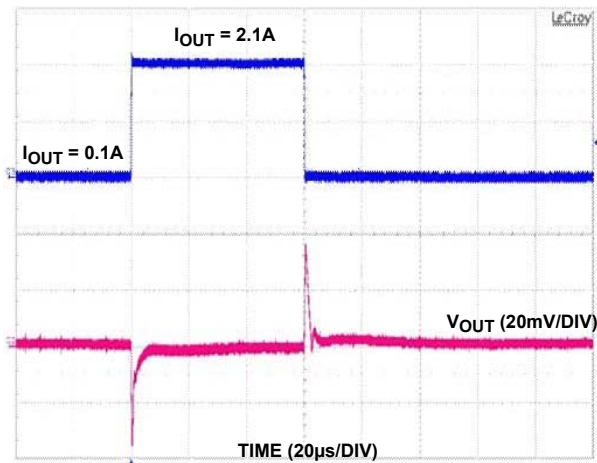


図 25. 2A の負荷過渡応答

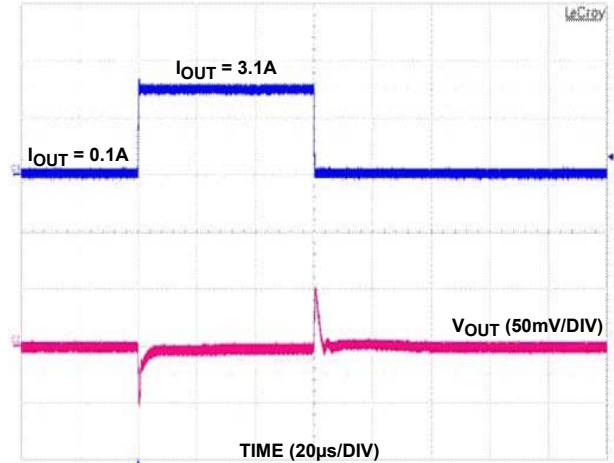


図 26. 3A の負荷過渡応答

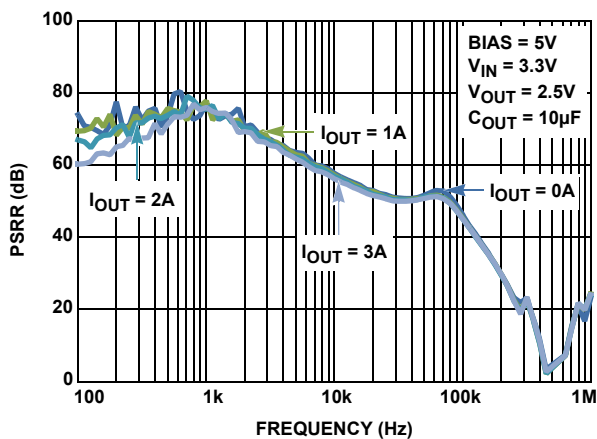


図 27. V_{IN} PSRR vs 負荷電流

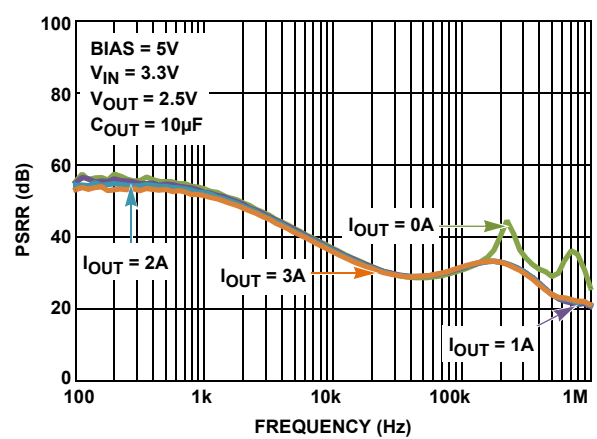


図 28. バイアス PSRR vs 負荷電流

代表的な性能特性 特記のない限り動作条件は次のとおりです。 $V_{IN} = 1.8V$ 、 $V_{BIAS} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。(続き)

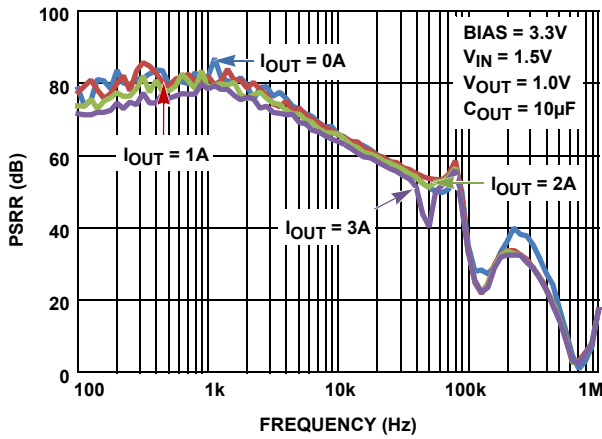


図 29. V_{IN} PSRR vs 負荷電流

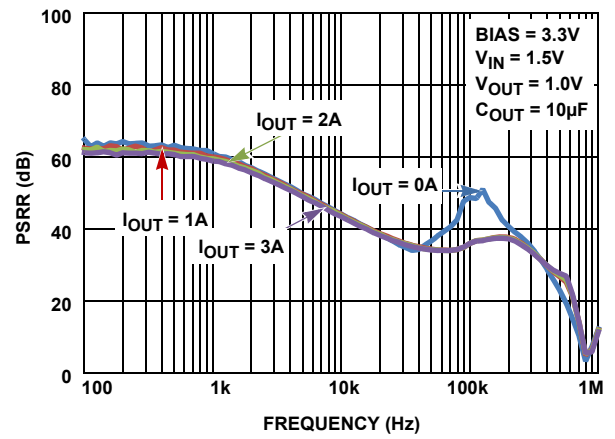


図 30. V_{BIAS} PSRR vs 負荷電流

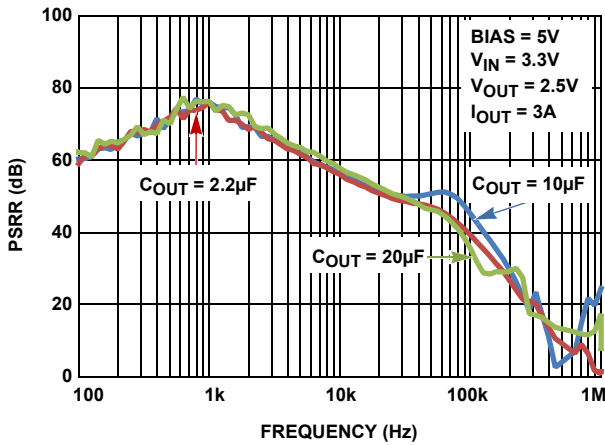


図 31. V_{IN} PSRR vs C_{OUT}

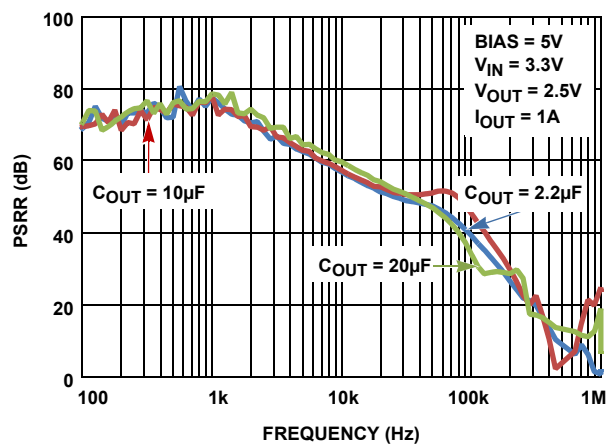


図 32. V_{IN} PSRR vs C_{OUT}

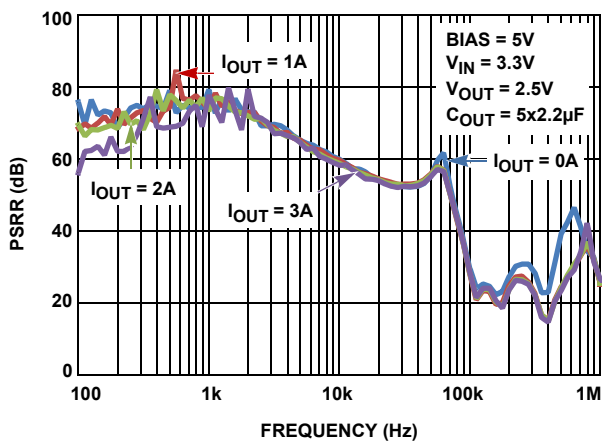


図 33. V_{IN} PSRR vs 負荷電流

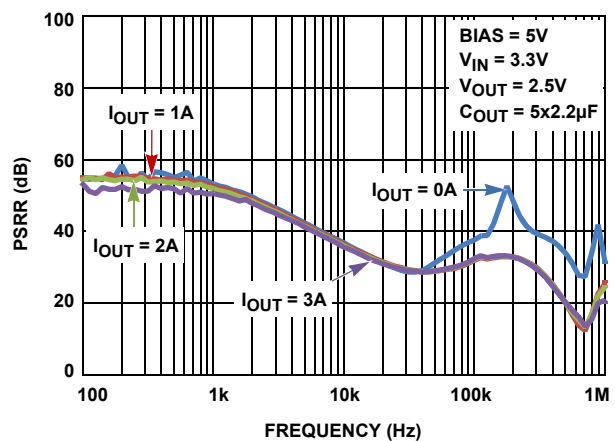


図 34. V_{BIAS} PSRR vs 負荷電流

代表的な性能特性 特記のない限り動作条件は次のとおりです。V_{IN} = 1.8V、V_{BIAS} = 3.3V、V_{OUT} = 1.2V、C_{IN} = C_{OUT} = 10μF、T_J = +25℃、I_{LOAD} = 0A。(続き)

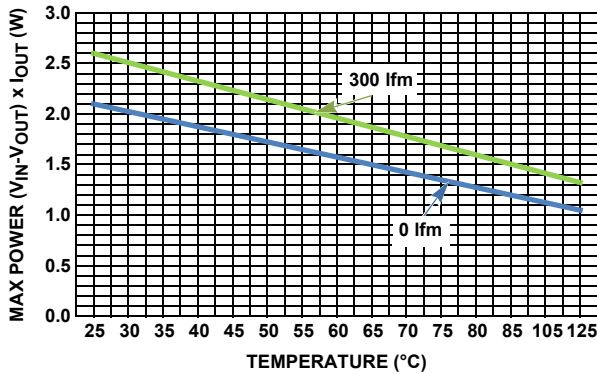


図 35. 連続電力リミット vs 周囲温度とエアフロー

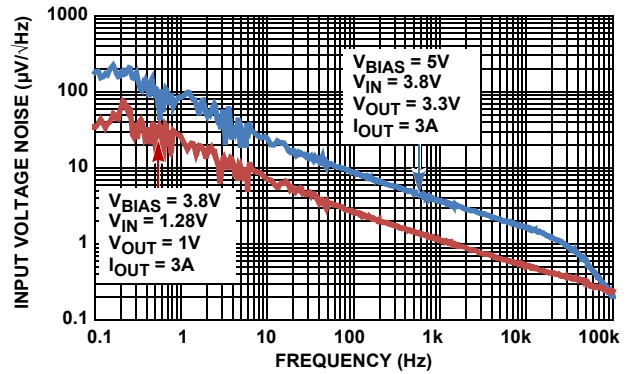


図 36. 入力電圧ノイズ vs バイアス電圧

動作の説明

ISL80111、ISL80112、ISL80113 は、NMOS パス・デバイスを備えた高性能の低ドロップアウト・レギュレータです。NMOS をパス・デバイスとして利用すると、低入力電圧、広範な出力コンデンサに対する安定性、超低ドロップアウト電圧などの利点を得られます。ISL80111、ISL80112、ISL80113 は、スイッチモード電源のポスト・レギュレーションに最適です。

ISL80111、ISL80112、ISL80113 では、イネーブル、パワーグッド・インジケータ、電流リミット保護、サーマル・シャットダウンの各機能が省スペースの 3x3 DFN パッケージ上に組み込まれています。

入力電圧の要件

V_{IN} ピンは、NMOS パス・トランジスタのドレインに大電流を供給します。最小入力電圧は 1V であり、この LDO ファミリーではドロップアウト電圧が低く設定されています。

バイアス電圧の要件

V_{BIAS} 入力、内蔵制御回路、基準電圧、LDO ゲートドライバに電力を供給します。V_{BIAS} 電圧と出力電圧の差は、4 ページから始まる「電気的特性」に記載された V_{BIAS} ドロップアウト電圧よりも大きくなければなりません。最小 V_{BIAS} 入力は 2.9V です。

イネーブル動作

ENABLE ターンオン・スレッシュホールドは通常 600mV であり、100mV のヒステリシスを備えています。このピンはフローティング状態にしてはなりません。未使用時は V_{BIAS} に接続してください。オープン・コレクタ出力またはオープン・ドレイン出力を用いて ENABLE ピンを制御するアプリケーションには、1kΩ ~ 10kΩ のプルアップ抵抗が必要です。

ソフトスタート動作

ISL8011x は 100μs (typ) のソフトスタート機能を内蔵しており、スタートアップ時の過剰な突入電流を防止します。

パワーグッド動作

PGOOD フラグはオープン・ドレイン NMOS であり、フォルト状態発生時には最大 10mA までシンク可能です。この機能が不要なアプリケーションの場合、PGOOD ピンをグラウンドに接続してください。PGOOD ピンには、通常 V_{OUT} ピンに接続された外付けプルアップ抵抗が必要です。PGOOD ピンは、V_{BIAS} よりも高い電圧源に接続してはなりません。出力電圧

が公称出力電圧の 84%未満に低下すると、PGOOD フォルトが発生する場合があります。サーマル・シャットダウン時には V_{OUT} が最小レギュレーション電圧未満になるので、PGOOD は動作しません。

出力電圧の選択

外付け抵抗分圧回路を利用し、内部基準電圧に基づいて出力電圧を調整します。この電圧はエラー・アンプに戻されます。出力電圧は 0.8V ~ 4V の任意のレベルに設定できます。式 1 に示すように、出力電圧の設定には外付け抵抗分圧回路 R₃ と R₄ (図 1 を参照) が使用されます。R₄ の推奨値は 500Ω ~ 1kΩ です。それに応じて R₃ を式 2 で求めます。

$$V_{OUT} = 0.5V \times \left(\frac{R_3}{R_4} + 1 \right) \quad (式 1)$$

$$R_3 = R_4 \times \left(\frac{V_{OUT}}{0.5V} - 1 \right) \quad (式 2)$$

電流リミット保護

ISL80111、ISL80112、ISL80113 は、出力の短絡 / 過負荷状態が原因の過電流や、スタートアップ時の突入電流に対する保護機能を備えています。出力電流が 4 ページの「電気的特性」に記載された電流リミット・スレッシュホールドを超えると、LDO は定電流源として動作します。V_{OUT} の短絡状態や過負荷状態が解消されると、出力は通常の電圧モード・レギュレーションに戻ります。過負荷状態の発生時には、ダイ温度がサーマル・フォルト条件を超えたことが原因で、LDO がオン / オフのサイクルを繰り返す場合があります。

サーマル・フォルト保護

ダイ温度が +160℃ (typ) を超えると LDO の出力がシャットダウンし、ダイ温度が +140℃ (typ) に低下するまでその状態が維持されます。ジャンクション温度がサーマル・シャットダウン温度を超えるかどうかは、電力レベルとパッケージの熱インピーダンス (+48℃/W) によって決まります。

最大連続消費電力と周囲温度およびリニア・エアフロー・レートの関係については、図 35 を参照してください。このグラフでは、バイアス・ピンが消費電力に与えるわずかな影響は無視しています。

外付けコンデンサの要件

適切な動作には外付けコンデンサが必要です。最適な性能を得るには、レイアウトのガイドラインと、コンデンサの種類や容量の選択に細心の注意を払う必要があります。

入力コンデンサ

適切な動作に必要な入力コンデンサは、10 μ F 以上のセラミック誘電コンデンサです。このコンデンサは、LDO の V_{IN} ピンとグラウンド・ピンに 0.5cm 以内の距離で接続する必要があります。

出力コンデンサ

ISL8011x は最先端の補償回路を内蔵しているので、出力コンデンサの選択が容易です。 V_{OUT} のローカルバイパスに 1 μ F の X5R/X7R を使用するのであれば、いずれの種類や容量のコンデンサでも温度、 V_{IN} 、 V_{OUT} 、負荷の全範囲にわたり安定した動作が保証されます。このコンデンサは、LDO の V_{OUT} ピンとグラウンド・ピンに 0.5cm 以内の距離で接続する必要があります。

Y5V タイプや Z5U タイプの低価格セラミック・コンデンサも、サイズが十分に大きければ、X5R/X7R タイプに比べ大幅に低い精度を補償できるので、使用してもかまいません。任意の容量のセラミック・コンデンサ、POSCAP コンデンサ、またはアルミ / タンタル電解コンデンサを追加で並列接続すると、高周波数における PSRR や、負荷過渡 AC 出力電圧の精度が向上します。

バイアス・コンデンサ

適切な動作に必要な入力コンデンサは、1 μ F 以上のセラミック誘電コンデンサです。このコンデンサは、LDO の V_{BIAS} ピンとグラウンド・ピンに 0.5cm 以内の距離で接続する必要があります。 V_{BIAS} ピンを V_{IN} ピンに接続する場合は、 V_{IN} ピンとグラウンドに接続した合計 10 μ F の X5R/X7R で十分です。

消費電力と熱

消費電力

ジャンクション温度は、4 ページの「推奨動作条件」で指定された範囲を超えてはなりません。消費電力は式 3 で求められます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + V_{BIAS} \times I_Q(BIAS) + V_{IN} \times I_Q(V_{IN}) \quad (式 3)$$

式 4 に示すように、最大許容消費電力はジャンクション最高許容温度 $T_{J(MAX)}$ と最高予想周囲温度 $T_{A(MAX)}$ によって決まります。 θ_{JA} は、ジャンクション～周囲間熱抵抗を示します。

$$P_{D(MAX)} = (T_{J(MAX)} - T_A) / \theta_{JA} \quad (式 4)$$

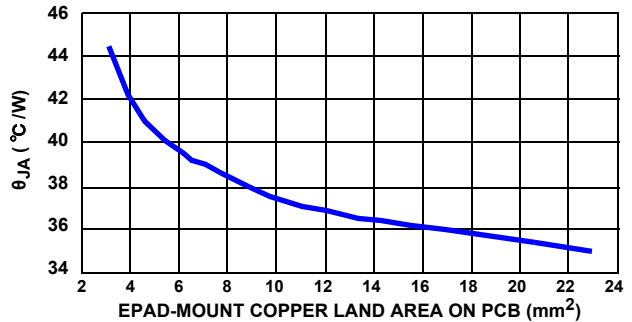


図 37. サーマルビアを設けた 4 層 PCB 上の 3mm×3mm 10 ピン DFN の θ_{JA} vs PCB 上で EPAD が接する銅エリアの面積

動作の安全性を確保するため、式 3 で求めた消費電力 (P_D) が最大許容消費電力 $P_{D(MAX)}$ より少ないことを確認してください。

DFN パッケージでは、PCB 上の銅エリアをヒートシンクとして使用します。ヒートシンクとして用いるには、このパッケージの EPAD を銅パターン (GND 層) にハンダ付けする必要があります。図 37 のグラフは、DFN パッケージの θ_{JA} と銅エリア面積の関係を示しています。

サーマルパッドの設計に関する一般考慮事項

以下では、IC からの放熱用にビアを使用する際の例について説明します。

サーマルパッド・エリア全体にビアを配置することを推奨します。代表的なビア配列としては、ビア同士の中心間距離が半径の 3 倍になるようにサーマルパッドにビアを配置します。ビアは小さくすべきですが、リフロー時にハンダが穴を通じて流れなくなる程小さくしないでください。

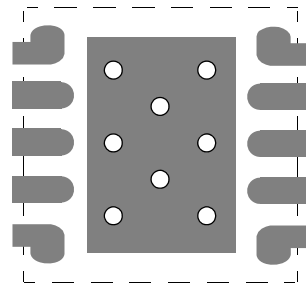


図 38. PCB のビアパターン

すべてのビアはグラウンド層に接続してください。効率的な熱伝導を行うには、ビアの熱抵抗が低いことが重要です。ビアの接続に「サーマルリリーフ」パターンを使用しないでください。メッキ・スルーホールを各層へ完全に到達させる必要があります。

ISL80111/ISL80112/ISL80113 両電源 LDO 評価ボードのユーザーガイド

説明

ISL8011XEVAL1Z は、ISL8011X 両電源 LDO ファミリの性能を評価するためのシンプルなプラットフォームです。一般的な出力電圧を容易に設定できるようにジャンパを備えています。

ISL80111、ISL80112、ISL80113 は、それぞれ出力電流が 1A、2A、3A のシングル出力 LDO で、2.5V 以下の出力電圧変換向けに最適化されています。標準的な 3.3V または 5V の電圧が V_{BIAS} ピンに印加されていれば、ISL8011X は最小で 1V までの V_{IN} 電圧に対応できます。出力電圧は 0.8V ~ 3.3V の範囲で調整可能です。

スレッシュホールドが 1V 未満に設定されたイネーブル入力を利用すると、低自己消費電流シャットダウン・モードに移行できます。この製品ファミリはサブミクロン CMOS プロセスを採用し、通常 2.5V 未満への入力電圧変換が必要なアプリケーションでクラス最高のアナログ性能と総合的に高い価値を発揮します。また、NMOS パワー段に特有の優れた負荷過渡レギュレーションを実現しています。

各 LDO では、負荷あたりの自己消費電流がバイポーラ LDO に比べて大幅に抑えられています。この低消費電流により、効率化とパッケージの小型化を実現できます。設計上、この自己消費電流をある程度のレベルを流すことにより、クラス最高レベルの高速負荷過渡応答と負荷レギュレーションを実現しています。

キット内容

- 評価キットの内容は以下のとおりです。
 - 適切な部品が取り付けられた ISL80113EVAL1Z
 - ISL80111、ISL80112、ISL80113 のデータシート

テスト手順

1. JP2 ~ JP5 のいずれかのジャンパを短絡させて、必要な出力電圧を選択します。
2. バイアス / V_{IN} 電源と負荷を接続します。ジャンパ JP6 (下部) またはセンターポストの信号を使って IC をイネーブルにしてから、出力を観察します。
3. 出荷時の構成がイネーブルになると、 $V_{OUT} = 3.3V$ になります。
4. ISL8011XEVAL1Z ボードから取得されたショットを観察します。

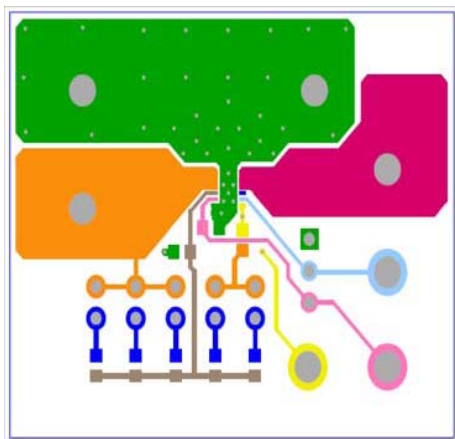
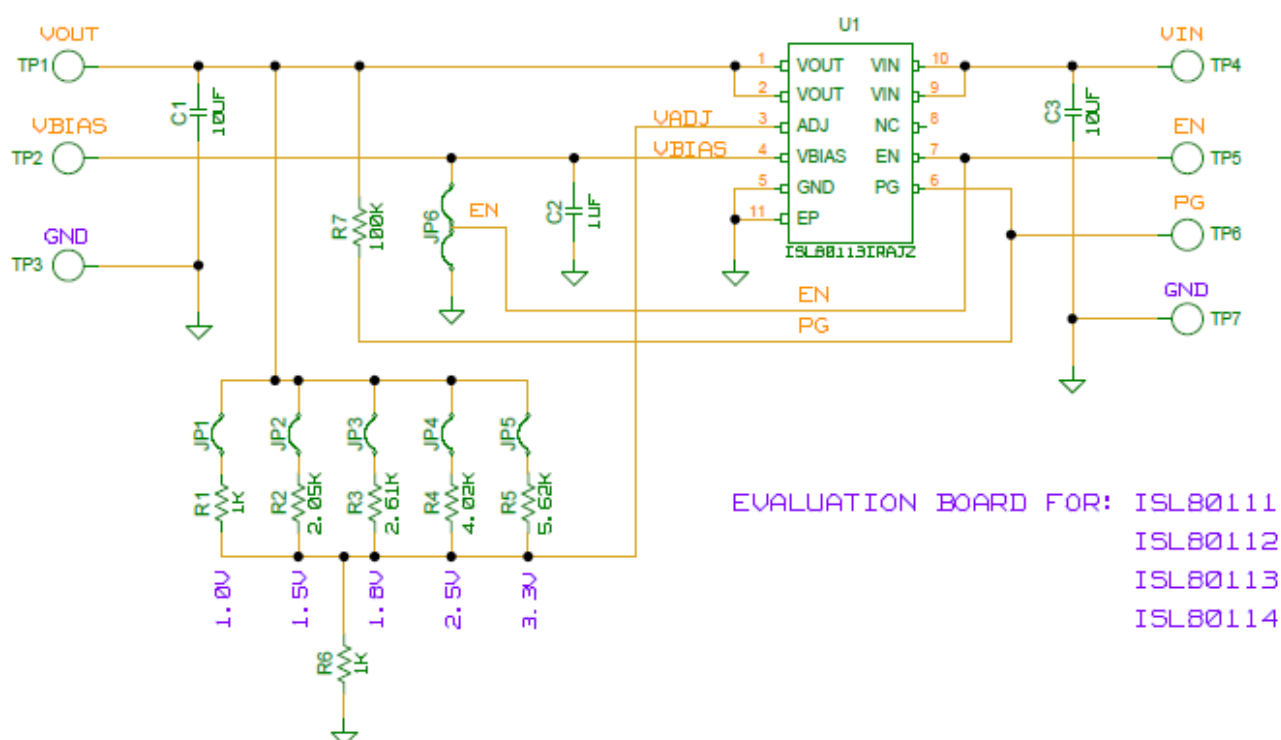


図 39. ISL80113EVAL1Z (左 : PCB 上面、右 : 写真)

回路図



部品リスト

REFERENCE DESIGNATOR	VALUE	DESCRIPTION	MANUFACTURER	PART NUMBER
U1		ISL80111, ISL80112 or ISL80113 as noted on the evaluation board	Intersil	ISL80111IRAJZ, ISL80112IRAJZ, ISL80113IRAJZ
C1, C3	10 μ F	CAP, SMD, 0805, 50V, 10%	Generic	
C2	1 μ F	CAP, SMD, 0603	Generic	
R1	1k Ω	RES, SMD, 0603, 1%	Generic	
R2	2.05k Ω	RES, SMD, 0603, 1%	Generic	
R3	2.61k Ω	RES, SMD, 0603, 1%	Generic	
R4	4.02k Ω	RES, SMD, 0603, 1%	Generic	
R5	5.62k Ω	RES, SMD, 0603, 1%	Generic	
R6	1k Ω	RES, SMD, 0603, 1%	Generic	
R7	100k Ω	RES, SMD, 0603, 1%	Generic	
JP1, JP2, JP3, JP4, JP5, JP6		Jumper	Generic	
TP1, TP2, TP3, TP4, TP5, TP6		Terminal Connector	Generic	

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2012/6/5	FN7841.1	3 ページの「注文情報」：評価ボードの名称を ISL80111IRAJEVALZ、ISL80112IRAJEVALZ、ISL80113IRAJEVALZ から ISL80111EVAL1Z、ISL80112EVAL1Z、ISL80113VAL1Z に変更 17 ページの L10.3x3 のパッケージ寸法図を Rev 6 から最新の Rev 7 に変更。パッケージ寸法図の変更内容は以下のとおりです。 推奨ランドパターン上で、パッケージ・アウトラインを削除し、ランド同士の中心間距離を記載 Note 4、「寸法 b は金属端子に適用され、端子先端から 0.18mm ～ 0.30mm の範囲で計測した値です。」がこのパッケージには該当しないので削除。それに応じて Note 番号を変更 図 6、「VADJ の分布」で、「Y」の目盛り単位を (0.18、0.16、0.14、0.12、0.10、0.08、0.06、0.04、0.02、0.00) から (18、16、14、12、10、8、6、4、2、0) に修正 4 ページの「電气的特性」で、3.3V での実装が計算上問題にならないように、UVLO の立ち上がり仕様を追加して MAX 値 2.9V を記載
2012/3/30	FN7841.0	初版。4 ページに「UVLO_BIAS_r」の仕様を追加。図 13 ～ 17 を変更

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

ISL80111、ISL80112、ISL80113 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL80111](#)、[ISL80112](#)、[ISL80113](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

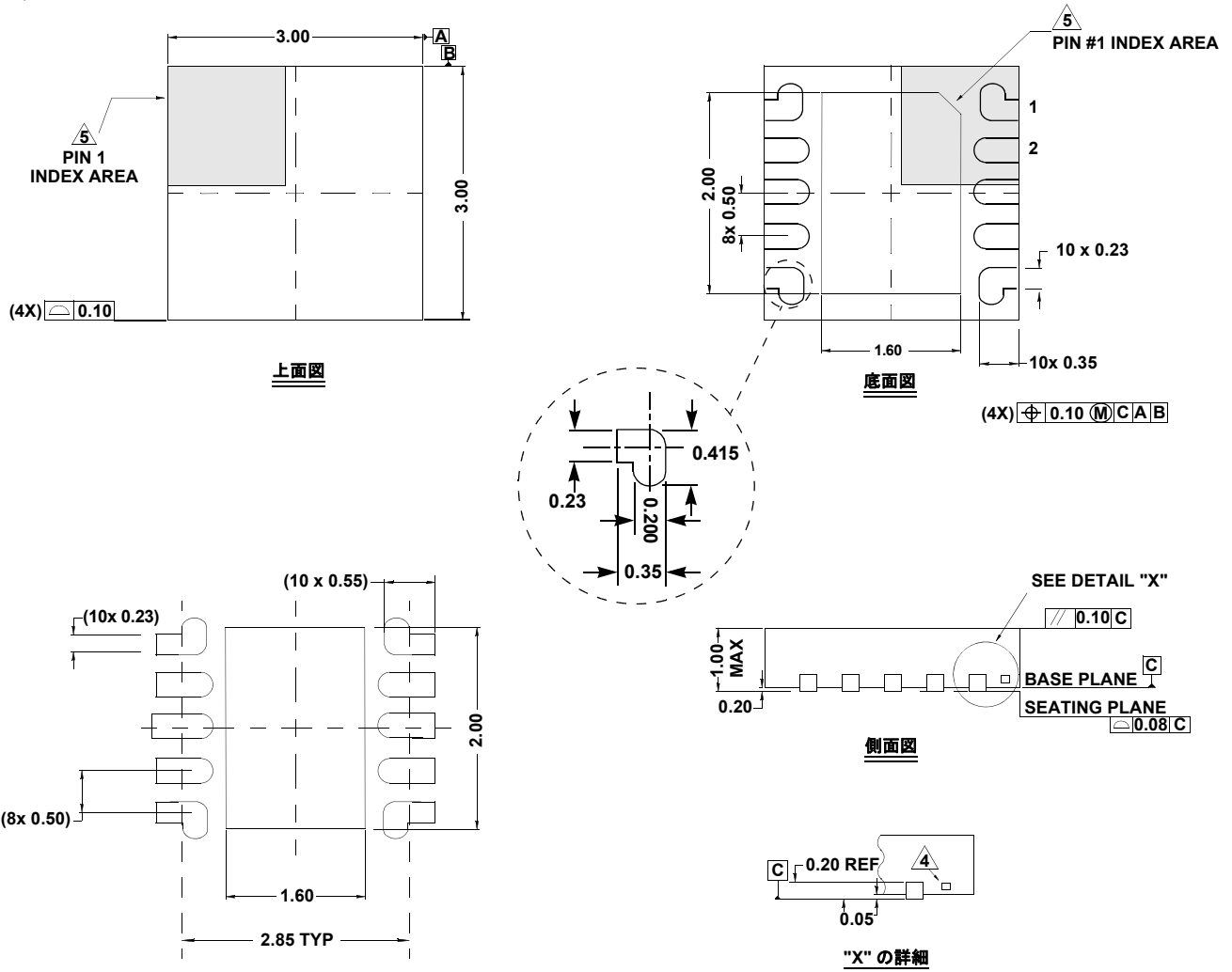
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

L10.3x3

10 LEAD DUAL FLAT PACKAGE (DFN)

Rev 7, 10/11



NOTE:

- 寸法の単位は mm です。
() 内の寸法は参考値です。
- 寸法と公差は ASME Y14.5m-1994 に従っています。
- 特記のない限り、公差は DECIMAL ± 0.05 です。
- △ タイバー (示されている場合) は非機能性です。
- △ 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。