## 概要

IPS2550 は、磁石を使用しない誘導型位置センサ IC で、自動車、産業用、医療用、および民生用アプリケーションの高速絶対位置センシングに使用できます。IPS2550 は、渦電流の物理原理を使用して、1 つの送信コイルと 2 つの受信コイルで構成された 1 組のコイル上を移動する単純な金属ターゲットの位置を検出します。

3 つのコイルは、通常、プリント基板 (PCB) 上に銅箔配線として形成されます。送信コイルは 2 つの受信コイルに二次電圧を誘起するように配置され、二次電圧はコイル上方の金属ターゲットの位置に依存します。

コイル上の金属ターゲットの位置を表す信号は、受信コイルからの二次電圧を復調して処理することによって得られます。ターゲットは、アルミニウム、鉄、または銅箔層を有するPCB のような任意の種類の金属が使用可能です。

IPS2550 は 2 つの個別の出力インタフェースを提供します:

- 復調されたアナログサイン/コサイン生データ出力の形で位置情報を提供する高速アナログインタフェース
- 診断およびプログラミング用の I2C デジタルインタフェース

IPS2550 は、600 000 RPM までの回転速度で作動します (1 回転あたり 1 周期に設計されたコイル使用時)。4 µ s の超低伝搬遅延により、高速回転モータのための高いダイナミック制御が得られます。

IPS2550 は、ISO26262 に準拠し ASIL C までの安全関連システムでの使用を目的として開発されました。また、ASIL のデコンポジションルール (例えば、ISO 26262.2018 Part 9, Clause 5) または、システム設計者による正しリスク解析により ASIL D レベルのシステム要求に用いることができます。IPS2550 は 16 ピンエクスポーズドパッド付き TSSOP パッケージで提供され、-40℃～+160℃の周囲温度での自動車での使用が認定されています。

## 利用可能なサポート

ルネサスは、IPS2550 回転位置センシングアプリケーションを実現できるリファレンスデザインを提供しています。

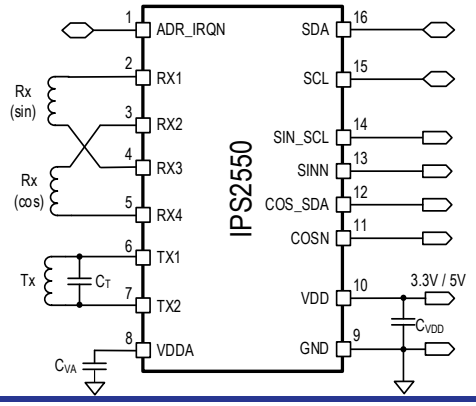
## 主な用途

- ブラシレス DC モータ用ロータ位置検出; 任意の極対数に対応
- レゾルバの置き換え

## 特徴

- 誘導原理に基づく位置検知
- 磁石が不要で低コスト
- 磁気浮遊磁界に対して堅牢、シールド不要
- 過酷な環境や極端な温度に適応可能
- 差動およびシングルエンドのサイン/コサイン出力
- プログラマブルリミットによる自動ゲイン制御
- I2C インタフェース経由でプログラム可能な不揮発性ユーザ設定メモリ
- アナログまたはデジタルインタフェースでプログラミング可能
- 単体 IC で軸上・軸外回転、直線運動、円弧運動センシングに対応
- コイル設計により、あらゆるフルスケール角度範囲に適応可能
- 高精度:≦0.1%フルスケール (理想コイル使用時)
- 360° 角レンジまでの回転検知
- 過電圧および逆極性保護:
  電源端子、出力端子とも±18V
- 冗長設計要件を容易にする
- ISO26262 に準拠した安全関連システムにおいて、シングル IC では ASIL-C、デュアル IC では ASIL-D までの実装に適しています
- 割り込みピンによる高速診断アラーム
- 広い動作温度: -40℃～+160℃
- 3.3V±0.3V または 5.0V±0.5V の電源電圧にプログラム可能
- エクスポーズドパッド付き小型 16-TSSOP パッケージ (4.4mm ×5.0mm)

## 応用回路例




Renesas Confidential October 20, 2022

# 目次

1. 端子配置 ..... 5
2. 端子の説明 ..... 5
3. 受信コイル接続オプション ..... 7
4. 絶対最大定格 ..... 9
5. 動作条件 ..... 10
6. 使用温度範囲 ..... 11
7. 電気特性 ..... 12
8. 回路説明 ..... 21
8.1 概要 ..... 21
9. サンプリングレート、分解能、出力データレート、および伝搬遅延 ..... 24
10. 出力モード ..... 24
11. 高速での動作 ..... 25
12. デジタル診断およびプログラミングインタフェース ..... 25
13. ブロック図 ..... 26
14. ブロックの詳細説明 ..... 27
14.1 電源管理 ..... 27
14.2 LC 発振回路 ..... 27
14.3 アナログ信号経路 ..... 27
14.3.1 Rx コイル診断 ..... 27
14.3.2 受信信号ローパスフィルタ ..... 27
14.3.3 オフセットとゲイン整合 ..... 28
14.3.4 復調 ..... 28
14.3.5 自動ゲインコントロール (AGC) ..... 28
14.4 信号チャンネルの入れ替え ..... 28
14.5 出力バッファ ..... 28
14.6 温度センサ ..... 29
15. ECU 接続オプション ..... 29
15.1 エンベデッド vs. リモート接続 ..... 29
15.2 電源電圧動作: 3.3V または 5V ..... 31
15.3 I2C インタフェース ..... 32
15.3.1 アドレス選択付き I2C (デフォルト) ..... 32
15.3.2 GND 喪失または VDD 喪失中の ADR_IRQN ピンを介した寄生パスの回避 ..... 33
15.3.3 割り込み付き I2C インタフェース (プログラミングオプション) ..... 33
16. 過電圧保護 ..... 34

Renesas Confidential
October 30, 2026

16.1 入出力保護 ..... 34
17. プログラムオプション ..... 35
17.1 もう一方の電源電圧オプションを使用するためのプログラミング ..... 36
17.2 ロック機能（サイバーセキュリティ） ..... 37
17.3 プログラムオプション ..... 37
18. 機能安全と診断 ..... 37
18.1 機能安全 ASIL および ISO 準拠 ..... 37
18.2 アナログ出力による診断モード表示 ..... 38
18.2.1 短絡および断線検出 ..... 40
18.3 診断機能 ..... 43
18.4 内部レジスタとメモリエラー ..... 45
18.5 LC 発振回路の周波数外れ ..... 45
19. 冗長化接続 ..... 45
20. 応用例 ..... 46
21. 電磁両立性（EMC） ..... 48
22. 16-TSSOP パッケージ外形図 ..... 48
23. マーキング図 ..... 48
23.1 生産部品のマーキング ..... 48
24. 発注情報 ..... 48
25. 改訂履歴 ..... 49

# 図一覧

**図 1 16-TSSOP パッケージのピン配置-上面図 ..... 5**
**図 2 分割 TX コンデンサによる ASIL-C 構成における LC 発振回路接続 ..... 7**
**図 3 分割 TX コンデンサとの互換モード構成での LC 発振回路接続 ..... 8**
**図 4 最大消費電流-周囲温度特性（グランドプレーン有・無） ..... 12**
**図 5 並列共振回路 ..... 14**
**図 6 IPS2550 の応答 ..... 21**
**図 7 直線運動センサのためのコイル形状 ..... 23**
**図 8 360° 回転センサ用のコイル形状 ..... 23**
**図 9 出力信号:サインアナログ差動モード ..... 24**
**図 10 出力信号:サインアナログシングルエンドモード ..... 24**
**図 11 ブロック図 ..... 26**
**図 12 AGC 振幅レンジ ..... 28**
**図 13 エンベデッドアプリケーション: センサと MCU は同じ PCB 上に配置されます ..... 30**
**図 14 診断用プルアップ抵抗付きリモートアプリケーション ..... 31**
**図 15 診断用プルダウン抵抗付きリモートアプリケーション ..... 31**
**図 16 I2C アドレス選択ビット ..... 33**
**図 17 アドレス選択付き I2C インタフェース ..... 33**
**図 18 ADR_IRQN ピン用いたハードウェアピン固定によるアドレス選択付き I2C インタフェース ..... 33**

Renesas Confidential October 30, 2026

図 19 1 つのスレーブでの割り込みを使用した I2C インタフェース設定 ..... 34
図 20 マルチスレーブ割込みによる I2C インタフェースの構成 ..... 34
図 21 I2C インタフェースを介した IPS2550 のプログラム ..... 35
図 22 アナログ出力を通した IPS2550 の製造最終工程でのプログラム ..... 36
図 23 動作範囲と診断範囲 ..... 38
図 24 診断範囲の選択 ..... 39
図 25 VDD または GND ラインの断線によるアナログ出力の寄生電流 ..... 41
図 26 ADR_IRQN 端子、SDA 端子、SCL 端子の寄生電流 ..... 42
図 27 アプリケーション図: デュアルセンサ、デュアル電源 ..... 45
図 28 360° 回転センサのコイル設計と信号出力 ..... 46
図 29 2 ×180° ロータリセンサ用のコイル設計と信号出力 ..... 46
図 30 3 ×120° ロータリセンサ用のコイル設計と信号出力 ..... 47
図 31 4 ×90° ロータリセンサ用のコイル設計と信号出力 ..... 47

# 表一覧

表 1 端子の説明 ..... 5
表 2 出力構成 ..... 6
表 3 デジタルインタフェースの設定 ..... 7
表 4 絶対最大定格 ..... 9
表 5 静電気放電 (ESD) ..... 9
表 6 動作条件 ..... 10
表 7 IPS2550 電気的特性、3.3V モード ..... 12
表 8 IPS2550 電気的特性、5.0V モード ..... 13
表 9 LC 発振回路の仕様 ..... 13
表 10 コイルレシーバフロントエンド仕様 ..... 15
表 11 自動ゲインコントロール (AGC) ..... 16
表 12 診断チェック ..... 17
表 13 バックエンド仕様、アナログ出力 SIN_SCL、SINN、COS_SDA、COSN ..... 17
表 14 デジタル I2C 制御インタフェース、SDA、SCL ピン ..... 18
表 15 アナログ出力経由の I2C インタフェース ..... 19
表 16 デジタル I2C 制御インタフェース、ピン ADR_IRQN ..... 20
表 17 不揮発性メモリ ..... 20
表 18 伝搬遅延 ..... 24
表 19 出力モードと最高速度 ..... 25
表 20 内部チップ温度センサ特性 ..... 29
表 21 NVM でのアドレス選択オプション ..... 32
表 22 プログラムオプションの概要 ..... 37
表 23 配線間のショート検出 ..... 40
表 24 プルアップ抵抗付きの診断レベル ..... 42
表 25 プルダウン抵抗付き診断レベル ..... 42
表 26 診断機能 ..... 43

Renesas Confidential October 30, 2026

# 1. 端子配置

IPS2550 は周囲温度-40℃ ～+160℃に認定された RoSH 対応エクスポーズドパッド付き 16-TSSOP (4.4mm × 5.0mm) です。

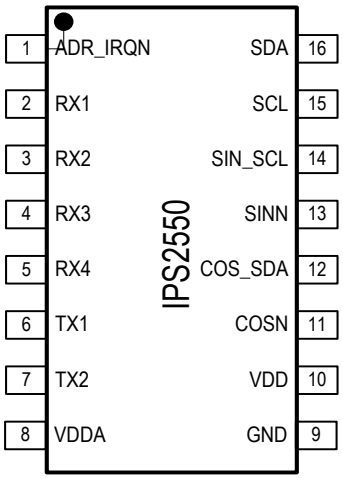



図 1　　16-TSSOP パッケージのピン配置-上面図

# 2. 端子の説明

表 1　　端子の説明

| ピン番号 | ピン名 | 種類 | 概要 | |
|---|---|---|---|---|
| 1 | ADR_IRQN | Digital Input/Output | I2C インタフェースアドレス選択用のアドレス選択デジタル入力。プッシュ/プル割り込み出力 (プログラムオプション、表 3 参照)<br>I2C アドレス選択入力として使用する場合は、プルアップまたはプルダウン抵抗 $R_{ADR}$ (表 14 参照) で I2C アドレスを選択してください。 | |
| 2 | RX1 | Analog Input | ASIL-C 構成モード (デフォルト): 受信コイル 1 (サイン、図 2 参照) | 互換モード: 受信コイル 1 (サイン、図 3 参照) |
| 3 | RX2 | | ASIL-C 構成モード (デフォルト):受信コイル 2 (コサイン、図 2 参照) | 互換モード: 受信コイル 1 (反転サイン、図 3 参照) |
| 4 | RX3 | | ASIL-C 構成モード (デフォルト): 受信コイル 1 (反転サイン、図 2 参照) | 互換モード: 受信コイル 2 (コサイン、図 3 参照) |
| 5 | RX4 | | ASIL-C 構成モード (デフォルト): 受信コイル 2 (反転コサイン、図 2 参照) | 互換モード: 受信コイル 2 (反転コサイン、図 3 参照) |
| 6 | TX1 | Analog Input/Output | TX1 ピンと TX2 ピンの間に送信コイルを接続します。共振周波数は、図 2、図 3 に示すように TX1～GND 間のコンデンサ $C_{Tx1}$、TX2～GND 間の $C_{Tx2}$ で調整します。$C_{Tx1}$ と $C_{Tx2}$ は、同じ容量値になるようにしてください。これらは式 3 で計算できます | |
| 7 | TX2 | | | |

Renesas Confidential
Oct 16, 2026

| ピン番号 | ピン名 | 種類 | 概要 |
|---|---|---|---|
| 8 | VDDA | Supply | 内部アナログ電源、選択された VDD モードで変化します。GND 端子との間にコンデンサ $C_{VA}$ (表 6 参照) を接続してください。5V モードでは表 8 の $VDDA_5$ を、3.3V モードでは表 7 の $VDDA_3$ を参照してください。 |
| 9 | GND | Supply | 共通グランド |
| 10 | VDD | Supply | 外部電源入力。コンデンサ $C_{VDD}$ (表 6 参照) を GND 端子との間に接続してください |
| 11 | COSN | Analog Output | バッファ付きアナログ出力。表 2 参照 |
| 12 | COS_SDA | Analog Output, Digital I/O | バッファ付きアナログ出力。プログラミングモード中のデジタル I2C データ入出力。表 2 参照 |
| 13 | SINN | Analog Output | バッファ付きアナログ出力。表 2 参照 |
| 14 | SIN_SCL | Analog Output, Digital Input | バッファ付きアナログ出力。プログラミングモード中のデジタル I2C クロック入力。表 2 参照 |
| 15 | SCL | Digital Input | デジタルプログラムおよび診断 I2C インタフェース用のクロック入力<br>プルアップ抵抗 $R_{SCL}$ (表 14 参照) を接続してください |
| 16 | SDA | Digital Input/Output | デジタルプログラムおよび診断 I2C インタフェース用のオープンドレイン双方向データ I/O ライン<br>プルアップ抵抗 $R_{SDA}$ (表 14 参照) を接続してください |
| | Exposed Pad | Heat sink | ヒートシンク。GND (9 ピン) へ直接接続、または未接続にできます。詳細は<br>図 4 を参照してください<br>エクスポーズドパッドは GND 以外の電位に接続しないでください |

表 2　　出力構成

| ピン (図 1 参照) | | モードに応じた出力 | | | 診断状態、プログラムオプション | | | |
|---|---|---|---|---|---|---|---|---|
| ピン番号 | 端子名 | アナログ差動 | アナログシングルエンド | プログラミング | 無効 | Mode1 | Mode2 | Mode3 |
| 14 | SIN_SCL | SIN | SIN | SCL | SIN | SIN | Hi-Z | Hi-Z |
| 13 | SINN | SINN | REF | Not used | SINN | Hi-Z | SINN | Hi-Z |
| 12 | COS_SDA | COS | COS | SDA | COS | COS | Hi-Z | Hi-Z |
| 11 | COSN | COSN | REF | Not used | COSN | Hi-Z | COSN | Hi-Z |

[a] 表 2 で使用した略語:

SIN: サインチャネル出力、バイアス電圧= VDD/2
SIN: 反転サインチャネル出力、バイアス電圧= VDD/2
COS: コサインチャネル出力、バイアス電圧= VDD/2
COSN: 反転コサインチャネル出力、バイアス電圧= VDD/2
REF: DC 出力バイアス電圧、VDD/2
SCL: I2C プログラミング用シリアルクロック入力
SDA: I2C プログラミング用シリアル双方向データ I/O ポート
Hi-Z: 出力はハイ・インピーダンス、診断出力は外部のプルアップ抵抗またはプルダウン抵抗で示されます。

Renesas Confidential October 30, 2023

表 3　　デジタルインタフェースの設定

| ピン (図 1 参照) | | インタフェース Mode に応じた入出力[a] | |
|---|---|---|---|
| TSSOP ピン番号 | 端子名 | アドレス選択付き I2C | 割り込み付き I2C |
| 16 | SDA | SDA | |
| 15 | SCL | SCL | |
| 1 | ADR_IRQN | ADR | IRQN |

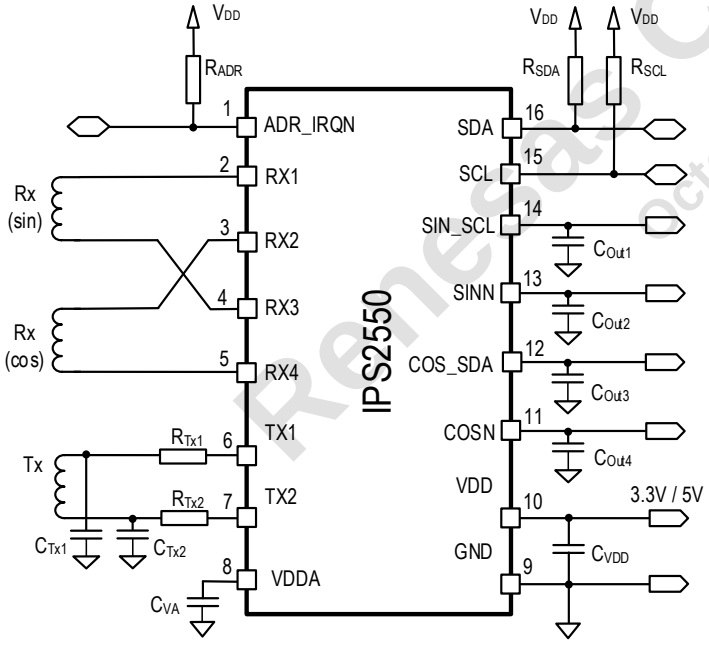
[a] 表 3 で使用した略語:

ADR_IRQN:アドレスセレクト入力または、割り込み出力
ADR:　I2C モードのハードウェアアドレス選択入力 (ADR_IRQN ピンのデジタル入力レベルで 2 つのアドレスを選択します)
SDA:　I2C モード用シリアル双方向データ I/O ポート`
SCL:　I2C モード用シリアルクロック入力
IRQN:　割り込み出力

## 3. 受信コイル接続オプション

IPS2550 は、2 つの受信コイル接続方法をユーザープログラムモードで設定できます:

- ASIL-C コンフィグレーション・モード (デフォルト) では、2 つの隣接ピン間の短絡による、受信コイルの短絡が回避できるため、チップの故障検出率が向上します。
- 互換モード (プログラムオプション) では、IPS2200 誘導型センサ IC とピン互換になります。
-

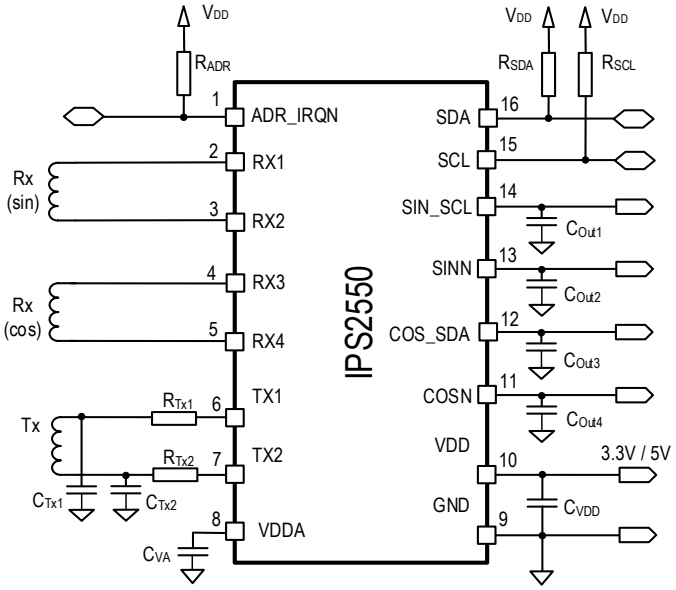



分割コンデンサ $C_{Tx1}$ = $C_{Tx2}$、Tx コイル直列抵抗 $R_{Tx1}$ = $R_{Tx2}$ および出力コンデンサを使用した ASIL-C モードの構成

特性向上のため $C_{Out1}$ = $C_{Out2}$ = $C_{Out3}$ = $C_{Out4}$ としてください

図 2　　分割 TX コンデンサによる ASIL-C 構成における LC 発振回路接続

Renesas Confidential
October 30, 2026




分割コンデンサ $C_{Tx1}$ = $C_{Tx2}$、Tx コイル直列抵抗 $R_{Tx1}$ = $R_{Tx2}$ および出力コンデンサを使用した IPS2200 互換モードでの構成

特性向上のため $C_{Out1}$ = $C_{Out2}$ = $C_{Out3}$ = $C_{Out4}$ としてください

図 3　　分割 TX コンデンサとの互換モード構成での LC 発振回路接続

発振周波数は、コイル L、コンデンサ $C_{Tx1}$、$C_{Tx2}$ の値により以下のように決まります:

発振周波数:

$$f_{TX} = \frac{1}{2\pi\sqrt{\frac{L \times C_{Tx1} \times C_{Tx2}}{C_{Tx1} + C_{Tx2}}}}$$ 式 1

$C_{Tx1}$ = $C_{Tx2}$ の場合:

$$f_{TX} = \frac{1}{2\pi\sqrt{L\frac{C_{Tx1}}{2}}}$$ 式 2

$$C_{Tx1} = C_{Tx2} = \frac{2}{L(2\pi f_{TX})^2}$$ 式 3

ここで、

$f_{TX}$ = 発振周波数（単位: MHz）

L = コイルインダクタンス（単位: μH）

$C_{Tx1}$, $C_{Tx2}$ = 容量値（単位: μF）

注: $R_{Tx1}$ = $R_{Tx2}$ = 22Ω（標準値）

Renesas Confidential
October 30, 2026

# 4. 絶対最大定格

絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

すべての電圧レベルは GND を基準とします。

表 4　絶対最大定格

| 記号 | パラメータ | 条件 | 最小 | 最大 | 単位 |
|---|---|---|---|---|---|
| $V_{VDDmax}$ | External supply voltage | Continuous | -18 | 18 | V |
| $V_{OUT}$ | SIN_SCL, SINN,COS_SDA and COSN output voltage | Continuous | -18 | 18 | V |
| $V_{RX1}$ | Receiver coil pin: RX1 | | -12 | 12 | V |
| $V_{RX2}$ | Receiver coil pin: RX2 | | | | |
| $V_{RX3}$ | Receiver coil pin: RX3 | | | | |
| $V_{RX4}$ | Receiver coil pin: RX4 | | | | |
| $V_{DIGITAL}$ | Digital IO pins: SCL, SDA, ADR_IRQN | | -0.3 | VDD+0.3 | V |
| $V_{Tx1_2}$ | Transmitter pins, TX1, TX2 | | -0.3 | 5.6 | V |
| $V_{VDDAmax}$ | VDDA internal LDO output | VDDA is internally regulated with external capacitor to GND. No other connection to external voltages. | 値に付いては、5V モードでは表 8 の $VDDA_5$ を、3.3V モードでは表 7 の $VDDA_3$ を参照してください | | V |

表 5　静電気放電 (ESD)

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V_{ESD}$ | ESD tolerance for all pins: Human Body Model (HBM) 100pF / 1.5kΩ | According to AEC-Q100-002 classification H2 | ±2 | | | kV |
| $V_{ESD,OUT}$ | ESD tolerance for pins with potential external cable connection: SIN_SCL, COS_SDA, SINN, COSN, ADR_IRQN, VDD (HBM 100pF / 1.5kΩ) | According to AEC-Q100-002 classification H3A | ±4 | | | kV |
| $V_{CDM}$ | ESD tolerance for all pins: Charged-Device Model (CDM) | According to AEC-Q100-011 classification C3B | ±500 | | | V |
| $V_{CDM,C}$ | ESD tolerance for corner pins ADR_IRQN, SDA, VDDA, GND (CDM) | According to AEC-Q100-011 classification C3B | ±750 | | | V |

Renesas Confidential October 30, 2022

# 5. 動作条件

条件: 特に断りのない限り、VDD = 3.3V±0.3V または 5.0V±0.5V、$T_{AMB}$ = −40℃ ～+160℃

表 6 動作条件

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $T_{AMB_TSSOP}$ | Ambient temperature | 16-TSSOP package with exposed pad | -40 | | 160[1] | ℃ |
| $T_J$ | Junction temperature | | -40 | | 165 | ℃ |
| $T_{STOR}$ | Storage temperature | Unmounted units must be limited to 10 hours at temperatures above 125°C | -55 | | 160 | ℃ |
| $R_{THJA_TSSOP}$ | Thermal resistance junction to ambient: 16-TSSOP package with exposed pad. Velocity = 0m/s JEDEC MO-153. | Copper ground planes under exposed pad on 4 layer PCB, 3x3 thermal vias between layers. | | 35.48 | | K/W |
| | | Copper ground planes under exposed pad on 2 layer PCB, 3x3 thermal vias between layers. | | 39.96 | | |
| | | Without PCB ground plane under exposed pad. | | 61.26 | | |
| $R_{THJC_TSSOP}$ | Thermal resistance junction to case | Junction to bottom of package | | 6.42 | | K/W |
| $t_{pup}$ | Start-up time | Power-on reset (POR) to valid output signal | | | 5 | ms |
| $V_{EL}$ | Input rotational velocity, Electrical speed; sine or cosine periods | Electrical revolutions per minute | | | 600 000 | rpm |
| | | Input frequency | | | 10 | kHz |
| $V_{VDDA_TH_H}$ | Power-on reset (POR), high threshold | The device is activated when VDDA increases above this threshold | | | 2.49 | V |
| $V_{VDDA_TH_L:}$ | Power-on reset, low threshold | The device is deactivated when VDDA decreases below this threshold | 2.08 | | | V |
| $VDDA_{POR_HYST}$ | Power-on reset hysteresis | At VDDA pins | | 110 | | mV |
| $I_{VDDA}$ | VDDA short circuit current limitation | VDDA must be connected to a capacitor $C_{VA}$. No other external load allowed at this pin. | 40 | | 85 | mA |
| $I_{CC}$ | Current consumption | Without coils, no load | 5 | | 12 | mA |
| | | Programmable transmitter coil drive current (depending on inductance of the transmitter coil) | 値については、表 9 を参照してください | | | mA |
| $C_{VA}$ | Capacitor from VDDA pin to GND | | | 100 | | nF |

[1]: 周囲温度が 155℃を超える動作は、デバイス寿命にわたり 120 時間に制限されます。

Renesas Confidential October 30, 2026

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $C_{VDD}$ | Capacitor from VDD pin to GND | Nominal value | 70 | | | nF |
| $INL_{uv3V}$ | Accuracy, 3.3V Mode, VDD= under-voltage alarm level to 3.0V | With ideal sinusoidal input signals, 150$mV_{pk-pk}$ Differential output mode, Transmitter frequency = 3.5MHz AGC = on Channel swapping = 0ff | | | ±0.2 | % FS [a] |
| $INL_{3V}$ | Accuracy, 3.3V Mode, VDD= 3.0 to 3.6V | | | | ±0.1 | % FS |
| $INL_{ov3V}$ | Accuracy, 3.3V Mode, VDD= 3.6V to over-voltage alarm level | | | | ±0.2 | % FS |
| $INL_{uv5V}$ | Accuracy, 5V Mode, VDD= under-voltage alarm level to 4.5V | | | | ±0.2 | % FS |
| $INL_{5V}$ | Accuracy, 5.0V Mode, VDD= 4.5 to 5.5V | | | | ±0.1 | % FS |
| $INL_{ov5V}$ | Accuracy, 5.0V Mode, VDD= 5.5V to over-voltage alarm level | | | | ±0.2 | % FS |

[a] % FS = フルスケールのパーセント= 周期あたりの精度 (%) で、100%は 1 電気周期の角度範囲です。
回転式多周期設計の場合、1 電気周期= 360° (1 フルターン) を 1 回転あたりの周期数で割ったものです。セクション 20 の例を参照してください。

Renesas Confidential October 30, 2026

## 6. 使用温度範囲

IPS2550 の最低周囲温度は−40℃です。

最高周囲温度は、以下の要素に依存します:

- 最大ジャンクション温度: 詳細は表 6 を参照してください。
- 電源電流: チップの総消費電力は、電源電圧、内部電源電流、およびユーザがプログラム可能な送信コイル電流に依存します。プログラム可能な送信コイル電流を表 9 に、内部回路の消費電流を表 6 に示します。
- 使用条件でのコイル電流: 一般的には、小さなコイルは多くの送信コイル電流を必要とし、大きなコイルは少ないコイル電流で動作することができます。コイルの直径が 25mm から 30mm の範囲の標準的なコイル設計では、コイル電流は約 3mA から 5mA、電源電流はそれぞれ約 12mA から 14mA を必要とします。IPS2550 は、送信コイル電流を 20mA まで駆動する事ができます。
- 部品の使用温度範囲: IPS2550 は、−40℃～+160℃の周囲温度で認定されています。
- PCB 上のグランドプレーンと組み合わせたパッケージの熱抵抗

VDD = 5.5V での、最大電源電流と、気流冷却が無い場合の異なる層数の PCB の周囲温度の関係を

図 4 の丸囲みに示します。例えば、エクスポーズドパッド下にグランドプレーンがある PCB の場合、$T_{ambient}$ = 160℃での最大電源電流 (内部電流+送信コイル電流) は、4 層 PCB で 25.6mA、2 層 PCB で 22.8mA です。グランドプレーンは、エクスポーズドパッドと同じ面積で、全層に配置され 3x3 個のビアで接続されていると想定しています。

Note: パッケージ外形図に示されているエクスポーズドパッド両側にある凸部はグランドプレーンとして配置する必要は有りません。

エクスポーズドパッド下にグランドプレーンがない場合、周囲温度 160℃での最大消費電流は 14.8mA となります。最高周囲温度が 155℃よりも低い場合や最大消費電流が 29.7mA より低い場合は PCB のグランドプレーンは必要有りません。最大消費電流が 18mA より低い場合は周囲温度が 159℃まで PCB のグランドプレーンは必要ありません。

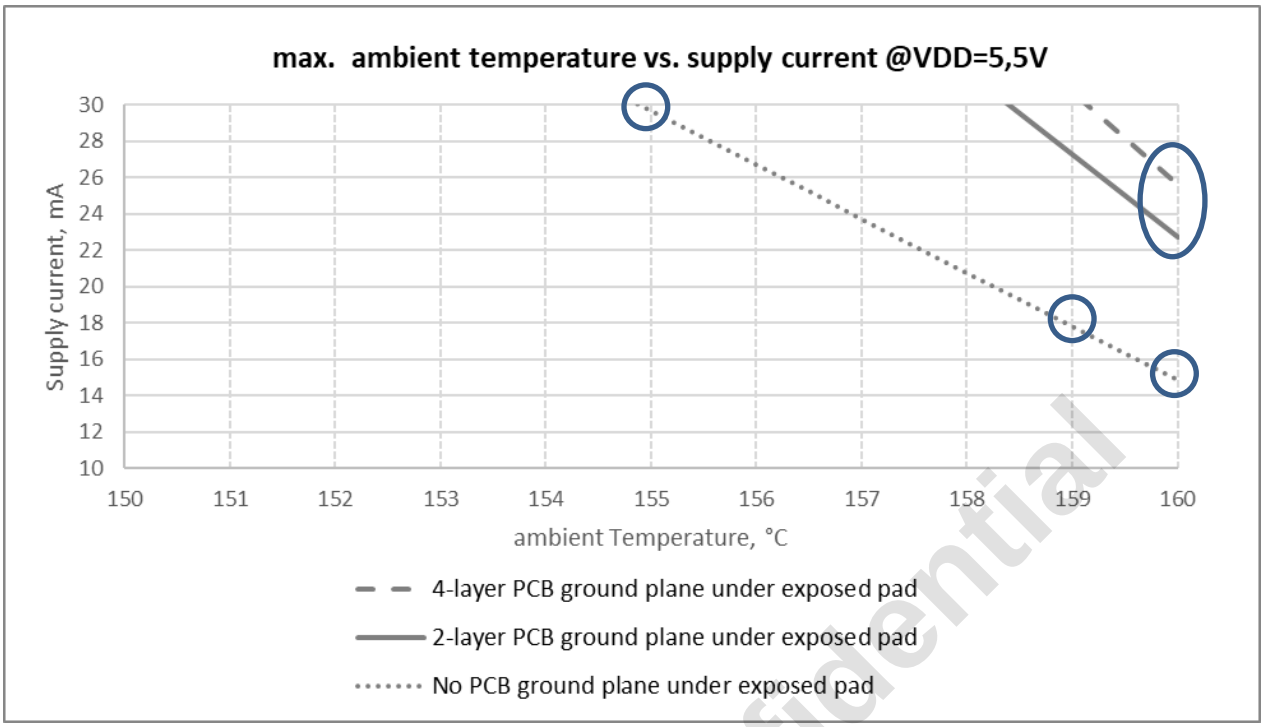



図 4　最大消費電流–周囲温度特性（グランドプレーン有・無）

## 7. 電気特性

以下の電気的仕様は、表 6 に規定されている動作条件下で有効です。($T_{AMB}$ は–40℃～160℃です)

表 7　IPS2550 電気的特性、3.3V モード

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $VDD_3$ | Supply voltage | | 3.0 | 3.3 | 3.6 | V |
| $V3_{OVR}$ | Over-voltage detection, VDD rising | An over-voltage alarm is created if VDD rises above this limit | 3.7 | 3.86 | 4.1 | V |
| $V3_{OVF}$ | Over-voltage detection, VDD falling | An over-voltage alarm is cleared if VDD falls below this limit | 3.65 | 3.79 | 4.0 | V |
| $V3_{OVH}$ | Over-voltage detection hysteresis | | | 70 | | mV |
| $V3_{UVR}$ | Under-voltage detection, VDD falling | An under-voltage alarm is created if VDD falls below this limit | 2.65 | 2.75 | 2.90 | V |
| $V3_{UVF}$ | Under-voltage detection, VDD rising | An under-voltage alarm is cleared if VDD rises above this limit | 2.70 | 2.85 | 3.00 | V |
| $V3_{UVH}$ | Under-voltage detection hysteresis | | | 100 | | mV |
| $VDDA_3$ | Analog supply voltage | Internally regulated. Connect capacitor $C_{VA}$ = 100nF between VDDA and GND (表 6 参照) | 2.85 | 3.0 | 3.1 | V |
| $V3VDDA_{UVF}$ | VDDA under-voltage detection | An under-voltage alarm is created if VDDA falls below these limits. | 2.59 | | 2.80 | V |

Renesas Confidential
October 30, 2026

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V3VDDA_{UVRr}$ | VDDA under-voltage detection | An under-voltage alarm is cleared if VDDA rises above these limits. | 2.63 | | 2.85 | V |
| $V3VDDA_{UVH}$ | VDDA Under-voltage detection hysteresis | | | 45 | | mV |

表 8　　IPS2550 電気的特性、5.0V モード

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $VDD_5$ | Supply voltage | | 4.5 | 5.0 | 5.5 | V |
| $V5_{OVR}$ | Over-voltage detection, VDD rising | An over-voltage alarm is created if VDD rises above this limit | 5.60 | 5.84 | 6.10 | V |
| $V5_{OVF}$ | Over-voltage detection, VDD falling | An over-voltage alarm is cleared if VDD falls below this limit | 5.55 | 5.76 | 6.05 | V |
| $V5_{OVH}$ | Over-voltage detection hysteresis | | | 80 | | mV |
| $V5_{UVR}$ | Under-voltage detection, VDD falling | An under-voltage alarm is created if VDD falls below this limit | 4.10 | 4.33 | 4.45 | V |
| $V5_{UVF}$ | Under-voltage detection, VDD rising | An under-voltage alarm is cleared if VDD rises above this limit | 4.20 | 4.40 | 4.49 | V |
| $V5_{UVH}$ | Under-voltage detection hysteresis | | | 70 | | mV |
| $VDDA_5$ | Analog supply voltage | Internally regulated. Connect a capacitor $C_{VA}$ = 100nF between VDDA and GND (表 6 参照) | 3.9 | 4.0 | 4.1 | V |
| $V5VDDA_{UVF}$ | VDDA under-voltage detection | A VDDA under-voltage alarm is triggered when VDDA falls below these limits. | 3.50 | | 3.79 | V |
| $V5VDDA_{UVRr}$ | VDDA under-voltage detection | A VDDA under-voltage alarm is cleared if VDDA rises above these limits. | 3.60 | | 3.87 | V |
| $V5VDDA_{UVH}$ | VDDA Under-voltage detection hysteresis | | | 65 | | mV |

Renesas Confidential October 5, 2026

表 9　　LC 発振回路の仕様

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $R_{Peq}$ | Equivalent parallel resistance of the LC resonant circuit | 式 4 参照 | 250 | | | Ω |
| $f_{LC}$ | Excitation frequency | LC oscillator frequency is determined by external components L and C. | 2.0 | | 5.6 | MHz |
| $V_{TX_P}$ | LC oscillator amplitude | Peak-to-peak voltage; pins TX1 vs. TX2; all modes. Adjustable by coil current. | | 6 | 11 | Vpp |

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $I_{LC}$ | Programmable transmitter coil drive current | Equivalent DC current. Programmable, depending on transmitter coil inductance. | 0 | 3 | 20 | mA |
| $R_{Tx1}$,$R_{Tx2}$ | TX Series resistor | For reduced EMC emission | | 22 | | Ω |

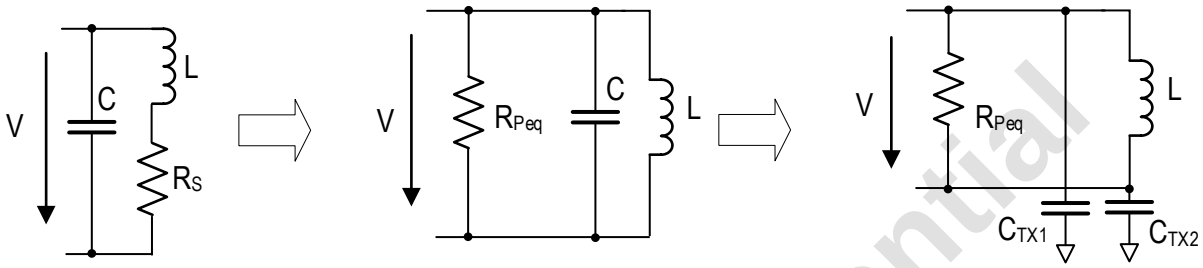



図 5　　並列共振回路

LC 発振回路の等価並列抵抗 $R_{Peq}$ は、式 4 を使用して計算できます。安定な動作のために発振回路が駆動できる最小損失抵抗を定義します。

Note: EMC を改善するため、2 つの C の 2 倍の容量値の容量 ($C_{TX1}$ = $C_{TX2}$ = 2C.) を GND に対して並列に接続する事を推奨します。詳細に付いては図 2 と図 3 も参照してください。

$$R_{Peq} = \frac{1}{R_S} \times \frac{L}{C}$$ 式 4

ここで:

$R_{Peq}$ LC 発振回路の等価並列抵抗。

$R_S$ 送信機周波数における送信コイルの直列抵抗。

*L* 共振周波数におけるコイルのリアクタンス。

*C* 並列コンデンサの静電容量。

C0G、NP0 セラミックコンデンサの場合、コンデンサ損失は無視できるため、式には含まれませんのでご注意ください。

Renesas Confidential October 30, 2026

表 10　　コイルレシーバフロントエンド仕様

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V_{RX}$ | Receiver coil amplitude. | Input signal full range to maintain AGC target levels: 3.0V p-p AGC target, gain boost bit disabled | 25 | | 1500 | $mV_{pp}$ |
| | | Input signal full range to maintain AGC target levels: 3.0V p-p AGC target, gain boost bit enabled | 13 | | 780 | |
| | | Input signal full range to maintain AGC target levels: 1.8V p-p AGC target, gain boost bit disabled | 15 | | 920 | |
| | | Input signal full range to maintain AGC target levels: 1.8V p-p AGC target, gain boost bit enabled | 8 | | 470 | |
| $A_{IN_mm}$ | Maximum amplitude mismatch correction | Programmable individual gain mismatch correction of Receiver coil signals (SIN and COS) | 13 | | 20 | % |
| | Amplitude mismatch step size | | 0.1 | | 0.15 | % |
| $A_{IN_OFFSET_POS\%}$ | Maximum positive input offset correction. | Differential input offsets of sine or cosine signal, percentage of transmitter coil amplitude. | +0.17 | | +0.23 | % |
| $A_{IN_OFFSET_NEG\%}$ | Maximum negative input offset correction. | | -0.25 | | -0.17 | % |
| $A_{IN_OFFSET_mV}$ | Input offset correction range at typical oscillator amplitude (表 9 参照). | | -7.5 | | 7.5 | mV |
| $OFF_{CORR_RES}$ | Input offset correction step size | | | 0.0015 | | % |
| $R_{Rx}$ | Coil receiver DC input resistance | Common mode to GND | | 20 | | kΩ |
| | | Differential | | 100 | | kΩ |
| $C_{RX1}$ | Receiver input filter capacitors | For improved EMC immunity | | 100 | | pF |
| $C_{RX2}$ | | | | | | |
| $C_{RX3}$ | | | | | | |
| $C_{RX4}$ | | | | | | |

Renesas Confidential October 30, 2026

表 11　　自動ゲインコントロール（AGC）

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $VOUT_{AGC1}$ | Output signal amplitude, single ended, AGC enabled | Program option1, for 3.3V Mode and 5V mode (default) | 1.4 | 1.8 | 2.2 | $V_{PP}$ |
| $VM_{AGC1W}$ | AGC1, no-switching window | AGC1 signal magnitude window, in which gain setting is not changed | 200 | 207 | 218 | mV |
| $VOUT_{AGC2}$ | Output signal amplitude, single ended, AGC enabled | Program option2, for 5V mode | 2.6 | 3.0 | 3.4 | $V_{PP}$ |
| $VM_{AGC2W}$ | AGC2, no-switching window | AGC2 signal magnitude window, in which gain setting is not changed | 195 | 201 | 208 | mV |
| $GAIN_{AFE}$ | Overall gain adjustment range, sine and cosine signal channel | Default setting | 2 | | 120 | V/V |
| | | With gain boost bit set | 4 | | 240 | |
| AGCAttack | AGC attack time, increase/decrease in same direction | | | 10 | | µs |
| AGCDecay | AGC decay time | AGC reversing direction, programmable decay time | | 0<br>30<br>100<br>300 | | ms |
| $t_{swap}$ | Channel swapping cadence | Channel swapping functional safety feature enabled, programmable cadence time | | 10<br>50<br>100<br>200 | | µs |

Renesas Confidential
October 30, 2026

表 12　　診断チェック

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $t_{fail}$ | Failure reaction time, (time to flag an error condition at the ADR_IRQN pin) | Chip internal diagnostic checks | | | 500 | µs |
| $t_{oc_assert}$ | Debounce time for switching off the analog output amplifiers in case of overcurrent | Load current on any analog output exceeding the current limit ($I_{OVL}$); all four analog outputs are switched off (tri-state) after this time.[a] | 135 | | $t_{fail}$ | µs |
| $t_{cm_assert}$ | Debounce time for switching off the analog output amplifiers in case of output common mode failure | If the common mode voltage on any analog output exceeds the $V_{CM}$ limit ($DC_{OFF_AL}$); all four analog outputs are switched off (tri-state) after this time.[b] | 40 | | $t_{fail}$ | µs |
| $t_{oc_deassert}$ | Debounce time for temporary release of analog outputs after overcurrent failure | Following an overcurrent switch-off condition, all outputs are turned on again after this time | 4.61 | 4.68 | 4.75 | ms |
| $t_{cm_deassert}$ | Debounce time for temporary release of analog outputs after output common mode failure | Following an output common mode switch-off condition, all outputs are turned on again after this time | $t_{oc_deassert}$ 参照 | | | ms |
| $R_{_open_th}$ | Resistance of Rx coil, open coil detection | Rx coil error flag activated | 91 | | 154 | kΩ |
| $R_{_short_GND}$ | External resistance from any coil input to GND, short-to-ground detection | Rx coil error flag activated | 68 | | 117 | kΩ |
| $R_{_short_VDD}$ | External resistance from any coil input to VDD, short to VDD detection | Rx coil error flag activated; VDD = 3.0 to 5.5V | 14 | | 233 | kΩ |
| $R_{_short_th}$ | Rx coil error flag cleared | Rx coil error flag cleared | 50 | | 130 | kΩ |
| $DC_{OFF_AL}$ | DC common mode output offset alarm limits | Absolute value relative to VDD/2. Output offset alarm flag activated. | 75 | | 195 | mV |

[a]: このリミット値より短い時間の過電流は無視されます

[b]: このリミット値より短い時間のコモン電圧異常は無視されます

Renesas Confidential October 30, 2026

表 13　　バックエンド仕様、アナログ出力 SIN_SCL、SINN、COS_SDA、COSN

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V3_{OUT}$ | Analog output range, 3.3V option | -1.5mA ≤ $I_{OUT}$ ≤ 1.5mA | GND + 0.4 | | VDD - 0.4 | V |
| $V5_{OUT}$ | Analog output range, 5V option | -2.5mA ≤ $I_{OUT}$ ≤ 2.5mA | | | | |
| $VDD_{OUT_CM}$ | Output DC offset voltage, common mode voltage | All modes, Deviation from VDD/2 | -35 | 0 | 35 | mV |
| $DC_{OFFDRIFT}$ | DC offset voltage drift | Over temperature range | -50 | | 50 | µV/°C |

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $I_{OUT3}$ | Output current; 3.3V option | Voltage change ±6mV relative to no load | -3 | | +3 | mA |
| $I_{OUT5}$ | Output current; 5V option | Voltage change ±10mV relative to no load | -5 | | +5 | mA |
| $I_{OVL}$ | Output overload current | Short circuit current limit | 15 | | 30 | mA |
| Noise | Device output noise | Maximum gain, no output filtering, shorted coil inputs | | 2 | 5 | $mV_{rms}$ |
| $C_{OUT1}$ | Output filter capacitors | For improved EMC immunity, placed close to IC output | | | 47 | nF |
| $C_{OUT2}$ | | | | | | |
| $C_{OUT3}$ | | | | | | |
| $C_{OUT4}$ | | | | | | |

表 14　　デジタル I2C 制御インタフェース、SDA、SCL ピン

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V_{IH}$ | High level input voltage, all modes | IRQN address select input, SCL clock input, SDA data input | 0.7•VDD | | VDD+0.3 | V |
| $V_{IL}$ | Low level input voltage, all modes | | -0.3 | | 0.3•VDD | V |
| $I_{LEAK}$ | Input leakage current | VDD = 0V to 5.5V | -8 | | 1.5 | µA |
| $V_{I_STR_hyst}$ | Hysteresis of Schmitt trigger input | SCL clock input | 0.1 | | | V |
| $V_{OL_SDA}$ | SDA low level output voltage open drain | 3mA sink current | 0 | | 0.4 | V |
| $I_{OL_SDA}$ | Low level output current | $V_{OL}$ = 0.4V, VDD=5.5V, $R_P$=2kΩ | 3 | | | mA |
| $C_{IN}$ | Capacitance of SDA/SCL pin | Pad and ESD protection | | | 10 | pF |
| $f_{SCL}$ | SCL clock frequency | | 0 | | 100 | kHz |
| $t_{LOW}$ | LOW period of SCL clock | | 4.7 | | | µs |
| $t_{HIGH}$ | HIGH period of SCL clock | | 4.0 | | | µs |
| $t_R$ | Rise time SDA/SCL | $V_{IHmin}$ to $V_{ILmax}$ | | | 1 | µs |
| $t_F$ | Fall time SDA/SCL | $V_{IHmax}$ to $V_{ILmin}$ | | | 0.3 | µs |
| $C_B$ | External capacitive load for each bus line | | | | 400 | pF |
| $R_{SDA}$, $R_{SCL}$ | External pull-up resistor at pins SDA and SCL | Resistor value and capacitive load on these pins are limiting the maximum clock frequency | 1.8 | 4.7 | | kΩ |
| $R_{ADR}$ | External resistor at pin ADR_IRQN for I2C address selection | Pull-up or pull-down, depending on I2C address setting. | 1.8 | 4.7 | | kΩ |

Renesas Confidential October 30, 2026

表 15　　アナログ出力経由の I2C インタフェース

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V_{IH}$ | SIN_SCL/COS_SDA High level input voltage | | 0.7•VDD | | VDD+0.3 | V |
| $V_{IL}$ | SIN_SCL/COS_SDA Low level input voltage | | -0.3 | | 0.3•VDD | V |
| $V_{I_STR_hyst}$ | Hysteresis of Schmitt trigger inputs, SIN_SCL and COS_SDA | | 0.1 | | | V |
| $V_{OL_COS_SDA}$ | COS_SDA low level output voltage, open-drain | 3mA sink current | 0 | | 0.4 | V |
| $I_{OL_COS_SDA}$ | COS_SDA Low level output current | $V_{OL}$ = 0.4V, VDD=5.5V, $R_P$=1.8kΩ | 3 | | | mA |
| $I_{IN}$ | SIN_SCL/COS_SDA input leakage current | VDD = 0V to 5.5V | -1.5 | | 8 | µA |
| $C_{IN}$ | Capacitance of SCL and SDA pins | Pad and ESD protection | | | 10 | pF |
| $f_{SCL}$ | SCL clock frequency | | 4 | | 25 | kHz |
| $t_{LOW}$ | LOW period of SCL clock | | 20 | | 125 | µs |
| $t_{HIGH}$ | HIGH period of SCL clock | | 20 | | 125 | µs |
| $t_F$ | Fall time SIN_SCL/COS_SDA | $V_{IHmin}$ to $V_{ILmax}$ | | 0.8 | 1.2 | µs |
| $C_B$ | External capacitive load for SIN_SCL and COS_SDA | | | | 47 | nF |
| $t_{PEU}$ | Program Entry window after POR | First time window to start sending unlock command | 1.5 | | 5 | s |
| $t_{PW}$ | Program Start window after Unlock | Second time window to complete first programming command | | | 75 | s |
| $R_{PU}$ | External pull-up resistors | Optional; for diagnostic indication | 表 24 参照 | | | kΩ |
| | | Optional; during programming on pins SIN_SCL and COS_SDA | 1.8 | | | kΩ |
| $R_{PD}$ | External pull-down resistors | Optional; for diagnostic indication | 表 25 参照 | | | kΩ |

Renesas Confidential October 30, 2026

表 16　　デジタル I2C 制御インタフェース、ピン ADR_IRQN

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $V_{IH}$ | ADR_IRQN High level input voltage | | 0.7•VDD | | VDD+0.3 | V |
| $V_{IL}$ | ADR_IRQN Low level input voltage | | -0.3 | | 0.3•VDD | V |
| $V_{I_STR_hyst}$ | Hysteresis Schmitt trigger input | | 0.1 | | | V |
| $I_{LEAK}$ | Input leakage current | | -8 | | 1.5 | µA |
| $V_{OH}$ | ADR_IRQN high level output voltage | ADR_IRQN configured as interrupt pin | 0.8•VDD | | VDD+0.3 | V |
| $V_{OL}$ | ADR_IRQN low level output voltage | | -0.3 | | 0.2•VDD | V |

表 17　　不揮発性メモリ

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $DR_{NVM}$ | Data retention | According to AEC Q100 | | > 100 at 25°C<br>>15 at 100°C | | Years |
| $t_{Wr_NVM}$ | Write temperature | Allowed ambient temperature range for read and write access | -40 | | 135 | °C |
| $t_{Rd_NVM}$ | Read temperature | | -40 | | 160 | °C |
| $C_{Wr_NVM}$ | Endurance[a] | Over product lifetime | | | 1000 | NVM Write Cycles |
| $C_{Rd_NVM}$ | Read Cycles | | $5x\ 10^{11}$ | $1x\ 10^{12}$ | | NVM Read events |

[a] 検証済みのプログラム/消去サイクル数。2000 サイクルで認定

Renesas Confidential
October 30, 2026

# 8. 回路説明

IPS2550 センサ回路は、1 つの送信コイルと 2 つの受信コイルで構成され、通常はプリント回路基板上の薄膜配線として設計されています。2 つの受信コイルはサイン波形状を有し、互いに 90° ずれています。標準的なコイル形状については、図 7 および図 8 を参照してください。金属ターゲットがコイルの上方に配置されます。

回路信号の流れ:

1. IPS2550 は、交流電流で送信コイルを駆動し、交流磁界を生成します。
2. 磁場は受信コイルに電圧を誘起します。金属ターゲットが無い場合、コイルの各セグメントが逆相接続されているために、受信コイル端子での電圧はゼロになります。
3. コイルの上に金属ターゲットが配置されている場合:
   a. 磁場は金属ターゲットの表面に渦電流を誘起します
   b. 渦電流は逆磁場を発生させ、ターゲット下の全磁束密度を減少させます
   c. ターゲット下の受信コイル領域に誘起される電圧が減少し、逆相接続されたコイルのセグメントの電圧に不均衡が生じます
   d. 受信コイル端子に、ターゲット位置に対して振幅と極性が変化する出力電圧が発生します
4. IPS2550 IC は、受信信号の同期復調を行い、その後、フィルタリングして外部信号処理用に出力します。

2 つの受信コイルが 90° 位相シフトしているため、出力信号もターゲット位置に応じて 90° の位相差が有る送信信号に比例したサイン及びコサイン信号を生成します。受信信号は、例えば、Vsin と Vcos の Arctangent 演算を行うことによって、絶対位置に変換することができます。

$$Position = arctan\left(\frac{V_{sin}}{V_{cos}}\right)$$ 式 5

## 8.1 概要

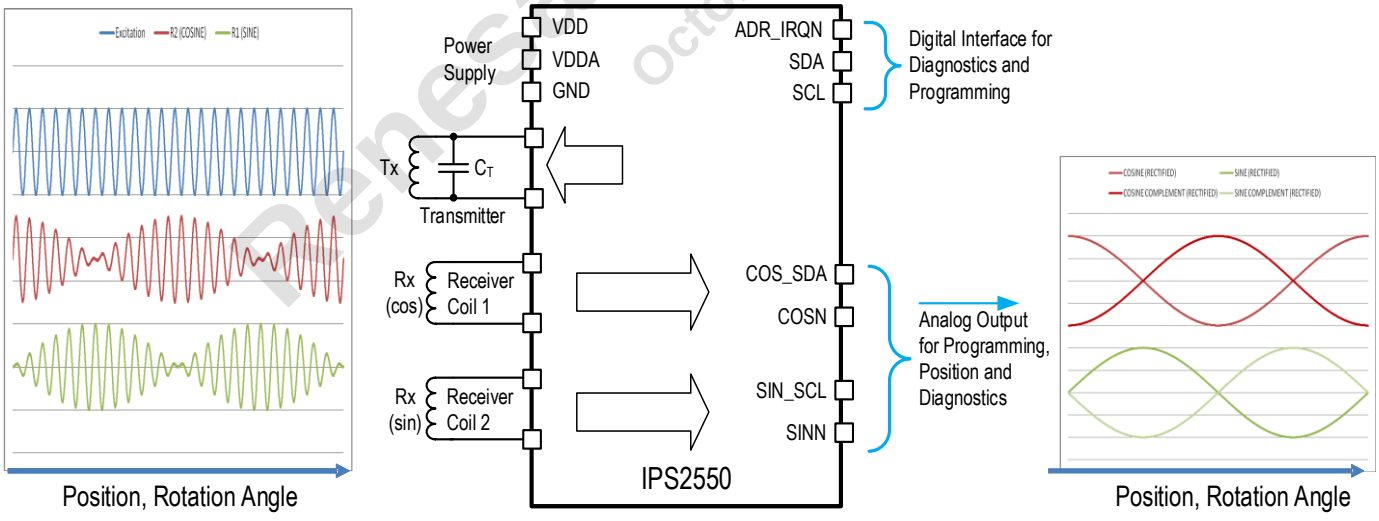



図 6 IPS2550 の応答

Renesas Confidential October 30, 2026

図 7 に 1 つの送信コイル（送信ループ）と下記の 2 つの受信コイルからなる直線運動センサの例を示します。

1. Sine Loop = Sin Loop 1 + Sin Loop 2
2. Cosine Loop = Cos Loop 1 + Cos Loop 2
   注: Cosine Loop は Sine Loop と相対的にシフトしているので Cos Loop 1 は以下のように 1/2 に分割されています
   Cos Loop 1 = Cos Loop 1a + Cos Loop1b

ループ内の時計回りと反時計回りに接続されたセグメント（例えばコサイン受信コイルでは 時計回りの Cos Loop1 と反時計回りの Cos Loop2）により、各セグメントの誘導電圧は逆極性になります。

$$V_{Sin\ Loop1} = -V_{Sin\ Loop2} \quad \text{式 6}$$

$$V_{Cos\ Loop1} = -V_{Cos\ Loop2} \quad \text{式 7}$$

ターゲットが存在しない場合、二次電圧は互いに打ち消し合います:

$$V_{Sin} = V_{Sin\ Loop1} + V_{Sin\ Loop2} = 0V \quad \text{式 8}$$

$$V_{Cos} = V_{Cos\ Loop1} + V_{Cos\ Loop2} = 0V \quad \text{式 9}$$

コイルの上にターゲットを置くと、カバーされた領域に誘起された二次電圧は、ターゲットが無い場合の二次電圧より低くなります。

$$V_{Sin\ Loop1} \neq -V_{Sin\ Loop2} \quad \text{式 10}$$

$$V_{Cos\ Loop1} \neq -V_{Cos\ Loop2} \quad \text{式 11}$$

これにより、二次電圧セグメントの不均衡が発生し、従って、ターゲットの位置に応じて、≠0V の二次電圧が発生します。

$$V_{Sin} = V_{Sin\ Loop1} + V_{Sin\ Loop2} \neq 0V \quad \text{式 12}$$

$$V_{Cos} = V_{Cos\ Loop1} + V_{Cos\ Loop2} \neq 0V \quad \text{式 13}$$

Renesas Confidential October 30, 2020

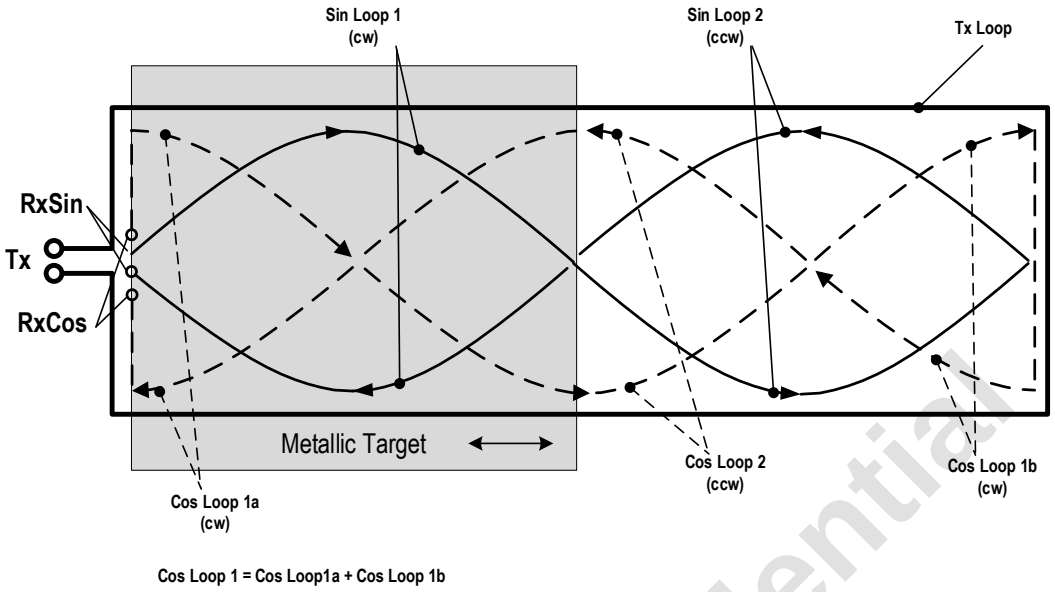



図 7　　直線運動センサのためのコイル形状

図 7 で直線運動センサについて示された原理は、図 8 に示されているように、アークまたは回転センサに適用することができます。

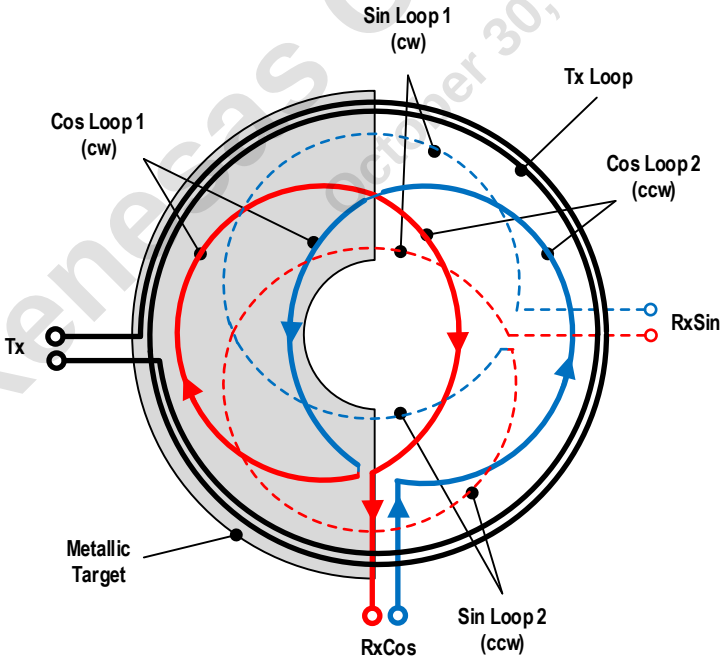



図 8　　360° 回転センサ用のコイル形状

Renesas Confidential
October 30, 2026

## 9. サンプリングレート、分解能、出力データレート、および伝搬遅延

IPS2550 はアナログ信号処理 (ADC を使用しません) を行うため、サンプリング・レートはなく、分解能は事実上無限大です。

内部フィルタリングおよび復調工程のため、アナログ入力信号と出力信号の間に短い信号伝搬遅延があります。この遅延は、送信回路の発振周波数とは無関係に、工場出荷時に固定値にトリミングされています。

コイル受信回路は自動的に送信コイル発振器周波数にロックします。これにより、温度変化や、ターゲットとのエアギャップの変化による、LC 発振回路の周波数ドリフトは自動的に補正されます。

表 18　　伝搬遅延

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PD_trim}$ | Propagation delay of receiver input signals 1 and 2 at Sine and Cosine outputs. | Factory trimmed; at room temperature over specified supply voltage range | 3.8 | 4 | 4.2 | µs |
| $t_{PD_tc}$ | Propagation delay temperature drift | over specified operating temperature range | 1.8 | 2.2 | 2.65 | ns/°C |

## 10. 出力モード

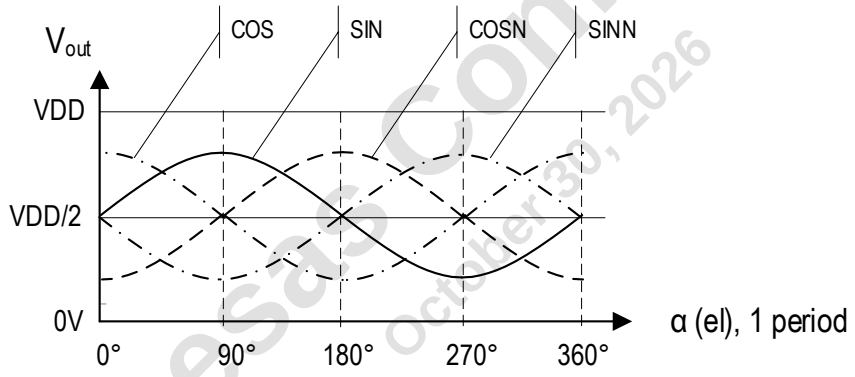



図 9　　出力信号:サイン-コサインアナログ差動モード

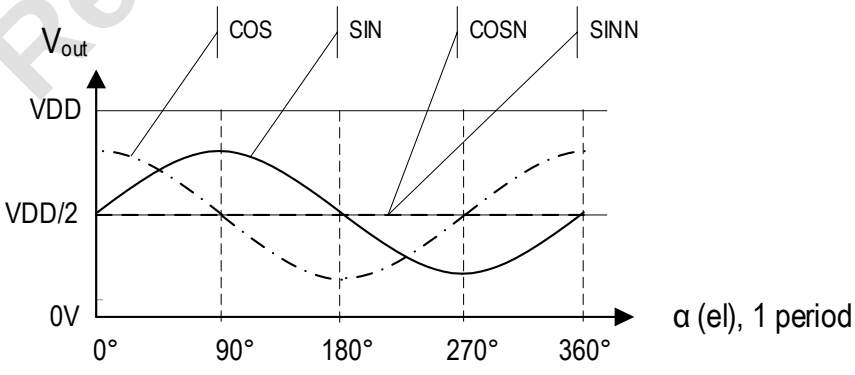



図 10　　出力信号:サイン-コサインアナログシングルエンドモード

Renesas Confidential October 30, 2026

## 11. 高速での動作

IPS2550 はアナログ信号処理を使用しているため、入力信号を非常に高速に処理できます。入力信号は、600 000 rpm (1 分間あたりの電気回転数) に相当する最大 10kHz の周波数を処理する事ができます。より高い周波数、すなわち、より高い速度の処理も可能ですが、性能と信号振幅が低下します。

機械回転速度は、式 14 で計算できます:

$$rpm(mech) = \frac{rpm\ (el)}{coil\ periods} \qquad \text{式 14}$$

ここで

*回転数 (mech)* ロータ (およびターゲット) の回転速度 (1 分間あたりの回転数)

*回転数(el)* センサの最大電気入力周波数 (rpm)(電気回転数)
= 600000 電気周期/分 (rpm)
= 10000 電気周期/秒= 10 kHz

*コイル周期* 1 ターンあたりの電気的周期数
= 360° 円周あたりのコイル周期数
= 金属ターゲットのセグメント数

例えば、図 30 は、3 周期コイル設計を使用する 6 極モータ (極対数 = 3) のための設計を示します。

このモータの最大機械回転速度は、式 15 に従って計算されます。

$$\frac{600krpm\ (el)}{3} = 200krpm\ (mech) \qquad \text{式 15}$$

表 19 出力モードと最高速度

| | SIN/COS 出力モード | ロータ最大速度 |
|---|---|---|
| **Target Design (metal / no metal)** | **Sine, Cosine Cycles per Revolution** | **Mechanical Speed** |
| 1 × (180° / 180°) | 1 × 360° | 600 krpm |
| 2 × (90° / 90°) | 2 × 180° | 300 krpm |
| 3 × (60° / 60°) | 3 × 120° | 200 krpm |
| 4 × (45° / 45°) | 4 × 90° | 150 krpm |
| 6 × (30° / 30°) | 6× 60° | 100 krpm |
| 8 × (22.5° / 22.5°) | 8 × 45° | 75 krpm |
| 10 × (18° / 18°) | 10 × 36° | 60 krpm |
| … | 1 cycle per target | 600 krpm / targets per wheel |

## 12. デジタル診断およびプログラミングインタフェース

IPS2550 をプログラムし、アナログ高速信号経路を中断することなく高速診断を可能にするために、追加の I2C デジタルシリアルインタフェースが用意されています。

I2C インタフェースは、2 つのモードで動作させることができます:

Renesas Confidential October 30, 2026

- アドレスセレクト付き I2C インタフェース（デフォルト）
- 割り込み付き I2C インタフェース（プログラムオプション）

## 13. ブロック図

図 11 に IPS2550 のブロック図を示します。

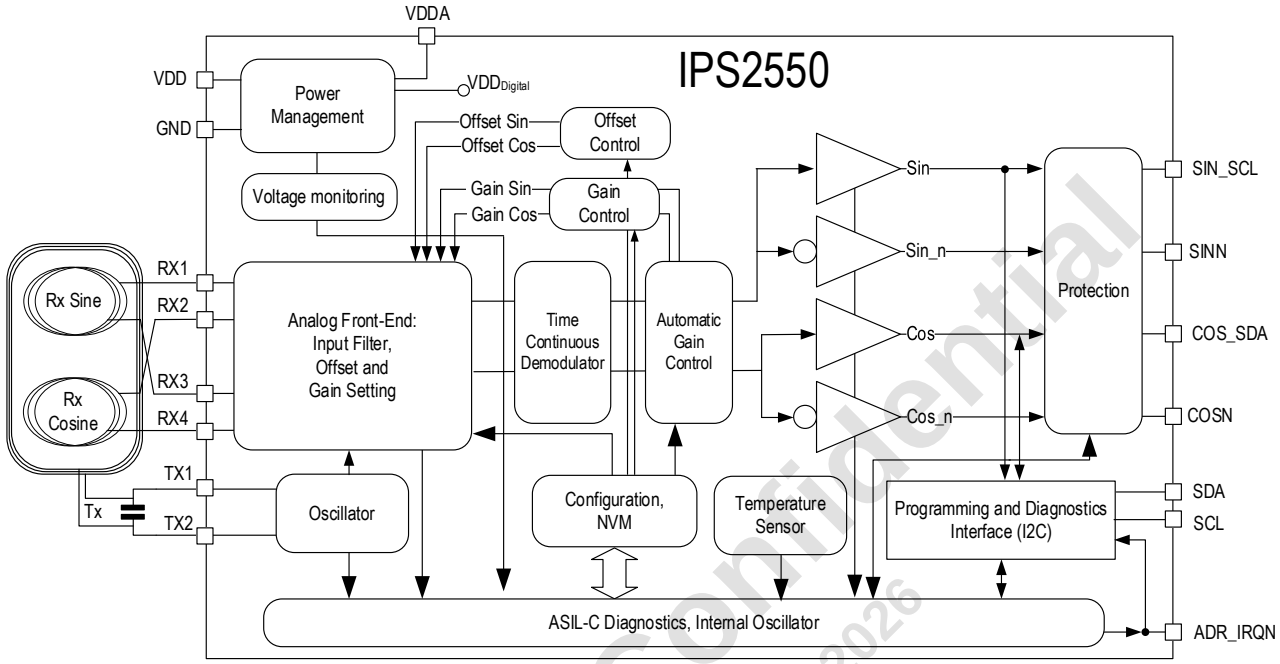



図 11　　ブロック図

主な構成要素には、以下が含まれます:

- Power Management: パワーオンリセット（POR）回路。アナログおよびデジタル電源用の低損失型レギュレータ（LDO）
  - VDD、VDDA、および内部電圧 VDDDigital の過電圧および低電圧監視
- Oscilator: 送信コイル信号の生成
- Analog Front End: 受信信号の入力フィルタ、オフセット、ゲインコントロール
  - オフセット制御: レシーバコイル入力 RX1–RX2, RX3–RX4 でのオフセットを補正します
  - ゲイン設定: レシーバコイル入力信号 RX1–RX2 と RX3–RX4 の振幅ミスマッチを補正します
- Time Continuous Demodulator: RF 振幅変調位置信号を LF 復調位置信号に変換します
- Gain Control: RX1/RX2, RX3/RX4 入力信号からの振幅ミスマッチを補正します
- Automatic Gain Control: サインおよびコサインチャンネルの全体的ゲインを自動調整します
- Configuration, NVM: 工場出荷時およびユーザーがプログラム可能な設定の不揮発性メモリ
- Programing and Diagnostics Interface: サインおよびコサインアナログ出力インタフェース、または、個別の I2C インタフェースを使用できます
- Temperature Sensor: チップ温度の監視
- ASIL–C Diagnosis, Internal Oscillator: 機能安全を確保するための重要ブロックの内部診断。工場出荷時にトリミングされた内部オシレータは、チップ内部のタイミングに使用され、送信周波数測定のタイムベースとして使用されます
- 4 個の過電圧保護および逆極性保護機能付きアナログ/デジタル出力バッファ

Renesas Confidential
October 30, 2026

- SIN_SCL、SINN、COS_SDA、および COSN ピンには、3 つのインタフェースオプションがあります（表 2 参照）
  - 差動アナログ出力
  - リファレンス付きシングルエンドアナログ出力
  - プログラム用 I2C インタフェース

# 14. ブロックの詳細説明

以下のブロックの図については、図 11 のブロック図を参照してください。

## 14.1 電源管理

IPS2550 は、VDD = 3.3V±0.3V または VDD = 5.0V±0.5V のいずれかの電源で動作させることができます。内部 LDO は、アナログ回路とデジタル回路の電源電圧を生成します。アナログ電源（VDDA）は、外部コンデンサ $C_{VA}$ によってバッファされます。デジタル電源は内部へのみ接続されています。

VDD は過電圧および逆接続から保護されており、過電圧または低電圧がないか常に監視されています。

## 14.2 LC 発振回路

LC 発振回路は、センサの RF 磁界を生成し、2MHz～5MHz の周波数帯域で動作します。周波数は、外付け部品 L（送信コイル）と C（外付けコンデンサ）で調整します。詳細は、表 9 を参照してください。

IPS2550 は広範囲なインダクタンスのコイルが使用可能で、コイル駆動電流はユーザがプログラム可能です。

LC 発振回路は、周波数の正しさ、またはオープン/ショートや発振回路の故障などの故障がないかどうか、継続的にチェックされます。

## 14.3 アナログ信号経路

最大速度の場合、IPS2550 は 2 つの並列アナログ信号チャネルを使用します。1 つはサイン用、もう 1 つはコサイン用で、全てアナログ信号処理用です。

### 14.3.1 Rx コイル診断

レシーバ・コイル Rx Sine および Rx Cosine は、グランドへのオープン/ショート、VDD へのショート、および反対側のコイルへのショートがないか、継続的にチェックされます。図 2 および図 3 に示すように、レシーバコイルは次の 2 つの方法で接続できます

- ASIL C 接続: 隣接する 2 つのピンのショートによるレシーバコイルの短絡の可能性を防止します。
- 互換接続: 産業用 IPS2200 とピン間互換性を提供します。

### 14.3.2 受信信号ローパスフィルタ

受信信号は振幅変調信号であり、キャリア周波数は LC 発振回路の周波数で、信号振幅は目標位置を表します。回転システムでは、LF 信号はサインおよびコサイン形状であり、LF 信号の 1 周期はコイル形状の 1 周期と等価です。コイル設計の例と対応する LF 信号については、セクション 20 を参照してください。

最初に、振幅変調信号を低域通過フィルタリングして、起こり得る RF 電磁擾乱を抑制します。

Renesas Confidential October 30, 2025

### 14.3.3 オフセットとゲイン整合

RF 信号はフィルタリングされた後、不完全なコイル設計に由来する可能なオフセットおよび振幅ミスマッチを補正します。オフセットおよび微小ゲイン補正の量は、NVM でユーザーが固定値にプログラムするか、組み込みアプリケーションで動作中に補正することができます。詳細は、セクション 15.1 を参照してください。

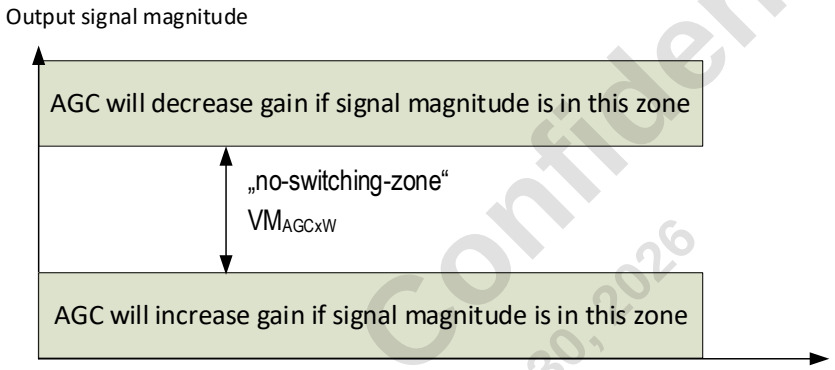
### 14.3.4 復調

連続時間復調器は入力信号から搬送波を除去し、復調された LF 信号を生成します。

### 14.3.5 自動ゲインコントロール (AGC)

復調された信号の大きさ $M = \sqrt{Vsin^2 + Vcos^2}$ は、常時チェックされ、プログラムにより選択可能な定格レベル (表 11 参照) と比較されます。AGC は出力信号の振幅が “no-switching-zone” に入るように受信ゲインを自動的に調整します。

AGC を有効にすることで、ゲインがユーザにプログラムされた範囲を超えた場合、たとえば、入力信号が強すぎるまたは弱すぎる事を示すアラームを生成する事ができます。




(詳細は表 11 参照)

図 12 AGC 振幅レンジ

Renesas Confidential October 30, 2026

## 14.4 信号チャンネルの入れ替え

内部利得誤差の検出を改善する効果的な方法は、設定オプションとして利用可能なルネサス特許出願中の信号チャネル交換機能です。これを有効にすると、チップは 2 つのアナログ信号経路間でサインおよびコサイン信号チャネルを周期的に入れ替えます。この方法を適用することで、スタティック (非回転) 動作でも、サイン信号チャネルとコサイン信号チャネル間のゲインミスマッチをアナログ信号出力で即座に検出できます。

## 14.5 出力バッファ

4 つのアナログ信号 (サイン、反転サイン、コサイン、反転コサイン) は、対応する出力ピンで個別にバッファリングされます。

バッファ出力は過電圧および逆極性が保護されており、グランドへの短絡、VDD への短絡、または同相電圧に問題がないか確認されています。診断状態が有効な場合、バッファがオフになり、外部プルアップ抵抗またはプルダウン抵抗を介して外部 MCU への診断表示が可能になります。

### 14.6 温度センサ

IPS2550 は、チップ内部温度センサを搭載しており、温度超過イベントが発生した場合にアラームを発します。温度センサには 2 レベルのアラームがあります:

1. ジャンクション温度が警告しきい値を超えた場合: 診断アラームが生成され、SIN_SCL、COS_SDA、SINN、COSN の出力バッファがオフになり、消費電力が削減されます。
2. ジャンクション温度がクリティカルアラームレベルを超えた場合: さらに、プログラムオプションとして、LC 発振回路をオフにして、消費電力をさらに削減することができます。

表 20 内部チップ温度センサ特性

| 記号 | パラメータ | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| $T_{OVT_WARN}$ | Over-temperature warning threshold | | 175 | 180 | 185 | ℃ |
| $T_{OVT_ERR}$ | Over-temperature error threshold | | 180 | 185 | 190 | ℃ |
| $ACC_{TS}$ | Temperature sensor absolute accuracy | | -10 | | +10 | ℃ |
| $T_{HYST}$ | Temperature hysteresis | | 8 | 10 | 12 | ℃ |

## 15. ECU 接続オプション

注:図 13、図 14、および図 15 では、IPS2550 と電気制御ユニット (ECU) 間のさまざまな接続オプションが示されています。

IPS2550 は、正しい VDD 電圧供給レベル (3.3V または 5.0V) に適合するように適切にプログラムする必要があります。

### 15.1 エンベデッド vs. リモート接続

エンベデッド接続では、センサとマイクロコントローラ (MCU) の両方が同じプリント基板基板 (PCB) に配置されます。これらのアプリケーションでは、2 つのチップ間の接続数は重要ではありません。MCU は、個別のデジタル I2C インタフェースを利用して、アナログ信号の流れを中断することなく診断レジスタを常時監視したり、オフセットやゲインを動作中に変更したりすることができます。

ADR_IRQ 端子は、IRQ モードで診断に使用されます。

デジタルインタフェースフェイスピン、SDA および SCL を使用する場合、IPS2550 および ECU は、デジタルのハイおよびロー信号レベルを一致させるために、同じ VDD 電圧供給レベルを共有する必要があります。

図 13 に示す回路図には、エンベデッド動作で EMC 性能を向上させるために必要な外付け部品が含まれています。

注記: $C_{Out1}$～$C_{Out4}$ の容量値は、接続されているマイコンの ADC 入力規格によって異なります。

Renesas Confidential October 30, 2026

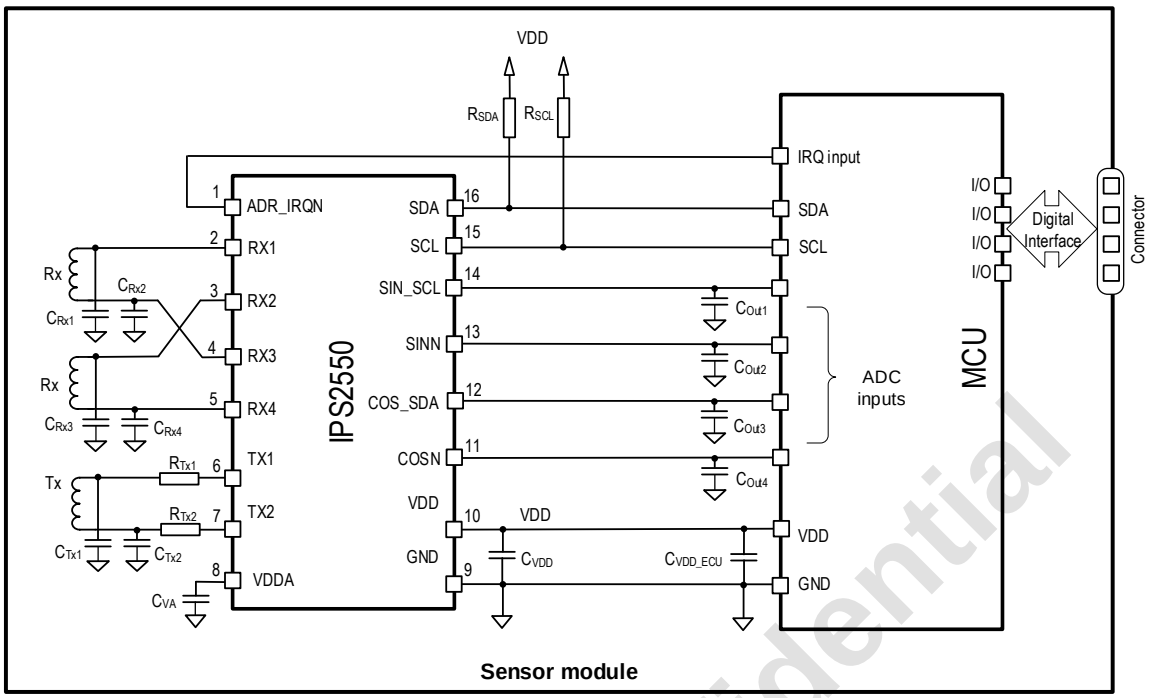



図 13　　エンベデッドアプリケーション: センサと MCU は同じ PCB 上に配置されます

リモートアプリケーションでは、センサモジュールは ECU とは別個になっており、ケーブルで接続されています。コスト効率のために、ケーブル上のワイヤの数とコネクタピンの数はできるだけ少なく保つ必要があります。通常、シングルエンド構成の場合は 4 本のワイヤ (VDD、GND、サイン、コサイン)、差動構成の場合は 6 本のワイヤ (VDD、GND、サイン、反転サイン、コサイン、反転コサイン) が必要です。

エラーの場合、アナログ出力はトライステートモードに切り替わります。診断状態は、プルアップ抵抗を使用して出力電圧を VDD にプルアップするか 図 14 に示すように)、プルダウン抵抗を使用して出力電圧をグランドにプルダウンすることによって示されます (図 15 に示します)。

診断表示の詳細については、セクション 18.2 を参照してください。

図 14 および図 15 に示す回路図には、リモート操作で EMC 性能を向上させるために必要な外付け部品が含まれています。

Renesas Confidential
October 30, 2026

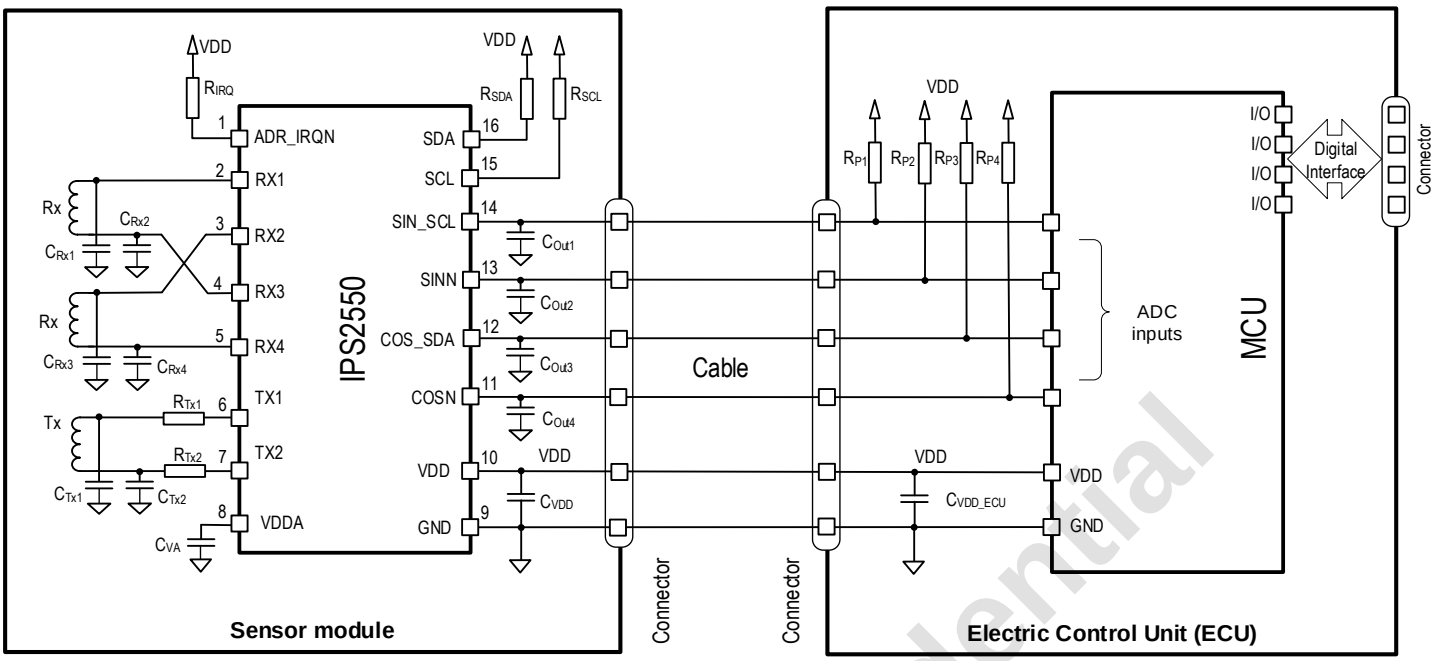



図 14　　診断用プルアップ抵抗付きリモートアプリケーション

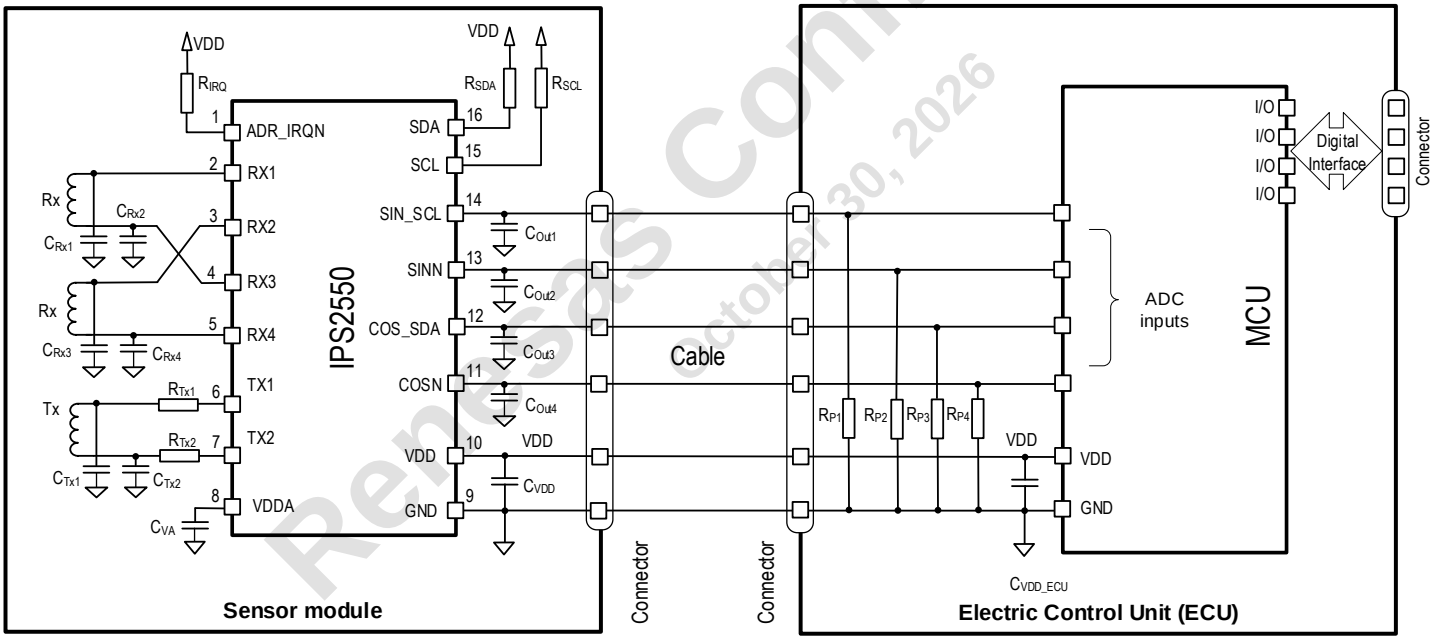



図 15　診断用プルダウン抵抗付きリモートアプリケーション

## 15.2　電源電圧動作: 3.3V または 5V

IPS2550 は、3.3V±0.3V または 5.0V±0.5V の電源電圧のいずれかで動作するようにプログラムできます。デフォルトは 5V です。デフォルトの電源電圧の変更については、セクション 17.1 を参照してください。

Renesas Confidential
October 30, 2026

## 15.3 I2C インタフェース

IPS2550 には I2C インタフェースが含まれています。I2C アドレスはプログラム可能です。さらに、ADR_IRQN ピンは、I2C インタフェースを使用するときに、I2C アドレス選択ピンまたは割り込み出力 (IRQN) ピンのいずれかとしてプログラムできます (表 3 参照)。IPS2550 は I2C スレーブとして構成されています。いくつかのスレーブを I2C バス上で並列接続することができます。プログラム機能の詳細説明は、IPS2550 ユーザープログラミングマニュアルに記載されています。

シリアルデータ (SDA、16 ピン) とシリアルクロック (SCL、15 ピン) の 2 本の配線で、バスに接続されたデバイス間で情報を伝達します。SDA と SCL の両方は、外部プルアップ抵抗を介して正の電源電圧 VDD に接続されます。バスがフリーのときは、両方のラインが High になります。ワイヤード AND 機能を使用するには、バスに接続されているデバイスの出力段はオープンドレインまたはオープンコレクタである必要があります。

外部マスタ (ホストコントローラ) が転送を開始し、クロック信号を生成し、転送を終了します。実装は、マスタによってアドレス指定され、I2C バス仕様バージョン 2.1 をサポートする I2C スレーブ機能をサポートします。

アナログ出力にはパッシブ・フィルタまたは EMC コンデンサが含まれている場合があるため、個別のデジタル I2C インタフェースに比べて立ち上がりおよび立ち下がり時間が長くなることがあります。したがって、アナログ出力で IPS2550 のプログラムを行う場合には I2C クロックレートを調整する必要があります。

### 15.3.1 アドレス選択付き I2C (デフォルト)

IPS2550 がアドレス選択付き I2C インタフェースを使用するようにプログラムされている場合、ADR_IRQN ピンはハードウェアによって I2C スレーブアドレスを選択するために使用されます。

デフォルトでは ADR_IRQN ピンは IPS2550 の I2C スレーブアドレスをハードウエアピン固定によって定義するために用いられます。このピンの状態は 7bit の I2C アドレスの A3 Bit に反映され、状態の反転が I2C アドレスの A0 Bit に反映されます (図 16 を参照してください)。

デフォルトの I2C アドレス設定では A4 は 1 に設定されています。ADR_IRQN を GND に固定した場合、IPS2550 のデフォルトスレーブアドレスは 0010001 (Binary) = 0x11 (Hex) に、VDD に接続した場合は I2C アドレスは 0011000 (Binary) = 0x18 (Hex) になります。

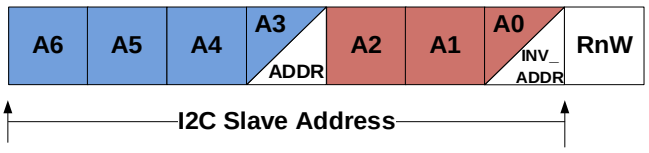
ハードウエアピン固定による I2C アドレス選択を無効として NVM アドレスビット A6～A3 で固定の I2C アドレスを定義できます (詳細は『IPS2550 Programming Guide』を参照してください)。

表 21 にそれぞれのアドレス選択オプションでのアドレス選択ピンと NVM アドレス設定の組み合わせを示します。

I2C アドレスビット A3 から A6 は個別の I2C アドレスとして NVM で設定でき、最大 14 デバイスをアドレス指定できます (詳細は当社から入手可能な『IPS2550 Programming Guide』を参照してください)。

表 21　　NVM でのアドレス選択オプション

| I2C Address Selection Mode | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
|---|---|---|---|---|---|---|---|
| Default setting | 0 | 0 | 1 | Pin#1 | 0 | 0 | Pin#1 inverted |
| User programmable range, with I2C address selection by pin #1 | 001 to 110 (binary) | | | Pin#1 | 0 | 0 | Pin#1 inverted |
| User programmable range, with fixed I2C address | 0001 to 1110 (binary) | | | | 0 | 0 | 0 |




Renesas Confidential
October 31, 2022

図 16　　I2C アドレス選択ビット

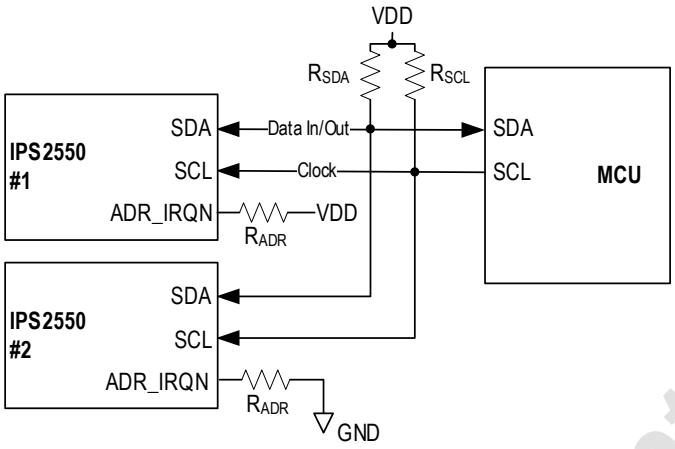



図 17　　アドレス選択付き I2C インタフェース

### 15.3.2　GND 喪失または VDD 喪失中の ADR_IRQN ピンを介した寄生パスの回避

安全上重要なアプリケーションでは、グランドまたは VDD の喪失を監視し、故障が発生した場合に対応する必要があります。リモートアプリケーションでの GND または VDD ワイヤの喪失およびそれらの適切な診断構成の場合を図 25 に示します。

ハードウェアピン固定によって I2C アドレスを選択するために ADR_IRQN ピンを使用する場合は、VDD または GND に直接接続しないことを推奨します。チップが不定状態になる可能性のある GND または VDD 配線が断線した場合に、ADR_IRQN ピン流れる寄生電流を避けるために、$R_{ADR}$ を介して VDD または GND に接続して下さい (図 18 と表 14 参照)。

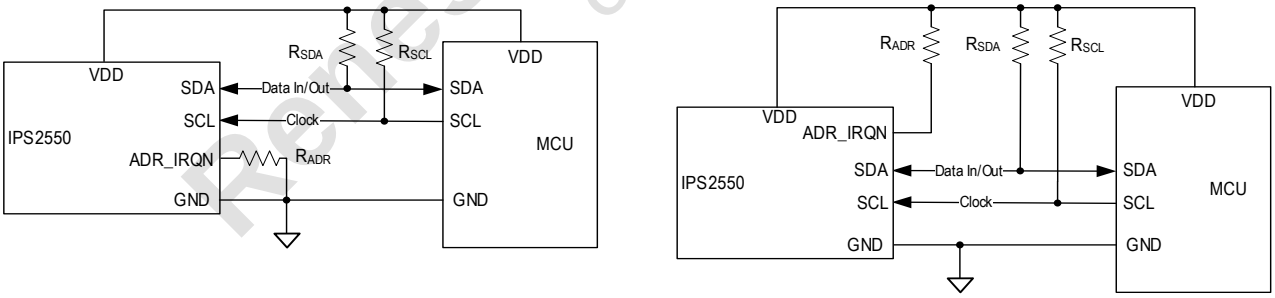



図 18　ADR_IRQN ピン用いたハードウェアピン固定によるアドレス選択付き I2C インタフェース

### 15.3.3　割り込み付き I2C インタフェース (プログラミングオプション)

IPS2550 は、割込み機能付きの I2C インタフェースを使用するようにプログラムされている場合、I2C 規格のインタフェースとして動作します。I2C アドレスはプログラム可能です。また、ADR_IRQN 端子は、診断イベントの高速信号伝達用の割り込み出力として使用されます。

Renesas Confidential
October 0.26

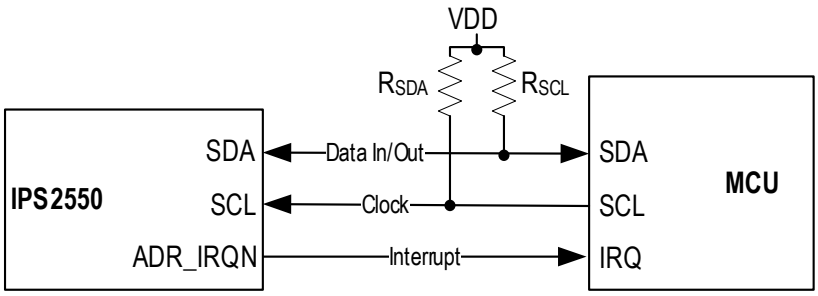
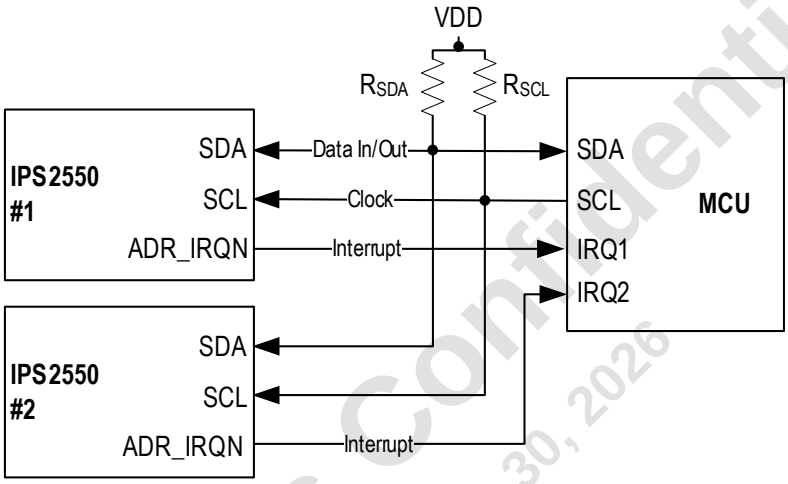



図 19　　1 つのスレーブでの割り込みを使用した I2C インタフェース設定




注: このモードでは、いくつかの I2C スレーブが並列に接続されます。各 I2C スレーブには個別の I2C アドレスが必要です。

図 20　　マルチスレーブ割込みによる I2C インタフェースの構成

I2C インタフェースの詳細説明については、『IPS2550 Programming Guide』を参照してください。

Renesas Confidential
October 30, 2026

# 16. 過電圧保護

## 16.1　入出力保護

出力ピンと電源ピンの両方で過電圧保護と逆極性保護の車載要件を満たすために、IPS2550 にはいくつかの保護と診断機能が含まれています:

1. 出力端子 SIN, SINN, COS, COSN-GND 間または VDD 間の短絡保護
2. 過電圧および逆極性保護:
   a. 電源 VDD を GND 端子に接続
   b. アナログ出力端子 SIN、SINN、COS、COSN が GND に短絡

# 17. プログラムオプション

IPS2550 ファミリには、さまざまなプログラムオプションが用意されています。主なプログラム可能な機能については、表 22 で説明します。

IPS2550 には、次のいずれかの方法でアクセスし、プログラムすることができます:

- I2C インタフェースフェイスピン SDA と SCL を使用
- アナログ出力ピン SIN_SCL と COS_SDA を介して

注記: プログラミングの詳細については要求に応じて当社から入手可能な『IPS2550 Programming Guide』を参照してください。

SDA および SCL ピンで使用可能な I2C インタフェースにより、アナログ出力信号を中断することなく、内部レジスタへのアクセスと、ゲインおよびオフセット設定の動作中の変更を同時に行うことができます。IPS2550 は、I2C 規格プロトコルを使用して、このインタフェースを介して同様にプログラムすることもできます。図 21 を参照してください。

なお、SDA、SCL 端子にはプルアップ抵抗は内蔵されていません。このインタフェースを使用する場合は、センサモジュールまたは外部のいずれかに外付けプルアップ抵抗を取り付ける必要があります。

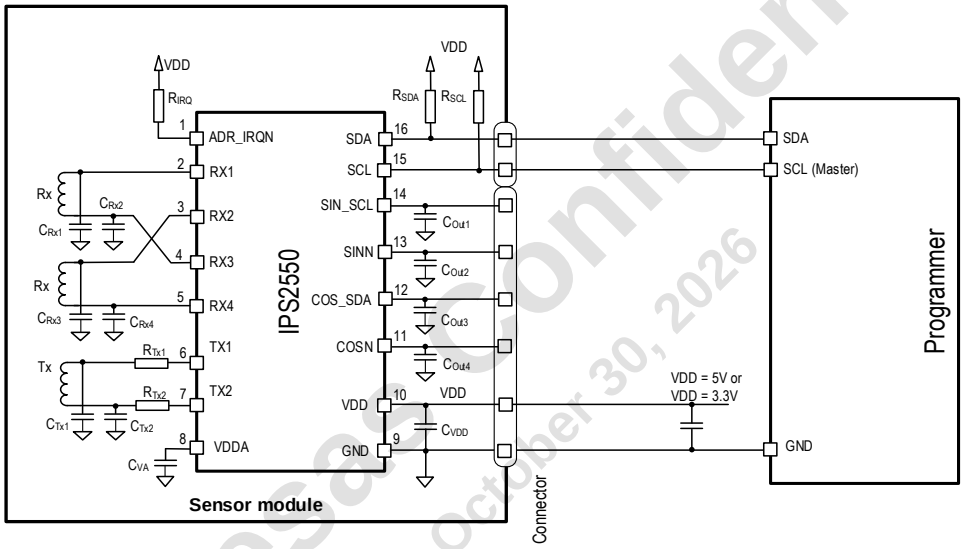



図 21　　I2C インタフェースを介した IPS2550 のプログラム

場合によっては、特にコネクタ・ピンとワイヤの数が最小限に抑えられ、内部レジスタへの恒久的なアクセスが必要ないリモート・アプリケーションでは、2 つのアナログ出力（SIN_SCL および COS_SDA; 図 22 を参照）を介して IPS2550 をプログラムすることも可能です。

この方法は、通常、デジタルインタフェースピン SDA および SCL にアクセスできなくなった最終的な組み立て済みセンサモジュールのための製造ラインの終了工程でのプログラムに使用されます。

IPS2550 の意図しないプログラムを避けるために、いくつかの安全ロックが実装されています:

- プログラム有効ウィンドウは、電源投入後、数ミリ秒の間開いています。この時間枠内に外部イネーブルコマンドが送信されない場合、IPS2550 は通常の電源投入動作を再開します。
- このプログラムモードをイネーブルにする最初の段階に続いて、プログラムモードをアンロックするために、2 番目の長い時間枠内に別のパスワードを送信する必要があります。詳細は『IPS2550 Programming Guide』を参照してください。
- プログラミング後、チップはさらなる書き込みのためにロックすることができ、さらに読み出しのためにロックすることもできます。チップがロックされると、ロックを解除することはできません（サイバーセキュリティ機能）。

Renesas Confidential
October 30, 2026

アナログ出力には、データレートを減速させる外部パッシブ EMC フィルタが含まれる可能性があるため、プログラマも低速で書き込みを行う事ができる必要があります。

電源投入後にプログラミング時間枠に当たるためには、プログラマが IPS2550 の VDD の立ち上がりを感知できる必要があります。オプションとして、プログラマは、図 22 に示すように、IPS2550 の電源をアクティブにオン・オフすることができます。

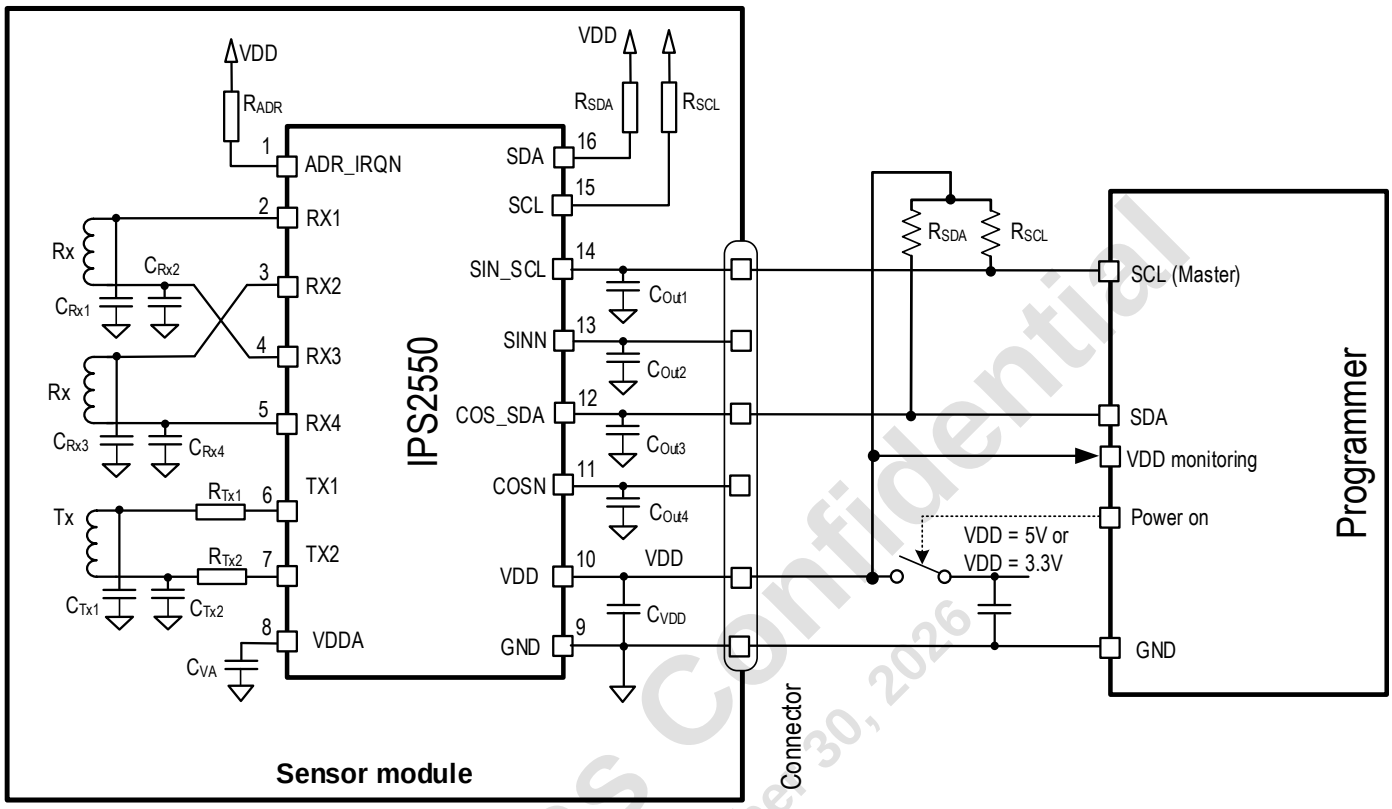



図 22　　アナログ出力を通した IPS2550 の製造最終工程でのプログラム

注: EMC と ESD 保護の理由から、未使用の I2C インタフェース端子はフローティングのままにしないでください。未使用の SCL 端子と SDA 端子は、抵抗 $R_{SDA}$、$R_{SCL}$（抵抗の推奨値は表 14 を参照してください）を介して VDD に接続してください。

## 17.1　もう一方の電源電圧オプションを使用するためのプログラミング

IPS2550 は、3.3V±0.3V または 5.0V±0.5V の 2 種類の動作電源電圧でプログラムすることができます。

5V 電源用にプログラムされた IPS2550 を 3.3V 電源に接続すると、(5V) 低電圧状態のままで起動しません。ただし、この状態でも、NVM プログラムモードを有効にできるため、チップを 3.3V 電源電圧に再プログラムできます。パワーオンリセット後、IPS2550 は 3.3V デバイスとして再起動し、3.3V 環境で正常に動作します。

3.3V 電源用にプログラムされた IPS2550 が 5V 電源に接続されている場合、起動し、過電圧アラームを生成 (3.3V) し、診断状態になります。ただし、アラームにもかかわらず、プログラムモードを有効にすることができるため、IPS2550 を電源電圧 5V に再プログラムすることができます。パワーオン・リセット後、IPS2550 は 5V デバイスとして再起動し、5V 環境で正常に動作します。

Renesas Confidential
October 30, 2026

### 17.2 ロック機能 (サイバーセキュリティ)

IPS2550 にはロックビットオプションが含まれており、ユーザーが設定できます。ロック機能は、書き込みロック専用または読み取り/書き込みロック用にユーザーが選択できます。いったんライトロックビットまたはライト+リードロックビットがセットされると、それ以上 IPS2550 への書き込みはできません。ロックされた IPS2550 はロック解除できません。

注記: 詳細な『IPS2550 Programming Guide』は、ご要求に応じて当社より入手できます。

### 17.3 プログラムオプション

表 22 プログラムオプションの概要

| 機能 | プログラムオプション |
|---|---|
| Supply voltage range | 3.3V ±0.3V または 5.0V±0.5V、アラームレベル |
| High speed interface | サイン/コサイン差動またはシングルエンド |
| Digital diagnostic and programming interface | アドレスセレクト付き I2C または割り込み付き I2C |
| I2C interface | スレーブアドレス、I2C モード、アドレス選択あり、または割り込みあり |
| Diagnostic signaling on high speed analog interface | 診断状態では、アナログ出力ピンはハイインピーダンスです。(サイン, コサイン) と (反転サイン, 反転コサイン) を別々に有効/無効に設定可能 |
| Security lock function | デバイスの内部レジスタをリードオンリー、R/W ロックに設定可能 |
| Receiver overall gain | 全体のゲイン粗調整 |
| Sine, cosine channel gain | 振幅ミスマッチ補正、微調整 |
| Sine, cosine offset | 入力オフセットの事前調整 |
| Transmitter oscillator | バイアス電流、コイル性能の最適化 |
| Time base counter | 送信部発振周波数の測定、上下周波数警報 |
| Interrupt | 割り込みイベントの有効化/無効化/クリア |
| Automatic gain control | ゲイン上下限 |

## 18. 機能安全と診断

### 18.1 機能安全 ASIL および ISO 準拠

IPS2550 は、内部および外部の安全メカニズムを使用して、シングル IC で ASIL C、デュアル IC で ASIL D までの安全関連システムに実装するためのコンテキスト外安全要素 (SEooC) として ISO26262 に従って開発されています。

IPS2550 を安全関連アプリケーションに統合するには、ユーザーによる安全解析が必要です。

内部安全機構には、以下が含まれますが、これらに限定されません:

- 受信コイルまたは送信コイルの破損または短絡の検出
- 低電圧および過電圧検出
- チップ破損検出
- データインテグリティチェック (ECC およびパリティ)

Renesas Confidential October 31, 2026

- シリコンチップ過熱検知
- 出力バッファ障害の検出

追加の IPS2550 安全機能については、表 26 を参照してください。

外部安全機構は、受信側マイクロコントローラユニット（MCU）で実行する必要があります。以下のものがありますが、これらに限定されません:

- ケーブルハーネスの点検（オープン、GND へのショート、VDD へのショート）
- サイン信号とコサイン信号（オフセット、振幅、位相）の妥当性チェックと故障チェック
- 位置出力同期（デュアル IC を使用するシステムの場合）

## 18.2 アナログ出力による診断モード表示

IPS2550 は、I2C インタフェースおよび割り込み出力ピンによる診断フラグ表示に加え、診断モードにすることでアナログ出力ピンによる診断表示を提供します。この診断モードは、通常の動作範囲外にある出力電圧によって示されます。図 23 を参照してください。

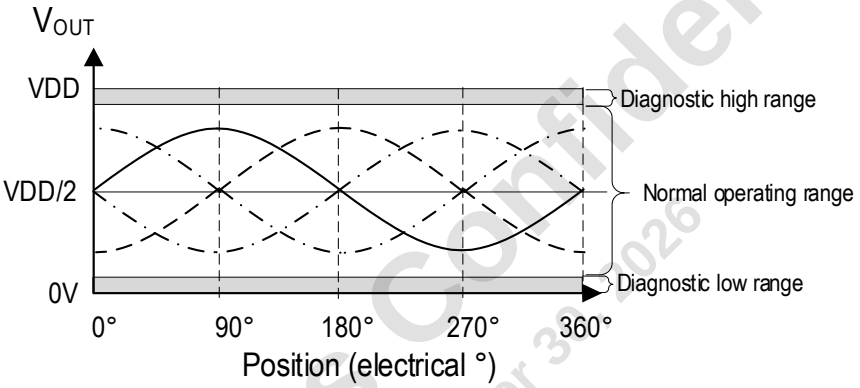



図 23　　動作範囲と診断範囲

Renesas Confidential
October 30, 2026

AGC が有効な場合、通常の動作範囲は:

- 5V モードの場合、VDD/2 ±1.5V = 1.0～4.0V
- 3.3V モードまたは 5V モードの場合、VDD/2 ±900mV = 0.75～2.55V（デフォルト）

AGC が無効の場合、動作出力電圧範囲は制限されず、入力電圧と信号パスの総ゲインを掛けた値で定義されます。ゲインを正しく設定する必要があることに注意してください。正しく設定しないと、出力電圧が診断範囲に移動します。

診断範囲の制限は、ユーザーが定義します。一般的な診断範囲は以下のようになります:

- Diagnostic low ≦ 3～5% VDD
- Diagnostic high ≧ 95～97% VDD

IPS2550 の場合、診断モードでの出力電圧は、エラー状態と外部プルアップまたはプルダウン抵抗の値によって異なります。詳細は、表 24 および表 25 を参照してください。

IPS2550 は、アナログ出力を通して診断表示するための以下のオプションを提供します:

- アナログ出力ピンでの診断表示無効

- SIN_SCL, COS_SDA 端子でのみ診断表示
- SINN、COSN 端子でのみ診断表示
- 4 つのアナログ出力ピンすべてで診断表示

個々にチェックされたエラーごとに、診断表示の有効/無効を切り替えることができます。

診断が有効でエラーが発生した場合、選択したアナログ出力はオフになります。外部プルアップ抵抗またはプルダウン抵抗を接続することで、出力電圧は Diagnostic high 範囲に VDD に向かってプルアップされるか、GND に向かって Diagnostic low 範囲にプルダウンされます。図 24 を参照してください。

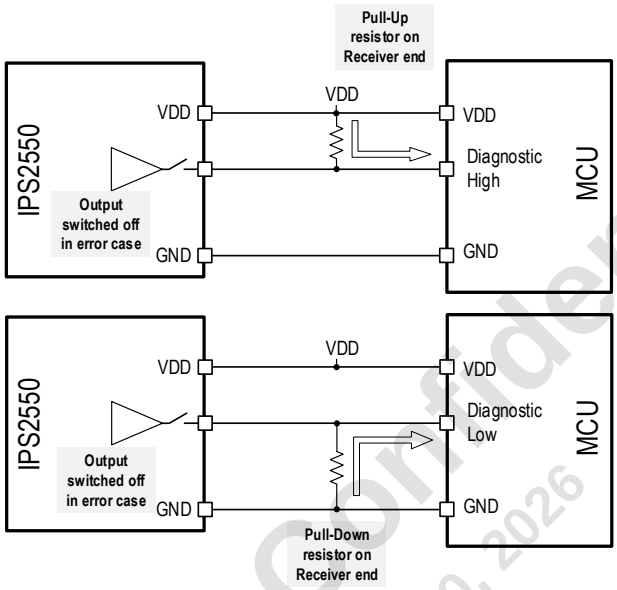



図 24　　診断範囲の選択

アナログ出力を使用した I2C インタフェースでのプログラム中は、SIN_SCL および COS_SDA ピンを外部プルアップ抵抗に接続する必要があることに注意してください。センサモジュール基板上にプルダウン抵抗が含まれている場合は、プログラミング用の外部プルアップ抵抗を適切に選択して、出力の負荷電流を超えない適切なハイレベルを提供する必要があります。したがって、例えば生産ラインの最終工程でのキャリブレーションなど、IPS2550 をモジュールレベルでプログラミングする場合は、診断表示のためにプルアップ抵抗を使用することを推奨します。

Renesas Confidential
October 30, 2026

### 18.2.1 短絡および断線検出

センサがコントロールユニット（MCU や ECU）にケーブルで接続されている場合、断線や短絡による故障が発生する場合があります。

#### 18.2.1.1 配線の短絡

表 23 に示すように、グランド、信号、および電源配線間の短絡を安全に検出できます:

表 23 配線間のショート検出

| ケーブル接続 | 電源 | 出力 | グランド |
|---|---|---|---|
| 電源 | 2 電源間の短絡<br>分離された冗長センサ IC の電源にのみ適用されます。センサを駆動する外部電源ユニットで監視および制御する必要があります。 | 電源と出力間の短絡<br>出力電流が過電流しきい値を超えると、出力はオフになります。診断状態は、レシーバ側にプルアップ抵抗またはプルダウン抵抗のどちらが取り付けられているかによって異なります。 | 電源とグランド間の短絡<br>電源ラインの過電流。センサを駆動する外部電源ユニットで監視、制御する必要があります。 |
| 出力 | 出力と電源間の短絡<br>出力電流が過電流しきい値を超えると、出力はオフになります。診断状態は、レシーバ側にプルアップ抵抗またはプルダウン抵抗のどちらが取り付けられているかによって異なります。 | 2 本の異なる出力間の短絡<br>出力電流が過電流しきい値を超えると、出力はオフになります。診断状態は、レシーバ側にプルアップ抵抗またはプルダウン抵抗のどちらが取り付けられているかによって異なります。 | 出力とグランド間の短絡<br>出力電流が過電流しきい値を超えると、出力はオフになります。診断状態は、レシーバ側にプルアップ抵抗またはプルダウン抵抗のどちらが取り付けられているかによって異なります。 |
| グランド | グランドと電源間の短絡<br>電源ラインの過電流。センサを駆動する外部電源ユニットで監視、制御する必要があります。 | グランドと出力間の短絡<br>出力電流が過電流しきい値を超えると、出力はオフになります。診断状態は、レシーバ側にプルアップ抵抗またはプルダウン抵抗のどちらが取り付けられているかによって異なります。 | 2 グランド間の短絡<br>分離された冗長センサ IC の電源にのみ適用されます。センサを駆動する外部電源ユニットで監視、制御する必要があります。 |

Renesas Confidential October 20, 2022

#### 18.2.1.2 断線

電源、グランド、またはアナログ出力の断線のほとんどはアナログ出力端子の DC 電圧をモニタすることにより容易に検出可能です。図 25 左列の図を参照してください（OUT は SIN_SCL、SINN、COS_SDA または COSN です）。診断エラーまたは信号線断線の場合、影響を受けた端子の DC 電圧は外付けのプルアップ抵抗またはプルダウン抵抗により診断範囲（diagnostic high または diagnostic low）へ引き込まれます。

以下の場合、IPS2550 内部の寄生電流によって、プルアップ抵抗またはプルダウン抵抗で大きな電圧降下が生じ、エラー状態が正しく表示されないことがあります。

- 受信側に外付けプルアップ抵抗が有る場合の VDD の断線（図 25 右上の図参照):
  レシーバ側 VDD から流れる寄生電流⇒外付けプルアップ抵抗⇒IPS2550 の出力端子⇒デバイス内部の GND への寄生電流経路

- 受信側に外付けプルダウン抵抗が有る場合のグランド配線の断線 (図 25 右下の図参照):
  IPS2550 の VDD から流れる寄生電流⇒デバイス内部の出力端子への寄生電流経路⇒外付けプルダウン抵抗⇒GND

これらの特殊な場合には、外付け抵抗の最大抵抗値を必要な診断範囲に応じて選択する必要があります。表 24 および表 25 を参照してください。

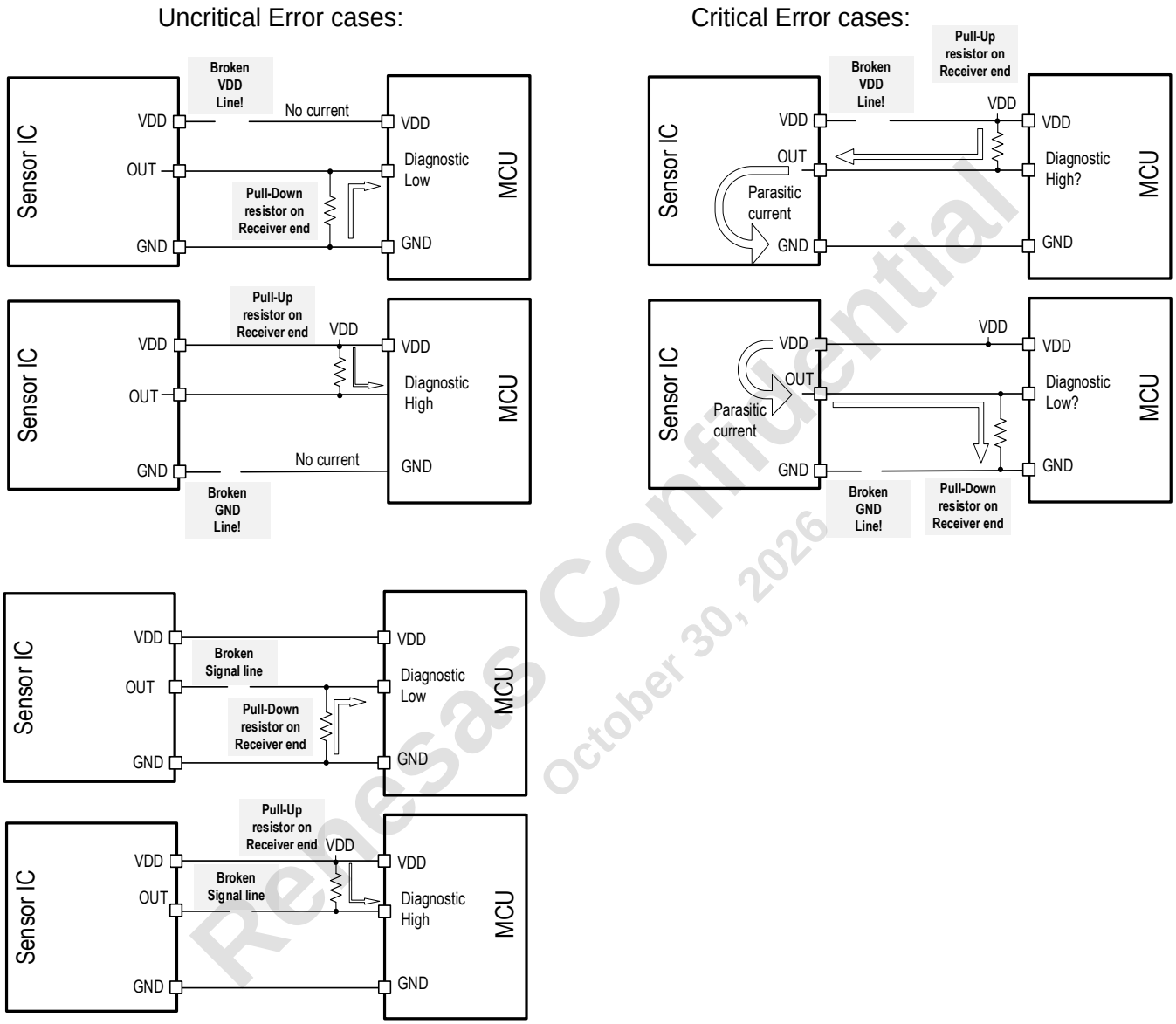



図 25　　VDD または GND ラインの断線によるアナログ出力の寄生電流

Renesas Confidential October 30, 2026

表 24　　プルアップ抵抗付きの診断レベル

| 診断レベル | >95% VDD | >96% VDD | >97%VDD | 単位 |
|---|---|---|---|---|
| Error indication during normal operation | ≤10 | | | kΩ |
| Broken GND line | Not critical (図 25 の Uncritical Error cases 参照) | | | kΩ |
| Broken VDD line, 5V mode | ≤4.7 | ≤3.82 | ≤2.84 | kΩ |
| Broken VDD line, 3.3V mode | ≤3.96 | ≤3.2 | ≤2.4 | kΩ |

表 25　プルダウン抵抗付き診断レベル

| 診断レベル | <3% VDD | <4% VDD | <5%VDD | 単位 |
|---|---|---|---|---|
| Error indication during normal operation | ≤10 | | | kΩ |
| Broken VDD line | Not critical (図 25 の Uncritical Error cases 参照) | | | kΩ |
| Broken GND line, 5V mode | ≤1.48 | ≤2.0 | ≤2.56 | kΩ |
| Broken GND line, 3.3V mode | ≤1.65 | ≤2.23 | ≤2.85 | kΩ |

VDD または GND 端子がオープンの場合、ADR_IRQN または SDA、SCL が VDD または GND に直接接続されている場合に寄生電源電流が流れる可能性があります（図 26 の Critical error cases 参照）。このような寄生電源電流を避けるには、図 26 の Avoiding parasitic supply currents に示すように、これらの端子を VDD または GND に抵抗を介して接続します。$R_{ADR}$、$R_{SDA}$、$R_{SCL}$ の値は表 14 を参照してください。

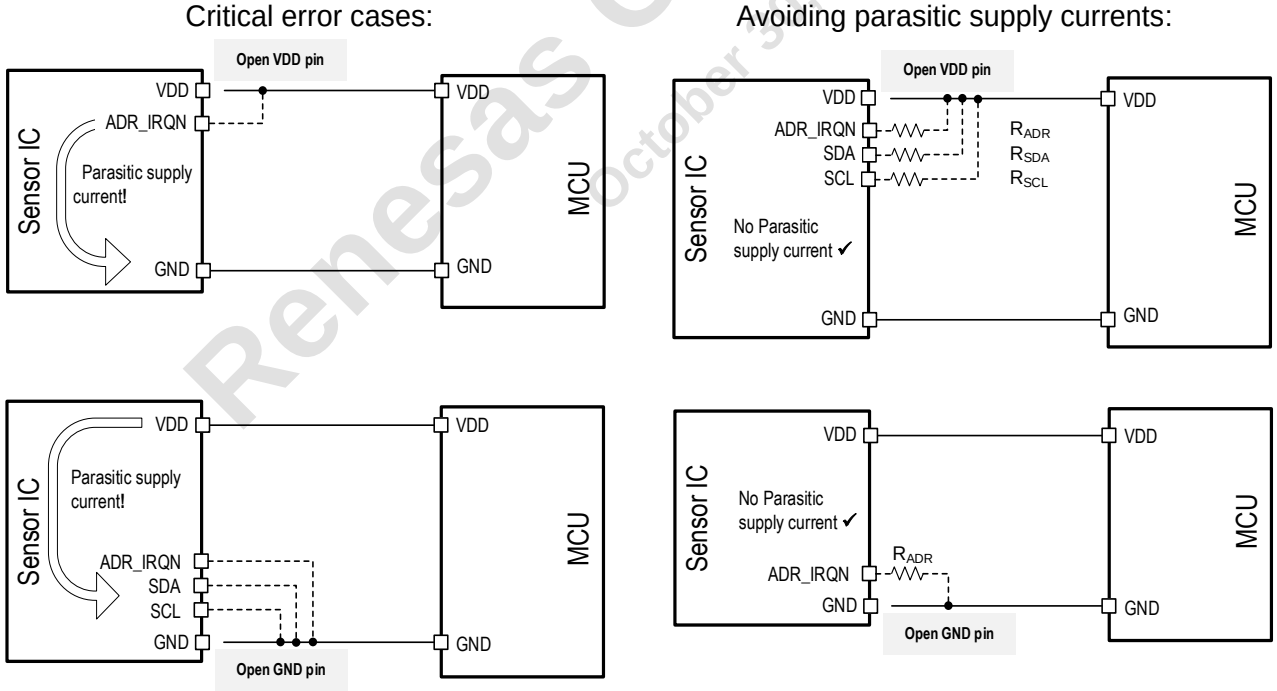



図 26　　ADR_IRQN 端子、SDA 端子、SCL 端子の寄生電流

Renesas Confidential October 30, 2026

## 18.3 診断機能

表 26 に記載されている診断はチップレベルで実行され、障害を検出した場合は対応するレジスタにフラグが立てられます。これらの各診断機能は、ADR_IRQN 出力で割り込みイベントを生成するために有効または無効にすることができます。また、診断状態にすることで、高速インタフェース端子（SIN、SINN、COS、COSN; 表 2 参照）を介して割り込みイベントの信号を送ることもできます。

「Static」とマークされたアラームタイプは、障害が続く間は設定されたままで、パワーオンリセット（POR）によってのみクリアされます。「Temporary」とマークされたアラームタイプは、障害の原因が取り除かれるとクリアされます。

「Continuous」とマークされた診断フラグは継続的にテストされ、「Start-up」とマークされた診断フラグは起動時のみチェックされます。

表 26　診断機能

| 診断フラグ | タイプ | 実行 | 概要 |
|---|---|---|---|
| VDD over-voltage | Temporary | Continuous | 外部供給電圧が最大制限値を超えると、このフラグがセットされます。フラグのトグルを回避するために、比較器にヒステリシスが付けられています。3.3V モードのアラームレベルについては表 7 を、5V モードのアラームレベルについては表 8 を参照してください |
| VDD under-voltage | Temporary | Continuous | 外部電源電圧が最小制限値を下回ると、このフラグがセットされます。フラグのトグルを避けるため、比較器にヒステリシスが付けられています。3.3V モードのアラームレベルについては表 7 を、5V モードのアラームレベルについては表 8 を参照してください |
| VDDA under-voltage | Temporary | Continuous | VDDA の低電圧検出。3.3V モードのアラームレベルについては表 7 を、5V モードのアラームレベルについては表 8 を参照してください |
| Data access failure | Temporary | Continuous | チップ内部の故障 |
| Protocol integrity failure | Temporary | Continuous | I2C データ転送の故障 |
| Shadow register DED | Static | Continuous | シャドウレジスタバンクダブルビットエラー検出（DED） |
| Shadow register SED | Temporary | Continuous | シャドウレジスタバンクシングルビットエラー検出（SED）。各単ビットエラー検出により、レジスタ出力の単ビット誤差補正（SEC）がトリガされます |
| Nonvolatile memory DED | Static | Start-up | NVM ダブルビットエラー検出。個々のアドレス指定されたワードがチェックされ、ビットエラーのフラグが立てられます |
| Nonvolatile memory SED | Temporary | Start-up | NVM シングルビットエラー検出。個々のアドレス指定されたワードがチェックされ、ビットエラーのフラグが立てられます<br>各単ビットエラー検出は、NVM 出力の単ビット誤差補正（SEC）を自動的にトリガします |
| LC oscillator frequency failure | Temporary | Continuous | このフラグは、LC 発振回路の周波数が範囲外のときにセットされます。周波数範囲はプログラム可能です |
| LC oscillator general failure | Temporary | Continuous | LC 発振回路の動作が停止すると、このフラグがセットされます |
| Internal oscillator failure | Static | Continuous | チップ内蔵発振回路の故障 |

Renesas Confidential
October 30, 2020

| 診断フラグ | タイプ | 実行 | 概要 |
|---|---|---|---|
| Internal bus failure | Temporary | Continuous | チップ内部バスの故障 |
| IRQN watchdog failure | Static | Continuous | ウォッチドッグカウンタを起動することにより、周期割り込み要求を発生させることができます。タイマーが期限切れになると、割り込みフラグがセットされ、タイマーが再起動されます。ウォッチドッグ値をゼロにリセットすると、タイマーを停止できます |
| Mechanical damage | Static | Continuous | チップに機械的損傷 (シリコンチップのクラック )がないかチェックします |
| Output buffer failure | Temporary | Continuous | アナログ出力 (SIN+SINN) または (COS+COSN) の平均値が (VDD/2) と規定値 (<br>表 12 の $DC_{OFF_AL}$ 参照) 以上異なる場合にセットされます。この故障は、アナログ出力診断モードに関係なく、常にアナログ出力をオフにします |
| | Static | | 一時的なバッファ故障チェックが 8 回以上継続する場合、チップの過熱を避けるため、4 つすべてのアナログ出力は継続的にオフになり static output buffer failure flag がセットされます<br>この状態は、パワーオンリセットまたは I2C インターフェイスから static output buffer failure flag をクリアすることによってクリアできます。 |
| Output buffer overload | Temporary | Continuous | このフラグは、出力アンプの負荷電流が指定された制限値($I_{OVL}$).を超えた場合にセットされます。過負荷状態が指定されたデバウンス時間 $t_{oc_assert}$ を超えた場合、全てのアナログ出力をオフにします (Hi-Z 状態)<br>一時的な出力過負荷チェックはデバウンス時間 $t_{oc_deassert}$ 後に再度実行されます。出力はオンになり過電流状態は再びチェックされます<br><br>表 12 と表 13 を参照してください |
| | Static | | 一時的な過負荷チェックが 8 回を超えて継続する場合、チップの過熱を避けるため、4 つ全てのアナログ出力は継続的にオフになり static output buffer overload flag がセットされます<br>この状態は、パワーオンリセットまたは I2C インターフェイスから static output buffer overload flag をクリアすることによってクリアできます。 |
| Receiver coils failure | Temporary | Continuous | 本フラグは、以下のいずれかの受信コイルの故障が発生した場合にセットされます:<br>コイル間短絡、GND 短絡、VDD 短絡、コイル断線 |
| Transmitter coil failure | Temporary | Continuous | このフラグは、送信コイルに故障がある場合にセットされます |
| Junction temperature warning/failure | Temporary | Continuous | チップ内部温度センサの過熱警告または故障 |
| Internal supply failure | Static | Continuous | チップ内部の電源電圧異常 |
| AGC error | Temporary | Continuous | このフラグは、AGC のゲインがユーザーがプログラムした制限値に達したときにセットされます |
| Internal digital error | Static | Continuous | 内部デジタル回路の故障 |
| BIST diagnostics error | Static | Start-up | 自己テストメカニズムの故障 |

Renesas Confidential October 10, 2022

### 18.4 内部レジスタとメモリエラー

すべてのレジスタ、揮発性メモリ、および不揮発性メモリに対して、エラー訂正コード (ECC) が実装され、2 ビットエラー検出と 1 ビットエラー訂正が可能です。ECC エラーが発生すると、アラームフラグがセットされます。

### 18.5 LC 発振回路の周波数外れ

送信部 LC 発振回路の代表的な周波数範囲は、2MHz～5MHz で、中波無線帯 (0.52MHz～1.73MHz) と短波無線帯 (5.8MHz～6.3MHz) の間です。外付け部品 (基板のインダクタおよびディスクリートコンデンサ) の使用により、送信部の発振周波数は、主にディスクリート・コンデンサの温度係数に応じて、温度によって変化します (1 ページの応用回路の $C_T$ と図 2 と図 3 の $C_{Tx1}$ と $C_{Tx2}$ を参照)。

推奨: 温度係数の低いコンデンサを使用してください。

発振周波数が特定のアプリケーションの範囲内に収まるようにするために、送信発振回路の発振周波数が内部で測定され、比例値としてレジスタに格納されます。ユーザは、発振周波数が設定範囲外にあるときにアラームフラグを生成するための上限と下限のレジスタ値を設定できます。

## 19. 冗長化接続

拡張信頼性を必要とするアプリケーションでは、図 27 に示すように、2 つの個別の IPS2550 を使用した冗長化設定で使用できます。物理的には、同じターゲットを共有し、同じコイル領域を共有しますが、異なる PCB 層に配置された送信コイルと受信コイルで互いに電気的に絶縁されています。

コイルの設計によって、2 つの送信コイルを互いに磁気的に結合することができます。フェイルセーフ動作のためには、2 つの送信コイル間の理想的な結合をそれぞれ評価する必要があります。

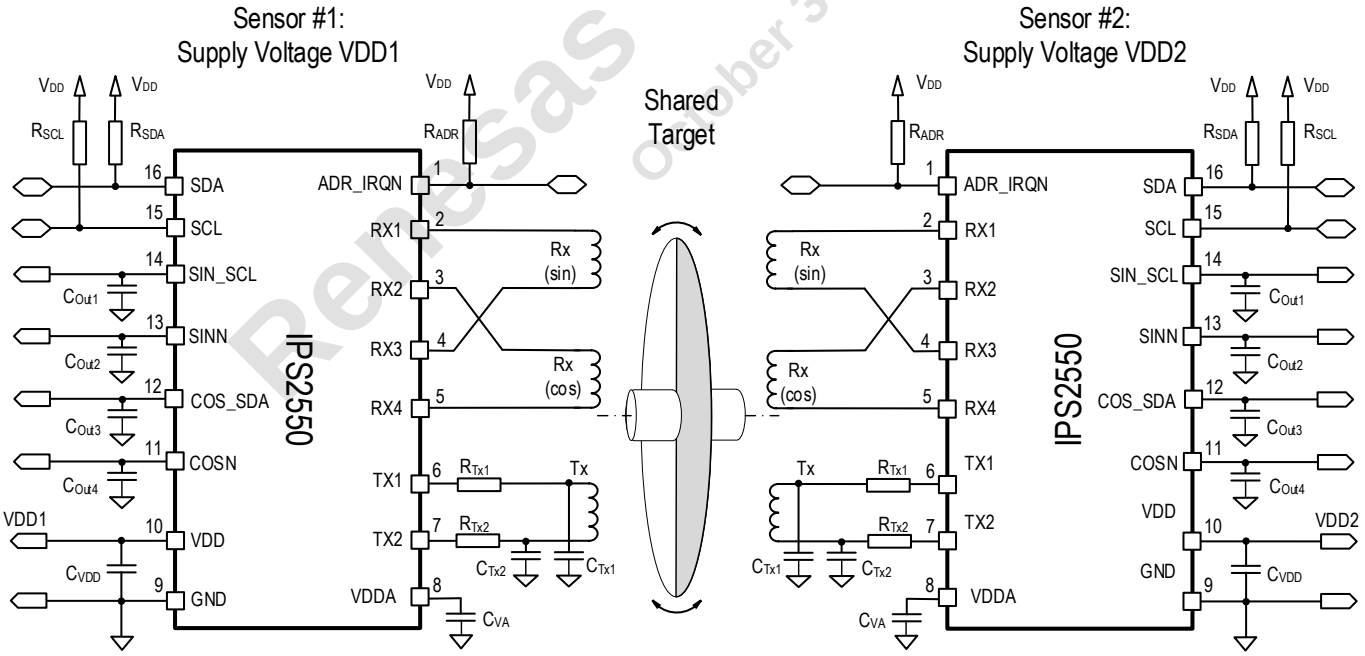



図 27　　アプリケーション図: デュアルセンサ、デュアル電源

Renesas Confidential
October 30, 2025

## 20. 応用例

一般的なコイルとターゲットの配置を図 28 ～図 31 に示します。例として、1 ×360° 、2 ×180° 、3 ×120° および 4 ×90° のロータリ設計が示されています。他の多くの組み合わせ (本質的には任意の n x 360/n) が可能で、n は整数です。

例えば、ブラシレス DC ロータ位置フィードバックのためのセンサ設計では、n はロータ上の極対の数となります。このような場合、IPS2550 の出力信号は、各極対あたり 1 電気周期になります。

多重周期設計は、1 周期コイル設計と比較して、機械的精度が向上することに注目してください。4 周期コイル設計 (4×90° ) は、90° あたり±0.2% = ±0.18° の機械的精度を得られます。

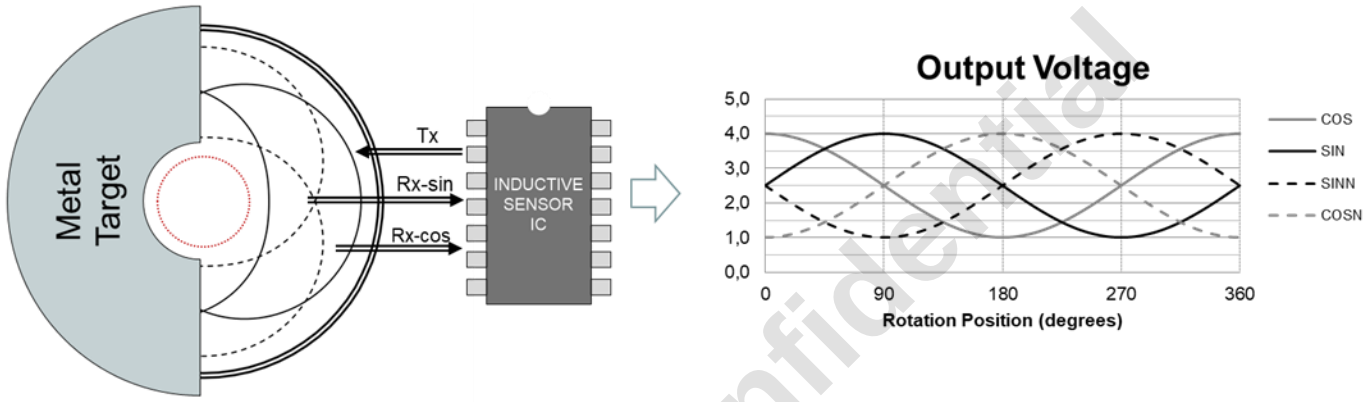



図 28　　360° 回転センサのコイル設計と信号出力

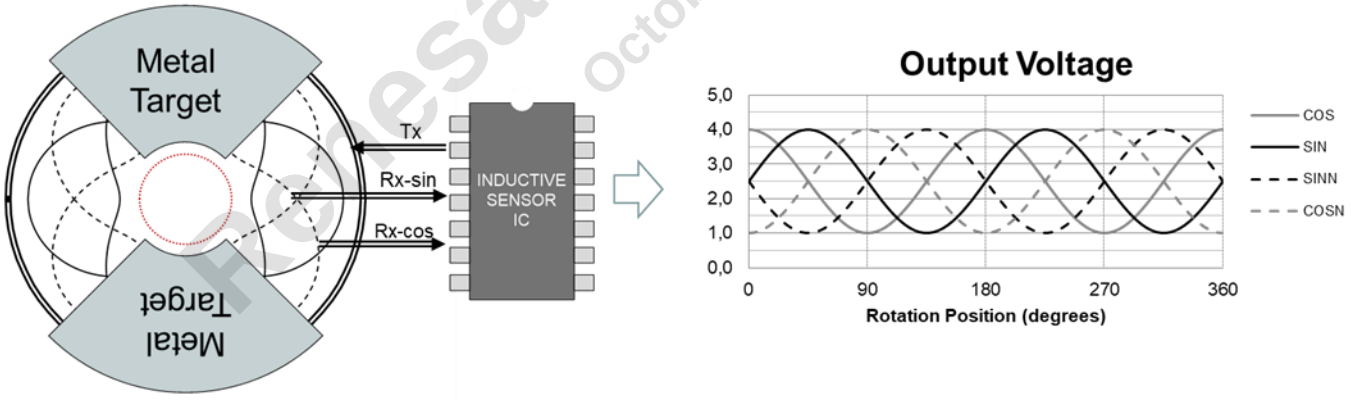



図 29　　2 ×180° ロータリセンサ用のコイル設計と信号出力

Renesas Confidential October 30, 2026

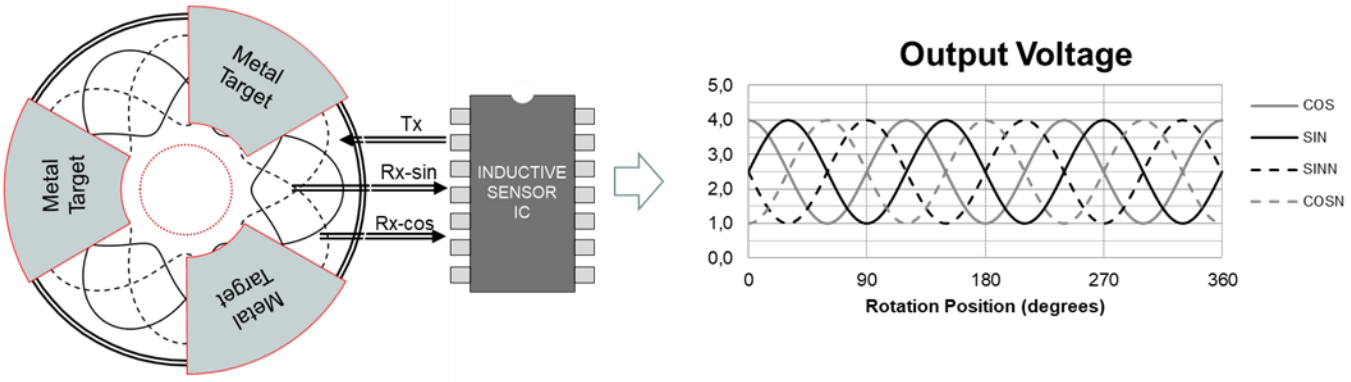



図 30　　3 ×120° ロータリセンサ用のコイル設計と信号出力

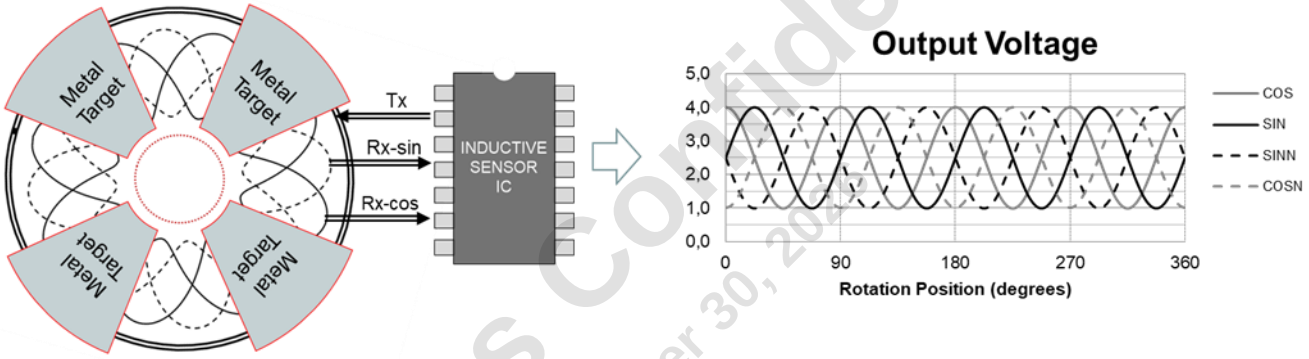



図 31　　4 ×90° ロータリセンサ用のコイル設計と信号出力

Renesas Confidential
October 30, 2022

## 21. 電磁両立性 (EMC)

EMC 準拠の回路設計に関するガイドラインは、ご要望に応じて「IPS2550 EMC recommendations」として入手できます。

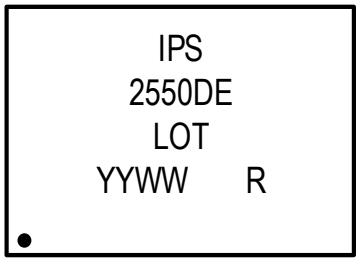
## 22. 16-TSSOP パッケージ外形図

パッケージ外形図は本書の最後に添付されており、下のリンクからアクセスできます。パッケージ情報は、入手可能な最新のデータです。

https://www.renesas.com/sg/en/document/psc/16-tssop-package-outline-drawing-50-x-44-mm-body-epad-27-x-33-mm-065mm-pitch-eng16p3

## 23. マーキング図

### 23.1 生産部品のマーキング




ライン 1: 一部のコード(IPS)の最初の文字;エンジニアリングサンプリング用に「ES」を追加

ライン 2: 部品コード(2550)の次の 4 文字の後に

D = 設計改訂

E = 動作温度範囲、拡張自動車

ライン 3: "LOT" = ロット番号

ライン 4: "YYWW" = 製造日:

YY = 製造年の下 2 桁

WW =製造週

R = RoHS 準拠の表示

## 24. 発注情報

| 発注部品番号 | 製品説明とパッケージ | MSL 定格 | キャリアタイプ | 温度 |
|---|---|---|---|---|
| IPS2550DE1R | エクスポーズドパッド 付 16-TSSOP、4.4 × 5.0 mm | 1 | 13″ リール、4000 パーツ / リール | -40～+160°C |
| IPS2550STKIT | IPS2550 スタータキット (USB 通信基板、IPS2550 センサモジュールおよび接続ケーブルを含む) | | | |

Renesas Confidential October 30, 2025

## 25. 改訂履歴

| 改訂日 | 変更内容 |
|---|---|
| 2022 年 7 月 22 日 | (英語版 June 20, 2022 の反映)<br>p.1 概要: 機能安全に関する記述変更<br>p.1 特徴: 3.3V±10%または 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.5 表 1: ピン番号 1 プルアップまたはプルダウン抵抗についての表記修正<br>p.5 表 1: ピン番号 6.7 TX1～GND 間、TX2～GND 間と表記修正<br>p.6 表 1: ピン番号 8 概要説明の説明追記<br>p.6 表 1: ピン番号 10 概要説明の表記修正<br>p.6 表 1: ピン番号 15 プルアップ抵抗の接続時、参照する表の変更、使用しない場合の説明削除<br>p.6 表 1: ピン番号 16 プルアップ抵抗の接続時、参照する表の変更、使用しない場合の説明削除<br>p.9 表 4: $V_{VDDAmax}$ 電圧のモードによる参照する表の変更、説明内容の追加<br>p.10 セクション 5: VDD の条件を 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.10 表 6: $R_{THJC_TSSOP}$ の条件別記載削除、標準値変更<br>p.11 表 6: 注記[a]回転式多期間設定を回転式多周期設定に表記変更<br>p.11 セクション 6: VDD＝5.5V での周囲温度の関係を表 4 のどの部分に示したかを追加表記<br>p.11 セクション 6: グランドプレーンが不要な場合の範囲を細かく明記<br>p.16 表 11: $VM_{AGC1W}$, $VM_{AGC2W}$ 仕様追加<br>p.17 表 12: $t_{oc_assert}$ 最小値・最大値の変更、条件の表記修正、注記の追記<br>p.17 表 12: $t_{cm_assert}$ 仕様追加<br>p.17 表 12: $t_{oc_deassert}$ 仕様追加<br>p.17 表 12: $t_{cm_deassert}$ 仕様追加<br>p.17 表 12: $t_{oc_deb}$ 削除<br>p.17 表 12: 表下部、注記[a],[b]の追加<br>p.18 表 13: $I_{OL}$ を $I_{OVL}$ に変更<br>p.18 表 14: $V_{OL}$ を $V_{OL_SDA}$ に変更<br>p.18 表 14: $I_{OL}$ を $I_{OL_SDA}$ に変更<br>p.18 表 14: $R_P$ を $R_{SDA}$,$R_{SCL}$,に変更、標準値追記、$R_{ADR}$ 追加<br>p.19<br>表 15: $V_{OL}$ を $V_{OL_COS_SDA}$ に変更<br>p.19<br>表 15: $I_{OL}$ を $I_{OL_COS_SDA}$ に変更<br>p.20 表 17: 表 17 に記号を追記<br>p.21 セクション 8.1: 図 7 の上に、式と説明の表記を追加、式 8, 式 12 の修正、重複していた図の削除<br>p.23: 図 8: 図の変更<br>p.24 表 18: $t_{PD}$ を $t_{PD_trim}$ と $t_{PD_tc}$ に細分<br>p.24 図 9,図 10 反転信号名修正<br>p.26 セクション 13: 図 11 の上に説明を追加<br>p27 セクション 14.1: VDD の条件を 3.3V±10%または 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.28 セクション 14.3.5: AGC の動作記述変更<br>p.28 図 12: AGC 振幅レンジ追加<br>p.29: セクション 14.6: 端子名の誤記修正 (SIN_SDA → SIN_SCL、COS_SCL → COS_SDA) |

Renesas Confidential October 30, 2026

| | |
|---|---|
| | p.31 図 15,図 14: SCL の接続変更<br>p.32 セクション 15.2: 電源電圧の表記を 3.3V±10%または 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.32 セクション 15.3.1: 説明と表の追加<br>p.32 図 17:抵抗と抵抗値の表記変更<br>p.33 セクション 15.3.2: 参照する図の変更と表の追加<br>p.17 図 18:抵抗値の表記変更<br>p.34 図 19: 抵抗値の表記変更<br>p.34 図 20: 抵抗値の表記変更<br>p.36 図 22: 抵抗値の表記変更<br>p.36 セクション 17: 図 22 の下の注記の修正<br>p.37 セクション 17.1: 動作電源電圧の記載を 3.3V±10%または 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.37 表 22: Supply voltage range のプログラムオプションの記載を 3.3V±10%または 5.0V±10%から、3.3V±0.3V または 5.0V±0.5V に変更<br>p.40 セクション 18.2.1.2: 説明文の修正、追加<br>p.41 図 25: タイトル修正<br>p.42 表 24: 参照する図の明記<br>p.42 表 25: 参照する図の明記<br>p.42 セクション 18.2.1.2:説明文修正<br>p.42 図 26: 対象端子の追加、抵抗値の表記変更<br>p.44 表 26: Output buffer failure の Temporary タイプの説明修正、Static タイプの追加<br>p.45 セクション 18.5: $C_T$ の参照先追加<br>p.48 セクション 24: 章名、表内の「注文」を「発注」に変更 |
| 2021 年 12 月 22 日 | (英語版 September 14, 2021 の反映)<br>P.37: プログラムモードの詳細参照先追記<br>(英語版 December 17, 2021 の反映)<br>P.20-21 表 14: $V_{IH}$, $V_{IL}$ の誤記修正 (記号、パラメータと仕様値の不整合)<br>P.22 表 15: $V_{IH}$, $V_{IL}$ の誤記修正 (記号、パラメータと仕様値の不整合)<br>P.49-50 図 26-29: 凡例誤記修正 (COSN→COS) |
| 2021 年 10 月 15 日 | 日本語版初版 (英語版 September 8, 2021 を和訳) |

Renesas Confidential October 30, 2026

# ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

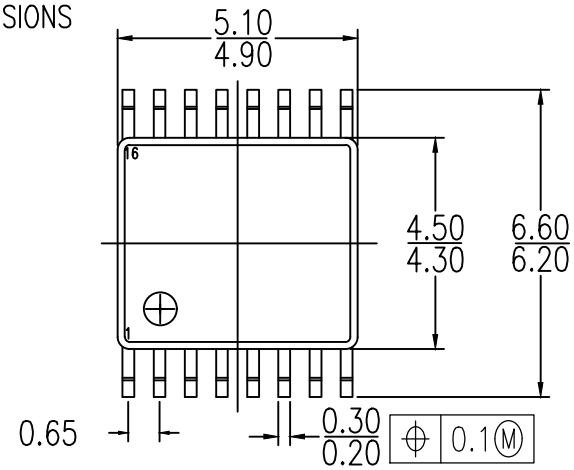
## 商標について

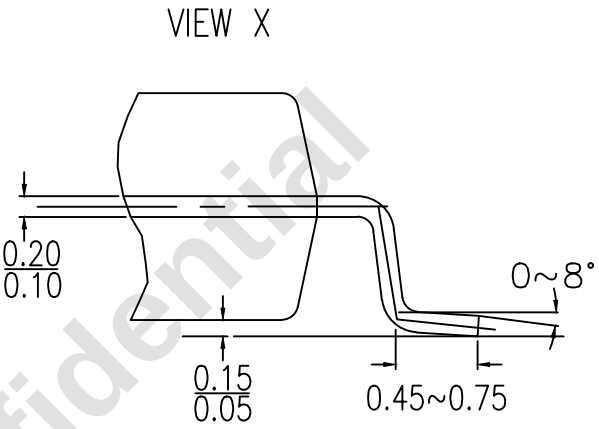
ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

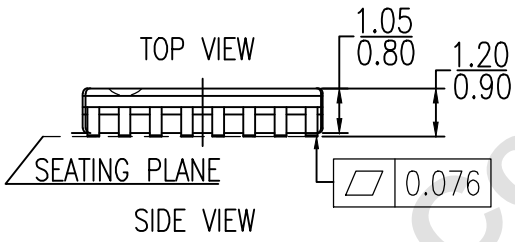
© 2021 Renesas Electronics Corporation. All rights reserved.

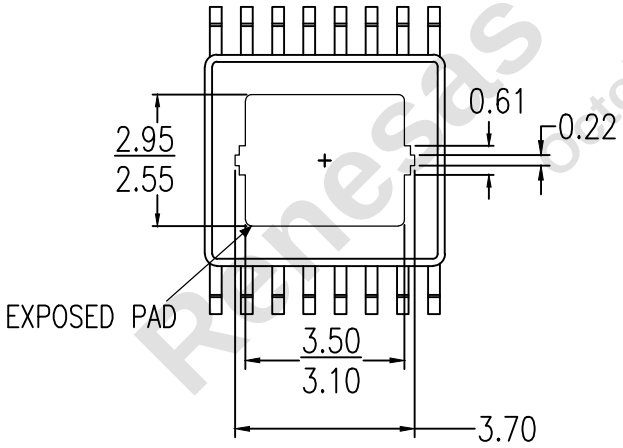
BASED ON JEDEC JEP95: MO-153

1. DIMENSIONS



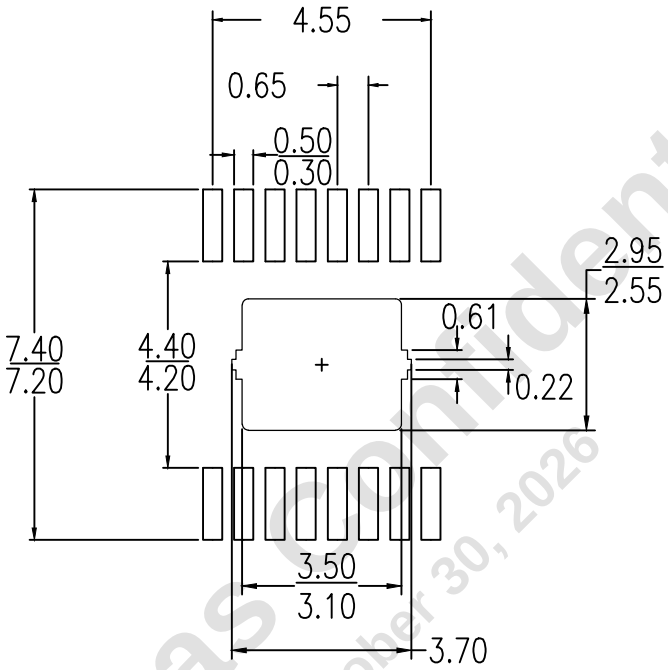

2. WEIGHT ≤ 0.05 g
3. BODY MATERIAL LOW STRESS EPOXY
4. LEAD MATERIAL Cu-ALLOY
5. LEAD FINISH SOLDER PLATING
6. LEAD FORM Z-BENDS

* WITHOUT MOLD FLASH
DIMENSIONS IN MILLIMETERS


Renesas Confidential
October 30, 2026



© Renesas Electronics Corporation




LAND PATTERN DIMENSIONS

NOTE:

1. ALL DIMENSIONS ARE IN MILLIMETERS


Renesas Confidential

October 30, 2026


| Package Revision History | | |
|---|---|---|
| Date Created | Rev No. | Description |
| Aug 27, 2021 | Rev 03 | Turn Off AutoCad SHX Software Setting |
| Aug 13, 2021 | Rev 02 | Update Exposed pad tolerance. |
| April 2, 2020 | Rev 01 | Update Epad Shape. |
| Dec 4, 2019 | Rev 00 | Initial Release |


© Renesas Electronics Corporation

# Notice

1. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation or any other use of the circuits, software, and information in the design of your product or system. Renesas Electronics disclaims any and all liability for any losses and damages incurred by you or third parties arising from the use of these circuits, software, or information.
2. Renesas Electronics hereby expressly disclaims any warranties against and liability for infringement or any other claims involving patents, copyrights, or other intellectual property rights of third parties, by or arising from the use of Renesas Electronics products or technical information described in this document, including but not limited to, the product data, drawings, charts, programs, algorithms, and application examples.
3. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
4. You shall be responsible for determining what licenses are required from any third parties, and obtaining such licenses for the lawful import, export, manufacture, sales, utilization, distribution or other disposal of any products incorporating Renesas Electronics products, if required.
5. You shall not alter, modify, copy, or reverse engineer any Renesas Electronics product, whether in whole or in part. Renesas Electronics disclaims any and all liability for any losses or damages incurred by you or third parties arising from such alteration, modification, copying or reverse engineering.
6. Renesas Electronics products are classified according to the following two quality grades: “Standard” and “High Quality”. The intended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below.
   "Standard": Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; industrial robots; etc.
   "High Quality": Transportation equipment (automobiles, trains, ships, etc.); traffic control (traffic lights); large-scale communication equipment; key financial terminal systems; safety control equipment; etc.

   Unless expressly designated as a high reliability product or a product for harsh environments in a Renesas Electronics data sheet or other Renesas Electronics document, Renesas Electronics products are not intended or authorized for use in products or systems that may pose a direct threat to human life or bodily injury (artificial life support devices or systems; surgical implantations; etc.), or may cause serious property damage (space system; undersea repeaters; nuclear power control systems; aircraft control systems; key plant systems; military equipment; etc.). Renesas Electronics disclaims any and all liability for any damages or losses incurred by you or any third parties arising from the use of any Renesas Electronics product that is inconsistent with any Renesas Electronics data sheet, user’s manual or other Renesas Electronics document.
7. No semiconductor product is absolutely secure. Notwithstanding any security measures or features that may be implemented in Renesas Electronics hardware or software products, Renesas Electronics shall have absolutely no liability arising out of any vulnerability or security breach, including but not limited to any unauthorized access to or use of a Renesas Electronics product or a system that uses a Renesas Electronics product. RENESAS ELECTRONICS DOES NOT WARRANT OR GUARANTEE THAT RENESAS ELECTRONICS PRODUCTS, OR ANY SYSTEMS CREATED USING RENESAS ELECTRONICS PRODUCTS WILL BE INVULNERABLE OR FREE FROM CORRUPTION, ATTACK, VIRUSES, INTERFERENCE, HACKING, DATA LOSS OR THEFT, OR OTHER SECURITY INTRUSION (“Vulnerability Issues”). RENESAS ELECTRONICS DISCLAIMS ANY AND ALL RESPONSIBILITY OR LIABILITY ARISING FROM OR RELATED TO ANY VULNERABILITY ISSUES. FURTHERMORE, TO THE EXTENT PERMITTED BY APPLICABLE LAW, RENESAS ELECTRONICS DISCLAIMS ANY AND ALL WARRANTIES, EXPRESS OR IMPLIED, WITH RESPECT TO THIS DOCUMENT AND ANY RELATED OR ACCOMPANYING SOFTWARE OR HARDWARE, INCLUDING BUT NOT LIMITED TO THE IMPLIED WARRANTIES OF MERCHANTABILITY, OR FITNESS FOR A PARTICULAR PURPOSE.
8. When using Renesas Electronics products, refer to the latest product information (data sheets, user’s manuals, application notes, “General Notes for Handling and Using Semiconductor Devices” in the reliability handbook, etc.), and ensure that usage conditions are within the ranges specified by Renesas Electronics with respect to maximum ratings, operating power supply voltage range, heat dissipation characteristics, installation, etc. Renesas Electronics disclaims any and all liability for any malfunctions, failure or accident arising out of the use of Renesas Electronics products outside of such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of Renesas Electronics products, semiconductor products have specific characteristics, such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Unless designated as a high reliability product or a product for harsh environments in a Renesas Electronics data sheet or other Renesas Electronics document, Renesas Electronics products are not subject to radiation resistance design. You are responsible for implementing safety measures to guard against the possibility of bodily injury, injury or damage caused by fire, and/or danger to the public in the event of a failure or malfunction of Renesas Electronics products, such as safety design for hardware and software, including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult and impractical, you are responsible for evaluating the safety of the final products or systems manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. You are responsible for carefully and sufficiently investigating applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive, and using Renesas Electronics products in compliance with all these applicable laws and regulations. Renesas Electronics disclaims any and all liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. Renesas Electronics products and technologies shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations. You shall comply with any applicable export control laws and regulations promulgated and administered by the governments of any countries asserting jurisdiction over the parties or transactions.
12. It is the responsibility of the buyer or distributor of Renesas Electronics products, or any other party who distributes, disposes of, or otherwise sells or transfers the product to a third party, to notify such third party in advance of the contents and conditions set forth in this document.
13. This document shall not be reprinted, reproduced or duplicated in any form, in whole or in part, without prior written consent of Renesas Electronics.
14. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products.

(Note1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its directly or indirectly controlled subsidiaries.
(Note2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

(Disclaimer Rev.5.0-1 October 2020)

Renesas Confidential

## Corporate Headquarters

TOYOSU FORESIA, 3-2-24 Toyosu,
Koto-ku, Tokyo 135-0061, Japan
www.renesas.com

## Contact Information

For further information on a product, technology, the most up-to-date version of a document, or your nearest sales office, please visit:
www.renesas.com/contact/

## Trademarks

Renesas and the Renesas logo are trademarks of Renesas Electronics Corporation. All trademarks and registered trademarks are the property of their respective owners.

© 2024 Renesas Electronics Corporation. All rights reserved.