

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

HD49346BP/HBP

CCD アナログフロントエンド CDS/PGA&12bit ADCTG 内蔵

RJJ03F0090-0100

Rev.1.00

2004.10.20

概要

HD49346BP/HBP はデジタルカメラ信号処理システムに適切な CCD アナログフロントエンド LSI です。CDS, PGA のアナログ処理回路および 12bit-A/D コンバータの他, CCD 駆動に必要な全てのパルス生成する TG を 1 チップに収めています。

機能

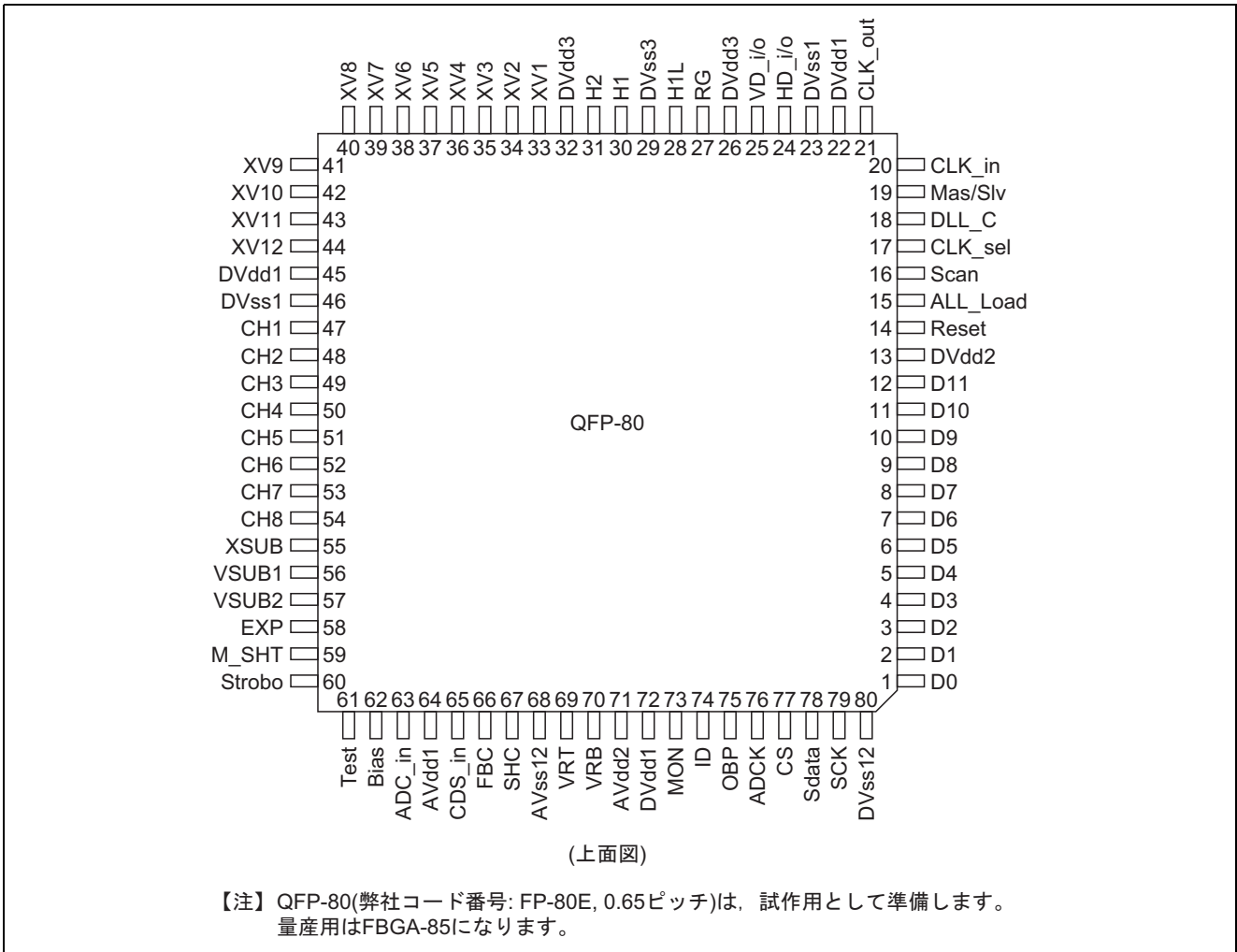
- 相関二重サンプリング (CDS)
- プログラマブルゲインアンプ (PGA)
- 12bit-A/D コンバータ
- シリアルインタフェース制御
- TG(Timing Generator)内蔵
- 3.0V 単一動作
- 消費電力/動作周波数切換えモード対応
300mW (typ)/最高周波数: 36MHz (HD49346HBP)
200mW (typ)/最高周波数: 28MHz (HD49346BP)
- QFP-80/FBGA-85 パッケージ

特長

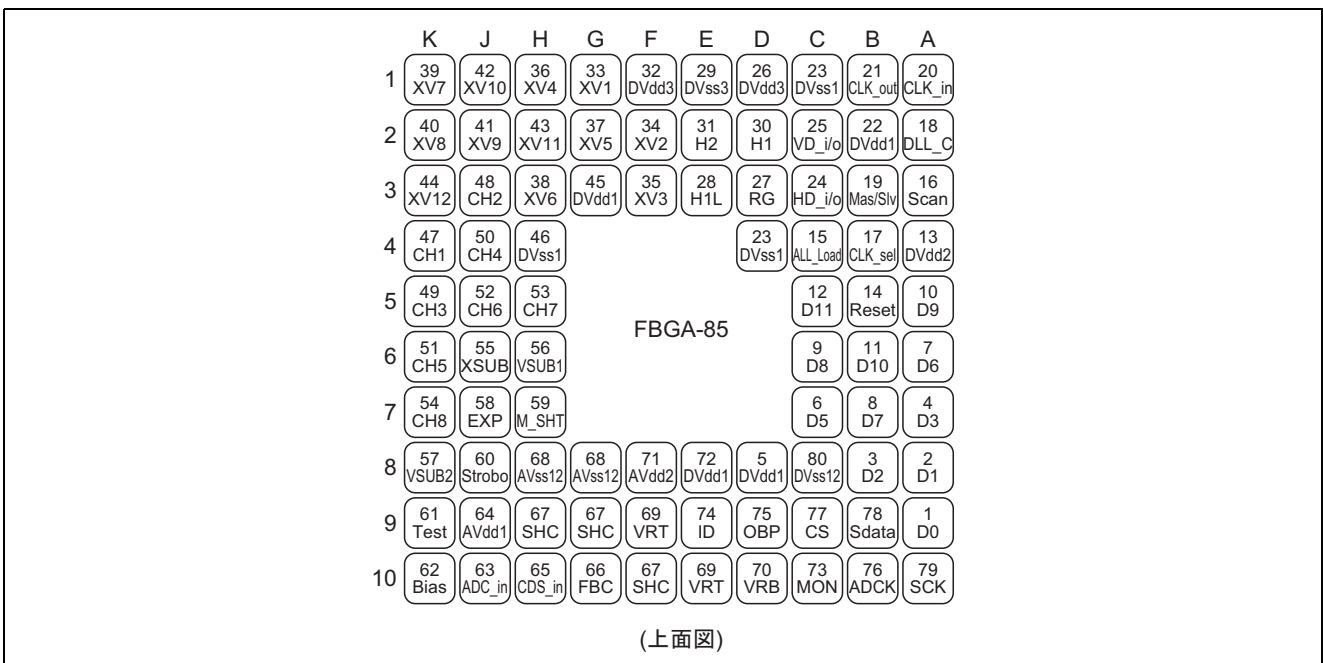
- 相関二重サンプリングにより, CCD リセット雑音の抑制が可能
- PGA は-6 ~ +34dB まで 10bit 階調(dB リニア)により, 高感度化が図れる
- A/D コンバータは 12bit 分解能で高精度
- シリアルインタフェースにより, PGA ゲイン, フィルタ定数, パルスタイミング, etc の設定が可能
- CCD 駆動に必要な全てのパルス生成が可能
- DLL により, サンプリングパルスの遅延バラツキを抑制
- A/D 出力コードとして差分符号化グレーコードを選択可能
疑似輪郭(波紋)の抑圧に効果的。弊社にて特許申請中

ピン配置

QFP-80



FBGA-85



端子説明

端子 No.	PAD No.	端子名	説明	I/O	アナログ(A)/ デジタル(D)	備考
A9~C5	1~12	D0~D11	ADC デジタル出力 (D0:LSB, D11:MSB)	O	D	2mA/10pF
A4	13	DVdd2	ADC 出力部デジタル電源 (3V)	—	D	
B5	14	Reset	ハードウェアリセット	I	D	
C4	15	ALL_Load	ALL_Load	I	D	
A3	16	Scan	テスト用 (通常 Gnd)	I	D	
B4	17	CLK_sel	CLK 選択 (L: CLK_in=センサ clk, H: CLK_in/2=センサ clk)	I	D	
A2	18	DLL_C	DLL 外付けコンデンサ (対 Gnd に 0.01 μ F)	O	D	
B3	19	Mas/Slv	Low でスレーブ, Hi でマスタ	I	D	
A1	20	CLK_in	CLK 入力	I	D	
B1	21	CLK_out	CLK 出力	O	D	
B2	22	DVdd1	TG 用デジタル電源 (3V)	—	D	
C1, D4	23	DVss1	TG 用デジタル Gnd (0V)	—	D	
C3	24	HD_i/o	HD 入出力	I/O	D	2mA/10pF
C2	25	VD_i/o	VD 入出力	I/O	D	2mA/10pF
D1	26	DVdd3	RG, H1L, H1, H2 用バッファ電源 (3V)	—	D	
D3	27	RG	RG 出力	O	D	3mA/10pF
E3	28	H1L	H1L 出力	O	D	3mA/10pF
E1	29	DVss3	RG, H1L, H1, H2 用 Gnd (0V)	—	D	
D2	30	H1	H1 出力	O	D	30mA/165pF
E2	31	H2	H2 出力	O	D	30mA/165pF
F1	32	DVdd3	RG, H1L, H1, H2 用バッファ電源 (3V)	—	D	
G1~K3	33~44	XV1~12	V.CCD 駆動パルス 1~12 出力	O	D	2mA/10pF
G3	45	DVdd1	TG 用デジタル電源 (3V)	—	D	
H4	46	DVss1	TG 用デジタル Gnd (0V)	—	D	
K4~K7	47~54	CH1~8	読み出しパルス 1~8 出力	O	D	2mA/10pF
J6	55	XSUB	電子シャッタ用パルス出力	O	D	2mA/10pF
H6	56	VSUB1	SUB 電圧制御 1	O	D	2mA/10pF
K8	57	VSUB2	SUB 電圧制御 2	O	D	2mA/10pF
J7	58	EXP	露光時間表示パルス出力	O	D	2mA/10pF
H7	59	M_SHT	メカニカルシャッタ制御パルス出力	O	D	2mA/10pF
J8	60	Strobo	ストロボ制御パルス出力	O	D	2mA/10pF
K9	61	Test	テスト pin (L: 通常動作モード, H: CDS 単品動作モード)	I	D	
K10	62	Bias	LSI 基準電流源 (対 Gnd に 27k Ω)	O	A	
J10	63	ADC_in	ADC 入力	I	A	
J9	64	AVdd1	CDS,PGA 部アナログ電源 (3V)	—	A	
H10	65	CDS_in	CDS 入力	I	A	
G10	66	FBC	クランプコンデンサ (対 SHC に 0.1 μ F)	O	A	
H9,G9,F10	67	SHC	SH_amp 外付けコンデンサ (対 Gnd に 47 Ω + 1000pF)	O	A	
H8,G8	68	Avss12	CDS, PGA, ADC アナログ部 Gnd (0V)	—	A	

【注】 電源ラインについて

- AVdd1 と AVdd2 は LSI 内部で接続されており, CDS, PGA, ADC のアナログ系。
- DVdd1 はシリアル通信部と内部タイミングパルス生成部。
- DVdd2 は ADC 出力バッファ
- DVdd3 は RG, H1L, H1, H2 用

(次頁へ続く)

端子 No.	PAD No.	端子名	説明	I/O	アナログ(A)/ デジタル(D)	備考
F9,E10	69	VRT	ADC 基準電源 (対 Gnd に 0.1 μ F)	O	A	
D10	70	VRB	ADC 基準電源 (対 Gnd に 0.1 μ F)	O	A	
F8	71	AVdd2	ADC アナログ電源 (3V)	—	A	
E8	72	DVdd1	SCI 部デジタル電源 (3V)	—	D	
C10	73	MON	パルスモニタ端子 (cp_sw, adck, sp1, sp2, obp, pblk, cpdm)	O	D	2mA/10pF
E9	74	ID	ID パルス出力	O	D	2mA/10pF
D9	75	OBP	OBP パルス出力	O	D	2mA/10pF
B10	76	ADCK	ADC 用クロック出力	O	D	2mA/10pF
C9	77	CS	シリアル通信 CS 入力	I	D	
B9	78	Sdata	シリアル通信 Sdata 入力	I	D	
A10	79	SCK	シリアル通信 SCK 入力	I	D	
C8	80	DVss12	シリアル通信部, ADC 出力バッファ部 Gnd (0V)	—	D	

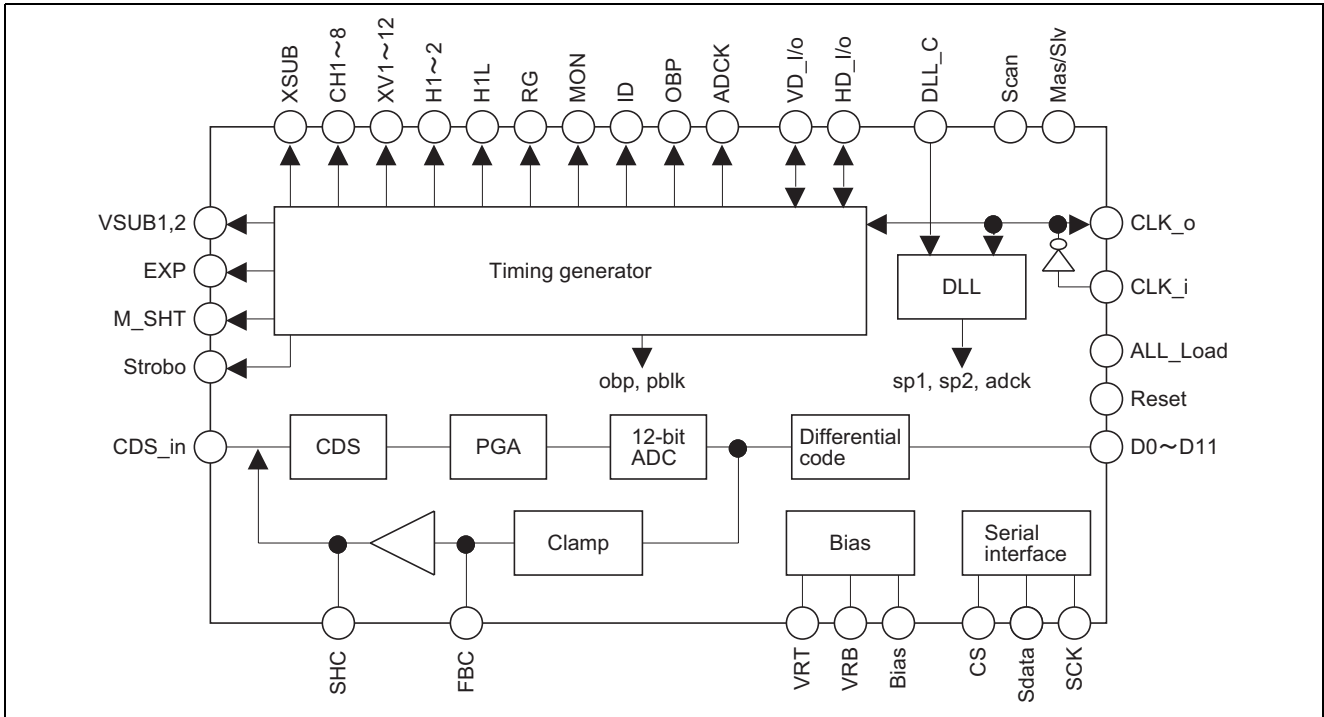
【注】 電源ラインについて

- ・ AVdd1 と AVdd2 は LSI 内部で接続されており, CDS, PGA, ADC のアナログ系。
- ・ DVdd1 はシリアル通信部と内部タイミングパルス生成部。
- ・ DVdd2 は ADC 出力バッファ
- ・ DVdd3 は RG, H1L, H1, H2 用

入出力等価回路

端子名	等価回路
アナログ	
CDS_in	
VRT VRB	
デジタル	
入力	
出力	

ブロックダイアグラム



絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	Vdd(max)	4.1	V
許容損失	Pt(max)	500	mW
動作電源電圧	Vopr	2.7 ~ 3.45 * ¹	V
アナログ入力電圧	Vin(max)	-0.3 ~ AVdd+0.3	V
デジタル入力電圧	Vi(max)	-0.3 ~ DVdd+0.3	V
動作温度	Topr	-20 ~ +85	°C
保存温度	Tstg	-55 ~ +125	°C

【注】 1. DVdd3 は Max 3.6V。

電気的特性

AFE 部適用項目

(特記なき時, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲 1	Vdd1	2.7	3.0	3.45	V	AVdd1,2, DVdd1,2	
電源電圧範囲 2	Vdd2	2.7	3.0	3.6	V	DVdd3	
変換周波数 * ¹	Fck_H	28	—	36	MHz	HD49346HBP HD49346BP	アドレス 00f2 の D6 で切換え
	Fck_L	10	—	28			
デジタル入力電圧	V _{IH}	0.73×Dvdd	—	Dvdd	V		全デジタル 入力ピン
	V _{IL}	0	—	0.2×Dvdd			
デジタル出力電圧	V _{OH}	Dvdd-0.5	—	—	V	I _{OH} = -1mA I _{OL} = +1mA	H系以外の デジタル出力ピン
	V _{OL}	—	—	0.5			
H系バッファ出力電圧	V _{OH}	Dvdd-0.5	—	—	V	I _{OH} = -15mA I _{OL} = +15mA	H系バッファ Max 設定時
	V _{OL}	—	—	0.5			
デジタル入力電流	I _{IH}	—	—	50	μA	V _{IH} = Vdd V _{IL} = 0V	
	I _{IL}	-50	—	0.5			
ADC 分解能	RES	—	12	—	bit		
ADC 積分リニアリティ	INL	—	(8)	—	LSB	Fck = 20MHz	
ADC 微分リニアリティ	DNL	—	(0.6)	—	LSB	Fck = 20MHz	
スリープ電流	I _{SLP}	-100	—	100	μA	D 入力ピンは 0V, D 出力ピンは open	
スタンバイ電流	I _{STBY}	—	3	5	mA	D 入力ピンは 0V, D 出力ピンは 0V	

【注】 1. 変換周波数はセンサ clk で規定しています。本 LSI では CLK_in に対し、その周波数で駆動するモードと 2 分周モードがあります。どちらのモードでもアナログ回路にとっての周波数で規定します。

(次頁へ続く)

AFE 部適用項目

(特記なき時, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流	I _{dd1}	—	(60)	—	mA	Fck = 36MHz	消費電流は TG 部を除く
	I _{dd2}	—	(40)	—		Fck = 28MHz	
CCD 入力オフセット	V _{CCD}	(-150)	—	(150)	mV		
サンプリング タイミング仕様	t _{CDS1}	—	1.5	—	ns		表 5 参照
	t _{CDS2}	Typ×0.8	1/4Fck	Typ×1.2			
	t _{CDS3}	—	1.5	—			
	t _{CDS4}	Typ×0.8	1/4Fck	Typ×1.2			
	t _{CDS5}	Typ×0.85	1/2Fck	Typ×1.15			
	t _{CDS6}	—	(5)	—			
	t _{CDS7}	11	—	—			
	t _{CDS8}	11	—	—			
	t _{CDS9}	—	(7)	—			
	t _{CDS10}	—	(16)	—			
クランプレベル	CLP(00)	—	(56)	—	LSB		クランプレベル= 設定値×8+56
	CLP(09)	—	(128)	—			
	CLP(31)	—	(304)	—			
PGA ゲイン	PGA(0)	—	-6	—	dB		1.0V 入力時にデジタル出力がフルスケールになった場合を 0dB と定義
	PGA(256)	—	4	—			
	PGA(512)	—	14	—			
	PGA(768)	—	24	—			
	PGA(1023)	—	34	—			

TG 部適用項目

(特記なき時, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
DLL 動作周波数	F _{dll}	10	—	36	MHz		
H_Buff 出力電圧	V _{OH}	2.94	2.97	—	V	30mA Buff I _{OH} = -5mA	Vdd = 3.0V 時
	V _{OL}	—	22	47	mV	30mA Buff I _{OL} = +5mA	
	V _{OH}	2.89	2.94	—	V	14mA Buff I _{OH} = -5mA	
	V _{OL}	—	50	112	mV	14mA Buff I _{OL} = +5mA	
	V _{OH}	2.91	2.96	—	V	10mA Buff I _{OH} = -3mA	
	V _{OL}	—	36	78	mV	10mA Buff I _{OL} = +3mA	
	V _{OH}	2.85	2.93	—	V	4mA Buff I _{OH} = -2mA	
	V _{OL}	—	60	129	mV	4mA Buff I _{OL} = +2mA	
	V _{OH}	2.69	2.86	—	V	2mA Buff I _{OH} = -2mA	
	V _{OL}	—	115	262	mV	2mA Buff I _{OL} = +2mA	
RG 出力電圧	V _{OH}	2.81	2.90	—	V	I _{OH} = -1.5mA	Vdd = 3.0V 時
	V _{OL}	—	78	141	mV	I _{OL} = +1.5mA	

内蔵機能

機能概要

- CDS 入力
 - CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
 - OB 期間の信号レベルを 56 ~ 304LSB (5bit, 8LSB ステップ制御) にクランプ
 - -6dB ~ 34dB 間で 10bit (0.04dB/ステップ) のゲイン調整が可能
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリランキング機能：デジタル出力をクランプレベルに固定
- TG：CCD 駆動に必要なパルスを発生

動作説明

図 1 に AFE 部の機能ブロック図を示します。

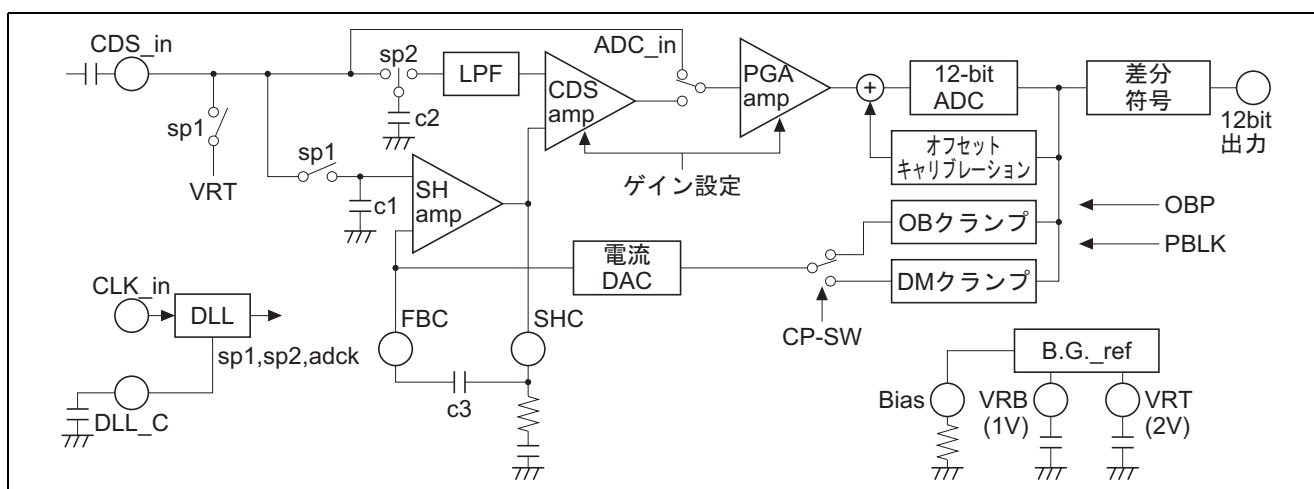


図 1 CDS, PGA 部機能ブロック

1. CDS(Correlated Double Sampling)回路

CDS 回路は、基準レベルと信号レベルとの差電圧を取り出す回路です。基準レベルは、SP1 パルスにより C1 に充電され、SH_amp によりバッファリングされた後、CDS_amp に供給されます。信号レベルは、SP2 により C2 に充電され、そのまま CDS_amp に供給されます。(図 1 参照)。

CDSAMP は上記 2 信号のレベル差を取ると共に、前段のプログラマブルゲインアンプとして働きます。

CDS 入力は、VRT(2V)にバイアスされます。PBLK 期間は、上記サンプリング動作およびバイアス動作は停止します。

2. PGA 回路

PGA 回路は、後段のプログラマブルゲインアンプです。前段の CDS_amp と合わせて 10bit のレジスタでゲインを設定します。レジスタ値 $N = 0 \sim 1023$ に対し、下式のようにゲインが変化します。

$$\text{Gain} = -6\text{dB} + 0.04\text{dB} \times N \text{ (LOG リニア)}$$

3. OB クランプ

OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDS_amp オフセット等を含めてオフセット補償します。OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって SH_amp 入力の外付け C3 に充電します。

シリアル通信

シリアル通信の仕様

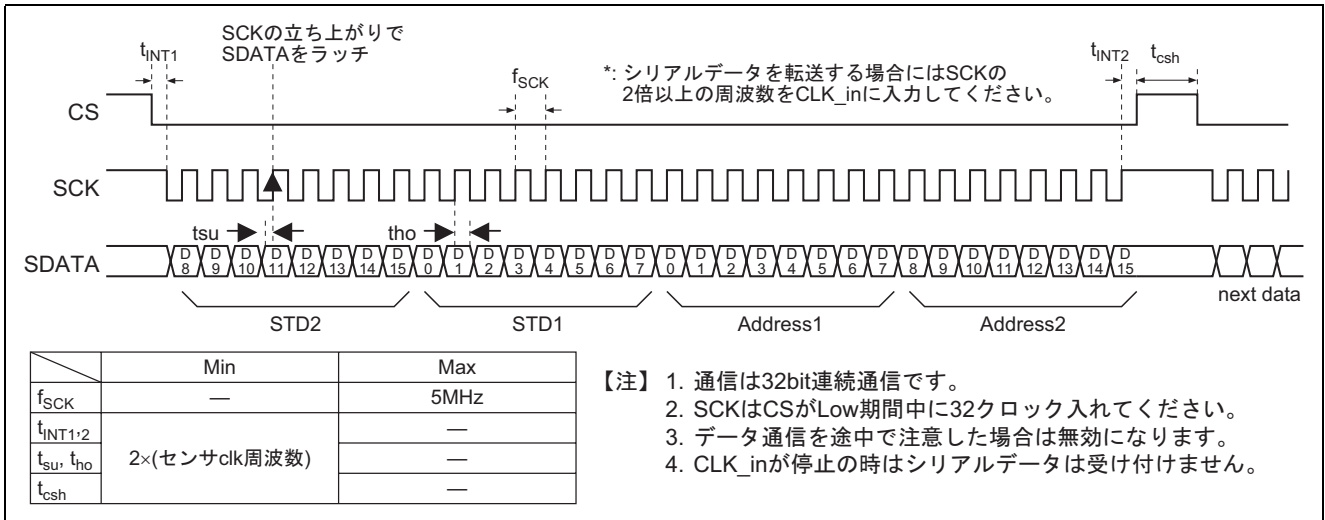


図2 シリアルデータのタイミング仕様

- シリアルデータの連続受信モード

最初にアドレス+データの32bitサイズを送り、次からはデータの16bitサイズのみを送った場合、そのアドレスを自動的に+1ずつ加算して行きます。再度32bitサイズを送ると指定されたアドレスから受信し直します。

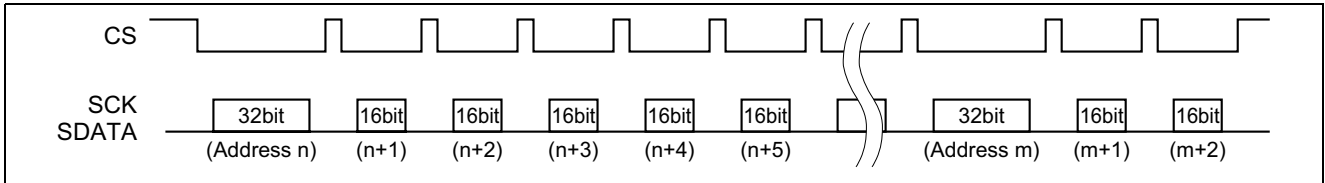


図3 シリアルデータの連続受信モード

● アドレス配置について

本 LSI は仕様の追加修正を行なったため、アドレス配置が以下のように飛び地となっています。パルスタイミングの仕様については付録の「タイミングチャート」「アドレス一覧」を参照してください。

(1) V 系パルス

データ名	アドレス位置
nv1 ~ 4 still モード	H'0030 ~ H'003f
nv5 ~ 12 still モード	H'0110 ~ H'012f
nv1 ~ 4 moni モード	H'0040 ~ H'005f
nv5 ~ 12 moni モード	H'0130 ~ H'016f
nv1 ~ 12 moni モードサイクル数	H'0103 ~ H'0105
mv1 ~ 4	H'0080 ~ H'009f
mv5 ~ 12	H'0170 ~ H'01af
f_r_msk_v1 ~ 4	H'00b0 ~ H'00bf
f_r_msk_v5 ~ 12	H'01b0 ~ H'01cf
hv1 ~ 4	H'00c0 ~ H'00cf
hv5 ~ 12	H'01d0 ~ H'01ef

(2) 読み出し系パルス

データ名	アドレス位置
ch1 ~ 2	H'00d4 ~ H'00db
ch3 ~ 8	H'01f0 ~ H'01ff

(3) H_msk 系

データ名	アドレス位置
H_msk1	H'00e0 ~ H'00e1
H_mix_moni モードサイクル数	H'0107 ~ H'010f

(4) CDS, PGA, DLL 部

データ名	アドレス位置
CDS, PGA, DLL 部	H'00f0 ~ H'00ff

(5) fix, inv

データ名	アドレス位置
vsub1, vsub2, rg	H'000d
h1, h1L, h2, pblk, cpdm, sub	H'000e
v1 ~ 4, ch1 ~ 4	H'000f
v5 ~ 12	H'0100
ch5 ~ 10, exp	H'0101
hdo, vdo, m_sht, strobo, mon, id, obp, adck	H'0102

シリアルデータ説明

● PGA ゲイン (アドレス 00f0 の D0 ~ D9)

詳細は図 1 を参照してください。

PGA ゲイン = $-6\text{dB} + 0.04\text{dB} \times N$

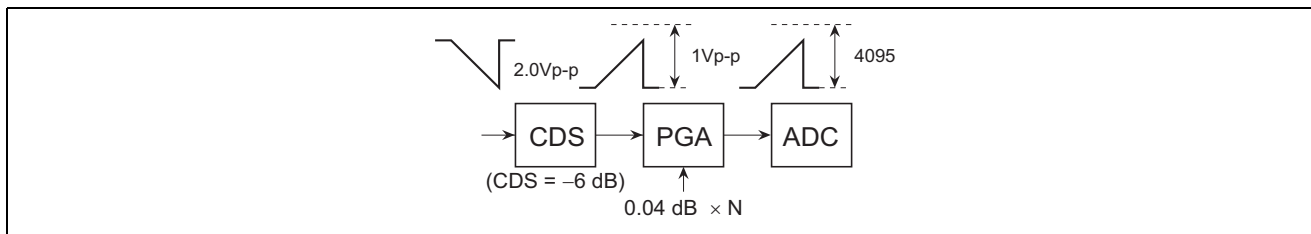


図 4 PGA のレベルダイア

● LPF_sel (アドレス 00f1 の D0 ~ D3)

CDS 入力部の周波数帯域制限を選択します。(D3 は通常 0 設定)

LPF_sel	センサ周波数
0	6MHz
1	12MHz
2	20MHz
3	25MHz
4	30MHz
5	35MHz
6	40MHz
7	50MHz

周波数帯域を下げると S/N はアップしますが、反面アンプ動作が遅くなり、ゲイン不足やラインロール等の問題が発生します。実際に使用する周波数より高いポイントを選択してください。

なお、LPF_sel については、

1. Low_pwr モード時はデータ = 3
 2. Hi_pwr モード時はデータ = 6
- のみをテストング保証します。

- SHSW_fsel, SHA_fsel (アドレス 00f1 の D4 ~ D9)

SP1 でサンプリングしたプリチャージ部に対してフィルタリング処理を施します。この時のカットオフ周波数を選択できます。SHSW_fsel, SHA_fsel のデータ選択によって、S/N が図 5 のように変化します。画像を評価しながら最適値を見つけてください。

SHSW_fsel	カットオフ周波数
0	72MHz
1	69MHz
2	63MHz
3	60MHz
4	54MHz
5	51MHz
6	45MHz
7	42MHz
8	36MHz
9	33MHz
10	27MHz
11	24MHz
12	18MHz
13	15MHz
14	9MHz
15	6MHz

SHA_fsel	カットオフ周波数
0	116MHz
1	75MHz
2	56MHz
3	32MHz

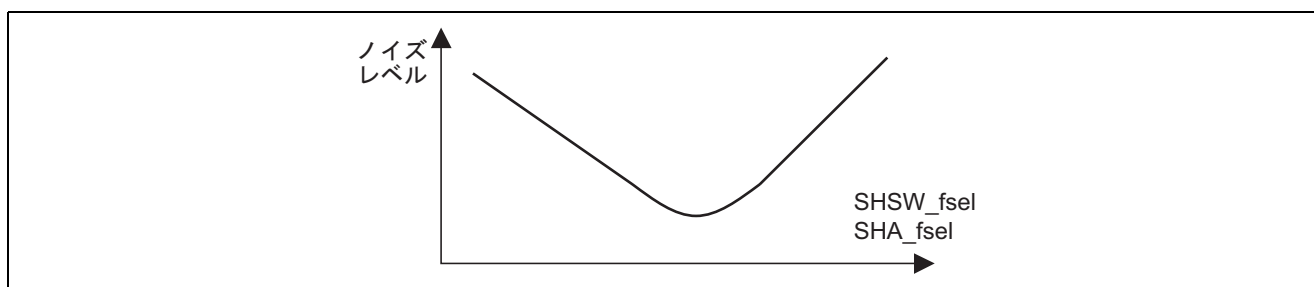


図 5 SHSW_fsel, SHA_fsel による効果

- SLP と STBY (アドレス 00f1 の D14 ~ D15)

- SLP

アドレス 00f2 の D11[CLK_stop]に代用。

アナログ部の回路停止。消費電流はアナログ部で 10 μ A 以下。

復帰させる場合はオフセットキャリブレーションから再度立ち上げてください。

- STBY

基準電圧発生回路のみ動作。消費電流はアナログ部で約 3mA。

復帰するまでにフィードバッククランプが安定する時間として 50H 程度を見込んでください。

【注】 SLP/STBY は TG 部とアナログ部で別設定になります。TG 部の SLP/STBY はアドレス H'000c の D9, D8 にあり、以下の動作となります。なお、TG の出力状態は不定のため各ピンに対応した fix_inv データで決定してください。

- TG_SLP, TG_STBY

レジスタ部と DLL 部は動作。その他 TG 部が停止。

SLP と STBY については 14 ページにその方法と復帰後の状態を記載していますのでご参照ください。

- Clamp レベル (アドレス 00f2 の D0 ~ D4)
 Clamp レベル = 設定データ × 8 + 56
 D0: LSB, D4: MSB
 初期値は $(9) \times 8 + 56 = 128$ を設定しています。
- Clamp 高速引き込み (アドレス 00f6 の D2, D3, D8, D9)
 PGA ゲインを変更すると自動的に高速引き込み動作に移行し、フィードバックループゲインが D2, D3 に設定された倍率で制御されます。また、高速引き込み動作を終了し、通常のループゲインに戻すまでは時間は D8, D9 に設定された H 数まで高速引き込みモードを継続します。(オフセット誤差が 32LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 32LSB 以内に入ってから D8, D9 に設定された H 数後に通常のループゲインに戻ります。)
 通常のクランプ動作は、1H 当たりのオープンループ微分ゲイン ($\Delta\text{gain}/\Delta\text{H}$) は下式によって与えられます。(1H は OBP の 1 周期です)
 $\Delta\text{gain}/\Delta\text{H} = 0.01/(\text{fclk} \times \text{C3})$ (fclk: ADCK 周波数, C3: FBC コンデンサ)
 例: fclk = 20MHz, C3 = 0.1 μ F $\rightarrow \Delta\text{gain}/\Delta\text{H} = 0.005$
 1H 当たりの DC オフセット補正量(LSB) = 0.005 × オフセット誤差量(LSB)
 ただし、オフセット誤差量には上限があります。
 これに対して、高速引き込み動作の場合、以下のように速度が変わります。
 例: fclk = 20MHz, C3 = 0.1 μ F $\rightarrow 32 \times \Delta\text{gain}/\Delta\text{H} = 32 \times 0.005 = 0.16$
 1H 当たりの DC オフセット補正量(LSB) = 0.16 × オフセット誤差量(LSB)
 高速引き込み動作により、500LSB 程度の誤差が生じた場合、約 20H で目標のクランプレベルに引き込むことができます。

D3	D2	引き込み倍率
0	0	32 倍
0	1	64 倍
1	0	128 倍
1	1	16 倍

D9	D8	継続 H 数
0	0	1H
0	1	2H
1	0	4H
1	1	8H

- Pwr_sel (アドレス 00f2 の D6, アドレス 00f5 の D5 ~ D7, D10 ~ D11)

		動作周波数	Pwr_sel (00f2 の D6)	I_vari (00f5 の D5 ~ D7)	Amp_sel (00f5 の D10, D11)	アナログ部の電流
標準設定	Low_pwr	10 ~ 28MHz	1	2	2	36mA
	Nor_pwr	28 ~ 36MHz	0	2	2	57mA

- Calb と Reset (アドレス 00f2 の D14, D15)

電源投入時に 1 度だけソフトウェアリセットを実行することで、内部回路のバイアスずれを自動的に吸収します。(オフセットキャリブレーション)本 LSI では必ず実行してください。

自動オフセットキャリブレーションは PGA アンプの出力に加算する DAC の DC 電圧を調整します。この DAC には PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに、レジスタ設定によるクランプデータ(56 ~ 304LSB)が加算されて与えられます。

自動オフセットキャリブレーションはレジスタ設定による Reset 解除後、自動的にスタートし 40,000(adck)後に終了します。(fclk = 20MHz の場合、2.0ms)

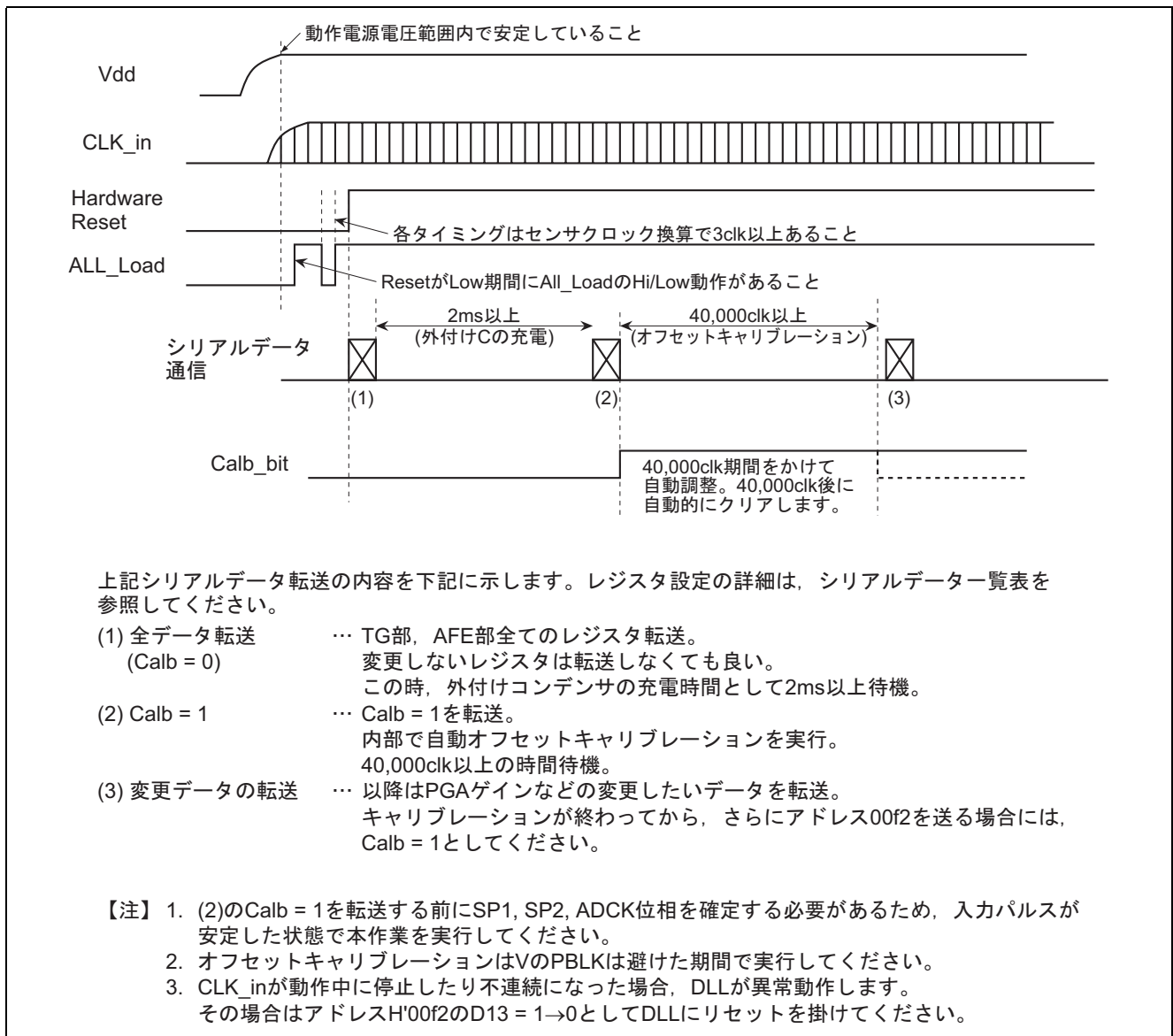
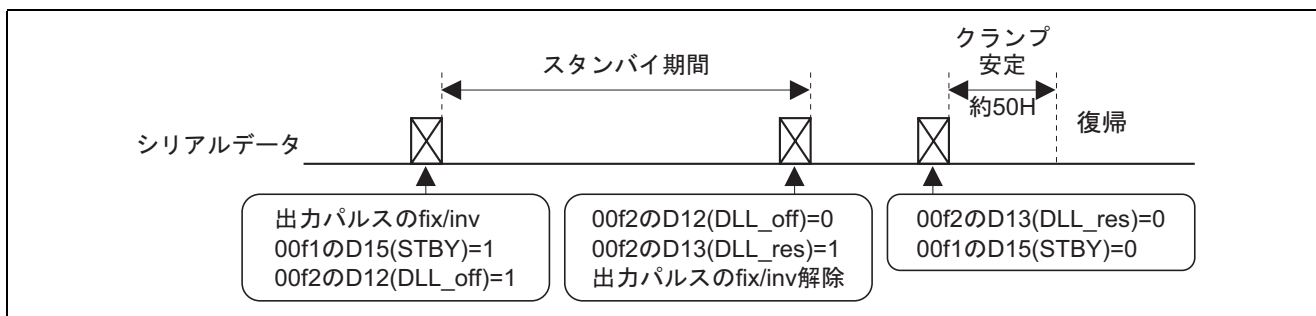


図 6 電源投入時の動作シーケンス

• スタンバイ，スリープの動作と復帰方法

(1) スタンバイ

スタンバイ期間は消費電流が約 6mA，シリアルデータは受け付けます。



(2) スリープ

スリープ期間は消費電流が約 10μA 以下，シリアルデータは受け付けません。

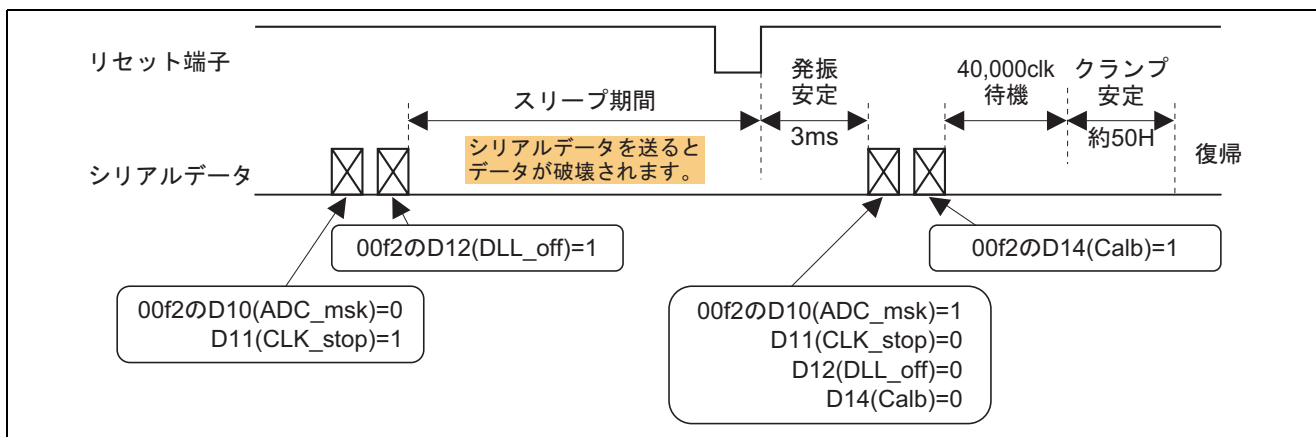


表 1 スタンバイ，スリープにおける各ブロックの動作状態

	OSC	DLL	TG	シリアル通信	AFE コア	AFE バイアス
スタンバイ			×		×	
スリープ	×	×	×	×	×	×

【注】 ハードウェア Reset でデータがクリアされるのは 00f2 の D10, D11 のみです。

他のデータをクリアするためには All_Load が必要です。

外部 CLK モードでは「スタンバイ」，「スリープ」命令後，最低でも 5 入力 CLK が必要です。

● データ転送タイミングについて

撮影中にモード変更のためデータを更新する場合、電子シャッタを安定に制御するため転送タイミングを管理する必要があります。露光時間を決定するために以下のようなタイミングで転送してください。

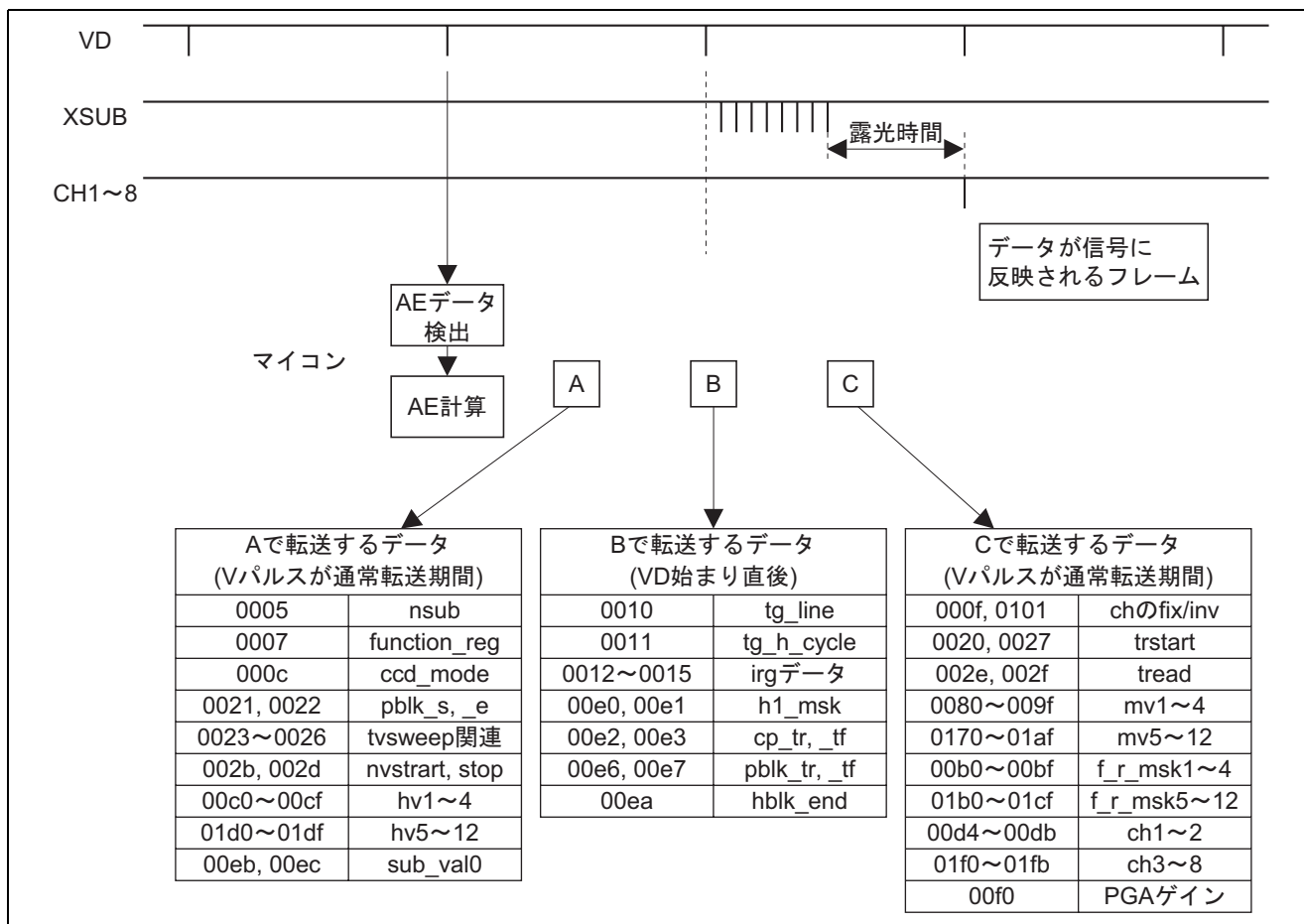


図7 データ転送タイミング

● ダミークランプ (アドレス 00f3 の D0 ~ D4)

太陽などのハイライトを撮影した場合、センサの OB 部に光が漏れ込み、クランプミスを引き起こします。この誤動作を防止するため、OB 部とダミー部のレベル差を監視し、

$$\text{OB 部} > \text{ダミー部} + (\text{cpdm_th} \times \text{PGA ゲイン})$$

の条件になった時には、ダミービットレベルでのクランプ処理に切り換えます。ダミー-on 時のフィードバック電流も同時に cpdm_I で設定した電流値になります。

cpdm 位相をシャッタ傷や転送傷の部分に設定すると誤動作する場合があります。誤動作を防ぐことができない場合には cpdm_th = 0 として、機能を off してください。

また、PGA ゲインによりクランプミス電圧も変動しますので、cpdm_th はゲインに連動して制御してください。

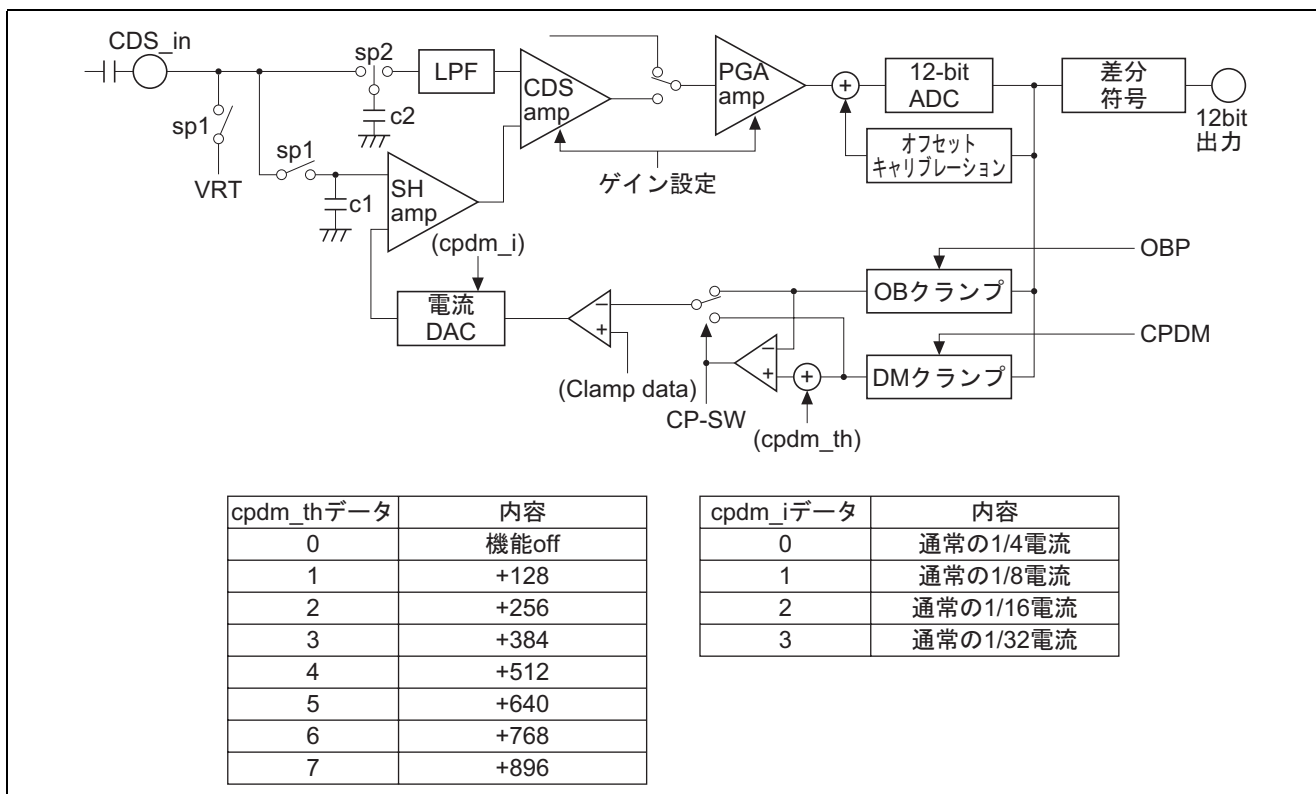


図 8 ダミークランプ回路の構成

- ADC_in (アドレス 00f3 の D8)
D8 = 0 の時, 通常 CDS モード
D8 = 1 の時, テスト用 ADC モード (この時のバイアスは約 1.0V になります)
が選択できます。
- L_inv, M_inv, test0 (アドレス 00f4 の D8 ~ D10)
ADC デジタル出力値を以下のように変更できます。

表2 テストモード時の ADC 出力状態

stby	test0	L_inv	M_inv	PBLK	ADCデジタル出力												動作モード	
					D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
H	x	x	x	x	Hi-Z												低電力待機	
L	L	L	L	L	表2に従う												通常動作	
			H	L	表2でD11が反転													
		H	L	L	表2でD10~D0が反転													
			H	L	表2でD11~D0が反転													
	x	x	H	出力をClampレベルに固定												PBLK		
	H	L	L	x	H	L	H	L	H	L	H	L	H	L	H	L	H	L
H			x	L	L	H	L	H	L	H	L	H	L	H	L	H	L	
H			L	x	H	H	L	H	L	H	L	H	L	H	L	H	L	
				H	x	L	H	L	H	L	H	L	H	L	H	L	H	

表3 バイナリ/グレイコード対応表

出力コード	バイナリコード												グレイコード											
	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
2	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
3	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
4	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	H	L
5	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	H	H	H
6	L	L	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	H	L	H	H
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2047	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
2048	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
4092	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L	H	L
4093	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	L	L	L	L	L	L	L	H	H
4094	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L	L	H
4095	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L

● 差分符号&グレイコード (アドレス 00f4 の D0 ~ D7)

ADC 出力コードを以下の種類に変更できます。

基準位相 (D0)	基準位相 (D1)	差分符号選択時の基準データ出力タイミング
0	0	3画素遅延
1	0	4画素遅延
0	1	5画素遅延
1	1	6画素遅延

Gry (D3)	差分 (D4)	出力コード
0	0	バイナリ
1	0	グレイ
0	1	差分符号バイナリ
1	1	差分符号グレイ

Gray_ref		画素 サイクル
D6	D7	
0	0	2画素
1	0	1画素
0	1	4画素
1	1	6画素

- adck位相 (D2): OBPIに対するadck極性
0の時: ポジエッジ
1の時: ネガエッジ

- 10/12 (D5): バイナリ→グレイ変換bit数
from binary to gray
0の時: 12-bitを選択
1の時: 10-bitを選択

ADC 出力の複数の bit が同時に切り換わるポイントで画像に波紋(量子化誤差による疑似輪郭)が発生します。これを対策する手段として、差分符号&グレイコードを推奨します。図9に回路ブロックを示します。この機能を使うことで輝度信号がなだらかに変化している状態では切り換わるデジタル出力の bit 数を極力低減することができ、波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや ADC 出力を長く引き伸ばすセットなどに効果的です。

差分符号を使用する場合には DSP 側に複合化回路が必要になります。図 11 に複合化回路例を示します。

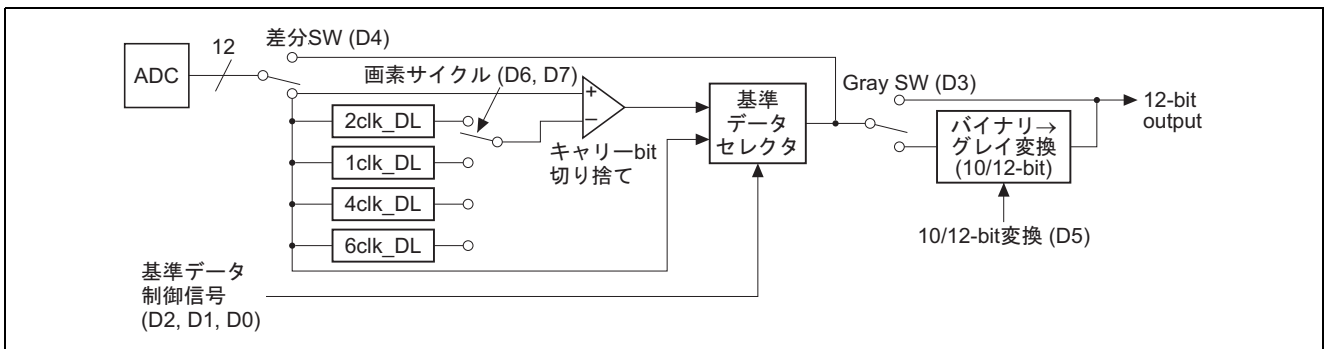


図 9 差分符号, グレイコード化回路

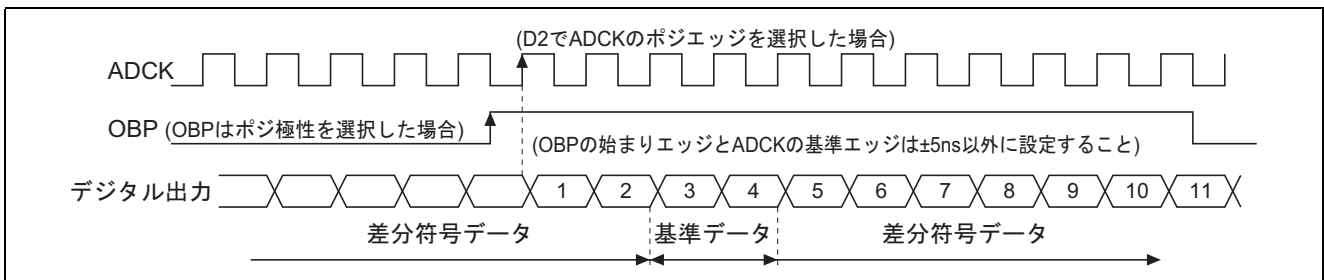


図 10 差分符号タイミング仕様

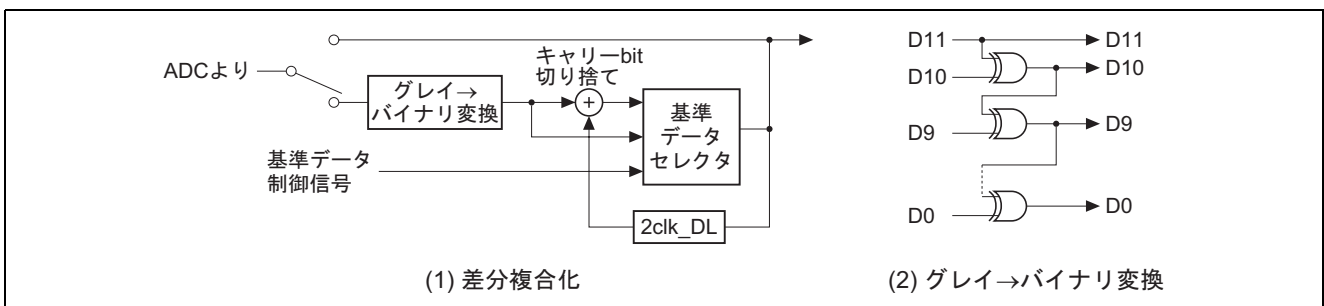


図 11 複合化回路例

- MON (アドレス 00f5 の D0 ~ 2)
3bit データの設定により, MON 端子へ以下のパルスを出力。

MON	出力
0	CP-SW
1	ADCK
2	SP1
3	SP2
4	CPDM
5	禁止
6	禁止
7	PBLK

- New_Func (アドレス 00f6)

データ	名称	機能
D15, 14	WOB_th2_max	幅広 OBP カウント設定。
D13, 12	WOB_th2_max	幅広 OBP カウント設定。
D11, 10	WOB_th1_max	幅広 OBP カウント設定。
D9,8	CLP_Hsel	H クランプ高速引き込み H カウント。(高速引き込み参照)
D7	CLP_cur	H クランプ補正電流を 2 倍にする。
D6	PBLK_act	OBP が PBLK 内でも動作可能。
D5	Wide_OBP	幅広 OBP 機能オンにする。
D4	Cpad_sel	Pad テスト。通常 0 設定。
D3 ~ 2	Wind_clk_sel	高速引き込みクランプ補正 clk 数。(高速引き込み参照)
D1	CP_i	H クランプ補正電流を 1/2 にする
D0	Wob_i	幅広クランプ補正電流を 2 倍にする。

表 4 幅広 OBP の制御

	電流値 Wobp_I		カウント数 Wob_th1,2,3			
	0	1	0	1	2	3
lclp_th1	200 μ A	400 μ A	15	63	200	無限
lclp_th2	20 μ A	40 μ A	127	255	511	無限
lclp_th3	2 μ A	4 μ A	511	1023	無限	無限

【注】 幅広 OBP をご使用になる場合は, センサの特性や被写体条件により, 悪影響を及ぼす場合もありますので, 十分に予備検討してください。また詳細については弊社営業窓口までご連絡ください。

• clk 系タイミング (アドレス 00fa ~ 00fd)

clk 系パルスは duty = 50%, 25% をおのの 1/8 位相刻みで選択(上位 3bit)した後, DLL のバッファ遅延(下位 3bit)で最適位相に調整してください。詳細は付録「タイミングチャート」を参照願います。

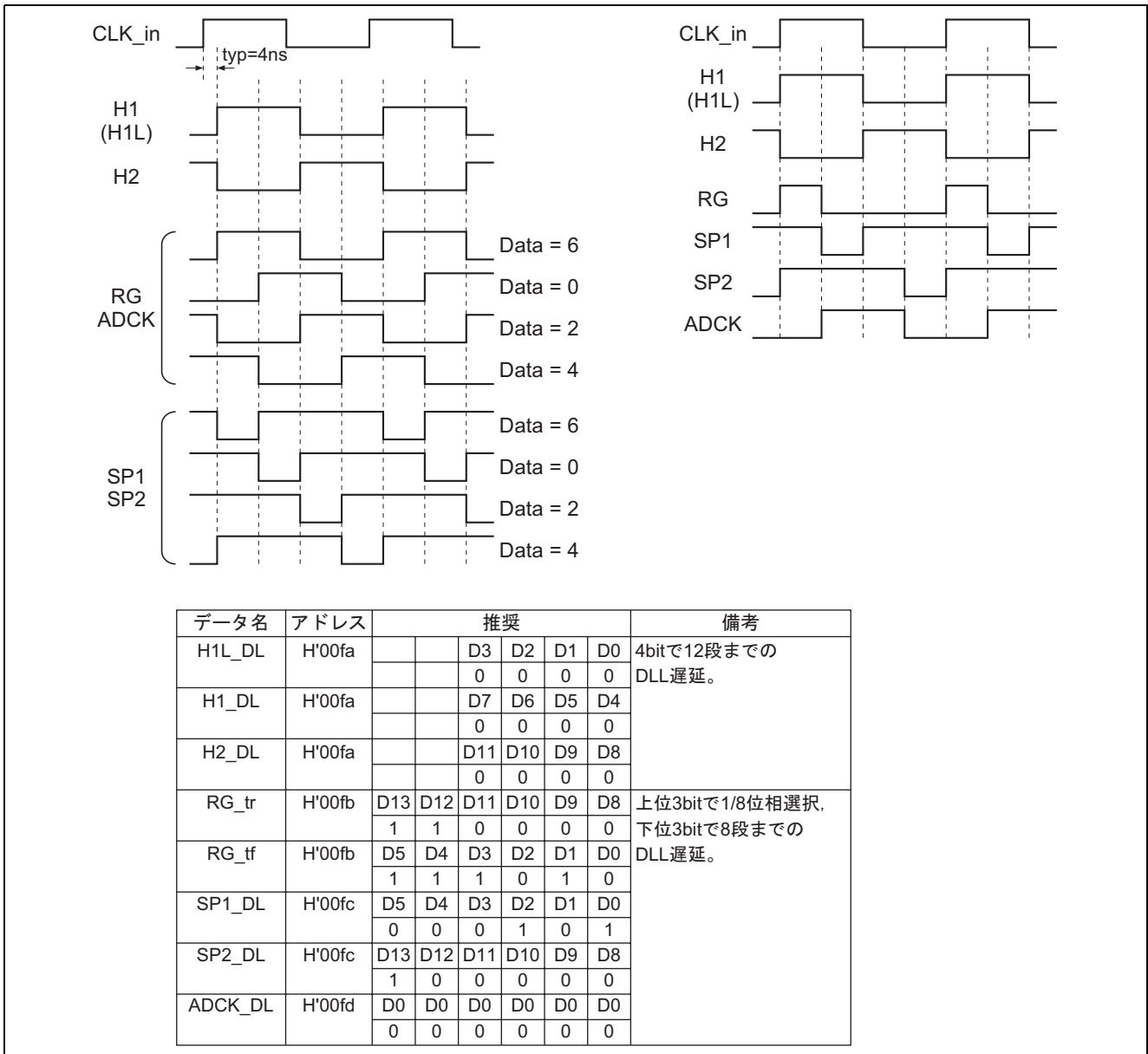


図 12 高速パルスの仕様

• H タイミングについて

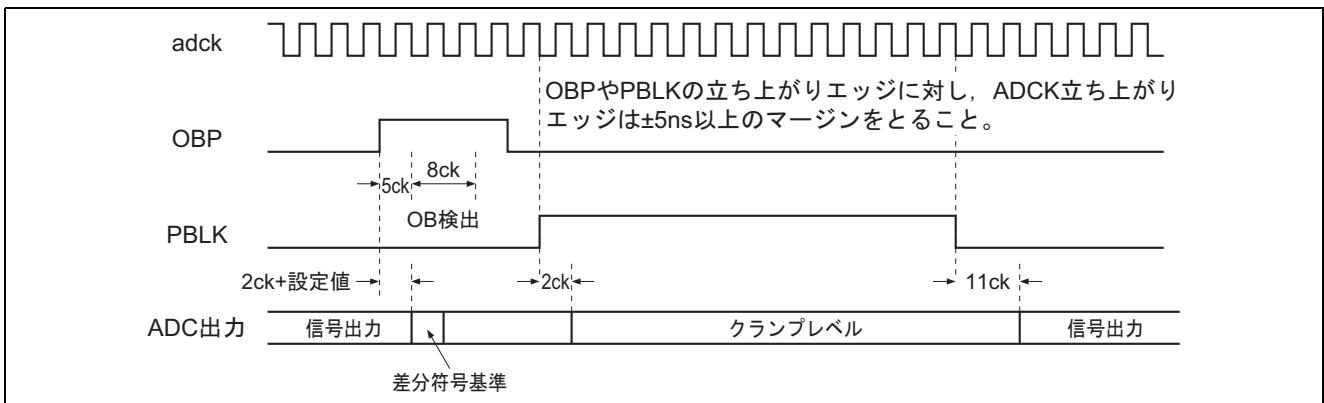


図 13 H.BLK の信号タイミング

パイプラインディレイ

図 14 に CDS_in, ADC_in の各入力端子を使用した場合の出力タイミングを示します。

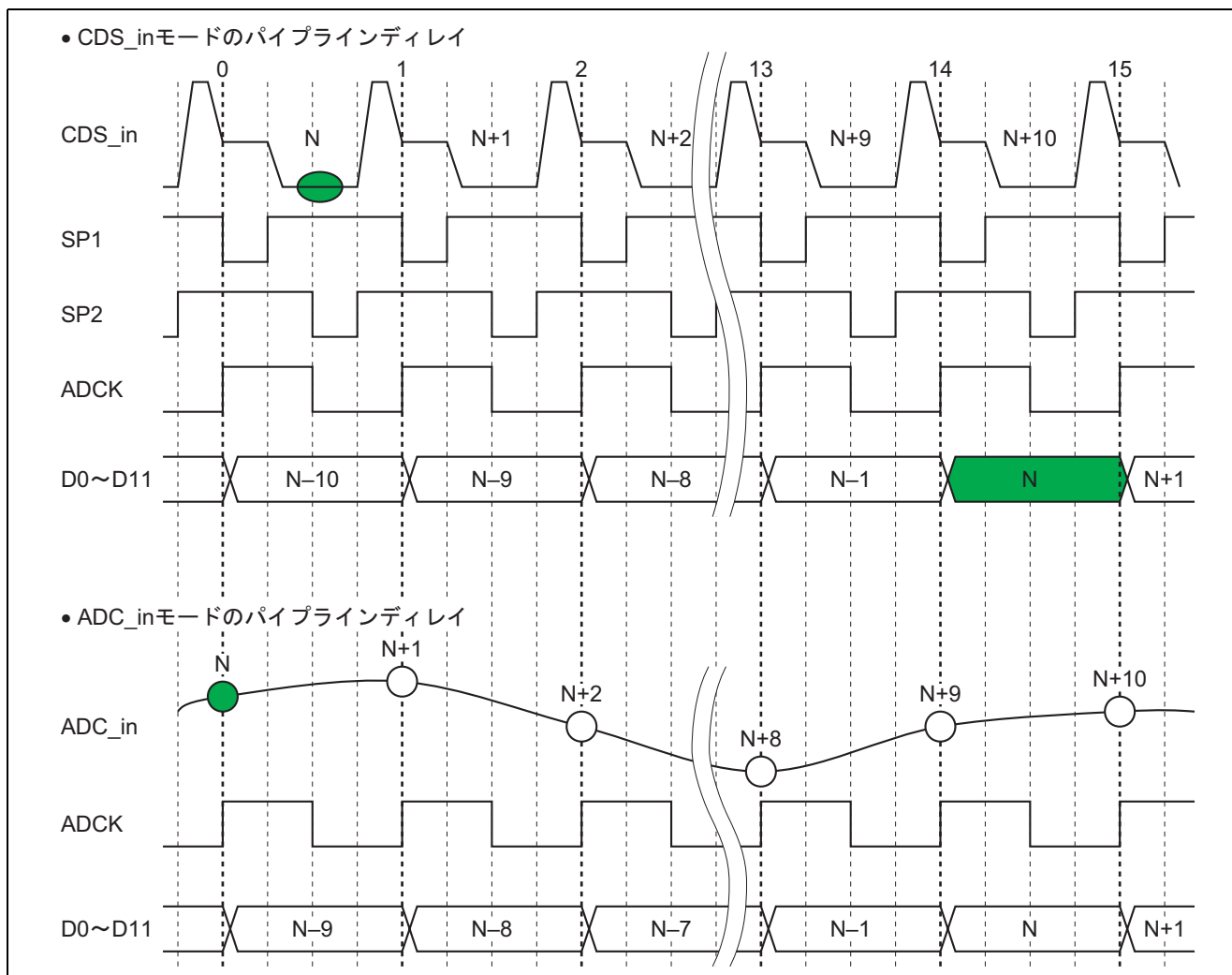


図 14 CDS_in, ADC_in の出力タイミング

- ADC 出力(D0~D11)は両入力モードとも ADCK の立上がりエッジで出力されます。
- CDS_in モード時のパイプラインディレイは 10 クロック, ADC_in モード時は 9 クロック。
- ADC_in モード時の入力信号サンプリングは ADCK 立上がりエッジで行なわれます。
- 差分符号を使用した場合は, パイプラインディレイはさらに 1 クロック増えます。

サンプリングタイミング仕様

- CDS_in モード時の詳細タイミング

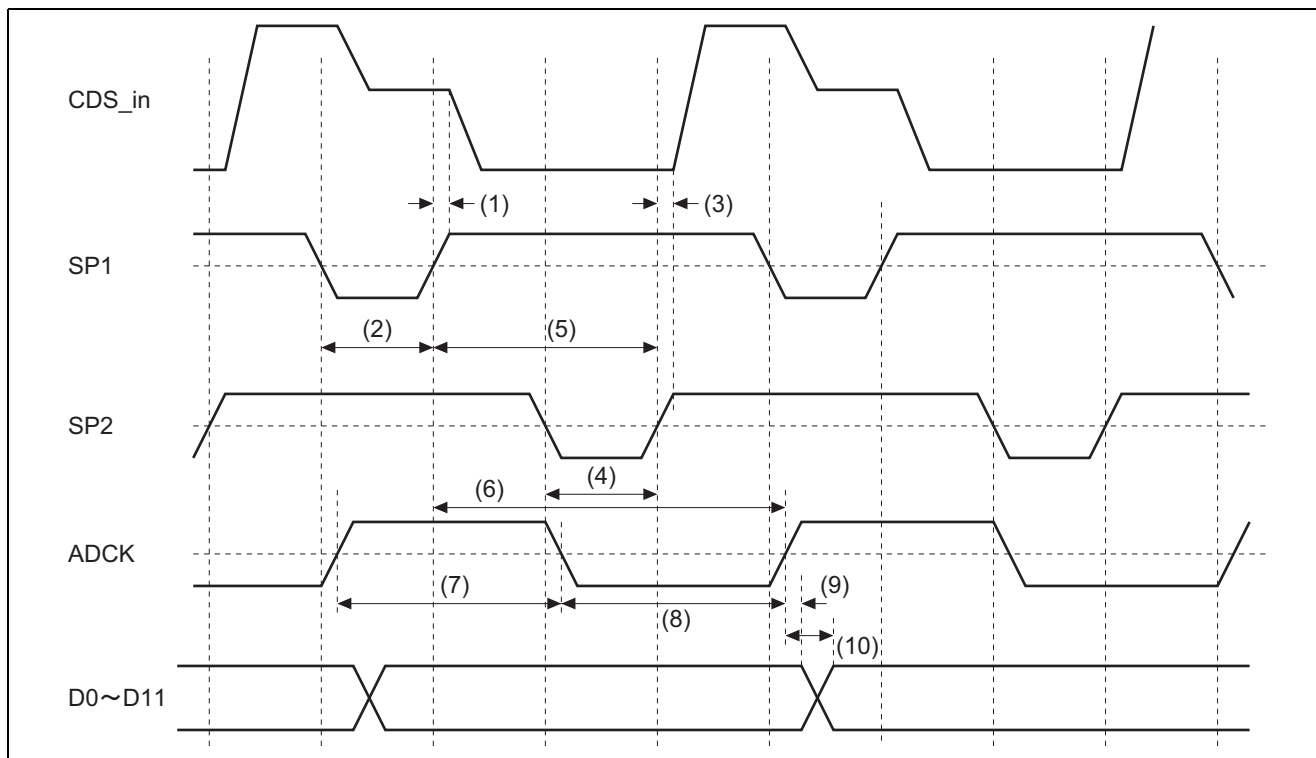


図 15 CDS_in モード時の詳細タイミング仕様

表 5 CDS_in モード時の各タイミング仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	t_{CDS1}	—	(1.5)	—	ns
(2)	SP1"Low"期間	t_{CDS2}	Typ×0.8	1/4CLK	Typ×1.2	ns
(3)	信号レベル取り込み時間	t_{CDS3}	—	(1.5)	—	ns
(4)	SP2"Low"期間	t_{CDS4}	Typ×0.8	1/4CLK	Typ×1.2	ns
(5)	SP1 立上がり ~ SP2 立上がり時間	t_{CDS5}	Typ×0.85	1/2CLK	Typ×1.15	ns
(6)	SP1 立上がり ~ ADCK 立上がり禁止時間	t_{CDS6}	—	(5)	—	ns
(7), (8)	ADCK $t_{WH\ min} \sim t_{WL\ min}$	$t_{CDS7,8}$	11	—	—	ns
(9)	ADCK 立上がり ~ デジタル出力保持時間	t_{CDS9}	—	(7)	—	ns
(10)	ADCK 立上がり ~ デジタル出力遅延時間	t_{CDS10}	—	(16)	—	ns

- 【注】
- 動作周波数で規定している数値は「 t_{CDS5} 」を守っている場合です。CLK 周波数が仕様内であっても、「 t_{CDS5} 」が短い場合は高周波動作と等価になります。
 - MON 端子で出力しているサンプリングパルス等は内部で処理したタイミングより約 1.8ns 遅延しています。プローブを付けた場合には、さらに+1ns の遅延を見込んでください。

● OBP の詳細タイミング仕様

図 16 に OBP の詳細タイミングを示します。

OB パルス入力後，5clk から 12clk 目までが OB 期間です。

OB 期間に入力された 8clk 分の黒信号レベルが平均され，クランプレベル(DC 基準)となります。

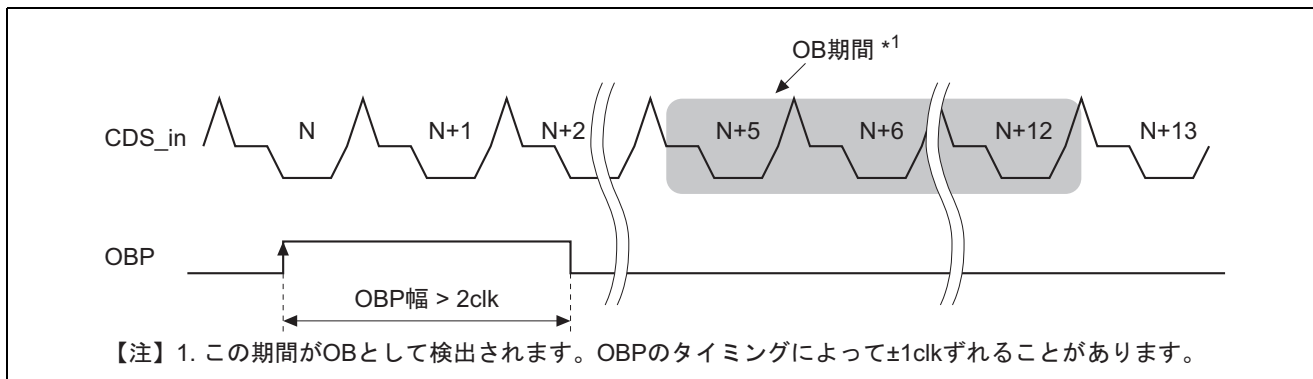


図 16 OBP の詳細タイミング

● PBLK の詳細タイミング仕様

図 17 に PBLK の詳細タイミングを示します。

ただし，差分符号を選択した場合には，PBLK 中であっても差分符号基準信号は出力されます。

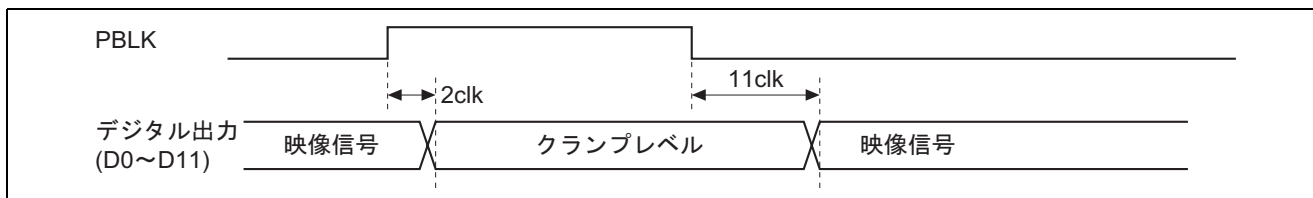


図 17 PBLK の詳細タイミング

● ADC_in モード時の詳細タイミング仕様

図 18，表 6 に ADC_in モード時の詳細タイミングを示します。

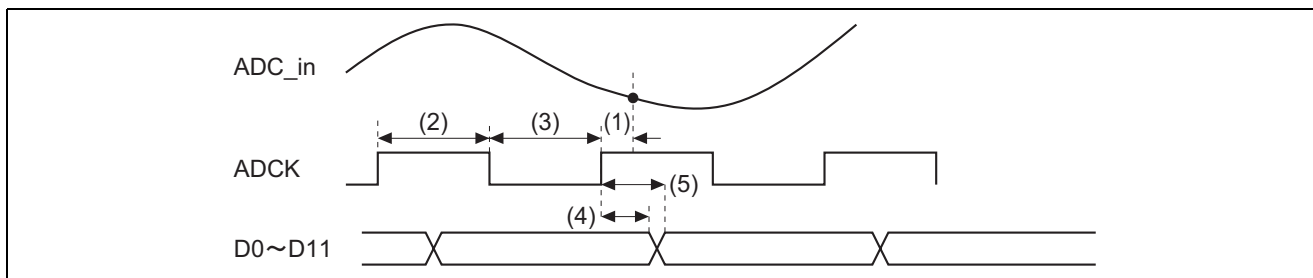


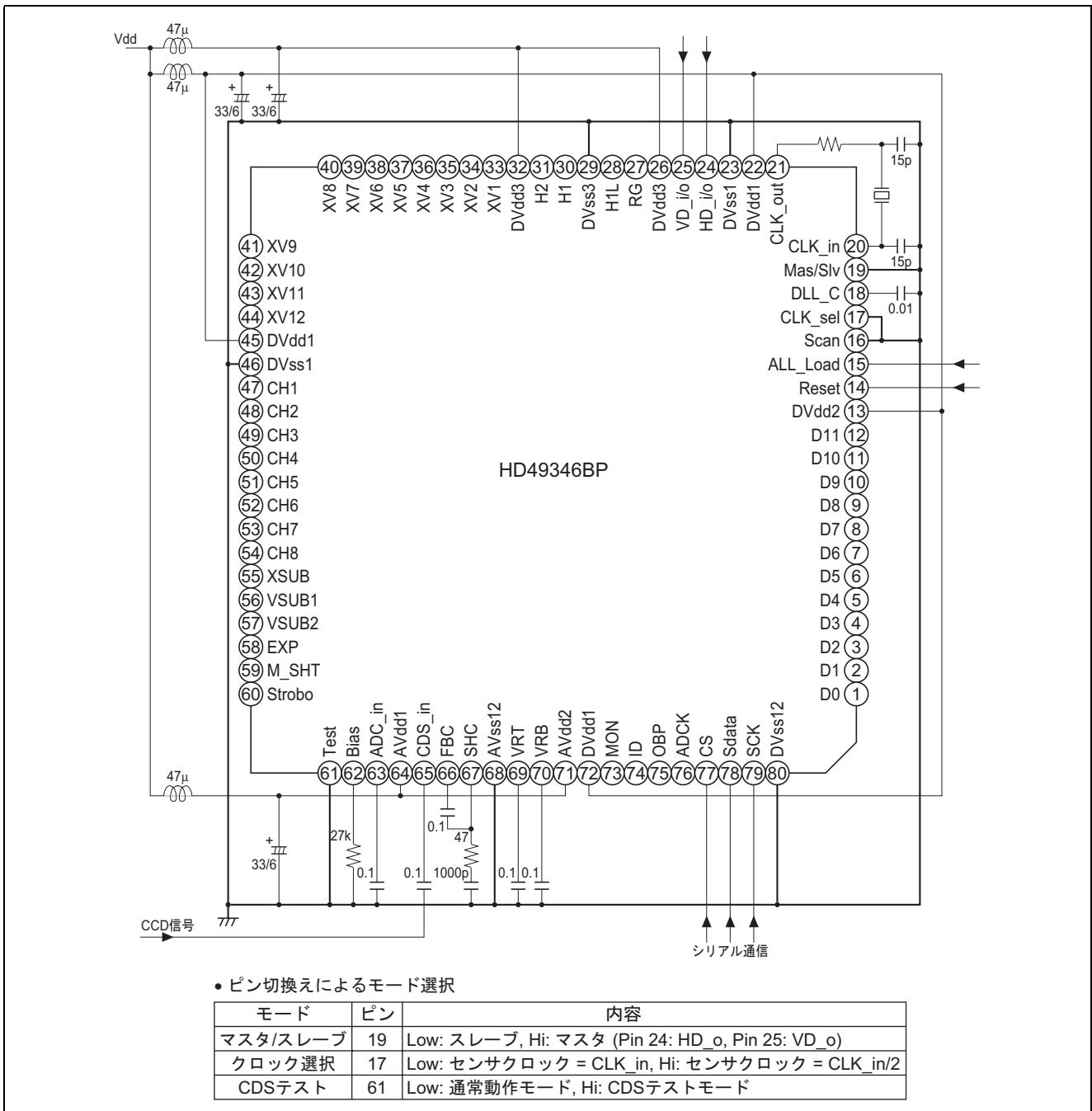
図 18 ADC_in モード時の詳細タイミング

表 6 ADC_in モード時の各タイミング仕様

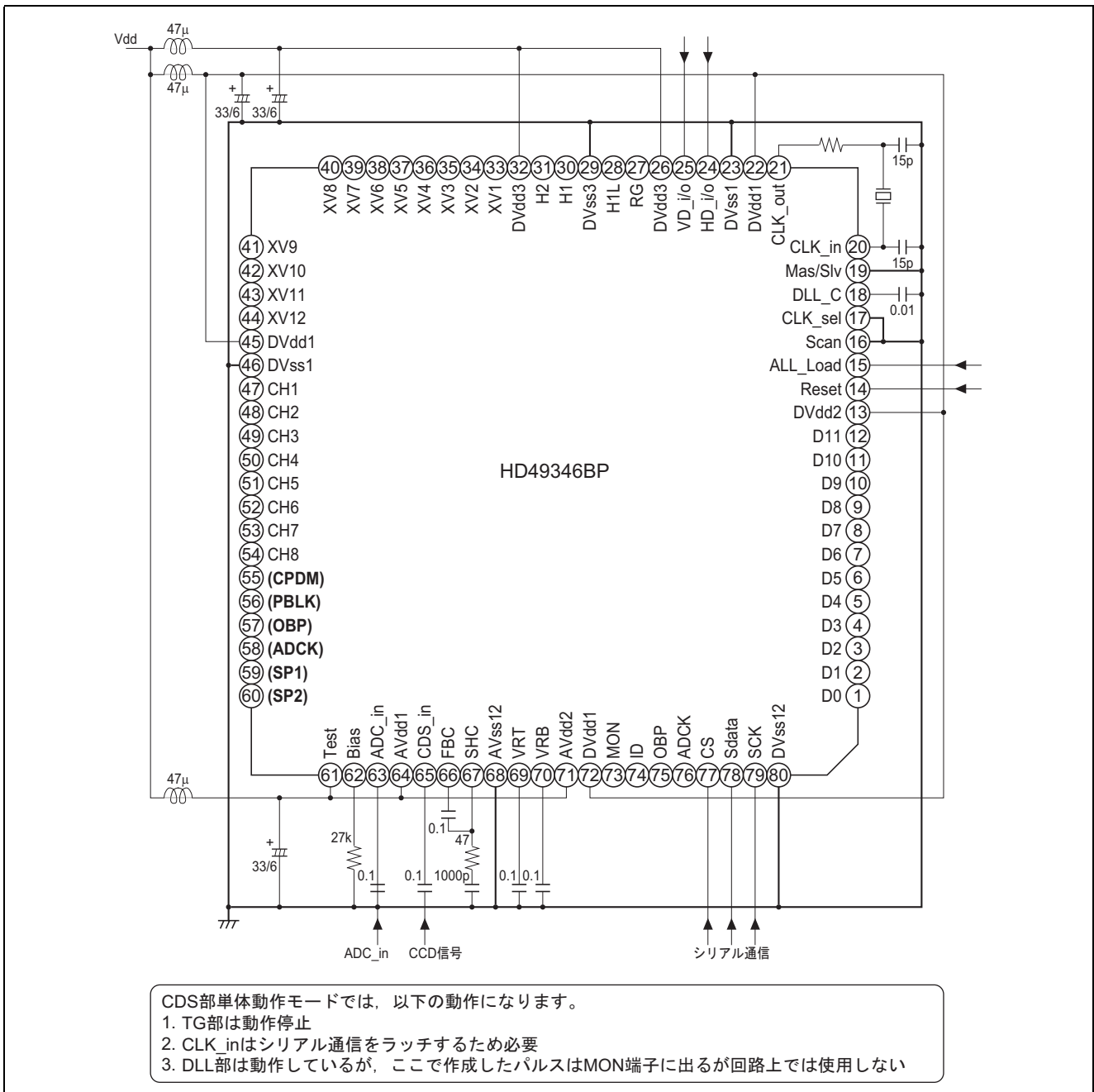
No.	タイミング	記号	Min	Typ	Max	単位
(1)	信号取り込み時間	t_{ADC1}	—	(6)	—	ns
(2), (3)	ADCK $t_{WH\ min}/t_{WL\ min}$	$t_{ADC2,3}$	Typ×0.85	1/2CLK	Typ×1.15	ns
(4)	ADCK 立上がり～デジタル出力保持時間	t_{AHL4}	—	(14.5)	—	ns
(5)	ADCK 立上がり～デジタル出力遅延時間	t_{AOD5}	—	(23.5)	—	

外付け回路例

● 外付け回路例 1 (通常モード)



● 外付け回路例 2 (CDS 部単体動作モード : 61pin の Test = Hi)



発振回路について

本 LSI は帰還抵抗を含めた OSC を内蔵しています。使用しない場合はアドレス 00f6 の D1 = 1 とすることで外部クロック入力に切り換えることもできます。使用する X'tal につきましては「リバーエレテック社の FCX-03 シリーズ」で弊社にて動作確認しております。ただし、X'tal の種類が異なる場合には外付け抵抗、コンデンサの定数を見直す必要があります。

X'tal を使用しない場合は直接外部 CLK を入力する方法(図 20)と、コンデンサを介して入力する方法(図 21)を選択することができます。CLK_in にとって duty = 50% ± 15% の条件を満たすためにどちらが良いかご判断頂き、選択してください。

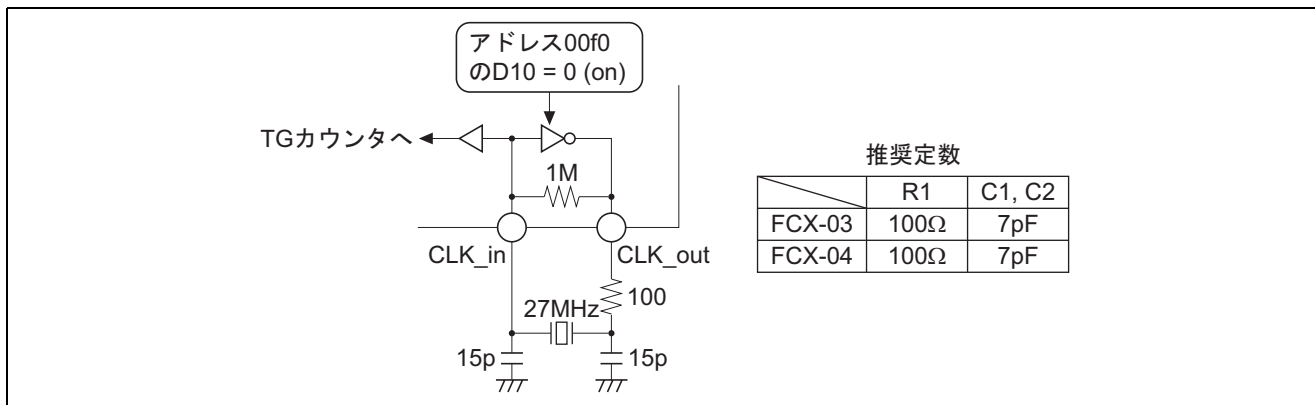


図 19 発振回路

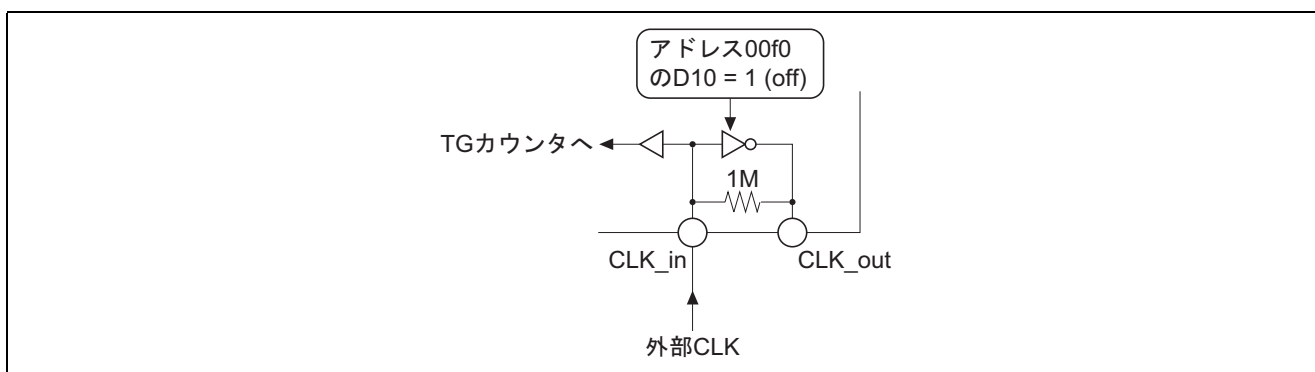


図 20 CLK を外部から入力する場合(1)

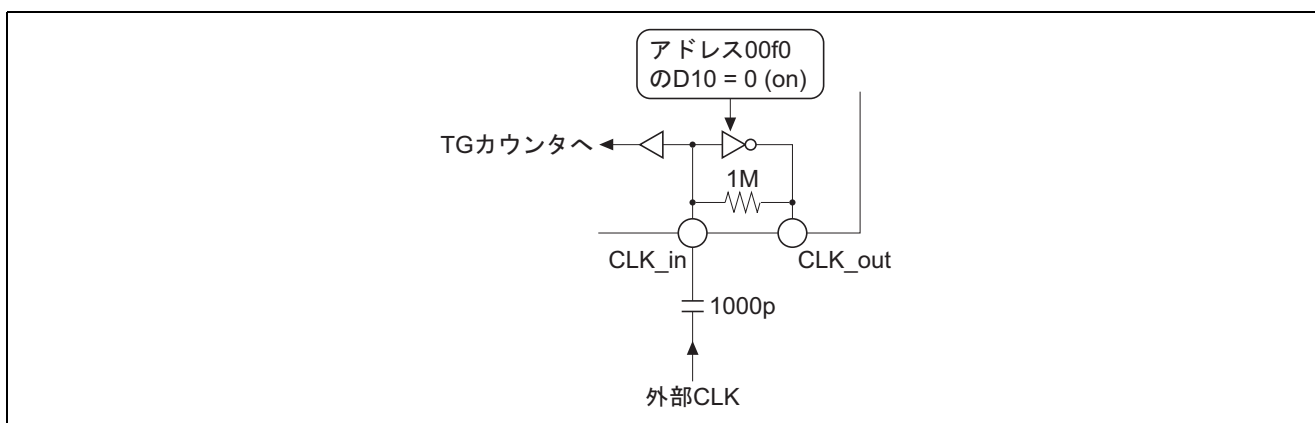


図 21 CLK を外部から入力する場合(2)

ご使用にあたっての注意事項

電源/Gnd について

- (1) Gnd はベタとしてください。
- (2) アナログ電源とデジタル電源は L などでも分離してください。
- (3) 電源を分離する場合、DVdd3 以外は各 Vdd 間で $\pm 0.2V$ 以上の電位差をつけないでください。

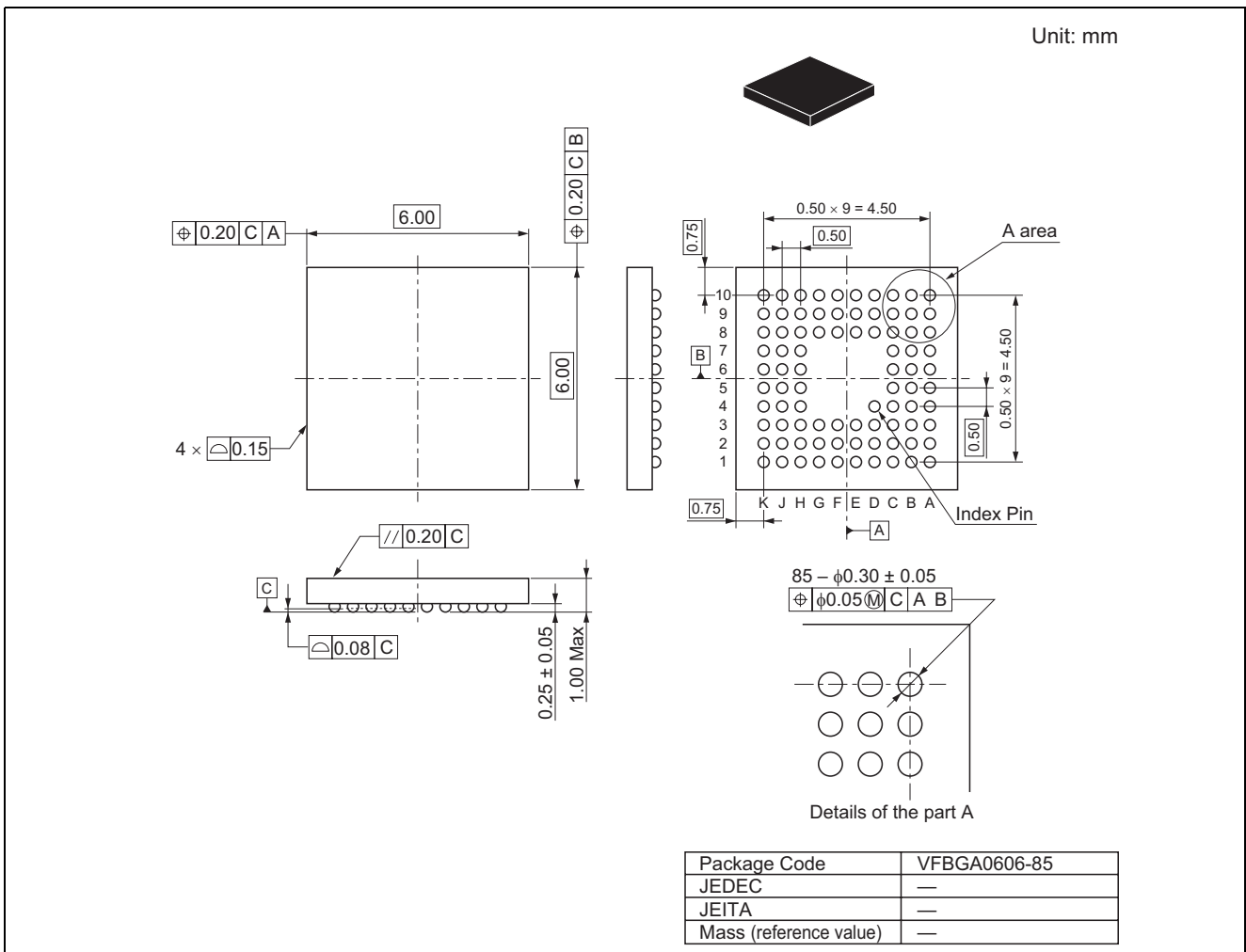
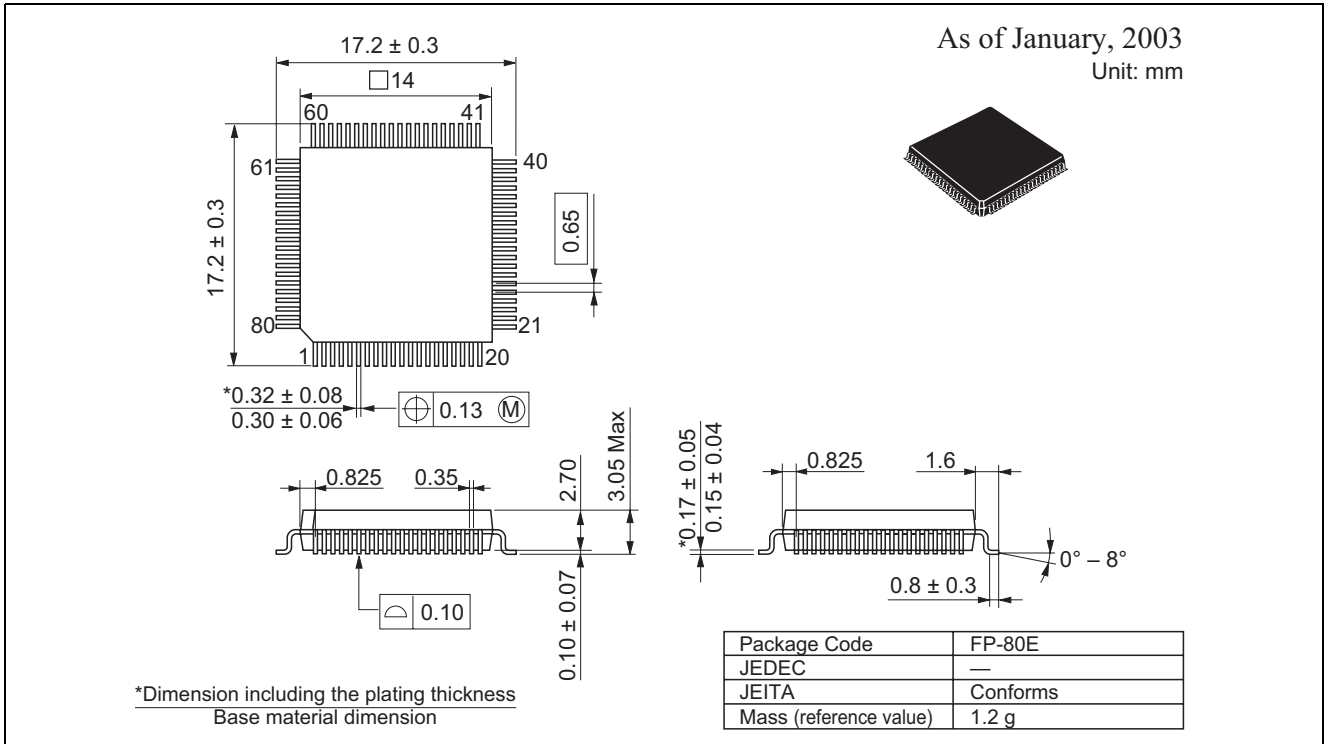
パターンの引き回しなど

- (1) アナログ部(61~71pin)の近くにデジタル信号線を設置しないでください。
- (2) X'tal, DLL 部(18~21pin)の近くにデジタル信号線を設置しないでください。
- (3) H1, H2, CCD 信号線などはなるべく Gnd で囲むようにしてください。
- (4) ADC 出力線を長く引き伸ばす場合は、 100Ω 程度のシリーズ抵抗を付けてください。
- (5) CLK_in に使用するクロックはジッタの少ないきれいなパルスを入力してください。

実動作時のチェックポイント

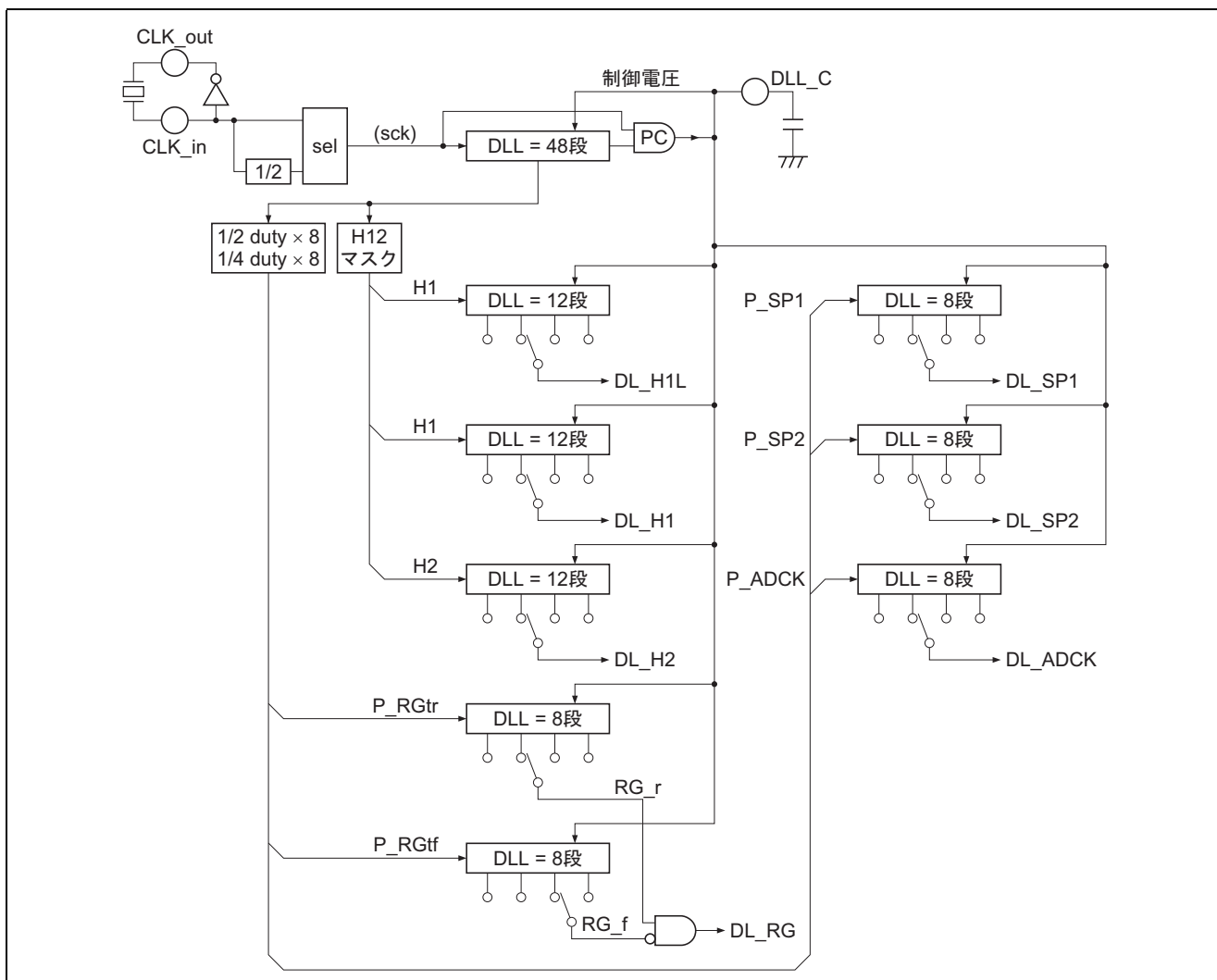
No.	項目	内容	判定
1	入力パルス極性	スレープモードの場合 CLK_in, HD_in, VD_in の極性がシリアルデータで設定した内容と合っているか。(アドレス H'0000 の D0~D2) また、CLK_in の duty が $50\% \pm 15\%$ を守っているか。	
2	入力パルス タイミング	スレープモードの場合 HD_in の基準エッジに対し、CLK_in の基準エッジが $\pm 5.5ns$ 以上の余裕があるか。(付録図 2.1 参照)	
		スレープモードの場合 VD_in の基準エッジに対し、HD_in の基準エッジが 1clk 以上の余裕があるか。(付録図 2.1 参照) また、VD の幅は最低でも 1H 以上の幅を持っていること。	
3	CCD 駆動パルス	H1(H1L), H2, RG が CCD に要求されたタイミングで出力されているか。	
		XV1~12, CH1~8, XSUB が CCD に要求されたタイミングで出力されているか。	
4	CDS, PGA 用パルス	CCD 信号に対し MON 端子から SP1, SP2, ADCK を観測。図 14 表 5 の関係を守っているか。特に t_{CDSS} は動作周波数と等価のため注意。 また、SP1 と SP2 の Low 期間が重ならないこと。	
		SP1 立下がりエッジ付近に ADCK 立上がりエッジが設定されているか。	
		ADCK 立上がりエッジと OBP 立上がりエッジが $\pm 5ns$ 以上離れているか。	
		ADCK 立上がりエッジと PBLK 立上がりエッジが $\pm 5ns$ 以上離れているか。	
5	ADC 出力信号	ADC 出力と DSP のラッチタイミングに余裕度があるか。	
		差分符号を使用する場合、基準位相は問題無いか。	
6	オフセット キャリブレーション	電源投入時、または SLP からの復帰時に図 6 に記載したシーケンスを守っているか。	
7	S/N 向上	SP1, SP2 の位相調整、ADCK の位相調整。調整終了後に項目 4 を再チェック。	
		LPF_sel, SHSW_fsel, SHA_fsel のフィルタ調整。	
8	クランプ動作	クランプコンデンサは横引きノイズとクランプ高速引き込みがトレードオフの関係になります。双方の特性をチェックして最適値を決定してください。	
		クランプミス誘発させ、ダミークランプのデータやパルスタイミングを設定。OB クランプ時とのマージンを見てください。	
		ダミークランプや幅広クランプはセンサの特性、被写体条件、使用条件により悪影響を与える場合もありますので、十分なる検討をお願いします。	

外形寸法図



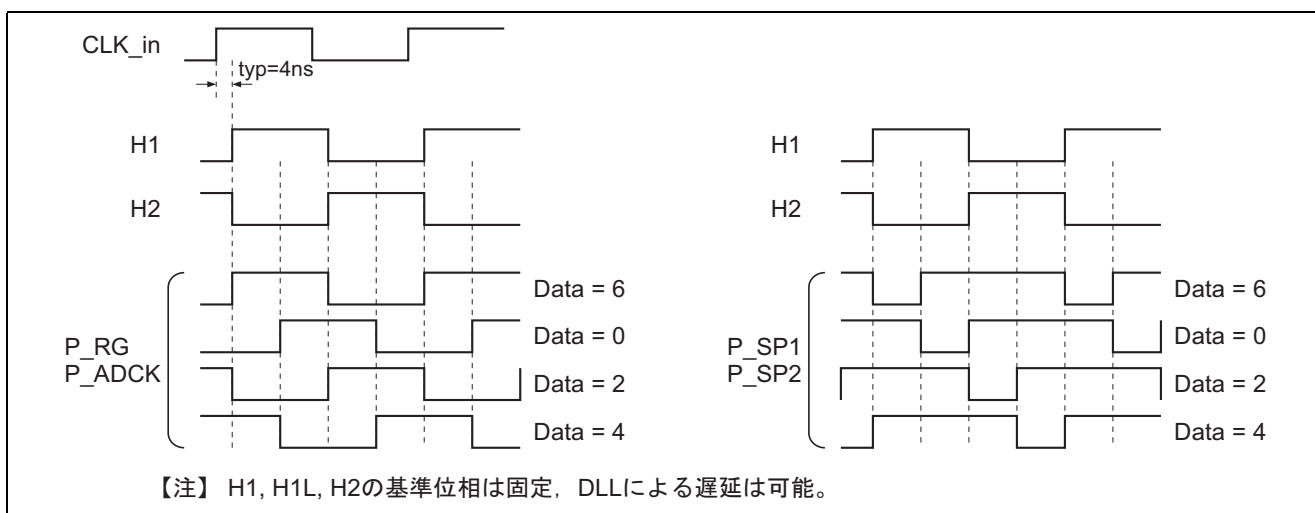
付録1 タイミングチャート

1. 高速パルス系 (H1, H2, RG, SP1, SP2, ADCK パルス)



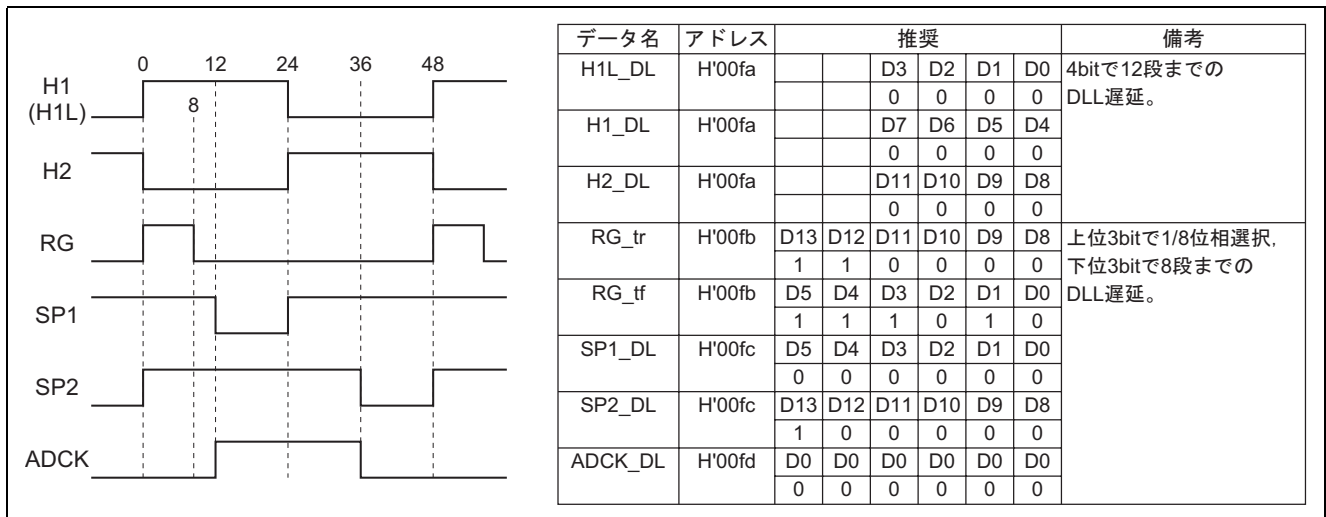
付録図 1.1 高速パルス系回路構成

- 1/8 位相選択：上位 3bit (P_RGtr, P_RGtf, P_SP1, P_SP2, P_ADCK)



付録図 1.2 1/8 位相選択

● 高速パルス系の推奨位相



付録図 1.3 高速パルス系の推奨位相

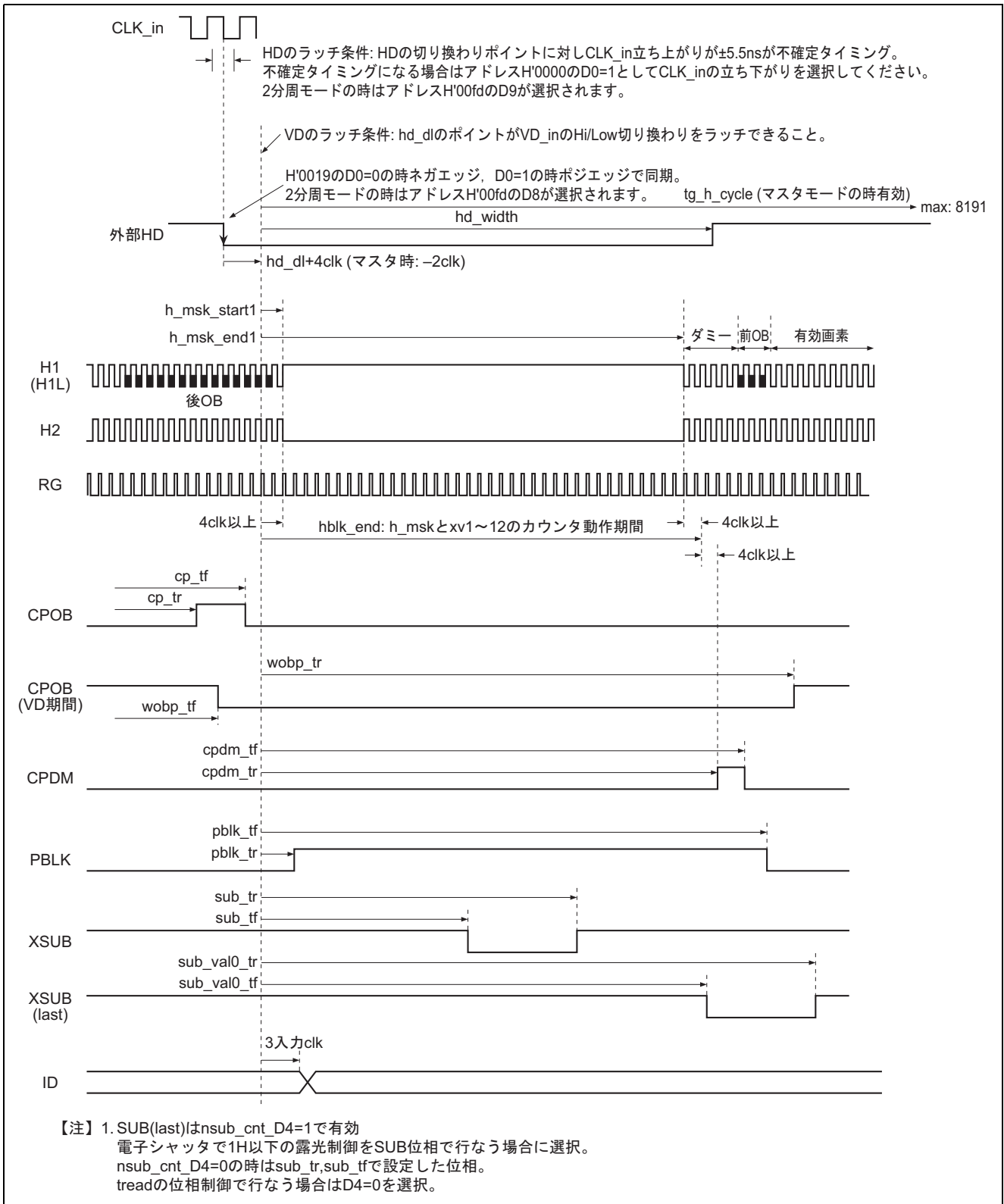
DLL 回路を安定動作させるために、ハードウェア Reset によるオフセットキャリブレーションを必ず実行してください。

- (1) 電源投入時
- (2) SLP からの復帰。(STBY からの復帰時は必要ありません)

また、動作中に以下のような状況の場合にはアドレス H'00f2 の D13「DLL_Reset」を 1→0 として DLL 部のみでリセットを掛ける必要があります。

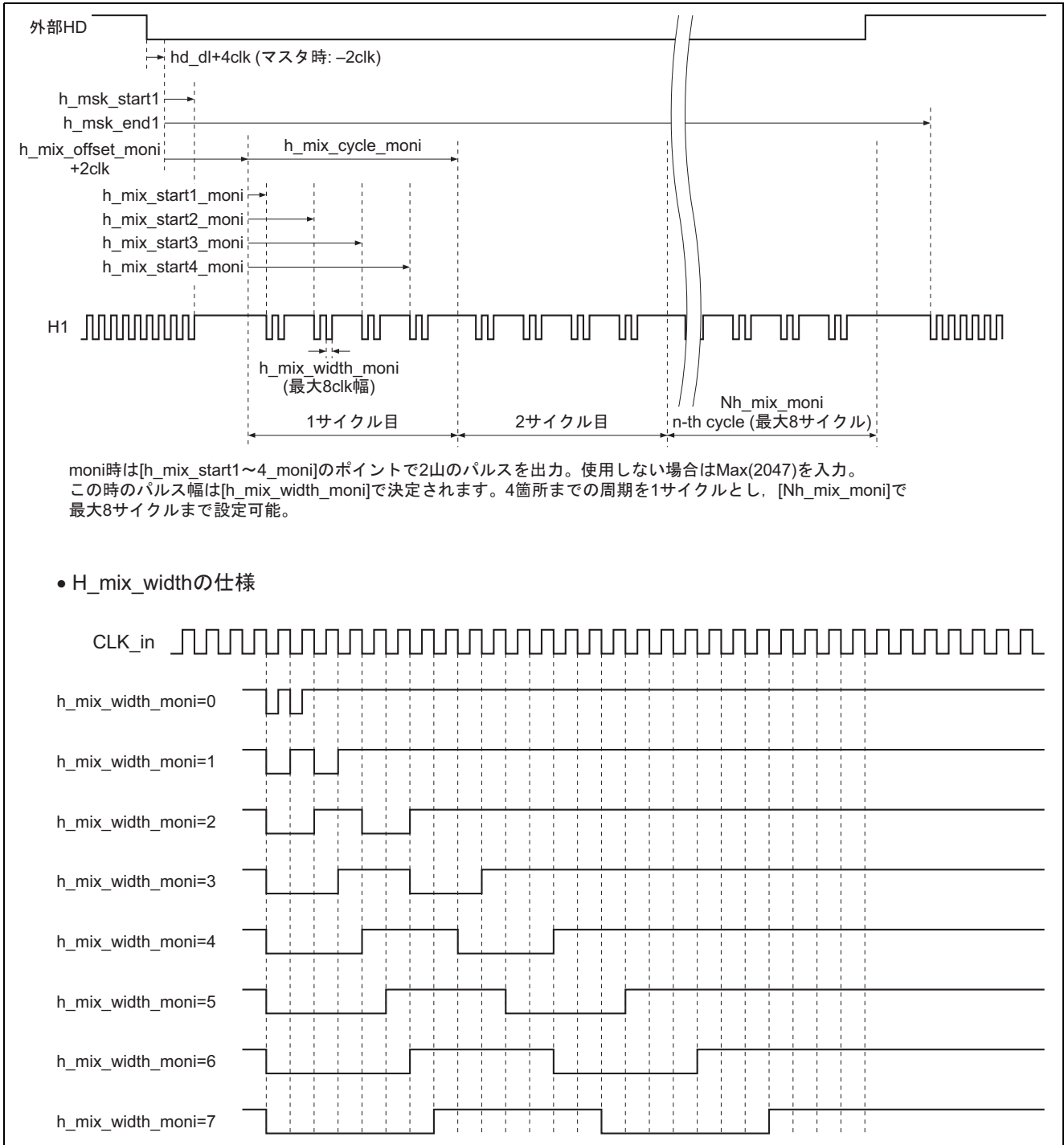
- (1) 動作中に CLK_in 周波数を変更する場合
- (2) 動作中に CLK_in が停止したり、外乱ノイズが入った場合

2. H.BLK 期間



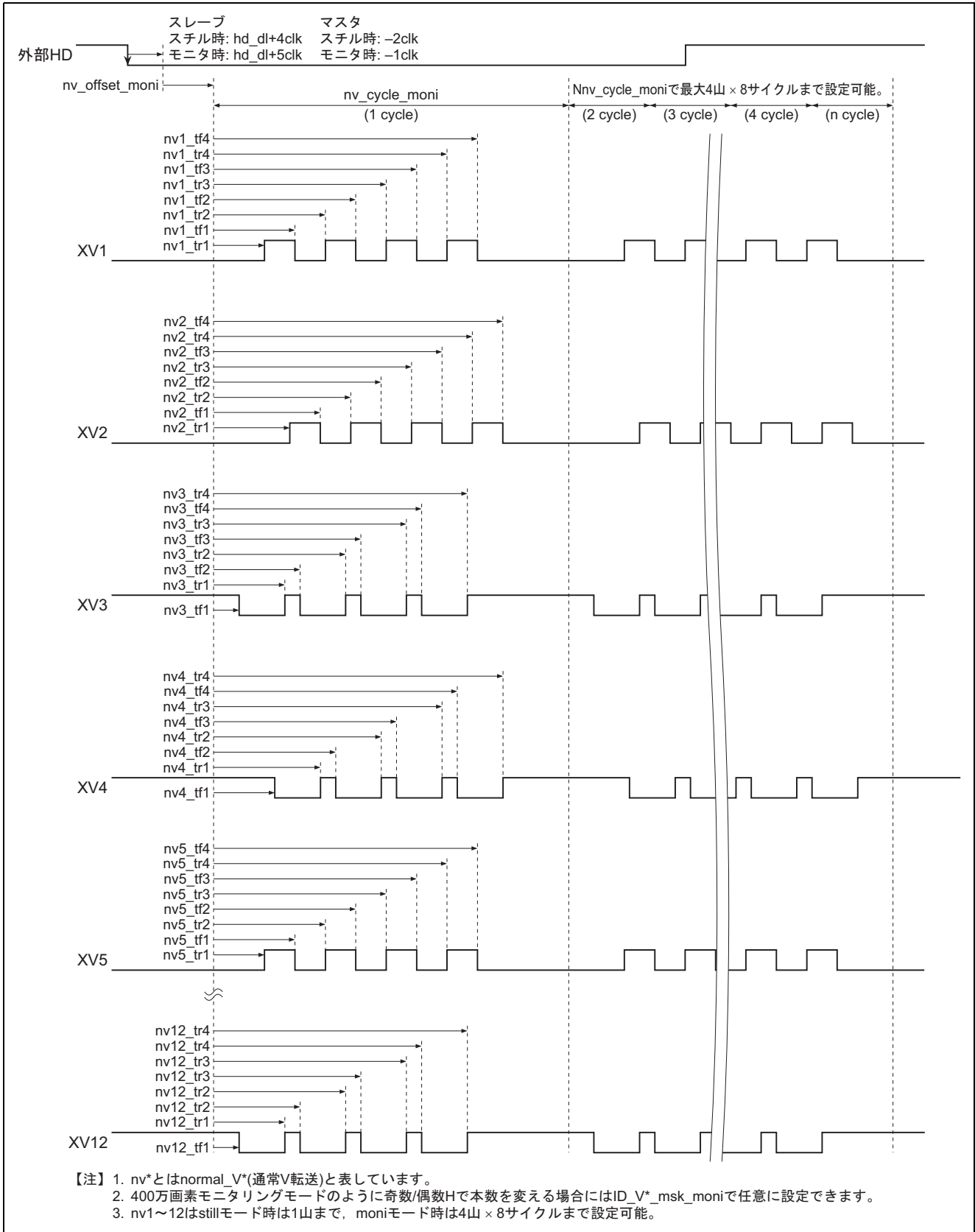
付録図 2.1 H.BLK 期間

3. moni 時の H.CCD 転送パルス



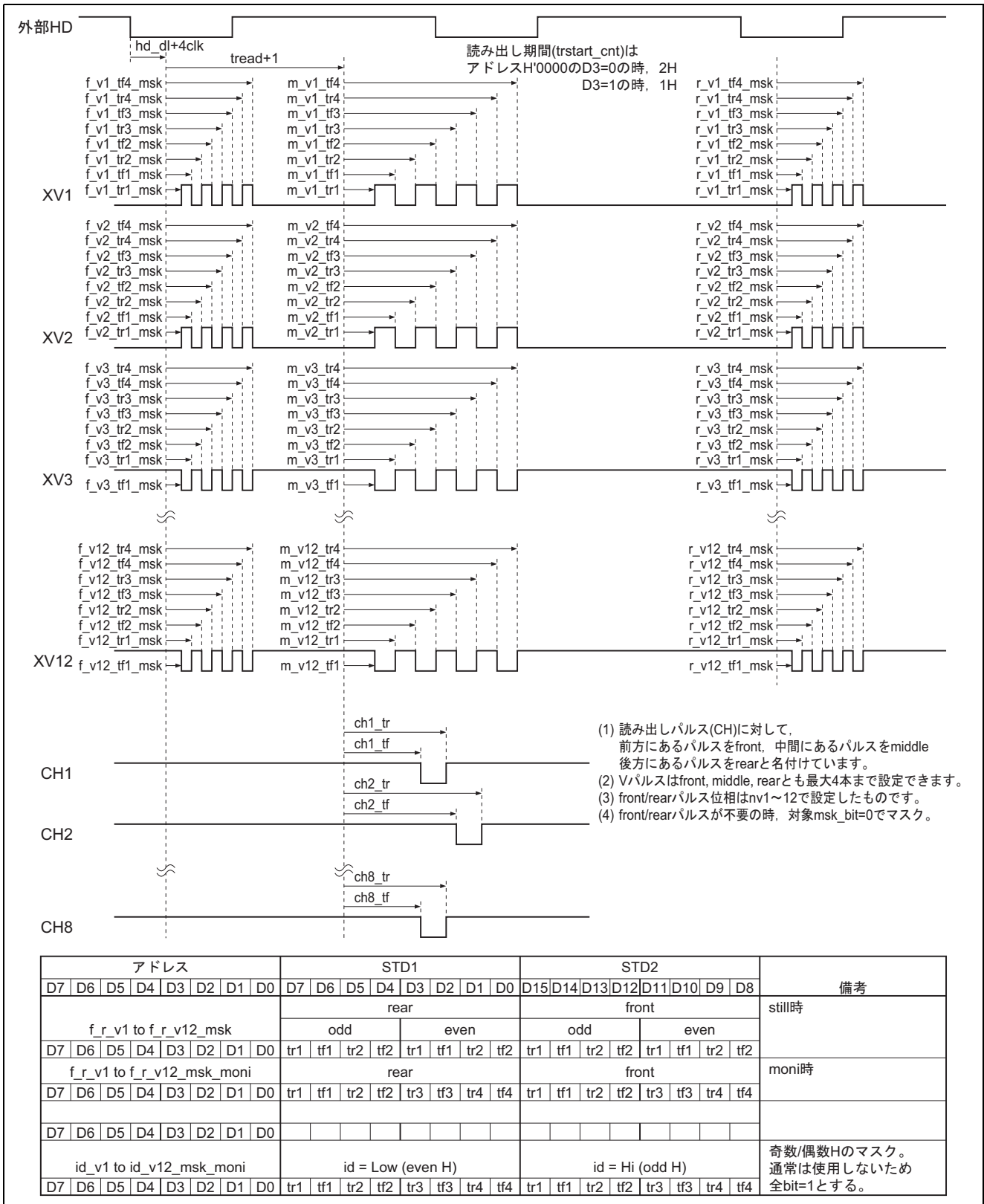
付録図 3.1 moni 時の H.CCD 転送パルス

4. XV1~12の通常転送タイミング



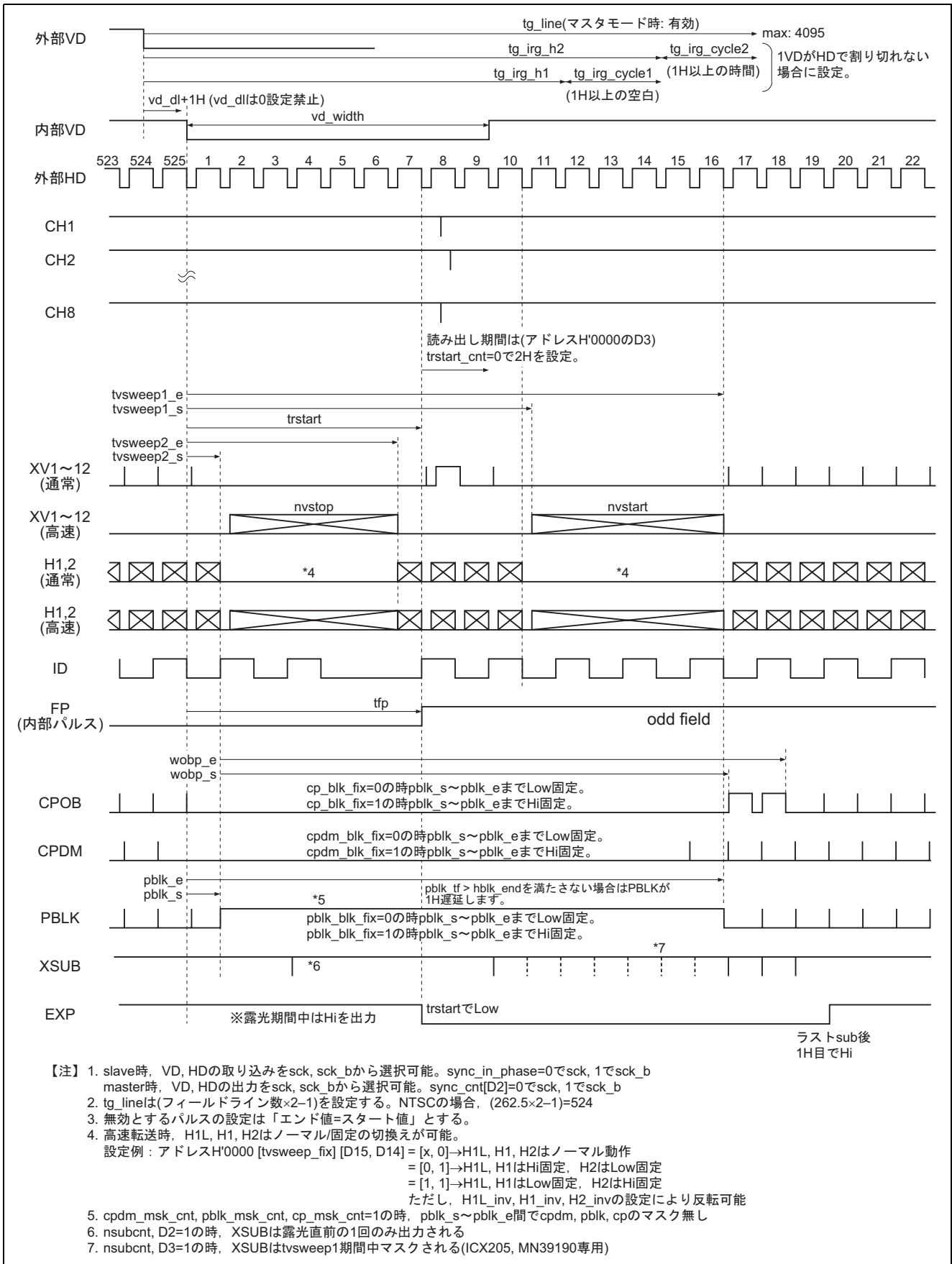
付録図 4.1 XV1~12の通常転送タイミング

5. XV1~12 読み出し期間のタイミング (2H 読み出しモードで記載)



付録図 5.1 XV1~12 読み出し期間のタイミング

6. V.BLK 期間



付録図 6.1 V.BLK 期間

7. SUB パルス補足説明

● SUB パルスの特殊機能

(1) ラスト SUB 位相制御

アドレス H'0006 の D4 = 1 の時, アドレス H'00eb, 00ec で設定した位相で動作。

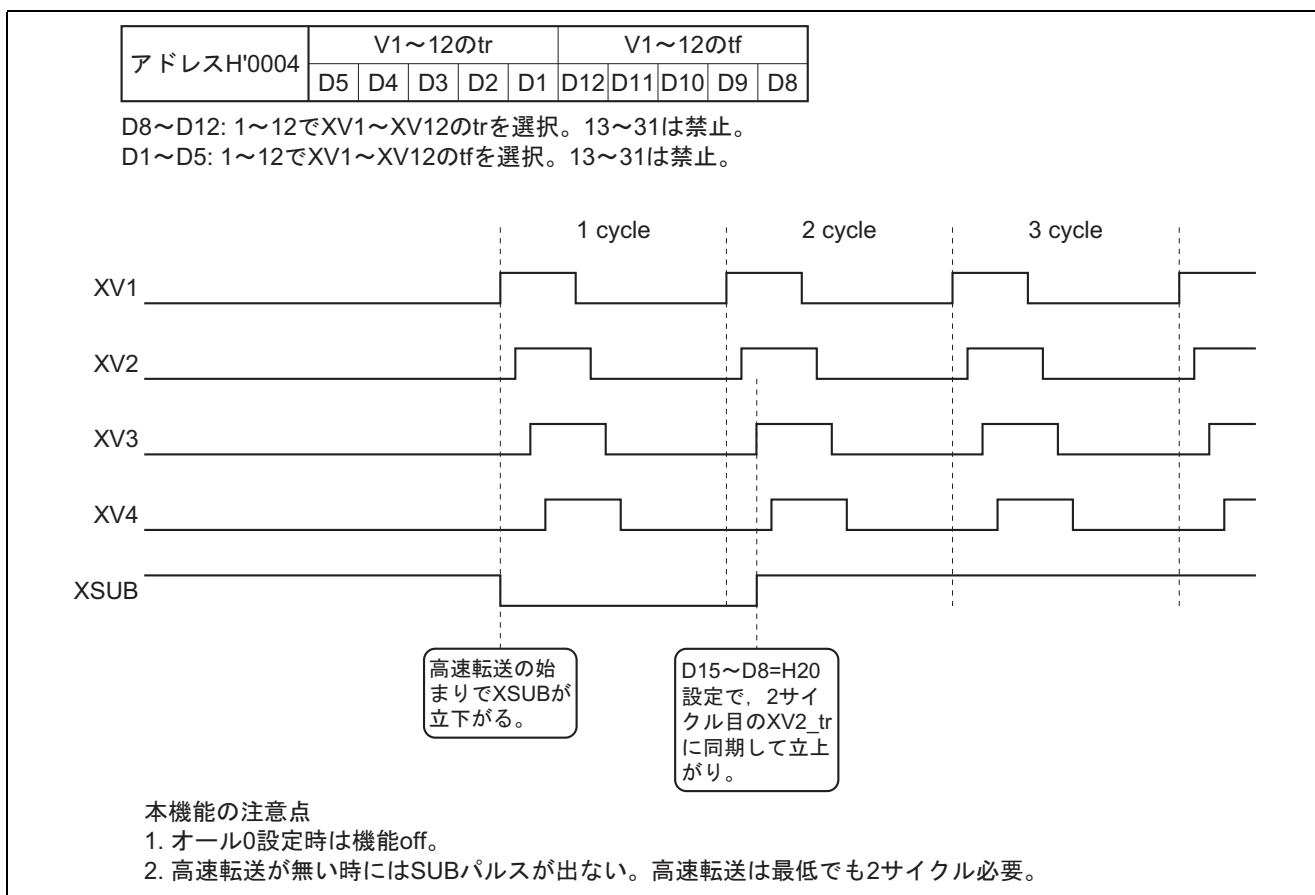
(2) V 高速転送期間停止

アドレス H'0006 の D3 = 1 の時, tvsweep1 期間 SUB パルスをマスク。

(3) 単発出し

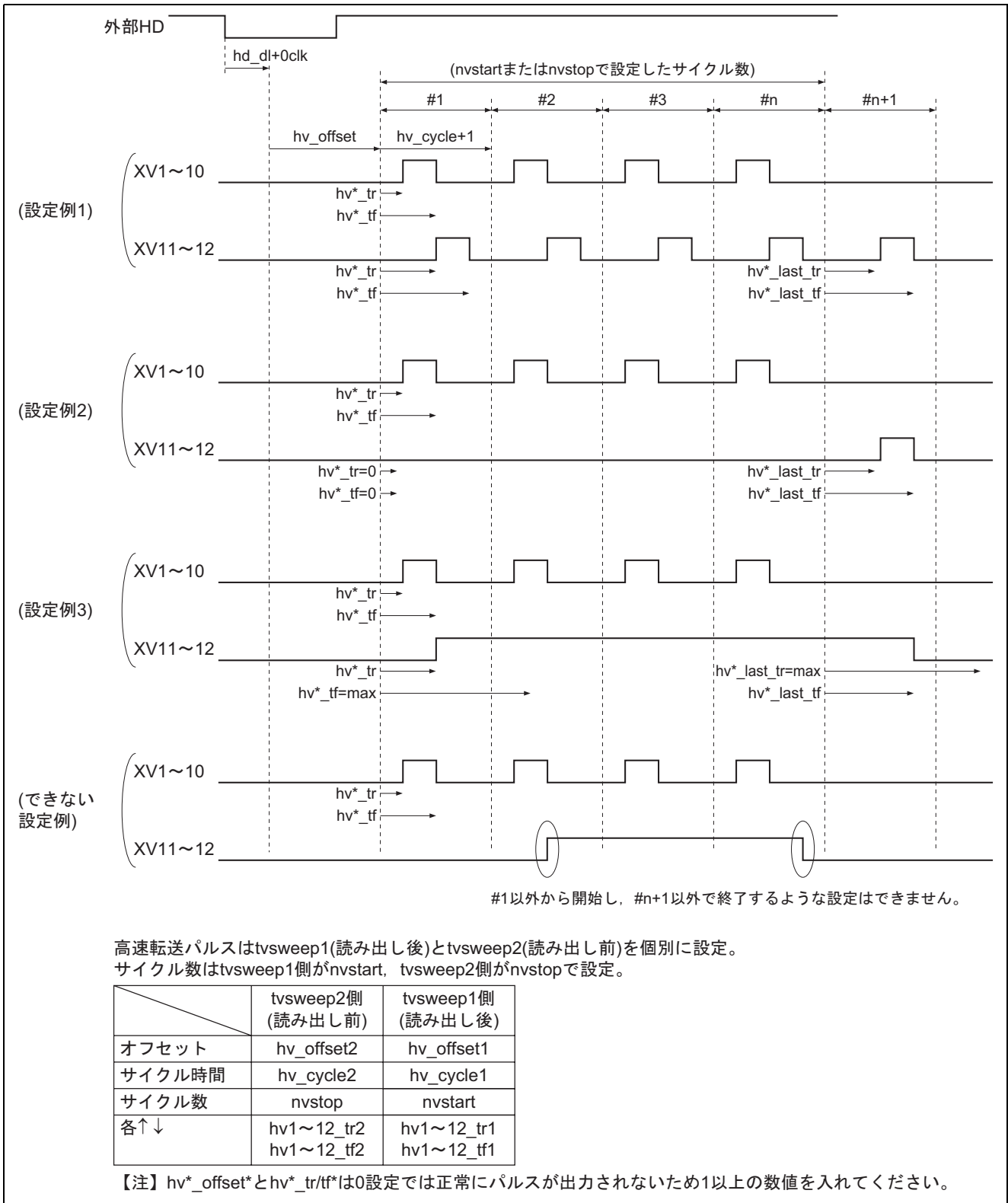
アドレス H'0006 の D2 = 1 の時, SUB パルスを 1 発出し。

などの他, V 高速転送タイミングに合わせた位相で制御することも可能です。(tvsweep2 期間)



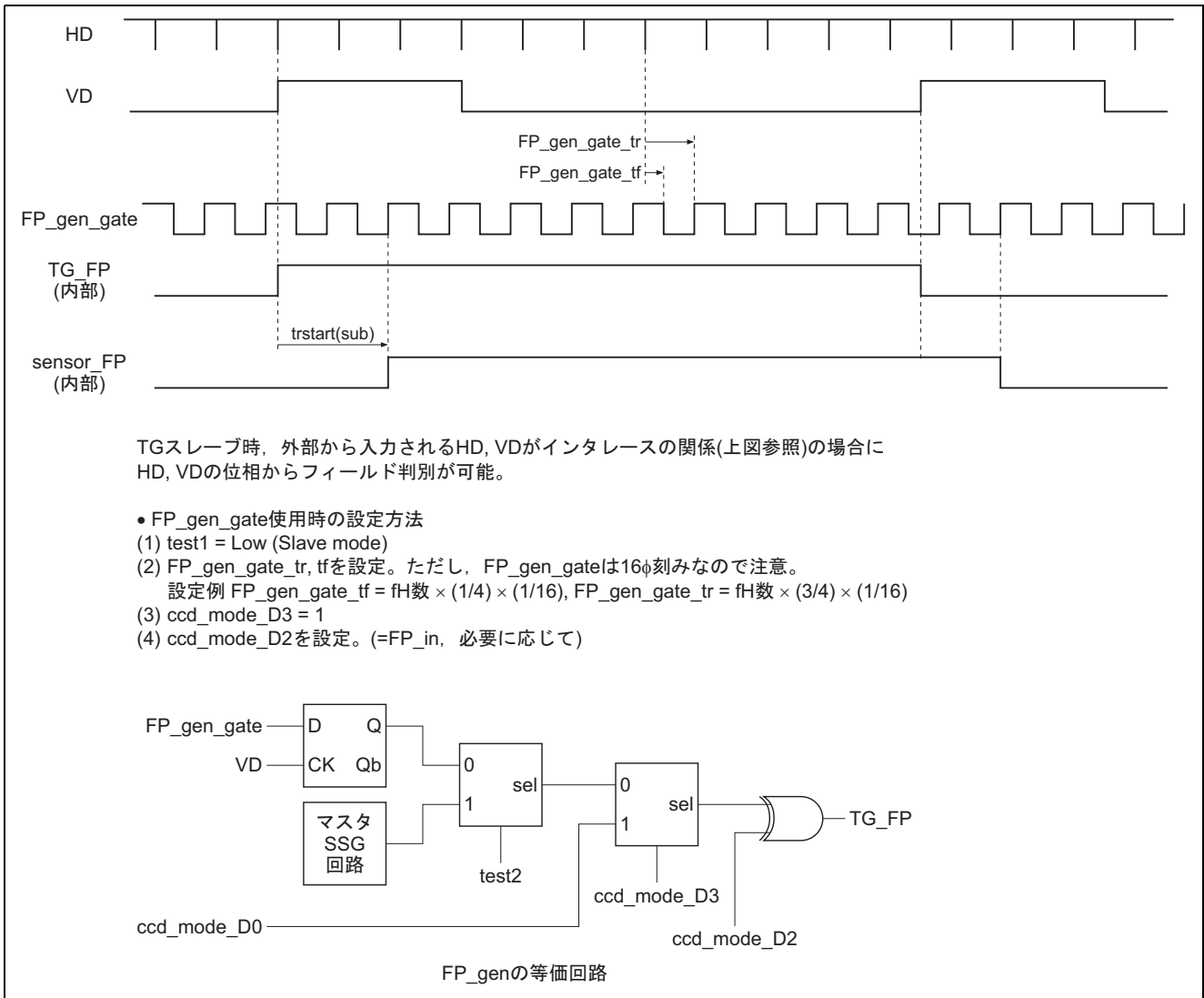
付録図 7.1 SUB パルス補足説明

8. XV1 ~ 4 高速転送 (tvsweep1, 2 の期間)



付録図 8.1 XV1 ~ 4 高速転送

9. FP_gen_gate の補足説明



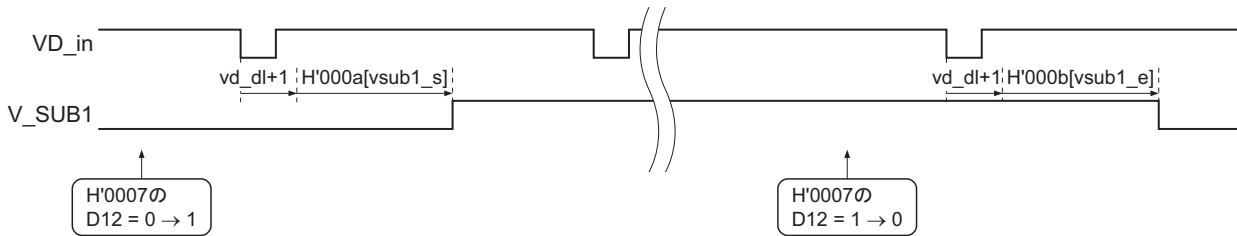
付録図 9.1 FP_gen_gate の補足説明

10. その他のパルス

名称	SW	start	end
VSUB1	D12 of 0007	000a	000b
VSUB2	D13 of 0007	01e6	01e7
M_SHT	D2 of 0007	01e8	01e9
Strobo	D10 of 0007	0009	0008×D11

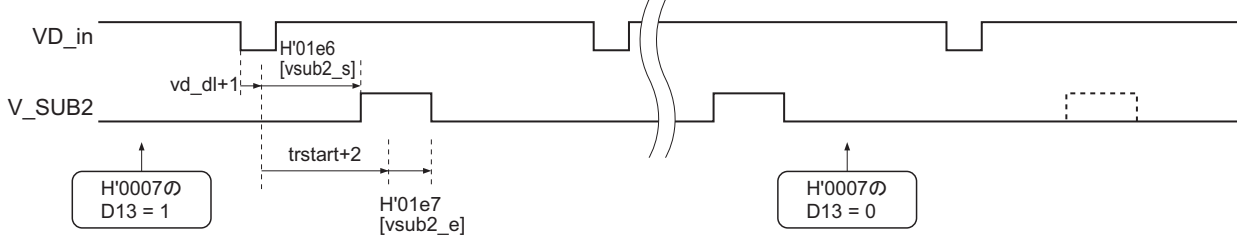
• V_SUB1

- ・ H'0007のD12=1の時、次のVD後からH'000a [vsub1_s] に設定したH数目にHiを出力します。
- ・ H'0007のD12=0の時、次のVD後からH'000b [vsub1_e] に設定したH数目にLowを出力します。



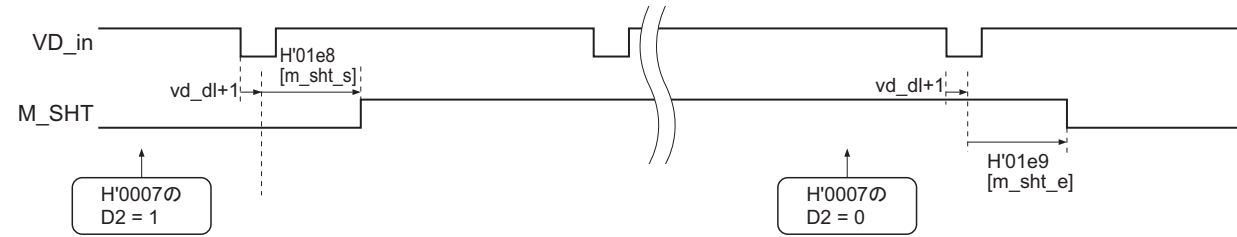
• V_SUB2

- ・ H'0007のD13=1の時、次のVD後からH'01e6 [vsub2_s] に設定したH数目にHiを出力し、[Trstart] + H'01e7 [vsub2_e] で設定した位相でLowになります。
- ・ H'0007のD13を0クリアするまで、VSUB2は出力し続けます。



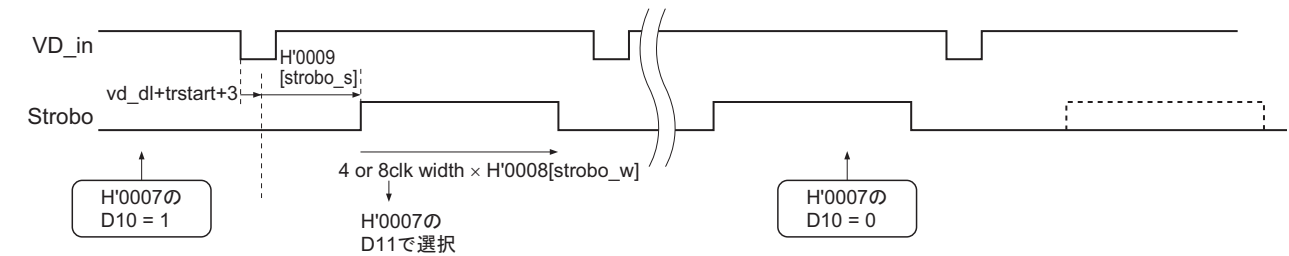
• M_SHT

- ・ H'0007のD2=1の時、次のVD後からH'01e8 [m_sht_s] に設定したH数目にHiを出力します。
- ・ H'0007のD2=0の時、次のVD後からH'01e9 [m_sht_e] に設定したH数目にLowを出力します。



• M_SHT

- ・ H'0007のD10=1の時、次のVD後からH'0009 [strobo_s] に設定したH数目にHiを出力し、H'0007のD11で設定したclk幅 × H(0008)の期間後にLowに切り替わります。
- ・ H'0007のD10を0クリアするまで、パルスは出力し続けます。



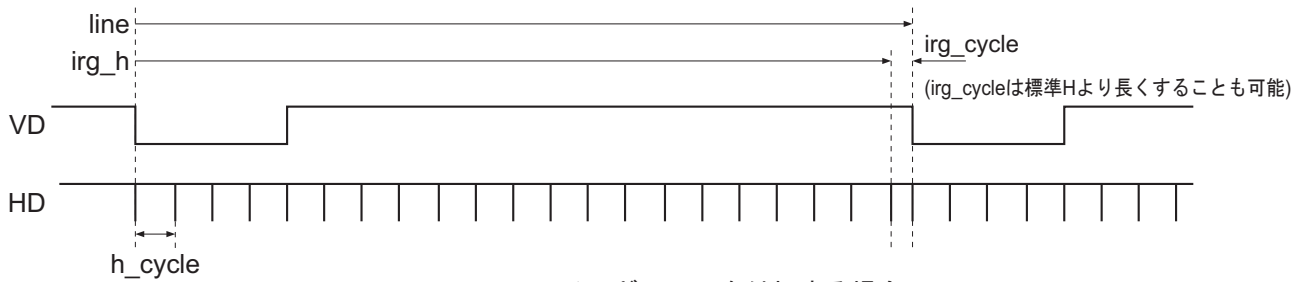
付録図 10.1 その他のパルス

11. イレギュラーHの設定方法について

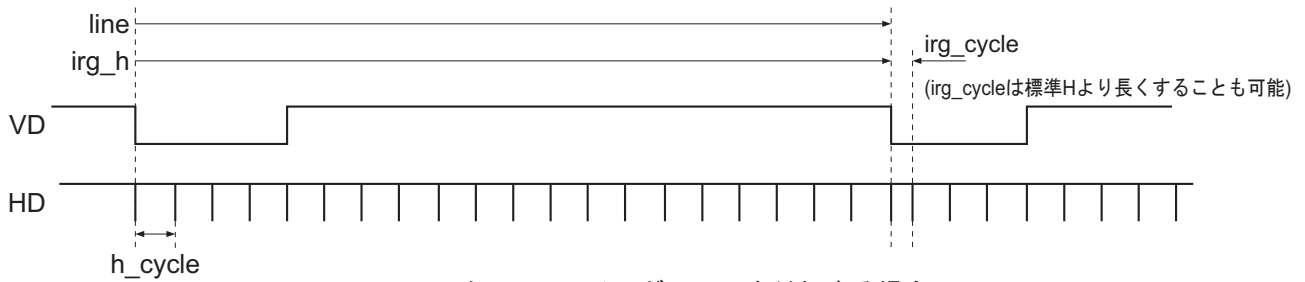
マスタモード時に1フレームの長さを525.3Hというような小数点以下を設定することが可能です。

アドレス	データ名	内容	設定上の制約
H'10	line	1フレームのH数を設定	H数 × 2 - 1
H'11	h_cycle	1Hのclk数を設定	clk数 - 1
H'12	irg_h1	整数Hの終了点を設定1	H数 - 1
H'13	irg_cycle1	小数Hのclk数を設定1	clk数 - 1
H'14	irg_h2	整数Hの終了点を設定2	H数 - 1
H'15	irg_cycle2	小数Hのclk数を設定2	clk数 - 1

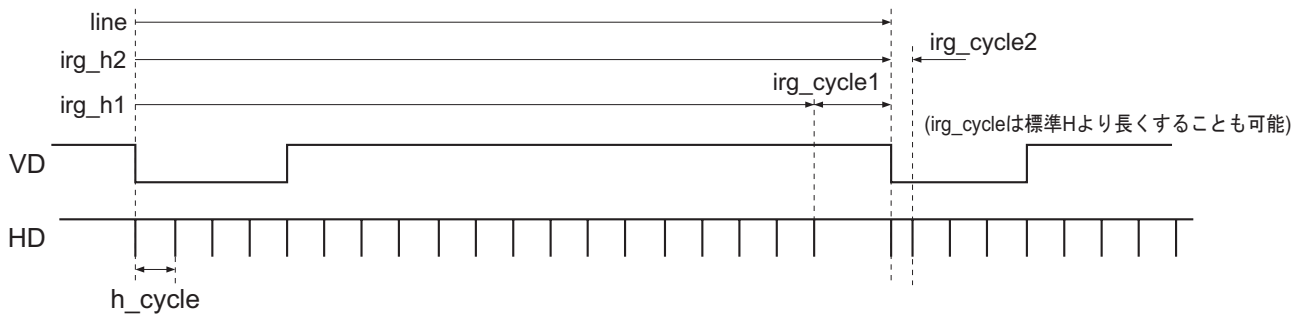
イレギュラーは2箇所を設定でき、どちらも同じ動作です。
イレギュラーが不要の場合はirg_h=max設定としオーバーカウントさせてください。



(1) ラストHにイレギュラーを付加する場合



(2) スタートHにイレギュラーを付加する場合



(3) イレギュラーを2箇所に加付する場合

付録図 11.1 イレギュラーHの設定方法

付録2 アドレス一覧

1. アドレス H'0000 ~ H'0007 (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks		
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D15,14: [tvsweep_fix[1:0]] tvsweep期間のh1, h2/パルス固定。(*1) D13: [cpdm_blk_fix] D13=1でpblk期間をhi固定。0でLow固定。 D12: [pblk_blk_fix] D12=1でpblk期間をhi固定。0でLow固定。 D11: [cp_blk_fix] D11=1でpblk期間をhi固定。0でLow固定。 D10: [cpdm_msk_cnt] D10=1でpblk期間のcpdm/パルスマスク無し。 D9: [pblk_msk_cnt] D9=1でpblk期間のpblk/パルスマスク無し。 D8: [cp_msk_cnt] D8=1でpblk期間のcp/パルスマスク無し。 D7: [vgate_cnt_cpdm] D7=1でvgate時のcpdm/パルスマスク無し。 D6: [vgate_cnt_pblk] D6=1でvgate時のpblk/パルスマスク無し。 D5: [vgate_cnt_cp] D5=1でvgate時のcp/パルスマスク無し。 D4: [jd_cnt] D4=1で松下400万画素の1/7倍速コントロールIDを反転。 D3: [trstart_cnt] D3=0でRead out部2H(松下), D3=1で1H(sony)。 D2: [vd_in_pol] D2=1でvd入力を反転。 D1: [hd_in_pol] D1=1でhd入力を反転。 D0: [sync_in_phase] sync初段取り込みタイミング。(sck/sck_b)	
0001	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	hdのTGモジュール内部遅延設定(t=1/fs) 設定データ+3がDLタイミング。	
0002	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	vdのTGモジュール内部遅延設定 (still,pd_mixモード時)(t=1H) 設定データ+3がDLタイミング。	
0003	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	vdのTGモジュール内部遅延設定 (moniモード時)(t=1H) 設定データ+3がDLタイミング。	
0004	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D12 to 8: subのtrをhv1~12のtr,tfから選択 D4 to 0: subのtfをhv1~12のtr,tfから選択 各5bitが0の時は通常のsub位相。 高速転送が無い時はsubが出ない, hvの数に影響される。	
0005	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	subの打ち込み回数(sub_numberと等化。)	
0006	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D7 to D5: sub_positionと等化。通常000で使用。(*V) D4=1でラストsubが有効。0の時は通常のsub位相。 D3=1の時、 tvsweep1期間でsub/パルスをマスク(松下ドライブ、 sony ICX250) D2=1の時、 subの単発出し。 D1=1の時、 sensorFP=low時にsubの打ち込み回数=nsub+1 (*V) D0=1の時、 sensorFP=hi時にsubの打ち込み回数=nsub+1 (*V)	
0007	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D15: [pblk_gate_sel] (松下)は1固定。pblk2の生成選択。 D14: [vlat_sel] Vラッチの位置選択。 D13: [vsub2] 1の時vsub2をアドレスH'01e6~01e7の幅で動作。(*V) D12: [vsub1] 1の時vsub1をアドレスH'000a~000bの幅で動作。(*V) D11: [h4_i8_sel] ストロボ/パルスの刻み幅。0の時8clk刻み、 1の時4clk刻み。 D10: [strobo_on] 0の時strobe端子=Low、 1の時strobe端子=Hi。(*V) D9: [fast_throw] 0の時V高速転送off、 1の時V高速転送on。(*V) D8: [all_charge] 0の時不要電荷読み出しoff、 1の時不要電荷読み出しon。(*V) D7 to D5: [vlat_timing] Vラッチの位置調整。 D4: [phase_cnt] D4=1の時、 外部syncと内部sckの位相を自動調整有効。 D3: [clk_r_msk] clk_inのhd_in立上りエッジリセット。1の時リセット無しでフリー1/2。 D2: [m_sht] 1の時m_shtをアドレスH'01e8~01e9の幅で動作。(*V) D1 to D0: [c_sel] TG内sck基準位相選択	

【注】 1. tvsweep_fix(1:0) = x0: h1,h2は通常出力 (tvsweep期間も通常出力)

01: tvsweep期間でh1はHi固定, h2はLow固定。

11: tvsweep期間でh1はLow固定, h2はHi固定。

(*V)印はVでラッチするデータ。無印はCS立上り直後にラッチするデータ。

Vラッチのタイミングは、 H'0007のD14=0とし、 D7~D5で設定したH数目。

またはD14=1とした時、 読み出し1H前で高速掃き出しも自動的に実行。

2. アドレス H'0008 ~ H'000f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1	STD1[7:0] (L)								STD2[15:8] (H)								Remarks										
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		D15	D14	D13	D12	D11	D10	D9	D8		
0008	0	0	0	0	0	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8	D12 to D0: [strobo_width] H'0007のD11で8clk/4clk刻みを選択。 D10 to D0: [strobo_start] (t=1H) データ=0の時, パルス出力せず。	
0009	0	0	0	0	0	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	アドレスH'0007のD12が0→1を受けた後, Vの先頭から何H目にVSUB1を立ち上げるかを設定。	
000a	0	0	0	0	0	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	アドレスH'0007のD12が1→0を受けた後, Vの先頭から何H目にVSUB1を立ち下げるかを設定。
000b	0	0	0	0	0	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	*: アナログ部のslp/stbyはアドレスH'00f1に設置しており, 独立に動作します。 D9: [TG_SLP] D9=1の時スリープ, 発振器の停止。消費電流=100μA以下, 復帰させるにはハードウェアResetからやり直し。 D8: [TG_STBY] D8=1の時スタンバイ, CLK, HD, VD入力を内部で停止。消費電流=3mA以下。 D3: [fp_gen] D3=0でsensor_FPはD1~D0で決定される値になる。 D2: [fp_inv] sensor_FPの反転。D2=1でパルス反転。 D1, D0: 00の時, still/even 01の時, still/odd 11の時, monitoring
000c	0	0	0	0	0	1	1	0	0					D3	D2	D1	D0								D9	D8	ccld_mode (*V) slp/stby	
000d	0	0	0	0	0	1	1	0	1							D1	D0							D11	D10	D9	D8	D11: [vsub1_fix] D11=1でパルス固定。 D10: [vsub1_inv] D10=1でパルス反転。 D9: [vsub2_fix] D9=1でパルス固定。 D8: [vsub2_inv] D8=1でパルス反転 D1: [rg_fix] D1=1でパルス固定。 D0: [rg_inv] D0=1でパルス反転。
000e	0	0	0	0	0	1	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14					D11	D10			D15: [h1_fix] D13=1でパルス固定。 D14: [h1_inv] D12=1でパルス反転。 [h1L_fix] [h1L_inv] はD15, D14と共通 D11: [h2_fix] D11=1でパルス固定。 D10: [h2_inv] D10=1でパルス反転。 D7: [cp_fix] D7=1でパルス固定。 D6: [cp_inv] D6=1でパルス反転。 D5: [pblk_fix] D5=1でパルス固定。 D4: [pblk_inv] D4=1でパルス反転。 D3: [cpdm_fix] D3=1でパルス固定。 D2: [cpdm_inv] D2=1でパルス反転。 D1: [sub_fix] D1=1でパルス固定。 D0: [sub_inv] D0=1でパルス反転。
000f	0	0	0	0	0	1	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15: [v1_fix] D13=1でパルス固定。 D14: [v1_inv] D12=1でパルス反転。 D13: [v2_fix] D13=1でパルス固定。 D12: [v2_inv] D12=1でパルス反転。 D11: [v3_fix] D11=1でパルス固定。 D10: [v3_inv] D10=1でパルス反転。 D9: [v4_fix] D9=1でパルス固定。 D8: [v4_inv] D8=1でパルス反転。 D7: [ch1_fix] D7=1でパルス固定。 D6: [ch1_inv] D6=1でパルス反転。 D5: [ch2_fix] D5=1でパルス固定。 D4: [ch2_inv] D4=1でパルス反転。 D3: [ch3_fix] D3=1でパルス固定。 D2: [ch3_inv] D2=1でパルス反転。 D1: [ch4_fix] D1=1でパルス固定。 D0: [ch4_inv] D0=1でパルス反転。		

3. アドレス H'0010 ~ H'001f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks		
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
0010	0	0	0	0	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8	フィールドの周期 (t=1/2H) still/moniで再設定が必要 標準区間のHサイクル (t=1/fs)
0011	0	0	0	0	1	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8	イレギュラHの設定H1 (t=1H)
0012	0	0	0	0	1	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0					D11	D10	D9	D8	イレギュラH期間のHサイクル1 (t=1/fs)	
0013	0	0	0	0	1	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8	イレギュラHの設定H2 (t=1H)
0014	0	0	0	0	1	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0					D11	D10	D9	D8	イレギュラH期間のHサイクル2 (t=1/fs)	
0015	0	0	0	0	1	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8	
0016	0	0	0	0	1	0	1	1	0																	hd出力パルス幅 (t=1/fs)	
0017	0	0	0	0	1	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0					D11	D10	D9	D8	vd出力パルス幅 (t=1/2H)	
0018	0	0	0	0	1	1	0	0	0				D4	D3	D2	D1	D0										
0019	0	0	0	0	1	1	0	0	1				D4	D3	D2	D1	D0									D4: [ttgvd] (*1) D2: [sync_phase] D2=0の時, sck出力 D2=1の時, sck_b出力 D1: [vd_pol] D1=0の時, ポジパルス D1=1の時, ネガパルス D0: [hd_pol] D0=0の時, ネガパルス D0=1の時, ポジパルス	
001a	0	0	0	0	1	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: FP判別ゲート立上り (t=16/fs) D7 to D0: FP判別ゲート立下り (t=16/fs)	
001b	0	0	0	0	1	1	0	1	1																		
001c	0	0	0	0	1	1	1	0	0				D4				D0									D4: [DLL用2分周選択] D4=0でtg_sck, D4=1でclk/2。 D0: [hd_in_pol] D0=1の時, hd_inを反転。	
001d	0	0	0	0	1	1	1	0	1																		
001e	0	0	0	0	1	1	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0					D11	D10	D9	D8	wobp開始位置 (t=1H)	
001f	0	0	0	0	1	1	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0					D11	D10	D9	D8	wobp終了位置 (t=1H)	

【注】 1. ttgvdはマスタモードのインタレース動作時のみ有効で,
0設定の時, odd=263H,even=262H
1設定の時, odd=262H,even=263H

4. アドレス H'0020 ~ H'002f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks				
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8					
0020	0	0	0	1	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	stillモード時のRead_out開始位置 (t=1H)	
0021	0	0	0	1	0	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	stillモード時のpblk開始位置 (t=1H)	
0022	0	0	0	1	0	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	stillモード時のpblk終了位置 (t=1H)	
0023	0	0	0	1	0	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	読み出しパルス後のVパルス高速転送部 開始位置 (t=1H)	
0024	0	0	0	1	0	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	読み出しパルス後のVパルス高速転送部 終了位置 (t=1H)	
0025	0	0	0	1	0	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	読み出しパルス前のVパルス高速転送部 開始位置 (t=1H)	
0026	0	0	0	1	0	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	読み出しパルス前のVパルス高速転送部 終了位置 (t=1H)	
0027	0	0	0	1	0	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	moniモード時のRead_out開始位置 (t=1H)	
0028	0	0	0	1	0	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	moniモード時のpblk開始位置 (t=1H)	
0029	0	0	0	1	0	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	moniモード時のpblk終了位置 (t=1H)	
002a	0	0	0	1	0	1	0	1	0																				
002b	0	0	0	1	0	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	tvswEEP1期間のv1~v12高速転送個数	
002c	0	0	0	1	0	1	1	0	0					D3	D2	D1	D0											D3, D2: sensorFP=Low=even期間で, nvstart+α個 D1, D0: sensorFP=Hi=odd期間で, nvstart+α個	
002d	0	0	0	1	0	1	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D11	D10	D9	D8	tvswEEP2期間のv1~v12高速転送個数	
002e	0	0	0	1	0	1	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D12	D11	D10	D9	D8	stillモード時のRead_out基準位相 (t=2/fs)
002f	0	0	0	1	0	1	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D12	D11	D10	D9	D8	moniモード時のRead_out基準位相 (t=2/fs)

5. アドレス H'0030 ~ H'003f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks			
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8				
0030	0	0	0	1	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv1通常転送期間の上立り1回目 (t=1/fs)	
0031	0	0	0	1	1	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv1通常転送期間の下立り1回目 (t=1/fs)	
0032	0	0	0	1	1	0	0	1	0																			stillモード時のv1通常転送期間の上立り2回目 (t=1/fs)
0033	0	0	0	1	1	0	0	1	1																			stillモード時のv1通常転送期間の下立り2回目 (t=1/fs)
0034	0	0	0	1	1	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv2通常転送期間の上立り1回目 (t=1/fs)	
0035	0	0	0	1	1	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv2通常転送期間の下立り1回目 (t=1/fs)	
0036	0	0	0	1	1	0	1	1	0																			stillモード時のv2通常転送期間の上立り2回目 (t=1/fs)
0037	0	0	0	1	1	0	1	1	1																			stillモード時のv2通常転送期間の下立り2回目 (t=1/fs)
0038	0	0	0	1	1	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv3通常転送期間の上立り1回目 (t=1/fs)	
0039	0	0	0	1	1	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv3通常転送期間の下立り1回目 (t=1/fs)	
003a	0	0	0	1	1	1	0	1	0																			stillモード時のv3通常転送期間の上立り2回目 (t=1/fs)
003b	0	0	0	1	1	1	0	1	1																			stillモード時のv3通常転送期間の下立り2回目 (t=1/fs)
003c	0	0	0	1	1	1	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv4通常転送期間の上立り1回目 (t=1/fs)	
003d	0	0	0	1	1	1	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv4通常転送期間の下立り1回目 (t=1/fs)	
003e	0	0	0	1	1	1	1	1	0																			stillモード時のv4通常転送期間の上立り2回目 (t=1/fs)
003f	0	0	0	1	1	1	1	1	1																			stillモード時のv4通常転送期間の下立り2回目 (t=1/fs)

6. アドレス H'0040 ~ H'004f (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks			
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8				
0040	0	0	1	0	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立上り1回目 (t=1/fs)
0041	0	0	1	0	0	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立下り1回目 (t=1/fs)
0042	0	0	1	0	0	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立上り2回目 (t=1/fs)
0043	0	0	1	0	0	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立下り2回目 (t=1/fs)
0044	0	0	1	0	0	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立上り3回目 (t=1/fs)
0045	0	0	1	0	0	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立下り3回目 (t=1/fs)
0046	0	0	1	0	0	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立上り4回目 (t=1/fs)
0047	0	0	1	0	0	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv1通常転送期間の立下り4回目 (t=1/fs)
0048	0	0	1	0	0	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立上り1回目 (t=1/fs)
0049	0	0	1	0	0	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立下り1回目 (t=1/fs)
004a	0	0	1	0	0	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立上り2回目 (t=1/fs)
004b	0	0	1	0	0	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立下り2回目 (t=1/fs)
004c	0	0	1	0	0	1	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立上り3回目 (t=1/fs)
004d	0	0	1	0	0	1	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立下り3回目 (t=1/fs)
004e	0	0	1	0	0	1	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立上り4回目 (t=1/fs)
004f	0	0	1	0	0	1	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv2通常転送期間の立下り4回目 (t=1/fs)

7. アドレス H'0050 ~ H'005f (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks			
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8				
0050	0	0	1	0	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立上り1回目 (t=1/fs)
0051	0	0	1	0	1	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立下り1回目 (t=1/fs)
0052	0	0	1	0	1	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立上り2回目 (t=1/fs)
0053	0	0	1	0	1	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立下り2回目 (t=1/fs)
0054	0	0	1	0	1	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立上り3回目 (t=1/fs)
0055	0	0	1	0	1	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立下り3回目 (t=1/fs)
0056	0	0	1	0	1	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立上り4回目 (t=1/fs)
0057	0	0	1	0	1	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv3通常転送期間の立下り4回目 (t=1/fs)
0058	0	0	1	0	1	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立上り1回目 (t=1/fs)
0059	0	0	1	0	1	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立下り1回目 (t=1/fs)
005a	0	0	1	0	1	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立上り2回目 (t=1/fs)
005b	0	0	1	0	1	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立下り2回目 (t=1/fs)
005c	0	0	1	0	1	1	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立上り3回目 (t=1/fs)
005d	0	0	1	0	1	1	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立下り3回目 (t=1/fs)
005e	0	0	1	0	1	1	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立上り4回目 (t=1/fs)
005f	0	0	1	0	1	1	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0								D10	D9	D8	moniモード時のv4通常転送期間の立下り4回目 (t=1/fs)

10. アドレス H'0080 ~ H'008f (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)				STD2[15:8] (H)								Remarks		
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12		D11	D10
0080	0	1	0	0	0	0	0	0	0	mv1_tr1												v1読み出し部転送期間の上り1回目 (t=1/fs)	
										mv1_tf1												v1読み出し部転送期間の下り1回目 (t=1/fs)	
0081	0	1	0	0	0	0	0	0	1	mv1_tr2												v1読み出し部転送期間の上り2回目 (t=1/fs)	
										mv1_tf2												v1読み出し部転送期間の下り2回目 (t=1/fs)	
0082	0	1	0	0	0	0	0	1	0	mv1_tr3												v1読み出し部転送期間の上り3回目 (t=1/fs)	
										mv1_tf3												v1読み出し部転送期間の下り3回目 (t=1/fs)	
0083	0	1	0	0	0	0	0	1	1	mv1_tr4												v1読み出し部転送期間の上り4回目 (t=1/fs)	
										mv1_tf4												v1読み出し部転送期間の下り4回目 (t=1/fs)	
0084	0	1	0	0	0	0	1	0	0	mv2_tr1												v2読み出し部転送期間の上り1回目 (t=1/fs)	
										mv2_tf1												v2読み出し部転送期間の下り1回目 (t=1/fs)	
0085	0	1	0	0	0	0	1	0	1	mv2_tr2												v2読み出し部転送期間の上り2回目 (t=1/fs)	
										mv2_tf2												v2読み出し部転送期間の下り2回目 (t=1/fs)	
0086	0	1	0	0	0	0	1	1	0	mv2_tr3												v2読み出し部転送期間の上り3回目 (t=1/fs)	
										mv2_tf3												v2読み出し部転送期間の下り3回目 (t=1/fs)	
0087	0	1	0	0	0	1	0	0	0	mv2_tr4												v2読み出し部転送期間の上り4回目 (t=1/fs)	
										mv2_tf4												v2読み出し部転送期間の下り4回目 (t=1/fs)	
0088	0	1	0	0	0	1	0	0	0	mv3_tr1												v3読み出し部転送期間の上り1回目 (t=1/fs)	
										mv3_tf1												v3読み出し部転送期間の下り1回目 (t=1/fs)	
0089	0	1	0	0	0	1	0	0	1	mv3_tr2												v3読み出し部転送期間の上り2回目 (t=1/fs)	
										mv3_tf2												v3読み出し部転送期間の下り2回目 (t=1/fs)	
008a	0	1	0	0	0	1	0	1	0	mv3_tr3												v3読み出し部転送期間の上り3回目 (t=1/fs)	
										mv3_tf3												v3読み出し部転送期間の下り3回目 (t=1/fs)	
008b	0	1	0	0	0	1	0	1	1	mv3_tr4												v3読み出し部転送期間の上り4回目 (t=1/fs)	
										mv3_tf4												v3読み出し部転送期間の下り4回目 (t=1/fs)	
008c	0	1	0	0	0	1	1	0	0	mv4_tr1												v4読み出し部転送期間の上り1回目 (t=1/fs)	
										mv4_tf1												v4読み出し部転送期間の下り1回目 (t=1/fs)	
008d	0	1	0	0	0	1	1	0	1	mv4_tr2												v4読み出し部転送期間の上り2回目 (t=1/fs)	
										mv4_tf2												v4読み出し部転送期間の下り2回目 (t=1/fs)	
008e	0	1	0	0	0	1	1	1	0	mv4_tr3												v4読み出し部転送期間の上り3回目 (t=1/fs)	
										mv4_tf3												v4読み出し部転送期間の下り3回目 (t=1/fs)	
008f	0	1	0	0	0	1	1	1	1	mv4_tr4												v4読み出し部転送期間の上り4回目 (t=1/fs)	
										mv4_tf4												v4読み出し部転送期間の下り4回目 (t=1/fs)	

11. アドレス H'0090 ~ H'009f (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)				STD2[15:8] (H)								Remarks		
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12		D11	D10
0090	0	1	0	0	1	0	0	0	0	mv3_tr1												v3読み出し部転送期間の上り1回目 (t=1/fs)	
										mv3_tf1												v3読み出し部転送期間の下り1回目 (t=1/fs)	
0091	0	1	0	0	1	0	0	0	1	mv3_tr2												v3読み出し部転送期間の上り2回目 (t=1/fs)	
										mv3_tf2												v3読み出し部転送期間の下り2回目 (t=1/fs)	
0092	0	1	0	0	1	0	0	1	0	mv3_tr3												v3読み出し部転送期間の上り3回目 (t=1/fs)	
										mv3_tf3												v3読み出し部転送期間の下り3回目 (t=1/fs)	
0093	0	1	0	0	1	0	0	1	1	mv3_tr4												v3読み出し部転送期間の上り4回目 (t=1/fs)	
										mv3_tf4												v3読み出し部転送期間の下り4回目 (t=1/fs)	
0094	0	1	0	0	1	0	1	0	0	mv4_tr1												v4読み出し部転送期間の上り1回目 (t=1/fs)	
										mv4_tf1												v4読み出し部転送期間の下り1回目 (t=1/fs)	
0095	0	1	0	0	1	0	1	0	1	mv4_tr2												v4読み出し部転送期間の上り2回目 (t=1/fs)	
										mv4_tf2												v4読み出し部転送期間の下り2回目 (t=1/fs)	
0096	0	1	0	0	1	0	1	1	0	mv4_tr3												v4読み出し部転送期間の上り3回目 (t=1/fs)	
										mv4_tf3												v4読み出し部転送期間の下り3回目 (t=1/fs)	
0097	0	1	0	0	1	0	1	1	1	mv4_tr4												v4読み出し部転送期間の上り4回目 (t=1/fs)	
										mv4_tf4												v4読み出し部転送期間の下り4回目 (t=1/fs)	
0098	0	1	0	0	1	1	0	0	0	mv4_tr1												v4読み出し部転送期間の上り1回目 (t=1/fs)	
										mv4_tf1												v4読み出し部転送期間の下り1回目 (t=1/fs)	
0099	0	1	0	0	1	1	0	0	1	mv4_tr2												v4読み出し部転送期間の上り2回目 (t=1/fs)	
										mv4_tf2												v4読み出し部転送期間の下り2回目 (t=1/fs)	
009a	0	1	0	0	1	1	0	1	0	mv4_tr3												v4読み出し部転送期間の上り3回目 (t=1/fs)	
										mv4_tf3												v4読み出し部転送期間の下り3回目 (t=1/fs)	
009b	0	1	0	0	1	1	0	1	1	mv4_tr4												v4読み出し部転送期間の上り4回目 (t=1/fs)	
										mv4_tf4												v4読み出し部転送期間の下り4回目 (t=1/fs)	
009c	0	1	0	0	1	1	1	0	0	mv4_tr1												v4読み出し部転送期間の上り1回目 (t=1/fs)	
										mv4_tf1												v4読み出し部転送期間の下り1回目 (t=1/fs)	
009d	0	1	0	0	1	1	1	0	1	mv4_tr2												v4読み出し部転送期間の上り2回目 (t=1/fs)	
										mv4_tf2												v4読み出し部転送期間の下り2回目 (t=1/fs)	
009e	0	1	0	0	1	1	1	1	0	mv4_tr3												v4読み出し部転送期間の上り3回目 (t=1/fs)	
										mv4_tf3												v4読み出し部転送期間の下り3回目 (t=1/fs)	
009f	0	1	0	0	1	1	1	1	1	mv4_tr4												v4読み出し部転送期間の上り4回目 (t=1/fs)	
										mv4_tf4												v4読み出し部転送期間の下り4回目 (t=1/fs)	

13. アドレス H'00b0 ~ H'00bf (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks	
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
00b0	0	1	0	1	1	0	0	0	0	f_r_v1_msk								D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv1マスク D7 to D0: stillモード時, Read_out直後のv1マスク		
00b1	0	1	0	1	1	0	0	0	1	f_r_v1_msk_moni								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv1マスク D7 to D0: moniモード時, Read_out直後のv1マスク
00b2	0	1	0	1	1	0	0	1	0	id_v1_msk_moni																D15 to D8: 奇数H(=tg_id=Hi)のv1マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv1マスクコントロール
00b3	0	1	0	1	1	0	0	1	1	f_r_v2_msk								D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv2マスク D7 to D0: stillモード時, Read_out直後のv2マスク		
00b4	0	1	0	1	1	0	1	0	0	f_r_v2_msk_moni								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv2マスク D7 to D0: moniモード時, Read_out直後のv2マスク
00b5	0	1	0	1	1	0	1	0	1	id_v2_msk_moni																D15 to D8: 奇数H(=tg_id=Hi)のv2マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv2マスクコントロール
00b6	0	1	0	1	1	0	1	1	0	f_r_v3_msk								D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv3マスク D7 to D0: stillモード時, Read_out直後のv3マスク		
00b7	0	1	0	1	1	0	1	1	1	f_r_v3_msk_moni								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv3マスク D7 to D0: moniモード時, Read_out直後のv3マスク
00b8	0	1	0	1	1	1	0	0	0	id_v3_msk_moni																D15 to D8: 奇数H(=tg_id=Hi)のv3マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv3マスクコントロール
00b9	0	1	0	1	1	1	0	0	1	f_r_v4_msk								D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv4マスク D7 to D0: stillモード時, Read_out直後のv4マスク		
00ba	0	1	0	1	1	1	0	1	0	f_r_v4_msk_moni								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv4マスク D7 to D0: moniモード時, Read_out直後のv4マスク
00bb	0	1	0	1	1	1	0	1	1	id_v4_msk_moni																D15 to D8: 奇数H(=tg_id=Hi)のv4マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv4マスクコントロール
00bc	0	1	0	1	1	1	1	0	0	f_r_v4_msk_moni								D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv4マスク D7 to D0: stillモード時, Read_out直後のv4マスク		
00bd	0	1	0	1	1	1	1	0	1	id_v4_msk								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv4マスク D7 to D0: moniモード時, Read_out直後のv4マスク
00be	0	1	0	1	1	1	1	1	0	f_r_v4_msk_moni																D15 to D8: stillモード時, Read_out直前のv4マスク D7 to D0: stillモード時, Read_out直後のv4マスク
00bf	0	1	0	1	1	1	1	1	1	id_v4_msk_moni								D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv4マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv4マスクコントロール

【注】 1. 読み出しパルスch1~ch8)の前をFront, 後をRearと呼ぶ。ID_V*はNormal_V*に対応。対象bit = 0 設定でパルスマスク。

F_R_V*_mskのbit割り振り			F_R_V*_msk_moniのbit割り振り			F_R_V*_mskのbit割り振り			ID_V*_msk_moniのbit割り振り		
D15	NV* tr1_oddをマスク	read_out	D15	NV* tr1_moniをマスク	read_out	D15		read_out	D15	ID_NV* tr1_moniをマスク	ID=Hiで
D14	NV* tf1_oddをマスク	_front	D14	NV* tf1_moniをマスク	_front	D14		_front	D14	ID_NV* tf1_moniをマスク	対応の
D13		が対象	D13	NV* tr2_moniをマスク	が対象	D13		が対象	D13	ID_NV* tr2_moniをマスク	tr, tfをマスク
D12			D12	NV* tf2_moniをマスク		D12			D12	ID_NV* tf2_moniをマスク	
D11	NV* tr1_evenをマスク		D11	NV* tr3_moniをマスク		D11			D11	ID_NV* tr3_moniをマスク	
D10	NV* tf1_evenをマスク		D10	NV* tf3_moniをマスク		D10			D10	ID_NV* tf3_moniをマスク	
D9			D9	NV* tr4_moniをマスク		D9			D9	ID_NV* tr4_moniをマスク	
D8			D8	NV* tf4_moniをマスク		D8			D8	ID_NV* tf4_moniをマスク	
D7	NV* tr1_oddをマスク	read_out	D7	NV* tr1_moniをマスク	read_out	D7		read_out	D7	ID_NV* tr1_moniをマスク	ID=Lowで
D6	NV* tf1_oddをマスク	_rear	D6	NV* tf1_moniをマスク	_rear	D6		_rear	D6	ID_NV* tf1_moniをマスク	対応の
D5		が対象	D5	NV* tr2_moniをマスク	が対象	D5		が対象	D5	ID_NV* tr2_moniをマスク	tr, tfをマスク
D4			D4	NV* tf2_moniをマスク		D4			D4	ID_NV* tf2_moniをマスク	
D3	NV* tr1_evenをマスク		D3	NV* tr3_moniをマスク		D3			D3	ID_NV* tr3_moniをマスク	
D2	NV* tf1_evenをマスク		D2	NV* tf3_moniをマスク		D2			D2	ID_NV* tf3_moniをマスク	
D1			D1	NV* tr4_moniをマスク		D1			D1	ID_NV* tr4_moniをマスク	
D0			D0	NV* tf4_moniをマスク		D0			D0	ID_NV* tf4_moniをマスク	

14. アドレス H'00c0 ~ H'00cf (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)				STD2[15:8] (H)								Remarks					
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12		D11	D10	D9	D8	
00c0	0	1	1	0	0	0	0	0	0																	tvswEEP1期間の高速転送パルス1発目開始位相 (t=1/fs)
																										tvswEEP1期間の高速転送パルス1発目開始位相 (t=1/fs)
00c1	0	1	1	0	0	0	0	0	1																	tvswEEP1期間の高速転送パルス周期 (t=1/fs)
																										tvswEEP1期間の高速転送パルス周期 (t=1/fs)
00c2	0	1	1	0	0	0	0	1	0																	D15 to D8: tvswEEP1期間のv1パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv1パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP1期間のv1パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv1パルス立下り位相 (t=1/fs)
00c3	0	1	1	0	0	0	0	1	1																	D15 to D8: tvswEEP1期間のv2パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv2パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP1期間のv2パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv2パルス立下り位相 (t=1/fs)
00c4	0	1	1	0	0	0	1	0	0																	D15 to D8: tvswEEP1期間のv3パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv3パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP1期間のv3パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv3パルス立下り位相 (t=1/fs)
00c5	0	1	1	0	0	0	1	0	1																	D15 to D8: tvswEEP1期間のv4パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv4パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP1期間のv4パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP1期間のv4パルス立下り位相 (t=1/fs)
00c6	0	1	1	0	0	0	1	1	0																	
00c7	0	1	1	0	0	0	1	1	1																	
00c8	0	1	1	0	0	1	0	0	0																	tvswEEP2期間の高速転送パルス1発目開始位相 (t=1/fs)
																										tvswEEP2期間の高速転送パルス1発目開始位相 (t=1/fs)
00c9	0	1	1	0	0	1	0	0	1																	tvswEEP2期間の高速転送パルス周期 (t=1/fs)
																										tvswEEP2期間の高速転送パルス周期 (t=1/fs)
00ca	0	1	1	0	0	1	0	1	0																	D15 to D8: tvswEEP2期間のv1パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv1パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP2期間のv1パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv1パルス立下り位相 (t=1/fs)
00cb	0	1	1	0	0	1	0	1	1																	D15 to D8: tvswEEP2期間のv2パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv2パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP2期間のv2パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv2パルス立下り位相 (t=1/fs)
00cc	0	1	1	0	0	1	1	0	0																	D15 to D8: tvswEEP2期間のv3パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv3パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP2期間のv3パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv3パルス立下り位相 (t=1/fs)
00cd	0	1	1	0	0	1	1	0	1																	D15 to D8: tvswEEP2期間のv4パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv4パルス立下り位相 (t=1/fs)
																										D15 to D8: tvswEEP2期間のv4パルス立上り位相 (t=1/fs) D7 to D0: tvswEEP2期間のv4パルス立下り位相 (t=1/fs)
00ce	0	1	1	0	0	1	1	1	0																	
00cf	0	1	1	0	0	1	1	1	1																	

15. アドレス H'00d0 ~ H'00df (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)				STD2[15:8] (H)								Remarks					
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12		D11	D10	D9	D8	
00d0	0	1	1	0	1	0	0	0	0																	
00d1	0	1	1	0	1	0	0	0	1																	
00d2	0	1	1	0	1	0	0	1	0																	
00d3	0	1	1	0	1	0	0	1	1																	
00d4	0	1	1	0	1	0	1	0	0																	ch1パルス立上り (t=1/fs) moni時も共通。
																										ch1パルス立下り (t=1/fs) moni時も共通。
00d5	0	1	1	0	1	0	1	0	1																	
00d6	0	1	1	0	1	0	1	1	0																	
00d7	0	1	1	0	1	0	1	1	1																	
00d8	0	1	1	0	1	1	0	0	0																	
00d9	0	1	1	0	1	1	0	0	1																	
00da	0	1	1	0	1	1	0	1	0																	ch2パルス立上り (t=1/fs) moni時も共通。
																										ch2パルス立下り (t=1/fs) moni時も共通。
00db	0	1	1	0	1	1	0	1	1																	
00dc	0	1	1	0	1	1	1	0	0																	
00dd	0	1	1	0	1	1	1	0	1																	
00de	0	1	1	0	1	1	1	1	0																	
00df	0	1	1	0	1	1	1	1	1																	

16. アドレス H'00e0 ~ H'00ef (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks	
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
00e0	0	1	1	1	0	0	0	0	0	h1_msk_start1																HBLK内のh1,h2マスク開始位相 (t=1/fs) (全モード共通)
00e1	0	1	1	1	0	0	0	0	1	h1_msk_end1																HBLK内のh1,h2マスク終了位相 (t=1/fs) (全モード共通)
00e2	0	1	1	1	0	0	0	1	0	cp_tr															cpパルス立上り位相 (t=1/fs) (全モード共通)	
00e3	0	1	1	1	0	0	0	1	1	cp_tf															cpパルス立下り位相 (t=1/fs) (全モード共通)	
00e4	0	1	1	1	0	0	1	0	0	cpdm_tr															cpdmパルス立上り位相 (t=1/fs) (全モード共通)	
00e5	0	1	1	1	0	0	1	0	1	cpdm_tf															cpdmパルス立下り位相 (t=1/fs) (全モード共通)	
00e6	0	1	1	1	0	0	1	1	0	pblk_tr															pblkパルス立上り位相 (t=1/fs) (全モード共通)	
00e7	0	1	1	1	0	0	1	1	1	pblk_tf															pblkパルス立下り位相 (t=1/fs) (全モード共通)	
00e8	0	1	1	1	0	1	0	0	0	sub_tr														subパルス立上り位相 (t=1/fs) (subノーマル時)		
00e9	0	1	1	1	0	1	0	0	1	sub_tf														subパルス立下り位相 (t=1/fs) (subノーマル時)		
00ea	0	1	1	1	0	1	0	1	0	hblk_end														HBLK内、最終パルス生成タイミングに設定 (t=1/fs) ([h1_msk]と[v1~12]のカウンタ動作期間)		
00eb	0	1	1	1	0	1	0	1	1	sub_val0_tr (*V)														最終subパルス立上り位相_A用 (t=1/fs) (*1) (アドレスH'0006のD4=1の時、有効)		
00ec	0	1	1	1	0	1	1	0	0	sub_val0_tf (*V)														最終subパルス立下り位相_A用 (t=1/fs) (アドレスH'0006のD4=1の時、有効)		
00ed	0	1	1	1	0	1	1	0	1	wobp_tr														wobp立上り位相 (t=1/fs)		
00ee	0	1	1	1	0	1	1	1	0	wobp_tf														wobp立下り位相 (t=1/fs)		
00ef	0	1	1	1	0	1	1	1	1	test_address														test用アドレス拡張		

【注】 1. 1H未満の電子シャッタで、最終SUBによる調整方式を使用する場合は、アドレスH'0006のD4=1とすることで、sub_val0のtr,tfが有効になります。

17. アドレス H'00f0 ~ H'00ff (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks			
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8				
00f0	0	1	1	1	1	0	0	0	0	PGA gain								VD latch	VD			OSC sel					D15: [VD latch] 1の時PGAゲインをVDラッチ。 D14: [VD_inv] 1の時VDのポジエッジでラッチ。 D13 to D12: [Bias_sel] D10: [OSC_sel] 1の時OSC=offで外部CLK入力 D9 to D0: [PGA gain] Gain = -6dB+0.4dB×N	
00f1	0	1	1	1	1	0	0	0	1	shsw_fsel/LPF_sel								stby					sha_fsel				D15: [stby] 通常0。 D9 to D8: [SHA_fsel] D7 to D4: [SHSW_fsel] D3 to D0: [LPF_sel]	
00f2	0	1	1	1	1	0	0	1	0	Pwr clp sel	4ave	Clamp level						Re set	DLL calb	DLL res	CLK off	ADC stop	pbk msk	obp inv				D15: [Reset] 0: 通常, 1: リセット D14: [calb] 1でキャリブレーション実行 D13: [DLL_res] 0: 通常, 1: リセット D6: [Pwr_sel] 0: Nor_pwr : 36MHz保証 1: Low_pwr : 25MHz保証 D4 to D0: [Clamp level] 黒レベル = N×8+56
00f3	0	1	1	1	1	0	0	1	1	Dummy clamp							CDS swcc	inv	single	Vref off	VRT sel	ADC in				D14 to D9: テストモード, 通常は0設定。 D8: [ADC_in] 1でADC_inモード D4 to D3: [cpdm_i] D2 to D0: [cpdm_th]		
00f4	0	1	1	1	1	0	1	0	0	Differential code							Bias off				出力固定							D10: [LINV] D9: [MINV] D8: [test0] D7 to D6: [Gry ref] 2,1,4,6,画素サイクル D5: [10/12] Gray変換bit数 D4: [差分] 差分_SW D3: [Gry] Gray_SW D2: [adck位相] ポジネガエッジ D1 to D0: [基準位相] 基準位相を3,4,5,6に設定
00f5	0	1	1	1	1	0	1	0	1	L_vari		MON									amp_sel				D2 to D0: [MON出力] 0: CP-SW, 1: ADCK 2: SP1, 3: SP2 4: CPDM, 5: 禁止 6: 禁止, 7: PBLK			
00f6	0	1	1	1	1	0	1	1	0	New Func																	D15 to D10: [wob_th*_max] D9, D8: [CLP_Hsel] D7: [CLP_cur] D6: [PBLK_act] D5: [Wob_on] D4: [Cpad_sel] D3 to D2: [Wind_clk_sel] D1: [CLP_i] D0: [Wob_i]	
00f7	0	1	1	1	1	0	1	1	1	test1																	Testアドレスは弊社にて出荷時にLSIを検査するために設けたレジスタです。 通常使用する場合は0設定するか、またはデータ転送しないください。	
00f8	0	1	1	1	1	1	0	0	0	test2																		
00f9	0	1	1	1	1	1	0	0	1	test3																		
00fa	0	1	1	1	1	1	0	1	0	H1_DL/H1L_DL							H12_Buff/H2_DL										D15 to D12: [H12_Buff] D15=14mA, D14=10mA D13=4mA, D12=2mA D11 to D8: [H2_DLL遅延] D7 to D4: [H1_DLL遅延] D3 to D0: [H1L_DLL遅延]	
00fb	0	1	1	1	1	1	0	1	1	RG_tf							RG_tr										D13 to D8: [RG_tr] 上位3bitで1/8位相選択, 下位3bitでDLL遅延。 D5 to D0: [RG_tf] 上位3bitで1/8位相選択, 下位3bitでDLL遅延。	
00fc	0	1	1	1	1	1	1	0	0	SP1_DL							SP2_DL										D13 to D8: [SP2_DL] 上位3bitで1/8位相選択, 下位3bitでDLL遅延。 D5 to D0: [SP1_DL] 上位3bitで1/8位相選択, 下位3bitでDLL遅延。	
00fd	0	1	1	1	1	1	1	0	1	ADCK_DL							sync pha_pol										D9: 2分周モード時のCLKラッチ位相 0: ポジエッジ, 1: ネガエッジ D8: 2分周モード時のHD反転(1の時反転) D5 to D0: [ADCK_DL] 上位3bitで1/8位相選択, 下位3bitでDLL遅延。	
00ff	0	1	1	1	1	1	1	1	1								ADCK ID	fix	inv	fix	inv							ID, ADCK端子のfix/inv fix, inv = 0,0: 通常出力, 0,1: 反転出力 1,0: Low固定, 1,1: Hi固定

18. アドレス H'0100 ~ H'0106 (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1	STD1[7:0] (L)								STD2[15:8] (H)								Remarks									
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		D15	D14	D13	D12	D11	D10	D9	D8	
0100	1	0	0	0	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15: [v5_fix] D15=1でパルス固定。 D14: [v5_inv] D14=1でパルス反転。 D13: [v6_fix] D13=1でパルス固定。 D12: [v6_inv] D12=1でパルス反転。 D11: [v7_fix] D11=1でパルス固定。 D10: [v7_inv] D10=1でパルス反転。 D9: [v8_fix] D9=1でパルス固定。 D8: [v8_inv] D8=1でパルス反転。 D7: [v9_fix] D7=1でパルス固定。 D6: [v9_inv] D6=1でパルス反転。 D5: [v10_fix] D5=1でパルス固定。 D4: [v10_inv] D4=1でパルス反転。 D3: [v11_fix] D3=1でパルス固定。 D2: [v11_inv] D2=1でパルス反転。 D1: [v12_fix] D1=1でパルス固定。 D0: [v12_inv] D0=1でパルス反転。	
		fix_inv_cont3																									
0101	1	0	0	0	0	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15: [ch5_fix] D15=1でパルス固定。 D14: [ch5_inv] D14=1でパルス反転。 D13: [ch6_fix] D13=1でパルス固定。 D12: [ch6_inv] D12=1でパルス反転。 D11: [ch7_fix] D11=1でパルス固定。 D10: [ch7_inv] D10=1でパルス反転。 D9: [ch8_fix] D9=1でパルス固定。 D8: [ch8_inv] D8=1でパルス反転。 D7: [ch9_fix] D7=1でパルス固定。 D6: [ch9_inv] D6=1でパルス反転。 D5: [ch10_fix] D5=1でパルス固定。 D4: [ch10_inv] D4=1でパルス反転。 D3: [exp_fix] D3=1でパルス固定。 D2: [exp_inv] D2=1でパルス反転。	
		fix_inv_cont4																									
0102	0	0	0	0	0	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15: [hdo_fix] D15=1でパルス固定。 D14: [hdo_inv] D14=1でパルス反転。 D13: [vdo_fix] D13=1でパルス固定。 D12: [vdo_inv] D12=1でパルス反転。 D11: [m_sht_fix] D11=1でパルス固定。 D10: [m_sht_inv] D10=1でパルス反転。 D9: [strobo_fix] D9=1でパルス固定。 D8: [strobo_inv] D8=1でパルス反転。 D7: [mon_fix] D7=1でパルス固定。 D6: [mon_inv] D6=1でパルス反転。 D5: [jd_fix] D5=1でパルス固定。 D4: [jd_inv] D4=1でパルス反転。 D3: [obp_fix] D3=1でパルス固定。 D2: [obp_inv] D2=1でパルス反転。 D1: [adck_fix] D1=1でパルス固定。 D0: [adck_inv] D0=1でパルス反転。	
		Nnv_cycle_moni																									
0103	0	0	0	0	0	0	0	1	1							D2	D1	D0									moni時のnvパルスの繰り返しサイクル数。 0: 1 cycle, 1: 2 cycle, 2: 3 cycle, 3: 4 cycle, 4: 5 cycle, 5: 6 cycle, 6: 7 cycle, 7: 8 cycle
		nv_offset_moni																									
0104	0	0	0	0	0	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0						D10	D9	D8	moni時のnvパルス1発目開始位相 (t=1/fs)	
		nv_cycle_moni																									
0105	0	0	0	0	0	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のnvパルスサイクルの1周期幅 (t=1/fs)
0106	0	0	0	0	0	0	1	1	0																		

19. アドレス H'0107 ~ H'010f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks			
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8				
0107	1	0	0	0	0	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合開始オフセット 位相 (t=1/fs)	
0108	1	0	0	0	0	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合1サイクル期間 (t=1/fs)	
0109	1	0	0	0	0	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合開始位置(1) (t=1/fs)	
010a	1	0	0	0	0	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合開始位置(2) (t=1/fs)	
010b	1	0	0	0	0	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合開始位置(3) (t=1/fs)	
010c	1	0	0	0	0	1	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	moni時のh_msk (休止期間) のH.CCD混合開始位置(4) (t=1/fs)	
010d	1	0	0	0	0	1	1	0	1							D2	D1	D0										moni時のh_msk (休止期間) のH.CCDクロック幅 (t=1/fs) 0: 1/2 fs, 1: 1 fs, 2: 2 fs, 3: 3 fs, 4: 4 fs, 5: 5 fs, 6: 6 fs, 7: 7 fs
010e	1	0	0	0	0	1	1	1	0							D2	D1	D0										moni時のh_msk (休止期間) のH.CCD混合繰り返し サイクル数。 0: 1 cycle, 1: 2 cycle, 2: 3 cycle, 3: 4 cycle, 4: 5 cycle, 5: 6 cycle, 6: 7 cycle, 7: 8 cycle
010f	1	0	0	0	0	1	1	1	1																			

【注】 h_mix_start*のポイントでh_mix_widthで設定したクロック幅で2山だけ出力。

20. アドレス H'0110 ~ H'011f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks		
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
0110	1	0	0	0	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv5通常転送期間の立上り1回目 (t=1/fs)
0111	1	0	0	0	1	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv5通常転送期間の立下り1回目 (t=1/fs)
0112	1	0	0	0	1	0	0	1	0																		stillモード時のv5通常転送期間の立上り2回目 (t=1/fs)
0113	1	0	0	0	1	0	0	1	1																		stillモード時のv5通常転送期間の立下り2回目 (t=1/fs)
0114	1	0	0	0	1	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv6通常転送期間の立上り1回目 (t=1/fs)
0115	1	0	0	0	1	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv6通常転送期間の立下り1回目 (t=1/fs)
0116	1	0	0	0	1	0	1	1	0																		stillモード時のv6通常転送期間の立上り2回目 (t=1/fs)
0117	1	0	0	0	1	0	1	1	1																		stillモード時のv6通常転送期間の立下り2回目 (t=1/fs)
0118	1	0	0	0	1	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv7通常転送期間の立上り1回目 (t=1/fs)
0119	1	0	0	0	1	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv7通常転送期間の立下り1回目 (t=1/fs)
011a	1	0	0	0	1	1	0	1	0																		stillモード時のv7通常転送期間の立上り2回目 (t=1/fs)
011b	1	0	0	0	1	1	0	1	1																		stillモード時のv7通常転送期間の立下り2回目 (t=1/fs)
011c	1	0	0	0	1	1	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv8通常転送期間の立上り1回目 (t=1/fs)
011d	1	0	0	0	1	1	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0							D10	D9	D8	stillモード時のv8通常転送期間の立下り1回目 (t=1/fs)
011e	1	0	0	0	1	1	1	1	0																		stillモード時のv8通常転送期間の立上り2回目 (t=1/fs)
011f	1	0	0	0	1	1	1	1	1																		stillモード時のv8通常転送期間の立下り2回目 (t=1/fs)

21. アドレス H'0120 ~ H'012f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks						
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8							
0120	1	0	0	1	0	0	0	0	0	nv9_tr1																					stillモード時のv9通常転送期間の立上り1回目 (t=1/fs)
										nv9_tf1																					stillモード時のv9通常転送期間の立下り1回目 (t=1/fs)
0121	1	0	0	1	0	0	0	0	1																						stillモード時のv9通常転送期間の立上り2回目 (t=1/fs)
0122	1	0	0	1	0	0	0	1	0																						stillモード時のv9通常転送期間の立下り2回目 (t=1/fs)
0123	1	0	0	1	0	0	0	1	1																						stillモード時のv9通常転送期間の立上り1回目 (t=1/fs)
										nv10_tr1																					stillモード時のv10通常転送期間の立下り1回目 (t=1/fs)
0124	1	0	0	1	0	0	1	0	0																						stillモード時のv10通常転送期間の立上り1回目 (t=1/fs)
										nv10_tf1																					stillモード時のv10通常転送期間の立下り1回目 (t=1/fs)
0125	1	0	0	1	0	0	1	0	1																						stillモード時のv10通常転送期間の立上り2回目 (t=1/fs)
0126	1	0	0	1	0	0	1	1	0																						stillモード時のv10通常転送期間の立下り2回目 (t=1/fs)
0127	1	0	0	1	0	0	1	1	1																						stillモード時のv11通常転送期間の立上り1回目 (t=1/fs)
										nv11_tr1																					stillモード時のv11通常転送期間の立下り1回目 (t=1/fs)
0128	1	0	0	1	0	1	0	0	0																						stillモード時のv11通常転送期間の立上り2回目 (t=1/fs)
										nv11_tf1																					stillモード時のv11通常転送期間の立下り1回目 (t=1/fs)
0129	1	0	0	1	0	1	0	0	1																						stillモード時のv11通常転送期間の立上り2回目 (t=1/fs)
012a	1	0	0	1	0	1	0	1	0																						stillモード時のv11通常転送期間の立下り2回目 (t=1/fs)
012b	1	0	0	1	0	1	0	1	1																						stillモード時のv12通常転送期間の立上り1回目 (t=1/fs)
										nv12_tr1																					stillモード時のv12通常転送期間の立下り1回目 (t=1/fs)
012c	1	0	0	1	0	1	1	0	0																						stillモード時のv12通常転送期間の立上り2回目 (t=1/fs)
										nv12_tf1																					stillモード時のv12通常転送期間の立下り2回目 (t=1/fs)
012d	1	0	0	1	0	1	1	0	1																						stillモード時のv12通常転送期間の立上り1回目 (t=1/fs)
																															stillモード時のv12通常転送期間の立下り1回目 (t=1/fs)
012e	1	0	0	1	0	1	1	1	0																						stillモード時のv12通常転送期間の立上り2回目 (t=1/fs)
012f	1	0	0	1	0	1	1	1	1																						stillモード時のv12通常転送期間の立下り2回目 (t=1/fs)

22. アドレス H'0130 ~ H'013f (アドレス 2 は 8bit サイズ, 記載を省略)

Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks						
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8							
0130	1	0	0	1	1	0	0	0	0	nv5_tr1_moni																					moniモード時のv5通常転送期間の立上り1回目 (t=1/fs)
										nv5_tf1_moni																					moniモード時のv5通常転送期間の立下り1回目 (t=1/fs)
0131	1	0	0	1	1	0	0	0	1																						moniモード時のv5通常転送期間の立上り2回目 (t=1/fs)
										nv5_tr2_moni																					moniモード時のv5通常転送期間の立下り2回目 (t=1/fs)
0132	1	0	0	1	1	0	0	1	0																						moniモード時のv5通常転送期間の立上り3回目 (t=1/fs)
										nv5_tf2_moni																					moniモード時のv5通常転送期間の立下り3回目 (t=1/fs)
0133	1	0	0	1	1	0	0	1	1																						moniモード時のv5通常転送期間の立上り4回目 (t=1/fs)
										nv5_tr3_moni																					moniモード時のv5通常転送期間の立下り4回目 (t=1/fs)
0134	1	0	0	1	1	0	1	0	0																						moniモード時のv5通常転送期間の立上り3回目 (t=1/fs)
										nv5_tf3_moni																					moniモード時のv5通常転送期間の立下り3回目 (t=1/fs)
0135	1	0	0	1	1	0	1	0	1																						moniモード時のv5通常転送期間の立上り4回目 (t=1/fs)
										nv5_tr4_moni																					moniモード時のv5通常転送期間の立下り4回目 (t=1/fs)
0136	1	0	0	1	1	0	1	1	0																						moniモード時のv6通常転送期間の立上り1回目 (t=1/fs)
										nv5_tf4_moni																					moniモード時のv6通常転送期間の立下り1回目 (t=1/fs)
0137	1	0	0	1	1	0	1	1	1																						moniモード時のv6通常転送期間の立上り2回目 (t=1/fs)
										nv6_tr1_moni																					moniモード時のv6通常転送期間の立下り2回目 (t=1/fs)
0138	1	0	0	1	1	1	0	0	0																						moniモード時のv6通常転送期間の立上り1回目 (t=1/fs)
										nv6_tf1_moni																					moniモード時のv6通常転送期間の立下り1回目 (t=1/fs)
0139	1	0	0	1	1	1	0	0	1																						moniモード時のv6通常転送期間の立上り2回目 (t=1/fs)
										nv6_tr2_moni																					moniモード時のv6通常転送期間の立下り2回目 (t=1/fs)
013a	1	0	0	1	1	1	0	1	0																						moniモード時のv6通常転送期間の立上り3回目 (t=1/fs)
										nv6_tf2_moni																					moniモード時のv6通常転送期間の立下り3回目 (t=1/fs)
013b	1	0	0	1	1	1	0	1	1																						moniモード時のv6通常転送期間の立上り4回目 (t=1/fs)
										nv6_tr3_moni																					moniモード時のv6通常転送期間の立下り4回目 (t=1/fs)
013c	1	0	0	1	1	1	1	0	0																						moniモード時のv6通常転送期間の立上り3回目 (t=1/fs)
										nv6_tf3_moni																					moniモード時のv6通常転送期間の立下り3回目 (t=1/fs)
013d	1	0	0	1	1	1	1	0	1																						moniモード時のv6通常転送期間の立上り4回目 (t=1/fs)
										nv6_tr4_moni																					moniモード時のv6通常転送期間の立下り4回目 (t=1/fs)
013e	1	0	0	1	1	1	1	1	0																						moniモード時のv6通常転送期間の立上り4回目 (t=1/fs)
										nv6_tf4_moni																					moniモード時のv6通常転送期間の立下り4回目 (t=1/fs)
013f	1	0	0	1	1	1	1	1	1																						moniモード時のv6通常転送期間の立上り4回目 (t=1/fs)

25. アドレス H'0160 ~ H'016f (アドレス 2 は 8bit サイズ, 記載を省略)

Address2	Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks		
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
0160	1	0	1	1	0	0	0	0	0	nv11_tr1_moni															D10	D9	D8	moniモード時のv11通常転送期間の立上り1回目 (t=1/fs)
0161	1	0	1	1	0	0	0	0	1	nv11_tf1_moni															D10	D9	D8	moniモード時のv11通常転送期間の立下り1回目 (t=1/fs)
0162	1	0	1	1	0	0	0	1	0	nv11_tr2_moni															D10	D9	D8	moniモード時のv11通常転送期間の立上り2回目 (t=1/fs)
0163	1	0	1	1	0	0	0	1	1	nv11_tf2_moni															D10	D9	D8	moniモード時のv11通常転送期間の立下り2回目 (t=1/fs)
0164	1	0	1	1	0	0	1	0	0	nv11_tr3_moni															D10	D9	D8	moniモード時のv11通常転送期間の立上り3回目 (t=1/fs)
0165	1	0	1	1	0	0	1	0	1	nv11_tf3_moni															D10	D9	D8	moniモード時のv11通常転送期間の立下り3回目 (t=1/fs)
0166	1	0	1	1	0	0	1	1	0	nv11_tr4_moni															D10	D9	D8	moniモード時のv11通常転送期間の立上り4回目 (t=1/fs)
0167	1	0	1	1	0	0	1	1	1	nv11_tf4_moni															D10	D9	D8	moniモード時のv11通常転送期間の立下り4回目 (t=1/fs)
0168	1	0	1	1	0	1	0	0	0	nv12_tr1_moni															D10	D9	D8	moniモード時のv12通常転送期間の立上り1回目 (t=1/fs)
0169	1	0	1	1	0	1	0	0	1	nv12_tf1_moni															D10	D9	D8	moniモード時のv12通常転送期間の立下り1回目 (t=1/fs)
016a	1	0	1	1	0	1	0	1	0	nv12_tr2_moni															D10	D9	D8	moniモード時のv12通常転送期間の立上り2回目 (t=1/fs)
016b	1	0	1	1	0	1	0	1	1	nv12_tf2_moni															D10	D9	D8	moniモード時のv12通常転送期間の立下り2回目 (t=1/fs)
016c	1	0	1	1	0	1	1	0	0	nv12_tr3_moni															D10	D9	D8	moniモード時のv12通常転送期間の立上り3回目 (t=1/fs)
016d	1	0	1	1	0	1	1	0	1	nv12_tf3_moni															D10	D9	D8	moniモード時のv12通常転送期間の立下り3回目 (t=1/fs)
016e	1	0	1	1	0	1	1	1	0	nv12_tr4_moni															D10	D9	D8	moniモード時のv12通常転送期間の立上り4回目 (t=1/fs)
016f	1	0	1	1	0	1	1	1	1	nv12_tf4_moni															D10	D9	D8	moniモード時のv12通常転送期間の立下り4回目 (t=1/fs)

26. アドレス H'0170 ~ H'017f (アドレス 2 は 8bit サイズ, 記載を省略)

Address2	Add-ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks	
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
0170	1	0	1	1	1	0	0	0	0	mv5_tr1											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立上り1回目 (t=1/fs)
0171	1	0	1	1	1	0	0	0	1	mv5_tf1											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立下り1回目 (t=1/fs)
0172	1	0	1	1	1	0	0	1	0	mv5_tr2											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立上り2回目 (t=1/fs)
0173	1	0	1	1	1	0	0	1	1	mv5_tf2											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立下り2回目 (t=1/fs)
0174	1	0	1	1	1	0	1	0	0	mv5_tr3											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立上り3回目 (t=1/fs)
0175	1	0	1	1	1	0	1	0	1	mv5_tf3											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立下り3回目 (t=1/fs)
0176	1	0	1	1	1	0	1	1	0	mv5_tr4											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立上り4回目 (t=1/fs)
0177	1	0	1	1	1	0	1	1	1	mv5_tf4											D13	D12	D11	D10	D9	D8	v5読み出し部転送期間の立下り4回目 (t=1/fs)
0178	1	0	1	1	1	1	0	0	0	mv6_tr1											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立上り1回目 (t=1/fs)
0179	1	0	1	1	1	1	0	0	1	mv6_tf1											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立下り1回目 (t=1/fs)
017a	1	0	1	1	1	1	0	1	0	mv6_tr2											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立上り2回目 (t=1/fs)
017b	1	0	1	1	1	1	0	1	1	mv6_tf2											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立下り2回目 (t=1/fs)
017c	1	0	1	1	1	1	1	0	0	mv6_tr3											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立上り3回目 (t=1/fs)
017d	1	0	1	1	1	1	1	0	1	mv6_tf3											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立下り3回目 (t=1/fs)
017e	1	0	1	1	1	1	1	1	0	mv6_tr4											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立上り4回目 (t=1/fs)
017f	1	0	1	1	1	1	1	1	1	mv6_tf4											D13	D12	D11	D10	D9	D8	v6読み出し部転送期間の立下り4回目 (t=1/fs)

29. アドレス H'01a0 ~ H'01af (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2		Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01a0	1	1	0	1	0	0	0	0	0											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立上り1回目 (t=1/fs)
		mv11_tr1																								
01a1	1	1	0	1	0	0	0	0	1											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立下り1回目 (t=1/fs)
		mv11_tf1																								
01a2	1	1	0	1	0	0	0	1	0											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立上り2回目 (t=1/fs)
		mv11_tr2																								
01a3	1	1	0	1	0	0	0	1	1											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立下り2回目 (t=1/fs)
		mv11_tf2																								
01a4	1	1	0	1	0	0	1	0	0											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立上り3回目 (t=1/fs)
		mv11_tr3																								
01a5	1	1	0	1	0	0	1	0	1											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立下り3回目 (t=1/fs)
		mv11_tf3																								
01a6	1	1	0	1	0	0	1	1	0											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立上り4回目 (t=1/fs)
		mv11_tr4																								
01a7	1	1	0	1	0	0	1	1	1											D13	D12	D11	D10	D9	D8	v11読み出し部転送期間の立下り4回目 (t=1/fs)
		mv11_tf4																								
01a8	1	1	0	1	0	1	0	0	0											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立上り1回目 (t=1/fs)
		mv12_tr1																								
01a9	1	1	0	1	0	1	0	0	1											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立下り1回目 (t=1/fs)
		mv12_tf1																								
01aa	1	1	0	1	0	1	0	1	0											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立上り2回目 (t=1/fs)
		mv12_tr2																								
01ab	1	1	0	1	0	1	0	1	1											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立下り2回目 (t=1/fs)
		mv12_tf2																								
01ac	1	1	0	1	0	1	1	0	0											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立上り3回目 (t=1/fs)
		mv12_tr3																								
01ad	1	1	0	1	0	1	1	0	1											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立下り3回目 (t=1/fs)
		mv12_tf3																								
01ae	1	1	0	1	0	1	1	1	0											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立上り4回目 (t=1/fs)
		mv12_tr4																								
01af	1	1	0	1	0	1	1	1	1											D13	D12	D11	D10	D9	D8	v12読み出し部転送期間の立下り4回目 (t=1/fs)
		mv12_tf4																								

30. アドレス H'01b0 ~ H'01bf (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2		Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks		
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
01b0	1	1	0	1	1	0	0	0	0											D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv5マスク D7 to D0: stillモード時, Read_out直後のv5マスク		
		f_r_v5_msk																										
01b1	1	1	0	1	1	0	0	0	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv5マスク D7 to D0: moniモード時, Read_out直後のv5マスク
		f_r_v5_msk_moni																										
01b2	1	1	0	1	1	0	0	1	0											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv5マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv5マスクコントロール
		id_v5_msk_moni																										
01b3	1	1	0	1	1	0	0	1	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: stillモード時, Read_out直前のv6マスク D7 to D0: stillモード時, Read_out直後のv6マスク
		f_r_v6_msk																										
01b4	1	1	0	1	1	0	1	0	0											D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv6マスク D7 to D0: stillモード時, Read_out直後のv6マスク		
		f_r_v6_msk_moni																										
01b5	1	1	0	1	1	0	1	0	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv6マスク D7 to D0: moniモード時, Read_out直後のv6マスク
		id_v6_msk_moni																										
01b6	1	1	0	1	1	0	1	1	0											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv6マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv6マスクコントロール
		f_r_v7_msk																										
01b7	1	1	0	1	1	0	1	1	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: stillモード時, Read_out直前のv7マスク D7 to D0: stillモード時, Read_out直後のv7マスク
		f_r_v7_msk_moni																										
01b8	1	1	0	1	1	1	0	0	0											D15	D14			D11	D10	D15 to D8: moniモード時, Read_out直前のv7マスク D7 to D0: moniモード時, Read_out直後のv7マスク		
		id_v7_msk_moni																										
01b9	1	1	0	1	1	1	0	0	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: stillモード時, Read_out直前のv8マスク D7 to D0: stillモード時, Read_out直後のv8マスク
		f_r_v8_msk																										
01ba	1	1	0	1	1	1	0	1	0											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv8マスク D7 to D0: moniモード時, Read_out直後のv8マスク
		f_r_v8_msk_moni																										
01bb	1	1	0	1	1	1	0	1	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv7マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv7マスクコントロール
		id_v7_msk																										
01bc	1	1	0	1	1	1	1	0	0											D15	D14			D11	D10	D15 to D8: stillモード時, Read_out直前のv6マスク D7 to D0: stillモード時, Read_out直後のv6マスク		
		f_r_v8_msk_moni																										
01bd	1	1	0	1	1	1	1	0	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv8マスク D7 to D0: moniモード時, Read_out直後のv8マスク
		id_v8_msk_moni																										
01be	1	1	0	1	1	1	1	1	0											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv8マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv8マスクコントロール
		f_r_v8_msk																										
01bf	1	1	0	1	1	1	1	1	1											D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv8マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv8マスクコントロール
		id_v8_msk																										

【注】データの割り振りはアドレスH'00b0と同じ。

31. アドレス H'01c0 ~ H'01cf (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1	STD1[7:0] (L)								STD2[15:8] (H)								Remarks									
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		D15	D14	D13	D12	D11	D10	D9	D8	
01c0	1	1	1	0	0	0	0	0	0	f_r_v9_msk	D7	D6			D3	D2			D15	D14			D11	D10			D15 to D8: stillモード時, Read_out直前のv9マスク D7 to D0: stillモード時, Read_out直後のv9マスク
01c1	1	1	1	0	0	0	0	0	1	f_r_v9_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: stillモード時, Read_out直前のv9マスク D7 to D0: moniモード時, Read_out直後のv9マスク
01c2	1	1	1	0	0	0	0	1	0		D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01c3	1	1	1	0	0	0	0	1	1	id_v9_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv9マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv9マスクコントロール
01c4	1	1	1	0	0	0	1	0	0	f_r_v10_msk	D7	D6			D3	D2			D15	D14			D11	D10			D15 to D8: stillモード時, Read_out直前のv10マスク D7 to D0: stillモード時, Read_out直後のv10マスク
01c5	1	1	1	0	0	0	1	0	1	f_r_v10_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv10マスク D7 to D0: moniモード時, Read_out直後のv10マスク
01c6	1	1	1	0	0	0	1	1	0		D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01c7	1	1	1	0	0	0	1	1	1	id_v10_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv10マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv10マスクコントロール
01c8	1	1	1	0	0	1	0	0	0	f_r_v11_msk	D7	D6			D3	D2			D15	D14			D11	D10			D15 to D8: stillモード時, Read_out直前のv11マスク D7 to D0: stillモード時, Read_out直後のv11マスク
01c9	1	1	1	0	0	1	0	0	1	f_r_v11_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv11マスク D7 to D0: moniモード時, Read_out直後のv11マスク
01ca	1	1	1	0	0	1	0	1	0		D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01cb	1	1	1	0	0	1	0	1	1	id_v11_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv11マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv11マスクコントロール
01cc	1	1	1	0	0	1	1	0	0	f_r_v12_msk	D7	D6			D3	D2			D15	D14			D11	D10			D15 to D8: stillモード時, Read_out直前のv12マスク D7 to D0: stillモード時, Read_out直後のv12マスク
01cd	1	1	1	0	0	1	1	0	1	f_r_v12_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: moniモード時, Read_out直前のv12マスク D7 to D0: moniモード時, Read_out直後のv12マスク
01ce	1	1	1	0	0	1	1	1	0		D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01cf	1	1	1	0	0	1	1	1	1	id_v12_msk_moni	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: 奇数H(=tg_id=Hi)のv12マスクコントロール D7 to D0: 偶数H(=tg_id=Low)のv12マスクコントロール

【注】 データの割り振りはアドレスH'00b0と同じ。

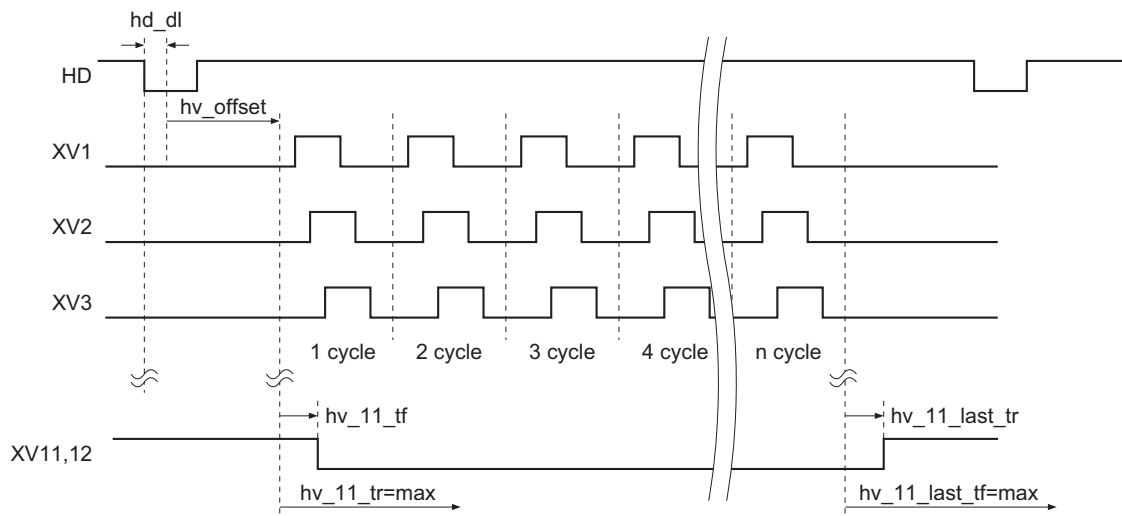
32. アドレス H'01d0 ~ H'01df (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1	STD1[7:0] (L)								STD2[15:8] (H)								Remarks									
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		D15	D14	D13	D12	D11	D10	D9	D8	
01d0	1	1	1	0	1	0	0	0	0	hv5_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv5パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv5パルス立下り位相 (t=1/fs)
01d1	1	1	1	0	1	0	0	0	1	hv6_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv6パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv6パルス立下り位相 (t=1/fs)
01d2	1	1	1	0	1	0	0	1	0	hv7_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv7パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv7パルス立下り位相 (t=1/fs)
01d3	1	1	1	0	1	0	0	1	1	hv8_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv8パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv8パルス立下り位相 (t=1/fs)
01d4	1	1	1	0	1	0	1	0	0	hv9_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv9パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv9パルス立下り位相 (t=1/fs)
01d5	1	1	1	0	1	0	1	0	1	hv10_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv10パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv10パルス立下り位相 (t=1/fs)
01d6	1	1	1	0	1	0	1	1	0	hv11_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv11パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv11パルス立下り位相 (t=1/fs)
01d7	1	1	1	0	1	0	1	1	1	hv12_tf1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1期間のv12パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1期間のv12パルス立下り位相 (t=1/fs)
01d8	1	1	1	0	1	1	0	0	0	hv5_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv5パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv5パルス立下り位相 (t=1/fs)
01d9	1	1	1	0	1	1	0	0	1	hv6_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv6パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv6パルス立下り位相 (t=1/fs)
01da	1	1	1	0	1	1	0	1	0	hv7_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv7パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv7パルス立下り位相 (t=1/fs)
01db	1	1	1	0	1	1	0	1	1	hv8_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv8パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv8パルス立下り位相 (t=1/fs)
01dc	1	1	1	0	1	1	1	0	0	hv9_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv9パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv9パルス立下り位相 (t=1/fs)
01dd	1	1	1	0	1	1	1	0	1	hv10_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv10パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv10パルス立下り位相 (t=1/fs)
01de	1	1	1	0	1	1	1	1	0	hv11_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv11パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv11パルス立下り位相 (t=1/fs)
01df	1	1	1	0	1	1	1	1	1	hv12_tf2	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2期間のv12パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2期間のv12パルス立下り位相 (t=1/fs)

33. アドレス H'01e0 ~ H'01ef (アドレス 2 は 8bit サイズ, 記載を省略)

Add-ress2	Address1	STD1[7:0] (L)								STD2[15:8] (H)								Remarks									
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		D15	D14	D13	D12	D11	D10	D9	D8	
01e0	1	1	1	1	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1の単発v11パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1の単発v11パルス立下り位相 (t=1/fs)	
01e1	1	1	1	1	0	0	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep1の単発v12パルス立上り位相 (t=1/fs) D7 to D0: tvsweep1の単発v12パルス立下り位相 (t=1/fs)	
01e2	1	1	1	1	0	0	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2の単発v11パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2の単発v11パルス立下り位相 (t=1/fs)	
01e3	1	1	1	1	0	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	D15 to D8: tvsweep2の単発v12パルス立上り位相 (t=1/fs) D7 to D0: tvsweep2の単発v12パルス立下り位相 (t=1/fs)	
01e4	1	1	1	1	0	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
01e5	1	1	1	1	0	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
01e6	1	1	1	1	0	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0						D11	D10	D9	D8	VDから何H目にvsub2を立ち上げるかを設定。(t=1H) アドレスH'0007のD13が0→1で動作。
01e7	1	1	1	1	0	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0						D11	D10	D9	D8	TRstartから何clk目にvsub2を立ち下げるかを設定。 (t=1/2fs)
01e8	1	1	1	1	0	1	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0						D11	D10	D9	D8	VDから何H目にm_shtを立ち上げるかを設定。(t=1H) アドレスH'0007のD2が0→1で動作。
01e9	1	1	1	1	0	1	0	0	1	D7	D6	D5	D4	D3	D2	D1	D0						D11	D10	D9	D8	VDから何H目にm_shtを立ち下げるかを設定。(t=1H) アドレスH'0007のD2が1→0で動作。

【注】 hv11_last_tr/tf, hv12_last_tr/tfは高速転送サイクルの終了ポイントから何クロック目にtr/tfを設定する。
開始ポイントは1サイクル目のtr/tfで決定し、Low固定にする場合はtr=maxとする。



XV11とXV12のみ高速転送を省略することができます。
tvsweep1,2を分けて設定します。

34. アドレス H'01f0 ~ H'01ff (アドレス 2 は 8bit サイズ, 記載を省略)

	Add- ress2	Address1								STD1[7:0] (L)								STD2[15:8] (H)								Remarks
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
01f0	1	1	1	1	1	0	0	0	0	ch3_tr								D13	D12	D11	D10	D9	D8	ch3パルス立上り (t=1/fs) moni時も共通。		
01f1	1	1	1	1	1	0	0	0	1	ch3_tf								D13	D12	D11	D10	D9	D8	ch3パルス立下り (t=1/fs) moni時も共通。		
01f2	1	1	1	1	1	0	0	1	0	ch4_tr								D13	D12	D11	D10	D9	D8	ch4パルス立上り (t=1/fs) moni時も共通。		
01f3	1	1	1	1	1	0	0	1	1	ch4_tf								D13	D12	D11	D10	D9	D8	ch4パルス立下り (t=1/fs) moni時も共通。		
01f4	1	1	1	1	1	0	1	0	0	ch5_tr								D13	D12	D11	D10	D9	D8	ch5パルス立上り (t=1/fs) moni時も共通。		
01f5	1	1	1	1	1	0	1	0	1	ch5_tf								D13	D12	D11	D10	D9	D8	ch5パルス立下り (t=1/fs) moni時も共通。		
01f6	1	1	1	1	1	0	1	1	0	ch6_tr								D13	D12	D11	D10	D9	D8	ch6パルス立上り (t=1/fs) moni時も共通。		
01f7	1	1	1	1	1	0	1	1	1	ch6_tf								D13	D12	D11	D10	D9	D8	ch6パルス立下り (t=1/fs) moni時も共通。		
01f8	1	1	1	1	1	1	0	0	0	ch7_tr								D13	D12	D11	D10	D9	D8	ch7パルス立上り (t=1/fs) moni時も共通。		
01f9	1	1	1	1	1	1	0	0	1	ch7_tf								D13	D12	D11	D10	D9	D8	ch7パルス立下り (t=1/fs) moni時も共通。		
01fa	1	1	1	1	1	1	0	1	0	ch8_tr								D13	D12	D11	D10	D9	D8	ch8パルス立上り (t=1/fs) moni時も共通。		
01fb	1	1	1	1	1	1	0	1	1	ch8_tf								D13	D12	D11	D10	D9	D8	ch8パルス立下り (t=1/fs) moni時も共通。		
01fc	1	1	1	1	1	1	1	0	0															ch9パルス立上り (t=1/fs) moni時も共通。		
01fd	1	1	1	1	1	1	1	0	1															ch9パルス立下り (t=1/fs) moni時も共通。		
01fe	1	1	1	1	1	1	1	1	0															ch10パルス立上り (t=1/fs) moni時も共通。		
01ff	1	1	1	1	1	1	1	1	1															ch10パルス立下り (t=1/fs) moni時も共通。		

株式会社 **ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com