

# HD49343NP/HNP

R19DS0068JJ0200  
 (Previous code: RJJ03F0089-0100)  
 Rev.2.00  
 2012.07.06

## CDS/PGA & 12 ビット A/D コンバータ

### 概要

HD49343NP/HNP は CCD カメラデジタル信号処理システムに最適な CDS-PGA 間のアナログ処理 (CDS/PGA) および 12 ビット A/D コンバータを 1 チップに収めた CMOS IC です。

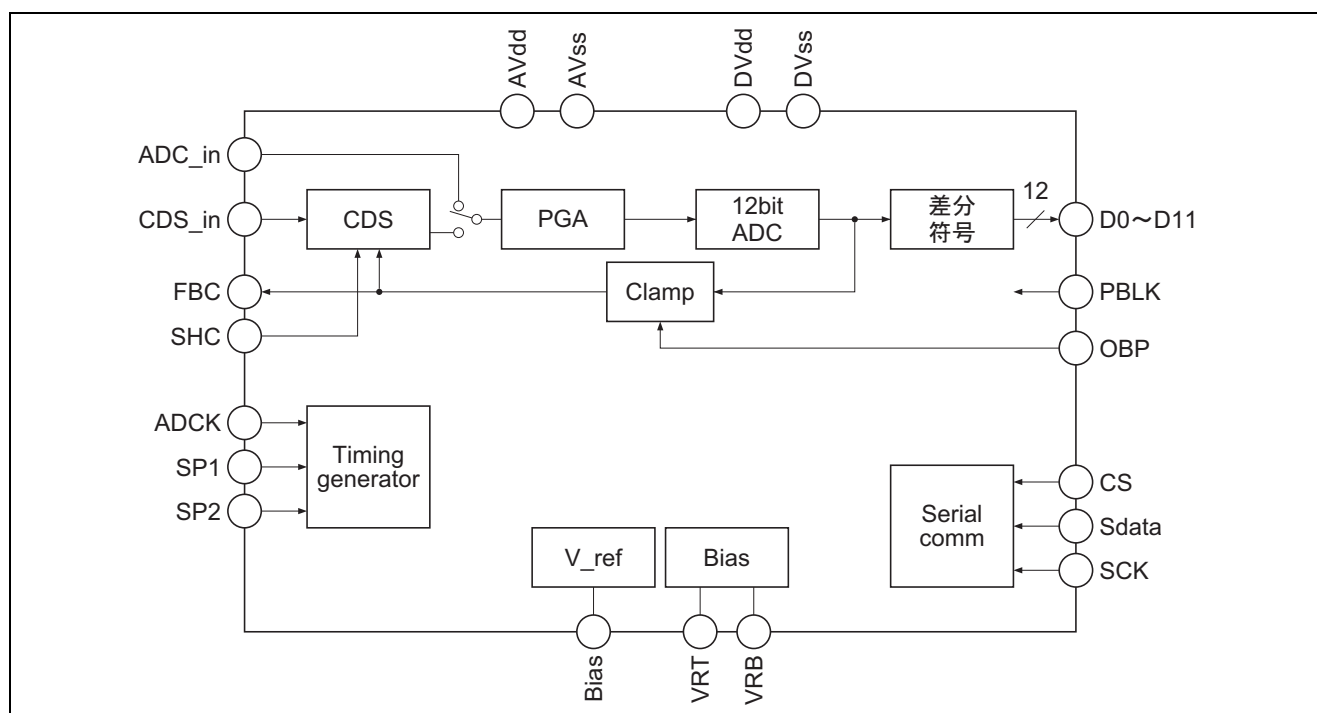
### 機能

- 相関二重サンプリング
- PGA
- シリアルインタフェース制御
- 12 ビット A/D コンバータ
- 3.0V 単一動作, ADC 出力
- 消費電力/動作周波数切り替えモード対応  
 HD49343HNP: 180mW, f\_max: 36MHz  
 HD49434NP: 114mW, f\_max: 25MHz
- QFN 36 ピン パッケージ

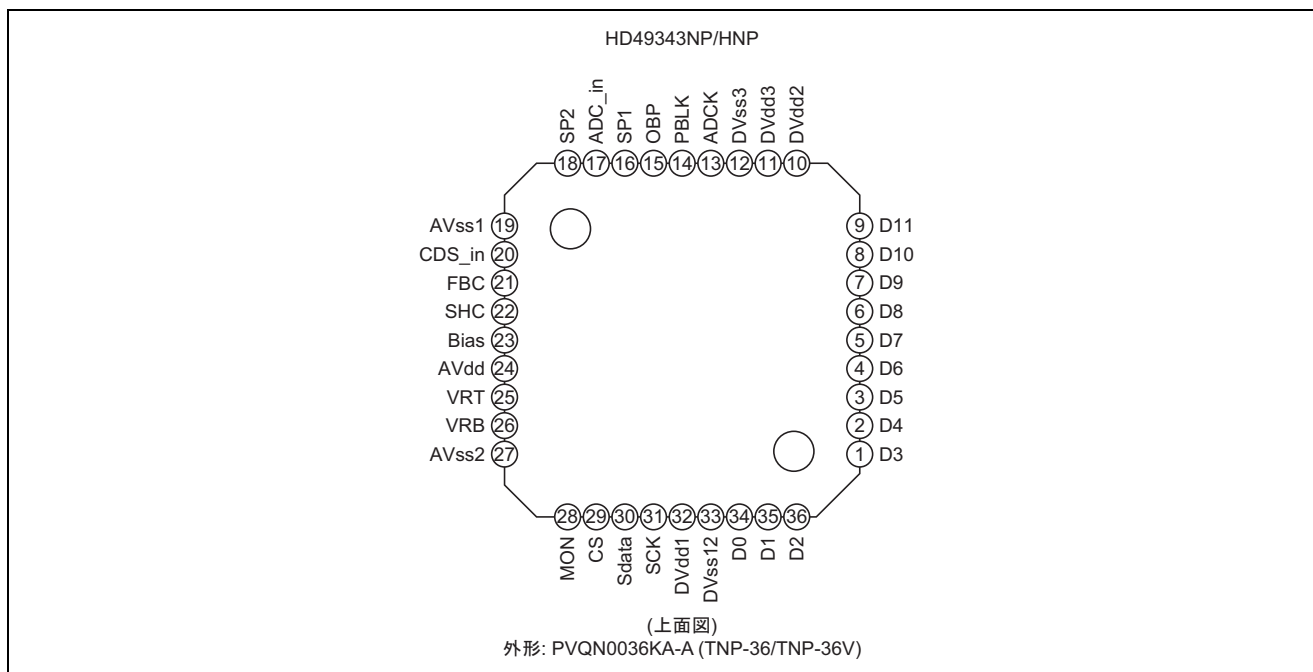
### 特長

- 相関二重サンプリングにより, CCD リセット雑音の抑圧が可能
- PGA は-6 ~ 34dB まで 10 ビット階調により, 高感度化が可能
- シリアルインタフェースにより, PGA ゲイン, S/H 周波数応答, パルスタイミング, etc の設定が可能
- A/D コンバータは 12 ビット分解能で高精度
- A/D 出力コードとして差分符号 + グレイコードを選択可能。疑似輪郭 (波紋) 抑圧に効果的。弊社にて特許申請中。

### ブロックダイアグラム



ピン配置



ピン説明

ピン No.	ピン名	説明	I/O	アナログ(A)/ デジタル(D)	備考
1 ~ 9 34 ~ 36	D0 ~ 11	ADC デジタル出力 (D0: LSB, D11: MSB)	O	D	2mA/10pF
10	DVdd2	ADC 出力部デジタル電源 (3V)	—	D	
11	DVdd3	タイミングジェネレータ部デジタル電源 (3V)	—	D	
12	DVss3	タイミングジェネレータデジタル GND (0V)	—	D	
13	ADCK	ADCK 入力	I	D	
14	PBLK	プリブランキングパルス入力	I	D	
15	OBP	OB パルス入力	I	D	
16	SP1	SP1 入力	I	D	
17	ADC_in	ADCIN 入力	I	D	
18	SP2	SP2 入力	I	D	
19	AVss1	CDS, PGA 部アナログ GND (0V)	—	A	
20	CDS_in	CDS 入力端子 (0.1μF)	I	A	
21	FBC	クランプ用コンデンサ端子 (対 SHC に 0.22μF)	O	A	
22	SHC	対 GND に 47Ω + 1000pF	—	A	
23	Bias	バイアス電流設定端子 (対 GND に 33kΩ)	O	A	
24	AVdd	ADC 部アナログ電源 (3V)	—	A	
25	VRT	ADC バイアス電圧トップ側 (対 GND に 0.1μF)	O	A	
26	VRB	ADC バイアス電圧ボトム側 (対 GND に 0.1μF)	O	A	
27	AVss2	ADC 部アナログ GND (0V)	—	A	
28	MON	cp-sw, cpdm 出力	O	D	2mA/10pF
29	CS	シリアル通信パルス CS 入力	I	D	
30	Sdata	シリアル通信パルス Sdata 入力	I	D	
31	SCK	シリアル通信パルス SCK 入力	I	D	
32	DVdd1	シリアル通信部デジタル電源 (3V)	—	D	
33	DVss12	シリアル通信部, ADC 出力部の GND (0V)	—	D	

【注】 Avdd1, 2, AVss1, 2 は CDS, PGA, ADC のアナログ電源系  
 DVdd1, DVss1 はシリアル通信のデジタル電源系  
 DVdd2, DVss2 は ADC 出力バッファのデジタル電源系  
 DVdd3, DVss3 はタイミングジェネレータのデジタル電源系

入出力等価回路

ピン名		等価回路
デジタル出力	D0 ~ D11 MON	
デジタル入力	PBLK OBP ADCK CS SCK SDATA	
アナログ	CDS_in	
	VRT VRB	

## 絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub> (max)	4.1	V
許容損失	Pt (max)	400	mW
動作電源電圧	Vopr	2.7 ~ 3.45	V
アナログ入力電圧	V <sub>IN</sub> (max)	-0.3 ~ AV <sub>DD</sub> + 0.3	V
デジタル入力電圧	V <sub>I</sub> (max)	-0.3 ~ DV <sub>DD</sub> + 0.3	V
動作温度	Topr	-20 ~ +85	°C
保存温度	Tstg	-55 ~ +125	°C

## 電気的特性

## ● CDS\_in, ADC\_in モード共通項目

(特記なき時, Ta = 25°C, AV<sub>DD</sub> = 3.0V, DV<sub>DD</sub> = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲	Vdd	2.7	3.0	3.45	V	VRT = 2.0V 選択	
	Vdd2	3.1	3.3	3.45	V	VRT = 2.4V 選択	
変換周波数	fclk_hi	25	—	36	MHz	HD49343HNP	
	fclk_low	5.5	—	25	MHz	HD49343NP	
デジタル入力電圧	V <sub>IH2</sub>	$2.2 \times \frac{DV_{DD}}{3.0}$	—	DV <sub>DD</sub>	V		全デジタル入力ピン
	V <sub>IL2</sub>	0	—	$0.6 \times \frac{DV_{DD}}{3.0}$	V		
デジタル出力電圧	V <sub>OH</sub>	DV <sub>DD</sub> -0.5	—	—	V	I <sub>OH</sub> = -1mA	デジタル出力ピン
	V <sub>OL</sub>	—	—	0.5	V	I <sub>OL</sub> = +1mA	
デジタル入力電流	I <sub>IH</sub>	—	—	50	μA	V <sub>IH</sub> = Vdd	
	I <sub>IL</sub>	-50	—	—	μA	V <sub>IL</sub> = 0V	
ADC 分解能	RES	—	12	—	bit		
ADC 積分リニアリティ	INL	—	(16)	—	LSB	fclk = 20MHz	
ADC 微分リニアリティ	DNL	(-0.99)	(±0.6)	—	LSB	fclk = 20MHz	隣り合うコード間のリニアリティ誤差
スリープ電流	I <sub>SLEEP</sub>	-100	—	100	μA	デジタル入力ピンは0V 固定, 出力ピンはopen	
スタンバイ電流	I <sub>STBY</sub>	—	3	5	mA	デジタル入出力ピンは0V 固定	

● CDS\_in モード適用項目

(特記なき時, Ta = 25°C, AV<sub>DD</sub> = 3.0V, DV<sub>DD</sub> = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流	I <sub>dd1</sub>	—	(60)	—	mA	f <sub>CLK</sub> = 36MHz	HD49343HNP
	I <sub>dd2</sub>	—	(38)	—	mA	f <sub>CLK</sub> = 25MHz	HD49343NP
CCD オフセット許容範囲	V <sub>CCD</sub>	(-150)	—	(150)	mV		
サンプリングタイミング仕様	t <sub>CDS1</sub>	—	(3.5)	—	ns		表 4 参照
	t <sub>CDS2</sub>	typ × 0.8	1/4fclk	typ × 1.2	ns		
	t <sub>CDS3</sub>	—	(3.5)	—	ns		
	t <sub>CDS4</sub>	typ × 0.8	1/4fclk	typ × 1.2	ns		
	t <sub>CDS5</sub>	typ × 0.85	1/2fclk	typ × 1.0	ns		
	t <sub>CDS6</sub>	—	(5)	—	ns		
	t <sub>CDS7</sub>	11	—	—	ns		
	t <sub>CDS8</sub>	11	—	—	ns		
	t <sub>CDS9</sub>	—	(7)	—	ns		
	t <sub>CDS10</sub>	—	(16)	—	ns		
クランプレベル	CLP(00)	—	(56)	—	LSB		クランプレベル = 設定値 × 8 + 56
	CLP(09)	—	(128)	—	LSB		
	CLP(31)	—	(304)	—	LSB		
PGA ゲイン	PGA(0)	-8	-6	-4	dB		1.0V 入力時に, PGA 出力が 1V のとき 0dB と定義
	PGA(256)	1.73	3.73	5.73	dB		
	PGA(512)	11.46	13.46	15.46	dB		
	PGA(768)	21.18	23.18	25.18	dB		
	PGA(1023)	30.87	32.87	34.87	dB		

● ADC\_in モード適用項目

(特記なき時, Ta = 25°C, AV<sub>DD</sub> = 3.0V, DV<sub>DD</sub> = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流	I <sub>dd3</sub>	—	(40)	—	mA	f <sub>CLK</sub> = 36MHz	
	I <sub>dd4</sub>	—	(25)	—	mA	f <sub>CLK</sub> = 25MHz	
タイミング仕様	t <sub>ADC1</sub>	—	(6)	—	ns		
	t <sub>ADC2</sub>	typ × 0.9	1/2f <sub>ADCK</sub>	typ × 1.10	ns		
	t <sub>ADC3</sub>	typ × 0.9	1/2f <sub>ADCK</sub>	typ × 1.10	ns		
	t <sub>ADC4</sub>	—	(14.5)	—	ns		
	t <sub>ADC5</sub>	—	(23.5)	—	ns		
ADC 入力時の入力電流	I <sub>INCIN</sub>	-110		110	μA	V <sub>IN</sub> = 1.0 ~ 2.0V	
ADC 入力時のクランプレベル	OF2	—	(2048)	—	LSB		
ADC_in 時の PGA ゲイン	GSL(0)	-8	-6	-4	dB		1.0V 入力時に, PGA 出力が 1V のとき 0dB と定義
	GSL(128)	-3.14	-1.14	0.86	dB		
	GSL(256)	1.73	3.73	5.73	dB		
	GSL(384)	6.60	8.60	10.60	dB		
	GSL(511)	11.42	13.42	15.42	dB		

## 内蔵機能

### 機能概要

- CDS 入力
  - CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
  - OB 期間の信号レベルを 56 ~ 304LSB (レジスタにより設定: 5 ビット 8LSB ステップ制御) にクランプ\*<sup>1</sup>
  - -6dB ~ 32.87dB 間で、10 ビットのゲイン調整が可能
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能
  - デジタル出力をクランプレベルに固定

【注】 1. 56LSB 設定時は、保証範囲外。

### 動作説明

図 1 に本 LSI の機能ブロックを示します。

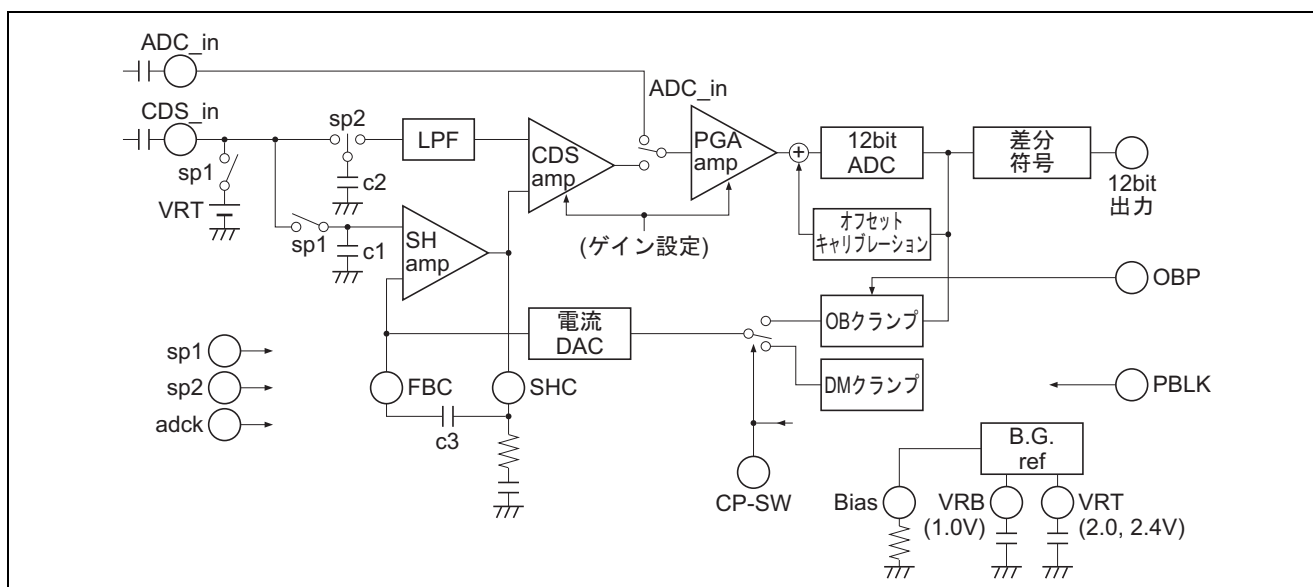


図 1 CDS/PGA 部 機能ブロック図

#### 1. CDS (Correlated Double Sampling) 回路

CDS 回路は、黒レベルと信号レベルとの差電圧を取り出す回路です。

黒レベルは、SP1 パルスにより C1 に直接サンプリングされ SHAMP によりバッファリングされた後、CDSAMP に供給されます。

信号レベルは、SP2 パルスにより C2 に直接サンプリングされそのまま CDSAMP に供給されます。

CDSAMP は上記 2 つの信号レベルの差をとると共に、前段のプログラマブルゲインアンプとして働きます。

CDS 入力は、VRT (2V または 2.4V) にバイアスされます。

PBLK の期間、上記のサンプリング動作およびバイアス動作は停止します。

#### 2. PGA 回路

PGA 回路は後段のプログラマブルゲインアンプです。前段の CDSAMP と合わせて 10 ビットのレジスタでゲインを設定します。

レジスタ値  $N = 0 \sim 1023$  に対し、下式のようにゲインが変化します。

$$\text{Gain} = -6\text{dB} + 0.04\text{dB} \times N \text{ (Log リニア)}$$

#### 3. OB クランプ

OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDSAMP オフセット等を含むすべてのオフセットを補償します。

OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって SHAMP の外付け容量 C3 にチャージします。

# シリアルデータ

## シリアルデータ仕様

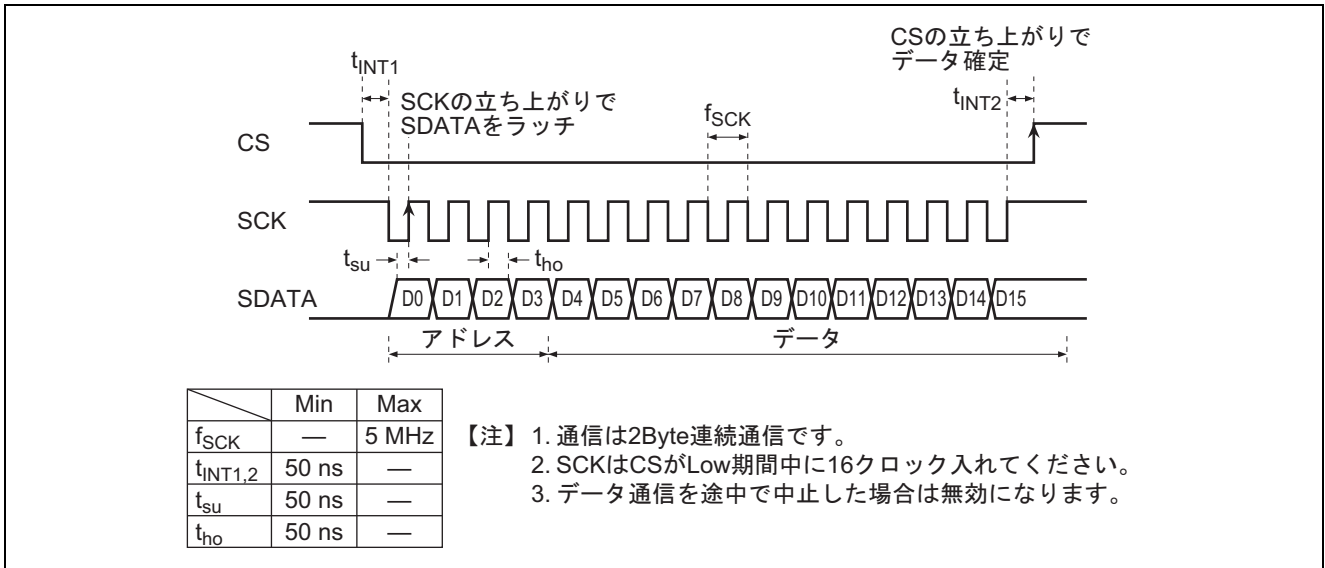


図2 シリアルデータのタイミング仕様

表1 シリアルデータ一覧

アドレス	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	備考
0	PGAゲイン				PGAゲイン									Bias_sel		PGAゲイン: -6~32.87dB (0.04dB/ステップ) D4: LSB, D13: MSB D15, D14: Bias_sel: 0常時Bias, 1cpdmでBias 2,3obp後8clkをBias	
	0	0	0	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
	初期値				0	0	0	0	0	0	0	0	0	0	0		0
1	フィルタ				LPF_sel			shsw_fsel			sha_fsel		slp	stby			LPF_sel: 5~56MHzのLPF選択 shsw_fsel, sha_fsel: sp1部のサンプリングフィルタ slp, stby: 通常0設定
	1	0	0	0	D4	D5	D6		D8	D9	D10	D11	D12	D13	D14	D15	
	初期値				1	1	0		0	0	0	1	0	1	0	0	
2	クランプ 極性選択 Reset				clamp				obp_W		極性選択		Lo-pwr	calb	Re	clamp: 設定値 × 8+56 obp_W: 0の時8clk検出, 1の時4clk検出 極性選択: 0 = ネガ, 1 = ポジ Lo-pwr: 0の時36MHz保証, 1の時25MHz保証 calb: 1でオフセットキャリブレーション実行 Reset: 0でソフトウェアリセット, 通常1設定	
	0	1	0	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
	初期値				1	0	0	1	0	0	0	0	0	1	0		1
3	ダミークランプ その他				ダミークランプ				その他				VRT_sel	Vref_off	ADC_in	cpdm_th/i: ダミークランプ設定 VRT_sel: 2.0/2.4V切り替え Vref_off: VRT, VRBのバイアスoff ADC_in: 1の時ADC入力モード	
					cpdm_th		cpdm_i										
	1	1	0	0	D4	D5	D6	D7	D8		D10	D11	D12	D13	D14		D15
4	差分符号				差分符号				出力固定						Gray 基準位相: 0~3clkの間で移動 adck位相: ポジ/ネガエッジ選択 10/12: グレイ変換のbit数 Gry, 差分: 差分符号グレイコードのon/off Gry_ref: 0 = 2画素基準, 1 = 1画素基準 出力固定: test0, MINV, LINV (詳細はHD49330参照)		
					基準位相	adck位相	Gry	差分	10/12	Gry_ref	test	0	MINV	LINV			
	0	0	1	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13			
5	MON																MON: 0の時cp-sw, 1の時cpdm
	1	0	1	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	
	初期値				1	1	0	0	0	0	0	0	1	0	1	0	

(次頁へ続く)

アドレス	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	備考	
6	new func				cpad sel	winck sel	wide obp			wob_vth1	clp_Hsel	wob_i	clp_l					cpad sel: padテスト 通常は0設定 winck sel: 高速クランプ補正ウィンドウ幅 0: 32倍, 1: 64倍, 2: 128倍, 3: 16倍 wide_obp: 幅広OBP対応 pblk act: PBLK期間中のOBPを有効とする wob_vth1: 幅広OB用電流200μA切り替え 0: 63cnt, 1: 200cnt clp_Hsel: 高速引き込み後の継続H数 0: 1H, 1: 2H, 2: 4H, 3: 8H wob_i: 幅広OB用電流2倍 clp_l: D15 = 1の時通常クランプ電流2倍 test bitは弊社での出荷時のテストイング用のbitです。通常はオール0を設定するか、あるいは送信しないでください。 D10: 1の時cpdm機能に関係無くパルス出力
	0	1	1	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値					0	0	0		0		0	0	0	0	0	0	
7	test1																test bitは弊社での出荷時のテストイング用のbitです。通常はオール0を設定するか、あるいは送信しないでください。 D10: 1の時cpdm機能に関係無くパルス出力	
	1	1	1	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値					0	0	0	0	0	0	0	0	0	0	0		0
8	0	0	0	1	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値																	
9	1	0	0	1	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値																	
10											wob_vth1	wob_vth2	wob_vth3					wob_vth1: 幅広OB用電流200μA切り替え wob_vth2: 幅広OB用電流20μA切り替え wob_vth3: 幅広OB用電流2μA切り替え
	0	1	0	1	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値										0	0	0	0	0	0	0	
11	cpdm_dl				cpdm_dl												cpdm_dl: 0~1016clk選択 (4clk刻み) (初期値 = 0, オール1の時パルス停止) パルス位相 = データ × 4 (clk)	
	1	1	0	1	D4	D5	D6	D7	D8	D9	D10	D11		D13	D14			
	初期値					0	0	0	0	0	0	0						
12	test2																	
	0	0	1	1	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値					0	0	0	0	0	0	0	0	0	0	0		0
13	test3																	
	1	0	1	1	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値					0	0	0	0	0	0	0	0	0	0	0		0
14	test4																	
	1	1	1	0	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15		
	初期値					0	0	0	0	0	0	0	0	0	0	0		0

【注】 アドレス15は空き。

• 幅広OBの制御

	電流値 wob_i		カウント数 wob_th1, 2, 3				備考
	0	1	0	1	2	3	
lclp_th1	200μA	400μA	15	63	200	無限	カウント数はアドレス11が0の時のみアドレス6の設定値が反映
lclp_th2	20μA	40μA	127	255	511	無限	
lclp_th3	2μA	4μA	511	1023	無限	無限	



シリアルデータ説明

- PGA ゲイン (アドレス 0 の D4 ~ D13)  
 詳細は6ページのブロック図を参照。VRTの電圧設定 (アドレス4のD12) でゲインが3dBシフトします。  
 PGA ゲイン:  $-6\text{dB} + 0.04\text{dB} \times N$  (Log リニア)

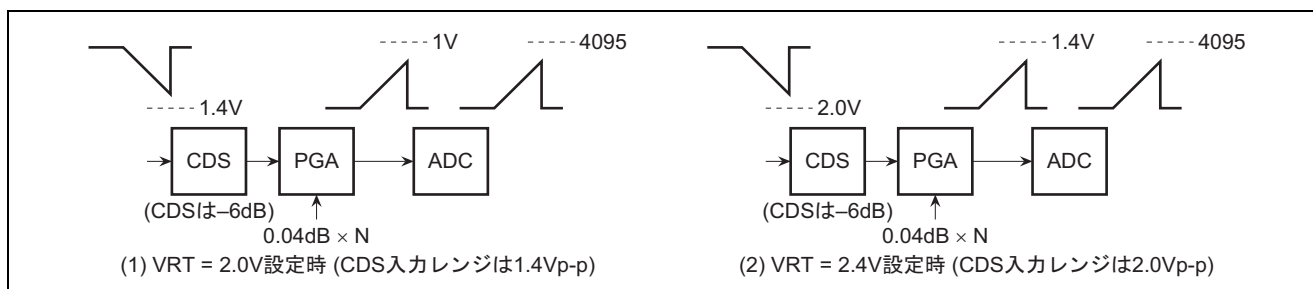


図3 PGAのレベルダイア

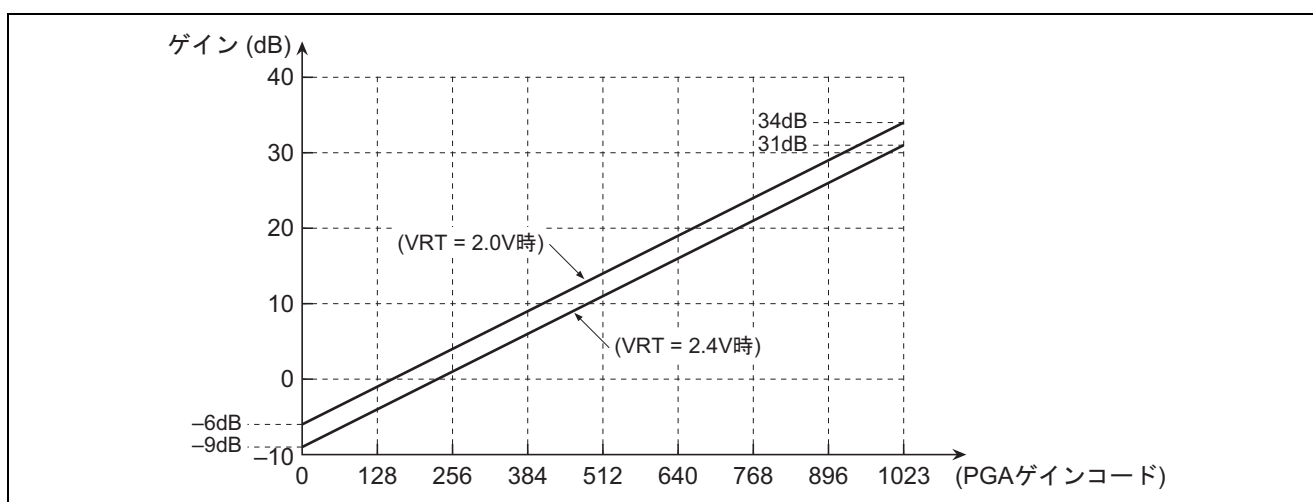


図4 PGAゲイン特性

- LPF\_sel (アドレス 1 の D4 ~ D6)  
 CDS 入力部の周波数帯域制限を選択します。

LPF_sel	センサ周波数
0	6MHz
1	12MHz
2	18MHz
3	25MHz
4	30MHz
5	35MHz
6	40MHz
7	50MHz

周波数帯域を下げるとS/Nはアップしますが、反面アンプ動作が遅くなりラインスクロールやゲイン不足などの問題が発生します。実際に使用する周波数より高いポイントを選択してください。

なお、LFP\_selについては、

- (1) Low Power モード時は、データ = 3
  - (2) Normal Power モード時は、データ = 6
- のみをテストング保証します。

- SHSW\_fsel, SHA\_fsel (アドレス 1 の D8 ~ D13)

SP1 でサンプリングしたプリチャージ部に対してフィルタリング処理を施します。この時のカットオフ周波数を選択できます。SHSW\_fsel, SHA\_fsel のデータ選択によって、S/N が図 5 のように変化します。画像を評価しながら最適値を見つけてください。

表2 SHSW時定数設定表

SHSW_fselデータ	カットオフ周波数 (MHz)
0	72
1	69
2	63
3	60
4	54
5	51
6	45
7	42
8	36
9	33
10	27
11	24
12	18
13	15
14	9
15	6

表3 SHAMP周波数特性設定表

SHA_fselデータ	カットオフ周波数 (MHz)
0	116
1	75
2	56
3	32

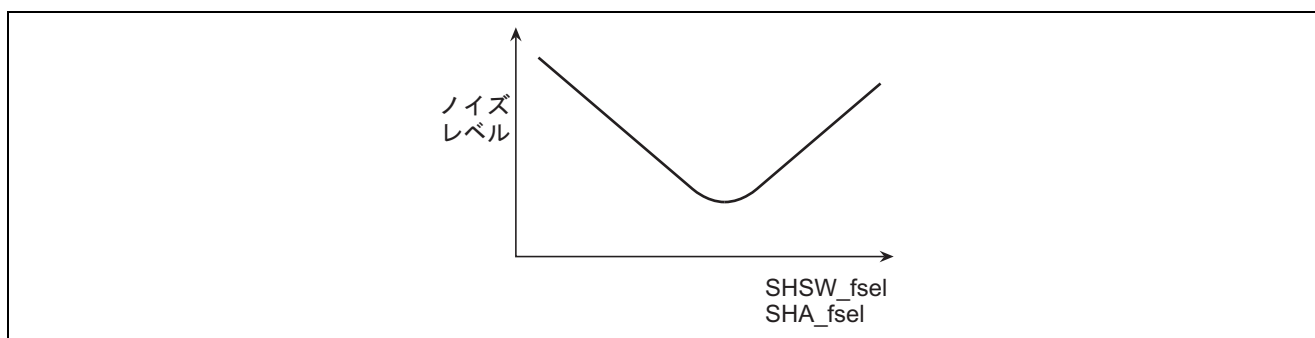


図 5 SHSW\_fsel, SHA\_fsel による効果

- SLP と STBY (アドレス 1 の D14, D15)

SLP: すべての回路を停止します。消費電流は CDS 部で 10 $\mu$ A 以下。

復帰させる時は、オフセットリブレーション (図 6 の(3))から再度、立ち上げてください。

STBY: 基準電圧発生回路のみ動作。消費電流は約 3mA。

復帰までにフィードバックランプが安定する時間として 20H 程度を見込んでください。

- Clamp レベル (アドレス 2 の D4 ~ D8)

Clamp レベル = 設定データ  $\times$  8 + 56

D4: LSB, D8: MSB

初期値は  $9 \times 8 + 56 = 128$  を設定しています。

- Clamp 高速引き込み (アドレス 6 の D6, D7, D12, D13)  
PGA ゲインを変更すると、自動的に高速引き込み動作に移行し、フィードバックループゲインが D6, D7 に設定された倍率で制御されます。また、高速引き込み動作を終了し通常のループゲインに戻すまでの時間は D12, D13 に設定された H 数まで高速引き込みモードを継続します (オフセット誤差が 32LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 32LSB 以内に入ってから D12, D13 で設定された H 数後に通常のループゲインに戻ります)。

通常のクランプ動作では、1H あたりのオープンループ微分ゲイン ( $\Delta\text{Gain}/\Delta\text{H}$ ) は下式によって与えられます。

(1H は OBP の 1 周期です)

$$\Delta\text{Gain}/\Delta\text{H} = 0.024/(\text{fclk} \times \text{C3}) \quad (\text{fclk: ADCK 周波数, C3: FBC の外付け容量})$$

$$\text{例: fclk} = 20\text{MHz, C3} = 0.1\mu\text{F} \quad \Delta\text{Gain}/\Delta\text{H} = 0.012$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.012 \times \text{オフセット誤差量 (LSB)}^*$$

【注】 上記オフセット誤差量には上限値があります。

これに対して、高速引き込み動作の場合、以下のように速度が変わります。

$$\text{例: fclk} = 20\text{MHz, C3} = 0.1\mu\text{F} \quad 32 \times \Delta\text{Gain}/\Delta\text{H} = 32 \times 0.012 = 0.384$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.384 \times \text{オフセット誤差量 (LSB)}$$

高速引き込み動作により、500LSB 程度の誤差が生じた場合、約 20H で目標のクランプレベルに引き込むことができます。

- Wide\_obp (アドレス 6 の D9)  
D9 = 1 の時、幅広 OBP に対応。OBP の幅が  $63 \pm 1\text{clk}$  以上の時、幅広であることを自動的に認識し、毎 clk 検出&補正を実行します。この機能を使用する場合には弊社営業窓口までご連絡ください。
- OBP\_W (アドレス 2 の D9)  
クランプ検出を D9 = 0 のとき 8 画素、D9 = 1 のとき 4 画素に切り替えます。
- 各極性選択 (アドレス 2 の D10 ~ D12)

データ	名称	内容
D11	OBP_inv	OBP の極性選択。 0 のときネガパルス、1 の時ポジパルス入力。
D12	PBLK_inv	PBLK の極性選択。 0 のときネガパルス、1 の時ポジパルス入力。 PBLK_inv は SP_inv と連動します。

- Low-pwr (アドレス 2 の D13)  
D13 = 0 のとき、センサ clk = 36MHz まで保証 (HD49343HNP)。  
D13 = 1 のとき、センサ clk = 25MHz まで保証 (HD49343NP)。

● Calb と Reset (アドレス 2 の D14, D15)

電源投入時に 1 度だけソフトウェアリセットとキャリブレーションを実行することで、内部回路のバイアスズレを自動的にキャンセルします (オフセットキャリブレーション)。本 LSI では必ず実行してください。

自動オフセットキャリブレーションは、PGA アンプの出力加算する DAC の DC 電圧を調整します。この DAC には、PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに、レジスタ設定によるクランプデータ (56LSB ~ 304LSB) が加算されて与えられます。

自動オフセットキャリブレーションは、レジスタ設定によるリセットモード解除後自動的にスタートし、40000 (adck) 後に終了します (fclk = 20MHz の場合: 20ms, fclk = 10MHz の場合: 4.0ms)。

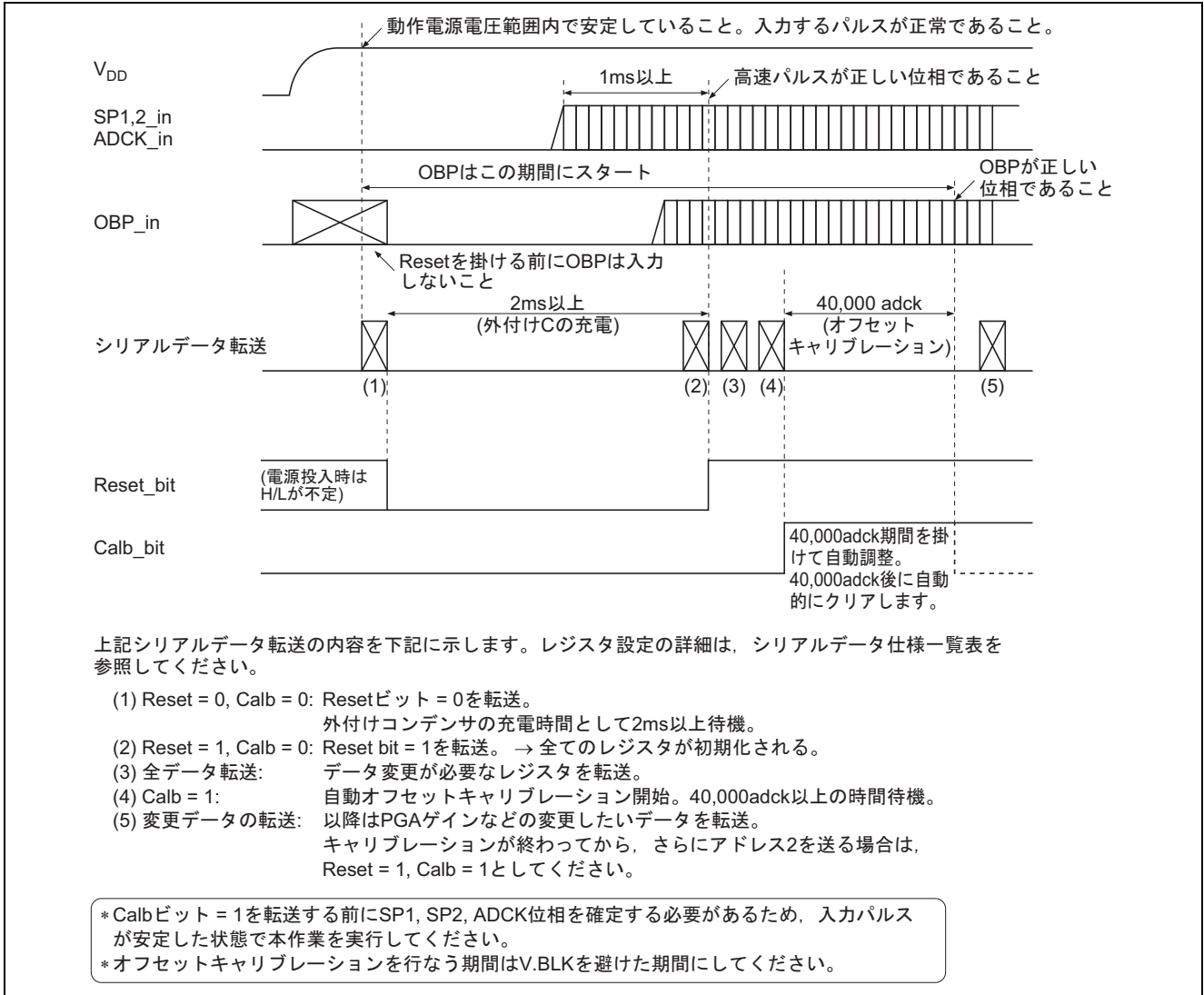


図 6 電源投入時の動作シーケンス

● ダミークランプ (アドレス 3 の D4~D8)

太陽などの強烈なハイライトを撮影した場合、センサの OB 部にも光が漏れ込み、クランプミスを引き起こします。この誤動作を防止するため、OB 部とダミー部のレベル差を監視し、

$$\text{OB 部} > \text{ダミー部} + \text{cpdm\_th}$$

の条件になったときには、ダミーレベルでのクランプに自動的に切り替えます。ダミー-on の時のフィードバック電流も同時に cpdm\_j で設定した電流量になります。

ダミークランプを行なうための cpdm パルスは PBLK の遅延から以下の式で生成されます。

$$\text{cpdm 位相} = \text{PBLK 位相} + (\text{アドレス 11})$$

cpdm 位相をシャッタ傷の部分に設定すると誤動作する場合があります。誤動作を防ぐことができない場合は cpdm\_th = 0 として、機能を off してください。

また、PGA ゲインによりクランプミス電圧も変動しますので、cpdm\_th はゲインと連動するように制御してください。

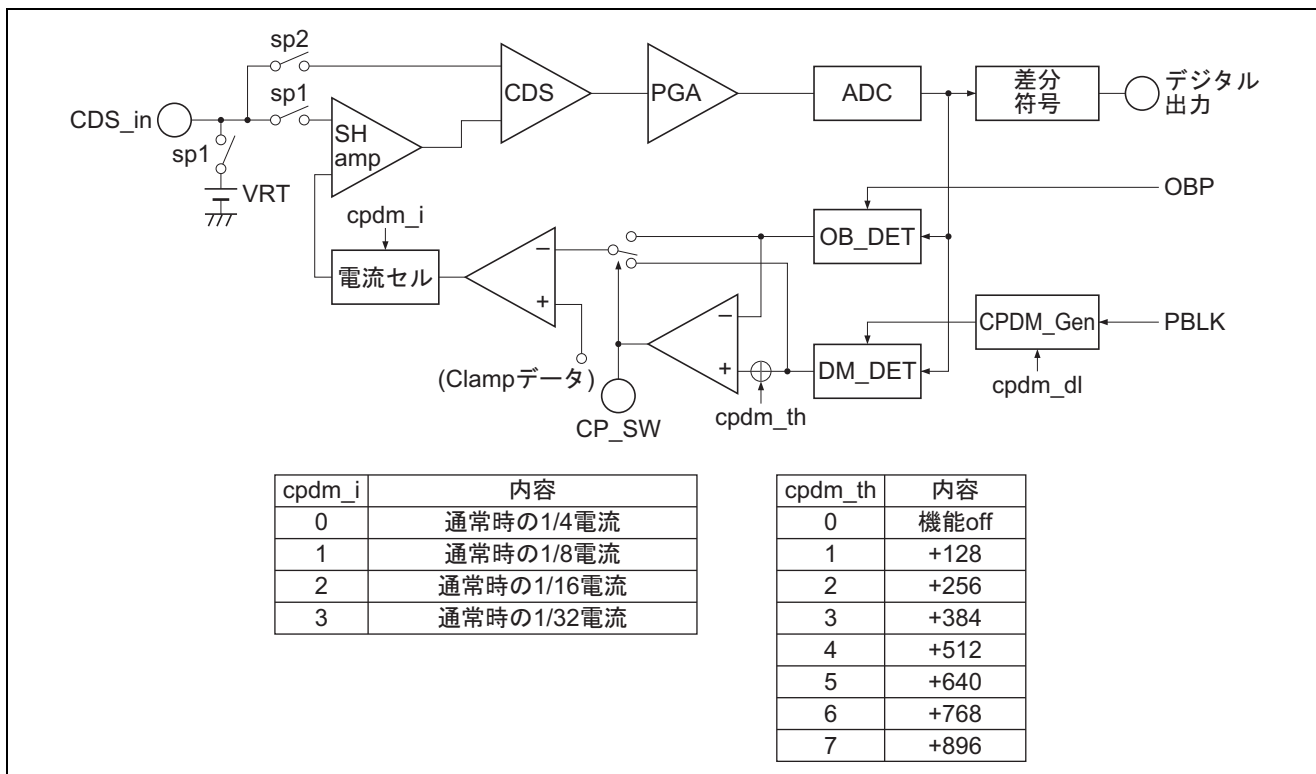
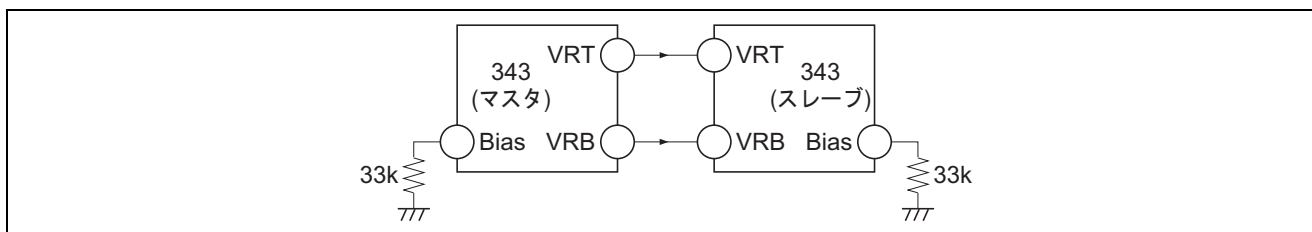


図7 ダミークランプ回路の構成

- VRT\_sel (アドレス 3 の D10)  
 D10 = 0 の時, VRT は 2.0V  
 D10 = 1 の時, VRT は 2.4V が選択できます。  
 ただし, D10 = 1 とする場合には AVdd 電圧が 3.1V 以上が条件となります。

VRT_sel	VRT 電圧	CDS 入力レンジ	ADC ダイナミックレンジ	AVdd 条件
0	2.0V	1.4Vp-p	1.0Vp-p	Min = 2.7V
1	2.4V	2.0Vp-p	1.4Vp-p	Min = 3.1V

- Vref\_off (アドレス 3 の D11)  
 D11 = 1 の時, VRB, VRT は LSI 内部からの供給を遮断し, 外部からの電圧供給が可能になります。  
 並列接続する場合などは下図のようにマスタ/スレーブとして設定することでゲインパラツキなどを抑えることができます。  
 外部供給モードを選択した場合, その電圧状態でオフセットキャリブレーションを行なってください。



- ADC\_in (アドレス 3 の D15)  
 D15 = 0 のとき, 通常 CDS 動作モード  
 D15 = 1 のとき, テスト用 ADC\_in モード (このとき, バイアスは約 1.0V になります) が選択できます。

- MON (アドレス 5 の D4)

データ	MON 端子
0	cp-sw
1	cpdm

- Gray コード (アドレス 4 の D4 ~ D10)  
差分符号グレイ SW (D7, D8) により, ADC 出力コードを以下のように変更することができます。

D7: 0 のときバイナリコード, 1 のときグレイコード

D8: 0 のとき通常, 1 のとき差分符号

ADC 出力の複数のビットが同時に切り替わるポイントで画像に波紋 (量子化誤差による疑似輪郭) が発生します。これを対策する手段として, 差分符号 + グレイコードを推奨します。図 8 に回路ブロックを示します。この機能を使うことで輝度信号がなだらかに変化している状態では切り替わるデジタル出力のビット数を極力低減することができ, 波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや, ADC 出力を長く引き伸ばすセットなどに効果的です。

本コードを使用する場合には, DSP 側で複合化回路が必要になります。図 10 にその一例を示します。

基準位相 (D4)	基準位相 (D5)	差分符号選時の 基準データ出力タイミング
0	0	3, 4 番目 (3 番目)
1	0	4, 5 番目 (4 番目)
0	1	5, 6 番目 (5 番目)
1	1	6, 7 番目 (6 番目)

【注】 色フィルタが奇数/偶数画素で異なるため, 先頭の 2 画素を基準とします。()内は基準を 1 画素とした場合。

- adck 位相 (D6): OBP に対する ADCK 極性  
0 のとき: ポジエッジ  
1 のとき: ネガエッジを選択
- 10/12 (D9): バイナリ グレイ変換ビット数  
0 のとき: 12 ビット  
1 のとき: 10 ビットを選択
- Gry\_ref (D10): 基準画素数  
0 のとき: 2 画素  
1 のとき: 1 画素を選択

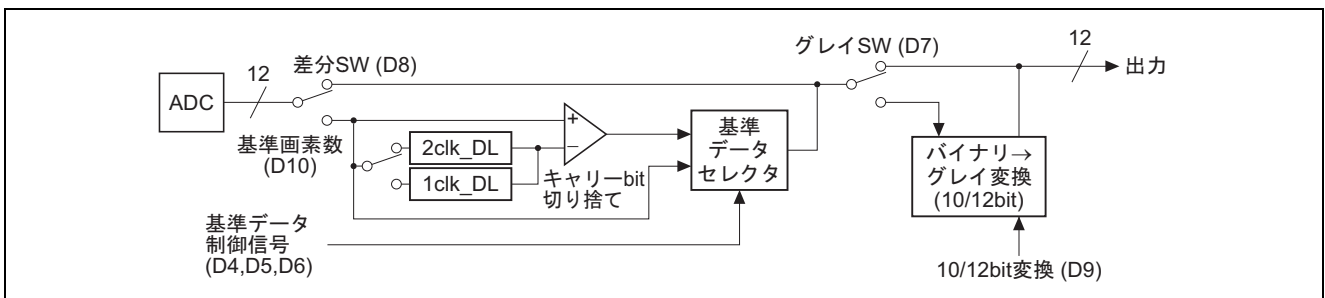


図 8 差分符号, グレイコード化回路

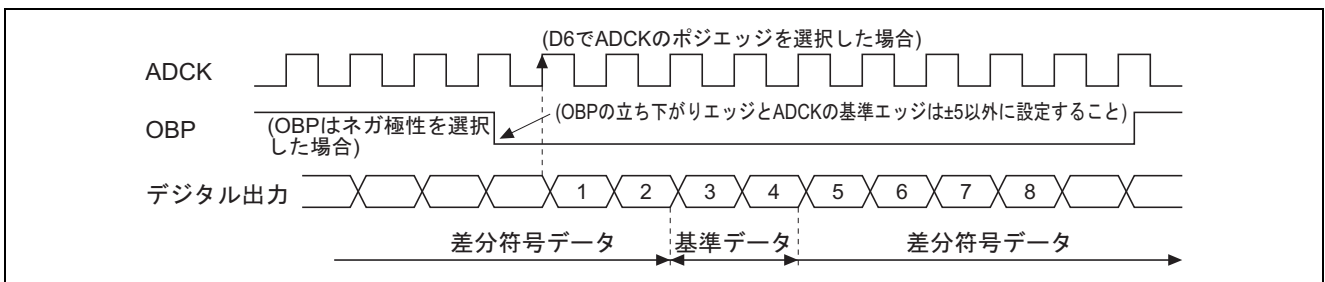


図 9 差分符号のタイミング仕様

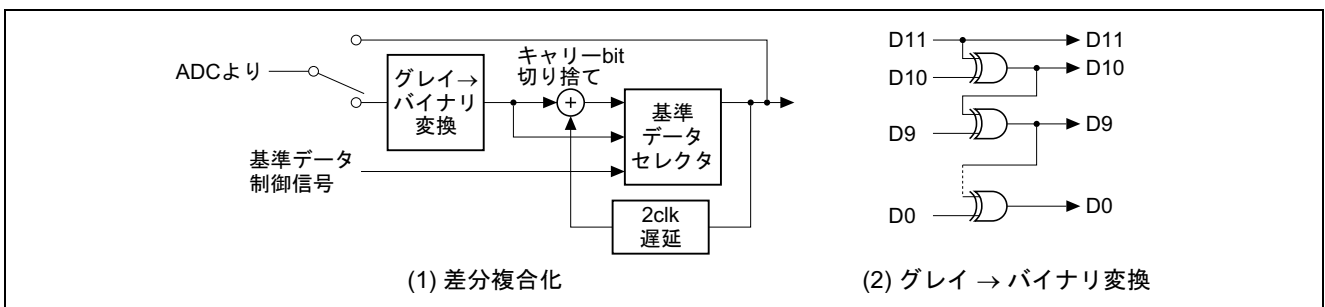


図 10 DSP 側での複合化回路例

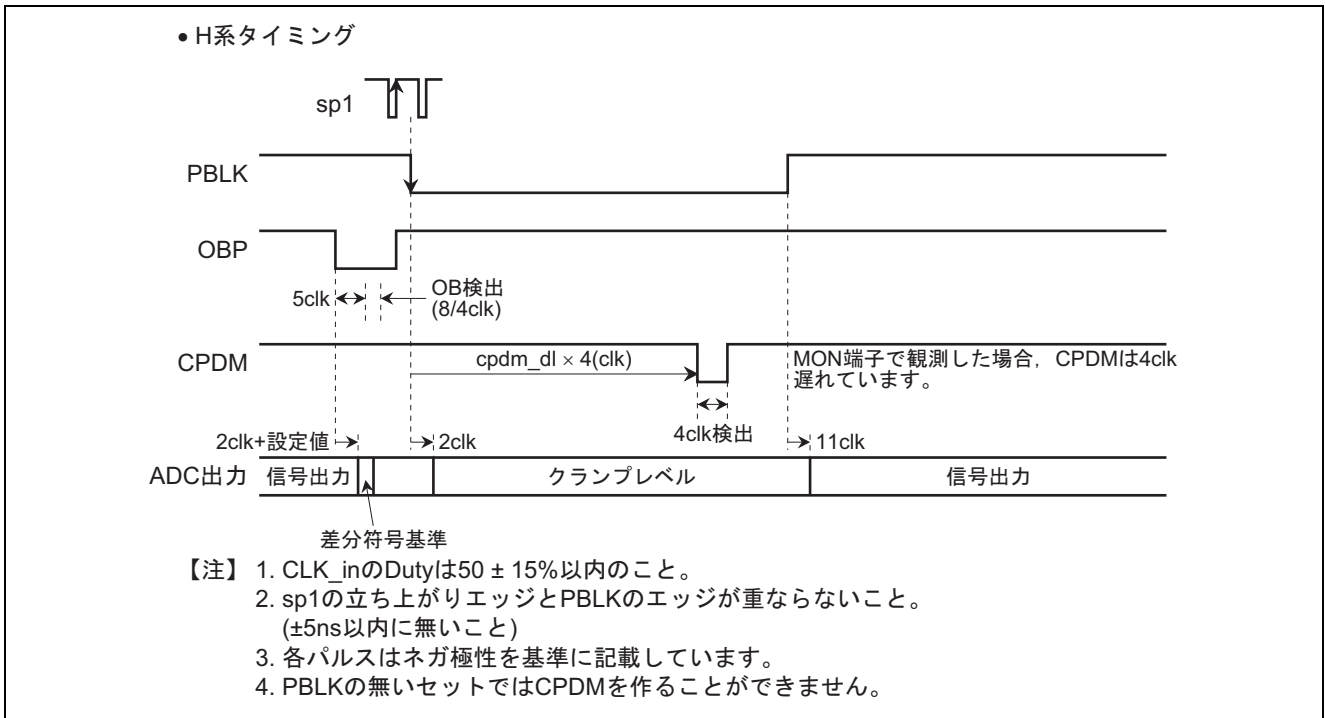


図 11 H.BLK 期間のタイミング

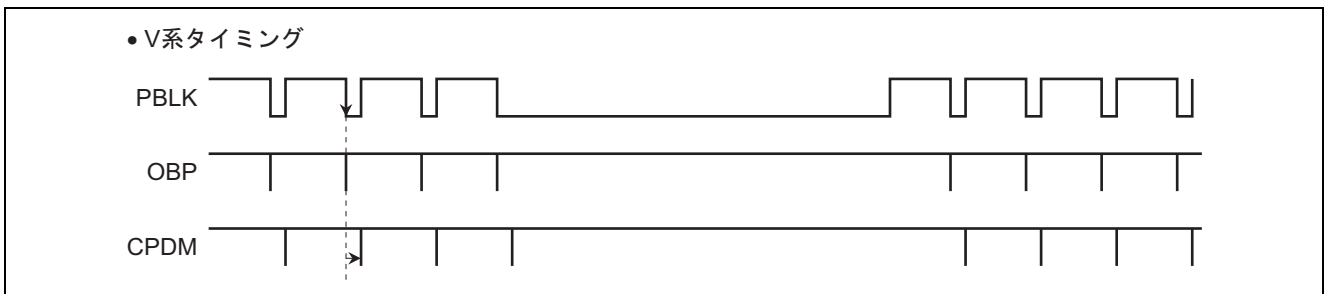


図 12 V.BLK 期間のタイミング



## パイプラインディレイ

図 13 に CDS\_in, ADC\_in の各入力端子を使用した場合の出力タイミング図を示します。

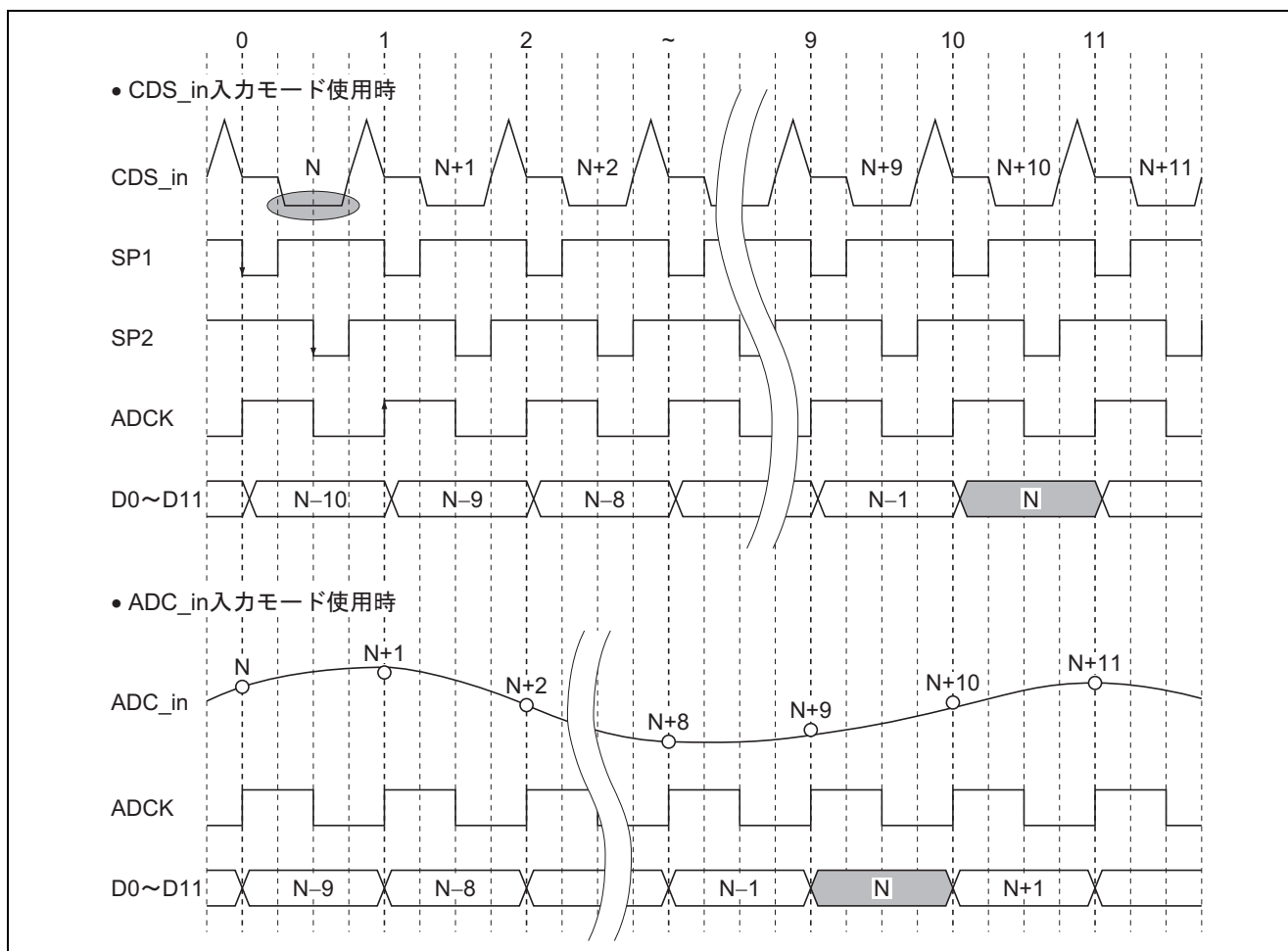


図 13 CDS\_in, ADC\_in の各入力端子を使用した場合の出力タイミング図

- ADC 出力 (D0 ~ D11) は両入力モード共 ADCK 立ち上がりエッジで出力されます。
- CDSIN 使用時のパイプラインディレイは 10 クロック, ADC\_in 使用時は 9 クロックとなります。
- ADC\_in 入力モード時の入力信号サンプリングは ADCK の立ち上がりエッジで行なわれます。
- 差分符号を使用した場合は, パイプラインディレイはさらに 1 クロック増えます。

## サンプリングタイミング仕様

### CDS\_inモード時の詳細タイミング仕様

図 14 に CDS\_in モード時の詳細タイミング仕様を示し、表 4 に各タイミングの仕様を示します。

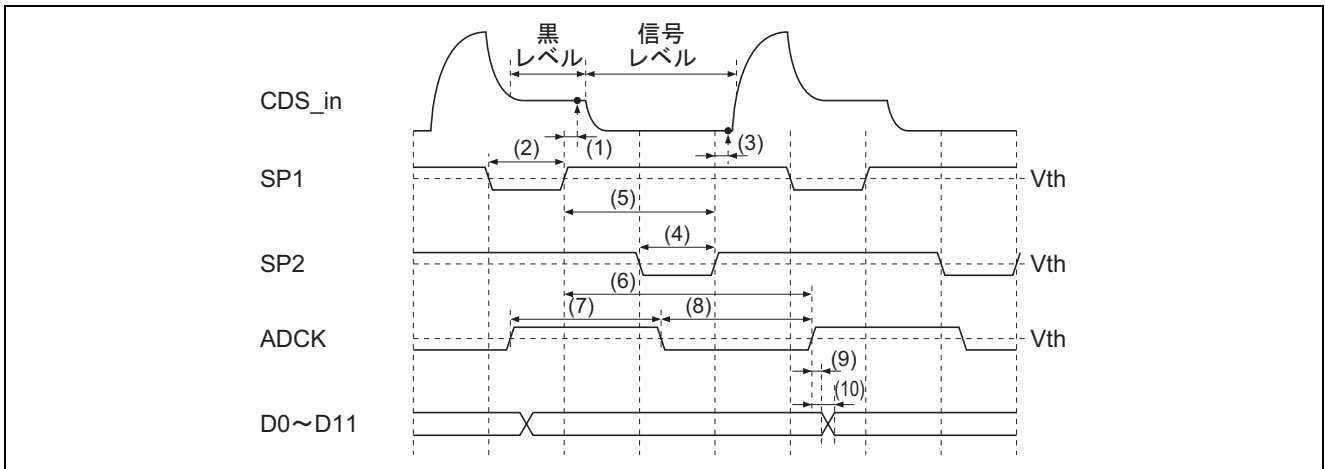


図 14 CDS\_in モード時の詳細タイミング仕様

表 4 CDS\_in モード時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	$t_{CDS1}$	—	(3.5)	—	ns
(2)	SP1 "Low"期間	$t_{CDS2}$	$Typ \times 0.8$	$1/4f_{clk}$	$Typ \times 1.2$	ns
(3)	信号レベル取り込み時間	$t_{CDS3}$	—	(3.5)	—	ns
(4)	SP2 "Low"期間	$t_{CDS4}$	$Typ \times 0.8$	$1/4f_{clk}$	$Typ \times 1.2$	ns
(5)	SP1 立ち上がり ~ SP2 立ち上がり時間	$t_{CDS5}$	$Typ \times 0.85$	$1/2f_{clk}$	$Typ \times 1.0$	ns
(6)	SP1 立ち上がり ~ ADCK 立ち上がり禁止時間	$t_{CDS6}$	—	(5)	—	ns
(7)	ADCK $t_{WH} \text{ min.}/t_{WL} \text{ min.}$	$t_{CDS7, 8}$	11	—	—	ns
(9)	ADCK 立ち上がり ~ デジタル出力保持時間	$t_{CHLD9}$	—	(7)	—	ns
(10)	ADCK 立ち上がり ~ デジタル出力遅延時間	$t_{COD10}$	—	(16)	—	ns

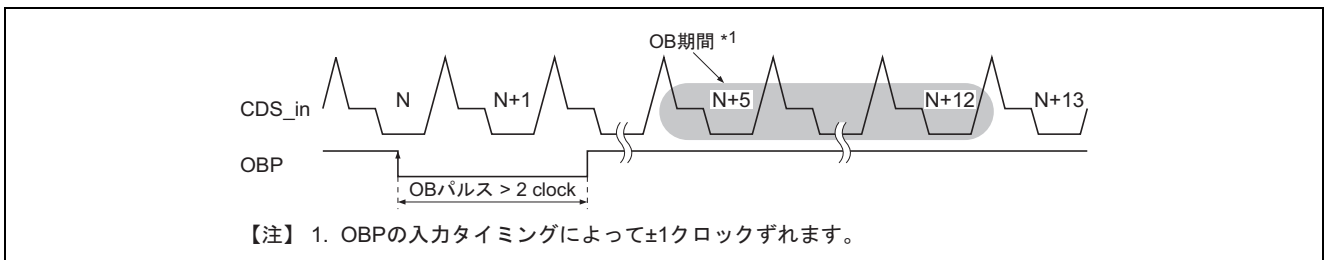
- 【注】 1. 動作周波数で規定している数値は「 $t_{CDS5}$ 」を守っている場合です。使用している周波数が仕様内であっても、この時間が短い場合は高周波数動作と等価になります。また、 $t_{CDS5}$  の max は  $1/2f_{CLK}$  として設定してください。
2. シングルサンプリングモード時の SP1 は、SP2 に対して 180 度シフトした位相に設定してください。

### OBPの詳細タイミング仕様

図 15 に OBP の詳細タイミング仕様を示します。

OB パルス入力後、5 クロックから 12 クロック目までが OB 期間です。<sup>\*1</sup>

OB 期間に入力された 8 サイクル分の黒信号レベルが平均され、クランプレベル (DC 基準) となります。



【注】 1. OBPの入力タイミングによって±1クロックずれます。

図 15 OBP の詳細タイミング仕様

プリブランキング時の詳細タイミング仕様

図 16 にプリブランキング時の詳細タイミング仕様を示します。

ただし、差分符号を選択した場合には、PBLK 中であっても差分符号基準信号を出力します。

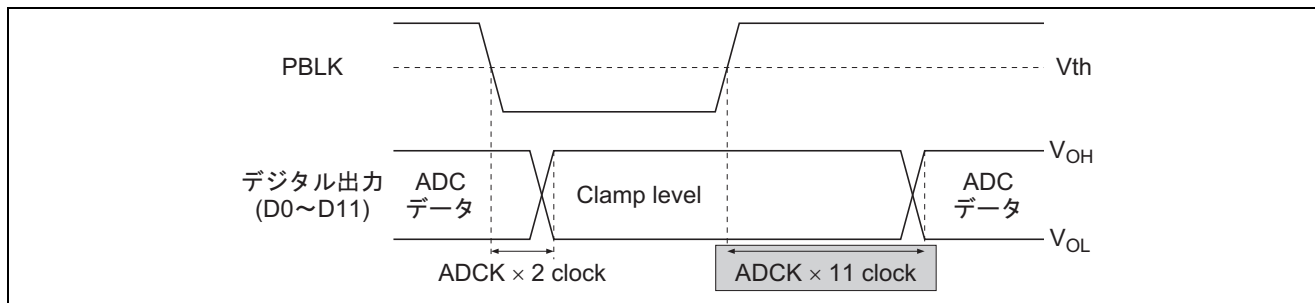


図 16 プリブランキング時の詳細タイミングの仕様

ADC\_inモード時の詳細タイミング仕様

図 17 に ADC\_in モード時の詳細タイミング仕様を示し、表 5 に各タイミングの仕様を示します。

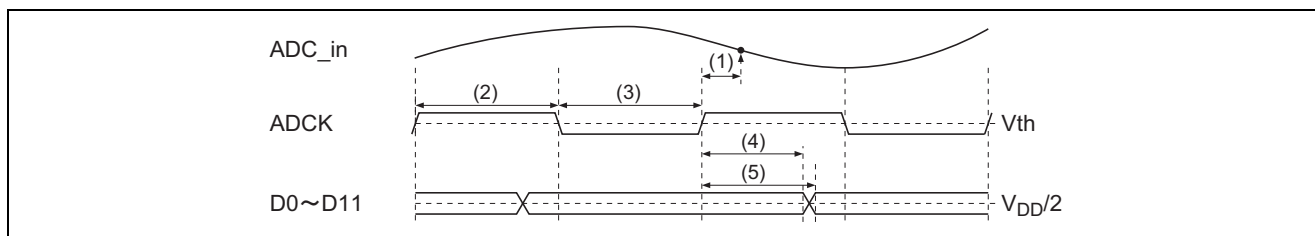
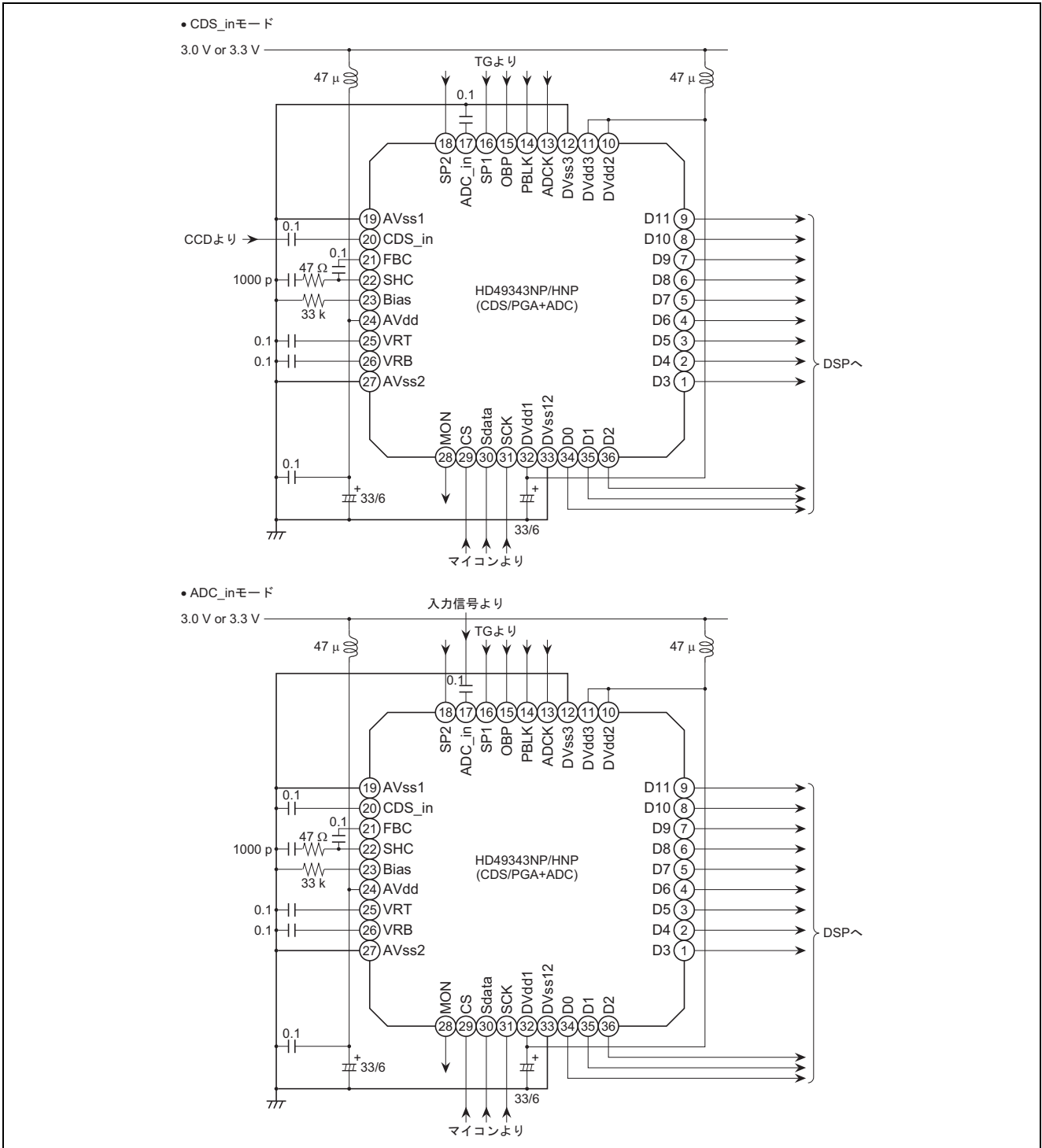


図 17 ADC\_in モード時の詳細タイミング仕様

表 5 ADC\_in モード時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	信号取り込み時間	$t_{ADC1}$	—	(6)	—	ns
(2)	ADCK $t_{WH}$ min./ $t_{WL}$ min.	$t_{ADC2,3}$	Typ × 0.9	1/2fclk	Typ × 1.10	ns
(3)						
(4)	ADCK 立ち上がり～デジタル出力保持時間	$t_{AHL4}$	—	(14.5)	—	ns
(5)	ADCK 立ち上がり～デジタル出力遅延時間	$t_{AOD5}$	—	(23.5)	—	ns

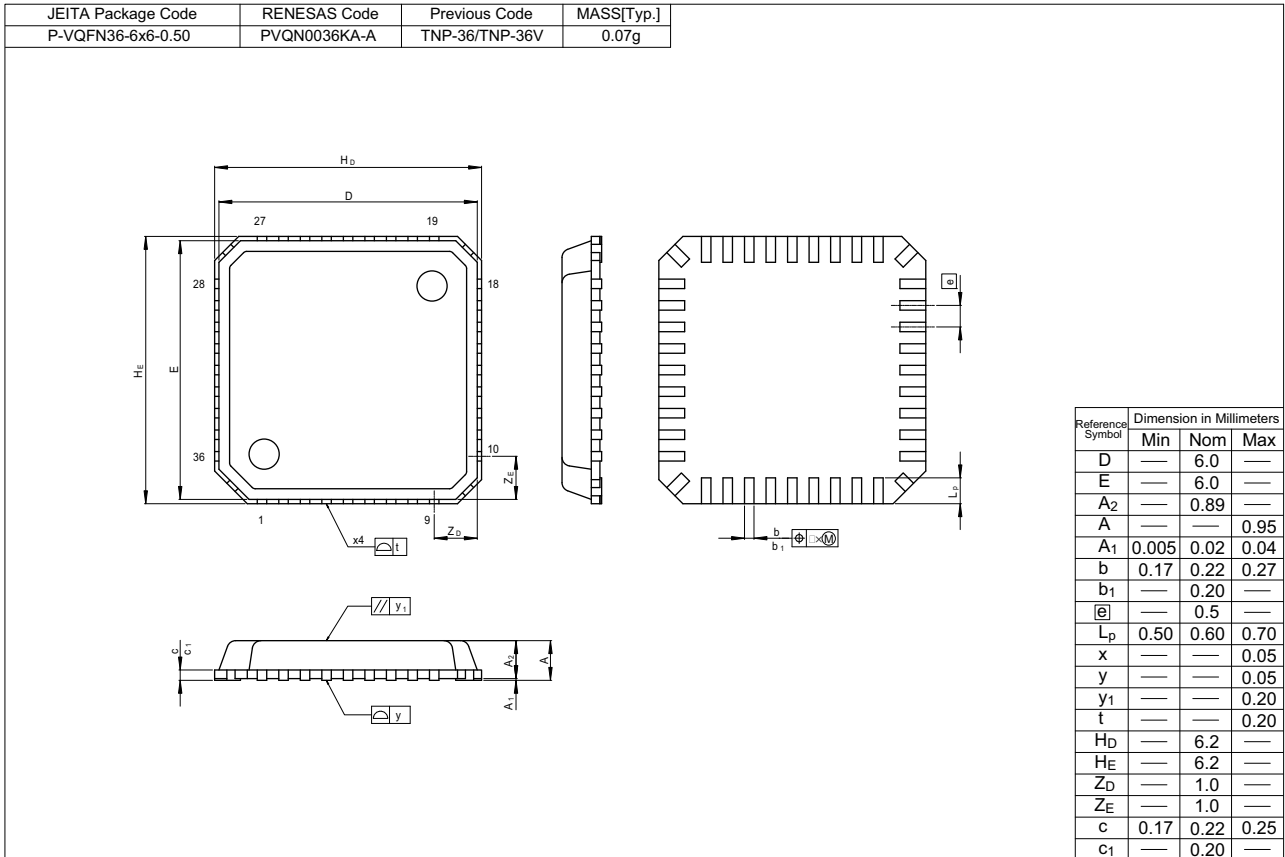
外付け回路例



## チェック項目

No.	項目	内容	判定
1	入力パルス極性	OBP, PBLK の極性とアドレス 2 の D11 ~ D12 に設定した極性があるか。	
2	入力パルスタイミング	SP1 と SP2 が図 14, 表 4 の関係を守っているか? 特に $t_{CDS5}$ は動作周波数と等価になるため注意。また, SP1 と SP2 は Low 期間が重ならないこと。	
		SP1 立ち下がりエッジ付近に ADCK 立ち上がりが設定されているか。(図 14, 表 4)	
		ADCK 立ち上がり と OBP 立ち下がりエッジが $\pm 5\text{ns}$ 以上離れているか。(図 9)	
		ADCK 立ち上がり対 PBLK のエッジに $\pm 5\text{ns}$ 以上の余裕があるか。OBP 位相, CPDM 位相に問題はないか。(図 11, 12)	
3	出力タイミング	ADC 出力と DSP のラッチ位相に余裕があるか。 差分符号を使用する場合, 基準信号位相は問題ないか。(図 9, 11)	
4	電源電圧	VRT 電圧 = 2.4V を選択した場合は $V_{dd} = 3.1\text{V}$ 以上が必要。	
5	オフセットキャリブレーション	電源投入時に図 6 のオフセットキャリブレーションを実行しているか。	
6	S/N 向上	SP1, SP2 位相の調査。ADCK 位相の調整。調整が終わったら項目 2 を再チェック。	
		LPF_sel, SHSW_fsel, SHA_fsel のフィルタ調整。	
7	クランプ動作	FBC のコンデンサは, 横引きノイズとクランプの高速引き込みがトレードオフの関係になります。双方の特性をチェックして最適値を決定してください。	
		クランプミス誘発させ, ダミークランプのデータやパルスタイミングを設定。OB クランプ時とのマージンを見てください。	
8	ハードウェアに関する注意点	<ul style="list-style-type: none"> <li>● GND はベタ GND としてください。</li> <li>● アナログ電源とデジタル電源は L など分離してください。</li> <li>● 入力パルスやシリアル通信線などはアナログ部へ飛び込まないようにレイアウトしてください。</li> <li>● ADC 出力を長く引き伸ばしたり, 30MHz 以上の高速動作する場合には波紋が発生しやすくなります。そのような場合には ADC 出力 12 本に直列にダンピング抵抗として <math>100\Omega</math> 程度を入れるか, 差分符号を使って低減を試みてください。</li> </ul>	

外形寸法図



## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>