

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

HD49338NP/HNP

CDS/PGA & 12bit A/D コンバータ

RJJ03F0088-0100Z

Rev.1.0

2004.04.20

概要

HD49338NP/HNP は、CCD カメラデジタル信号処理システムに適切な CDS-PGA 間のアナログ処理 (CDS/PGA) および 12bit-A/D コンバータを 1 チップに収めた CMOS IC です。

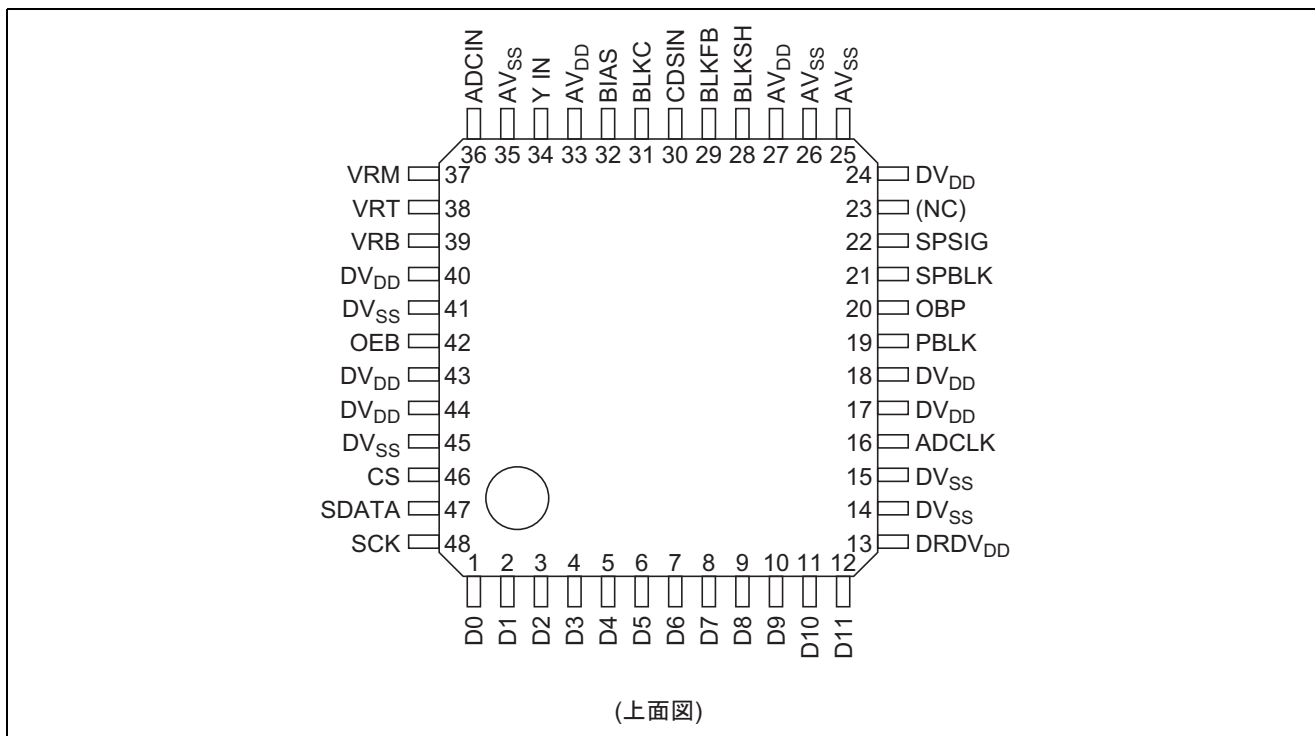
機能

- 相関二重サンプリング
- PGA
- オフセット補償
- シリアルインタフェース制御
- 12bit-ADC
- 3V 単一動作
- 消費電力/動作周波数切換えモード対応
消費電力：150mW (Typ), 最高周波数：36MHz
消費電力：100mW (Typ), 最高周波数：25MHz
- ADC ダイレクト入力モード
- Y-IN ダイレクト入力モード
- QFP 48 ピンパッケージ

特長

- S/H 方式相関二重サンプリングにより、CCD 出力低域雑音の良好な抑圧が可能
- リファレンスレベルの S/H 応答周波数特性は外付け定数およびレジスタにより調整可能
- PG アンプによる高 S/N, 広カバーレンジ化により、高感度化が図れる
- PGA の Gain 変化による出力 DC オフセット, および CCD オフセット等の全ての DC オフセットを CDS アンプ入力にフィードバックし補償
- シリアルインタフェースにより、PGA, スタンバイモード, etc が可能
- A/D コンバータは 12 ビット分解能で高精度

ピン配置



端子説明

端子 No.	端子名	端子説明	I/O	アナログ(A) or デジタル(D)
1	D0	デジタル出力 (LSB)	O	D
2~11	D1~D10	デジタル出力	O	D
12	D11	デジタル出力 (MSB)	O	D
13	DRDVEDD	出力バッファ用電源端子 (3V)	—	D
14	DVSS	デジタルグランド (0V)	—	D
15	DVSS	デジタルグランド (0V)	—	D
16	ADCLK	ADC 変換クロック入力端子	I	D
17	DVDD	デジタル電源端子 (3V)	—	D
18	DVDD	デジタル電源端子 (3V)	—	D
19	PBLK	プリブランキング端子	I	D
20	OBP	オプティカルブラックパルス入力端子	I	D
21	SPBLK	黒レベルサンプリングクロック入力端子	I	D
22	SPSIG	信号レベルサンプリングクロック入力端子	I	D
23	NC	無接続端子	—	—
24	DVDD	デジタル電源端子 (3V)	—	D
25	AVSS	アナロググランド (0V)	—	A
26	AVSS	アナロググランド (0V)	—	A
27	AVDD	アナログ電源端子 (3V)	—	A
28	BLKSH	黒レベル S/H 端子	—	A
29	BLKFB	黒レベル Feed Back 端子	—	A
30	CDSIN	CDS 入力端子	I	A
31	BLKC	黒レベル C 端子	—	A
32	BIAS	内部バイアス端子 33kΩの抵抗を AVSS との間に接続。	—	A

(次頁へ続く)

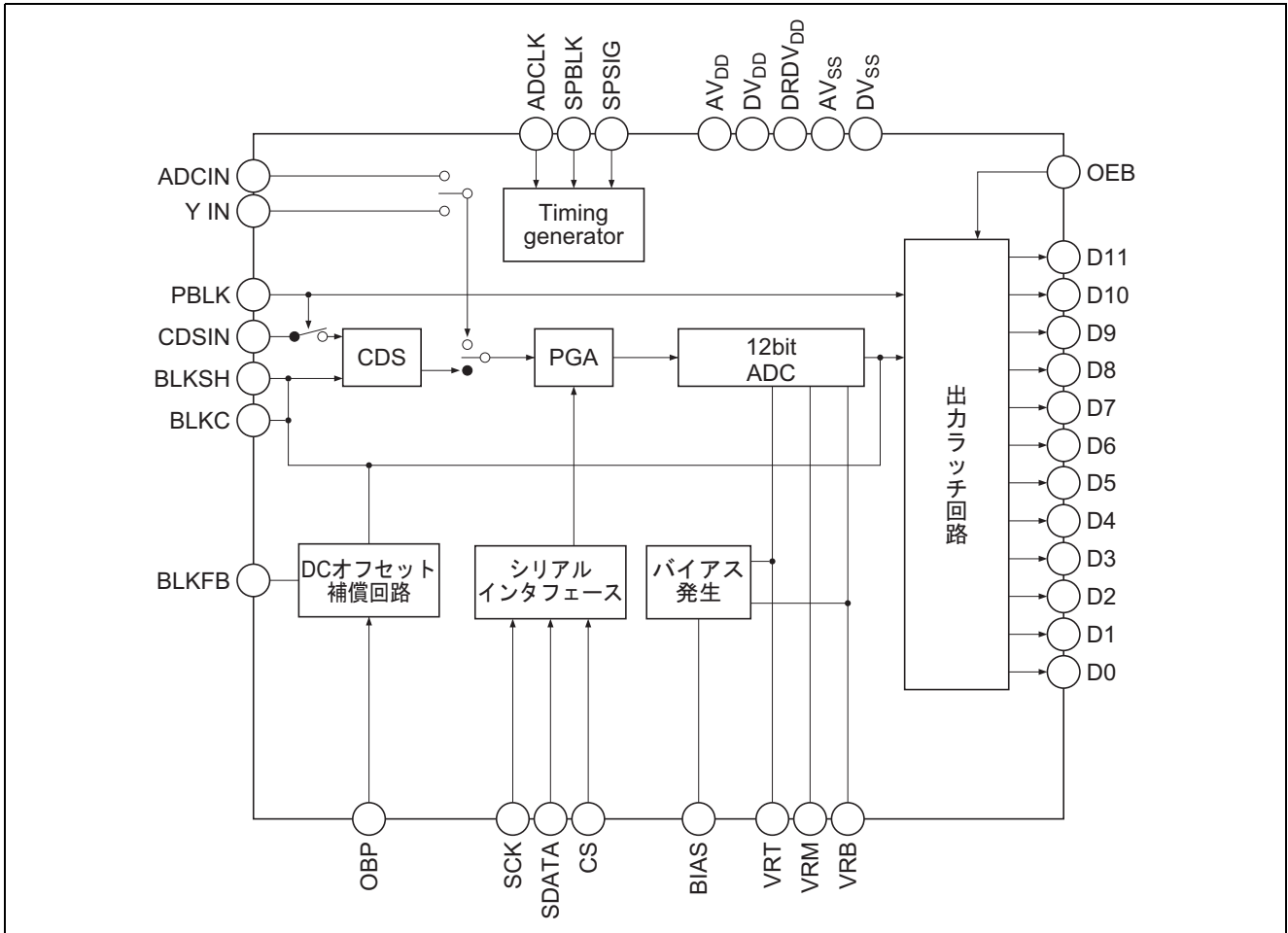
端子 No.	端子名	端子説明	I/O	アナログ(A) or デジタル(D)
33	AV _{DD}	アナログ電源端子 (3V)	—	A
34	Y IN	Y 入力端子	I	A
35	AV _{SS}	アナロググランド (0V)	—	A
36	ADCIN	ADC 入力端子	I	A
37	VRM	基準電圧端子 1 0.1 μ F セラミックコンデンサを AV _{SS} との間に接続。	—	A
38	VRT	基準電圧端子 3 0.1 μ F セラミックコンデンサを AV _{SS} との間に接続。	—	A
39	VRB	基準電圧端子 2 0.1 μ F セラミックコンデンサを AV _{SS} との間に接続。	—	A
40	DV _{DD}	デジタル電源端子 (3V)	—	D
41	DV _{SS}	デジタルグランド (0V)	—	D
42	OEB * ¹	デジタル出力イネーブル端子	—	D
43	DV _{DD}	デジタル電源端子 (3V)	—	D
44	DV _{DD}	デジタル電源端子 (3V)	—	D
45	DV _{SS}	デジタルグランド (0V)	—	D
46	CS	シリアルインタフェース制御入力端子	I	D
47	SDATA	シリアルデータ入力端子	I	D
48	SCK	シリアルクロック入力端子	I	D

【注】 1. プルダウン抵抗付き。

入出力等価回路

端子名		等価回路
デジタル出力	D0 ~ D11	
デジタル入力	ADCLK, OBP, SPBLK, SPSIG, CS, SCK, SDATA, PBLK, OEB	<p>【注】 OEBのみ約70kΩ</p>
アナログ	CDSIN	<p>内部でVRTに接続</p>
	ADCIN	<p>内部でVRMに接続</p>
	Y IN	
	BLKSH, BLKFB, BLKC	<p>内部でVRMに接続</p>
	VRT, VRM, VRB	
	BIAS	

ブロックダイアグラム



内蔵機能

機能概要

- CDS 入力
 - CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
 - OB 期間の信号レベルを 56 ~ 304LSB (レジスタにより設定: 5bit/8LSB ステップ制御) にクランプ *¹
 - -2.36dB ~ 31.40dB 間で 10bit (0.033dB ステップ, レジスタ設定) の Gain 調整が可能 *²
- ADC 入力
 - 入力信号のセンターレベルを 2048LSB (Typ) にクランプ
 - 0.57 倍(-4.86dB) ~ 5.14 倍(14.22dB)間で 10bit(0.00446 倍ステップ, レジスタ設定)の Gain 調整が可能 *²
- YIN 入力
 - シンクチップレベルを 280LSB (Typ) にクランプ。Gain は 3.5dB (Typ) 固定 *²
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリランキング機能 デジタル出力をクランプレベルに固定
- デジタル出力イネーブル機能

【注】 1. 56LSB 設定時は, 保証範囲外。
2. 1V 入力でデジタル出力フルスケールを 0dB(1 倍)と定義

動作説明

図 1 に CDS/PGA+ADC の機能ブロック図を示します。

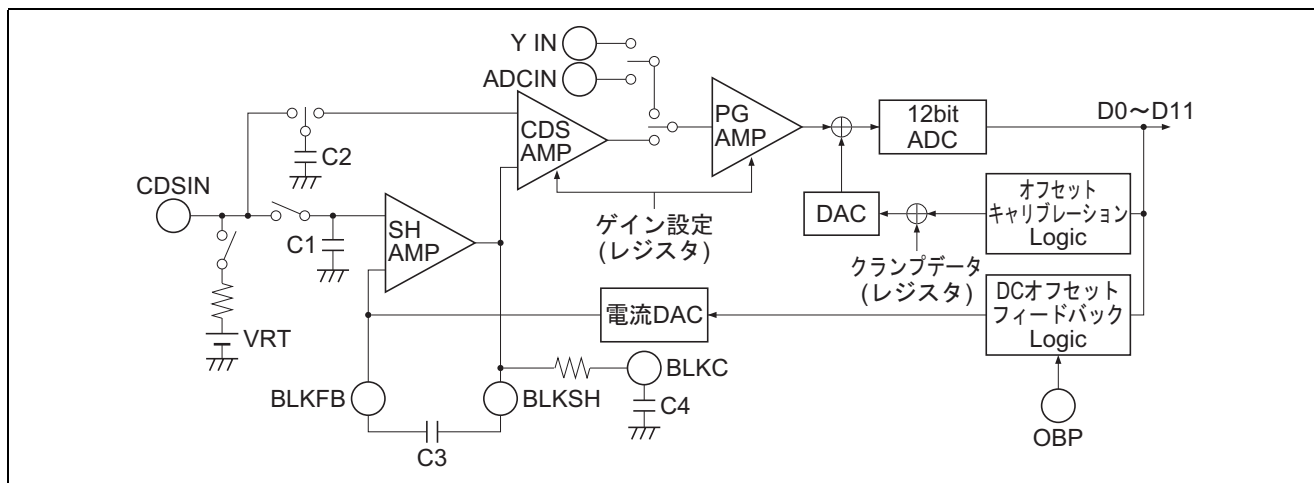


図 1 HD49338NP/HNP 機能ブロック図

1. CDS(Correlated Double Sampling)回路

CDS 回路は, 黒レベルと黒レベルを含む信号との差電圧を取り出す回路です。黒レベルは, SPBLK パルスにより C1 に直接サンプリングされ, SHAMP によりバッファリングされた後, CDSAMP に供給されます。信号レベルは, SPSIG パルスにより C2 に直接サンプリングされ, そのまま CDSAMP に供給されます。(図 1 参照)。

CDSAMP は上記 2 つの信号レベルの差をとると共に, 前段のプログラマブルゲインアンプとして働きます。CDS 入力は, VRT(2V)にバイアスされます。

2. PGA 回路

PGAMP は, 後段のプログラマブルゲインアンプです。前段の CDSAMP と合わせて 10bit のレジスタでゲインを設定します。

レジスタ値 $N = 0 \sim 1023$ に対し, 下式のようにゲインが変化します。

CDSIN モード時: $\text{Gain} = -2.36\text{dB} + 0.033\text{dB} \times N(\text{LOG リニア})$

ADCIN モード時: $\text{Gain} = 0.57 \text{ 倍} + 0.00446 \text{ 倍} \times N(\text{リニア})$

(1V 入力でデジタル出力フルスケールを 0dB(1 倍)と定義)

3. 自動オフセットキャリブレーション機能，黒レベルクランプデータ設定

自動オフセットキャリブレーションは，PGAMP の出力に加算する DAC の DC 電圧を調整します。この DAC には，PGAMP の出力オフセットと ADC の入力オフセットをキャンセルするデータに，レジスタ設定によるクランプデータ(56～304LSB)が加算されて与えられます。

自動オフセットキャリブレーションは，レジスタ設定による RESET モード解除後自動的にスタートし，40000 クロック後に終了します。(f_{CLK} = 20.0MHz の場合：2.0ms)

4. DC オフセット補償フィードバック機能

DC オフセット補償フィードバックは，OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり，CCD オフセット，CDSAMP オフセット等を含むすべてのオフセットを補償します。

DC オフセット補償フィードバックは，OB 期間に ADC 出力からオフセットを演算し，電流 DAC によって SHAMP の帰還容量 C3 にチャージします。(図 1 参照)

このフィードバックループの 1H 当たりのオープンループ微分ゲイン (ΔGain/ΔH) は下式によって与えられます。(1H は OBP の 1 周期です)

$$\Delta\text{Gain}/\Delta\text{H} = 0.078/(f_{\text{CLK}} \times C3) \quad (f_{\text{CLK}}: \text{ADCLK 周波数}, C3: \text{SHAMP の外付け帰還容量})$$

例：f_{CLK} = 20.0MHz, C3 = 1.0μF ΔGain/ΔH = 0.0039

1H 当たりの DC オフセット補正量(LSB) = 0.0039 × オフセット誤差量(LSB) *

【注】 上記オフセット誤差量には上限値があります。

PGAMP のゲイン設定を変更すると，高速引き込み動作に移行し，上記フィードバックループゲインが N 倍されます。ループゲインの倍率 N はレジスタによって 4, 8, 16, 32 倍の 4 種類から選択できます(表 1 参照)。(オープンループ微分ゲイン (ΔGain/ΔH) が 2 以上になると発振します。1 以下の設定で使用してください。)

また，高速引き込み動作を終了し通常のループゲインに戻すまでの時間はレジスタによって 1, 2, 4, 8H の 4 種類から選択します。(オフセット誤差が 64LSB 以上ある間は高速引き込み動作が継続され，オフセット誤差が 64LSB 以内に入った後レジスタ設定の 1, 2, 4, or 8H 後に通常のループゲインに戻ります。)(表 2 参照)

表1 高速引き込み時，ループゲインの倍率

HGain-Nsel (レジスタ設定)		倍率N
[0]	[1]	
L	L	4倍
H	L	8倍
L	H	16倍
H	H	32倍

表2 高速引き込み解除時間

HGstop-Hsel (レジスタ設定)		解除時間
[0]	[1]	
L	L	1H
H	L	2H
L	H	4H
H	H	8H

5. プリブランキング機能

ADC のデジタル出力をクランプデータ(56～304LSB)に固定します。

6. ADC デジタル出力コントロール機能

ADC デジタル出力には、出力イネーブル、コード変換、テストモード等の機能があります。

表 3, 4, 5 に出力機能およびコード表を示します。

表 3 ADC デジタル出力機能表

STBY	OEB	TEST0	TEST1	LINV	MINV	PBLK	ADC デジタル出力										動作モード					
							D11	D10	D9	D8	D7	D6	D5	D4	D3	D2		D1	D0			
H	X	X	X	X	X	X	Hi-Z										低電力待機					
L	H	X	X	X	X	X	Hi-Z										出力Hi-Z					
L	L	L	L	L	L	H	表4に従う										通常動作					
							表4でD11が反転															
							表4でD10~D0が反転															
							表4でD11~D0が反転															
							出力コードをClamp Levelに固定															
							出力コードをClamp Levelに固定															
	H	L	L	H	L	L	H	表5に従う										通常動作				
								表5でD11が反転														
								表5でD10~D0が反転														
								表5でD11~D0が反転														
								出力コードをClamp Levelに固定														
								出力コードをClamp Levelに固定														
L	H	X	X	L	L	X	H	L	H	L	H	L	H	L	H	L	H	L	テストモード			
							L	H	X	L	L	H	L	H	L	H	L	H		L	H	L
							H	L	X	H	H	L	H	L	H	L	H	L		H	L	H
							H	H	X	L	H	L	H	L	H	L	H	L		H	L	H

- 【注】 1. STBY, TEST, LINV, MINVは、レジスタ設定です。
 2. OEBとPBLKは、外部入力端子でモード設定します。
 3. PBLK端子の極性はレジスタ設定が SPinv = "L" の設定時です。

表 4 ADC 出力コード表

出力端子		D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
出力コード	ステップ 0	L	L	L	L	L	L	L	L	L	L	L	L	
	1	L	L	L	L	L	L	L	L	L	L	L	H	
	2	L	L	L	L	L	L	L	L	L	L	H	L	
	3	L	L	L	L	L	L	L	L	L	L	H	H	
	4	L	L	L	L	L	L	L	L	L	H	L	L	
	5	L	L	L	L	L	L	L	L	L	H	L	H	
	6	L	L	L	L	L	L	L	L	L	H	H	L	
	
	2047	L	H	H	H	H	H	H	H	H	H	H	H	H
	2048	H	L	L	L	L	L	L	L	L	L	L	L	L
	
	4092	H	H	H	H	H	H	H	H	H	H	L	L	
	4093	H	H	H	H	H	H	H	H	H	H	L	H	
	4094	H	H	H	H	H	H	H	H	H	H	H	L	
4095	H	H	H	H	H	H	H	H	H	H	H	H		

表 5 ADC 出力コード表 (TEST1)

出力端子		D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
出力コード	ステップ 0	L	L	L	L	L	L	L	L	L	L	L	L
	1	L	L	L	L	L	L	L	L	L	L	L	H
	2	L	L	L	L	L	L	L	L	L	L	H	L
	3	L	L	L	L	L	L	L	L	L	L	H	H
	4	L	L	L	L	L	L	L	L	L	H	H	L
	5	L	L	L	L	L	L	L	L	L	H	H	H
	6	L	L	L	L	L	L	L	L	L	H	L	H

	2047	L	H	L	L	L	L	L	L	L	L	L	L
	2048	H	H	L	L	L	L	L	L	L	L	L	L

	4092	H	L	L	L	L	L	L	L	L	L	H	L
	4093	H	L	L	L	L	L	L	L	L	L	H	H
	4094	H	L	L	L	L	L	L	L	L	L	L	H
4095	H	L	L	L	L	L	L	L	L	L	L	L	

7. 黒レベルの S/H 応答周波数特性の調整

黒レベルを S/H する CR 時定数は、レジスタ設定によって調整できます。設定方法を表 6 に示します。

表 6 SHSW CR 時定数設定表

		SHSW-fsel (レジスタ設定)																															
		[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]								
		L	L	L	L	H	L	L	L	L	H	L	L	H	H	L	L	L	L	H	L	H	L	H	L	L	H	H	L	H	H	H	L
CR時定数 (Typ) (カットオフ周波数換算)		2.20nsec (72MHz)	2.30nsec (69MHz)	2.51nsec (63MHz)	2.64nsec (60MHz)	2.93nsec (54MHz)	3.11nsec (51MHz)	3.52nsec (45MHz)	3.77nsec (42MHz)																								
		SHSW-fsel (レジスタ設定)																															
		[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]				
		L	L	L	H	H	L	L	H	L	H	L	H	H	H	L	H	L	L	H	H	H	L	H	H	L	H	H	H	H	H	H	H
CR時定数 (Typ) (カットオフ周波数換算)		4.40nsec (36MHz)	4.80nsec (33MHz)	5.87nsec (27MHz)	6.60nsec (24MHz)	8.80 nsec (18MHz)	10.6nsec (15MHz)	17.6nsec (9MHz)	26.4nsec (6MHz)																								

8. SHAMPの周波数特性は、レジスタ設定と31ピン外付けのC4によって調整できます。設定方法を表7に示します。表7に示す設定値以外は使用できません。

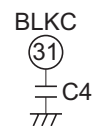


表 7 SHAMP 周波数特性設定表

LoPwr (レジスタ設定)	SHA-fsel (レジスタ設定)							
	[0]		[1]		[0]		[1]	
	H	L	L	H	H	H		
"Lo"	116MHz 10000pF (270pF)	75MHz 13000pF (300pF)	56MHz 18000pF (360pF)					
"Hi"	49MHz 15000pF (620pF)	32MHz 22000pF (750pF)	24MHz 27000pF (820pF)					

【注】 上段：SHAMPカットオフ周波数 (Typ)
 中段：C4の標準値 (最大値の規定はありません)
 下段：C4の最小値 (この値以下にしないでください)

タイミングチャート

図2にCDSIN, ADCINの各入力端子を使用した場合の出力タイミング図を示します。

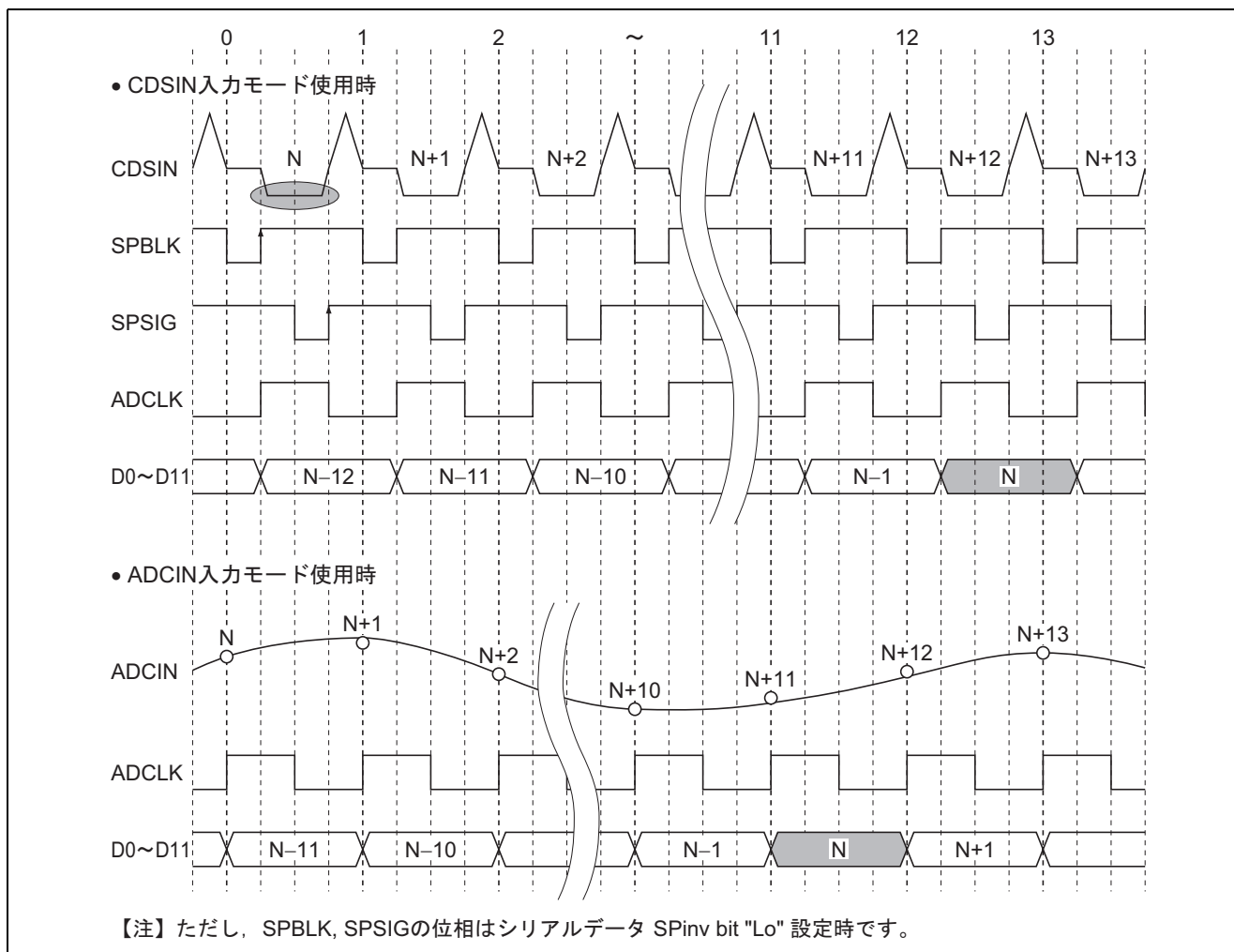


図2 CDSIN, ADCINの各入力端子を使用した場合の出力タイミング図

- ADC出力(D0~D11)は両入力モードともADCLKの立ち上がりエッジで出力されます。
- CDSIN使用時のパイプラインディレイは12クロック、ADCIN使用時は11クロックとなります。
- ADCIN入力モード時の入力信号サンプリングは、ADCLKの立ち上がりエッジで行われます。

詳細タイミング仕様

CDSIN 使用時の詳細タイミング仕様

図 3 に CDSIN 使用時の詳細タイミング仕様を示し、表 8 に各タイミングの仕様を示します。

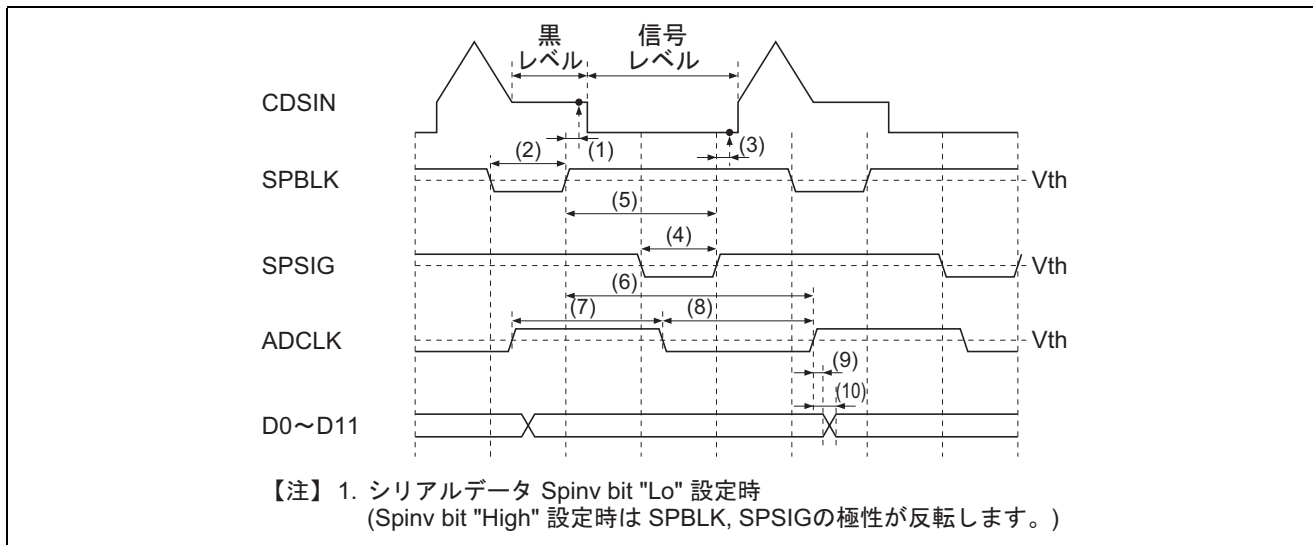


図 3 CDSIN 使用時の詳細タイミング仕様

表 8 CDSIN 使用時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	t_{CDS1}	—	(1.5)	—	ns
(2)	SPBLK "Lo" 期間 * ¹	t_{CDS2}	Typ×0.8	1/4f _{CLK}	Typ×1.2	ns
(3)	信号レベル取り込み時間	t_{CDS3}	—	(1.5)	—	ns
(4)	SPSIG "Lo" 期間 * ¹	t_{CDS4}	Typ×0.8	1/4f _{CLK}	Typ×1.2	ns
(5)	SPBLK 立上がり ~ SPSIG 立上がり時間 * ¹	t_{CDS5}	Typ×0.85	1/2f _{CLK} ×0.90	Typ×1.00	ns
(6)	SPBLK 立上がり ~ ADCLK 立上がり禁止時間 * ¹	t_{CDS6}	1	5	9	ns
(7), (8)	ADCLK t _{WH} min./t _{WL} min.	$t_{CDS7,8}$	11	—	—	ns
(9)	ADCLK 立上がり ~ デジタル出力保持時間	t_{CHLD9}	3	7	—	ns
(10)	ADCLK 立上がり ~ デジタル出力遅延時間	t_{COD10}	—	16	24	ns

【注】 1. SPBLK, SPSIG の極性は、シリアルデータ Spinv bit "Lo" 設定時で記述しています。

OBP の詳細タイミング仕様

図 4 に OBP の詳細タイミング仕様を示します。

OB パルス入力後、5 クロックから 12 クロック目までが OB 期間です。

OB 期間に入力された 8 サイクル分の黒信号レベルが平均され、クランプレベル (DC 基準) となります。

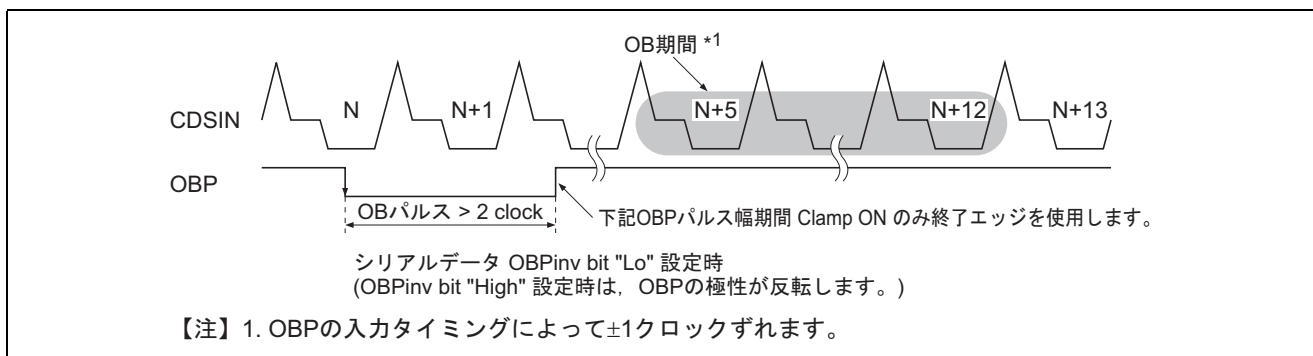


図 4 OBP の詳細タイミング仕様

プリランキング時の詳細タイミング仕様

図 5 にプリランキング時の詳細タイミング仕様を示します。

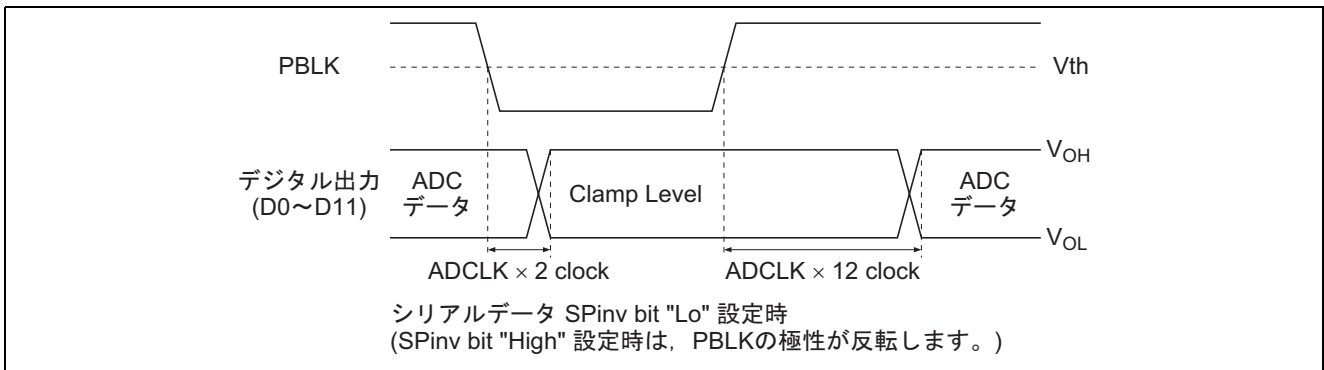


図 5 プリランキング時の詳細タイミング仕様

ADCIN 使用時の詳細タイミング仕様

図 6 に ADCIN 使用時の詳細タイミング仕様を示し、表 9 に各タイミングの仕様を示します。

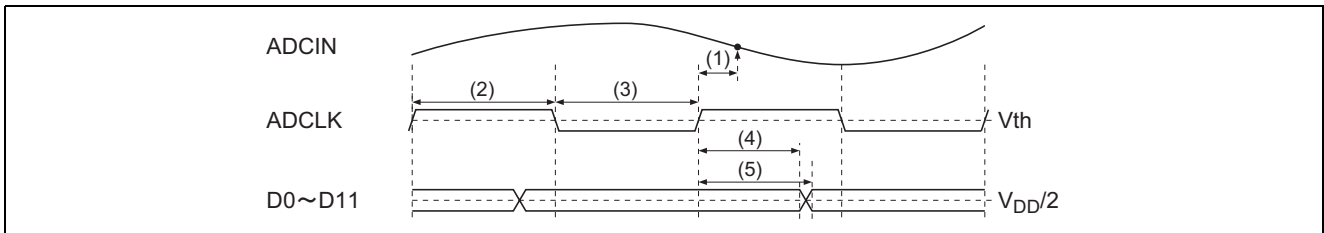


図 6 ADCIN 使用時の詳細タイミング仕様

表 9 ADCIN 使用時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	信号取り込み時間	t_{ADC1}	—	(6)	—	ns
(2), (3)	ADCLK $t_{WH} \text{ min.}/t_{WL} \text{ min.}$	$t_{ADC2,3}$	$Typ \times 0.85$	$1/2f_{ADCLK}$	$Typ \times 1.15$	ns
(4)	ADCLK 立上がり ~ デジタル出力保持時間	t_{AHL4}	10	14.5	—	ns
(5)	ADCLK 立上がり ~ デジタル出力遅延時間	t_{AOD5}	—	23.5	31.5	ns

デジタル出カイナーブルコントロール時の詳細タイミング仕様

図 7 にデジタル出カイナーブルコントロール時の詳細タイミング仕様を示します。OEB 端子が“Hi”の時、Output Disable モードとなり、出力は High-Z 状態となります。

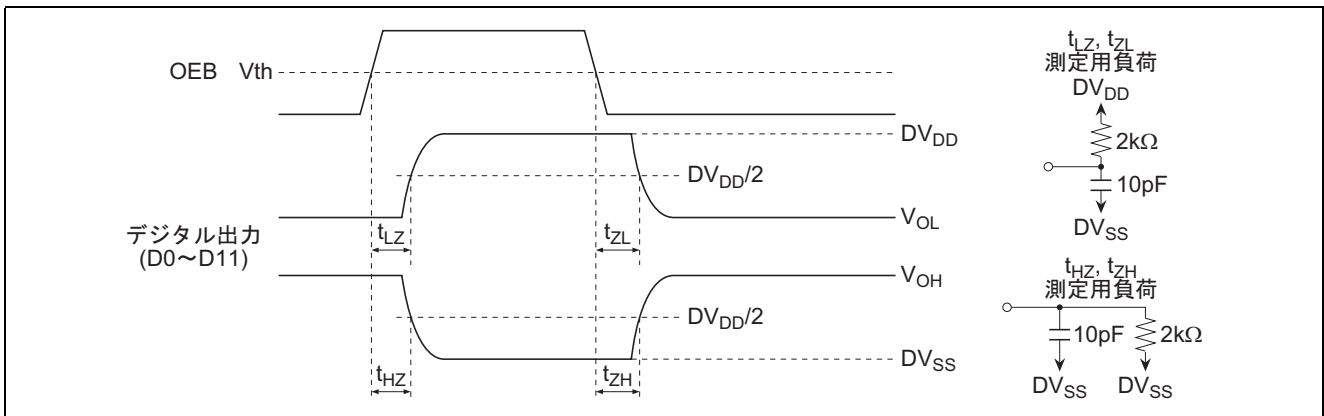


図 7 デジタル出カイナーブルコントロール時の詳細タイミング仕様

シリアルインタフェース仕様

表10 一般シリアルデータ機能一覧表

	レジスタ0	レジスタ1	レジスタ2	レジスタ3	レジスタ4~7 ^{*7} テストモード (使用禁止)
DI 00 (LSB)	Lo	Hi	Lo	Hi	Lo → Hi
DI 01	Lo	Lo	Hi	Hi	Lo → Hi
DI 02	Lo	Lo	Lo	Lo	Hi
DI 03	PGA Gain設定 (LSB) ^{*5}	SLP Lo: 通常動作モード Hi: スリープモード	Clamp-level [0] (LSB)	YC-Bias off	使用禁止 ^{*7} all = "Lo"
DI 04	PGA Gain設定 ^{*5}	STBY Lo: 通常動作モード Hi: スタンバイモード	Clamp-level [1]	Grayコード [0] (TEST1)	
DI 05	PGA Gain設定 ^{*5}	出力モード設定 (LINV)	Clamp-level [2]	Grayコード [1]	
DI 06	PGA Gain設定 ^{*5}	出力モード設定 (MINV)	Clamp-level [3]	Average4 4ライン平均	
DI 07	PGA Gain設定 ^{*5}	出力モード設定 (TEST0)	Clamp-level [4] (MSB)	Gray_test [0]	
DI 08	PGA Gain設定 ^{*5}	SHA-fsel [0] (LSB)	HGstop-Hsel [0]	Gray_test [1]	
DI 09	PGA Gain設定 ^{*5}	SHA-fsel [1] (MSB)	HGstop-Hsel [1]	Gray_test [2]	
DI 10	PGA Gain設定 ^{*5}	SHAMP f-特切替	HGain-Nsel [0]	使用禁止 ^{*8} Lo	
DI 11	PGA Gain設定 ^{*5}		HGain-Nsel [1]	使用禁止 ^{*8} Lo	
DI 12	PGA Gain設定 (MSB) ^{*5}		LoPwr Lo: ノーマルモード Hi: ローパワーモード	使用禁止 ^{*8} Hi	
DI 13	X	SHSW f-特切替	SPinv, SPSIG/SPBLK/PBLK反転	使用禁止 ^{*8} Lo	
DI 14	YSEL Lo: CDSIN入力モード Hi: YIN入力モード		OBPinv, OBP反転	使用禁止 ^{*8} Lo	
DI 15 (MSB)	CSEL Lo: CDSIN入力モード Hi: CIN入力モード	使用禁止 ^{*7} all = "Lo"	RESET Lo: リセットモード Hi: 通常動作モード	使用禁止 ^{*8} Hi	

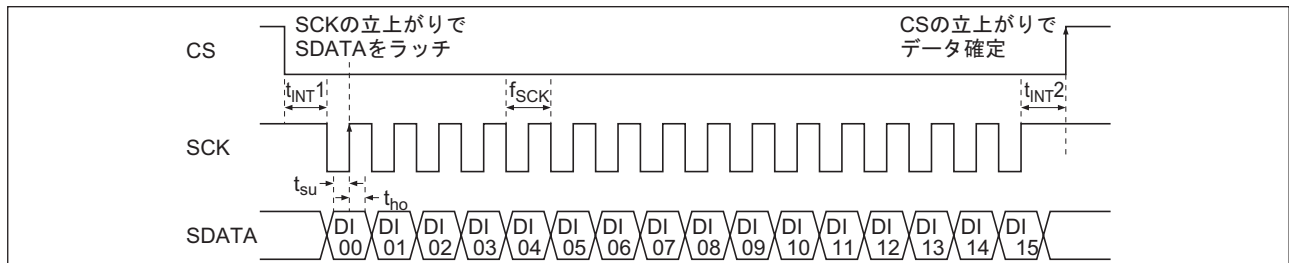


図8 シリアルインタフェースタイミング仕様

- 【注】
1. 通信は2Byte連続通信です。
 2. SDATAはSCKの上上がりでラッチして取り込みます。
 3. SCKはCSがLoの期間中に16クロック入れてください。
 4. データ送信を途中で中止した場合のデータは無効とします。
 5. CDSIN入力モード時とADCIN入力モード時では、Gain変換テーブルが異なります。
 6. STBY: リファレンス電圧発生回路は動作状態。
SLP: 全ての回路がスリープ状態。
 7. このbitはICのテスト時に使用しますのでご使用になれません。
設定時は、ALL Low以外には設定しないでください。
 8. このbitはICのテスト時に使用しますのでご使用になれません。
RESETビットをLoにした時に、欄の右の状態にセットされます。レジスタ3を送信する際は、欄の右の設定で送信してください。

タイミング仕様

	Min	Max
f _{SCK}	—	5MHz
t _{INT1, 2}	50ns	—
t _{SU}	50ns	—
t _{HO}	50ns	—

CDS 部のシリアルデータ説明

CDS 部のシリアルデータは、以下のような機能があります。

- PGA ゲイン (レジスタ 0 の D5 ~ D12)
詳細は P6 のブロック図を参照。

CDS_in モード時: $-2.36\text{dB} + 0.132\text{dB} \times N$ (Log リニア)

ADC_in モード時: $0.57 \text{ 倍} + 0.01784 \text{ 倍} \times N$ (倍リニア)

1V 入力でデジタル出力フルスケールを 0dB と定義しています。

PGA ゲインは上記の定義としていますが、これは CDS_in に 1V の信号を入力し、2.36dB に相当する $N = 18$ を設定した時に PGA はフルレンジの 2V を出力し、ADC もフルレンジの 1023 になります。つまり、PGA のオフセットゲインは $6\text{dB} - 2.36\text{dB} = 3.64\text{dB}$ 持っており、これに何 dB 加算するかを決定してください。

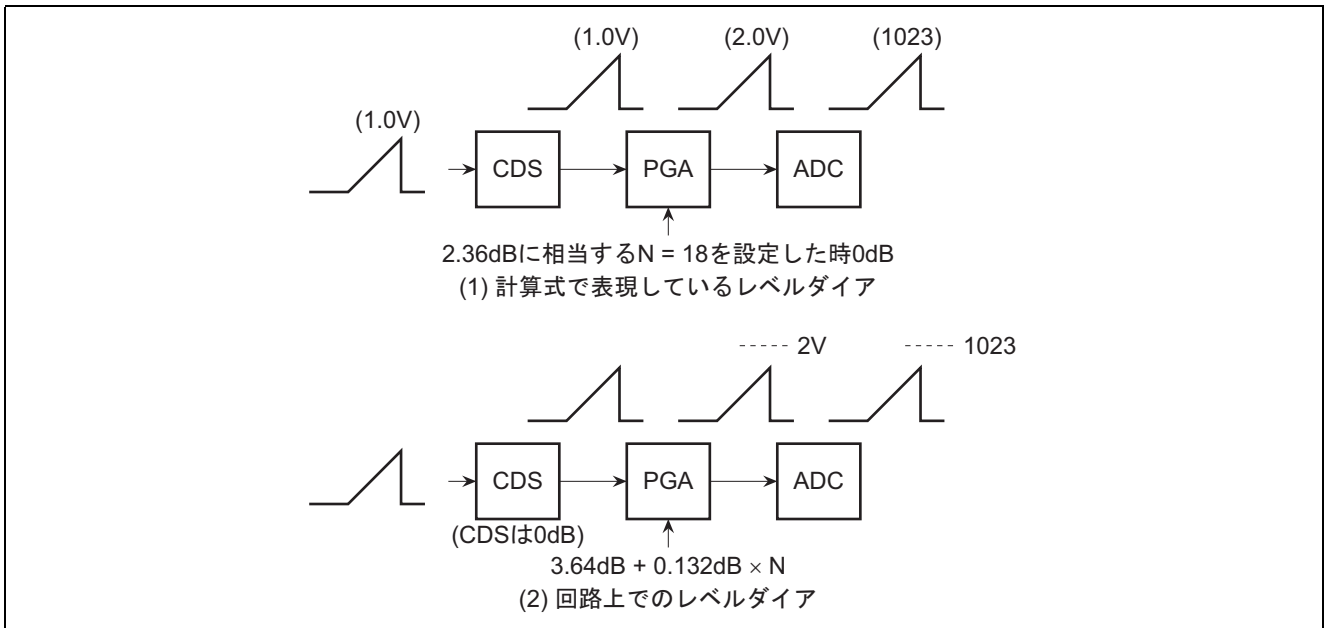


図 9 PGA のレベルダイア

- CSEL (レジスタ 0 の D15)
データ = 0 : CDSIN を選択
データ = 1 : ADCIN を選択

アドレス								STD1[7:0] (L)					STD2[15:8] (H)										
1	1	1	1	0	0	0	1				D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8
											test0	MIN	LIN	STBY	SLP	test_i2		SHSW_fsel			SHA_fsel		

- SLP と STBY (レジスタ 1 の D3, D4)
SLP : 全ての回路を停止します。消費電流は CDS 部で $10\mu\text{A}$ 以下。
復帰させる時は、オフセットキャリブレーションから再度立ち上げてください。
STBY : 基準電圧発生回路のみ動作。消費電流は CDS 部で約 3mA 程度。
復帰までにフィードバッククランプが安定する時間として 50H 程度を見込んでください。
- 出力モード (レジスタ 1 の D5 ~ D7 およびレジスタ 3 の D4)
テストモードです。詳細は表 3 ~ 5 のような組み合わせです。通常はオール 0 設定してください。
- SHA-fsel (レジスタ 1 の D8 ~ D9)
SH アンプの LPF 切替えです。周波数特性は P9 を参照してください。目安として使用周波数に対して 2 倍のカットオフ周波数ポイントに設定してください。
- SHSW-fsel (レジスタ 1 の D10 ~ D13)
SH アンプの黒レベルをサンプリングする時定数です。周波数特性は P9 を参照してください。目安として使用周波数に対して 2 倍のカットオフ周波数ポイントに設定してください。なお、このデータで S/N が変化しますので、データを up/down して適切なポイントを見つけてください。

- Clamp (レジスタ 2 の D3 ~ D7)
OB 部のレベルを ADC 出力のデジタルコードでいくつに設定するかを決めます。
Clamp レベル = 設定データ × 2 + 14
デフォルトはデータ = 9 で 32LSB です。
- HGstop-Hsel, HGain-Nsel (レジスタ 2 の D8 ~ D11)
OB クランプの引き込み速度を決定します。詳細は P7 を参照してください。高速引き込みモードにするためには PGA ゲインが変化することが必要です。前フィールド(フレーム)に対して+1 あるいは-1 したゲインを転送することで、高速引き込みモードになります。
- Low_PWR (レジスタ 2 の D12)
回路電流と周波数特性を切り替えます。
データ = 0 : 36MHz 保証
データ = 1 : 25MHz 保証
- SPinv (レジスタ 2 の D13)
SPSIG/SPBLK/PBLK 入力信号反転切替えです。
データ = 0 : 通常
データ = 1 : 反転
- Reset (レジスタ 2 の D15)
ソフトウェアリセットを行います。
データ = 1 : 通常
データ = 0 : リセット
このビットを使って、電源立ち上げ時に一度だけオフセットキャリブレーションを実行してください。詳細は P19 を参照。
- C_Bias_off (レジスタ 3 の D3)
ADCIN モードにおいて、センタバイアスをオフにします。
データ = 0 : 通常オン
データ = 1 : オフ
- Ave_4H (レジスタ 3 の D6)
クランプ検出データを 4H 平均します。
データ = 0 : 1H
データ = 1 : 4H 平均

差分符号とグレイコード (レジスタ 3 の D4 ~ D5, D7 ~ D9)

- Gray コード (レジスタ 3 の D4 ~ D5)
ADC 出力のコードを以下の種類に変更できます。

Gray コード[1]	Gray コード[0]	出力コード
0	0	バイナリコード
0	1	グレイコード
1	0	差分符号化バイナリ
1	1	差分符号化グレイ

- シリアルデータ設定項目 (レジスタ 3 の D7 ~ D9)

設定ビット	設定内容
Gray_test[0]	基準データ出力タイミング制御信号 (下表参照)
Gray_test[1]	
Gray_test[2]	OBP に対する ADCLK 極性 (Lo ポジエッジ, HI ネガエッジ)

・基準データ出力タイミング

Gray_test[1]	Gray_test[0]	基準データ出力タイミング
Low	Low	3 番目と 4 番目
Low	Hi	4 番目と 5 番目
Hi	Low	5 番目と 6 番目
Hi	Hi	6 番目と 7 番目

ADC 出力の複数のビットが同時に切り替わるポイントで画像に波紋(量子化誤差による疑似輪郭)が発生します。これを対策する手段として、差分符号とグレイコードを推奨します。図 10 に回路ブロックを示します。この機能を使うことで、輝度信号がなだらかに変化している状態では、切り替わるデジタル出力のビット数を極力低減することができ、波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや ADC 出力を長く引き伸ばすセットなどに効果的です。タイミング仕様を図 11 に示します。

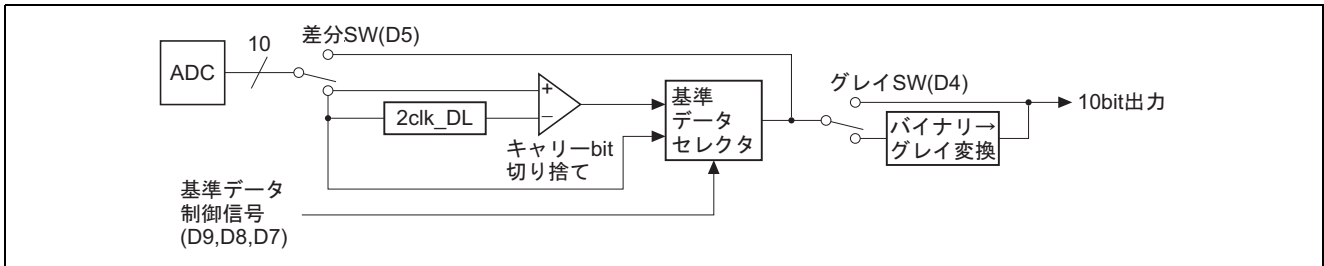


図 10 差分符号，グレイコード化回路

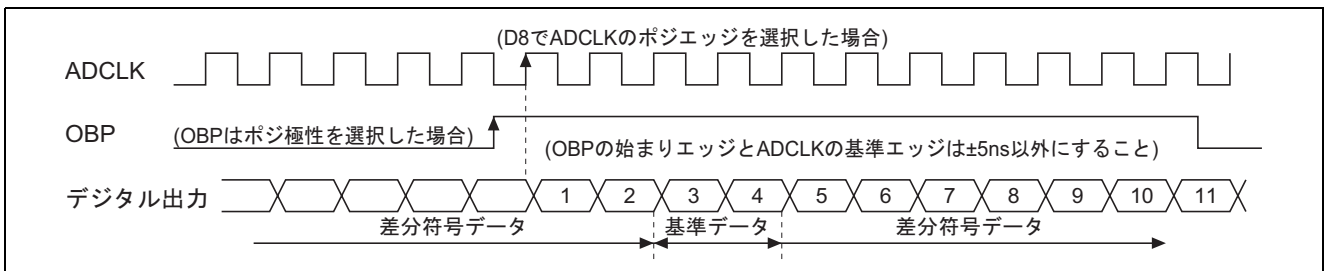


図 11 差分符号タイミング仕様

差分符号を使用する場合には、DSP 側に複合化回路が必要になります。図 12 に複合化回路を示します。

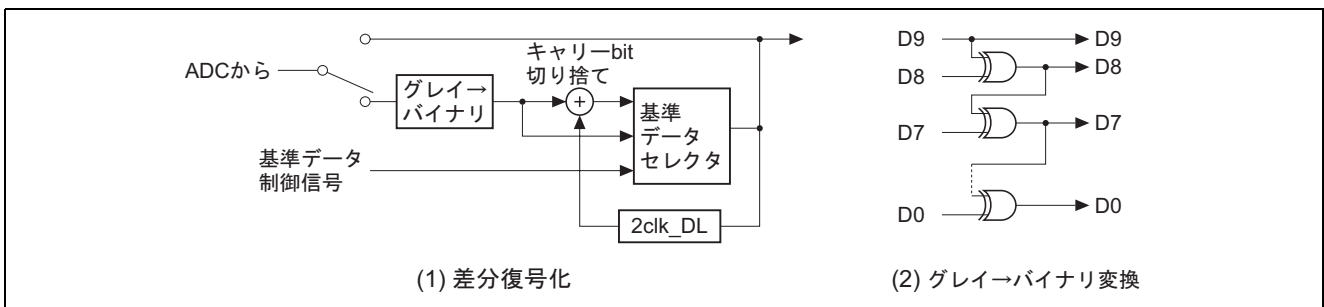


図 12 複合化回路例

絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	V _{DD} (max)	4.1	V
アナログ入力電圧	V _{IN} (max)	-0.3 ~ AV _{DD} +0.3	V
デジタル入力電圧	V _I (max)	-0.3 ~ DV _{DD} +0.3	V
動作温度	Topr	-10 ~ +75	°C
許容損失	Pt(max)	400	mW
保存温度	Tstg	-55 ~ +125	°C
動作電源電圧 (HD49338HNP)	Vopr	2.85 ~ 3.30	V
動作電源電圧 (HD49338NP)		2.70 ~ 3.30	

- 【注】 1. V_{DD} は、AV_{DD}、DV_{DD}、DRDV_{DD} をさします。
 2. ノイズフィルタにより AV_{DD} と DV_{DD}・DRDV_{DD} を分離する場合は、電源投入時の電位差を 0.3V 以下に、動作時の電位差を 0.1V 以下にしてください。

電気的特性

(特記なき時、Ta = 25°C, AV_{DD} = 3.0V, DV_{DD} = 3.0V, R_{BIAS} = 33kΩ)

● CDSIN 入力モード, ADCIN 入力モード共通項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲	V _{DD}	2.85	3.00	3.30	V	LoPwr = "L"	
変換周波数	f _{CLK low}	5.5	—	25	MHz	LoPwr = "H"	
	f _{CLK hi}	25	—	36	MHz	LoPwr = "L"	
デジタル入力電圧	V _{IH}	$2.0 \times \frac{DV_{DD}}{3.0}$	—	DV _{DD}	V		CS,SCK,SDATA 以外のデジタル 入力ピン
	V _{IL}	0	—	$0.8 \times \frac{DV_{DD}}{3.0}$	V		
	V _{IH2}	$2.25 \times \frac{DV_{DD}}{3.0}$	—	DV _{DD}	V		CS,SCK,SDATA
	V _{IL2}	0	—	$0.6 \times \frac{DV_{DD}}{3.0}$	V		
デジタル出力電圧	V _{OH}	DV _{DD} -0.5	—	—	V	I _{OH} = -1mA	
	V _{OL}	—	—	0.5	V	I _{OL} = +1mA	
デジタル入力電流	I _{IH}	—	—	50	μA	V _{IH} = 3.0V	
	I _{IH2}	—	—	250	μA	V _{IH} = 3.0V	
	I _{IL}	-50	—	—	μA	V _{IL} = 0V	
デジタル出力電流	I _{OZH}	—	—	50	μA	V _{OH} = V _{DD}	
	I _{OZL}	-50	—	—	μA	V _{OL} = 0V	
ADC 分解能	RES	12	12	12	bit		
ADC 積分リニアリティ	INL	—	(8)	—	LSBp-p	f _{CLK} = 20MHz	
ADC 微分リニアリティ+	DNL+	—	0.6	0.95	LSB	f _{CLK} = 20MHz	注 1
ADC 微分リニアリティ-	DNL-	-0.95	-0.6	—	LSB	f _{CLK} = 20MHz	注 1
スリープ電流	I _{SLP}	-100	0	100	μA	デジタル入力ピン は 0V 固定, 出力ピ ンはオープン	
スタンバイ電流	I _{STBY}	—	3	5	mA	デジタル入出力ピ ンは 0V 固定	
デジタル出力 Hi-Z 遅延時間	t _{HZ}	—	—	100	ns	R _L = 2kΩ, C _L = 10pF	図 7 参照
	t _{LZ}	—	—	100	ns		
	t _{ZH}	—	—	100	ns		
	t _{ZL}	—	—	100	ns		

- 【注】 1. 微分リニアリティは、隣り合うコード間のリニアリティ誤差の差を計算したものです。
 2. ()内は参考値を示します。

● CDSIN 入力モード適用項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流(1)	I _{DD1}	—	57	68	mA	LoPwer = "L" f _{CLK} = 36MHz	
消費電流(2)	I _{DD2}	—	37	46	mA	LoPwer = "H" f _{CLK} = 25MHz	
CCD オフセット 許容範囲	V _{CCD}	(-100)	—	(100)	mV		
タイミング仕様(1)	t _{CDS1}	—	(1.5)	—	ns		表 8 参照
タイミング仕様(2)	t _{CDS2}	Typ×0.8	1/4f _{CLK}	Typ×1.2	ns		
タイミング仕様(3)	t _{CDS3}	—	(1.5)	—	ns		
タイミング仕様(4)	t _{CDS4}	Typ×0.8	1/4f _{CLK}	Typ×1.2	ns		
タイミング仕様(5)	t _{CDS5}	Typ×0.85	1/2f _{CLK} ×0.90	Typ×1.00	ns		
タイミング仕様(6)	t _{CDS6}	1	5	9	ns		
タイミング仕様(7)	t _{CDS7}	11			ns		
タイミング仕様(8)	t _{CDS8}	11			ns		
タイミング仕様(9)	t _{CHLD9}	3	7	—	ns	C _L = 10pF	
タイミング仕様(10)	t _{COD10}	—	16	24	ns	C _L = 10pF	
クランプレベル	CLP(00)	—	(56)	—	LSB		
	CLP(09)	—	(128)	—	LSB		
	CLP(31)	—	(304)	—	LSB		
CDS 入力時 PGA ゲイン	PGA(0)	-4.4	-2.4	-0.4	dB		
	PGA(256)	4.1	6.1	8.1	dB		
	PGA(512)	12.5	14.5	16.5	dB		
	PGA(768)	21.0	23.0	25.0	dB		
	PGA(1023)	29.4	31.4	33.4	dB		

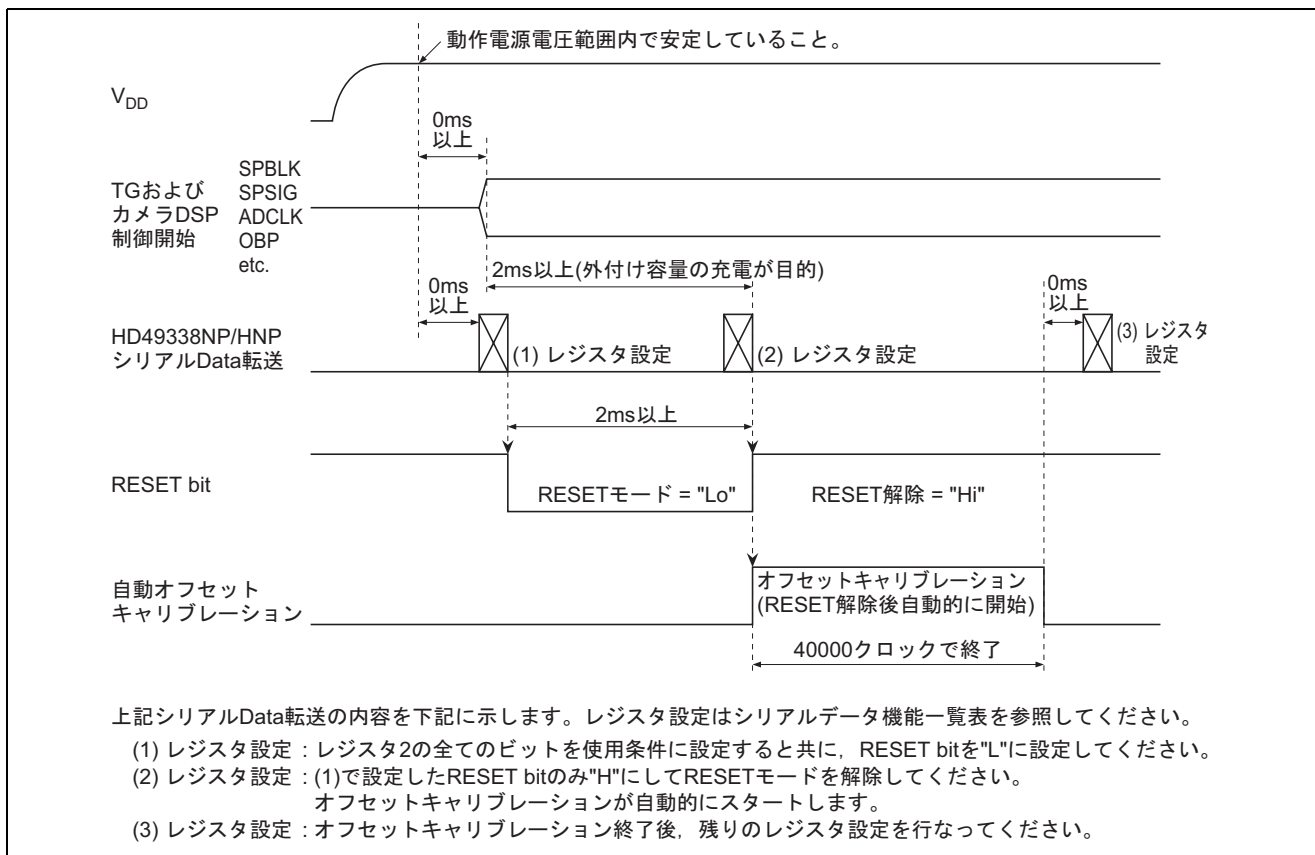
【注】 ()内は参考値を示します。

● ADCIN 入力モード適用項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流(3)	I _{DD3}	—	39	49	mA	LoPwer = "L" f _{CLK} = 36MHz	
消費電流(4)	I _{DD4}	—	23	29	mA	LoPwer = "H" f _{CLK} = 25MHz	
タイミング仕様(11)	t _{ADC1}	—	(6)	—	ns		表 9 参照
タイミング仕様(12)	t _{ADC2}	Typ×0.85	1/2f _{ADCLK}	Typ×1.15	ns		
タイミング仕様(13)	t _{ADC3}	Typ×0.85	1/2f _{ADCLK}	Typ×1.15	ns		
タイミング仕様(14)	t _{AHLD4}	10	14.5	—	ns	C _L = 10pF	
タイミング仕様(15)	t _{AOD5}	—	23.5	31.5	ns	C _L = 10pF	
ADC 入力時入力電流	I _{INCIN}	-110	—	110	μA	V _{IN} = 1.0 ~ 2.0V	
ADC 入力時クランプレベル	OF2	—	(2048)	—	LSB		
YIN 入力時クランプレベル	OF1	—	(280)	—	LSB		
ADC 入力時 PGA ゲイン	GSL(0)	0.45	0.57	0.72	倍		
	GSL(256)	1.36	1.71	2.16	倍		
	GSL(512)	2.27	2.86	3.60	倍		
	GSL(768)	3.18	4.00	5.04	倍		
	GSL(1023)	4.08	5.14	6.47	倍		

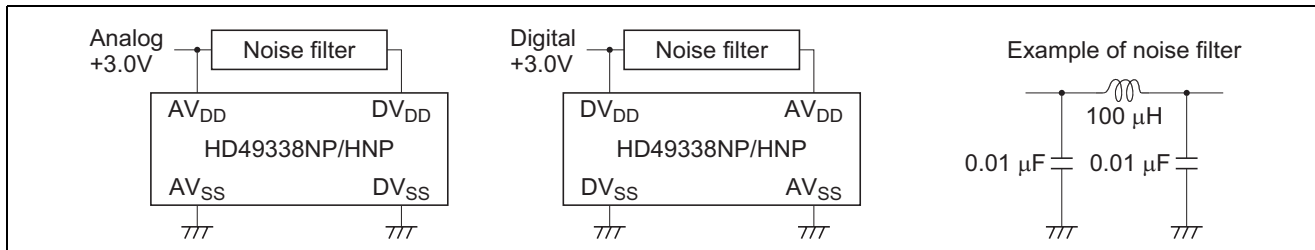
【注】 ()内は参考値を示します。

電源投入時の動作シーケンス



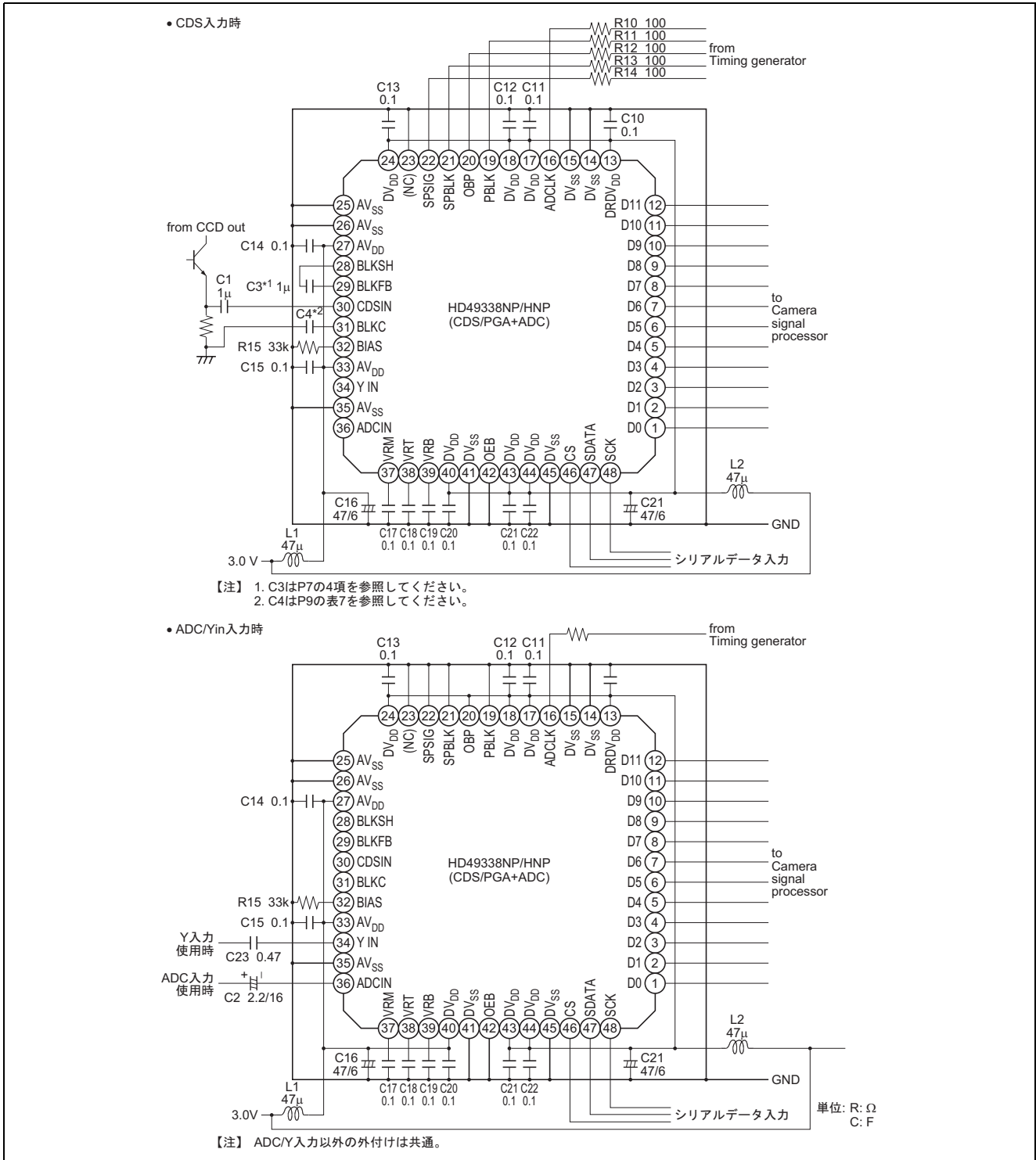
使用上の注意事項

1. 静電破壊に対しては、十分に注意して取り扱うようにしてください。
2. 本 IC は、民生用に関与されたものです。民生用以外には使用しないでください。
3. 本 IC は、電源ラインのノイズに敏感です。グラウンドのインピーダンスをできる限り小さくしてください。また、ラッチアップ防止対策として、グラウンドと電源との間に、 $0.1\mu\text{F}$ 以上のセラミックコンデンサと $10\mu\text{F}$ 以上の電解コンデンサを挿入してください。
4. AV_{DD} , $\text{DV}_{\text{DD}1\sim4}$ は、本 IC の外部で共通に接続してください。ノイズフィルタにより AV_{DD} , $\text{DV}_{\text{DD}1\sim4}$ を分離する時は、電源投入時の電位差を 0.3V 以下にし、動作時の電位差を 0.1V 以下にしてください。
5. ノイズフィルタが必要な場合は、下図のように、フィルタを通した後に共通にしてください。

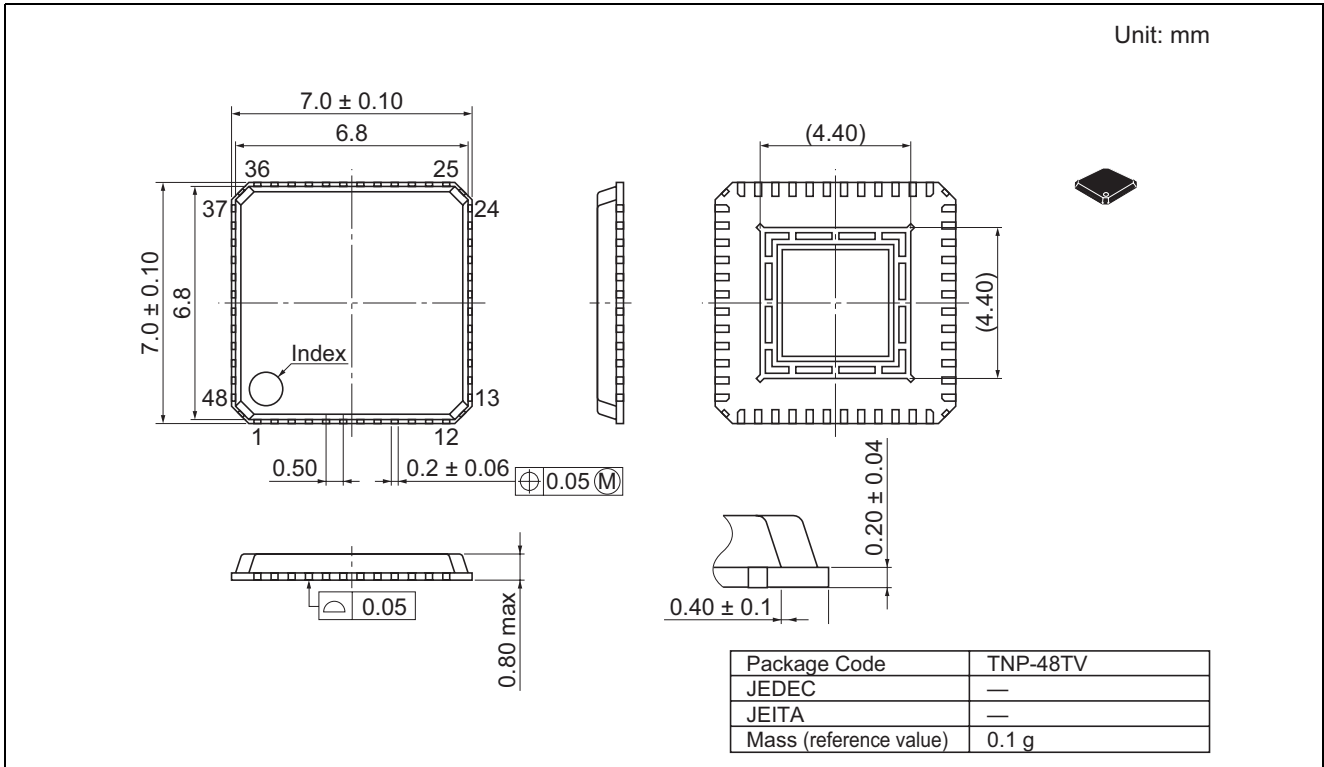


6. AV_{SS} と DV_{SS} は、IC 外部で接続して、共通のグラウンドにしてください。セットのグラウンドがアナログ系とデジタル系に分かれている時は、アナログ系のグラウンドに接続してください。
7. データシート上で、 V_{DD} と規定している場合は、 AV_{DD} , $\text{DV}_{\text{DD}1\sim4}$ を指しています。
8. パッケージ熱特性の低熱抵抗化のため、Cu 系のリード素材を使用しており、Fe 系リード材と比較した場合には、折り曲げに関して弱くなっております。取扱いには十分ご注意願います。
9. はんだ実装法は、赤外リフローをお願いします。はんだディップ等の全体加熱法は対応できませんので、ご注意願います。
10. 実装状態によっては、画質(横引きノイズ、波紋等)が SPBLK, SPSIG, ADCLK 信号のタイミング依存性を受けます。十分に実装状態で確認の上、ご使用願います。
11. 有効映像期間中にシリアル通信を行なうと、画質を劣化させます。有効映像期間中のシリアル通信は行わないでください。また、本 IC に使用する SCK, SDATA は専用ポートでのご使用を推奨します。もし、他の IC と共通ポートでご使用の場合は、画質を十分に確認の上、ご使用願います。
12. 電源投入時は、電源投入時の動作シーケンス(P16 参照)に従って、CDS/PGA/ADC 等から発生するオフセット電圧の自動調整を必ず実施してください。

参考外付け回路例



外形寸法図



株式会社 **ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com