

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# HD49335F/HF

## CDS/PGA & 10Bit A/D コンバータ TG 内蔵

RJJ03F0004-0100Z

Rev.1.0

2004.02.25

### 概要

HD49335F/HF は CCD カメラデジタル信号処理システムに適切な CDS-PGA 間のアナログ処理(CDS/PGA) および 10bit-A/D コンバータ、タイミングジェネレータを 1 チップに収めた CMOS IC です。

本 LSI の説明書は本紙の他に、アドレスマップ、タイミングチャートがあります。詳細をご検討いただく場合には営業窓口までご一報願います。

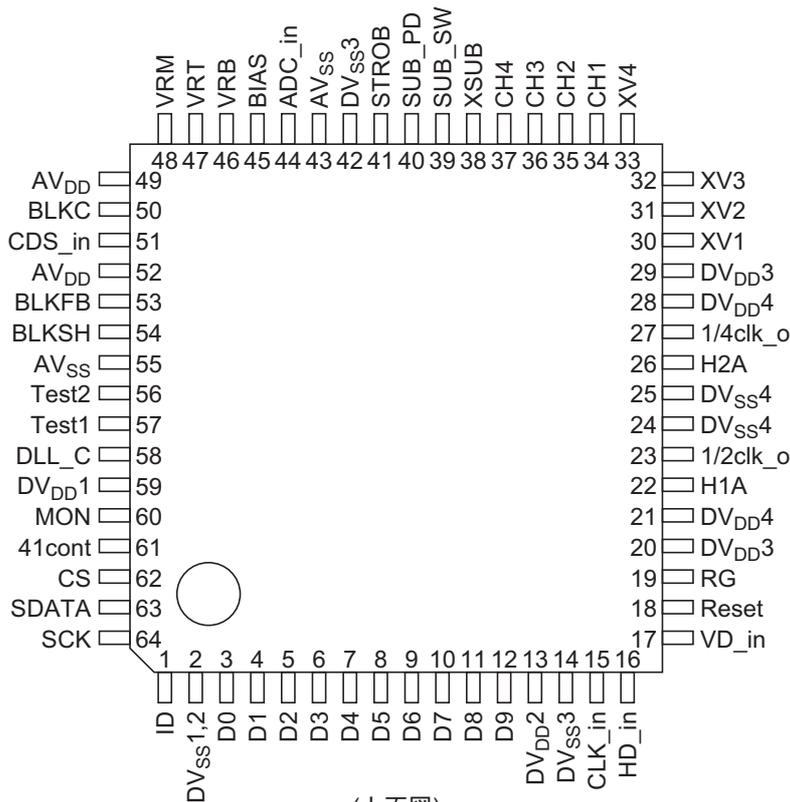
### 機能

- 相関二重サンプリング
- PGA
- シリアルインターフェース制御
- 10Bit-ADC
- タイミングジェネレータ
- 3.0V 単一動作
- 消費電力/動作周波数切替えモード対応  
消費電力：220mW(Typ)，最高周波数：36MHz (HD49335HF)  
消費電力：150mW(Typ)，最高周波数：25MHz (HD49335F)
- ADC ダイレクト入力モード
- QFP 64pin パッケージ

### 特長

- 相関二重サンプリングにより、CCD 出力低域雑音の抑圧が可能
- S/H 応答周波数特性は外付け定数および、レジスタにより調整可能
- PG アンプによる高 S/N、広ダイナミックレンジ化により、高感度化が図れる
- シリアルインターフェースにより、PGA ゲイン、パルスタイミング、etc の設定が可能
- A/D コンバータは 10 ビット分解能で高精度
- A/D 出力コードとして差分符号化グレーコードを選択可能  
ソラリゼーション(波紋)の抑圧に効果的。弊社にて特許取得済み
- タイミングジェネレータは CCD 駆動に必要な全てのパルスを生成

ピン配置

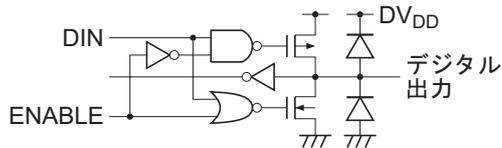
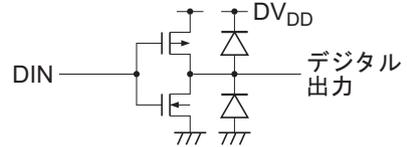
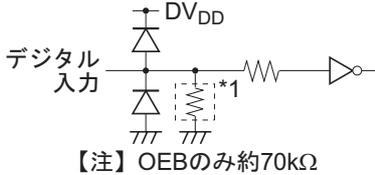
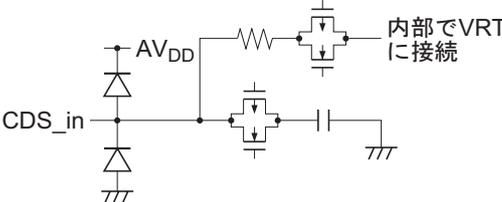
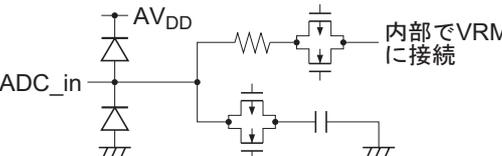
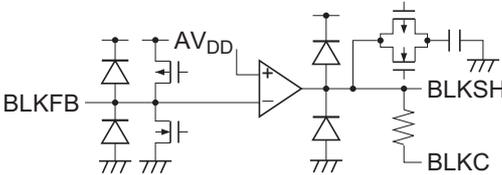
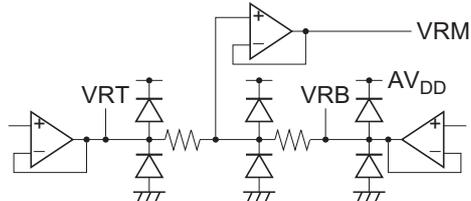
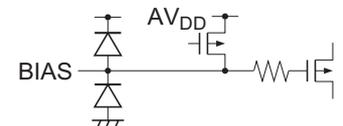


端子説明

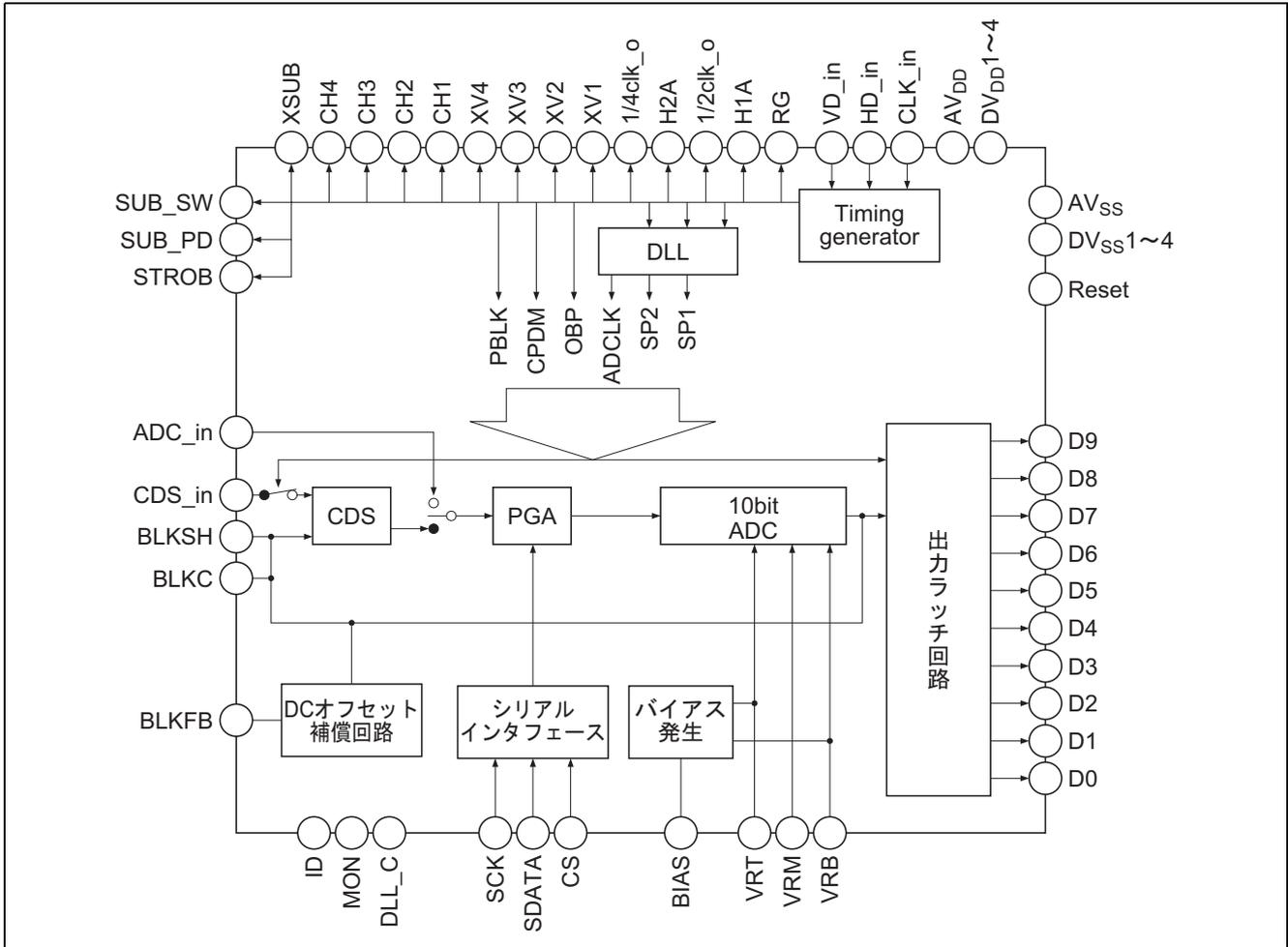
端子 No.	端子名	説明	I/O	アナログ(A)/ デジタル(D)	備考
1	ID	奇数/偶数ライン判別パルス出力	O	D	2mA/10pF
2	DV <sub>ss</sub> 1,2	CDS デジタルグラウンド+ADC 出力バッファ用グラウンド (0V)	—	D	
3~12	D0 ~ D9	デジタル出力 (D0;LSB, D9;MSB)	O	D	2mA/10pF
13	DV <sub>dd</sub> 2	ADC 出力バッファ用電源 (3V)	—	D	
14	DV <sub>ss</sub> 3	TG 用一般グラウンド (0V)	—	D	
15	CLK_in	CLK 入力 (max 72MHz)	I	D	
16	HD_in	HD 入力	I/O	D	
17	VD_in	VD 入力	I/O	D	
18	Reset	ハードウェアリセット (DLL リセット用))	I	D	シュミットトリガ入力
19	RG	リセットゲートパルス出力	O	D	3mA/10pF
20	DV <sub>dd</sub> 3	TG 用一般電源 (3V)	—	D	
21	DV <sub>dd</sub> 4	H1 バッファ用電源 (3V)	—	D	
22	H1A	H.CCD 転送パルス出力-1A	O	D	30mA/165pF
23	1/2clk_o	CLK_in の 2 分周出力。3 分周モード時は 3 分周出力	O	D	2mA/10pF
24	DV <sub>ss</sub> 4	H バッファ用グラウンド (0V)	—	D	
25	DV <sub>ss</sub> 4	H バッファ用グラウンド (0V)	—	D	
26	H2A	H.CCD 転送パルス出力-2A	O	D	30mA/165pF
27	1/4clk_o	CLK_in の 4 分周出力。3 分周モード時は 6 分周出力	O	D	2mA/10pF
28	DV <sub>dd</sub> 4	H2 バッファ用電源 (3V)	—	D	
29	DV <sub>dd</sub> 3	TG 用一般電源 (3V)	—	D	
30	XV1	V.CCD 転送パルス出力-1	O	D	2mA/10pF
31	XV2	V.CCD 転送パルス出力-2	O	D	2mA/10pF
32	XV3	V.CCD 転送パルス出力-3	O	D	2mA/10pF
33	XV4	V.CCD 転送パルス出力-4	O	D	2mA/10pF

端子 No.	端子名	説明	I/O	アナログ(A)/ デジタル(D)	備考
34	CH1	読み出しパルス出力-1	O	D	2mA/10pF
35	CH2	読み出しパルス出力-2	O	D	2mA/10pF
36	CH3	読み出しパルス出力-3	O	D	2mA/10pF
37	CH4	読み出しパルス出力-4/ストライブモード時は XV6	O	D	2mA/10pF
38	XSUB	電子シャッタ用パルス出力	O	D	2mA/10pF
39	SUB_SW	SUB 電圧制御出力-1。61pin が Hi の時は ADCK 入力	I/O	D	2mA/10pF
40	SUB_PD	SUB 電圧制御出力-2/ストライブモード時は XV5	O	D	2mA/10pF
41	STROB	ストロボ制御出力。61pin が Hi の時は Vgate 入力	I/O	D	2mA/10pF
42	DV <sub>ss3</sub>	TG 用一般グランド (0V)	—	D	
43	AV <sub>ss</sub>	アナロググランド (0V)	—	A	
44	ADC_in	A/D コンバータ入力端子	I	A	
45	BIAS	バイアス基準抵抗 (対 Gnd に 33k $\Omega$ )	—	A	
46	VRB	ADC ボトム基準電圧 (対 Gnd に 0.1 $\mu$ F)	—	A	
47	VRT	ADC トップ基準電圧 (対 Gnd に 0.1 $\mu$ F)	—	A	
48	VRM	ADC ミドル基準電圧 (対 Gnd に 0.1 $\mu$ F)	—	A	
49	AV <sub>DD</sub>	アナログ電源 (3V)	—	A	
50	BLKC	黒レベル C 端子 (対 Gnd に 1000pF)	—	A	
51	CDS_in	CDS 入力端子	I	A	
52	AV <sub>DD</sub>	アナログ電源 (3V)	—	A	
53	BLKFB	黒レベル FB 端子 (BLKFB と BLKSH の間に 1 $\mu$ F)	I	A	
54	BLKSH	黒レベル S/H 端子	O	A	
55	AV <sub>ss</sub>	アナロググランド (0V)	—	A	
56	Test2	H : 通常動作, L : CDS 単品動作モード テスト時は 36;PBLK 入力, 37;OBP 入力, 38;CPDM 入力, 39;ADCK 入力, 40;SP2 入力, 41;SP1 入力	I	D	
57	Test1	L : スレープモード, H : マスターモード	I	D	
58	DLL_C	アナログ遅延 DLL 外付け C 端子 (対 Gnd に 100pF)	O	A	
59	DV <sub>DD1</sub>	CDS, PAG, ADC 部デジタル電源 (3V)	—	D	
60	MON	パルスモニタ (SP1, SP2, ADCK, OBP, CPDM, PBLK 出力)	O	D	2mA/10pF
61	41cont	Low の時, 41pin = STROB 出力, 39pin=SUB_SW 出力 Hi の時, 41pin = Vgate 入力, 39pin=ADCK 入力	I	D	
62	CS	CDS 部シリアルデータ CS	I	D	
63	SDATA	シリアルデータ入力	I	D	
64	SCK	シリアルクロック入力	I	D	

入出力等価回路

端子名	等価回路
デジタル出力	<p>D0 ~ D9, HD_in, VD_in, H1A, H2A, 1/2clk_o, 1/4clk_o, 41cont, SUB_SW, SUB_PD</p> 
デジタル出力	<p>ID, RG, MON, XV1 ~ XV4, CH1 ~ CH4, XSUB</p> 
デジタル入力	<p>CLK_in, HD_in, VD_in, ADCLK, OBP, SPBLK, SPSIG, CS, SCK, SDATA, PBLK, OEB, Reset, Test1, Test2, SUB_SW, STROB</p>  <p>【注】 OEBのみ約70kΩ</p>
アナログ	<p>CDS_in</p>  <p>内部でVRTに接続</p>
アナログ	<p>ADC_in</p>  <p>内部でVRMに接続</p>
アナログ	<p>BLKSH, BLKFB, BLKC</p>  <p>内部でVRTに接続</p>
アナログ	<p>VRT, VRM, VRB</p>  <p>内部でVRTに接続</p>
アナログ	<p>BIAS</p> 

ブロックダイアグラム



## 内蔵機能

### 機能概要

- CDS 入力
  - CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
  - OB 期間の信号レベルを 14 ~ 76LSB (レジスタにより設定: 5bit/2LSB ステップ制御) にクランプ \*<sup>1</sup>
  - -2.36dB ~ 31.40dB 間で 8bit (0.132dB ステップ, レジスタ設定) の Gain 調整が可能 \*<sup>2</sup>
- ADC 入力
  - 入力信号のセンターレベルを 512LSB (typ.) にクランプ
  - 0.57 倍(-4.86dB) ~ 5.14 倍(14.22dB)間で 8bit(0.01784 倍ステップ, レジスタ設定)の Gain 調整が可能 \*<sup>2</sup>
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能
  - デジタル出力をクランプレベルに固定
- デジタル出力カインエーブル機能

【注】 1. 14LSB 設定時は, 保証範囲外。  
 2. 1V 入力力でデジタル出力フルスケールを 0dB(1 倍)と定義

### 動作説明

図 1 に CDS/PGA+ADC の機能ブロック図を示します。

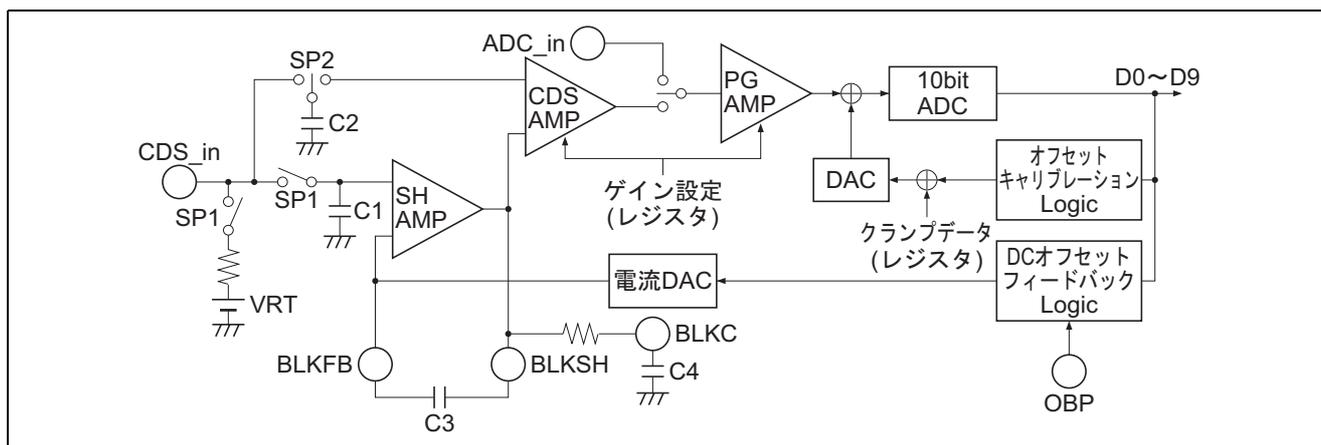


図 1 CDS/PGA 部機能ブロック図

#### 1. CDS(Correlated Double Sampling)回路

CDS 回路は, 黒レベルと黒レベルを含む信号との差電圧を取り出す回路です。黒レベルは, SP1 パルスにより C1 に直接サンプリングされ, SHAMP によりバッファリングされた後, CDSAMP に供給されます。信号レベルは, SP2 パルスにより C2 に直接サンプリングされ, そのまま CDSAMP に供給されます。(図 1 参照)。

CDSAMP は上記 2 つの信号レベルの差をとると共に, 前段のプログラマブルゲインアンプとして働きます。CDS 入力は, VRT( 2V)にバイアスされます。

PBLK の期間, 上記のサンプリング動作およびバイアス動作は停止します。

#### 2. PGA 回路

PGAMP は, 後段のプログラマブルゲインアンプです。前段の CDSAMP と合わせて 8bit のレジスタでゲインを設定します。

レジスタ値  $N = 0 \sim 255$  に対し, 下式のようにゲインが変化します。

CDSIN モード時:  $\text{Gain} = -2.36\text{dB} + 0.132\text{dB} \times N$  (LOG リニア)

ADCIN モード時:  $\text{Gain} = 0.57 \text{ 倍} + 0.01784 \text{ 倍} \times N$  (リニア)

(1V 入力力でデジタル出力フルスケールを 0dB(1 倍)と定義)

3. 自動オフセットキャリブレーション機能，黒レベルクランプデータ設定

自動オフセットキャリブレーションは，PGA アンプの出力に加算する DAC の DC 電圧を調整します。この DAC には，PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに，レジスタ設定によるクランプデータ(14～76LSB)が加算されて与えられます。

自動オフセットキャリブレーションは，レジスタ設定による RESET モード解除後自動的にスタートし，40000 クロック後に終了します。(f<sub>CLK</sub> = 20.0MHz の場合：2.0ms)

4. DC オフセット補償フィードバック機能

DC オフセット補償フィードバックは，OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり，CCD オフセット，CDSAMP オフセット等を含むすべてのオフセットを補償します。

DC オフセット補償フィードバックは，OB 期間に ADC 出力からオフセットを演算し，電流 DAC によって SHAMP の帰還容量 C3 にチャージします。(図 1 参照)

このフィードバックループの 1H 当たりのオープンループ微分ゲイン (ΔGain/ΔH) は下式によって与えられます。(1H は OBP の 1 周期です)

$$\Delta\text{Gain}/\Delta\text{H} = 0.078/(f_{\text{CLK}} \times C3) \quad (f_{\text{CLK}}: \text{ADCLK 周波数}, C3: \text{SHAMP の外付け帰還容量})$$

例：f<sub>CLK</sub> = 20.0MHz, C3 = 1.0μF      ΔGain/ΔH = 0.0039

1H 当たりの DC オフセット補正量(LSB) = 0.0039 × オフセット誤差量(LSB) \*

【注】 上記オフセット誤差量には上限値があります。

PGA アンプのゲイン設定を変更すると，高速引き込み動作に移行し，上記フィードバックループゲインが N 倍されます。ループゲインの倍率 N はレジスタによって 4, 8, 16, 32 倍の 4 種類から選択できます(表 1 参照)。(オープンループ微分ゲイン (ΔGain/ΔH) が 2 以上になると発振します。1 以下の設定で使用してください。)

また，高速引き込み動作を終了し通常のループゲインに戻すまでの時間はレジスタによって 1, 2, 4, 8H の 4 種類から選択します。(オフセット誤差が 16LSB 以上ある間は高速引き込み動作が継続され，オフセット誤差が 16LSB 以内に入った後レジスタ設定の 1, 2, 4, or 8H 後に通常のループゲインに戻ります。)(表 2 参照)

表1 高速引き込み時，ループゲインの倍率

HGAIN-NSEL (レジスタ設定)		倍率N
[0]	[1]	
L	L	4倍
H	L	8倍
L	H	16倍
H	H	32倍

表2 高速引き込み解除時間

HGSTOP-HSEL (レジスタ設定)		解除時間
[0]	[1]	
L	L	1H
H	L	2H
L	H	4H
H	H	8H

5. プリブランキング機能

PBLK 入力期間，過大入力信号から CDS 入力動作を切り離し保護します。また，ADC のデジタル出力をクランプデータ(14～76LSB)に固定します。

6. ADC デジタル出力コントロール機能

ADC デジタル出力には，コード変換，テストモード等の機能があります。

表 3, 4, 5 に出力機能およびコード表を示します。

表 3 ADC デジタル出力機能表

STBY	TEST0	TEST1	LINV	MINV	PBLK	ADCデジタル出力										動作モード				
						D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					
H	X	X	X	X	X	Hi-Z											低電力待機			
L	L	L	L	L	L	表4に従う											通常動作			
			L	H	L	表4でD9が反転														
			H	L	L	表4でD8～D0が反転														
			H	H	L	表4でD9～D0が反転														
			X	X	H	出力コードをClamp Levelに固定												プリブランキング		
			H	L	L	L	L	L	表5に従う											通常動作
						L	H	L	表5でD9が反転											
						H	L	L	表5でD8～D0が反転											
	H	H				L	表5でD9～D0が反転													
	X	X	H	出力コードをClamp Levelに固定												プリブランキング				
	H	X	X	L	L	X		H	L	H	L	H	L	H	L	H	L	テストモード		
				L	H	X		L	L	H	L	H	L	H	L	H	L			
H				L	X		H	H	L	L	H	L	H	L	H	L				
H				H	X		L	H	L	H	L	H	L	H	L	H				

【注】 1. STBY, TEST, LINV, MINVは，レジスタ設定です。

表4 ADC 出力コード表 (バイナリー)

出力端子			D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
出力コード	ステップ	3	L	L	L	L	L	L	L	L	H	H	
		4	L	L	L	L	L	L	L	L	H	L	L
		5	L	L	L	L	L	L	L	L	H	L	H
		6	L	L	L	L	L	L	L	L	H	H	L
		...	...	...	...	...	...	...	...	...	...	...	...
		511	L	H	H	H	H	H	H	H	H	H	H
		512	H	L	L	L	L	L	L	L	L	L	L
		...	...	...	...	...	...	...	...	...	...	...	...
		1020	H	H	H	H	H	H	H	H	H	L	L
		1021	H	H	H	H	H	H	H	H	H	L	H
		1022	H	H	H	H	H	H	H	H	H	H	L
		1023	H	H	H	H	H	H	H	H	H	H	H

表5 ADC 出力コード表 (グレイ)

出力端子			D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
出力コード	ステップ	3	L	L	L	L	L	L	L	L	H	L	
		4	L	L	L	L	L	L	L	L	H	H	L
		5	L	L	L	L	L	L	L	L	H	H	H
		6	L	L	L	L	L	L	L	L	H	L	H
		...	...	...	...	...	...	...	...	...	...	...	...
		511	L	H	L	L	L	L	L	L	L	L	L
		512	H	H	L	L	L	L	L	L	L	L	L
		...	...	...	...	...	...	...	...	...	...	...	...
		1020	H	L	L	L	L	L	L	L	L	H	L
		1021	H	L	L	L	L	L	L	L	L	H	H
		1022	H	L	L	L	L	L	L	L	L	L	H
		1023	H	L	L	L	L	L	L	L	L	L	L

7. 黒レベルの S/H 応答周波数特性の調整

黒レベルを S/H する CR 時定数は、レジスタ設定によって調整できます。設定方法を表6に示します。

表6 SHSW CR 時定数設定表

	SHSW-fsel (レジスタ設定)																														
	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]							
	L	L	L	L	H	L	L	L	L	H	L	L	H	H	L	L	L	L	H	L	H	L	H	L	L	H	H	L	H	H	H
CR時定数 (Typ) (カットオフ周波数換算)	2.20nsec (72MHz)			2.30nsec (69MHz)			2.51nsec (63MHz)			2.64nsec (60MHz)			2.93nsec (54MHz)			3.11nsec (51MHz)			3.52nsec (45MHz)			3.77nsec (42MHz)									

	SHSW-fsel (レジスタ設定)																														
	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]							
	L	L	L	H	H	L	L	H	L	H	L	H	H	H	L	H	L	L	H	H	H	L	H	H	L	H	H	H	H	H	H
CR時定数 (Typ) (カットオフ周波数換算)	4.40nsec (36MHz)			4.80nsec (33MHz)			5.87nsec (27MHz)			6.60nsec (24MHz)			8.80 nsec (18MHz)			10.6nsec (15MHz)			17.6nsec (9MHz)			26.4nsec (6MHz)									

8. SHAMPの周波数特性は、レジスタ設定と外付けのC4によって調整できます。設定方法を表7に示します。表7に示す設定値以外は使用できません。



Cの推奨値は1000pF

表7 SHAMP 周波数特性設定表

LoPwr (レジスタ設定)	SHA-fsel (レジスタ設定)							
	[0]		[1]		[0]		[1]	
	L	L	H	L	L	H	H	H
"Lo"	230MHz 6800pF (240pF)		116MHz 10000pF (270pF)		75MHz 13000pF (300pF)		56MHz 18000pF (360pF)	
"Hi"	100MHz 10000pF (560pF)		49MHz 15000pF (620pF)		32MHz 22000pF (750pF)		24MHz 27000pF (820pF)	

【注】 上段：SHAMPカットオフ周波数 (Typ)  
 中段：C4の標準値 (最大値の規定はありません)  
 下段：C4の最小値 (この値以下にしないでください)

## タイミングチャート

図 2 に CDS\_in, ADC\_in の各入力端子を使用した場合の出力タイミング図を示します。

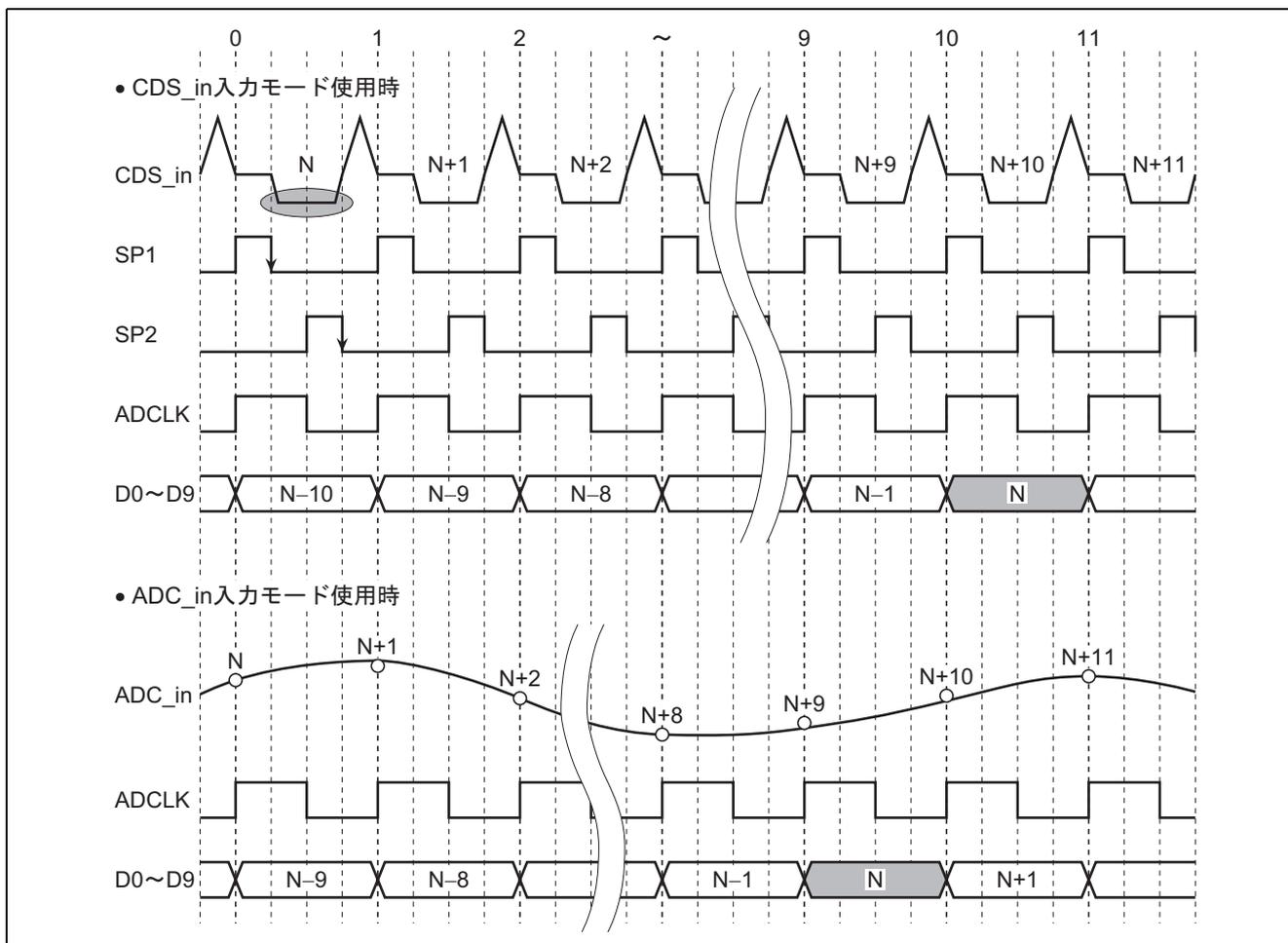


図 2 CDS\_in, ADC\_in の各入力端子を使用した場合の出力タイミング図

- ADC 出力(D0 ~ D9)は両入力モードとも ADCLK の立上がりエッジで出力されます。
- CDSIN 使用時のパイプラインディレイは 10 クロック, ADCIN 使用時は 9 クロックとなります。
- ADCIN 入力モード時の入力信号サンプリングは, ADCLK の立上がりエッジで行われます。

詳細タイミング仕様

CDSIN モード時の詳細タイミング仕様

図 3 に CDSIN モード時の詳細タイミング仕様を示し、表 8 に各タイミングの仕様を示します。

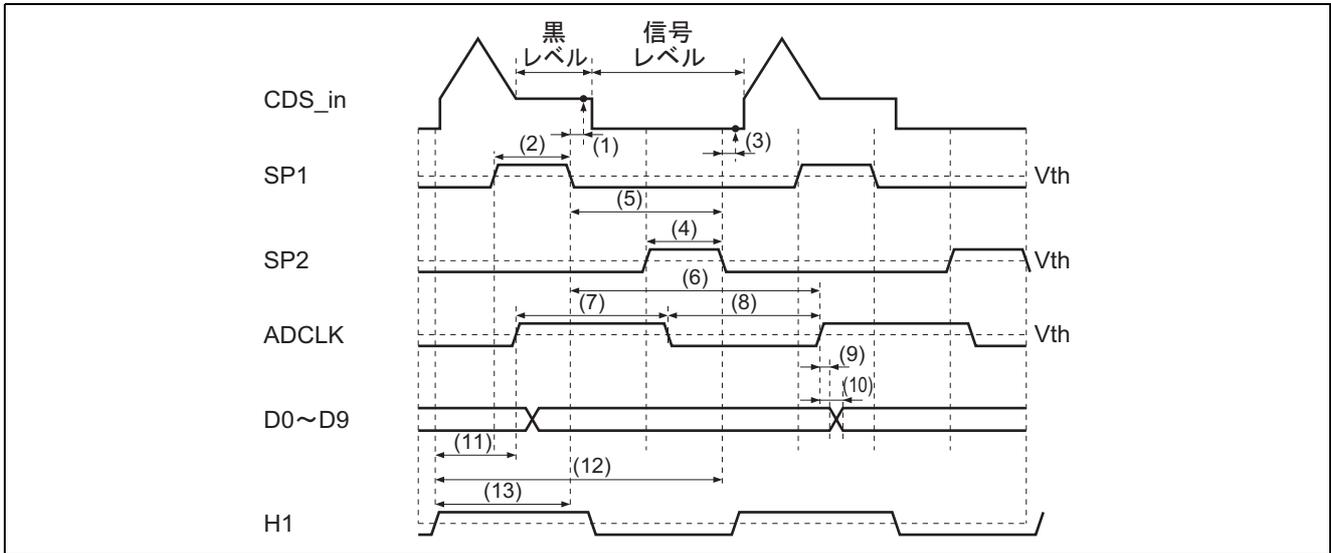


図 3 CDSIN モード時の詳細タイミング仕様

表 8 CDSIN モード時、各タイミングの仕様

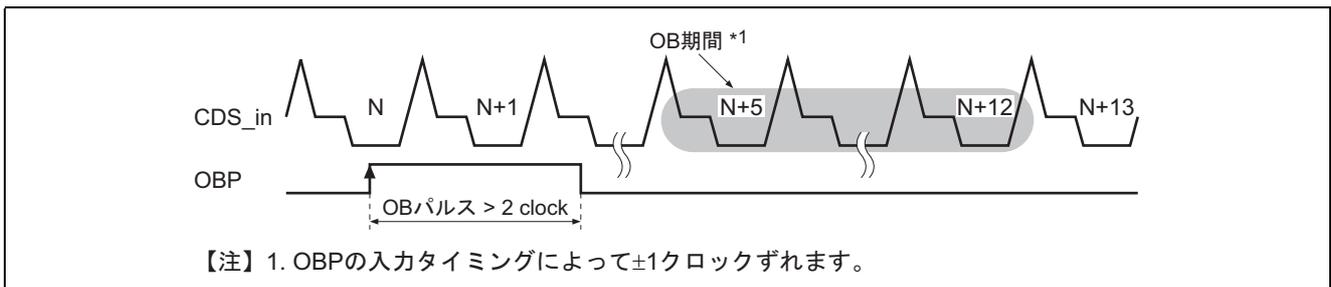
No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	t <sub>CDS1</sub>	—	(1.5)	—	ns
(2)	SP1 “Hi” 期間	t <sub>CDS2</sub>	Typ×0.8	1/4f <sub>CLK</sub>	Typ×1.2	ns
(3)	信号レベル取り込み時間	t <sub>CDS3</sub>	—	(1.5)	—	ns
(4)	SP2 “Hi” 期間	t <sub>CDS4</sub>	Typ×0.8	1/4f <sub>CLK</sub>	Typ×1.2	ns
(5)	SP1 立下がり ~ SP2 立下がり時間	t <sub>CDS5</sub>	Typ×0.85	1/2f <sub>CLK</sub>	Typ×1.15	ns
(6)	SP1 立下がり ~ ADCLK 立上がり禁止時間	t <sub>CDS6</sub>	—	(5)	—	ns
(7), (8)	ADCLK t <sub>WH</sub> min./t <sub>WL</sub> min.	t <sub>CDS7,8</sub>	11	—	—	ns
(9)	ADCLK 立上がり ~ デジタル出力保持時間	t <sub>CHLD9</sub>	—	(7)	—	ns
(10)	ADCLK 立上がり ~ デジタル出力遅延時間	t <sub>COD10</sub>	—	(16)	—	ns
(11)	H1 立上がり ~ ADCLK 立上がり時間	t <sub>CDS11</sub>	—	(1/4f <sub>CLK</sub> )	—	ns
(12)	H1 立上がり ~ SPSIG 立下がり時間	t <sub>CDS12</sub>	—	(1/f <sub>CLK</sub> )	—	ns
(13)	H1 立上がり ~ SPBLK 立下がり時間	t <sub>CDS13</sub>	—	(1/2f <sub>CLK</sub> )	—	ns

OBP の詳細タイミング仕様

図 4 に OBP の詳細タイミング仕様を示します。

OB パルス入力後、5 クロックから 12 クロック目までが OB 期間です。

OB 期間に入力された 8 サイクル分の黒信号レベルが平均され、クランプレベル (DC 基準) となります。



【注】 1. OBPの入力タイミングによって±1クロックずれます。

図 4 OBP の詳細タイミング仕様

プリブランキング時の詳細タイミング仕様

図5にプリブランキング時の詳細タイミング仕様を示します。

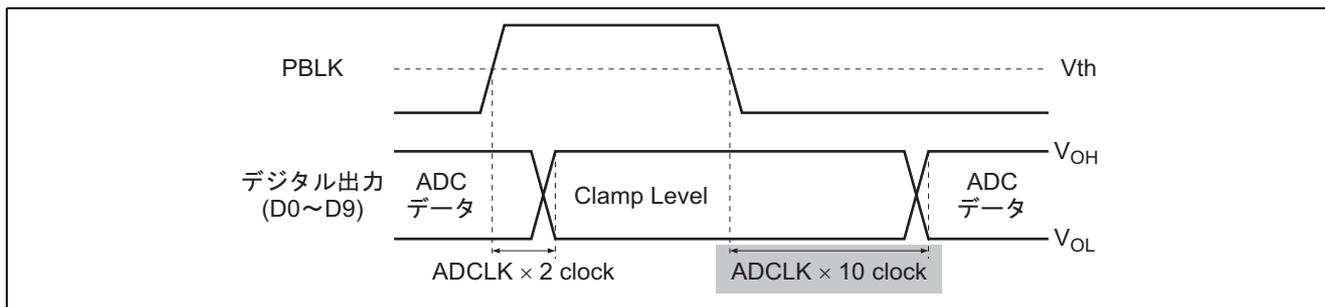


図5 プリブランキング時の詳細タイミング仕様

ADCIN モード時の詳細タイミング仕様

図6にADCINモード時の詳細タイミング仕様を示し、表9に各タイミングの仕様を示します。

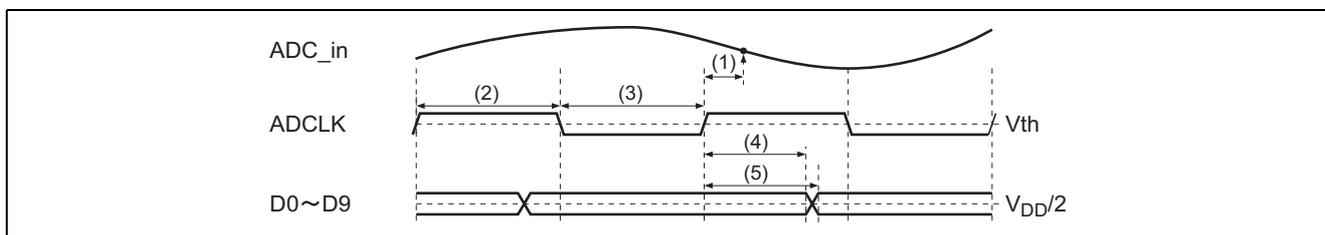


図6 ADCINモード時の詳細タイミング仕様

表9 ADCINモード時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	信号取り込み時間	$t_{ADC1}$	—	(6)	—	ns
(2), (3)	ADCLK $t_{WH min.}/t_{WL min.}$	$t_{ADC2,3}$	$Typ \times 0.85$	$1/2f_{ADCLK}$	$Typ \times 1.15$	ns
(4)	ADCLK 立上がり ~ デジタル出力保持時間	$t_{AHL4}$	—	(14.5)	—	ns
(5)	ADCLK 立上がり ~ デジタル出力遅延時間	$t_{AOD5}$	—	(23.5)	—	ns

### ダミークランプ

太陽などのハイライトを撮影した場合に発生するクランプミスを補正します。通常はOBクランプで動作しますが、OB部にハイライトが入り、黒レベルから明らかにずれた場合、ダミービットのレベルでのクランプ処理に切り替えます。これに関するレジスタは以下のとおりです。

アドレスH'F7のD12, D11, D10 (ダミーCP)

0, 0, 0; OFF  
 0, 0, 1; +32  
 0, 1, 0; +64  
 0, 1, 1; +96  
 :  
 :  
 1, 1, 1; +224

オフセット量はPGAゲインに応じてLSI内部で自動的に変化させています。

アドレスH'F7のD8, D8 (DMCG)

ダミークランプ時のみ、フィードバック電流量を小さくすることができます。

データ = 0:1/4  
 1:1/8  
 2:1/16  
 3:1/32

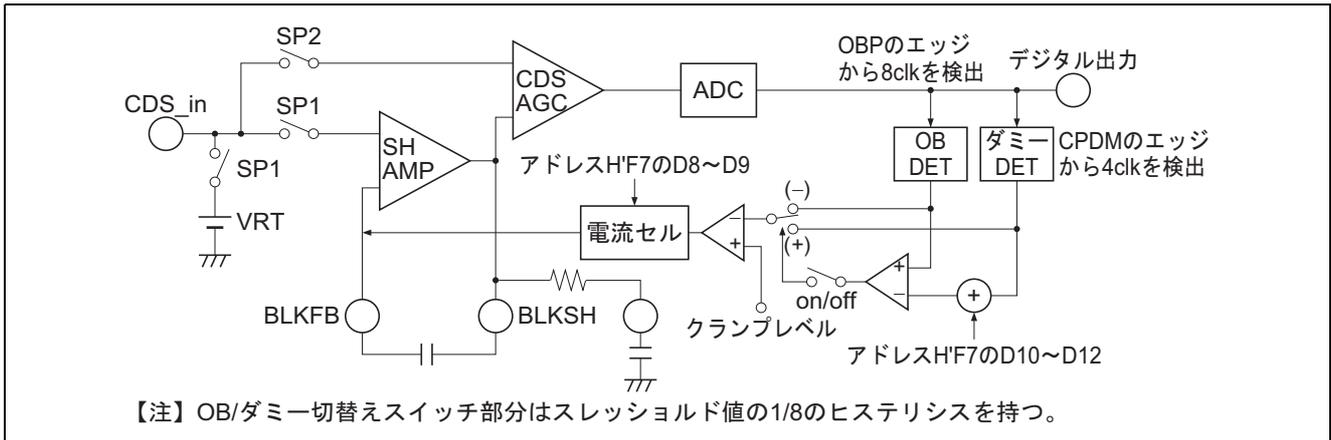


図7 内部バイアス回路構成

## 絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub>	4.1	V
アナログ入力電圧	V <sub>IN</sub>	-0.3 ~ AV <sub>DD</sub> + 0.3	V
デジタル入力電圧	V <sub>I</sub>	-0.3 ~ DV <sub>DD</sub> + 0.3	V
動作温度範囲	Ta	-20 ~ +85	°C
許容損失	Pt	590	mW
保存温度	Tstg	-55 ~ +125	°C
動作電源電圧	Vopr	2.70 ~ 3.30	V

- 【注】 AV<sub>DD</sub>, AV<sub>SS</sub> は, CDS, PGA, ADC のアナログ電源系  
 DV<sub>DD1</sub>, DV<sub>SS1</sub> は, CDS, PGA, ADC のデジタル電源系  
 DV<sub>DD2</sub>, DV<sub>SS2</sub> は, ADC 出力バッファ電源系  
 DV<sub>DD3</sub>, DV<sub>SS3</sub> は, TG の一般デジタル電源系  
 DV<sub>DD4</sub>, DV<sub>SS4</sub> は, H1, H2 の出力バッファ電源系  
 ・ 2pin は DV<sub>SS1</sub> と DV<sub>SS2</sub> をマルチボンディング  
 ・ 64pin が Low の時, 41pin = STROB 出力, 39pin = SUB\_SW 出力  
 Hi の時, 41pin = Vgate 入力, 39pin = ADCK 入力

## 電気的特性

(特記なき時, Ta = 25°C, AV<sub>DD</sub> = 3.0V, DV<sub>DD</sub> = 3.0V, R<sub>BIAS</sub> = 33kΩ)

## ● CDSIN 入力モード, ADCIN 入力モード共通項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲	V <sub>DD</sub>	2.70	3.00	3.30	V		
変換周波数	f <sub>CLK hi</sub>	20	—	36	MHz	LoPwr = "L" *2	HD49335HF
	f <sub>CLK low</sub>	5.5	—	25	MHz	LoPwr = "H" *2	HD49335F
デジタル入力電圧	V <sub>IH2</sub>	$2.25 \times \frac{DV_{DD}}{3.0}$	—	DV <sub>DD</sub>	V		CS,SCK,SDATA
	V <sub>IL2</sub>	0	—	$0.6 \times \frac{DV_{DD}}{3.0}$	V		
デジタル出力電圧	V <sub>OH</sub>	DV <sub>DD</sub> -0.5	—	—	V	I <sub>OH</sub> = -1mA	
	V <sub>OL</sub>	—	—	0.5	V	I <sub>OL</sub> = +1mA	
デジタル入力電流	I <sub>IH</sub>	—	—	50	μA	V <sub>IH</sub> = 3.0V	
	I <sub>IL</sub>	-50	—	—	μA	V <sub>IL</sub> = 0V	
ADC 分解能	RES	10	10	10	bit		
ADC 積分リニアリティ	INL	—	(2)	—	LSBp-p	f <sub>CLK</sub> = 25MHz	
ADC 微分リニアリティ+	DNL+	—	0.3	0.99	LSB	f <sub>CLK</sub> = 25MHz	*1
ADC 微分リニアリティ-	DNL-	-0.99	-0.3	—	LSB	f <sub>CLK</sub> = 25MHz	*1
スリープ電流	I <sub>SLEEP</sub>	-100	0	100	μA	デジタル入力ピンは 0V 固定, 出力ピンはオープン	
スタンバイ電流	I <sub>STBY</sub>	—	3	5	mA	デジタル入出力ピンは 0V 固定	

- 【注】 1. 微分リニアリティは, 隣り合うコード間のリニアリティ誤差の差を計算したものです。  
 2. 2 分周モード: f<sub>CLK</sub> = 1/2CLK<sub>in</sub>  
 3 分周モード: f<sub>CLK</sub> = 1/3CLK<sub>in</sub>  
 3. ( ) 内は参考値を示します。

## ● CDSIN 入力モード適用項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流(1)	I <sub>DD1</sub>	—	84	96.6	mA	f <sub>CLK</sub> = 36MHz	CDSIN モード LoPwr = "L"
消費電流(2)	I <sub>DD2</sub>	—	58	66.7	mA	f <sub>CLK</sub> = 25MHz	CDSIN モード LoPwr = "H"
CCD オフセット 許容範囲	V <sub>CCD</sub>	(-150)	—	(150)	mV		
タイミング仕様(1)	t <sub>CDS1</sub>	—	(1.5)	—	ns		表 8 参照
タイミング仕様(2)	t <sub>CDS2</sub>	Typ×0.8	1/4f <sub>CLK</sub>	Typ×1.2	ns		
タイミング仕様(3)	t <sub>CDS3</sub>	—	(1.5)	—	ns		
タイミング仕様(4)	t <sub>CDS4</sub>	Typ×0.8	1/4f <sub>CLK</sub>	Typ×1.2	ns		
タイミング仕様(5)	t <sub>CDS5</sub>	Typ×0.85	1/2f <sub>CLK</sub>	Typ×1.15	ns		
タイミング仕様(6)	t <sub>CDS6</sub>	1	5	9	ns		
タイミング仕様(7)	t <sub>CDS7</sub>	—	1/2f <sub>CLK</sub>	—	ns		
タイミング仕様(8)	t <sub>CDS8</sub>	—	1/2f <sub>CLK</sub>	—	ns		
タイミング仕様(9)	t <sub>CHLD9</sub>	—	(7)	—	ns	C <sub>L</sub> = 10pF	
タイミング仕様(10)	t <sub>COD10</sub>	—	(16)	—	ns	C <sub>L</sub> = 10pF	
タイミング仕様(11)	t <sub>CDS11</sub>	—	(1/4f <sub>CLK</sub> )	—	ns		
タイミング仕様(12)	t <sub>CDS12</sub>	—	(1/f <sub>CLK</sub> )	—	ns		
タイミング仕様(13)	t <sub>CDS13</sub>	—	(1/2f <sub>CLK</sub> )	—	ns		
クランプレベル	CLP(00)	—	(14)	—	LSB		*1
	CLP(09)	—	(32)	—	LSB		
	CLP(31)	—	(76)	—	LSB		
CDS 入力時 PGA ゲイン	AGC(0)	-4.4	-2.4	-0.4	dB		
	AGC(63)	4.1	6.1	8.1	dB		
	AGC(127)	12.5	14.5	16.5	dB		
	AGC(191)	21.0	23.0	25.0	dB		
	AGC(255)	29.4	31.4	33.4	dB		
DLL 動作周波数	DLL_2	11	—	25	MHz		*2
	DLL_3	7	—	11	MHz		*3
	DLL_4	5.5	—	7	MHz		*4
TG1/3 分周動作周波数 範囲	CLK_in3	28.6	—	28.6	MHz	f <sub>CLK</sub> = 1/3CLK_in3	
H Buffer 出力電圧	V <sub>OH</sub>	2.94	2.97	—	V	30mA Buff, I <sub>OH</sub> = -5mA	
	V <sub>OL</sub>	—	22	47	MV	30mA Buff, I <sub>OL</sub> = +5mA	
	V <sub>OH</sub>	2.89	2.94	—	V	14mA Buff, I <sub>OH</sub> = -5mA	
	V <sub>OL</sub>	—	50	112	MV	14mA Buff, I <sub>OL</sub> = +5mA	
	V <sub>OH</sub>	2.91	2.96	—	V	10mA Buff, I <sub>OH</sub> = -3mA	
	V <sub>OL</sub>	—	36	78	MV	10mA Buff, I <sub>OL</sub> = +3mA	
	V <sub>OH</sub>	2.85	2.93	—	V	4mA Buff, I <sub>OH</sub> = -2mA	
	V <sub>OL</sub>	—	60	129	MV	4mA Buff, I <sub>OL</sub> = +2mA	
	V <sub>OH</sub>	2.69	2.86	—	V	2mA Buff, I <sub>OH</sub> = -2mA	
	V <sub>OL</sub>	—	115	262	mV	2mA Buff, I <sub>OL</sub> = +2mA	
RG 出力電圧	V <sub>OH</sub>	2.81	2.90	—	V	I <sub>OH</sub> = -2mA	
	V <sub>OL</sub>	—	78	141	mV	I <sub>OL</sub> = +2mA	

【注】 1. 1V 入力でデジタル出力フルスケールを 0dB と定義。

2. マスタ段数 60 段, DLL 電流 Hi
3. マスタ段数 40 段, DLL 電流 Low
4. マスタ段数 60 段, DLL 電流 Low
5. ( )内は参考値を示します。

● ADCIN 入力モード適用項目

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流(3)	I <sub>DD3</sub>	—	32	38.4	mA	f <sub>CLK</sub> = 36MHz	ADCIN モード LoPwr = "L"
消費電流(4)	I <sub>DD4</sub>	—	22	27.5	mA	f <sub>CLK</sub> = 25MHz	ADCIN モード LoPwr = "H"
タイミング仕様(14)	t <sub>ADC1</sub>	—	(6)	—	ns		表 9 参照
タイミング仕様(15)	t <sub>ADC2</sub>	Typ×0.85	1/2f <sub>ADCLK</sub>	Typ×1.15	ns		
タイミング仕様(16)	t <sub>ADC3</sub>	Typ×0.85	1/2f <sub>ADCLK</sub>	Typ×1.15	ns		
タイミング仕様(17)	t <sub>AHLD4</sub>	—	(14.5)	—	ns	C <sub>L</sub> = 10pF	
タイミング仕様(18)	t <sub>AOD5</sub>	—	(23.5)	—	ns	C <sub>L</sub> = 10pF	
ADC 入力時入力電流	I <sub>IN_CIN</sub>	-110	—	110	μA	V <sub>IN</sub> = 1.0 ~ 2.0V	
ADC 入力時クランプレベル	OF2	—	(512)	—	LSB		
ADC 入力時 PGA ゲイン	GSL(0)	0.45	0.57	0.72	倍		
	GSL(63)	1.36	1.71	2.16	倍		
	GSL(127)	2.27	2.86	3.60	倍		
	GSL(191)	3.18	4.00	5.04	倍		
	GSL(255)	4.08	5.14	6.47	倍		

【注】 ( )内は参考値を示します。

## シリアルデータ仕様

## タイミング仕様

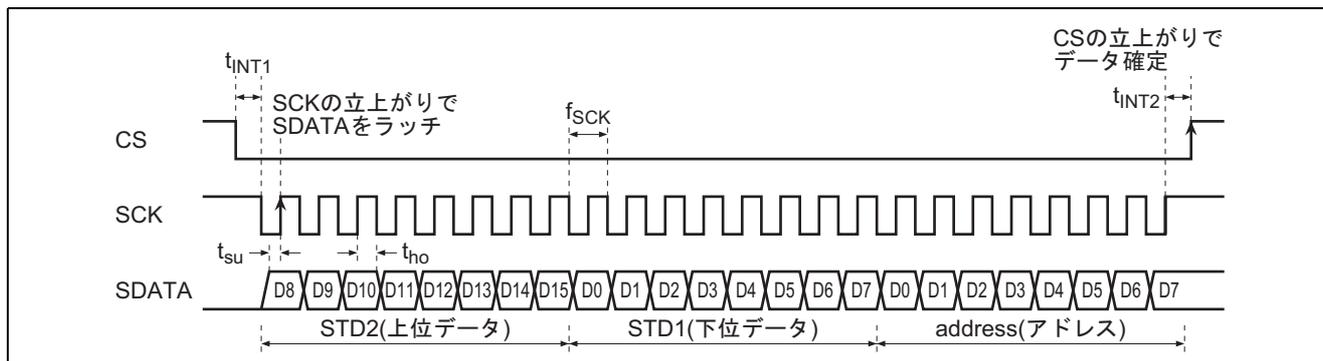


図 8 シリアルデータのタイミング仕様

	Min	Max
$f_{SCK}$	—	5MHz
$t_{INT1,2}$	50ns	—
$t_{SU}$	50ns	—
$t_{HO}$	50ns	—

- 【注】
1. 通信は 3Byte 連続通信です。
  2. SCK は CS が Low 期間中に 24 クロック入れてください。
  3. データ通信を途中で中止した場合は無効になります。
  4. ハードウェアリセットでデータはデフォルトになります。
  5. シリアルデータを転送する場合には SCK の 2 倍以上の周波数を CLK\_in に入力してください。

## データの種類

データアドレスは H'00 ~ H'FF まで 256 種類あります。

H'00	】	タイミングジェネレータ部のデータ
⋮		
H'EF		
H'F0	】	CDS 部のデータ
⋮		
H'FF		

各データのアドレスマップについては別紙を参照してください。  
 タイミングジェネレータ部の詳細については別紙のタイミングチャートも合わせて参照してください。  
 本紙では CDS 部のデータのみを説明します。

### CDS 部のシリアルデータ説明

CDS 部のシリアルデータはアドレス H'F0 ~ H'F8 に割り当てています。これらは以下のような機能があります。

アドレス								STD1[7:0] (L)							STD2[15:8] (H)										
1	1	1	1	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13							
								PGAゲイン							test_I1										

- PGA ゲイン (アドレス H'F0 の D0 ~ D7)

詳細は P5 のブロック図を参照。

CDS\_in モード時:  $-2.36\text{dB} + 0.132\text{dB} \times N$  (Log リニア)

ADC\_in モード時:  $0.57 \text{ 倍} + 0.01784 \text{ 倍} \times N$  (倍リニア)

1V 入力でデジタル出力フルスケールを 0dB と定義しています。

PGA ゲインは上記の定義としていますが、これは CDS\_in に 1V の信号を入力し、2.36dB に相当する  $N = 18$  を設定した時に PGA はフルレンジの 2V を出力し、ADC もフルレンジの 1023 になります。つまり、PGA のオフセットゲインは  $6\text{dB} - 2.36\text{dB} = 3.64\text{dB}$  持っており、これに何 dB 加算するかを決定してください。

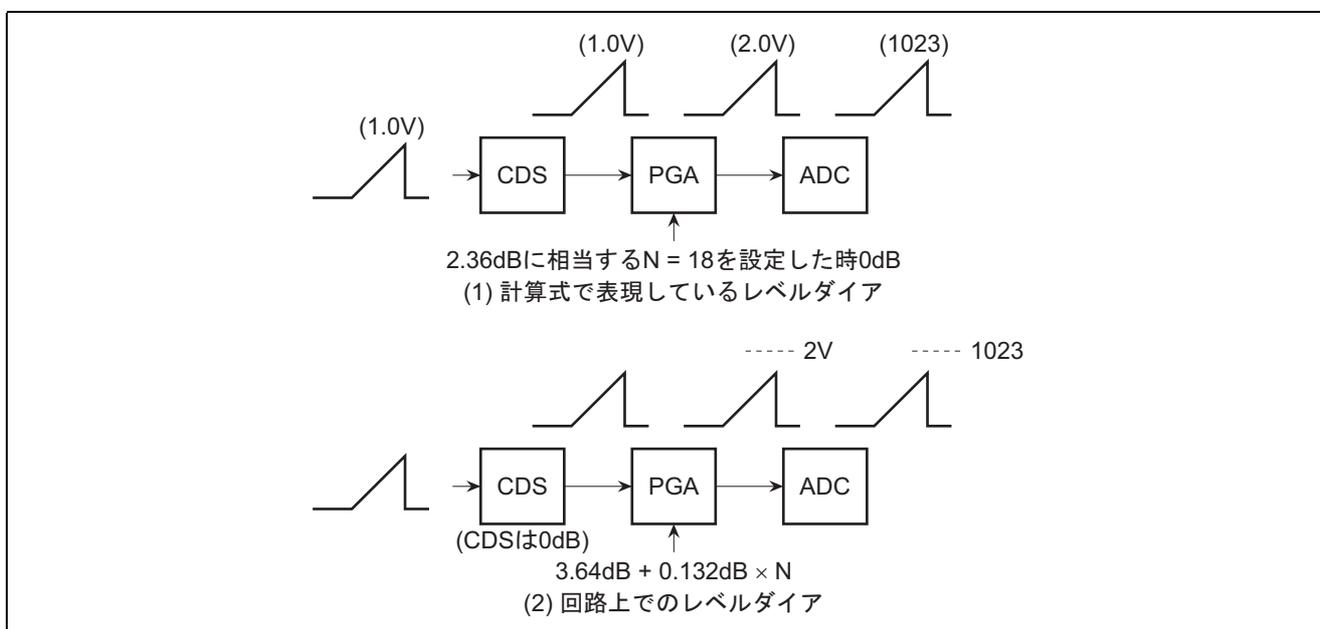


図9 PGA のレベルダイア

- Test\_I1 (アドレス H'F0 の D13 ~ D15)  
CDS, PGA のアナログアンプ系の基準電流を制御します。通常はデータ = 4 (D15 = 1) で使用してください。  
データ = 0 の時、デフォルトに対して 50% の電流値  
データ = 4 の時、デフォルト  
データ = 7 の時、デフォルトに対して 150% の電流値

アドレス								STD1[7:0] (L)							STD2[15:8] (H)									
1	1	1	1	0	0	0	1				D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
											test_I2					test_I2			SHSW_fsel				SHA_fsel	
											test_I2					test_I2			SHSW_fsel				SHA_fsel	

- SLP と STBY (アドレス H'F1 の D0, D1)

SLP: 全ての回路を停止します。消費電流は CDS 部で  $10\mu\text{A}$  以下。

復帰させる時は、オフセットキャリブレーションから再度立ち上げてください。

STBY: 基準電圧発生回路のみ動作。消費電流は CDS 部で約  $3\text{mA}$  程度。

復帰までにフィードバッククランプが安定する時間として 50H 程度を見込んでください。

- 出力モード (アドレス H'F1 の D2 ~ D4 およびアドレス H'F4 の D6)  
テストモードです。詳細は表 3 ~ 5 のような組み合わせです。通常はオール 0 設定してください。
- SHA-fsel (アドレス H'F1 の D8 ~ D9)  
SH アンプの LPF 切替えです。周波数特性は P8 を参照してください。目安として使用周波数に対して 2 倍のカットオフ周波数ポイントに設定してください。
- SHSW-fsel (アドレス H'F1 の D10 ~ D13)  
SH アンプの黒レベルをサンプリングする時定数です。周波数特性は P8 を参照してください。目安として使用周波数に対して 2 倍のカットオフ周波数ポイントに設定してください。なお、このデータで S/N が変化しますので、データを up/down して適切なポイントを見つけてください。
- Test\_I2 (アドレス H'F1 の D14 ~ D15)  
ADC のアナログ部の電流を細かく設定できます。通常はデータ = 0 で使用してください。  
0 : デフォルト (100%)  
1 : 150%  
2 : 50%  
3 : 80%

アドレス								STD1[7:0] (L)							STD2[15:8] (H)								
1	1	1	1	0	0	1	0				D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8
								クランプレベル							↑	↑	↑	↑	HGain-Nsel				↑
															Reset	AD_sel	CDS_buff	Low_pwr					HGstop-Hsel

- Clamp (アドレス H'F2 の D0 ~ D4)  
OB 部のレベルを ADC 出力のデジタルコードでいくつに設定するかを決めます。  
Clamp レベル = 設定データ × 2 + 14  
デフォルトはデータ = 9 で 32LSB です。
  - HGstop-Hsel, HGain-Nsel (アドレス H'F2 の D8 ~ D11)  
OB クランプの引き込み速度を決定します。詳細は P7 を参照してください。高速引き込みモードにするためには PGA ゲインが変化することが必要です。前フィールド(フレーム)に対して +1 あるいは -1 したゲインを転送することで、高速引き込みモードになります。
  - Low\_PWR (アドレス H'F2 の D12)  
回路電流と周波数特性を切り替えます。  
データ = 0 : 36MHz 保証  
データ = 1 : 25MHz 保証
  - ADSEL (アドレス H'F2 の D14)  
データ = 0 : CDS\_in を選択  
データ = 1 : ADC\_in を選択
  - Reset (アドレス H'F2 の D15)  
ソフトウェアリセットを行います。  
データ = 1 : 通常  
データ = 0 : リセット
- このビットを使って、電源立ち上げ時に一度だけオフセットキャリブレーションを実行してください。詳細は P23 を参照。

アドレス								STD1[7:0] (L)							STD2[15:8] (H)								
1	1	1	1	0	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8

- アドレス H'F3 は全てテストデータです。  
通常オール 0 を設定するか、またはデータ転送しないでください。

アドレス								STD1[7:0] (L)							STD2[15:8] (H)							
1	1	1	1	0	1	0	0	D7	D6	D5	D4	D3	D2	D1	D0			D12	D11	D10	D9	D8
								↑	H12_Buff				MON			Gray_test			Grayコード			
								VDラッチ														



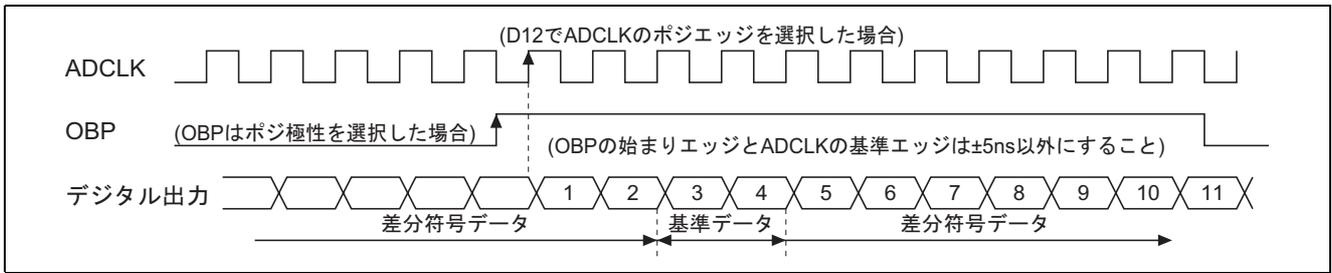


図 11 差分符号タイミング仕様

差分符号を使用する場合には、DSP 側に複合化回路が必要になります。図 12 に複合化回路を示します。

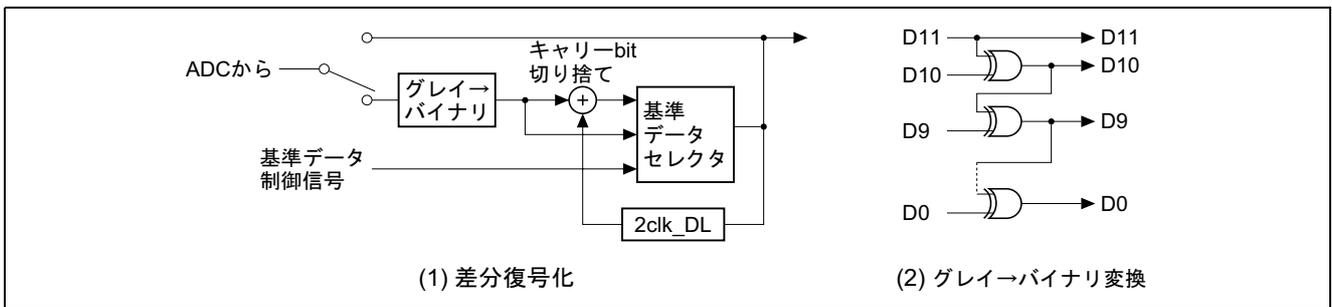


図 12 複合化回路例

アドレス								STD1[7:0] (L)				STD2[15:8] (H)											
1	1	1	1	0	1	0	1	D7	D6	D5	D4	D3	D2	D1	D0				D12	D11	D10	D9	D8
								P_RG		P_ADCLK		P_SP2		P_SP1									
													DLL 電流		DLL 段数								

アドレス								STD1[7:0] (L)				STD2[15:8] (H)										
1	1	1	1	1	0	0	0	D6	D5	D4		D2	D1	D0	D15	D14	D13	D12		D10	D9	D8
								P_SP2		P_SP1		2,3分周 選択		P_RG		P_ADCLK						

- アドレス H'F5 は DLL 遅延時間設定と 1/4 位相選択です。詳細は次ページを参照してください。なお、アドレス H'F8 の D15 で、2 分周/3 分周モードの選択切り替えができ、本アドレスデータも連動して有効/無効になりますので、注意してください。

	アドレス H'F8 の D15 = 0	アドレス H'F8 の D15 = 1
分周モード	2 分周, 1/4 位相選択	3 分周, 1/6 位相選択
アドレス H'F5 の D0 ~ D7	有効	無効
アドレス H'F8 の D0 ~ D14	無効	有効

- 高速パルスの位相設定 (アドレス H'F5 ~ H'F8)
  - (1) 2 分周モード選択時(アドレス H'F8 の D15 = 0)は図 13 の中から 1/4 位相を、  
3 分周モード選択時(アドレス H'F8 の D15 = 1)は図 14 中から 1/6 位相を選択してください。  
.....P\_SP1, P\_SP2, P\_ADCLK, P\_RG
  - (2) 次に図 15 の中から必要な遅延時間を設定してください。  
.....DL\_SP1, DL\_SP2, DL\_RG, DL\_ADCLK  
なお、RG については立上り/立下りの両エッジを任意に設定できます。

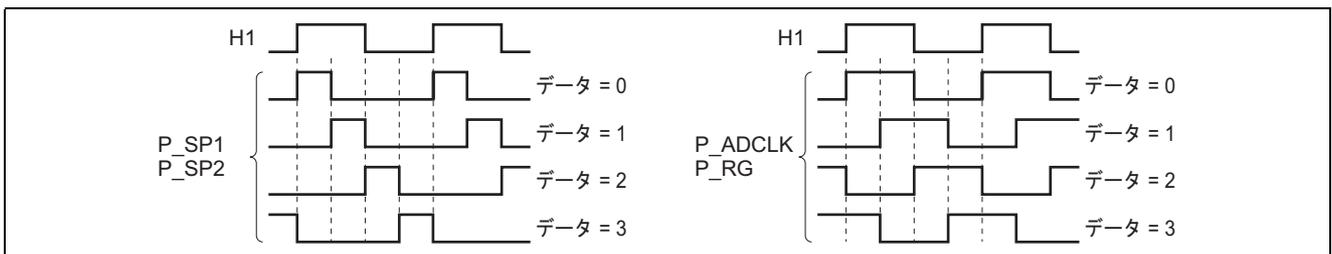


図 13 2 分周モード, 1/4 位相選択 (アドレス H'F8 の D15 = 0 の時有効)

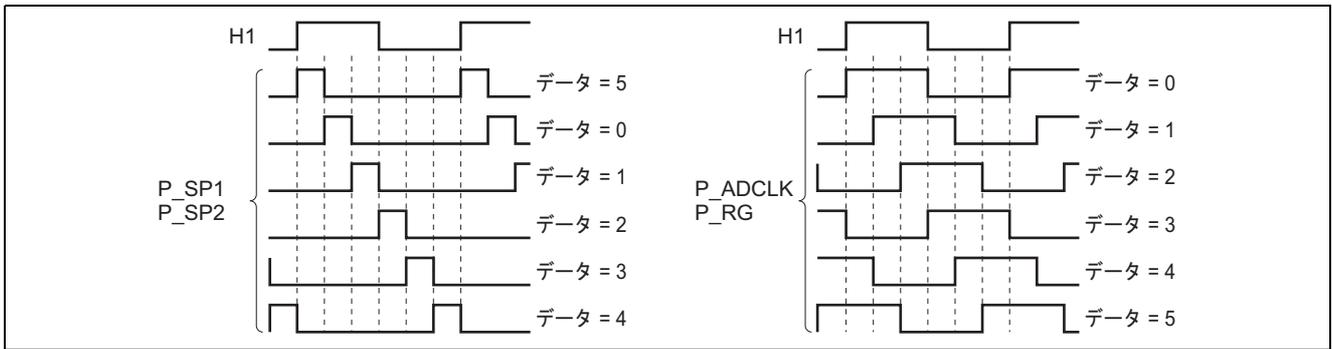


図 14 3分周モード, 1/6 位相選択 (アドレス H'F8 の D15 = 1 の時有効)  
各位相のデフォルト値

	P_SP1	P_SP2	P_ADCLK	P_RG
2分周モード	1	2	1	0
3分周モード	0	3	1	5

【注】 RG は Duty = 50%パルスから tr, tf を DLL で作成する。

アドレス								STD1[7:0] (L)								STD2[15:8] (H)								
1	1	1	1	0	1	1	0	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8
								DL_SP2				DL_SP1				CDS_test DL_ADCLK								

アドレス								STD1[7:0] (L)								STD2[15:8] (H)								
1	1	1	1	0	1	1	1	D7	D6	D5	D4	D3	D2	D1	D0					D12	D11	D10	D9	D8
								DL_RG_f				DL_RG_r				ダミー クランプth				ダミー クランプ電流				

(3) DLL の設定方法

① DLL段数は、センサCLKの1サイクルを何段に刻むかを決定します。目安として1段あたり1ns(DLL\_電流bit = 0の時は2ns, 1の時は1ns)刻みとして設定してください。  
16~64段まで4段ステップで設定できます。  
段数 = 4 + (4 × N) ; Nは3~15まで設定可。  
推奨段数はclk\_in = 11~14MHz時 : H'0E(60段)  
14~22MHz時 : H'09(40段)  
22~50MHz時 : H'1E(60段)  
50~72MHz時 : H'19(40段)

② 各4種類のパルスは0~15段まで1段ステップ(1nsまたは2ns刻み)で可変。

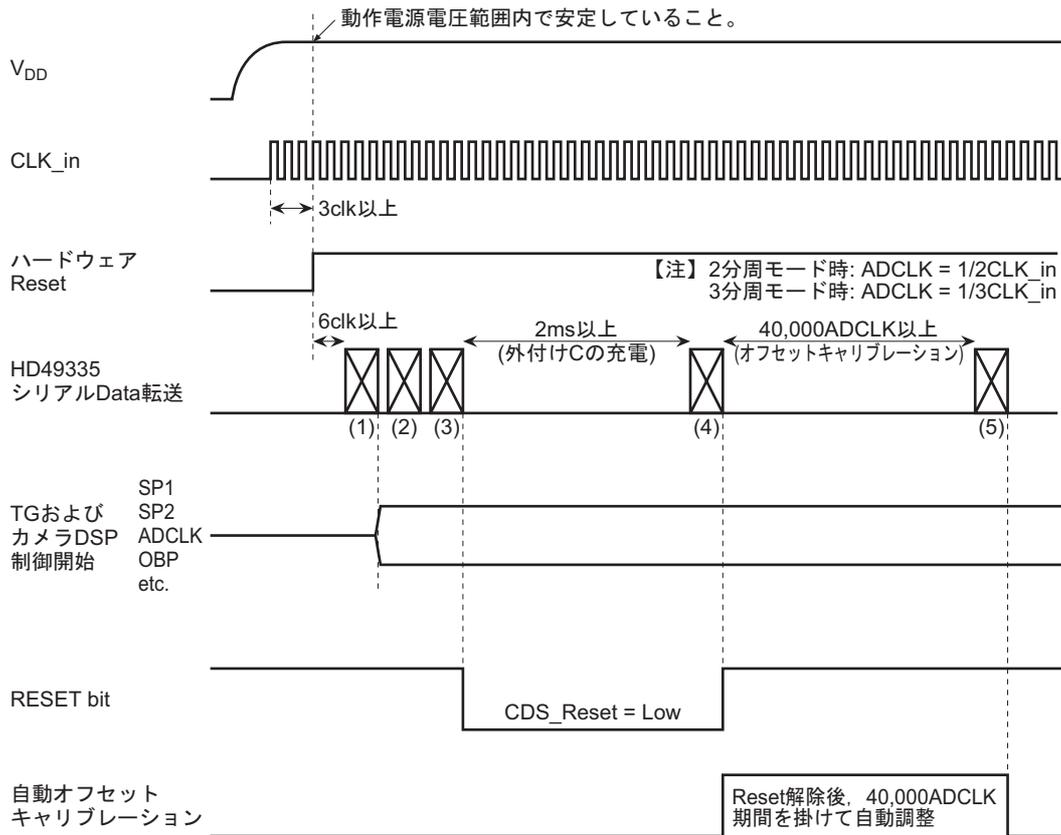
③ センサCLKが15MHz以下の場合には2ns刻みを選択してください。

※数値はデフォルト

図 15 アナログ遅延(DLL)回路ブロック

- CDS\_test (アドレス H'F6 の D12)  
テストデータです。通常 0 設定してください。
- ダミークランプ電流 (アドレス H'F7 の D9 ~ 8)  
データ = 0 の時, 1/4                    1 の時, 1/8  
                  2 の時, 1/16                3 の時, 1/32  
詳細は, P12 参照。
- ダミークランプスレッシュヨルド (アドレス H'F7 の D12 ~ 10)  
データ = 0 の時, off                    1 の時, +32  
                  2 の時, +64                    3 の時, +96  
                  4 の時, +128                    5 の時, +160  
                  6 の時, +192                    7 の時, +224  
詳細は, P12 参照。

電源投入時の動作シーケンス



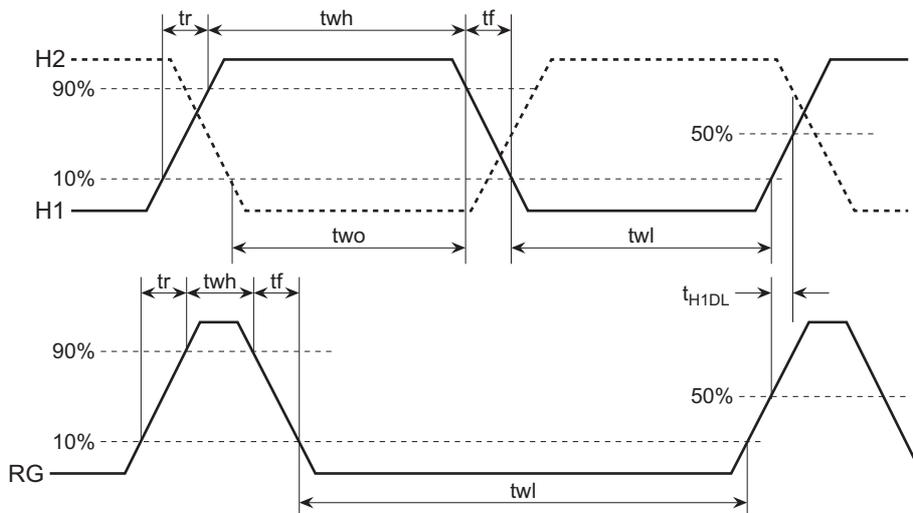
上記シリアルData転送の内容を下記に示します。レジスタ設定の詳細はシリアルデータ機能一覧表を参照してください。

- (1) TG部レジスタの転送 : ハードウェアResetが解除されてから6clk以上時間を持って、TG部に必要なデータを転送。
- (2) CDS部DLLデータ転送 : CDS部のRG, SP1, SP2, ADCLKの位相データを転送。
- (3) CDS部のReset = L : アドレスH'F2のResetビット= 0を転送。
- (4) CDS部のReset = H : アドレスH'F2のResetビット= 1を転送。(Reset解除)
- (5) CDS部の他のデータ : その他PGAゲインやSH\_SW\_fselなどを転送。

※Resetビット= 0を転送する前にTG系のパルスを確認する必要があるため、TG部のアドレスH'00~H'EFとCDS部のH'F4~H'F7はあらかじめ転送しておくこと。

高速パルスのタイミング仕様

• H1, H2, RG波形



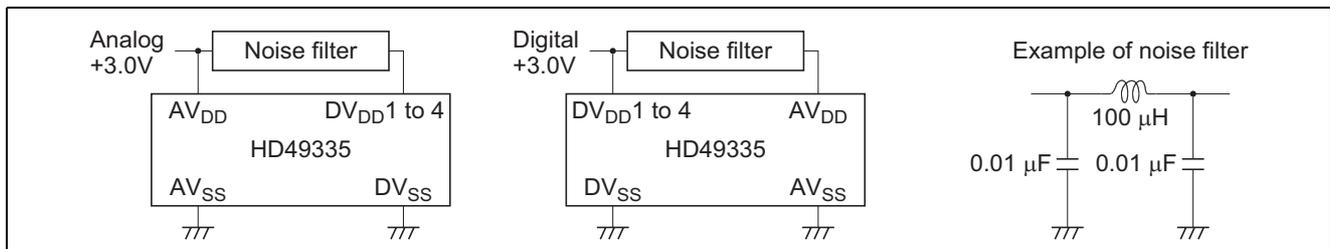
項目	twh			twl			tr			tf			単位	負荷容量
	min	typ	max											
H1/H2	14	20	—	14	20	—	—	8.0	14	—	8.0	14	ns	165pF
RG	7	10	—	—	37	—	—	4.0	—	—	4.0	—	ns	15pF
XV1~4	—	—	—	—	—	—	—	20	—	—	20	—	ns	15pF
CH1~4	—	—	—	—	—	—	—	20	—	—	20	—	ns	15pF
XSUB/SUB_SW	—	—	—	—	—	—	—	20	—	—	20	—	ns	15pF

項目	two			単位
	min	typ	max	
H1/H2オーバーラップ	12	20	—	ns

※H1, H2, RGの電源仕様は3.0V~3.3V。  
数値はセンサCLK = 18MHzの時。

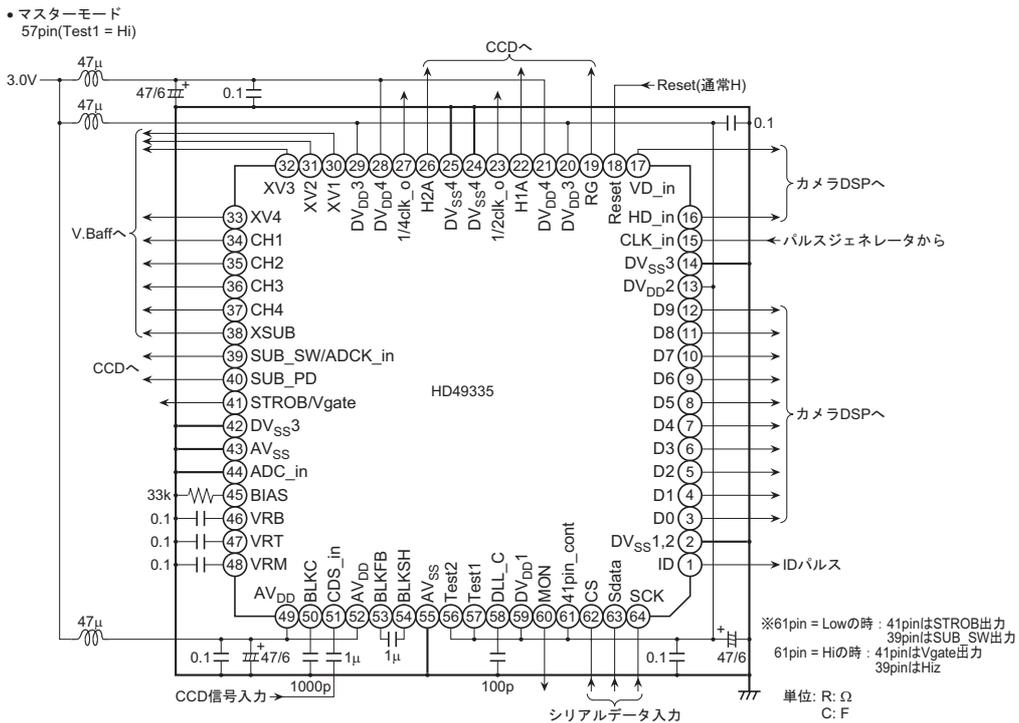
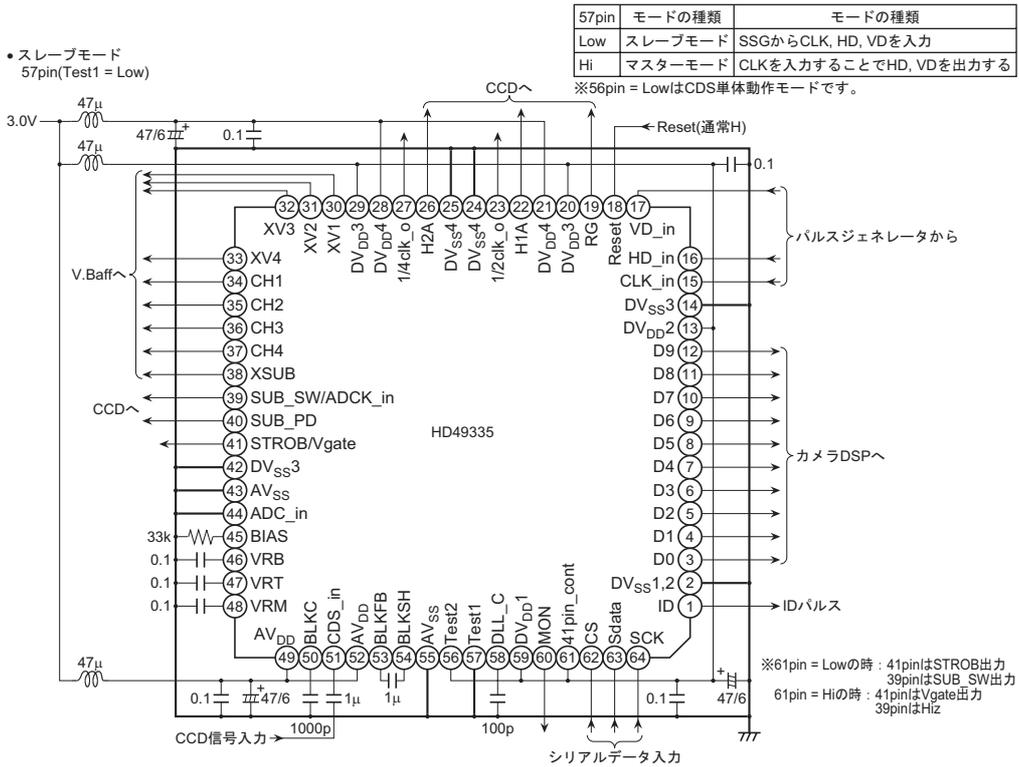
## 使用上の注意事項

1. 静電破壊に対しては、十分に注意して取り扱うようにしてください。
2. 本 IC は、民生用に開発されたものです。民生用以外には使用しないでください。
3. 本 IC は、電源ラインのノイズに敏感です。グラウンドのインピーダンスをできる限り小さくしてください。また、ラッチアップ防止対策として、グラウンドと電源との間に、 $0.1\mu\text{F}$  以上のセラミックコンデンサと  $10\mu\text{F}$  以上の電解コンデンサを挿入してください。
4.  $\text{AV}_{\text{DD}}$ ,  $\text{DV}_{\text{DD}1\sim4}$  は、本 IC の外部で共通に接続してください。ノイズフィルタにより  $\text{AV}_{\text{DD}}$ ,  $\text{DV}_{\text{DD}1\sim4}$  を分離する時は、電源投入時の電位差を  $0.3\text{V}$  以下にし、動作時の電位差を  $0.1\text{V}$  以下にしてください。
5. ノイズフィルタが必要な場合は、下図のように、フィルタを通した後に共通にしてください。

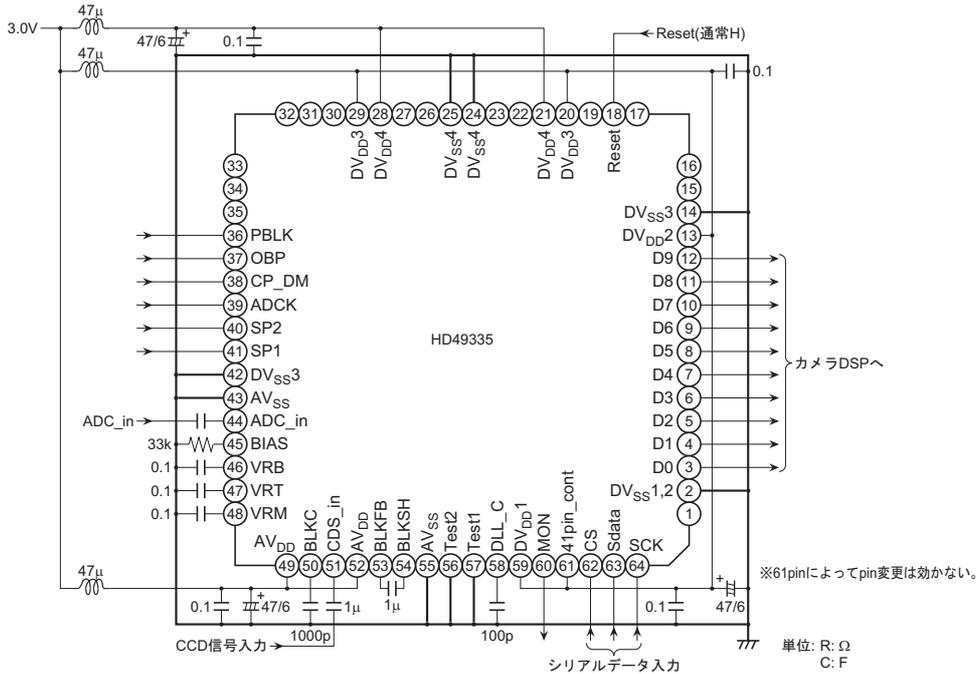


6.  $\text{AV}_{\text{SS}}$  と  $\text{DV}_{\text{SS}}$  は、IC 外部で接続して、共通のグラウンドにしてください。セットのグラウンドがアナログ系とデジタル系に分かれている時は、アナログ系のグラウンドに接続してください。
7. データシート上で、 $V_{\text{DD}}$  と規定している場合は、 $\text{AV}_{\text{DD}}$ ,  $\text{DV}_{\text{DD}1\sim4}$  を指しています。
8. パッケージ熱特性の低熱抵抗化のため、Cu 系のリード素材を使用しており、Fe 系リード材と比較した場合には、折り曲げに関して弱くなっております。取扱いには十分ご注意願います。
9. はんだ実装法は、赤外リフローをお願いします。はんだディップ等の全体加熱法は対応できませんので、ご注意願います。
10. 実装状態によっては、画質(横引きノイズ、波紋等)が SPBLK, SPSIG, ADCLK 信号のタイミング依存性を受けます。十分に実装状態で確認の上、ご使用願います。
11. 有効映像期間中にシリアル通信を行なうと、画質を劣化させます。有効映像期間中のシリアル通信は行わないでください。また、本 IC に使用する SCK, SDATA は専用ポートでのご使用を推奨します。もし、他の IC と共通ポートでのご使用の場合は、画質を十分に確認の上、ご使用願います。
12. 電源投入時は、電源投入時の動作シーケンス(P23 参照)に従って、CDS/PGA/ADC 等から発生するオフセット電圧の自動調整を必ず実施してください。
13. アナログ部の電圧を生成する DC/DC コンバータのリプルノイズは、電源電圧に対し  $-50\text{dB}$  以下にしてください。

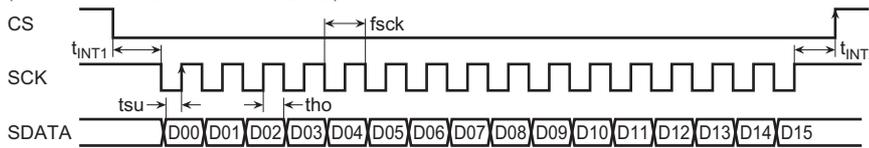
参考 外付け回路例



● CDS単体動作モード  
56pin(Test2 = Low) ※このモードでは57pinはDon't care



CDS単体動作モード時のシリアルデータは以下のレジスタ仕様になります。  
(ラッチタイミング仕様は通常モードと同じ)

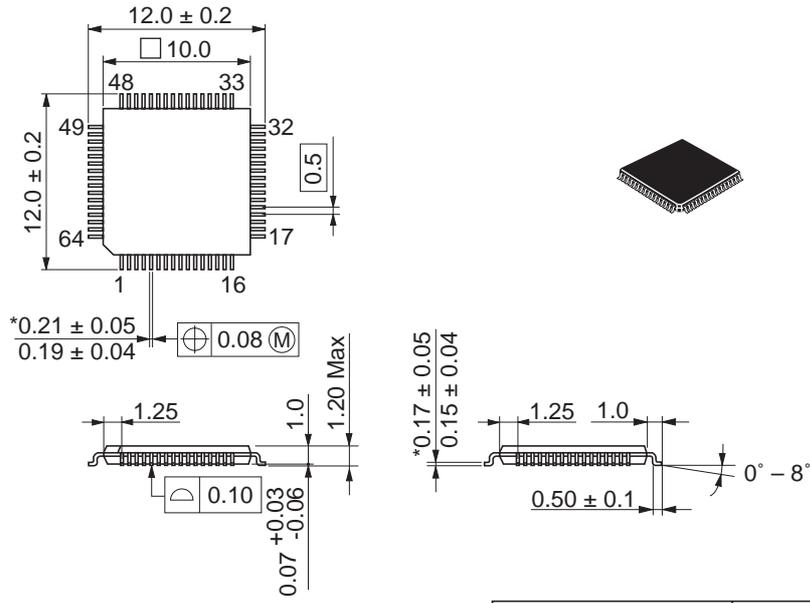


	レジスタ0	レジスタ1	レジスタ2	レジスタ3	レジスタ4	レジスタ5	レジスタ6	レジスタ7
D00	Lo 0	Hi 1	Lo 0	Hi 1	Lo 0	Hi 1	Lo 0	Hi 1
D01	Lo 0	Lo 0	Hi 1	Hi 1	Lo 0	Lo 0	Hi 1	Hi 1
D02	Lo 0	Lo 0	Lo 0	Lo 0	Hi 1	Hi 1	Hi 1	Hi 1
D03	x 0	SLP Lo:通常 Hi:スリープ	Clamp(0)	1	MON(0)	P_SP1(0)	DL_SP1(0)	DL_RG_r(0)
D04	x 0	STBY Lo:通常 Hi:スタンバイ	Clamp(1)	0	MON(1)	P_SP1(1)	DL_SP1(1)	DL_RG_r(1)
D05	PGA(0) LSB	出力モード'(LINV)	Clamp(2)	0	MON(2)	P_SP2(0)	DL_SP1(2)	DL_RG_r(2)
D06	PGA(1)	出力モード'(MINV)	Clamp(3)	1	H12Baff(0)	P_SP2(1)	DL_SP1(3)	DL_RG_r(3)
D07	PGA(2)	出力モード'(Test0)	Clamp(4)	0	H12Baff(1)	P_ADCLK(0)	DL_SP2(0)	DL_RG_f(0)
D08	PGA(3)	SHA-fsel(0)	HGstop-Hsel(0)	0	H12Baff(2)	P_ADCLK(1)	DL_SP2(1)	DL_RG_f(1)
D09	PGA(4)	SHA-fsel(1)	HGstop-Hsel(1)	0	H12Baff(3)	1 P_RG(0)	DL_SP2(2)	DL_RG_f(2)
D10	PGA(5)	SHSW-fsel(0)	HGain-Nsel(0)	0	VDラッチ ↑	P_RG(1)	DL_SP2(3)	DL_RG_f(3)
D11	PGA(6)	SHSW-fsel(1)	HGain-Nsel(1)	0	Gray1	DLL_CK(0)	DL_ADCLK(0)	DMCG(0)
D12	PGA(7) MSB	SHSW-fsel(2)	LoPwr Lo:7% Hi:0-1%	1	Gray2	DLL_CK(1)	DL_ADCLK(1)	DMCG(1)
D13	Test_I1 (0)	SHSW-fsel(3)	x	0	Gray_Is(0)	DLL_CK(2)	DL_ADCLK(2)	ダミー-CP(0)
D14	Test_I1 (1)	Test_I2 (0)	ADSEL Lo:CDSin Hi:ADin	0	Gray_Is(1)	DLL_CK(3)	DL_ADCLK(3)	ダミー-CP(1)
D15	Test_I1 (2)	Test_I2 (1)	Reset Lo:ソフト Hi:通常	1	Gray_Is(2)	DLL_電流	CDS_test	ダミー-CP(2)

外形寸法図

As of January, 2003

Unit: mm



\*Dimension including the plating thickness  
Base material dimension

Package Code	TFP-64C
JEDEC	—
JEITA	Conforms
Mass (reference value)	0.4 g

株式会社ルネサステクノロジー 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサステクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサステクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサステクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサステクノロジー半導体製品のご購入に当たっては、事前にルネサステクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサステクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサステクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサステクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサステクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサステクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサステクノロジー、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	営	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	部	営	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	国	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	山	支	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：カスタマサポートセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)