

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

HD404374/HD404384/HD404389/ HD404082/HD404084 シリーズ

A/D コンバータ内蔵、低電圧動作 AS マイコン

RJJ03B0049-0500H

Rev.5.00

2003.09.11

概要

HD404374 シリーズ、HD404384 シリーズ、HD404389 シリーズは、10 ビット A/D コンバータ、シリアル インタフェース、および大電流入出力端子を持っており、バッテリーチャージャーなど高分解能の A/D 変換制御が必要なアプリケーションに適した低電圧動作 4 ビットシングルチップマイコンです。

HD404082/HD404084 シリーズは、HD404384 シリーズの下位品種であり、ソフトウェアの下位互換が可能な低電圧動作 4 ビットシングルチップマイコンです。

HD404374 シリーズは、時計用 32.768kHz サブ発振子を付けることにより、時計のカウントアップが行え、豊富な低消費電力モードにより、消費電流の低減が図れます。

HD407A4374、HD407A4384、HD407A4389、HD407C4374、HD407C4384、HD407C4389 は PROM を内蔵した ZTAT[®]マイコンです。システムの開発期間を飛躍的に短縮し、デバッグから量産までをスムーズに立ち上げることができます (PROM のプログラム仕様は 27256 タイプと同様です)。

特長

- 入出力端子 20 本
 - 大電流入出力端子 (ソース 10mA max) 4 本
 - 大電流入出力端子 (シンク 15mA max) 4 本
 - アナログ入力兼用端子 4 本 (HD404374/HD404384/HD404389 シリーズ)
- タイマ/カウンタ 16 ビットタイマ 1 本 (8 ビットタイマ 2 本としても使用可能)
8 ビットタイマ 1 本
- タイマ出力 2 本 (PWM 出力可能)
- イベント入力 1 本 (エッジプログラマブル)
- 8 ビットクロック同期式シリアルインタフェース 1 本

ZTAT[®] : Zero Turn Around Time ZTAT[®]は (株) ルネサステクノロジの登録商標です。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

- A/D コンバータ 10 ビット×4 チャンネル (HD404374/HD404384 シリーズ)
 10 ビット×6 チャンネル (HD404389 シリーズ)
 なし (HD404082/HD404084 シリーズ)
- 発振器内蔵
HD404374 シリーズ
 メインクロック (セラミック発振子、水晶発振子、CR 発振、または外部クロック動作可能)
 サブクロック (32.768kHz 水晶発振子)
HD404384/HD404389/HD404082/HD404084 シリーズ
 メインクロック (セラミック発振子、水晶発振子、CR 発振、または外部クロック動作可能)
- 割り込み
 外部 2 本
 内部 5 本 (HD404374/HD404384/HD404389 シリーズ)
 4 本 (HD404082/HD404084 シリーズ)
- サブルーチンスタック 割り込み含め最大 16 レベル
- 低消費電力モード
HD404374 シリーズ 4
HD404384/HD404389/HD404082/HD404084 シリーズ 2
- モジュールスタンバイ (タイマ、シリアル、A/D コンバータ)
- システムクロック分周ソフトウェア切り替え (1/4 または 1/32)
- ストップモードからの復帰入力 1 本
- 命令実行時間
 最小 0.89 μ s ($f_{osc}=4.5\text{MHz}$ 、1/4 分周)
 最小 0.47 μ s ($f_{osc}=8.5\text{MHz}$ 、1/4 分周)
- 動作電圧
 Vcc = 1.8V~5.5V
 Vcc = 2.0V~5.5V (ZTAT[®])

【使用上の注意】

- (1) マスク ROM 版および ZTAT[®]版は、データシートに記載しております電気的特性の基準値を十分満足することを確認しております。しかし、製造プロセスの違い、内部の配線パターン等の違いにより、特性上の実力値や動作マージン、ノイズマージン等は異なります。つきましては、いずれの製品におかれましても同等の実機システム評価試験を行い、動作のご確認をお願いいたします。
- (2) 電源投入後、メモリレジスタ、データエリア、スタックエリアの値は不定です。初期化の上ご使用ください。

製品ラインアップ

HD404374 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ	
マスク ROM	HD404372	HD404372FT	2,048	512	30 ピンプラスチック SSOP (FP-30D)	
		HD404372H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD40A4372	HD40A4372FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40A4372H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD40C4372	HD40C4372FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40C4372H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD404374	HD404374FT			4,096	30 ピンプラスチック SSOP (FP-30D)
		HD404374H				48 ピンプラスチック LQFP(FP-48B) *1
	HCD404374	HCD404374				チップ*2
	HD40A4374	HD40A4374FT				30 ピンプラスチック SSOP (FP-30D)
		HD40A4374H				48 ピンプラスチック LQFP(FP-48B) *1
	HD40C4374	HD40C4374FT				30 ピンプラスチック SSOP (FP-30D)
		HD40C4374H				48 ピンプラスチック LQFP(FP-48B) *1
	HCD40C4374	HCD40C4374				チップ*2
ZTAT®	HD407A4374	HD407A4374FT	4,096	30 ピンプラスチック SSOP (FP-30D)		
	HD40C4374	HD407C4374FT		30 ピンプラスチック SSOP (FP-30D)		

HD404384 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ	
マスク ROM	HD404382	HD404382FT	2,048	512	30 ピンプラスチック SSOP (FP-30D)	
		HD404382S			28 ピンプラスチック DILP (DP-28S)	
		HD404382H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD40A4382	HD40A4382FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40A4382S			28 ピンプラスチック DILP (DP-28S)	
		HD40A4382H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD40C4382	HD40C4382FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40C4382S			28 ピンプラスチック DILP (DP-28S)	
		HD40C4382H			48 ピンプラスチック LQFP(FP-48B) *1	
	HD404384	HD404384FT			4,096	30 ピンプラスチック SSOP (FP-30D)
		HD404384S				28 ピンプラスチック DILP (DP-28S)
		HD404384H				48 ピンプラスチック LQFP(FP-48B) *1
	HCD404384	HCD404384				チップ*2
	HD40A4384	HD40A4384FT				30 ピンプラスチック SSOP (FP-30D)
		HD40A4384S				28 ピンプラスチック DILP (DP-28S)
		HD40A4384H				48 ピンプラスチック LQFP(FP-48B) *1
	HD40C4384	HD40C4384FT				30 ピンプラスチック SSOP (FP-30D)
		HD40C4384S				28 ピンプラスチック DILP (DP-28S)
HD40C4384H		48 ピンプラスチック LQFP(FP-48B) *1				
HCD40C4384	HCD40C4384	チップ*2				

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
ZTAT®	HD407A4384	HD407A4384FT	4,096	512	30 ピンプラスチック SSOP (FP-30D)
		HD407A4384S			28 ピンプラスチック DILP (DP-28S)
	HD407C4384	HD407C4384FT			30 ピンプラスチック SSOP (FP-30D)
		HD407C4384S			28 ピンプラスチック DILP (DP-28S)

HD404389 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404388	HD404388FT	8,192	512	30 ピンプラスチック SSOP(FP-30D)
	HD40A4388	HD40A4388FT			30 ピンプラスチック SSOP(FP-30D)
	HD40C4388	HD40C4388FT			30 ピンプラスチック SSOP(FP-30D)
	HD404389	HD404389FT	16,384		30 ピンプラスチック SSOP(FP-30D)
	HD40A4389	HD40A4389FT			30 ピンプラスチック SSOP(FP-30D)
	HD40C4389	HD40C4389FT			30 ピンプラスチック SSOP(FP-30D)
ZTAT®	HD407A4389	HD407A4389FT	16,384		30 ピンプラスチック SSOP(FP-30D)
	HD407C4389	HD407C4389FT			30 ピンプラスチック SSOP(FP-30D)

HD404082 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ	
マスク ROM	HD404081	HD404081FT	1,024	128	30 ピンプラスチック SSOP (FP-30D)	
		HD404081S			28 ピンプラスチック DILP (DP-28S)	
		HD404081H			48 ピンプラスチック LQFP (FP-48B) *2	
	HD40A4081	HD40A4081FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40A4081S			28 ピンプラスチック DILP (DP-28S)	
		HD40A4081H			48 ピンプラスチック LQFP (FP-48B) *2	
	HD40C4081	HD40C4081FT			30 ピンプラスチック SSOP (FP-30D)	
		HD40C4081S			28 ピンプラスチック DILP (DP-28S)	
		HD40C4081H			48 ピンプラスチック LQFP (FP-48B) *2	
	HD404082	HD404082FT			2,048	30 ピンプラスチック SSOP (FP-30D)
		HD404082S				28 ピンプラスチック DILP (DP-28S)
		HD404082H				48 ピンプラスチック LQFP (FP-48B) *2
	HCD404082	HCD404082	チップ *4			
	HD40A4082	HD40A4082FT	30 ピンプラスチック SSOP (FP-30D)			
		HD40A4082S	28 ピンプラスチック DILP (DP-28S)			
		HD40A4082H	48 ピンプラスチック LQFP (FP-48B) *2			
	HD40C4082	HD40C4082FT	30 ピンプラスチック SSOP (FP-30D)			
		HD40C4082S	28 ピンプラスチック DILP (DP-28S)			
		HD40C4082H	48 ピンプラスチック LQFP (FP-48B) *2			
	HCD40C4082	HCD40C4082			チップ *4	
ZTAT®	HD404384 シリーズの ZTAT®を使用 *3					

HD404084 シリーズ

区分	製品名	型名	ROM (ワード)	RAM (ディジット)	パッケージ
マスク ROM	HD404084	HD404084FT	4,096	256	30 ピンプラスチック SSOP (FP-30D)
		HD404084S			28 ピンプラスチック DILP (DP-28S)
	HCD404084	HCD404084			チップ *4
	HD40A4084	HD40A4084FT			30 ピンプラスチック SSOP (FP-30D)
		HD40A4084S			28 ピンプラスチック DILP (DP-28S)
	HD40C4084	HD40C4084FT			30 ピンプラスチック SSOP (FD-30D)
		HD40C4084S			28 ピンプラスチック DILP (DP-28S)
	HCD40C4084	HCD40C4084			チップ *4
ZTAT®	HD404384 シリーズの ZTAT®を使用 *3				

【注】 *1 FP-48B は、下記の制約があります。

(1) マスク ROM 版のみの展開。デバック等は他のパッケージの ZTAT®での対応となります。

(2) WS は、量産先頭での対応となります。

*2 計画中

*3 ZTAT®でのチップ出荷は対応していません。

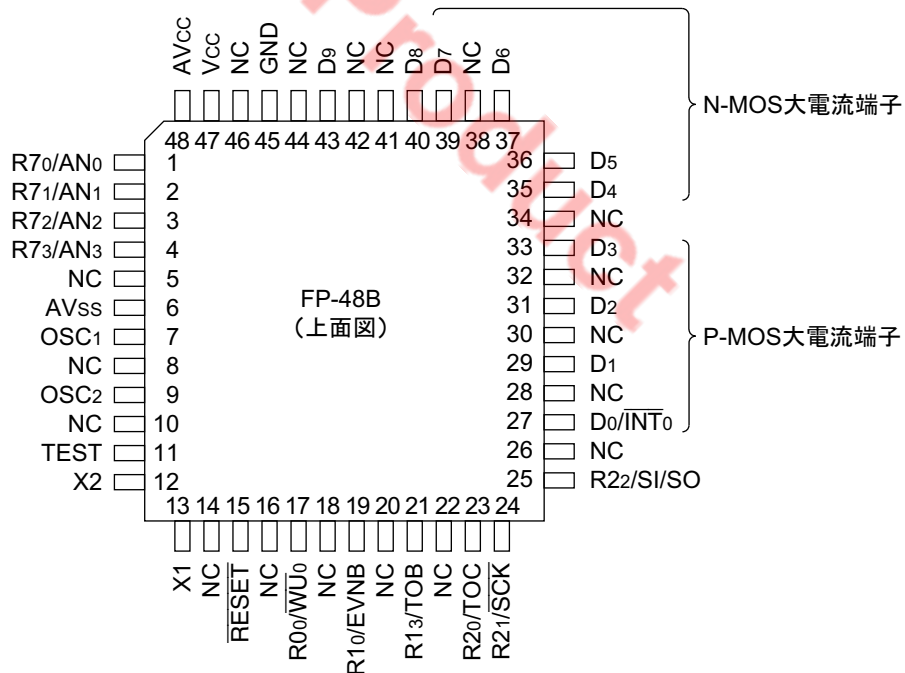
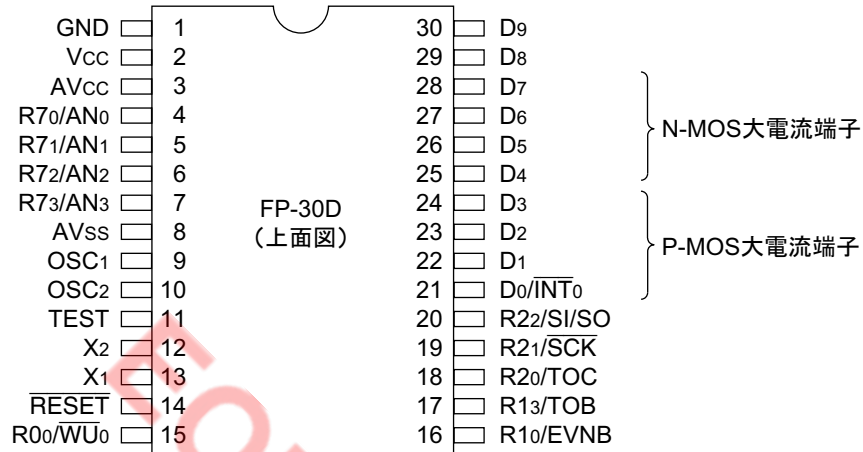
*4 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので必ず、弊社営業担当にご確認ください。

機能一覧

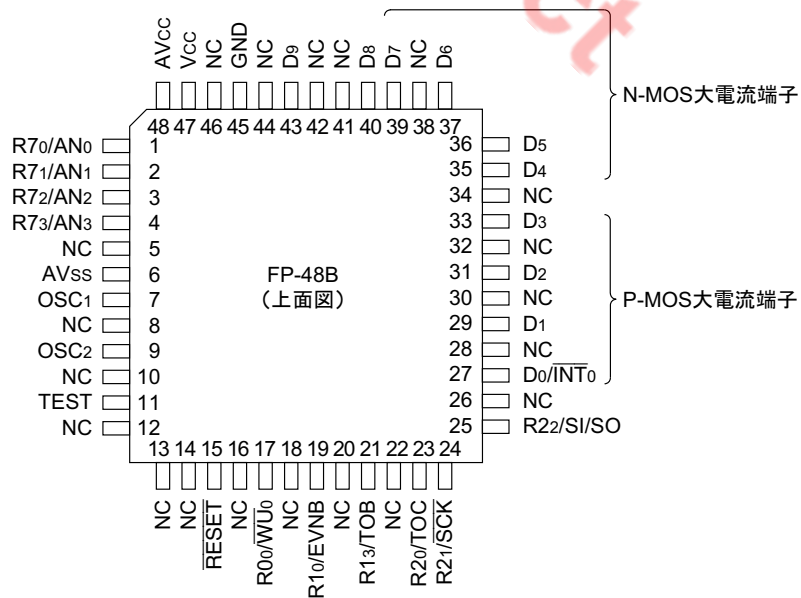
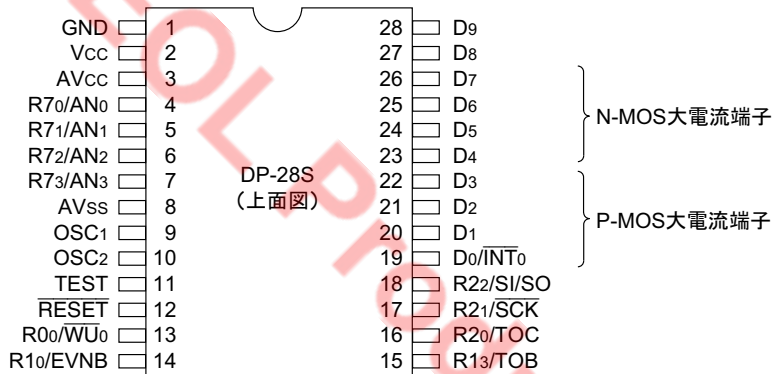
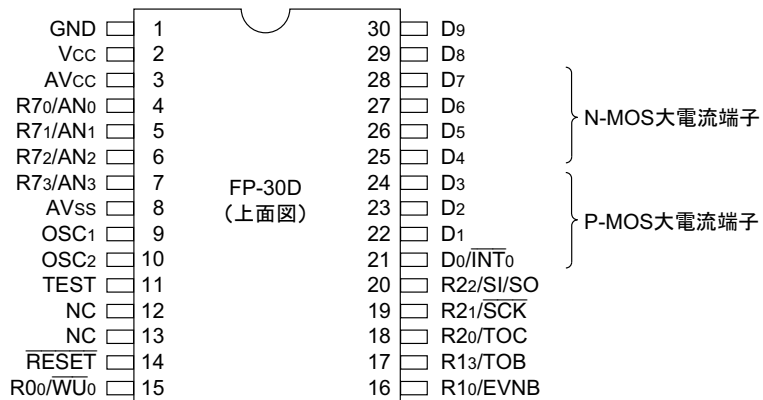
製品名	HD404372 HD40A4372	HD404374 HD40A4374	HD404382 HD40A4382	HD404384 HD40A4384	HD404388 HD40A4388	HD404389 HD40A4389	HD404081 HD40C4081	HD404082 HD40C4082	HD404084 HD40C4084
ROM (ワード)	2,048	4,096 ZTAT®はPROM	2,048	4,096 ZTAT®はPROM	8,192	16,384 ZTAT®はPROM	1,024	2,048	4,096
RAM (チャイビット)	512								
I/O	20本 (max)								
大電流入力 端子	4本 (Source 10mA max) 、 4本 (Sink 15mA max)								
アナログ入力 兼用端子	4本								
タイマ/カウンタ	3本								
タイマ出力	2本 (PWM出力可能)								
イベント入力	1本 (エッジ選択可能)								
シリアル インタフェース	1本 (8ビットクロック同期式)								
A/Dコンバータ	10ビット×4チャネル								
割り込み	10ビット×6チャネル								
要因	2本								
内部	4本								
低消費電力モード	4								
ストップモード	○								
ウォッチモード	○								
スタンバイモード	○								
サブアクティブ モード	○								
モジュール スタンバイ	○								
システムクロック 分周ソフト切り替え	○								
メイン セラミック発振 発振器	○								
CF発振	○								
サブ 発振器	○ (32.768kHz)								
最小命令実行時間	0.47 μs (fosc=8.5MHz) : HD40A4372, HD40A4374, HD40A4382, HD40A4384, HD40A4388, HD40A4389, HD40A4082, HD40A4084 0.89 μs (fosc=4.5MHz) : HD404372, HD404374, HD404382, HD404384, HD404388, HD404389, HD404081, HD404082, HD404084 1.14 μs (fosc=3.5MHz) : HD40C4372, HD40C4374, HD40C4382, HD40C4384, HD40C4388, HD40C4389, HD40C4399, HD40C4081, HD40C4082, HD40C4084, HD40C4088								
動作電圧(V)	1.8~5.5V : マスクROM, 2.0~5.5V : ZTAT®								
バッテ ージ	FP-30D								
	DP-28S								
	FP-48B								
	チップ								
動作保証温度 (°C)	-20~+75°C : マスクROM, -40~+85°C : ZTAT®								

ピン配置

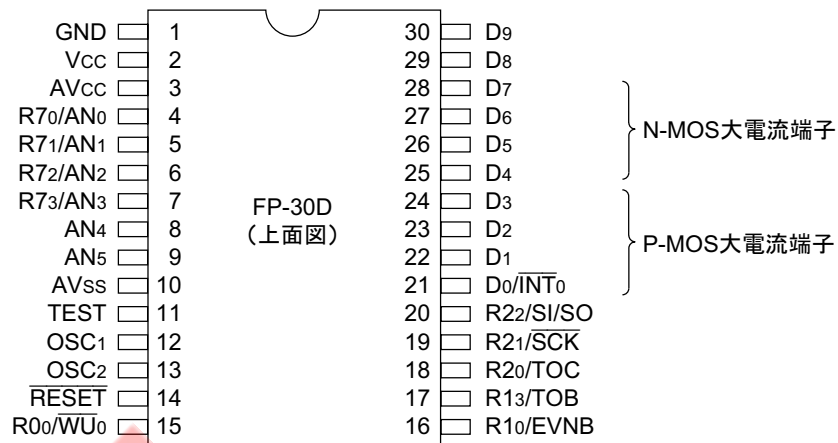
HD404374シリーズ



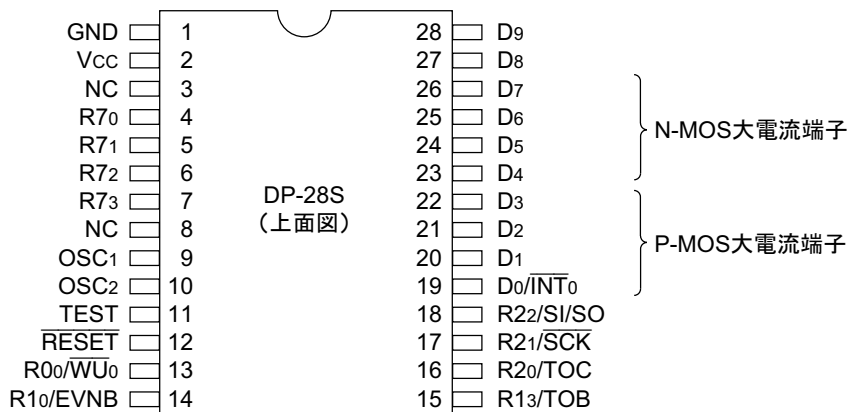
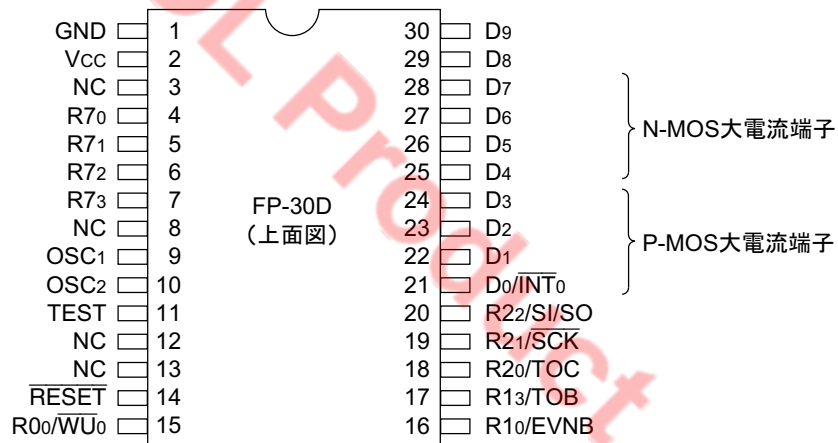
HD404384シリーズ



HD404389シリーズ

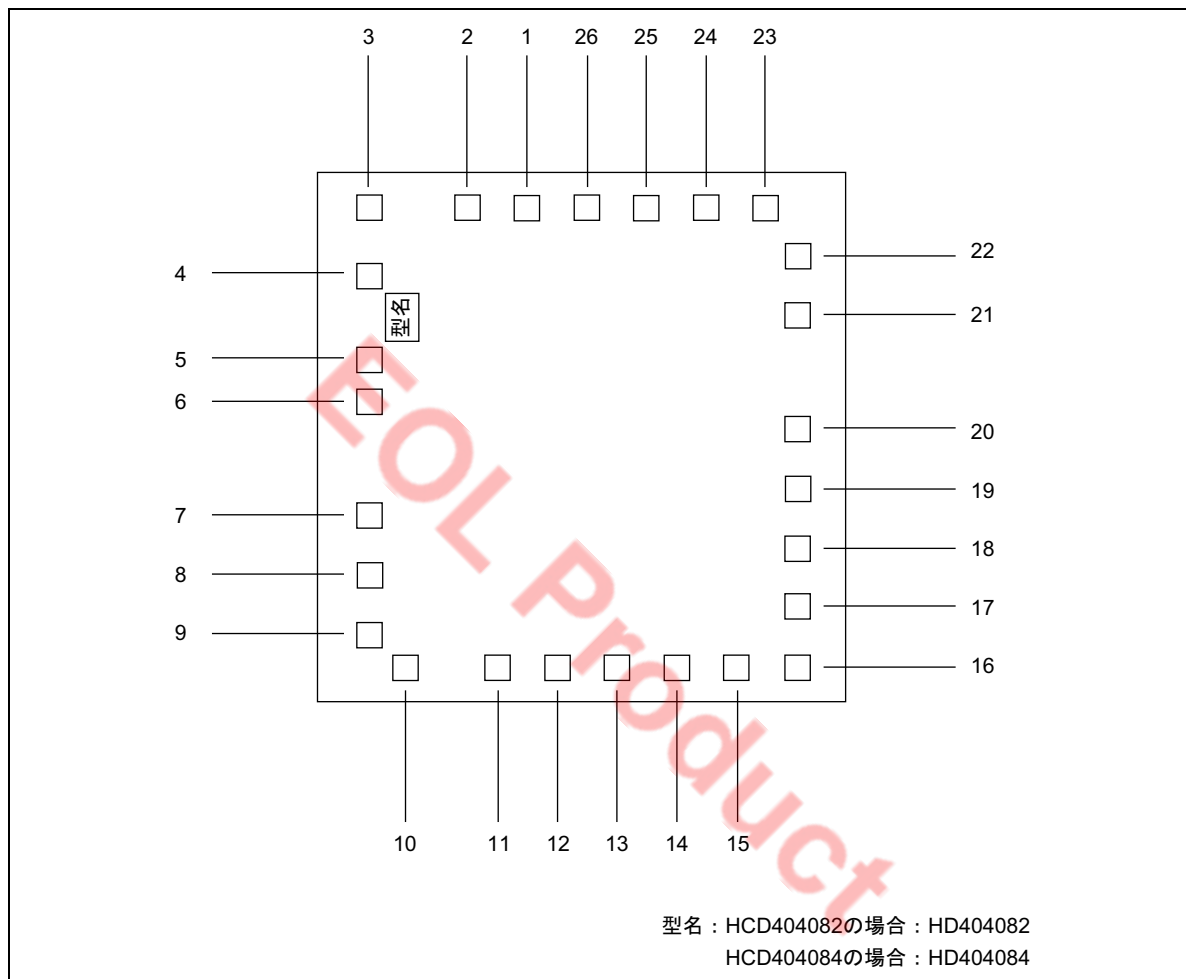


HD404082/HD404084シリーズ



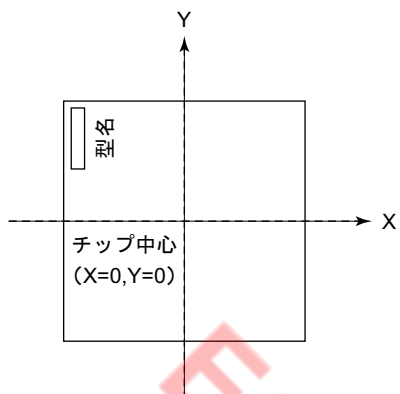
パッド配置

HCD404082/HCD404084



パッド座標

HCD404082/HCD404084



チップサイズ (X×Y) : 3.08×3.21 (mm)
 座標 : パッド中央
 原点位置 : チップ中央
 パッドサイズ (X×Y) : 90×90 (μm)
 チップ厚 : 400 (μm)

パッド No.	パッド名称	座標		パッド No.	パッド名称	座標	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	GND	-458	1403	14	R20	572	-1403
2	VCC	-826	1403	15	R21	982	-1403
3	R70	-1338	1403	16	R22	1338	-1403
4	R71	-1338	1006	17	D0	1338	-1020
5	R72	-1338	525	18	D1	1338	-637
6	R73	-1338	285	19	D2	1338	-254
7	OSC1	-1338	-550	20	D3	1338	129
8	OSC2	-1338	-954	21	D4	1338	768
9	TEST	-1338	-1251	22	D5	1338	1170
10	RESETN	-1197	-1403	23	D6	1153	1403
11	R00	-577	-1403	24	D7	751	1403
12	R10	-194	-1403	25	D8	349	1403
13	R13	189	-1403	26	D9	-53	1403

端子説明

HD404374/HD404384 シリーズ

分類	端子記号	ピン番号			入出力	機能
		FP-30D	DP-28S*2	DP-48B		
電源	Vcc	2	2	47	—	電源電圧を印加してください。
	GND	1	1	45	—	接地してください。
テスト	TEST	11	11	11	入力	ユーザアプリケーションのための端子ではありません。GND 電位に接続してください。
リセット	RESET	14	12	15	入力	MCU をリセットするために使用します。
発振	OSC ₁	9	9	7	入力	内部発振器への入出力端子です。水晶発振子、セラミック発振子、または外部発振回路を接続してください。CR 発振の場合は、抵抗を接続してください。
	OSC ₂	10	10	9	出力	
	X1	13*1	—	13*1	入力	時計用発振器への入出力端子です。32.768kHz の水晶を接続してください。32.768kHz 水晶発振子を使用しない場合は X1 端子を Vcc に固定し、X2 は解放にしてください。
	X2	12*1	—	12*1	出力	
ポート	D ₀ ~D ₉	21~30	19~28	27、29、31、33、35~37、39、40、43	入出力	1 ビットごとにアドレスされる入出力端子です。D ₀ ~D ₃ 端子は大電流ソース端子 (max・10mA)、D ₄ ~D ₇ 端子は大電流シンク端子 (max・15mA) です。
	R ₀ 、R ₁ ₀ 、R ₁ ₃ 、R ₂ ₀ 、R ₂ ₁ 、R ₂ ₂ 、R ₇ ₀ ~R ₇ ₃	15~20、4~7	13 ~ 18、4~7	17、19、21、23~25、1~4	入出力	4 ビットごとにアドレスされる入出力端子です。
割り込み	INT ₀	21	19	27	入力	外部割り込み入力端子です。
ウェイクアップ	WU ₀	15	13	17	入力	ストップモードからアクティブモードへの遷移に使用する入力端子です。
シリアルインタフェース	SCK	19	17	24	入出力	シリアルインタフェースのクロック入出力端子です。
	SI	20	18	25	入力	シリアルインタフェースの受信データ入力端子です。
	SO	20	18	25	出力	シリアルインタフェースの送信データ出力端子です。
タイマ	TOB、TOC	17、18	15、16	21、23	出力	タイマ出力端子です。
	EVNB	16	14	19	入力	イベントカウント入力端子です。
A/Dコンバータ	AVcc	3	3	48	—	A/D コンバータ用電源端子です。Vcc 端子にできる限り近い場所で Vcc と同電位になるように接続してください。
	AVss	8	8	6	—	AVcc に対するグラウンド端子です。GND 端子にできる限り近い場所で GND と同電位になるように接続してください。
	AN0~AN3	4~7	4~7	1~4	入力	A/D コンバータのアナログ入力端子です。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

分類	端子記号	ピン番号			入出力	機能
		FP-30D	DP-28S*2	DP-48B		
その他	NC	12*2、13*2	—	5、8、10、12*2、13*2、14、16、18、20、22、26、28、30、32、34、38、41、42、44、46	—	GND 電位に接続してください。

【注】 *1 HD404374 シリーズに適用

*2 HD404384 シリーズに適用

HD404389 シリーズ

分類	端子記号	ピン番号	入出力	機能
		FP-30D		
電源	Vcc	2	—	電源電圧を印加してください。
	GND	1	—	接地してください。
テスト	TEST	11	入力	ユーザアプリケーションのための端子ではありません。GND 電位に接続してください。
リセット	RESET	14	入力	MCU をリセットするために使用します。
発振	OSC ₁	12	入力	内部発振器への入出力端子です。水晶発振子、セラミック発振子、または外部発振回路を接続してください。CR 発振の場合は、抵抗を接続してください。
	OSC ₂	13	出力	
ポート	D ₀ ~D ₉	21~30	入出力	1 ビットごとにアドレスされる入出力端子です。D ₀ ~D ₃ 端子は大電流ソース端子 (max・10mA)、D ₄ ~D ₇ 端子は大電流シンク端子 (max・15mA) です。
	R ₀ 、R ₁ ₀ 、R ₁ ₃ 、R ₂ ₀ 、R ₂ ₁ 、R ₂ ₂ 、R ₇ ₀ ~R ₇ ₃	15~20、4~7	入出力	4 ビットごとにアドレスされる入出力端子です。
割り込み	INT ₀	21	入力	外部割り込み入力端子です。
ウェイクアップ	WU ₀	15	入力	ストップモードからアクティブモードへの遷移に使用する入力端子です。
シリアルインタフェース	SCK	19	入出力	シリアルインタフェースのクロック入出力端子です。
	SI	20	入力	シリアルインタフェースの受信データ入力端子です。
	SO	20	出力	シリアルインタフェースの送信データ出力端子です。
タイマ	TOB、TOC	17、18	出力	タイマ出力端子です。
	EVNB	16	入力	イベントカウント入力端子です。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

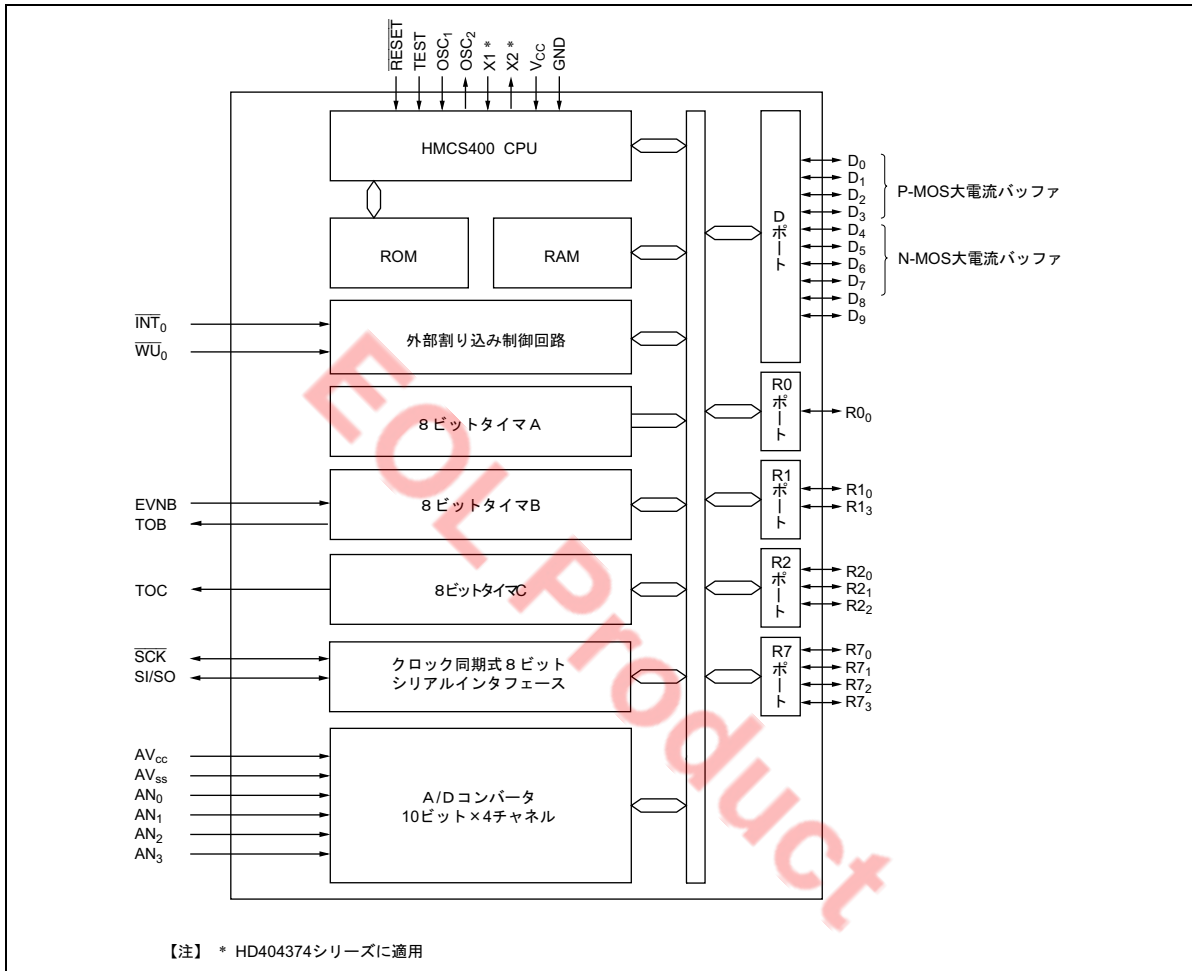
分類	端子記号	ピン番号	入出力	機能
		FP-30D		
A/D コンバータ	AVcc	3	—	A/D コンバータ用電源端子です。Vcc 端子にできる限り近い場所で Vcc と同電位になるように接続してください。
	AVss	10	—	AVcc に対するグラウンド端子です。GND 端子にできる限り近い場所で GND と同電位になるように接続してください。
	AN ₀ ~AN ₅	4~9	入力	A/D コンバータのアナログ入力端子です。

HD404082/HD404084 シリーズ

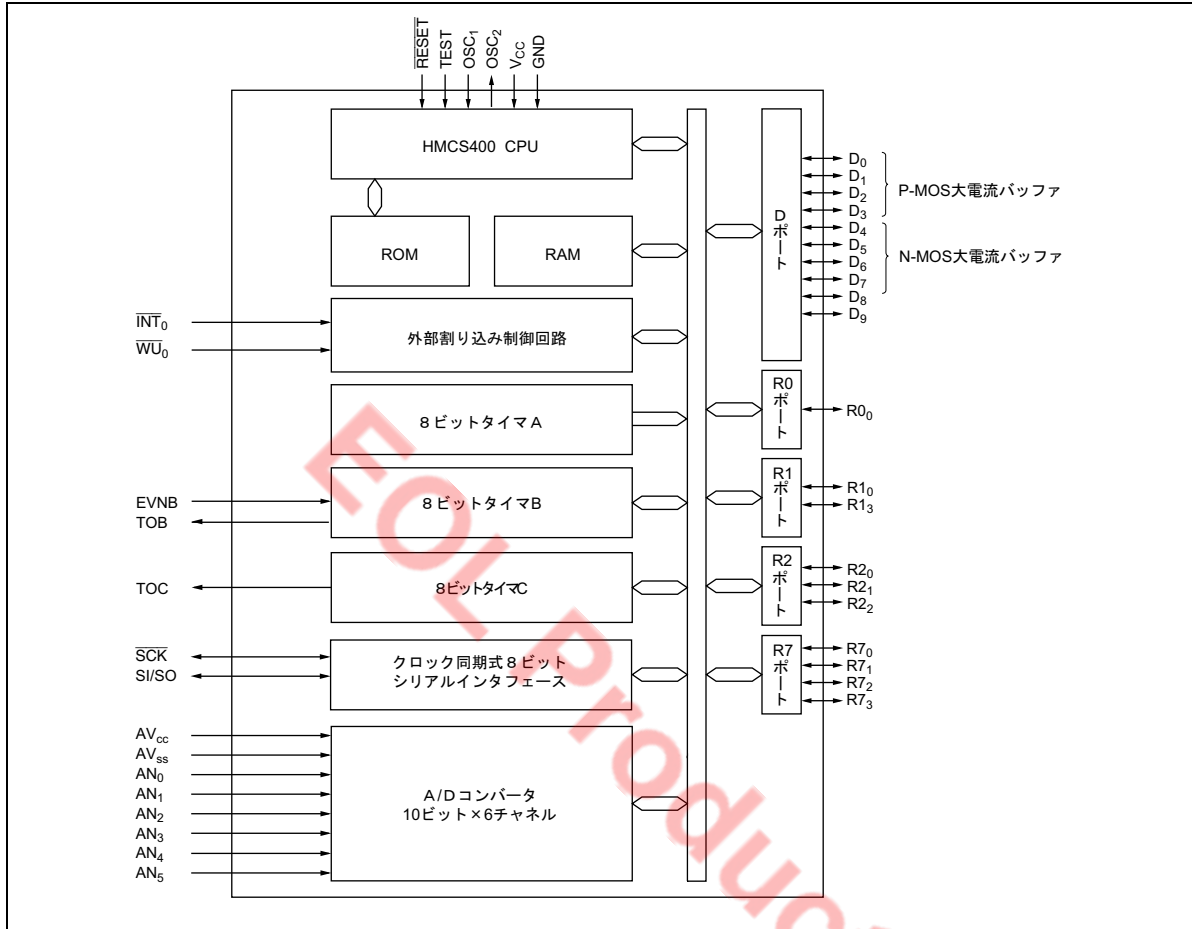
分類	端子記号	ピン番号			入出力	機能
		FP-30D	DP-28S	チップ		
電源	Vcc	2	2	2	—	電源電圧を印加してください。
	GND	1	1	1	—	接地してください。
テスト	TEST	11	11	9	入力	ユーザアプリケーションのための端子ではありません。GND 電位に接続してください。
リセット	RESET	14	12	10	入力	MCU をリセットするために使用します。
発振	OSC ₁	9	9	7	入力	内部発振器への入出力端子です。水晶発振子、セラミック発振子、または外部発振回路を接続してください。CR 発振の場合は、抵抗を接続してください。
	OSC ₂	10	10	8	出力	
ポート	D ₀ ~D ₉	21~30	19~28	17~26	入出力	1 ビットごとにアドレスされる入出力端子です。D ₀ ~D ₃ 端子は大電流ソース端子 (max・10mA)、D ₄ ~D ₇ 端子は大電流シンク端子 (max・15mA) です。
	R0 ₀ 、R1 ₀ 、R1 ₃ 、R2 ₀ 、R2 ₁ 、R2 ₂ 、R7 ₀ ~R7 ₃	15~20、4~7	13~18、4~7	11~16、3~6	入出力	4 ビットごとにアドレスされる入出力端子です。
割り込み	INT ₀	21	19	17	入力	外部割り込み入力端子です。
ウェイクアップ	WU ₀	15	13	11	入力	ストップモードからアクティブモードへの遷移に使用する入力端子です。
シリアル インタフェ ース	SCK	19	17	15	入出力	シリアルインタフェースのクロック入出力端子です。
	SI	20	18	16	入力	シリアルインタフェースの受信データ入力端子です。
	SO	20	18	16	出力	シリアルインタフェースの送信データ出力端子です。
タイマ	TOB、TOC	17、18	15、16	13、14	出力	タイマ出力端子です。
	EVNB	16	14	12	入力	イベントカウント入力端子です。
その他	NC	3、8、12、13	3、8	—	—	GND 電位に接続してください。

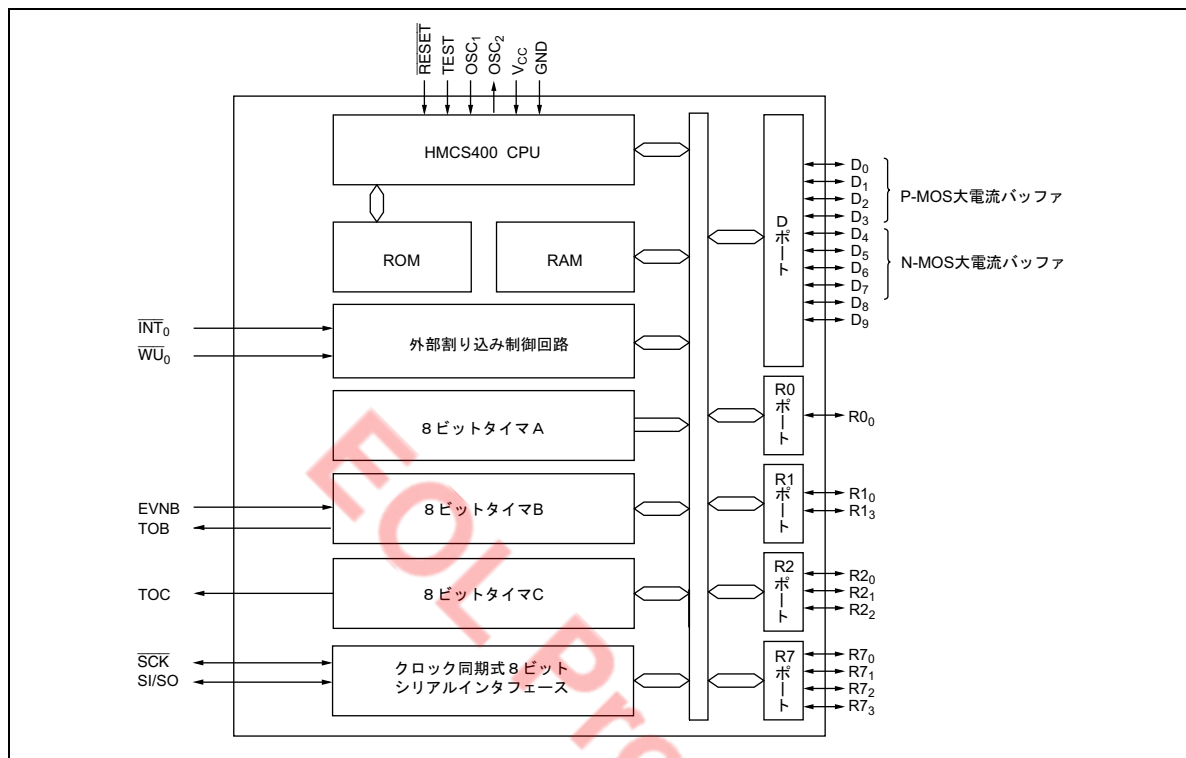
ブロックダイアグラム

HD404374/HD404384 シリーズ



HD404389 シリーズ





メモリマップ

1. ROM メモリマップ

ROM メモリマップを図 1 に示し、以下に説明します。

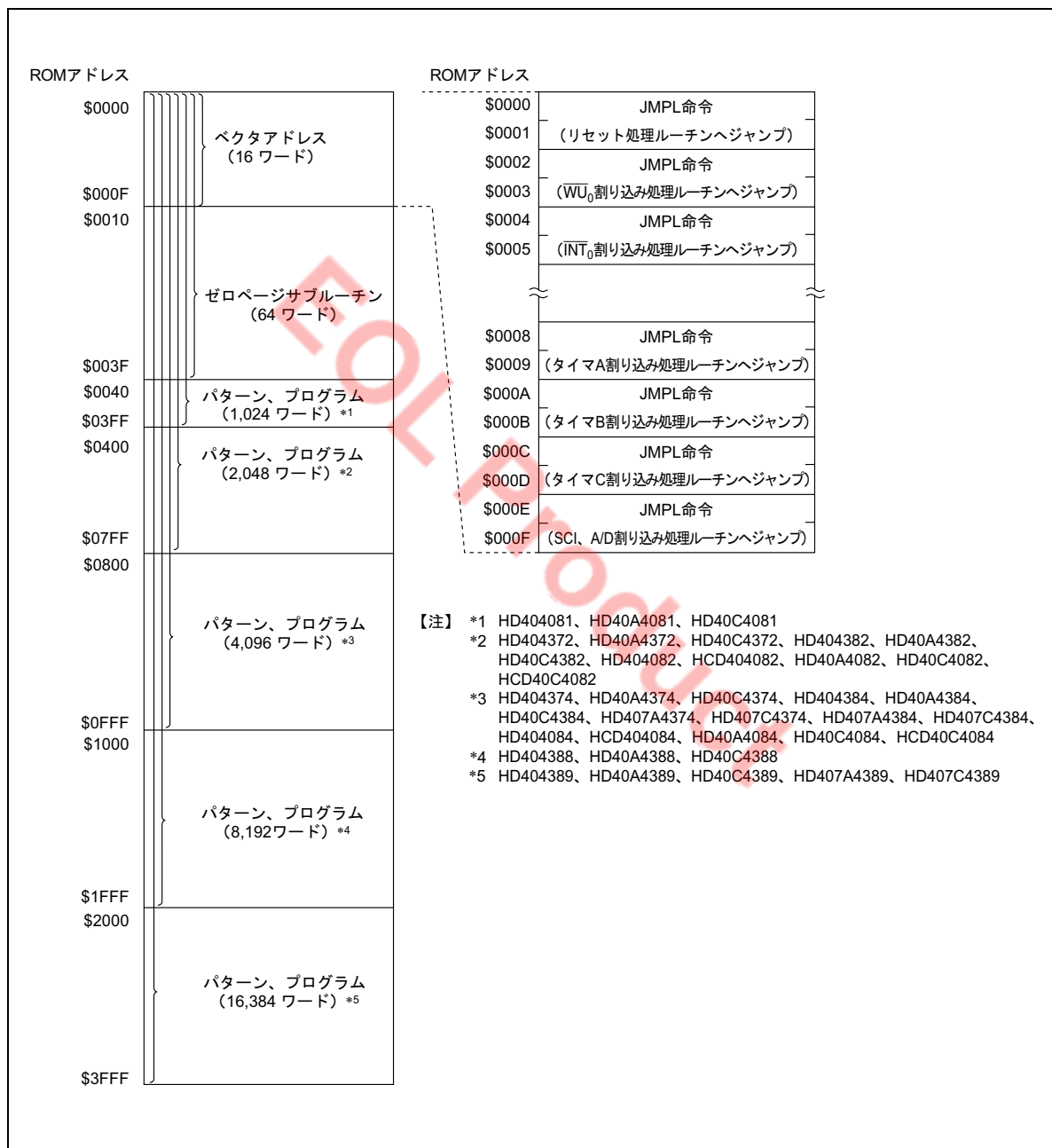


図 1 ROM メモリマップ

(1) ベクタアドレスエリア…\$0000～\$000F

MCUのリセットおよび割り込み処理が行われた場合、ベクタアドレスからプログラムが実行されます。ここには、リセットルーチンの先頭アドレスおよび割り込みルーチンの先頭アドレスへ分岐する JMWL 命令をプログラムしてください。

(2) ゼロページサブルーチンエリア…\$0000～\$003F

CAL 命令により、\$0000～\$003Fにあるサブルーチンへ分岐することができます。

(3) パターンエリア…\$0000～\$0FFF

P 命令により、\$0000～\$0FFFにある ROM データを、パターンとして参照することができます。

(4) プログラムエリア…\$0000～\$03FF (HD404081、HD40A4081、HD40C4081)

\$0000～\$07FF (HD404372、HD40A4372、HD40C4372、HD404382、HD40A4382、HD40C4382、HD404082、HD40A4082、HD40C4082、HCD404082、HCD40C4082)

\$0000～\$0FFF (HD404374、HD40A4374、HD40C4374、HD407A4374、HD407C4374、HD404384、HD40A4384、HD40C4384、HD407A4384、HD407C4384、HD404084、HD40A4084、HD40C4084、HCD404084、HCD40C4084)

\$0000～\$1FFF (HD404388、HD40A4388、HD40C4388)

\$0000～\$3FFF (HD404389、HD40A4389、HD40C4389、HD407A4389、HD407C4389)

2. RAM メモリマップ

MCUは、メモリレジスタエリア、データエリア、スタックエリアのRAMを内蔵しています。これらのエリア以外に、RAM マップレジスタエリアとして、割り込み制御ビットエリア、特殊レジスタエリア、レジスタフラグエリアがRAMメモリ空間上にマッピングされています。

RAMメモリマップを図2に示し、以下に説明します。

電源投入後は、リセット入力にかかわらず、メモリレジスタエリア、データエリア、スタックエリアの値は不定です。必ず初期化してご使用ください。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

HD404374シリーズ HD404384シリーズ HD404389シリーズ		HD404082シリーズ		HD404084シリーズ	
\$000	RAMマップ レジスタエリア	\$000	RAMマップ レジスタエリア	\$000	RAMマップ レジスタエリア
\$03F	メモリレジスタ (MR) (16ディジット)	\$03F	メモリレジスタ (MR) (16ディジット)	\$03F	メモリレジスタ (MR) (16ディジット)
\$040	使用禁止	\$040	使用禁止	\$040	使用禁止
\$050	使用禁止	\$050	使用禁止	\$050	使用禁止
\$08F	データ (432ディジット)	\$08F	データ (48ディジット)	\$08F	データ (176ディジット)
\$090		\$090		\$090	
\$0BF		\$0BF		\$0BF	
\$0C0	使用禁止	\$0C0	使用禁止	\$13F	使用禁止
\$140	使用禁止	\$140	使用禁止	\$140	使用禁止
\$23F	使用禁止	\$23F	使用禁止	\$23F	使用禁止
\$240		\$240		\$240	
\$3BF	スタック (64ディジット)	\$3BF	スタック (64ディジット)	\$3BF	スタック (64ディジット)
\$3C0		\$3C0		\$3C0	
\$3FF	使用禁止	\$3FF	使用禁止	\$3FF	使用禁止

\$000	割り込み制御ビットエリア	
\$001	スピードセレクトレジスタ (SSR)	W
\$002	ミセラニアスレジスタ (MIS)	W
\$003	使用禁止	
\$004	使用禁止	
\$005	ポートモードレジスタ0 (PMR0)	W
\$006	ポートモードレジスタ1 (PMR1)	W
\$007	ポートモードレジスタ2 (PMR2)	W
\$008	ポートモードレジスタ3 (PMR3)	W
\$009	使用禁止	
\$00A	モジュールスタンバイレジスタ1 (MSR1)	W
\$00B	モジュールスタンバイレジスタ2 (MSR2)	W
\$00C	タイマモードレジスタA (TMA)	W
\$00D	タイマモードレジスタB1 (TMB1)	W
\$00E	タイマモードレジスタB2 (TMB2)	W
\$00F	タイマB (TRBL/TWBL)	R/W
\$010	タイマB (TRBU/TWBU)	R/W
\$011	タイマモードレジスタC1 (TMC1)	W
\$012	タイマモードレジスタC2 (TMC2)	W
\$013	タイマC (TRCL/TWCL)	R/W
\$014	タイマC (TRCU/TWCU)	R/W
\$015	使用禁止	
\$016	使用禁止	
\$017	使用禁止	
\$018	レジスタフラグエリア	
\$019	使用禁止	
\$020	使用禁止	
\$021	使用禁止	
\$022	使用禁止	
\$023	シリアルモードレジスタ1 (SMR1)	W
\$024	シリアルモードレジスタ2 (SMR2)	W
\$025	シリアルデータレジスタL (SRL)	R/W
\$026	シリアルデータレジスタU (SRU)	R/W
\$027	A/Dモードレジスタ (AMR)	W
\$028	A/DデータレジスタL (ADRL)	R
\$029	A/DデータレジスタM (ADRM)	R
\$02A	A/DデータレジスタU (ADRU)	R
\$02B	使用禁止	
\$02C	使用禁止	
\$02D	使用禁止	
\$02E	データコントロールレジスタD ₀ ~D ₃ (DCD0)	W
\$02F	データコントロールレジスタD ₄ ~D ₇ (DCD1)	W
\$030	データコントロールレジスタD ₈ ~D ₉ (DCD2)	W
\$031	使用禁止	
\$032	データコントロールレジスタR0 (DCR0)	W
\$033	データコントロールレジスタR1 (DCR1)	W
\$034	データコントロールレジスタR2 (DCR2)	W
\$035	使用禁止	
\$036	データコントロールレジスタR7 (DCR7)	W
\$037	使用禁止	
\$038	使用禁止	
\$039	使用禁止	
\$03A	使用禁止	
\$03B	使用禁止	
\$03C	使用禁止	
\$03D	使用禁止	
\$03E	使用禁止	
\$03F	使用禁止	

【注】 *1 2つのレジスタが、同一のアドレス上にマッピングされています。
(\$012,\$013,\$016,\$017)

\$012	タイマリードレジスタBL (TRBL)	R	タイマライトレジスタBL (TWBL)	W
\$013	タイマリードレジスタBU (TRBU)	R	タイマライトレジスタBU (TWBU)	W
\$016	タイマリードレジスタCL (TRCL)	R	タイマライトレジスタCL (TWCL)	W
\$017	タイマリードレジスタCU (TRCU)	R	タイマライトレジスタCU (TWCU)	W

R : Read only
W : Write only
R/W : Read/Write

*2 HD404374/HD404384/HD404389シリーズに適用

図2 RAMメモリマップ

(1) RAM マップレジスタエリア…\$000～\$03F

i) 割り込み制御ビットエリア…\$000～\$003

割り込み制御に用いるビットから構成されます。その構成を図3に示します。各ビットは、RAMビット操作命令（SEM/SEMD、REM/REMD、TM/TMD命令）によってのみアクセスできます。ただし、ビットにより制約があります。図4に各ビットと命令の制約を示します。

ii) 特殊レジスタエリア…\$004～\$01F、\$024～\$03F

外部割り込み、シリアルインタフェース、タイマ、A/Dなどのモードレジスタ、データレジスタおよび入出力端子のデータコントロールレジスタなどから構成されます。その構成を図2と図5に示します。これらのレジスタは、書き込み専用（W）、読み出し専用（R）および書き込み／読み出し可能（R/W）の3種類に分類できます。これらのレジスタはRAMビット操作命令を使用できません。

iii) レジスタフラグエリア…\$020～\$023

DTON、WDONフラグおよび割り込み制御ビットなどから構成されます。その構成を図3に示します。各ビットは、RAMビット操作命令（SEM/SEMD、REM/REMD、TM/TMD命令）によってのみアクセスできます。ただし、ビットにより制約があります。図4に各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	IMWU ($\overline{WU_0}$ 割り込み マスク)	IFWU ($\overline{WU_0}$ 割り込み 要求フラグ)	RSP (スタックポインタ リセット)	IE (割り込み許可フラグ)
\$001			IMO ($\overline{INT_0}$ 割り込み マスク)	IFO ($\overline{INT_0}$ 割り込み 要求フラグ)
\$002	IMTB (タイマB割り込み マスク)	IFTB (タイマB割り込み 要求フラグ)	IMTA (タイマA割り込み マスク)	IFTA (タイマA割り込み 要求フラグ)
\$003	IMAD *2 (A/Dコンバータ 割り込みマスク)	IFAD *2 (A/Dコンバータ 割り込み要求フラグ)	IMTC (タイマC割り込み マスク)	IFTC (タイマC割り込み 要求フラグ)

使用禁止

(a) 割り込み制御ビットエリア

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020	DTON *1 (DTONフラグ)	ADSF *2 (A/Dスタート フラグ)	WDON (ウォッチドック オンフラグ)	LSON *1 (ロースピード オンフラグ)
\$021	GEF (ギアイネーブル フラグ)			
\$022				
\$023	IMS (シリアル割り込み マスク)	IFS (シリアル割り込み 要求フラグ)		

使用禁止

(b) レジスタフラグエリア

IF : Interrupt Request Flag (割り込み要求フラグ)
 IM : Interrupt Mask (割り込みマスク)
 IE : Interrupt Enable Flag (割り込み許可フラグ)
 SP : Stack Pointer (スタックポインタ)

【注】 *1 HD404374シリーズに適用
 *2 HD404374/HD404384/HD404389シリーズに適用

図3 割り込み制御ビットおよびレジスタフラグエリアの構成

割り込み制御ビットエリア、レジスタフラグエリア中のビットは、SEM命令/SEMD命令、REM命令/REMD命令によってセット、リセットされ、TM命令/TMD命令によってテストされます。その他の命令によっては影響されません。

ただし、個々のビットに対しては、以下のような制約があります。

	SEM/SEMD命令	REM/REMD命令	TM/TMD命令
IE	○	○	○
IM			
LSON *1			
IF	△	○	○
GEF	○	○	×
RSP	△	○	×
WDON	○	△	×
ADSF *2	○	×	○
DTON *1	△(アクティブモード)	○	○
	○(サブアクティブモード)		
Not Used	△	△	×

- ・ ○…使用可能 △…命令実行されません ×…使用禁止
- ・ WDONビットは、MCUリセットでのみリセットされます。
- ・ A/D変換動作中は、ADSFビットに対するREM/REMD命令は使用しないでください。
- ・ DTONビット*1は、アクティブモードでは常にリセット状態となります。
- ・ TM命令/TMD命令は、使用禁止ビットあるいは、存在しないビットに対して使用した場合、ステータスの値が不定となります。

【注】 *1 HD404374シリーズに適用

*2 HD404374/HD404384/HD404389シリーズに適用

図 4 命令の制約

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定 *1	32kHz分周比選択 *1	システムクロック選択 *	システムクロック分周比切換
MIS \$005	ブルアップMOS制御	割り込みフレーム周期選択 *1		
\$006				
\$007				
PMR0 \$008				D ₀ /INT ₀
PMR1 \$009				R ₀ /WU ₀
PMR2 \$00A	R ₁ /TOB			R ₁ /EVNB
PMR3 \$00B	R ₂ /SI/SO		R ₂ /SCK	R ₂ /TOC
\$00C				
MSR1 \$00D			タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E			A/DクロックON/OFF*2	シリアルクロックON/OFF
TMA \$00F	タイマA/タイムベース	タイマAクロックソース設定		
TMB1 \$010	リロードON/OFF	タイマBクロックソース設定		
TMB2 \$011	タイマB出力モード設定	EVNBエッジ検出選択		
TRBL/TWBL \$012	タイマBレジスタ (下位)			
TRBU/TWBU \$013	タイマBレジスタ (上位)			
TMC1 \$014	リロードON/OFF	タイマCクロックソース設定		
TMC2 \$015	タイマC出力モード設定			
TRCL/TWCL \$016	タイマCレジスタ (下位)			
TRCU/TWCU \$017	タイマCレジスタ (上位)			
\$018				
\$019				
\$01A				
\$01B				
\$01C				
\$01F				
\$020	レジスタフラグエリア			
\$023				
SMR1 \$024	シリアル転送クロックスピード選択			
SMR2 \$025	R ₂ /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ (下位)			
SRU \$027	シリアルデータレジスタ (上位)			
AMR \$028	アナログチャネル選択*2			A/D変換時間*2
ADRL \$029	A/Dデータレジスタ (ビット1~0) *2			
ADRM \$02A	A/Dデータレジスタ (ビット5~2) *2			
ADRU \$02B	A/Dデータレジスタ (ビット9~6) *2			
\$02C				
\$02D				
\$02E				
\$02F				
DCD0 \$030	ポートD ₃ DCR	ポートD ₄ DCR	ポートD ₅ DCR	ポートD ₆ DCR
DCD1 \$031	ポートD ₇ DCR	ポートD ₈ DCR	ポートD ₉ DCR	ポートD ₁₀ DCR
DCD2 \$032			ポートD ₁₁ DCR	ポートD ₁₂ DCR
\$033				
DCR0 \$034				ポートR ₀ DCR
DCR1 \$035	ポートR ₁ DCR			ポートR ₁₀ DCR
DCR2 \$036	ポートR ₂ DCR		ポートR ₂₁ DCR	ポートR ₂₀ DCR
\$037				
\$038				
\$039				
\$03A				
DCR7 \$03B	ポートR ₇ DCR	ポートR ₇₂ DCR	ポートR ₇₁ DCR	ポートR ₇₀ DCR
\$03C				
\$03D				
\$03E				
\$03F				

: 使用禁止

【注】 *1 HD404374シリーズに適用
*2 HD404374/HD404384/HD404389シリーズに適用

図5 特殊レジスタエリア

(2) メモリレジスタ (MR) エリア…\$040~\$04F

メモリレジスタ (MR(0)~MR(15)) の 16 デジットは、レジスタ・レジスタ命令の LAMR、XMRA 命令によってもアクセスできるデータエリアです。その構成を図 6 (a) に示します。

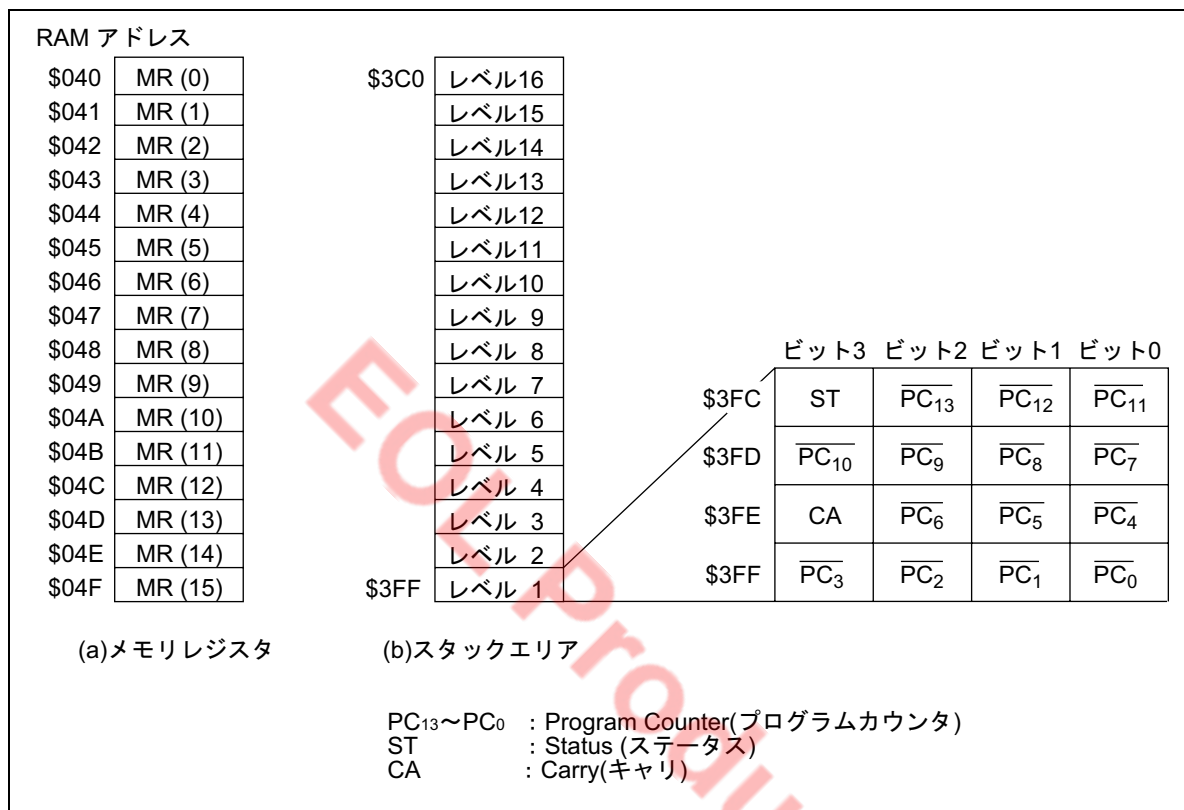


図 6 メモリレジスタ、スタックエリアの構成と退避状態

(3) データエリア…\$090~\$23F (HD404374/HD404384/HD404389 シリーズ)

\$090~\$0BF (HD404082 シリーズ)

\$090~\$13F (HD404084 シリーズ)

(4) スタックエリア…\$3C0~\$3FF

サブルーチンコール (CAL、CALL 命令) および割り込み処理時に、プログラムカウンタ (PC)、ステータス (ST) およびキャリ (CA) の内容を退避するためのスタックエリアです。1 レベルにつき 4 デジットが使用されるので、最大 16 レベルのサブルーチンスタックとして使用できます。退避されるデータおよび退避の状態を図 6 (b) に示します。プログラムカウンタは、RTN 命令および RTNI 命令によって回復されます。ステータスとキャリは、RTNI 命令によって回復され、RTN 命令によっては影響を受けません。退避に使用しないエリアはデータエリアとして使用することができます。

内部機能

1. CPU

1.1 レジスタとフラグ

CPUには、レジスタが9個とフラグが2個あります。それらを図7に示し、以下に説明します。

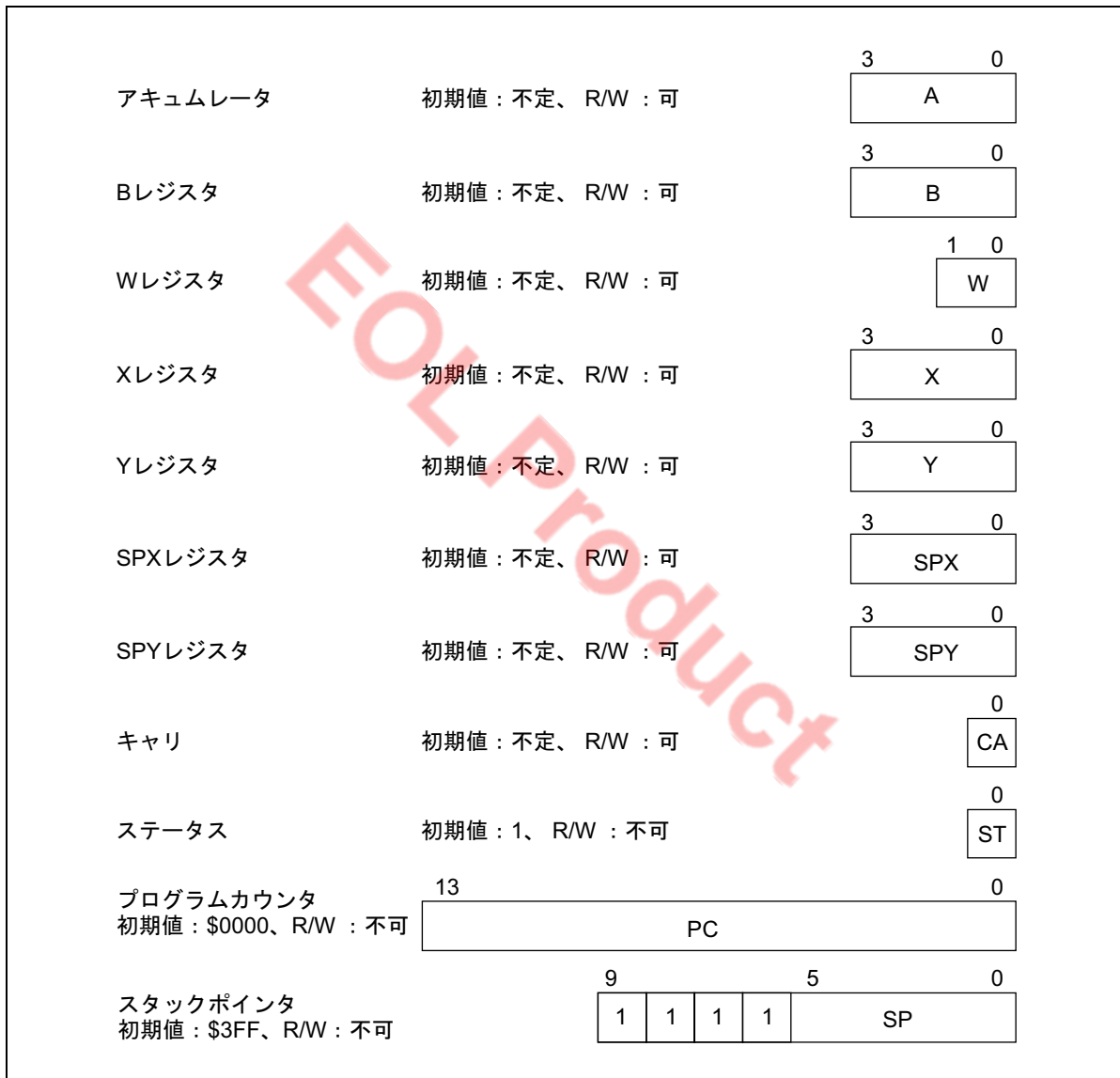


図7 レジスタとフラグ

(1) アキュムレータ(A)、Bレジスタ(B)

アキュムレータとBレジスタは、4ビットのレジスタです。ALUの演算結果の保持と、メモリ、入力/出力および他のレジスタ間でのデータの転送のために使用します。

(2) Wレジスタ(W)、Xレジスタ(X)、Yレジスタ(Y)

Wレジスタは2ビットのレジスタ、XレジスタとYレジスタは4ビットのレジスタであり、RAMのレジスタ間接アドレッシングのために使用します。また、YレジスタはDポートのアドレッシングにも使用します。

(3) SPXレジスタ(SPX)、SPYレジスタ(SPY)

SPXレジスタとSPYレジスタは4ビットのレジスタであり、それぞれXレジスタ、Yレジスタの補助レジスタとして使用します。

(4) キャリ(CA)

演算命令実行時のALUのオーバーフローを保持します。また、SEC、REC、ROTL、ROTR命令によって影響を受けます。割り込み処理時にキャリの内容はスタックに退避され、RTNI命令によってスタックから回復されます(RTN命令によっては影響を受けません)。

(5) ステータス(ST)

演算命令や比較命令でのALUのオーバーフローとALUのノンゼロおよびビットテスト命令の結果を保持し、BR、BRL、CAL、CALL命令の分岐条件として用います。ステータスはラッチ形で、次の演算命令、比較命令およびビットテスト命令が実行されるまで不変です。BR、BRL、CAL、CALL命令の後は、その実行/スキップに関係なくステータスは"1"になります。割り込み処理時にステータスの内容はスタックに退避され、RTNI命令によってスタックから回復されます(RTN命令によっては影響を受けません)。

(6) プログラムカウンタ(PC)

ROMのアドレス情報を保持する14ビットのバイナリカウンタです。

(7) スタックポインタ(SP)

スタックポインタは、スタックエリア上の次の退避空間のアドレスを示す10ビットのレジスタです。スタックポインタは、MCUのリセットにより\$3FFに初期化され、データが退避されると4ずつデクリメントされ、データが回復されると4ずつインクリメントされます。また、スタックポインタの上位4ビットは"1111"に固定されています。したがって、スタックは最大16レベルまで使用できます。スタックポインタを\$3FFに初期化する方法は2通りあります。1つは上記のMCUのリセットであり、もう1つは、RSPビットをREM命令またはREMD命令でリセットする方法です。

1.2 リセット

MCUのリセットは、 $\overline{\text{RESET}}$ 端子を"Low"にすることにより行います。パワーオン時、サブアクティブモード、ウォッチモード、およびストップモード解除時には、発振器の発振安定時間を確保するため $\overline{\text{RESET}}$ 入力を t_{RC} 以上印加してください。

それ以外の場合は、最低2インストラクションサイクルタイムの時間の $\overline{\text{RESET}}$ 入力によって MCU がリセットされます。

表 1 に、MCU のリセットにより初期化される部分とその初期値を示します。

表 1(1) MCU リセットによる初期値

項目	初期値	意味	
プログラムカウンタ(PC)	\$0000	ROM 先頭アドレスからプログラム実行	
ステータス(ST)	"1"	条件分岐命令による分岐可能	
スタックポインタ(SP)	"\$3FF"	スタックレベルが 0	
割り込み フラグ/ マスク	割り込み許可フラグ (IE)	"0"	すべての割り込みを禁止する
	割り込み要求フラグ (IF)	"0"	割り込み要求が存在しない
	割り込みマスク (IM)	"1"	割り込み要求をマスクする
I/O	ポートデータレジスタ (PDR)	全ビット"1"	"1"レベル出力可能な状態
	データコントロールレジスタ (DCD0~1, DCD20,DCD21)	全ビット"0"	出力バッファが OFF (ハイインピーダンス)
	データコントロールレジスタ (DCR0 ₀ , DCR1 ₀ , DCR1 ₃ , DCR2 ₀ ~DCR2 ₂ , DCR7 ₀ ~DCR7 ₃)	全ビット"0"	
	ポートモードレジスタ 0 (PMR0)	"---0"	ポートモードレジスタ 0 の項参照
	ポートモードレジスタ 1 (PMR1)	"---0"	ポートモードレジスタ 1 の項参照
	ポートモードレジスタ 2 (PMR2)	"0--0"	ポートモードレジスタ 2 の項参照
	ポートモードレジスタ 3 (PMR3)	"0000"	ポートモードレジスタ 3 の項参照
タイマ	タイマモードレジスタ A (TMA)	"0000"	タイマモードレジスタ A の項参照
	タイマモードレジスタ B1 (TMB1)	"0000"	タイマモードレジスタ B1 の項参照
	タイマモードレジスタ B2 (TMB2)	"-000"	タイマモードレジスタ B2 の項参照
	タイマモードレジスタ C1 (TMC1)	"0000"	タイマモードレジスタ C1 の項参照
	タイマモードレジスタ C2 (TMC2)	"-0--"	タイマモードレジスタ C2 の項参照
	プリスケアラ S (PSS)	\$000	
	プリスケアラ W (PSW)	\$00	
	タイマカウンタ A (TCA)	\$00	
	タイマカウンタ B (TCB)	\$00	
	タイマカウンタ C (TCC)	\$00	
	タイマライトレジスタ B (TWBU,L)	\$X0	
	タイマライトレジスタ C (TWCU,L)	\$X0	
	シリアル インタ フェース	シリアルモードレジスタ 1 (SMR1)	"0000"
シリアルモードレジスタ 2 (SMR2)		"-0X-"	シリアルモードレジスタ 2 の項参照
シリアルデータレジスタ (SRU,L)		\$XX	
8 進カウンタ		"000"	

表 1(2) MCU リセットによる初期値

	項目	初期値	意味
ビット レジスタ	Low スピードオンフラグ (LSON)	"0"	低消費電力モードの項参照
	ウォッチドッグタイマオンフラグ (WDON)	"0"	タイマ C の項参照
	A/D スタートフラグ (ADSF)	"0"	A/D コンバータの項参照
	ダイレクトトランスファオン (DTON) フラグ	"0"	低消費電力モードの項参照
	ギアイネーブルフラグ (GEF)	"0"	システムクロックギア機能の項参照
その他	ミセラニアスレジスタ (MIS)	"0-00"	低消費電力モード、入出力の項参照
	システムクロック選択 レジスタ	"0000"	低消費電力モード、発振回路の項参照
	モジュールスタンバイ レジスタ 1	"--00"	タイマの項参照
	モジュールスタンバイ レジスタ 2	"--00"	シリアルインタフェース、 A/D コンバータの項参照

- 【注】 1. 上記以外のレジスタ、フラグ類は、MCU のリセットにより表 1(3)のような状態になります。
 2. X 印は不定を、-印は存在しないビットを示します。

表 1(3) MCU リセットによる初期値

	MCU リセット後
キャリ (CA)	MCU リセット直前の値は保証されません。 プログラムによる初期化が必要です。
アキュムレータ (A)	
B レジスタ (B)	
W レジスタ (W)	
X/SPX レジスタ (X/SPX)	
Y/SPY レジスタ (Y/SPY)	
RAM	

1.3 割り込み

ウェイクアップ入力 (\overline{WU}_0) による割り込み、外部割り込み (\overline{INT}_0) による割り込み、タイマ/カウンタ (タイマ A、タイマ B、タイマ C) による割り込み、シリアルインタフェースによる割り込み、A/D コンバータによる割り込みの計 7 種の割り込み要因があります。

各割り込み要因には、それぞれ割り込み要求フラグ、割り込みマスクおよびベクタアドレスが用意されており、割り込み要求の保持および制御に用いられます。また、割り込み全体を制御するために割り込み許可フラグが用意されています。

なお、A/D コンバータとシリアルインタフェースによる割り込みのベクタアドレスは共用しているため、割り込み処理のはじめに、どちらの割り込み要求であるかをソフトウェアで調べる必要があります。

(1) 割り込み制御ビットと割り込み処理


割り込み制御ビットは RAM の \$000~\$003、\$023 にマッピングされており、RAM ビット操作命令によってアクセスできます。ただし割り込み要求フラグ (IF) をソフトウェアでセットすることはできません。MCU のリセットによって、割り込み許可フラグ (IE) と割り込み要求フラグ (IF) は "0" に、割り込みマスク (IM) は "1" に初期化されます。

割り込み制御回路のブロック図を図 8 に、割り込み優先順位とベクタアドレスを表 2 に、7 種類の割り込み要因に対応した割り込み処理が実行されるための条件を表 3 に示します。割り込み要求フラグが "1" で割り込みマスクが "0" のときに割り込み要求発生の状態です。このとき割り込み許可フラグが "1" ならば、割り込み処理が起動されます。また、優先順位制御回路からは、割り込み要因に対応したベクタアドレスが発生されます。

割り込み処理シーケンスを図 9 に、割り込み処理フローチャートを図 10 に示します。割り込みが受けられると、1 サイクル目では直前の命令実行が完了します。2 サイクル目では、割り込み許可フラグ (IE) がリセットされます。2 サイクル目と 3 サイクル目ではキャリとステータスおよびプログラムカウンタの内容がスタックに退避されます。3 サイクル目では、ベクタアドレスにジャンプして命令の実行が再開されます。

各ベクタアドレスエリアには、割り込みルーチンの先頭アドレスへ分岐する JMWPL 命令をプログラムしてください。また、割り込みルーチンでは、割り込み処理を引きおこした割り込み要求フラグをソフトウェアでリセットしてください。

表 2 ベクタアドレスと割り込み優先順位

割り込み要因	ベクタアドレス	優先度
リセット	\$0000	高  低
WU_0	\$0002	
\overline{INT}_0	\$0004	
タイマ A	\$0008	
タイマ B	\$000A	
タイマ C	\$000C	
シリアル、A/D コンバータ	\$000E	

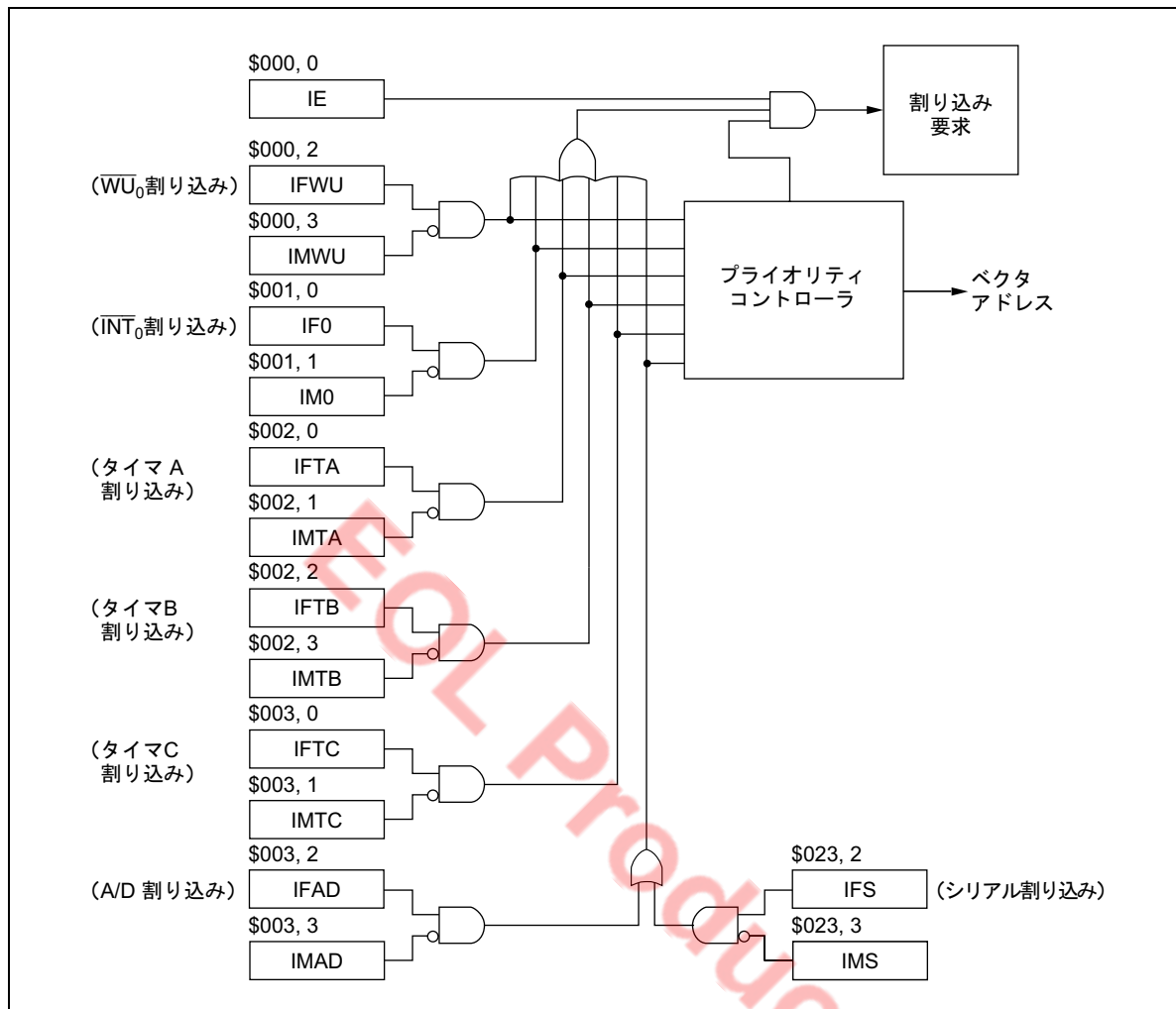


図 8 割り込み制御回路ブロック図

表 3 割り込み処理の起動条件

割り込み要因	$\overline{\text{WU}}_0$	$\overline{\text{INT}}_0$	タイマ A	タイマ B	タイマ C	A/D または シリアル
割り込み制御ビット						
IE	1	1	1	1	1	1
$\text{IFWU} \cdot \overline{\text{IMWU}}$	1	0	0	0	0	0
$\text{IF0} \cdot \overline{\text{IM0}}$	*	1	0	0	0	0
$\text{IFTA} \cdot \overline{\text{IMTA}}$	*	*	1	0	0	0
$\text{IFTB} \cdot \overline{\text{IMTB}}$	*	*	*	1	0	0
$\text{IFTC} \cdot \overline{\text{IMTC}}$	*	*	*	*	1	0
$\text{IFAD} \cdot \overline{\text{IMAD}} + \text{IFS} \cdot \overline{\text{IMS}}$	*	*	*	*	*	1

【注】 *: "0"または"1"いずれの値であっても動作に影響しません。

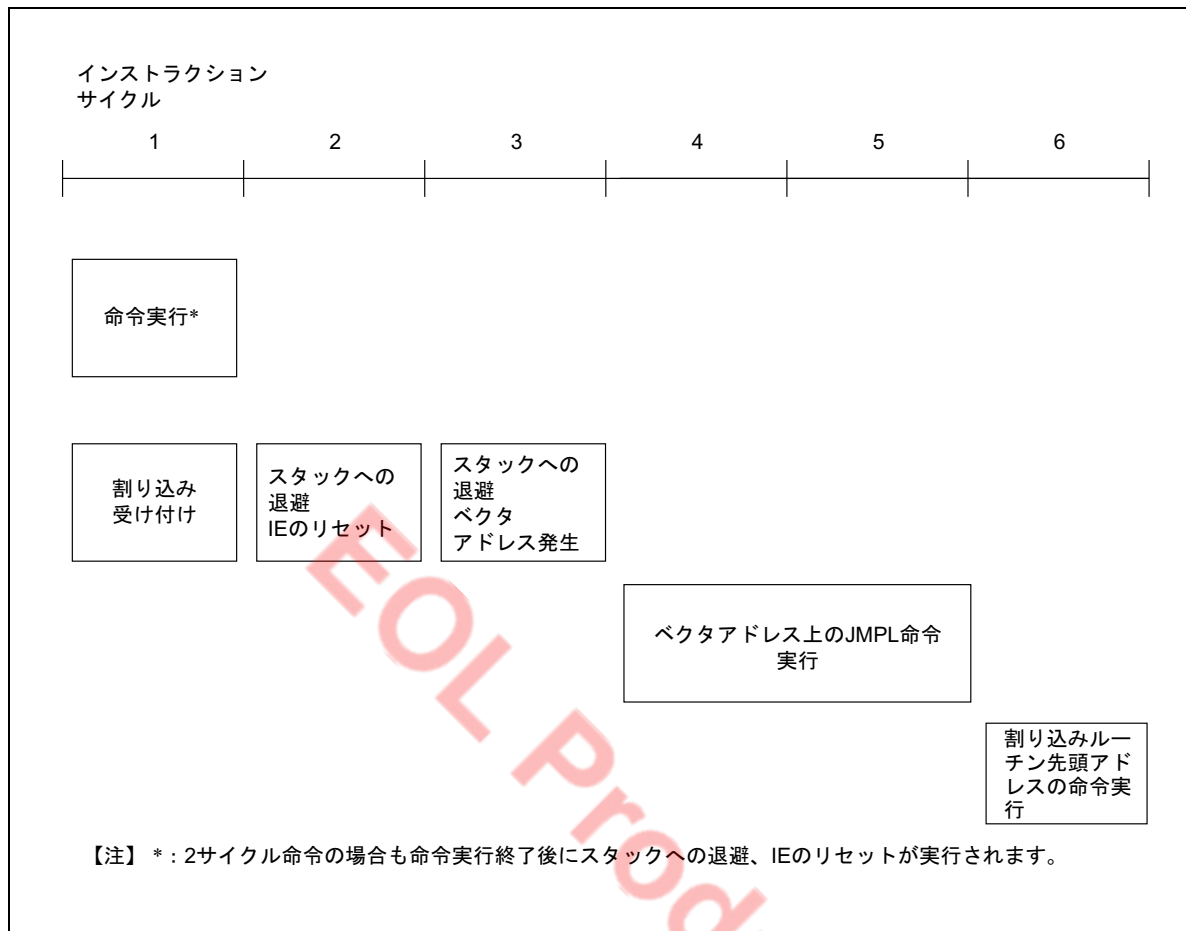


図9 割り込みシーケンス

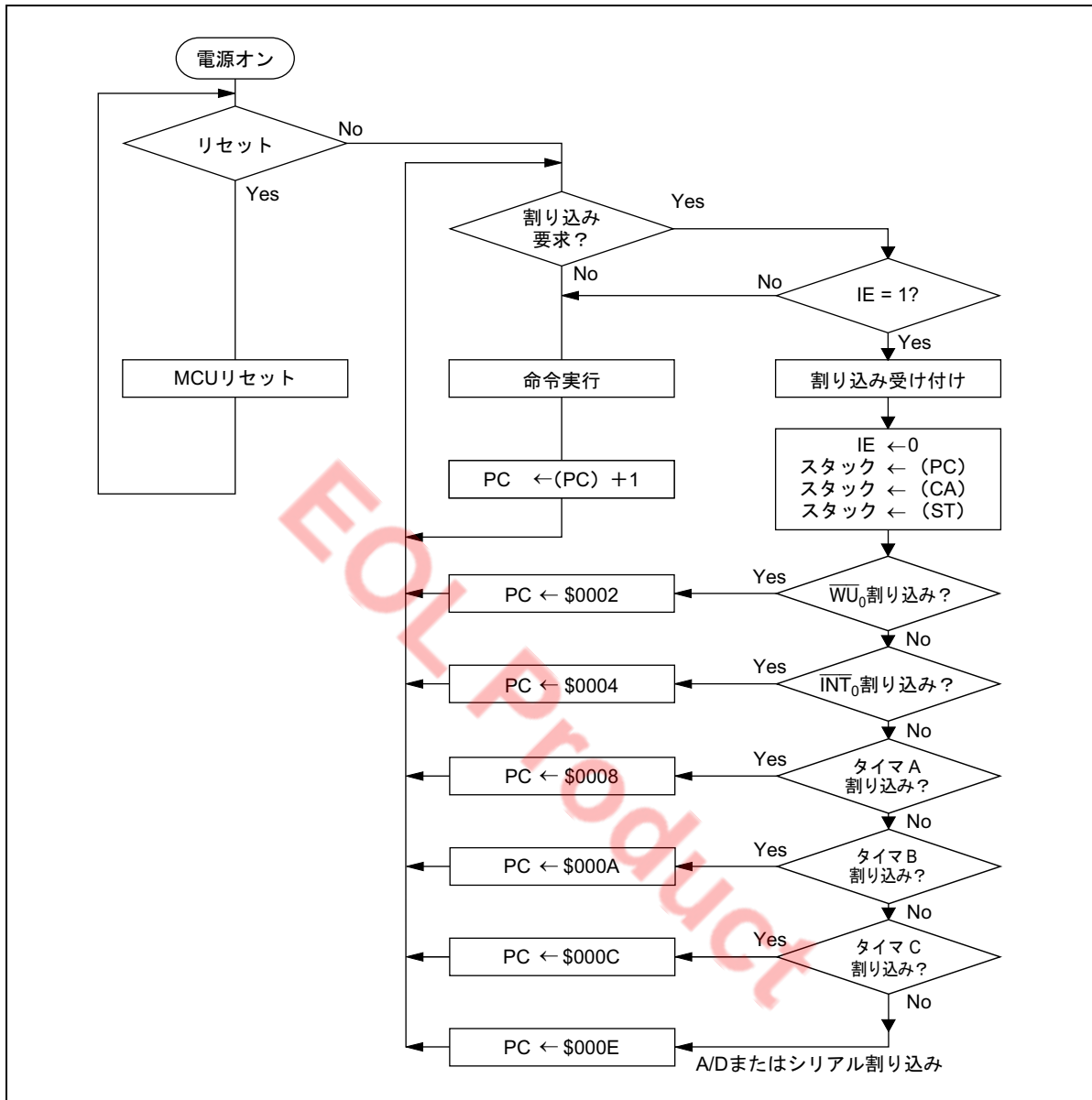


図 10 割り込み処理フローチャート

(2) 割り込み許可フラグ(IE:\$000、0)

割り込み許可フラグは表 4 に示すようにすべての割り込み要求に対して、割り込みの許可/禁止の制御を行います。割り込み許可フラグは割り込み処理によってリセットされ、RTNI 命令によってセットされます。

表 4 割り込み許可フラグ (IE : \$000,0)

割り込み許可フラグ (IE)	割り込み許可/禁止
0	割り込み禁止
1	割り込み許可

(3) ウェイクアップ割り込み要求フラグ (IFWU : \$000、2)

ウェイクアップ割り込み要求フラグ (IFWU) は、アクティブモード、サブアクティブモード、ウォッチモード、またはスタンバイモードにおいて \overline{WU}_0 入力の立ち下がりエッジを検出するとセットされます。ストップモードにおいて、ウェイクアップ端子で立ち下がりエッジを検出すると、MCU は発振安定時間を確保してアクティブモードへ遷移します。IE=1、IMWU=0 でストップモードからアクティブモードへ遷移した場合、アクティブモードへ遷移後にウェイクアップ割り込み処理が実行されます。この場合、ウェイクアップ割り込み要求フラグ (IFWU) はセットされません (表 5)。

表 5 ウェイクアップ割り込み要求フラグ (IFWU : \$000,2)

ウェイクアップ割り込み 要求フラグ(IFWU)	割り込み要求
0	ウェイクアップ割り込み要求がない
1	ウェイクアップ割り込み要求が発生する

(4) ウェイクアップ割り込みマスク (IMWU : \$000、3)

ウェイクアップ割り込み要求フラグによる割り込み要求をマスクするビットです (表 6)。

表 6 ウェイクアップ割り込みマスク (IMWU : \$000,3)

ウェイクアップ割り込み マスク(IMWU)	割り込み要求
0	ウェイクアップ割り込み要求を許可する
1	ウェイクアップ割り込み要求をマスクする (保留する)

(5) 外部割り込み要求フラグ (IF0 : \$001、0)

外部割り込み要求フラグ IF0 は、 \overline{INT}_0 入力の立ち下がりエッジでセットされます (表 7)。

表 7 外部割り込み要求フラグ (IF0 : \$001,0)

外部割り込み 要求フラグ(IF0)	割り込み要求
0	外部割り込み要求がない
1	外部割り込み要求が発生する

(6) 外部割り込みマスク (IM0 : \$001, 1)

外部割り込み要求フラグによる割り込み要求をマスクするビットです (表 8)。

表 8 外部割り込みマスク (IM0 : \$001,1)

外部割り込みマスク(IM0)	割り込み要求
0	外部割り込み要求を許可する
1	外部割り込み要求をマスクする (保留する)

(7) タイマ A 割り込み要求フラグ (IFTA:\$002, 0)

タイマ A 割り込み要求フラグは、タイマ A のオーバーフロー出力によってセットされます (表 9)。

表 9 タイマ A 割り込み要求フラグ (IFTA : \$002,0)

タイマ A 割り込み要求フラグ (IFTA)	割り込み要求
0	タイマ A 割り込み要求がない
1	タイマ A 割り込み要求が発生する

(8) タイマ A 割り込みマスク (IMTA:\$002, 1)

タイマ A 割り込み要求フラグによる割り込み要求をマスクするビットです (表 10)。

表 10 タイマ A 割り込みマスク (IMTA : \$002,1)

タイマ A 割り込みマスク (IMTA)	割り込み要求
0	タイマ A 割り込み要求を許可する
1	タイマ A 割り込み要求をマスクする (保留する)

(9) タイマ B 割り込み要求フラグ (IFTB:\$002, 2)

タイマ B 割り込み要求フラグは、タイマ B のオーバーフロー出力によってセットされます (表 11)。

表 11 タイマ B 割り込み要求フラグ (IFTB : \$002,2)

タイマ B 割り込み要求フラグ (IFTB)	割り込み要求
0	タイマ B 割り込み要求がない
1	タイマ B 割り込み要求が発生する

(10) タイマ B 割り込みマスク (IMTB:\$002, 3)

タイマ B 割り込み要求フラグによる割り込み要求をマスクするビットです (表 12)。

表 12 タイマ B 割り込みマスク (IMTB : \$002,3)

タイマ B 割り込みマスク (IMTB)	割り込み要求
0	タイマ B 割り込みを許可する
1	タイマ B 割り込み要求をマスクする (保留する)

(11) タイマ C 割り込み要求フラグ (IFTC:\$003、0)

タイマ C 割り込み要求フラグは、タイマ C のオーバフロー出力によってセットされます (表 13)。

表 13 タイマ C 割り込み要求フラグ (IFTC : \$003,0)

タイマ C 割り込み 要求フラグ (IFTC)	割り込み要求
0	タイマ C 割り込み要求がない
1	タイマ C 割り込み要求が発生する

(12) タイマ C 割り込みマスク (IMTC:\$003、1)

タイマ C 割り込み要求フラグによる割り込み要求をマスクするビットです (表 14)。

表 14 タイマ C 割り込みマスク (IMTC : \$003,1)

タイマ C 割り込み マスク (IMTC)	割り込み要求
0	タイマ C 割り込みを許可する
1	タイマ C 割り込み要求をマスクする (保留する)

(13) シリアル割り込み要求フラグ (IFS:\$023、2)

シリアル割り込み要求フラグは、シリアルデータ転送が完了したとき、あるいはデータ転送が途中で打ち切られたときにセットされます (表 15)。

表 15 シリアル割り込み要求フラグ (IFS : \$023,2)

シリアル割り込み要 求フラグ (IFS)	割り込み要求
0	シリアル割り込み要求がない
1	シリアル割り込み要求が発生する

(14) シリアル割り込みマスク (IMS:\$023、3)

シリアル割り込み要求フラグによる割り込み要求をマスクするビットです (表 16)。

表 16 シリアル割り込みマスク (IMS : \$023,3)

シリアル割り込み マスク (IMS)	割り込み要求
0	シリアル割り込み要求を許可する
1	シリアル割り込み要求をマスクする (保留する)

(15) A/D 割り込み要求フラグ (IFAD : \$003、2) (HD404374/HD404384/HD404389 シリーズに適用)

A/D 割り込み要求フラグは、A/D 変換終了によってセットされます (表 17)。

表 17 A/D 割り込み要求フラグ (IFAD : \$003,2)

A/D 割り込み要求 フラグ (IFAD)	割り込み要求
0	A/D 割り込み要求がない
1	A/D 割り込み要求が発生する

(16) A/D 割り込みマスク (IMAD:\$003、3) (HD404374/HD404384/HD404389 シリーズに適用)

A/D 割り込み要求フラグによる割り込み要求をマスクするビットです (表 18)。

表 18 A/D 割り込みマスク (IMAD : \$003,3)

A/D 割り込みマスク (IMAD)	割り込み要求
0	A/D 割り込みを許可する
1	A/D 割り込み要求をマスクする (保留する)

1.4 動作モード

MCU は表 19 に示す 5 種類の動作モードが使用可能です。

各モードの機能を表 20 に、各モード間の状態遷移図を図 11 に示します。

表 19 動作モードとクロックの状態

モード名	起動方法	状態		解除方法
		システム 発振器	サブシステム 発振器*1	
アクティブモード	<ul style="list-style-type: none"> ● RESET 解除 ● 割り込み要求 ● ストップモードにおける \overline{WU}_0 入力 ● サブアクティブモードにおける STOP/SBY 命令 (ダイレクト遷移指定時) 			<ul style="list-style-type: none"> ● RESET 入力 ● STOP/SBY 命令
スタンバイモード	<ul style="list-style-type: none"> ● SBY 命令 			<ul style="list-style-type: none"> ● RESET 入力 ● 割り込み要求
ストップモード	<ul style="list-style-type: none"> ● TMA3=0 のときの STOP 命令 	停止	*2	<ul style="list-style-type: none"> ● RESET 入力 ● \overline{WU}_0 入力
ウォッチモード*1	<ul style="list-style-type: none"> ● TMA3=1 のときの STOP 命令 	停止		<ul style="list-style-type: none"> ● \overline{INT}_0/タイマ A または \overline{WU}_0 割り込み要求
サブアクティブモード*1、*3	<ul style="list-style-type: none"> ● ウォッチモードからの \overline{INT}_0/タイマ A または \overline{WU}_0 割り込み要求 	停止		<ul style="list-style-type: none"> ● RESET 入力 ● STOP/SBY 命令

【注】 部では発振します。

*1. HD404374 シリーズに適用します。

*2. システムクロック選択レジスタ (SSR \$004) のビット 3 の設定により、発振/停止の選択ができます。

*3. サブアクティブモードは機能オプションです。機能オプションリストで指定してください。

表 20 低消費電力モードの動作

機能	ストップモード	ウォッチモード*1	スタンバイモード	サブアクティブモード*1、3
CPU	保持	保持	保持	
RAM	保持	保持	保持	
タイマ A	停止			
タイマ B	停止	停止		
タイマ C	停止	停止		
シリアルインタフェース	停止*2	停止*2		
A/D*4	停止	停止		停止
I/O	保持	保持	保持	

【注】 は動作です。

*1. HD404374 シリーズに適用します。

*2. 外部クロックモードでクロックが入力された場合、送信／受信動作を行います。ただし、割り込み動作は停止します。

*3. サブアクティブモードは機能オプションです。機能オプションリストで指定してください。

*4. HD404374/HD404384/HD404389 シリーズに適用します。

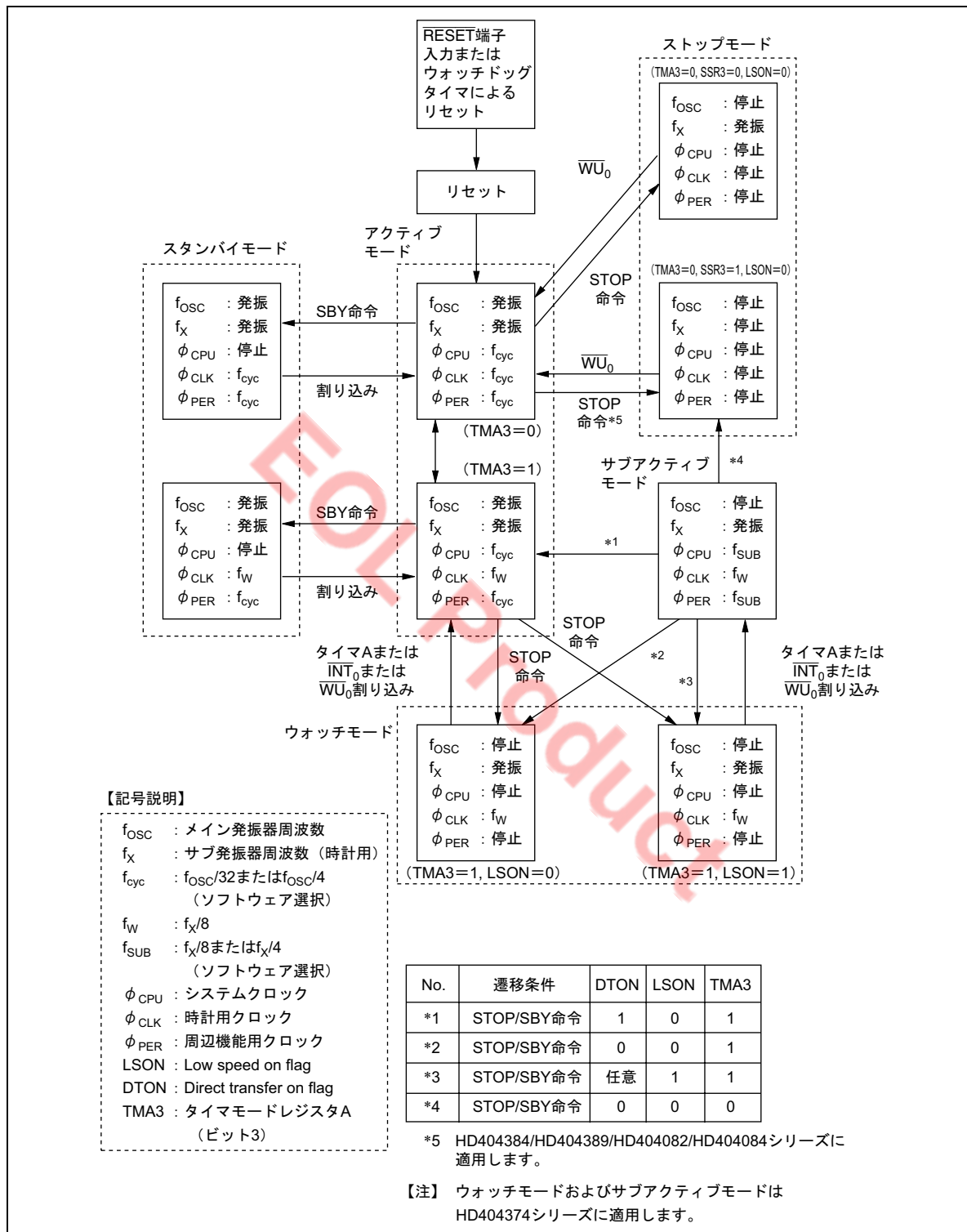


図 11 MCU の状態遷移図

(1) アクティブモード

アクティブモードでは、全機能が動作します。このモードでは MCU は OSC_1 、 OSC_2 発振回路で発生したクロックにより動作します。

(2) スタンバイモード

スタンバイモードでは、発振器は動作し続けますが、命令実行に関係したクロックが止まります。このため、CPU の動作は停止し、レジスタ、RAM、および出力に設定された D ポート/R ポートは、スタンバイモードに入る直前の状態を保持します。一方、割り込み、タイマ、シリアルインタフェースなどの周辺機能は動作を続けます。

消費電力は、CPU が停止する分だけ、アクティブモードに比べて小さくなります。

MCU をスタンバイモードへ遷移させるには、アクティブモードにおいて SBY 命令を実行してください。

スタンバイモード解除は、 \overline{RESET} 入力および割り込み要求によって行われます。 \overline{RESET} 入力によって解除された場合は、MCU のリセットが行われます。割り込み要求によって解除された場合は、MCU はアクティブモードになり、SBY 命令の次の 1 命令を実行します。命令実行後、割り込み許可フラグが"1"の場合は割り込み処理が実行され、割り込み許可フラグが"0"の場合は、割り込み要求が保留されて通常の命令実行が続けられます。

図 12 に MCU 動作フローチャートを示します。

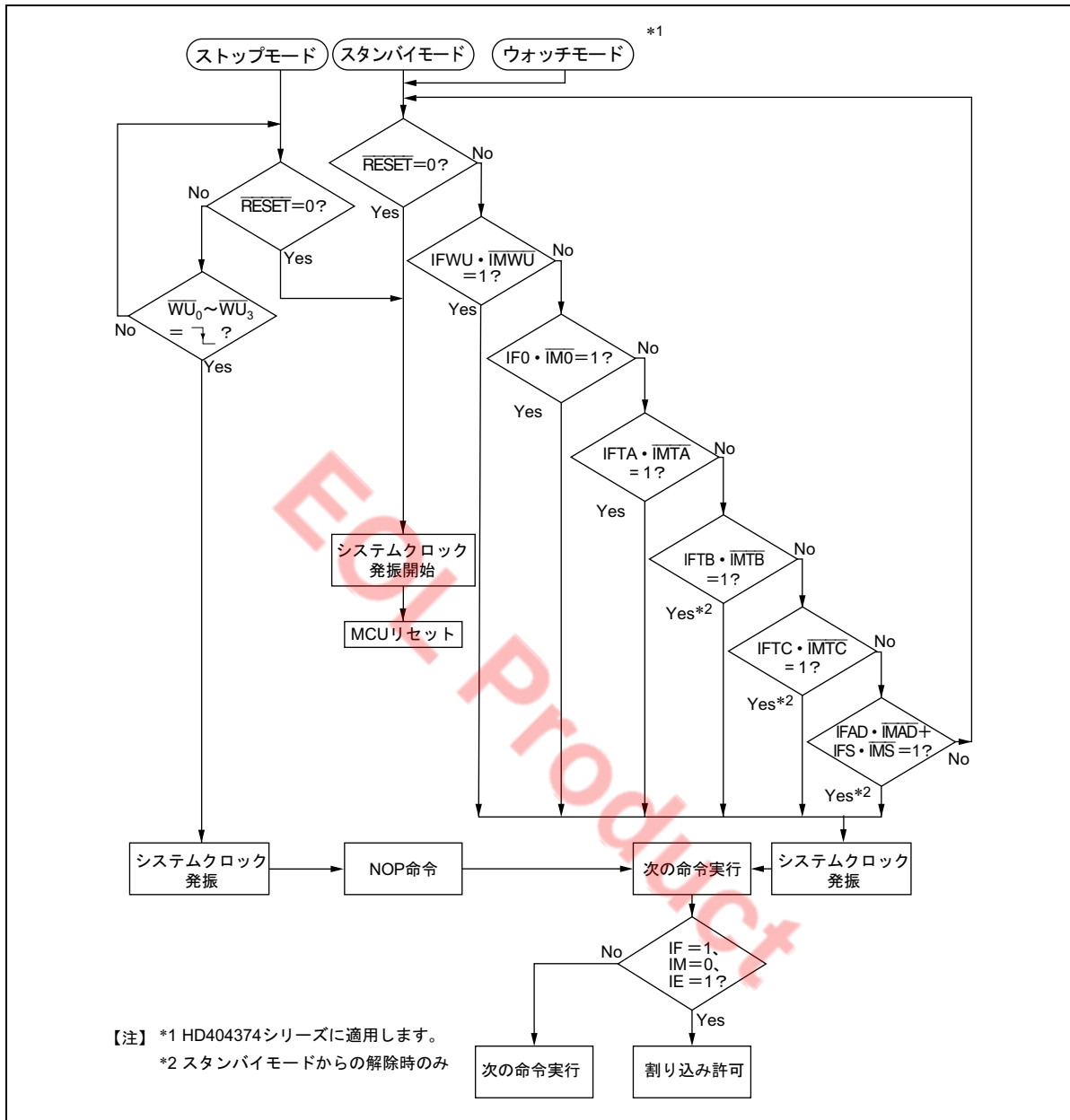


図 12 MCU 動作フローチャート

(3) ストップモード

ストップモードでは、ストップモード前の状態を保持する他は、MCUの全機能が停止します。したがって、すべての動作モードのうちで最も消費電力が小さくなります。

ストップモードでは、OSC₁、OSC₂発振器は停止します。また、X1、X2発振器は、システムクロック選択レジスタ (SSR: \$004) (図 22) のビット 3 (SSR3) により、動作 (= "0") または停止 (= "1") を選択できます。

MCU をストップモードへ遷移させるには、アクティブモードにおいて、タイマモードレジスタ A (TMA: \$00F) (図 33) のビット 3 を "0" (TMA3=0) に設定した状態で STOP 命令を実行してください。

また、ストップモードの解除は、 $\overline{\text{RESET}}$ または $\overline{\text{WU}}_0$ 入力で行います。 $\overline{\text{RESET}}$ によりストップモードを解除する場合、 $\overline{\text{RESET}}$ 入力は、図 13 のように発振安定時間 (t_{RC}) 以上印加してください (「AC 特性」の項参照)。MCU は初期化されプログラムの先頭 (0 番地) から命令実行を開始します。

MCU は、ストップモードにおいて $\overline{\text{WU}}_0$ への立ち下がりエッジを検出すると、自動的に発振安定時間を確保し、アクティブモードへ遷移します。アクティブモードへ遷移後は、STOP 命令の次の命令からプログラムを実行します (IE=0、IMWU=0)。ストップモードへ入る前に IE をセットした場合 (IE=1、IMWU=0) は、アクティブモードへ遷移後にウェイクアップ割り込み処理が実行されます。

ウェイクアップ入力によるストップモードの解除の場合、RAM データおよびレジスタは、ストップモードへの遷移前の状態を保持します。

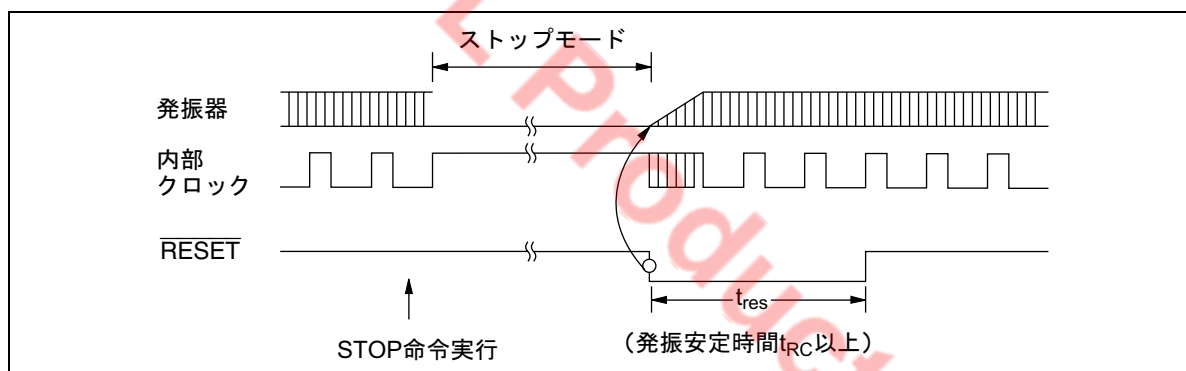


図 13 $\overline{\text{RESET}}$ 入力によるストップモードの解除タイミングチャート

【注】 システムクロック (OSC₁) に外部クロックを使用する場合において、ウェイクアップ入力によりストップモードの解除を行う場合は、ストップモードでサブクロックを停止しないでください。

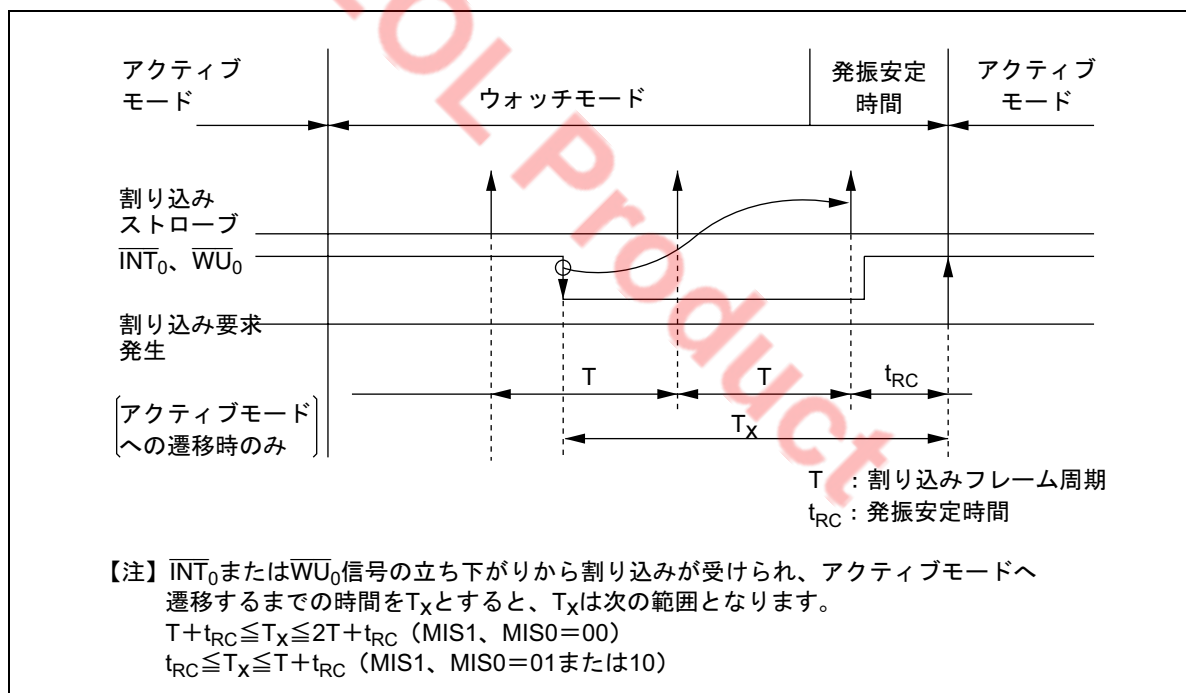
(4) ウォッチモード (HD404374 シリーズに適用)

ウォッチモードでは、X1、X2 発振器を用いた時計機能 (タイマ A) は動作しますが、その他の機能は停止します。したがって、ストップモードの次に消費電力が小さくなり、時計表示のみを行う際に便利なモードです。

ウォッチモードでは、OSC₁、OSC₂ 発振器は停止しますが、X1、X2 発振器は動作します。

MCU をウォッチモードに遷移させるには、アクティブモードかつ TMA3=1 の状態で STOP 命令を実行するか、サブアクティブモードで STOP/SBY 命令を実行してください。

ウォッチモードの解除は、 $\overline{\text{RESET}}$ 入力または $\overline{\text{INT}}_0$ /タイマ A または $\overline{\text{WU}}_0$ 割り込み要求によって行います。 $\overline{\text{RESET}}$ 入力印加の場合は、「ストップモード」の項を参照してください。 $\overline{\text{INT}}_0$ /タイマ A または $\overline{\text{WU}}_0$ 割り込み要求によって解除された場合は、LSON の値にしたがって、「0」の場合 (LSON=0) はアクティブモードへ、「1」の場合 (LSON=1) はサブアクティブモードへ遷移します。なお、アクティブモードへの遷移時の割り込み要求発生は、タイマ A 割り込みに対しては、 t_{RC} 設定時間、 $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0$ 割り込みに対しては、ミセラニアスレジスタのビット 1、0 (MIS1、MIS0) = "00" の場合 T_X ($T+t_{RC} < T_X < 2T+t_{RC}$) "01" または "10" の場合 T_X ($t_{RC} < T_X < T+t_{RC}$) 設定時間だけ延期され、発振安定時間が確保されます (図 14、図 15)。遷移時のその他の動作はウォッチモード解除時の動作に準じます (図 12)。



(5) サブアクティブモード (HD404374 シリーズに適用)

サブアクティブモードでは、OSC₁、OSC₂ 発振回路は停止し、MCU は X1、X2 発振回路で発生したクロックにより動作します。このモードでは、A/D コンバータ以外の機能が動作しますが、動作クロックが遅いため、消費電力は、ウォッチモードの次に小さくなります。

また、CPU の命令処理速度は、システムクロック選択レジスタ (SSR : \$004) のビット 2 (SSR2) の "1" または "0" 設定により、それぞれ 244 μs/122 μs の 2 通りの選択ができます。ただし、SSR2 の値の変更 (0 → 1 または 1 → 0) は、アクティブモードにおいて行ってください。サブアクティブモードで変更を行った場合、MCU が誤動作する場合があります。

サブアクティブモードを解除するには、STOP/SBY 命令を実行してください。そのときの Low スピードオンフラグ (LSON : \$020、0)、ダイレクトトランスファオンフラグ (DTON : \$020、3) の値にしたがって、ウォッチモードまたはアクティブモードへ遷移します。

なお、サブアクティブモードは機能オプションとなっていますので、この機能を使用するときは機能オプションリストで指定してください。

(6) 割り込みフレーム (HD404374 シリーズに適用)

ウォッチモード/サブアクティブモードでは、 ϕ_{CLK} がタイマ A、 \overline{WU}_0 および \overline{INT}_0 受け付け回路に供給されます。プリスケアラ W およびタイマ A はタイムベースとして動作し、割り込みフレームのタイミングを生成します。割り込みフレーム周期 T は、ミセラニアスレジスタ (MIS : \$005) により 3 通りの選択が可能です (図 15)。

ウォッチモード/サブアクティブモードでは、タイマ A/ \overline{INT}_0 または \overline{WU}_0 割り込みは、割り込みフレームに同期したタイミングで発生します。割り込み要求は、アクティブモード遷移時以外は、割り込みストローブのタイミングで発生します。タイマ A は割り込みストローブのタイミングでオーバーフローおよび割り込み要求が発生します。

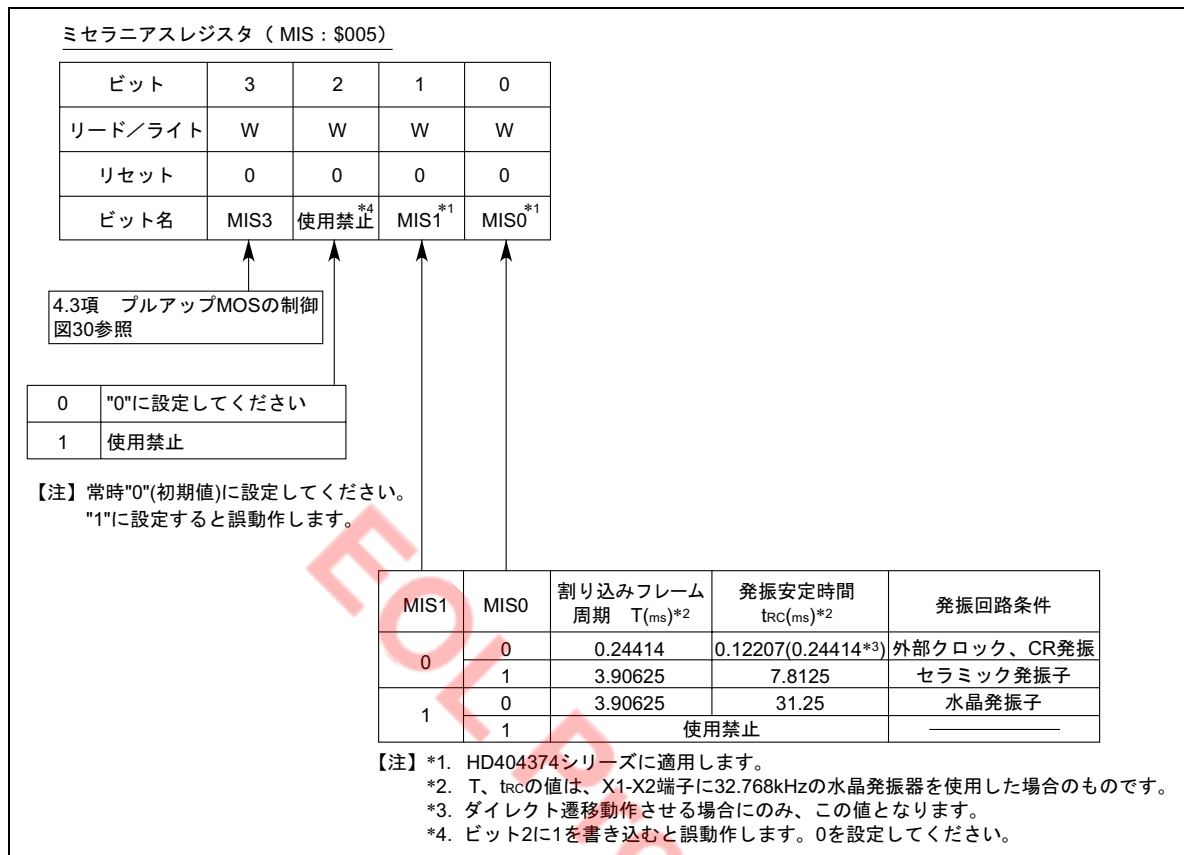


図 15 ミセラニアスレジスタ (MIS)

(7) サブアクティブ→アクティブへのダイレクト遷移 (HD404374 シリーズに適用)

ダイレクトトランスファオンフラグ (DTON : \$020、3)、Low スピードオンフラグ (LSON : \$020、0) を制御することにより、サブアクティブモードから直接アクティブモードへ遷移することが可能です。以下にその手順を示します。

- ・ サブアクティブモードにおいて、LSON="0"かつ DTON="1"に設定します。
- ・ STOP または SBY 命令を実行します。
- ・ MCU は、サブアクティブモードから MCU 内部処理時間、および発振安定時間を確保した後、自動的にアクティブモードへ遷移します (図 16)。

- 【注】
1. DTON フラグ (\$020、3) のセットはサブアクティブモード時のみ可能です。アクティブモード時は常にリセット状態です。
 2. サブアクティブモードからアクティブモードへの遷移時間 T_D は $t_{RC} < T_D < T + t_{RC}$ となります。

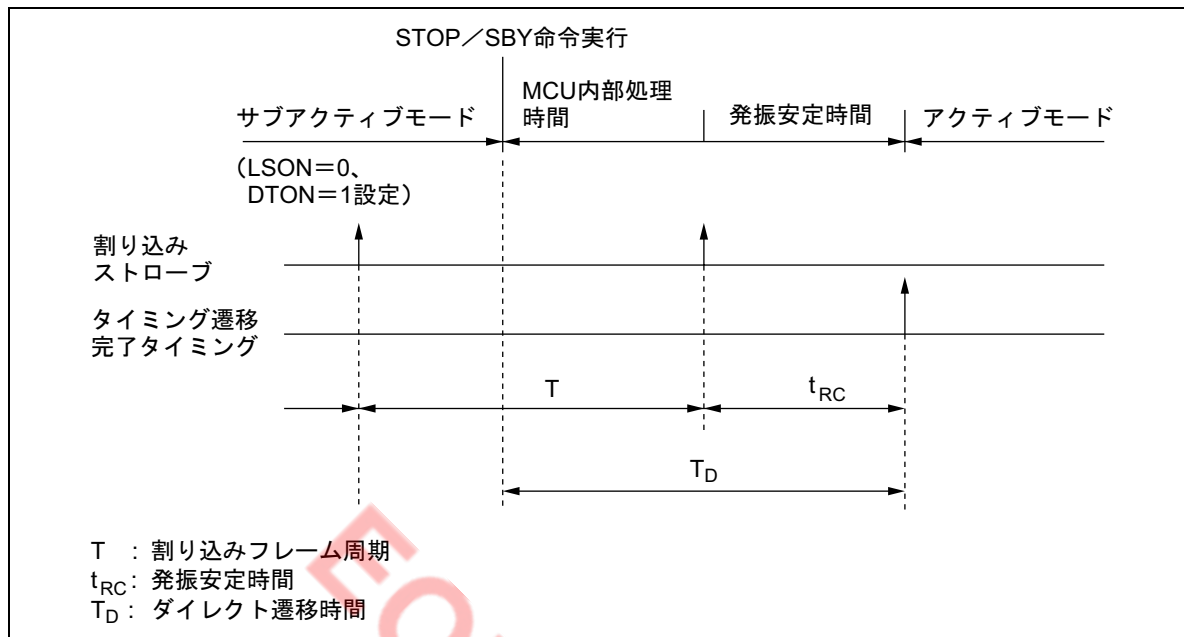


図 16 ダイレクト遷移タイミング

(8) MCU 動作シーケンス

MCUは図17に示すフローにしたがって動作します。 \overline{RESET} 入力は非同期入力であり、MCUオペレーションのどの状態であっても、 \overline{RESET} 入力によりMCUはただちにリセット状態となります。

低消費電力モード動作シーケンスにおいては、IEがクリアされ、かつ、割り込み要求フラグがセットされて当該割り込みマスクが解除された状態で、STOP/SBY命令を実行する場合、STOP/SBY命令はキャンセルされ(NOPとみなされ)次の命令を実行します。このためSTOP/SBY命令実行時には、あらかじめすべての割り込み要求フラグをクリアするか、割り込みをマスクしてください。

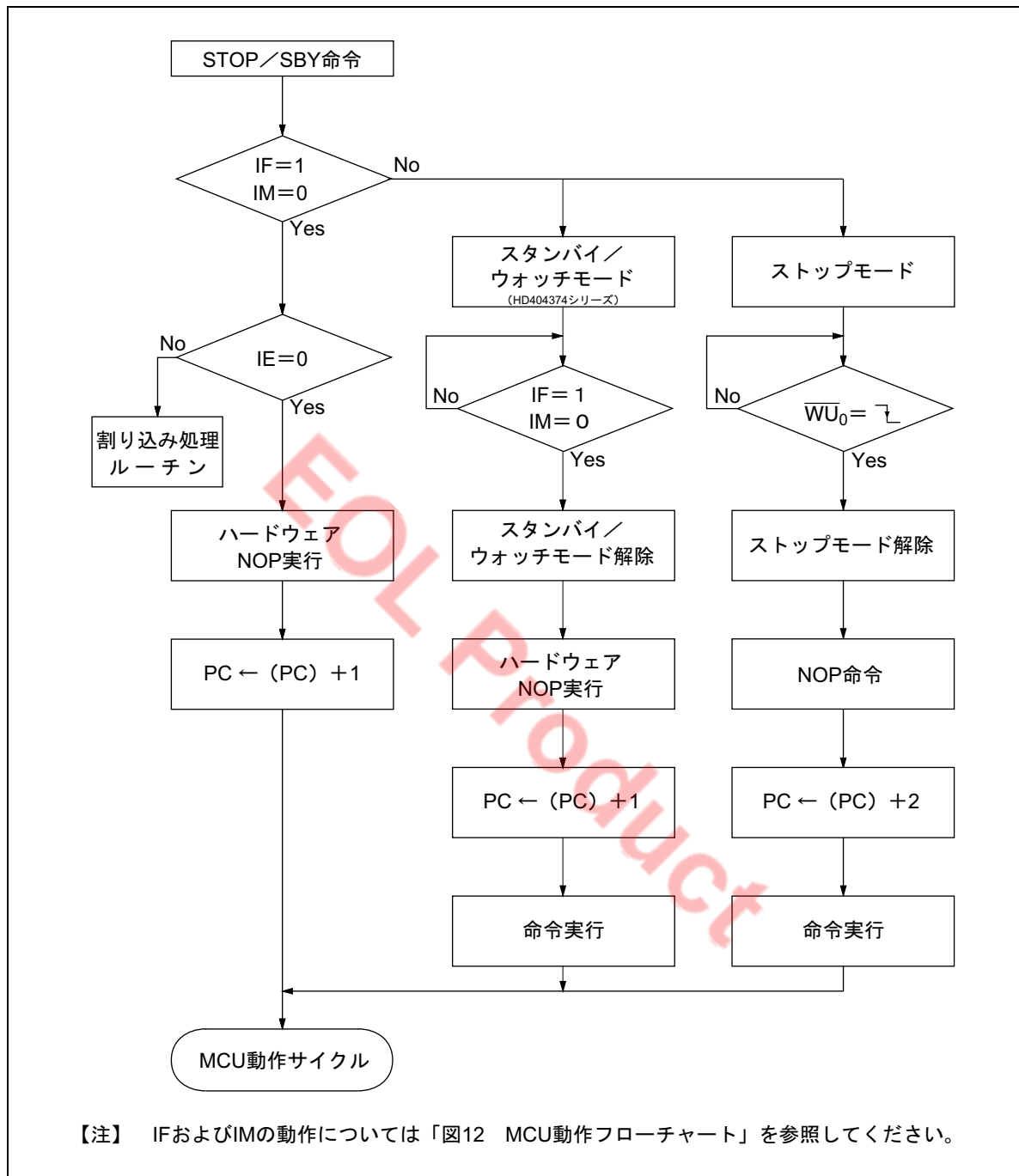


図 17 MCU 動作シーケンス (低消費電力モード動作)

(9) 使用上の注意事項 (HD404374 シリーズに適用)

ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ および $\overline{\text{WU}}_0$ の"High"レベルおよび"Low"レベル期間が、割り込みフレーム周期より小さいと割り込みが正常検出されません。

MCUのエッジセンス方法を図18に示します。 $\overline{\text{INT}}_0$ および $\overline{\text{WU}}_0$ の信号を一定周期でサンプリングし、このサンプリングの値が、"H"→"L"と続いた場合に立ち下がりエッジが発生したと判断します。

割り込み検出エラーは、このサンプリングを割り込みフレーム周期で行っているため発生します。図19(a)のように $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0$ 信号の"High"レベル期間が、割り込みフレームの間に入ってしまうと、A点="L"、B点="L"となり、立ち下がりエッジと判断されません。また、図19(b)のように $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0$ 信号の"Low"レベル期間が割り込みフレームの間に入ってしまうと、A点="H"、B点="H"となり、立ち下がりエッジと判断されません。

このため、ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0$ 信号の"High"レベル期間、"Low"レベル期間を割り込みフレーム周期以上保つようにしてください。

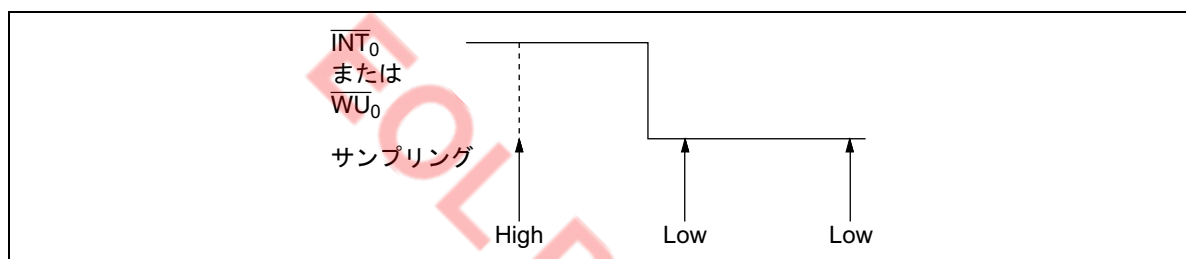


図18 エッジセンス方法

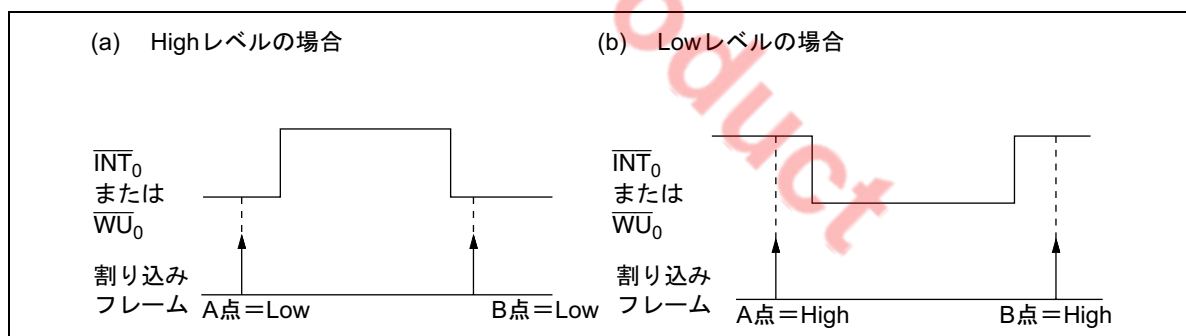


図19 サンプリング例

2. 発振回路

図 20 にクロック発生回路を示します。OSC₁、OSC₂には、表 21 のようにセラミック発振器または水晶発振器が接続でき、X1、X2 には 32.768kHz の水晶発振器が接続できます。システム発振器は外部クロック動作が可能です。またシステム発振器は CR 発振が可能です。OSC₁、OSC₂に接続する発振器の周波数により、システムクロック選択レジスタ (SSR : \$004) のビット 1 (SSR1) を設定してください (図 22)。

【注】 HD404374 シリーズは、システムクロック選択レジスタのビット 1 の設定値がシステム発振器の周波数と合っていない場合、32.768kHz 発振を使用するサブシステムが正常に動作しませんので注意してください。また、CR 発振では動作電圧および、抵抗値で周波数が変わりますので、動作周波数にあわせて、システムクロック選択レジスタのビット 1 を設定してください。このとき、使用する周波数がシステムクロック選択レジスタのビット 1 記載以外の場合、32.768kHz 発振を使用するサブシステムが正常に動作しませんので注意してください。

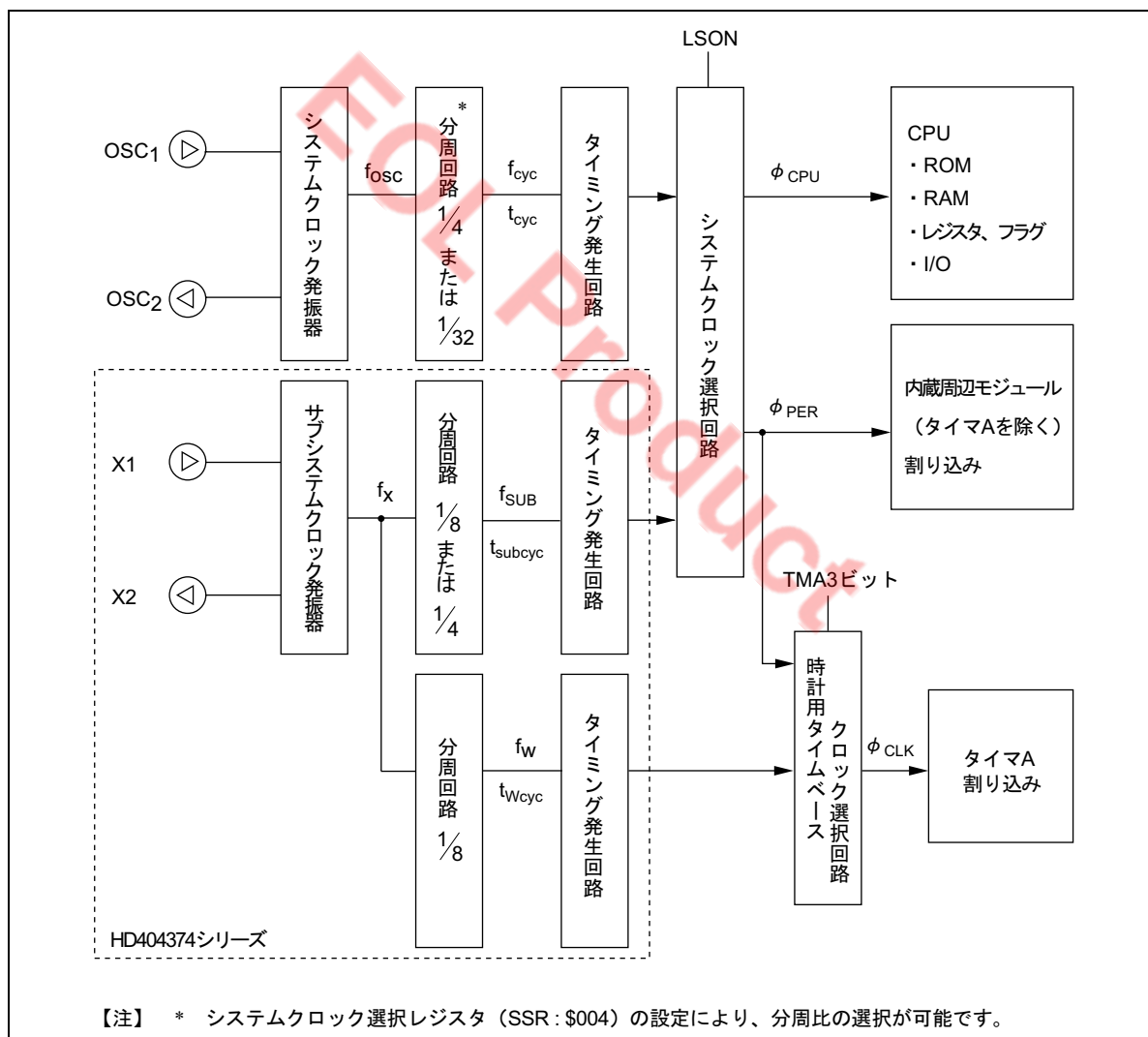


図 20 クロック発生回路

3. システムクロックギア機能

MCUは、ソフトウェアにより命令実行時間をシステムクロックの4分周と32分周の選択ができるシステムクロックギア機能を内蔵しています。高速処理が必要な場合は4分周で、それ以外は32分周で動作させることにより、効率的な電力消費が可能です。図21に、システムクロックの変換方法を示します。

4分周から32分周へのシステムクロックの変換は、次の手順で行います。初めに32分周の設定（SSR0書き込み）を行います。次にギアイネーブルフラグ（GEF：\$021,3）をセットします。これによりギア変換をするのか、スタンバイモードへ遷移するのかの区別を行います。その後でSBY命令を実行します。ギアイネーブルフラグがセットされていない場合はスタンバイモードへ、ギアイネーブルフラグがセットされていれば、ギア変換モードになります。この場合、ギア変換の間だけスタンバイモードへ遷移しますが、同期化時間を経過して自動的にアクティブモードへ遷移します。アクティブモードに遷移すると同時に、ギアイネーブルフラグはリセットされます。

32分周から4分周への変換も同様です。

ギア変換は、全ての割り込みをクリアの上、割り込みを禁止してから行ってください。ギア変換中に割り込みが発生すると、誤動作する場合があります。

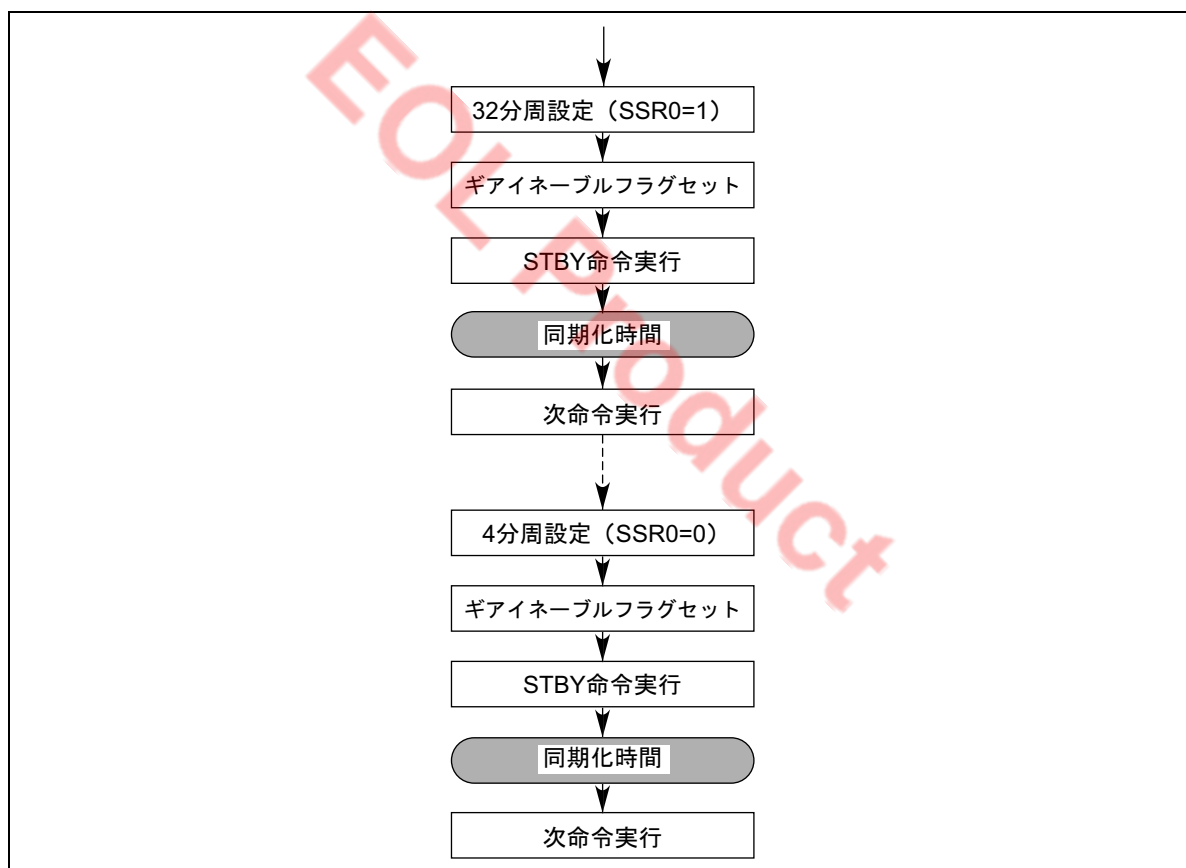


図 21 システムクロック分周変更フロー

HD404374シリーズでサブシステムクロックを使用しない場合、およびHD404384/HD404389/HD404082/HD404084シリーズでは、システムクロック選択レジスタのビット3を必ず"1"に設定してください。"1"に設定しないと誤動作します。

システムクロック選択レジスタ (SSR : \$004)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	SSR3	SSR2*1	SSR1*1	SSR0

システムクロック分周比切り替え

0	4分周 ($f_{cyc}=f_{osc}/4$)
1	32分周 ($f_{cyc}=f_{osc}/32$)

システムクロック選択

0	$f_{osc}=0.4\sim 1.0\text{MHz}$
1	$f_{osc}=1.6\sim 8.5\text{MHz}$

サブシステムクロック分周比切り替え

0	$f_{SUB}=f_x/8$
1	$f_{SUB}=f_x/4$

サブシステムクロック停止設定 (HD404374シリーズ)

0	ストップモード時、サブシステムクロック動作
1	ストップモード時、サブシステムクロック停止

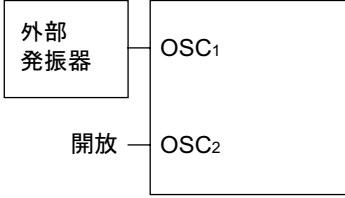
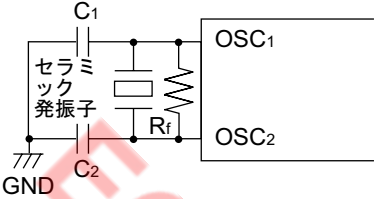
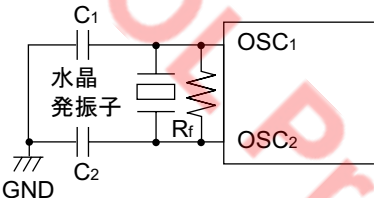
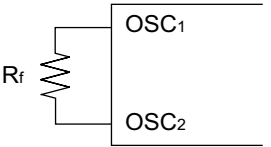
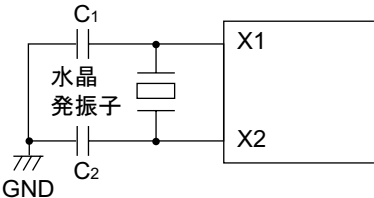
HD404374シリーズでサブシステムクロックを使用しない場合、およびHD404384/HD404389/HD404082/HD404084シリーズは電源投入後、リセット後には必ず"1"に設定してください。"0" (初期値) に設定するとストップモード時に誤動作します。

【注】 *1 HD404374シリーズに適用します。

CR発振では動作電圧および抵抗値で周波数が変わりますので、動作周波数にあわせてSSR1を設定してください。このとき、使用する周波数がSSR1記載以外の場合、32.768kHz発振を使用するサブシステムが正常に動作しませんので注意してください。

図 22 システムクロック選択レジスタ

表 21 発振回路例

	回路構成	回路定数
外部クロック動作		
セラミック発振 (OSC ₁ , OSC ₂)		セラミック発振子 : CSA4.00MG (村田製作所) $R_f = 1M\Omega \pm 20\%$ $C_1 = C_2 = 24pF \pm 20\%$
水晶発振 (OSC ₁ , OSC ₂)		$R_f = 1M\Omega \pm 20\%$ $C_1 = C_2 = 10 \sim 20pF \pm 20\%$
CR 発振 (OSC ₁ , OSC ₂)		$R_f = 20k\Omega \pm 1\%$
水晶発振 (X1, X2) HD404374 シリーズ		水晶 : 32.768kHz : MX38T (日本電波工業) $C_1 = C_2 = 20pF \pm 20\%$

- 【注】
- 水晶発振またはセラミック発振の場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分ご相談の上決定してください。
 - OSC₁、OSC₂ 端子と (X1、X2 端子) および外部外付け部品との配線は極力短くし、他の配線がこれらの配線と交差しないようにしてください (配置例図 23 参照)。
 - 32.768kHz 水晶発振を使用しない場合は X1 端子を V_{CC} に固定し、X2 端子は開放にしてください。

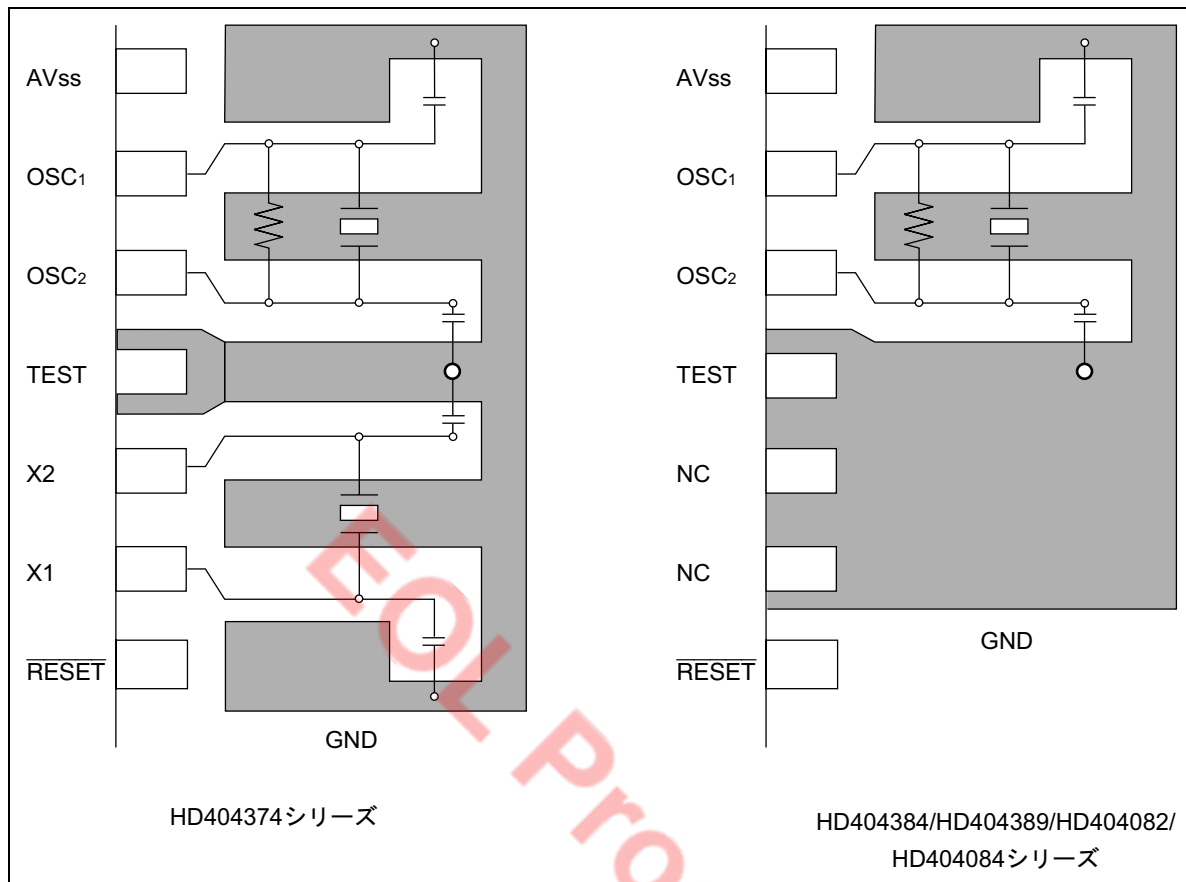


図 23 水晶、セラミック発振子の配置例

4. 入力／出力

MCU は、20 本の入出力端子 ($D_0 \sim D_9$ 、 R_{0_0} 、 R_{1_0} 、 R_{1_3} 、 $R_{2_0} \sim R_{2_2}$ 、 $R_{7_0} \sim R_{7_3}$) を持っています。以下に特長をまとめて示します。

- (1) $D_0 \sim D_3$ の 4 本はソース大電流 (10mA max.) 入出力端子です。
- (2) $D_4 \sim D_7$ の 4 本はシンク大電流 (15mA max.) 入出力端子です。
- (3) 入出力端子には、タイマやシリアルインタフェースなどの周辺機能と兼用になっている端子 (D_0 、 R_{0_0} 、 R_{1_0} 、 R_{1_3} 、 $R_{2_0} \sim R_{2_2}$ 、 $R_{7_0} \sim R_{7_3}$) があります。これらの端子では、D ポートあるいは R ポートとしての設定よりも、周辺機能としての設定の方が優先するようになっています。周辺機能としての設定を行った端子は、その設定に合わせて端子機能や入力／出力が自動的に切り換わります。
- (4) 入出力端子の入力／出力の選択、あるいは周辺機能と兼用になっている端子でのポート／周辺機能の選択は、プログラムにより行います。
- (5) 周辺機能端子の出力端子はすべて CMOS 出力となります。ただし、SO 端子、 R_{2_2} ポートはプログラムにより NMOS オープンドレイン出力に設定することができます。
- (6) リセット時には、周辺機能選択は解除されます。また、データコントロールレジスタ (DCD、DCR) もリセットされるため、入力／出力端子はハイインピーダンス状態となります。
- (7) 各入出力端子はプルアップ MOS を内蔵しており、プログラムにより端子ごとに ON/OFF の設定が可能です。

図 24 に入出力バッファの構成を、表 22 にプログラムによる入出力端子の回路構成制御を示します。表 23 に各入出力端子の回路構成を示します。

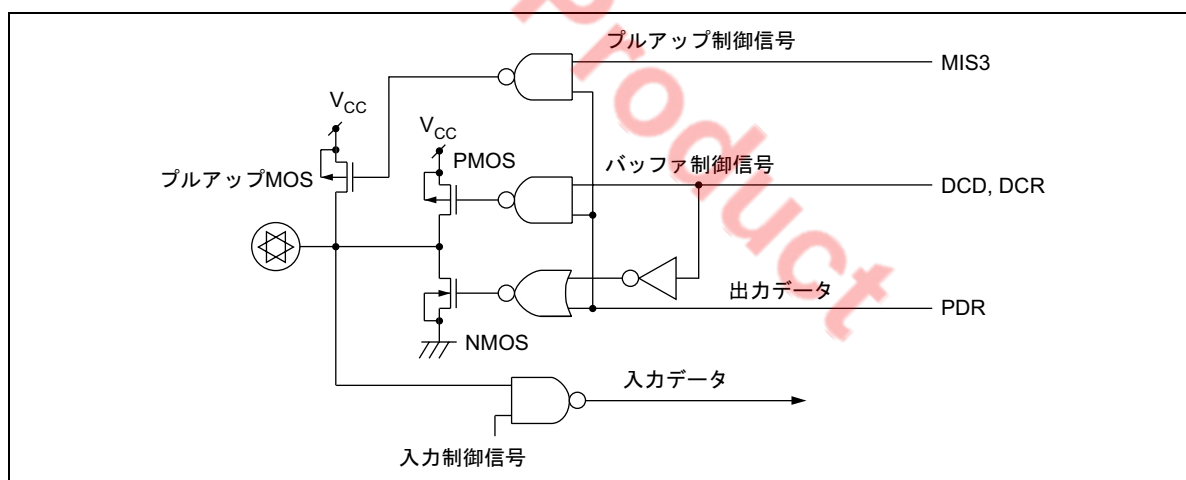


図 24 入出力端子の回路構成

表 22 プログラムによる入出力端子の回路構成制御

MIS3 (MIS のビット 3)		0				1			
DCD,DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	—		—	ON	—		—	ON
	NMOS			ON	—			ON	—
プルアップ MOS		—				—	ON	—	ON

【注】 — : OFF

表 23 入力／出力端子の回路構成(1)

区分	回路構成	適用端子
入出力端子	<p>プルアップ制御信号 MIS3 バッファ制御信号 DCD, DCR 出力データ PDR 入力データ 入力制御信号</p>	D ₀ ~D ₉ R ₀ R ₁₀ 、R ₁₃ R ₂₀ 、R ₂₁ R ₇₀ ~R ₇₃ ^{*2}
	<p>プルアップ制御信号 MIS3 バッファ制御信号 DCR, SMR22 出力データ PDR 入力データ 入力制御信号</p>	R ₂₂
	<p>プルアップ制御信号 MIS3 バッファ制御信号 DCR 出力データ PDR A/D入力 A/Dチャンネル制御信号 入力データ 入力制御信号</p>	R ₇₀ ~R ₇₃ / AN ₀ ~AN ₃ ^{*1}

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力／出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

*1 HD404374/HD404384/HD404389 シリーズに適用

*2 HD404082/HD404084 シリーズに適用

表 23 入力/出力端子の回路構成(2)

区分	回路構成	適用端子
内蔵 周辺 モジ ュール 用	<p>プルアップ制御信号 MIS3 PDR 出力データ 入出力制御信号 SCK 入力データ → SCK</p>	SCK
	<p>プルアップ制御信号 MIS3 PDR PMOS制御信号 SMR22 出力データ SO</p>	SO
	<p>プルアップ制御信号 MIS3 PDR 出力データ TOB、TOC</p>	TOB、TOC
	<p>入力データ → RESET</p>	RESET
	<p>MIS3 PDR WU₀ etc.</p>	SI、INT ₀ 、WU ₀ 、 EVNB
	<p>A/D入力 A/Dチャンネル制御信号</p>	AN ₄ 、AN ₅ ^{*1}

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力/出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

*1 HD404389 シリーズに適用

4.1 Dポート

Dポートは、1ビットごとにアドレスされる10本の入出力端子から構成されています。

D₀~D₃ポートはソース大電流入出力端子、D₄~D₇ポートはシンク大電流入出力端子です。

Dポートは、SED命令/RED命令、SEDD命令/REDD命令によるセット、リセットが可能です。出力データは各端子のポートデータレジスタ (PDR) に格納されます。また、すべてのDポートは、TD命令/TDD命令によるテストが可能です。

Dポートの出力バッファのON/OFFはDポート用データコントロールレジスタ (DCD0~DCD2: \$030~\$032) により行います。DCDはメモリアドレス上にマッピングされています (図25)。

D₀ポートは、割り込み入力端子 \overline{INT}_0 と兼用です。割り込み端子への設定はポートモードレジスタ0 (PMR0: \$008) のビット0 (PMR00) により行います (図26)。

データコントロールレジスタ (DCD0~2: \$030~\$032) (DCR0~2, 7: \$034~\$036, \$03B)					
レジスタ名	ビット名	3	2	1	0
DCDn (n=0~2)	リード/ライト	W	W	W	W
	リセット	0	0	0	0
	ビット名	DCDn3	DCDn2	DCDn1	DCDn0
DCRm (m=0~2, 7)	リード/ライト	W	W	W	W
	リセット	0	0	0	0
	ビット名	DCRm3	DCRm2	DCRm1	DCRm0

全ビット	CMOSバッファの制御
0	CMOSバッファをOFFする (ハイインピーダンス)
1	CMOSバッファアクティブ

DCD、DCR各ビットとポートとの対応

レジスタ名	ビット3	ビット2	ビット1	ビット0
DCD0	D ₃	D ₂	D ₁	D ₀
DCD1	D ₇	D ₆	D ₅	D ₄
DCD2	—	—	D ₉	D ₈
DCR0	—	—	—	R ₀₀
DCR1	R ₁₃	—	—	R ₁₀
DCR2	—	R ₂₂	R ₂₁	R ₂₀
DCR7	R ₇₃	R ₇₂	R ₇₁	R ₇₀

図25 データコントロールレジスタ (DCD、DCR)

4.2 R ポート

R ポートは、4 ビットごとにアドレスされる 10 本の入出力端子から構成されています。

LAR 命令、LBR 命令による入力、および LRA 命令、LRB 命令による出力ができます。出力データは各端子のポートデータレジスタ (PDR) に格納されます。

R ポートの出力バッファの ON/OFF は、R ポート用データコントロールレジスタ (DCR0~DCR2、DCR7 : \$034~\$036、\$03B) により行います。DCR はメモリアドレス上にマッピングされています (図 25)。

R0₀ ポートは、ウェイクアップ入力端子 \overline{WU}_0 と兼用です。この端子の周辺機能端子への設定は、ポートモードレジスタ 1 (PMR1 : \$009) により行います (図 27)。

R1₀ ポートは、周辺機能端子 EVNB と兼用です。この端子の周辺機能端子への設定は、ポートモードレジスタ 2 (PMR2 : \$00A) のビット 0 (PMR20) により行います (図 28)。

R1₃、R2₀ ポートは、それぞれ周辺機能端子 TOB、TOC と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 2 (PMR2 : \$00A) のビット 3 (PMR23) およびポートモードレジスタ 3 (PMR3 : \$00B) のビット 0 (PMR30) により行います (図 28、29)。

R2₁~R2₂ ポートは、それぞれ周辺機能端子 \overline{SCK} 、SI/SO 端子と兼用です。これらの端子の周辺機能端子への設定は、ポートモードレジスタ 3 (PMR3 : \$00B) のビット 1~3 (PMR31~PMR33) により行います (図 29)。

R7₀~R7₃ ポートは、それぞれ周辺機能端子 AN₀~AN₃ と兼用です。(HD404374/HD404384/HD404389 シリーズのみ) これらの端子の周辺機能端子への設定は、A/D モードレジスタ (AMR : \$028) のビット 1~3 (AMR1~AMR3) により行います (8 項 A/D コンバータ 図 64 参照)。

ポートモードレジスタ 0 (PMR0 : \$008)				
ビット	3	2	1	0
リード/ライト	—	—	—	W
リセット時初期値	—	—	—	0
ビット名	使用禁止	使用禁止	使用禁止	PMR00

PMR00	D ₀ /INT ₀ ピンモード選択
0	D ₀
1	INT ₀

図 26 ポートモードレジスタ 0

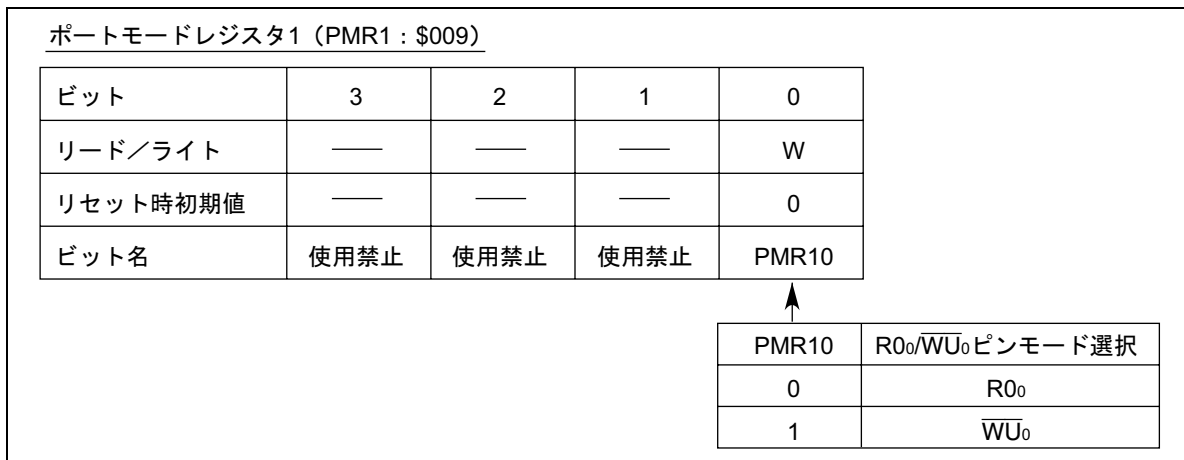


図 27 ポートモードレジスタ 1 (PMR1 : \$009)

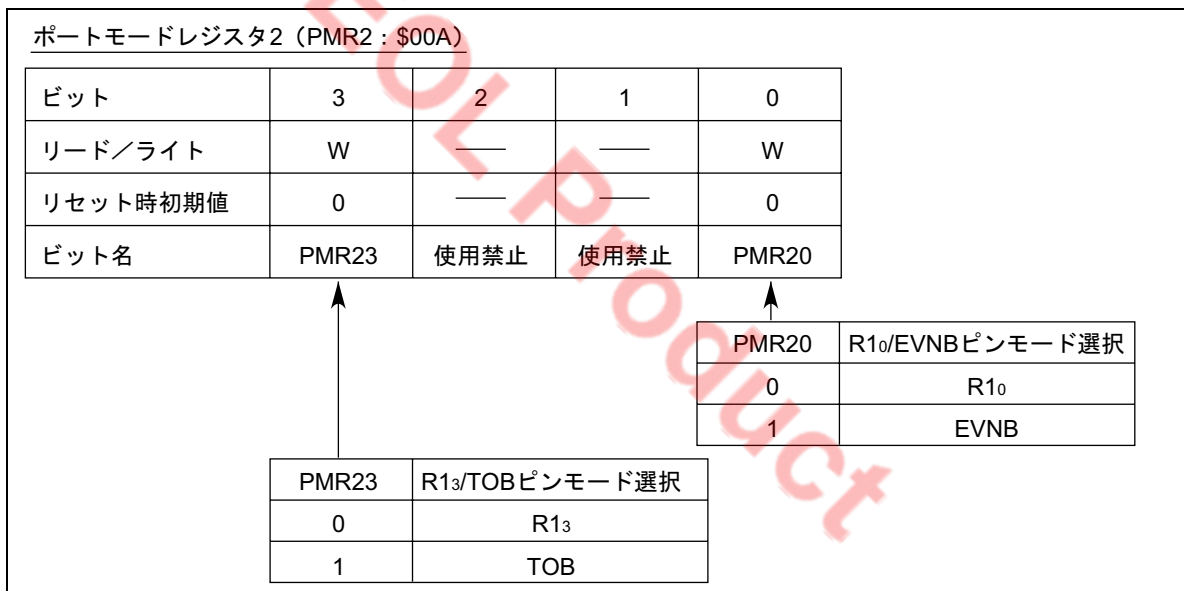


図 28 ポートモードレジスタ 2 (PMR2 : \$00A)

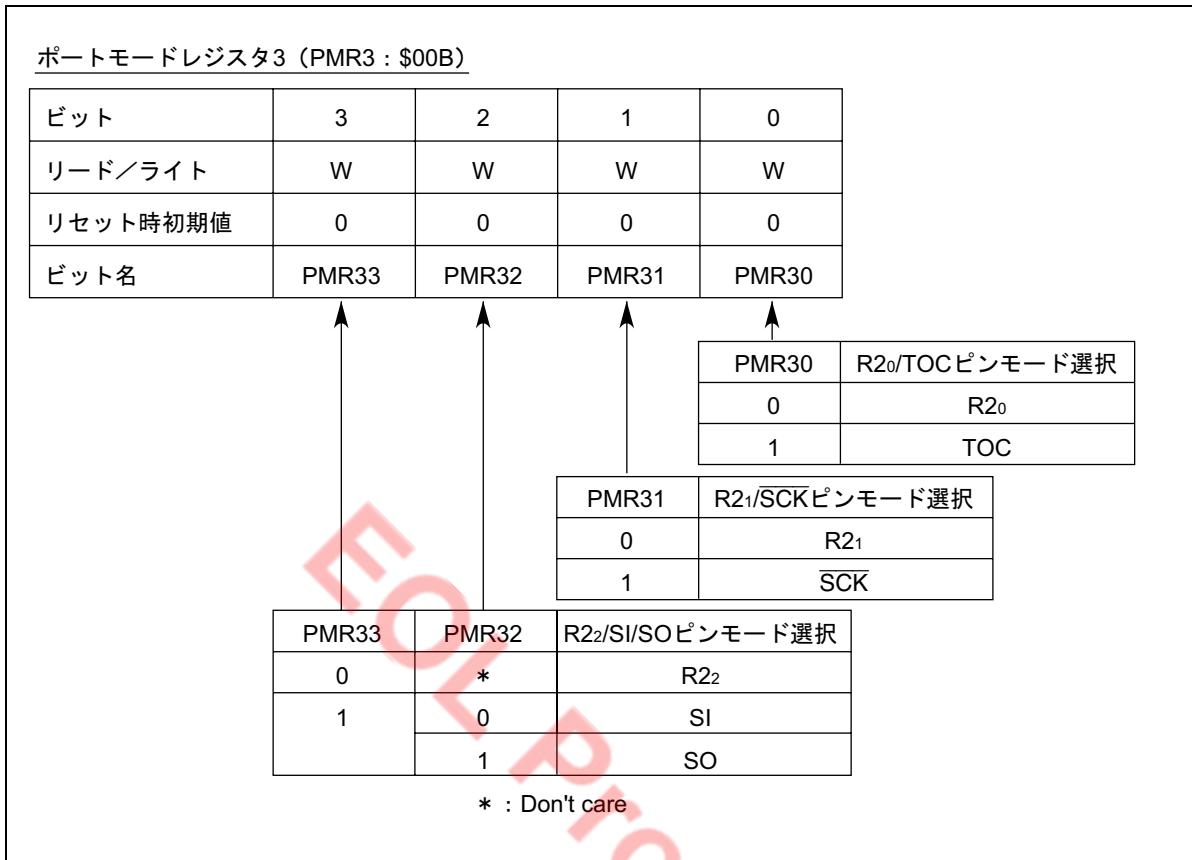


図 29 ポートモードレジスタ 3 (PMR3 : \$00B)

4.3 プルアップ MOS の制御

プログラムで制御可能なプルアップ MOS は、すべての入出力端子に内蔵されています。
 全プルアップ MOS の ON/OFF は、ミセラニアスレジスタ (MIS : \$005) のビット 3 (MIS3) 、および、各端子のポートデータレジスタ (PDR) によって制御するため、各端子ごとに独立して ON/OFF することができます (表 22、図 30) 。
 なお、プルアップ MOS の ON/OFF 設定は、アナログ入力兼用端子を除き内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

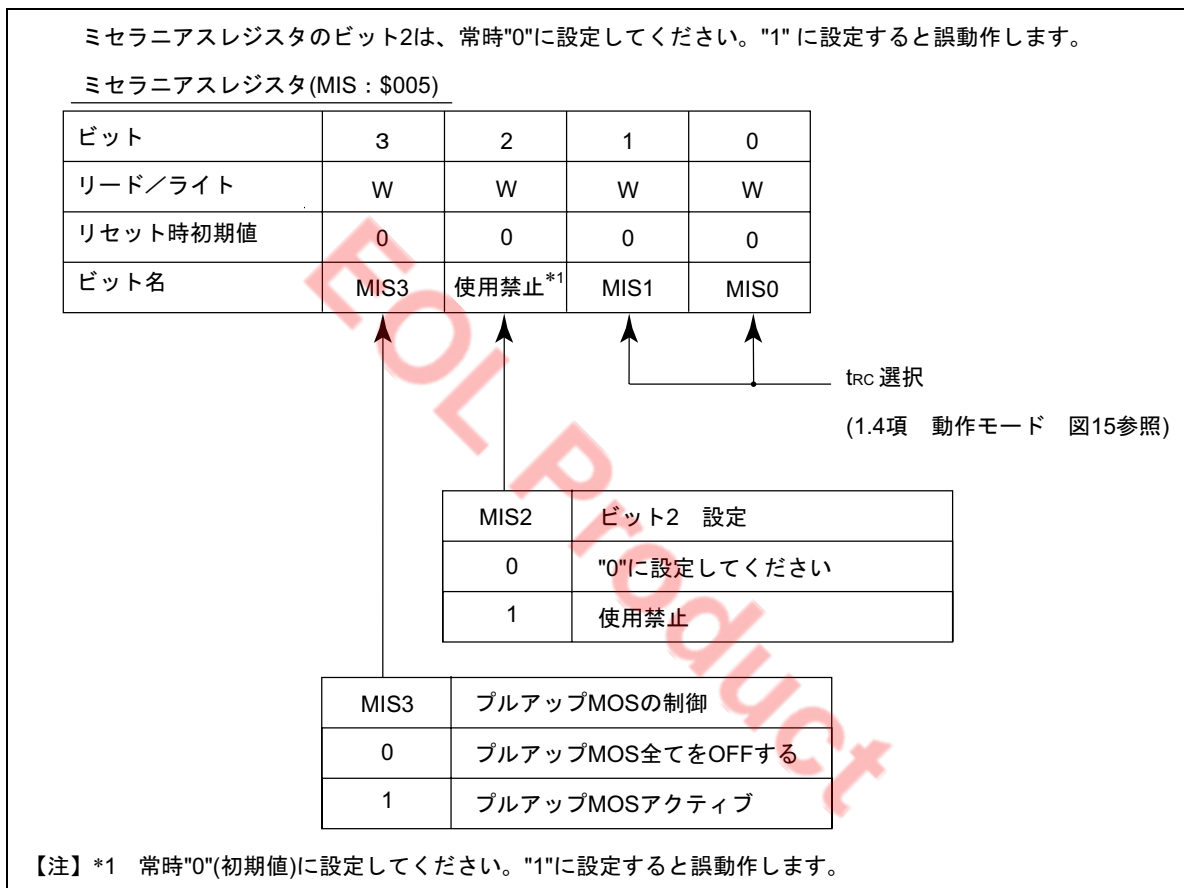


図 30 ミセラニアスレジスタ (MIS)

4.4 ユーザシステムで使用していない入出力端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、ノイズにより LSI が誤動作する可能性がありますので、端子の電位を固定する必要があります。
 この場合、内蔵プルアップ MOS で V_{CC} にプルアップするか、100kΩ程度の抵抗を付けて V_{CC} にプルアップしてください。

5. プリスケーラ

MCUは、次のプリスケーラを内蔵しています。

- (1) プリスケーラ S (PSS)
- (2) プリスケーラ W (PSW) (HD404374 シリーズ)

それぞれのプリスケーラにつき、動作条件を表 24 に、また出力の供給先を、図 31 に示します。外部イベント以外のタイマ A～C の入力クロック、および外部クロック以外のシリアル転送クロックは、それぞれのモードレジスタによってプリスケーラ出力の中から選択します。

5.1 プリスケーラの動作

(1) プリスケーラ S (PSS)

プリスケーラ S はシステムクロックを入力とする 11 ビットのカウンタです。MCU のリセットによって \$000 にリセットされた後、システムクロックを分周します。プリスケーラ S は MCU によるリセット、ストップモード、およびウォッチモード*1 により動作が停止します。それ以外のモードでは停止しません。

(2) プリスケーラ W (PSW) (HD404374 シリーズ)

プリスケーラ W は、X1 入力 (32kHz 水晶発振) を分周したクロックを入力とするカウンタです。MCU のリセットによって \$00 にリセットされた後、入力クロックを分周します。また、プリスケーラ W のリセットは、ソフトウェアによっても可能です。

表 24 プリスケーラ動作条件

名称	入力クロック	リセット条件	停止条件
プリスケーラ S	<ul style="list-style-type: none"> ● アクティブ、スタンバイモード時はシステムクロック ● サブアクティブモード*1時はサブシステムクロック 	<ul style="list-style-type: none"> ● MCU リセット 	<ul style="list-style-type: none"> ● MCU リセット ● ストップモード ● ウォッチモード*1
プリスケーラ W	<ul style="list-style-type: none"> ● サブシステムクロックによる 32.768kHz 発振を 8 分周したクロック 	<ul style="list-style-type: none"> ● MCU リセット ● ソフトウェア*2 	<ul style="list-style-type: none"> ● MCU リセット ● ストップモード

【注】 *1 HD404374 に適用します。

*2 タイマモードレジスタ A (TMA) の TMA3～TMA1 をすべて 1 にセットすると、PSW は \$00 にクリアされます。

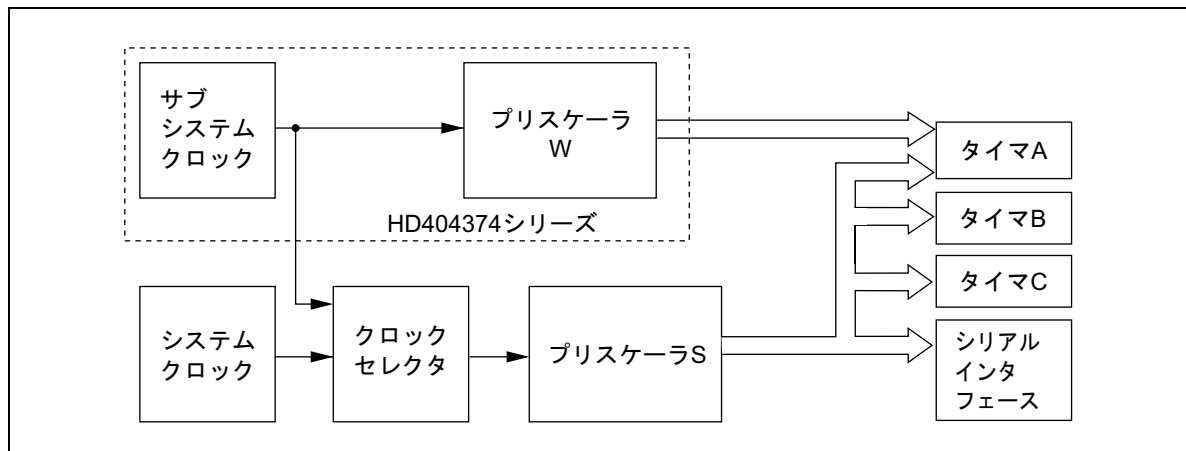


図 31 プリスケラ出力の供給先

EOL Product

6. タイマ

MCUは、タイマA～Cの3本のタイマを内蔵しています。

- (1) タイマA フリーランニングタイマ
- (2) タイマB 多機能タイマ
- (3) タイマC 多機能タイマ

タイマAは8ビットのフリーランニングタイマです。タイマB、Cは8ビットの多機能タイマで、それぞれ表25に示す機能を有しており、プログラムにより動作モードの設定を行います。

表 25 タイマの機能別分類

タイマ	クロックソース			タイマ機能					タイマ出力	
	プリスケアラS	プリスケアラW*	外部イベント	フリーランニング	タイムベース*	イベントカウンタ	リロード	ウォッチドッグ	トグル	PWM
タイマA	○	○	—	○	○	—	—	—	—	—
タイマB	○	—	○	○	—	○	○	—	○	○
タイマC	○	—	—	○	—	—	○	○	○	○

【注】 * HD404374 に適用します。

6.1 タイマA

6.1.1 タイマAの機能

タイマAには、次の機能があります。

- (1) フリーランニングタイマ
- (2) 時計用タイムベース

タイマAのブロック図を図32に示します。

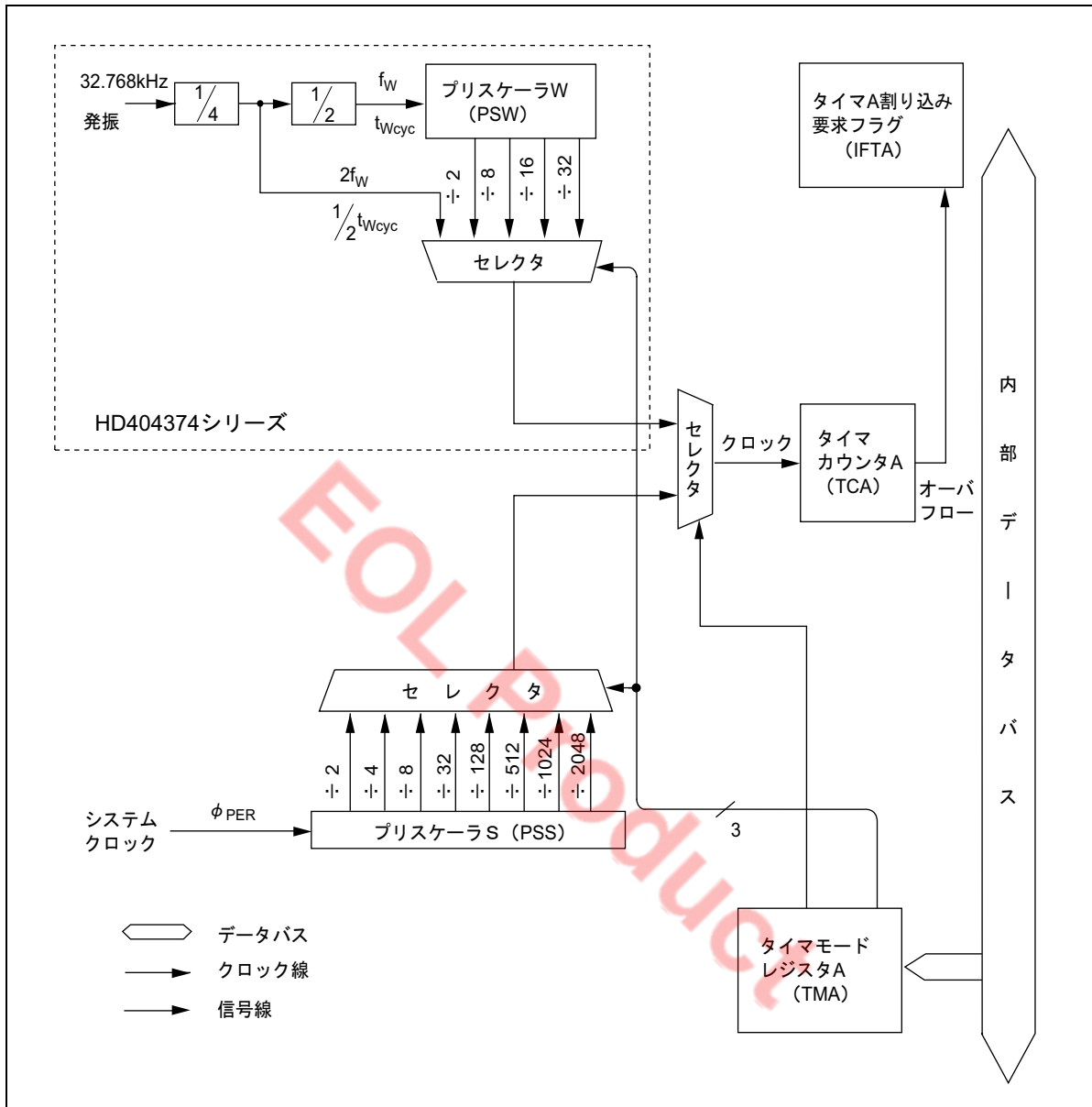


図 32 タイマ A ブロック図

6.1.2 タイマ A の動作

(1) フリーランニングタイマの動作

タイマ A への入力クロックは、タイマモードレジスタ A (TMA : \$00F) によって選択します。

タイマ A は、MCU のリセットにより \$00 にリセットされ、入力クロックが印加されるごとにカウントアップします。タイマ A の値が \$FF になった後に入力クロックが印加されるとオーバフロー出力が発生し、タイマ A の値は \$00 になります。発生したオーバフロー出力によって、タイマ A 割り込み要求フラグ (IFTA : \$002, 0) がセットされます。タイマ A は \$00 になった後も停止せずにカウントアップを続けますので、256 個の入力クロックごとに定期的に割り込みが発生します。

(2) 時計用タイムベース動作 (HD404374 シリーズ)

タイマ A は、タイマモードレジスタ A のビット 3 (TMA3) を "1" に設定することで、時計用タイムベースとして使用できます。プリスケアラ W の出力がタイマカウンタ A に入力されるため、32.768kHz 水晶発振を基本クロックとした正確なタイミングで割り込みが発生します。

タイマ A を時計用タイムベースとして使用する場合、プログラムによりプリスケアラ W、およびタイマカウンタ A を \$00 にリセットすることができます。

6.1.3 タイマ A 使用レジスタ

タイマ A は、次のレジスタにより動作の設定を行います。

- タイマモードレジスタ A (TMA : \$00F)

タイマモードレジスタ A (TMA : \$00F) は、書き込み専用の 4 ビットレジスタです。タイマ A の動作の選択および入力クロックの選択を図 33 のように設定します。

タイマモードレジスタ A (TMA : \$00F)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	TMA3 ^{*4}	TMA2	TMA1	TMA0

TMA3 ^{*4}	TMA2	TMA1	TMA0	ソースプリスケアラ	入カクロック周期	動作モード
0	0	0	0	PSS	2,048 t _{cyc}	タイマA モード
			1	PSS	1,024 t _{cyc}	
		1	0	PSS	512 t _{cyc}	
			1	PSS	128 t _{cyc}	
	1	0	0	PSS	32 t _{cyc}	
			1	PSS	8 t _{cyc}	
		1	0	PSS	4 t _{cyc}	
			1	PSS	2 t _{cyc}	
1	0	0	0	PSW	32 t _{wcyc}	タイムベース モード
			1	PSW	16 t _{wcyc}	
		1	0	PSW	8 t _{wcyc}	
			1	PSW	2 t _{wcyc}	
	1	0	0	PSW	1/2 t _{wcyc}	
			1	使用禁止		
		1	×	PSW,TCAリセット		

× : Don't care

- 【注】 1. t_{wcyc}=244.14 μs(32.768 kHz水晶発振使用時)
 2. タイマカウンタオーバーフロー出力周期 (s)=入カクロック周期 (s)×256
 3. タイムベースモード使用時に分周比を途中で切り替えると、オーバーフロー周期に誤差が発生しますので、途中切り替えは行わないでください。
 4. HD404374シリーズに適用します。HD404384/HD404389/HD404082/HD404084シリーズでは、「0」を書き込んでください。

図 33 タイマモードレジスタ A (TMA)

6.2 タイマ B

6.2.1 タイマ B の機能

タイマ B には、次の機能があります。

- (1) フリーランニング/リロードタイマ
- (2) 外部イベントカウンタ
- (3) タイマ出力動作（トグル出力、PWM 出力）

タイマ B のブロック図を図 34 に示します。

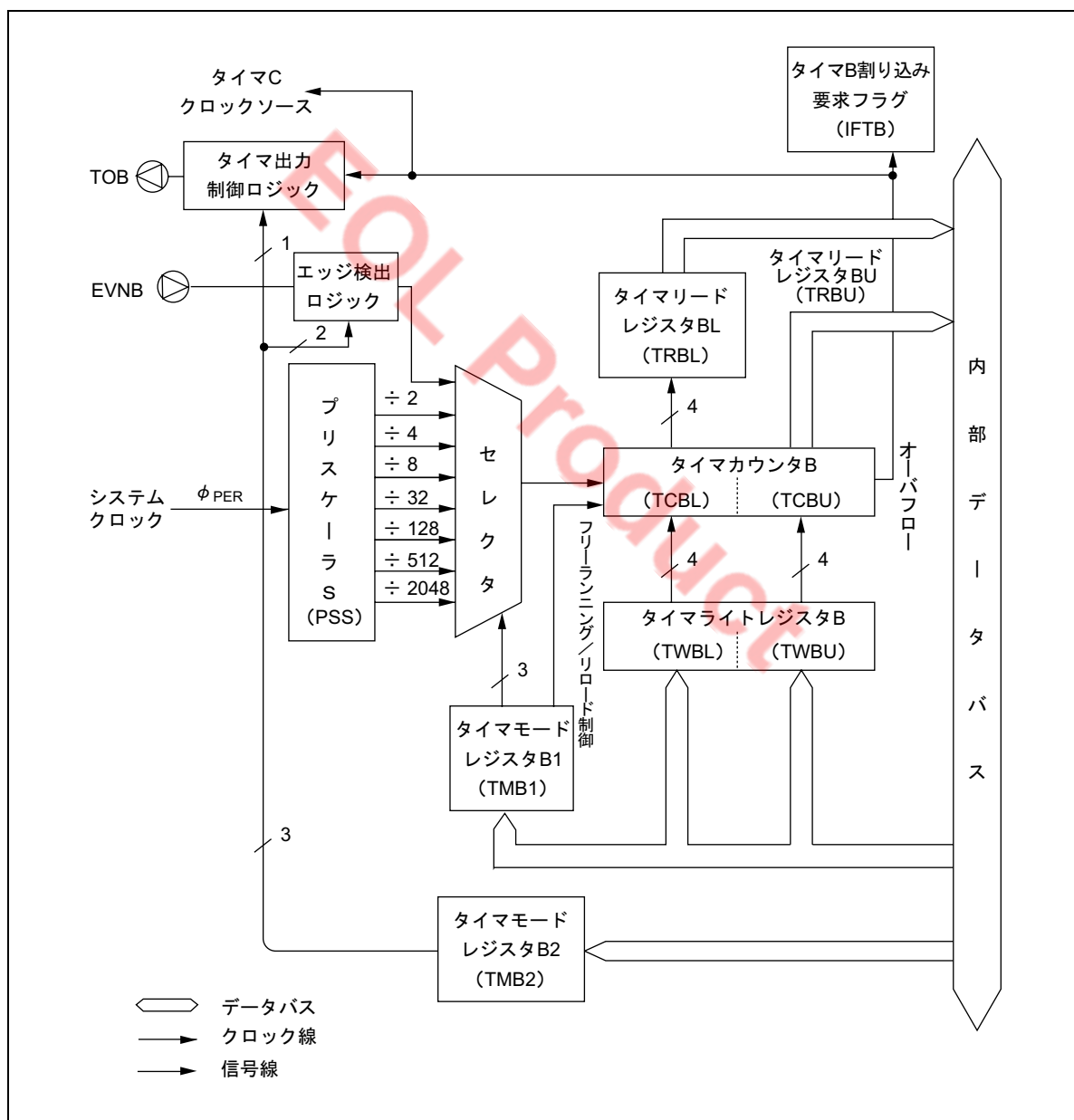


図 34 タイマ B ブロック図

6.2.2 タイマ B の動作

(1) フリーランニング/リロードタイマ

フリーランニング/リロードタイマの選択、入力クロックソース、およびプリスケアラ分周比は、タイマモードレジスタ B1 (TMB1) により選択します。

タイマ B は、ソフトウェアによってタイマライトレジスタ B (TWBL、TWBU) に書き込んだ値に初期設定し、入力クロックが印加されるごとに"1"ずつカウントアップします。タイマ B の値が\$FF になった後に入力クロックが印加されると、オーバフロー出力が発生します。このときタイマ B は、リロードタイマが選択されている場合タイマライトレジスタ B (TWBL、TWBU) の値に、フリーランニングタイマが選択されている場合\$00 に設定され、再びカウントアップを開始します。

オーバフロー出力により、タイマ B 割り込み要求フラグ (IFTB) がセットされます。タイマ B 割り込み要求フラグ (IFTB) のリセットは、プログラムあるいは MCU のリセットにより行います。

詳細は「図 3 割り込み制御ビットおよびレジスタフラグエリアの構成」と、「表 1 MCU リセットによる初期値」を参照してください。

(2) 外部イベントカウンタ動作

タイマ B は、入力クロックに外部イベント入力を設定すると、外部イベントカウンタとして動作します。外部イベント入力を使用する場合には、ポートモードレジスタ 2 (PMR2) によって R10/EVNB 端子を EVNB 端子に設定します。

タイマ B に対する外部イベントの検出エッジは、タイマモードレジスタ B2 (TMB2) により、入力信号の立ち下がりエッジ、立ち上がりエッジ、および立ち下がり/立ち上がり両エッジのいずれかが選択されます。立ち下がり/立ち上がり両エッジを選択した場合、入力信号の立ち下がりと立ち上がりエッジの間隔は、 $2t_{\text{cyc}}$ 以上としてください。

タイマ B は、EVNB 端子への入力信号の立ち下がりエッジを検出をするごとに"1"ずつカウントアップします。他の動作はフリーランニング/リロードタイマに準じます。

(3) タイマ出力動作

タイマ B は、ポートモードレジスタ 2 (PMR2) のビット 3 の設定をすることにより、R13/TOB 端子は TOB 端子が選択され、タイマモードレジスタ B2 (TMB2) により、トグル波形出力または PWM 波形出力を選択できます。

a. トグル出力

トグル出力は、タイマ B の値が\$FF になって次のクロックが入力されるときに、出力レベルを変化させる機能です。この機能を用いると、リロードタイマと組み合わせて任意の周期のクロック信号を出力させることができ、ブザー用として使用できます。出力波形を図 35(1)に示します。

b. PWM 出力

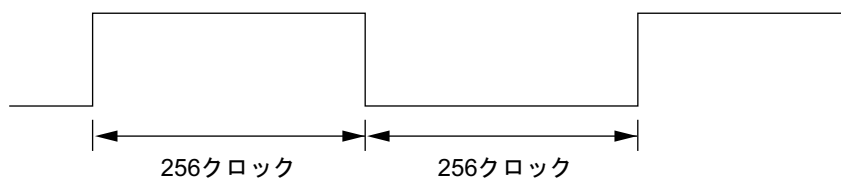
PWM 出力は、デューティ可変のパルス出力機能です。出力波形は、タイマモードレジスタ B1 (TMB1) およびタイマライトレジスタ B (TWBL、TWBU) の内容により、図 35(2)のようになります。タイマモードレジスタ B1 のビット 3 (TMB13) を 0 (フリーランニング設定) で波形を出力させる場合、デューティを変更するためのタイマライトレジスタ B への書き込みは、次のフレームから有効になりますが、TMB13 を 1 (リロード設定) で波形を出力する場合は、タイマライトレジスタの書き込み直後から次のフレームが出力されます。

(4) モジュールスタンバイ

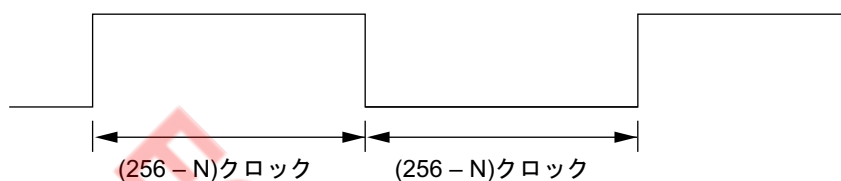
タイマ B は、モジュールスタンバイレジスタ 1 (MSR1 : \$00D) のビット 0 をセットすることにより、タイマカウンタへのシステムクロックの供給を停止することができます。モジュールスタンバイ状態では、モードレジスタの値は保持されますが、カウンタの値は保証されません。

(1) トグル出力波形 (タイマB、タイマC)

フリーランニングタイマ

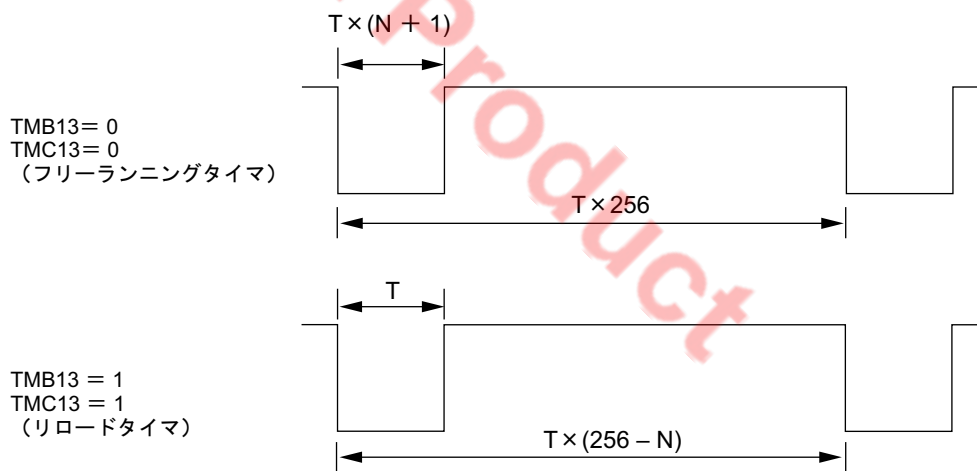


リロードタイマ



【注】 N : タイマライトレジスタBL, BU (TWBL, TWBU) の値。

(2) PWM出力波形 (タイマB、タイマC)



【注】 T : カウンタへの入力クロック周期
 クロックの入カソースおよび分周比は、タイマモードレジスタB1、タイマモードレジスタC1により制御します。
 N : タイマライトレジスタB、タイマライトレジスタCの値
 (N : 255(=0xFF)のときは、PWM出力は常に"Low"固定となります。)

図 35 タイマ出力波形

6.2.3 タイマ B 使用レジスタ

タイマ B は、次のレジスタにより動作の設定およびタイマ B の値の書き込み／読み出しを行います。

- タイマモードレジスタ B1 (TMB1 : \$010)
- タイマモードレジスタ B2 (TMB2 : \$011)
- タイマライトレジスタ B (TWBL : \$012, TWBU : \$013)
- タイマリードレジスタ B (TRBL : \$012, TRBU : \$013)
- ポートモードレジスタ 2 (PMR2 : \$00A)
- モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

(1) タイマモードレジスタ B1 (TMB1 : \$010)

タイマモードレジスタ B1 (TMB1) は、書き込み専用の 4 ビットレジスタであり、フリーランニング／リロードタイマの選択、入力クロックの選択を図 36 のように設定します。

タイマモードレジスタ B1 (TMB1) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ B1 (TMB1) の変更は、タイマモードレジスタ B1 (TMB1) の書き込み命令実行の 2 命令後から有効になります。タイマライトレジスタ B (TWBL、TWBU) への書き込みによるタイマ B の初期設定は、変更後のモードが有効になってから実行されるようにプログラムする必要があります。

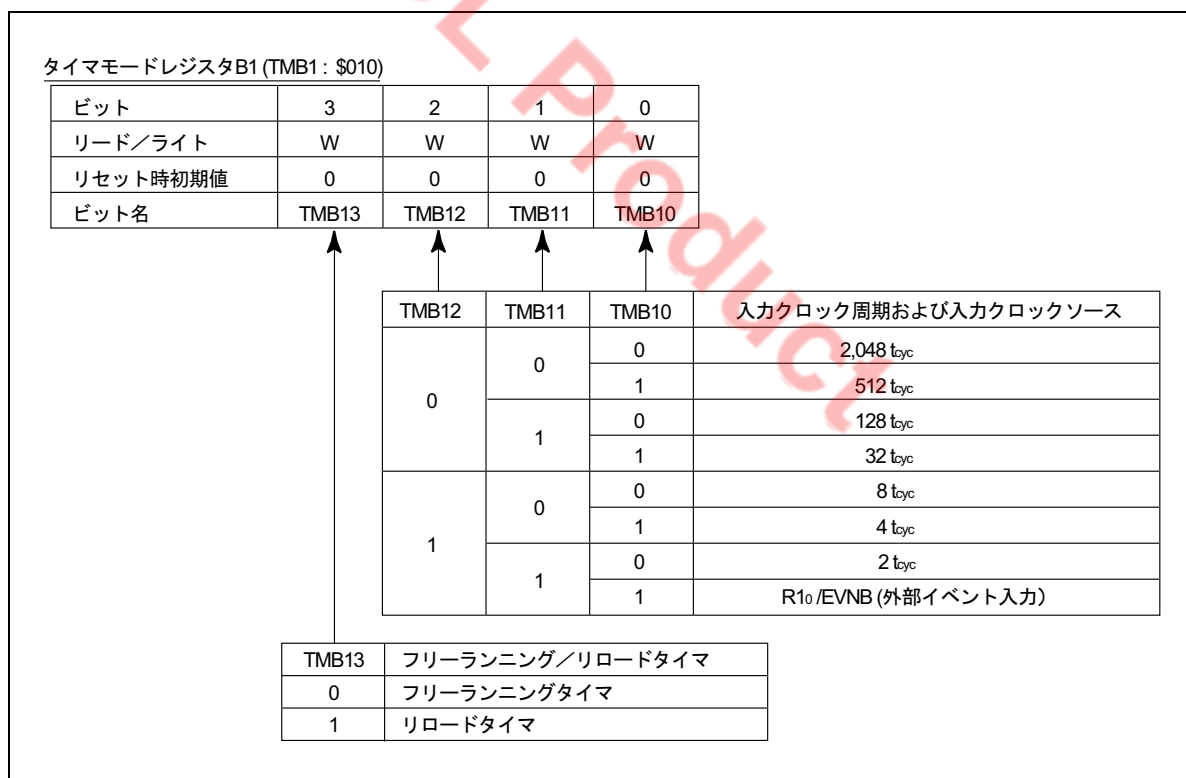


図 36 タイマモードレジスタ B1 (TMB1)

(2) タイマモードレジスタ B2 (TMB2 : \$011)

タイマモードレジスタ B2 (TMB2) は、書き込み専用の 3 ビットのレジスタであり、タイマ B の出力モードおよび EVNB 端子の検出エッジの選択を図 37 のように設定します。

タイマモードレジスタ B2 (TMB2) は、MCU のリセットにより \$0 にリセットされます。



図 37 タイマモードレジスタ B2 (TMB2)

(3) タイマライトレジスタ B (TWBL : \$012、TWBU : \$013)

タイマライトレジスタ B (TWBL、TWBU) は書き込み専用のレジスタで、下位ディジット (TWBL) と上位ディジット (TWBU) から構成されています (図 38、図 39)。

タイマライトレジスタ B の下位ディジット (TWBL) は、MCU のリセットにより \$0 にリセットされます。上位ディジット (TWBU) は不定です。

タイマライトレジスタ B (TWBL、TWBU) を書き込むことにより、タイマ B の初期設定ができます。データは、最初に下位ディジット (TWBL) を書き込んでください。ただし、下位ディジットの書き込みではタイマ B の値は変更されません。

次に上位ディジット (TWBU : \$013) を書き込んだタイミングで、タイマ B はタイマライトレジスタ B (TWBL、TWBU) の値に初期設定されます。2 度目以降タイマライトレジスタ B (TWBL、TWBU) を書き込む場合に、下位ディジット (TWBL) のリロード値を変更する必要のない場合は、上位ディジットの書き込みのみで、タイマ B の初期設定が完了します。

タイマライトレジスタB(下位)(TWBL : \$012)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	TWBL3	TWBL2	TWBL1	TWBL0

図 38 タイマライトレジスタ B (下位) (TWBL)

タイマライトレジスタB(上位)(TWBU : \$013)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	不定	不定	不定	不定
ビット名	TWBU3	TWBU2	TWBU1	TWBU0

図 39 タイマライトレジスタ B (上位) (TWBU)

(4) タイマリードレジスタ B (TRBL : \$012、TRBU : \$013)

タイマリードレジスタ B (TRBL、TRBU) は読み出し専用のレジスタで、下位ディジット (TRBL) とタイマ B の上位ディジットの値を直接読み出す上位ディジット (TRBU) から構成されています (図 40、図 41)。

最初にタイマリードレジスタ B の上位ディジット (TRBU) の読み出しを行ってください。このとき、タイマ B の上位ディジットの現在値が読み出されると同時に、タイマリードレジスタ B の下位ディジット (TRBL) にタイマ B の下位ディジットの値がラッチされます。次にタイマリードレジスタ B の下位ディジット (TRBL) を読み出すことにより、タイマリードレジスタ B の上位ディジット (TRBU) を読み出した時点のタイマ B の値が得られます。

タイマリードレジスタB(下位)(TRBL : \$012)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRBL3	TRBL2	TRBL1	TRBL0

図 40 タイマリードレジスタ B (下位) (TRBL)

タイマリードレジスタB (上位)(TRBU : \$013)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRBU3	TRBU2	TRBU1	TRBU0

図 41 タイマリードレジスタ B (上位) (TRBU)

(5) ポートモードレジスタ 2 (PMR2 : \$00A)

ポートモードレジスタ 2 (PMR2) は書き込み専用のレジスタで、図 42 に示すように R1₀/EVNB 端子および R1₃/TOB 端子の設定を行います。

ポートモードレジスタ 2 (PMR2) は、MCU のリセットにより \$0 にリセットされます。

ポートモードレジスタ 2 (PMR2 : \$00A)

ビット	3	2	1	0
リード/ライト	W	-	-	W
リセット時初期値	0	-	-	0
ビット名	PMR23	使用禁止	使用禁止	PMR20

PMR23	R1 ₃ /TOBピンモード選択
0	R1 ₃
1	TOB

PMR20	R1 ₀ /EVNBピンモード選択
0	R1 ₀
1	EVNB

図 42 ポートモードレジスタ 2 (PMR2 : \$00A)

(6) モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

モジュールスタンバイレジスタ 1 (MSR1) は書き込み専用のレジスタで、図 43 に示すようにタイマ B へのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 1 (MSR1) は、MCU のリセットにより \$0 にリセットされます。

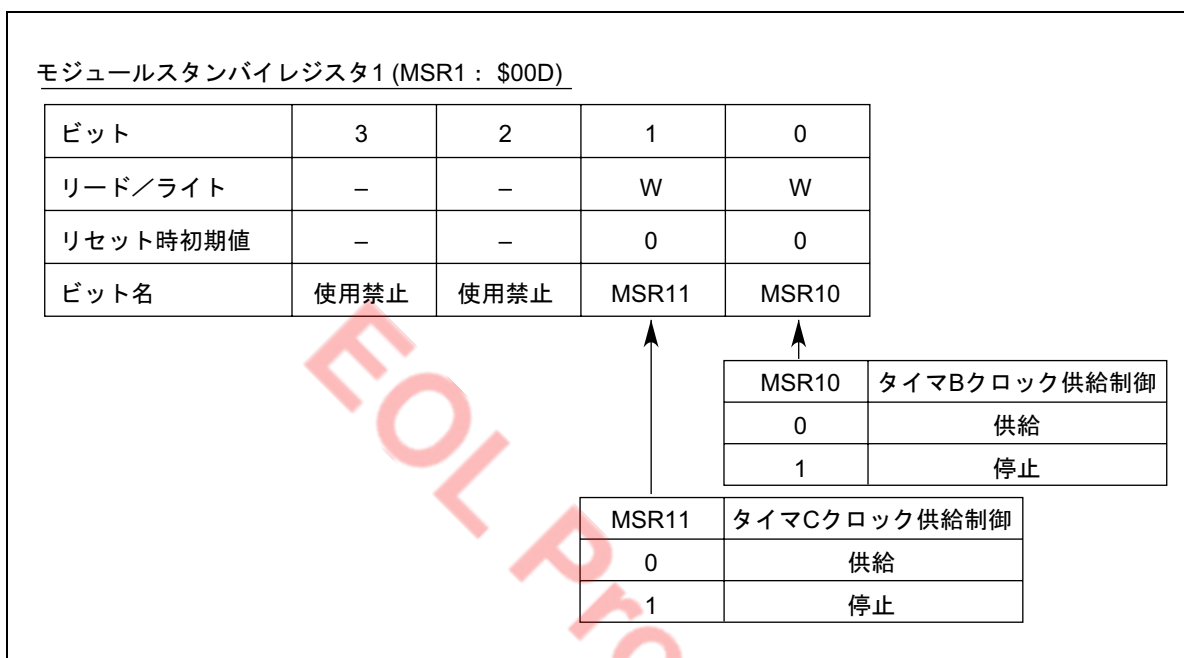


図 43 モジュールスタンバイレジスタ 1 (MSR1)

6.3 タイマ C

6.3.1 タイマ C の機能

タイマ C には、次の機能があります。

- (1) フリーランニング/リロードタイマ
- (2) ウォッチドッグタイマ
- (3) タイマ出力動作 (トグル出力、PWM 出力)

タイマ C のブロック図を図 44 に示します。

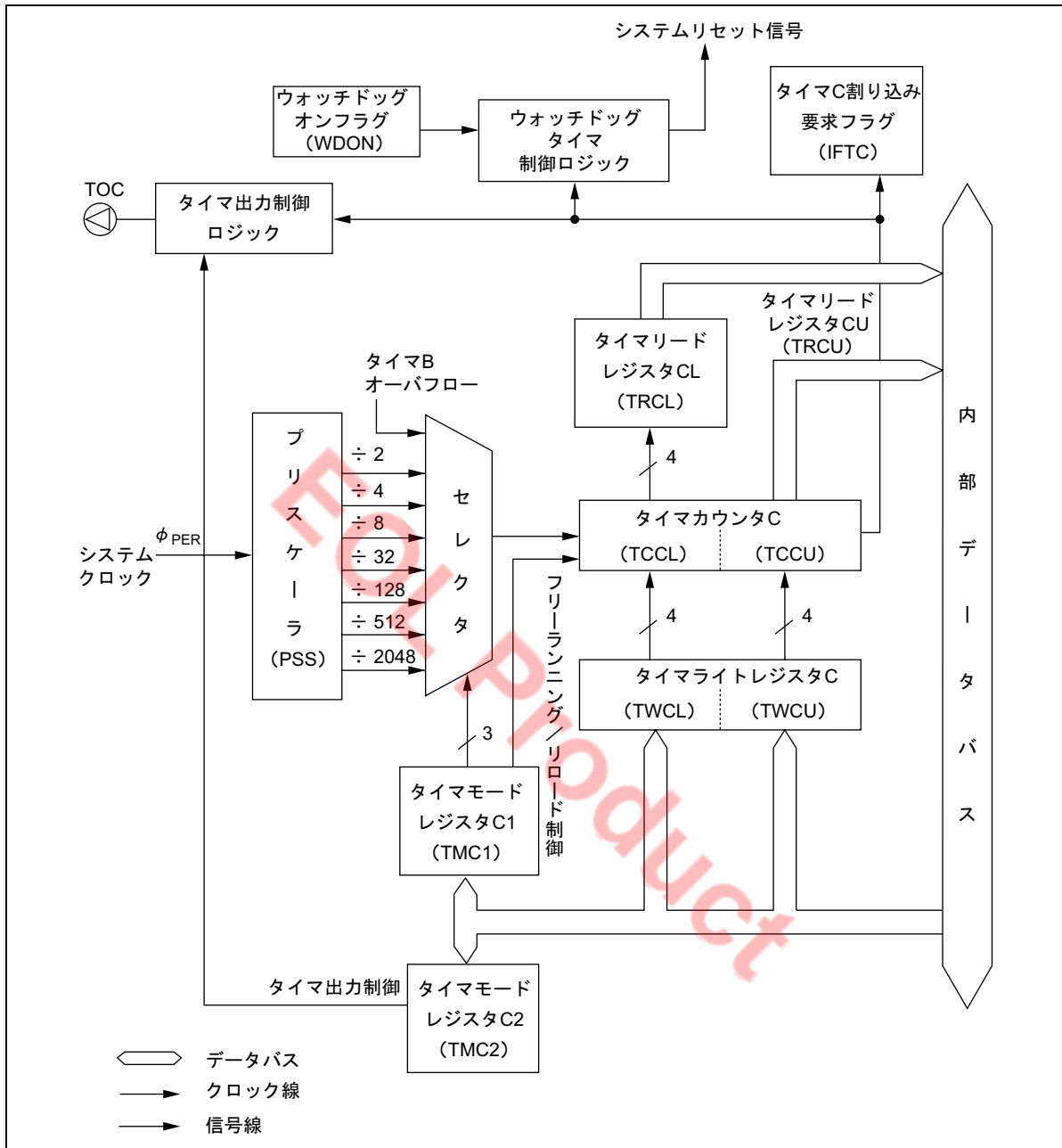


図 44 タイマ C ブロック図

6.3.2 タイマ C の動作

(1) フリーランニング/リロードタイマ

フリーランニング/リロードタイマの選択、入力クロックソース、およびプリスケアラ分周比は、タイマモードレジスタ C1 (TMC1) により選択します。

タイマ C は、ソフトウェアによってタイマライトレジスタ C (TWCL、TWCU) に書き込んだ値に初期設定し、入力クロックが印加されるごとに"1"ずつカウントアップします。タイマ C の値が\$FF になった後に入力クロックが印加されるとオーバーフロー出力が発生します。このときタイマ C は、リロードタイマが選択されている場合タイマライトレジスタ C (TWCL、TWCU) の値に、フリーランニングタイマが選択されている場合\$00 に設定され、再びカウントアップを開始します。

オーバーフロー出力により、タイマ C 割り込み要求フラグ (IFTC) がセットされます。タイマ C 割り込み要求フラグ (IFTC) のリセットは、プログラムあるいは MCU のリセットにより行います。

詳細は「図 3 割り込み制御ビットおよびレジスタフラグエリアの構成」と、「表 1 MCU リセットによる初期値」を参照してください。

(2) 16 ビットタイマ動作

タイマ C は、クロックソースにタイマ B のオーバーフローを選択すると、タイマ B のクロックソースをカウントする 16 ビットタイマとして使用できます。この場合、タイマ B とタイマ C のフリーランニング/リロードの設定は独立していますので、目的に応じた設定をしてください。

(3) ウォッチドッグタイマ動作

タイマ C は、タイマ C のオーバーフロー出力を利用することにより、プログラム暴走検出用ウォッチドッグタイマとして使用できます。ウォッチドッグタイマは、ウォッチドッグオンフラグ (WDON) を"1"に設定した場合に有効となり、タイマ C がオーバーフローすると、MCU リセットが発生します。通常は、タイマ C の値が\$FF となる以前に、プログラムによりタイマ C の初期設定を行い、プログラムの暴走を制御します。

(4) タイマ出力動作

タイマ C は、ポートモードレジスタ 3 (PMR3) のビット 0 を 1 に設定することにより、R2₀/TOC 端子は TOC 端子が選択され、タイマモードレジスタ C2 (TMC2) により、トグル波形出力または PWM 波形出力を選択できます。

a. トグル出力

タイマ B のトグル出力動作に準じます。

b. PWM 出力

タイマ B の PWM 出力動作に準じます。

(5) モジュールスタンバイ

タイマ B のモジュールスタンバイに準じます。

6.3.3 タイマ C 使用レジスタ

タイマ C は、次のレジスタにより動作の設定およびタイマ C の値の書き込み／読み出しを行います。

- タイマモードレジスタ C1 (TMC1 : \$014)
- タイマモードレジスタ C2 (TMC2 : \$015)
- タイマライトレジスタ C (TWCL : \$016、TWCU : \$017)
- タイマリードレジスタ C (TRCL : \$016、TRCU : \$017)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

(1) タイマモードレジスタ C1 (TMC1 : \$014)

タイマモードレジスタ C1 (TMC1) は、書き込み専用の 4 ビットレジスタであり、フリーランニング／リロードタイマの選択、入力クロックの選択、プリスケアラ分周比の選択を図 45 のように設定します。

タイマモードレジスタ C1 (TMC1) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタ C1 (TMC1) の変更は、タイマモードレジスタ C1 (TMC1) の書き込み命令実行の 2 命令後から有効になります。タイマライトレジスタ C (TWCL、TWCU) への書き込みによるタイマ C の初期設定は、変更後のモードが有効になってから実行されるようにプログラムする必要があります。

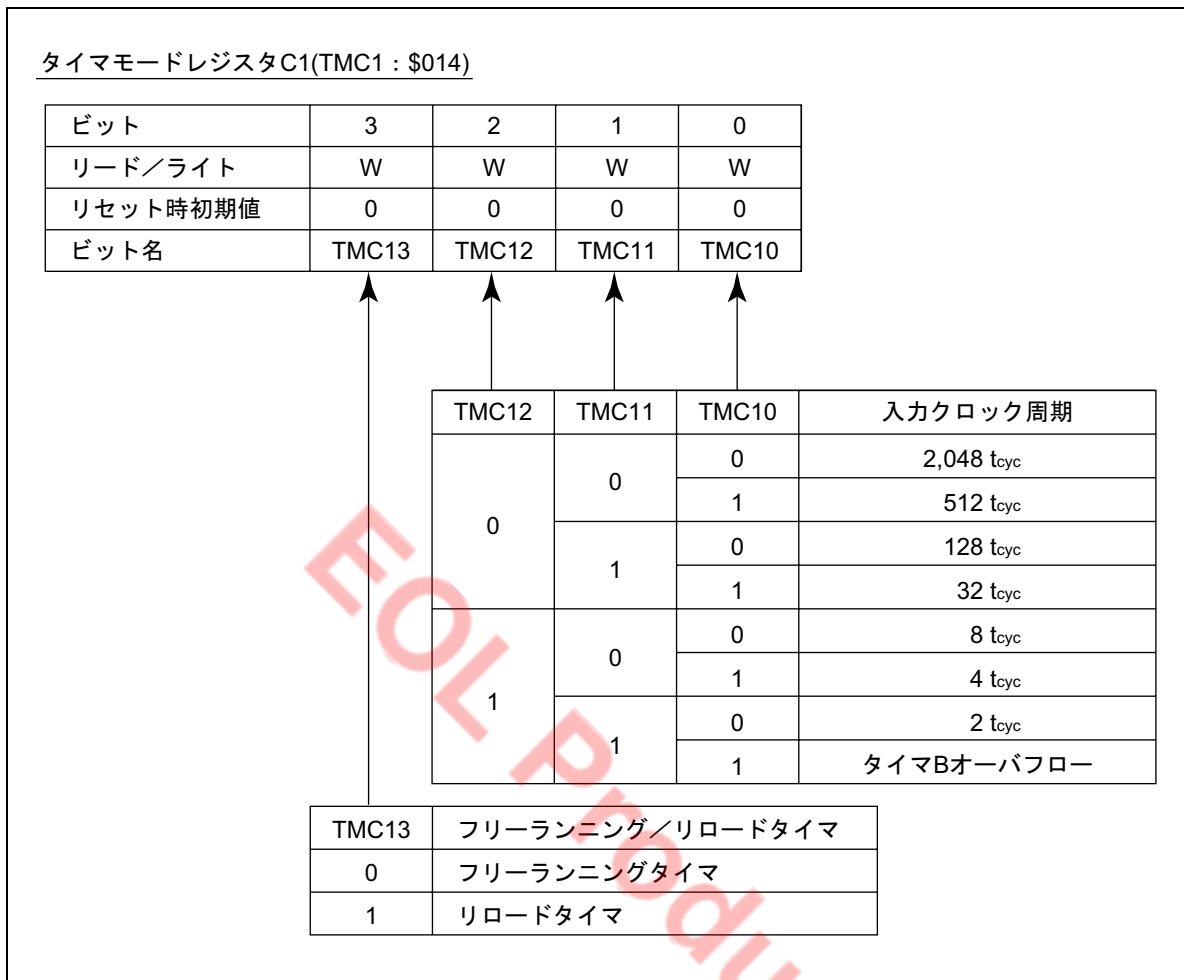


図 45 タイマモードレジスタ C1 (TMC1)

(2) タイマモードレジスタ C2 (TMC2 : \$015)

タイマモードレジスタ C2 (TMC2) は、書き込み専用の 1 ビットレジスタであり、タイマ C の出力モードの選択を図 46 のように設定します。

タイマモードレジスタ C2 (TMC2) は、MCU のリセットにより \$0 にリセットされます。

タイマモードレジスタC2 (TMC2 : \$015)

ビット	3	2	1	0
リード/ライト	-	W	-	-
リセット時初期値	-	0	-	-
ビット名	使用禁止	TMC22	使用禁止	使用禁止

TMC22	タイマC出力波形
0	トグル出力
1	PWM出力

図 46 タイマモードレジスタ C2 (TMC2)

(3) タイマライトレジスタ C (TWCL : \$016、TWCU : \$017)

タイマライトレジスタ C (TWCL、TWCU) は書き込み専用のレジスタで、下位ディジット (TWCL) と上位ディジット (TWCU) から構成されています (図 47、図 48)。

タイマライトレジスタ C (TWCL、TWCU) の動作は、タイマライトレジスタ B (TWBL、TWBU) の動作に準じます。

タイマライトレジスタC (下位)(TWCL : \$016)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	TWCL3	TWCL2	TWCL1	TWCL0

図 47 タイマライトレジスタ C (下位) (TWCL)

タイマライトレジスタ C (上位)(TWCU : \$017)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	不定	不定	不定	不定
ビット名	TWCU3	TWCU2	TWCU1	TWCU0

図 48 タイマライトレジスタ C (上位) (TWCU)

(4) タイマリードレジスタ C (TRCL : \$016、TRCU : \$017)

タイマリードレジスタ C (TRCL、TRCU) は読み出し専用のレジスタで、下位ディジット (TRCL) とタイマ C の上位ディジットの値を直接読み出す上位ディジット (TRCU) から構成されています (図 49、図 50)。

タイマリードレジスタ C (TRCL、TRCU) の動作は、タイマリードレジスタ B (TRBL、TRBU) の動作に準じます。

タイマリードレジスタ C (下位)(TRCL : \$016)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRCL3	TRCL2	TRCL1	TRCL0

図 49 タイマリードレジスタ C (下位) (TRCL)

タイマリードレジスタ C (上位)(TRCU : \$017)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	不定	不定	不定	不定
ビット名	TRCU3	TRCU2	TRCU1	TRCU0

図 50 タイマリードレジスタ C (上位) (TRCU)

(5) ポートモードレジスタ 3 (PMR3 : \$00B)

ポートモードレジスタ 3 (PMR3) は書き込み専用のレジスタで、図 51 に示すように R2₀/TOC 端子の設定を行います。

ポートモードレジスタ 3 (PMR3) は、MCU のリセットにより \$0 にリセットされます。

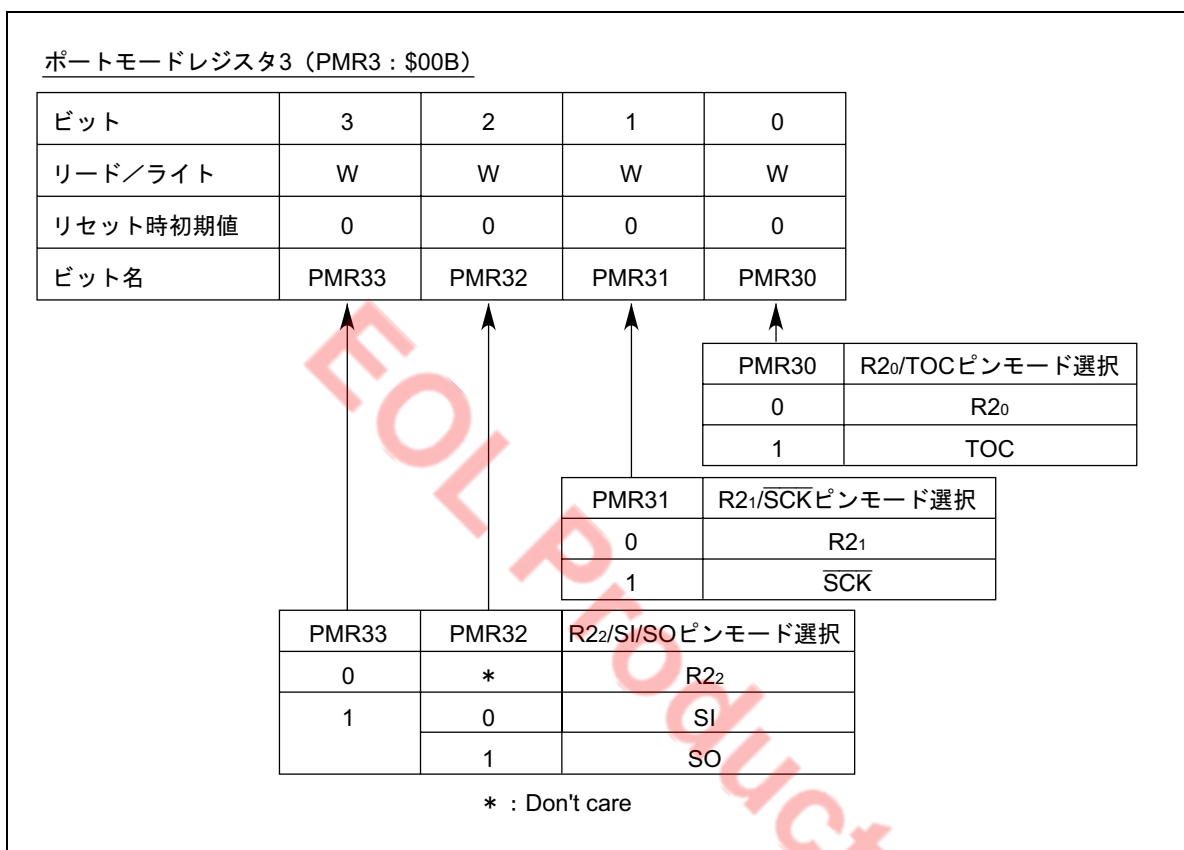


図 51 ポートモードレジスタ 3 (PMR3)

(6) モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

モジュールスタンバイレジスタ 1 (MSR1) は書き込み専用のレジスタで、図 43 に示すようにタイマ C へのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 1 (MSR1) は、MCU のリセットにより \$0 にリセットされます。

7. シリアルインタフェース

7.1 シリアルインタフェースの概要

(1) 機能

- 8ビットシリアルデータの送受信

(2) 特長

- 豊富な転送クロックソース
 - (i) 外部クロック
 - (ii) 内蔵プリスケアラ出力クロック
 - (iii) システムクロック
- アイドル時 High/Low 制御可能

(3) 構成

- シリアルモードレジスタ 1 (SMR1 : \$024)
- シリアルモードレジスタ 2 (SMR2 : \$025)
- シリアルデータレジスタ (SRL : \$026、SRU : \$027)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- 8進カウンタ (OC)
- セレクタ

シリアルインタフェースのブロック図を図 52 に示します。

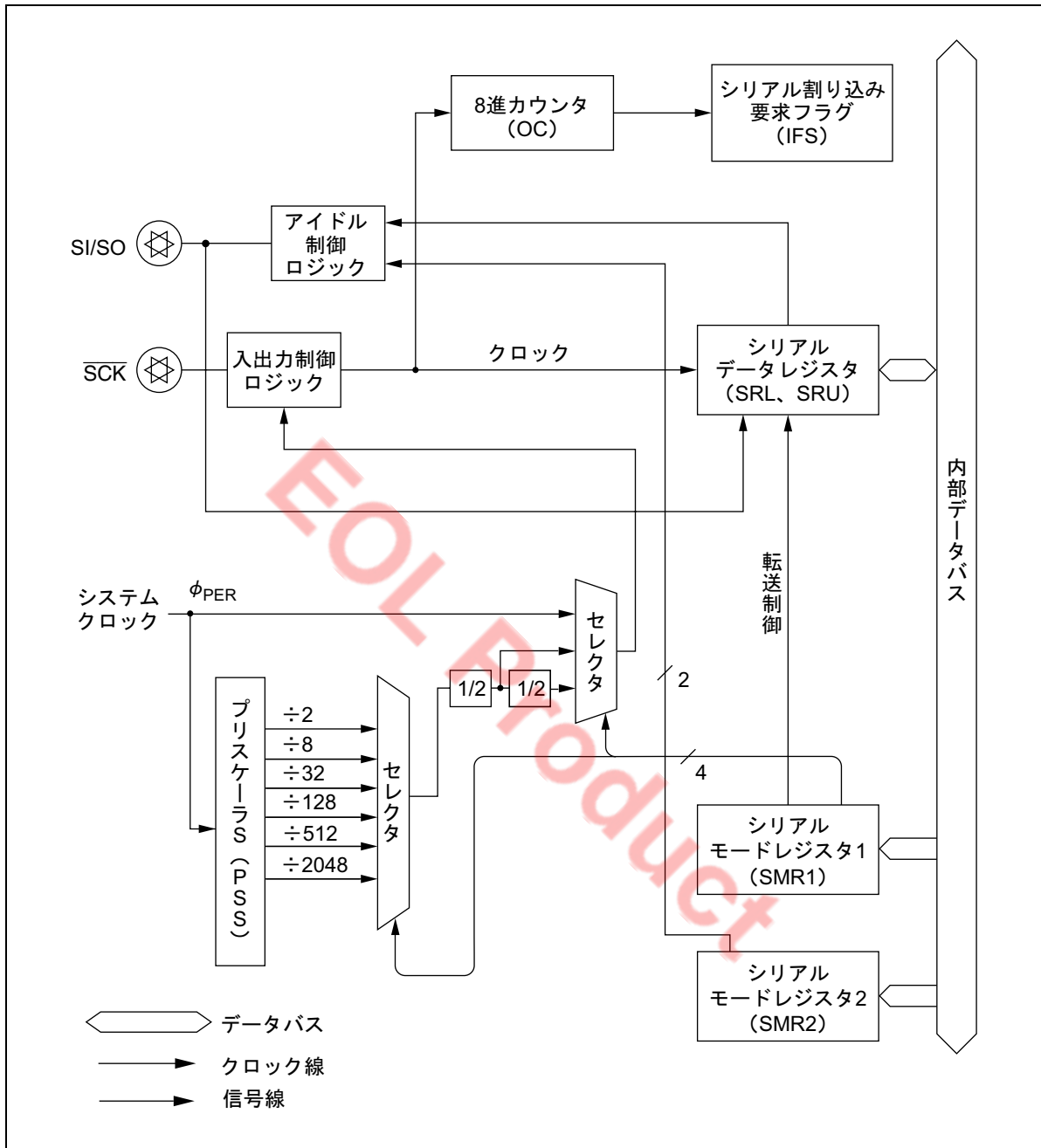


図 52 シリアルインタフェースブロック図

7.2 シリアルインタフェースの動作

(1) シリアルインタフェースの動作モードの選択と変更方法

シリアルインタフェースで選択可能な動作モードを表 26 に示します。ポートモードレジスタ 3 (PMR3) の値の組み合わせは、この中から選択してください。シリアルインタフェースの動作モードを変更する場合は、必ずシリアルモードレジスタ 1 (SMR1) への書き込みによって、シリアルインタフェースの内部状態を初期設定してください。

【注】 シリアルインタフェースは、シリアルモードレジスタ 1 (SMR1 : \$024) を書き込むことにより初期化されます。詳細は「7.3(1) シリアルモードレジスタ 1」を参照してください。

表 26 シリアルインタフェースの動作モード

PMR3			シリアルインタフェースの動作モード
ビット 3	ビット 2	ビット 1	
0	*	1	クロック連続出力モード
1	0	1	受信モード
1	1	1	送信モード

【注】 * : 任意

(2) シリアルインタフェース端子設定

R2₁/SCK 端子および R2₂/SI/SO 端子は、ポートモードレジスタ 3 (PMR3) にデータを書き込むことにより設定します。詳細は「7.3 シリアルインタフェース使用レジスタ」を参照してください。

(3) 転送クロックソース設定

シリアル転送クロックは、シリアルモードレジスタ 1 (SMR1) にデータを書き込むことにより設定します。詳細は「7.3 シリアルインタフェース使用レジスタ」を参照してください。

(4) シリアルデータ設定

送信シリアルデータは、シリアルデータレジスタ (SRL、SRU) にデータを書き込むことにより設定します。

受信シリアルデータは、シリアルデータレジスタ (SRL、SRU) を読み出すことにより得られます。シリアルデータは、転送クロックによってシフトされ、外部との入出力を行います。

SO 端子の出力レベルは、MCU によるリセット後に最初のデータが出力されるか、アイドル時 High/Low 制御が行われるまで不定です。

(5) 転送制御

シリアルインタフェース動作は、STS 命令によって開始されます。8 進カウンタは STS 命令によって "000" にリセットされ、転送クロックの立ち上がりで 1 ずつインクリメントします。転送クロックが 8 クロック入力された場合、あるいはデータの送信/受信が途中で打ち切られた場合には、8 進カウンタが "000" にリセットされ、シリアル割り込み要求フラグ (IFS) がセットされて転送を終了します。

転送クロックは、シリアルモードレジスタ 1 (SMR1) により選択します。図 56 を参照してください。

(6) シリアルインタフェースの動作状態

シリアルインタフェースには、外部クロックモードおよび内部クロックモードともに、それぞれ図 53 に示す動作状態があります。

- STS 命令待ち状態
- 転送クロック待ち状態
- 転送状態
- クロック連続出力状態 (内部クロックモードのみ)

a. STS 命令待ち状態

MCU のリセット (図 53 図中 (00)、(10)) により、シリアルインタフェースは STS 命令待ち状態になります。STS 命令待ち状態は、シリアルインタフェースの内部状態が初期設定された状態です。この状態で転送クロックが印加されても、シリアルインタフェースは動作しません。この状態で STS 命令 (01)、(11) が実行されると、転送クロック待ち状態に遷移します。

b. 転送クロック待ち状態

転送クロック待ち状態は、STS 命令実行から最初の転送クロックの立ち下がりまでの期間です。

転送クロック待ち状態において転送クロックが印加 ((02)、(12)) されると、8 進カウンタのカウントアップとシリアルデータレジスタ (SRL、SRU) のシフトが開始され、転送状態に遷移します。内部クロックモードにおいてクロック連続出力モードが選択されている場合には、転送状態にならずにクロック連続出力状態に遷移 ((17)) します。

転送クロック待ち状態において、シリアルモードレジスタ 1 (SMR1) を書き込む ((04)、(14)) ことにより、STS 命令待ち状態に遷移します。

c. 転送状態

転送状態は、転送クロックの最初の立ち下がりから、8 番目の転送クロックの立ち上がりまでの期間です。

転送状態において、STS 命令が実行されるか転送クロックが 8 クロック印加されると、8 進カウンタが "000" になり、状態が遷移します。STS 命令 ((05)、(15)) が実行された場合、転送クロック待ち状態に遷移します。転送クロックが 8 クロック印加された後、外部クロックモードの場合は転送クロック待ち状態 ((03)) へ、内部クロックモードの場合は STS 命令待ち状態 ((13)) へ遷移します。

内部クロックモードでは、転送クロックは 8 クロック出力後に停止します。

転送状態において、シリアルモードレジスタ 1 (SMR1) の書き込み ((06)、(16)) が行われると、シリアルインタフェースは初期化され、STS 命令待ち状態へ遷移します。

転送状態から他の状態へ遷移が起こると、8 進カウンタが "000" にリセットされ、シリアル割り込み要求フラグ (IFS) がセットされます。

d. クロック連続出力状態 (内部クロックモードのみ)

クロック連続出力状態は、送信/受信動作せずに転送クロックのみを SCK 端子から出力するもので、内部クロックモードの場合に有効です。

ポートモードレジスタ 3 (PMR3) のビット 3 (PMR33) が "0" で転送クロック待ち状態にあるとき、転送クロックが印加 ((17)) されると、クロック連続出力状態へ遷移します。

クロック連続出力状態において、シリアルモードレジスタ 1 (SMR1) を書き込む ((18)) ことにより、STS 命令待ち状態へ遷移します。

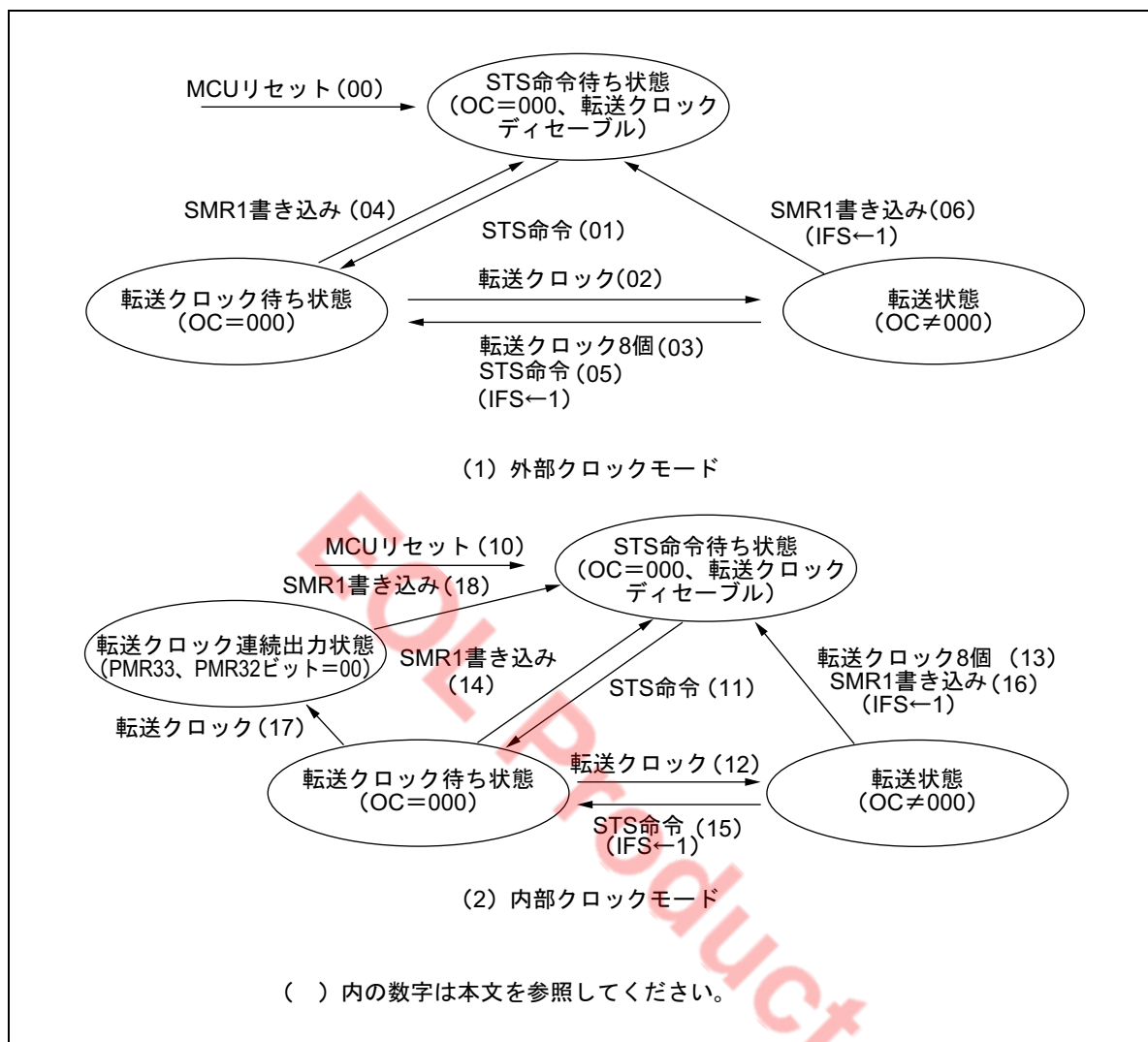


図 53 シリアルインタフェースの動作状態

(7) アイドル時 High/Low 制御

シリアルインタフェースは、STS 命令待ち状態および転送クロック待ち状態のとき、すなわちアイドル時に、ソフトウェアにより SO 端子の出力レベルを任意に設定できます。アイドル時 High/Low 制御は、シリアルモードレジスタ 2 (SMR2) のビット 1 (SMR21) に出力レベルを書き込むことにより行います。アイドル時 High/Low 制御例を図 54 に示します。転送状態ではアイドル時 High/Low 制御はできません。

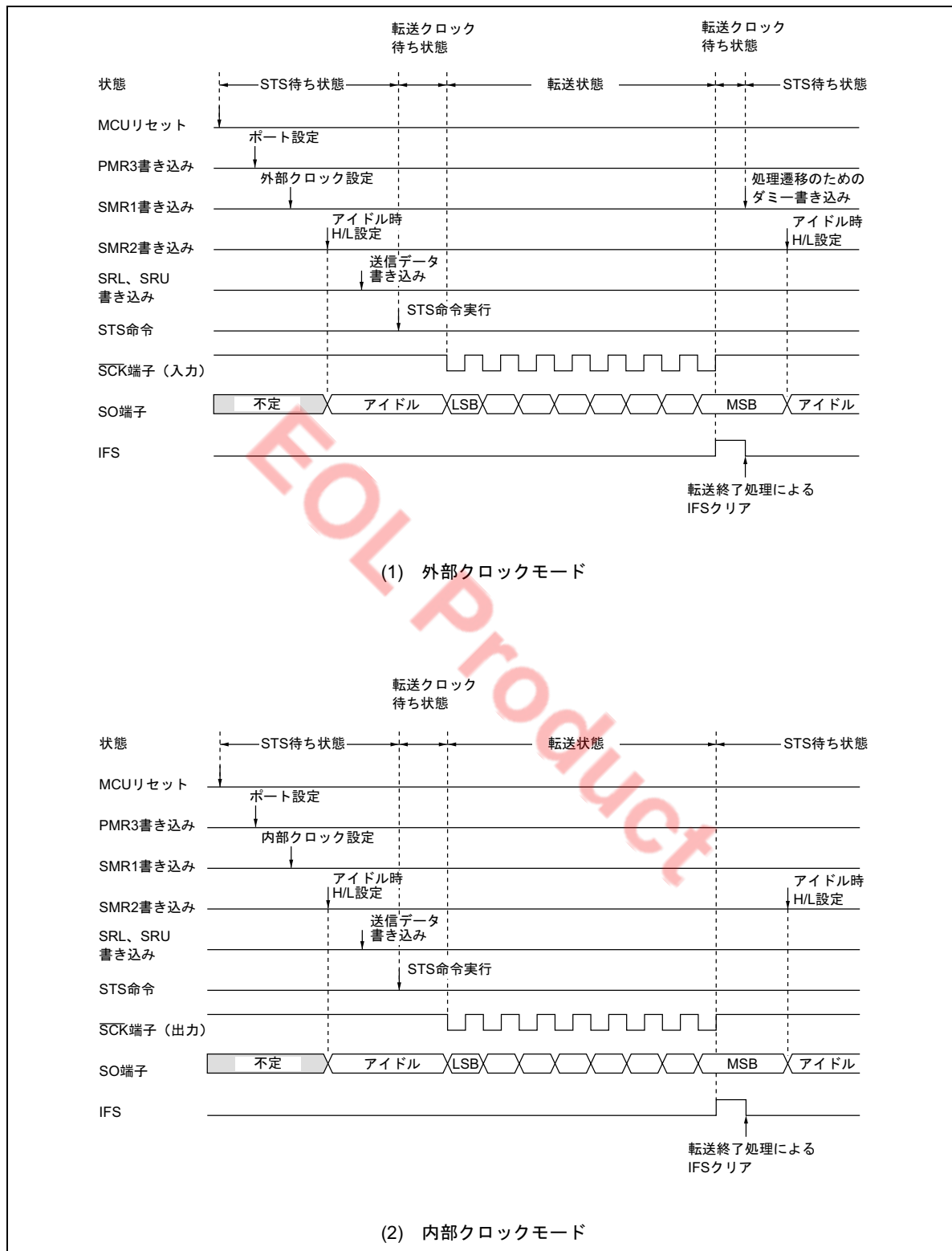


図 54 シリアルインタフェース動作シーケンスの例

(8) 転送クロックエラーの検出 (外部クロックモード)

シリアルインタフェースは、転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、誤動作します。この場合は、図 55 に示す手順によって転送クロックのエラーを知ることができます。

転送状態に、誤って 8 クロックを越える転送クロックが印加された場合、ノイズによる不正クロックを含めた 8 クロック目に 8 進カウンタが"000"になり、シリアル割り込み要求フラグ (IFS) がセットされます。同時に転送状態から転送クロック待ち状態に遷移しますが、続いて入力された正規の転送クロックの立ち下がりで再び転送状態に遷移します。

一方、割り込み処理ルーチンにおいて、転送終了処理を行い、シリアル割り込み要求フラグをリセット後、シリアルモードレジスタ 1 (SMR1) のダミー書き込みを行うと、転送状態から STS 待ち状態に遷移するため、再びシリアル割り込み要求フラグ (IFS) がセットされます。したがって、シリアルモードレジスタ 1 のダミー書き込み後、シリアル割り込み要求フラグをテストすることで、転送クロックエラーの有無を判別することができます。

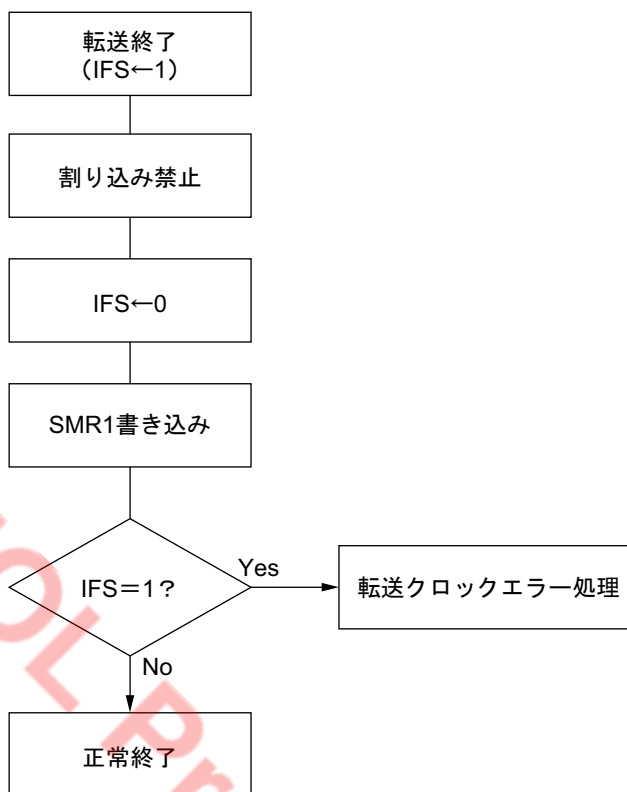
(9) 使用上の注意事項

a. レジスタ変更後の初期設定

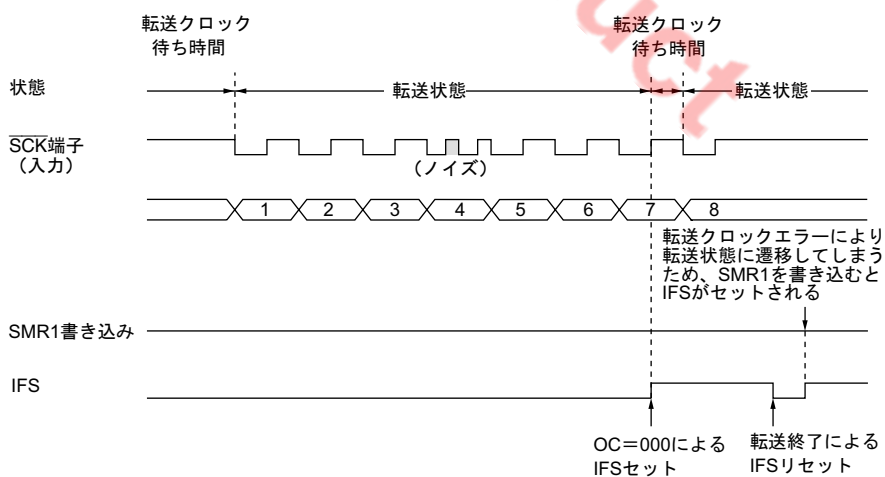
転送クロック待ち状態または転送状態でポートモードレジスタ 3 (PMR3) の書き込みを行った場合、再度シリアルモードレジスタ 1 (SMR1) の書き込みを行い、シリアルインタフェースの初期設定をしてください。

b. シリアル割り込み要求フラグ (IFS : \$023、2) のセット

転送状態において、転送クロックの最初の"Low"期間中に、シリアルモードレジスタ 1 (SMR1) 書き込みあるいは STS 命令が実行されて他の状態へ遷移した場合、シリアル割り込み要求フラグ (IFS) はセットされません。この場合にシリアル割り込み要求フラグ (IFS) を確実にセットするためには、SCK 端子の状態が"1"であることを確認 (R2 ポートに対する入力命令を実行) した後に、シリアルモードレジスタ 1 (SMR1) 書き込みあるいは STS 命令を実行するプログラムとしてください。



(1) 転送クロックエラー検出フロー



(2) 転送クロックエラー検出シーケンス

図 55 転送クロックエラー検出の例

7.3 シリアルインタフェース使用レジスタ

シリアルインタフェースは、次のレジスタにより動作の設定およびシリアルデータの書き込み/読み出しを行います。

- シリアルモードレジスタ 1 (SMR1 : \$024)
- シリアルモードレジスタ 2 (SMR2 : \$025)
- シリアルデータレジスタ (SRL : \$026、SRU : \$027)
- ポートモードレジスタ 3 (PMR3 : \$00B)
- モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

(1) シリアルモードレジスタ 1 (SMR1 : \$024)

シリアルモードレジスタ 1 (SMR1) には、次の機能があります。図 56 を参照してください。

- 転送クロック選択
- プリスケーラ分周比選択
- シリアルインタフェース初期化

シリアルモードレジスタ 1 (SMR1) は、書き込み専用の 4 ビットレジスタであり、MCU のリセットにより \$0 にリセットされます。

シリアルモードレジスタ 1 (SMR1) への書き込みによって、シリアルデータレジスタ (SRL、SRU) および 8 進カウンタへの転送クロックの供給が止められ、8 進カウンタが "000" にリセットされます。したがってシリアルインタフェース動作中にシリアルモードレジスタ 1 (SMR1) への書き込みを行うと、データの送信/受信が途中で打ち切られ、シリアル割り込み要求フラグ (IFS) がセットされます。

シリアルモードレジスタ 1 (SMR1) の変更は、シリアルモードレジスタ 1 (SMR1) への書き込み命令実行の 2 命令後から有効になります。そのため STS 命令はシリアルモードレジスタ 1 (SMR1) への書き込み命令の 2 サイクル後に実行されるようプログラムする必要があります。

シリアルモードレジスタ1(SMR1 : \$024)

ビット	3	2	1	0
リード/ライト	W	W	W	W
リセット時初期値	0	0	0	0
ビット名	SMR13	SMR12	SMR11	SMR10

SMR13	SMR12	SMR11	SMR10	SCK 端子	転送 クロックソース	転送クロック (PSS分周比÷2または4)	転送 クロック周期
0	0	0	0	出力	PSS	$(\phi_{PER}/2048) \div 2$	4096 tcyc
			1	出力	PSS	$(\phi_{PER}/512) \div 2$	1024 tcyc
		1	0	出力	PSS	$(\phi_{PER}/128) \div 2$	256 tcyc
			1	出力	PSS	$(\phi_{PER}/32) \div 2$	64 tcyc
	1	0	0	出力	PSS	$(\phi_{PER}/8) \div 2$	16 tcyc
			1	出力	PSS	$(\phi_{PER}/2) \div 2$	4 tcyc
		1	0	出力	システムクロック	ϕ_{PER}	tcyc
			1	入力	外部クロック	——	——
1	0	0	0	出力	PSS	$(\phi_{PER}/2048) \div 4$	8192 tcyc
			1	出力	PSS	$(\phi_{PER}/512) \div 4$	2048 tcyc
		1	0	出力	PSS	$(\phi_{PER}/128) \div 4$	512 tcyc
			1	出力	PSS	$(\phi_{PER}/32) \div 4$	128 tcyc
	1	0	0	出力	PSS	$(\phi_{PER}/8) \div 4$	32 tcyc
			1	出力	PSS	$(\phi_{PER}/2) \div 4$	8 tcyc
		1	0	出力	システムクロック	ϕ_{PER}	tcyc
			1	入力	外部クロック	——	——

図 56 シリアルモードレジスタ 1 (SMR1)

(2) シリアルモードレジスタ 2 (SMR2 : \$025)

シリアルモードレジスタ 2 (SMR2) には、次の機能があります。図 57 を参照してください。

— R₂/SI/SO 端子 PMOS 制御

— アイドル High/Low 制御

シリアルモードレジスタ 2 (SMR2) は、書き込み専用の 2 ビットレジスタであり、転送状態中にレジスタ値の変更はできません。

シリアルモードレジスタ 2 (SMR2) のビット 2(SMR22)は、R₂/SI/SO 端子の PMOS の ON/OFF を制御します。ビット 2 (SMR22) のみ MCU のリセットにより"0"にリセットされます。

シリアルモードレジスタ 2 (SMR2) のビット 1(SMR21)は、アイドル時の SO 端子の High/Low 制御を行います。SO 端子は High/Low 書き込みと同時に変化します。

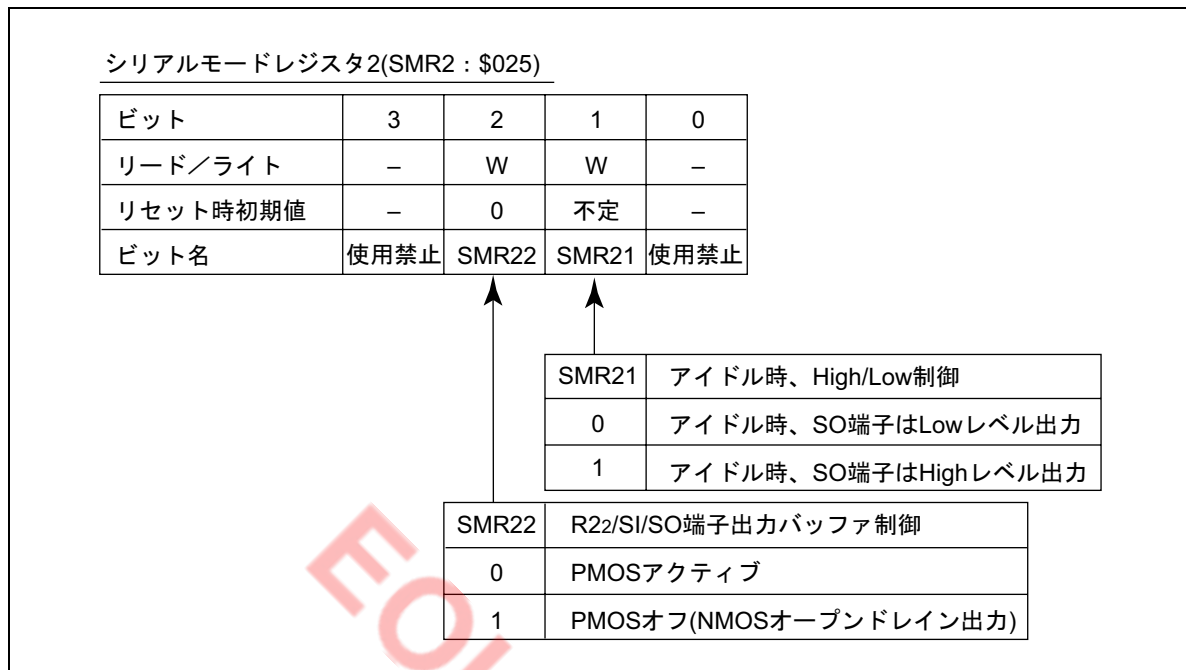


図 57 シリアルモードレジスタ 2 (SMR2)

(3) シリアルデータレジスタ (SRL : \$026、SRU : \$027)

シリアルデータレジスタ (SRL、SRU) には次の機能があります。図 58、図 59 を参照してください。

- 送信データの書き込みおよびシフト動作
- 受信データのシフトおよび読み出し動作

シリアルデータレジスタ (SRL、SRU) に書き込まれたデータは、転送クロックの立ち下がりに同期して SO 端子より LSB 側から出力されます。

SI 端子より LSB 側から入力された外部データは、転送クロックの立ち上がりに同期して取り込まれます。転送クロックとデータの入出力タイミングチャートを図 60 に示します。

シリアルデータレジスタ (SRL、SRU) の書き込み/読み出しは、データの送信/受信が終了してから行う必要があります。データの送信/受信中に書き込み/読み出しを行うと、データの内容は保証されません。

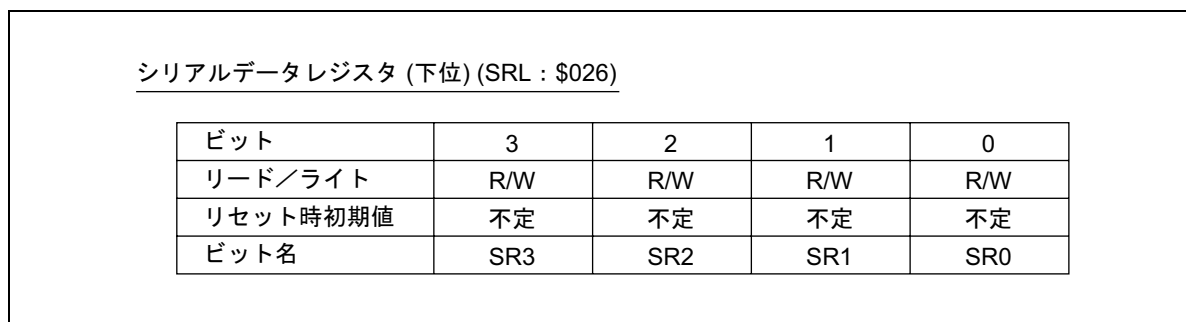


図 58 シリアルデータレジスタ (SRL)

シリアルデータレジスタ (上位) (SRU : \$027)

ビット	3	2	1	0
リード/ライト	R/W	R/W	R/W	R/W
リセット時初期値	不定	不定	不定	不定
ビット名	SR7	SR6	SR5	SR4

図 59 シリアルデータレジスタ (SRU)

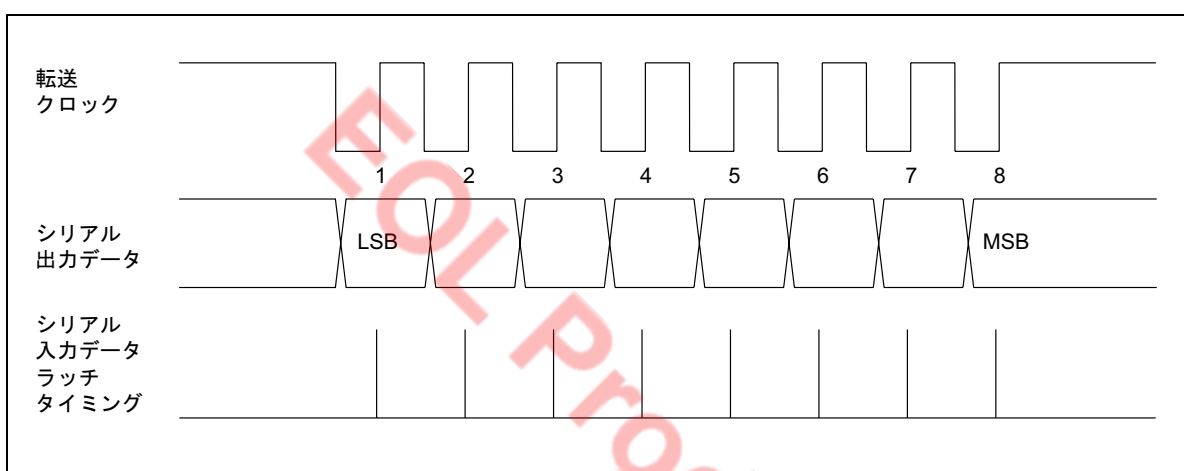


図 60 シリアルインタフェース入出力タイミングチャート

(4) ポートモードレジスタ 3 (PMR3 : \$00B)

ポートモードレジスタ 3 (PMR3) には、次の機能があります。図 61 を参照してください。

- $R2_1/\overline{SCK}$ 端子選択
- $R2_2/SI/SO$ 端子選択

ポートモードレジスタ 3 (PMR3) は、書き込み専用の 4 ビットのレジスタであり、シリアルインタフェース端子の設定を図 61 のように選択します。MCU のリセットにより \$0 にリセットされます。

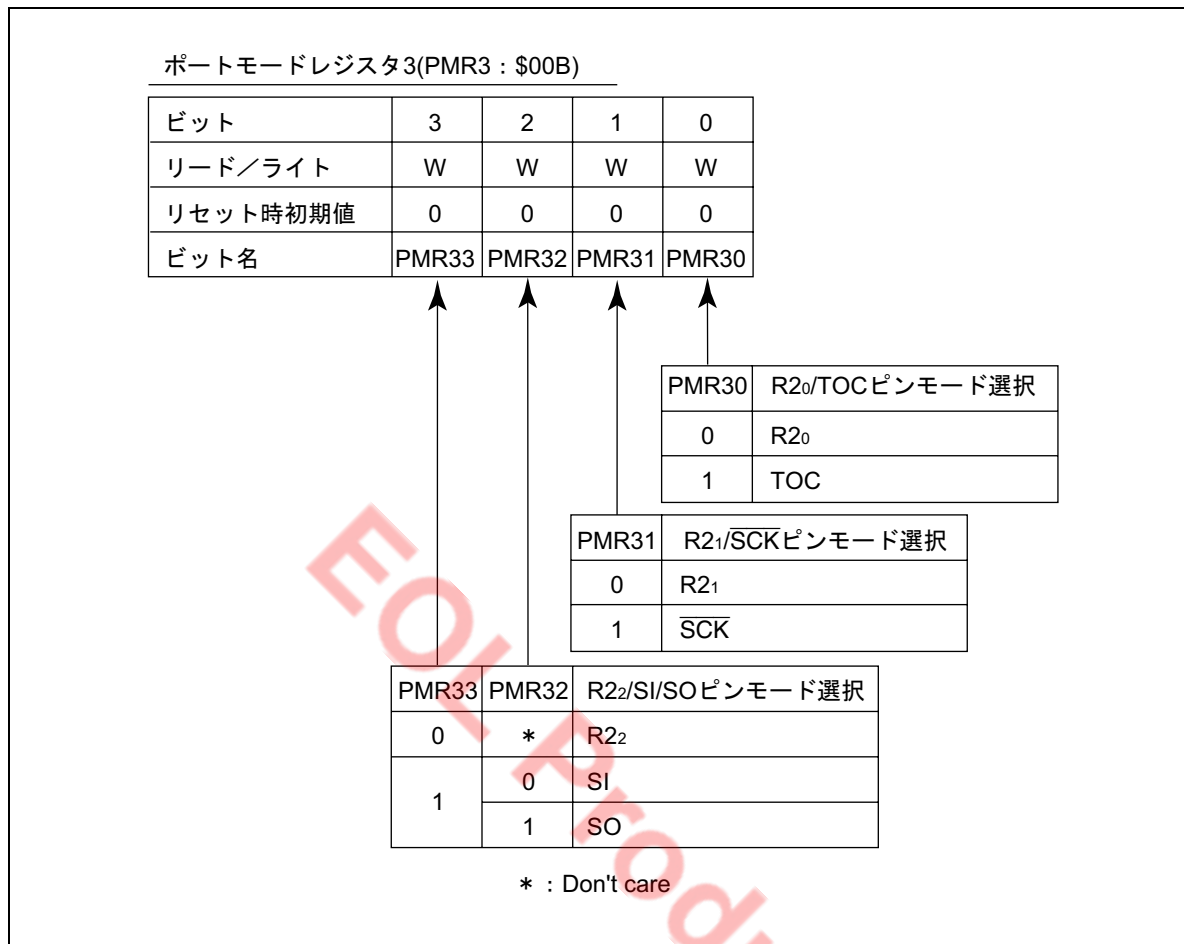


図 61 ポートモードレジスタ 3 (PMR3)

(5) モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

モジュールスタンバイレジスタ 2 (MSR2) は、書き込み専用のレジスタで、図 62 に示すようにシリアルインタフェースへのクロックの供給、停止の設定を行います。

モジュールスタンバイレジスタ 2 (MSR2) は、MCU のリセットにより \$0 にリセットされます。

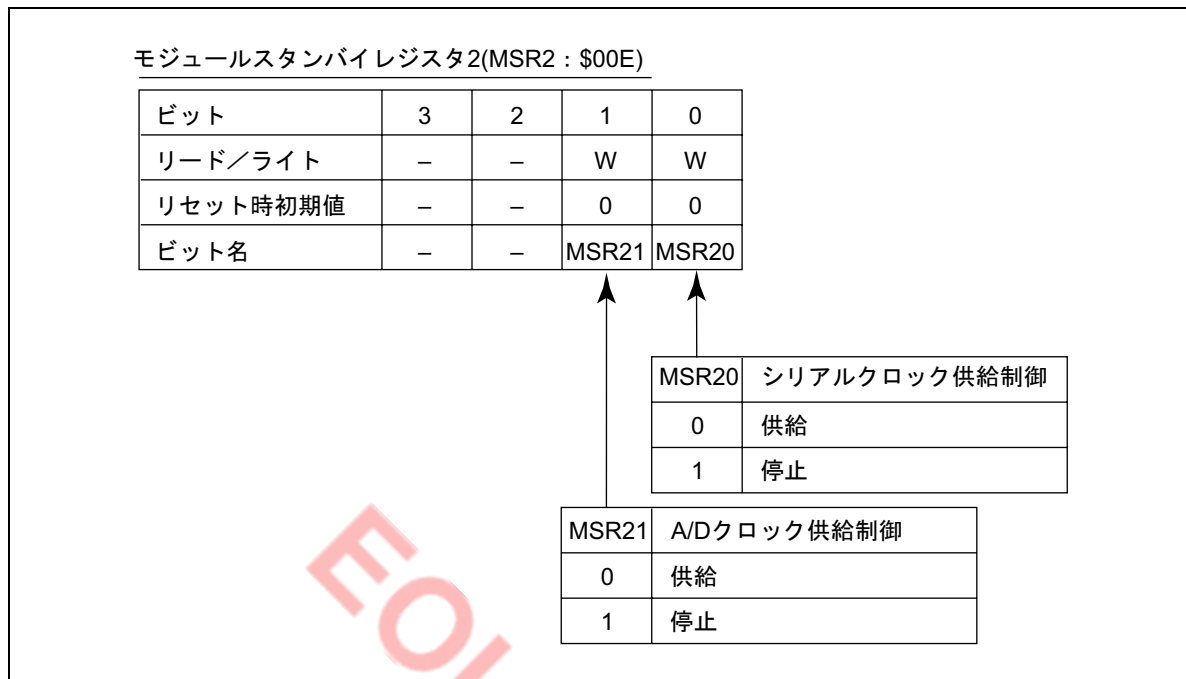


図 62 モジュールスタンバイレジスタ 2 (MSR2)

8. A/D コンバータ (HD404374/HD404384/HD404389 シリーズ)

MCUには、抵抗ラダー方式による逐次比較方式 A/D コンバータを内蔵しており、10 ビット分解能で4本のアナログ入力のデジタル変換ができます。図 63 に A/D コンバータブロックを示します。

A/D コンバータには以下の4つのレジスタがあります。

- A/D モードレジスタ (AMR : \$028)
- A/D スタートフラグ (ADSF : \$020、2)
- A/D データレジスタ (ADRL : \$029、ADRM : \$02A、ADRU : \$02B)
- モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

【注】 HD404374 シリーズ、HD404384 シリーズ、および HD404389 シリーズのエミュレータでは、A/D データレジスタ L のビット 0 (ADRL0) に"1"を書き込んでください。それぞれの MASK ROM 版および ZTAT[®]版では書き込み不要ですが、"1"書き込み状態でも影響ありません。

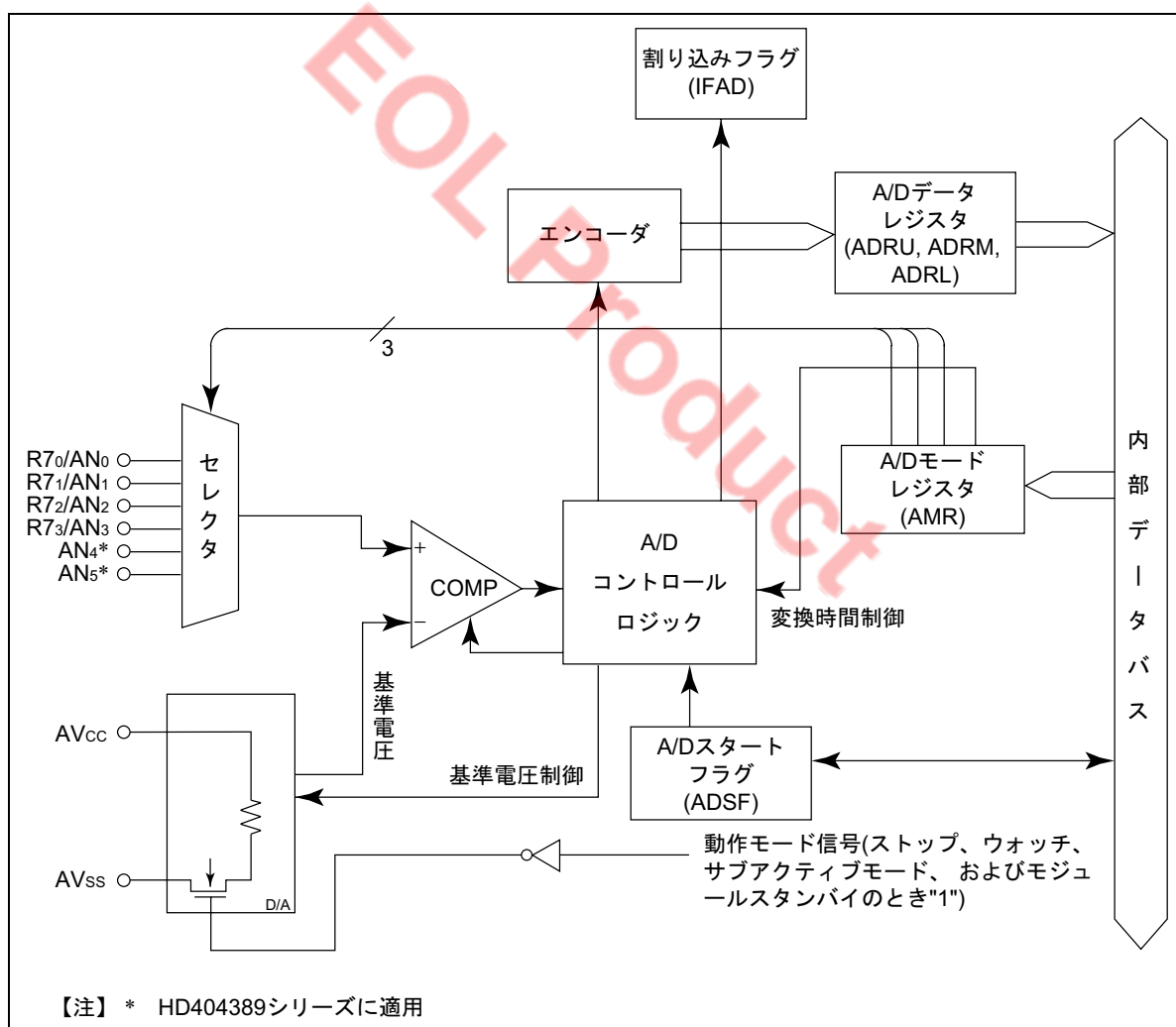


図 63 A/D コンバータブロック図

(1) A/D モードレジスタ (AMR : \$028)

A/D モードレジスタは、A/D 変換スピードの設定、アナログ入力端子指定の情報を示す 4 ビットの書き込み専用レジスタです。ビット 0 で A/D 変換時間の選択を行い、ビット 1、2、3 でチャンネルの選択を行います (図 64)。

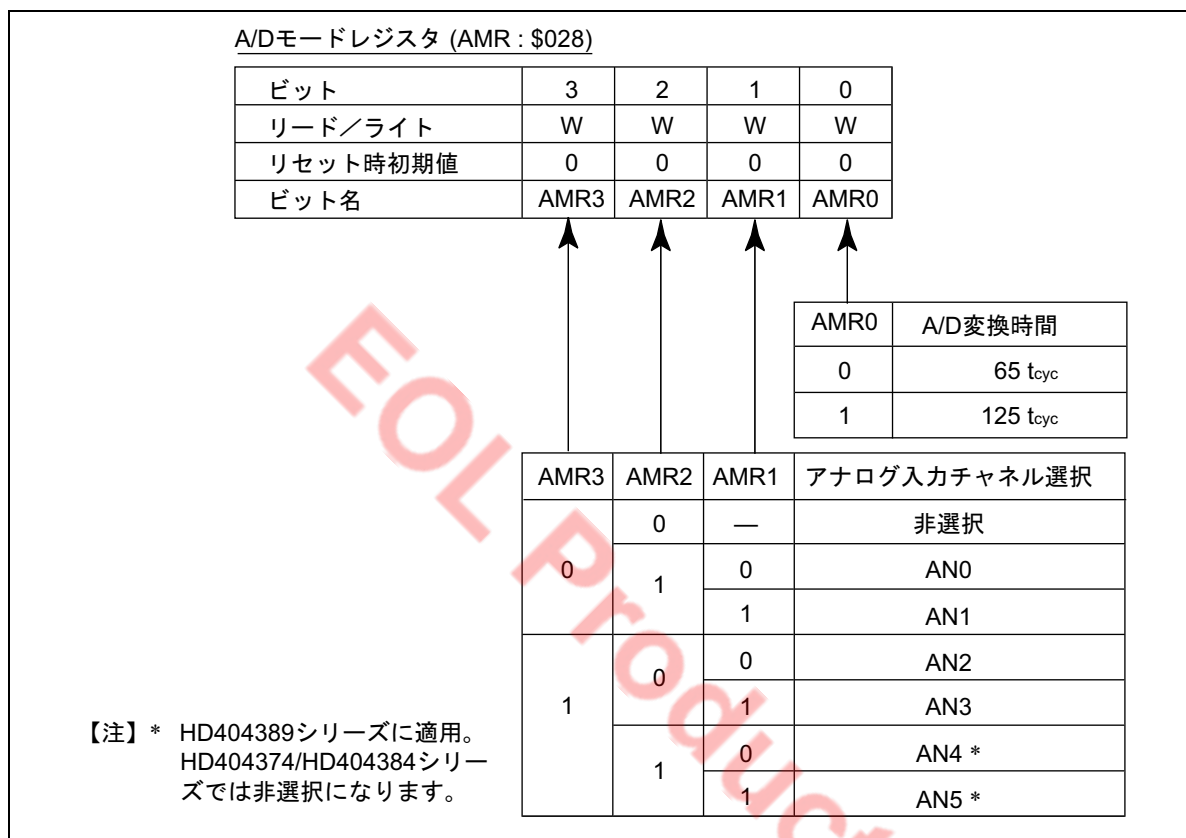


図 64 A/D モードレジスタ (AMR)

(2) A/D スタートフラグ (ADSF : \$020、2)

A/D スタートフラグに"1"を書き込むことにより A/D 変換がスタートします。変換が終了すると変換データは A/D データレジスタにセットされ、同時に A/D スタートフラグはクリアされます (図 65)。

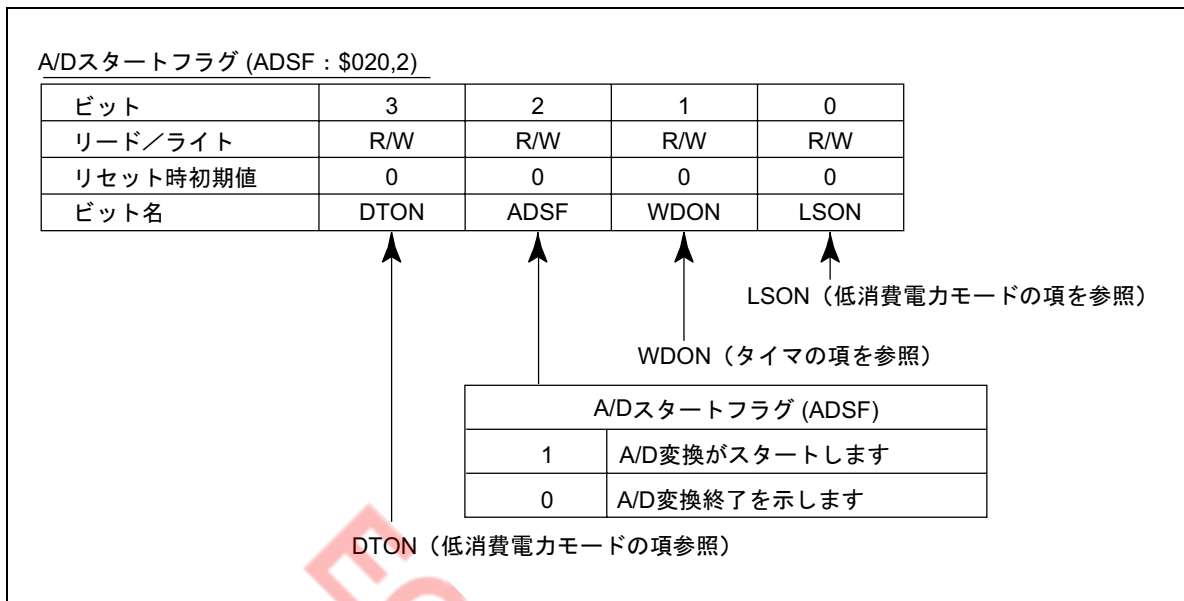


図 65 A/D スタートフラグ (ADSF)

(3) A/D データレジスタ (ADRL : \$029、ADRM : \$02A、ADRU : \$02B)

上位 4 ビット、中位 4 ビット下位 2 ビットのリード専用レジスタです。このレジスタはリセットではクリアされません。また、A/D 変換中のデータの読み出しは保証されません。A/D 変換終了後に変換結果の 10 ビットデータがセットされ、次の変換開始までこのデータが保持されます (図 66、図 67、図 68、図 69)。

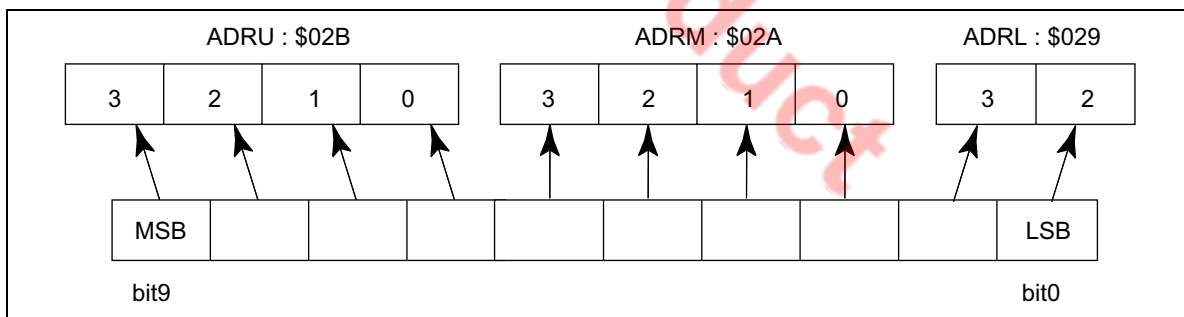


図 66 A/D データレジスタ

A/Dデータレジスタ 下位 (ADRL : \$029)

ビット	3	2	1	0
リード/ライト	R	R	—	—
リセット時初期値	1	1	—	—
ビット名	ADRL3	ADRL2	使用禁止	使用禁止*

【注】 * エミュレータでは"1"を書き込んでください。

図 67 A/D データレジスタ下位 (ADRL)

A/Dデータレジスタ 中位 (ADRM : \$02A)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	1	1	1	1
ビット名	ADRM3	ADRM2	ADRM1	ADRM0

図 68 A/D データレジスタ中位 (ADRM)

A/Dデータレジスタ 上位 (ADRU : \$02B)

ビット	3	2	1	0
リード/ライト	R	R	R	R
リセット時初期値	0	1	1	1
ビット名	ADRU3	ADRU2	ADRU1	ADRU0

図 69 A/D データレジスタ上位 (ADRU)

(4) モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

モジュールスタンバイレジスタ 2 のビット 1 に 1 を書き込むことによって、A/D モジュールへのシステムクロックの供給が停止し、またラダー抵抗に流れる電流 (I_{AD}) をカットします。

(5) 使用上の注意事項

- A/D スタートフラグ (ADSF) への書き込みは、SEM/SEMD 命令で行ってください。
- A/D 変換中は、ADSF への書き込みはしないでください。
- A/D 変換中の A/D データレジスタのデータは不定です。
- A/D コンバータは OSC からのクロックで動作しますので、ストップモード、ウォッチモード、サブアクティブモードでは動作を停止します。また、これらの低消費電力モードでは、消費電力を下げするために、A/D コンバータのラダー抵抗に流れる電流をカットする構成になっています。
- A/D モードレジスタによりアナログ入力端子を選択すると、その端子のプルアップ MOS は無効になります。
- A/D データレジスタ L のビット 0 は使用禁止ビットですが、エミュレータにおいては"1"を書き込んでください。MASK ROM 版および ZTAT®版では書き込み不要ですが、"1"書き込み状態でも影響ありません。

プログラマブル ROM 内蔵 ZTAT[®]マイコン1. ZTAT[®]マイコン内蔵プログラマブル ROM の使用上の注意(1) プログラマブル ROM 内蔵の ZTAT[®]マイコン書き込み時の注意事項

プラスチックモールドのワンタイムプログラマブル ROM 内蔵の ZTAT[®]マイコンは書き込み時、PROM ライタやソケットアダプタとの電氣的接続不良がありますと、誤書き込みが発生し、ご使用できなくなります。したがって、書き込み歩留まりを向上させるため、次の点に注意してください。

- (a) 書き込み前にソケットアダプタが PROM ライタと確実に固定され、電氣的に接続されていること (open short) の確認をしてください。
- (b) コンタクトピンと IC のリードの電氣的な接続を確実にするため、ソケットアダプタのコンタクトピン上に電氣的接続不良になるような異物がないことを確認してください。異物がある場合は取り除いてください。
- (c) IC を挿入する場合にはコンタクトピンと IC のリードの電氣的な接続を確実にするため、IC のリード曲がりなどが起きないように注意して挿入してください。リード曲がりが発生した場合はリード修正をしてから、挿入してください。
- (d) 電源などの電氣的接続不良による誤書き込みを防止するためのブランクチェックで不具合が発生した場合は(a). (b). (c)にしたがって再書き込みを実施してください。
- (e) 書き込み中は誤書き込みを防止するため、ソケットアダプタ、IC には触れないようにしてください。
- (f) 続けて、IC に書き込む場合は(a). (b). (c). (d). (e)にしたがって書き込んでください。
- (g) 書き込み不良が連続して発生した場合、または書き込み不良率が高い場合には、書き込みを中止して、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。
- (h) 書き込みあるいは高温放置後のプログラム確認において、異常がありましたら、当社技術担当にご連絡ください。

(2) PROM ライタやソケットアダプタ、IC を新規に採用した場合の注意事項

新規に PROM ライタやソケットアダプタや IC を採用した場合、ノイズやオーバシュートやタイミング等の電氣的特性が IC の書き込み保証特性と合わないため、IC の破壊や書き込みができなくなる場合があります。したがって、次の点を確認してから、書き込みを実施してください。

- (a) 安定に書き込むため、PROM ライタの供給電源 V_{CC} 、 V_{PP} の電源電流容量と IC の書き込み時消費電流に充分マージンがあるかどうか確認してください。
- (b) IC の破壊防止のため、ソケットアダプタの接続端子部で $GND-V_{CC}$ 、 $GND-V_{PP}$ 間の電源電圧および電源のオーバシュートやアンダシュートが定格以内であることを確認してください。特に、オーバシュート、アンダシュートが最大定格を超えると p-n 接合が損傷し、永久破壊にいたる場合があります。オーバシュートやアンダシュートがある場合は電源のダンピング抵抗や容量の見直しを実施してください。
- (c) IC の破壊防止と書き込みおよび読み出しを安定に行うため、IC をソケットアダプタに挿入し、IC 接続端子部近傍で $GND-V_{CC}$ 、 $GND-V_{PP}$ 間の電源ノイズを確認してください。電源ノイズがある場合は発生ノイズにより、 GND -電源間に適当なコンデンサを挿入してください。高周波のノイズの場合は低インダクタンスのコンデンサを挿入してください。
- (d) 書き込みおよび読み出しを安定に行うため、IC をソケットアダプタに挿入し、R/W、CS、アドレス、データ端子部近傍で入力波形、タイミングとノイズを確認してください。特に、最近の IC はハイスピードのため、出力データ端子からのクロストークによる電源やアドレスへのノイズに注意してください。対策には GND -電源間に低インダクタンスのコンデンサの挿入や出力データ端子へのダンピング抵抗の挿入が有効であります。

- (e) 多数個取りの PROM ライタを使用する場合は、特に IC を全てソケットアダプタに挿入することを前提に(a). (b). (c). (d)を確認してください。
- (f) 多数個取りの PROM ライタでは、電源などの電氣的接続不良による誤書き込みを防止するためのブランクチェックで不良になっても、1 個 1 個の書き込み停止ができない場合、再書き込みできません。したがって、接続不良による誤書き込みになるポテンシャルが上がりますので PROM ライタとソケットアダプタ、IC との電氣的接続確認を確実に実施してください。
- (g) 書き込み後のプログラム確認において、異常がありましたら、当社技術担当にご連絡ください。

2. 内蔵プログラマブル ROM のプログラミング

MCU は、PROM モードにすることにより MCU としての機能を停止し、内蔵 PROM のプログラムを行うことができます。

PROM モードは、 $\overline{\text{RESET}}$ 、 $\overline{\text{MO}}$ の 2 端子を"Low"レベル、かつ TEST 端子を" V_{pp} "レベルにすることにより設定します。

PROM の書き込み、読み出しは市販の EPROM27256 と同様の仕様です。各製品専用のソケットアダプタを使用すれば、汎用 PROM ライタでプログラミングが行えます。

HMCS400 シリーズの 1 命令は 10 ビット構成ですので、汎用 PROM ライタが使用できるように変換回路を内蔵しています。1 命令を下位 5 ビットと上位 5 ビットに分割して 2 アドレスにより書き込みあるいは読み出しを行うことにより、汎用 PROM ライタを使用することができます。例えば、16k ワードの内蔵 PROM を汎用 PROM ライタにより書き込む場合には、32k バイトのアドレス (\$0000~\$7FFF) を指定してください。PROM のメモリマップ例を図 70 に示します。

- 【注】**
- 1 PROM ライタでプログラムする際、各 ROM サイズごとに表 29 のアドレスに設定してください。誤って表 29 のアドレス以降にプログラムすると、PROM の書き込みや確認ができなくなることがあります。特にプラスチックパッケージでは再生できませんのでご注意ください。未使用のアドレスのデータは\$FF としてください。
 - 2 PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していませんと、過剰電流によって製品が破壊することがあります。書き込み前に必ず正しくライタに装着されているか確認してください。
 - 3 PROM のプログラム電圧 (V_{pp}) には 12.5V と 21V の 2 通りの仕様がありますが、当社の V_{pp} は 12.5V です。21V を印加すると製品の永久破壊に至りますので注意してください。PROM ライタでは 27256 インテル仕様にセットすることにより V_{pp} は 12.5V になります。

表 27 ソケットアダプタ

パッケージ	型名	メーカー
FP-30D	弊社営業までお問い合わせください。	
DP-28S		

書き込み／ベリファイ

内蔵プログラム ROM では高速プログラミング方式によりプログラムを行います。この方式はデバイスへの電圧ストレスあるいは書き込みデータの信頼性を損うことなく高速な書き込みを行うことができます。プログラミングの基本的なフローチャートを図 71 に、タイミング図を図 72 に示します。PROM 書き込み時の注意については「1. ZTAT[®]マイコン内蔵プログラマブル ROM の使用上の注意」を参照してください。

表 28 モード選択

モード	ピン	\overline{CE}	\overline{OE}	V_{PP}	$O_0 \sim O_4$
書き込み		"Low"	"High"	V_{PP}	データ入力
ベリファイ		"High"	"Low"	V_{PP}	データ出力
プログラミング禁止		"High"	"High"	V_{PP}	ハイインピーダンス

表 29 PROM ライタプログラムアドレス

ROM サイズ	アドレス
2k	\$0000～\$0FFF
4k	\$0000～\$1FFF
8k	\$0000～\$3FFF
16k	\$0000～\$7FFF

PROM モードの端子説明

HD407A4374/HD407C4374/HD407A4384/HD407C4384,HD407A4389/HD407C4389 は PROM を内蔵した ZTAT[®] マイコンです。ZTAT[®]マイコンは、PROM モードにすることにより、MCU としての機能を停止し、内蔵 PROM のプログラミングを行うことができます。

1. モード別端子配置

(1) HD407A4374/HD407C4374/HD407A4384/HD407C4384

ピン番号		MCU モード		PROM モード	
FP-30D	DP-28S	端子名	I/O	端子名	I/O
1	1	GND	—	GND	—
2	2	V _{CC}	—	V _{CC}	—
3	3	AV _{CC}	—	V _{CC}	—
4	4	R7 ₀ /AN ₀	I/O	O ₀	I/O
5	5	R7 ₁ /AN ₁	I/O	O ₁	I/O
6	6	R7 ₂ /AN ₂	I/O	O ₂	I/O
7	7	R7 ₃ /AN ₃	I/O	O ₃	I/O
8	8	AV _{SS}	—	GND	—
9	9	OSC ₁	I	A ₀	I
10	10	OSC ₂	O	—	—
11	11	TEST	I	V _{PP}	—
12	—	X ₂	O	—	—
13	—	X ₁	I	GND	—
14	12	RESET	I	RESET	I
15	13	R0 ₀ /WU ₀	I/O	A ₁	I
16	14	R1 ₀ /EVNB	I/O	A ₄	I
17	15	R1 ₃ /TOB	I/O	O ₄	I/O
18	16	R2 ₀ /TOC	I/O	CE	I
19	17	R2 ₁ /SCK	I/O	A ₂	I
20	18	R2 ₂ /SI/SO	I/O	A ₃	I
21	19	D ₀ INT ₀	I/O	MO	I
22	20	D ₁	I/O	A ₅	I
23	21	D ₂	I/O	A ₆	I
24	22	D ₃	I/O	A ₇	I
25	23	D ₄	I/O	A ₈	I
26	24	D ₅	I/O	A ₉	I
27	25	D ₆	I/O	A ₁₀	I
28	26	D ₇	I/O	A ₁₁	I
29	27	D ₈	I/O	A ₁₂	I
30	28	D ₉	I/O	OE	I

【注】 I/O : 入出力端子、I : 入力専用端子、O : 出力専用端子

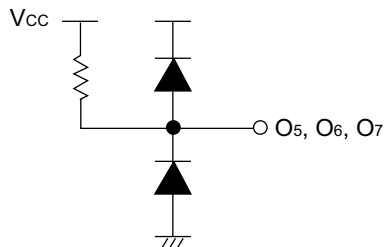
(2) HD407A4389/HD407C4389

ピン番号 FP-30D	MCU モード		PROM モード	
	端子名	I/O	端子名	I/O
1	GND	—	GND	—
2	VCC	—	VCC	—
3	AV _{CC}	—	V _{CC}	—
4	R7 ₀ /AN ₀	I/O	O ₀	I/O
5	R7 ₁ /AN ₁	I/O	O ₁	I/O
6	R7 ₂ /AN ₂	I/O	O ₂	I/O
7	R7 ₃ /AN ₃	I/O	O ₃	I/O
8	AN ₄	I	CE	I
9	AN ₅	I	OE	I
10	AV _{SS}	—	GND	—
11	TEST	I	V _{PP}	—
12	OSC ₁	I	A ₀	I
13	OSC ₂	O	—	—
14	RESET	I	RESET	I
15	R0 ₀ /WU ₀	I/O	A ₁	I
16	R1 ₀ /EVNB	I/O	A ₄	I
17	R1 ₃ /TOB	I/O	O ₄	I/O
18	R2 ₀ /TOC	I/O	A ₁₄	I
19	R2 ₁ /SCK	I/O	A ₂	I
20	R2 ₂ /SI/SO	I/O	A ₃	I
21	D ₀ /INT ₀	I/O	MO	I
22	D ₁	I/O	A ₅	I
23	D ₂	I/O	A ₆	I
24	D ₃	I/O	A ₇	I
25	D ₄	I/O	A ₈	I
26	D ₅	I/O	A ₉	I
27	D ₆	I/O	A ₁₀	I
28	D ₇	I/O	A ₁₁	I
29	D ₈	I/O	A ₁₂	I
30	D ₉	I/O	A ₁₃	I

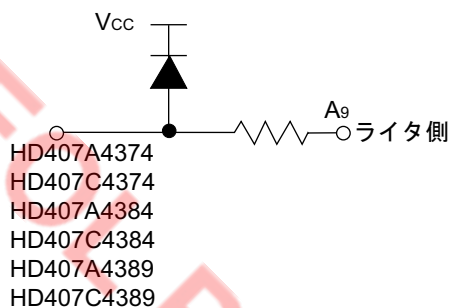
【注】 I/O : 入出力端子、I : 入力専用端子、O : 出力専用端子

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

1. PROM ライタ側の未使用のデータ端子 ($O_5 \sim O_7$) は、ソケット側で次のような端子処理をしてください。



2. A_9 端子は、ソケット側で次のような端子処理をしてください。



2. PROM モードの端子機能

V_{pp} : 内蔵 PROM のプログラム電圧 ($12.5V \pm 0.3V$) を印加します。

\overline{CE} : 内蔵 PROM を書き込み、ベリファイ可能な状態にするコントロール信号を入力します。

\overline{OE} : ベリファイ時のデータ出力コントロール信号を入力します。

$A_0 \sim A_{14}$: 内蔵 PROM のアドレス入力端子です。

$O_0 \sim O_4$: 内蔵 PROM のデータバス入出力端子です。

\overline{MO} 、 \overline{RESET} 、 $TEST$: PROM モード設定用端子です。

PROM モードは、 \overline{MO} 、 \overline{RESET} の 2 端子を "Low" レベルに、かつ $TEST$ 端子を "VPP" レベルにすることによって設定します。

その他の端子

V_{CC} 、 AV_{CC} は、 V_{CC} 電位に接続してください。

GND 、 AV_{SS} 、 $X1$ は GND 電位にしてください。

その他の端子は OPEN としてください。

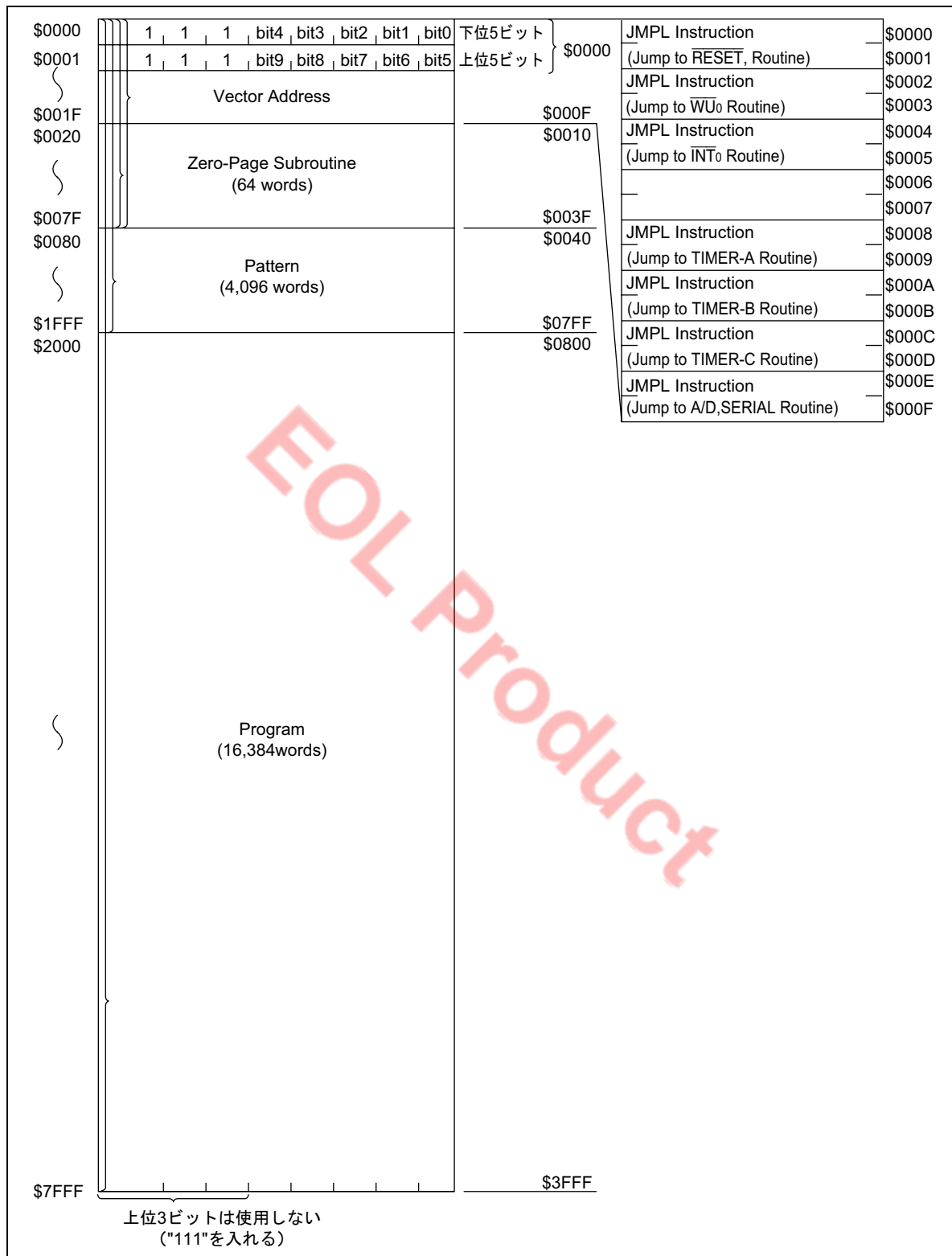


図 70 PROM のメモリマップ例

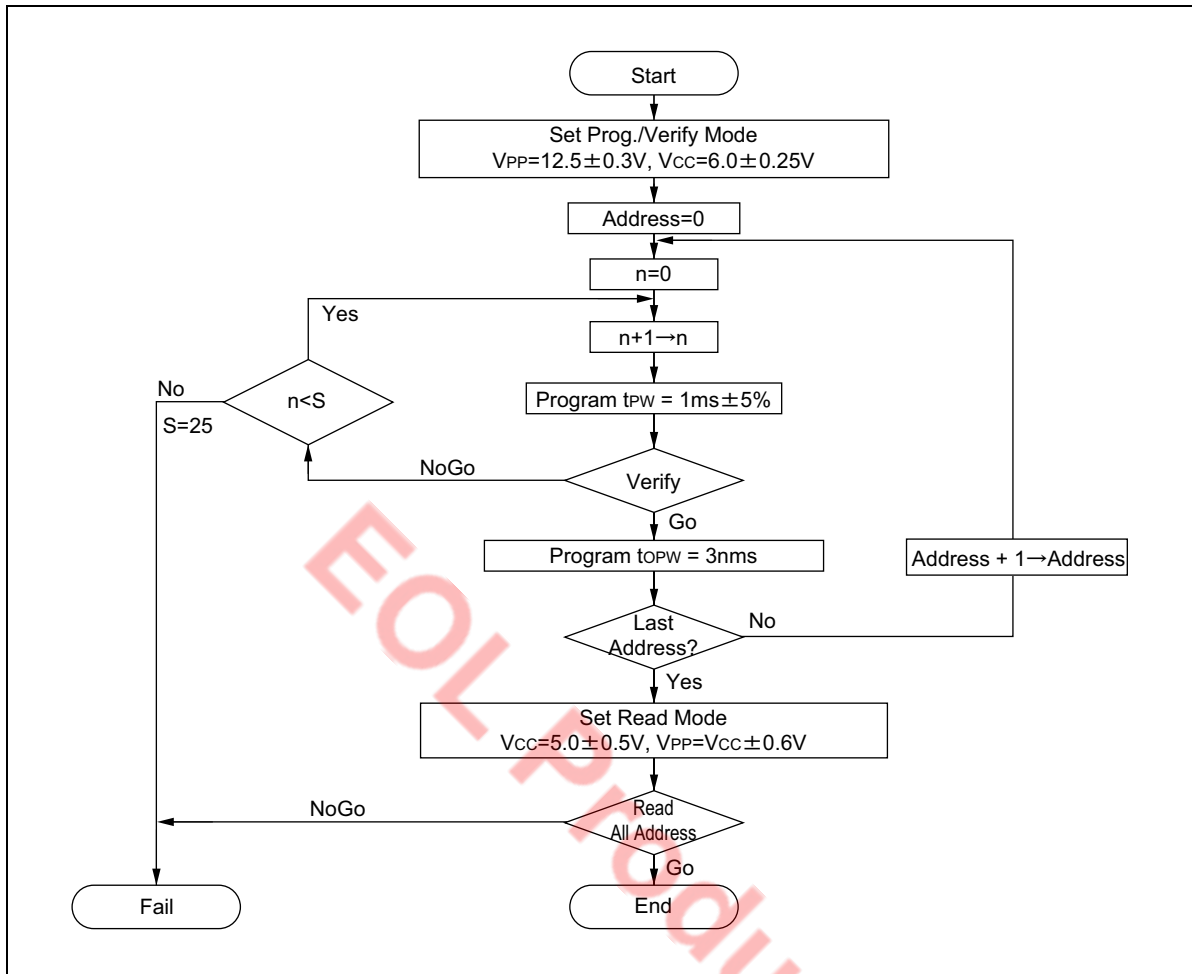


図 71 高速プログラミングフローチャート

プログラミング電氣的特性

DC 特性 (特記なき場合は $V_{CC}=6V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$)

項	目	記号	測定条件	min	typ	max	単位
入力"High"レベル電圧	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 \overline{OE} 、 \overline{CE}	V_{IH}		2.2	—	$V_{CC}+0.3$	V
入力"Low"レベル電圧	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 \overline{OE} 、 \overline{CE}	V_{IL}		-0.3	—	0.8	V
出力"High"レベル電圧	$O_0\sim O_4$	V_{OH}	$I_{OH}=-200\mu A$	2.4	—	—	V
出力"Low"レベル電圧	$O_0\sim O_4$	V_{OL}	$I_{OL}=1.6mA$	—	—	0.4	V
入力クリーク電流	$O_0\sim O_4$ 、 $A_0\sim A_{14}$ 、 \overline{OE} 、 \overline{CE}	$ I_{IL} $	$V_{in}=5.25V/0.5V$	—	—	2	μA
V_{CC} 電流		I_{CC}		—	—	30	mA
V_{PP} 電流		I_{PP}		—	—	40	mA

AC 特性 (特記なき場合は $V_{CC}=6V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $T_a=25^\circ C\pm 5^\circ C$)

項	目	記号	測定条件	min	typ	max	単位
アドレスセットアップ時間		t_{AS}	図 72	2	—	—	μs
\overline{OE} セットアップ時間		t_{OES}		2	—	—	μs
データセットアップ時間		t_{DS}		2	—	—	μs
アドレスホールド時間		t_{AH}		0	—	—	μs
データホールド時間		t_{DH}		2	—	—	μs
データ出力ディスエーブル時間		t_{DF}		—	—	130	ns
V_{PP} セットアップ時間		t_{VPS}		2	—	—	μs
プログラムパルス幅		t_{PW}		0.95	1.0	1.05	ms
オーバプログラム時の \overline{CE} パルス幅		t_{OPW}		2.85	—	78.75	ms
V_{CC} セットアップ時間		t_{VCS}		2	—	—	μs
データ出力遅延時間		t_{OE}		0	—	500	ns

- 【注】 入力パルスレベル 0.8~2.2V
 入力立ち上がり/立ち下がり時間 $\leq 20ns$
 タイミング参照レベル 入力 : 1.0V, 2.0V
 出力 : 0.8V, 2.0V

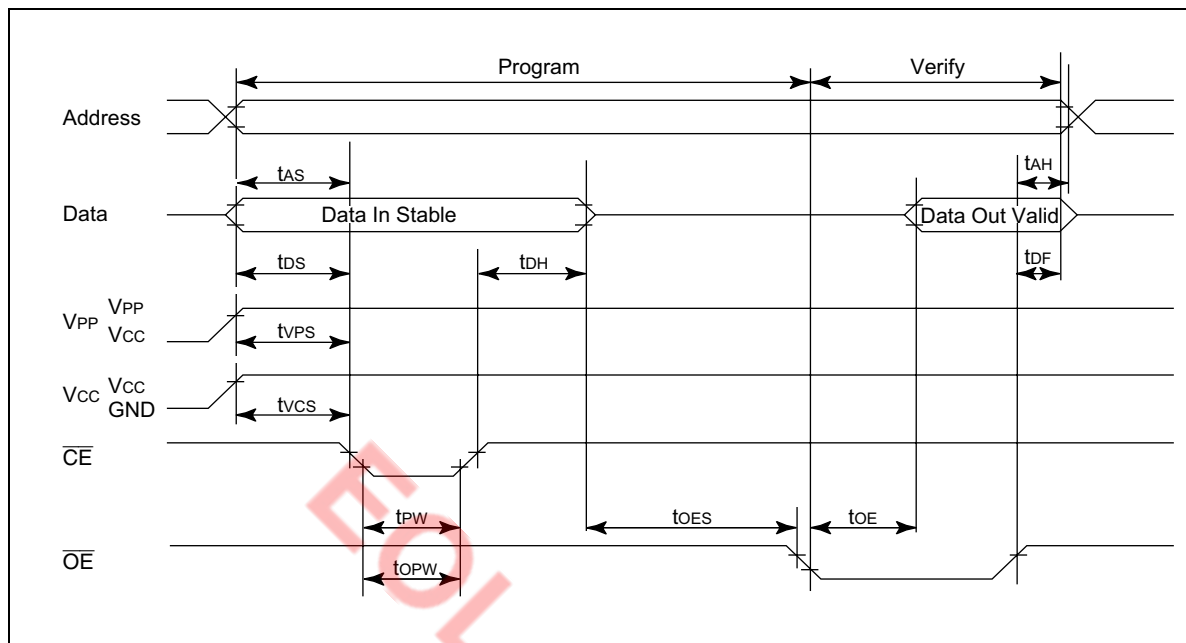


図 72 PROM プログラム/ベリファイタイミング

ZTAT[®]マイコン使用上の注意事項

1. ZTAT[®]マイコン内蔵プログラマブル ROM の特性および応用上の注意

(1) 書き込み/消去原理

ZTAT[®]マイコンのメモリセルは EPROM と同じ構造です。したがって通常の EPROM と同様にコントロールゲートとドレインに高電圧を印加し、電子をホットエレクトロンとしてフローティングゲートに注入することにより行われます。フローティングゲートに蓄えられた電子は SiO₂ 膜のエネルギー障壁に囲まれて安定し、メモリ素子のしきい値電圧が変化して当該ビットは"0"になります。

メモリ素子の電子は時間とともに減少します。

電子の減少には次のような原因があります。

- (a) 紫外線；紫外線によって電子は励起され、放出されます。（消去の原理）
- (b) 熱；蓄積された電子は熱励起されて放出されます。
- (c) 高電圧の印加；コントロールゲートやドレインに印加した高電圧によって電子が消失することがあります。

フローティングゲートを包む酸化膜に欠陥などがあると、この電子消失は顕著になります。しかし通常このような欠陥品は除去しておりますので、正常のメモリセルでは電子消失はほとんどありません。

フローティングゲートに電子のないメモリ素子の当該ビットは"1"になっています。

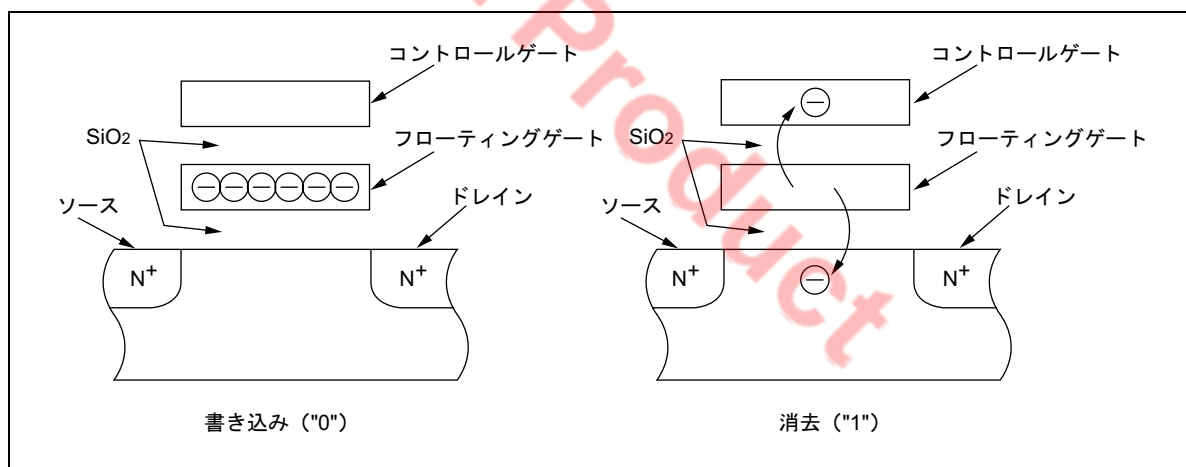


図 73 EPROM メモリセルの断面図

(2) PROM 書き込み時

PROM への書き込み程度はプログラム電圧 V_{pp} が高いほど、またプログラムパルス幅 t_{pw} が長いほど多くの電子が注入され、十分に書き込まれますが、書き込みは規定された電圧、タイミングで行ってください。 V_{pp} に定格以上の電圧を加えますと p-n 接合が損傷して永久破壊にいたることがあります。特に PROM ライタのオーバーシュートなどには十分注意してください。また端子への負電圧ノイズは寄生トランジスタ効果を誘発し、降伏電圧を見かけ上小さくすることがありますので注意が必要です。

ZTAT[®]マイコンはソケットアダプタを介して PROM ライタと電氣的に接続されますので、次の点にも注意してください。

- (a) 書き込み前にソケットアダプタが PROM ライタに確実に固定されていることを確認してください。
- (b) 書き込み中にはソケットアダプタ、製品には触れないようにしてください。接触不良により書き込み不良になることがあります。

EOL Product

(3) 内蔵 PROM 書き込み後の信頼性

一般に半導体製品は初期に発生する不良を除けば、製品本来の信頼性を確保することができます。この初期不良を除くためには「スクリーニング」という手段がとられます。高温放置は PROM メモリセルの初期のデータ保持不良を短時間で除く一種のスクリーニングです。（「(1) 書き込み/消去原理」参照）。ZTAT®マイコンでもウェハ製造工程で実施されていますのでデータ保持特性は良好なレベルにあります。さらに特性を向上させるためには、ユーザにおきましてデータ書き込み後、150°Cの高温放置を実施していただくことは大変有効です。図 74 に推奨スクリーニングフローを示します。

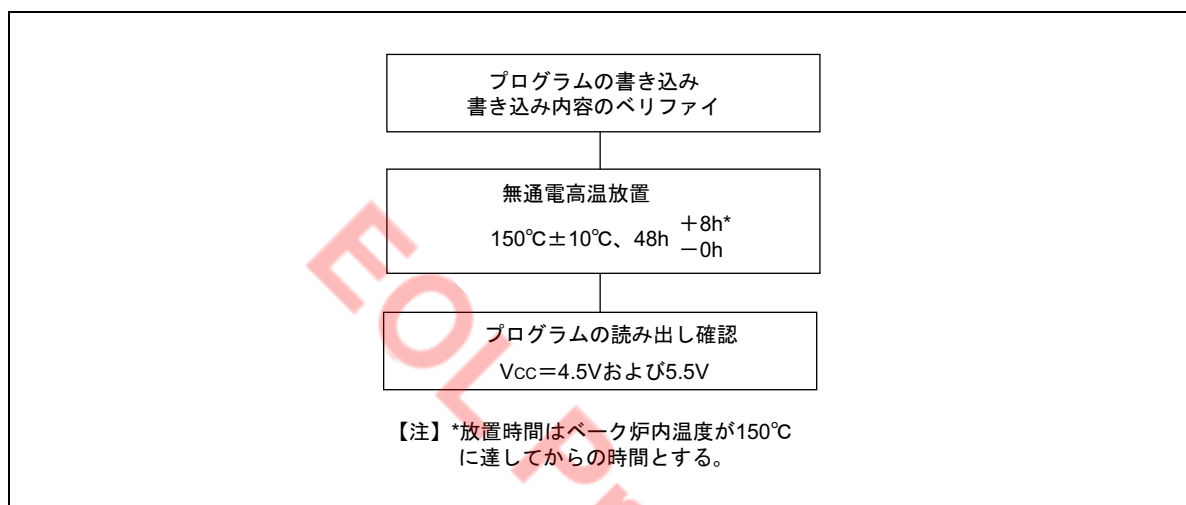


図 74 推奨スクリーニングフロー

【注】 同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止して、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

(4) 書き込み率について

書き込み率は 95%以上 を保証させていただきます。

アドレッシングモード

1. RAM アドレッシング

MCU には、図 75 に示すようにレジスタ間接アドレッシング、直接アドレッシング、メモリレジスタアドレッシングの 3 種の RAM アドレッシングモードがあります。

(1) レジスタ間接アドレッシング

レジスタ間接アドレッシングでは、W レジスタ、X レジスタおよび Y レジスタの合計 10 ビットの内容が RAM アドレスとして用いられます。

(2) 直接アドレッシング

直接アドレッシングの命令は 2 ワード命令であり、オペコードに続く 2 ワード目 (10 ビット) が RAM アドレスとして用いられます。

(3) メモリレジスタアドレッシング

LAMR 命令、XMRA 命令によって、\$040~\$04F の 16 デジット (メモリレジスタ:MR) をアクセスすることができます。

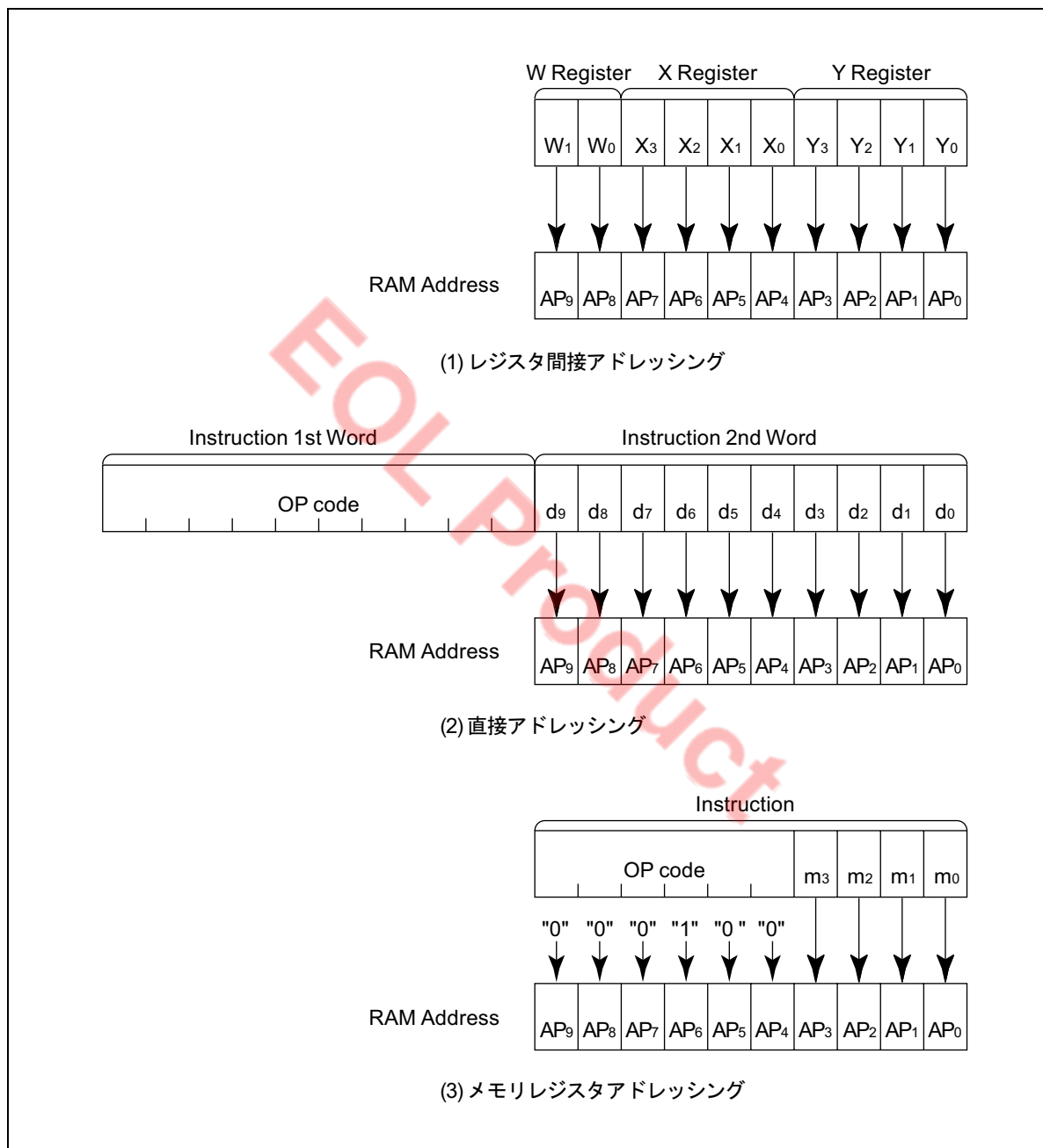


図 75 RAM アドレッシング

2. ROM アドレッシングモードと P 命令

MCU には図 76 に示すように、4 種の ROM アドレッシングモードがあります。

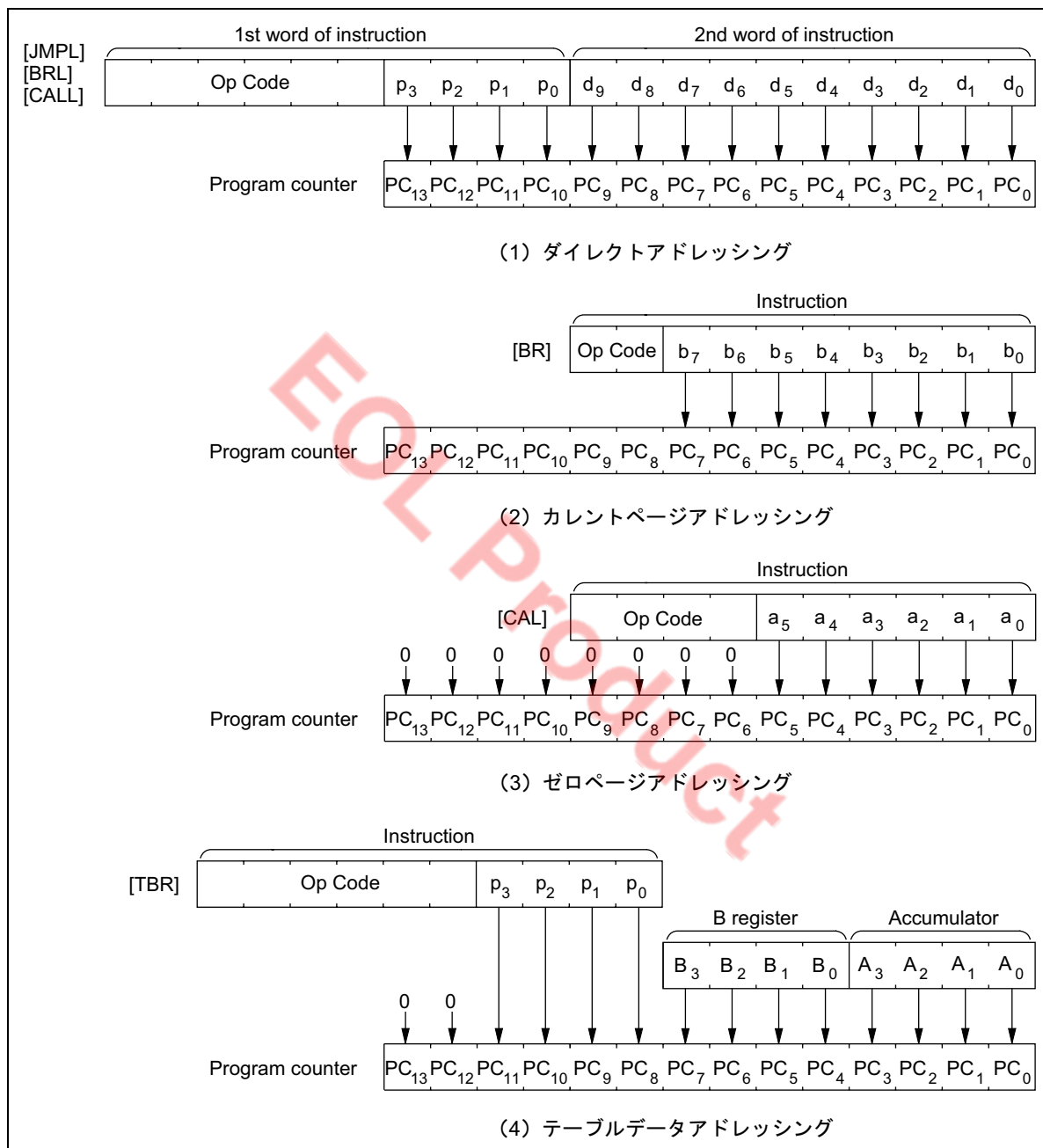


図 76 ROM アドレッシングモード

(1) ダイレクトアドレッシングモード

JMPL 命令、BRL 命令および CALL 命令により、ROM メモリ空間のすべてのアドレスへ分岐できます。すなわち、プログラムカウンタの 14 ビット(PC₁₃~PC₀)を 14 ビットイミディエイトデータで置き換えたアドレスへ分岐できます。

(2) カレントページアドレッシングモード

ROM メモリ空間を\$0000 から 256 ワードごとに分割して各 256 ワードをページと呼びます。BR 命令により同一ページ内のアドレスへ分岐できます。すなわちプログラムカウンタの下位 8 ビット(PC₇~PC₀)を 8 ビットイミディエイトデータで置き換えたアドレスへ分岐できます。ただし、ページの境界に置かれた BR 命令の分岐先は、他の場合と異なりますので、図 78 を参照してください。

(3) ゼロページアドレッシングモード

CAL 命令により、\$0000~\$003F にあるサブルーチンへ分岐できます。すなわち、プログラムカウンタの下位 6 ビット(PC₅~PC₀)を 6 ビットイミディエイトデータで置き換え、上位 8 ビット(PC₁₃~PC₆)を"0"としたアドレスへ分岐できます。

(4) テーブルデータアドレッシングモード

TBR 命令により、4 ビットイミディエイトデータとアキュムレータ、B レジスタの内容によって決まるアドレスへ分岐できます。

(5) P 命令

P 命令により、テーブルデータアドレッシングで決まるアドレスの ROM データを参照できます。ビット 9 を"0"、ビット 8 を"1"にすることにより、参照された ROM データの下位 8 ビットがアキュムレータ、B レジスタに書き込まれます (図 77 参照)。

P 命令によってプログラムカウンタは影響を受けません。

(6) ページの境界における BR 命令の分岐先の説明

BR がページの境界(256n+255)にあるとき、その命令の実行によってプログラムカウンタの内部がハードアーキテクチャにより次のページに移ります。したがって、ページの境界にある BR を用いるときは分岐先を次のページ内に設定してください (図 78 参照)。

なお、HMCS400 シリーズクロスアセンブラは品種にかかわらず ROM ページを自動改頁 (自動ページング) する機能を備えています。

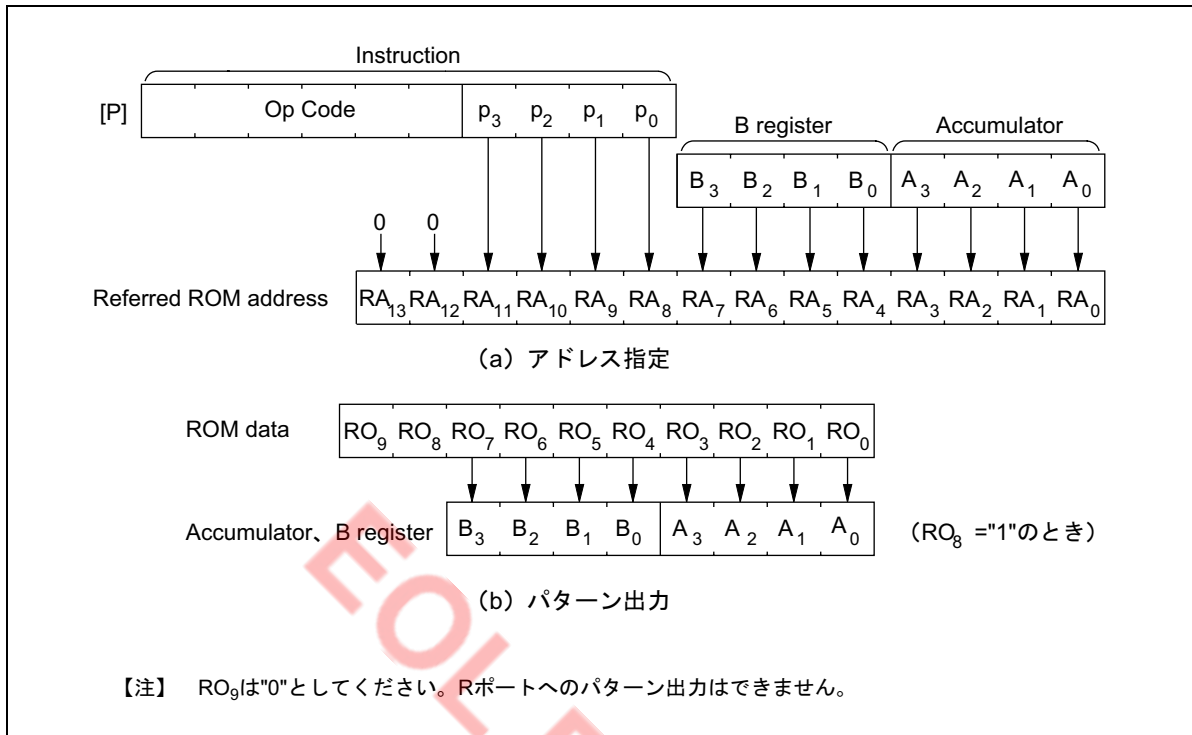


図 77 P 命令

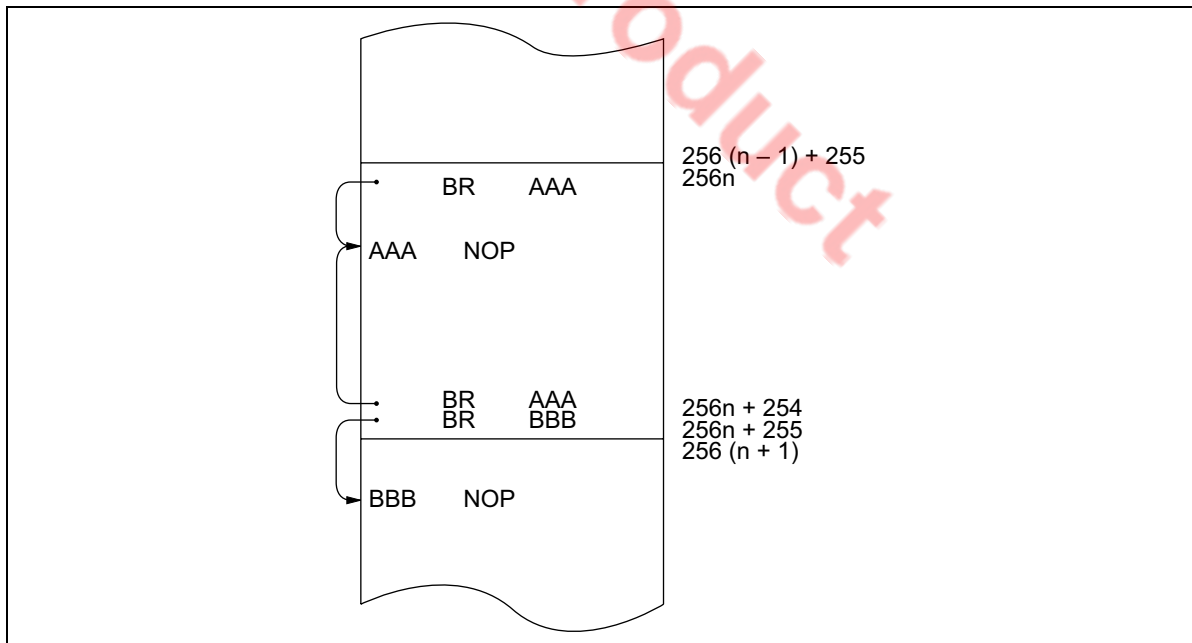


図 78 ページの境界における BR 命令の分岐先

命令セット

MCU には、101 の命令があります。これらの命令は、次の 10 種類に分類することができます。

- (1) イミディエイト命令
- (2) レジスタ・レジスタ命令
- (3) RAM アドレス命令
- (4) RAM・レジスタ命令
- (5) 演算命令
- (6) 比較命令
- (7) RAM ビット操作命令
- (8) ROM アドレス命令
- (9) 入出力命令
- (10) コントロール命令

(1) イミディエイト命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from Immediate	LAli	1 0 0 0 1 1 i_3 i_2 i_1 i_0	$i \rightarrow A$		1/1
Load B from Immediate	LBl <i>i</i>	1 0 0 0 0 0 i_3 i_2 i_1 i_0	$i \rightarrow B$		1/1
Load Memory from Immediate	LMID <i>i</i> , <i>d</i>	0 1 1 0 1 0 i_3 i_2 i_1 i_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$i \rightarrow M$		2/2
Load Memory from Immediate、Increment Y	LMII <i>Yi</i>	1 0 1 0 0 1 i_3 i_2 i_1 i_0	$i \rightarrow M$ 、 $Y+1 \rightarrow Y$	NZ	1/1

(2) レジスタ・レジスタ命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from B	LAB	0 0 0 1 0 0 1 0 0 0	$B \rightarrow A$		1/1
Load B from A	LBA	0 0 1 1 0 0 1 0 0 0	$A \rightarrow B$		1/1
Load A from W	LAW*	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$W \rightarrow A$		2/2*
Load A from Y	LAY	0 0 1 0 1 0 1 1 1 1	$Y \rightarrow A$		1/1
Load A from SPX	LASPX	0 0 0 1 1 0 1 0 0 0	$SPX \rightarrow A$		1/1
Load A from SPY	LASPY	0 0 0 1 0 1 1 0 0 0	$SPY \rightarrow A$		1/1
Load A from MR	LAMR <i>m</i>	1 0 0 1 1 1 m_3 m_2 m_1 m_0	$MR (m) \rightarrow A$		1/1
Exchange MR and A	XMRA <i>m</i>	1 0 1 1 1 1 m_3 m_2 m_1 m_0	$MR (m) \leftrightarrow A$		1/1

(3) RAM アドレス命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load W from Immediate	LWli	0 0 1 1 1 1 0 0 i_1 i_0	$i \rightarrow W$		1/1
Load X from Immediate	LXli	1 0 0 0 1 0 i_3 i_2 i_1 i_0	$i \rightarrow X$		1/1
Load Y from Immediate	LYli	1 0 0 0 0 1 i_3 i_2 i_1 i_0	$i \rightarrow Y$		1/1
Load W from A	LWA*	0 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$A \rightarrow W$		2/2*
Load X from A	LXA	0 0 1 1 1 0 1 0 0 0	$A \rightarrow X$		1/1
Load Y from A	LYA	0 0 1 1 0 1 1 0 0 0	$A \rightarrow Y$		1/1
Increment Y	IY	0 0 0 1 0 1 1 1 0 0	$Y+1 \rightarrow Y$	NZ	1/1
Decrement Y	DY	0 0 1 1 0 1 1 1 1 1	$Y-1 \rightarrow Y$	NB	1/1
Add A to Y	AYY	0 0 0 1 0 1 0 1 0 0	$Y+A \rightarrow Y$	OVF	1/1
Subtract A from Y	SYY	0 0 1 1 0 1 0 1 0 0	$Y-A \rightarrow Y$	NB	1/1
Exchange X and SPX	XSPX	0 0 0 0 0 0 0 0 0 1	$X \leftrightarrow SPX$		1/1
Exchange Y and SPY	XSPY	0 0 0 0 0 0 0 0 1 0	$Y \leftrightarrow SPY$		1/1
Exchange X and SPX, Y and SPY	XSPXY	0 0 0 0 0 0 0 0 1 1	$X \leftrightarrow SPX$, $Y \leftrightarrow SPY$		1/1

【注】 * LAW、LWA 命令は 2 ワード目にオペランド (\$000) が必要ですが、アセンブラで自動発生するために記述する必要はありません。

(4) RAM・レジスタ命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Load A from Memory	LAM	0 0 1 0 0 1 0 0 0 0	M→A		1/1
	LAMX	0 0 1 0 0 1 0 0 0 1	M→A, X↔SPX		
	LAMY	0 0 1 0 0 1 0 0 1 0	M→A, Y↔SPY		
	LAMXY	0 0 1 0 0 1 0 0 1 1	M→A, X↔SPX, Y↔SPY		
Load A from Memory	LAMD d	0 1 1 0 0 1 0 0 0 0 d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀	M→A		2/2
Load B from Memory	LBM	0 0 0 1 0 0 0 0 0 0	M→B		1/1
	LBMX	0 0 0 1 0 0 0 0 0 1	M→B, X↔SPX		
	LBMY	0 0 0 1 0 0 0 0 1 0	M→B, Y↔SPY		
	LBMXY	0 0 0 1 0 0 0 0 1 1	M→B, X↔SPX, Y↔SPY		
Load Memory from A	LMA	0 0 1 0 0 1 0 1 0 0	A→M		1/1
	LMAX	0 0 1 0 0 1 0 1 0 1	A→M, X↔SPX		
	LMA Y	0 0 1 0 0 1 0 1 1 0	A→M, Y↔SPY		
	LMAXY	0 0 1 0 0 1 0 1 1 1	A→M, X↔SPX, Y↔SPY		
Load Memory from A	LMAD d	0 1 1 0 0 1 0 1 0 0 d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀	A→M		2/2
Load Memory from A, Increment Y	LMAIY	0 0 0 1 0 1 0 0 0 0	A→M, Y+1→Y	NZ	1/1
	LMAIYX	0 0 0 1 0 1 0 0 0 1	A→M, Y+1→Y X↔SPX		
Load Memory from A, Decrement Y	LMADY	0 0 1 1 0 1 0 0 0 0	A→M, Y-1→Y	NB	1/1
	LMADYX	0 0 1 1 0 1 0 0 0 1	A→M, Y-1→Y X↔SPX		

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Exchange Memory and A	XMA	0 0 1 0 0 0 0 0 0 0	M↔A		1/1
	XMAX	0 0 1 0 0 0 0 0 0 1	M↔A, X↔SPX		
	XMAY	0 0 1 0 0 0 0 0 1 0	M↔A, Y↔SPY		
	XMAXY	0 0 1 0 0 0 0 0 1 1	M↔A, X↔SPX, Y↔SPY		
Exchange Memory and A	XMAD d	0 1 1 0 0 0 0 0 0 0 d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀	M↔A		2/2
Exchange Memory and B	XMB	0 0 1 1 0 0 0 0 0 0	M↔B		1/1
	XMBX	0 0 1 1 0 0 0 0 0 1	M↔B, X↔SPX		
	XMBY	0 0 1 1 0 0 0 0 1 0	M↔B, Y↔SPY		
	XMBXY	0 0 1 1 0 0 0 0 1 1	M↔B, X↔SPX, Y↔SPY		

(5) 演算命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Add Immediate to A	Ali	1 0 1 0 0 0 i_3 i_2 i_1 i_0	$A+i \rightarrow A$	OVF	1/1
Increment B	IB	0 0 0 1 0 0 1 1 0 0	$B+1 \rightarrow B$	NZ	1/1
Decrement B	DB	0 0 1 1 0 0 1 1 1 1	$B-1 \rightarrow B$	NB	1/1
Decimal Adjust for Addition	DAA	0 0 1 0 1 0 0 1 1 0			1/1
Decimal Adjust for Subtraction	DAS	0 0 1 0 1 0 1 0 1 0			1/1
Negata A	NEGA	0 0 0 1 1 0 0 0 0 0	$\bar{A}+1 \rightarrow A$		1/1
Complement B	COMB	0 1 0 1 0 0 0 0 0 0	$\bar{B} \rightarrow B$		1/1
Rotate Right A with Carry	ROTR	0 0 1 0 1 0 0 0 0 0			1/1
Rotate Left A with Carry	ROTL	0 0 1 0 1 0 0 0 0 1			1/1
Set Carry	SEC	0 0 1 1 1 0 1 1 1 1	$1 \rightarrow CA$		1/1
Reset Carry	REC	0 0 1 1 1 0 1 1 0 0	$0 \rightarrow CA$		1/1
Test Carry	TC	0 0 0 1 1 0 1 1 1 1		CA	1/1
Add A to Memory	AM	0 0 0 0 0 0 1 0 0 0	$M+A \rightarrow A$	OVF	1/1
Add A to Memory	AMD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$M+A \rightarrow A$	OVF	2/2
Add A to Memory with Carry	AMC	0 0 0 0 0 1 1 0 0 0	$M+A+CA \rightarrow A$ $OVF \rightarrow CA$	OVF	1/1
Add A to Memory with Carry	AMCD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$M+A+CA \rightarrow A$ $OVF \rightarrow CA$	OVF	2/2
Subtract A from Memory with Carry	SMC	0 0 1 0 0 1 1 0 0 0	$M-A-\bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	1/1
Subtract A from Memory with Carry	SMCD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$M-A-\bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	2/2
OR A and B	OR	0 1 0 1 0 0 0 1 0 0	$A \cup B \rightarrow A$		1/1
AND Memory with A	ANM	0 0 1 0 0 1 1 1 0 0	$A \cap M \rightarrow A$	NZ	1/1
AND Memory with A	ANMD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$A \cap M \rightarrow A$	NZ	2/2
OR Memory with A	ORM	0 0 0 0 0 0 1 1 0 0	$A \cup M \rightarrow A$	NZ	1/1
OR Memory with A	ORMD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$A \cup M \rightarrow A$	NZ	2/2
EOR Memory with A	EORM	0 0 0 0 0 1 1 1 0 0	$A \oplus M \rightarrow A$	NZ	1/1
EOR Memory with A	EORMD d	d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$A \oplus M \rightarrow A$	NZ	2/2

(6) 比較命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Immediate Not Equal to Memory	INEM i	0 0 0 0 1 0 i_3 i_2 i_1 i_0	$i \neq M$	NZ	1/1
Immediate Not Equal to Memory	INEMDi、d	0 1 0 0 1 0 i_3 i_2 i_1 i_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$i \neq M$	NZ	2/2
A Not Equal to Memory	ANEM	0 0 0 0 0 0 0 0 1 0 0	$A \neq M$	NZ	1/1
A Not Equal to Memory	ANEMD d	0 1 0 0 0 0 0 0 1 0 0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$A \neq M$	NZ	2/2
B Not Equal to Memory	BNEM	0 0 0 1 0 0 0 0 1 0 0	$B \neq M$	NZ	1/1
Y Not Equal to Immediate	YNEI i	0 0 0 1 1 1 i_3 i_2 i_1 i_0	$Y \neq i$	NZ	1/1
Immediate Less or Equal to Memory	ILEM i	0 0 0 0 1 1 i_3 i_2 i_1 i_0	$i \leq M$	NB	1/1
Immediate Less or Equal to Memory	ILEMDi、d	0 1 0 0 1 1 i_3 i_2 i_1 i_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$i \leq M$	NB	2/2
A Less or Equal to Memory	ALEM	0 0 0 0 0 1 0 1 0 0 0	$A \leq M$	NB	1/1
A Less or Equal to Memory	ALEMD d	0 1 0 0 0 1 0 1 0 0 0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$A \leq M$	NB	2/2
B Less or Equal to Memory	BLEM	0 0 1 1 0 0 0 0 1 0 0	$B \leq M$	NB	1/1
A Less or Equal to Immediate	ALEI i	1 0 1 0 1 1 i_3 i_2 i_1 i_0	$A \leq i$	NB	1/1

(7) RAM ビット操作命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Set Memory Bit	SEM n	0 0 1 0 0 0 0 1 n_1 n_0	$1 \rightarrow M(n)$		1/1
Set Memory Bit	SEMD n、d	0 1 1 0 0 0 0 1 n_1 n_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$1 \rightarrow M(n)$		2/2
Reset Memory Bit	REM n	0 0 1 0 0 0 1 0 n_1 n_0	$0 \rightarrow M(n)$		1/1
Reset Memory Bit	REMD n、d	0 1 1 0 0 0 1 0 n_1 n_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0	$0 \rightarrow M(n)$		2/2
Test Memory Bit	TM n	0 0 1 0 0 0 1 1 n_1 n_0		M (n)	1/1
Test Memory Bit	TMD n、d	0 1 1 0 0 0 1 1 n_1 n_0 d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0		M (n)	2/2

(8) ROM アドレス命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Branch on Status 1	BR b	1 1 b ₇ b ₆ b ₅ b ₄ b ₃ b ₂ b ₁ b ₀		1	1/1
Long Branch on Status 1	BRL u	0 1 0 1 1 1 p ₃ p ₂ p ₁ p ₀ d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀		1	2/2
Long Jump Unconditionally	JMPL u	0 1 0 1 0 1 p ₃ p ₂ p ₁ p ₀ d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀			2/2
Subroutine Jump on Status 1	CAL a	0 1 1 1 a ₅ a ₄ a ₃ a ₂ a ₁ a ₀		1	1/2
Long Subroutine Jump on Status 1	CALL u	0 1 0 1 1 0 p ₃ p ₂ p ₁ p ₀ d ₉ d ₈ d ₇ d ₆ d ₅ d ₄ d ₃ d ₂ d ₁ d ₀		1	2/2
Table Branch	TBR p	0 0 1 0 1 1 p ₃ p ₂ p ₁ p ₀			1/1
Return from Subroutine	RTN	0 0 0 0 0 1 0 0 0 0			1/3
Return from Interrupt	RTNI	0 0 0 0 0 1 0 0 0 1	1→IE、 CA 回復	ST	1/3

(9) 入出力命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
Set Discrete I/O Latch	SED	0 0 1 1 1 0 0 1 0 0	1→D (Y)		1/1
Set Discrete I/O Latch Direct	SEDD m	1 0 1 1 1 0 m ₃ m ₂ m ₁ m ₀	1→D (m)		1/1
Reset Discrete I/O Latch	RED	0 0 0 1 1 0 0 1 0 0	0→D (Y)		1/1
Reset Discrete I/O Latch Direct	REDD m	1 0 0 1 1 0 m ₃ m ₂ m ₁ m ₀	0→D (m)		1/1
Test Discrete I/O Latch	TD	0 0 1 1 1 0 0 0 0 0		D (Y)	1/1
Test Discrete I/O Latch Direct	TDD m	1 0 1 0 1 0 m ₃ m ₂ m ₁ m ₀		D (m)	1/1
Load A from R-Port Register	LAR m	1 0 0 1 0 1 m ₃ m ₂ m ₁ m ₀	R (m) →A		1/1
Load B from R-Port Register	LBR m	1 0 0 1 0 0 m ₃ m ₂ m ₁ m ₀	R (m) →B		1/1
Load R-Port Register from A	LRA m	1 0 1 1 0 1 m ₃ m ₂ m ₁ m ₀	A→R (m)		1/1
Load R-Port Register from B	LRB m	1 0 1 1 0 0 m ₃ m ₂ m ₁ m ₀	B→R (m)		1/1
Pattern Generation	P p	0 1 1 0 1 1 p ₃ p ₂ p ₁ p ₀			1/2

(10) コントロール命令

OPERATION	MNEMONIC	OPERATION CODE	FUNCTION	STATUS	WORDS/ CYCLES
No Operation	NOP	0 0 0 0 0 0 0 0 0 0 0			1/1
Start Serial	STS	0 1 0 1 0 0 1 0 0 0 0			1/1
Stand-by Mode/Watch Mode*	SBY	0 1 0 1 0 0 1 1 0 0 0			1/1
Stop Mode/Watch Mode	STOP	0 1 0 1 0 0 1 1 0 1 1			1/1

【注】 * サブアクティブモードからの遷移時のみ

EOL Product

表 30 オペコードマップ

R9	R8	0																1																	
		L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	NO P	XSP X	XSP Y	XSP XY	ANEM			AM					ORM				LAW			ANEMD				AMD				ORMD						
	1	RTN	RTN I			ALEM			AMC					EORM				LWA			ALEM				AMCD				EORMD						
	2	INEM								i(4)								INEMD								i(4)									
	3	ILEM								i(4)								ILEMD								i(4)									
	4	LBM(XY)				BNE M			LAB					IB				COMB			OR			STS				SBY	STOP						
	5	LMAIY (X)				AYY			LAS PY					IY				JMPL								p(4)									
	6	NEGA				RED			LAS PX									TC	CALL								p(4)								
	7	YNEI								i(4)								BRL								p(4)									
	8	XMA(XY)				SEMn(2)				REMn(2)				TMn(2)				XMAD			SEMDn(2)				REMDn(2)				TMDn(2)						
	9	LAM(XY)				LMA(XY)				SMC				ANM					LAMD			LMAD				SMCD				ANMD					
	A	ROT R	ROT L				DA A				DAS							LAY	LMID								i(4)								
	B	TBR								p(4)								P								p(4)									
	C	XMB(XY)				BLE M			LBA										DB	CAL								a(6)							
	D	LMADY (X)				SY			LYA										DY																
	E	TD				SED			LXA					REC				SEC																	
	F	LWii(2)																																	
1	0	LBI								i(4)																									
	1	LYI								i(4)																									
	2	LXI								i(4)																									
	3	LAI								i(4)																									
	4	LBR								m(4)																									
	5	LAR								m(4)																									
	6	REDD								m(4)																									
	7	LAMR								m(4)								BR								b(8)									
	8	AI								i(4)																									
	9	LMIY								i(4)																									
	A	TDD								m(4)																									
	B	ALEI								i(4)																									
	C	LRB								m(4)																									
	D	LRA								m(4)																									
	E	SEDD								m(4)																									
	F	XMRA								m(4)																									

...1ワード／2サイクル命令
 ...1ワード／3サイクル
 ...RAMダイレクトアドレス命令 (2ワード／2サイクル)
 ...2ワード／2サイクル命令

絶対最大定格

名称	記号	規格値	単位	注記
電源電圧	V_{CC}	-0.3~+7.0	V	
プログラム電圧	V_{PP}	-0.3~+14.0	V	1
端子電圧	V_T	-0.3~ $V_{CC}+0.3$	V	
許容総入力電流 (LSI への流入)	ΣI_0	100	mA	2
許容総出力電流 (LSI からの流出)	$-\Sigma I_0$	50	mA	3
許容入力電流 (LSI への流入)	I_0	4	mA	4、5
		30	mA	4、6
許容出力電流 (LSI からの流出)	$-I_0$	4	mA	7、8
		20	mA	7、9
動作温度	Topr	-20~+75	°C	10、12
		-40~+85	°C	11、12
保存温度	Tstg	-55~+125	°C	13

- 【注】
1. HD407A4374、HD407C4374、HD407A4384、HD407C4384、HD407A4389、HD407C4389 の TEST (V_{PP}) 端子に適用します。
 2. 許容総入力電流とは、同時に全入出力端子から GND へ流し込める電流の総和です。
 3. 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。
 4. 許容入力電流とは、各入出力端子から GND へ流し込める電流の最大値です。
 5. $D_0 \sim D_3$ 、 D_8 、 D_9 、R ポートに適用します。
 6. $D_4 \sim D_7$ に適用します。
 7. 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 8. $D_4 \sim D_9$ 、R ポートに適用します。
 9. $D_0 \sim D_3$ に適用します。
 10. マスク ROM に適用します。
 11. ZTAT[®]に適用します。
 12. 動作温度とは、LSI に通電 (「電気的特性」で示す電圧 (V_{CCQ}) を印加) してもよい温度です。
 13. チップの場合、保管仕様がパッケージ品と異なりますので、詳しくは弊社営業担当にご確認ください。

絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

電气的特性

DC 特性

特記なき場合は、マスク ROM : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$
 (ただし HCD404082、HCD40C4082、HCD404084、HCD40C4084 は

: $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$)

ZTAT[®]

: $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-40\sim +85^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V_{IH}	RESET、SCK、SI、INT ₀ 、WU ₀ 、EVNB		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		OSC ₁	外部クロック動作	$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	
入力 Low レベル電圧	V_{IL}	RESET、SCK、SI、INT ₀ 、WU ₀ 、EVNB		-0.3	—	$0.10V_{CC}$	V	
		OSC ₁	外部クロック動作	-0.3	—	0.3	V	
出力 High レベル電圧	V_{OH}	SCK、SO、TOB、TOC	$-I_{OH}=0.3mA$	$V_{CC}-0.5$	—	—	V	
出力 Low レベル電圧	V_{OL}	SCK、SO、TOB、TOC	$I_{OL}=0.4mA$	—	—	0.4	V	
入出力リーク電圧	$ I_{IL} $	RESET、SCK、SI、INT ₀ 、WU ₀ 、EVNB、OSC ₁ 、TOB、TOC、SO	$V_{in}=0V\sim V_{CC}$	—	—	1	μA	1
アクティブモード消費電流	I_{CC1}	V_{CC}	$V_{CC}=5V$ 、 $f_{OSC}=4MHz$	—	1.5	3.5	mA	2、7
				—	1.2	2.5	mA	2、8
	I_{CC2}	V_{CC}	$V_{CC}=3V$ 、 $f_{OSC}=800kHz$	—	0.4	1.0	mA	2、7
				—	0.3	0.7	mA	2、8
I_{CC3}	V_{CC}	$V_{CC}=5V$ 、 $f_{OSC}=8MHz$	—	2.7	9.0	mA	2、9	
			—	2.2	4.5	mA	2、10	
スタンバイモード消費電流	I_{SBY1}	V_{CC}	$V_{CC}=5V$ 、 $f_{OSC}=4MHz$	—	1.0	1.5	mA	3、7
				—	0.6	1.3	mA	3、8
	I_{SBY2}	V_{CC}	$V_{CC}=3V$ 、 $f_{OSC}=800kHz$	—	0.3	0.6	mA	3、7
				—	0.2	0.5	mA	3、8
I_{SBY3}	V_{CC}	$V_{CC}=5V$ 、 $f_{OSC}=8MHz$	—	1.4	4.0	mA	3、9	
			—	1.0	2.5	mA	3、10	
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC}=3V$ 、 32kHz 発振器使用	—	10	35	μA	4、5
ウォッチモード消費電流	I_{WTC}	V_{CC}	$V_{CC}=3V$ 、 32kHz 発振器使用	—	6	10	μA	4、5
ストップモード消費電流	I_{STOP}	V_{CC}	$V_{CC}=3V$ 、 32kHz 発振器なし	—	—	5	μA	4

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
ストップモード 維持電圧	V _{STOP}	V _{CC}	32kHz 発振器なし	1.5	—	—	V	6

- 【注】 1. 出力バッファに流れる電流を除きます。
2. MCU がリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCU の状態	● リセット状態
	端子の状態	● RESET、TEST…GND 電位

3. 内蔵タイマが動作し、かつ入力電流が流れないときの電源電流です。

測定条件	MCU の状態	● 入出力：リセット状態と同じ
		● スタンバイモード
		● $f_{cyc} = f_{OSC} / 4$
	端子の状態	● RESET…V _{CC} 電位
		● TEST…GND 電位
		● Dポート、Rポート…V _{CC} 電位

4. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	● RESET…V _{CC} 電位
		● TEST…GND 電位
		● Dポート、Rポート…V _{CC} 電位

5. HD404374 シリーズに適用。
6. RAM データ維持に必要な電圧です。
7. HD404374、HD404384、HD404389 シリーズに適用。
8. HD404082/HD404084 シリーズに適用。
9. HD40A4374/2、HD407A4374、HD40A4384/2、HD407A4384、HD40A4389/8、HD407A4389 に適用。
10. HD40A4082/1、HD40A4084 に適用。

標準端子入出力特性

特記なき場合は、マスク ROM : V_{CC}=1.8V~5.5V、GND=0V、T_a=-20~+75°C
(ただし HCD404082、HCD40C4082、HCD404084、HCD40C4084 は
: V_{CC}=1.8V~5.5V、GND=0V、T_a=+75°C)
ZTAT® : V_{CC}=2.0V~5.5V、GND=0V、T_a=-40~+85°C

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V _{IH}	Rポート、D ₈ 、D ₉		0.7V _{CC}	—	V _{CC} +0.3	V	
入力 Low レベル電圧	V _{IL}	Rポート、D ₈ 、D ₉		-0.3	—	0.3V _{CC}	V	
出力 High レベル電圧	V _{OH}	Rポート、D ₈ 、D ₉	-I _{OH} =0.3mA	V _{CC} -0.5	—	—	V	
出力 Low レベル電圧	V _{OL}	Rポート、D ₈ 、D ₉	I _{OL} =0.4mA	—	—	0.4	V	
入出力リーク電流	I _{IL}	Rポート、D ₈ 、D ₉	V _{in} =0V~V _{CC}	—	—	1	μA	1
プルアップ MOS 電流	-I _{PU}	Rポート、D ₈ 、D ₉	V _{CC} =3V、V _{in} =0V	10	50	150	μA	

- 【注】 1. 出力バッファに流れる電流を除きます。

大電流端子入出力特性

特記なき場合は、マスク ROM : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$
 (ただし HCD404082、HCD40C4082、HCD404084、HCD40C4084 は
 : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$)
 ZTAT[®] : $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-40\sim +85^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	V_{IH}	$D_0\sim D_7$		$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
入力 Low レベル電圧	V_{IL}	$D_0\sim D_7$		-0.3	—	$0.3V_{CC}$	V	
出力 High レベル電圧	V_{OH}	$D_4\sim D_7$	$-I_{OH}=0.3mA$	$V_{CC}-0.5$	—	—	V	
		$D_0\sim D_3$	$-I_{OH}=10mA$ $V_{CC}=4.5\sim 5.5V$	$V_{CC}-2.0$	—	—	V	
出力 Low レベル電圧	V_{OL}	$D_0\sim D_3$	$I_{OL}=0.4mA$	—	—	0.4	V	
		$D_4\sim D_7$	$I_{OL}=15mA$ $V_{CC}=4.5V\sim 5.5V$	—	—	2.0	V	
入出力リーク電流	$ I_{IL} $	$D_0\sim D_7$	$V_{in}=0V\sim V_{CC}$	—	—	1	μA	1
プリアップ MOS 電流	$-I_{PU}$	$D_0\sim D_7$	$V_{CC}=3V$ 、 $V_{in}=0V$	10	50	150	μA	

【注】 1. 出力バッファに流れる電流を除きます。

A/D コンバータ特性 (HD404374/HD404384/HD404389 シリーズ)

特記なき場合は、マスク ROM : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$
 ZTAT[®] : $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-40\sim +85^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		$V_{CC}-0.3$	V_{CC}	$V_{CC}+0.3$	V	1
アナログ入力電圧	AV_{in}	$AN_0\sim AN_5$		AV_{SS}	—	AV_{CC}	V	
$AV_{CC}-AV_{SS}$ 間電流	I_{AD}		$V_{CC}=AV_{CC}=5.0V$	—	—	500	μA	
アナログ入力容量	CA_{in}	$AN_0\sim AN_5$		—	15	—	pF	
分解能				—	10	—	ビット	
入力数				0	—	4	チャンネル	
絶対精度			$V_{CC}=AV_{CC}=1.8V\sim 5.5V$	—	—	± 4.0	LSB	2
			$V_{CC}=AV_{CC}=2.0V\sim 5.5V$	—	—	± 4.0	LSB	3
変換時間			$V_{CC}=AV_{CC}=1.8V\sim 2.0V$ 未満	125	—	—	t_{cyc}	2
			$V_{CC}=AV_{CC}=2.0V\sim 5.5V$	65	—	—	t_{cyc}	
入カインピーダンス		$AN_0\sim AN_5$		1	—	—	M Ω	

【注】 1. A/D コンバータを使用しない場合は、 V_{CC} 端子に接続してください。また、 AV_{CC} の設定範囲は、 $1.8V\leq AV_{CC}\leq 5.5V$ (マスク ROM)、 $2.0V\leq AV_{CC}\leq 5.5V$ (ZTAT[®]) です。
 2. マスク ROM に適用します。
 3. ZTAT[®] に適用します。

AC 特性

特記なき場合は、マスク ROM : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^\circ C$

(ただし HCD404082、HCD40C4082、HCD404084、HCD40C4084 は

: $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^\circ C$)

ZTAT[®]

: $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-40\sim +85^\circ C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数 (セラミック発振子、 水晶発振子)	f_{OSC}	OSC ₁ 、OSC ₂	4 分周	0.4	—	4.5	MHz	1
	f_X	X1、X2		—	32.768	—	kHz	4
クロック発振周波数 (抵抗発振) インストラクション サイクルタイム (外部クロック入力、セ ラミック発振子、 水晶発振子)	f_{OSC}	OSC ₁ 、OSC ₂	4 分周	0.5	2.0	3.5	MHz	2、13
			Rf=20k Ω	0.5	2.2	3.5		2、12
	t_{cyc} t_{subcyc}		4 分周	0.89	—	10	μs	
			4 分周	0.47	—	10	μs	3
		32kHz 発振器使用、 8 分周	—	244.14	—	μs	4	
		32kHz 発振器使用、 4 分周	—	122.07	—	μs	4	
インストラクション サイクルタイム (抵抗発振)	t_{cyc}		4 分周 Rf=20k Ω	1.14	—	8.0	μs	5
発振安定時間 (外部クロック入力)	t_{RC}	OSC ₁ 、OSC ₂		—	—	7.5	ms	6
発振安定時間 (セラミック発振子)	t_{RC}	OSC ₁ 、OSC ₂	$V_{CC}=2.0\sim 5.5V$	—	—	7.5	ms	6
発振安定時間 (水晶発振子)	t_{RC}	OSC ₁ 、OSC ₂	$V_{CC}=2.0\sim 5.5V$	—	—	30	ms	6
		X1、X2	$T_a=-10\sim +60^\circ C$ $V_{CC}=2.0\sim 5.5V$	—	—	2	s	4、6
発振安定時間 (抵抗発振)	t_{RC}	OSC ₁ 、OSC ₂	Rf=20k Ω $V_{CC}=2.0\sim 5.5V$	—	—	0.5	ms	5、6
外部クロック High レベル幅	t_{CPH}	OSC ₁	$f_{OSC}=4MHz$	105	—	—	ns	7
			$f_{OSC}=8MHz$	52.5	—	—	ns	3、7
外部クロック Low レベル幅	t_{CPL}	OSC ₁	$f_{OSC}=4MHz$	105	—	—	ns	7
			$f_{OSC}=8MHz$	52.5	—	—	ns	3、7
外部クロック 立ち上がり時間	t_{CPr}	OSC ₁	$f_{OSC}=4MHz$	—	—	20	ns	7
			$f_{OSC}=8MHz$	—	—	10	ns	3、7
外部クロック 立ち下がり時間	t_{CPl}	OSC ₁	$f_{OSC}=4MHz$	—	—	20	ns	7
			$f_{OSC}=8MHz$	—	—	10	ns	3、7
INT ₀ 、EVNB、WU ₀ High レベル幅	t_{IH}	INT ₀ 、EVNB、WU ₀		2	—	—	t_{cyc}/t_{subcyc}	8
INT ₀ 、EVNB、WU ₀ Low レベル幅	t_{IL}	INT ₀ 、EVNB、WU ₀		2	—	—	t_{cyc}/t_{subcyc}	8
RESET Low レベル幅	t_{RSTL}	RESET		2	—	—	t_{cyc}	9

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
RESET 立ち上がり時間	t_{RSTr}	RESET		—	—	20	ms	9
入力容量	C_{in}	TEST を除く全入力 端子	$f=1\text{MHz}$ 、 $V_{in}=0\text{V}$	—	—	15	pF	
		TEST		—	—	15	pF	10
		TEST		—	—	40	pF	11
OSC ₁ 、OSC ₂ ピン間 容量 (抵抗発振)	C_{RF}	OSC ₁ 、OSC ₂		—	—	1	pF	5

- 【注】
- サブシステム発振器 (32.768kHz 水晶発振) を使用する場合には、 $0.4\text{MHz} \leq f_{OSC} \leq 1\text{MHz}$ および、 $1.6\text{MHz} \leq f_{OSC} \leq 8.5\text{MHz}$ の範囲で使用してください。その際、システムクロック選択レジスタ (SSR) の SSR1 ビットの設定を、それぞれ 0 および 1 にしてください。
 - typ. 値は $V_{CC}=3.5\text{V}$ の値です。
 - HD40A4372/4、HD40A4382/4、HD40A4388/9、HD40A4081/2、HD40A4084、HD407A4374、HD407A4384、HD407A4389 において、 $V_{CC}=4.0\sim 5.5\text{V}$ 時に適用します。
 - HD404374 シリーズに適用します。
 - HD40C4372/4、HD407C4374、HD40C4382/4、HD407C4384、HD40C4388/9、HD407C4389、HD40C4081/2、HCD40C4082、HD40C4084、HCD40C4084 に適用します。
 - 発振安定時間は、
 - 電源投入時に V_{CC} が規格値 min に達してから発振が安定するまでの時間。
 - ストップモード解除時に RESET 入力 が Low レベルになってから発振が安定するまでの時間です。

パワーオン時には、発振器の発振が安定するのに必要な時間を確保するために、RESET 入力を t_{RC} 以上印加してください。発振安定時間は実装回路の定数、浮遊容量により異なるため、発振子メーカーと十分ご相談の上、発振子を決定してください。また、システムクロック (OSC₁、OSC₂) については、使用する発振子の発振安定時間に合わせ、ミセラニアスレジスタ (MIS) の MIS1、MIS0 ビットを設定してください。
 - 図 79 参照
 - 図 80 参照
 - 図 81 参照
 - マスク ROM に適用します。
 - ZTAT[®] に適用します。
 - HD40C4081/2、HCD40C4082、HD40C4084、HCD40C4084 に適用します。
 - HD40C4372/4、HD407C4374、HD40C4382/4、HD407C4384、HD40C4388/9、HD407C4389 に適用します。

シリアルインタフェースタイミング特性

特記なき場合は、マスク ROM : $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-20\sim +75^{\circ}C$

(ただし HCD404082、HCD40C4082、HCD404084、HCD40C4084 は

: $V_{CC}=1.8V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=+75^{\circ}C$)

ZTAT[®]

: $V_{CC}=2.0V\sim 5.5V$ 、 $GND=0V$ 、 $T_a=-40\sim +85^{\circ}C$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	t_{Scyc}	SCK	図 83 の負荷	1	—	—	t_{cyc}	1
転送クロック High レベル幅	t_{SCKH}	SCK	図 83 の負荷	0.4	—	—	t_{Scyc}	1
転送クロック Low レベル幅	t_{SCKL}	SCK	図 83 の負荷	0.4	—	—	t_{Scyc}	1
転送クロック 立ち上がり時間	t_{SCKr}	SCK	図 83 の負荷	—	—	100	ns	1
転送クロック 立ち下がり時間	t_{SCKf}	SCK	図 83 の負荷	—	—	100	ns	1
シリアル出力 データ遅延時間	t_{DSO}	SO	図 83 の負荷	—	—	300	ns	1
シリアル入力データ セットアップ時間	t_{SSI}	SI		200	—	—	ns	1
シリアル入力データ ホールド時間	t_{HSI}	SI		200	—	—	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	t_{Scyc}	SCK		1	—	—	t_{cyc}	1
転送クロック High レベル幅	t_{SCKH}	SCK		0.4	—	—	t_{Scyc}	1
転送クロック Low レベル幅	t_{SCKL}	SCK		0.4	—	—	t_{Scyc}	1
転送クロック 立ち上がり時間	t_{SCKr}	SCK		—	—	100	ns	1
転送クロック 立ち下がり時間	t_{SCKf}	SCK		—	—	100	ns	1
シリアル出力 データ遅延時間	t_{DSO}	SO	図 83 の負荷	—	—	300	ns	1
シリアル入力データ セットアップ時間	t_{SSI}	SI		200	—	—	ns	1
シリアル入力データ ホールド時間	t_{HSI}	SI		200	—	—	ns	1

【注】 1. 図 82 参照。

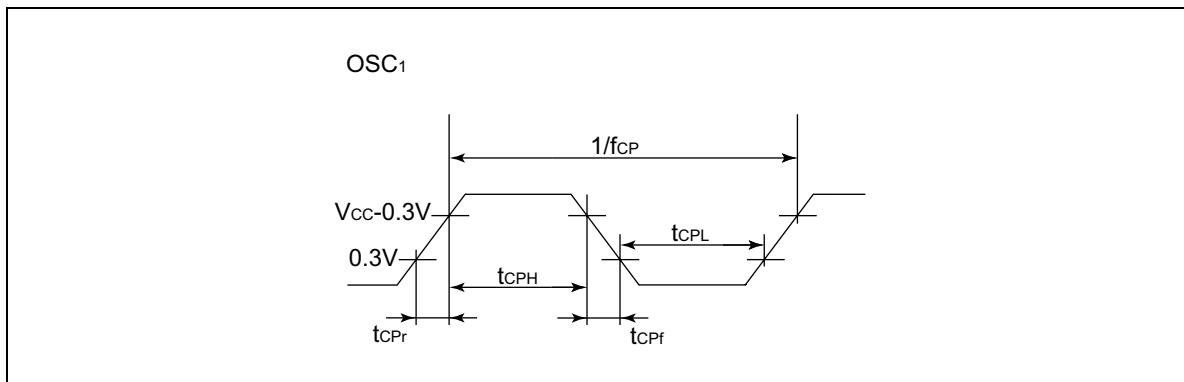


図 79 外部クロック入力波形

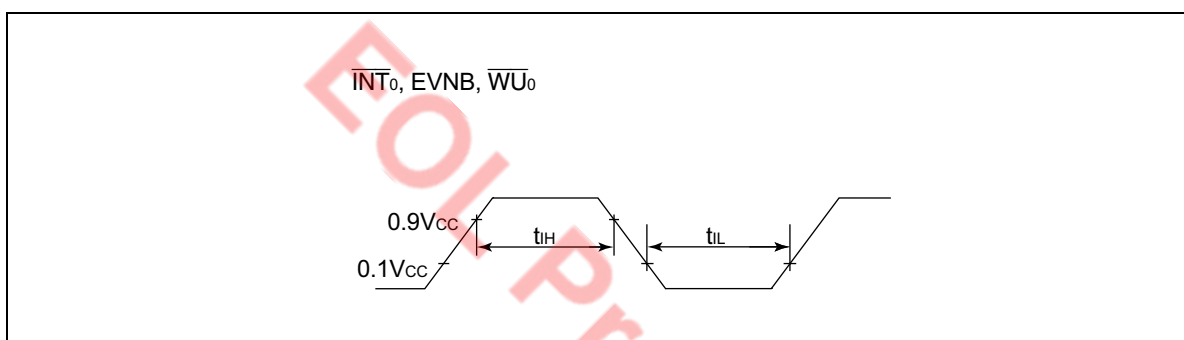


図 80 割り込みタイミング

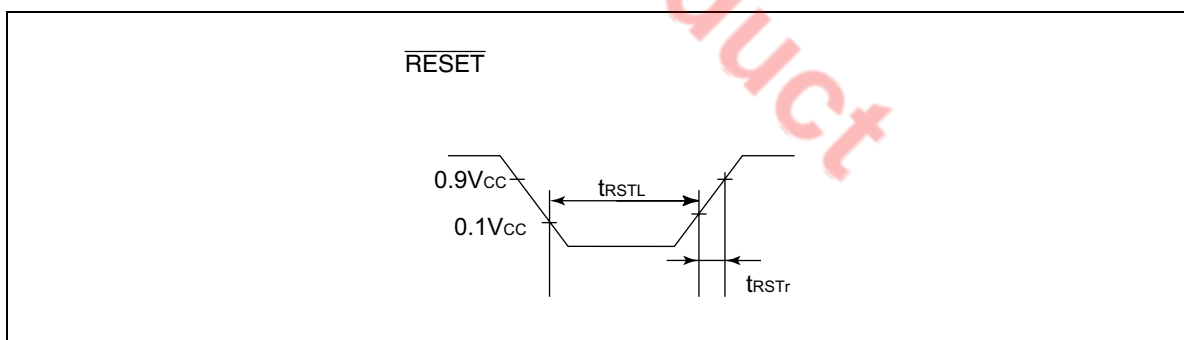


図 81 リセットタイミング

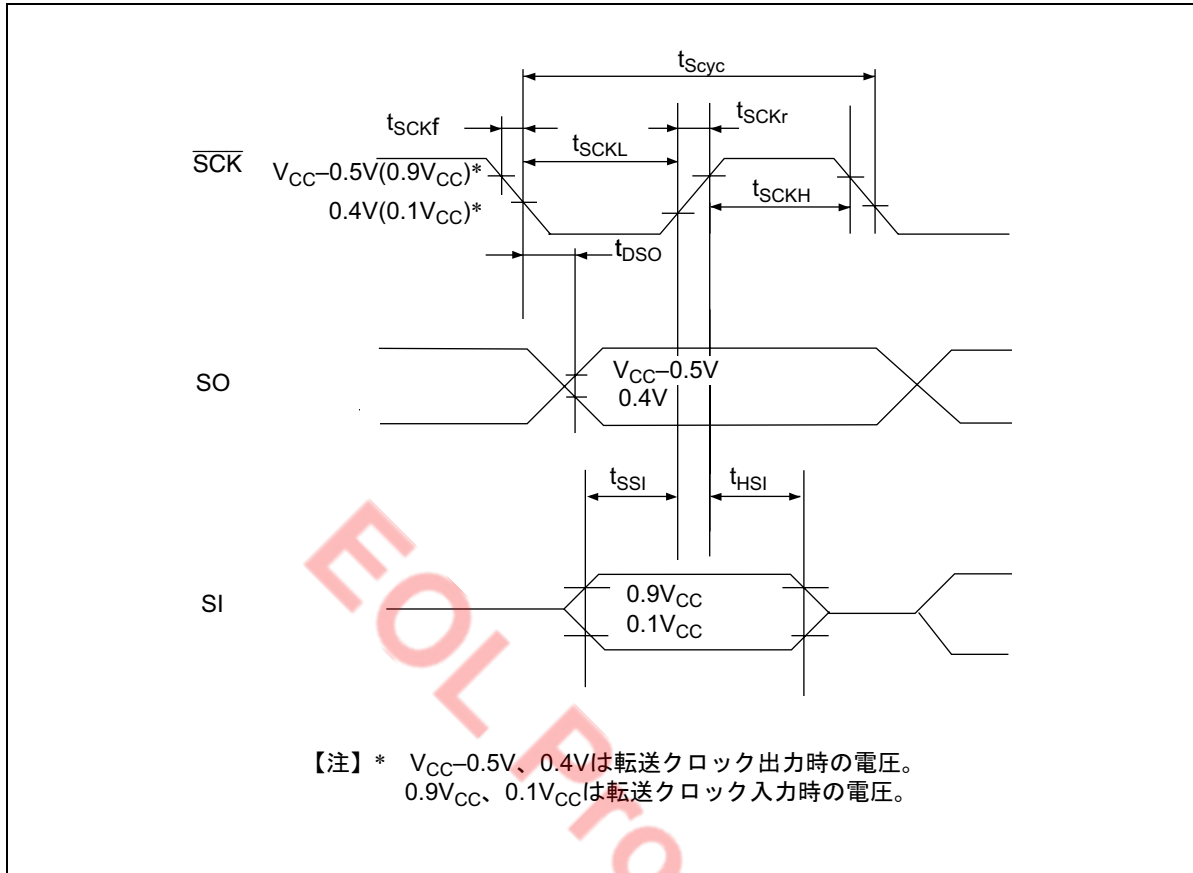


図 82 シリアルインタフェースタイミング

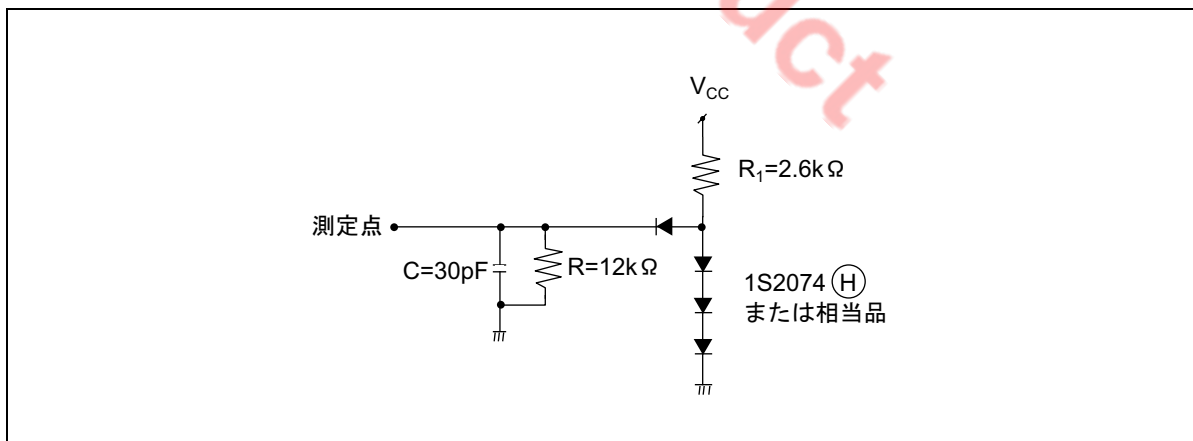


図 83 タイミング負荷回路

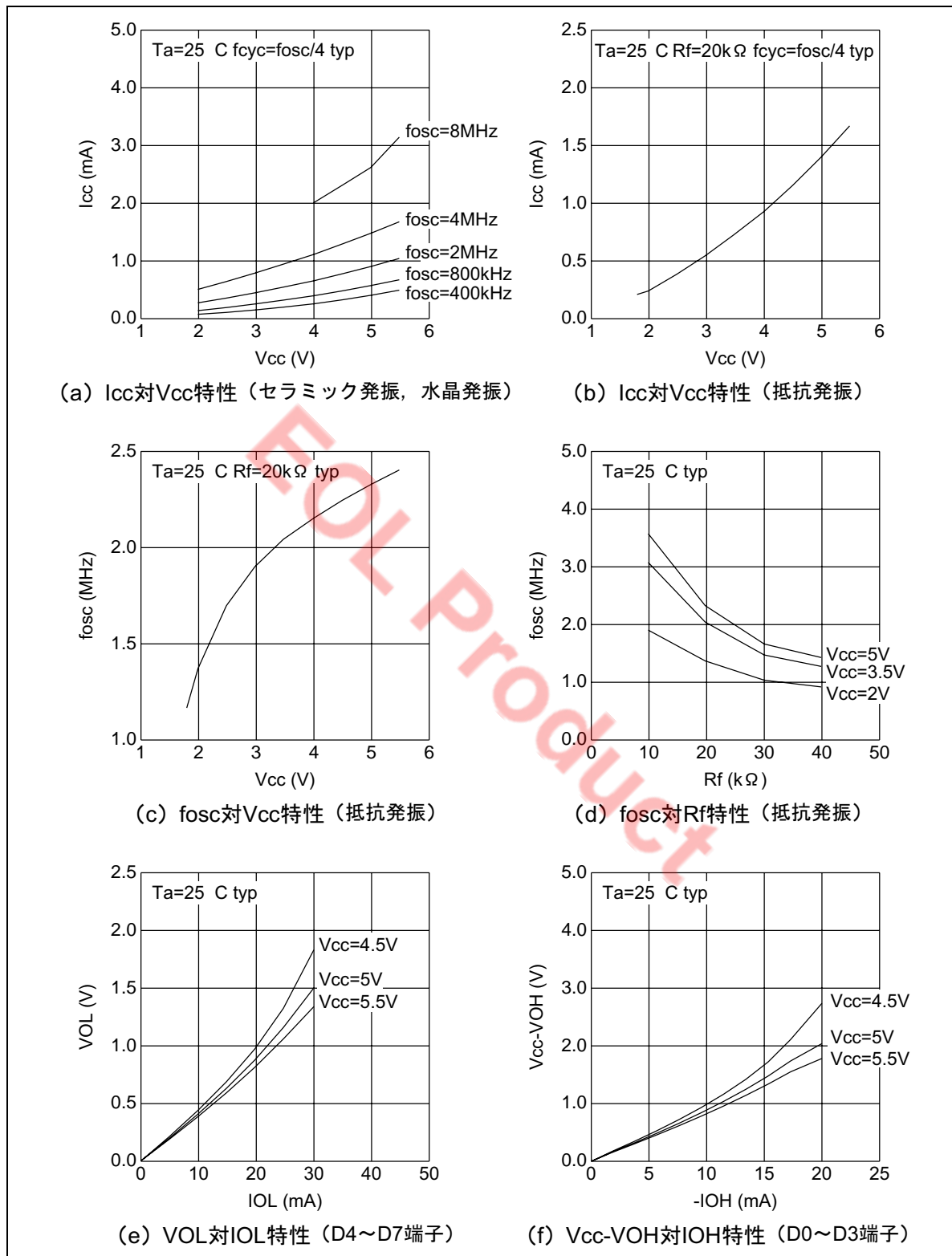


図 84 HD404374/HD404384/HD404389 シリーズ 特性曲線 (参考値)

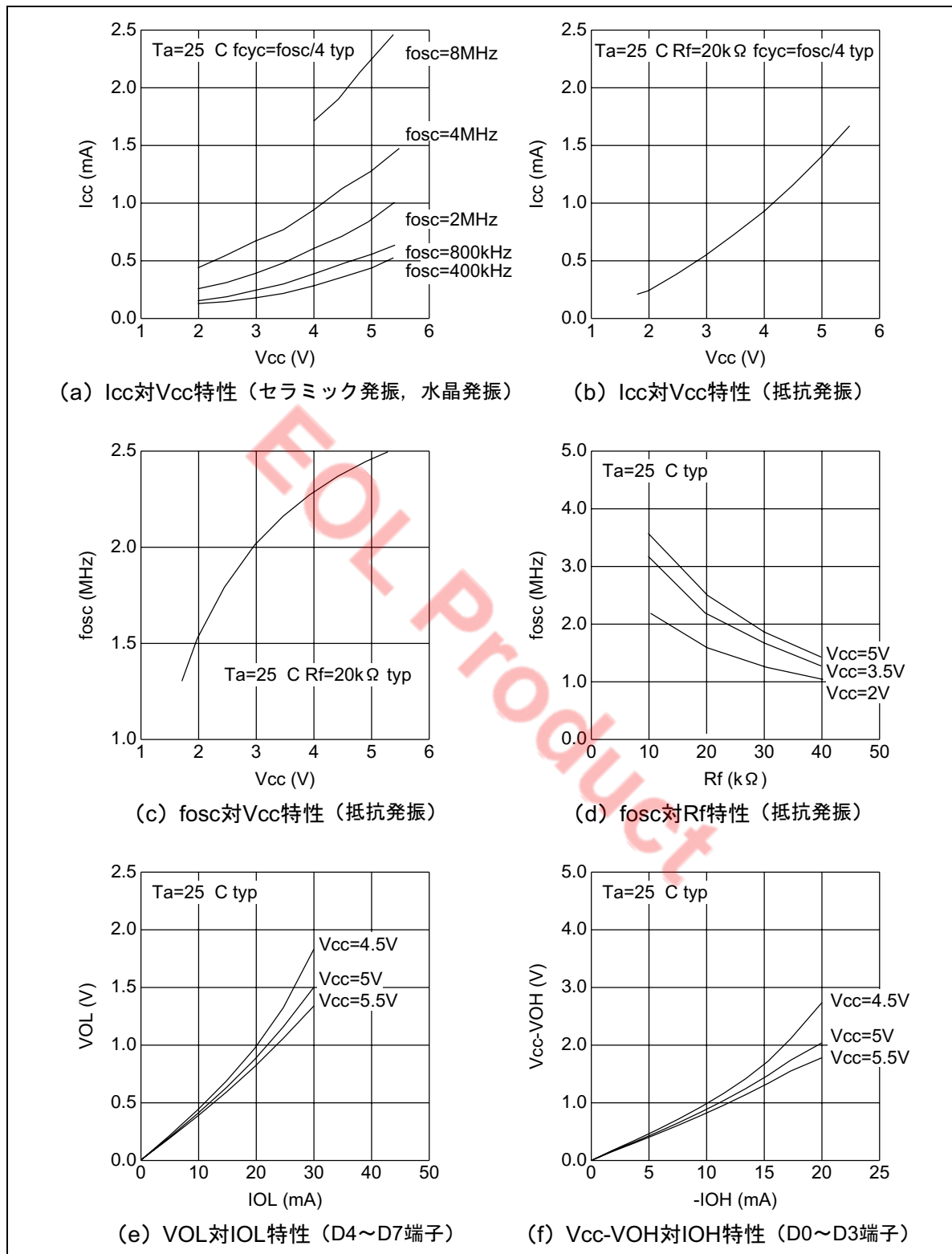
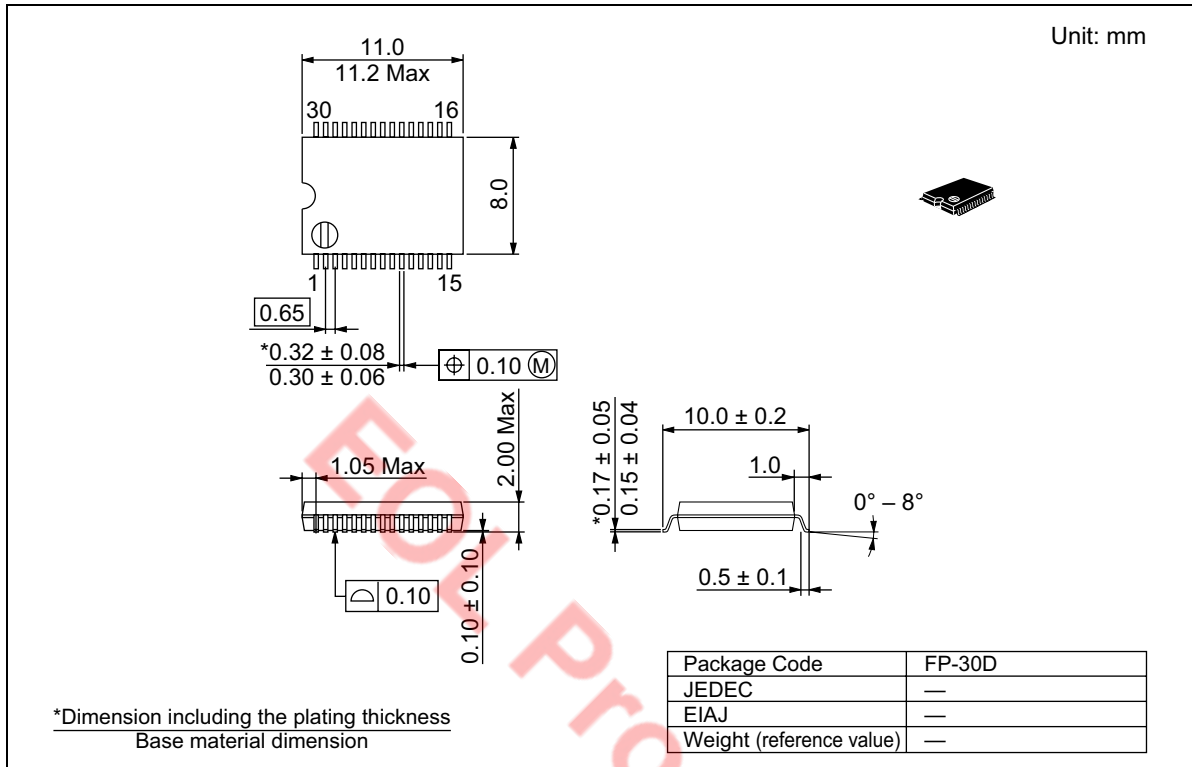
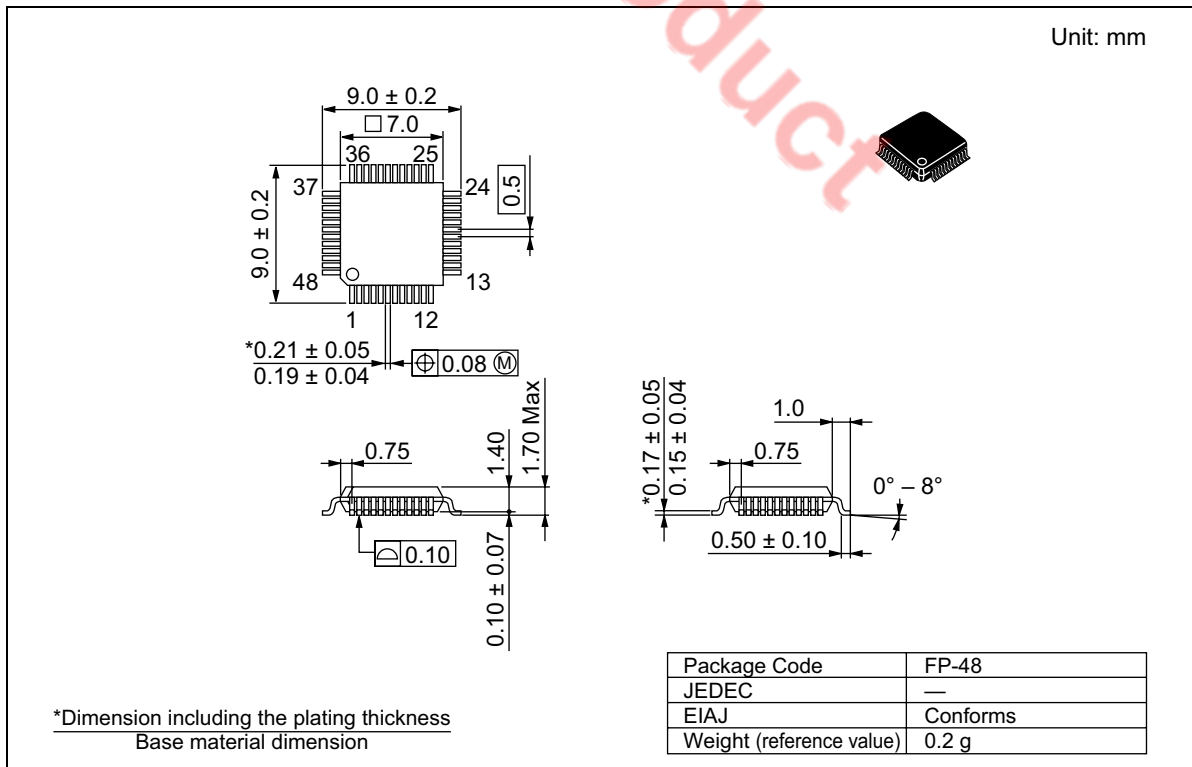
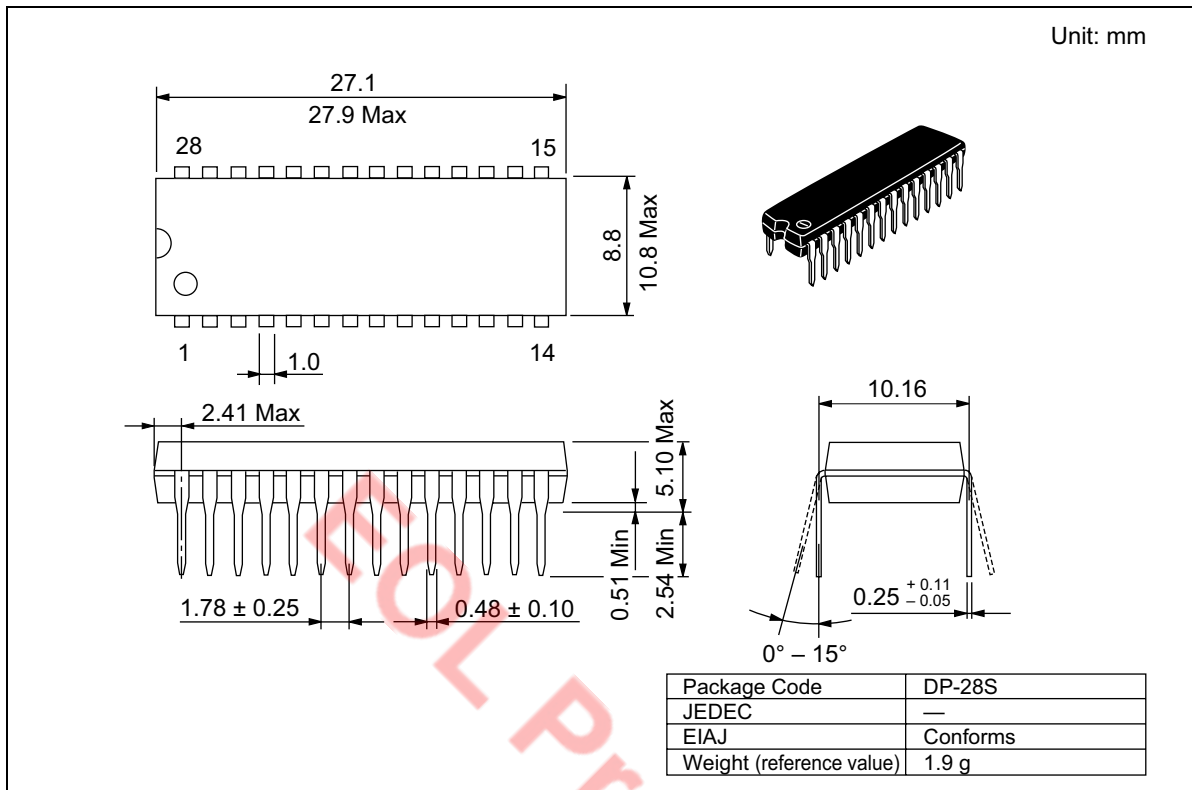


図 85 HD404082/HD404084 シリーズ 特性曲線 (参考値)

外形寸法図



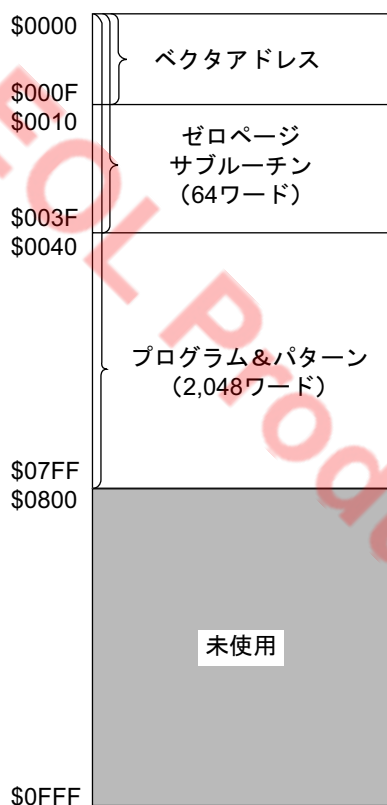


ROM 発注時のお願い

HD404372、HD40A4372、HD40C4372、HD404382、HD40A4382、HD40C4382 の ROM 発注時には、下記にご注意くださいますようお願い致します。

ROM 発注の際、下記「未使用」の領域をオール1に満たし、4k ワード版 (HD404374、HD40A4374、HD40C4374、HD404384、HD40A4384、HD40C4384) と同じデータ量としてください。ROM データをマスク描画データに変換するプログラムは、4k ワード版と同じプログラムを使用しているため、同量のデータが必要となります。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

ROM 2kワード版:
 HD404372、HD40A4372、HD404382、HD40A4382、HD40C4382、
 アドレス\$0800～\$0FFFはオール1にしてください。

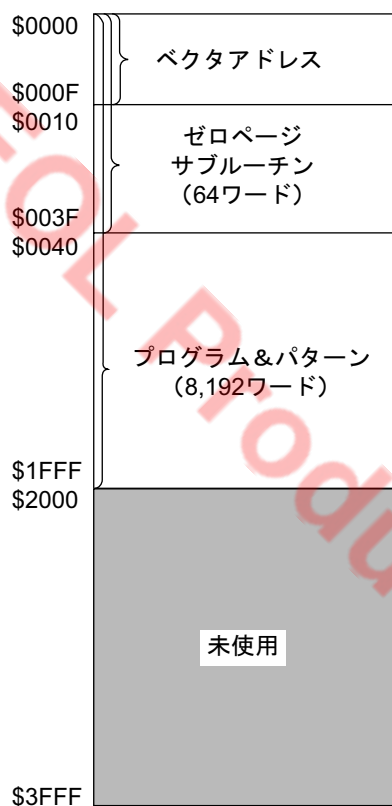


【注】 の領域をオール1にしてください。

ROM 発注時のお願い

HD404388、HD40A4388、HD40C4388 の ROM 発注時には、下記にご注意くださいますようお願い致します。ROM 発注の際、下記「未使用」の領域をオール1に満たし、16k ワード版 (HD404389、HD40A4389、HD40C4389) と同じデータ量としてください。ROM データをマスク描画データに変換するプログラムは、16k ワード版と同じプログラムを使用しているため、同量のデータが必要となります。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

ROM 8kワード版:
 HD404388、HD40A4388、HD40C4388、
 アドレス\$2000~\$37FFはオール1にしてください。

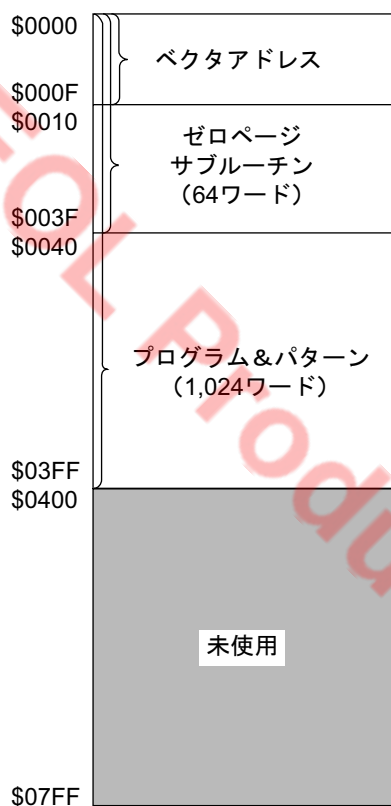


【注】 の領域をオール1にしてください。

ROM 発注時のお願い

HD404081、HD40A4081、HD40C4081 の ROM 発注時には、下記にご注意くださいますようお願い致します。ROM 発注の際、下記「未使用」の領域をオール1に満たし、2k ワード版 (HD404082、HD40A4082、HD40C4082) と同じデータ量としてください。ROM データをマスク描画データに変換するプログラムは、2k ワード版と同じプログラムを使用しているため、同量のデータが必要となります。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

ROM 1kワード版:
HD404081、HD40A4081、HD40C4081、
アドレス\$0400~\$07FFはオール1にしてください。



【注】 の領域をオール1にしてください。

オプションリスト HD404372、HD404374、HD40A4372、HD40A4374、
HD40C4372、HD40C4374

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> 標準動作版:HD404372	2k ワード
<input type="checkbox"/> 高速動作版:HD40A4372	
<input type="checkbox"/> CR 発振版:HD40C4372	
<input type="checkbox"/> 標準動作版:HD404374	4k ワード
<input type="checkbox"/> 高速動作版:HD40A4374	
<input type="checkbox"/> CR 発振版:HD40C4374	

(2) 機能オプション

<input type="checkbox"/>	32kHz CPU 動作あり、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースあり
<input type="checkbox"/>	32kHz CPU 動作なし、時計用タイムベースなし

【注】 *部のオプション選択時には、サブシステム発振器 (X1-X2) の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT[®]マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/>	下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に 1 つの EPROM に書き込んだもの。
<input type="checkbox"/>	下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 (OSC1-OSC2) (部の選択はできません)

	HD404372/4、HD40A4372/4	HD40C4372/4
<input type="checkbox"/> セラミック発振子	f= MHz	
<input type="checkbox"/> 水晶発振子	f= MHz	
<input type="checkbox"/> 外部クロック	f= MHz	
<input type="checkbox"/> 抵抗発振		

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

(5) サブシステム発振器 (X1-X2)

<input type="checkbox"/> 使用しない	—
<input type="checkbox"/> 水晶発振子	f=32.768kHz

(6) ストップモード

<input type="checkbox"/> 有 (使用)
<input type="checkbox"/> 無 (未使用)

(7) パッケージ

<input type="checkbox"/> FP-30D
<input type="checkbox"/> FP-48B*

【注】 *部を選択時の WS は、量産先頭での対応となります。

オプションリスト HD404382、HD404384、HD40A4382、HD40A4384、
HD40C4382、HD40C4384

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> 標準動作版:HD404382	2k ワード
<input type="checkbox"/> 高速動作版:HD40A4382	
<input type="checkbox"/> CR 発振版:HD40C4382	4k ワード
<input type="checkbox"/> 標準動作版:HD404384	
<input type="checkbox"/> 高速動作版:HD40A4384	
<input type="checkbox"/> CR 発振版:HD40C4384	

(2) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT[®]マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/> 下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に 1 つの EPROM に書き込んだもの。
<input type="checkbox"/> 下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別の EPROM に書き込んだもの。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

(3) システム発振器 (OSC1-OSC2) (部の選択はできません)

	HD404382/4、HD40A4382/4	HD40C4382/4
<input type="checkbox"/> セラミック発振子	f= MHz	
<input type="checkbox"/> 外部クロック	f= MHz	
<input type="checkbox"/> 抵抗発振		

(4) ストップモード

<input type="checkbox"/> 有 (使用)
<input type="checkbox"/> 無 (未使用)

(5) パッケージ

<input type="checkbox"/> FP-30D
<input type="checkbox"/> DP-28S
<input type="checkbox"/> FP-48B*

【注】 *部を選択時の WS は、量産先頭での対応となります。

オプションリスト HD404388、HD404389、HD40A4388、HD40A4389、
HD40C4388、HD40C4389

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> 標準動作版:HD404388	8k ワード
<input type="checkbox"/> 高速動作版:HD40A4388	
<input type="checkbox"/> CR 発振版:HD40C4388	
<input type="checkbox"/> 標準動作版:HD404389	16k ワード
<input type="checkbox"/> 高速動作版:HD40A4389	
<input type="checkbox"/> CR 発振版:HD40C4389	

(2) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT[®]マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/> 下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に 1 つの EPROM に書き込んだもの。
<input type="checkbox"/> 下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別の EPROM に書き込んだもの。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

(3) システム発振器 (OSC1-OSC2) (部の選択はできません)

	HD404388/9、HD40A4388/9	HD40C4388/9
<input type="checkbox"/> セラミック発振子	f= MHz	
<input type="checkbox"/> 外部クロック	f= MHz	
<input type="checkbox"/> 抵抗発振		

(4) ストップモード

<input type="checkbox"/> 有 (使用)
<input type="checkbox"/> 無 (未使用)

(5) パッケージ

<input type="checkbox"/> FP-30D

オプションリスト HD404081、HD404082、HCD404082、HD40A4081、
HD40A4082、HD40C4081、HD40C4082、HCD40C4082

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> 標準動作版:HD404081	1k ワード
<input type="checkbox"/> 高速動作版:HD40A4081	
<input type="checkbox"/> CR 発振版:HD40C4081	
<input type="checkbox"/> 標準動作版:HD404082	2k ワード
<input type="checkbox"/> 標準動作版:HCD404082	
<input type="checkbox"/> 高速動作版:HD40A4082	
<input type="checkbox"/> CR 発振版:HD40C4082	
<input type="checkbox"/> CR 発振版:HCD40C4082	

(2) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT[®]マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/> 下位上位混合タイプ データの低位 5 ビット (L)、高位 5 ビット (U) を混合して LULULU..の順に 1 つの EPROM に書き込んだもの。
<input type="checkbox"/> 下位上位分離タイプ データの低位 5 ビット (L)、高位 5 ビット (U) をそれぞれ別の EPROM に書き込んだもの。

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

(3) システム発振器 (OSC1-OSC2) (部の選択はできません)

	HD404081/2、HD40A4081/2、 HCD404082	HD40C4081/2、HCD40C4082
<input type="checkbox"/> セラミック発振子	f= MHz	
<input type="checkbox"/> 外部クロック	f= MHz	
<input type="checkbox"/> 抵抗発振		

(4) ストップモード

<input type="checkbox"/> 有 (使用)
<input type="checkbox"/> 無 (未使用)

(5) パッケージ

<input type="checkbox"/> FP-30D
<input type="checkbox"/> DP-28S
<input type="checkbox"/> チップ

【注】 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので、必ず、弊社営業担当にご確認ください。

オプションリスト HD404084、HCD404084、HD40A4084、HD40C4084、
HCD40C4084

選択する仕様に対し□内にチェック (■、×、✓) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサステクノロジ記入)	

(1) ROM サイズ

<input type="checkbox"/> 標準動作版:HD404084	4k ワード
<input type="checkbox"/> 標準動作版:HCD404084	
<input type="checkbox"/> 高速動作版:HD40A4084	
<input type="checkbox"/> CR 発振版:HD40C4084	
<input type="checkbox"/> CR 発振版:HCD40C4084	

HD404374/HD404384/HD404389/HD404082/HD404084 シリーズ

(2) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT[®]マイコンを含む) は、下位上位混合タイプを指定してください。

<input type="checkbox"/> 下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU..の順に 1 つの EPROM に書き込んだもの。
<input type="checkbox"/> 下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別の EPROM に書き込んだもの。

(3) システム発振器 (OSC1-OSC2) (部の選択はできません)

	HD404084、HD40A4084、 HCD404084	HD40C4084、HCD40C4084
<input type="checkbox"/> セラミック発振子	f= MHz	
<input type="checkbox"/> 外部クロック	f= MHz	
<input type="checkbox"/> 抵抗発振		

(4) ストップモード

<input type="checkbox"/> 有 (使用)
<input type="checkbox"/> 無 (未使用)

(5) パッケージ

<input type="checkbox"/> FP-30D
<input type="checkbox"/> DP-28S
<input type="checkbox"/> チップ

【注】 チップ出荷の場合、出荷仕様がパッケージ品と異なりますので、必ず、弊社営業担当にご確認ください。

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認ください。ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-11 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
 総合お問合せ窓口：カスタマサポートセンター E-Mail: csc@renesas.com