

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

Not recommended
for new design

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

HD151TS311

Spread Spectrum Clock for EMI Solution

RJJ03D0179-0200

Rev.2.00

2005.11.18

概要

HD151TS311 は Spread Spectrum Clock (SSC: スペクトラム拡散) 技術を内蔵した DDR メモリ用クロックジェネレータです。DDR メモリ搭載の LBP 等の EMI ノイズ低減に効果があります。

特長

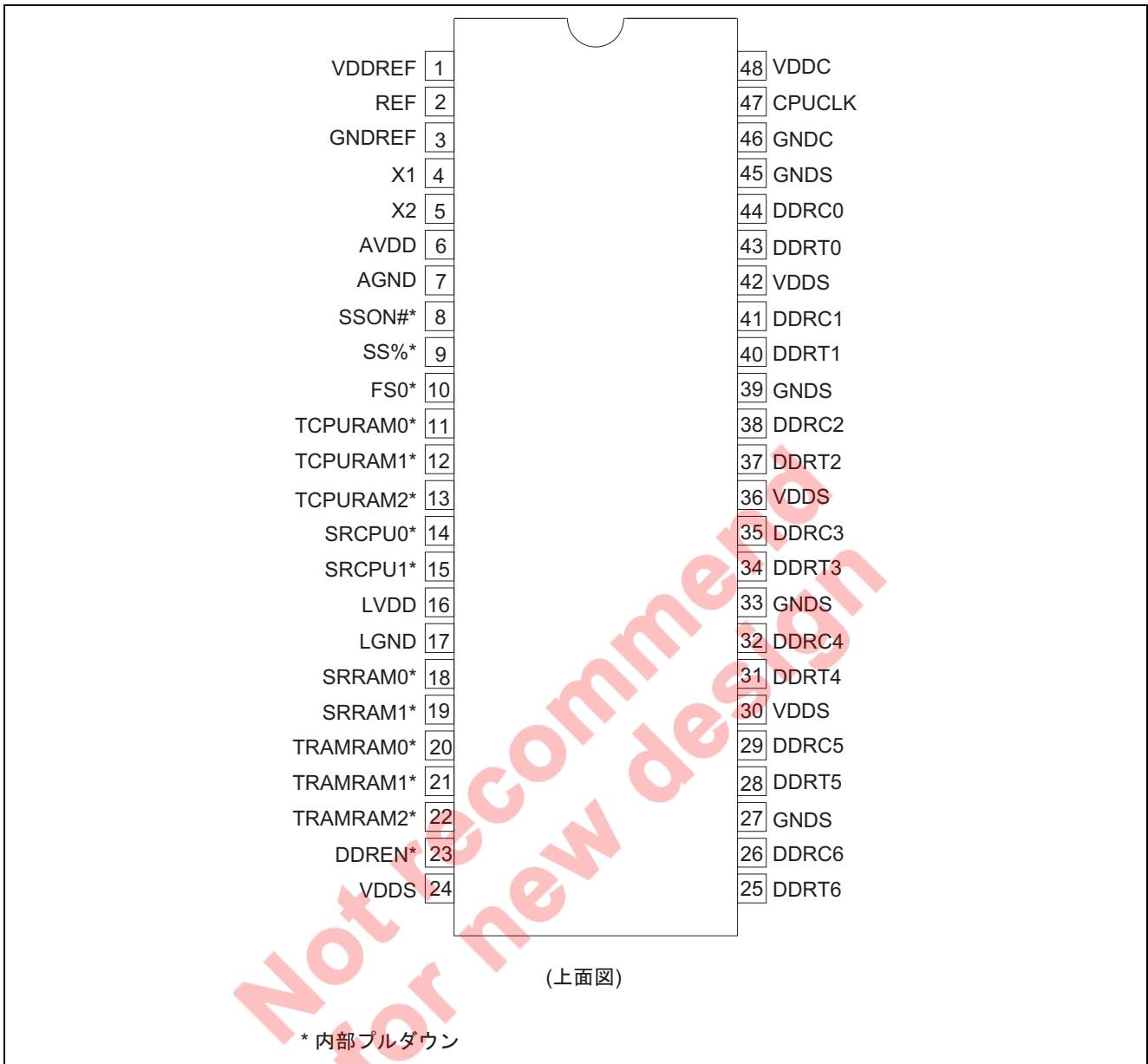
- 入力クロック周波数: 14.318 MHz
- DDR SDRAM 対応メモリクロック 7 組: 133 MHz /167 MHz (@ 2.5 V)
- リファレンスクロック 1 本: 14.318 MHz (@ 3.3 V)
- スプレッドスペクトラム変調: OFF, -0.5%, -1.0%
- ロジック入力: 120 k Ω 内部プルダウン
- 発注型名

発注型名	パッケージ名称	パッケージコード (旧パッケージコード)	パッケージ略称	テーピング略称(数量)
HD151TS311TEL	TSSOP-48 ピン (Thin Shrink Small Outline Package)	PTSP0048KA-A (TTP-48DBV)	T	EL (1,000 ケ/リール)

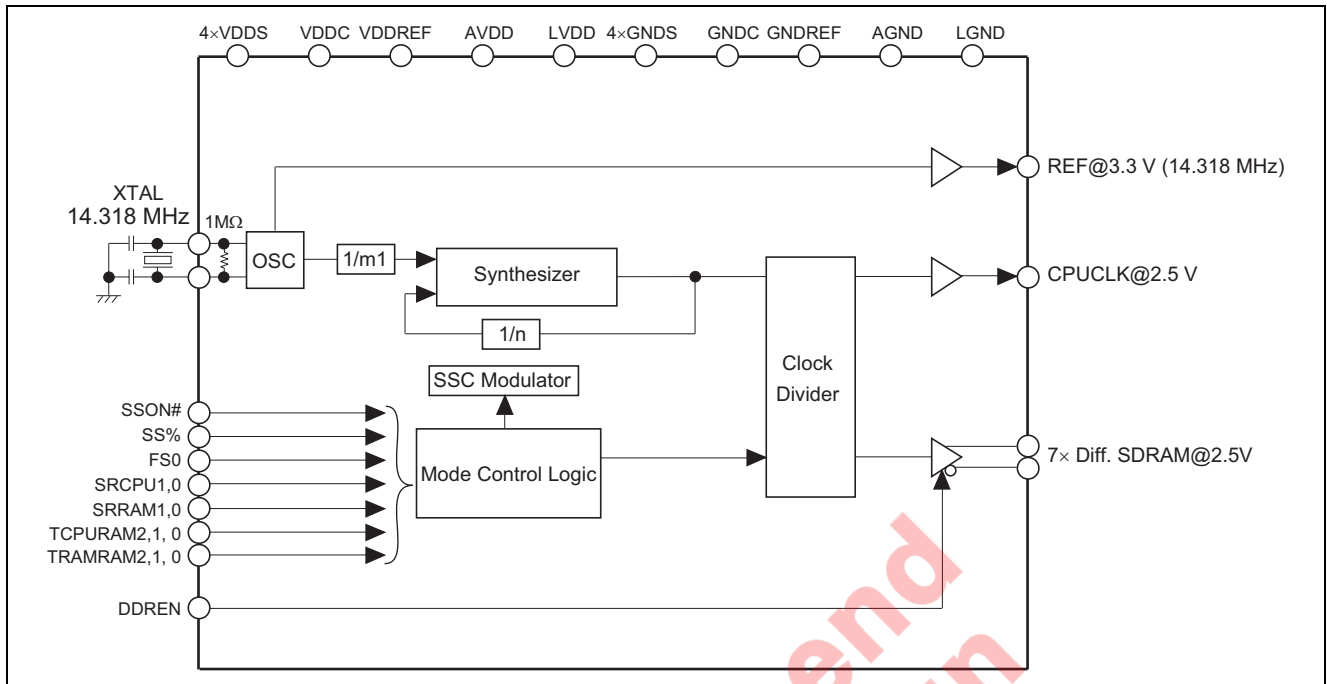
推奨動作電源電圧範囲

- 電源電圧: AVDD = 3.3 V \pm 10%
- 電源電圧: VDDC (CPU) = 2.5 V \pm 5%
- 電源電圧: VDDS (SDRAM) = 2.5 V \pm 5%

ピン配置図



ブロックダイアグラム



Not recommend
for new design

表 1 クロック周波数機能表

FS0	CPUCLK	DDRT/C [6:0]	備考
0	133 MHz	133 MHz	初期値
1	167 MHz	167 MHz	

表 2 SSC コントロール機能表

SSON#	SS%	SSC	備考
0	0	-0.5%	初期値
0	1	-1.0%	
1	X	OFF	

表 3 出力イネーブル機能表

DDREN	DDRT/C [6:5]	備考
0	ディスエーブル	初期値
1	イネーブル	

表 4 CPU スキュー機能表 (DDRT0/DDRC0 ~ CPUCLK)

TCPURAM2	TCPURAM1	TCPURAM0	スキュー	備考
0	0	0	—	初期値
0	0	1	+	
0	1	0	++	
0	1	1	+++	
1	0	0	-	
1	0	1	--	
1	1	0	---	
1	1	1	----	

注) これらのパラメータは設計目標値です。
量産では、全ての項目については、テストを実施していません。

表5 DDRT[6:1]/DDRC[6:1]スキュー機能表
(DDRT0/DDRC0 ~ DDRT[6:1]/DDRC[6:1])

TRAMRAM2	TRAMRAM1	TRAMRAM0	スキュー	備考
0	0	0	—	初期値
0	0	1	+	
0	1	0	++	
0	1	1	+++	
1	0	0	-	
1	0	1	--	
1	1	0	---	
1	1	1	----	

注) これらのパラメータは設計目標値です。
量産では、全ての項目については、テストを実施していません。

表6 CPUCLK スルーレート機能表

SRCPU1	SRCPU0	スルーレート	備考
0	0	—	初期値
0	1	+	
1	0	++	
1	1	+++	

注) これらのパラメータは設計目標値です。
量産では、全ての項目については、テストを実施していません。

表7 DDRT/DDRC [6:0]スルーレート機能表

SRRAM1	SRRAM0	スルーレート	備考
0	0	—	初期値
0	1	+	
1	0	++	
1	1	+++	

注) これらのパラメータは設計目標値です。
量産では、全ての項目については、テストを実施していません。

絶対最大定格

項目	記号	定格値	単位	測定条件
電源電圧	VDD	-0.5 ~ 4.6	V	AVDD, LVDD, VDDC, VDDS, VDDREF
入力電圧	V _I	-0.5 ~ 4.6	V	
出力電圧*1	V _O	-0.5 ~ VDD+0.5	V	
入力クランプ電流	I _{IK}	-50	mA	V _I < 0
出力クランプ電流	I _{OK}	-50	mA	V _O < 0
出力電流	I _O	± 50	mA	V _O = 0 ~ VDD
許容損失 Ta = 55°C (無風)		0.7	W	
保存温度	T _{stg}	-65 ~ +150	°C	

注) 絶対最大定格以上のストレスを加えると、デバイスに永久的なダメージを与える恐れがあります。これらはストレスの定格値であって、推奨動作条件下での機能的動作を意味するものではありません。

また、絶対最大定格を超える条件下では、デバイスの信頼性に影響を与える恐れがあります。

*1. 入出力にクランプ電流を流すと、負の電圧定格値を超える恐れがあります。

推奨動作条件

項目	記号	Min	Typ	Max	単位	条件
電源電圧		2.97	3.3	3.63	V	AVDD, VDDREF, LVDD
		2.375	2.5	2.625		VDDC, VDDS
入力電圧		-0.3	—	VDD+0.3	V	VDDC, VDDS, AVDD, LVDD, VDDREF
ハイレベル入力電圧	V _{IH}	2.0	—	VDD+0.3	V	
ローレベル入力電圧	V _{IL}	-0.3	—	0.8	V	
動作温度	Ta	0	—	70	°C	

Not recommended
for new design

端子説明

端子名称	No.	種類	説明
AGND	7	GND	GND 端子
LGND	17	GND	GND 端子
GNDREF	3	GND	GND 端子
GNDS	27,33,39,45	GND	GND 端子
GNDC	46	GND	GND 端子
AVDD	6	電源	電源端子(通常 3.3 V)
LVDD	16	電源	電源端子(通常 3.3 V)
VDDREF	1	電源	REF 電源端子(通常 3.3 V)
VDDS	24,30,36,42	電源	DDRT/DDRC クロック電源端子(通常 2.5 V)
VDDC	48	電源	CPU クロック電源端子(通常 2.5 V)
CPUCLK	47	出力	CPU クロック出力
DDRT[6:0]	25,28,31,34 37,40,43	出力	SDRAM 差動出力の正相クロック
DDRC[6:0]	26,29,32,35 38,41,44	出力	SDRAM 差動出力の逆相クロック
FS0	10	入力 ^{*1}	周波数設定端子 この端子は内部で LGND にプルダウンされています。
SSON#	8	入力 ^{*1}	スプレッドスペクトラムイネーブル端子 “L”=イネーブル この端子は内部で LGND にプルダウンされています。
SS%	9	入力 ^{*1}	スプレッドパーセンテージ制御端子 この端子は内部で LGND にプルダウンされています。
REF	2	出力	14.318 MHz リファレンスクロック
X1	4	入力	14.318 MHz XTAL 入力
X2	5	出力	XTAL 出力
DDREN	23	入力 ^{*1}	SDRAM クロックアウトイネーブル端子 “L” = DDRT[6:5] DDTC[6:5]ディスエーブル この端子は内部で LGND にプルダウンされています。
TCPURAM0,1,2	11,12,13	入力 ^{*1}	DDRT0/DDRC0 ~ CPUCLK スキュー制御端子 この端子は内部で LGND にプルダウンされています。
SRCPU0,1	14,15	入力 ^{*1}	CPUCLK スルーレート制御端子 この端子は内部で LGND にプルダウンされています。
SRRAM0,1	18,19	入力 ^{*1}	DDRT[6:0], DDRC[6:0]スルーレート制御端子 この端子は内部で LGND にプルダウンされています。
TRAMRAM0,1,2	20,21,22	入力 ^{*1}	DDRT0/DDRC0 ~ DDRT[6:1]/DDRC[6:1]スキュー制御端子 この端子は内部で LGND にプルダウンされています。

注) *1. “Hi”レベルの時は 3.3 V を使用してください。

DC 電気的特性

 $T_a = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $AVDD, VDDREF, LVDD = 3.3\text{V} \pm 10\%$, $VDDC, VDDS = 2.5\text{V} \pm 5\%$

項目	記号	Min	Typ	Max	単位	測定条件
ローレベル入力電圧	V_{IL}	—	—	0.8	V	
ハイレベル入力電圧	V_{IH}	2.0	—	—	V	
入力電流	I_I	—	—	± 20	μA	$V_I = 0\text{V}$ or 3.63V , $AVDD = 3.63\text{V}$, XIN 端子
		—	—	± 100		$V_I = 0\text{V}$ or 3.63V , $AVDD = 3.63\text{V}$, DDREN, SS%, SSON#, FS0 端子
入力スループレート		1	—	4	V/ns	20% ~ 80%
X1 入力容量	C_{IX}	—	—	5	pF	X1 端子
入力容量	C_I	—	—	4	pF	DDREN, SS%, SSON#, FS0 端子
動作電流		—	200	—	mA	XIN= 14.318 MHz, CL=0 pF, AVDD, VDDREF, LVDD = 3.3 V, VDDC, VDDS = 2.5 V, CPU, DDRT[6:0], DDRC[6:0] = 167 MHz

注) Min, Max 値の条件は、推奨動作条件で指定された正しい値を使用してください。
量産では、全ての項目については、テストを実施しておりません。

DC 電気的特性 / CPUCLK/DDRT[6:0]/DDRC[6:0]クロック

 $T_a = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $AVDD, VDDREF, LVDD = 3.3\text{V} \pm 10\%$, $VDDC, VDDS = 2.5\text{V} \pm 5\%$

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧	V_{OH-C}	2.2	—	VDDC	V	$I_{OH} = -1\text{ mA}$, $VDDC = 2.5\text{ V}$
	V_{OL-C}	—	—	50	mV	$I_{OL} = 1\text{ mA}$, $VDDC = 2.5\text{ V}$
	V_{OH-S}	2.0	—	VDDS	V	$I_{OH} = -16.2\text{ mA}$, $VDDS = 2.5\text{ V}$
	V_{OL-S}	—	—	0.8	V	$I_{OL} = 16.2\text{ mA}$, $VDDS = 2.5\text{ V}$
出力電流	I_{OH-C}	—	—	-19	mA	$V_{OH} = 1.70\text{ V}$, $VDDC = 2.5\text{ V}$
	I_{OL-C}	19	—	—		$V_{OL} = 0.70\text{ V}$, $VDDC = 2.5\text{ V}$

DC 電気的特性 / REF クロック

 $T_a = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $AVDD, VDDREF, LVDD = 3.3\text{V} \pm 0.3\text{V}$, $VDDC, VDDS = 2.5\text{V} \pm 5\%$

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧	V_{OH-R}	3.1	—	VDDREF	V	$I_{OH} = -1\text{ mA}$, $VDDREF = 3.3\text{ V}$
	V_{OL-R}	—	—	50	mV	$I_{OL} = 1\text{ mA}$, $VDDREF = 3.3\text{ V}$

AC 電気的特性 / CPUCLK/DDRT[6:0]/DDRC[6:0]クロック

$T_a = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $AVDD, VDDREF, LVDD = 3.3\text{V} \pm 10\%$, $VDDC, VDDS = 2.5\text{V} \pm 5\%$, $C_L = 10\text{pF}$

項目	記号	Min	Typ	Max	単位	測定条件	注
CPUCLK cycle to cycle jitter	$t_{\text{CCS-c}}$	-150	—	150	ps	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	注 1 図 1, 2
DDRT/C cycle to cycle jitter	$t_{\text{CCS-s}}$	-180	—	180		(f = 167 MHz) (SSC = -1.0%)	
DDRT0/DDRC0 ~ DDRT1/DDRC1 スキュー (vox to vox)	t_{skD}	120	—	480	ps	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = -1.0%)	図 5
DDRT[6:1]/DDRC[6:1] グループスキュー (vox to vox)	t_{skGS}	-180	—	180			
CPUCLK ~ DDRT0/DDRC0 スキュー	t_{skC}	120	—	480	ps	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = -1.0%)	図 4
差動交差出力電圧	vox	0.5 × VDDS-0.2	—	0.5 × VDDS+0.2	V		
スルーレート	t_{SL}	1.0	—	3.0	V/ns	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = -1.0%)	
出力周波数		132.30	133.64	134.98	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 133 MHz) (SSC = OFF)	注 2
		165.37	167.05	168.73	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = OFF)	
		131.97	133.30	134.64	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 133 MHz) (SSC = -0.5%)	
		164.96	166.63	168.30	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = -0.5%)	

(次頁に続く)

項目	記号	Min	Typ	Max	単位	測定条件	注
出力周波数		131.64	132.97	134.31	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 133 MHz) (SSC = -1.0%)	
		164.54	166.21	167.88	MHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V (f = 167 MHz) (SSC = -1.0%)	
クロックデューティ		47	50	53	%	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V CPUCLK, DDRT[6:0], DDRC[6:0] 出力 (f = 133 MHz) (SSC = OFF)	図 6
出力インピーダンス		—	30	—	Ω		
スプレッドスペクトラム 変調周波数		—	—	30	KHz	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V CPUCLK, DDRT[6:0], DDRC[6:0] 出力 (f = 133 MHz) (SSC = -0.5%)	注 3
引込み時間		—	—	4	ms	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V CPUCLK, DDRT[6:0], DDRC[6:0] 出力 (f = 133 MHz) (SSC = OFF)	注 4

注) これらのパラメータは設計目標値です。量産では、全ての項目については、テストを実施していません。

1. 隣接したサイクル間の時間差です。
2. 出力周波数は平均周波数です。
3. 最大変調周波数を示します。
4. 引込み時間は、電源起動後、回路が入出力信号の位相を合わせるために必要とする時間です。

AC 電気的特性 REF クロック

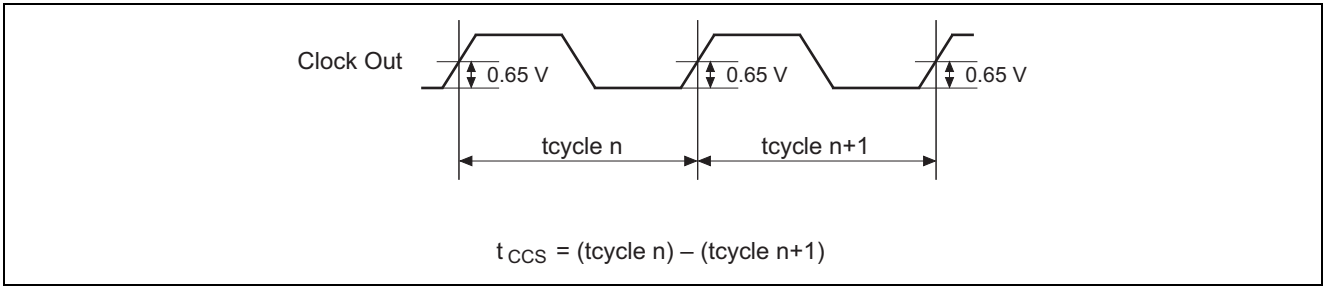
$T_a = 0^\circ\text{C} \sim 70^\circ\text{C}$, $AVDD, VDDREF, LVDD = 3.3\text{V} \pm 0.3\text{V}$, $VDDC, VDDS = 2.5\text{V} \pm 5\%$, $C_L = 10\text{pF}$

項目	記号	Min	Typ	Max	単位	測定条件	注
Period jitter	t_{PER}	-500	—	500	ps	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	図 3
Cycle to cycle jitter	T_{CCS}	-500	—	500	ps	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	図 1
スルーレート	t_{SL}	1.0	—	—	V/ns	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	
出力周波数		14.21	14.32	14.43	MHz	X1 = 14.32 MHz AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	注 1
クロックデューティ		45	50	55	%	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	図 6
出力インピーダンス		—	30	—	Ω		
引込み時間		—	—	4	ms	AVDD, VDDREF, LVDD = 3.3 V VDDC, VDDS = 2.5 V	注 2

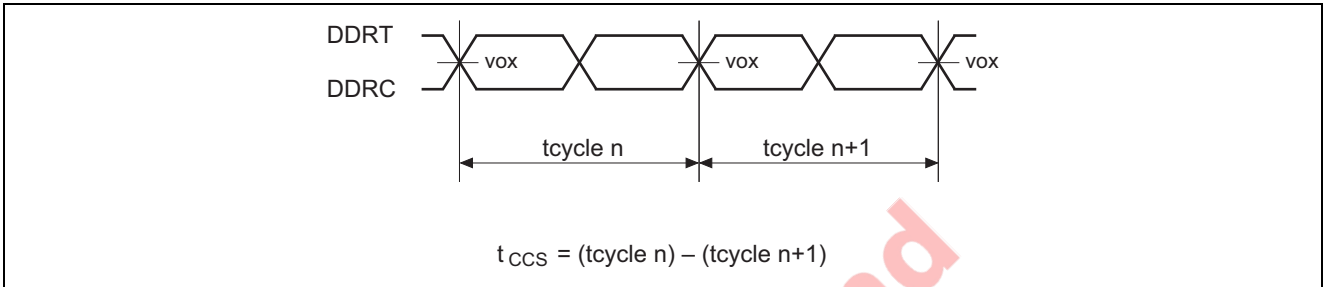
注) これらのパラメータは設計目標値です。量産では、全ての項目については、テストを実施していません。

- 出力周波数は平均周波数です。
- 引込み時間は、電源起動後、回路が入出力信号の位相を合わせるために必要とする時間です。

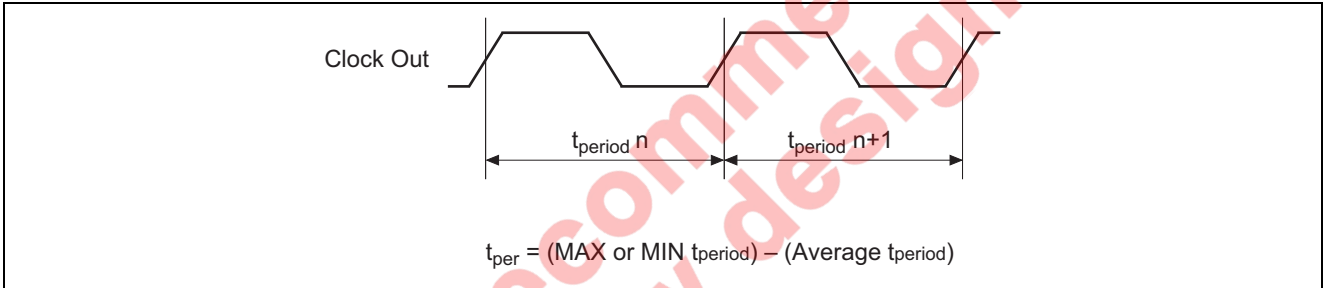
Not recommended
for new designs



☒ 1 Cycle to Cycle Jitter (Single Ended Clock Output)



☒ 2 Cycle to Cycle Jitter (Differential Clock Output)



☒ 3 Period Jitter (Single Ended Clock Output)

Not recommended for new design

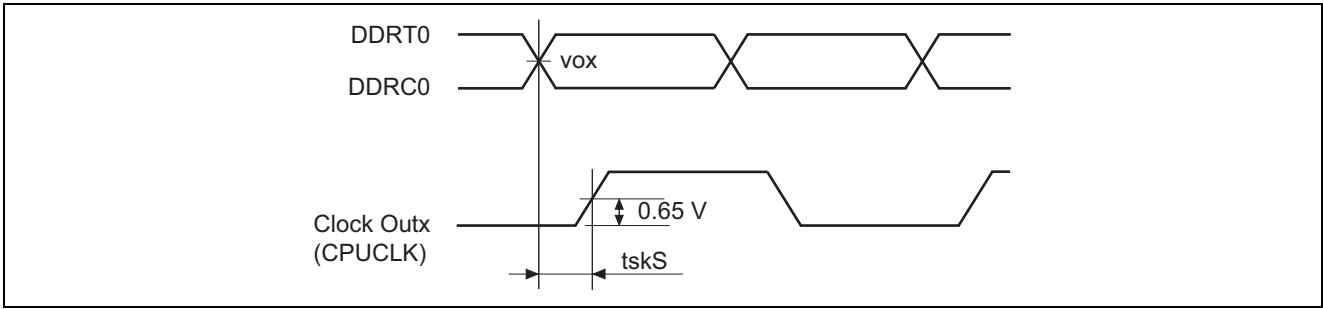


图 4 Output Clock Skew (Single Ended Clock Output)

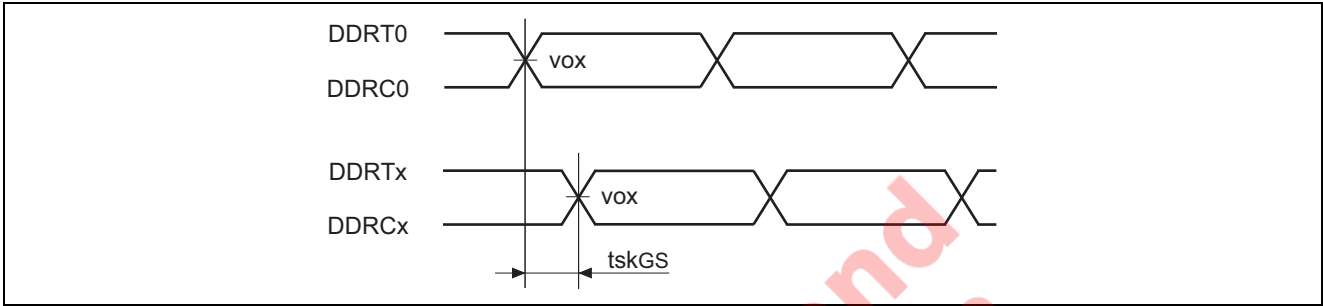


图 5 Output Clock Skew (Differential Clock Output)

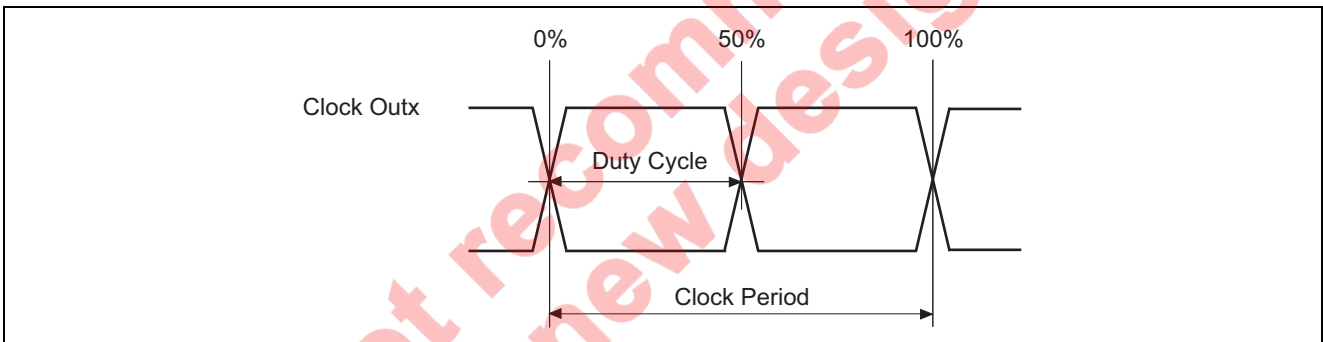
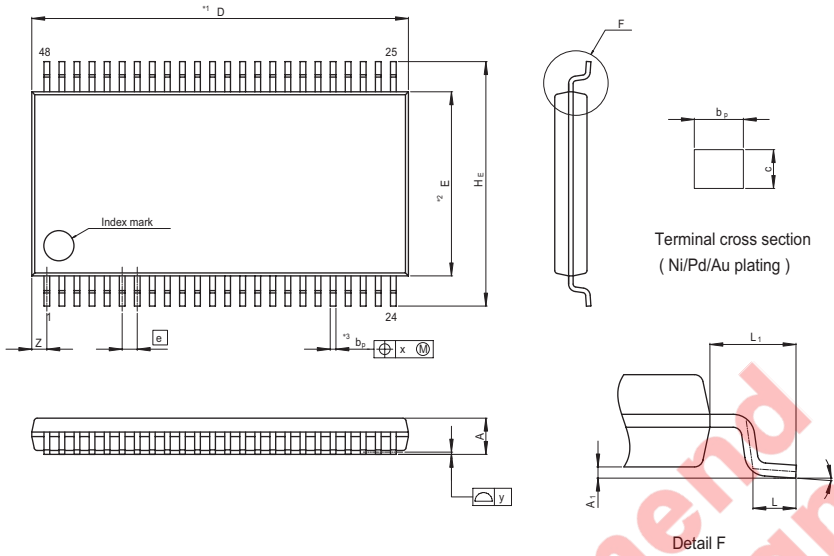


图 6 Output Clock Duty Cycle

外形寸法图

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TSSOP48-6.1x12.5-0.50	PTSP0048KA-A	TTP-48DBV	0.2g



NOTE)
 1. DIMENSIONS*1 (Nom)*AND*2*
 DO NOT INCLUDE MOLD FLASH
 2. DIMENSION*3* DOES NOT
 INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	12.5	12.7
E	—	6.10	—
A ₂	—	—	—
A ₁	0.08	0.13	0.18
A	—	—	1.20
b _p	0.14	0.19	0.24
b ₁	—	—	—
c	0.10	0.15	0.20
c ₁	—	—	—
θ	0°	—	8°
H _E	7.90	8.10	8.30
e	—	0.50	—
x	—	—	0.08
y	—	—	0.10
Z	—	—	0.65
L	0.4	0.5	0.6
L ₁	—	1.0	—

Not recommended for new design

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com