

# ACDA12B170M02CCC3VV10

R06DS0008JJ0100

Rev.1.00

Feb 18, 2011

## CB-40L IP コア・ライブラリ

### 概要

ACDA12B170M02CCC3VV10 は、セルベース IC CB-40L 向けの 12 ビット分解能 デジタル/アナログ・コンバータ (DAC : D/A コンバータ) です。変換方式に Current cell 方式を採用し、高速動作を実現します。

セルベース IC 本体については、各シリーズの設計マニュアルを参照してください。

D/A コンバータを搭載したセルベース IC の設計や、テスト・モードについての詳細は、DAC 搭載セルベース IC 設計マニュアル (A15698J) を参照してください。

### 基本仕様

項目	説明
名称	CB-40L 12bit 170MHz DAC (ACDA12B170M02CCC3VV10)
チャンネル	2 チャンネル (チャンネル A, C) (任意のチャンネルごとにパワーダウン可能)
変換方式	Current cell 方式 (電流出力タイプ)
電源電圧	AV <sub>33</sub> = DV <sub>33</sub> = 3.0~3.6 V (3.3 V (TYP.)) V <sub>DD</sub> = 1.0~1.2 V (1.1 V (TYP.)) (内部ロジック)
内蔵機能	パワーダウン機能, テスト回路

**注意** 本コアを複数使用する場合、コア同士の動作クロックは必ず同期させてください。非同期での使用は禁止です。

### 特徴

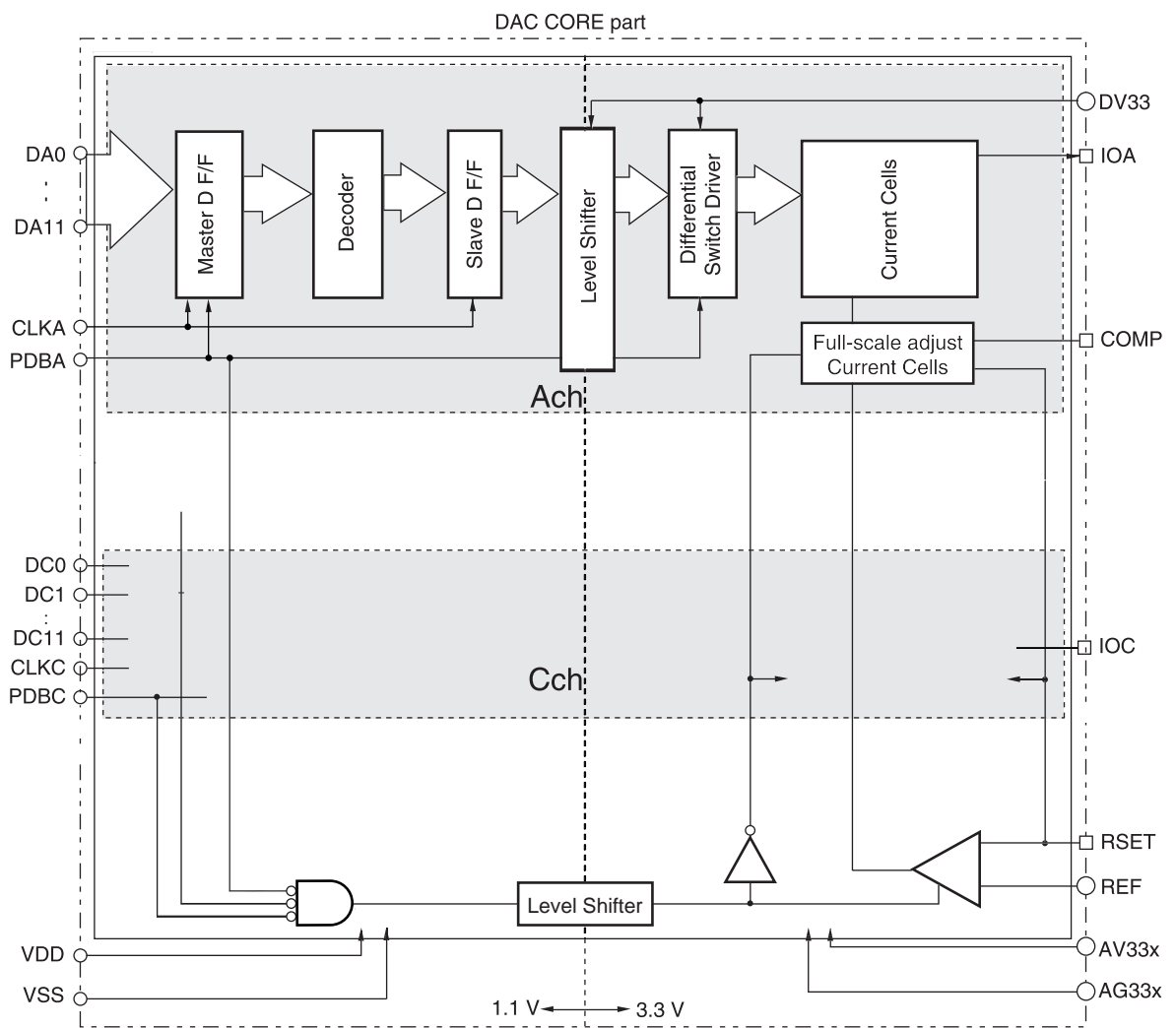
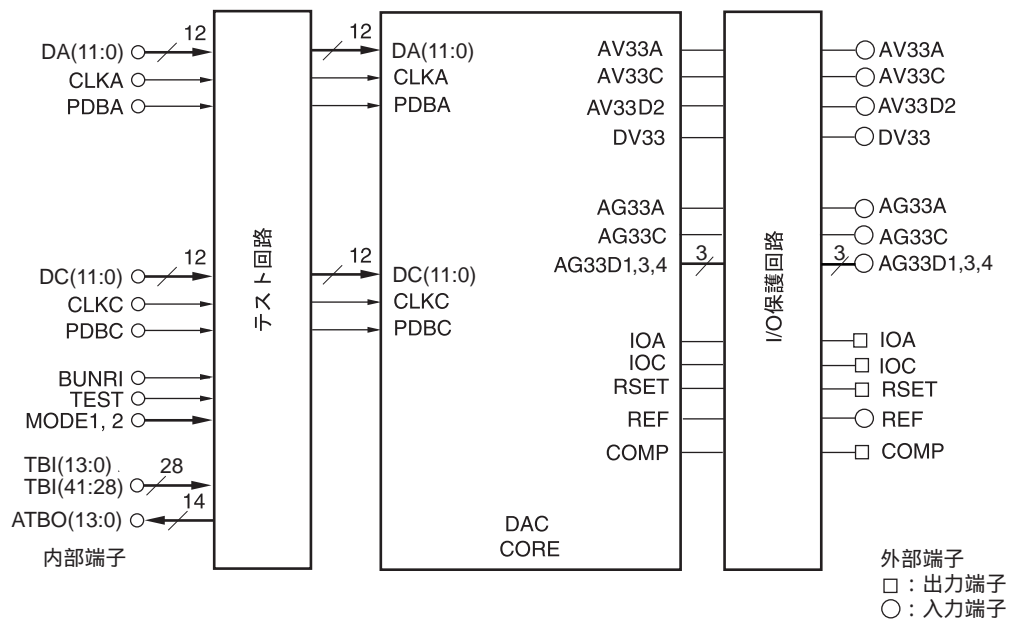
- 分解能 : 12 bits
- セトリング時間 : 25 ns (TYP.) (参考値) \*1
- クロック周波数 (f<sub>CLK</sub>) : 170 MHz (MAX.)
- 微分非直線性 (DNL) : ±1.5 LSB (TYP.)
- 積分非直線性 (INL) : ±2.0 LSB (TYP.)
- 最大出力振幅 (V<sub>FS</sub>) : 1.0~1.32 V (TYP.)
- 出力電圧範囲 : 0~V<sub>FS</sub> (TYP.)
- 対応セルライブラリ : MVT

【注】 \*1. C<sub>load</sub> = 10 pF, R<sub>set</sub> = 1600 Ω, R<sub>load</sub> = 150 Ω

## 目 次

1. ブロック図 .....	3
2. 端子機能 .....	4
2.1 内部端子 .....	4
2.2 外部端子 .....	6
3. 動作モード .....	7
4. 変換特性 .....	8
5. 電源投入／切断時の注意事項 .....	9
5.1 電源投入時 .....	9
5.2 電源切断時 .....	11
6. 電气的特性 .....	13
6.1 絶対最大定格 .....	13
6.2 推奨動作範囲 .....	13
6.3 DC 特性 .....	14
6.4 ダイナミック特性 .....	16
6.5 タイミング特性（設計保証値） .....	17
7. タイミング・チャート .....	18
7.1 通常動作モード（PDBx = 1） .....	18
7.2 パワーダウン・モード（PDBx = 0 および PDBx = 1 → 0 → 1） .....	19
8. 外付け推奨回路 .....	20

1. ブロック図

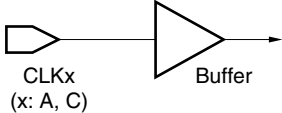
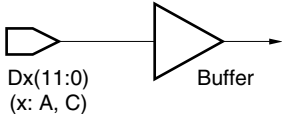
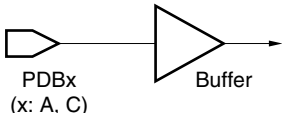
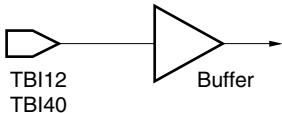
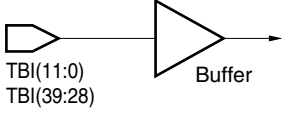


備考 x : A, C

## 2. 端子機能

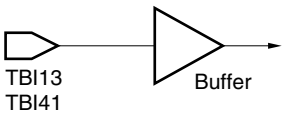
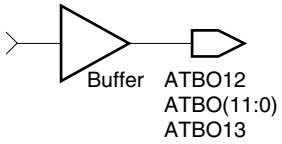
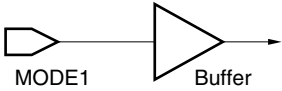
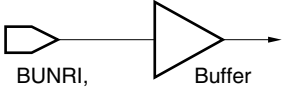
## 2.1 内部端子

(1/2)

端子名称	属性	等価回路	説明									
CLKA CLKC	DI		<ul style="list-style-type: none"> <li>サンプリング・クロック入力（チャンネル A, C） <ul style="list-style-type: none"> <li>この端子に入力されるクロック信号の立ち上がりエッジで、デジタル・データをラッチし、アナログ出力に変換します。</li> <li>データのラッチからアナログ変換の間には、パイプライン・ディレイが1クロック入ります。</li> <li>最高クロック周波数は 170 MHz です。</li> </ul> </li> </ul>									
DA(11:0) DC(11:0)	DI		<ul style="list-style-type: none"> <li>デジタル・データ入力（チャンネル A, C） <ul style="list-style-type: none"> <li>12 ビットのデジタル・データを入力します。</li> <li>コード形式はバイナリです。</li> <li>デジタル・データは、サンプリング・クロックの立ち上がりで内部にラッチし、そのデータに対応したアナログ出力に変換します。</li> <li>DA0, DC0 : LSB (Least Significant Bit)</li> <li>DA11, DC11 : MSB (Most Significant Bit)</li> </ul> </li> </ul>									
PDBA PDBC	DI		<ul style="list-style-type: none"> <li>パワーダウン信号入力（チャンネル A, C） <ul style="list-style-type: none"> <li>D/A コンバータの動作モードを切り替えます。</li> <li>0 : パワーダウン・モード（動作停止）, 1 : 通常動作モード</li> <li>動作モードの切り替えは、クロック（CLKA, CLKC）に同期しません。</li> <li>パワーダウン・モードを使用しない場合は、PDBA, PDBC を“1”に固定してください。</li> <li>パワーダウン前後の状態は、7. タイミング・チャートを参照してください。</li> </ul> </li> </ul>									
TBI12 TBI40	DI		<ul style="list-style-type: none"> <li>D/A コンバータ・テスト用サンプリング・クロック入力（チャンネル A, C） <ul style="list-style-type: none"> <li>D/A コンバータの単体テスト用のクロックを入力します。</li> <li>通常クロック入力との対応は次の通りです。</li> </ul> <table border="1" data-bbox="740 1312 1431 1420"> <thead> <tr> <th>チャンネル</th> <th>通常クロック入力</th> <th>テスト・クロック入力</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CLKA</td> <td>TBI12</td> </tr> <tr> <td>C</td> <td>CLKC</td> <td>TBI40</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>他のコアの TBx 端子と組み合わせてテスト・バス化できます。</li> </ul> </li> </ul>	チャンネル	通常クロック入力	テスト・クロック入力	A	CLKA	TBI12	C	CLKC	TBI40
チャンネル	通常クロック入力	テスト・クロック入力										
A	CLKA	TBI12										
C	CLKC	TBI40										
TBI(11:0) TBI(39:28)	DI		<ul style="list-style-type: none"> <li>D/A コンバータ・テスト用データ入力（チャンネル A, C） <ul style="list-style-type: none"> <li>D/A コンバータの単体テスト用のデータを入力します。</li> <li>入力コードのフォーマットは通常データ入力と同じです。</li> <li>通常データ入力との対応は次の通りです。</li> </ul> <table border="1" data-bbox="740 1659 1431 1767"> <thead> <tr> <th>チャンネル</th> <th>通常データ入力</th> <th>テスト・データ入力</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>DA11 (MSB) - DA0 (LSB)</td> <td>TBI11-TBI0</td> </tr> <tr> <td>C</td> <td>DC11 (MSB) - DC0 (LSB)</td> <td>TBI39-TBI28</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>他のコアの TBx 端子と組み合わせてテスト・バス化できます。</li> </ul> </li> </ul>	チャンネル	通常データ入力	テスト・データ入力	A	DA11 (MSB) - DA0 (LSB)	TBI11-TBI0	C	DC11 (MSB) - DC0 (LSB)	TBI39-TBI28
チャンネル	通常データ入力	テスト・データ入力										
A	DA11 (MSB) - DA0 (LSB)	TBI11-TBI0										
C	DC11 (MSB) - DC0 (LSB)	TBI39-TBI28										

備考 DI : デジタル入力, DO : デジタル出力

(2/2)

端子名	属性	等価回路	説明									
TBI13 TBI41	DI		<ul style="list-style-type: none"> <li>D/A コンバータ・テスト用パワーダウン信号入力 (チャンネル A, C) <ul style="list-style-type: none"> <li>D/A コンバータの単体テスト用のパワーダウン信号を入力します。</li> <li>通常パワーダウン信号との対応は次の通りです。</li> </ul> <table border="1" data-bbox="722 398 1428 510"> <thead> <tr> <th>チャンネル</th> <th>通常パワーダウン信号入力</th> <th>テスト・データ入力</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>PDBA</td> <td>TBI13</td> </tr> <tr> <td>C</td> <td>PDBC</td> <td>TBI41</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>他のコアの TBx 端子と組み合わせてテスト・バス化できません。</li> </ul> </li> </ul>	チャンネル	通常パワーダウン信号入力	テスト・データ入力	A	PDBA	TBI13	C	PDBC	TBI41
チャンネル	通常パワーダウン信号入力	テスト・データ入力										
A	PDBA	TBI13										
C	PDBC	TBI41										
ATBO12	DO		<ul style="list-style-type: none"> <li>デジタル・ブロック・テスト用サンプリング・クロック出力 <ul style="list-style-type: none"> <li>ユーザ・ロジックから D/A コンバータに入力するクロック信号 (CLKx) を検証するために使用します (x : A, C)。</li> <li>トータル・ロジック回路テスト・モード時には、常に I/O バッファに直接接続されるようにしてください。</li> </ul> </li> </ul>									
ATBO(11:0)	DO		<ul style="list-style-type: none"> <li>デジタル・ブロック・テスト用データ出力 <ul style="list-style-type: none"> <li>ユーザ・ロジックから D/A コンバータに入力するデータ信号 (DAX, DCx) を検証するために使用します。</li> <li>トータル・ロジック回路テスト・モード時には、常に I/O バッファに直接接続されるようにしてください。</li> <li>入力データとの対応は次の通りです。</li> </ul> <table border="1" data-bbox="722 949 1364 1093"> <thead> <tr> <th>入力データ</th> <th>テスト・データ出力</th> </tr> </thead> <tbody> <tr> <td>DA11, DC11 (MSB)</td> <td>ATBO11</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>DA0, DC0 (LSB)</td> <td>ATBO0</td> </tr> </tbody> </table> </li> </ul>	入力データ	テスト・データ出力	DA11, DC11 (MSB)	ATBO11	...	...	DA0, DC0 (LSB)	ATBO0	
入力データ	テスト・データ出力											
DA11, DC11 (MSB)	ATBO11											
...	...											
DA0, DC0 (LSB)	ATBO0											
ATBO13	DO	<ul style="list-style-type: none"> <li>デジタル・ブロック・テスト用パワーダウン信号出力 <ul style="list-style-type: none"> <li>ユーザ・ロジックから D/A コンバータに入力するパワーダウン信号 (PDBx) を検証するために使用します (x : A, C)。</li> <li>トータル・ロジック回路テスト・モード時には、常に I/O バッファに直接接続されるようにしてください。</li> </ul> </li> </ul>										
MODE1 MODE2	DI		<ul style="list-style-type: none"> <li>テスト・モード選択 <ul style="list-style-type: none"> <li>実使用モードと、D/A コンバータに接続するユーザ・ロジックのテスト・モード (トータル・ロジック回路テスト・モード) を切り替えます。</li> </ul> </li> </ul>									
BUNRI TEST	DI		<ul style="list-style-type: none"> <li>テスト・モード選択 <ul style="list-style-type: none"> <li>実使用モードと、アナログ・コア・テスト・モードを切り替えます。</li> </ul> </li> </ul>									

備考 DI : デジタル入力, DO : デジタル出力

## 2.2 外部端子

端子名称	属性	等価回路	説明
AV33A, AV33C, AV33D2  AG33A, AG33C, AG33D1, AG33D3, AG33D4  DV33	—		<ul style="list-style-type: none"> <li>D/A コンバータ・コアの電源および GND            AV33A, C, D2 : アナログ・ブロック用電源            AG33A, C, D1, D3, D4 : アナログ・ブロック用 GND            DV33 : デジタル・ブロック用電源</li> <li>— DV33 と AV33 はプリント基板上でショートしてください。</li> <li>— D/A コンバータのアナログ部で使用する電源, GND はいずれもセルベース IC で用いる標準電源, VSS と分離してください。</li> <li>— これらの電源系はプリント基板上でも分離して, アナログ GND エリアは可能なかぎり広く取り, 安定するように設計してください。</li> <li>— アナログ・ブロック用電源端子とアナログ・ブロック用 GND 端子の間には, D/A コンバータ端子のできるだけ近くにバイパス・コンデンサを配置してください (8. 外付け推奨回路参照)。</li> <li>— 電源の投入, 切断については 5. 電源投入/切断時の注意事項を参照してください。</li> </ul>
IOA IOC	AO		<ul style="list-style-type: none"> <li>アナログ信号出力 (チャンネル A, C)</li> <li>— 電流出力のアナログ信号出力端子です。</li> <li>— 接続する出力負荷抵抗 (<math>R_{load}</math>) には, 温度や抵抗値の変動によるデータへの影響を防ぐため, フルスケール出力電流調整用抵抗 (<math>R_{set}</math>) と同じ種類の抵抗を使用してください (金属皮膜抵抗を推奨)。</li> <li>— 出力負荷の条件は次の通りです。寄生容量はできるだけ小さくしてください。            抵抗: 150 <math>\Omega</math> (<math>R_{set} = 1600 \Omega</math>) または, 200 <math>\Omega</math> (<math>R_{set} = 2110 \Omega</math>), 寄生容量: 10 pF 以下</li> </ul>
REF	AI		<ul style="list-style-type: none"> <li>リファレンス電圧入力</li> <li>— バイパス・コンデンサを AG33 との間に接続してください。</li> </ul>
RSET	AO		<ul style="list-style-type: none"> <li>フルスケール出力電流調整用端子</li> <li>— フルスケール出力電流調整用抵抗 (<math>R_{set}</math>) を AG33 との間に接続することで, フルスケール出力電流を設定します。</li> <li>— <math>R_{set}</math> には, 1600 <math>\Omega</math> または 2110 <math>\Omega</math> の抵抗を使用してください。金属皮膜抵抗を推奨します。</li> </ul>
COMP	AO		<ul style="list-style-type: none"> <li>特性補償容量端子</li> <li>— 補償コンデンサ (0.1 <math>\mu</math>F) を AV33 との間に接続してください。</li> </ul>

備考 AI : アナログ入力, AO : アナログ出力, □ : 本コアの端子, ○ : CB-40L の端子

### 3. 動作モード

本コアには、次に示す3つの動作モードがあります。動作モードは、PDBx 端子を制御することにより切り替えます (x: チャンネル (A, C))。

#### (1) 通常動作モード

Dx (11:0) に入力するデジタル信号を変換し、アナログ信号として出力します (x: チャンネル (A, C))。

#### (2) データ保持モード

Dx (11:0) に入力するデジタル信号の変化に関係なく、データ保持モードに移行する直前の変換結果を保持します。

#### (3) パワーダウン・モード

アナログ・ブロックの回路動作を停止します。

パワーダウン・モードから通常動作モードへの復帰には、ある程度の時間が必要です。

各モードへは、次のように設定してください。

表 3.1 動作モードの設定 (各チャンネル共通)

端子設定 動作モード	テスト・モード選択				テスト端子		デジタル入力	クロック入力	パワー ダウン信号	アナログ出力電流
	BUNRI	TEST	MODE1	MODE2	TBI(13:0) TBI(41:28)	ATBO (13:0)	Dx(11:0)	CLKx	PDBx	IOx
通常動作モード	0	-	0	0	-	0	All "0"	0→1	1	ゼロスケール出力(I <sub>ZS</sub> )
(*1)							(*1)			
All "1"							フルスケール出力(I <sub>FS</sub> )			
データ保持モード							-	1→0		データ保持
パワーダウン・モード								-	0	0

【注】\*1. デジタル入力コードに対応した電流が、CLKx に同期してアナログ出力端子に出力されます。4. 変換特性を参照してください。

備考 x : チャンネル (A, C)

- : 入力データは無視されます。ただし、必ず 0 か 1 を入力してください。

## 4. 変換特性

本コアは、DIx (11:0) に入力したデジタル信号をバイナリ・コード化し、アナログ電流に変換して IOx から出力します。デジタル入力コードとアナログ出力電流の対応表は次のとおりです。

また、PDB を制御することにより、各チャンネルの動作をパワーダウン・モードに切り替え消費電流を抑えることが可能です。

デジタル入力コード												クロック	パワー ダウン	アナログ 出力電流
DIx11 (MSB)	DIx10	DIx9	DIx8	DIx7	DIx6	DIx5	DIx4	DIx3	DIx2	DIx1	DIx0 (LSB)	CLK	PDB	IOx
0	0	0	0	0	0	0	0	0	0	0	0	0 1	1	$I_{ZS}$
0	0	0	0	0	0	0	0	0	0	0	1	:	1	$I_{ZS} + 1/4095 \times I_{FS}$
												:	1	:
1	1	1	1	1	1	1	1	1	1	0	1	:	1	$I_{ZS} + 4093/4095 \times I_{FS}$
1	1	1	1	1	1	1	1	1	1	1	0	:	1	$I_{ZS} + 4094/4095 \times I_{FS}$
1	1	1	1	1	1	1	1	1	1	1	1	:	1	$I_{FS}$
--	--	--	--	--	--	--	--	--	--	--	--	1 0	1	データ保持
--	--	--	--	--	--	--	--	--	--	--	--	--	0	0

備考 x : チャンネル (A, C)

$I_{FS}$  : フルスケール出力電流 (8.8 mA TYP., ( $V_{ref} = 1.32 V$ ,  $R_{set} = 1600 \Omega$ の場合))

$I_{ZS}$  : ゼロスケール出力電流 (0 mA TYP.)

-- : 入力データは無視されますが、“0”もしくは“1”を入力し、オープンにはしないでください。



## 5. 電源投入／切断時の注意事項

### 5.1 電源投入時

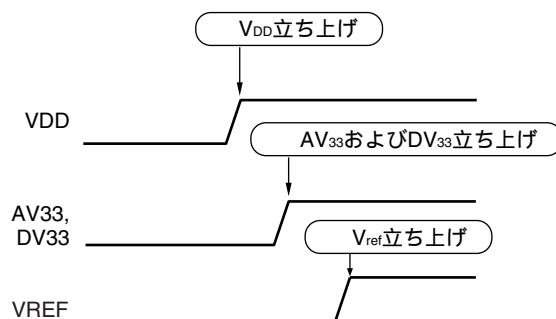
電源投入時には、次の2点に注意してください。

#### (1) VDD, AV33, DV33, VREF の投入タイミング

本コアを搭載したセルベース IC 製品では、内部ロジック領域で使用している VDD (= 1.1 V TYP.) → D/A コンバータで使用している AV33 および DV33 (= 3.3 V TYP.) → 外部リファレンス電圧 VREF の順序で立ち上げてください。

AV33, DV33 を先に立ち上げると、VDD が立ち上がるまでに内部動作が不安定になり、大きな貫通電流が流れる可能性があります。なお、チップの VDD3 (= 3.3 V TYP.) はセルベース IC の指定に従って投入してください。

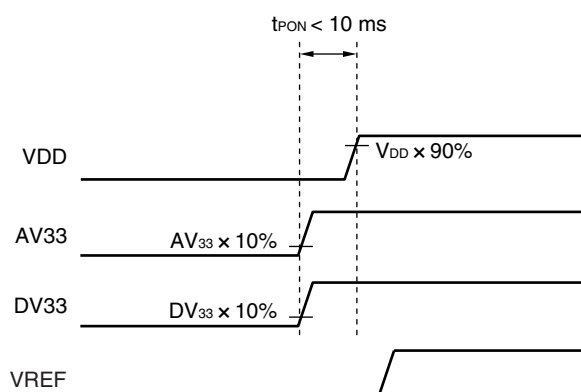
図 5.1 電源投入時のタイミング



アプリケーションの都合により VDD (1.1 V) → AV33, DV33 (3.3 V) の順序が逆になる場合は、[図 5.2](#) に示すタイミングに従うようにしてください。

図 5.2 に示すタイミングに従って電源を投入すれば、大きな貫通電流は流れません。

図 5.2 電源投入時のタイミング (AV33, DV33 (3.3 V) → VDD (1.1 V) の順の場合)



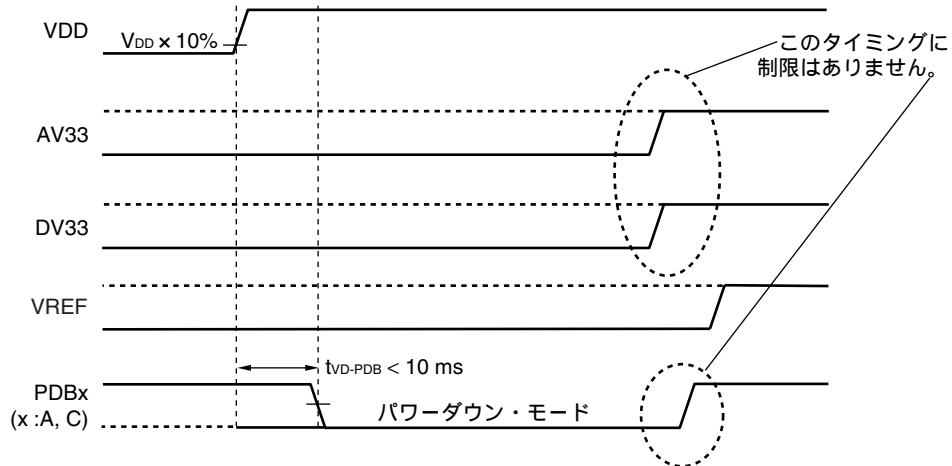
**注意** 外部リファレンス電圧 VREF は AV33, DV33 と同時かその後に投入してください。先に投入すると過電流が流れ IC が破損する恐れがあります。

(2) VDD 投入時に AV33, DV33 を投入しない場合の設定

VDD 投入時に図 5.3 に示すタイミングですべてのチャンネルをパワーダウン・モード (PDBx = 0) に設定してください。

後から AV33, DV33 を投入するときの PDBx および AV33, DV33 の設定タイミングに制限はありません。

図 5.3 電源投入時のタイミング (VDD 投入時に AV33, DV33 を投入しない場合)



注意 AV33, DV33 を投入していない間は, 外部リファレンス電圧 VREF も投入しないでください。

## 5.2 電源切断時

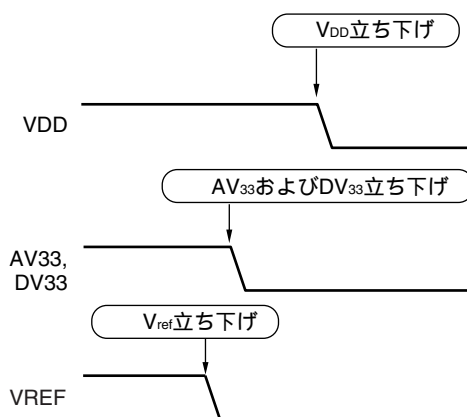
電源切断時は、次の2点に注意してください。

## (1) VDD, AV33, DV33 の切断順序

本コアを搭載したセルベース IC 製品では、外部リファレンス電圧 VREF → D/A コンバータで使用している AV33 および DV33 (= 3.3 V TYP.) → 内部ロジック領域で使用している VDD (= 1.1 V TYP.) の順序で立ち下げてください。

VDD を先に立ち下げると、AV33, DV33 が立ち下がるまでに内部動作が不安定になり、大きな貫通電流が流れる可能性があります。

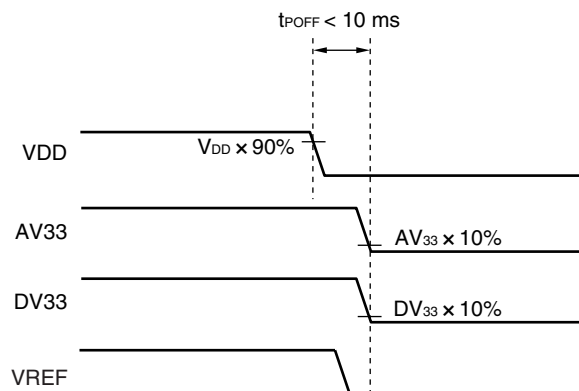
図 5.4 電源切断時のタイミング



アプリケーションの都合により AV33, DV33 (3.3 V) → VDD (1.1 V) の順序が逆になる場合は、図 5.5 に示すタイミングに従うようにしてください。

図 5.5 に示すタイミングに従って電源を切断すれば、大きな貫通電流は流れません。

図 5.5 電源切断時のタイミング (VDD (1.1 V) → AV33, DV33 (3.3 V) の順の場合)



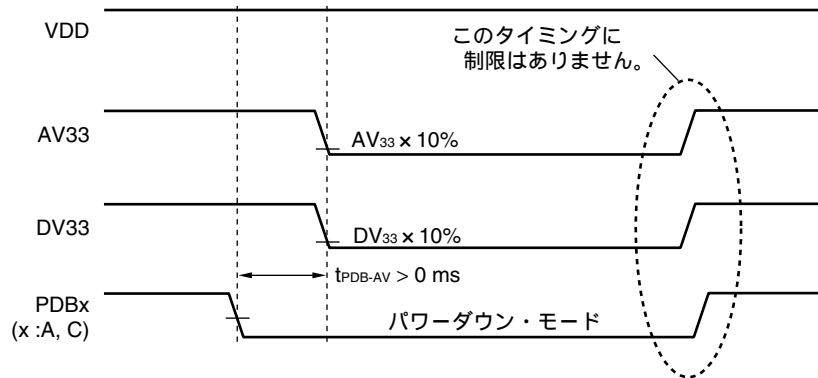
**注意** 外部リファレンス電圧 VREF は、AV33, DV33 と同時かそれより先に切断してください。

## (2) パワーダウン・モード中の AV33, DV33 切断順序

本コアの AV33, DV33 は、すべてのチャンネルがパワーダウン・モード ( $PDBx = 0$ ) のときに切断できます。  
 パワーダウン・モードの設定 → AV33, DV33 の切断は、**図 5.6** で示すタイミングに従ってください。

後から AV33, DV33 を投入するときの PDBx および AV33, DV33 の設定タイミングに制限はありません。

図 5.6 パワーダウン・モード中の AV33, DV33 切断タイミング



## 6. 電気的特性

## 6.1 絶対最大定格 (CB-40L に準拠)

項目	略号	条件	定格	単位
アナログ電源電圧	AV <sub>33</sub>		-0.5~+4.6	V
デジタル電源電圧	V <sub>DD</sub>	チップ内部電源	-0.45~+1.8	V
	DV <sub>33</sub>	3.3 V 系電源	-0.5~+4.6	V
デジタル入力電圧	V <sub>I</sub>	V <sub>I</sub> < V <sub>DD</sub> + 0.5 V	-0.5~+4.6	V
アナログ出力電圧	V <sub>DA</sub>	V <sub>DA</sub> < AV <sub>33</sub> + 0.5 V	-0.5~+4.6	V
ジャンクション温度	T <sub>j</sub>		-40~+125	°C
保存温度	T <sub>stg</sub>		-65~+125	°C

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

## 6.2 推奨動作範囲

(T<sub>j</sub> = -40~+125°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV <sub>33</sub>	アナログ電源電圧	3.0	3.3	3.6	V
	V <sub>DD</sub>	デジタル電源電圧 (内部ロジック)	1.0	1.1	1.2	V
	DV <sub>33</sub>	デジタル電源電圧	AV <sub>33</sub>			V
外部リファレンス電圧範囲	V <sub>ref</sub>	出力電圧範囲 = 1.00 V	-5%	1.00	+5%	V
		出力電圧範囲 = 1.32 V	-5%	1.32	+5%	
出力負荷抵抗	R <sub>load</sub>	Rset = 1600 Ω	-1%	150 (*1)	+1%	Ω
		Rset = 2110 Ω	-1%	200 (*1)	+1%	
フルスケール調整用抵抗	R <sub>set</sub>	Rload = 150 Ω (*1)	-5%	1600	+5%	Ω
		Rload = 200 Ω (*1)	-5%	2110 (*3)	+5%	
特性補償容量	Comp			0.1		μF
出力負荷容量	C <sub>load</sub>	(*2)			10	pF
REF 端子出力負荷容量	C <sub>ref</sub>			1		μF

【注】\*1. 抵抗素子には金属皮膜抵抗 (絶対精度 1%) を推奨します。

\*2. 出力端子 (IOA, IOC) の寄生容量を示しています。パッケージ容量は含みません。

\*3. 2110 Ω の規格が存在しないので、4220 Ω を 2 個並列に接続してください。

## 6.3 DC 特性

(1)  $V_{ref} = 1.32 \text{ V}$  $(V_{DD} = 1.0 \sim 1.2 \text{ V}, AV_{33} = 3.0 \sim 3.6 \text{ V}, T_j = -40 \sim +125^\circ\text{C}, C_{load} = 10 \text{ pF})$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES			12		bits	
消費電流 (通常動作モード)							
AV33 消費電流	$I_{AV33}$	PDBx = 1 (x : A, C) , $f_{CLK} = 170 \text{ MHz}$ , 入力コード : 000H~FFFH, $R_{set} = 1600 \Omega$ ( $R_{load} = 150 \Omega$ )	2ch 動作		20.0	21.0	mA
			1ch 動作		11.3	12.1	mA
		PDBx = 1 (x : A, C) , $f_{CLK} = 170 \text{ MHz}$ , 入力コード : 000H~FFFH, $R_{set} = 2110 \Omega$ ( $R_{load} = 200 \Omega$ )	2ch 動作		15.2	16.1	mA
			1ch 動作		8.6	9.6	mA
VDD 消費電流	$I_{VDD}$	PDBx = 1 (x : A, C) , $f_{CLK} = 170 \text{ MHz}$ , 入力コード : 000H~FFFH, $R_{set} = 1600 \Omega$ ( $R_{load} = 150 \Omega$ )	2ch 動作		2.1	2.5	mA
			1ch 動作		1.2	1.5	mA
DV33 消費電流	$I_{DV33}$	または, $R_{set} = 2110 \Omega$ ( $R_{load} = 200 \Omega$ )	2ch 動作		4.9	5.8	mA
			1ch 動作		2.5	3.0	mA
消費電流 (パワーダウン・モード)							
AV33 消費電流	$I_{AV33PD}$	PDBx = 0 (x : A, C) , $f_{CLK} = 170 \text{ MHz}$ , 入力コード : 000H~FFFH		1.0	15.0	$\mu\text{A}$	
DV33 消費電流	$I_{DV33PD}$			1.0	15.0	$\mu\text{A}$	
精度							
微分非直線性	DNL	$f_{CLK} = 170 \text{ MHz}$ , Data = 1 MHz, $R_{set} = 1600 \Omega$ , $R_{load} = 150 \Omega$		$\pm 1.5$	$\pm 2.5$	LSB	
積分非直線性	INL			$\pm 2.0$	$\pm 4.0$	LSB	
コード形式			ストレート・バイナリ・コード				
微分非直線性	DNL	$f_{CLK} = 170 \text{ MHz}$ , Data = 1 MHz, $R_{set} = 2110 \Omega$ , $R_{load} = 200 \Omega$		$\pm 1.5$	$\pm 2.0$	LSB	
積分非直線性	INL			$\pm 2.0$	$\pm 4.0$	LSB	
コード形式			ストレート・バイナリ・コード				
アナログ出力							
フルスケール電流	$I_{FS}$	$R_{set} = 1600 \Omega$ , $R_{load}$ : オープン, 入力コード : FFFH	7.5	8.8	10.0	mA	
		$R_{set} = 2110 \Omega$ , $R_{load}$ : オープン, 入力コード : FFFH	5.5	6.6	7.8	mA	

(2)  $V_{ref} = 1.00 \text{ V}$  $(V_{DD} = 1.0 \text{ V} \sim 1.2 \text{ V}, AV_{33} = 3.0 \sim 3.6 \text{ V}, T_j = -40 \sim +125^\circ\text{C}, C_{load} = 10 \text{ pF})$ 

項目	略号	条件	MIN.	TYP.	MAX.	単位	
消費電流 (通常動作モード)							
AV33 消費電流	I <sub>AV33</sub>	PDBx = 1 (x : A, C) , f <sub>CLK</sub> = 170 MHz, 入力コード : 000H~FFFH, R <sub>set</sub> = 1600 Ω (R <sub>load</sub> = 150 Ω)	2ch 動作		15.2	15.9	mA
			1ch 動作		8.6	9.3	mA
		PDBx = 1 (x : A, C) , f <sub>CLK</sub> = 170 MHz, 入力コード : 000H~FFFH, R <sub>set</sub> = 2110 Ω (R <sub>load</sub> = 200 Ω)	2ch 動作		11.6	12.4	mA
			1ch 動作		6.6	7.2	mA
VDD 消費電流	I <sub>VDD</sub>	PDBx = 1 (x : A, C) , f <sub>CLK</sub> = 170 MHz, 入力コード : 000H~FFFH, R <sub>set</sub> = 1600 Ω (R <sub>load</sub> = 150 Ω)	2ch 動作		2.1	2.5	mA
			1ch 動作		1.2	1.5	mA
DV33 消費電流	I <sub>DV33</sub>	または, R <sub>set</sub> = 2110 Ω (R <sub>load</sub> = 200 Ω)	2ch 動作		4.8	5.6	mA
			1ch 動作		2.5	2.8	mA
精度							
微分非直線性	DNL	f <sub>CLK</sub> = 170 MHz, Data = 1 MHz, R <sub>set</sub> = 1600 Ω, R <sub>load</sub> = 150 Ω		± 1.5	± 3.0	LSB	
積分非直線性	INL			± 2.0	± 4.0	LSB	
コード形式			ストレート・バイナリ・コード				
微分非直線性	DNL	f <sub>CLK</sub> = 170 MHz, Data = 1 MHz, R <sub>set</sub> = 2110 Ω, R <sub>load</sub> = 200 Ω		± 1.5	± 2.5	LSB	
積分非直線性	INL			± 2.0	± 4.0	LSB	
コード形式			ストレート・バイナリ・コード				
アナログ出力							
フルスケール電流	I <sub>FS</sub>	R <sub>set</sub> = 1600 Ω, R <sub>load</sub> : オープン, 入力コード : FFFH	5.7	6.6	7.7	mA	
		R <sub>set</sub> = 2110 Ω, R <sub>load</sub> : オープン, 入力コード : FFFH	4.2	5.0	6.0	mA	

備考 (2) に記載されていない特性は (1) と同じです。

## 6.4 ダイナミック特性

( $V_{DD} = 1.0 \sim 1.2 \text{ V}$ ,  $AV_{33} = 3.0 \sim 3.6 \text{ V}$ ,  $T_j = -40 \sim +125^\circ\text{C}$ ,  $V_{ref} = 1.00 \text{ V}$  or  $1.32 \text{ V}$ ,  $C_{load} = 10 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
変換周波数	f <sub>CLK</sub>		10		170	MHz
アナログ出力遅延時間	t <sub>OD</sub>			5.88		ns
アナログ出力立ち上がり時間 ／立ち下がり時間	t <sub>ORF</sub>	$T_j = 25^\circ\text{C}$ , $C_{load} \leq 10 \text{ pF}$ (*1)		8		ns
グリッチ・エネルギー	GE	$AV_{33} = DV_{33} = 3.3 \text{ V}$ , $V_{DD} = 1.1 \text{ V}$		10		pV-sec
微分利得	DG	f <sub>CLK</sub> = 4fsc (= 14.32 MHz)		1.0	2.0	%
微分位相	DP	NTSC 40IRE mod ramp		1.0	2.0	deg.

【注】\*1.参考特性です。出力負荷容量  $C_{load}$  が大きいほど大きくなります。また、パッケージ、ステップ・サイズ、本マクロの配置配線によって変化します。

## (1) 参考特性 1

( $V_{DD} = 1.0 \sim 1.2 \text{ V}$ ,  $AV_{33} = 3.0 \sim 3.6 \text{ V}$ ,  $T_j = -40 \sim +125^\circ\text{C}$ ,  $R_{set} = 1600 \Omega$ ,  $R_{load} = 150 \Omega$ ,  $C_{load} = 10 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
セトリング時間	t <sub>OS</sub>	$T_j = 25^\circ\text{C}$ , $C_{load} \leq 10 \text{ pF}$ (*1)		25		ns
スプリアスフリー・ ダイナミック・レンジ (to Nyquist)	SFDR1	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.32 V	Fout = 1.0 MHz	63.5		dB
	SFDR2		Fout = 3.3 MHz	61.5		dB
	SFDR3		Fout = 9.7 MHz	57.3		dB
	SFDR4	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.00 V	Fout = 1.0 MHz	71.6		dB
	SFDR5		Fout = 3.3 MHz	70.0		dB
	SFDR6		Fout = 9.7 MHz	59.3		dB
信号対雑音比 (to Nyquist)	SINAD1	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.32 V	Fout = 1.0 MHz	60.2		dB
	SINAD2	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.00 V	Fout = 1.0 MHz	65.4		dB

【注】\*1.出力負荷容量  $C_{load}$  が大きいほど大きくなります。

## (2) 参考特性 2

( $V_{DD} = 1.0 \sim 1.2 \text{ V}$ ,  $AV_{33} = 3.0 \sim 3.6 \text{ V}$ ,  $T_j = -40 \sim +125^\circ\text{C}$ ,  $R_{set} = 2110 \Omega$ ,  $R_{load} = 200 \Omega$ ,  $C_{load} = 10 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
セトリング時間	t <sub>OS</sub>	$T_j = 25^\circ\text{C}$ , $C_{load} \leq 10 \text{ pF}$ (*1)		32		ns
スプリアスフリー・ ダイナミック・レンジ (to Nyquist)	SFDR1	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.32 V	Fout = 1.0 MHz	61.9		dB
	SFDR2		Fout = 3.3 MHz	61.7		dB
	SFDR3		Fout = 9.7 MHz	54.4		dB
	SFDR4	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.00 V	Fout = 1.0 MHz	68.6		dB
	SFDR5		Fout = 3.3 MHz	67.7		dB
	SFDR6		Fout = 9.7 MHz	62.1		dB
信号対雑音比 (to Nyquist)	SINAD1	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.32 V	Fout = 1.0 MHz	58.8		dB
	SINAD2	f <sub>CLK</sub> = 170 MHz, V <sub>ref</sub> = 1.00 V	Fout = 1.0 MHz	61.9		dB

【注】\*1.出力負荷容量  $C_{load}$  が大きいほど大きくなります。



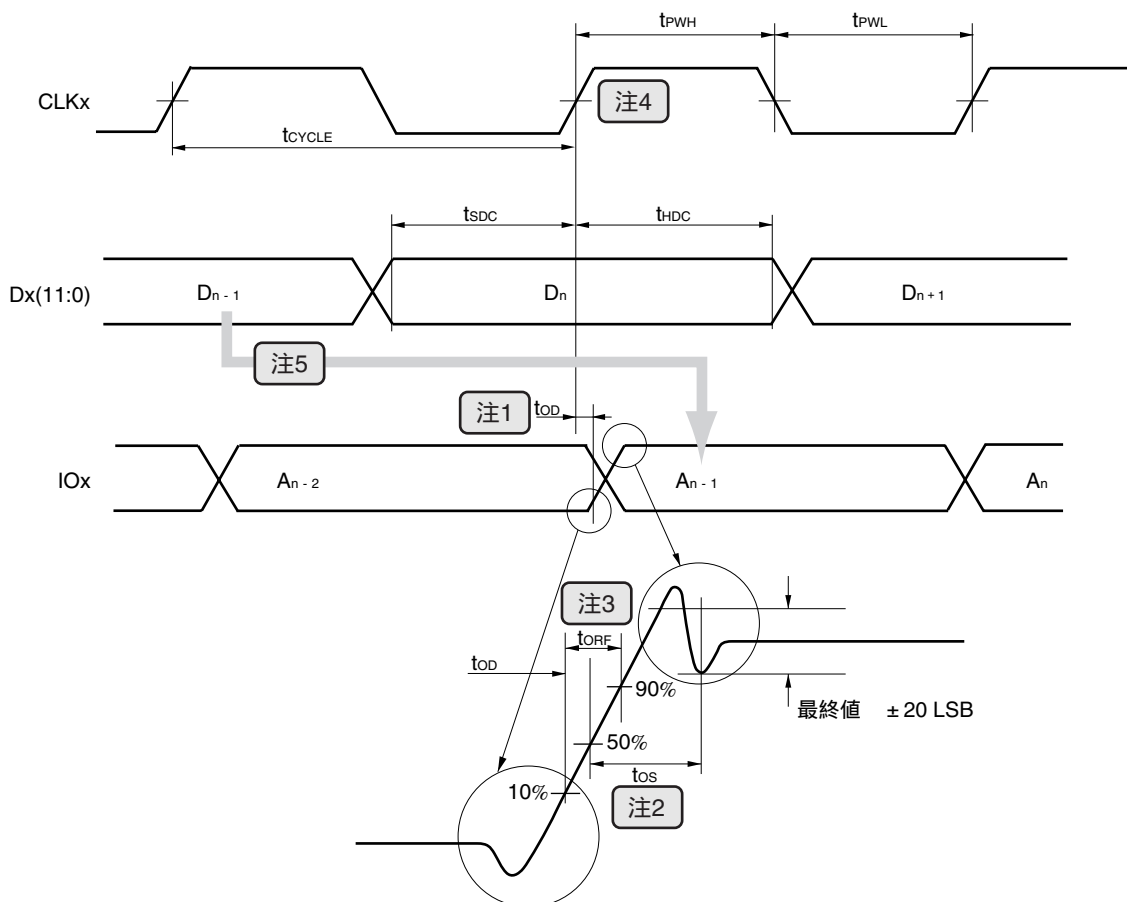
## 6.5 タイミング特性（設計保証値）

( $V_{DD} = 1.0 \sim 1.2$  V,  $AV_{33} = 3.0 \sim 3.6$  V,  $T_j = -40 \sim +125^\circ\text{C}$ ,  $V_{ref} = 1.00$  V or  $1.32$  V,  $C_{load} = 10$  pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ・セットアップ時間	$t_{SDC}$		0.5			ns
データ・ホールド時間	$t_{HDC}$		1.0			ns
クロック・サイクル時間	$t_{CLK}$		5.88			ns
サンプリング・クロック・ ロウ・レベル・パルス幅	$t_{PWL}$		2.7			ns
サンプリング・クロック・ ハイ・レベル・パルス幅	$t_{PWH}$		2.7			ns
パイプライン・ディレイ	$t_{CYCLE}$		1 クロック			
VDD→AV33 印加時間	$t_{PON}$				10	ms
VDD→AV33 切断時間	$t_{POFF}$				10	ms
VDD→PDB セット時間	$t_{VD-PDB}$				10	ms
PDB→AV33 セット時間	$t_{PDB-AV}$		0			ms
パワーダウン時間	$t_{PODOWN}$	$R_{load}$ : オープン, 入力コード : FFFH			10	ms
パワーアップ復帰時間	$t_{POUP}$	$R_{load}$ : オープン, 入力コード : FFFH			10	ms

## 7. タイミング・チャート

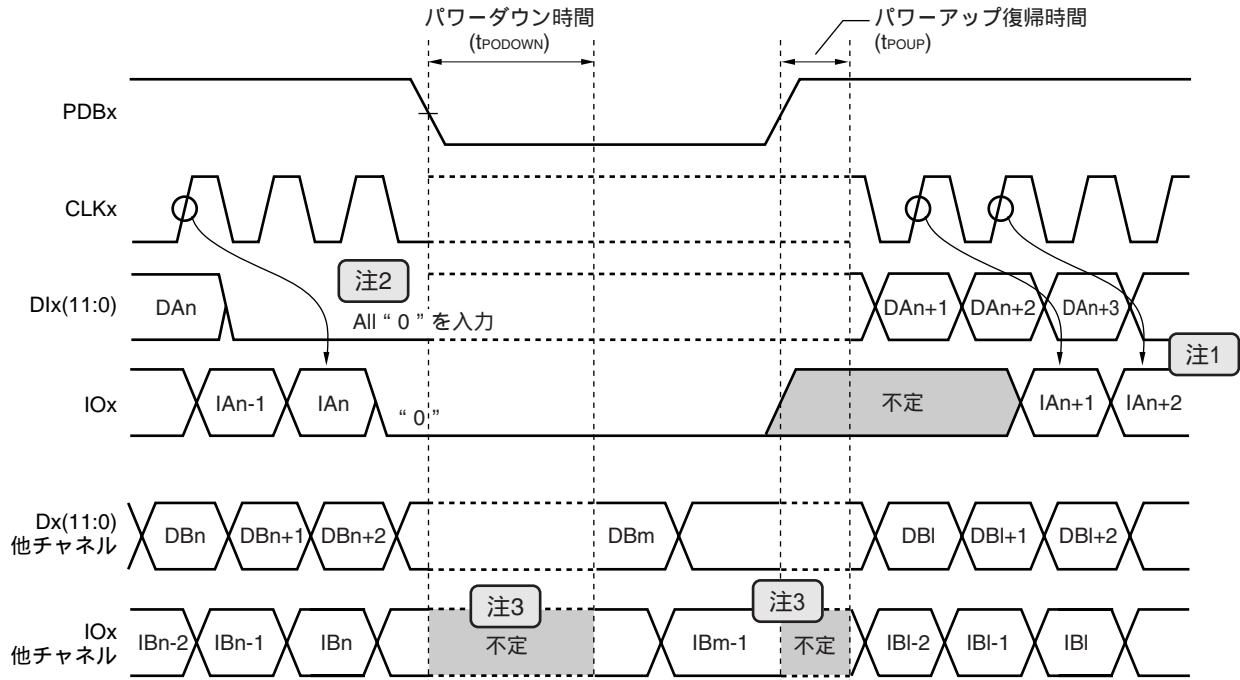
## 7.1 通常動作モード (PDBx = 1)



- 【注】 \*1.  $t_{OD}$  は、アナログ出力を 0  $\leftrightarrow$  FS に変化させる場合の、クロックの立ち上がりの 50% 振幅からアナログ出力が 10% 変化するまでの時間です。
- \*2.  $t_{OS}$  は、アナログ出力を 0  $\leftrightarrow$  FS に変化させる場合の、アナログ出力の 50% 振幅からアナログ出力の最終値の  $\pm 20$  LSB に収束するまでの時間です。
- \*3.  $t_{ORF}$  は、アナログ出力を 0  $\leftrightarrow$  FS に変化させる場合の、アナログ出力の 10% 振幅から 90% 振幅に変化するまでの時間です。
- \*4. デジタル・データ (12 ビット) は、クロックの立ち上がりエッジで DAC 内に取り込まれます。
- \*5. パイプライン・ディレイ ( $t_{CYCLE}$ ) は、1 クロックです。

備考 x: チャンネル (A, C)

## 7.2 パワーダウン・モード (PDBx = 0 および PDBx = 1 → 0 → 1)



【注】 \*1.  $t_{POUP}$  以降のクロックにて D\* (11:0) の入力が期待通り出力されます。

\*2. パワーダウン復帰時に異常値が出力されるのを防ぐ場合は、パワーダウン投入 (PDBx = 1 → 0) 前に 2 クロック・サイクル以上 DIx (11:0) = all "0" を入力して出力を 0 にしてください。

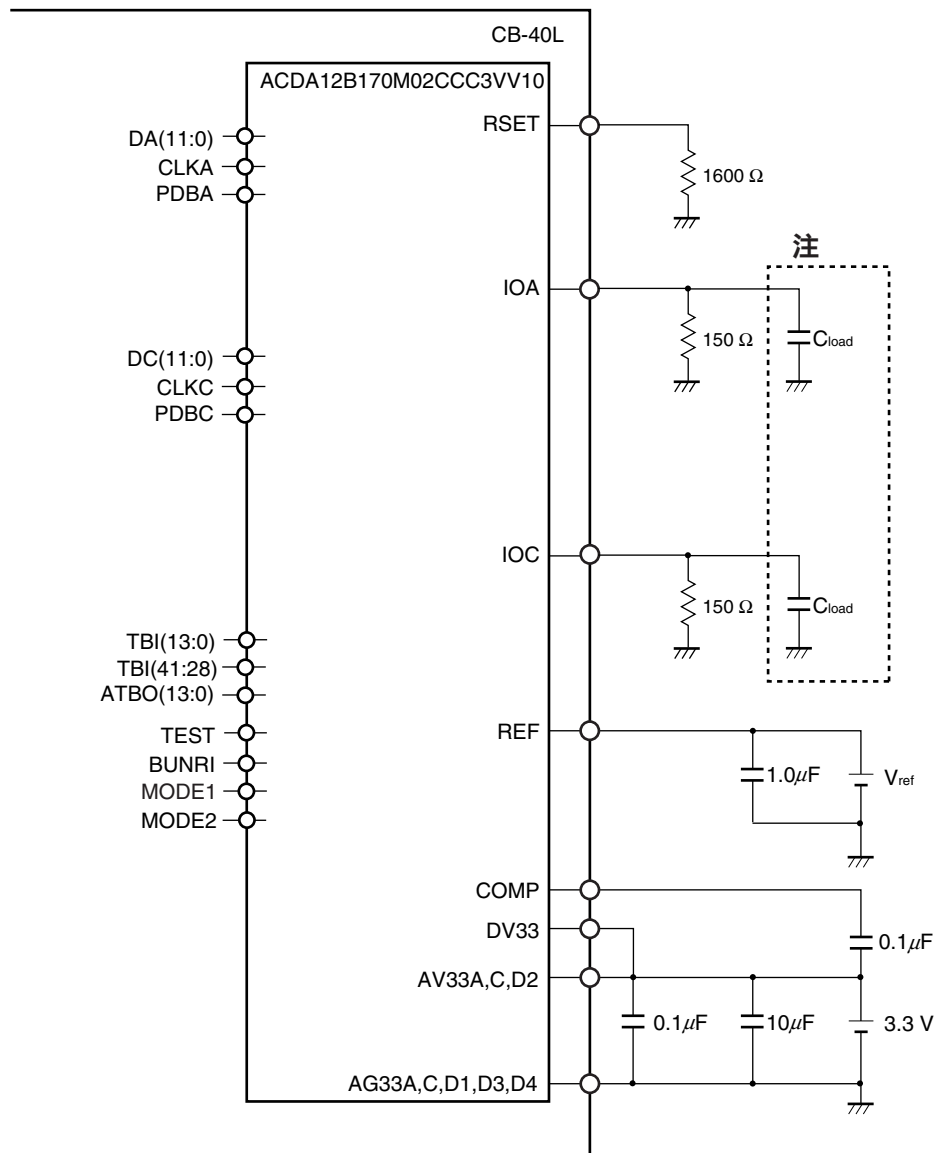
\*3. あるチャンネルを動作中に他のチャンネルをパワーダウン投入、または復帰させた場合、動作中チャンネルのアナログ出力に (数十~数百 ns) の間リングングが発生して値が不定になります。しかしパワーダウン時間またはパワーアップ復帰時間以降にはリングングが収まり Dx (11:0) の入力が期待通りに IOx に出力されます。

備考 x : チャンネル (A, C)

## 8. 外付け推奨回路

この推奨回路および回路定数は、例示的に示したものです。量産設計の際の参考にしてください。

図 8.1 外付け推奨回路



**注** 出力端子の寄生容量です。パッケージ容量は含まれません。  
外付け容量をアナログ出力端子に接続しないでください。

改訂記録	ACDA12B170M02CCC3VV10 データシート
------	------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.02.18	-	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

## CMOS デバイスの一般的注意事項

### (1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### (2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して VDD または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### (3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

### (4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### (5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### (6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>