

ACDA10B030M01CRS3VV10

R06DS0013JJ0100

Rev.1.00

CB-55L IP コア・ライブラリ

2011.05.16

概要

ACDA10B030M01CRS3VV10 は、セルベース IC CB-55L 向けの 10 ビット分解能 デジタル/アナログ・コンバータ (DAC : D/A コンバータ) です。変換方式には R-string 方式を採用しています。

セルベース IC 本体については、各シリーズのユーザーズマニュアルを参照してください。

D/A コンバータを搭載したセルベース IC の設計や、テスト・モードについての詳細は、DAC 搭載セルベース IC 設計マニュアル (A15698) を参照してください。

基本仕様

項目	説明
名称	CB-55L 10 bit 30 MHz DAC (ACDA10B030M01CRS3VV10)
変換方式	R-string 方式 (電圧出力タイプ)
電源電圧	$AV_{DD} = 3.0 \sim 3.6 \text{ V}$ (3.3 V (TYP.)) $V_{DD} = 1.1 \sim 1.3 \text{ V}$ (1.2 V (TYP.)) (内部ロジック)
内蔵機能	パワーダウン機能, テスト回路

注意 本コアを複数使用する場合、コア同士の動作クロックは必ず同期させてください。非同期での使用は禁止です。

特徴

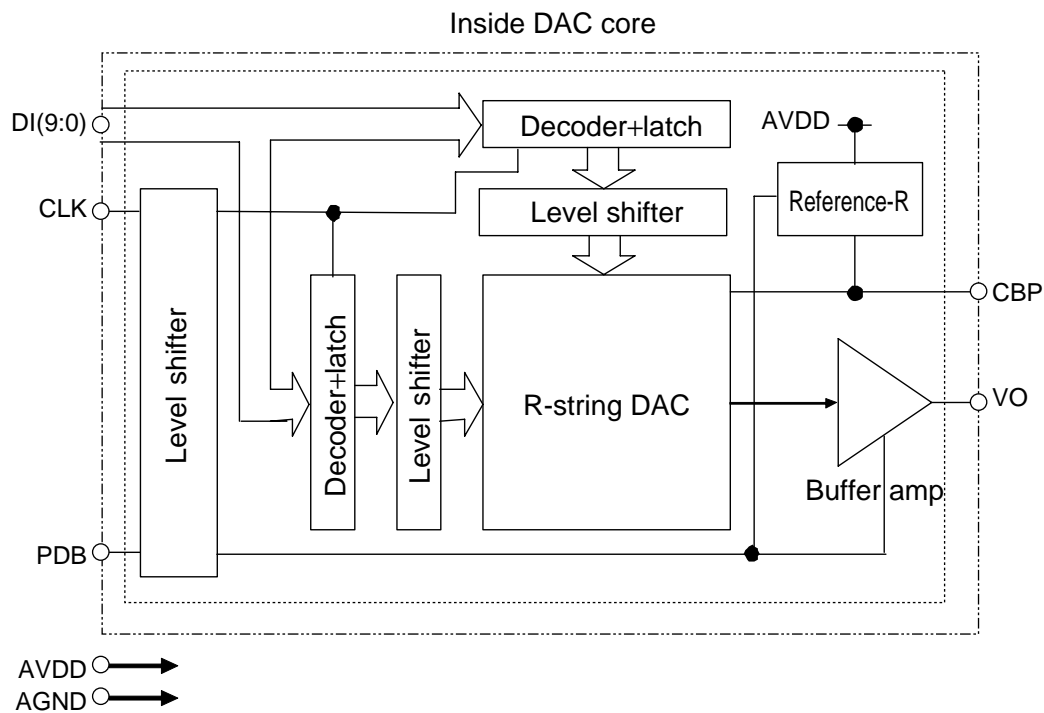
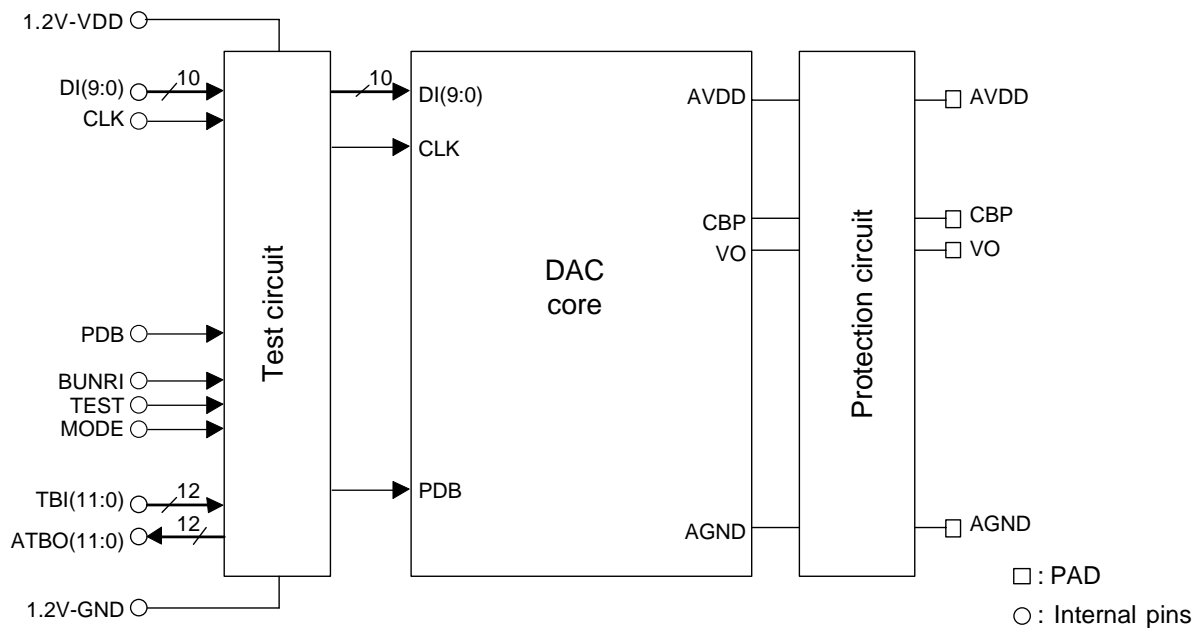
- 分解能 : 10 bits
- 微分非直線性 (DNL) : $\pm 0.5 \text{ LSB}$ (MAX.) *¹
- 積分非直線性 (INL) : $\pm 2.0 \text{ LSB}$ (MAX.) *¹
- アナログ出力電圧 : $1.30 V_{P-P}$ (TYP.) *²
- 立ち上がり時間 : 11.5 ns (TYP.) (参考特性) *³
- 対応セルライブラリ : MVT

- 【注】** *1. $AV_{DD} = 3.0 \sim 3.6 \text{ V}$
 *2. $AV_{DD} = 3.3 \text{ V}$
 *3. $AV_{DD} = 3.3 \text{ V}$, $C_{load} = 20 \text{ pF}$

目次

1. ブロック図	3
2. 端子機能	4
2.1 内部端子	4
2.2 外部端子	6
3. 動作モード	7
4. 変換特性	8
5. 電源投入／切断時の注意事項	9
5.1 電源投入時	9
5.2 電源切断時	11
6. 電気的特性 1 ($AV_{DD} = 3.0 \sim 3.6 V$)	13
6.1 絶対最大定格 (CB-55L に準拠)	13
6.2 推奨動作範囲	13
6.3 DC 特性 (1)	13
6.4 DC 特性 (2)	13
6.5 ダイナミック特性	14
6.6 ダイナミック特性 (参考特性)	14
6.7 タイミング特性 (設計保証値)	14
7. 電気的特性 2 ($AV_{DD} = 2.7 \sim 2.9 V$)	15
7.1 絶対最大定格 (CB-55L に準拠)	15
7.2 推奨動作範囲	15
7.3 DC 特性 (1)	15
7.4 DC 特性 (2)	15
7.5 ダイナミック特性	16
7.6 ダイナミック特性 (参考特性)	16
7.7 タイミング特性 (設計保証値)	16
8. タイミング・チャート	17
8.1 通常動作モード (PDB = 1)	17
8.2 パワーダウン・モード (PDB = 0 および PDB = 1→0→1)	18
9. 外付け推奨回路	19

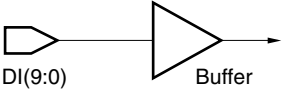
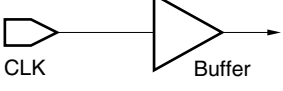
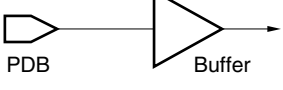
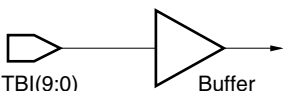
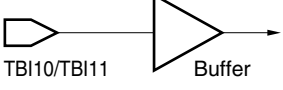
1. ブロック図



2. 端子機能

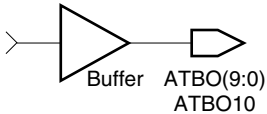
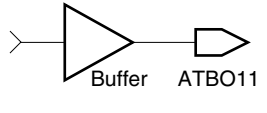

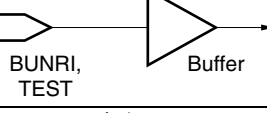
2.1 内部端子

(1/2)

端子名称	属性	等価回路	説明
DI(9:0)	DI		<ul style="list-style-type: none"> デジタル・データ入力 <ul style="list-style-type: none"> 10ビットのデジタル・データを入力します。 コード形式はバイナリです。 クロック信号の立ち上がりエッジで、デジタル・データをラッチし、同じタイミングでアナログ値を出力します。 DI0 : LSB (Least Significant Bit) DI9 : MSB (Most Significant Bit)
CLK	DI		<ul style="list-style-type: none"> サンプリング・クロック入力 <ul style="list-style-type: none"> この端子に入力されるクロック信号の立ち上がりエッジで、デジタル・データをラッチし、同じタイミングでアナログ出力に変換します。
PDB	DI		<ul style="list-style-type: none"> パワーダウン信号入力 <ul style="list-style-type: none"> D/Aコンバータの動作モードを切り替えます。 0: パワーダウン・モード, 1: 通常動作モード 動作モードの切り替えは、クロック (CLK) に同期しません。(8. タイミング・チャート参照)
TBI(9:0)	DI		<ul style="list-style-type: none"> D/Aコンバータ・テスト用データ入力 <ul style="list-style-type: none"> D/Aコンバータの単体テスト用のデジタル・データを入力します。 コード形式などは、通常のデジタル・データ入力端子DI(9:0)と同様です。 TBI0 = DI0 (= LSB), TBI9 = DI9 (= MSB) 他のコアのTBx端子と組み合わせてテスト・バス化できます。
TBI10	DI		<ul style="list-style-type: none"> D/Aコンバータ・テスト用クロック入力 <ul style="list-style-type: none"> D/Aコンバータの単体テスト用のクロックを入力します。 他のコアのTBx端子と組み合わせてテスト・バス化できます。
TBI11	DI		<ul style="list-style-type: none"> D/Aコンバータ・テスト用パワーダウン信号入力 <ul style="list-style-type: none"> D/Aコンバータの単体テスト用のパワーダウン用入力端子(PDB端子)です。 TBI11 = 1が通常動作モード, TBI11 = 0がパワーダウン・モードです。 クロックには非同期で動作します。 他のコアのTBx端子と組み合わせてテスト・バス化できます。

備考 DI: デジタル入力, DO: デジタル出力

(2/2)

端子名称	属性	等価回路	説明
ATBO(9:0)	DO		<ul style="list-style-type: none"> デジタル・ブロック・テスト用データ出力 <ul style="list-style-type: none"> — ユーザ・ロジックから D/A コンバータに入力するデジタル入力信号 (DI(9:0)) を検証するために使用します。ATBO0 = DI0 (= LSB), ATBO9 = DI9 (= MSB) — トータル・ロジック回路テスト・モード時には、常に I/O バッファと直接接続されるようにしてください。
ATBO10	DO		<ul style="list-style-type: none"> デジタル・ブロック・テスト用クロック出力 <ul style="list-style-type: none"> — ユーザ・ロジックから D/A コンバータに入力するクロック入力信号 (CLK) を検証するために使用します。 — トータル・ロジック回路テスト・モード時には、常に I/O バッファと直接接続されるようにしてください。
ATBO11	DO		<ul style="list-style-type: none"> デジタル・ブロック・テスト用パワーダウン信号出力 <ul style="list-style-type: none"> — ユーザ・ロジックから D/A コンバータに入力するパワーダウン信号 (PDB) を検証するために使用します。 — トータル・ロジック回路テスト・モード時には、常に I/O バッファと直接接続されるようにしてください。
MODE	DI		<ul style="list-style-type: none"> テスト・モード切り替え <ul style="list-style-type: none"> — D/A コンバータのテスト・モードや、D/A コンバータに接続するユーザ・ロジック回路のテスト・モードを切り替えます。
BUNRI TEST	DI		<ul style="list-style-type: none"> テスト・モード切り替え <ul style="list-style-type: none"> — 実使用モードと、D/A コンバータのテスト・モードを切り替えます。

備考 DI : デジタル入力, DO : デジタル出力

2.2 外部端子

端子名称	属性	等価回路	説明
AVDD AGND	—		<ul style="list-style-type: none"> ● D/A コンバータのアナログ部用電源および GND <ul style="list-style-type: none"> — D/A コンバータのアナログ部で使用する電源、GND はいずれもセルベース IC で用いる標準電源、GND と分離してください。 — これらの電源系はプリント基板上でも分離して、アナログ GND エリアは可能なかぎり広く取り、安定するように設計してください。 — アナログ用電源、標準電源とそれぞれの GND との間にはバイパス・コンデンサ (0.1μF と 0.01μF を推奨) を挿入してください。このときバイパス・コンデンサはできるだけ D/A コンバータ端子の近くに接続してください(9. 外付け推奨回路参照)。 — 電源の投入時は VDD から先に立ち上げ、後から AVDD を立ち上げるようにしてください。電源の切断時は投入と逆の順に切断してください(5. 電源投入/切断時の注意事項参照)。
CBP	AO		<ul style="list-style-type: none"> ● バイパス容量端子 <ul style="list-style-type: none"> — R-String 部のノイズ成分を除去するための端子です。 — 基板の AGND プレーンとの間に約 0.1 μF のコンデンサを接続してください。
VO	AO		<ul style="list-style-type: none"> ● アナログ信号出力 <ul style="list-style-type: none"> — 電圧出力のアナログ信号出力端子です。 — 出力負荷の条件は次のとおりです。 抵抗： 10 kΩ以上, 容量： 20 pF 以下 (容量は可能なかぎり小さく (10 pF 以下) してください)

備考 AO : アナログ出力, □ : 本コアの端子, ○ : CB-55L の端子

3. 動作モード

本コアには、次に示す3つの動作モードがあります。動作モードは、PDBを制御することにより切り替えます。

(1) 通常動作モード

DI(9:0)に入力するデジタル信号を変換し、アナログ信号として出力します。CLKに同期してアナログ値が出力されます。

(2) データ保持モード

DI(9:0)に入力するデジタル信号の変化に関係なく、データ保持モードに移行する直前の変換結果を保持します。

(3) パワーダウン・モード

アナログ・ブロックの回路動作を停止します。CLKには同期していません。

各モードへは、次のように設定してください。

表 3.1 動作モードの設定

端子設定 動作モード	テスト・モード 選択			テスト 端子		デジタル 入力	クロック 入力	パワー ダウン信号	アナログ出力
	BUNRI	TEST	MODE	TBI (11:0)	ATBO (11:0)	DI(9:0)	CLK	PDB	VO
通常動作モード	0	-	0	-	0	All"0"	0→1	1	ゼロスケール出力 (V _{ZS})
(*1)						(*1)			
All"1"						フルスケール出力 (V _{FS})			
データ保持モード						-	1→0		データ保持
パワーダウン・モード							-	0	不定

【注】 *1. デジタル入力コードに対応した電圧が、CLKに同期してアナログ出力端子に出力されます。4. 変換特性を参照してください。

備考 ー: 入力データは無視されます。ただし、必ず0か1を入力してください。

4. 変換特性

本コアは、DI(9:0)に入力したデジタル信号をバイナリ・コード化し、アナログ電圧に変換して VO から出力します。デジタル入力コードとアナログ出力電圧の対応表は次のとおりです。

また、PDB を制御することにより、動作をパワーダウン・モードに切り替え消費電流を抑えることが可能です。

デジタル入力コード										クロック	パワー ダウン	アナログ 出力電圧
DI9 (MSB)	DI8	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0 (LSB)	CLK	PDB	VO
0	0	0	0	0	0	0	0	0	0	0 1	1	V_{ZS}
0	0	0	0	0	0	0	0	0	1	:	1	$V_{ZS} + 1/1023 \times V_{OPP}$
:										:	1	:
1	1	1	1	1	1	1	1	0	1	:	1	$V_{ZS} + 1021/1023 \times V_{OPP}$
1	1	1	1	1	1	1	1	1	0	:	1	$V_{ZS} + 1022/1023 \times V_{OPP}$
1	1	1	1	1	1	1	1	1	1	:	1	V_{FS}
--	--	--	--	--	--	--	--	--	--	1→0	1	データ保持
--	--	--	--	--	--	--	--	--	--	--	0	不定

備考 V_{OPP} : 出力電圧振幅 ($V_{OPP} = V_{FS} - V_{ZS}$)

V_{FS} : フルスケール出力電圧

V_{ZS} : ゼロスケール出力電圧

-- : 入力したデータは無視されますが、“0”もしくは“1”を入力し、オープンにはしないでください。

5. 電源投入／切断時の注意事項

5.1 電源投入時

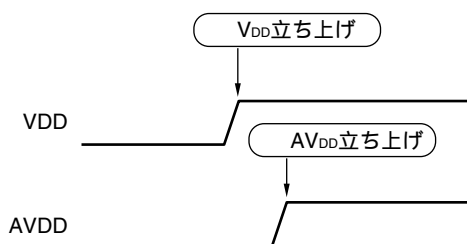
電源投入時には、次の3点に注意してください。

(1) VDD, AVDD の投入タイミング

本コアを搭載したセルベース IC 製品では、内部ロジック領域で使用している VDD (= 1.2 V) → D/A コンバータで使用している AVDD (= 3.3 V) の順序で立ち上げてください。

AVDD を先に立ち上げると、VDD が立ち上がるまでに内部動作が不安定になり、大きな貫通電流が流れる可能性があります。

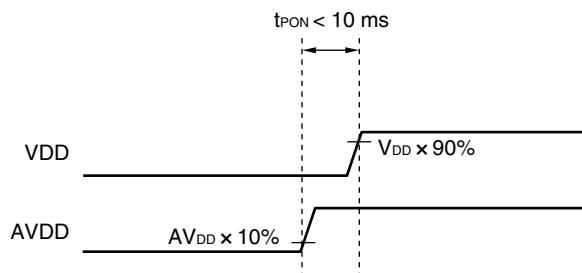
図 5.1 電源投入時のタイミング



アプリケーションの都合により VDD (1.2 V) → AVDD (3.3 V) の順序が逆になる場合は、図 5.2 に示すタイミングに従うようにしてください。

図 5.2 に示すタイミングに従って電源を投入すれば、大きな貫通電流は流れません。

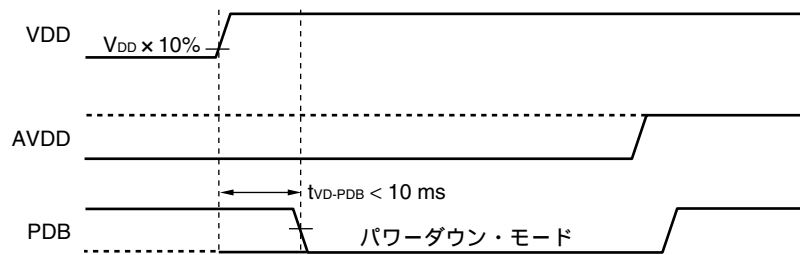
図 5.2 電源投入時のタイミング (AVDD → VDD (1.2 V) の順の場合)



(2) VDD 投入時に AVDD を投入しない場合の設定

VDD 投入時に図 5.3 に示すタイミングでパワーダウン・モード (PDB = 0) に設定してください。

図 5.3 電源投入時のタイミング (VDD 投入時に AVDD を投入しない場合)



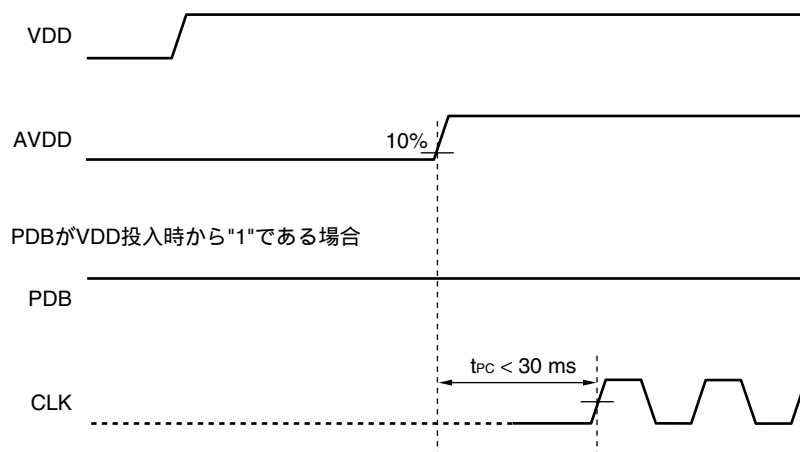
(3) PDB = 1 のまま VDD を投入した場合の注意点

図 5.4 に示すタイミングに従って AVDD 投入後に CLK を入力してください。

PDB = 1 のまま VDD を投入すると、CLK が入力されるまでの期間では内部動作が不安定になり、大きな貫通電流が流れる可能性があります。

図 5.4 に示すタイミングに従って CLK が入力されれば、大きな貫通電流は流れません。

図 5.4 PDB = 1 のまま VDD を投入した場合の注意点



5.2 電源切断時

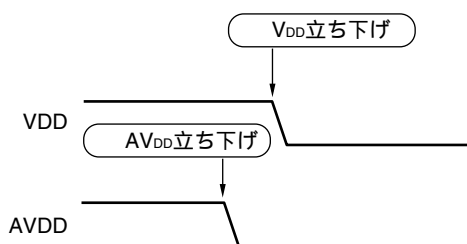
電源切断時は、次の2点に注意してください。

(1) VDD, AVDD の切断順序

本コアを搭載したセルベース IC 製品では、D/A コンバータで使用している AVDD → 内部ロジック領域で使用している VDD の順序で立ち下げてください。

VDD を先に立ち下げると、AVDD が立ち下がるまでに内部動作が不安定になり、大きな貫通電流が流れる可能性があります。

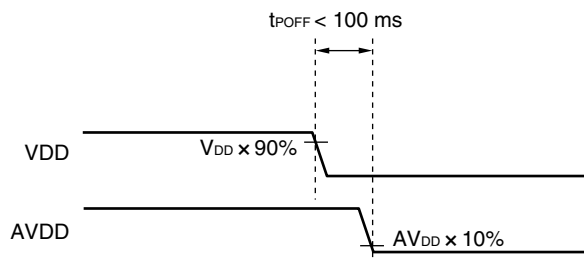
図 5.5 電源切断時のタイミング



アプリケーションの都合により AVDD → VDD の順序が逆になる場合は、図 5.6 に示すタイミングに従うようにしてください。

図 5.6 に示すタイミングに従って電源を切断すれば、大きな貫通電流は流れません。

図 5.6 電源切断時のタイミング (VDD → AVDD の順の場合)

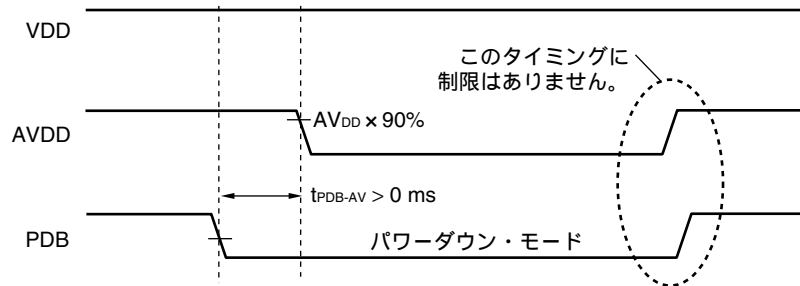


(2) パワーダウン・モード中の AVDD 切断順序

本コアの AVDD は、パワーダウン・モード (PDB = 0) のときに切断できます。パワーダウン・モードの設定 → AVDD の切断は、図 5.7 で示すタイミングに従ってください。

後から AVDD を投入するときの PDB および AVDD の設定タイミングに制限はありません。

図 5.7 パワーダウン・モード中の AVDD 切断タイミング



6. 電気的特性 1 (AV_{DD} = 3.0~3.6 V)

6.1 絶対最大定格 (CB-55L に準拠)

項目	略号	条件	定格	単位
アナログ電源電圧	AV _{DD}		-0.5~+4.6	V
デジタル電源電圧	V _{DD}	チップの内部電源	-0.5~+1.6	V
アナログ出力電圧	V _O	V _{DA} < AV _{DD} + 0.5 V	-0.5~+4.6	V
ジャンクション温度	T _j		-40~+125	°C
保存温度	T _{stg}		-65~+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

6.2 推奨動作範囲

(T_j = -40~+125°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV _{DD}	アナログ電源電圧	3.0	3.3	3.6	V
	V _{DD}	デジタル電源電圧 (内部ロジック)	1.1	1.2	1.3	V
出力負荷抵抗	R _{load}		10			kΩ

6.3 DC 特性 (1)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 3.0~3.6 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES			10		bits
消費電流	I _{DD}	f _{CLK} = 30 MHz, C _{load} ≤ 20 pF		3.5	7.0	mA
パワーダウン電流	I _{DDPD}	PDB = 0, 入力信号 : 停止		2	10	μA
精度						
微分非直線性	DNL				± 0.5	LSB
積分非直線性	INL				± 2.0	LSB
単調性			保証			
コード形式			ストレート・バイナリ・コード			
アナログ出力						
フルスケール電圧	V _{FS}		1.85	2.15	2.45	V
ゼロスケール電圧	V _{ZS}		0.65	0.85	1.00	V
出力電圧振幅	V _{OPP}		1.10	1.30	1.50	V
LSB サイズ	LSB		1.08	1.27	1.47	mV
出カインピーダンス	R _{OUT}			65		Ω

6.4 DC 特性 (2)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 3.3 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I _{AVDD}	f _{CLK} = 30 MHz		3.5	6.0	mA
アナログ出力						
フルスケール電圧	V _{FS}		2.00	2.15	2.30	V
ゼロスケール電圧	V _{ZS}		0.70	0.85	0.95	V
出力電圧振幅	V _{OPP}		1.25	1.30	1.35	V
LSB サイズ	LSB		1.22	1.27	1.32	mV

6.5 ダイナミック特性

(V_{DD} = 1.1~1.3 V, AV_{DD} = 3.0~3.6 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
変換周波数	f _{CLK}				30	MHz
アナログ出力遅延時間	t _D				10	ns
アナログ出力立ち上がり時間	t _r	*1		11.5		ns
アナログ出力立ち下がり時間	t _f	*1		11.5		ns
微分利得	DG	f _{CLK} = 4fsc, 8fsc (14.32 MHz, 28.64 MHz), NTSC 40IRE mod ramp			2.5	%
微分位相	DP				1.5	deg.

【注】 *1. 出力負荷容量 C_{load} の値に依存し、C_{load} が大きいほど t_r, t_f は大きくなります。また、パッケージ、ステップサイズ、DAC の配置配線によって変化しますので、本特性は参考特性です。

6.6 ダイナミック特性 (参考特性)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 3.0~3.6 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
セトリング時間	t _{SET}	T _j = 25°C, *2		35		ns

【注】 *2. 出力負荷容量 C_{load} の値に依存し、C_{load} が大きいほど t_{SET} は大きくなります。

6.7 タイミング特性 (設計保証値)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 3.0~3.6 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ・セットアップ時間	t _S		3			ns
データ・ホールド時間	t _H		5			ns
サンプリング・クロック・ロウ・レベル・パルス幅	t _{PWL}		10			ns
サンプリング・クロック・ハイ・レベル・パルス幅	t _{PWH}		10			ns
パワーダウン時間	t _{podown}				10	ms
パワーアップ復帰時間	t _{poup}			2		ms
VDD-AVDD 印加時間	t _{PON}		-10			ms
VDD-AVDD 切断時間	t _{POFF}				100	ms
VDD-PDB セット時間	t _{VD-PDB}				10	ms
PDB-AVDD セット時間	t _{PDB-AV}		0			ms
VDD-CLK セット時間	t _{PC}				30	ms

7. 電気的特性 2 (AV_{DD} = 2.7~2.9 V)

7.1 絶対最大定格 (CB-55L に準拠)

項目	略号	条件	定格	単位
アナログ電源電圧	AV _{DD}		-0.5~+4.6	V
デジタル電源電圧	V _{DD}	チップの内部電源	-0.5~+1.6	V
アナログ出力電圧	V _O	V _{DA} < AV _{DD} + 0.5 V	-0.5~+4.6	V
ジャンクション温度	T _j		-40~+125	°C
保存温度	T _{stg}		-65~+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

7.2 推奨動作範囲

(T_j = -40~+125°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV _{DD}	アナログ電源電圧	2.7	2.8	2.9	V
	V _{DD}	デジタル電源電圧 (内部ロジック)	1.1	1.2	1.3	V
出力負荷抵抗	R _{load}		10			kΩ

7.3 DC 特性 (1)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 2.7~2.9 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES			10		bits
消費電流	I _{DD}	f _{CLK} = 30 MHz, C _{load} ≤ 20 pF		2.8	6.0	mA
パワーダウン電流	I _{DDPD}	PDB = 0, 入力信号: 停止		2	10	μA
精度						
微分非直線性	DNL				± 0.5	LSB
積分非直線性	INL				± 2.5	LSB
単調性			保証			
コード形式			ストレート・バイナリ・コード			
アナログ出力						
フルスケール電圧	V _{FS}		1.70	1.90	2.10	V
ゼロスケール電圧	V _{ZS}		0.60	0.80	0.95	V
出力電圧振幅	V _{OPP}		1.00	1.10	1.20	V
LSB サイズ	LSB		0.98	1.08	1.17	mV
出カインピーダンス	R _{OUT}			70		Ω

7.4 DC 特性 (2)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 2.8 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
消費電流	I _{AVDD}	f _{CLK} = 30 MHz		2.8	4.5	mA
アナログ出力						
フルスケール電圧	V _{FS}		1.75	1.90	2.05	V
ゼロスケール電圧	V _{ZS}		0.65	0.80	0.90	V
出力電圧振幅	V _{OPP}		1.05	1.10	1.15	V
LSB サイズ	LSB		1.03	1.08	1.12	mV

7.5 ダイナミック特性

(V_{DD} = 1.1~1.3 V, AV_{DD} = 2.7~2.9 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
変換周波数	f _{CLK}				30	MHz
アナログ出力遅延時間	t _D				10	ns
アナログ出力立ち上がり時間	t _r	*1		11.5		ns
アナログ出力立ち下がり時間	t _f	*1		11.5		ns
微分利得	DG	f _{CLK} = 4fsc, 8fsc (14.32 MHz, 28.64 MHz), NTSC 40IRE mod ramp			2.5	%
微分位相	DP				1.5	deg.

【注】 *1. 出力負荷容量 C_{load} の値に依存し、C_{load} が大きいほど t_r, t_f は大きくなります。また、パッケージ、ステップサイズ、DAC の配置配線によって変化しますので、本特性は参考特性です。

7.6 ダイナミック特性 (参考特性)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 2.7~2.9 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
セトリング時間	t _{SET}	T _j = 25°C, *2		35		ns

【注】 *2. 出力負荷容量 C_{load} の値に依存し、C_{load} が大きいほど t_{SET} は大きくなります。

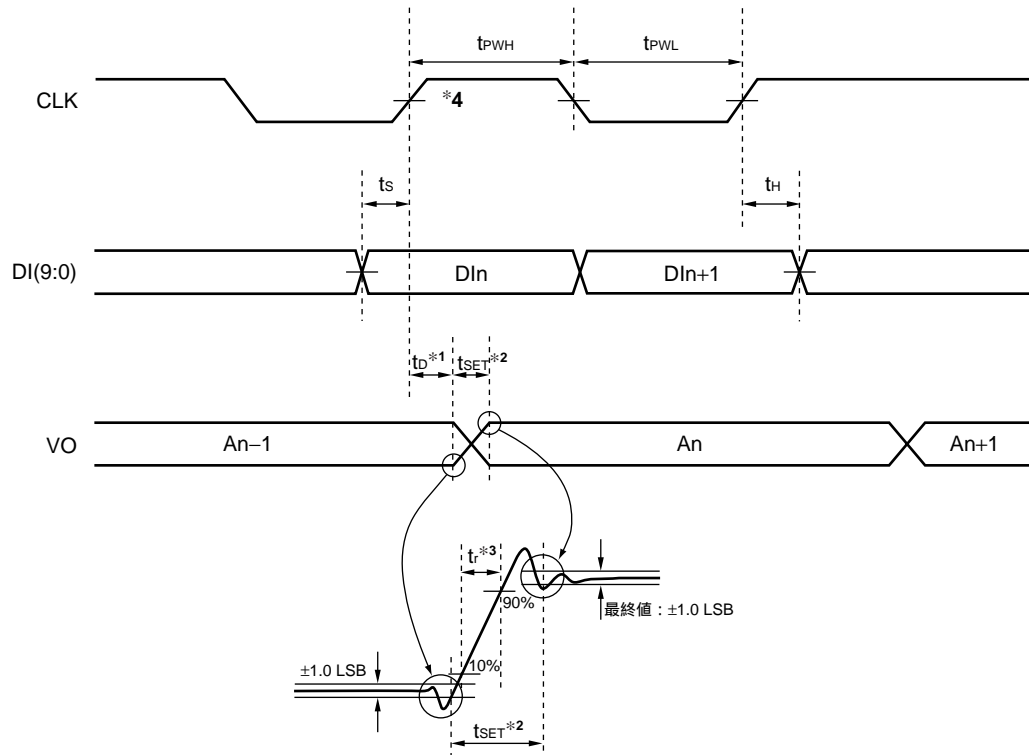
7.7 タイミング特性 (設計保証値)

(V_{DD} = 1.1~1.3 V, AV_{DD} = 2.7~2.9 V, T_j = -40~+125°C, R_{load} ≥ 10 kΩ, C_{load} ≤ 20 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ・セットアップ時間	t _S		3			ns
データ・ホールド時間	t _H		5			ns
サンプリング・クロック・ロウ・レベル・パルス幅	t _{PWL}		10			ns
サンプリング・クロック・ハイ・レベル・パルス幅	t _{PWH}		10			ns
パワーダウン時間	t _{podown}				10	ms
パワーアップ復帰時間	t _{poup}			2		ms
VDD-AVDD 印加時間	t _{PON}		-10			ms
VDD-AVDD 切断時間	t _{POFF}				100	ms
VDD-PDB セット時間	t _{VD-PDB}				10	ms
PDB-AVDD セット時間	t _{PDB-AV}		0			ms
VDD-CLK セット時間	t _{PC}				30	ms

8. タイミング・チャート

8.1 通常動作モード (PDB = 1)

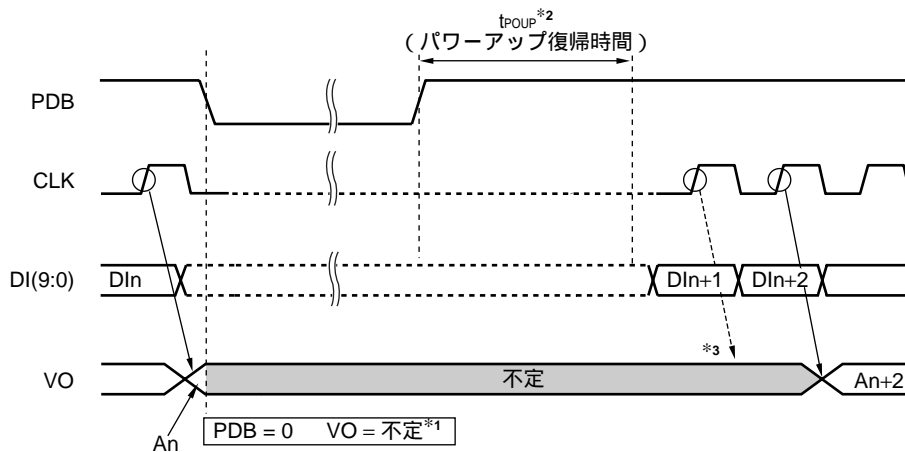


- 【注】 *1. t_d は、クロックの立ち上がり 50% 振幅の時間からアナログ出力が 1 LSB 変化するまでの遅延時間です。
- *2. t_{SET} は、アナログ出力の 1 LSB 変化するまでの時間から、アナログ出力の最終値の ± 1 LSB に収束するまでの時間です。
- *3. t_r (t_f) は、アナログ出力の立ち上がり (立ち下がり) 波形における、10% 振幅から 90% 振幅になるまでの時間です。
- *4. デジタル・データ (10 ビット) は、クロックの立ち上がりエッジで DAC 内に取り込まれます。

8.2 パワーダウン・モード (PDB = 0 および PDB = 1→0→1)

パワーダウン投入時, または復帰時の動作について以下に示します。

なお, あるチャンネルをパワーダウン投入, または復帰させた場合, パワーダウン時間またはパワーアップ復帰時間内では, 動作中の他チャンネルのアナログ出力も不定となりますので注意してください。

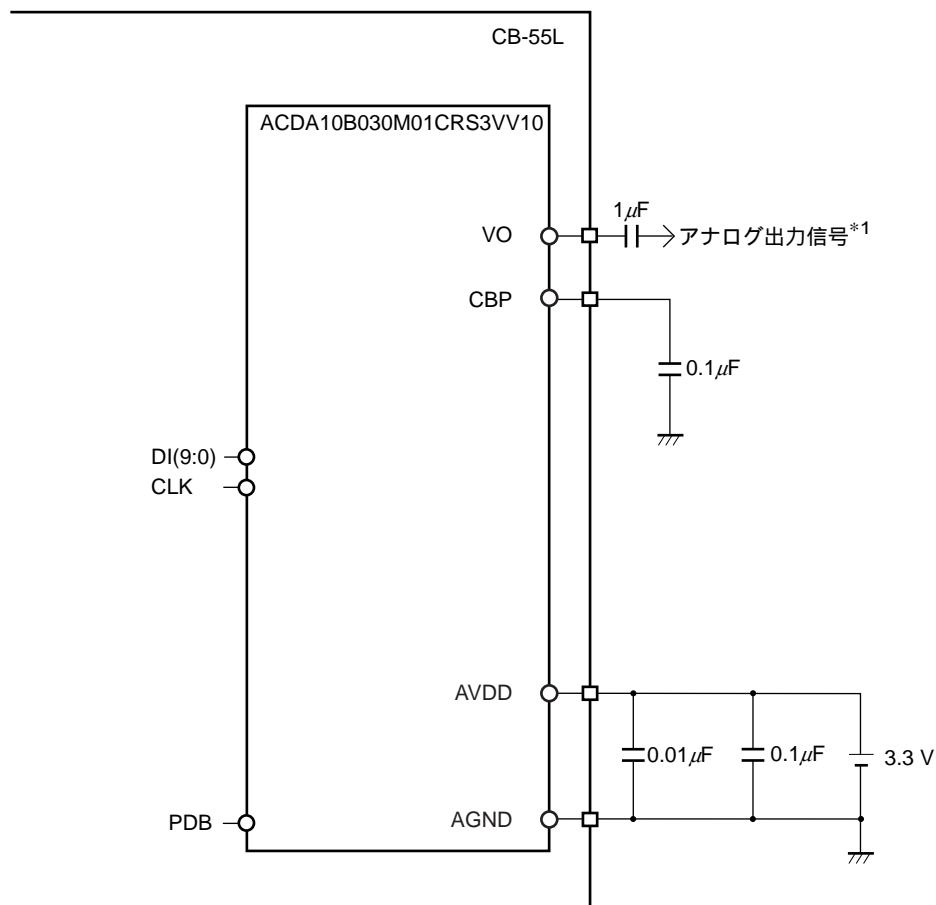


- 【注】 *1. パワーダウン期間中 (PDB = 0) は, VO は不定です。
 *2. t_{POUP} 以降のクロックにて DI(9:0) の入力期待通り出力されます。また, パワーアップ時間は「外付け回路」の構成によります。「9. 外付け推奨回路」の場合, 約 2 msec (Typ.) となります。
 *3. パワーアップ後の最初のクロックは無視されます。

9. 外付け推奨回路

この推奨回路および回路定数は、例示的に示したものです。量産設計の際の参考にしてください。

図 9.1 外付け推奨回路



【注】 *1. 本 D/A コンバータの出力は、Pch ソースフォロアで構成されています。出力部の電流能力が小さいため、容量結合させて次段に入力インピーダンスが 10 kΩ以上の素子を使用してください。より大きな電流能力を必要とする場合は、次段にバッファを接続してください。

改訂記録	ACDA10B030M01CRS3VV10 データシート
------	------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.05.16	-	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して VDD または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>