

ACAD10B001M08CCR3VSV10

R06DS0014JJ0100

Rev.1.00

2011.11.04

CB-40L/LD/LR/LRD IP コア・ライブラリ

概要

ACAD10B001M08CCR3VSV10 は、セルベース IC CB-40L/LD/LR/LRD 向け中低速用の 10 ビット逐次比較方式アナログ/デジタル・コンバータ (ADC) です。内蔵の 8 チャンネル・マルチプレクサによって入力を切り替えることができます。

セルベース IC 本体については、各シリーズのユーザーズマニュアルを参照してください。

A/D コンバータを搭載したセルベース IC の設計や、テスト・モードについての詳細は、ADC 搭載セルベース IC 設計マニュアル編 (A16347) を参照してください。

基本仕様

項目	説明
名称	CB-40L/LD/LR/LRD 10bit 1 MHz ADC (ACAD10B001M08CCR3VSV10)
変換方式	逐次比較方式
電源電圧	$AV_{DD} = 3.0 \sim 3.6 \text{ V}$ (3.3 V (TYP.)) $V_{DD} = 1.0 \sim 1.2 \text{ V}$ (1.1 V (TYP.)) (内部ロジック)
内蔵機能	パワーダウン機能, テスト回路

注意 本コアを複数使用する場合、コア同士の動作クロックは必ず同期させてください。非同期での使用は禁止です。

特徴

- 分解能 : 10 bits
- 変換レート (f_S) : 1 Msps (MAX.) *1
- 微分非直線性 (DNL) : $\pm 1.0 \text{ LSB}$ (MAX.) *1, *2
- 積分非直線性 (INL) : $\pm 1.5 \text{ LSB}$ (MAX.) *1, *2
- 入力電圧範囲 (V_{AIN}) : $0.0 \text{ V} \sim AV_{DD}$
- 対応ライブラリ : MVT (7grid プリミティブ使用)
- アナログ入力数 : 8ch マルチプレクサ

【注】 *1. $f_{CLK} = 16 \text{ MHz}$, $V_{AIN} = 0.0 \text{ V} \sim AV_{DD}$

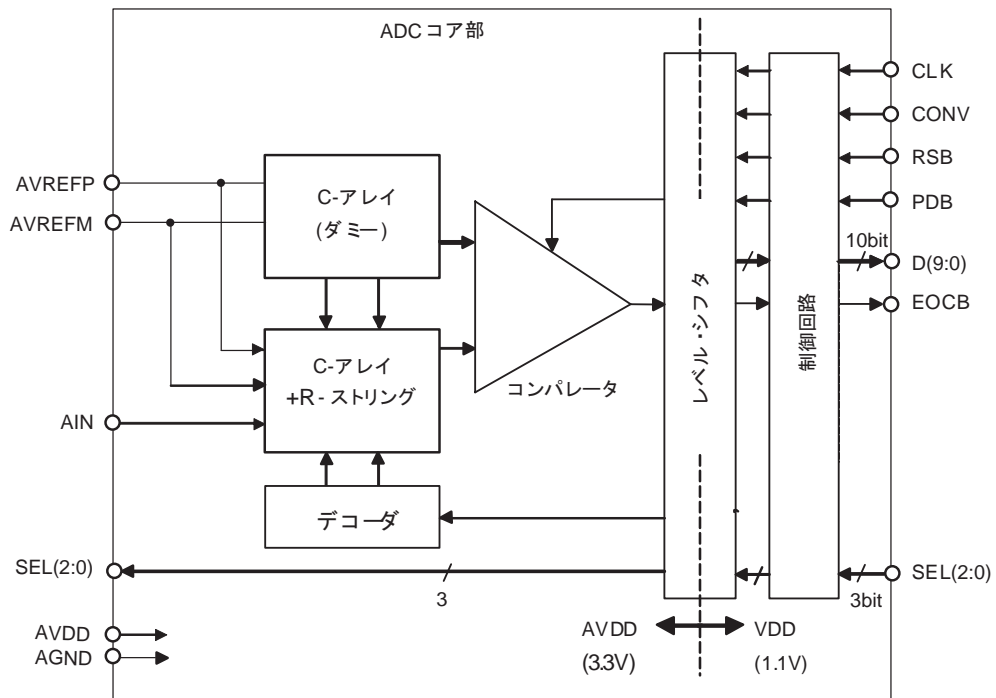
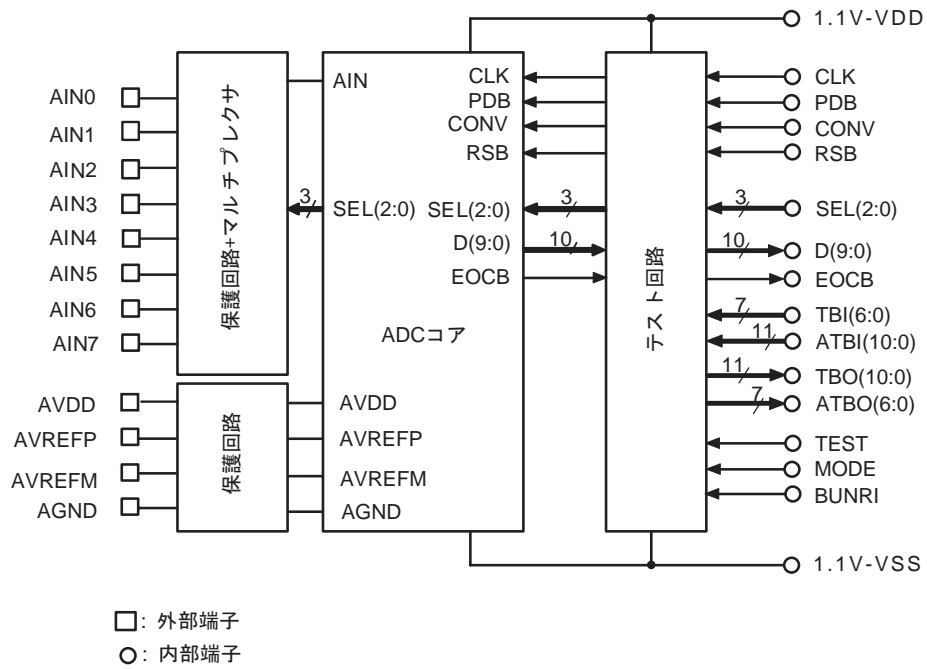
*2. $V_{AIN} = 0.0 \text{ V} \sim AV_{DD}$

備考 DNL : Differential Nonlinearity, INL : Integral Nonlinearity

目 次

1. ブロック図 … 3
2. 端子機能 … 4
 - 2.1 内部端子 … 4
 - 2.2 外部端子 … 6
3. 動作モード … 8
4. 変換特性 … 8
5. 電源投入／切断時の注意事項 … 9
 - 5.1 電源投入時 … 9
 - 5.2 電源切断時 … 9
 - 5.3 パワーダウン中の AVDD について … 10
 - 5.4 VDD 投入後のパワーダウン (PDB = 0) , およびリセット (RSB = 0) について … 10
6. 電気的特性 … 11
 - 6.1 絶対最大定格 (CB-40L/LD/LR/LRD に準拠) … 11
 - 6.2 推奨動作範囲 ($T_j = -40 \sim +125^{\circ}\text{C}$) … 11
 - 6.3 DC 特性 … 12
 - 6.4 タイミング特性 … 13
 - 6.5 タイミング特性 (参考値) … 13
 - 6.6 入力部の等価回路と外付け回路によるサンプリング誤差に関する補足 … 14
7. タイミング・チャート … 16
 - 7.1 A/D 変換動作時 … 16
 - 7.2 A/D 変換中の再変換 … 17
 - 7.3 パワーダウン動作時 … 18
 - 7.4 変換動作中におけるパワーダウン動作時 … 18
 - 7.5 リセット動作時 … 18
 - 7.6 変換動作中におけるリセット動作時 … 19
8. シミュレーション・モデル … 20
9. 外付け推奨回路 … 21

1. ブロック図



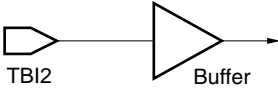
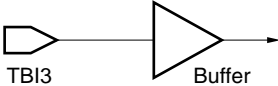
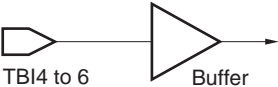
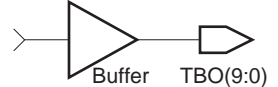
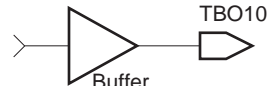
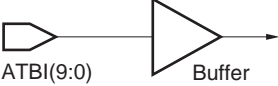

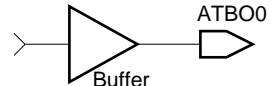
2. 端子機能

2.1 内部端子

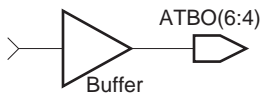
(1/3)

端子名称	属性	等価回路	説明
CLK	DI		<ul style="list-style-type: none"> ● クロック入力端子 <ul style="list-style-type: none"> — 入力クロック信号の15クロックで1変換が終了します。 — 最高クロック周波数は16 MHzです。
PDB	DI		<ul style="list-style-type: none"> ● パワーダウン信号入力端子 <ul style="list-style-type: none"> — A/Dコンバータを動作させるか否かを設定します。 — PDB = "1"が動作モード, PDB = "0"がパワーダウン・モードです。 — クロックには非同期で動作します。 — パワーダウン時には直前の変換のデジタル・データを保持します。
CONV	DI		<ul style="list-style-type: none"> ● A/D変換開始信号入力端子 <ul style="list-style-type: none"> — クロックの立ち上がりエッジで、この端子を"0"とし、以降のクロックの立ち上がりエッジで"1"とすることにより、A/D変換を開始します。
RSB	DI		<ul style="list-style-type: none"> ● リセット信号入力端子 <ul style="list-style-type: none"> — RSB = "0"のときに、A/Dコンバータの変換を中止させ、出力をリセット (D0~D9を"0") します。 — リセット解除後 (RSB = "1"), A/D変換が再開されるまで、リセットの状態を保持します。 — CLKに対して非同期で動作します。
SEL(2:0)	DI		<ul style="list-style-type: none"> ● マルチプレクサ選択信号入力端子 <ul style="list-style-type: none"> — マルチプレクサを選択します。 — 入力によって8チャンネルのアナログ入力を切り替えます。 — CONV信号よりもt_{AIN}時間前に設定を行い、アナログ入力を安定させてください。(7. タイミング・チャート参照) — CLKに対して非同期で動作します。
D(9:0)	DO		<ul style="list-style-type: none"> ● A/D変換データ出力端子 <ul style="list-style-type: none"> — 10ビットのデジタル・データ出力端子で、コード形式はバイナリです。 — D0がLSB(最下位ビット), D9がMSB(最上位ビット)です。
EOCB	DO		<ul style="list-style-type: none"> ● A/D変換終了信号出力端子 <ul style="list-style-type: none"> — CONV端子によりA/D変換開始信号が入力され、10ビットの変換が終了すると"0"が出力されます。(7. タイミング・チャート参照)
TBI0	DI		<ul style="list-style-type: none"> ● A/Dコンバータ・テスト用クロック入力端子 <ul style="list-style-type: none"> — A/Dコンバータ単体テストを行うためのクロック信号入力端子です。 — 他のコアのTBx端子と組み合わせてテスト・バス化できます。
TBI1	DI		<ul style="list-style-type: none"> ● A/Dコンバータ・テスト用パワーダウン信号入力端子 <ul style="list-style-type: none"> — A/Dコンバータ単体テストを行うためのパワーダウン信号入力端子です。 — 他のコアのTBx端子と組み合わせてテスト・バス化できます。 — TBI1 = "1"が動作モード, TBI1 = "0"がパワーダウン・モードで、クロック (TBI0) には非同期に動作します。 — パワーダウン時には直前のデータを保持します。

(2/3)

端子名称	属性	等価回路	説明
TBI2	DI		<ul style="list-style-type: none"> ● A/D コンバータ・テスト用 A/D 変換開始信号入力端子 <ul style="list-style-type: none"> — A/D コンバータ単体テストを行うための A/D 変換開始信号 (CONV) 入力端子です。 — 他のコアの TBx 端子と組み合わせてテスト・バス化できます。
TBI3	DI		<ul style="list-style-type: none"> ● A/D コンバータ・テスト用リセット信号入力端子 <ul style="list-style-type: none"> — A/D コンバータ単体テストを行うためのリセット信号入力端子です。 — 他のコアの TBx 端子と組み合わせてテスト・バス化できます。 — TBI3 = "0" のときに、テスト・コアの変換を中止させ、出力をリセット (TBO0~9 を 0) します。 — リセット解除後 (TBI3 = "1")、テスト・コアの変換が再開されるまでリセットの状態を保持します。
TBI(6:4)	DI		<ul style="list-style-type: none"> ● A/D コンバータ・テスト用マルチプレクサ選択入力端子 <ul style="list-style-type: none"> — A/D コンバータ単体テストを行うためのマルチプレクサ選択信号入力端子です。 — TBI4 = SEL0, TBI5 = SEL1, TBI6 = SEL2 に対応します。 — 他のコアの TBx 端子と組み合わせてテスト・バス化できます。
TBO(9:0)	DO		<ul style="list-style-type: none"> ● A/D コンバータ・テスト用データ出力端子 <ul style="list-style-type: none"> — A/D コンバータ単体テストを行うためのデジタル・データ出力端子です。 — コード形式等は、通常のデジタル・データ出力端子 (D(9:0)端子) と同様です。 — TBO0→D0 = LSB, TBO9→D9 = MSB に対応します。 — 他のコアの TBx 端子と組み合わせてテスト・バス化できます。
TBO10	DO		<ul style="list-style-type: none"> ● A/D コンバータ・テスト用 A/D 変換終了信号出力端子 <ul style="list-style-type: none"> — A/D コンバータ単体テストを行うための A/D 変換終了信号出力端子です。 — 他のコアの TBx 端子と組み合わせてテスト・バス化できます。
ATBI(9:0)	DI		<ul style="list-style-type: none"> ● デジタル部テスト用データ入力端子 <ul style="list-style-type: none"> — A/D コンバータからユーザ・ロジック回路へ入力されるデジタル出力信号 (D(9:0)端子) を確認する端子です。 — ATBI0→D0 = LSB, ATBI9→D9 = MSB に対応します。 — できるだけ入力バッファと直接接続するように設定してください。
ATBI10	DI		<ul style="list-style-type: none"> ● デジタル部テスト用 A/D 変換終了信号入力端子 <ul style="list-style-type: none"> — A/D コンバータからユーザ・ロジック回路へ入力される A/D 変換終了出力信号 (EOCB) を確認する端子です。 — できるだけ入力バッファと直接接続するように設定してください。
ATBO0	DO		<ul style="list-style-type: none"> ● デジタル部テスト用サンプリング・クロック出力端子 <ul style="list-style-type: none"> — ユーザ・ロジック回路から A/D コンバータへ入力されるクロック信号 (CLK) を確認する端子です。 — できるだけ出力バッファと直接接続するように設定してください。

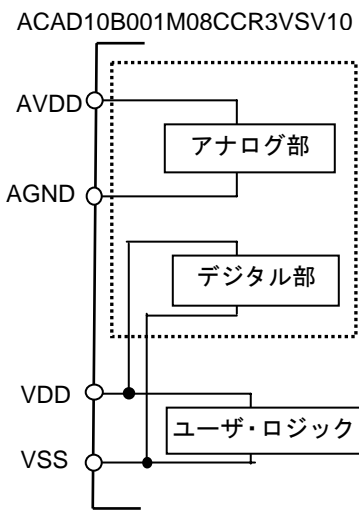
(3/3)

端子名称	属性	等価回路	説明
ATBO1	DO		<ul style="list-style-type: none"> デジタル部テスト用パワーダウン信号出力端子 <ul style="list-style-type: none"> ユーザ・ロジック回路から A/D コンバータへ入力されるパワーダウン信号 (PDB) を確認する端子です。 できるだけ出力バッファと直接接続するように設定してください。
ATBO2	DO		<ul style="list-style-type: none"> デジタル部テスト用 A/D 変換開始信号出力端子 <ul style="list-style-type: none"> ユーザ・ロジック回路から A/D コンバータへ入力される A/D 変換開始信号 (CONV) を確認する端子です。 できるだけ出力バッファと直接接続するように設定してください。
ATBO3	DO		<ul style="list-style-type: none"> デジタル部テスト用リセット信号出力端子 <ul style="list-style-type: none"> ユーザ・ロジック回路から A/D コンバータへ入力されるリセット信号入力 (RSB) を確認する端子です。 できるだけ出力バッファと直接接続するように設定してください。
ATBO(6:4)	DO		<ul style="list-style-type: none"> デジタル部テスト用マルチプレクサ選択信号出力端子 <ul style="list-style-type: none"> ユーザ・ロジック回路から A/D コンバータへ入力されるマルチプレクサ選択信号 SEL(2:0)を確認する端子です。 できるだけ出力バッファと直接接続するように設定してください。
MODE	DI		<ul style="list-style-type: none"> テスト・モード切り替え端子 <ul style="list-style-type: none"> 実使用モードや A/D コンバータと接続するユーザ・ロジック回路のテストを行うトータル・ロジック回路テスト・モードを切り替える端子です。
BUNRI TEST	DI		<ul style="list-style-type: none"> テスト・モード切り替え端子 <ul style="list-style-type: none"> 実使用モード、アナログ・コア部テスト・モードを切り替える端子です。

備考 DI: デジタル入力, DO: デジタル出力

2.2 外部端子

(1/2)

端子名称	属性	等価回路	説明
AVDD AGND	—		<ul style="list-style-type: none"> A/D コンバータのアナログ部用電源端子、および A/D コンバータのアナログ部用 GND 端子 <ul style="list-style-type: none"> A/D コンバータで使用する電源 GND 端子です。 A/D コンバータで使用される電源、GND、およびセルベース IC で用いられる標準電源、VSS は、各々分離しています。 A/D コンバータのデジタル部で使用されているデジタル部用電源および VSS は、ユーザ・ロジック部の VDD および VSS と接続されています。 これらの電源系は、実装基板上でも分離し、パターンはできるだけ広くとり、安定するように設計してください。 これらの電源系と対応する GND との間に、バイパス・コンデンサを挿入してください。 バイパス・コンデンサは、高周波特性の良いものを使用して、できるだけ A/D コンバータ端子の近くに接続してください。 必ず、AVREFP、AIN よりも先に AVDD を立ち上げてください。

(2/2)

端子名称	属性	等価回路	説明
AVREFP AVREFM	AI	—	<ul style="list-style-type: none"> ● 基準電圧端子（高電位側） 基準電圧端子（低電位側） <ul style="list-style-type: none"> — A/D コンバータの基準電圧を入力する端子です。 — 電圧源には、十分なドライブ能力を持ったものを使用してください。 — 基準電圧とアナログ用 GND との間には、バイパス・コンデンサを挿入してください。 — バイパス・コンデンサは、高周波特性の良いものを使用し、できるだけ A/D コンバータ端子の近くで接続してください。 — 必ず、AVREFP よりも先に AVDD を立ち上げてください。
AIN(7:0)	AI		<ul style="list-style-type: none"> ● アナログ入力端子 <ul style="list-style-type: none"> — A/D コンバータで変換するアナログ信号を入力する端子です。 — SEL(2:0)によって、変換に使用するアナログ入力 CH が制御されます。（表 2.1 アナログ入力選択情報参照） — 未使用の AIN 端子は、OPEN としてください。 — 必ず、AIN よりも先に AVDD を立ち上げてください。

備考 AI: アナログ入力

表 2.1 アナログ入力選択情報

入力コード			選択されるアナログ入力端子
SEL2 (TBI6)	SEL1 (TBI5)	SEL0 (TBI4)	
0	0	0	AIN0
0	0	1	AIN1
0	1	0	AIN2
0	1	1	AIN3
1	0	0	AIN4
1	0	1	AIN5
1	1	0	AIN6
1	1	1	AIN7

3. 動作モード

本コアには、次に示す2つの動作モードがあります。動作モードは、PDBを制御することにより切り替えます。

(1) 通常動作モード

AINに入力するアナログ信号を変換し、デジタル出力します。

(2) パワーダウン・モード

アナログ・ブロックの回路動作を停止します。

パワーダウン・モードから通常動作モードへの復帰には、パワーダウン復帰時間 (t_{DPU}) が必要です。

各モードへは、次のように設定してください。

表 3.1 動作モードの設定

端子設定 動作モード	テスト・モード 選択			テスト端子					アナログ入力	デジタル 入力		デジタル出力	
	BUNRI	TEST	MODE	TBI1	TBI(6:2), TBI0	TBO(10:0)	ATBI(10:0)	ATBO(6:0)	AIN(7:0)	CLK, CONV, RSB, SEL(2:0)	PDB	D(9:0)	EOCB
通常動作モード	0	-	0	-	-	0	-	0	使用	(*1)	1	(*1)	
パワーダウン・モード									×	×	0	Hold	

【注】*1. デジタル入力端子にタイミング・チャートに従った信号を入力することにより、A/D変換結果がデジタル出力端子から出力されます。

備考 ×: 使用しません。

-: 入力データは無視されます。ただし、必ず0か1を入力してください。

4. 変換特性

アナログ入力電圧	デジタル出力コード										
	D9 (MSB)	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)	
$< V_{AVREFM} + 0.5 \text{ LSB}$	0	0	0	0	0	0	0	0	0	0	0
$V_{AVREFM} + 0.5 \text{ LSB to } V_{AVREFM} + 1.5 \text{ LSB}$	0	0	0	0	0	0	0	0	0	0	1
$V_{AVREFM} + 1.5 \text{ LSB to } V_{AVREFM} + 2.5 \text{ LSB}$	0	0	0	0	0	0	0	0	0	1	0
...	...										
$V_{AVREFM} + 1021.5 \text{ LSB to } V_{AVREFM} + 1022.5 \text{ LSB}$	1	1	1	1	1	1	1	1	1	1	0
$V_{AVREFM} + 1022.5 \text{ LSB to } V_{AVREFP}$	1	1	1	1	1	1	1	1	1	1	1

備考 V_{AVREFP} : 高電位側基準電圧

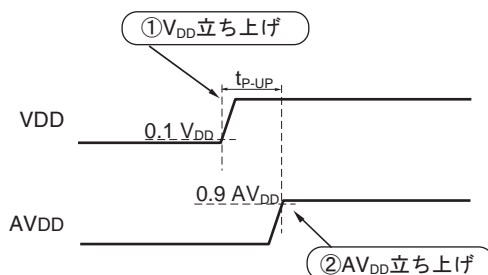
V_{AVREFM} : 低電位側基準電圧

5. 電源投入／切断時の注意事項

5.1 電源投入時

電源投入時には、A/D コンバータで使用している AVDD (= 3.3 V TYP.) と、内部ロジック領域で使用している VDD (= 1.1 V TYP.) を、VDD→AVDD の順序で、下記タイミング以内で立ち上げてください。チップの VDD33 (3.3 V) と A/D コンバータの AVDD (3.3 V) との間には制限はありません。

図 5.1 電源投入時のタイミング

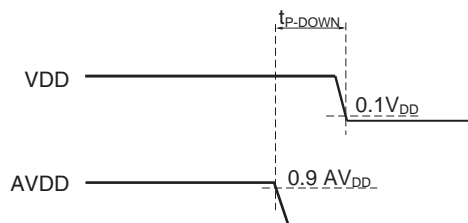


注意 電源立ち上げ後は内部回路が安定していないため、RSB 信号によるリセットか、リセットを使用しない場合 (RSB = H 固定の場合) にはダミー変換 (1 回) を必ず行ってください。

5.2 電源切断時

電源切断時には、先に AVDD を立ち下げ、その後に VDD を立ち下げてください。VDD を先に立ち下げると、AVDD が立ち下がるまで内部動作が不安定になり、大きな貫通電流が流れる可能性があります。下記タイミング以内に AVDD が立ち下がれば、不安定状態は解消され、A/D コンバータが破壊することはありません。

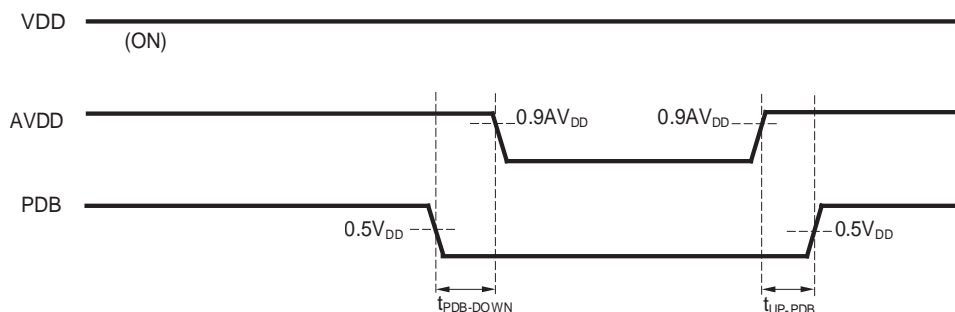
図 5.2 電源切断時のタイミング



5.3 パワーダウン中の AVDD について

PDB によるパワーダウン中に AVDD を切断できます。以下のタイミングに従って、AVDD を切断してください。

図 5.3 パワーダウン中の AVDD 切断タイミング

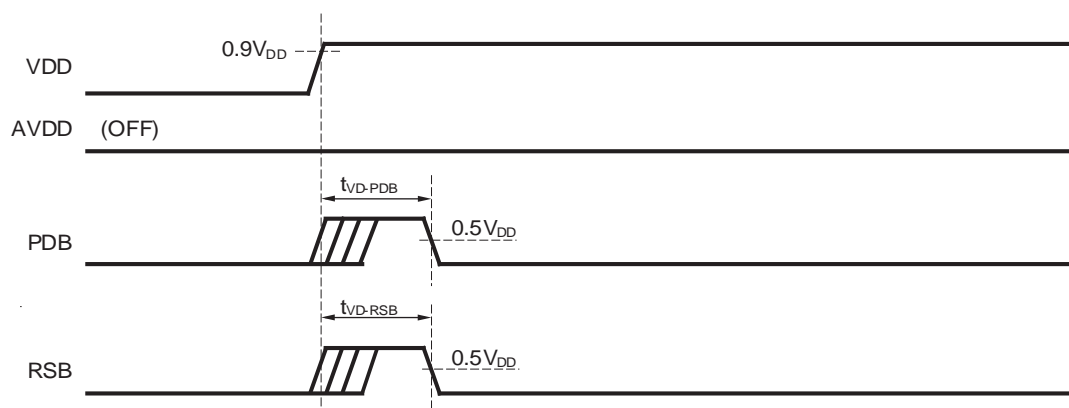


5.4 VDD 投入後のパワーダウン (PDB = 0), およびリセット (RSB = 0) について

AVDD が印加される前に VDD が印加されたときに、PDB および RSB が 1 であった場合は、次のタイミングに従って PDB および RSB を 0 としてください。

VDD が印加された時に、PDB および RSB がすでに 0 である場合は、1 にする必要はありません。

図 5.4 VDD 投入後のパワーダウン (PDB = 0), およびリセット (RSB = 0) タイミング



6. 電気的特性

6.1 絶対最大定格 (CB-40L/LD/LR/LRD に準拠)

項目	略号	条件	定格	単位
アナログ電源電圧	AV _{DD}		-0.5~+4.6	V
デジタル電源電圧	V _{DD}		-0.45~+1.8	V
基準電圧 (高電位側)	V _{AVREFP}	$V_{AVREFP} < AV_{DD} + 0.5 V, V_{AVREFP} > A_{GND} - 0.5 V$	-0.5~+4.6	V
基準電圧 (低電位側)	V _{AVREFM}	$V_{AVREFM} < AV_{DD} + 0.5 V, V_{AVREFM} > A_{GND} - 0.5 V$	-0.5~+4.6	V
アナログ入力電圧	V _{AIN}	$V_{AIN} < AV_{DD} + 0.5 V, V_{AIN} > A_{GND} - 0.5 V$	-0.5~+4.6	V
ジャンクション温度	T _j		-40~+125	°C
保存温度	T _{stg}		-65~+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

6.2 推奨動作範囲 (T_j = -40~+125°C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AV _{DD}	アナログ電源電圧	3.0	3.3	3.6	V
	V _{DD}	デジタル電源電圧	1.0	1.1	1.2	V
クロック周波数	f _{CLK}		1.25		16	MHz
基準電圧 (高電位側)	V _{AVREFP}	$V_{AVREFP} - V_{AVREFM} > AV_{DD}/2$	AV _{DD} /2		AV _{DD}	V
基準電圧 (低電位側)	V _{AVREFM}		0.0		AV _{DD} /2	V
アナログ入力範囲	V _{AIN}		V _{AVREFM}		V _{AVREFP}	V
信号源許容インピーダンス	RS ^{*1}	外付け容量 (C _e) ≤ 15 pF			500	Ω

【注】*1.詳細は、6.6 入力部の等価回路と外付け回路によるサンプリング誤差に関する補足を参照してください。

6.3 DC 特性 ($T_j = -40$ to $+125^\circ\text{C}$, $V_{DD} = 1.0$ to 1.2 V, $AV_{DD} = 3.0$ to 3.6 V, $f_{CLK} = 1.25$ to 16 MHz, $V_{AVREFP} = AV_{DD}$, $V_{AVREFM} = 0.0$ V, $R_s \leq 500 \Omega$, $C_e < 15$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
回路電流	I_{DD}^{*1}	$f_{CLK} = 16$ MHz		0.7	1.5	mA
	I_{DDPD}^{*2}	PDB = 0, 入力信号 : 停止			10	μA
リファレンス電流	I_{REF}^{*3}	AVREFP – AVREFM 間		200	300	μA
分解能	RES			10		bits
精度						
微分非直線性	DNL ^{*4}	サンプリング誤差を含まず		± 0.3	± 1.0	LSB
積分非直線性	INL ^{*4}			± 0.5	± 1.5	LSB
ゼロスケール誤差	ZSE ^{*4}			± 0.5	± 1.5	LSB
フルスケール誤差	FSE ^{*4}			± 0.5	± 1.5	LSB
コード形式			ストレートバイナリ			
アナログ入力						
アナログ入力等価容量	C_{IN}^{*5}	マルチプレクサ部も含む			3.9	pF
アナログ入力等価抵抗	R_{IN}^{*5}				1.4	k Ω

【注】*1.回路電流にリファレンス電流は含まれていません。全電流 = $I_{DD} + I_{REF}$

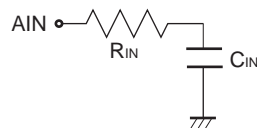
*2.この電流は、パワーダウン時のコア全体の電流です。 $I_{DDPD} = I_{DD(PD)} + I_{REF(PD)}$

*3.この電流は、A/D 変換時の C - アレイの充放電による電流、および R - ストリングに流れる直流電流であり、AVREFP-AVREFM 間に流れます。

*4.これらの誤差には外付け回路によるサンプリング誤差は含まれていません。また、 $AVREFP < AV_{DD}$ 、および $AVREFM > 0.0$ V の場合、値はさらに大きくなります。

*5.等価回路を以下に示します。

詳細は、6.6 入力部の等価回路と外付け回路によるサンプリング誤差に関する補足を参照してください。



6.4 タイミング特性 ($T_j = -40$ to $+125^\circ\text{C}$, $V_{DD} = 1.0$ to 1.2 V, $AV_{DD} = 3.0$ to 3.6 V, $f_{CLK} = 1.25$ to 16 MHz, $V_{AVREFP} = AV_{DD}$, $V_{AVREFM} = 0.0$ V, $R_s \leq 500 \Omega$, $C_e < 15$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロックサイクル時間	t_{cyc}		62.5		800	ns
変換時間	t_c^{*1}		0.937		12	μs
パイプライン遅延					15	Cycle
アナログ入力サンプリング時間	t_{AS}^{*2}		187.5		2400	ns
データ出力遅延時間	t_D^{*4}				4	ns
データ出力保持時間	t_{DH}^{*4}		0.1			ns
CLK - EOCB 遅延時間	t_{ECD}^{*4}				3	ns
クロック・ロウ・レベル・パルス幅	t_{PWL}^{*4}		28.1			ns
クロック・ハイ・レベル・パルス幅	t_{PWH}^{*4}		28.1			ns
CONV - CLK セットアップ時間	t_{SR}^{*4}		2			ns
CLK - CONV ホールド時間	t_H^{*4}		2			ns
16th CLK (\uparrow) - CONV セットアップ時間	t_{SCV}^{*4}		2			ns
SEL(2:0) - CONV セットアップ時間	$t_{AIN}^{*3,4}$		10			ns
SEL(2:0) - 5th CLK (\downarrow)ホールド時間	$t_{AINH}^{*4,5}$		0			ns
RSB パルス幅	t_{WRSB}		5			ns
RSB - CLK セットアップ時間	t_{SRSCV}	CONV = 1	5			ns
RSB - CLK ホールド時間	t_{HRSCV}		2			ns
RSB - EOCB 遅延時間	t_{DRE}^{*5}				3	ns
RSB - データ遅延時間	t_{DRD}^{*5}				4	ns

[注] *1.変換時間の概算値 : $t_c = 15/f_{CLK}$

*2.アナログ入力サンプリング時間 : $t_{AS} = 3/f_{CLK}$

*3.マルチプレクサは、クロックと非同期にて動作します。 t_{AIN} 時間より前にマルチプレクサを切り替えて、アナログ入力を安定させてください。

*4.この MAX.値および MIN.値は、最悪値を示します。ライブラリの MAX.値、TYP.値、および MIN.値とは、定義が異なっており、値も異なっています。

*5.ライブラリ上は定義されていません。

6.5 タイミング特性 (参考値) ($T_j = -40$ to $+125^\circ\text{C}$, $V_{DD} = 1.0$ to 1.2 V, $AV_{DD} = 3.0$ to 3.6 V, $f_{CLK} = 1.25$ to 16 MHz, $V_{AVREFP} = AV_{DD}$, $V_{AVREFM} = 0.0$ V, $R_s \leq 500 \Omega$, $C_e < 15$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
パワーダウン復帰時間	t_{DPU}	7 参照			1	μs
VDD-AVDD パワーオン時間	t_{P-UP}	5.1 参照	-100		100	ms
VDD-AVDD パワーオフ時間	t_{P-DOWN}	5.2 参照	-100		100	ms
PDB-AVDD パワーオフ時間	$t_{PDB-DOWN}$	5.3 参照	0			ms
PDB-AVDD パワーオン時間	t_{UP-PDB}		0			ms
VDD-RSB セットアップ時間	t_{VD-RSB}	5.4 参照			100	ms
VDD-PDB セットアップ時間	t_{VD-PDB}				100	ms

6.6 入力部の等価回路と外付け回路によるサンプリング誤差に関する補足

図 6.1 アナログ入力の概略図

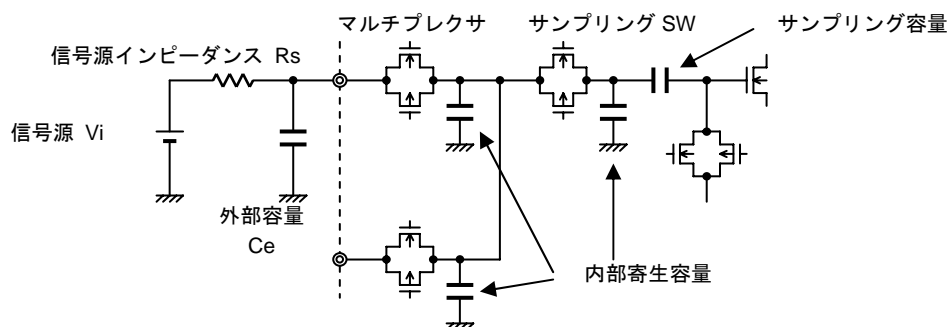
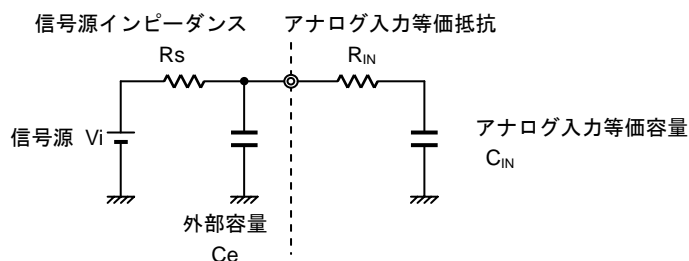


図 6.2 アナログ入力等価回路



- 備考
1. アナログ入力等価抵抗 (R_{IN}) = マルチプレクサのオン抵抗 + サンプリングスイッチのオン抵抗
 2. アナログ入力等価容量 (C_{IN}) = 内部寄生容量 + サンプリング容量
 3. 信号源インピーダンス (R_s) = 信号源出力抵抗 + 外付け抵抗 (ローパス・フィルタ)
 4. 外部容量 (C_e) = 外部寄生容量 + 外付け容量 (ローパス・フィルタ)

6.3 DC 特性の精度は、外部回路の影響によって発生するサンプリング誤差を含んでいません。サンプリング時は、アナログ入力等価抵抗 (R_{IN}) を通して、アナログ入力等価容量 (C_{IN}) を、入力電圧の 0.1LSB 以内に、サンプリング時間内 (t_{AS}) で充電する必要があります。信号源インピーダンス (R_s) が大きいとサンプリングのための充電時間が不足し、サンプリング誤差が発生しますので、信号源インピーダンスを十分小さくしてください。 ($R_s \leq 500 \Omega$, $C_e < 15 \text{ pF}$)

不要な高周波信号 (ノイズなど) を取り除くために、ローパス・フィルタをアナログ入力に付加することを推奨します。ローパス・フィルタの RC のパラメータ (R_s と C_e) は、アプリケーションの特性に合わせて設定してください。

AC 信号を取り扱うアプリケーションにおいては、信号源インピーダンスを十分低くする必要があります。

AC 特性が重要でない場合、大きな外付け容量 (Ce) を付加するとサンプリング誤差を減少させることができます。次の式によってサンプリング誤差を求めることができます。

$$\text{サンプリング誤差} \cong \frac{C_{IN}}{C_e + C_{IN}} \times 1024 \text{ [LSB]}$$

外付け容量 (Ce) がそれほど大きくない場合は、次の式によってサンプリング誤差を求めることができます。

$$\text{サンプリング誤差} \cong \frac{C_{IN}}{C_e + C_{IN}} \times \exp \left(- \frac{t_{AS}}{R_S \times C_e + (R_S + R_{IN}) \times C_{IN}} \right) \times 1024 \text{ [LSB]}$$

マルチプレクサを周期的に連続で切り替え、A/D 変換を行った場合、信号源インピーダンス (Rs) と外部容量 (Ce) との関係によって、次のサンプリング誤差が発生します。

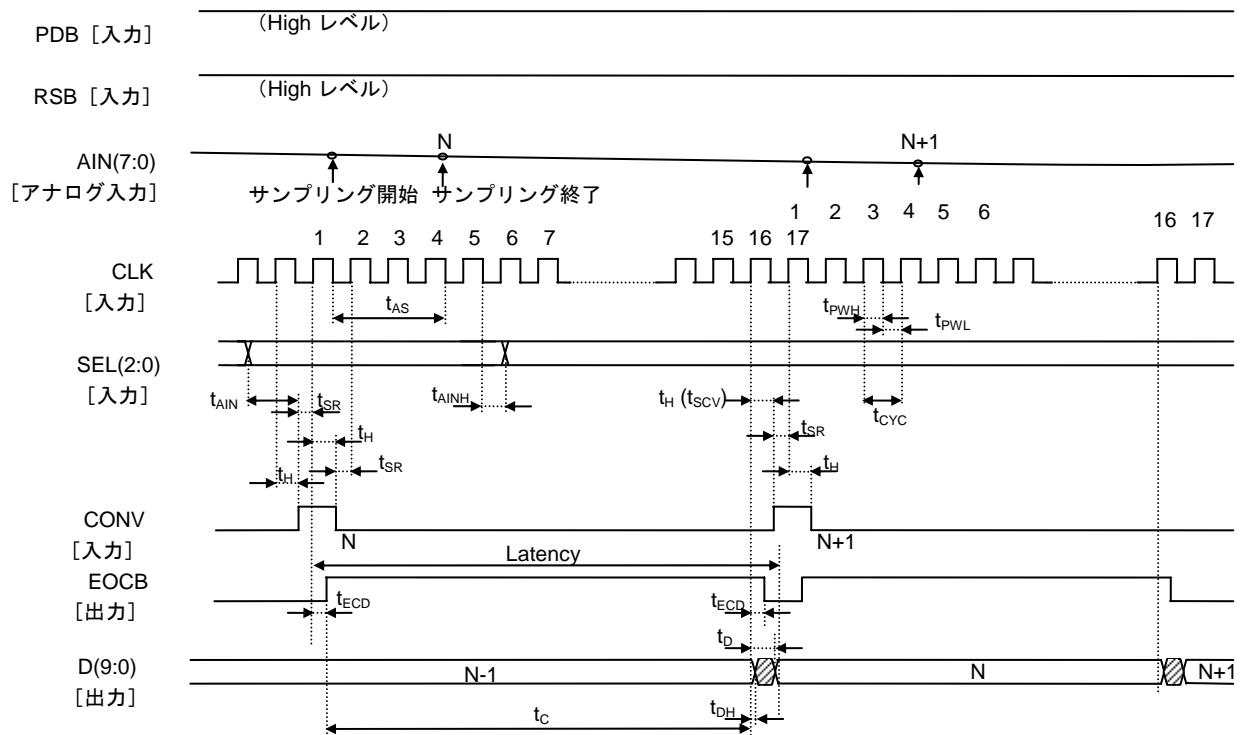
$$\text{サンプリング誤差} \cong \left(\frac{C_{IN}}{C_e + C_{IN}} + \frac{R_S \times C_{IN}}{t_{SC}} \right) \times 1024 \text{ [LSB]}$$

(t_{SC}: マルチプレクサスキャン (*1) の周期)

【注】 *1. マルチプレクサ・スキャンとは、たとえば AIN0→AIN1 と順次に変換を行い、AIN7 の次は AIN0 に戻るというように、A/D コンバータ入力を周期的に連続で切り替えながら A/D 変換を行うことです。

7. タイミング・チャート

7.1 A/D 変換動作時

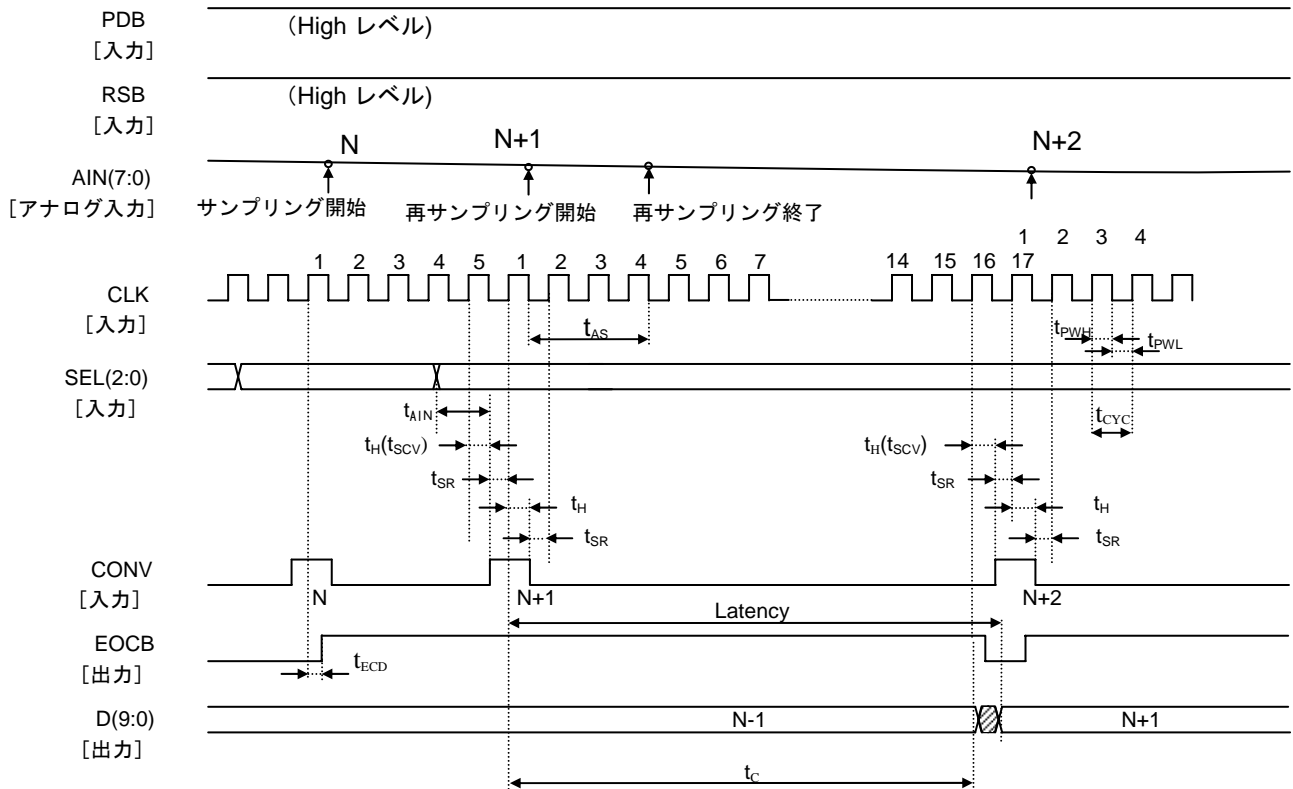


備考 D(9:0)端子の波形図において、網掛け部分は不定を示します。

A/D 変換開始は、CONV を CLK の立ち上がりエッジ時に設定します。一度 CONV = 0 を設定したあと、以降の CLK の立ち上がりエッジで、CONV = 1 を設定して変換を開始します。

電源立ち上げ後は内部回路が安定していないため、出力の異常値や仕様値以上の消費電流（貫通電流）が発生します。電源投入時には、RSB 信号によるリセット処理か、リセットを使用しない場合（RSB = H 固定）は、ダミー変換（1 回）のいずれかを必ず実行してください。

7.2 A/D 変換中の再変換

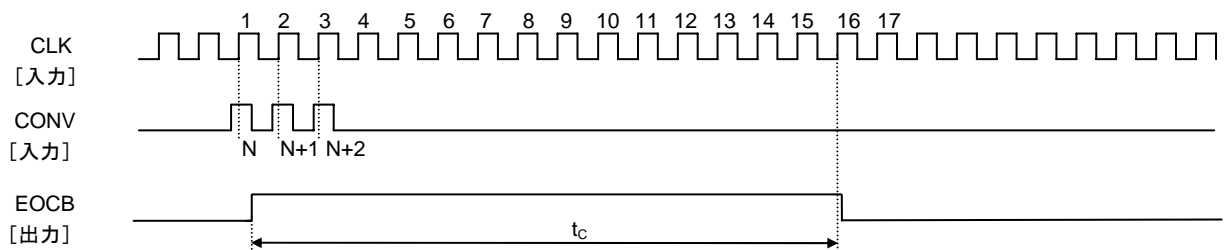


備考 D(9:0)端子の波形図において、網掛け部分は不定を示します。

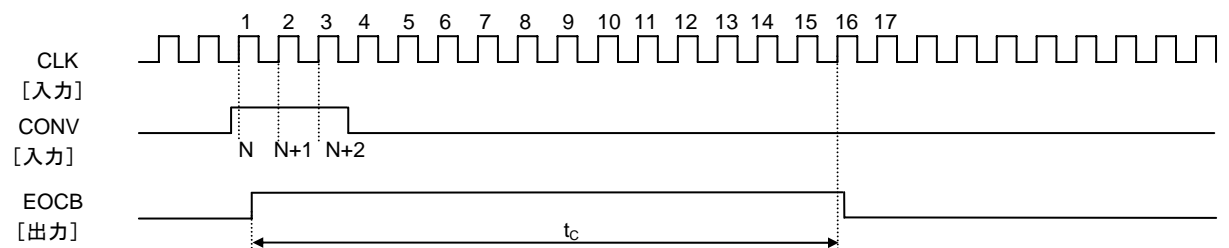
A/D 変換開始後、クロックの立ち上がりエッジで最低 1 回 CONV = 0 に設定したあと、次のクロックの立ち上がりエッジで CONV = 1 に設定した場合に、A/D 変換が再スタートします。

次のタイミングで CONV を設定した場合、N のタイミングからの A/D 変換となり、N+1, N+2 は無効となります。

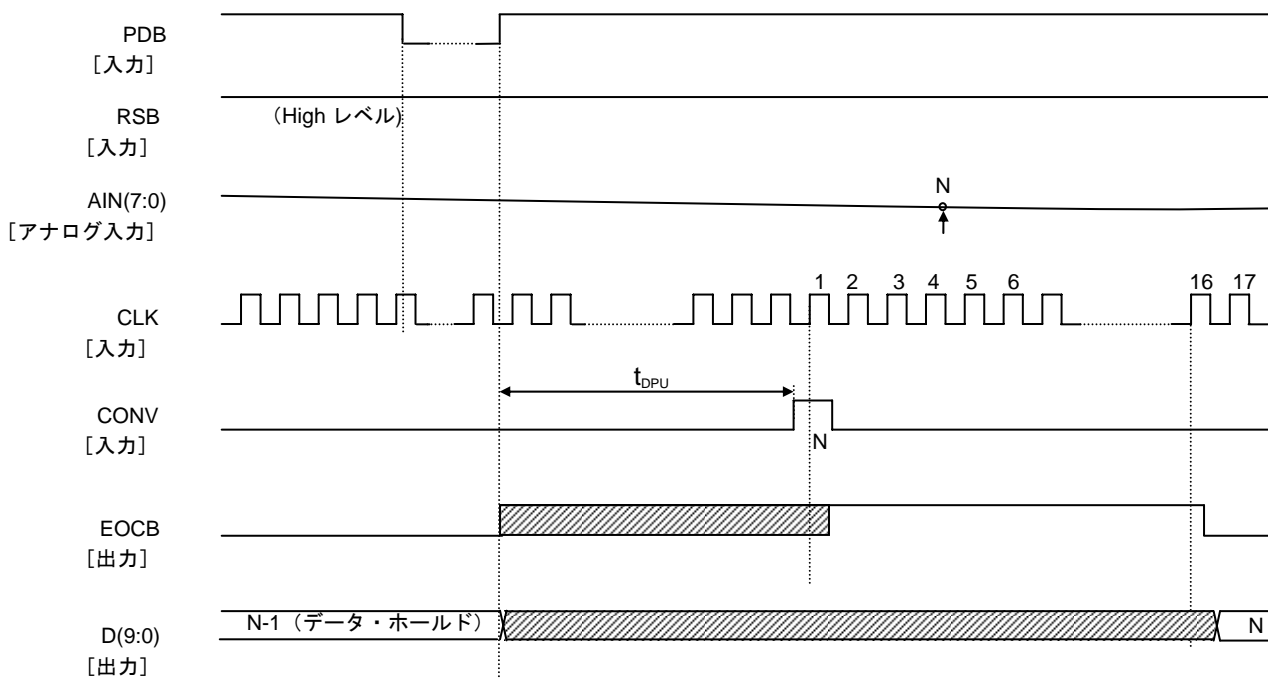
CLK の立ち上がりで CONV = 0 を設定せずに連続で CONV=1 を設定した場合



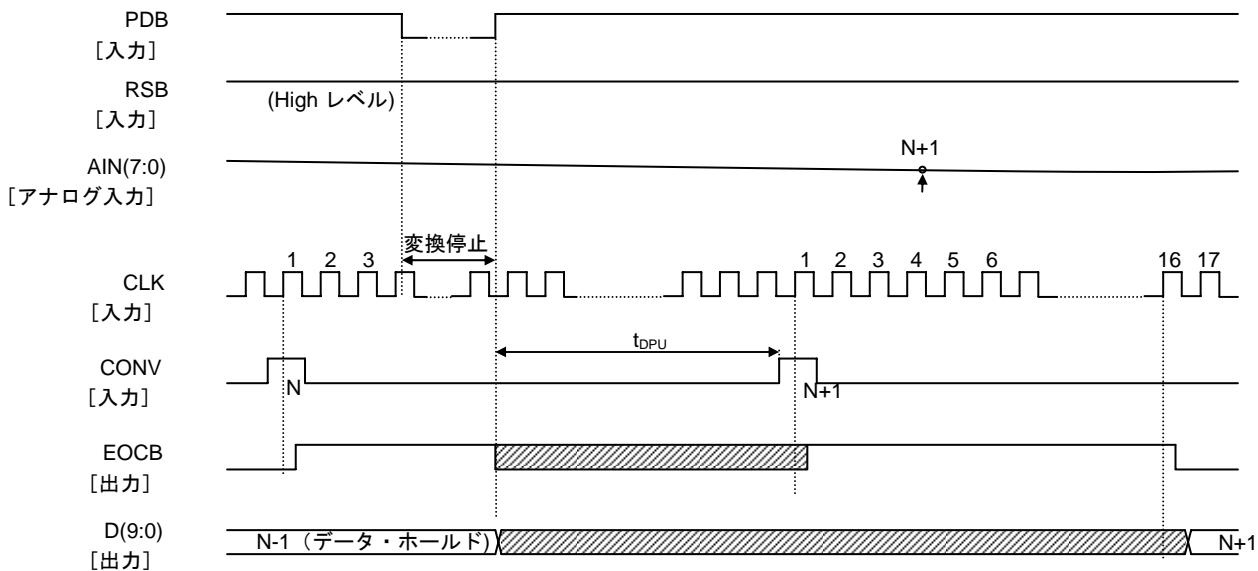
複数の CLK にかかり CONV = 1 を設定した場合



7.3 パワーダウン動作時

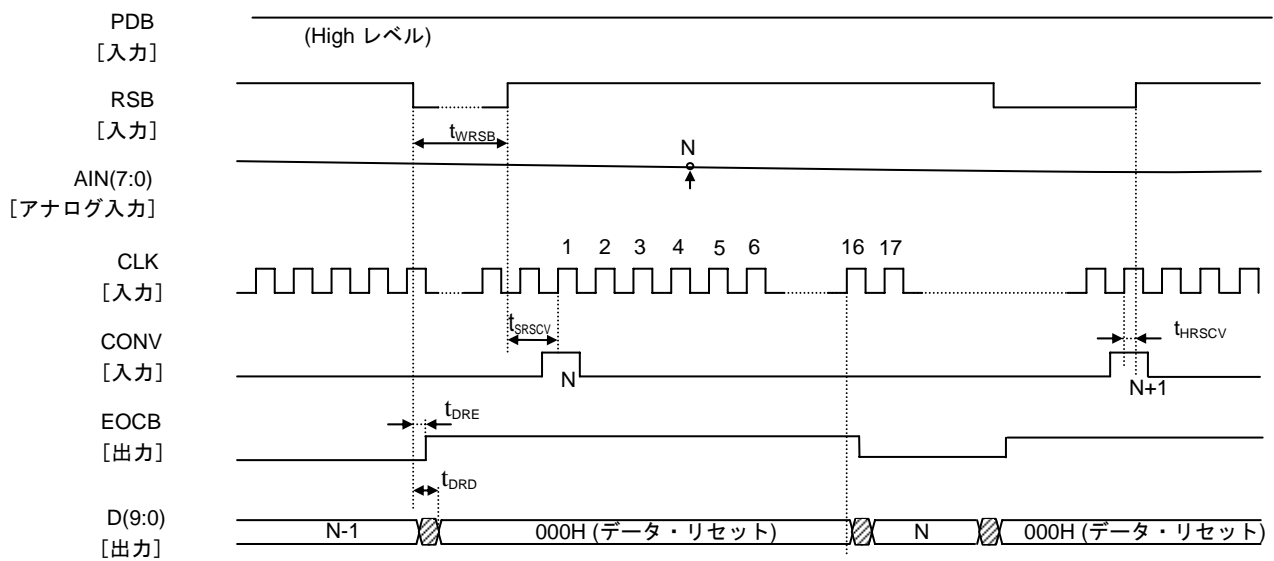


7.4 変換動作中におけるパワーダウン動作時

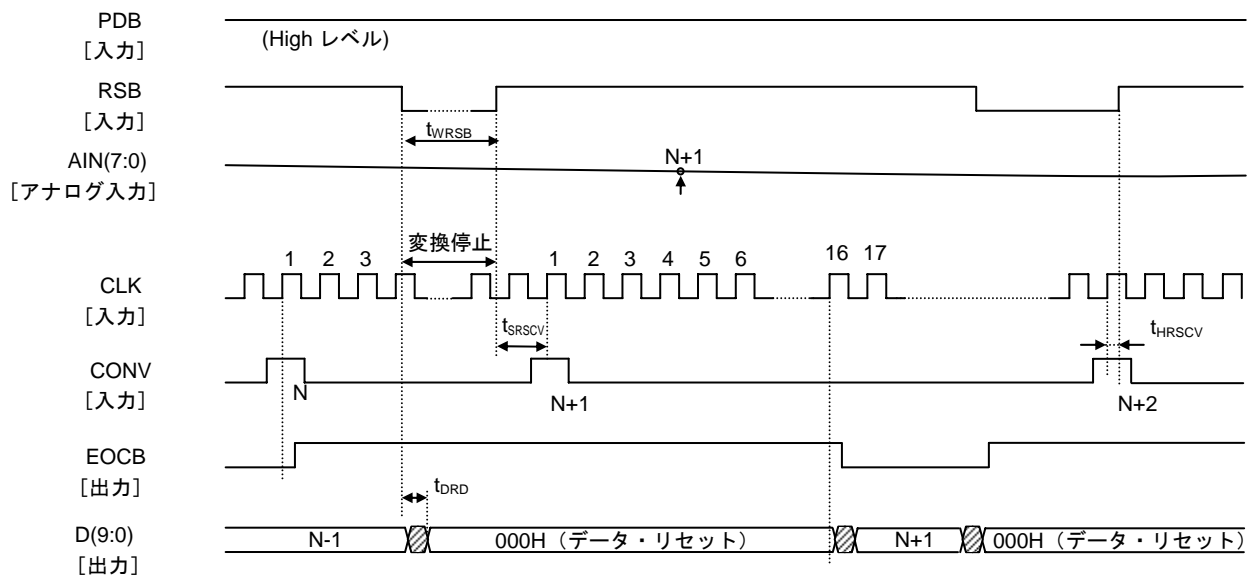


備考 EOCB 端子, D(9:0)端子の波形図において, 網掛け部分は不定を示します。

7.5 リセット動作時



7.6 変換動作中におけるリセット動作時



備考 D(9:0)端子の波形図において、網掛け部分は不定を示します。

8. シミュレーション・モデル

疑似アナログ入力		デジタル入力										デジタル出力								テスト・バス							
AVDD/AGND	AIN (7:0) *1	AV REFP	AV REFM	BUNRI	TEST	MODE	CLK	PDB	CONV	RSB	SEL (2:0)	D9 (MSB)	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)	EOCB	TBI (6:0)	TBO (10:0)	ATBI (10:0)	ATBO (6:0)	
1	0	1	0	0	--	0	0→1	1	*2	1	*1	0	0	0	0	0	0	0	0	0	0	*2	--	0	0	--	0
	1	1	0	0	--	0	0→1	1	*2	1	*1	1	1	1	1	1	1	1	1	1	1	*2	--	0	0	--	0
	0	0	1	0	--	0	0→1	1	*2	1	*1	1	1	1	1	1	1	1	1	1	1	*2	--	0	0	--	0
	1	0	1	0	--	0	0→1	1	*2	1	*1	0	0	0	0	0	0	0	0	0	0	*2	--	0	0	--	0
	0	1	1	0	--	0	0→1	1	*2	1	*1	1	0	0	0	0	0	0	0	0	0	*2	--	0	0	--	0
	1	1	1	0	--	0	0→1	1	*2	1	*1	0	0	0	0	0	0	0	0	0	0	*2	--	0	0	--	0
	--	--	--	0	--	0	1→0	1	*2	1	*1	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	--	0	--	0
	--	--	--	0	--	0	--	0	--	1	--	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	hold	--	0	--	0
	--	--	--	0	--	0	--	--	--	0	--	0	0	0	0	0	0	0	0	0	0	1	--	0	--	0	0

【注】 *1. 表 2.1 アナログ入力選択情報を参照してください。

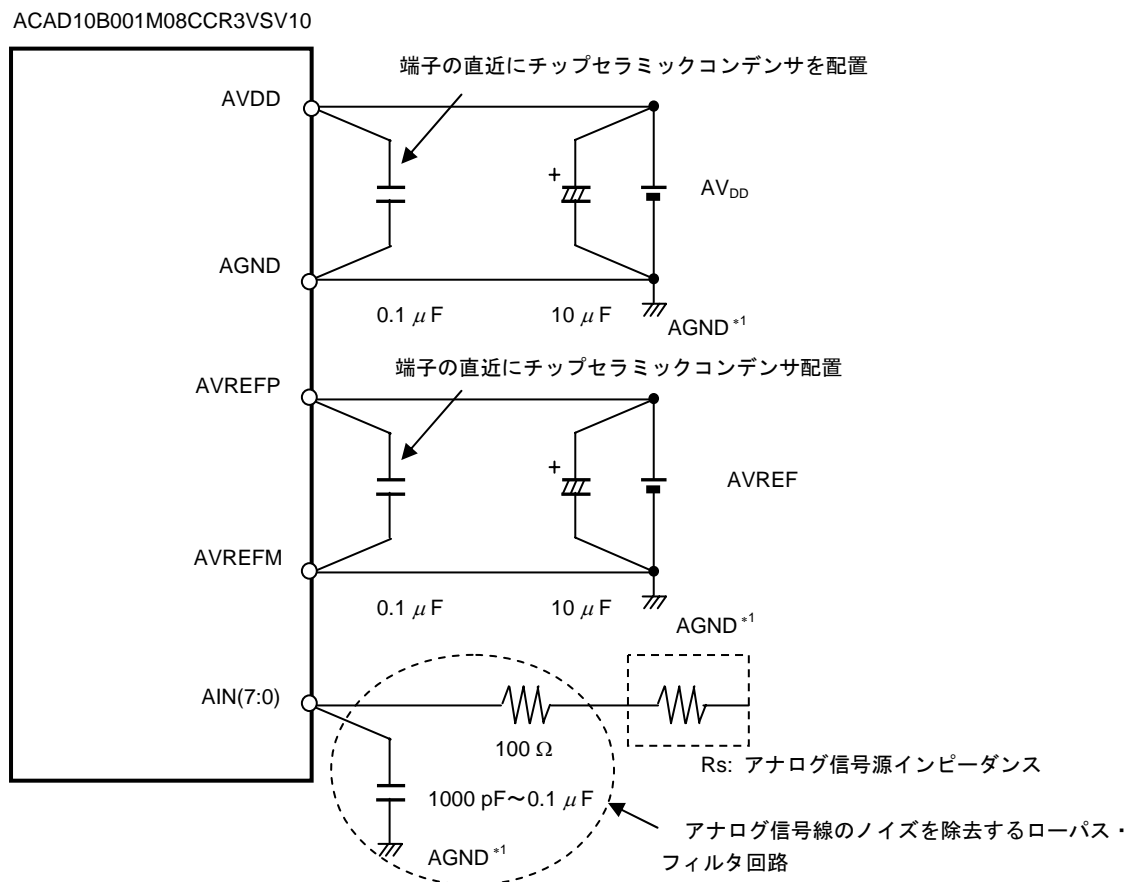
*2. 7. タイミング・チャートを参照してください。

備考 このモデルは、デジタル・シミュレーション用です。

--: 入力データは無視されますが、この場合、入力を“オープン”にせず、必ず“0”または“1”を入力してください。

9. 外付け推奨回路

この推奨回路および回路定数は、例示的に示したものです。量産設計の際の参考にしてください。



【注】*1.容量に接続するAGNDは、ノイズの影響を受けている場合、誤差を生じますので、電氣的に安定したものをご使用ください。

- アナログ電源 (AVDD, AGND) および基準電圧 (AVREFP, AVREFM) 配線は、インピーダンスが 1Ω 以下となるように、できるだけ太く短く配線してください。
- アナログ電源端子 (AVDD) および基準電圧端子 (AVREFP) には、端子の根元にバイパス・コンデンサを配置してください。バイパス・コンデンサは、積層セラミックのチップコンデンサ ($0.1 \mu\text{F}$) を推奨します。
- アナログ電源端子 (AVDD) および基準電圧端子 (AVREFP) に接続される電源には、バイパス・コンデンサを配置してください。バイパス・コンデンサには、タンタルコンデンサ、または電解コンデンサ ($10 \mu\text{F}$) を推奨します。
- バイパス・コンデンサやアナログ入力のフィルタ回路のコンデンサで接続する GND は、ノイズのない電氣的に安定したものを使用してください。周辺の I/O 回路の GND ループ内には繋がないようにしてください。GND からノイズが伝播し、変換誤差が発生する場合があります。
- アナログ入力の信号源のインピーダンスは、バッファ・アンプを用いるなどして、十分低く (500Ω 以下) してご使用ください。
- アナログ入力 DC や A/D 変換周波数に対して十分遅い周波数の信号である場合、ノイズ除去のためにローパス・フィルタ回路を挿入することを推奨します。ただし、マルチプレクサ・スキャン時にコア内部のサンプリング容量と外付けの容量の電荷分配によって、サンプリングする電圧が変動し、誤差が発生しますので、外付けの容量は $1000 \text{ pF} \sim 0.1 \mu\text{F}$ を推奨します。
- 使用環境 (アナログ入力信号周波数、信号源インピーダンスなど) によって誤差の影響が異なりますので、**6.6 入力部の等価回路と外付け回路によるサンプリング誤差に関する補足を参照してください。**

改訂記録	ACAD10B001M08CCR3VSV10 データシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.11.04	-	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>