

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/17グループはデータフラッシュROM(1KB×2ブロック)を内蔵します。

R8C/16グループとR8C/17グループの違いはデータフラッシュROMの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、住設機器（センサ、セキュリティ）、産業一般、オーディオ、他

1.2 性能概要

表 1.1にR8C/16グループの性能概要を、表 1.2にR8C/17グループの性能概要を示します。

表 1.1 R8C/16グループの性能概要

項目		性能
CPU	基本命令数	89 命令
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1M バイト
	メモリ容量	表 1.3 を参照してください。
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：2 本
	LED 駆動用ポート	入出力：4 本
	タイマ	タイマ X：8 ビット×1 チャンネル、タイマ Z：8 ビット×1 チャンネル (各タイマ：8 ビットプリスケアラ付) タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O
	I ² C バスインタフェース (IIC)(注1)	1 チャンネル
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード
	割り込み	内部：9 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	電気的特性	電源電圧
消費電流		標準 9mA (VCC=5V、f(XIN)=20MHz) 標準 5mA (VCC=3V、f(XIN)=10MHz) 標準 35 μ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
	プログラム、イレーズ回数	100 回
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (D バージョン)	
パッケージ	20 ピンプラスチックモールド LSSOP	

注1. I²C busはオランダPHILIPS社の登録商標です。

表 1.2 R8C/17グループの性能概要

項目	性能	
CPU	基本命令数	89 命令
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1M バイト
	メモリ容量	表 1.4 を参照してください。
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：2 本
	LED 駆動用ポート	入出力：4 本
	タイマ	タイマ X：8 ビット×1 チャンネル、タイマ Z：8 ビット×1 チャンネル (各タイマ：8 ビットプリスケアラ付) タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O
	I ² C バスインタフェース (IIC)(注1)	1 チャンネル
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード
	割り込み	内部：9 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	電気的特性	電源電圧
消費電流		標準 9mA (VCC=5V、f(XIN)=20MHz) 標準 5mA (VCC=3V、f(XIN)=10MHz) 標準 35 μ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
	プログラム、イレーズ回数	10,000 回 (データフラッシュ) 1,000 回 (プログラム ROM)
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (D バージョン)	
パッケージ	20 ピンプラスチックモールド LSSOP	

注1. I²C busはオランダPHILIPS社の登録商標です。

1.3 ブロック図

図 1.1にブロック図を示します。

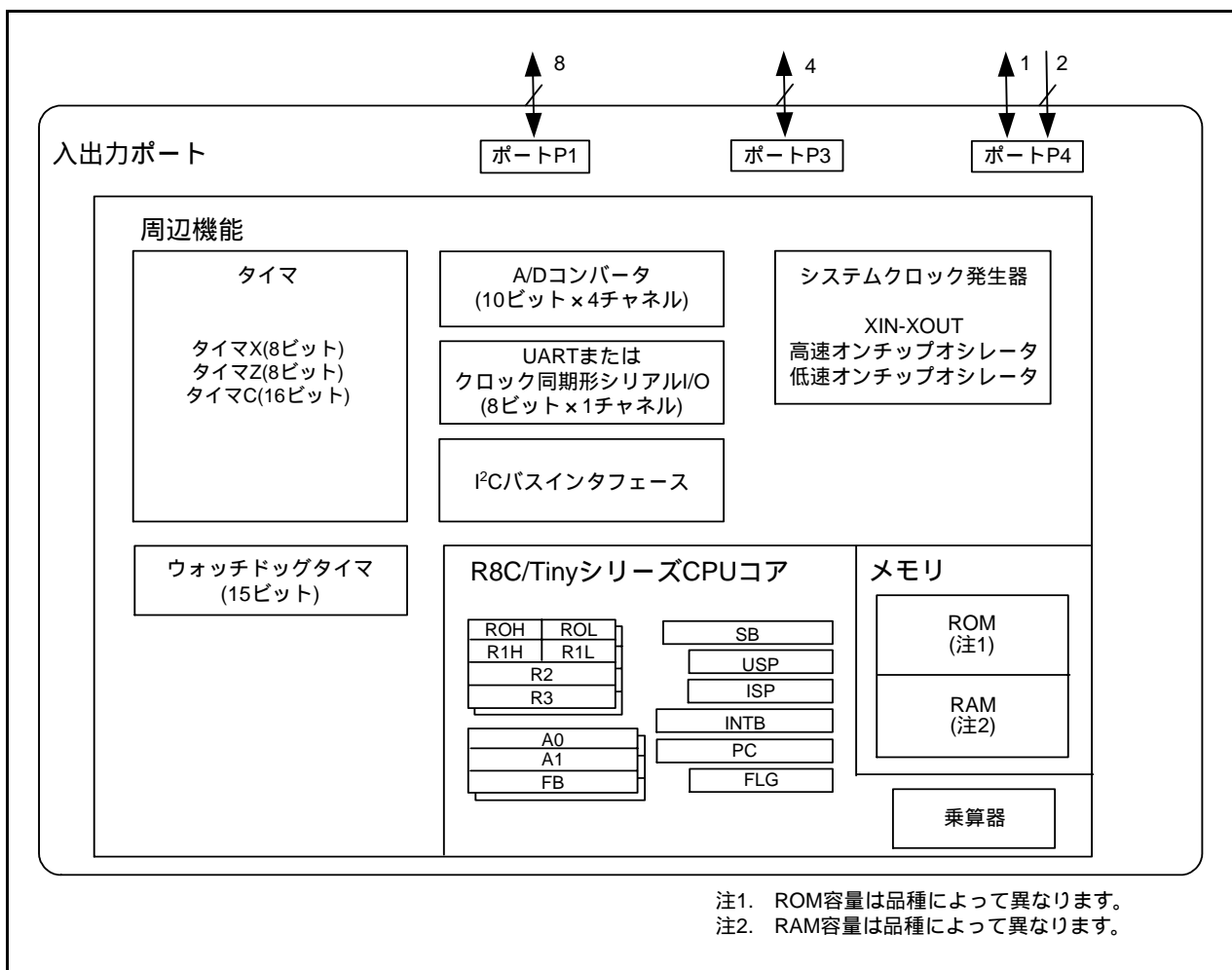


図 1.1 ブロック図

1.4 製品一覧

表 1.3にR8C/16グループの製品一覧表を、表 1.4にR8C/17グループの製品一覧表を示します。

表 1.3 R8C/16グループの製品一覧表

2006年1月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21162SP	8Kバイト	512バイト	PLSP0020JB-A	フラッシュメモリ版
R5F21163SP	12Kバイト	768バイト	PLSP0020JB-A	
R5F21164SP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F21162DSP	8Kバイト	512バイト	PLSP0020JB-A	Dバージョン
R5F21163DSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F21164DSP	16Kバイト	1Kバイト	PLSP0020JB-A	

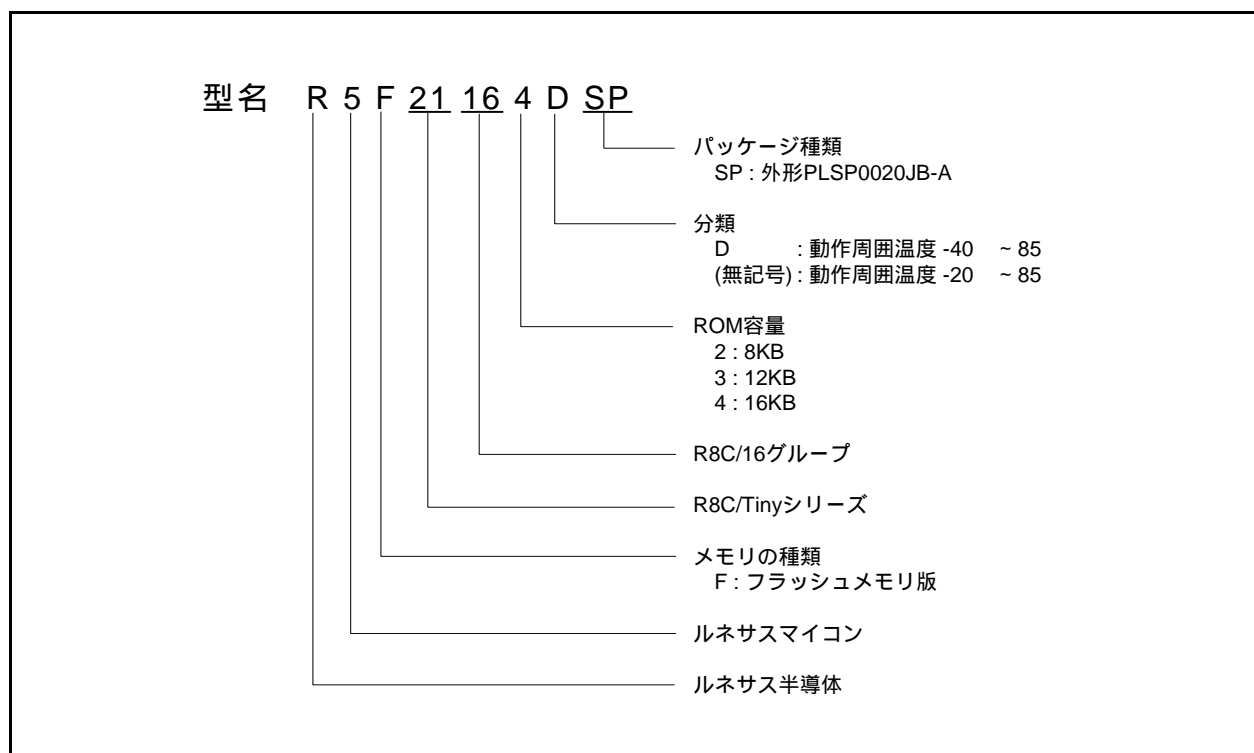


図 1.2 型名とメモリサイズ・パッケージ

表 1.4 R8C/17グループの製品一覧表

2006年1月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21172SP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	フラッシュメモリ版
R5F21173SP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21174SP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21172DSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	Dバージョン
R5F21173DSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21174DSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	

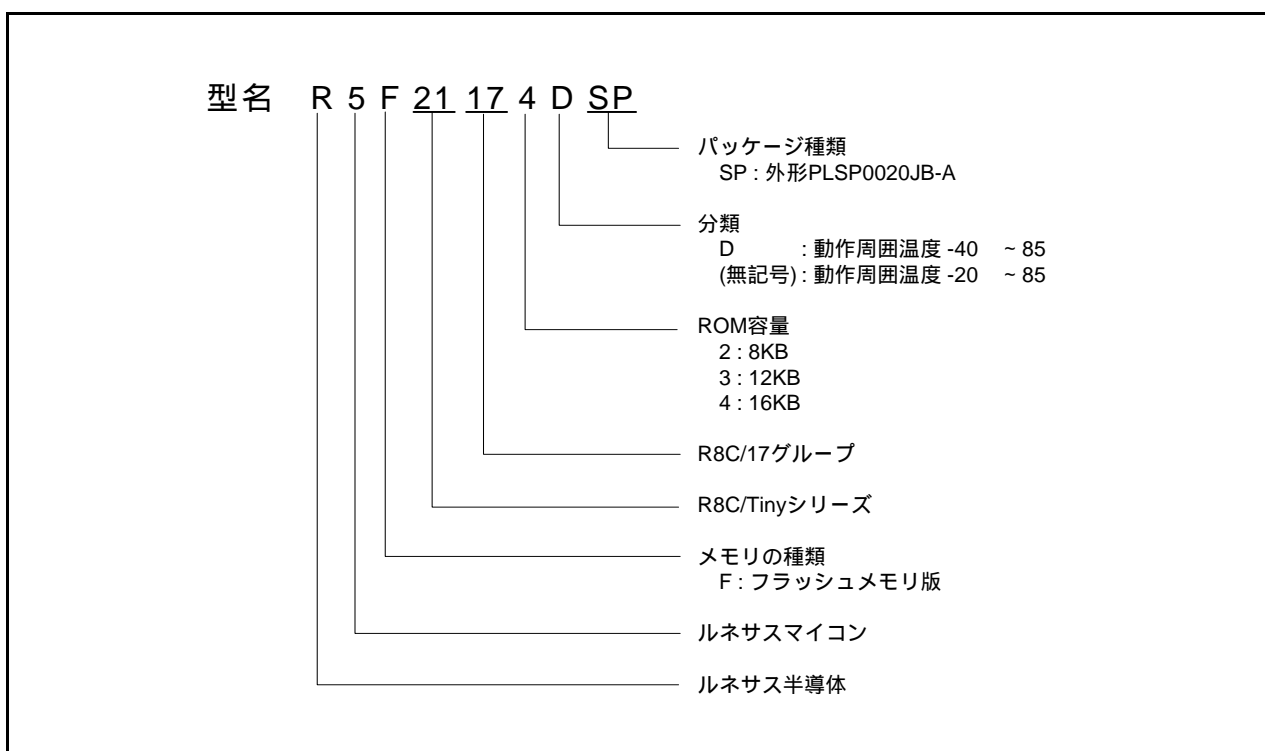


図 1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4に PLSP0020JB-Aパッケージ品のピン接続図(上面図)を示します。

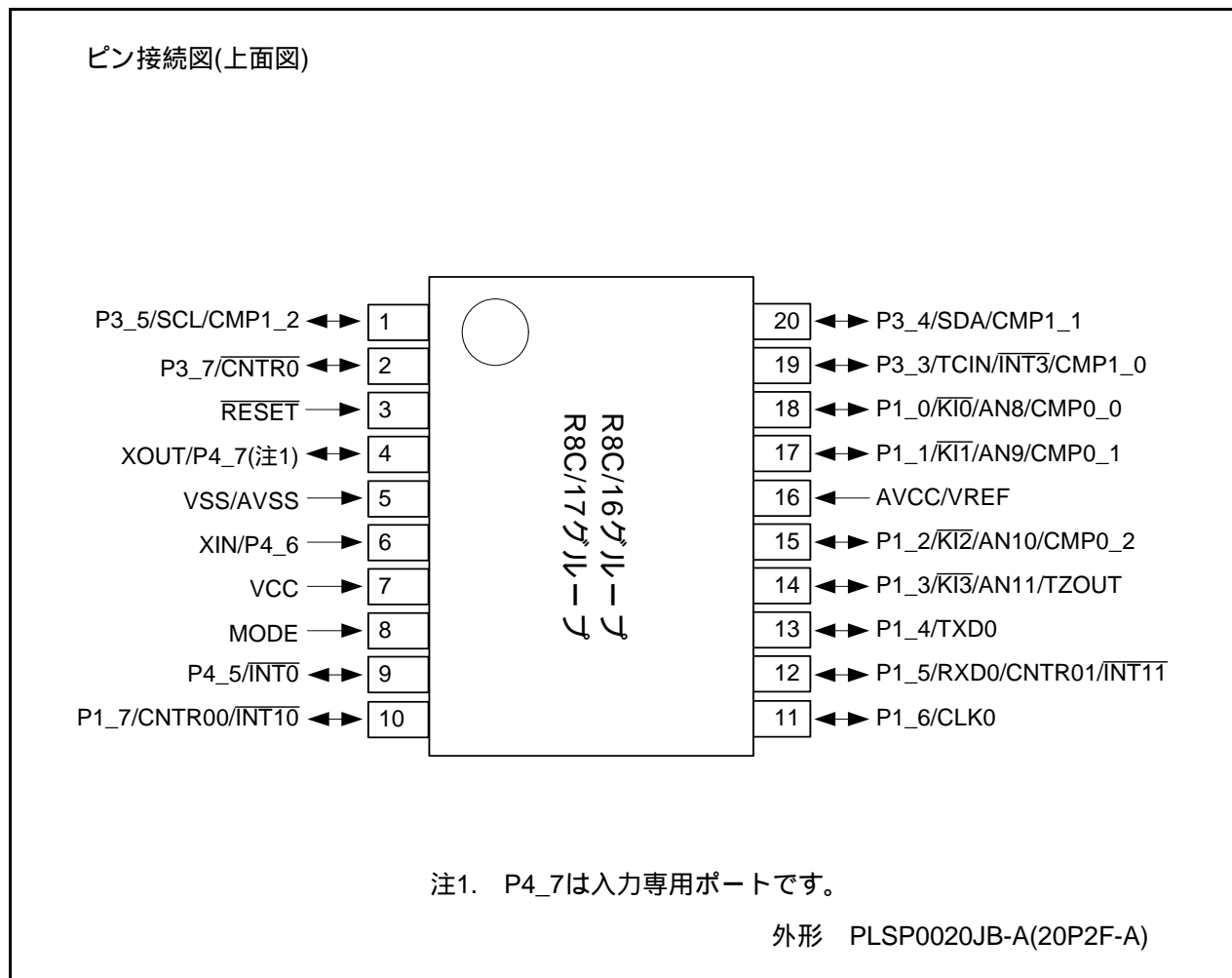


図 1.4 PLSP0020JB-Aパッケージ品のピン接続図(上面図)

1.6 端子の機能説明

表 1.5 に端子の機能説明を、表 1.6 にピン番号別端子名一覧を示します。

表 1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCC には、2.7V ~ 5.5V を入力してください。 VSS には、0V を入力してください。
アナログ電源入力	AVCC AVSS	入力	A/D コンバータの電源入力です。AVCC は VCC に接続してください。AVSS には 0V を入力してください。AVCC と AVSS 間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に “L” を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介して VCC に接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XIN と XOUT の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN からクロックを入力し、XOUT は開放にしてください。
メインクロック出力	XOUT	出力	
INT 割り込み入力	INT0、INT1、INT3	入力	INT 割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマ X	CNTR0	入出力	タイマ X の入出力です。
	CNTR0	出力	タイマ X の出力です。
タイマ Z	TZOUT	出力	タイマ Z の出力です。
タイマ C	TCIN	入力	タイマ C の入力です。
	CMP0_0 ~ CMP0_2 CMP1_0 ~ CMP1_2	出力	タイマ C の出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0	入力	シリアルデータ入力です。
	TXD0	出力	シリアルデータ出力です。
I ² C バスインタフェース (IIC)	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/D コンバータの基準電圧入力です。VREF は VCC に接続してください。
A/D コンバータ	AN8 ~ AN11	入力	A/D コンバータのアナログ入力です。
入出力ポート	P1_0 ~ P1_7、 P3_3 ~ P3_5、 P3_7、P4_5	入出力	CMOS の入出力ポートです。入出力を選択するための方向レジスタを持ち、1 端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポート P1_0 ~ P1_3 は LED 駆動ポートとして使用できます。
入力ポート	P4_6、P4_7	入力	入力専用ポートです。

表 1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子				
			割り込み	タイマ	シリアルインタフェース	I ² Cバスインタフェース	A/Dコンバータ
1		P3_5		CMP1_2		SCL	
2		P3_7		CNTR0			
3	RESET						
4	XOUT	P4_7					
5	VSS/AVSS						
6	XIN	P4_6					
7	VCC						
8	MODE						
9		P4_5	INT0				
10		P1_7	INT10	CNTR00			
11		P1_6			CLK0		
12		P1_5	INT11	CNTR01	RXD0		
13		P1_4			TXD0		
14		P1_3	KI3	TZOUT			AN11
15		P1_2	KI2	CMP0_2			AN10
16	AVCC/VREF						
17		P1_1	KI1	CMP0_1			AN9
18		P1_0	KI0	CMP0_0			AN8
19		P3_3	INT3	TCIN/CMP1_0			
20		P3_4		CMP1_1		SDA	

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

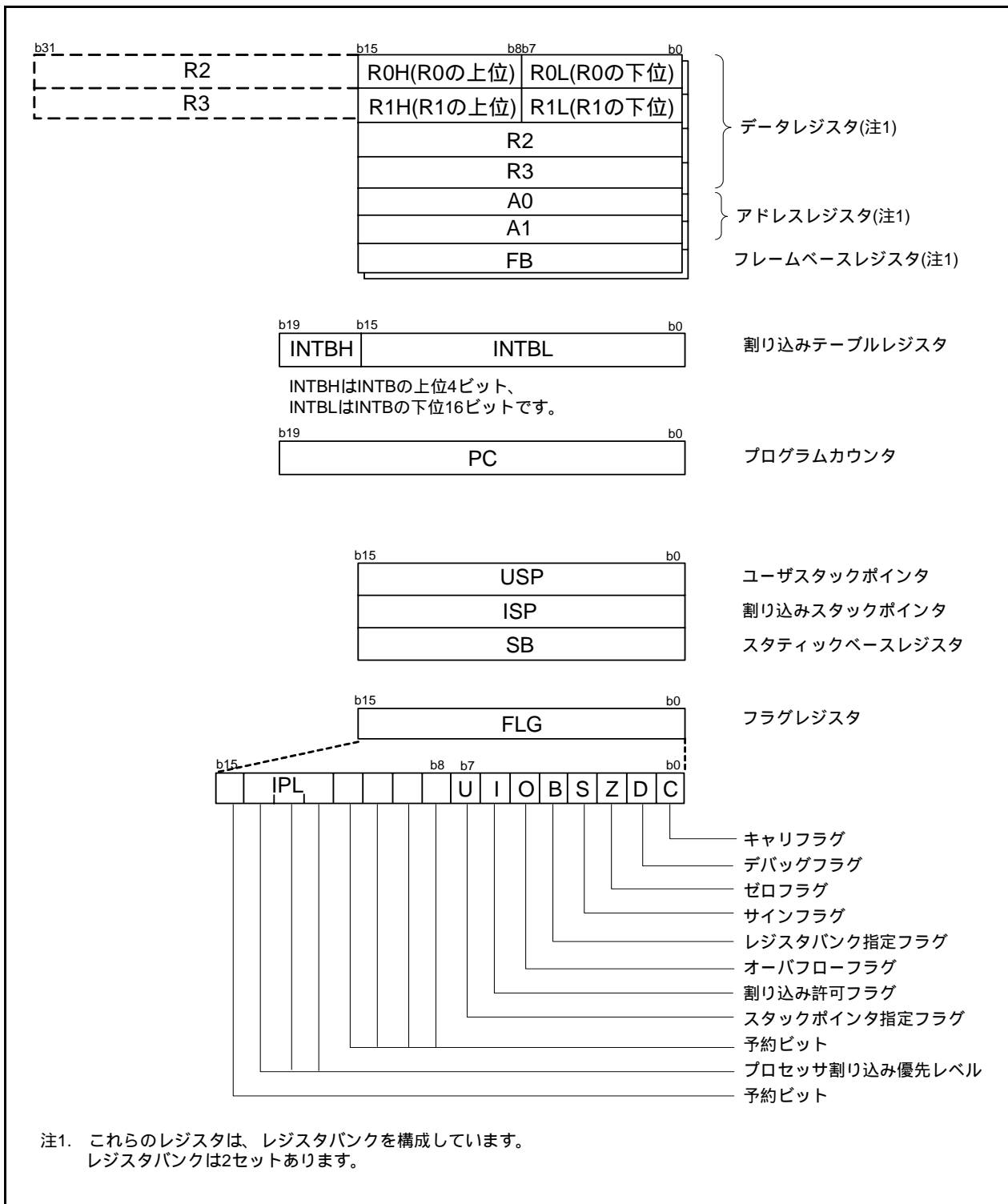


図 2.1 CPU のレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

3.1 R8C/16グループ

図 3.1 に R8C/16 グループのメモリ配置図を示します。アドレス空間は 00000h 番地から FFFFFh 番地までの 1M バイトあります。内部ROMは 0FFFFh 番地から下位方向に配置されます。例えば 16K バイトの内部ROMは、0C000h 番地から 0FFFFh 番地に配置されます。

固定割り込みベクタテーブルは 0FFDCh 番地から 0FFFFh 番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは 00400h 番地から上位方向に配置されます。例えば 1K バイトの内部RAMは、00400h 番地から 007FFh 番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h 番地から 002FFh 番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

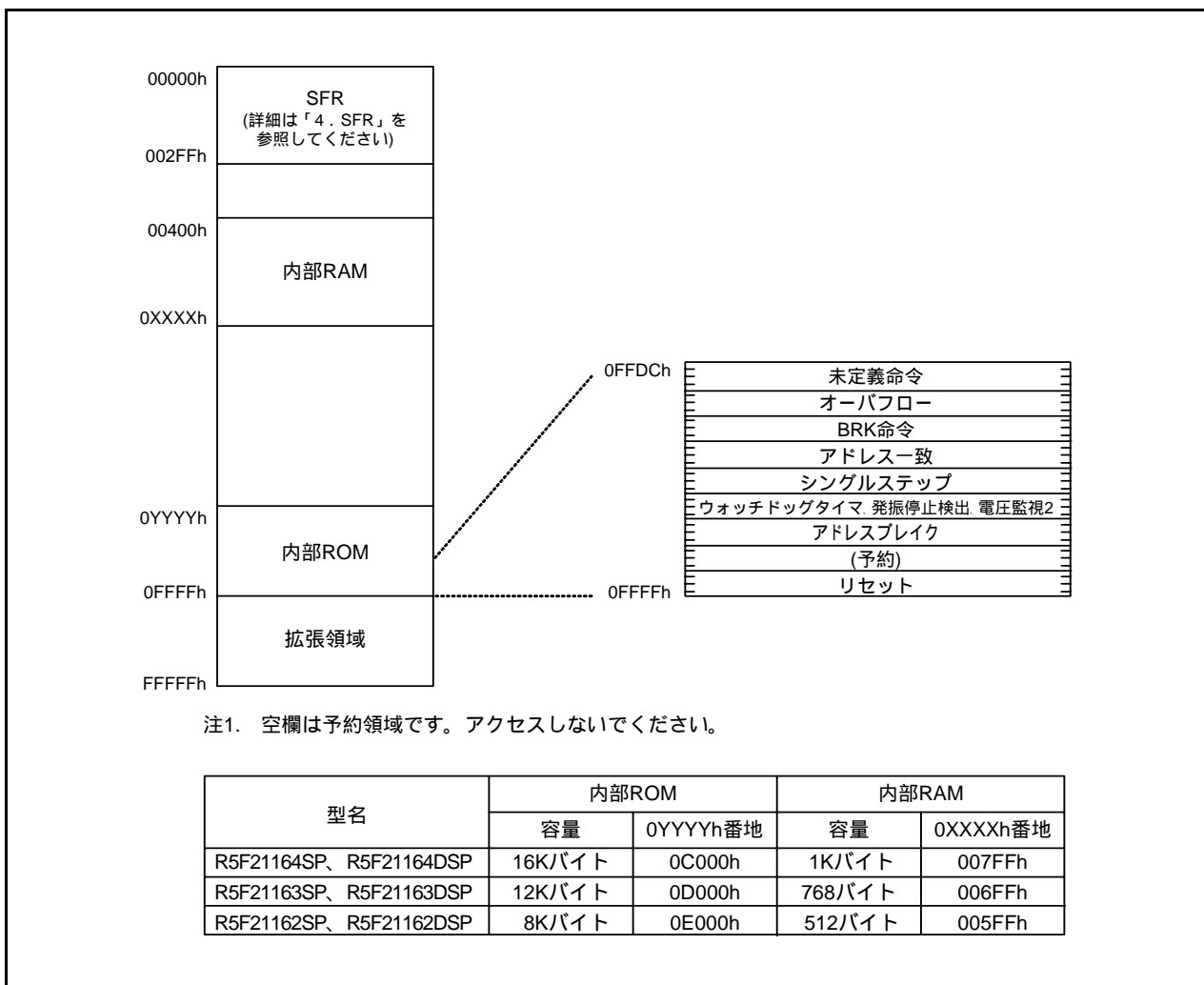


図 3.1 R8C/16グループのメモリ配置図

3.2 R8C/17グループ

図 3.2 に R8C/17 グループのメモリ配置図を示します。アドレス空間は 00000h 番地から FFFFFh 番地までの 1M バイトあります。内部 ROM (プログラム ROM) は 0FFFFh 番地から下位方向に配置されます。例えば 16K バイトの内部 ROM は、0C000h 番地から 0FFFFh 番地に配置されます。

固定割り込みベクタテーブルは 0FFDCh 番地から 0FFFFh 番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部 ROM (データフラッシュ) は 02400h 番地から 02BFFh 番地に配置されます。

内部 RAM は 00400h 番地から上位方向に配置されます。例えば 1K バイトの内部 RAM は、00400h 番地から 007FFh 番地に配置されます。内部 RAM はデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR は、00000h 番地から 002FFh 番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFR のうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

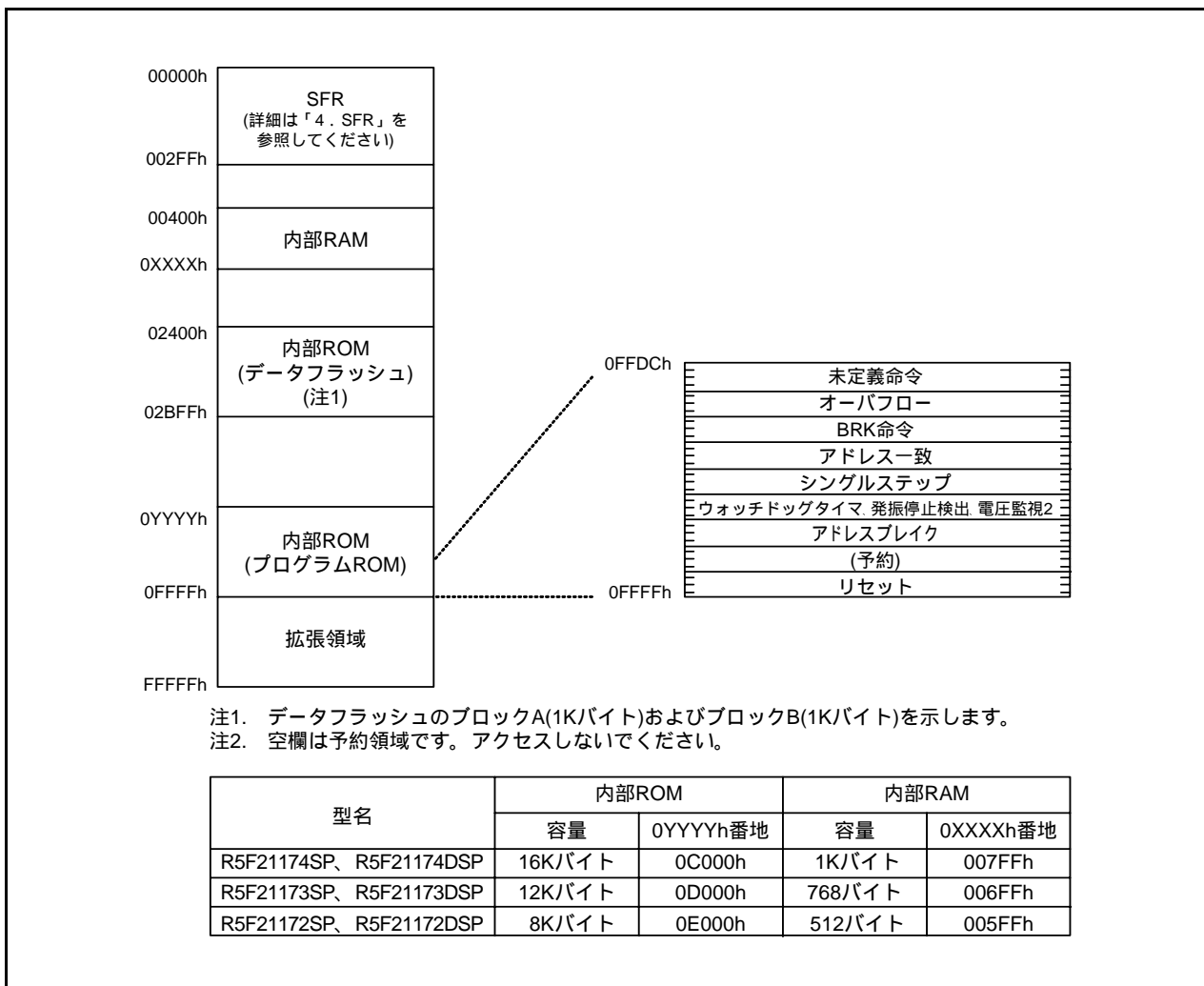


図 3.2 R8C/17グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表 4.1 ~ 表 4.4 に SFR 一覧を示します。

表 4.1 SFR 一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00011111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h
001Dh			
001Eh	INT0 入力フィルタ選択レジスタ	INT0F	00h
001Fh			
0020h	高速オンチップオシレータ制御レジスタ 0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ 1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ 2	HRA2	00h
0023h			
0024h			
0025h			
002Fh			
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注2)	VW1C	0000X000b (注3) 0100X001b (注4)
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは変化しません。

注 3. ハードウェアリセットの場合。

注 4. パワーオンリセット、電圧監視 1 リセットの場合。

注 5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b2、b3 は変化しません。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	IIC割り込み制御レジスタ	IIC2AIC	XXXXX000b
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	XXXXX000b
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XXXXX000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XXXXX000b
005Bh	タイマC割り込み制御レジスタ	TCIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイムZモードレジスタ	TZMR	00h
0081h			
0082h			
0083h			
0084h	タイムZ波形出力制御レジスタ	PUM	00h
0085h	プリスケアラZレジスタ	PREZ	FFh
0086h	タイムZセカンダリレジスタ	TZSC	FFh
0087h	タイムZプライマリレジスタ	TZPR	FFh
0088h			
0089h			
008Ah	タイムZ出力制御レジスタ	TZOC	00h
008Bh	タイムXモードレジスタ	TXMR	00h
008Ch	プリスケアラXレジスタ	PREX	FFh
008Dh	タイムXレジスタ	TX	FFh
008Eh	タイムカウントソース設定レジスタ	TCSS	00h
008Fh			
0090h	タイムCレジスタ	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	00h
0097h			
0098h	キー入力許可レジスタ	KIEN	00h
0099h			
009Ah	タイムC制御レジスタ0	TCC0	00h
009Bh	タイムC制御レジスタ1	TCC1	00h
009Ch	キャプチャ、コンペア0レジスタ	TM0	00h
009Dh			00h(注2)
009Eh	コンペア1レジスタ	TM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	UART送受信制御レジスタ2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	IICバス制御レジスタ1	ICCR1	00h
00B9h	IICバス制御レジスタ2	ICCR2	7Dh
00BAh	IICバスモードレジスタ	ICMR	18h
00BBh	IICバス割り込み許可レジスタ	ICIER	00h
00BCh	IICバスステータスレジスタ	ICSR	00h
00BDh	スレーブアドレスレジスタ	SAR	00h
00BEh	IICバス送信データレジスタ	ICDRT	FFh
00BFh	IICバス受信データレジスタ	ICDRR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. アウトプットコンペアモード(TCC1レジスタのTCC13ビット=1)を選択すると、FFFFhになります。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00000XXXb
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポート P1 レジスタ	P1	XXh
00E2h			
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	XXh
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ 0	PUR0	00XX0000b
00FDh	ブルアップ制御レジスタ 1	PUR1	XXXXXX0Xb
00FEh	ポート P1 駆動能力制御レジスタ	DRR	00h
00FFh	タイマ C 出力制御レジスタ	TCOUT	00h
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
0FFFh	オプション機能選択レジスタ	OFS	(注 2)

注 1. 空欄および0100h～01B2h番地、01B8h～02FFh番地は予約領域です。アクセスしないでください。

注 2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. 電気的特性

表 5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{cc}	電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
AV _{cc}	アナログ電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{cc} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	Topr = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表 5.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{cc}	電源電圧		2.7		5.5	V
AV _{cc}	アナログ電源電圧			V _{cc} (注3)		V
V _{ss}	電源電圧			0		V
AV _{ss}	アナログ電源電圧			0		V
V _{IH}	“H” 入力電圧		0.8V _{cc}		V _{cc}	V
V _{IL}	“L” 入力電圧		0		0.2V _{cc}	V
I _{OH(sum)}	“H” 尖頭総出力電流	全端子の I _{OH(peak)} の総和			- 60	mA
I _{OH(peak)}	“H” 尖頭出力電流				- 10	mA
I _{OH(avg)}	“H” 平均出力電流				- 5	mA
I _{OL(sum)}	“L” 尖頭総出力電流	全端子の I _{OL(peak)} の総和			60	mA
I _{OL(peak)}	“L” 尖頭出力電流	P1_0 ~ P1_3 以外			10	mA
		P1_0 ~ P1_3	駆動能力 HIGH		30	mA
			駆動能力 LOW		10	mA
I _{OL(avg)}	“L” 平均出力電流	P1_0 ~ P1_3 以外			5	mA
		P1_0 ~ P1_3	駆動能力 HIGH		15	mA
			駆動能力 LOW		5	mA
f(XIN)	メインクロック入力発振周波数	3.0 V V _{cc} 5.5 V	0		20	MHz
		2.7 V V _{cc} < 3.0 V	0		10	MHz

注1. 指定のない場合は、V_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. V_{cc} = AV_{cc}にしてください。

表 5.3 A/D コンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = Vcc			10	Bit	
	絶対精度	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 3	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 2	LSB
		10ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V (注 3)			± 5	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V (注 3)			± 2	LSB
Rladder	ラダ - 抵抗	Vref = Vcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	3.3			μs
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	2.8			μs
Vref	基準電圧			Vcc(注 4)		V	
VIA	アナログ入力電圧		0		Vref	V	
	A/D動作クロック周波数(注 2)	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. f1が10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AVccが4.2 V未満の場合はf1を分周し、A/D動作クロック周波数(AD)がf1/2以下になるように調整してください。

注4. Vcc=Vrefにしてください。

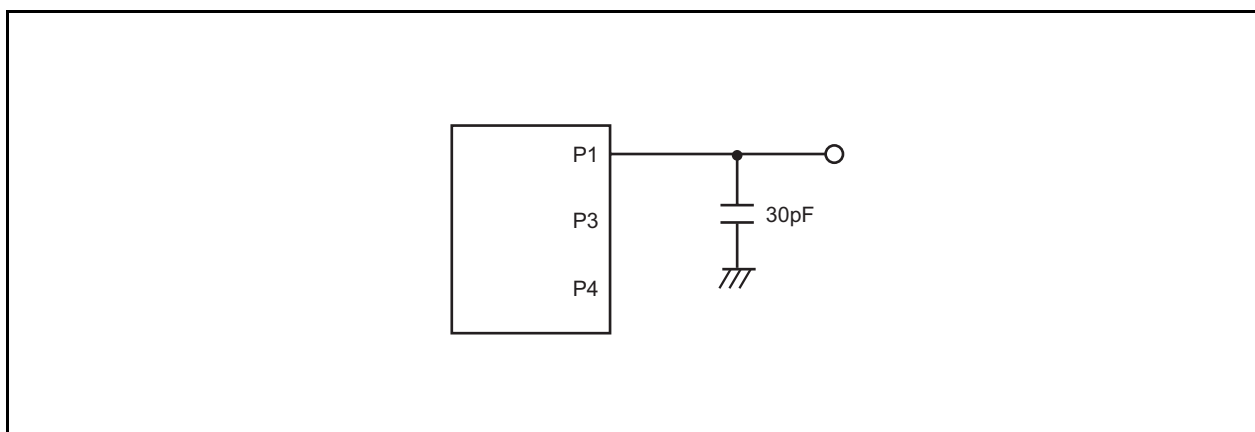


図 5.1 ポートP1、P3、P4の測定回路

表 5.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/16グループ	100(注3)			回
		R8C/17グループ	1000(注3)			回
	バイトプログラム時間	Vcc=5.0V、Topr=25		50	400	μs
	ブロックイレーズ時間	Vcc=5.0V、Topr=25		0.4	9	s
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
	イレーズサスペンドリクエスト間隔		10			ms
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 =55	20			年

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表 5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10000 (注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)	Vcc=5.0V、Topr=25		50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)	Vcc=5.0V、Topr=25		65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)	Vcc=5.0V、Topr=25		0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)	Vcc=5.0V、Topr=25		0.3		s
t _d (SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
	イレーズサスペンドリクエスト間隔		10			ms
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 =55	20			年

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラム領域と同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

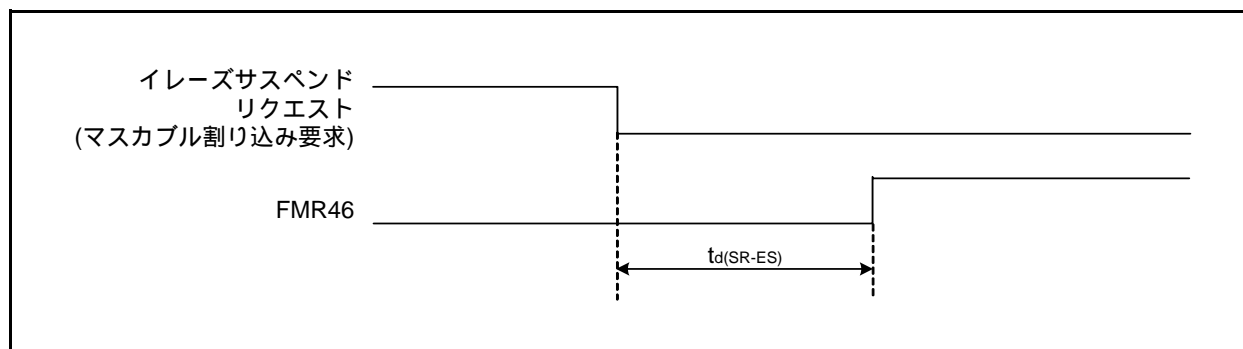


図 5.2 消去動作からイレーズサスペンドへの遷移時間

表 5.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det1}	電圧検出レベル (注 3)		2.70	2.85	3.00	V
	電圧検出回路の自己消費電流	VCA26 = 1、V _{cc} =5.0V		600		nA
t _{d(E-A)}	電圧検出回路動作開始までの待ち時間 (注 2)				100	μs
V _{ccmin}	マイコンの動作電圧の最小値		2.7			V

注 1. 測定条件は V_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注 2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注 3. V_{det2} > V_{det1} になります。

表 5.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det2}	電圧検出レベル (注 4)		3.00	3.30	3.60	V
	電圧監視 2 割り込み要求発生時間 (注 2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、V _{cc} =5.0V		600		nA
t _{d(E-A)}	電圧検出回路動作開始までの待ち時間 (注 3)				100	μs

注 1. 測定条件は V_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注 2. V_{det2}を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注 3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注 4. V_{det2} > V_{det1} になります。

表 5.8 リセット回路の電気的特性(電圧監視1リセット使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr < 85			Vdet1	V
tw(Vpor2-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間(注1)	- 20 Topr < 85 、 tw(por2) 0 s(注3)			100	ms

注1. Vcc 1.0 Vで使用する場合、この条件は不要です。

注2. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを越えた後に電源を立ち上げる場合は、「表 5.9 リセット回路の電気的特性(電圧監視1リセット未使用時)」を参照してください。

注3. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表 5.9 リセット回路の電気的特性(電圧監視1リセット未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr < 85			0.1	V
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 10 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 30 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 10 s(注2)			1	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 1 s(注2)			0.5	ms

注1. 電圧監視1リセットを使用しない場合、Vcc 2.7 Vで使用してください。

注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

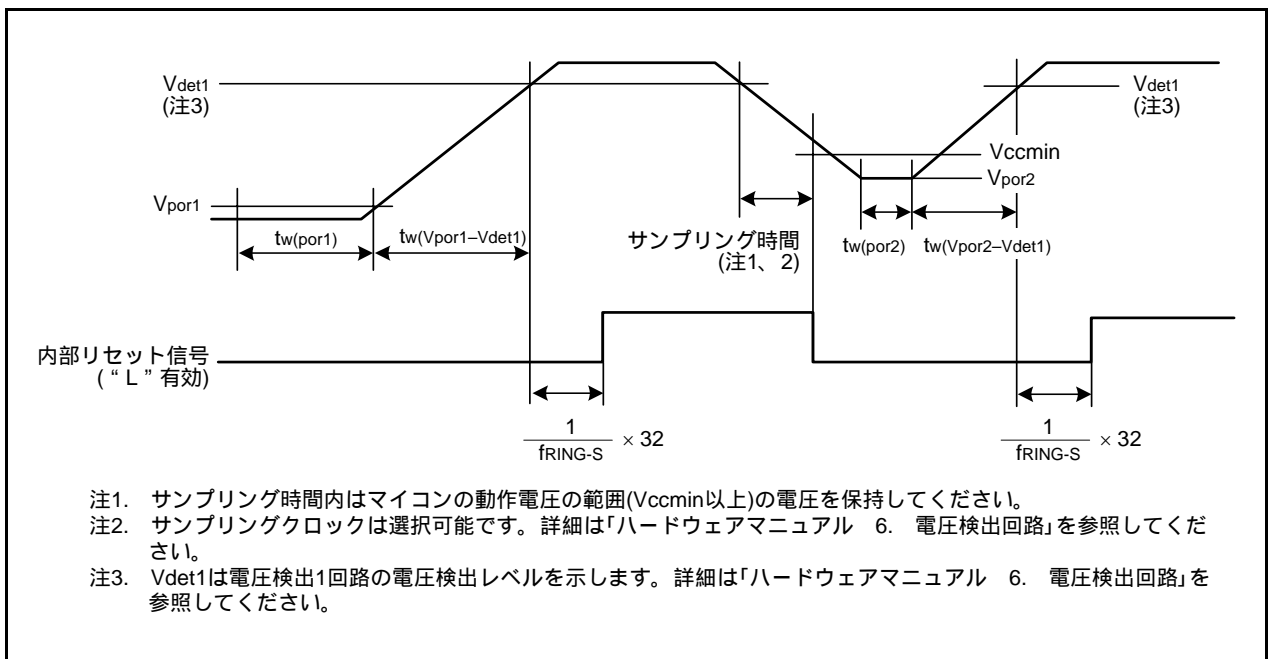


図 5.3 リセット回路の電気的特性

表 5.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		8		MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性	0 ~ +60 / 5V ± 5%(注 2)	7.44		8.56	MHz
		- 20 ~ +85 / 2.7 ~ 5.5V(注 2)	7.04		8.96	MHz
		- 40 ~ +85 / 2.7 ~ 5.5V(注 2)	6.80		9.20	MHz

注1. 測定条件はVcc = AVcc = 5.0 V、Topr = 25 です。

注2. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

表 5.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注 2)		1		2000	μs
td(R-S)	STOP 解除時間 (注 3)				150	μs

注1. 測定条件はVcc = AVcc = 2.7 V ~ 5.5 V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表 5.12 I²Cバスインタフェース(IIC)のタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL 入力サイクル時間		12tcyc + 600 (注2)			ns
tSCLH	SCL 入力“H”パルス幅		3tcyc + 300 (注2)			ns
tSCLL	SCL 入力“L”パルス幅		5tcyc + 300 (注2)			ns
tsf	SCL、SDA 入力立ち下がり時間				300	ns
tSP	SCL、SDA 入力スパイクパルス除去時間				1tcyc (注2)	ns
tBUF	SDA 入力バスフリー時間		5tcyc (注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc (注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc (注2)			ns
tSTOS	停止条件入力セットアップ時間		3tcyc (注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 20 (注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Vss = 0 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tcyc=1/f1 (s)

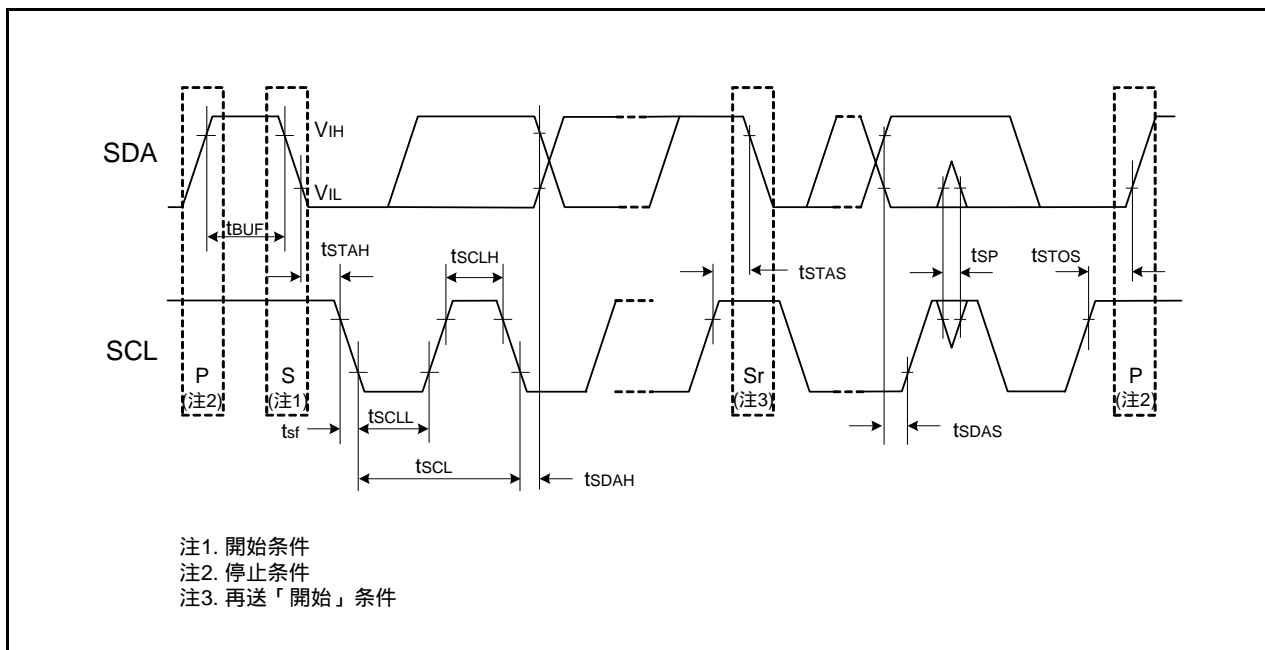
図 5.4 I²Cバスインタフェース(IIC)の入出力タイミング

表 5.13 電気的特性(1) [Vcc = 5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“ H ” 出力電圧	XOUT 以外	I _{OH} = - 5 mA		V _{CC} - 2.0		V _{CC}	V
			I _{OH} = - 200 μA		V _{CC} - 0.3		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 1 mA	V _{CC} - 2.0		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 500 μA	V _{CC} - 2.0		V _{CC}	V
VOL	“ L ” 出力電圧	P1_0 ~ P1_3, XOUT 以外	I _{OL} = 5 mA				2.0	V
			I _{OL} = 200 μA				0.45	V
		P1_0 ~ P1_3	駆動能力 HIGH	I _{OL} = 15 mA			2.0	V
			駆動能力 LOW	I _{OL} = 5 mA			2.0	V
			駆動能力 LOW	I _{OL} = 200 μA			0.45	V
		XOUT	駆動能力 HIGH	I _{OL} = 1 mA			2.0	V
			駆動能力 LOW	I _{OL} = 500 μA			2.0	V
		VT+ - VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RxD0			0.2	
RESET				0.2		2.2	V	
I _{IH}	“ H ” 入力電流		VI = 5 V				5.0	μA
I _{IL}	“ L ” 入力電流		VI = 0 V				- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0 V		30	50	167	k
R _{fXIN}	帰還抵抗	XIN				1.0		M
f _{RING-S}	低速オンチップオシレータ発振周波数				40	125	250	kHz
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = AV_{CC} = 4.2 V ~ 5.5 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 20 MHzです。

表 5.14 電気的特性(2) [Vcc = 5 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		470	900	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA26 = VCA27 = " 0 "		40	80	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA26 = VCA27 = " 0 "		38	76	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.8	3.0	μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=5V$]

表 5.15 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(XIN)$	XIN 入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN 入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN 入力“L”パルス幅	25		ns

表 5.16 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CNTR0)$	CNTR0 入力サイクル時間	100		ns
$t_{WH}(CNTR0)$	CNTR0 入力“H”パルス幅	40		ns
$t_{WL}(CNTR0)$	CNTR0 入力“L”パルス幅	40		ns

表 5.17 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TCIN)$	TCIN 入力サイクル時間	400(注 1)		ns
$t_{WH}(TCIN)$	TCIN 入力“H”パルス幅	200(注 2)		ns
$t_{WL}(TCIN)$	TCIN 入力“L”パルス幅	200(注 2)		ns

- 注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。
- 注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表 5.18 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CK)$	CLKi 入力サイクル時間	200		ns
$t_{W}(CKH)$	CLKi 入力“H”パルス幅	100		ns
$t_{W}(CKL)$	CLKi 入力“L”パルス幅	100		ns
$t_{d}(C-Q)$	TxDi 出力遅延時間		50	ns
$t_{h}(C-Q)$	TxDi ホールド時間	0		ns
$t_{su}(D-C)$	RxDi 入力セットアップ時間	50		ns
$t_{h}(C-D)$	RxDi 入力ホールド時間	90		ns

表 5.19 外部割りこみ $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{W}(INH)$	$\overline{INT0}$ 入力“H”パルス幅	250(注 1)		ns
$t_{W}(INL)$	$\overline{INT0}$ 入力“L”パルス幅	250(注 2)		ns

- 注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。
- 注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

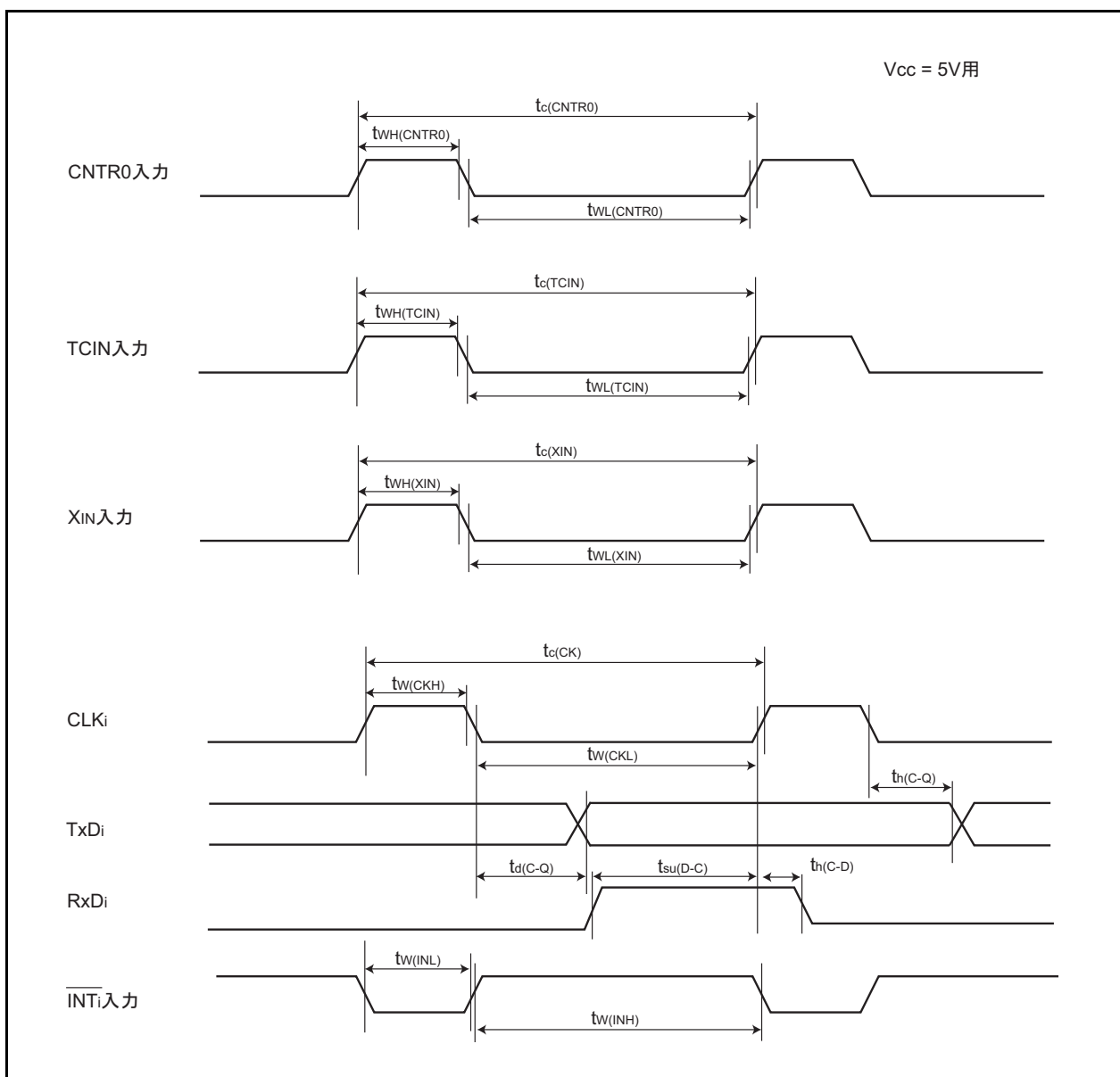


図 5.5 Vcc=5V時のタイミング

表 5.20 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I _{OH} = - 1 mA		V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 0.1 mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	P1_0 ~ P1_3, XOUT 以外	I _{OL} = 1 mA				0.5	V
		P1_0 ~ P1_3	駆動能力 HIGH	I _{OL} = 2 mA			0.5	V
			駆動能力 LOW	I _{OL} = 1 mA			0.5	V
		XOUT	駆動能力 HIGH	I _{OL} = 0.1 mA			0.5	V
			駆動能力 LOW	I _{OL} = 50 μA			0.5	V
VT+ - VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RxD0			0.2		0.8	V
		RESET			0.2		1.8	V
I _{IH}	“H”入力電流		V _I = 3 V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0 V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V		66	160	500	k
R _{XIN}	帰還抵抗	XIN				3.0		M
f _{RING-S}	低速オンチップオシレータ発振周波数				40	125	250	kHz
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = AV_{CC} = 2.7 V ~ 3.3 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

表 5.21 電気的特性(4) [Vcc = 3 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		420	800	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA26 = VCA27 = " 0 "		37	74	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA26 = VCA27 = " 0 "		35	70	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.7	3.0	μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=3V$]

表 5.22 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(XIN)$	XIN 入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN 入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN 入力“L”パルス幅	40		ns

表 5.23 CNTR0入力、 $\overline{CNTR1}$ 入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CNTR0)$	CNTR0 入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0 入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0 入力“L”パルス幅	120		ns

表 5.24 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c}(TCIN)$	TCIN 入力サイクル時間	1200(注 1)		ns
$t_{WH}(TCIN)$	TCIN 入力“H”パルス幅	600(注 2)		ns
$t_{WL}(TCIN)$	TCIN 入力“L”パルス幅	600(注 2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表 5.25 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c}(CK)$	CLKi 入力サイクル時間	300		ns
$t_{W}(CKH)$	CLKi 入力“H”パルス幅	150		ns
$t_{W}(CKL)$	CLKi 入力“L”パルス幅	150		ns
$t_{d}(C-Q)$	TxDi 出力遅延時間		80	ns
$t_{h}(C-Q)$	TxDi ホールド時間	0		ns
$t_{su}(D-C)$	RxDi 入力セットアップ時間	70		ns
$t_{h}(C-D)$	RxDi 入力ホールド時間	90		ns

表 5.26 外部割りこみ $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{W}(INH)$	$\overline{INT0}$ 入力“H”パルス幅	380(注 1)		ns
$t_{W}(INL)$	$\overline{INT0}$ 入力“L”パルス幅	380(注 2)		ns

注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

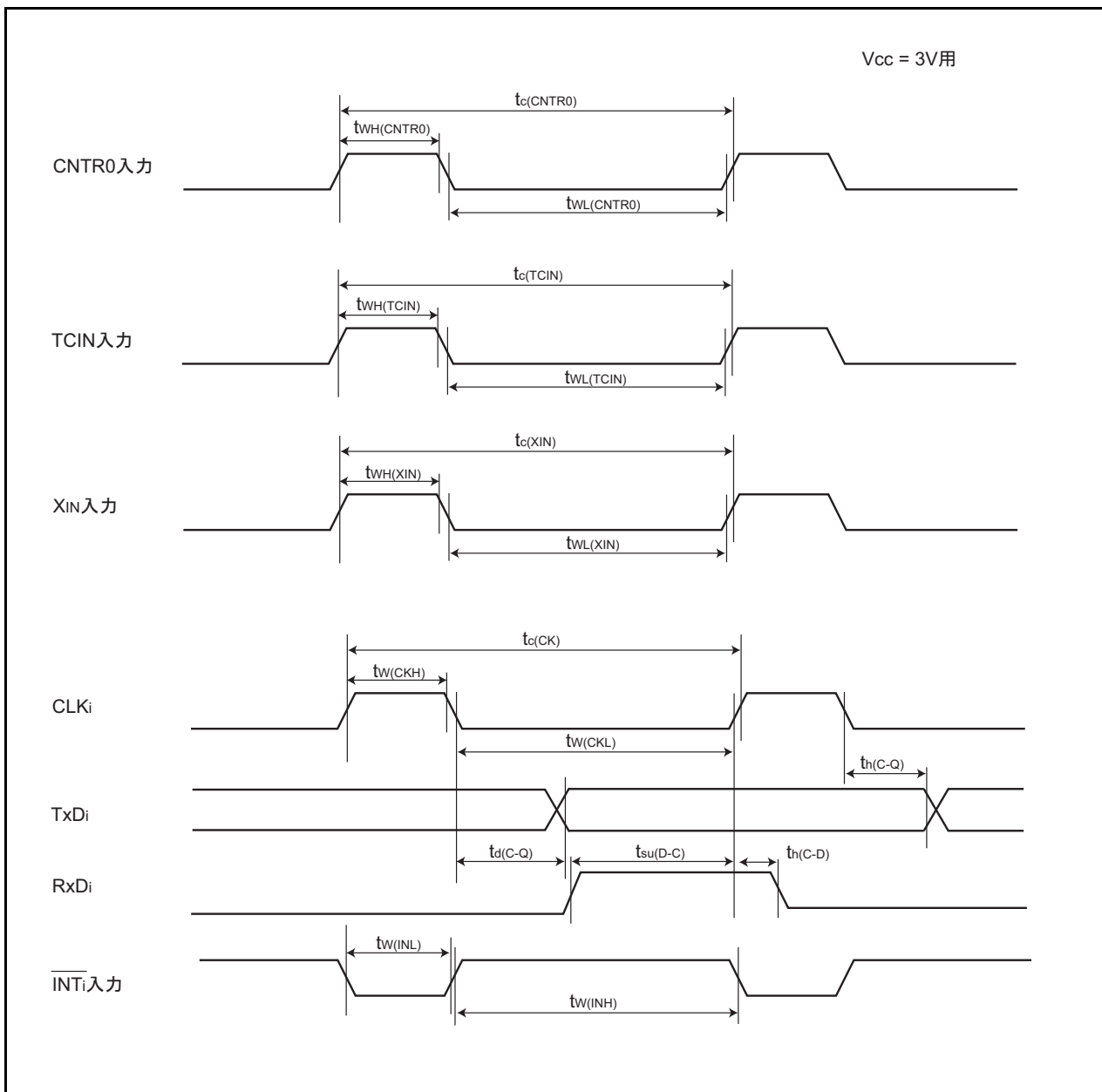
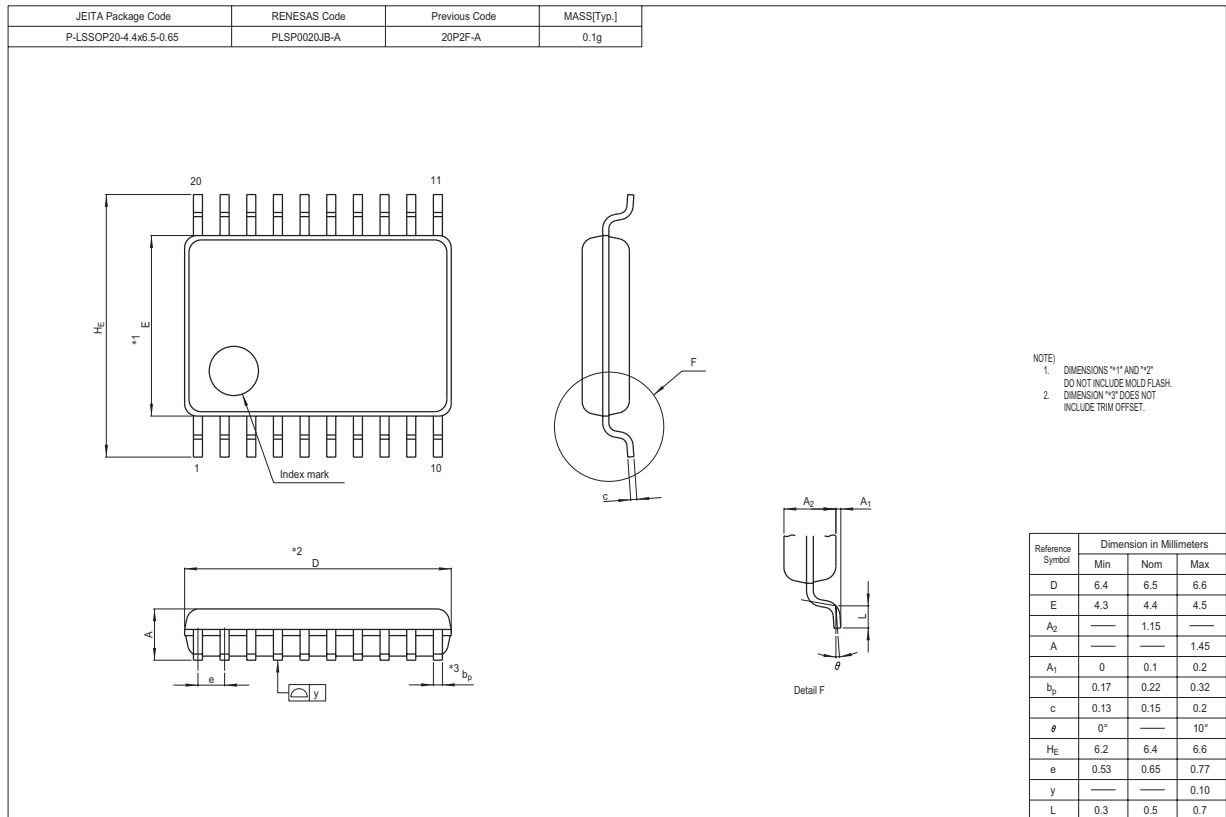


図 5.6 Vcc=3V時のタイミング

外形寸法図



改訂記録	R8C/16グループ、R8C/17グループデータシート
------	-----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2004.6.22	-	Rev.0.10発行
0.20	2004.09.03	2 3 9 10 14、15 16 22 23 24 25 27 31	表1.1 消費電流 TBDを決定 表1.2 消費電流 TBDを決定 プログラム、イレーズ回数 100回(プログラム領域) 1,000回 表1.5 アナログ電源入力を追記；基準電圧入力に追記 表1.6 追記 図3.1、図3.2 0FFF4h ~ 0FFF7h番地にアドレスブレイクを追記 表4.1 0022h番地にHRA2レジスタ追記 表5.4 プログラム、イレーズ回数を変更 表5.6 規格値TBDを決定、注1を修正、注3を追記 表5.7 規格値TBDを決定、注1を修正、注4を追記 表5.9 規格値を追記 表5.10 規格値TBDを決定 表5.13 ウェイトモード 規格値TBDを決定 表5.20 ウェイトモード 規格値TBDを決定
1.00	2005.02.07	全ページ 5 6 7 8 16 18 21 22 24 25 26 27 31 35	開発中(暫定仕様書)の表記を削除 表1.3 一部の型名の(開)表記を削除、パッケージ型名を変更 図1.2 パッケージ型名を変更 表1.4 一部の型名の(開)表記を削除、パッケージ型名を変更 図1.3 パッケージ型名を変更 図1.4 パッケージ型名を変更 図1.5 パッケージ型名を変更 表4.1 0036h番地のリセット後の値を変更 表4.3 009Ch ~ 009Dh番地のリセット後の値を修正、注2、注3を追記 表5.3 測定条件からf(XIN)=を削除。 注2、3.fAD f1に修正、注3.VCCをAVCCに修正 表5.4、表5.5 「イレーズサスペンドリクエスト間隔」を追記 表5.8、表5.9 変更 表5.11 td(P-R)の最小値を追記 表5.12、図5.4 追記 表5.13 「“L”出力電圧 P1_0 ~ P1_3」に追記と修正 注1.f(BCLK) f(XIN)に修正 表5.20 注1.f(BCLK) f(XIN)に修正 外形寸法図を変更
1.10	2005.03.04	16 18 28 29 32 33	表4.1 000Fh番地のリセット後の値を修正 表4.3 009Ch ~ 009Dh番地のリセット後の値、注2を修正 表5.14 ウェイトモード、ストップモードの測定条件： VC27 VCA26=VCA27に修正 表5.16 表タイトル「INT2」を「INT1」へ修正 表5.21 ウェイトモード、ストップモードの測定条件： VC27 VCA26=VCA27に修正 表5.23 表タイトル「INT2」を「INT1」へ修正

改訂記録	R8C/16 グループ、R8C/17 グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2005.07.07	5、6 16 22 26 27 31	表1.3、1.4 開発中の表記を削除 表4.1 0009h、000Ah、001Eh番地のリセット後の値を修正 表5.5、注3 最小回数 回数に修正 図5.4 一部削除 表5.13 ヒステリシスの項目を変更 表5.20 ヒステリシスの項目を変更
2.00	2006.01.30	1 2、3 4 5、6 8 10 12 13 14 17	1.概要 「、、、20ピンプラスチックモールドLSSOPまたはSDIPに、、、」 「、、、20ピンプラスチックモールドLSSOPに、、、」へ変更 表1.1 R8C/16グループの性能概要、表1.2 R8C/17グループの性能概要 •パッケージ:「20ピンプラスチックモールドSDIP」削除 •フラッシュメモリ:「データ領域」「データフラッシュ」 「プログラム領域」「プログラムROM」へ変更 図1.1 ブロック図 「周辺機能」追記 「システムクロック発生」「システムクロック発生器」へ変更 表1.3 R8C/16グループの製品一覧表、表1.4 R8C/17グループの製品一覧表 「PRDP0020BA-A (計):計画中」の製品を表から削除 「プログラム領域」「プログラムROM」「データ領域」「データフラッシュ」へ変更 図1.2、図1.3 型名とメモリサイズ・パッケージ パッケージ種類:「DD:外形PRDP0020BA-A」を削除 図1.5 PRDP0020BA-Aパッケージ品のピン接続図(上面図) 削除 表1.5 端子の機能説明 タイマC:「CMP0_0 ~ CMP0_3、CMP1_0 ~ CMP1_3」 「CMP0_0 ~ CMP0_2、CMP1_0 ~ CMP1_2」 図2.1 CPUのレジスタ 「予約領域」「予約ビット」へ変更 2.8.10 予約ビット 「予約領域」「予約ビット」へ変更 図3.1 R8C/16グループのメモリ配置図 変更 3.2 R8C/17グループ 「プログラム領域」「プログラムROM」「データ領域」「データフラッシュ」へ変更 図3.2 R8C/17グループのメモリ配置図 変更 表4.3 SFR一覧(3) レジスタ名修正、変更 0085h: プリスケラZ プリスケラZレジスタ 0086h: タイマZ セカンダリ タイマZ セカンダリレジスタ 0087h: タイマZ プライマリ タイマZ プライマリレジスタ 008Ch: プリスケラX プリスケラXレジスタ 008Dh: タイマX タイマXレジスタ 0090h, 0091h: タイマC タイマCレジスタ 00B8h: 「IICバスコントロールレジスタH」「IICバス制御レジスタH」 00B9h: 「IICバスコントロールレジスタL」「IICバス制御レジスタL」 00BBh: 「IICバスインターラプトイネーブルレジスタ」 「IICバス割り込み許可レジスタ」

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.30	21	表5.4 フラッシュメモリ(プログラムROM)の電気的特性 <ul style="list-style-type: none"> • 注1～7追加
		22	表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 <ul style="list-style-type: none"> • 注1変更、注9追加
		23	図5.2 消去動作からイレーズサスペンドへの遷移時間 変更
		24	表5.8 リセット回路の電気的特性(電圧監視1リセット使用時) 注2変更
		25	表5.10 高速オンチップオシレータ発振回路の電気的特性 変更
		26	表5.12 I ² Cバスインタフェース(IIC)のタイミング必要条件 注1変更
		28	表5.14 電気的特性(2) [V _{cc} = 5 V] <ul style="list-style-type: none"> • 「(指定のない場合は、Topr = - 40 ~ 85)」追加 • ストップモード 測定条件：Topr = 25 追加 • 注1削除
		29	「タイミング必要条件(指定のない場合は、、、 Ta= 25)」 「タイミング必要条件(指定のない場合は、、、 Topr= 25)」へ変更
		32	表5.18 シリアルインタフェース <ul style="list-style-type: none"> • TxDi出力遅延時間 規格値：80 50 • RxDi入力セットアップ時間 規格値：35 50
		33	表5.21 電気的特性(4) [V _{cc} = 3 V] <ul style="list-style-type: none"> • 「(指定のない場合は、Topr = - 40 ~ 85)」追加 • ストップモード 測定条件：Topr = 25 追加 • 注1削除
		35	表5.25 シリアルインタフェース <ul style="list-style-type: none"> • TxDi出力遅延時間 規格値：160 80 • RxDi入力セットアップ時間 規格値：55 70 付録1. 外形寸法図 パッケージ「PRDP0020BA-A」削除

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com