

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# 1 M66590概要

## 1.1 機能概要

M66590は、USB ( Universal Serial Bus ) 規格Rev.2.0に準拠し、ハイスピード ( Hi-Speed ) 転送モードおよびフルスピード ( Full-Speed ) 転送モードの両転送モードに対応したUSBデバイスコントローラです。

USBハイスピード/フルスピードトランシーバを内蔵しており、USBで定義されている全転送タイプに対応しています。

M66590はデータ転送用に12KバイトのFIFOを内蔵しており、7本のPIPEで最大7本のエンドポイントの設定が可能です。それぞれのPIPEは、データ転送条件をプログラマブルに設定可能であり、またPIPE1～6はエンドポイント番号 ( 1～15 ) も自由に設定が可能です。さらにPIPE毎に自由にFIFOサイズが設定可能であるため、数多くのUSBデバイスクラスに対応したシステムを構築することが可能です。

CPUバスから独立したスプリットバスインタフェース ( DMA Interface ) を備え、高速で大容量データ転送要求されるシステムに適しています。

## 1.2 特徴

USB Specification Rev.2.0準拠

USBトランシーバ ( ハイスピード / フルスピード ) 内蔵

Hi-Speed転送 ( 480Mbps ) とFull-Speed転送 ( 12Mbps ) の両方に対応

H/WによるUSBプロトコル層を実現

- ・ビットスタッフィングエンコード / デコード
- ・CRC生成 / チェック
- ・NRZIエンコード / デコード
- ・パケットの識別

・USBアドレスチェック

USB全転送タイプに対応

- ・コントロール転送
- ・バルク転送
- ・インタラプト転送
- ・アイソクロナス転送

PIPE用FIFOを12Kバイト内蔵

- ・最大7本のパイプ ( DCP、PIPE1～PIPE6 ) を選択可能
- ・PIPE1～6のEP番号 ( 1～15 ) を自由に設定可能
- パイプ毎 ( PIPE1～PIPE6 ) にデータ転送条件を設定することが可能。
- ・データ転送タイプ ( バルク転送、インタラプト転送、アイソクロナス転送 )
- ・転送方向 ( IN、OUT )
- ・FIFOバッファサイズ ( 最大4Kバイト×2 )
- ・ダブルバッファ構成
- ・最大パケットサイズ

Set Addressリクエストに対する自動応答機能

3種のクロック入力周波数に対応

- ・12 / 24 / 48MHzクロック入力に対応
- ・発振バッファ及び48MHz、480MHz出力のPLL内蔵

32 / 16 / 8ビットのDMA転送に対応

スプリットバスインタフェース ( DMA Interface ) 対応

- ・3.3V/5Vインタフェース電源

用途

- ・デジタルビデオカメラ、ターミナルアダプタ
- ・マルチメディアスピーカー、外部ストレージ
- ・その他、ハイスピードUSB搭載のPC周辺機器全般

1.3 端子配置

図1.1にM66590の端子配置図（上面図）を示します。

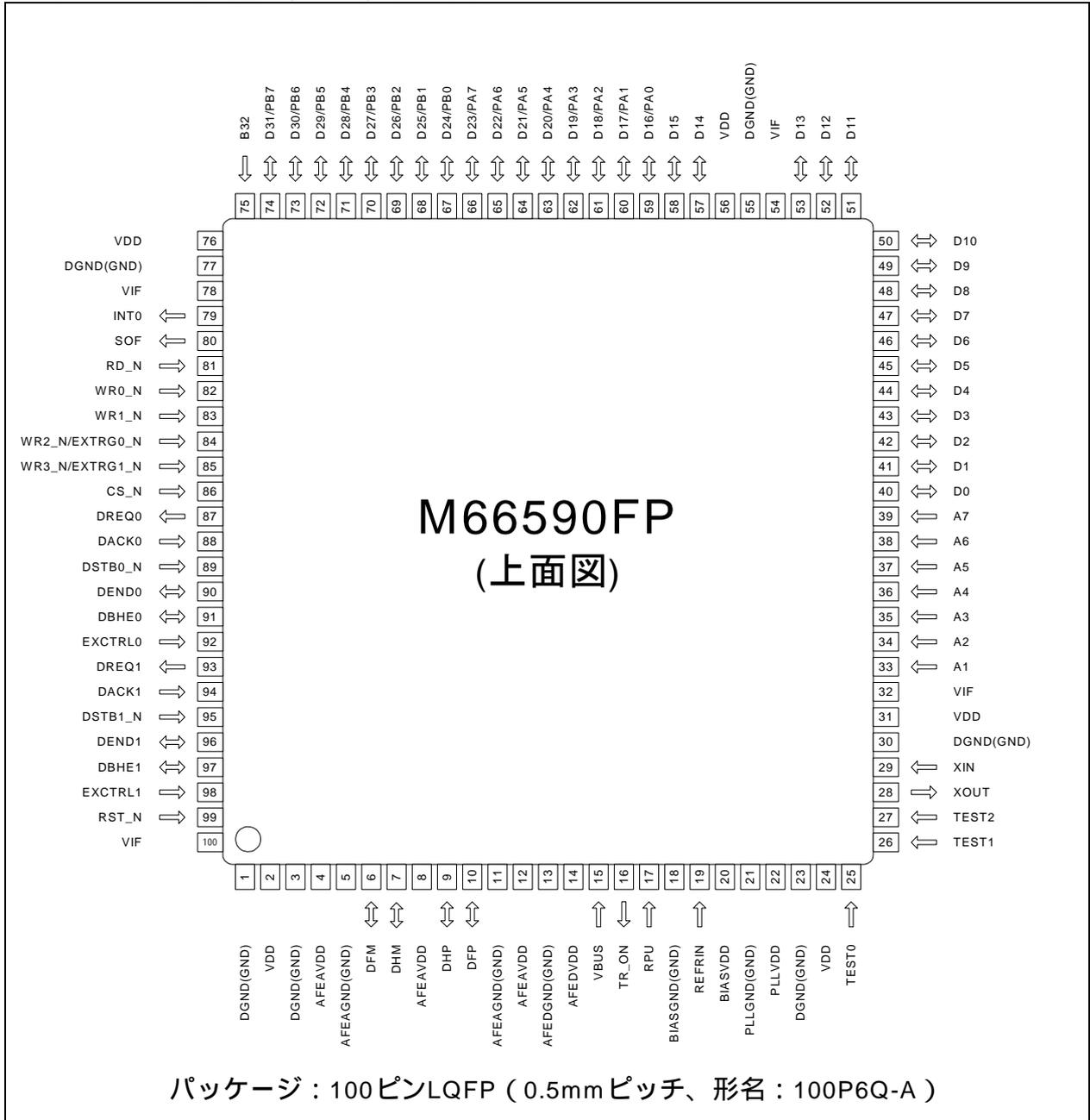


図1.1 M66590端子配置図

## 1.4 ブロック図

図1.2にM66590の内部ブロック図を示します。

M66590は、USBトランシーバ部 (UTM)、プロトコルエンジン部 (Prctl\_Rng)、パイプコントローラ部 (PIPE\_Ctrl)、FIFOポート部 (FIFO\_Port)、割り込み制御部 (Int\_Ctrl)、バスインタフェースユニット部 (BIU) で構成されます。

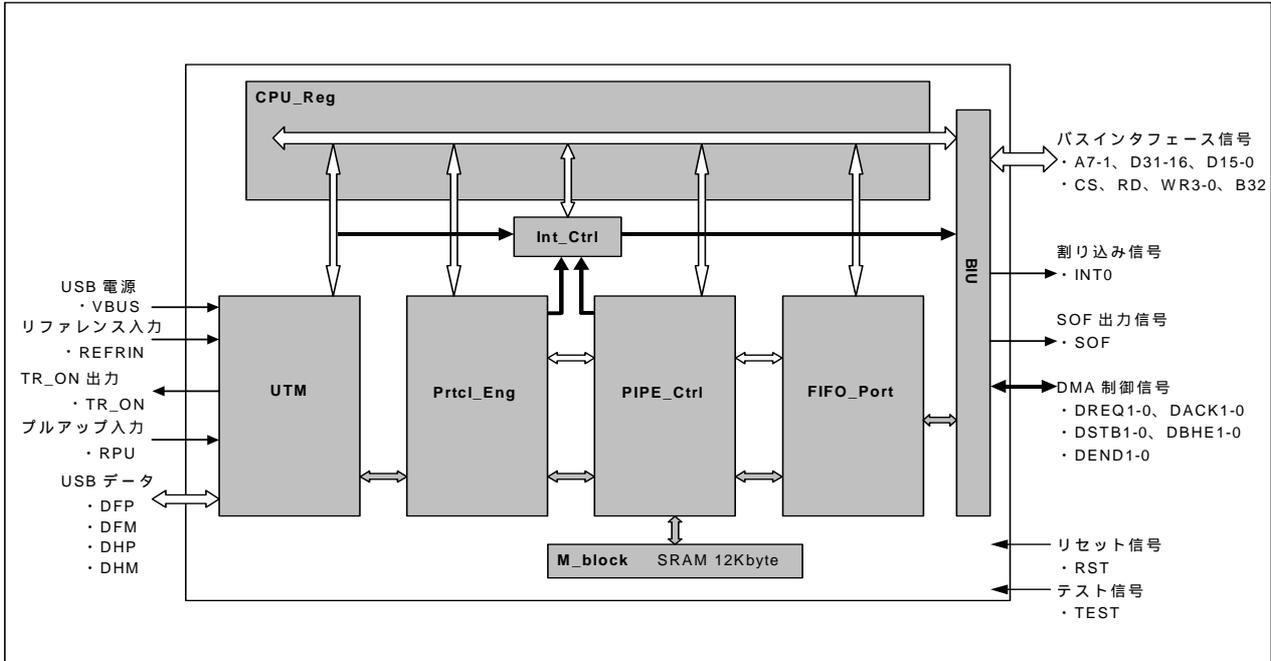


図1.2 M66590の内部ブロック図

### 1.4.1 USBトランシーバ(UTM)

USBトランシーバは、USBデータ信号を出力する差動出力ドライバと、USBデータ信号を受信する差動入力レシーバで構成されています。USB規格Rev.2.0に準拠し、Hi-Speed / Full-Speed転送モードに対応したUSBトランシーバです。また、発振回路/PLL (OSC PLL) を搭載し、外部からの12 / 24 / 48MHzのクロックを入力することにより、480MHz / 48MHzクロック信号を供給することが可能です。

### 1.4.2 プロトコルエンジン部(Prctl\_Eng)

プロトコルエンジン部は、トランザクションコントロールおよび、トランスファコントロールにより、バルク転送、インタラプト転送、アイソクロナス転送などのデータ転送制御を行います。また、コントロール転送シーケンサ、USBアドレスレジスタ、8バイトのUSBリクエスト受信レジスタ、自動応答回路で構成されています。

### 1.4.3 パイプコントローラ部(PIPE\_Ctrl)

パイプコントローラ部は、各PIPEの送受信データのバッファ状態を管理しています。

### 1.4.4 FIFOポート部(FIFO\_Port)

FIFOポート部は、3組のFIFOポートで構成されます。それぞれC\_FIFOポート、D0\_FIFOポート、D1\_FIFOポートと呼び、各FIFOポートは、64ビット×2のバッファレジスタ、シーケンサ、バッファ書込み/読出し制御回路で構成されます。各FIFOポートは、BIUと32ビットのデータラインで接続され、プログラムにより8/16/32ビットの設定が可能です。

### 1.4.5 割り込み制御部(Int\_Ctrl)

割り込み制御部は、プロトコルエンジン部、パイプコントローラ部が出力するステータス信号を、割り込み端子コンフィギュレーションレジスタの設定に従い制御し、INT0割り込み端子に出力します。割り込み信号の出力極性及び出力センスは、プログラムにより設定可能です。

### 1.4.6 CPUレジスタ部(CPU\_Reg)

CPUレジスタブロックです。

### 1.4.7 バスインタフェースユニット部(BIU)

バスインタフェースユニット部は、アドレスデコード、データセクタ以外に以下の機能をもちます。

- (1) データピンコンフィギュレーション機能
- (2) FIFOポートのエンディアン設定機能
- (3) Dn\_FIFOポートのデータピンアサイン機能
- (4) Dn\_FIFOポート制御信号コンフィギュレーション機能
- (5) スプリットバス (DMA Interface) 時のRD / WR

1.5 端子説明

図1.3、表1.1にM66590の端子機能説明を示します。

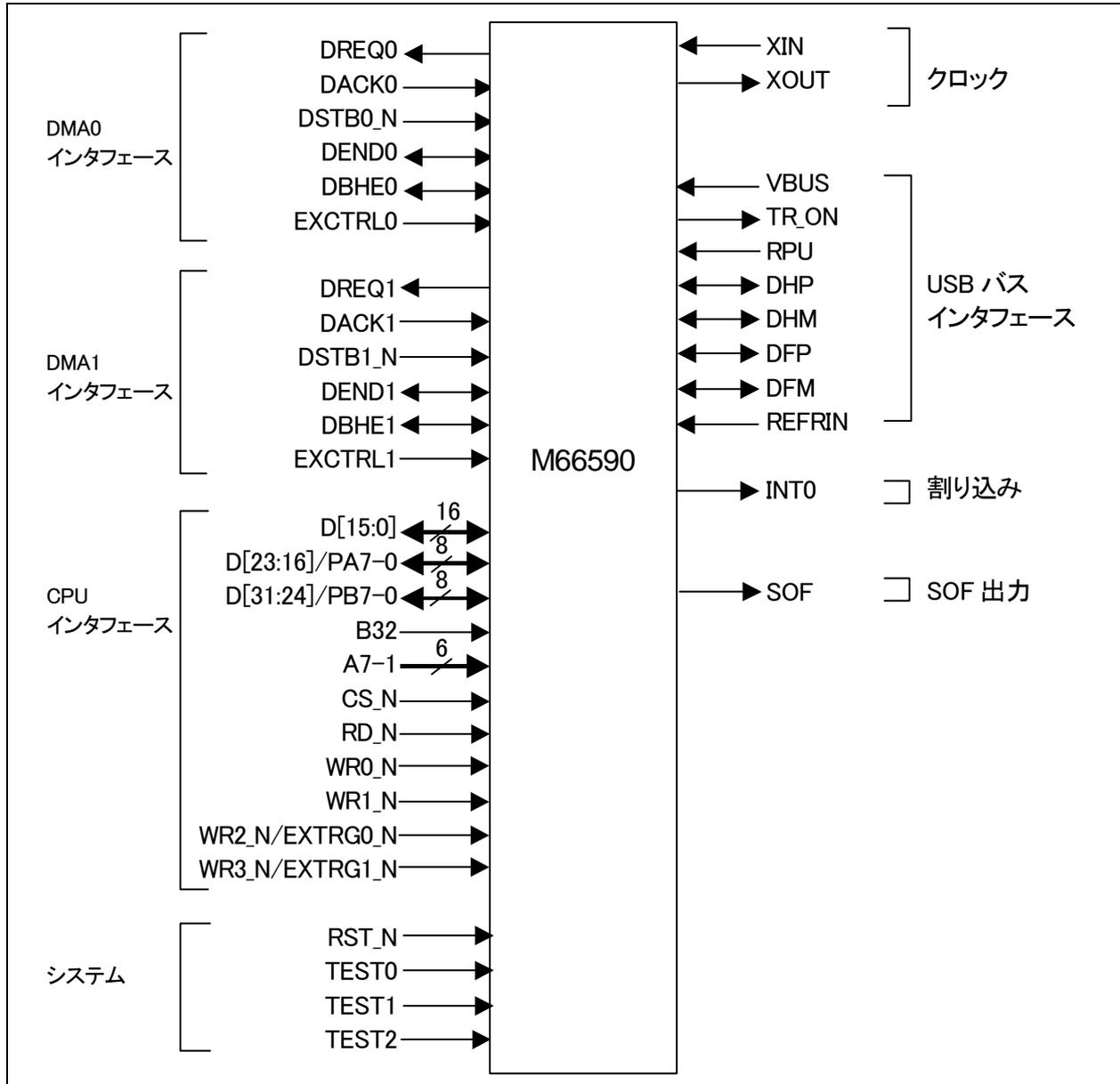


図1.3 M66590端子機能図

表1.1 M66590端子機能説明

区分	端子名	入出力	名称・機能	端子数
CPU インタ フェース	D15-0	入出力	データバス CPUからレジスタにアクセスするデータバスです。	16
	D23-16/ PA7-0	入出力	データバス/ポートA 32ビットバスインタフェース選択時は、データバスD23-16となります。 16ビットバスインタフェース選択時は、 「2.8 データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1」 のビット0が"0"に設定されている時に、汎用ポートとなります。 「2.8 データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1」 のビット0が"1"に設定されている時に、DMA Interface (スプリットバス) となります。 これらのピンを使用しない場合は、空きピン処理が必要です。表1.2を参照してください。	8
	D31-24/ PB7-0	入出力	データバス/ポートB 32ビットバスインタフェース選択時は、データバスD31-24となります。 16ビットバスインタフェース選択時は、 「2.8 データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1」 のビット1が"0"に設定されている時に、汎用ポートとなります。 「2.8 データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1」 のビット1が"1"に設定されている時に、DMA Interface (スプリットバス) となります。 これらのピンを使用しない場合は、空きピン処理が必要です。表1.2を参照してください。	8
	B32	入力	バスインタフェース幅選択 このピンが"H"レベル入力なら32ビットバスインタフェース選択となります。また、 "L"レベル入力なら16ビットバスインタフェース選択となります。	1
	A7-1	入力	アドレスバス システムからレジスタにアクセスをするアドレスバスです。CPUバスが32ビット幅 (B32="H")の時に、A1端子は使用しません。この場合、空きピン処理が必要です。 表1.2を参照してください。	7
	CS_N	入力	チップセレクト "L"レベルのとき、M66590が選択されます。	1
	RD_N	入力	リードストローブ "L"レベルで、レジスタからデータを読み出します。	1
	WR0_N	入力	D7-0バイトライトストローブ 立ち上がりエッジでデータ (D7-0) をレジスタに書き込みます。	1
	WR1_N	入力	D15-8バイトライトストローブ 立ち上がりエッジでデータ (D15-8) をレジスタに書き込みます。	1
	WR2_N/ EXTRG0_N	入力	D23-16バイトライトストローブ/外部トリガ0 32ビットバスインタフェース選択時は、立ち上がりエッジでデータ (D23-16) をレ ジスタに書き込みます。 16ビットバスインタフェース選択時は、立ち上がりエッジで、EXCTRL0ピンによ ってD0_FIFOポートに対応するPIPEを選択します。	1
	WR3_N/ EXTRG1_N	入力	D31-24バイトライトストローブ/外部トリガ1 32ビットバスインタフェース選択時は、立ち上がりエッジでデータ (D31-24) をレ ジスタに書き込みます。 16ビットバスインタフェース選択時は、立ち上がりエッジで、EXCTRL1ピンによ ってD1_FIFOポートに対応するPIPEを選択します。	1
	割り込み インタ フェース	INT0	出力	割り込み0 システムに対して割り込みをリクエストします。この信号の出力極性及び出力センス はレジスタによる設定が可能です。

区分	端子名	入出力	名称・機能	端子数
SOF出力	SOF	出力	SOF出力 SOF出力信号として使用します。この信号の出力極性はレジスタによる設定が可能です。	1
DMA インタフェース	DREQ1-0	出力	DMAリクエスト1-0 Dn_FIFOポートのDMA転送をリクエストするための信号です。この信号の極性はレジスタによる設定が可能です。	2
	DACK1-0	入力	DMAアクノリッジ1-0 “L”または“H”レベルでDn_FIFOポートのDMA転送が可能になります。この信号の極性はレジスタによる設定が可能です。	2
	DSTB1-0_N	入力	スプリットバスストローブ1-0 Dn_FIFOポートがスプリットバス（DMA Interface）に設定された時に、データストローブ信号として使用します。その場合、RWstbの値を“1”（RDWRストローブモード）に設定してください。	2
	DEND1-0	入出力	転送終了1-0 PIPE方向が“IN”の時、入力信号として他の周辺チップまたはCPUから転送終了信号受け付けます。 PIPE方向が“OUT”の時、出力信号として転送の最終データを示します。 この信号の極性はレジスタによる設定が可能です。	2
	DBHE1-0	入出力	バイトハイイネーブル1-0 対応するDMAが16ビットスプリットバス（DMA Interface）モードのみ有効です。対応するスプリットバス（DMA Interface）の上位のバイトが有効なデータであることを示します。この信号の極性はレジスタによる設定が可能です。 対応するPIPEの方向が“IN”の時、入力信号です。 対応するPIPEの方向が“OUT”の時、出力信号です。 これらの端子を使用しない場合、空きピン処理が必要です。表1.2を参照してください。	2
	EXCTRL1-0	入力	外部コントロール1-0 他の周辺チップまたはCPUからDn_FIFOに対応するPIPE番号をコントロールします。この信号はEXTRG1-0_Nと組み合わせて使用します。	2
USB インタフェース	DHP	入出力	USBハイスピードデータ USBバスのD+信号に接続してください。	1
	DHM	入出力	USBハイスピードデータ USBバスのD-信号に接続してください。	1
	DFP	入出力	USBフルスピードデータ 43 ±1%抵抗を介してDHPに接続してください。	1
	DFM	入出力	USBフルスピードデータ 43 ±1%抵抗を介してDHMに接続してください。	1
	RPU	入力	ブルアップコントロール 1.5KΩ ±5%の抵抗を介してTR_ON端子に接続してください。	1
	TR_ON	出力	ブルアップ電源出力 ブルアップ用3.3V電源出力。この電源はVbus入力より内部で5Vから3.3Vに変換して出力しています。	1
	VBUS	入力	VBUS入力 USBバスのVbusに直接に接続してください。Vbusの接続/切断を検出することが可能です。	1
	REFRIN	入力	リファレンス入力 1.2KΩ ±1%抵抗を介してBIASGNDに接続してください。	1
クロック	XIN	入力	発振用入力	内部クロック発生回路の信号入出力です。XIN、XOUTの間に水晶振動子を接続してください。 外部より直接クロック入力する場合、XINに外部クロック信号を接続し、XOUTは開放してください。
	XOUT	出力	発振用出力	
システム 制御	RST_N	入力	リセット信号 “L”レベルで内部レジスタやカウンタの値を初期化します。	1
	TEST2-0	入力	テスト信号	3

区分	端子名	入出力	名称・機能	端子数
電源 / GND	AFEAVDD	入力	USBトランシーバ部アナログ電源 3.3Vに接続してください。	3
	AFEAGND	入力	USBトランシーバ部アナログGND	2
	AFEDVDD	入力	USBトランシーバ部デジタル電源 3.3Vに接続してください。	1
	AFEDGND	入力	USBトランシーバ部デジタルGND	1
	BIASVDD	入力	BIAS電源 3.3Vに接続してください。	1
	BIASGND	入力	BIASGND	1
	PLLVDD	入力	PLL電源 3.3Vに接続してください。	1
	PLLGND	入力	PLLGND	1
	VDD	入力	コア電源 3.3Vに接続してください。	5
	VIF	入力	IO電源 3.3Vまたは5.0Vに接続してください。	4
	DGND	入力	デジタルGND	6

表1.2はM66590の端子の空きピン処理方法を示します。

表1.2 M66590端子の空きピン処理方法

区分	端子名	空きピン処理方法
CPUインタフェース	D31-24/PB7-0、D23-16/PA7-0	外部プルアップ / プルダウンまたは、出力ポートに設定
	A1	外部プルアップ / プルダウンまたは、"H" / "L"固定
	WR2_N/EXTRG0_N、 WR3_N/EXTRG1_N	外部プルアップまたは、"H"固定
SOF出力	SOF	オープン
DMAインタフェース	DREQ1-0	オープン
	DACK1-0、DEND1-0	外部プルアップまたは、"H"固定
	DSTB1-0_N	外部プルアップまたは、"H"固定
	DBHE1-0	外部プルアップ / プルダウン
	EXCTRL1-0	外部プルダウン
システム制御	TEST2-0	オープンまたは、"L"固定

## 2 レジスタ一覧

### レジスタ表の見方

ビット番号 : 各レジスタは、16ビットの内部バスに接続されています。したがって、レジスタのビット番号は、奇数番地はb15~b8に、偶数番地はb7~b0になります。

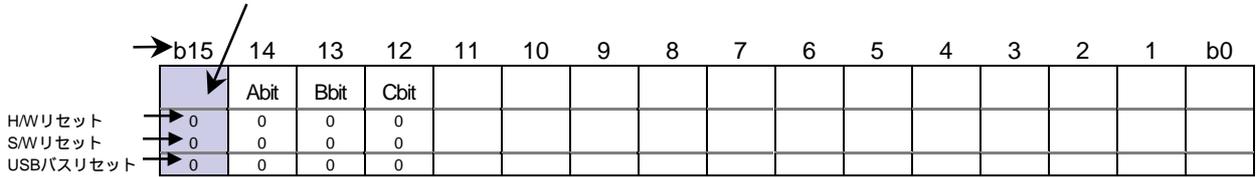
リセット時の状態 : リセット直後の初期状態を16進数で示します。  
 H/Wリセットは外部リセット入力によるリセット状態、S/WリセットはUSB動作許可レジスタのUSBEビットによるリセット状態を示します。"- "はS/Wリセット前の状態を保持することを意味しています。

読み出し時の条件 :  
 ・ ・ ・ 読み出し有効  
 ? ・ ・ ・ 読み出し無効 (読み出し時データ不定)  
 0 ・ ・ ・ 常に"0"が読み出される  
 1 ・ ・ ・ 常に"1"が読み出される

書き込み時の条件 :  
 ・ ・ ・ 書き込み有効  
 0 ・ ・ ・ "0"書き込みデータ条件付き (書き込みに関し何らかの条件があるもの)  
 - ・ ・ ・ 書き込み無効 (書き込み時は"0"でも "1"でもよい)  
 x ・ ・ ・ 書き込み禁止

< 表記例 >

網掛け部分には何も配置されていません。



< H/Wリセット時 : H'0000 >  
 < S/Wリセット時 : - >  
 < USBバスリセット時 : - >

b	ビット名	機能	R	W
15	何も配置されていない。		0	0
14	Abit ( . . . . . )	0 : . . . . . 1 : . . . . .		
13	Bbit ( . . . . . )	0 : . . . . . 1 : . . . . .		x
12	Cbit ( . . . . . )	0 : . . . . . 1 : . . . . .	0	0
			↑	↑

## 2.1 レジスタマッピング

図2.1、図2.2、図2.3にレジスタマッピングを示し、以降に各レジスタについて説明します。レジスタ番地の表記は、レジスタの先頭アドレスをUSB\_ADDRとし、そこからのオフセット（16進表記）を加算した形式で表します。

番地	+1番地		+0番地		リセット状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
USB_ADDR + H'00	USBトランシーバコントロールレジスタ0				0000h	-	-
USB_ADDR + H'02	USBトランシーバコントロールレジスタ1				0040h	-	-
USB_ADDR + H'04	HS/FSモードレジスタ				0000h	-000 0000 0000 - -00b	-000 0000 0000 - - - -b
USB_ADDR + H'06	テストモードレジスタ				0000h	0000h	-
USB_ADDR + H'08	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ0				????h	-	-
USB_ADDR + H'0A	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ1				0000h	-	-
USB_ADDR + H'0C	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ2				0000h	-	-
USB_ADDR + H'0E	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ3				0000h	-	-
USB_ADDR + H'10							
USB_ADDR + H'12							
USB_ADDR + H'14	C_FIFOポートレジスタ0				0000h	-	-
USB_ADDR + H'16	C_FIFOポートレジスタ1				0000h	-	-
USB_ADDR + H'18	D0_FIFOポートレジスタ0				0000h	-	-
USB_ADDR + H'1A	D0_FIFOポートレジスタ1				0000h	-	-
USB_ADDR + H'1C	D1_FIFOポートレジスタ0				0000h	-	-
USB_ADDR + H'1E	D1_FIFOポートレジスタ1				0000h	-	-
USB_ADDR + H'20							
USB_ADDR + H'22							
USB_ADDR + H'24							
USB_ADDR + H'26	デフォルトコントロールPIPE連続送信データ長 レジスタ				0000h	0000h	-
USB_ADDR + H'28	C_FIFOポートコントロールレジスタ0				0000h	0000h	-
USB_ADDR + H'2A							
USB_ADDR + H'2C	C_FIFOポートコントロールレジスタ1				0000h	0000h	-
USB_ADDR + H'2E	C_FIFOポートコントロールレジスタ2				0000h	0000h	-
USB_ADDR + H'30	D0_FIFOポートコントロールレジスタ0				0000h	0000h	-
USB_ADDR + H'32	D0_FIFOポートコントロールレジスタ1				0000h	0000h	-
USB_ADDR + H'34	D0_FIFOポートコントロールレジスタ2				0000h	0000h	-
USB_ADDR + H'36	D0_FIFOポートコントロールレジスタ3				0000h	0000h	-
USB_ADDR + H'38	D1_FIFOポートコントロールレジスタ0				0000h	0000h	-
USB_ADDR + H'3A	D1_FIFOポートコントロールレジスタ1				0000h	0000h	-
USB_ADDR + H'3C	D1_FIFOポートコントロールレジスタ2				0000h	0000h	-
USB_ADDR + H'3E	D1_FIFOポートコントロールレジスタ3				0000h	0000h	-

注：後述の"各レジスタ設定"を参照してください。

図2.1 レジスタマッピング(1)

番地	+1番地		+0番地		リセット状態		
	b15	b8	b7	b0	H/W	SW	USBバス
USB_ADDR + H'40	INT0ピンコンフィギュレーションレジスタ0				0000h	0000h	-
USB_ADDR + H'42	INT0ピンコンフィギュレーションレジスタ1				0000h	-	-
USB_ADDR + H'44	INT0ピンコンフィギュレーションレジスタ2				0000h	0000h	-
USB_ADDR + H'46							
USB_ADDR + H'48	INT0ピンコンフィギュレーションレジスタ3				0000h	0000h	-
USB_ADDR + H'4A							
USB_ADDR + H'4C	INT0ピンコンフィギュレーションレジスタ4				0000h	0000h	-
USB_ADDR + H'4E							
USB_ADDR + H'50							
USB_ADDR + H'52	SOFピンコンフィギュレーションレジスタ				0000h	-	-
USB_ADDR + H'54							
USB_ADDR + H'56							
USB_ADDR + H'58							
USB_ADDR + H'5A							
USB_ADDR + H'5C							
USB_ADDR + H'5E							
USB_ADDR + H'60	割り込みステータスレジスタ0				0000 0000 ?000 0000b	0000 0000 ?000 0000b	---1 ---- -001 ----b
USB_ADDR + H'62							
USB_ADDR + H'64	割り込みステータスレジスタ1				0000h	0000h	-
USB_ADDR + H'66							
USB_ADDR + H'68	割り込みステータスレジスタ2				0000h	0000h	-
USB_ADDR + H'6A							
USB_ADDR + H'6C	割り込みステータスレジスタ3				0000h	0000h	-
USB_ADDR + H'6E							
USB_ADDR + H'70	フレームナンバーレジスタ0				0000h	0000h	-
USB_ADDR + H'72	フレームナンバーレジスタ1				0000h	0000h	-
USB_ADDR + H'74	USBアドレスレジスタ				0000h	0000h	0000h
USB_ADDR + H'76							
USB_ADDR + H'78	USBリクエストレジスタ0 ( bRequest[7:0] bmRequest[7:0] )				0000h	0000h	0000h
USB_ADDR + H'7A	USBリクエストレジスタ1 ( wValue[15:0] )				0000h	0000h	0000h
USB_ADDR + H'7C	USBリクエストレジスタ2 ( wIndex[15:0] )				0000h	0000h	0000h
USB_ADDR + H'7E	USBリクエストレジスタ3 ( wLength[15:0] )				0000h	0000h	0000h
USB_ADDR + H'80	デフォルトコントロールPIPE コンフィギュレーションレジスタ0				0000h	0000h	-
USB_ADDR + H'82	デフォルトコントロールPIPE コンフィギュレーションレジスタ1				0000h	0000h	-

注：後述の"各レジスタ設定"を参照してください。

図2.2 レジスタマッピング(2)

番地	+1番地		+0番地		リセット状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
USB_ADDR + H'84	デフォルトコントロールPIPE コンフィギュレーションレジスタ2				0000h	0000h	-
USB_ADDR + H'86							
USB_ADDR + H'88	デフォルトコントロールPIPE コントロールレジスタ				0000h	0000h	---- ---- ---- -00b
USB_ADDR + H'8A							
USB_ADDR + H'8C	PIPEコンフィギュレーション選択レジスタ				0000h	0000h	-
USB_ADDR + H'8E							
USB_ADDR + H'90	PIPEコンフィギュレーション ウィンドウレジスタ0				0000h	0000h	00-- ---- ---- ----b
USB_ADDR + H'92	PIPEコンフィギュレーション ウィンドウレジスタ1				0000h	0000h	-
USB_ADDR + H'94	PIPEコンフィギュレーション ウィンドウレジスタ2				0000h	0000h	-
USB_ADDR + H'96							
USB_ADDR + H'98	PIPEコンフィギュレーション ウィンドウレジスタ3				0000h	0000h	-
USB_ADDR + H'9A							
USB_ADDR + H'9C							
USB_ADDR + H'A0	PIPE1コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
USB_ADDR + H'A2	PIPE2コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
USB_ADDR + H'A4	PIPE3コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
USB_ADDR + H'A6	PIPE4コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
USB_ADDR + H'A8	PIPE5コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
USB_ADDR + H'AA	PIPE6コントロールレジスタ				0000h	0000h	---- ---- ---- --00b

注：後述の"各レジスタ設定"を参照してください。

図2.3 レジスタマッピング(3)

2.2 レジスタビットマップ

奇数番地(+1番地)								偶数番地(+0番地)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

USBトランシーバコントロールレジスタ0 ( USBTrnsCtrl0 )

0 0	XTAL [1:0]	XCKE	RCKE	PLL	SCKE			HSE		INIT0	RpuE				USBE
-----	------------	------	------	-----	------	--	--	-----	--	-------	------	--	--	--	------

USBトランシーバコントロールレジスタ1 ( USBTrnsCtrl1 )

0 2															LNST [1:0]
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	------------

HS/FSモードレジスタ ( HSFSMode )

0 4	SCTR							WKUP					INIT2	INIT1	RHST[1:0]
-----	------	--	--	--	--	--	--	------	--	--	--	--	-------	-------	-----------

テストモードレジスタ ( TestMd )

0 6															TST [2:0]
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	-----------

データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ0 ( PinCtrlCfg0 )

0 8	PB [7:0]								PA [7:0]							
-----	----------	--	--	--	--	--	--	--	----------	--	--	--	--	--	--	--

データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1 ( PinCtrlCfg1 )

0 A	LDRV							big_end					PBdir	PAdir	DB_Cfg [1:0]
-----	------	--	--	--	--	--	--	---------	--	--	--	--	-------	-------	--------------

データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ2 ( PinCtrlCfg2 )

0 C		DreqA	Burst	DreqE		DackA	RWstb	DackE		DendA	Pktdm	DendE	DbheA	Obus	FP_Cfg [1:0]
-----	--	-------	-------	-------	--	-------	-------	-------	--	-------	-------	-------	-------	------	--------------

データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ3 ( PinCtrlCfg3 )

0 E		DreqA	Burst	DreqE		DackA	RWstb	DackE		DendA	Pktdm	DendE	DbheA	Obus	FP_Cfg [1:0]
1 0															
1 2															

C\_FIFOポートレジスタ0 ( C\_FIFOPort0 )

1 4	C_FIFO_Port [15:0]														
-----	--------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

C\_FIFOポートレジスタ1 ( C\_FIFOPort1 )

1 6	C_FIFO_Port [31:16]														
-----	---------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

D0\_FIFOポートレジスタ0 ( D0\_FIFOPort0 )

1 8	D0_FIFO_Port [15:0]														
-----	---------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

D0\_FIFOポートレジスタ1 ( D0\_FIFOPort1 )

1 A	D0_FIFO_Port [31:16]														
-----	----------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

D1\_FIFOポートレジスタ0 ( D1\_FIFOPort0 )

1 C	D1_FIFO_Port [15:0]														
-----	---------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

D1\_FIFOポートレジスタ1 ( D1\_FIFOPort1 )

1 E	D1_FIFO_Port [31:16]														
2 0															
2 2															

		奇数番地(+1番地)							偶数番地(+0番地)								
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
2	4																
デフォルトコントロールPIPE連続送信データ長レジスタ (DCPSdIn)																	
2	6					SDLN [11:0]											
C_FIFOポートコントロールレジスタ0 (C_FIFOPortCtrl0)																	
2	8	RCNT	REW			MBW [1:0]							ISEL	Current_PIPE [4:0]			
2	A																
C_FIFOポートコントロールレジスタ1 (C_FIFOPortCtrl1)																	
2	C	BVAL	BCLR	FRDY	CPU_DTLN [12:0]												
C_FIFOポートコントロールレジスタ2 (C_FIFOPortCtrl2)																	
2	E	TGL	SCLR	SBUSY	SIE_DTLN [12:0]												
D0_FIFOポートコントロールレジスタ0 (D0_FIFOPortCtrl0)																	
3	0	RCNT	REW	ABCR		MBW [1:0]		TREnB	TRclr					Current_PIPE [4:0]			
D0_FIFOポートコントロールレジスタ1 (D0_FIFOPortCtrl1)																	
3	2	ExCtrlEn						End_PIPE [4:0]				Start_PIPE [4:0]					
D0_FIFOポートコントロールレジスタ2 (D0_FIFOPortCtrl2)																	
3	4	BVAL	BCLR	FRDY	DMA_DTLN [12:0]												
D0_FIFOポートコントロールレジスタ3 (D0_FIFOPortCtrl3)																	
3	6	TRNCNT [15:0]															
D1_FIFOポートコントロールレジスタ0 (D1_FIFOPortCtrl0)																	
3	8	RCNT	REW	ABCR		MBW [1:0]		TREnB	TRclr					Current_PIPE [4:0]			
D1_FIFOポートコントロールレジスタ1 (D1_FIFOPortCtrl1)																	
3	A	ExCtrlEn						End_PIPE [4:0]				Start_PIPE [4:0]					
D1_FIFOポートコントロールレジスタ2 (D1_FIFOPortCtrl2)																	
3	C	BVAL	BCLR	FRDY	DMA_DTLN [12:0]												
D1_FIFOポートコントロールレジスタ3 (D1_FIFOPortCtrl3)																	
3	E	TRNCNT [15:0]															
INT0ピンコンフィギュレーションレジスタ0 (INT0PinCfg0)																	
4	0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	INTNE	INTRE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
INT0ピンコンフィギュレーションレジスタ1 (INT0PinCfg1)																	
4	2															INTOL	INTOA
INT0ピンコンフィギュレーションレジスタ2 (INT0PinCfg2)																	
4	4									PIPEB_RE [6:1]						DCP_RE	
4	6																
INT0ピンコンフィギュレーションレジスタ3 (INT0PinCfg3)																	
4	8									PIPEB_NRE [6:1]						DCP_NRE	
4	A																
INT0ピンコンフィギュレーションレジスタ4 (INT0PinCfg4)																	
4	C									PIPEB_EMPE [6:1]						DCP_EMPE	
4	E																



奇数番地(+1番地)								偶数番地(+0番地)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

USBリクエストレジスタ3 ( USBReq3 )

7 E	wLength [15:0]														
-----	----------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--

デフォルトコントロールPIPEコンフィギュレーションレジスタ0 ( DCPCfg0 )

8 0	Buf_size [5:0]					CNTMD	Ctr_Wr_Buf_Nmb [7:0]				
-----	----------------	--	--	--	--	-------	----------------------	--	--	--	--

デフォルトコントロールPIPEコンフィギュレーションレジスタ1 ( DCPCfg1 )

8 2	Buf_size [5:0]					CNTMD	Ctr_Rd_Buf_Nmb [7:0]				
-----	----------------	--	--	--	--	-------	----------------------	--	--	--	--

デフォルトコントロールPIPEコンフィギュレーションレジスタ2 ( DCPCfg2 )

8 4											DCP_MXPS [6:0]				
8 6															

デフォルトPIPEコントロールレジスタ ( DCPCtrl )

8 8	BSTS							SQCLR					NYETMD		CCPL	PID [1:0]
8 A																

PIPEコンフィギュレーション選択レジスタ ( PipeCfgSel )

8 C													PIPE_SEL [4:0]			
8 E																

PIPEコンフィギュレーションウィンドウレジスタ0 ( PipeCfgWin0 )

9 0	TYP [1:0]	ITMD			BFRE	DBLB	CNTMD				DIR	EP_NUM[3:0]			
-----	-----------	------	--	--	------	------	-------	--	--	--	-----	-------------	--	--	--

PIPEコンフィギュレーションウィンドウレジスタ1 ( PipeCfgWin1 )

9 2	Buf_size [5:0]					Buf_Nmb [9:0]										
-----	----------------	--	--	--	--	---------------	--	--	--	--	--	--	--	--	--	--

PIPEコンフィギュレーションウィンドウレジスタ2 ( PipeCfgWin2 )

9 4					NUMTR	MXPS [10:0]										
9 6																

PIPEコンフィギュレーションウィンドウレジスタ3 ( PipeCfgWin3 )

9 8					IFIS											IITV [3:0]		
9 A																		

PIPE iコントロールレジスタ(i=1~6) ( PipeiCtrl(i=1-6) )

A 0	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]
A 2	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]
A 4	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]
A 6	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]
A 8	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]
A A	BSTS						ACLR	SQCLR					NYETMD			PID [1:0]

### 2.3 USBトランシーバコントロールレジスタ0

USBトランシーバコントロールレジスタ0 (USBTnsCtrl0)

<アドレス : H'00>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Xtal [1:0]	XCKE	RCKE	PLL	SCKE			HSE		INIT0	RpuE					USBE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : - >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~14	Xtal [1:0] クロック選択	00: 入力クロック周波数 : 12MHz 01: 入力クロック周波数 : 24MHz 10: 入力クロック周波数 : 48MHz 11: Reserved		
13	XCKE 発振バッファ許可	0: 発振バッファ禁止 1: 発振バッファ許可		
12	RCKE 内部基準クロック許可	0: 内部基準クロック (RCK) 禁止 1: 内部基準クロック (RCK) 許可		
11	PLL PLL動作許可	0: PLL動作禁止 1: PLL動作許可		
10	SCKE 内部クロック許可	0: 内部クロック停止 1: 内部クロック動作		
9~8	何も配置されていません。"0"に固定してください。		0	0
7	HSE ハイスピード (Hi-Speed) 許可	0: ハイスピード (Hi-Speed) モード禁止 1: ハイスピード (Hi-Speed) モード許可		
6	何も配置されていません。"0"に固定してください。		0	0
5	INIT0 初期化ビット0	H/Wリセット後に、"1"に設定してください		
4	RpuE プルアップコントロール	0: D+プルアップ禁止 1: D+プルアップ許可		
3~1	何も配置されていません。"0"に固定してください。		0	0
0	USBE USBモジュール動作許可	0: USBモジュールリセット状態 (S/Wリセット) 1: USBモジュール動作許可 (S/Wリセット状態解除) このビットの値が"0"である間は、S/Wリセットによって初期化されるレジスタがライト不可です。		

注 : このレジスタを設定するためのプログラムシーケンスは「3.2 M66590初期設定及びクロック制御」を参照してください。

## 2.4 USBトランシーバコントロールレジスタ1

USBトランシーバコントロールレジスタ1 (USBTmsCtrl1)

<アドレス : H'02 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	LNST [1:0]	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0040 >

< S/Wリセット時 : - >

< USBバスリセット時 : - >

b	ビット名	機能	R	W																				
15~2	何も配置されていません。		?	x																				
1~0	LNST [1:0] ラインステータス	USBバスの現在の状態を反映します (D+, D-)。 LNST[1]はD-ピンのレベルを示します。LNST[0]はD+ピンのレベルを示します。 <table border="1"> <thead> <tr> <th>LNST[1:0]</th> <th>FS</th> <th>HS</th> <th>Chirp</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>SE0</td> <td>Squelch</td> <td>Squelch</td> </tr> <tr> <td>0 1</td> <td>J State</td> <td>!Squelch</td> <td>Chirp J</td> </tr> <tr> <td>1 0</td> <td>K State</td> <td>Invalid</td> <td>Chirp K</td> </tr> <tr> <td>1 1</td> <td>SE1</td> <td>Invalid</td> <td>Invalid</td> </tr> </tbody> </table>	LNST[1:0]	FS	HS	Chirp	0 0	SE0	Squelch	Squelch	0 1	J State	!Squelch	Chirp J	1 0	K State	Invalid	Chirp K	1 1	SE1	Invalid	Invalid		x
LNST[1:0]	FS	HS	Chirp																					
0 0	SE0	Squelch	Squelch																					
0 1	J State	!Squelch	Chirp J																					
1 0	K State	Invalid	Chirp K																					
1 1	SE1	Invalid	Invalid																					

注 : このレジスタは書込み禁止です。

## 2.5 HS/FSモードレジスタ

HS/FSモードレジスタ (HSFSMode)

<アドレス : H'04>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
SCTR							WKUP					INIT2	INIT1	RHST [1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	0	0	0	0	0	0	0	0	0	0	0	-	-	0	0
-	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-

<H/Wリセット時 : H'0000>

<SWリセット時 : B'-000 0000 0000 --00>

<USBバスリセット時 : B'-000 0000 0000 ---->

b	ビット名	機能	R	W
15	SCTR ソフトウェアコントロールモード	このビットにより、ソフトウェアコントロールモードを設定します 0: 通常モード 1: ソフトウェアコントロールモード動作		
14~9	何も配置されていません。"0"に固定してください。		0	0
8	WKUP リモートウェイクアップ	このビットに"1"を書き込むと、10ms間Kステートを出力してバスアイドル状態に戻り、自動的に"0"にクリアされます。(リモートウェイクアップ信号) サスペンドを検出した直後にこのビットに"1"を書き込んでも、2ms待ってからKステートを出力します。 サスペンド状態ではないときに、このビットに"1"を書き込んでも、Kステートは出力されません。 注: ホストかリモートウェイクアップの許可が発行されていない場合は、このビットを"1"に設定しないでください。		
7~4	何も配置されていません。"0"に固定してください。		0	0
3	INIT2 初期化ビット2	H/Wリセット後に、"1"に設定してください。 このビットの設定方法は、注1を参照してください。		
2	INIT1 初期化ビット1	H/Wリセット後に、"0"に設定してください。 このビットの設定方法は、注1を参照してください。		
1~0	RHST [1:0] リセットハンドシェイクステータス	リセットハンドシェイクを示します。 00: アイドルまたはリセット状態検出 01: リセットハンドシェイク処理中 10: リセットハンドシェイクが終了、現在のモードはフルスピード (Full-Speed) モードです。 11: リセットハンドシェイクが終了、現在のモードはハイスピード (Hi-Speed) モードです。		×

注1: INIT2ビットとINIT1ビットを設定する場合、SCTRビットを"1"に設定してから行う必要があります。SCTRビットが"0"の場合このビットには書き込めません。また、このビットに書き込んだ後はSCTRビットを必ず"0"に戻してください。

以下に設定手順を示します。

- (1) SCTR = "1"
- (2) INIT2 = "1" & INIT1 = "0"
- (3) SCTR = "0"

## 2.6 テストモードレジスタ

テストモードレジスタ (TestMd)

<アドレス : H'06>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	TST [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000>

<S/Wリセット時 : H'0000>

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15~3	何も配置されていません。"0"に固定してください。		0	0
2~0	TST [2:0] テストモード選択ビット	これらのビットにより、テストモードを指定します。 000: 通常動作モード 001: Test_J 010: Test_K 011: Test_SE0_NAK 100: Test_Packet 101-111: Reserved		

## 2.7 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ0

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ0 ( PinCtrlCfg0 )

< アドレス : H'08 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
PB [7:0]								PA [7:0]							
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'???? >

< S/Wリセット時 : - - >

< USBバスリセット時 : - - >

b	ビット名	機能	R	W
15~8	PB [7:0] 汎用ポートB	<p>B32端子が“L”かつ「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB_Cfg[1]ビットが“0”の場合、D31-24ピンはPB7-0に割り当てられ、入出力ポートになります。</p> <p>このとき、「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のPBdirビットが“0”ならPB7-0は入力ポートになります。PBdirビットが“1”ならPB7-0は出力ポートになります。</p> <p>25ページの表2.1を参照してください。</p> <p>ポート番号はビット番号に対応しています</p> <p>b8 : PB0端子 b9 : PB1端子 b10 : PB2端子 b11 : PB3端子 b12 : PB4端子 b13 : PB5端子 b14 : PB6端子 b15 : PB7端子</p>		
7~0	PA [7:0] 汎用ポートA	<p>B32端子が“L”かつ「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB_Cfg[0]ビットが“0”の場合、D23-16ピンはPA7-0に割り当てられ、入出力ポートになります。</p> <p>このとき、「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のPAdirビットが“0”ならPA7-0は入力ポートになります。PAdirビットが“1”ならPA7-0が出力ポートになります。</p> <p>25ページの表2.1を参照してください。</p> <p>ポート番号はビット番号に対応しています</p> <p>b0 : PA0端子 b1 : PA1端子 b2 : PA2端子 b3 : PA3端子 b4 : PA4端子 b5 : PA5端子 b6 : PA6端子 b7 : PA7端子</p>		

## 2.8 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1 (PinCtrlCfg1)

<アドレス : H'0A >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
LDRV							big_end					PBdir	PAdir	DB_Cfg [1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : - >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15	LDRV 駆動電流調整	このビットにより、出力端子の駆動電流を調整します。 出力端子とは、D23/PA7~D16/PA0、D31/PB7~D24/PB0、D15~0、INT0、SOF、DREQ1~0、DEND1~0、DBHE1~0を示します。 0 : VIF=2.7~3.6V時 1 : VIF=4.5~5.5V時		
14~9	何も配置されていません。"0"に固定してください。		0	0
8	big_end ビッグエンディアンモード	C_FIFOポート及びDn_FIFOポートに有効です。 0: リトルエンディアン 1: ビッグエンディアン		
7~4	何も配置されていません。"0"に固定してください。		0	0
3	PBdir ポートB方向	0: 入力 1: 出力 B32端子が"L"かつDB_Cfg [1]ビットが"0"の時にのみ、このビットは有効です。		
2	PAdir ポートA方向	0: 入力 1: 出力 B32端子が"L"かつDB_Cfg [0]ビットが"0"の時にのみ、このビットは有効です。		
1~0	DB_Cfg [1:0] データバスコンフィギュレーション	B32端子が"L"のときに、このビットは有効です。 ビット0はD23-16、ビット1はD31-24の振る舞いを決めます。 b1:b0 = 00: D31-24は汎用ポートモード D23-16は汎用ポートモード b1:b0 = 01: D31-24は汎用ポートモード D23-16はFIFOポート b1:b0 = 10: D31-24はFIFOポート D23-16は汎用ポートモード b1:b0 = 11: D31-24はFIFOポート D23-16はFIFOポート このビットを設定するときに、リソースの衝突が起きないように注意してください。「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2, 3」のFP_Cfgビット及び25ページの「表2.1 データピン設定」を参照してください。		

## 2.9 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2, 3

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2 ( PinCtrlCfg2 ) < アドレス : H'0C >  
 ( D0\_FIFOポート用 )  
 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ3 ( PinCtrlCfg3 ) < アドレス : H'0E >  
 ( D1\_FIFOポート用 )

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	DreqA	Burst	DreqE	0	DackA	RWstb	DackE	0	DendA	Pktrnd	DendE	DbheA	Obus	FP_Cfg[1:0]	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >  
 < S/Wリセット時 : - >  
 < USBバスリセット時 : - >

b	ビット名	機能	R	W
15	何も配置されていません。"0"に固定してください。		0	0
14	DreqA DREQn信号極性選択	DREQn信号の出力極性を選択します。 0: Lowアクティブ 1: Highアクティブ		
13	Burst バーストモード	DREQn信号のタイミングを選択します。 0: サイクルスチール転送モード : DREQn信号は1転送 ( 8 / 16 / 32ビット ) 毎にアサートされ、Dn_FIFOポートレジスタへのアクセスでネゲートされます。 1: バースト転送モード : DREQn信号はデータ転送中にアサートされ続け、最後のDn_FIFOポートレジスタへのアクセスでネゲートされません。		
12	DreqE DREQn信号出力許可	DREQn信号出力を許可します。 0: DREQn信号出力禁止 1: DREQn信号出力許可		
11	何も配置されていません。"0"に固定してください。		0	0
10	DackA DACKn信号極性選択	DACKn信号の極性を選択します。 0: Lowアクティブ 1: Highアクティブ		
9	RWstb RD/WRストローブモード	DMAデータ転送用のデータストローブ信号を選択します。 0: WRx_N信号とRD_N信号をストローブ信号として使用します。 1: DSTBn_N信号をストローブ信号として使用します。 スプリットバス ( DMA Interface ) でDMA転送をする場合には、このビットを"1"に設定してください。それ以外ではこのビットを"0"に設定してください。		
8	DackE DACKn信号選択	DMA転送のハンドシェイク信号を選択します。 0: アドレス、WRx_N、RD_N及び、CS_Nをハンドシェイク信号として選択します。 1: DACKn信号をハンドシェイク信号として選択します。 スプリットバス ( DMA Interface ) でDMA転送をする場合には、このビットを"1"に設定してください。		
7	何も配置されていません。"0"に固定してください。		0	0

b	ビット名	機能	R	W
6	DendA DENDn信号極性選択	DENDn信号の入出力極性を選択します。 0: Lowアクティブ 1: Highアクティブ		
5	Pktmd パケットモード	このビットはOUT方向データ転送においてDENDn信号の振る舞いを決定します。DENDn信号は、DMAデータ転送の最後のデータ転送を示します。 0: トランザクション終了出力モード DENDn信号は、TRNCNTビットにより指定された数のパケットを転送終了、またはショートパケットを転送終了時にアサートされます。 1: バッファ終了出力モード DENDn信号はPIPEに設定されたバッファサイズ毎の転送終了時にアサートされます。 IN方向データ転送の場合に、DENDn信号が入力方向のため、このビットは無効です。 114ページの「3.6.3 DEND信号」を参照してください。		
4	DendE DENDn信号許可	DENDn信号の入出力を許可します。 0: DENDn信号禁止 DENDn信号はHi-Z出力です。 1: DENDn信号許可 「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの場合、DENDn信号は出力方向です。PIPEの方向がINの場合、DENDn信号は入力方向です。		
3	DbheA DBHEN信号極性	DBHEN信号の極性を選択します。 0: Lowアクティブ 1: Highアクティブ		
2	Obus OUTバスモード	スプリットバス (DMA Interface) のデータピン及びDENDn信号の振る舞いを選択します。 0: 「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがOUTに設定されている場合、データピン及びDENDn信号は常に駆動されます。INに設定されている場合、これらの端子は常に入力可能状態になります。 1: 「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがOUTに設定されている場合、DACKnピンとDSTBnピンの両方がアサートされている期間中のみ、データピン及びDENDn信号は"H"または"L"に駆動されます。INに設定されている場合、DACKnピンはアサートされている期間中のみこれらの端子は入力可能状態になります。 115ページの「3.6.5 Obusビット」を参照してください。		
1~0	FP_Cfg [1:0] Dn_FIFOポートコンフィギュレーション	DMA転送に使用するデータピンを選択します。 00: スプリットバス (DMA Interface) を使用しません。 01: D23-16をスプリットバス (DMA Interface) として使用します。 10: D31-24をスプリットバス (DMA Interface) として使用します。 11: D31-16をスプリットバス (DMA Interface) として使用します。 B32端子が"H"の時に、"00"以外の設定は禁止です。 FP_Cfg [1:0]ビットは、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB_Cfg [1:0]ビットと同様に、設定するときにリソースの衝突が起きないように注意してください。表2.1を参照してください。		

注意事項

データピンD31-0の振る舞いは、B32端子と、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB\_Cfg [1:0]と、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2, 3」のFP\_Cfg [1:0]ビットで決まります。リソース衝突を防止するために、以下の表の組み合わせ以外は設定しないでください。

表2.1 データピン設定

B32 端子	DB_Cfg [1:0]	D0ポート FP_Cfg [1:0]	D1ポート FP_Cfg [1:0]	データピンの振る舞い		
				D31-24	D23-16	D15-0
L	b11	b01	b10	D1ポート	D0ポート	CPUバス
L	b01	b01	b00	GPIO PB7-0	D0ポート	CPUバス&D1ポート
L	b01	b01	b01	GPIO PB7-0	D0ポート&D1ポート	CPUバス
L	b11	b11	b00	D0ポート		CPUバス&D1ポート
L	b11	b11	b11	D0ポート&D1ポート		CPUバス
L	b00	b00	b00	GPIO PB7-0	GPIO PA7-0	CPUバス&D0ポート&D1ポート
H	b00	b00	b00	CPUバス&D0ポート&D1ポート		

2.10 C\_FIFOポートレジスタ0, 1

C\_FIFOポートレジスタ0 (C\_FIFOPort0)

<アドレス : H'14 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
C_FIFO_Port [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

C\_FIFOポートレジスタ1 (C\_FIFOPort1)

<アドレス : H'16 >

b31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	b16
C_FIFO_Port [31:16]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 0000 >

<S/Wリセット時 : - >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
31~0	C_FIFO_Port [31:0] C_FIFOポート	<p>このビットにより、データの送信/受信を行います。</p> <p>「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、受信FIFOデータレジスタになります。</p> <p>指定されたPIPEの方向がINの時には、送信FIFOデータレジスタになります。</p> <p>なおCurrent_PIPE [4:0]ビットにデフォルトコントロールPIPE ("0000")を指定した場合の方向は「C_FIFOポートコントロールレジスタ0」のISELビットにより決定され、ISELが"0"の時FIFOポート読み出し、「1」の時FIFOポート書き込みになります。</p> <p>対応するビットは「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のbig_endビットにより以下のようになります。</p> <p>big_end = "0" (リトルエンディアン)</p> <p>32ビット幅 : C_FIFO_Port [31:0]が有効</p> <p>16ビット幅 : C_FIFO_Port [15:0]が有効</p> <p>8ビット幅 : C_FIFO_Port [7:0]が有効</p> <p>big_end = "1" (ビッグエンディアン)</p> <p>32ビット幅 : C_FIFO_Port [31:0]が有効</p> <p>16ビット幅 : C_FIFO_Port [31:16]が有効</p> <p>8ビット幅 : C_FIFO_Port [31:24]が有効</p> <p>このビットの読み出し/書き込み時には、「C_FIFOポートコントロールレジスタ1」のFRDYビットが"1"になっていることを確認してください。</p>		

2.11 Dn\_FIFOポートレジスタ0, 1

D0\_FIFOポートレジスタ0 (D0\_FIFOPort0)

<アドレス : H'18>

D1\_FIFOポートレジスタ0 (D1\_FIFOPort0)

<アドレス : H'1C>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Dn_FIFO_Port [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

D0\_FIFOポートレジスタ1 (D0\_FIFOPort1)

<アドレス : H'1A>

D1\_FIFOポートレジスタ1 (D1\_FIFOPort1)

<アドレス : H'1E>

b31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	b16
Dn_FIFO_Port [31:16]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 0000>

<S/Wリセット時 : - ->

<USBバスリセット時 : - ->

b	ビット名	機能	R	W
31~0	Dn_FIFO_Port [31:0] Dn_FIFOポート	<p>このビットにより、データの送信/受信を行います。</p> <p>「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、受信FIFOデータレジスタになります。</p> <p>指定されたPIPEの方向がINの時には、送信FIFOデータレジスタになります。</p> <p>対応するビットは「データピン&amp;FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のbig_endビットにより以下のようになります。</p> <p>big_end = "0" (リトルエンディアン)</p> <p>32ビット幅 : Dn_FIFO_Port [31:0]が有効</p> <p>16ビット幅 : Dn_FIFO_Port [15:0]が有効</p> <p>8ビット幅 : Dn_FIFO_Port [7:0]が有効</p> <p>big_end = "1" (ビッグエンディアン)</p> <p>32ビット幅 : Dn_FIFO_Port [31:0]が有効</p> <p>16ビット幅 : Dn_FIFO_Port [31:16]が有効</p> <p>8ビット幅 : Dn_FIFO_Port [31:24]が有効</p> <p>このビットの読み出し/書き込み時には、「Dn_FIFOポートコントロールレジスタ1」のFRDYビットが"1"になっていることを確認してください。</p>		

## 2.12 デフォルトコントロールPIPE連続送信データ長レジスタ

デフォルトコントロールPIPE連続送信データ長レジスタ (DCPSdIn)

<アドレス : H'26 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

SDLN[11:0]

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15~12	何も配置されていません。"0"に固定してください。		0	0
11~0	SDLN [11:0] コントロールリード転送連続送信データ長	<p>このビットはコントロールリード転送の送信データ長を最大2048バイト (H'800) まで設定できます。</p> <p>このビットは「C_FIFOポートコントロールレジスタ0」の Current_PIPE [4:0] = "00000"かつISEL = "1"かつ、「デフォルトコントロールPIPEコンフィグレーションレジスタ1」の CNTMD = "1"のときのみ有効です。</p> <p>(1) 0 &lt; SDLN値 &lt; 2048の時 :</p> <p>SDLNで指定したバイト数のデータがFIFOバッファに書き込まれた後、自動的に「C_FIFOポートコントロールレジスタ1」のBVALビットがセットされ送信可能状態になります。SDLN値がマックスバケットサイズの整数倍であるときには、全データの送信が終了した後に次のINトークンに対して自動的にzero-lengthパケットを送信します。それ以外では、送信データの最後のバケットはショートパケットであるためzero-lengthパケットは送信しません。(ショートパケットを送信した後にさらにINトークンを受信した場合にはNAK応答しバッファノットレディ割り込みが発生します。)</p> <p>(2) SDLN値が2048の時 :</p> <p>(1)と同じようにデータの送信を開始しますが、zero-lengthパケットは送信しません。zero-lengthパケットを送信するためには、FIFOバッファエンプティ後SWによりBVALビットを設定する必要があります。</p> <p>(3) SDLN値が0の時 :</p> <p>SWによりFIFOバッファに全送信データを書き込んだ後BVALを設定し、データ送信を開始します。FIFOに書き込んだデータ数が「PIPEコンフィグレーションウィンドウレジスタ1」のBuf_size [5:0]ビットで設定されている値と同じ場合、自動的にBVALがセットされるためSWによる設定は必要ありません。また、データ送信が終了した後にzero-lengthパケットを自動的に送信しません。zero-lengthパケットを送信するためには、FIFOバッファエンプティ後SWによりBVALビットを設定する必要があります。</p>		

2.13 C\_FIFOポートコントロールレジスタ0

C\_FIFOポートコントロールレジスタ0 (C\_FIFOPortCtrl0)

<アドレス : H'28 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT	REW			MBW [1:0]						ISEL	Current_PIPE [4:0]				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15	RCNT リードカウントモード	このビットが"1"に設定されたとき、C_FIFOポートレジスタが読み出されるたびに、「C_FIFOポートコントロールレジスタ1」のCPU_DTLN [12:0]ビットの値がカウントダウンします。		
14	REW バッファリワインド	このビットに"1"を書き込むことによって、FIFOバッファの読み出し / 書き込みポインタをリワインドします。 このビットへの"0"書き込みは無効です。 Current_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、リワインド操作後、バッファのデータを先頭から再度読み出すことができます。 Current_PIPE [4:0]ビットに設定されたPIPEの方向がINの時には、リワインド操作後、それまで書き込んだデータは無効になり、先頭から再度書き込むことができます。 「C_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときにリワインド操作実行が可能です。 Current_PIPE [4:0]ビットの更新と同時にREWビットに"1"を書き込んだ場合には、更新されたPIPEのFIFOバッファに対してリワインド操作をします。	0	
13~12	何も配置されていません。"0"に固定してください。		0	0
11~10	MBW [1:0] FIFOポートアクセスビット幅	C_FIFOポートアクセスのビット幅を選択します。 00: 32ビット幅 01: 16ビット幅 10: 8ビット幅 11: Reserved 注 : CPUバスが16ビット幅の時に、このビットを"00"に設定しないでください。		
9~6	何も配置されていません。"0"に固定してください。		0	0
5	ISEL デフォルトコントロールPIPEバッファ選択	このビットは、Current_PIPE [4:0]に"00000"を設定したときのみ有効になります。 0: コントロールライト (OUT) バッファ選択 1: コントロールリード (IN) バッファ選択		
4~0	Current_PIPE [4:0] CPUアクセスPIPE指定	このビットはC_FIFOポートのアクセスPIPEを指定します。 "00000" DCP (デフォルトコントロールPIPE) "00001" PIPE1 "00010" PIPE2 "00011" PIPE3 "00100" PIPE4 "00101" PIPE5 "00110" PIPE6 "00111" ~ "11111" Reserved		

**(1) PIPEの各コンフィギュレーションレジスタの設定についての注意事項**

Current\_PIPE [4:0]に設定されているPIPEの各コンフィギュレーションレジスタの内容（マックスパケットサイズ等）を変更しないでください。

PIPEの各コンフィギュレーションレジスタの内容を変更する場合には、Current\_PIPE [4:0]の値を一旦変更するか、各コンフィギュレーションレジスタの内容を変更後、「C\_FIFOポートコントロールレジスタ1」のBCLRビットに"1"を設定することによってバッファクリアをしてください。

またデフォルトコントロールPIPEをCurrent\_PIPE [4:0]に設定されている状態では、各コンフィギュレーションレジスタ以外にSDLNの変更もできません。変更した場合には、バッファクリアする必要があります。

**(2) Current\_PIPE [4:0]のPIPE指定とMBW[1:0]設定の変更の注意事項****(1) Current\_PIPE [4:0]に設定されているPIPEがOUTの場合**

Current\_PIPE [4:0]を設定した後のMBW [1:0]の設定変更は禁止です。

MBW [1:0]の設定は、Current\_PIPE [4:0]設定と同時にしくは設定以前に設定してください。

**(2) Current\_PIPE [4:0]に設定されているPIPEがINの場合**

Current\_PIPE [4:0]を設定した後の次のようなMBW [1:0]の設定変更は禁止です。

- ・ MBW [1:0] = "10"(8ビット幅)から"01"(16ビット幅)への変更
- ・ MBW [1:0] = "10"(8ビット幅)から"00"(32ビット幅)への変更
- ・ MBW [1:0] = "01"(16ビット幅)から"00"(32ビット幅)への変更

上記以外であれば、変更は可能です。MBWの設定変更の例を示します。

<可能なMBW設定の変更例：131バイトのショートパケットデータを書き込む例>

512バイトのバッファ領域を持つPIPEを設定（MBW [1:0] = "00"をCurrent\_PIPE [4:0]設定と同時に設定）

32ビット幅で128バイトまで書き込む

MBW [1:0]の設定を"01"に変更

16ビット幅で2バイト書き込む（トータル130バイト）

MBW [1:0]の設定を"10"に変更

8ビット幅で1バイト書き込む（トータル131バイト）

BVALビットへ"1"を書き込む（ショートパケットデータ送信）

2.14 C\_FIFOポートコントロールレジスタ1

C\_FIFOポートコントロールレジスタ1 (C\_FIFOPortCtrl1)

<アドレス : H' 2C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BVAL	BCLR	FRDY	CPU_DTLN [12:0]												
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<SWリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15	BVAL バッファ有効フラグ	<p>「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがOUTの場合、このビットはバッファにデータが存在するかどうかを示します。下記条件でこのビットが“0”から“1”になります。</p> <ul style="list-style-type: none"> <li>(1) 連続転送モードで、受信したデータパケットによりバッファがフルになる時、またはショートパケットを受信した時</li> <li>(2) 連続転送モードで、「C_FIFOポートコントロールレジスタ2」のTGLビットに“1”を書き込んだ時</li> <li>(3) 非連続転送モードで、1パケットのデータを受信した時</li> </ul> <p>このビットは、バッファからデータを読み出しバッファが空になった時にクリアされます。但し、バッファが空の状態zero-lengthパケットを受信した場合には、このビットはクリアされません。この場合BCLRビットに“1”を書き込むことによって、クリアされます。</p> <p>Current_PIPE [4:0]ビットに設定されたPIPEがINの場合、このビットに“1”を設定することによりショートパケットを送信することが可能です。また、このビットとBCLRビットに同時に“1”を書き込むことによってzero-lengthパケットを送信することができます。下記条件でこのビットが“0”から“1”になります。</p> <ul style="list-style-type: none"> <li>(1) 連続転送モードで、バッファがフルになるまでデータを書き込んだ時</li> <li>(2) 非連続転送モードで、マックスパケットサイズまでデータを書き込んだ時</li> </ul> <p>バッファが空になった時、このビットがクリアされます。このビットへの“0”書き込みは無効です。</p> <p>なお、Current_PIPE [4:0]に設定されたPIPEがデフォルトコントロールPIPEの場合のIN / OUT方向は、ISELビットによって決定されます。</p> <p>注 : Current_PIPE [4:0]ビットに設定されたPIPEがINの場合、このビットが“1”のときにこのビットに対して“1”を書き込まないでください。</p>		
14	BCLR バッファクリア	<p>このビットに“1”を書き込むことによって、バッファをクリアします。</p> <p>「C_FIFOポートコントロールレジスタ1」のFRDYビットが“1”のときに、このビットに“1”を書き込むことができます。ただし、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合は、FRDYビットに関係なくISELで選択されているバッファをクリアします。デフォルトコントロールPIPEのバッファをクリアする時には、このビットに“1”を書き込む前に「デフォルトコントロールPIPEコントロールレジスタ」のPID [1:0]ビットをNAKに設定してください。</p> <p>このビットへの“0”書き込みは無効です。</p>		

b	ビット名	機能	R	W
13	FRDY C_FIFOポートレディ	このビットが"1"にセットされている時に、「C_FIFOポートレジスタ0,1」へのアクセスが可能であることを示します。		x
12-0	CPU_DTLN [12:0] C_FIFOポート受信データ長	<p>このビットは、受信データ長を示します。</p> <p>「C_FIFOポートコントロールレジスタ0」のRCNTビットの値が"1"の場合、C_FIFOポートレジスタが読み出されるたびに、8ビット幅では-1、16ビット幅では-2、32ビット幅では-4でこのビットがカウントダウンします。</p> <p>RCNTビットの値が"0"の場合、データ読み出し中も受信データ長を保持し、全受信データが読み出された後にこのビットはクリアされます。</p> <p>「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがIN方向の場合、このビットは無効です。</p> <p>なお、Current_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合は、ISELビットが"1"の時のみこのビットが有効になります。</p>		x

## 2.15 C\_FIFOポートコントロールレジスタ2

C\_FIFOポートコントロールレジスタ2 (C\_FIFOPortCtrl2)

<アドレス : H'02E >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TGL	SCLR	SBUSY	SIE_DTLN[12:0]												
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15	TGL バッファトグル	連続転送モードにおいて、FIFOバッファがフルになっていない状態でこのビットに"1"を書き込むことにより、SIE側のバッファをCPU側のバッファに切り替えることができます。このときに、バッファレディ割り込みが発生します。 このビットはOUT方向のPIPEにのみ有効です。 なお、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合には、このビットへの"1"書き込みは無効です。 このビットへの"0"書き込みは無効です。		
14	SCLR SIEバッファクリア	このビットに"1"を書き込むことによって、SIE側のバッファをクリアし、SIE側のバッファをCPU側のバッファに切り替えます。 このビットはIN方向のPIPEにのみ有効です。 このビットを使用するときには下記手順で設定してください。 (1) INトランザクションに応答しないように「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEの「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットをNAKに設定します。 (2) SBUSYビットをポーリングし、"0"になっているのを確認します。(バッファアクセスがないことを確認します。) (3) SCLRビットに"1"を書き込み、SIE側バッファをクリアします。 なお、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合には、このビットへの"1"書き込みは無効です。 このビットへの"0"書き込みは無効です。	0	
13	SBUSY SIE側バッファビジー	SIEが「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEのバッファへアクセス中であることを示します。 0: SIEがアクセスしていない状態 1: SIEがアクセスしている状態 なお、Current_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合には、このビットの読み出しは無効です。		×
12~0	SIE_DTLN [12:0] SIE側バッファ受信データ長	このビットは、SIE側のFIFOバッファの受信データ長を示します。このビットはSBUSYが"0"になっているときのみ有効です。 このビットはOUT方向のPIPEにのみ有効です。 なお、Current_PIPE [4:0]ビットに設定されたPIPEがデフォルトコントロールPIPEの場合には、このビットの読み出しは無効です。		×

### 注意事項

TGLビットとSCLRビットに同時に"1"を書き込まないでください。

2.16 Dn\_FIFOポートコントロールレジスタ0

D0\_FIFOポートコントロールレジスタ0 (D0\_FIFOPortCtrl0)

<アドレス : H'30 >

D1\_FIFOポートコントロールレジスタ0 (D1\_FIFOPortCtrl0)

<アドレス : H'38 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT	REW	ABCR		MBW [1:0]	TREnb	TRclr					Current_PIPE [4:0]				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15	RCNT リードカウントモード	このビットが "1" に設定されたとき、Dn_FIFOポートレジスタが読み出されるたびに、「Dn_FIFOポートコントロールレジスタ1」のDMA_DTLN [12:0]ビットの値がカウントダウンします。		
14	REW バッファリワインド	このビットに"1"を書き込むことによって、FIFOバッファの読み出し/書き込みポインタをリワインドします。 このビットへの"0"書き込みは無効です。 Current_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、リワインド操作後、バッファのデータを先頭から再度読み出すことができます。 Current_PIPE [4:0]ビットに設定されたPIPEの方向がINの時には、リワインド操作後、それまで書き込んだデータは無効になり、先頭から再度書き込むことができます。 「Dn_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときにリワインド操作実行が可能です。 Current_PIPE [4:0]ビットの更新と同時にREWビットに"1"を書き込んだ場合には、更新されたPIPEのFIFOバッファに対してリワインド操作をします。	0	
13	ABCR 自動バッファクリアモード	このビットはCurrent_PIPE [4:0]に設定されたPIPEの方向がOUTの時のみ有効です。 下記(1)または(2)の時に、SWIによってFIFOをクリアするか、HWによってクリアするかを選択します。 (1) バッファが空いている状態でzero-lengthパケットを受信した時 (2) Current_PIPE [4:0]に設定されたPIPEのBFREビット (「PIPEコンフィギュレーションウィンドウレジスタ0」) が"1"で、ショートパケットを受信した時 (zero-lengthパケットを含みます) または、トランザクションカウンタ分のパケットを受信した時 0: 自動バッファクリアモード禁止 上記(1)または(2)の場合、バッファのデータを全て読み出しても、バッファの状態はクリアされません (「Dn_FIFOポートコントロールレジスタ2」のBVAL = "1"のまま)。その為DMA転送により読み出し終了後、「Dn_FIFOポートコントロールレジスタ2」のDMA_DTLN [12:0] (RCNT = "0") を読み出すことによって、最後の転送が何バイトあったかを確認する事ができます。バッファをクリアするには「Dn_FIFOポートコントロールレジスタ2」のBCLRビットに"1"を設定してください。 1: 自動バッファクリアモード許可 バッファのデータを全て読み出したら、自動的にバッファがクリアされ、次のデータを受信可能状態になります。		
12	何も配置されていません。"0"に固定してください。		0	0

b	ビット名	機能	R	W
11~10	MBW [1:0] FIFOポートアクセスビット幅	Dn_FIFOポートアクセスのビット幅を選択します。 00: 32ビット幅 01: 16ビット幅 10: 8ビット幅 11: Reserved 注: Dn_FIFOポートが使用するバス幅が16ビット幅の時、このビットを"00"に設定しないでください。Dn_FIFOポートが使用するバス幅が8ビット幅の時、このビットを"00"または"01"を設定しないでください。		
9	TREnb トランザクションカウンタ機能許可	トランザクションカウンタ機能の有効/無効を設定します。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効 このビットはCurrent_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時のみ有効です。 トランザクションカウンタ機能の詳細は「Dn_FIFOポートコントロールレジスタ3」のTRNCNT [15:0]ビットの記述を参照してください。 注: このビットを設定する前に、「PIPEiコントロールレジスタ (i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。		
8	TRclr トランザクションカウンタクリア	このビットに"1"を書き込むとトランザクションカウンタ機能のカウントをクリアします。 このビットへの"0"書き込みは無効です。 注: このビットを設定する前に、「PIPEiコントロールレジスタ (i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。	0	
7~5	何も配置されていません。"0"に固定してください。		0	0
4~0	Current_PIPE [4:0] DMAアクセスPIPE指定	このビットは、Dn_FIFOポートのアクセスPIPEを指定します。 "00000" Dn_FIFOポート動作停止 "00001" PIPE1 "00010" PIPE2 "00011" PIPE3 "00100" PIPE4 "00101" PIPE5 "00110" PIPE6 "00111" ~ "11111" Reserved Dn_FIFOポートレジスタへのアクセス中にこの設定を変更しないでください。 「Dn_FIFOポートコントロールレジスタ1」のExCtrEnビットが"1"に設定されている場合、このビットへの書き込みは無効です。詳細は「Dn_FIFOポートコントロールレジスタ1」のExCtrEnビットの記述を参照してください。		

**(1) PIPEの各コンフィギュレーションレジスタの設定についての注意事項**

Current\_PIPE [4:0]に設定されているPIPEの各コンフィギュレーションレジスタの内容 (マックスパケットサイズ等) を変更しないでください。

PIPEの各コンフィギュレーションレジスタの内容を変更する場合には、Current\_PIPE [4:0]の値を一旦変更するか、各コンフィギュレーションレジスタの内容を変更後、「Dn\_FIFOポートコントロールレジスタ2」のBCLRビットに"1"を設定することによってバッファクリアをしてください。

**(2) Current\_PIPE [4:0]のPIPE指定とMBW[1:0]設定の変更の注意事項**

(1) Current\_PIPE [4:0]に設定されているPIPEがOUTの場合

Current\_PIPE [4:0]を設定した後のMBW [1:0]の設定変更は禁止です。

MBW [1:0]の設定は、Current\_PIPE [4:0]設定と同時にしくは設定以前に設定してください。

(2) Current\_PIPE [4:0]に設定されているPIPEがINの場合

Current\_PIPE [4:0]を設定した後のMBW [1:0]の設定変更は禁止です。設定を変更した場合には、DREQn信号の出力が正しく動作しません。

ただしショートパケットを送信する、かつ外部DMACにバイトライト機能が無い場合には、次のようにデー

タを書き込むことが可能です。

- < DMAポートのPIPEに対して、ショートパケットの最後の数バイトをCPUアクセスによって書き込む例 >
- 512バイトのバッファ領域を持つPIPEを設定 ( MBW [1:0] = "00"をCurrent\_PIPE [4:0]設定と同時に設定 )
- DMAのDREQn / DACKn等により、32ビット幅で128バイトまで書き込み 外部DMAC停止
- DreqEビットに"0"を書き込んで、DREQn出力を不許可にする。
- MBW [1:0]の設定を"01"に変更
- CPUアクセスにより、8ビット幅で3バイト書き込み (トータル131バイト)
- BVALビットへ"1"を書き込む (ショートパケットデータ送信)

2.17 Dn\_FIFOポートコントロールレジスタ1

D0\_FIFOポートコントロールレジスタ1 ( D0\_FIFOPortCtrl1 )

<アドレス : H'32 >

D1\_FIFOポートコントロールレジスタ1 ( D1\_FIFOPortCtrl1 )

<アドレス : H'3A >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
ExCtrlEn						End_PIPE [4:0]				Start_PIPE [4:0]					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15	ExCtrlEn PIPEマッピング方法選択	<p>このビットはDn_FIFOポートとPIPE間のマッピングの方法を選択します。</p> <p>0: PIPEマッピングは、「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]によって決定します。</p> <p>1: PIPEマッピングは、外部コントロール ( EXCTRLn ) 端子と外部トリガ ( EXTRGn_N ) 端子、End_PIPE [4:0]とStart_PIPE [4:0]によって決定します。</p> <p>このビットが"1"のとき、Start_PIPE [4:0]により指定されるPIPEがDn_FIFOポートマッピングされます。そして、Dn_FIFOポートにマッピングされたPIPEは、Start_PIPE [4:0]からEnd_PIPE [4:0]までに外部端子によって切り換えられます。切り換えのコントロールはEXCTRLn端子とEXTRGn_N端子で行います。</p> <p>EXCTRLn端子はEXTRGn_N端子の立ち上がりエッジでサンプリングされ、EXCTRLn端子の値によってPIPEマッピングは次の通りに切り換えられます :</p> <p>EXCTRLn = "L": Start_PIPE [4:0]に切り換えられます。</p> <p>EXCTRLn = "H": マッピングされている現在のPIPE ( N ) を PIPE ( N+1 ) に切り換えます。マッピングされているPIPEがEnd_PIPE [4:0]の場合、Start_PIPE [4:0]に切り換えます。</p> <p>なお、現在のPIPEはCurrent_PIPE [4:0]によって読み出すことができます。</p>		
14~10	何も配置されていません。"0"に固定してください。		0	0
9~5	End_PIPE [4:0] エンドPIPE	<p>このビットは、外部PIPEマッピング機能のPIPE範囲の上限を指定します。詳細はExCtrlEnビットを参照ください。</p> <p>注 : ExCtrlEnビットを"1"に設定後、このビットの変更をしないでください。</p>		
4~0	Start_PIPE [4:0] スタートPIPE	<p>このビットは、外部PIPEマッピング機能のPIPE範囲の下限を指定します。詳細はExCtrlEnビットを参照ください。</p> <p>注 : ExCtrlEnビットを"1"に設定後、このビットの変更をしないでください。</p>		

注意事項 :

Start\_PIPE [4:0]ビットとEnd\_PIPE [4:0]ビットの指定は必ずStart\_PIPE [4:0] < End\_PIPE [4:0]にしてください。

2.18 Dn\_FIFOポートコントロールレジスタ2

D0\_FIFOポートコントロールレジスタ2 (D0\_FIFOPortCtrl2)

<アドレス : H'34 >

D1\_FIFOポートコントロールレジスタ2 (D1\_FIFOPortCtrl2)

<アドレス : H'3C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BVAL	BCLR	FRDY	DMA_DTLN [12:0]												
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15	BVAL バッファ有効フラグ	<p>「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがOUTの場合、このビットはバッファにデータが存在するかどうかを示します。下記条件でこのビットが“0”から“1”になります。</p> <p>(1) 連続転送モードで、受信したデータパケットによりバッファがフルになる時、またはショートパケットを受信した時</p> <p>(2) 「Dn_FIFOポートコントロールレジスタ0」のTRENbビットが“1”の場合、「Dn_FIFOポートコントロールレジスタ3」のTRNCNT [15:0]ビットに設定した値までパケットを受信した時</p> <p>(3) 非連続転送モードで、1パケットのデータを受信した時</p> <p>このビットは、バッファからデータを読み出しバッファが空になった時にクリアされます。但し、「Dn_FIFOポートコントロールレジスタ1」のABCRビットやCurrent_PIPE [4:0]ビットに設定されたPIPEのBFREビット（「PIPEコンフィギュレーションウィンドウレジスタ0」）の設定によって、自動的にこのビットがクリアされないことがあります。詳細は、ABCRビットを参照してください。</p> <p>Current_PIPE [4:0]ビットに設定されたPIPEがINの場合、このビットに“1”を設定することによりショートパケットを送信することが可能です。また、このビットとBCLRビットに同時に“1”を書き込むことによってzero-lengthパケットを送信することができます。下記条件でこのビットが“0”から“1”になります。</p> <p>(1) 連続転送モードで、バッファがフルになるまでデータを書き込んだ時</p> <p>(2) 非連続転送モードで、マックスパケットサイズまでデータを書き込んだ時</p> <p>(3) DMA転送中、DENDn信号がアサートされた時</p> <p>バッファが空になった時、このビットがクリアされます。このビットへの“0”書き込みは無効です。</p> <p>注：Current_PIPE [4:0]ビットに設定されたPIPEがINの場合、このビットが“1”のときにこのビットに対して“1”を書き込まないでください。</p>		
14	BCLR バッファクリア	<p>このビットに“1”を書き込むことによって、バッファをクリアします。FRDYビットが“1”のときに、このビットに“1”を書き込むことができます。</p> <p>このビットへの“0”書き込みは無効です。</p>	0	
13	FRDY Dn_FIFOポートレディ	<p>このビットが“1”にセットされている時に、「Dn_FIFOポートレジスタ0, 1」へのアクセスが可能であることを示します。</p>		x

b	ビット名	機能	R	W
12~0	DMA_DTLN [12:0] Dn_FIFOポート受信データ長	<p>このビットは、受信データ長を示します。</p> <p>「Dn_FIFOポートコントロールレジスタ0」のRCNTビットの値が"1"の場合、Dn_FIFOポートレジスタが読み出されるたびに、8ビット幅では-1、16ビット幅では-2、32ビット幅では-4でこのビットがカウントダウンします。</p> <p>RCNTビットの値が"0"の場合、データ読み出し中も受信データ長を保持し、全受信データが読み出された後にこのビットはクリアされます。</p> <p>「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEがIN方向の場合、このビットは無効です。</p>		x

### 2.19 Dn\_FIFOポートコントロールレジスタ3

D0\_FIFOポートコントロールレジスタ3 (D0\_FIFOPortCtrl3)

<アドレス : H'36 >

D1\_FIFOポートコントロールレジスタ3 (D1\_FIFOPortCtrl3)

<アドレス : H'3E >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TRNCNT [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15~0	TRNCNT [15:0] トランザクションカウンタ	<p>「Dn_FIFOポートコントロールレジスタ0」のTRENbビットが“1”に設定されている場合、このビットはトランザクションカウンタとして使用されます。このビットは「Dn_FIFOポートコントロールレジスタ0」のCurrent_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時のみ有効です。</p> <p>トランザクションカウンタは二つの内部レジスタを使用します。</p> <p>a) カレントカウンタレジスタ b) 上限レジスタ</p> <p>このビットへの書き込みはb)の上限レジスタへの書き込みとなります。このビットの読み出しは次の通りです。</p> <p>TRENb = “0”の時、b)の上限レジスタが読み出されます。 TRENb = “1”の時、a)のカレントカウンタレジスタが読み出されます。</p> <p>トランザクションカウンタ機能が許可されている場合、OUTトランザクションが受信されるたびに、カレントカウンタレジスタがインクリメントされます。</p> <p>下記イベントで、カレントカウンタレジスタがクリアされます。</p> <p>(1) 実行されたOUTトランザクションでショートパケットを受信したとき (2) カレントカウンタレジスタの値がb)の上限レジスタの値に到達したとき (3) 「Dn_FIFOポートコントロールレジスタ0」のTRclrビットに“1”が書き込まれたとき</p> <p>注 : このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを“00” (NAK) に設定してください。</p>		

2.20 INT0ピンコンフィギュレーションレジスタ0

INT0ピンコンフィギュレーションレジスタ0 (INT0PinCfg0)

<アドレス : H'40 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	INTNE	INTRE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15	VBSE VBUS割込許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のVBUSINTビットが"1"で割り込み発生)		
14	RSME レジューム割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のRESMビットが"1"で割り込み発生)		
13	SOFE フレーム更新割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のSOFRビットが"1"で割り込み発生)		
12	DVSE デバイスステート遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のDVSTビットが"1"で割り込み発生)		
11	CTRE コントロール転送ステージ遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のCTRTビットが"1"で割り込み発生)		
10	BEMPE PIPEバッファエンプティ/サイズエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のBEMPビットが"1"で割り込み発生)		
9	INTNE PIPEバッファノットレディ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のINTNビットが"1"で割り込み発生)		
8	INTRE PIPEバッファレディ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のINTRビットが"1"で割り込み発生)		
7	URST USBリセット検出	このビットは、USBバスリセット検出時にDVSTビットを"1"にセットするかしないかを選択します。 0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
6	SADR SetAddress実行	このビットは、SET_ADDRESS実行時にDVSTビットを"1"にセットするかしないかを選択します。 0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
5	SCFG SetConfiguration実行	このビットは、SET_CONFIGURATION実行時にDVSTビットを"1"にセットするかしないかを選択します。 0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
4	SUSP サスペンド検出	このビットは、サスペンド検出時にDVSTビットを"1"にセットするかしないかを選択します。 0: DVSTビットのセット禁止 1: DVSTビットのセット許可		

## M66590FP

b	ビット名	機能	R	W
3	WDST コントロールライト転送データステージ完了	このビットは、コントロールライト転送でステータスステージに遷移した時にCTRTRビットを"1"にセットするかしないかを選択します。 0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可		
2	RDST コントロールリード転送データステージ完了	このビットは、コントロールリード転送でステータスステージに遷移した時にCTRTRビットを"1"にセットするかしないかを選択します。 0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可		
1	CMPL コントロール転送完了	このビットは、コントロール転送でステータスステージ画終了した時にCTRTRビットを"1"にセットするかしないかを選択します。 0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可		
0	SERR コントロール転送シーケンスエラー	このビットは、コントロール転送でシーケンスエラー検出時にCTRTRビットを"1"にセットするかしないかを選択します。 0: CTRTRビットのセット禁止 1: CTRTRビットのセット許可		

2.21 INT0ピンコンフィギュレーションレジスタ1

INT0ピンコンフィギュレーションレジスタ1 (INT0PinCfg1)

<アドレス : H'42 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTOL	INTOA
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : - >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~2	何も配置されていません。"0"に固定してください。		0	0
1	INTOL 割り込み出力センス	このビットにより、割り込み出力のセンスモードを設定します。 0: エッジセンス。 割り込み要因がクリアされる時にネゲートされます。その後、他の割り込み要因がまだクリアされていない場合、再びアサートされます。ネゲート期間は48MHzクロックの32クロック分(約667ns)です。 1: レベルセンス。 すべての割り込み要因がクリアされない限り、アサートされつづけます。		
0	INTOA 割り込み出力極性	このビットにより、割り込み信号の出力極性を設定します。 0: Lowアクティブ 1: Highアクティブ		

2.22 INT0ピンコンフィギュレーションレジスタ2

INT0ピンコンフィギュレーションレジスタ2 (INT0PinCfg2)

<アドレス : H'44 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_RE [6:1]						DCP_RE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_RE [6:1] PIPE6-1バッファレディ割り込み許可	このビットは、「割り込みステータスレジスタ1」のPIPEB_RDYビットに"1"がセットされたときにINTRビットを"1"にセットするかしないかを選択します。 0: INTRビットのセット禁止 1: INTRビットのセット許可 b6はPIPE6、・・・b1はPIPE1に対応します。		
0	DCP_RE DCP_FIFOバッファレディ割り込み許可	このビットは、「割り込みステータスレジスタ1」のDCP_RDYビットに"1"がセットされたときにINTRビットを"1"にセットするかしないかを選択します。 0: INTRビットのセット禁止 1: INTRビットのセット許可		

2.23 INT0ピンコンフィギュレーションレジスタ3

INT0ピンコンフィギュレーションレジスタ3 (INT0PinCfg3)

<アドレス : H'48 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_NRE [6:1]						DCP_NRE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_NRE [6:1] PIPE6-1バッファノットレディ割り込み許可	このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDYビットに"1"がセットされたときにINTNビットを"1"にセットするかしないかを選択します。 0: INTNビットのセット禁止 1: INTNビットのセット許可 b6はPIPE6、・・・b1はPIPE1に対応します。		
0	DCP_NRE DCP_FIFOバッファノットレディ割り込み許可	このビットは、「割り込みステータスレジスタ2」のDCP_NRDYビットに"1"がセットされたときにINTNビットを"1"にセットするかしないかを選択します。 0: INTNビットのセット禁止 1: INTNビットのセット許可		

2.24 INT0ピンコンフィギュレーションレジスタ4

INT0ピンコンフィギュレーションレジスタ4 (INT0PinCfg4)

<アドレス : H'4C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	PIPEB_EMPE [6:1]				DCP_EMPE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_EMPE [6:1] PIPE6-1バッファエンプティ/サイズエラー り込み許可	このビットは、「割り込みステータスレジスタ3」の PIPEB_EMP_OVRビットに"1"がセットされたときにBEMPビ ットを"1"にセットするかしないかを選択します。 0: BEMPビットのセット禁止 1: BEMPビットのセット許可 b6はPIPE6、・・・b1はPIPE1に対応します。		
0	DCP_EMPE DCP_FIFOバッファエンプティ/サイズエラ ー割り込み許可	このビットは、「割り込みステータスレジスタ3」の DCP_EMP_OVRビットに"1"がセットされたときにBEMPビッ トを"1"にセットするかしないかを選択します。 0: BEMPビットのセット禁止 1: BEMPビットのセット許可		

2.25 SOFピンコンフィギュレーションレジスタ

SOFピンコンフィギュレーションレジスタ (SOFPinCfg)

<アドレス : H'52 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	SOFMODE		0	SOFA
-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : - >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~4		何も配置されていません。"0"に固定してください。	0	0
3~2	SOFMODE SOF端子機能設定	<p>このビットは、SOF端子の機能を設定します。</p> <p>00: SOF出力禁止 01: SOF出力 (1msフレーム出力信号) 10: SOF出力 (125µsフレーム出力信号) 11: Reserved</p> <p>このビットが"01"または"10"に設定された時に、SOF端子は"Start of frame"出力端子として動作します。SOFパケットを受信したときに、パルスが出力されます。SOFパケットが破損、または欠落した場合でも、内部補間回路によってパルスを出します。パルス幅は48MHzクロックの32クロック分 (約667ns) です。</p> <p>なお、Full-Speedで動作しているときに"10"を設定しないでください。</p>		
1		何も配置されていません。"0"に固定してください。	0	0
0	SOFA SOF出力極性	<p>このビットにより、SOF信号の出力極性を設定します。</p> <p>0: Lowアクティブ 1: Highアクティブ</p>		

2.26 割り込みステータスレジスタ0

割り込みステータスレジスタ0 (INTStatus0)

<アドレス : H'60 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBUSINT	RESM	SOFR	DVST	CTRT	BEMP	INTN	INTR	VBUSSTS	DVSQ [2:0]			VALID	CTSQ [2:0]		
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	-	-	-	-

<H/Wリセット時 : B'0000 0000 ?000 0000 >

<S/Wリセット時 : B'0000 0000 ?000 0000 >

<USBバスリセット時 : B'---1 ---- -001 ---- >

b	ビット名	機能	R	W
15	VBUSINT VBUS割り込み	このビットはVBUS入力に変化したことを示します。 VBUS入力の入力に変化 ("L" "H"または"H" "L") の時に、このビットは"1"にセットされます。このビットは内部クロック (SCLK) 停止状態でもセットされます。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。但し、内部クロックが停止している状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") では、"0"を書き込み後必ず"1"の書き込みを行ってください。		
14	RESM レジューム割り込み	USBバスの状態がサスペンド状態 (DVSTビットが"1XX") から"J" "K"または"J" "SE0"に変化した場合このビットが"1"にセットされます。このビットは内部クロック (SCLK) 停止状態でもセットされます。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。但し、内部クロックが停止している状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") では、"0"を書き込み後必ず"1"の書き込みを行ってください。		
13	SOFR フレーム更新割り込み	このビットはSOFパケットを受信し、フレームナンバーが更新されたことを示します。このビットの詳細は「3.3.4 フレーム更新割り込み」を参照してください。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。 このビットに"1"を書き込んででも変化しません。		
12	DVST デバイスステート遷移割り込み	このビットは、デバイスステートが遷移したことを示します。 デバイスステート遷移割り込みは次の四つの要因があります。 USBリセットの検出 "SET_ADDRESS"の実行 "SET_CONFIGURATION"の実行 サスペンドの検出 この四つの要因は個別に禁止 / 許可できます。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。 このビットに"1"を書き込んででも変化しません。		

b	ビット名	機能	R	W
11	CTRT コントロール転送ステージ遷移割り込み	<p>このビットは、コントロール転送でステージが遷移したことを示します。</p> <p>コントロール転送ステージ遷移割り込みは次の五つの要因があります。</p> <ul style="list-style-type: none"> <li>セットアップステージ完了</li> <li>コントロールライト転送ステータスステージ遷移</li> <li>コントロールリード転送ステータスステージ遷移</li> <li>コントロール転送完了</li> <li>コントロール転送シーケンスエラー</li> </ul> <p>セットアップステージ完了を除き、各要因は個別に禁止 / 許可できます。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んででも変化しません。</p>		
10	BEMP PIPEバッファ empti / サイズエラー割り込み	<p>このビットは、バッファ empti もしくはバッファサイズオーバーエラーが発生したことを示します。</p> <p>「割り込みステータスレジスタ3」のPIPEB_EMP_OVR [6:1] ビットもしくはDCP_EMP_OVRビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。</p> <p>「割り込みステータスレジスタ3」のすべてのビットがクリアされることによって、このビットがクリアされます。</p>		×
9	INTN PIPEバッファノットレディ割り込み	<p>このビットは、バッファノットレディ状態のためホストに対してNAK応答したことを示します。</p> <p>「割り込みステータスレジスタ2」のPIPEB_NRDY [6:1] ビットもしくはDCP_NRDYビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。</p> <p>「割り込みステータスレジスタ2」のすべてのビットがクリアされることによって、このビットがクリアされます。</p>		×
8	INTR PIPEバッファレディ割り込み	<p>このビットは、バッファレディ状態 (読み出し / 書き込み可能状態) であることを示します。</p> <p>「割り込みステータスレジスタ1」のPIPEB_RDY [6:1] ビットもしくはDCP_RDYビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。</p> <p>「割り込みステータスレジスタ1」のすべてのビットがクリアされることによって、このビットがクリアされます。</p>		×
7	VBUSSTS VBUS端子入力状態	<p>このビットは、VBUS端子の状態を示します。</p> <p>0: VBUS端子"L"入力 1: VBUS端子"H"入力</p>		×
6~4	DVSQ [2:0] デバイスステート	<p>このビットは、現在のデバイスステートを示します。</p> <p>000: Poweredステート 001: Defaultステート 010: Addressステート 011: Configuredステート 1xx: Suspendedステート</p> <p>デバイスステートはUSB規格の9章のデバイスステートの記述と一致しています。H/Wリセットの後の状態はPoweredステートです。USBリセットの後の状態はDefaultステートです。"SET_ADDRESS"実行後はAddressステートに遷移します。"SET_CONFIGURATION"実行後はConfiguredステートに遷移します。サスペンドを検出したとき、Suspendedステートに遷移します。</p>		×

b	ビット名	機能	R	W
3	VALID セットアップパケット検出	<p>このビットは、セットアップパケットを受信したことを示します。セットアップパケットの受信が完了するとこのビットが"1"セットされます。このビットによる割り込みは発生しません。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んででも変化しません。</p> <p>このビットが"1"の間、「デフォルトコントロールPIPEコンフィギュレーションレジスタ0」のPID [1:0]ビットへの書き込みはできません。</p>		
2~0	CTSQ [2:0] コントロール転送ステージ	<p>このビットは、コントロール転送での現在のステージを示します。</p> <p>000: アイドルまたは、セットアップステージ                      001: コントロールリード転送データステージ                      010: コントロールリード転送ステータスステージ                      011: コントロールライト転送データステージ                      100: コントロールライト転送ステータスステージ                      101: ノーデータコントロールライト転送ステータスステージ                      110: コントロール転送シーケンスエラー                      111: Reserved</p>		x

**VBUSINT / RESM / SOFR / DVST / CTSTステータスビットのクリアの注意事項**

VBUSINT / RESM / SOFR / DVST / CTSTステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、DVSTステータスビットとCTSTステータスビットが同時にセットされている状態で、DVSTビットに"1"を書き込んでからCTSTビットに"1"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にDVSTビットとCTSTビットをクリアすることは可能です。

## 2.27 割り込みステータスレジスタ1

割り込みステータスレジスタ1 (INTStatus1)

<アドレス : H'64 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_RDY [6:1]						DCP_RDY
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_RDY [6:1] PIPE6-1バッファレディ割り込み	このビットは、バッファがレディ状態になった場合PIPEに対応したビットが"1"になります。 レディ状態とは、「PIPEコンフィギュレーションウィンドウレジスタ0」のBFREビットによって以下のようになります。 BFRE = "0"のとき、FIFOポートに対し読み出せる状態または書き込める状態のことです。 BFRE = "1"のとき、OUTトランスファのすべてのデータを読み出し終えた状態です。 詳細は「3.3.9 PIPEバッファレディ割り込み」を参照してください。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。 このビットに"1"を書き込んでも変化しません。		
0	DCP_RDY デフォルトコントロールPIPEバッファレディ割り込み	このビットは、デフォルトコントロールPIPEバッファが読み出し可能状態であることを示します。 コントロールライト転送の時データパケットを正常に受信した場合に、このビットは"1"にセットされます。コントロールリード転送の時、送信FIFOバッファが書き込める状態では、このビットは"1"にセットされません。コントロールリード転送の送信終了はデフォルトコントロールPIPEバッファエンプティ/サイズエラー割り込みにて確認してください。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。 このビットに"1"を書き込んでも変化しません。		

### バッファレディ割り込み (PIPEB\_RDY [6:1] / DCP\_RDY) ステータスビットのクリアの注意事項

PIPEB\_RDY [6:1] / DCP\_RDYステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB\_RDY [1]とステータスビットPIPEB\_RDY [2]が同時にセットされている状態で、PIPEB\_RDY [1]ビットに"1"を書き込んでからPIPEB\_RDY [2]ビットに"1"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にPIPEB\_RDY[1]ビットとPIPEB\_RDY[2]ビットをクリアすることは可能です。

## 2.28 割り込みステータスレジスタ2

割り込みステータスレジスタ2 (INTStatus2)

<アドレス : H'68 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >

<S/Wリセット時 : H'0000 >

<USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_NRDY [6:1] PIPE6-1バッファノットレディ割り込み	<p>このビットは、バッファがノットレディ状態においてINTトークン / OUTトークンを受信した場合、PIPEに対応したビットが"1"になります。</p> <p>ノットレディ状態とは、「PIPEiコントロールレジスタ」のPID [1:0]ビットを"01" (BUF) 設定のとき、ホストに対して受信不可 / 送信不可でNAK応答した状態のことです。</p> <p>また、アイソクロナス転送に設定されたPIPEに対しては、オーバーラン / アンダーランとCRCエラーのケット受信によってこのビットが"1"になります。なお、Hi-Speed時のHigh BandwidthアイソクロナスOUT転送では、ケットが欠落または破損したときにもこのビットが"1"になります。詳しくは124ページの「0 High Bandwidthアイソクロナス転送」を参照してください。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んででも変化しません。</p>		
0	DCP_NRDY デフォルトコントロールPIPEバッファノットレディ割り込み	<p>このビットは、バッファがノットレディ状態においてINTトークン / OUTトークンを受信した場合、PIPEに対応したビットが"1"になります。</p> <p>ノットレディ状態とは、「デフォルトコントロールPIPEコンフィギュレーションレジスタ0」のPID [1:0]ビットを"01" (BUF) 設定のとき、ホストに対して受信不可 / 送信不可でNAK応答した状態のことです。</p> <p>コントロール転送のステータスステージでのNAK応答では、このビットは"1"にセットされません。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んででも変化しません。</p>		

### バッファレディ割り込み (PIPEB\_NRDY [6:1] / DCP\_NRDY) ステータスビットのクリアの注意事項

PIPEB\_NRDY [6:1] / DCP\_NRDYステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB\_NRDY [1]とステータスビットPIPEB\_NRDY [2]が同時にセットされている状態で、PIPEB\_NRDY [1]ビットに"1"を書き込んでからPIPEB\_NRDY [2]ビットに"1"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にPIPEB\_NRDY[1]ビットとPIPEB\_NRDY[2]ビットをクリアすることは可能です。

### 2.29 割り込みステータスレジスタ3

割り込みステータスレジスタ3 (INTStatus3)

<アドレス : H'6C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_EMP_OVR [6:1]						DCP_EMP_OVR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >  
 < S/Wリセット時 : H'0000 >  
 < USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~1	PIPEB_EMP_OVR [6:1] PIPE6-1バッファエンプティ / サイズエラー 割り込み	<p>このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE6-1のバッファがエンプティになったことを示します。</p> <p>(1) 転送方向INの場合 各PIPEのバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、PIPEに対応したビットが"1"にセットされます。</p> <p>(2) 転送方向OUTの場合 受信したデータパケットのサイズが「PIPEコンフィギュレーションウィンドウレジスタ2」のMXPS [10:0]に設定されている値を超えた場合 (サイズオーバー検出)、PIPEに対応したビットが"1"にセットされます。このときに、「PIPEiコントロールレジスタ」のPID [1:0]ビットが"1X" (STALL) に設定されます。</p> <p>また、Hi-Speed時のHigh BandwidthアイソクロナスOUT転送では、意図しないパケットを受信したときやホスト異常を検出したときも、このビットが"1"になります。詳しくは124ページの「0 High Bandwidthアイソクロナス転送」を参照してください。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んでも変化しません。</p>		
0	DCP_EMP_OVR デフォルトコントロールPIPEバッファエン プティ/サイズエラー割り込み	<p>このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはDCPの送信バッファがエンプティになったことを示します。</p> <p>(1) 転送方向INの場合 DCPの送信バッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビットが"1"にセットされます。</p> <p>(2) 転送方向OUTの場合 受信したデータパケットのサイズが「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]に設定されている値を超えた場合 (サイズオーバー検出)、このビットが"1"にセットされます。このときに、「デフォルトコントロールPIPEコントロールレジスタ」のPID [1:0]ビットが"1X" (STALL) に設定されます。</p> <p>このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。</p> <p>このビットに"1"を書き込んでも変化しません。</p>		

**バッファレディ割り込み (PIPEB\_EMP\_OVR [6:1] / DCP\_EMP\_OVR) ステータスビットのクリアの注意事項**

PIPEB\_EMP\_OVR [6:1] / DCP\_EMP\_OVRステータスビットが多重に”1”にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB\_EMP\_OVR [1]とステータスビットPIPEB\_EMP\_OVR [2]が同時にセットされている状態で、PIPEB\_EMP\_OVR [1]ビットに”1”を書き込んでからPIPEB\_EMP\_OVR [2]ビットに”1”を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にPIPEB\_EMP\_OVR [1]ビットとPIPEB\_EMP\_OVR [2]ビットをクリアすることは可能です。

### 2.30 フレームナンバーレジスタ0

フレームナンバーレジスタ0 (FrmNum0)

<アドレス : H'70 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
OVRN	CRCE			SOFRM						FRNM [10:0]					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15	OVRN オーバーラン/アンダーランエラー	アイソクロナス転送 (OUT/IN) において、オーバーラン/アンダーランが発生した時に、バッファノットレディ割り込みが発生し、このビットが"1"にセットされます。 受信データにCRCエラーまたはビットスタッフィングエラーが発生した場合でも、このビットは"1"にセットされます。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。このビットをクリアしてもバッファノットレディ割り込みはクリアされません。 このビットに"1"を書き込んでも変化しません。		
14	CRCE 受信データエラー	アイソクロナス転送 (OUT) において、受信したデータにCRCエラーまたはビットスタッフィングエラーが発生した時に、バッファノットレディ割り込みが発生し、このビットが"1"にセットされます。 このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。このビットをクリアしてもバッファノットレディ割り込みはクリアされません。 このビットに"1"を書き込んでも変化しません。		
13-12	何も配置されていません。"0"に固定してください。		0	0
11	SOFRM SOFR割り込み出力モード	このビットはSOFR割り込み出力モードを選択します。 0: SOFパケットが破損または欠落しても、SOFRは規則的な間隔でアサートされます。 1: SOFパケットが破損または欠落したときにだけ、SOFRがアサートされます。 詳細は91ページの「3.3.4 フレーム更新割り込み」を参照してください。		
10-0	FRNM [10:0] フレームナンバー	現在のフレームナンバーを示します。		×

2.31 フレームナンバーレジスタ1

フレームナンバーレジスタ1 (FrmNum1)

<アドレス : H'72 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	MicroFRNM [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
13~3		何も配置されていません。"0"に固定してください。	0	0
2~0	MicroFRNM [2:0] マイクロフレームナンバー	このビットは現在のマイクロフレームナンバーを示します。 Hi-Speedの時には、125 μs毎のμSOFパケットを受信した たらこのビットがインクリメントされます。 Full-Speedの時には、このビットは常に"000"が読み出され ます。		×

2.32 USBアドレスレジスタ

USBアドレスレジスタ (USBAddress)

<アドレス : H'74>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USB\_Addr [6:0]

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : H'0000 >

b	ビット名	機能	R	W
15~7		何も配置されていません。"0"に固定してください。	0	0
6~0	USB_Addr [6:0] USB_Address	ホストからSET_ADDRESSデバイスリクエストにより指定されたUSBアドレスを格納します。 SET_ADDRESSデバイスリクエストに対し自動応答し、コントロール転送のステータスステージ完了後に新しいUSBアドレスに更新されます。		×

### 2.33 USBリクエストレジスタ0

USBリクエストレジスタ0 (USBReq0)

< アドレス : H'78 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
bRequest [7:0]								bmRequestType [7:0]							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : H'0000 >

b	ビット名	機能	R	W
15~8	bRequest [7:0] リクエスト	このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのbRequestが格納します。		×
7~0	bmRequestType [7:0] リクエストタイプ	このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのbmRequestTypeが格納されます。		×

## 2.34 USBリクエストレジスタ1

USBリクエストレジスタ1 (USBReq1)

<アドレス : H'7A >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wValue [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : H'0000 >

b	ビット名	機能	R	W
15~0	wValue [15:0] バリュー	このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwValueが格納されます。		×

## 2.35 USBリクエストレジスタ2

USBリクエストレジスタ2 (USBReq2)

<アドレス : H'7C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wIndex [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : H'0000 >

b	ビット名	機能	R	W
15~0	wIndex [15:0] インデックス	このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwIndexが格納されます。		×

### 2.36 USBリクエストレジスタ3

USBリクエストレジスタ3 (USBReq3)

<アドレス : H'7E >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wLength [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : H'0000 >

b	ビット名	機能	R	W
15~0	wLength [15:0] レングス	このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwLengthが格納されます。		×

2.37 デフォルトコントロールPIPEコンフィギュレーションレジスタ0

デフォルトコントロールPIPEコンフィギュレーションレジスタ0 (DCPCfg0)

<アドレス : H'80 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Buf_size [5:0]						CNTMD	Ctr_Wr_Buf_Nmb [7:0]								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット時 : H'0000 >  
 <S/Wリセット時 : H'0000 >  
 <USBバスリセット時 : - >

b	ビット名	機能	R	W
15~10	Buf_size [5:0] バッファサイズ	このビットは、コントロールライト用バッファのサイズを設定します。64バイト単位でバッファサイズを設定します。 “000000” = 64 バイト、 “000001” = 128バイト、.....、 “111111” = 4096バイト このビットに設定する値は、以下の様に設定してください。 ・連続受信モード：本ビットに設定する値 > 「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定した値 ・非連続受信モード：本レジスタに設定する値 「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定した値		
9	何も配置されていません。"0"に固定してください。		0	0
8	CNTMD 連続受信モード	このビットは、コントロールライト転送のデータステージにおける受信モードを設定します。 CNTMD = “0”: 非連続受信モード、1つのパケット受信（以下の条件）で受信完了とします。 ・「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定したサイズ分のデータを受信 ・ショートパケットを受信 CNTMD = “1”: 連続受信モード、複数のパケット受信（以下の条件）で受信完了とします。 ・Buf_size [5:0]ビットで設定したサイズ分のデータを自動的に複数回受信し、256バイト分のデータを受信 ・ショートパケットを受信		
7~0	Ctr_Wr_Buf_Nmb [7:0] コントロールライトバッファ先頭番号	このビットは、コントロールライトバッファの先頭ブロック番号を設定します。 ブロック番号は、FIFOバッファを64バイト単位で分割して、管理している番号です。バッファ先頭番号はH'00からH'BFまで設定することができます。 非連続受信モードに設定した場合（CNTMDビットが“0”）は、本ビットで設定したブロックのみを使用することになり、次に続くブロックから他のPIPEのバッファに設定することが可能です。 連続受信モードを設定した場合（CNTMDビットが“1”）は、本ビットで設定したブロック番号から、Buf_size [5:0]ビットで設定した値のバイト分のバッファを使用します。 複数のPIPEが同じバッファを使用しないように設定してください。		

### 2.38 デフォルトコントロールPIPEコンフィギュレーションレジスタ1

デフォルトコントロールPIPEコンフィギュレーションレジスタ1 (DCPCfg1)

<アドレス : H'82 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Buf_size [5:0]						CNTMD	Ctr_Rd_Buf_Nmb [7:0]								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~10	Buf_size [5:0] バッファサイズ	このビットは、コントロールリード用バッファのサイズを設定します。64バイト単位でバッファサイズを設定します。 "000000" = 64 バイト、 "000001" = 128バイト、.....、 "111111" = 4096バイト このビットに設定する値は、以下の様に設定してください。 ・連続送受信モード：本ビットに設定する値 > 「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定した値 ・非連続送受信モード：本レジスタに設定する値 「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定した値		
9	何も配置されていません。"0"に固定してください。		0	0
8	CNTMD 連続送信モード	このビットは、コントロールリード転送のデータステージにおける送信モードを設定します。 CNTMD = "0": 非連続送信モード 送信完了条件： ・「デフォルトコントロールPIPEコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定したサイズ分のデータを送信、または「C_FIFOポートコントロールレジスタ1」のBVALビットを"1"にセットすることによるショートパケットの送信 書き込み完了条件： ・DCP_MXPS [6:0]ビットに設定したサイズ分のデータをバッファへ書き込み (BVALビットが"1"に変化) ・BVALビットへの"1"の書き込み CNTMD = "1": 連続送信モード 送信完了条件： ・「デフォルトコントロールPIPE連続送信データ長レジスタ」のSDLN [11:0]ビットに設定したサイズ分のデータを送信、またはBVALビットを"1"にセットすることによるショートパケットの送信 書き込み完了条件： ・SDLN [11:0]ビットに設定したサイズ分のデータをバッファへ書き込み (BVALビットが"1"に変化) ・BVALビットへの"1"の書き込み		

b	ビット名	機能	R	W
7~0	Ctr_Rd_Buf_Nmb [7:0] コントロールリード用バッファ先頭番号	<p>このビットは、コントロールリードバッファの先頭ブロック番号を設定します。</p> <p>ブロック番号は、FIFOバッファを64バイト単位で分割して、管理している番号です。バッファ先頭番号はH'00からH'BFまで設定することができます。</p> <p>非連続送信モードに設定した場合（CNTMDビットが"0"）は、本ビットで設定したブロックのみを使用することになり、次に続くブロックから他のPIPEのバッファに設定することが可能です。</p> <p>連続送信モードを設定した場合（CNTMDビットが"1"）は、本ビットで設定したブロック番号から、Buf_size [5:0]ビットで設定した値のバイト分のバッファを使用します。</p> <p>複数のPIPEが同じバッファを使用しないように設定してください。</p>		

### 2.39 デフォルトコントロールPIPEコンフィギュレーションレジスタ2

デフォルトコントロールPIPEコンフィギュレーションレジスタ2 (DCPCfg2)

<アドレス : H'84 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0	
0	0	0	0	0	0	0	0	0	DCP_MXPS [6:0]						0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		0	0
6~0	DCP_MXPS [6:0] DCPのマックスパケットサイズ	<p>このビットにより、データステージでの一回のケット転送で送受信するデータの上限值（バイト数）を設定します。</p> <p>送信時は、このビットで設定したサイズ分のデータがバッファから読み出され送信されます。このとき、バッファ上に、このビットで設定したサイズ分のデータが無い場合、ショートパケットとして送信されます。</p> <p>受信時は、このビットで設定したサイズ分のデータが受信されバッファ上に書き込まれます。このとき、このビットで設定したサイズ分より大きいパケットデータを受信した場合、以下のビットがセットされます。</p> <ul style="list-style-type: none"> <li>・「割り込みステータスレジスタ3」のDCP_EMP_OVRビットが"1"にセットされます。</li> </ul> <p>注：このビットの値を変更する前に「デフォルトコントロールPIPEコントロールレジスタ」のPIDビットを"00"（NAK）に設定してください。</p>		

## 2.40 デフォルトコントロールPIPEコントロールレジスタ

デフォルトコントロールPIPEコントロールレジスタ (DCPCtrl)

<アドレス : H'88 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BSTS							SQCLR				NYETMD		CCPL	PID [1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : B'---- ---- ---- -00 >

b	ビット名	機能	R	W
15	BSTS デフォルトコントロールPIPEバッファステータス	このビットは、デフォルトコントロールPIPEのバッファステータスを示します。 0: バッファ読み出し不可 / 書き込み不可。 1: バッファ読み出し可能 / 書き込み可能。		x
14~9	何も配置されていません。"0"に固定してください。		0	0
8	SQCLR シーケンスストグルビットクリア	このビットにより、デフォルトコントロールPIPEのシーケンスビットをクリアし、データステージでのデータPIDを"DATA1"にします。 なお、セットアップステージ及びステータスステージでのデータPIDはH/Wによって管理されます。 シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。 なお、USBバスリセットでは、シーケンスストグルビットはクリアされません。 このビットへの"0"書き込みは無視されます。このビットは常に"0"を読み出します。 注：このビットを設定する前に、PID [1:0]を"00" (NAK) に設定してください。	0	
7~5	何も配置されていません。"0"に固定してください。		0	0
4	NYETMD NYET応答モード	このビットにより、NYET応答モードを選択します。 0: 自動応答モード (ACK/NYETを自動的に選択します) 1: ACK応答オンリーモード (常にACK応答、NYET応答なし) Hi-Speedで動作しているコントロールライト転送の場合、PID [1:0]ビットが"01" (BUF) のときにこのビットが有効です。他の場合、このビットは無効です。 自動応答モードでは、下記バッファの状態に応じてH/Wが自動的に適切な応答PID (NAK/ACK/NYET) を選択します。 (1)データパケットを受信するためのバッファがバッファフルのときに、NAK応答します。 (2)データパケットを受信する前に、バッファにマックスパケットサイズの二分以上空きがあったときに、ACK応答します。 (3)データパケットを受信する前に、バッファにマックスパケットサイズの二分未満の空きがあったときに、NYET応答します。 ACK応答オンリーモードでは、デバイスはNYETパケットを送信しません。ACK/NAK応答をします。		
3	何も配置されていません。"0"に固定してください。		0	0

b	ビット名	機能	R	W
2	CCPL コントロール転送終了許可	<p>このビットにより、コントロール転送のステータスステージの制御を行います。</p> <p>このビットに"1"を設定すると、コントロール転送のステータスステージにおいて、以下の動作を行いコントロール転送の正常終了を通知をします。</p> <p>(1)コントロールライト転送に設定している場合、PIDビットが"01"であれば、INトークンの受信で、zero-length パケット送信します。</p> <p>(2)コントロールリード転送に設定している場合、PIDビットが"01"であれば、OUTトークン後のパケット受信で、ホストにACK応答します。</p> <p>このビットに"0"の場合、コントロール転送のステータスステージにおいて、INトークン/OUTトークン受信後、ホストに対してNAK応答します。</p> <p>このビットは、Setupトークン受信で、自動的に"0"クリアされます。</p>		
1~0	PID [1:0] 応答PID	<p>このビットにより、コントロール転送のデータ/ステータスステージでの応答PIDを設定します。</p> <p>セットアップステージでは、このビットに関わらず、必ずACK応答します。</p> <p>なお、このビットは、VALIDビットが"1"の場合、書き込みは無視されます。</p> <p>00: NAK応答 バッファの状態に関係なくNAK応答します。</p> <p>01: BUF応答 NYETMD ビットの値とシーケンスストグルビットの値とバッファの状態によって、ACK応答、NYET応答、NAK応答、DATA0応答、DATA1応答のいずれかを応答します。</p> <p>1x: STALL応答。バッファの状態に関係なくNAK応答します。コントロールライト転送においてマックスパケットサイズ (MXPS) を越えているデータを受信するとこのビットは自動的に"1x"にセットされます。</p>		

**シーケンスストグルビットクリアの注意事項**

二つ以上のPIPEのシーケンスストグルビットを連続してクリアする場合には、ひとつのPIPEのSQCLRビットのアクセスから次のPIPEのSQCLRビットのアクセスまでのアクセスサイクル時間が200ns以上必要です。

例えば、PIPE1とPIPE2の両方のシーケンスストグルビットをクリアする場合、PIPE1のSQCLRビットに"1"を書き込んでからPIPE2のSQCLRビットに"1"を書き込むまでのアクセスサイクルは200ns以上必要になります。

2.41 PIPEコンフィギュレーション選択レジスタ

PIPEコンフィギュレーション選択レジスタ (PipeCfgSel)

<アドレス : H'8C >

B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	PIPE_SEL [4:0]				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~5	何も配置されていません。"0"に固定してください。		0	0
4~0	PIPE_SEL [4:0] PIPE選択	<p>このビットにより、コンフィギュレーションウィンドウレジスタを通してコンフィギュレーションレジスタをアクセスするPIPEを指定します。</p> <p>例えば、このビットが"2"の時、「PIPEコンフィギュレーションウィンドウレジスタ0-2」へのリード/ライトアクセスはPIPE2のコンフィギュレーションレジスタへのアクセスになります。</p> <p>00000: Reserved                      00001: PIPE1を選択                      00010: PIPE2を選択                      00011: PIPE3を選択                      00100: PIPE4を選択                      00101: PIPE5を選択                      00110: PIPE6を選択                      00110-11111: Reserved</p>		

2.42 PIPEコンフィギュレーションウィンドウレジスタ0

PIPEコンフィギュレーションウィンドウレジスタ0 ( PipeCfgWin0 )

< アドレス : H'90 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TYP [1:0]		ITMD			BFRE	DBLB	CNTMD				DIR	EP_NUM [3:0]			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : B'00-- ---- ---- ---- >

b	ビット名	機能	R	W
15~14	TYP [1:0] 転送タイプ選択	このビットにより、エンドポイントの転送タイプを設定します。 00: PIPE使用不可 01: バルク転送 ( bulk ) 10: インタラプト転送 ( interrupt ) 11: アイソクロナス転送 ( isochronous ) TYPビットが"0"のときに、PIPEは使用不可です。 注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" ( NAK ) に設定してください。		
13	ITMD インタラプト転送トグルモード	このビットにより、インタラプト転送時のデータ再送機能の有効/無効を設定します。 0: データ再送機能有効 ( 通常トグルモード ) 1: データ再送機能無効 ( 強制トグルモード ) 転送タイプをインタラプト転送に設定 ( TYP [1:0]ビットが"10" ) したときのみ、本ビットを"1"に設定することが可能です。他の転送モードでは"0"に設定してください。 データ再送機能を無効にした場合、インタラプト転送で、データ送信後にACKが受信できなかったときでも、データPIDとバッファをトグルさせ、次の送信時に新たなデータを送信します。このとき、「C_FIFOポートコントロールレジスタ1」のBVALビットが"0"にクリアされ、「割り込みステータスレジスタ1」のPIPEB_RDYビットが"1"にセットされます。 データ再送機能を有効にした場合、通常のトグルシーケンスを実施するため、送信が正常完了した場合にはデータPIDおよびバッファがトグルして次のデータを送信し、データ送信後にACKが受信できなかった場合には、データPIDおよびバッファがトグルすることなくバッファ上の同じデータを再送します。 PIPEがOUT設定の場合、このビットは無効です。		
12~11	何も配置されていません。"0"に固定してください。		0	0
10	BFRE バッファレディ割り込みモード	このビットにより、PIPEがOUTに設定されているときのバッファレディ割り込みの動作モードを設定します。 0: CPUモード 1: DMAモード 詳細は「3.3.9 PIPEバッファレディ割り込み」を参照してください。 注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" ( NAK ) に設定してください。		

b	ビット名	機能	R	W
9	DBLB ダブルバッファモード	<p>このビットにより、PIPEバッファをシングルバッファモードまたは、ダブルバッファモードに設定します。</p> <p>0: シングルバッファモード 1: ダブルバッファモード</p> <p>注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1～6)」のPID [1:0]ビットを"00" (NAK) に設定してください。</p>		
8	CNTMD 連続送受信モード (バルク転送のみ)	<p>このビットにより、バルク転送時の送受信モードを設定します。</p> <p>転送タイプをバルク転送に設定したときのみ、本ビットを"1"に設定することが可能です。他の転送モードでは"0"に設定してください。</p> <p>CNTMD = "0": 非連続送受信モード</p> <p>PIPEがIN設定の時の送信完了条件：</p> <ul style="list-style-type: none"> <li>・「PIPEコンフィギュレーションウィンドウレジスタ2」のMXPS [10:0]ビットで設定したサイズ分のデータを送信、またはzero-lengthパケットを送信</li> </ul> <p>PIPEがIN設定の時の書き込み完了条件：</p> <ul style="list-style-type: none"> <li>・MXPS [10:0]ビットで設定したサイズ分のデータをバッファへ書き込み</li> <li>・「C_FIFOポートコントロールレジスタ1」のBVALビットへの"1"の書き込み</li> </ul> <p>PIPEがOUT設定の時の受信完了条件：</p> <ul style="list-style-type: none"> <li>・MXPS [10:0]ビットで設定したサイズ分のデータを受信</li> <li>・ショートパケット (zero-lengthパケットを含む) を受信</li> </ul> <p>CNTMD = "1": 連続送受信モード</p> <p>PIPEがIN設定の時の送信完了条件：</p> <ul style="list-style-type: none"> <li>・MXPS [10:0]ビットで設定したサイズ分のデータを自動的に複数回送信し、「PIPEコンフィギュレーションウィンドウレジスタ1」のBuf_size [5:0]ビットで設定したバッファサイズ分のデータを送信</li> </ul> <p>PIPEがIN設定の時の書き込み完了条件：</p> <ul style="list-style-type: none"> <li>・Buf_size [5:0]ビットで設定したサイズ分のデータをバッファへ書き込み</li> <li>・BVALビットへの"1"の書き込み</li> </ul> <p>PIPEがOUT設定の時の受信完了条件：</p> <ul style="list-style-type: none"> <li>・MXPS [10:0]ビットで設定したサイズ分のデータを自動的に複数回受信し、Buf_size [5:0]ビットで設定したバイト分のデータを受信</li> <li>・ショートパケット (zero-lengthパケットを含む) を受信</li> <li>・「Dn_FIFOポートコントロールレジスタ3」のTRCNT [15:0]に設定した値と、パケットの受信回数が一致した場合</li> </ul> <p>注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1～6)」のPID [1:0]ビットを"00" (NAK) に設定してください。</p>		
7~5	何も配置されていません。"0"に固定してください。		0	0

b	ビット名	機能	R	W
4	DIR 転送方向	<p>このビットにより、PIPEの転送方向を設定します。                      転送方向を切り替えた後は、「C_FIFOポートコントロールレジスタ1」または「Dn_FIFOポートコントロールレジスタ2」のBCLRビットにて、バッファをクリアしてください。</p> <p>0: OUT (ホストからデータを受信します。)                      1: IN (データをホストに送信します。)</p> <p>注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。</p>		
3~0	EP_NUM [3:0] エンドポイント番号	<p>このビットにより、対応PIPEのエンドポイント番号を設定します。</p> <p>0000: 使用不可                      0001: EP1                      0010: EP2                      0011: EP3                      0100: EP4                      0101: EP5                      0110: EP6                      .....                      1111: EP15</p> <p>注：このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。</p>		

### 2.43 PIPEコンフィギュレーションウィンドウレジスタ1

PIPEコンフィギュレーションウィンドウレジスタ1 (PipeCfgWin1)

<アドレス : H'92 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Buf_size [5:0]						BUF_NUM [9:0]									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~10	Buf_size [5:0] バッファサイズ	<p>このビットにより、PIPEバッファのサイズを設定します。バッファのサイズは、64バイト単位で64~4096に設定できます。</p> <p>ダブルバッファモードに設定した場合は、本ビットで設定したサイズの倍のサイズが使用されます。</p> <p>000000: 64バイト 000001: 128バイト ..... 111111: 4096バイト</p> <p>このビットにマックスパケットサイズよりも小さい値を指定しないでください。</p> <p>連続転送モードでは、Buf_size [5:0]の値はマックスパケットサイズの整数倍ではなけれなりません。例：マックスパケットサイズが512バイトの場合、1024、1536、2048、2560、3072、3584、4096バイト以外は設定禁止です。</p> <p>「PIPEコンフィギュレーションウィンドウレジスタ2」のNUMTR [1:0]ビットの値が"00"ではないときにこのビットは以下の設定にしてください。</p> <ul style="list-style-type: none"> <li>・ NUMTR [1:0] = "01": Buf_size [5:0] &gt;= MXPS [10:0] × 2</li> <li>・ NUMTR [1:0] = "10": Buf_size [5:0] &gt;= MXPS [10:0] × 3</li> </ul>		
9~0	Buf_Nmb [9:0] バッファの先頭番号	<p>このビットにより、バッファの先頭のブロック番号を設定します。</p> <p>ブロック番号は、FIFOを64バイト単位で分割して、管理している番号です。</p> <p>このビットで設定されたブロックからBuf_size [5:0]ビットで設定された領域をバッファとして確保されます。</p>		

## 2.44 PIPEコンフィギュレーションウィンドウレジスタ2

PIPEコンフィギュレーションウィンドウレジスタ2 ( PipeCfgWin2 )

< アドレス : H'94 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	NUMTR [1:0]		0	0	0	0	0	MXPS [10:0]		0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~13	何も配置されていません。"0"に固定してください。		0	0
12~11	NUMTR [1:0] マイクロフレーム毎のトランザクション数	<p>このビットにより、Hi-Speedモードのアイソクロナス転送またはインタラプト転送のHigh Bandwidthのトランザクション数を設定します。</p> <p>00: 1マイクロフレームに1回のトランザクション 01: 1マイクロフレームに2回のトランザクション 10: 1マイクロフレームに3回のトランザクション 11: Reserved</p> <p>このビットの設定によって、1マイクロフレームの中の個々のトランザクションのデータPIDが決定されます。</p> <p>このビットの値が"00"以外の値のとき、MXPS [10:0]ビットを8の倍数になるように設定してください。</p> <p>このビットは、転送タイプがアイソクロナスまたはインタラプト転送のときのみ有効です。アイソクロナス転送とインタラプト転送以外の転送ではこのビットを"00"に設定してください。</p>		
10~0	MXPS [10:0] マックスバケットサイズ	<p>このビットにより、一回のバケット転送で送受信するデータの上限值 ( バイト数 ) を設定します。</p> <p>送信時は、このビットで設定したサイズ分のデータがバッファから読み出され送信されます。このとき、バッファ上に、このビットで設定したサイズ分のデータが無い場合、ショートバケットとして送信します。</p> <p>受信時は、このビットで設定したサイズ分のデータが受信されバッファ上に書き込まれます。このとき、このビットで設定したサイズ分より大きいバケットデータを受信した場合、「割り込みステータスレジスタ3」のPIPEB_EMP_OVRビットが"1"にセットされます。</p> <p>このビットが"0"設定の時に、以下動作になります。</p> <p>OUT転送では、常にNAKハンドシェイクを応答します。</p> <p>「PIPEiコントロールレジスタ」のPIDビットが"01" ( BUF ) 設定の場合、「割り込みステータスレジスタ2」のPIPEB_NRDYビットが"1"にセットされます。</p> <p>IN転送では、常にzero-lengthデータを送信します。このときに、割り込みは発生します。</p> <p>このビットの値を変更する前に必ずPIDを"00" ( NAK ) に設定してください。</p>		

2.45 PIPEコンフィギュレーションウィンドウレジスタ3

PIPEコンフィギュレーションウィンドウレジスタ3 ( PipeCfgWin3 )

< アドレス : H'98 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	IFIS	0	0	0	0	0	0	0	0	IITV [3:0]			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : - >

b	ビット名	機能	R	W
15~13	何も配置されていません。"0"に固定してください。		0	0
12	IFIS バッファフラッシュモード	このビットにより、アイソクロナス転送でのバッファフラッシュを設定します。このビットは、アイソクロナスIN転送の時にのみ有効です。 0: IITVで指定したインターバルのフレーム内にINトークンが送信されてこない場合、バッファ内のデータはクリアされず次のINトークンで送信されます。 1: インターバルタイマが転送フレームで、且つPIDがBUF("01")の場合、SOFを受信すると転送可能状態のバッファをクリアしバッファをトグルします。ダブルバッファ時には、片方(SIE側)のバッファのみクリアされます。  IITV = "0"の場合、PIDをBUF("01")にした直後からIFIS機能が有効になります。 IITV = "0"以外の場合、最初のデータを送信した後IFIS機能が有効になります。(データを送信するまでは有効になりません)		
11~4	何も配置されていません。"0"に固定してください。		0	0
3~0	IITV [3:0] アイソクロナス転送インターバル設定値	このビットはアイソクロナス転送のフレームインターバルを設定します。このビットの値の範囲は0~15です。インターバルは2のIITV乗です(2 <sup>IITV</sup> )。 内部のインターバルカウンタは、SOFによってカウントされます。Full-Speedでは1ms毎、Hi-Speedでは125 μs毎にカウントされます。  IN転送の場合、INトークンがIITVで指定したインターバルより早いインターバルで送信されてきた場合、M66590はバッファにデータがあれば、データを送信します。データが無ければ、zero-lengthパケットを送信します。また、この場合NRDY割り込みが発生します。  OUT転送の場合、OUTトークンが欠落した場合、NRDY割り込みが発生します。 注: このビットによるインターバルの計算方法はUSB規格Rev.2.0の計算方法と異なります。		

IFISビット使用上の注意事項

IFISビットを使用する場合には、以下の手順で設定する必要があります。

(1) Isochronous-IN 転送開始時

IFIS = "1"

PID [1:0] = "01" ( BUF )

Iso-IN PIPEのFIFOバッファへ送信データを書き込み

IFISを使用しない転送の場合では、上記の手順は特に必要ありません。

- (2) Isochronous-IN 転送終了時
  - PID [1:0] = "00" ( NAK )
  - ACLR=1
  - ACLR=0

IFISを使用しない転送の場合では、ACLRをする必要はありません。

2.46 PIPE iコントロールレジスタ(i=1 ~ 6)

PIPE 1コントロールレジスタ (Pipe1Ctrl)	<アドレス : H'A0 >
PIPE 2コントロールレジスタ (Pipe2Ctrl)	<アドレス : H'A2 >
PIPE 3コントロールレジスタ (Pipe3Ctrl)	<アドレス : H'A4 >
PIPE 4コントロールレジスタ (Pipe4Ctrl)	<アドレス : H'A6 >
PIPE 5コントロールレジスタ (Pipe5Ctrl)	<アドレス : H'A8 >
PIPE 6コントロールレジスタ (Pipe6Ctrl)	<アドレス : H'AA >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BSTS						ACLR	SQCLR				NYETMD			PID[1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0

< H/Wリセット時 : H'0000 >

< S/Wリセット時 : H'0000 >

< USBバスリセット時 : B'---- ---- ---- --00 >

b	ビット名	機能	R	W
15	BSTS PIPE1 ~ PIPE6バッファステータス	このビットは、PIPE1 ~ PIPE6のバッファステータスを示します。 0: バッファ読み出し不可 / 書き込み不可。 1: バッファ読み出し可能 / 書き込み可能。		×
14-10	何も配置されていません。"0"に固定してください。		0	0
9	ACLR OUTバッファオートクリアモード	このビットに"1"を設定することにより、CPU側 / SIE側、全てのバッファをクリアします。 このビットは、バッファのクリア完了により自動的に"0"にクリアされません。 OUTバッファに設定しているとき、このビットに"1"を設定した状態で、PID [1:0]ビットに"01" ( BUF ) を設定すると、受信したOUTトークンにはNAK応答を行わず、データを受信しホストにACKを返します。このときに受信したデータはバッファには書き込まれません。また、PID [1:0]ビットが"00" / "1x" ( NAK / STALL ) に設定してある場合には、NAK / STALL応答を行います。 INバッファに設定しているとき、このビットに"1"を設定することにより、SIE側バッファと書き込み完了したバッファのみクリアします。SIE側バッファをクリアするときには、以下の手順で設定してください。 (1) PID [1:0]ビットを"00" ( NAK ) に設定する。 (2) このビットを"1"に設定する。 (3) このビットを"0"にクリアする。 (4) PID [1:0]ビットを"01" ( ACK ) に設定する。		
8	SQCLR シーケンスストールビットクリア	このビットにより、PIPE1 ~ PIPE6のシーケンスビットをクリアし、次のデータPIDを"DATA0"にします。 シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。 なお、USBバスリセットでは、シーケンスストールビットはクリアされません。 このビットへの"0"書き込みは無視されます。このビットは常に"0"を読み出します。 注 : このビットを設定する前に、PID [1:0]を"00" ( NAK ) に設定してください。	0	
7-5	何も配置されていません。"0"に固定してください。		0	0

b	ビット名	機能	R	W
4	NYETMD NYETハンドシェイクモード	このビットにより、NYET応答モードを選択します。 0: 自動応答モード (ACK/NYETを自動的に選択します) 1: ACK応答オンリーモード (常にACK応答、NYET応答なし) Hi-Speedで動作しているバルクOUT転送のPID [1:0]ビットが"01" (BUF) のときにこのビットが有効です。他の場合、このビットは無効です。 自動応答モードでは、下記バッファの状態に応じてH/Wが自動的に適切な応答PID (NAK/ACK/NYET) を選択します。 (1)データパケットを受信するためのバッファがバッファフルのときに、NAK応答します。 (2)データパケットを受信する前に、バッファにマックスパケットサイズの二つ分以上空きがあったときに、ACK応答します。 (3)データパケットを受信する前に、バッファにマックスパケットサイズの二つ分未満の空きがあったときに、NYET応答します。 ACK応答オンリーモードでは、デバイスはNYETパケットを送信しません。ACK/NAK応答をします。		
3~2	何も配置されていません。"0"に固定してください。		0	0
1~0	PID [1:0] 応答PID	このビットにより、PIPE1 ~ PIPE6の応答PIDを設定します。 00: NAK応答 バッファ状態に関わらず、NAK応答します。また、アイソクロナスIN転送設定の場合、INトークンに対してzero-lengthパケットを送信されます。 01: BUF応答 バッファ状態、NYETMDビットの設定値及びシーケンストグルビットの値に従って応答PIDを選択します。 NYETMDビットが"00"かつバルクOUT転送の時に、下記の条件でNYETを応答します。 (1) 非連続送受信モードとシングルバッファモードの場合 (2) 非連続送受信モードとダブルバッファモードの時に、データパケットを受信する前に、CPU側にあるバッファにエンプティではない場合 (3) 連続送受信モード、データパケットを受信する前に、PIPEバッファにマックスパケットサイズの二つ分より少ない領域しかない場合 1x: STALL応答 バッファ状態に関わらず、STALL応答します。また、アイソクロナスIN転送設定の場合、INトークンに対して応答を行いません。 PIPEの転送方向がOUTのときに、「PIPEコンフィギュレーションウィンドウレジスタ2」のMXPS [10:0]ビットの設定値より大きいデータパケットを受信した時にこのビットは自動的に"1x"に設定されます。 注: S/WによってSTALL応答設定する場合、 PID [1:0] = "00"の時には"10"に PID [1:0] = "01"の時には"11"に設定してください。		

**シーケンストグルビットクリアの注意事項**

二つ以上のPIPEのシーケンストグルビットを連続してクリアする場合には、ひとつのPIPEのSQCLRビットのアクセスから次のPIPEのSQCLRビットのアクセスまでのアクセスサイクル時間が200ns以上必要です。

例えば、PIPE1とPIPE2の両方のシーケンストグルビットをクリアする場合、PIPE1のSQCLRビットに"1"を書き込んでからPIPE2のSQCLRビットに"1"を書き込むまでのアクセスサイクルは200ns以上必要になります。

## 3 M66590動作説明

### 3.1 システム制御機能

#### 3.1.1 クロック入力

M66590は水晶発振子または外部クロック入力を使用することが可能です。入力周波数は「USBトランシーバコントロールレジスタ0」のXTAL [1:0]ビットによって12、24、または48MHzを選択します。

水晶発振子を使用する場合、XINとXOUTの間に接続してください。外部クロック入力を使用する場合、XINに外部クロック信号を接続し、XOUTは開放してください。

#### 3.1.2 リセット

M66590のリセットは、H/Wリセットとレジスタセット（USBビット）によるS/WリセットとUSBリセット（D+、D-端子にSE0ステートが2.5 $\mu$ sより長く続いた場合）とがあります。

SWリセットは、USBトランシーバコントロールレジスタ、データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ、FIFOポートレジスタ、および割り込み関連レジスタの値を保持します。

USBリセットの時に、HS/FSモードレジスタ、USBアドレスレジスタ、USBリクエストレジスタ、PIDビット、各PIPEコンフィギュレーションレジスタのCCPLビットと内部のシーケンストグルビットを除いて、レジスタの値が保持されます。

リセット状態の詳細については各レジスタを参照してください。

#### 3.1.3 D+プルアップ抵抗制御

M66590は、USB D+ラインプルアップ用電源（+3.3V）を出力する端子TR\_ON及びプルアップON/OFFコントロールする入力端子RPUがあります。D+ラインをプルアップする1.5K 抵抗はTR\_ON端子とRPU端子との間に接続して、「USBトランシーバコントロールレジスタ0」のRpuEビットによるプルアップのON/OFFを制御します。プルアップ抵抗の接続及びUSBコネクタ周辺の接続は図3.1を参照してください。（VBUS端子にUSB規格で規定された1~10 $\mu$ Fのコンデンサを接続する必要があります。）

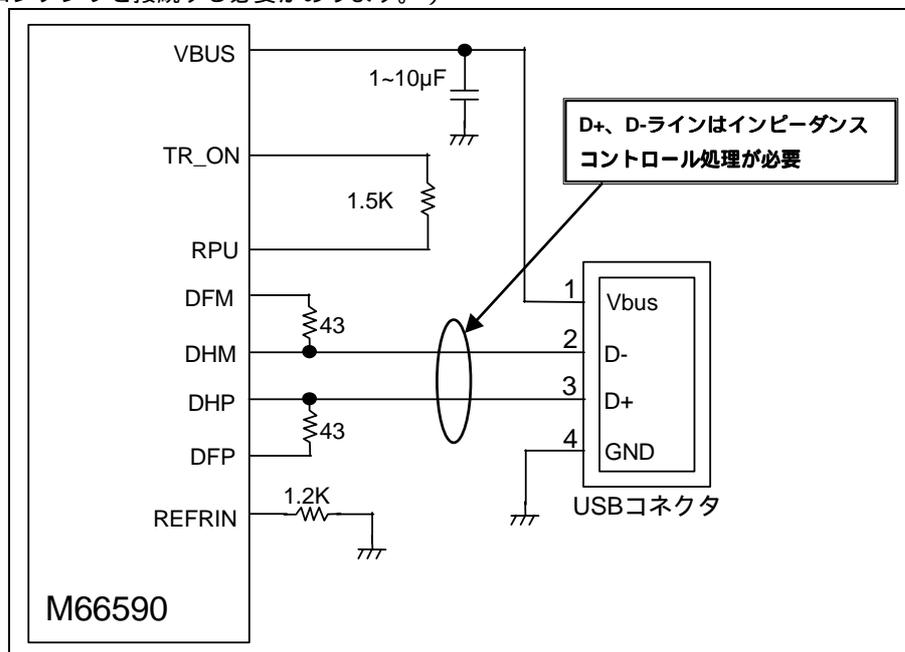


図3.1 M66590とUSBコネクタの接続

## 3.2 M66590初期設定及びクロック制御

M66590の初期設定方法、ホストへの接続/切断検出方法、サスペンド/レジュームの時のクロック制御及びリモートウェイクアップの実行方法について説明します。

### 3.2.1 M66590の初期設定

M66590の初期設定処理は、USB動作を許可してVBUS端子の入力を「割り込みステータスレジスタ0」のVBUSSTSビットで確認します。VBUS端子の入力状態によってVBUS割り込みを待つ処理またはUSBアタッチ処理を行います。

VBUS端子の入力ステータスが"0"の場合には、ホストに接続されていない状態であるためVBUS割り込みを許可し、ホストへの接続を待ちます。

VBUS端子の入力ステータスが"1"の場合には、初期設定の前にすでにホストに接続されているためアタッチ処理を行います。

具体的な処理フローチャートは図3.2に示します。

なお、VBUS端子はUSBコネクタのVBUS端子からダイレクト入力しているため入力ステータスを確認するときにソフトウェアによるチャタリング除去処理が必要です。

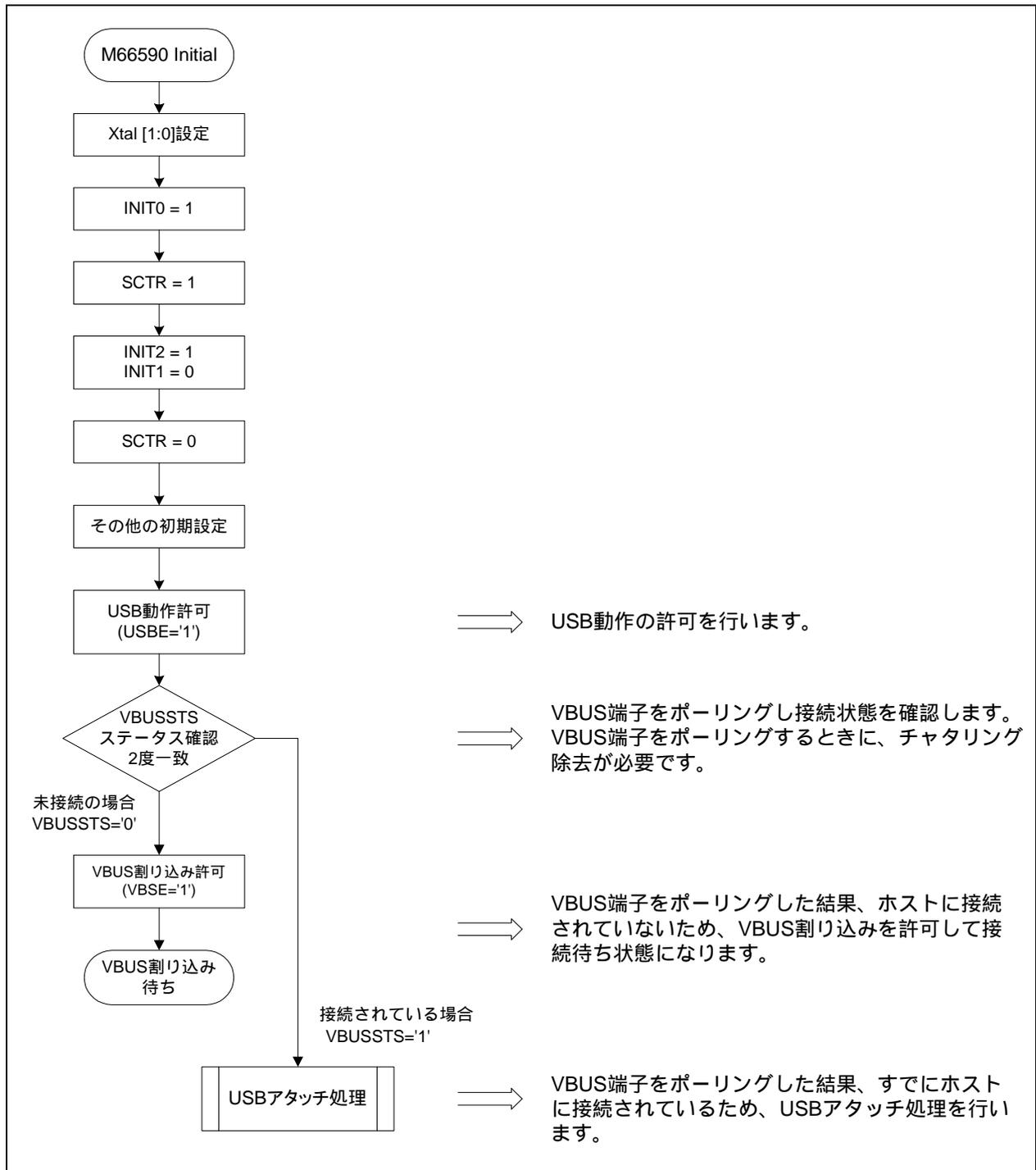


図3.2 M66590初期設定フローチャート

3.2.2 接続または切断 (VBUS割り込み) 検出後の処理

ホストへの接続または切断の検出は、M66590のVBUS割り込みを使って行います。

VBUS割り込みは、VBUS端子の入力に"L" "H"または、"H" "L"のいずれの変化があった時に発生します。ホストへの接続もしくは切断の確定は「割り込みステータスレジスタ0」のVBUSSTSビットをポーリングして判断します。

ホストへの接続が確定した場合、USBアタッチ処理を行います。

ホストへの切断が確定した場合、USBデタッチ処理を行います。

具体的な処理は下記の図3.3のフローチャートに示します。

VBUS割り込みは内部クロックが供給されていない状態(「USBトランシーバコントロールレジスタ0」SCKEビット=0)でも発生します。VBUSSTSビットも内部クロックの供給がなくても、正確な値を確認することができます。

VBUS割り込み (VBUSINTビット) のクリアは内部クロックの供給状態により下記の2方法があります。

(1) 内部クロックが供給されている状態 (「USBトランシーバコントロールレジスタ0」のSCKEビット=1)

VBUSINTビットに"0"を書き込むことにより、このビットは"0"にクリアされます。

(2) 内部クロックが供給されていない状態 (「USBトランシーバコントロールレジスタ0」SCKEビット=0)

VBUSINTビットに"0"を書き込むことにより、このビットは"0"にクリアされます。次のVBUS割り込みを許可するために再度このビットに"1"を書き込んでください。

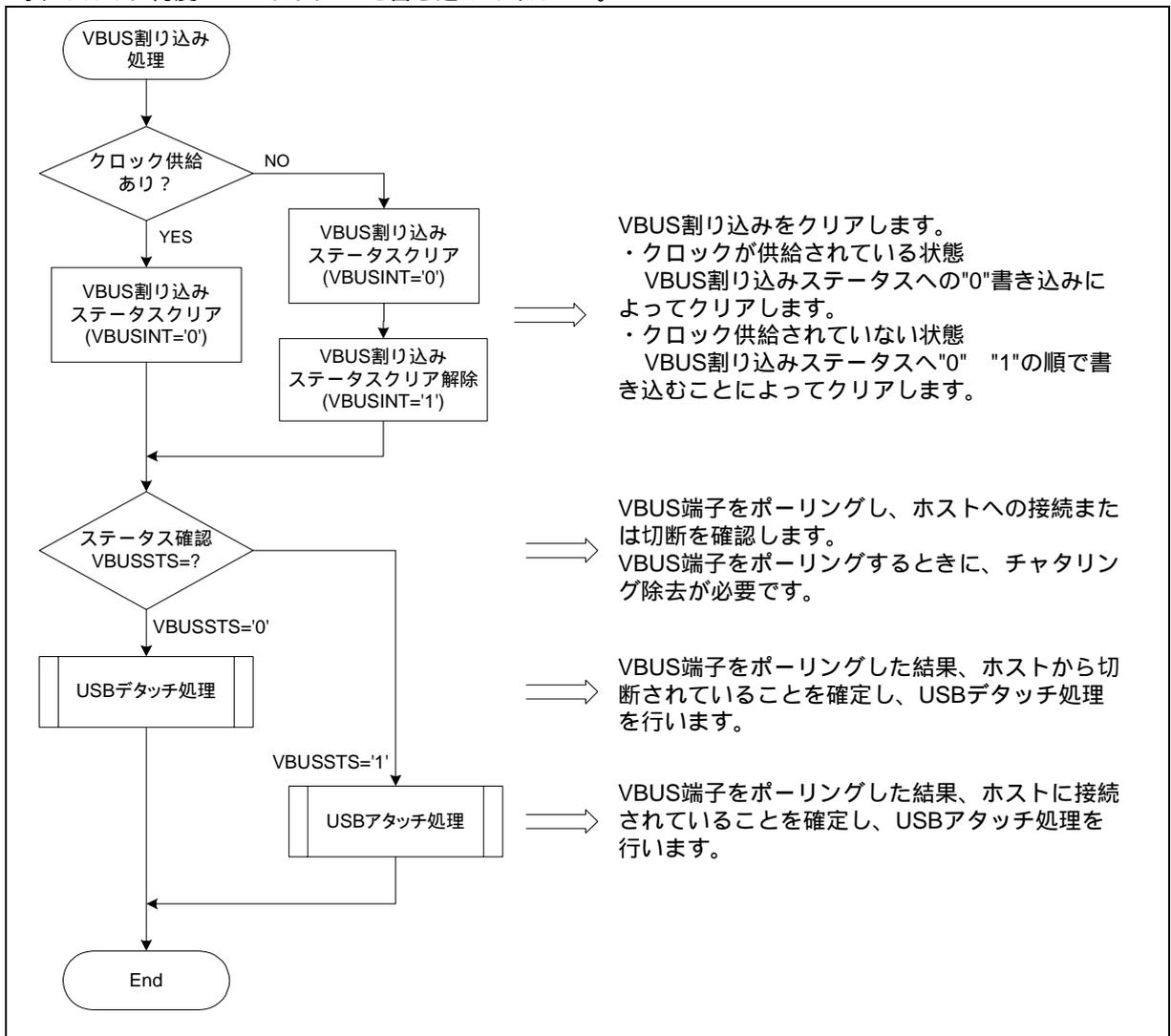


図3.3 M66590 VBUS割り込み処理フローチャート

3.2.3 USBアタッチ処理

ホストへの接続を検出した後、USBアタッチ処理を行います。  
 USBアタッチ処理の基本内容は以下です。

- (1) M66590の動作モードの選択  
 M66590は、「USBトランシーバコントロールレジスタ0」のHSEビットによりHi-Speed動作モードの許可/不許可を選択することができます。
- (2) M66590クロック発振許可  
 発振バッファの許可、PLL動作許可、内部クロック許可のシーケンスになっています。この一連の操作を行うときに発振安定するまでのウェイトを入れる必要があります。
- (3) D+ラインをプルアップ  
 ホストに対して接続（アタッチ）通知を行います。  
 具体的な処理は下記の図3.4のフローチャートに示します。

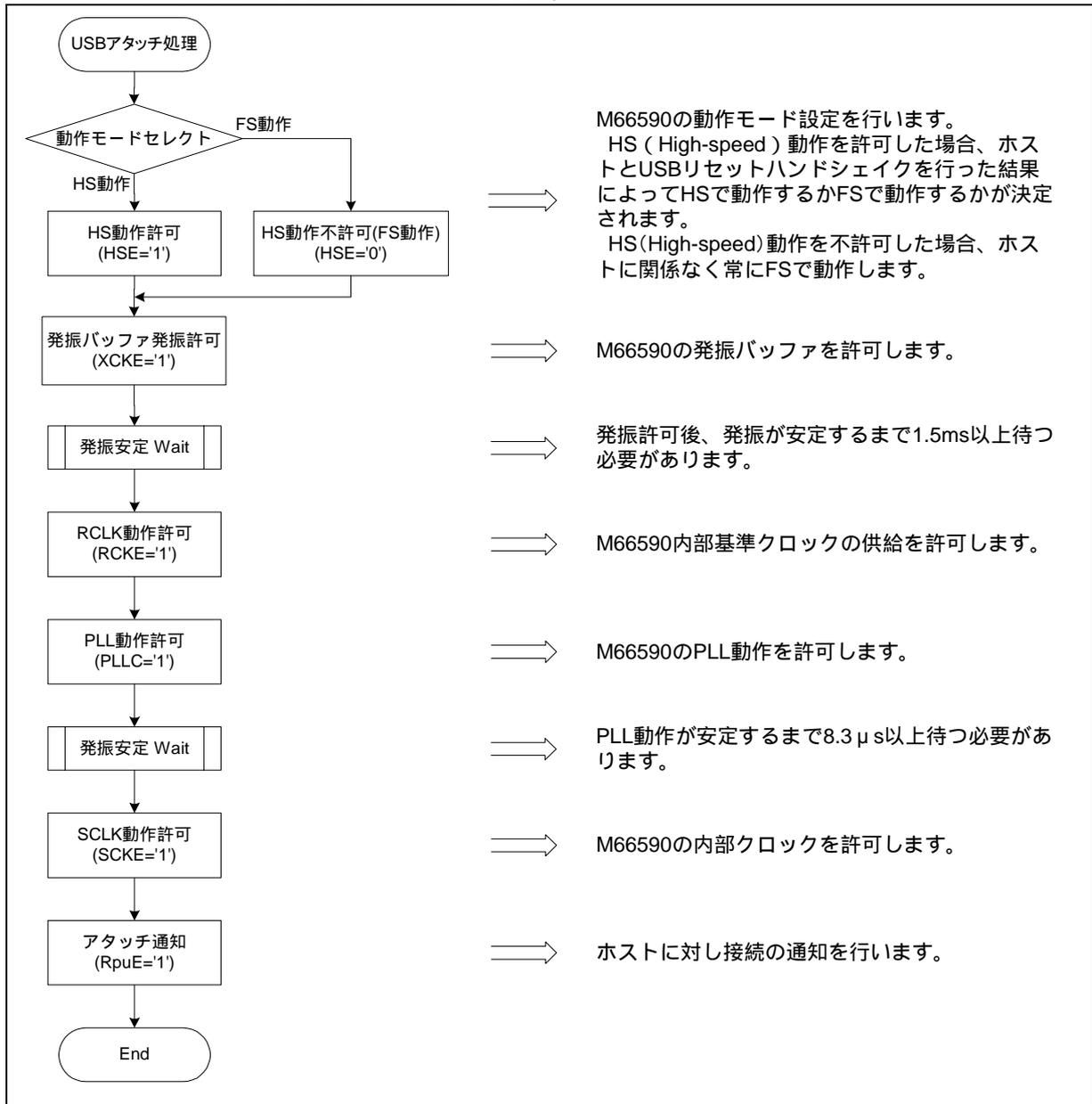


図3.4 USBアタッチ処理フローチャート

3.2.4 USBデタッチ処理

ホストから切断されたのを検出した後、USBデタッチ処理を行います。  
 USBデタッチ処理の基本内容は以下です。

(1) D+ラインのプルアップを中止

ホストから切断された後、D+ラインに対してのプルアップを中止します。

(2) M66590クロック発振停止

内部クロック禁止、PLL動作禁止、内部基準クロック禁止、発振バッファ禁止を行います。この一連の操作を行うときに発振許可時と同様にウェイトを入れる必要があります。

具体的な処理は下記の図3.5のフローチャートに示します。

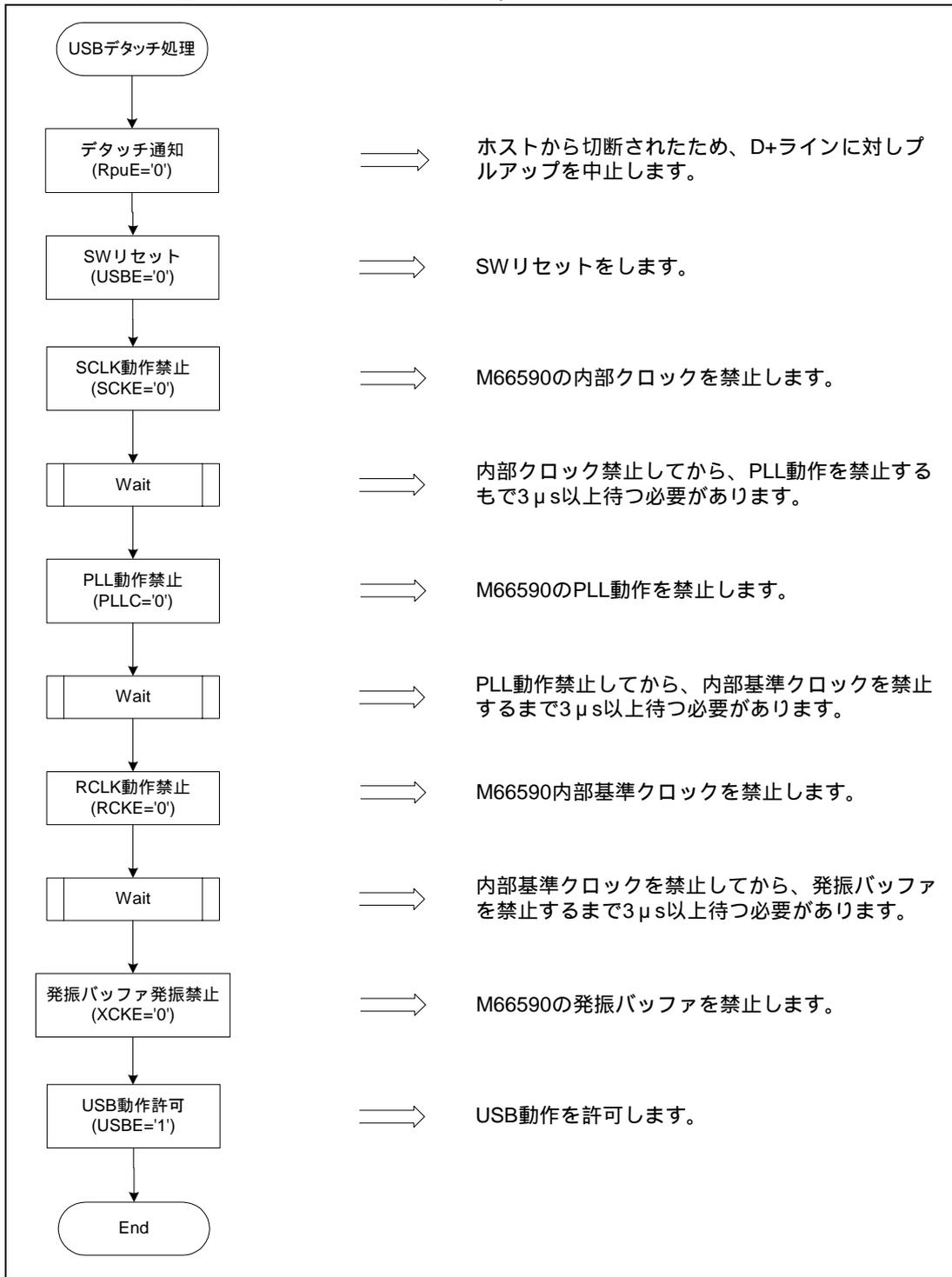


図3.5 USBデタッチ処理フローチャート

3.2.5 サスペンド/レジューム時のクロック制御

低消費電力制御の必要なシステムでは、USBバスの状態によってM66590のクロックを制御する必要があります。M66590はUSBバスのサスペンド状態を検出後、デバイスステート遷移割り込み (DVST) が発生します。サスペンド割り込みの処理でM66590のクロックの発振を禁止します。

また、USBバスがサスペンドの状態からアクティブ状態になったときにM66590はそれを検出しレジューム割り込みを発生させます。レジューム割り込みの処理でM66590のクロックの発振を再開します。

以下、図3.6のフローチャートはサスペンド時のクロック制御処理を示します。

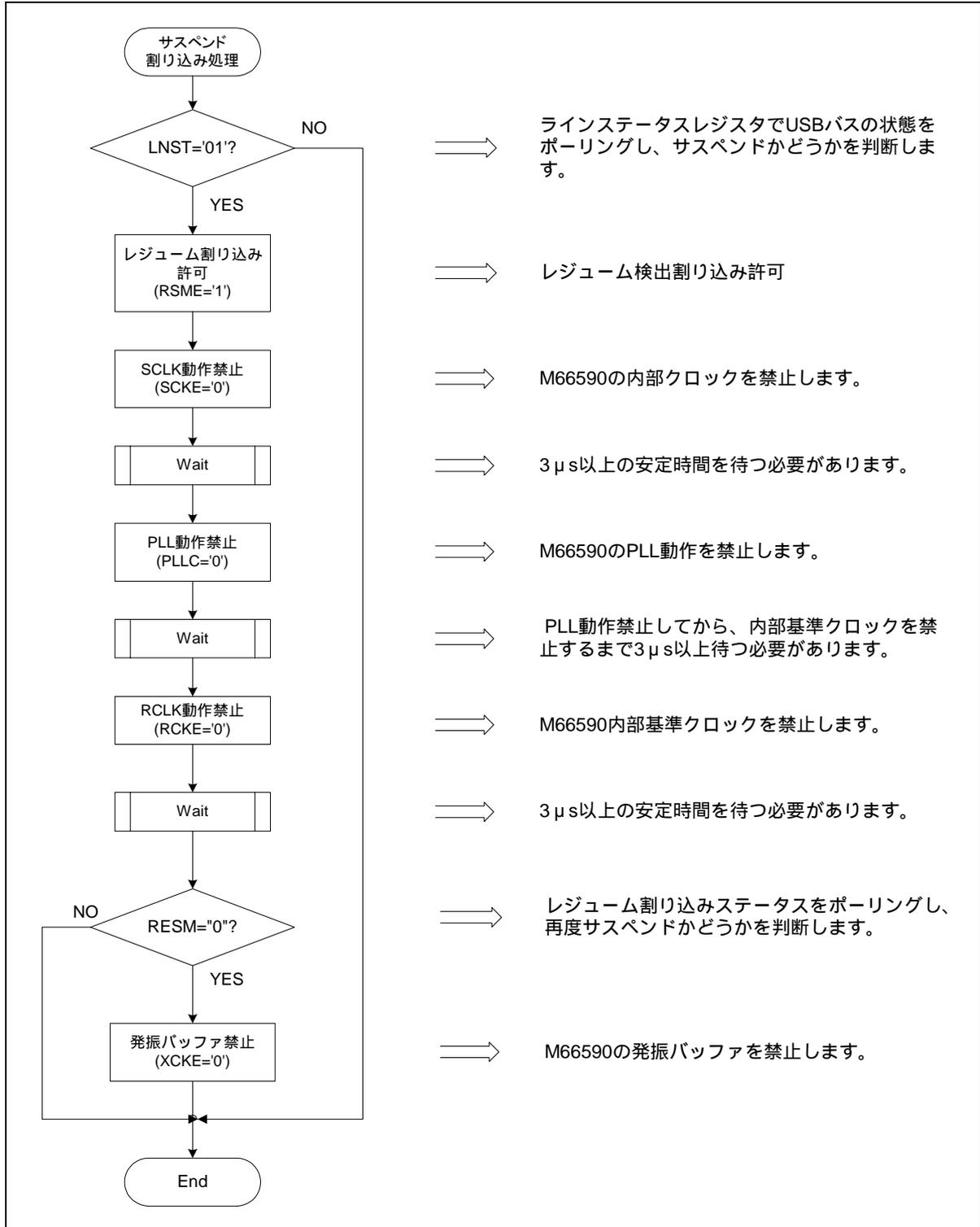


図3.6 サスペンド時のクロック制御フローチャート

図3.7のフローチャートはレジューム時のクロック制御処理を示します。

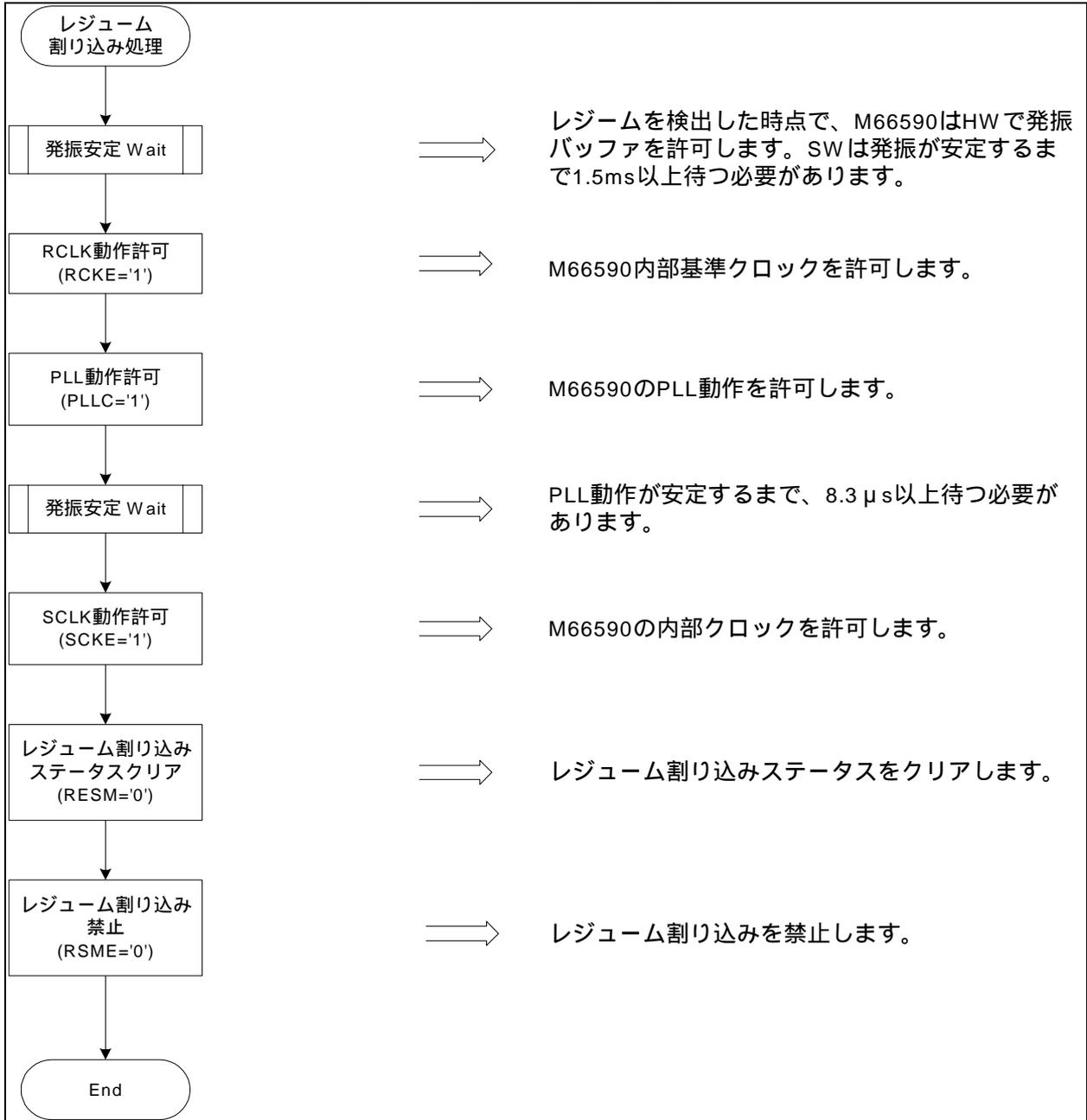


図3.7 レジューム時のクロック制御フローチャート

3.2.6 リモートウェイクアップの実行方法

リモートウェイクアップとはUSBバスがサスペンド状態にあるときに、リモートウェイクアップ信号を出力し、サスペンド状態を解除する機能です。M66590はレジスタ設定でリモートウェイクアップ信号を出力することができます。

下記図3.8のフローチャートでリモートウェイクアップの実行方法を示します。なお、このフローチャートはサスペンド状態でM66590の内部クロックが禁止されているのを前提にしています。

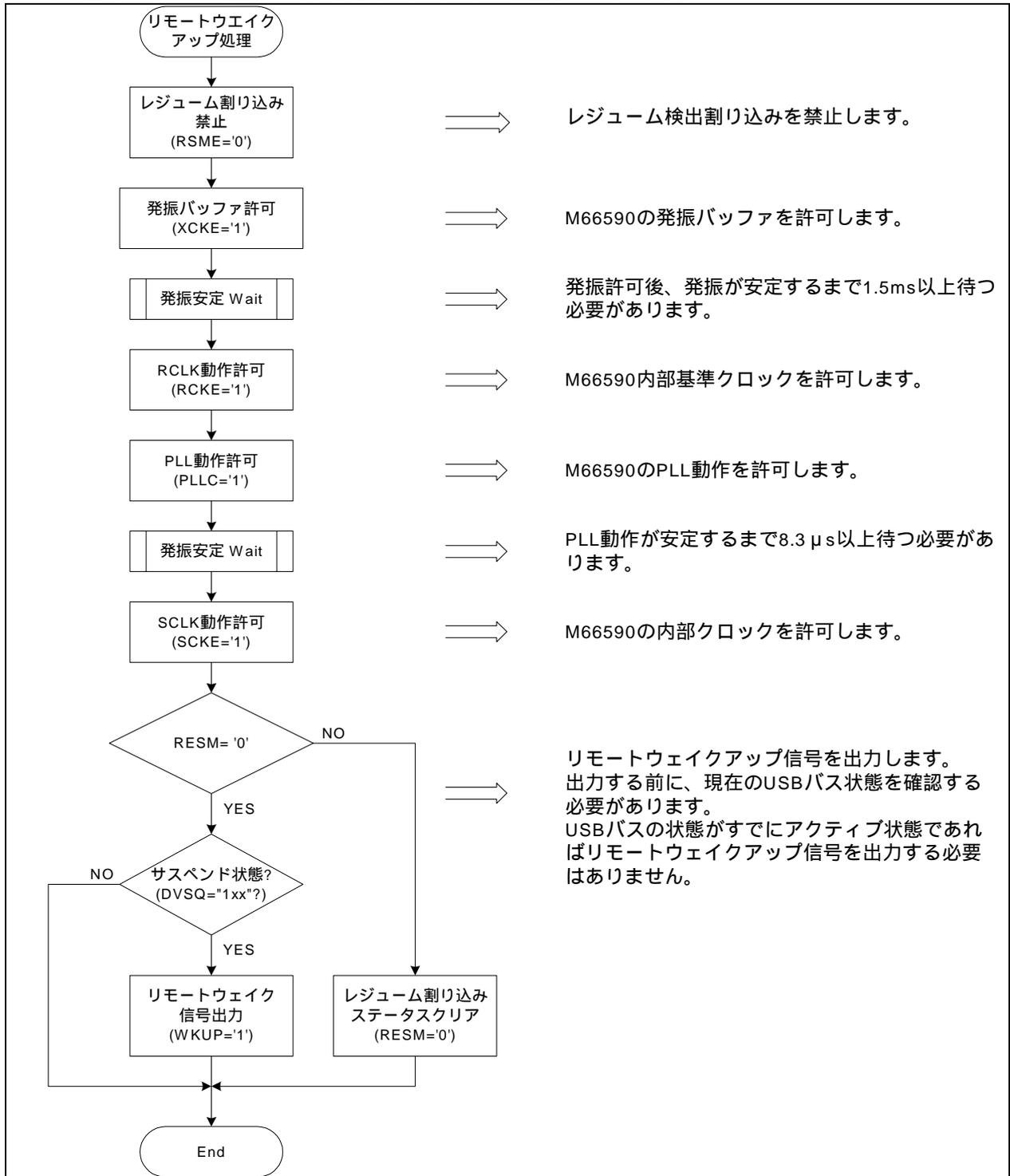


図3.8 リモートウェイクアップ出力フローチャート

### 3.3 割り込み機能

#### 3.3.1 割り込み機能概要

M66590には、8種類の割り込み要因があります。表3.1に8種類の割り込み要因を示します。

「INT0ピンコンフィギュレーションレジスタ0、2、3」で割り込み要因を禁止/許可することができます。図3.9に割り込み関連図を示します。

「INT0ピンコンフィギュレーションレジスタ1」で割り込み出力のセンスモード及び極性を設定することができます。図3.10 割り込み信号出力タイミングに示します。

表3.1 割り込み一覧表

ステータスビット	割り込み名称	割り込み要因	関連ステータスビット
VBUSINT	VBUS割り込み (接続、切断の検出)	VBUS入力の状態変化 (“L” “H”、“H” “L”の両方の変化)	VBUSSTS
RESM	レジューム信号検出割り込み	サスペンド状態において、USBバスの状態変化 (Jステート Kステート、またはJステート SE0)	-
SOFR	SOF検出割り込み	SOFを受信	-
DVST	デバイスステート遷移割り込み	デバイスステートの遷移 <ul style="list-style-type: none"> <li>USBバスリセット検出</li> <li>サスペンド状態検出</li> <li>Set Address実行</li> <li>Set Configuration実行</li> </ul>	DVST [2:0]
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移 <ul style="list-style-type: none"> <li>セットアップステージ完了</li> <li>コントロールライト転送ステータスステージ遷移</li> <li>コントロールリード転送ステータスステージ遷移</li> <li>コントロール転送完了</li> <li>コントロール転送シーケンスエラー発生</li> </ul>	CTSQ [2:0]
BEMP	PIPEバッファエンプティ/サイズオーバー割り込み	各PIPEにおいて、INトークンに対しFIFOバッファにあるすべてのデータの送信が終了しバッファがエンプティになったとき、OUTトークンに対しマックスパケットサイズを越えているパケットを受信したとき	PIPEB_EMP_OVR [6:1]、DCP_EMP
INTN	PIPEバッファノットレディ割り込み	各PIPEにおいて、INトークンに対しFIFOバッファに送信可能なデータがないとき、OUTトークンに対しFIFOバッファにデータを格納領域がなく、受信できないとき	PIPEB_NRDY [6:1]、DCP_NRDY
INTR	PIPEバッファレディ割り込み	各PIPEバッファがレディ (リード/ライト可能状態) になったとき	PIPEB_RDY [6:1]、DCP_RDY

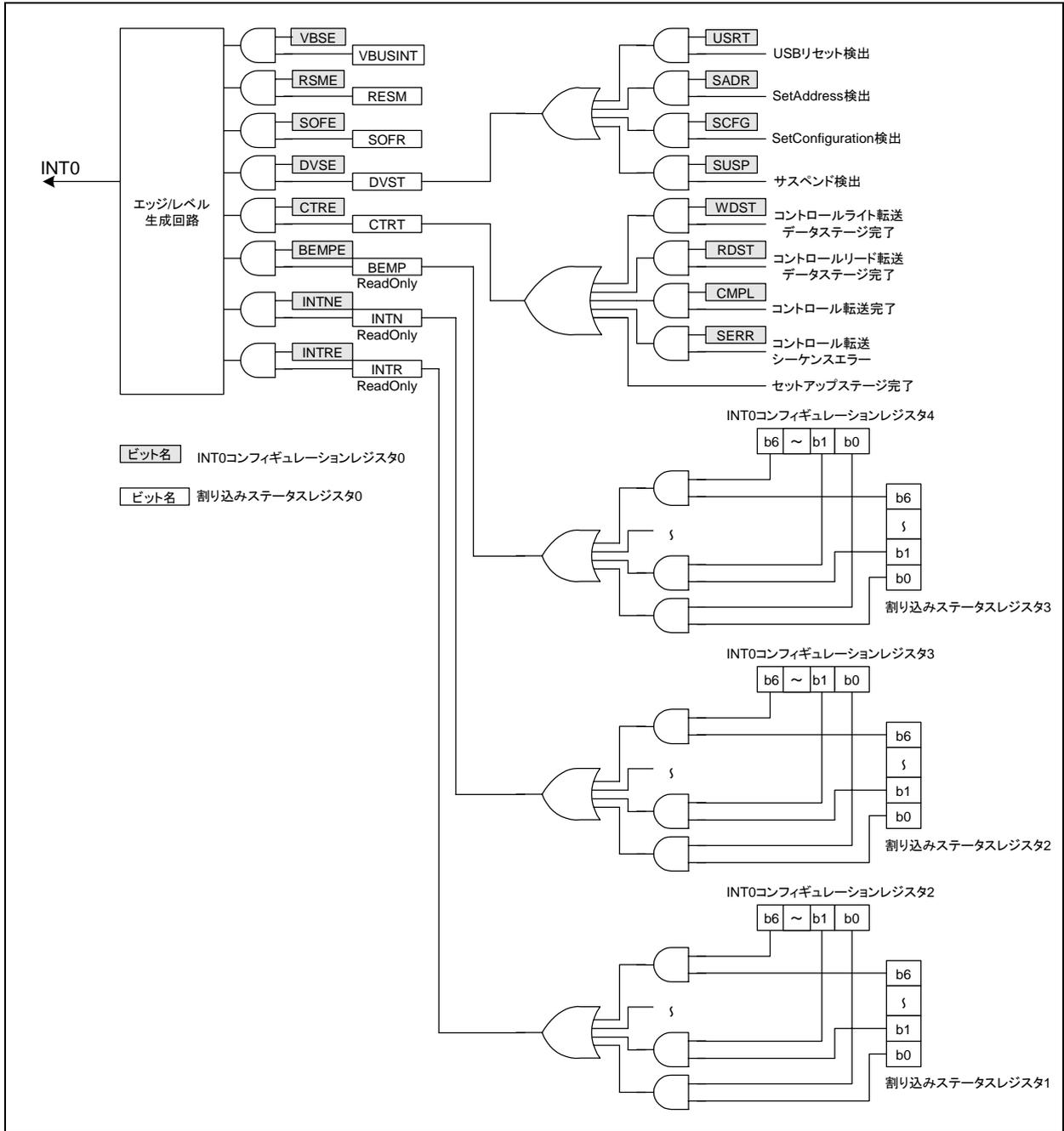


図3.9 割り込み関連図

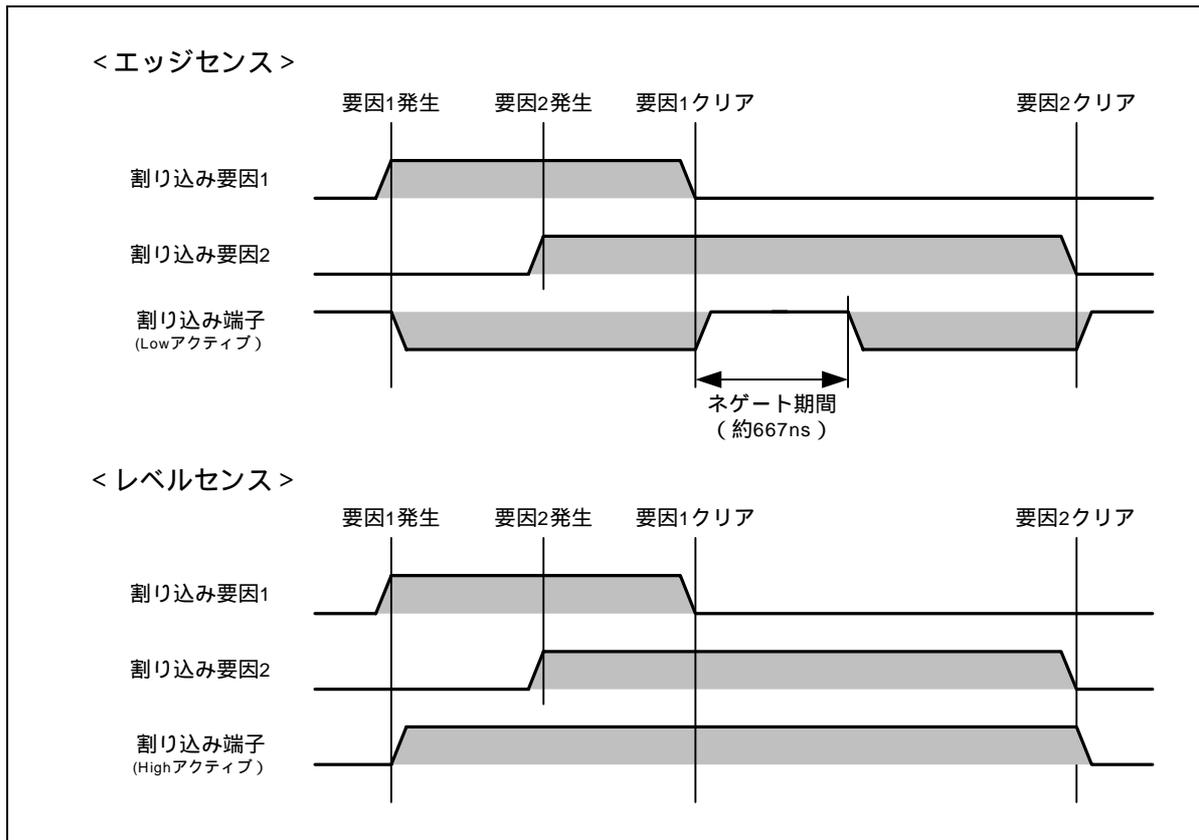


図3.10 割り込み信号出力タイミング

### 3.3.2 VBUS (ホスト接続または切断検出) 割り込み

VBUS入力信号に“L” “H”または、“H” “L”のいずれかの変化があった時に、VBUS割り込み (VBUSINT) が発生します。割り込みステータスレジスタ0のVBUSSTSビットをリードすることによって、VBUS入力信号の状態が確認でき、“L” “H”または“H” “L”の変化を知ることができます。

この割り込みは内部クロックが供給されていない状態<sup>(注1-1)</sup>でも発生します。

この割り込みはVBUSINTビットに“0”書き込むことによってクリアされます。

VBUSINTビットのクリアは内部クロックの供給状態により方法が下記2種類があります。

- (1) 内部クロックが供給されている状態<sup>(注1-2)</sup>

このビットに“0”を書き込むことにより、このビットは“0”にクリアされます (割り込みクリア)。

- (2) 内部クロックが供給されていない状態<sup>(注1-1)</sup>

このビットに“0”を書き込むことにより、このビットは“0”にクリアされます (割り込みクリア)。次のVBUS割り込みを許可するために再度このビットに“1”を書き込んでください。

(注1-1) 「USBトランシーバコントロールレジスタ0」 SCKE = “0”の状態

(注1-2) 「USBトランシーバコントロールレジスタ0」 SCKE = “1”の状態

### 3.3.3 レジューム割り込み

M66590はデバイスステートがサスペンド状態にあるときに、USBバス状態が変化（Jステート Kステート、またはJステート SE0）した時に、レジューム割り込みが発生します。

この割り込みは内部クロックが供給されていない状態<sup>(注2-1)</sup>でも発生します。

この割り込みはRESMビットに"0"を書き込むことによってクリアされます。

RESMビットのクリアは内部クロックの供給状態により方法が下記2種類があります。

(1) 内部クロックが供給されている状態<sup>(注2-2)</sup>

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます（割り込みクリア）。

(2) 内部クロックが供給されていない状態<sup>(注2-1)</sup>

このビットに"0"を書き込むことにより、このビットは"0"にクリアされます（割り込みクリア）。次のレジューム割り込みを許可するために再度このビットに"1"を書き込んでください。

(注2-1) 「USBトランシーバコントロールレジスタ0」SCKE=0の状態

(注2-2) 「USBトランシーバコントロールレジスタ0」SCKE=1の状態

### 3.3.4 フレーム更新割り込み

M66590はSOFパケットを受信し、フレームナンバーが更新したときに、SOFR割り込みが発生します。

SOFR割り込みの発生条件は「フレームナンバーレジスタ0」のSOFRMビットの設定値によって決定されます。

SOFRM = "0"の場合は、SOFR割り込みはSOFパケットの受信と同期し、約1msの間隔で発生します。SOFパケットが破損、または欠落した時にでも、内部補間機能によりSOFR割り込みは約1msの間隔で発生します。但し、このとき「フレームナンバーレジスタ0」のフレームナンバーの値はアップデートされません。

SOFRM = "1"の場合は、SOFパケットが破損、または欠落した時にのみSOFR割り込みは発生します。Full-Speedモードにおいては、SOFパケットが破損、または欠落したときにSOFR割り込みが発生します。Hi-Speedモードにおいては、8個同じフレームナンバーを持つμSOFパケットのうちμSOFの先頭パケット（「フレームナンバーレジスタ1」のMicroFRNM [2:0] = "111"の時に受信されるパケット）が破損、または欠落したときにだけ、SOFR割り込みが発生します。

図3.11は、Hi-SpeedモードのときのSOFR割り込み出力タイミングの例を示します。

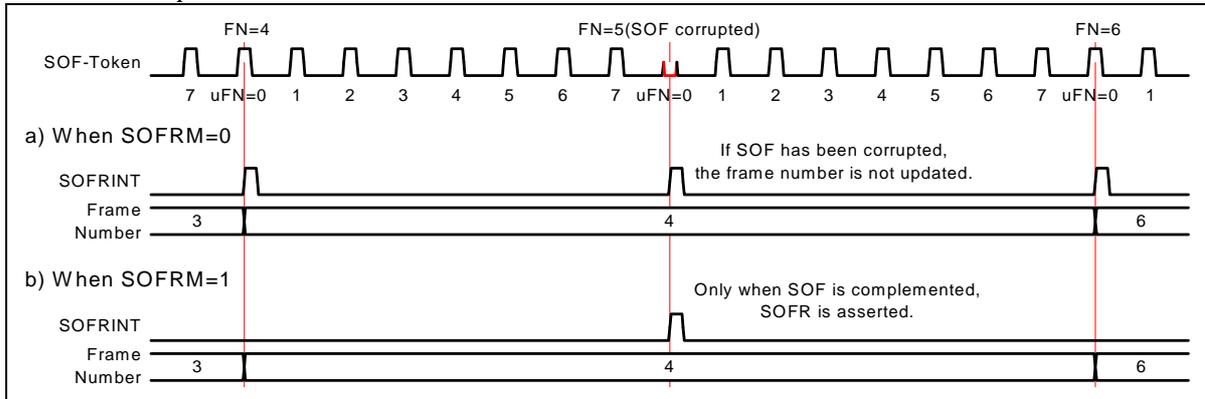


図3.11 Hi-SpeedモードでのSOF割り込み出力タイミングの例

Hi-Speedモードにおいて、M66590はμSOFをロックする前にSOFR割り込みが発生しません。μSOFロック状態とは、M66590がエラーなしでフレームナンバーの異なるμSOFパケットを二回連続受信した状態です。μSOFロック状態になった後、μSOFパケットを受信したときまたはSOF補間機能が動作したときに「フレームナンバーレジスタ1」のMicroFRNM [2:0]ビットが"000"から"111"までカウントアップされます。

### 3.3.5 デバイスステート遷移割り込み

M66590はH/Wにより、Powered、Default、Address、ConfiguredとSuspendedの各デバイスステートの遷移を管理しています。デバイスステートは「割り込みステータスレジスタ0」のDVSQ [2:0]ビットで確認することができます。

デバイスステート遷移割り込みの要因となるデバイスステート遷移は以下です。

- ・ USBバスリセット検出 (Defaultステートへの遷移)
- ・ SET\_ADDRESSデバイスリクエストの実行 (Addressステートへの遷移)
- ・ SET\_CONFIGURATIONデバイスリクエストの実行 (Configuredステートへの遷移)
- ・ サスペンド状態へ遷移 (Suspendedステートへの遷移)

「INT0ピンコンフィギュレーションレジスタ0」の許可ビットにより、この四つの要因をそれぞれ単独で許可または禁止することができます。

D+/D-端子にSE0状態が2.5  $\mu$ s以上続く時にUSBリセットを検出します。USBリセット検出割り込みが許可されている状態で、USBリセットハンドシェイクプロセスが終了した後にデバイス遷移割り込み (DVST) が発生します。

SET\_ADDRESSとSET\_CONFIGURATION実行によるデバイスステート遷移を検出します。SET\_ADDRESS実行とSET\_CONFIGURATION実行割り込みが許可されていれば、各デバイスリクエスト検出時にデバイス遷移割り込み (DVST) が発生します。

D+/D-端子にアイドル状態が3ms以上続く時にサスペンドを検出します。サスペンド検出割り込みが許可されていれば、デバイス遷移割り込み (DVST) が発生します。

詳しくは「[図3.12 デバイスステート遷移図](#)」を参照してください。

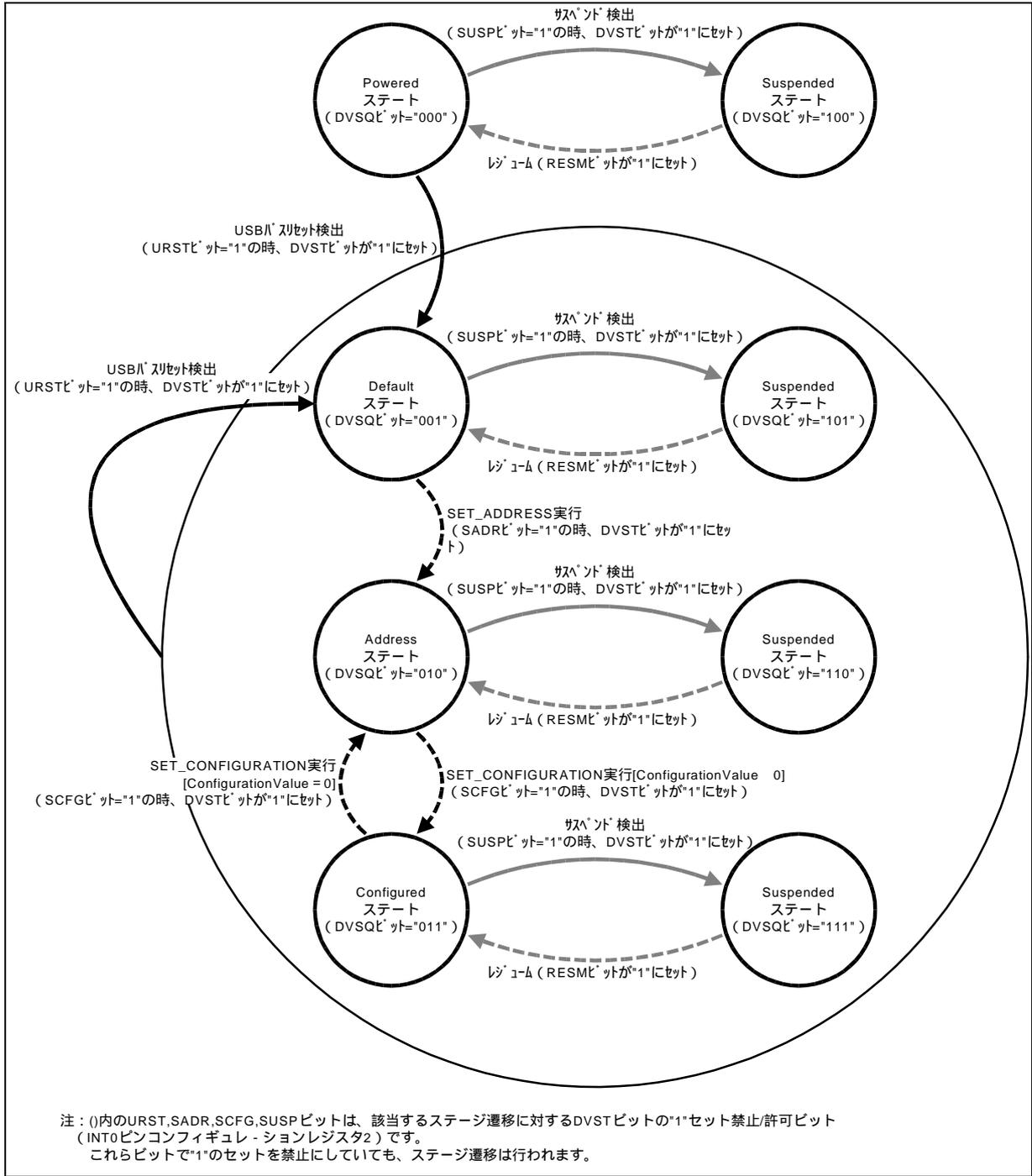


図3.12 デバイス状態遷移図

### 3.3.6 コントロール転送ステージ遷移割り込み

M66590はH/Wで、セットアップステージ、データステージ、及びステータスステージのコントロール転送のシーケンスを管理しています。「割り込みステータスレジスタ0」のDVSQ [2:0]ビットは、現在行っているコントロール転送のステージを示します。

コントロール転送ステージ遷移割り込みの要因となるコントロール転送ステージ遷移イベントは以下です。

- ・ セットアップステージ完了
- ・ コントロールライト転送ステータスステージ遷移
- ・ コントロールリード転送ステータスステージ遷移
- ・ コントロール転送完了（ステータスステージ完了）
- ・ コントロール転送シーケンスエラー

セットアップステージ完了イベントを除き、各イベントは「INT0ピンコンフィギュレーションレジスタ0」の許可ビットによって、それぞれ単独で許可または禁止することができます。

コントロール転送シーケンスエラーを以下に示します。このエラーが発生したとき、「デフォルトコントロールPIPEコントロールレジスタ」のPID [1:0]ビットが"1X"（STALL）になります。

<コントロールリード転送時>

- ・ データステージのINトークンに対して、1度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ・ ステータスステージでINトークン受信

<コントロールライト転送時>

- ・ データステージのOUTトークンに対して、1度もACK応答していない状態でINトークンを受信
- ・ ステータスステージでOUTまたはPINGトークン受信

<コントロールライトノーデータ転送時>

- ・ ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送のデータステージの受信データ数が、リクエストのwLength値を越えた場合は、コントロール転送シーケンスエラーと認識できません。

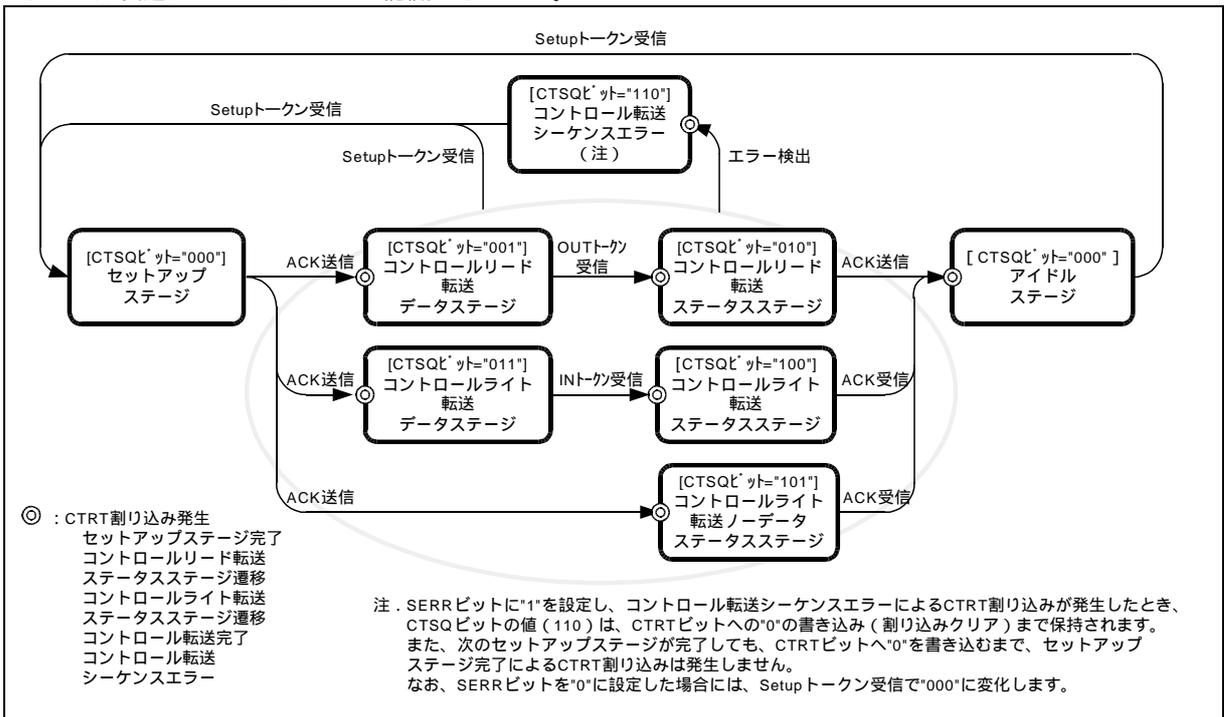


図3.13 コントロール転送ステージ遷移図

### 3.3.7 PIPEバッファエンブティ / サイズオーバー割り込み

PIPEの転送方向がINの設定である場合は、そのPIPEのFIFOバッファに格納されているすべてのデータを送信した後に「割り込みステータスレジスタ3」の対応PIPEのステータスビットが“1”にセットされます。また、デフォルトコントロールPIPEにおけるコントロールリード転送のデータ送信完了は、この割り込みにより判断する事ができます。

PIPEの転送方向がOUTの設定である場合は、マックスパケットサイズを越えるパケットを受信したときに「割り込みステータスレジスタ3」の対応PIPEのステータスビットが“1”にセットされます。また、Hi-Speed時のHigh BandwidthアイソクロナスOUT転送では、意図しないパケットを受信したときやホスト異常を検出したときも、対応したステータスビットが“1”にセットされます。詳しくは124ページの「0 High Bandwidthアイソクロナス転送」を参照してください。「割り込みステータスレジスタ3」の各ステータスビットは、エラーが発生したPIPEを示します。

なお、「INT0ピンコンフィギュレーションレジスタ0」のBEMPEビットが禁止されているときでも「割り込みステータスレジスタ0」のBEMPビットがセットされます。

各ステータスビットは“0”書き込みによってクリアされます。BEMPビットはすべてのステータスビットがクリアされることによってクリアされます。

割り込みの禁止 / 許可とステータスについて、「図3.9 割り込み関連図」を参照してください。

### 3.3.8 PIPEバッファノットレディ割り込み

PIPEの転送方向がINの設定かつ「PIPEiコントロールレジスタ」のPIDビットが“01”（BUF）の設定である場合は、INトークンに対しFIFOバッファに送信可能なデータがなくNAK応答したときに「割り込みステータスレジスタ2」の対応PIPEのステータスビットが“1”にセットされます。

PIPEの転送方向がOUTの設定かつPIDが“01”（BUF）の設定である場合は、OUTまたはPINGトークンに対しFIFOバッファにデータを受信して格納する領域がなくNAK応答したときに「割り込みステータスレジスタ2」の対応PIPEのステータスビットが“1”にセットされます。

PIPEがアイソクロナス転送の設定である場合は、バッファのオーバー / アンダーランエラー及び、CRCエラーが発生した時に「割り込みステータスレジスタ2」の対応PIPEのステータスビットが“1”にセットされます。なお、Hi-Speed時のHigh BandwidthアイソクロナスOUT転送では、パケットが欠落または破損したときにも対応したステータスビットが“1”にセットされます。詳しくは124ページの「0 High Bandwidthアイソクロナス転送」を参照してください。

なお、「INT0ピンコンフィギュレーションレジスタ0」のINTNEビットが禁止されているときでも「割り込みステータスレジスタ0」のINTNビットがセットされます。

各ステータスビットは“0”書き込みによってクリアされます。INTNビットはすべてのステータスビットがクリアされることによってクリアされます。

割り込みの禁止 / 許可とステータスについて、「図3.9 割り込み関連図」を参照してください。

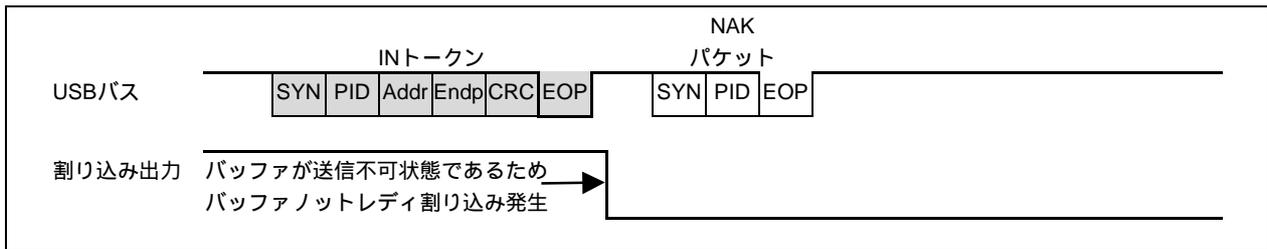


図3.14 PIPEバッファノットレディ割り込み発生タイミング例（IN転送）

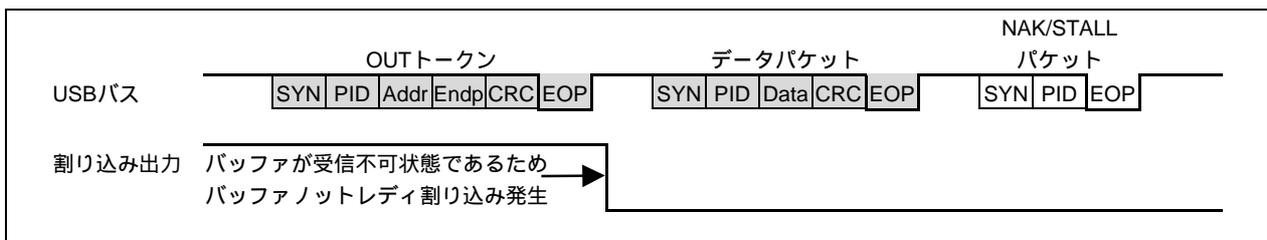


図3.15 PIPEバッファノットレディ割り込み発生タイミング例（OUT転送）

### 3.3.9 PIPEバッファレディ割り込み

「PIPEコンフィギュレーションレジスタ0」のBFREビットの設定によって、「CPUモード」と「DMAモード」の二つの動作モードがあります。デフォルトコントロールPIPEは「CPUモード」と同様の動作です。

(1) BFRE = “0” (「CPUモード」)

PIPEの転送方向がINの設定である場合は、FIFOバッファが空になって送信データの書き込みが可能になったときに「割り込みステータスレジスタ1」の対応PIPEのステータスビットが“1”にセットされます。但し、デフォルトコントロールPIPEにおけるコントロールリード転送のバッファがレディ状態になっても割り込みは発生しません。送信完了は、PIPEバッファエンプティ割り込みにより判断する事ができます。

PIPEの転送方向がOUTの設定である場合は、FIFOバッファに受信データを格納してバッファがフルになった、またはショートパケット (zero-lengthパケットを含む) を受信したときに「割り込みステータスレジスタ1」の対応PIPEのステータスビットが“1”にセットされます。

(2) BFRE = “1” (「DMAモード」)

PIPEの転送方向がINの設定である場合は、「割り込みステータスレジスタ1」の対応PIPEのステータスビットは“0”のままです。

PIPEの転送方向がOUTの設定である場合は、ショートパケット (zero-lengthパケットを含む) を受信、またはトランザクションカウンタ機能のターミナルカウンタのケット数を受信し、その最後のケットのデータをFIFOポートから読み出し終えた時に「割り込みステータスレジスタ1」の対応PIPEのステータスビットが“1”にセットされます。

なお、「INT0ピンコンフィギュレーションレジスタ0」のINTREビットが禁止しているときでも「割り込みステータスレジスタ0」のINTRビットがセットされます。

各ステータスビットは“0”書き込みによってクリアされます。INTRビットはすべてのステータスビットがクリアされることによってクリアされます。

割り込みの禁止 / 許可とステータスについて、「図3.9 割り込み関連図」を参照してください。

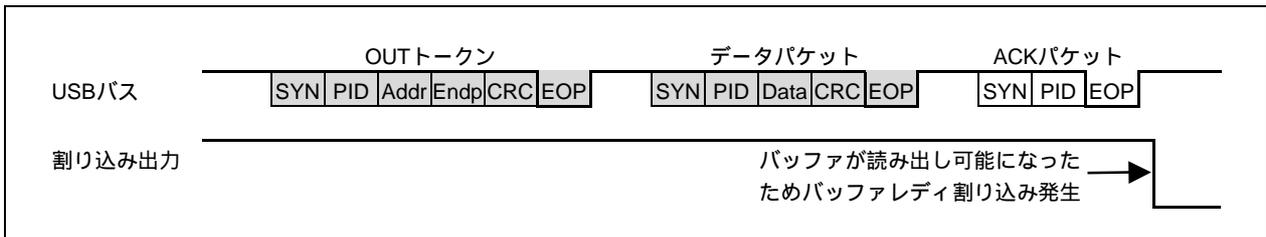


図3.16 バッファレディ割り込み発生タイミング例 (OUT転送)

## 3.4 コントロール転送とエニュメレーション

コントロール転送は、セットアップステージ、データステージ、およびステータスステージで構成されます。M66590はステージ管理を行い、割り込みでステージの遷移をCPUに知らせます。

コントロール転送は、デフォルトコントロールPIPE (EP0) を使ってデータ転送を行います。

デフォルトコントロールPIPE (EP0) はコントロールリード用とコントロールライト用の二つのバッファを持っています。バッファのメモリ上の容量はバッファの先頭アドレスとサイズにより定義されます。二つのバッファは共通のメモリスペースを共有できます。デフォルトコントロールPIPEのバッファへの読み書きはC\_FIFOポートレジスタに經由して行います。C\_FIFOポートレジスタはCPUアクセスのみ可能で、DMAアクセスの設定はできません。

### 3.4.1 セットアップステージ

セットアップステージにおいて、セットアップトランザクションのデータパケットの8バイトデータ (デバイスリクエストデータ) は、自動的に四つのレジスタに格納されます (「USBリクエストレジスタ0-3」)。

H/Wで自動応答できるSet\_Addressリクエストを除き、S/Wでこれらのレジスタからデバイスリクエストデータを読み出しリクエストに応答します。

セットアップパケットを受信した後に、H/Wによって以下のビットがセットまたはクリアされます。

- ・「割り込みステータスレジスタ0」のVALIDビット: "1" (セットアップパケット検出)
- ・「デフォルトコントロールPIPEコントロールレジスタ」のPIDビット: "00" (NAK応答)
- ・「デフォルトコントロールPIPEコントロールレジスタ」のCCPLビット: "0"
- ・データステージのデータPIDのシーケンスグループビット: DATA1

VALIDビットが"1"の間は、PIDビットを書き換えることができません。PIDビットとCCPLビットを設定する前にVALIDビットをクリアしなければなりません。

### 3.4.2 データステージ

データステージは、リクエストの内容によりINトランザクションまたはOUTトランザクションを行います。

コントロールライト転送であれば、データステージはOUTトランザクションであり、CPUはセットアップステージ割り込みのタイミングで「デフォルトコントロールPIPEコントロールレジスタ」のPIDビットを"01"に設定して、データを受信しホストに対してACK応答を行います。そして、バッファからデータが読み出せる状態になることにより、バッファレディ割り込みが発生しますので、デフォルトPIPEを選択したC\_FIFOポートレジスタから受信したデータを読み出します。

コントロールリード転送であれば、データステージはINトランザクションであり、CPUはセットアップステージ割り込みのタイミングでデフォルトPIPEを選択したC\_FIFOポートにデータを書き込み、デフォルトコントロールPIPEコントロールレジスタ」のPIDビットを"01"に設定することで、ホストにデータを送信します。そして、バッファに新たな送信データを書き込める状態になることにより、バッファレディ割り込みが発生しますので、C\_FIFOポートレジスタを使用して次の送信データを書き込みます。

### 3.4.3 ステータスステージ

ステータスステージは、コントロールライトとコントロールリードの両方においてNULLデータ (zero-lengthパケット) の送信または受信を行います。データステージの後にコントロール転送完了イネーブル (CCPL) ビットを設定することによってNULLデータの送信または受信することができます。

### 3.4.4 自動応答コントロール機能

M66590は、Set\_Addressリクエストに対しての自動応答機能が内蔵しています。自動応答機能では、コントロール転送ステージ遷移割り込みが発生しません。

### 3.4.5 連続転送機能

M66590は、複数のパケットの送受信を連続して行う連続送受信モードを内蔵しています。バッファがエンプティまたはフルになると、割り込みが発生します。

「デフォルトコントロールPIPE連続送信データ長レジスタ」のSDLNビットを使用することにより、zero-lengthパケットを自動送信することが可能です。

3.4.6 コントロール転送動作の概要

図3.17 ~ 図3.22はコントロール転送の動作の概要を示します。

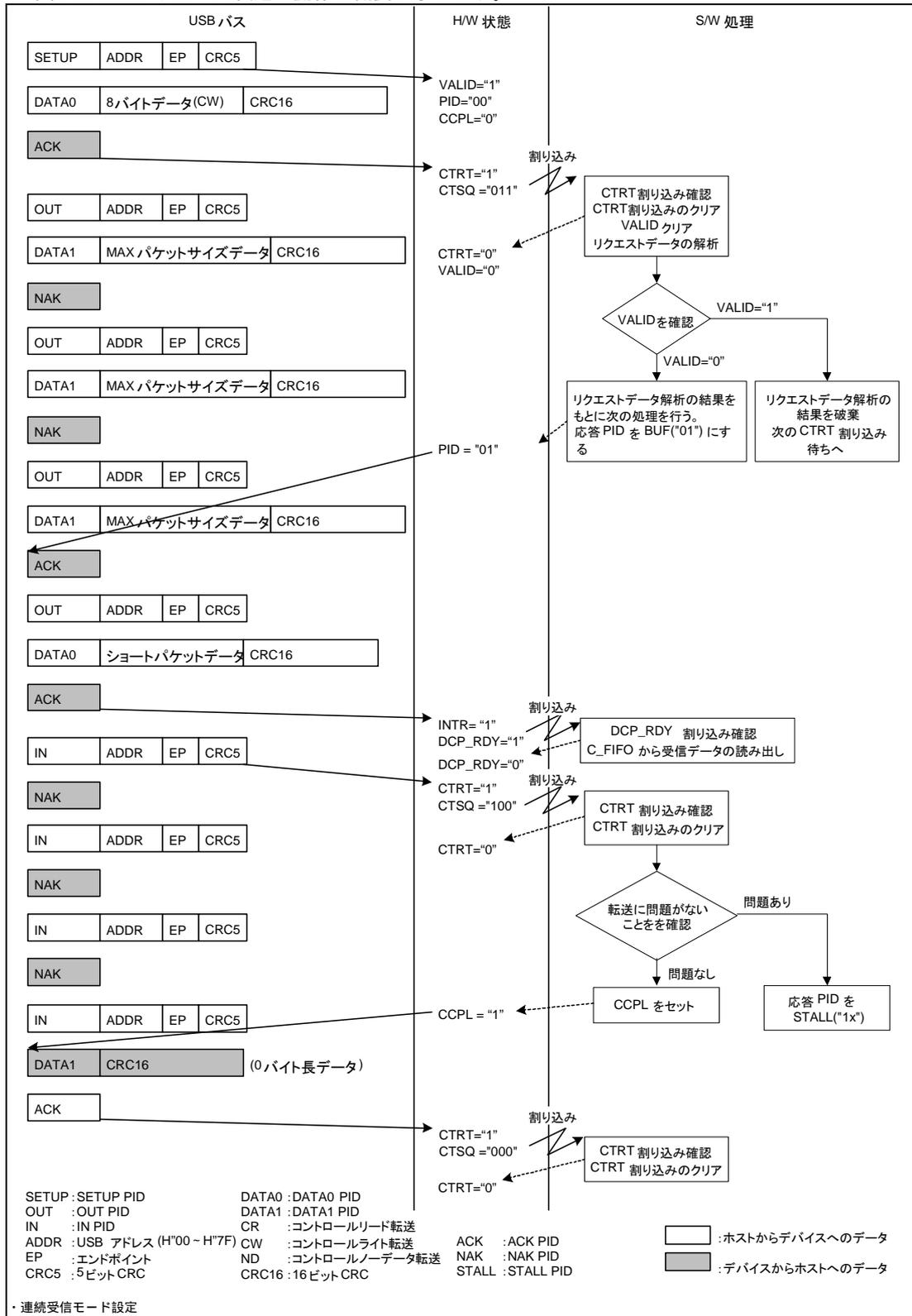


図3.17 コントロールライト転送動作例



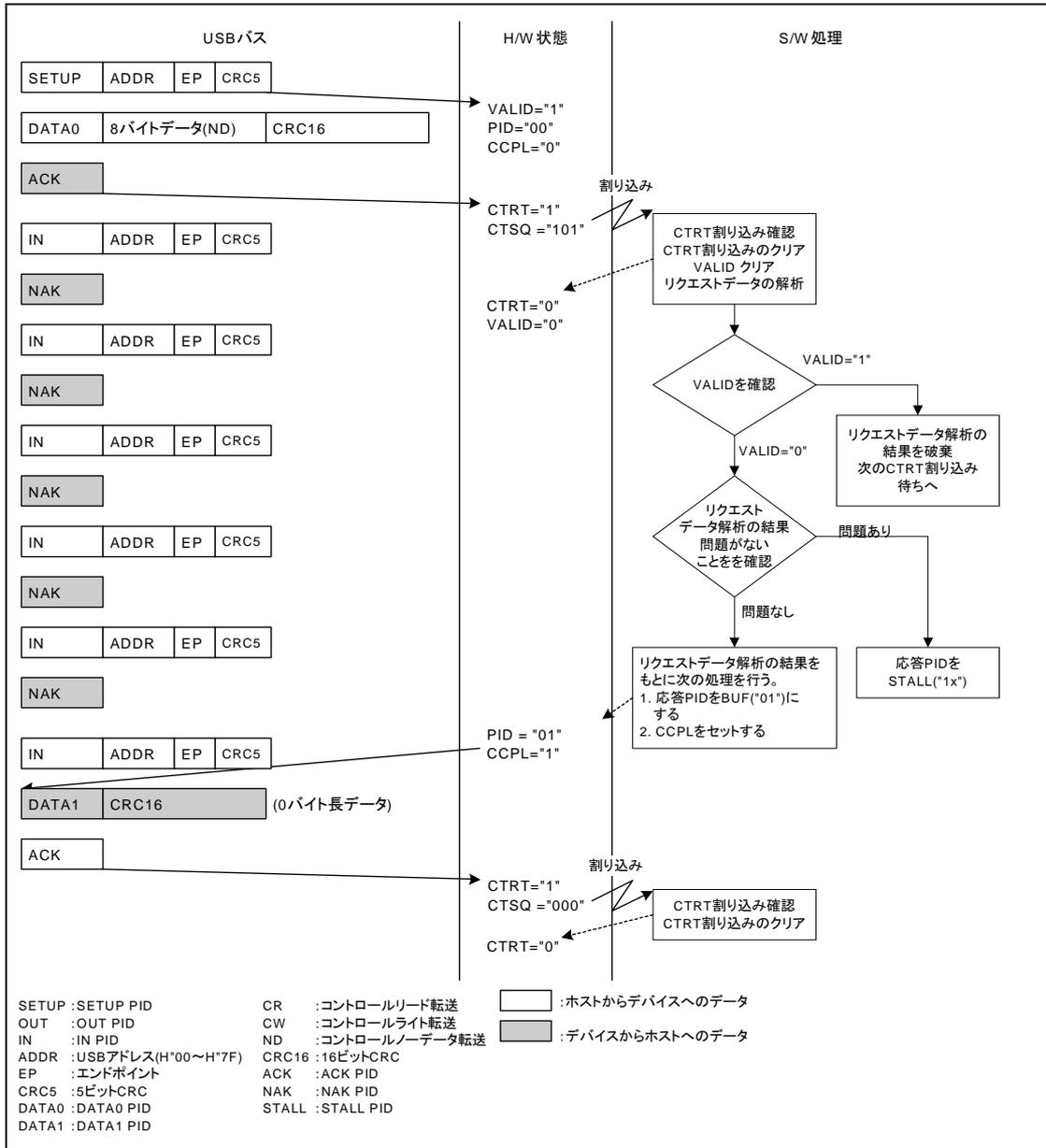


図3.19 ノーデータコントロール転送動作例

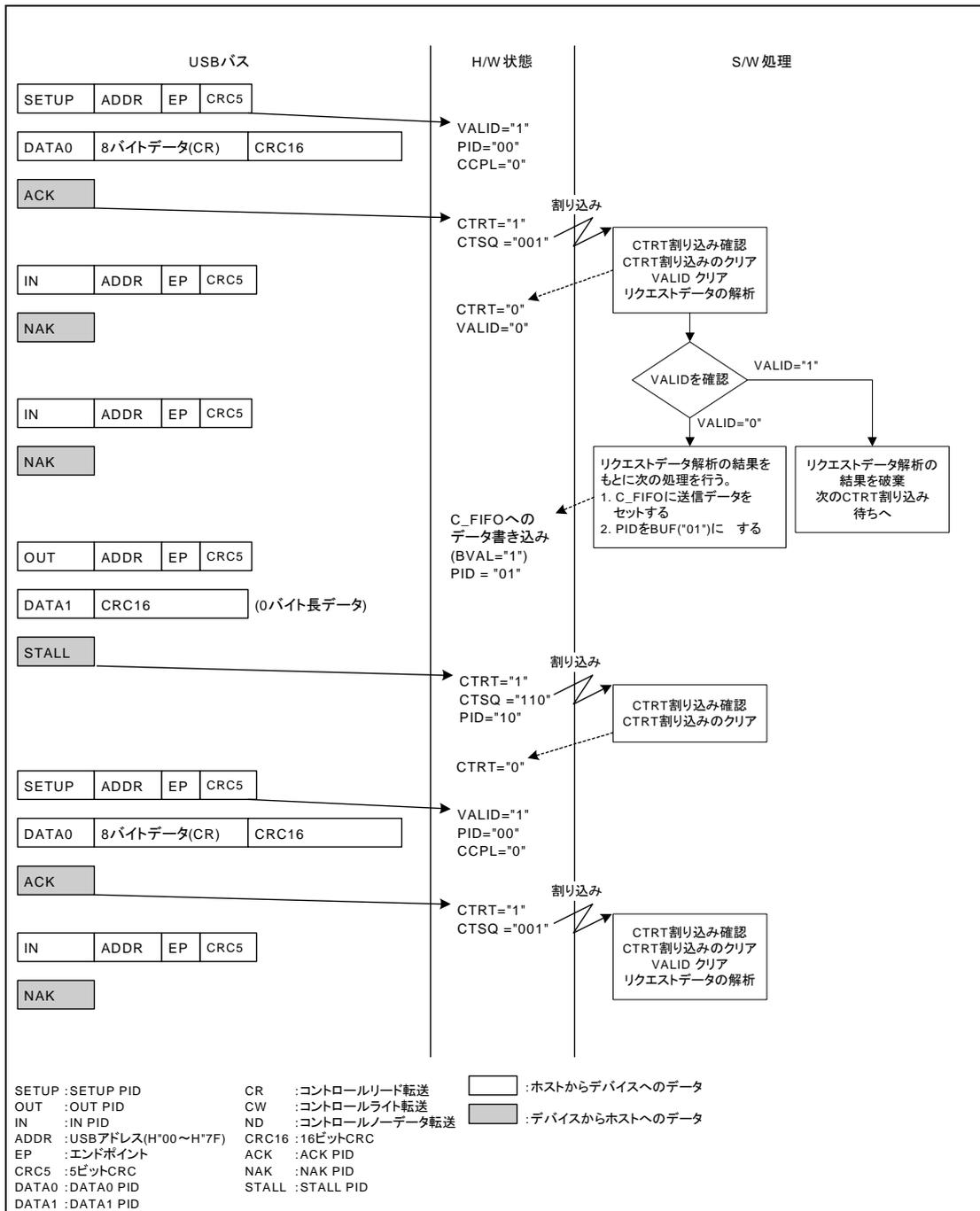


図3.20 コントロール転送エラー動作例



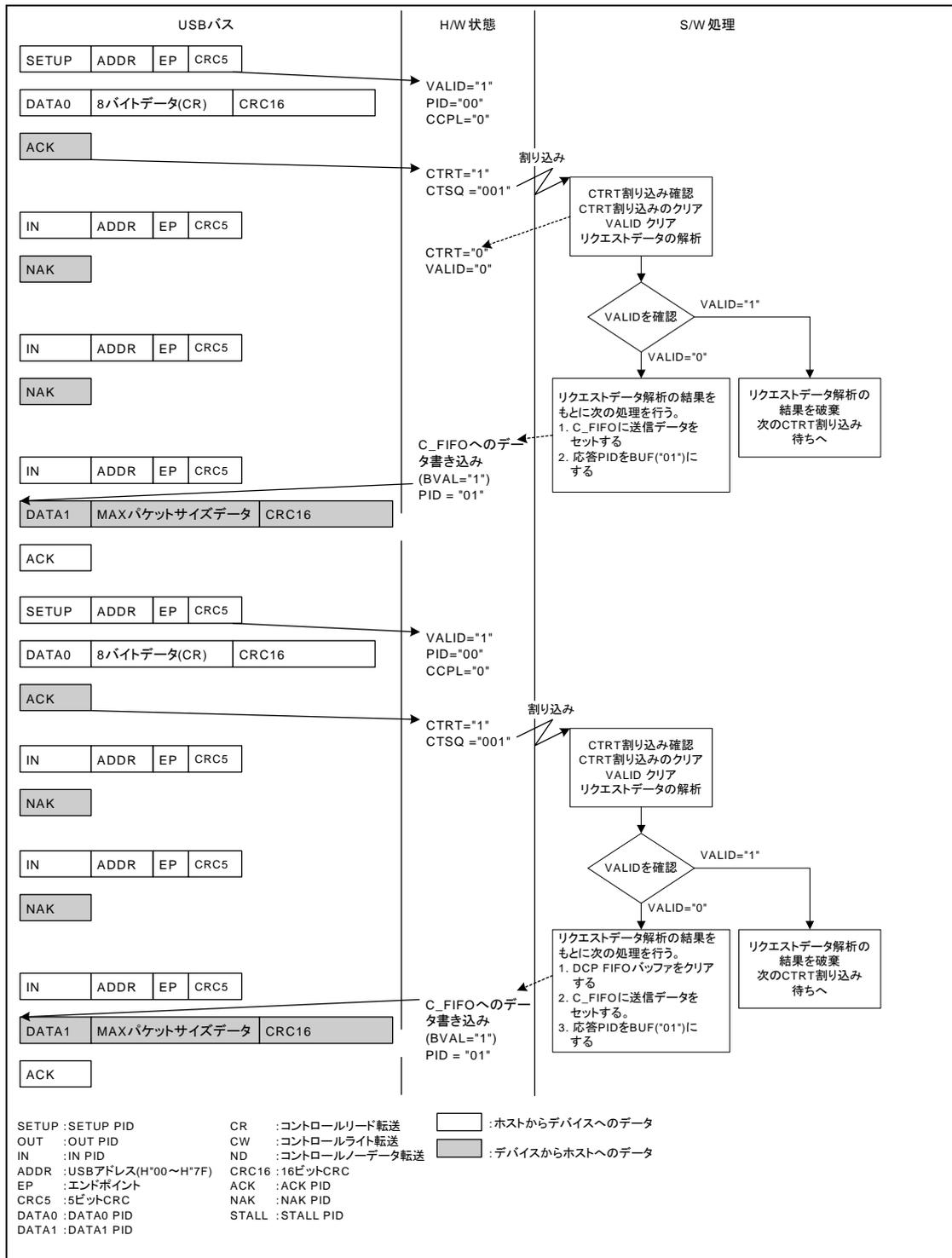


図3.22 セットアップ連続の動作例 (2)

3.4.7 エnumレーションとデバイスステート遷移

M66590はH/Wによって、Powered, Default, Address, Configured, 及びSuspendedステートのデバイスステートを管理しています。図3.23はデバイスステートの遷移を示します。

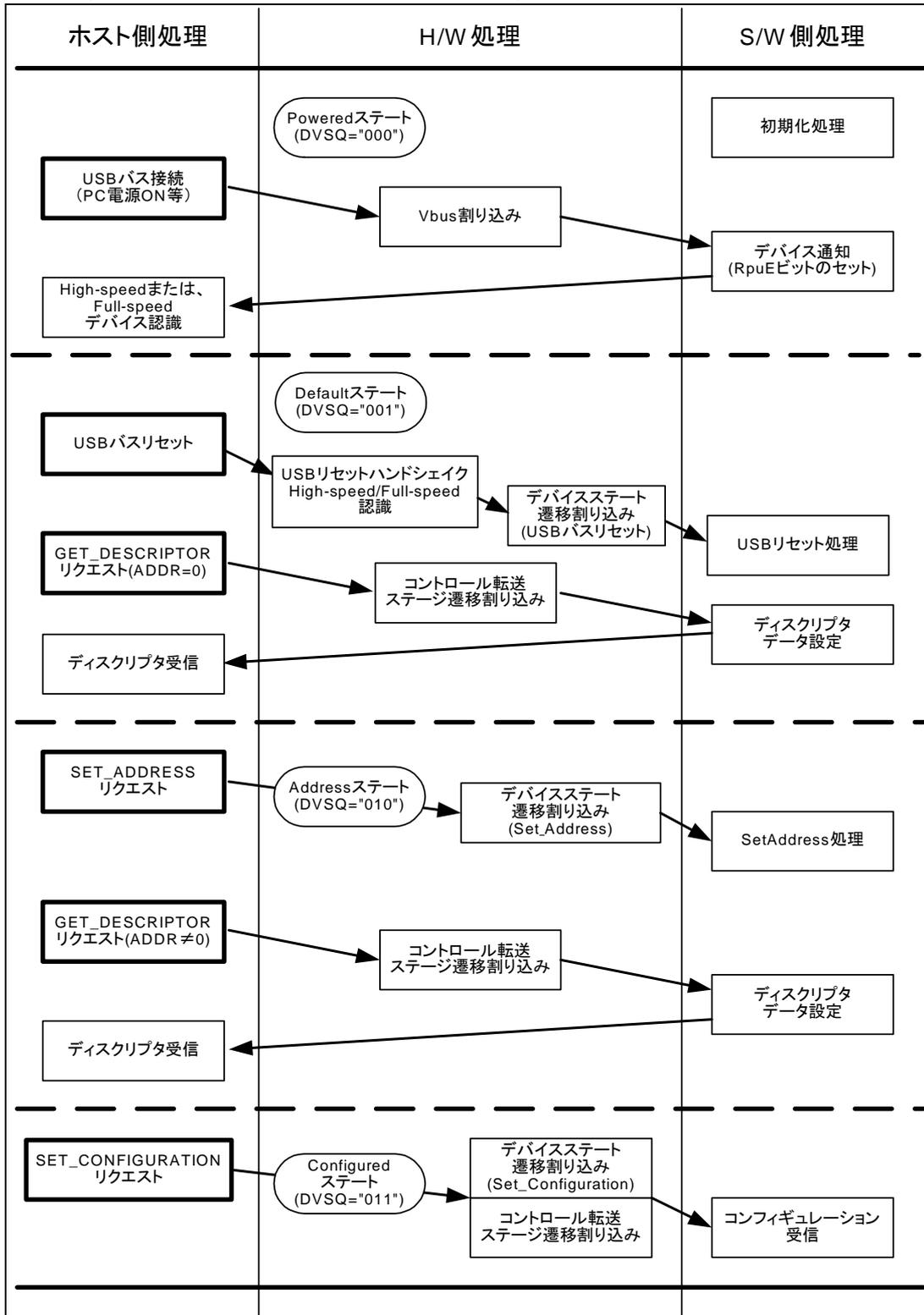


図3.23 デバイスステート遷移

### 3.5 パイプとパイプコントロール

M66590はデフォルトコントロールPIPEDCPの以外に、PIPE1～PIPE6の6本エンドポイントPIPEを内蔵しています。この6本のPIPE (PIPE1～PIPE6) はそれぞれバルク、インタラプト、およびアイソクロナス転送に設定することができます。表3.2はPIPE1～PIPE6の構成を示します。

表3.2 PIPE (PIPE1～PIPE6) 設定項目一覧表

	レジスタビット	PIPE1～PIPE6
転送タイプ	TYP [1:0]	バルク、インタラプト、アイソクロナス転送に設定可能
転送方向	DIR	IN/OUTに設定可能
エンドポイント番号	EP_NUM [3:0]	PIPEのエンドポイント番号を1～15まで設定可能
ダブルバッファ	DBLB	
連続送受信	CNTMD	バルク転送のみ設定可能
バッファサイズ	Buf_size [5:0]	64バイト単位で4096バイトまで設定可能
応答PID	PID [1:0]	NAK、STALL及びBUFに設定可能
NYETハンドシェイクモード	NYETMD	NYETハンドシェイクの使用するかどうかを設定可能
受信データ読み捨てモード	ACLR	
バッファレディ割り込み出力	BFRE	
インタラプト転送トグルモード	ITMD	インタラプト転送のみ設定可能
1マイクロフレームの転送数	NUMTR [1:0]	0、1、2 (ハイスピードアイソクロナス、インタラプト)
マックスパケットサイズ	MXPS [10:0]	0～1024バイト
アイソクロナスインターバルレジスタ	IITV [3:0]	0～15、アイソクロナス転送のみ設定可能
アイソクロナスバッファフラッシュモード	IFIS	アイソクロナスIN転送のみ設定可能

M66590は12Kバイトの内部メモリを内蔵しています。この12KバイトのメモリをDCP PIPEとPIPE1～PIPE6の各PIPEのバッファとして割り振ることができます。バッファサイズは、64バイトの倍数で4Kバイトまで指定できます。バッファサイズはマックスパケットサイズよりも小さく指定してはなりません。

DCPおよびPIPE1～PIPE6のバッファ設定例を表3.3に示します。

表3.3 PIPE FIFO設定例

FIFOバッファ先頭番号	メモリアドレス	エンドポイントの設定
00h~07h	0000h~01FFh	DCP：コントロールライト転送 バッファサイズ：512バイト、連続受信モード（CNTMD） FIFO領域：512バイト（8ブロック）
08h~0Fh	0200h~03FFh	DCP：コントロールリード転送 バッファサイズ：512バイト、連続送信モード（CNTMD） FIFO領域：512バイト（8ブロック）
10h~4Fh	0400h~13FFh	PIPE1：バルク転送（IN） バッファサイズ：2Kバイト、ダブルバッファ構成（DBLB） 連続送受信モード（CNTMD） FIFO領域：4Kバイト（64ブロック）
50h~8Fh	1400h~23FFh	PIPE2：インタラプト転送（OUT） バッファサイズ：2Kバイト、ダブルバッファ構成（DBLB） 連続送受信モード（CNTMD） FIFO領域：4Kバイト（64ブロック）
90h~91h	2400h~247Fh	PIPE3：バルク転送（IN） バッファサイズ：64バイト、ダブルバッファ構成（DBLB） FIFO領域：128バイト（2ブロック）
92h~9Fh	2480h~27FFh	空き：896バイト（14ブロック）
A0h~A7h	2800h~29FFh	PIPE4：アイソクロナス（IN） バッファサイズ：256バイト、ダブルバッファ構成（DBLB） FIFO領域：512バイト（8ブロック）
A8h~AFh	2A00h~2BFFh	PIPE5：アイソクロナス（OUT） バッファサイズ：256バイト、ダブルバッファ構成（DBLB） FIFO領域：512バイト（8ブロック）
B0h~BFh	2C00h~2FFFh	空き：1Kバイト（16ブロック）

### 3.5.1 PING / NYETコントロール

PING転送コントロールはハイスピード（Hi-Speed）のバルクアウトとコントロールライトのデータステージのアウト転送の時のみ有効です。

#### (1) NYETハンドシェイク

各PIPEのNYETハンドシェイクの振る舞いは「PIPEiコントロールレジスタ」のNYETMDビットによって設定します。

NYETMD = "0"

バッファの状態に応じて自動的にNYETハンドシェイクを行います。  
この設定の場合、バッファのモード設定によって以下のようにNYETを応答しません。

- ・PIPEバッファがシングルバッファで、非連続送受信モードの設定の場合は、常にNYETを応答します。
- ・PIPEバッファがシングルバッファで、連続送受信モードの設定の場合は、バッファフルの時にNYETを応答します。
- ・PIPEバッファがダブルバッファの設定の場合は、FIFOバッファの状態によってNYETを応答します。

ショートパケットを受信した場合、バッファの状態に関係なくACKを応答しません。

NYETMD = "1" 常にACK/NAKハンドシェイクを行い、NYETハンドシェイクを行いません。

#### (2) PINGフローコントロール

対応するPIPEのバッファがデータを受信できる状態であれば、M66590はACKハンドシェイクを応答します。そうでなければ、NAKを応答し、ノットレディ割り込みが発生します。

### 3.5.2 連続転送機能

PIPEのバッファは連続モードまたは非連続モードで動作することができます。

連続転送モード機能は、複数のトランザクションを連続してデータを送受信する機能です。DCP PIPEのコントロールリードとライト及び、PIPE1～PIPE6がバルク転送の設定に設定されている場合、この機能が有効です。連続転送モードに設定された時には、各PIPEに割り当てられたバッファサイズまでCPUへ割り込みが発生せずにデータ転送することができます。ダブルバッファ構成を使用した場合に、最大4Kバイト×2のバッファを使用することができます。

連続受信モードでは設定されたバッファサイズまで、またはショートパケットを受信するまで連続してデータを受信することができます。受信データがマックスパケットサイズのデータパケットならば、CPUに割り込み発生せずバッファサイズまでに連続して受信することができます。ショートパケットを受信した時に、バッファはレディ状態になります。

連続送信モードでは設定されたバッファサイズまで、FIFOポートへ連続してデータを書き込むことができます。BVALビットを設定することによってショートパケットの送信ができます。また、バッファサイズ未満でマックスパケットサイズの整数のデータを送信する場合にもBVALビットを設定する必要があります。

### 3.5.3 FIFOバッファアクセス

M66590は、C\_FIFOポート（CPUアクセス用）とDn\_FIFOポート（n = 0、1）（DMAアクセス用）の2種類、計3個のFIFOポートレジスタがあります。3個のFIFOポートレジスタをアクセスすることによってDCP及び、PIPE1～PIPE6に割り当てられているFIFOバッファへアクセスすることができます。「C\_FIFOポートコントロールレジスタ0」と「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットにPIPE番号を選択することによって、FIFOポートレジスタでアクセスするPIPEを選択することができます。

表3.4 PIPEバッファのアクセス

PIPE	アクセス方法	レジスタ名
DCP	CPUアクセス	C_FIFOポートレジスタ
PIPE1~PIPE6	CPUアクセス	C_FIFOポートレジスタ
	DMAアクセス	Dn_FIFOポートレジスタ (n=0, 1)

Current\_PIPE [4:0]ビットへ書き込み後、FRDYビットが“1”になっていれば、FIFOアクセスが可能であることを示しています。また選択したPIPEがOUT方向の場合には、「C\_FIFOポートコントロールレジスタ1」のCPU\_DTLN [12:0]ビットと「Dn\_FIFOポートコントロールレジスタ1 (n = 0、1)」のDMA\_DTLN [12:0]ビットによって読み出し可能なバイト数を確認することができます。但し、FRDYビット、CPU\_DTLN [12:0]ビット及びDMA\_DTLN [12:0]ビットには以下のように制約事項がありますのでご注意ください。

#### (1) Current\_PIPE [4:0]ビットを変更した時のFRDYビット、CPU\_DTLN [12:0]ビット及びDMA\_DTLN [12:0]ビットリードタイミング

Current\_PIPE [4:0]ビットを変更した時のFRDYビット、CPU\_DTLN [12:0]ビット及びDMA\_DTLN [12:0]ビットが確定するまでタイミングを以下に示します。なおC\_FIFOポートに対しては、ISELビットを変更した時も同様のタイミングになります。

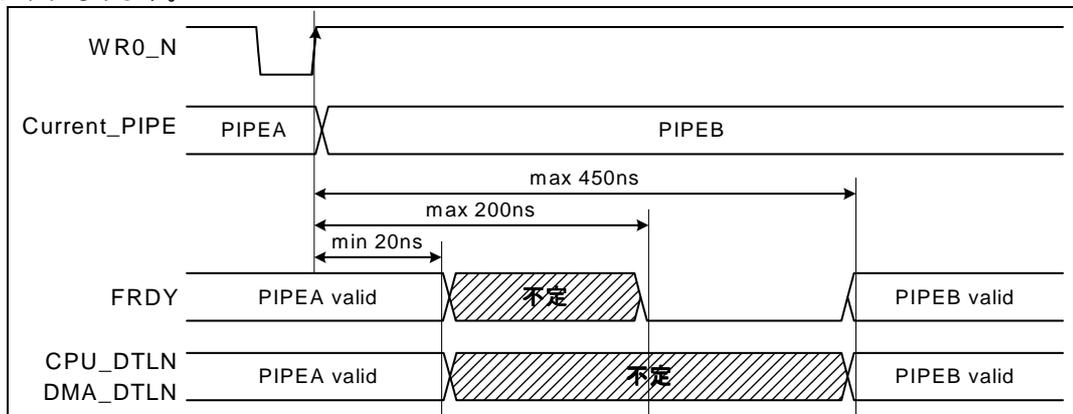


図3.24 PIPE変更後のFRDY、CPU\_DTLN及びDMA\_DTLNのリードタイミング

PIPE変更後FRDY/DTLN保持時間 : min 20ns  
 PIPE変更後FRDY = "L"遷移時間 : max 200ns  
 PIPE変更後FRDY/DTLN有効データ確定時間 : max 450ns

(2) 読み出し途中のCPU\_DTLN [12:0]とDMA\_DTLN [12:0]リードタイミング

Current\_PIPE [4:0]ビットを変更した場合には、上記(1)に示す通りの確定時間で値は確定します。しかし、「C\_FIFOポートコントロールレジスタ0」と「Dn\_FIFOポートコントロールレジスタ0 (n = 0, 1)」のRCNTビットが"1"、かつFIFOアクセスの途中でCPU\_DTLN [12:0]ビットまたはDMA\_DTCN [12:0]ビットの内容を確認する場合のタイミングは、以下のようになります。

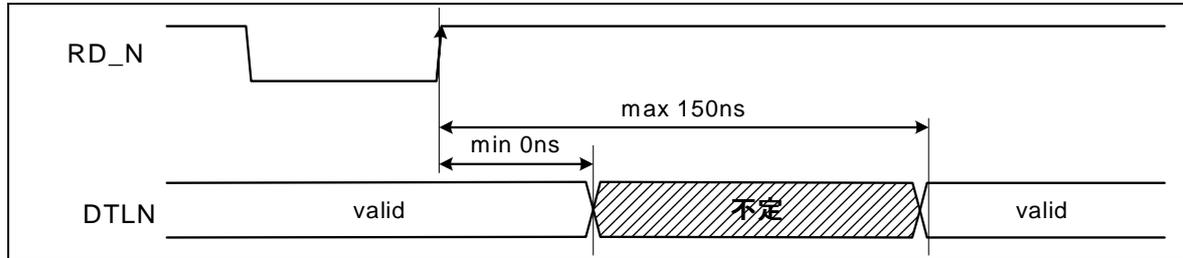


図3.25 読み出し途中のCPU\_DTLNとDMA\_DTLNのリードタイミング

FIFOリードアクセス後DTLN保持時間 : min 0ns  
 FIFOリードアクセス後DTLN有効データ確定時間 : max 150ns

RCNT = "0"場合には、FIFOアクセス途中でもCPU\_DTLN [12:0]ビットとDMA\_DTLN [12:0]ビットは読み出し不可期間はなく値は確定しています。

(3) ダブルバッファ時の読み出し・書き込み完了後のFRDYリードタイミング

ダブルバッファのPIPEに対して、バッファリードまたはライト完了後、もう一方のバッファがアクセス可能状態の時のFRDY確定タイミングを以下に示します。なおIN方向のPIPEでBVALによるショートパケット送信を行う時も同様のタイミングになります。

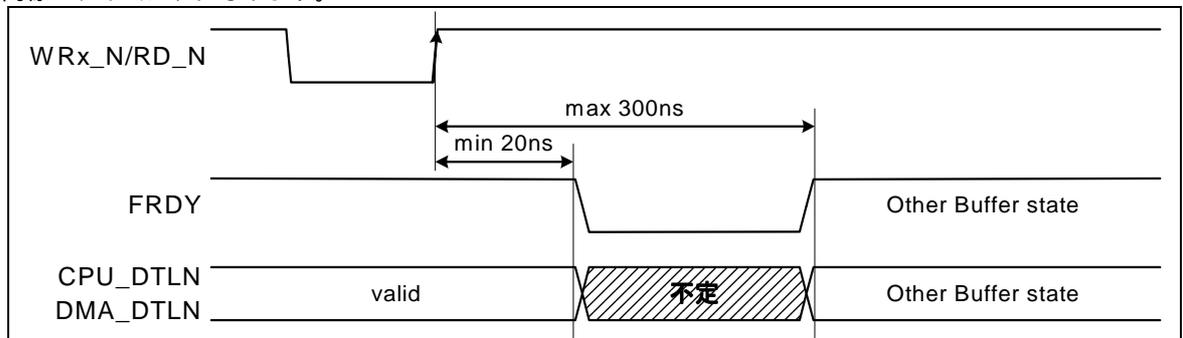


図3.26 ダブルバッファ時の読み出し・書き込み完了後のFRDYリードタイミング

FIFOアクセス完了後FRDY = "L"遷移時間 : min 20ns  
 ダブルバッファFIFOアクセス完了後別バッファFRDY確定時間 : max 300ns

もう一方のバッファがアクセス可能状態で無い場合の確定時間は、HOSTとの転送状況によります。

3.5.4 データ転送の順序

PIPEのFIFOバッファに書き込んだデータは、LSB firstの順序でUSBバスに送出されます。USBバスから受信したデータも同じ順序でPIPEのFIFOバッファに格納されます。(16bitリトルエンディアンの場合)



3.5.5 バッファの動作

(1) OUTバッファ/コントロールライト転送設定時のバッファの状態とBVALビット

図3.27にOUTバッファ/コントロールライト転送に設定 (DIRビット/ISELビットで設定) したときのバッファの状態とBVALビットの関係を示します。

なお、シングルバッファモードとダブルバッファモードはDBLBビットで設定します。デフォルトコントロールPIPEではダブルバッファモードを設定できません。

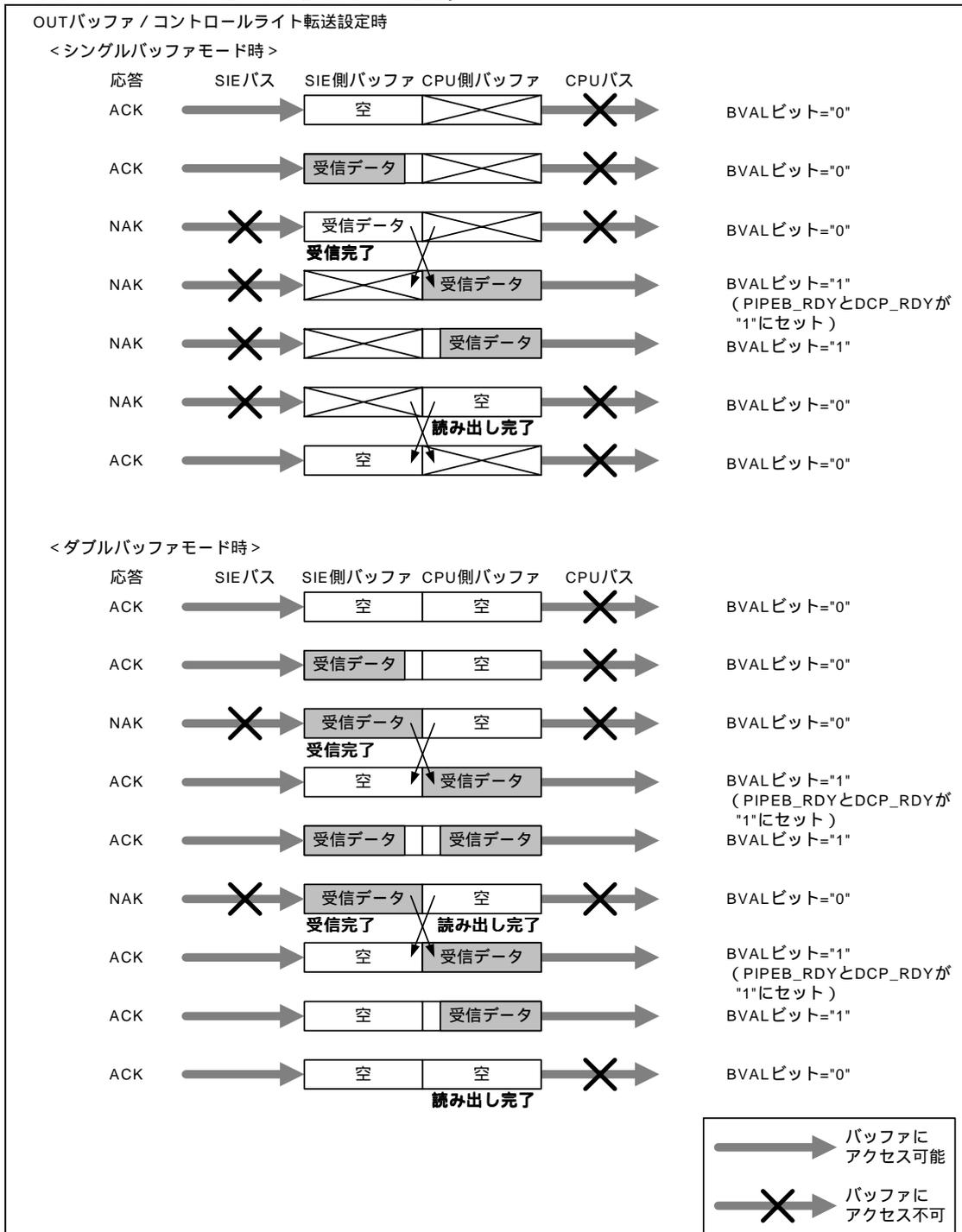


図3.27 OUTバッファ/コントロールライト転送設定時のバッファ動作

(2) INバッファ/コントロールリード転送設定時のバッファの状態とBVALビット

図3.28にINバッファ/コントロールリード転送に設定（DIR/ISELビットで設定）したときのバッファの状態とBVALビットの関係を示します。

なお、シングルバッファモードとダブルバッファモードは、DBLBビットで設定します。デフォルトコントロールPIPEではダブルバッファモードを設定できません。

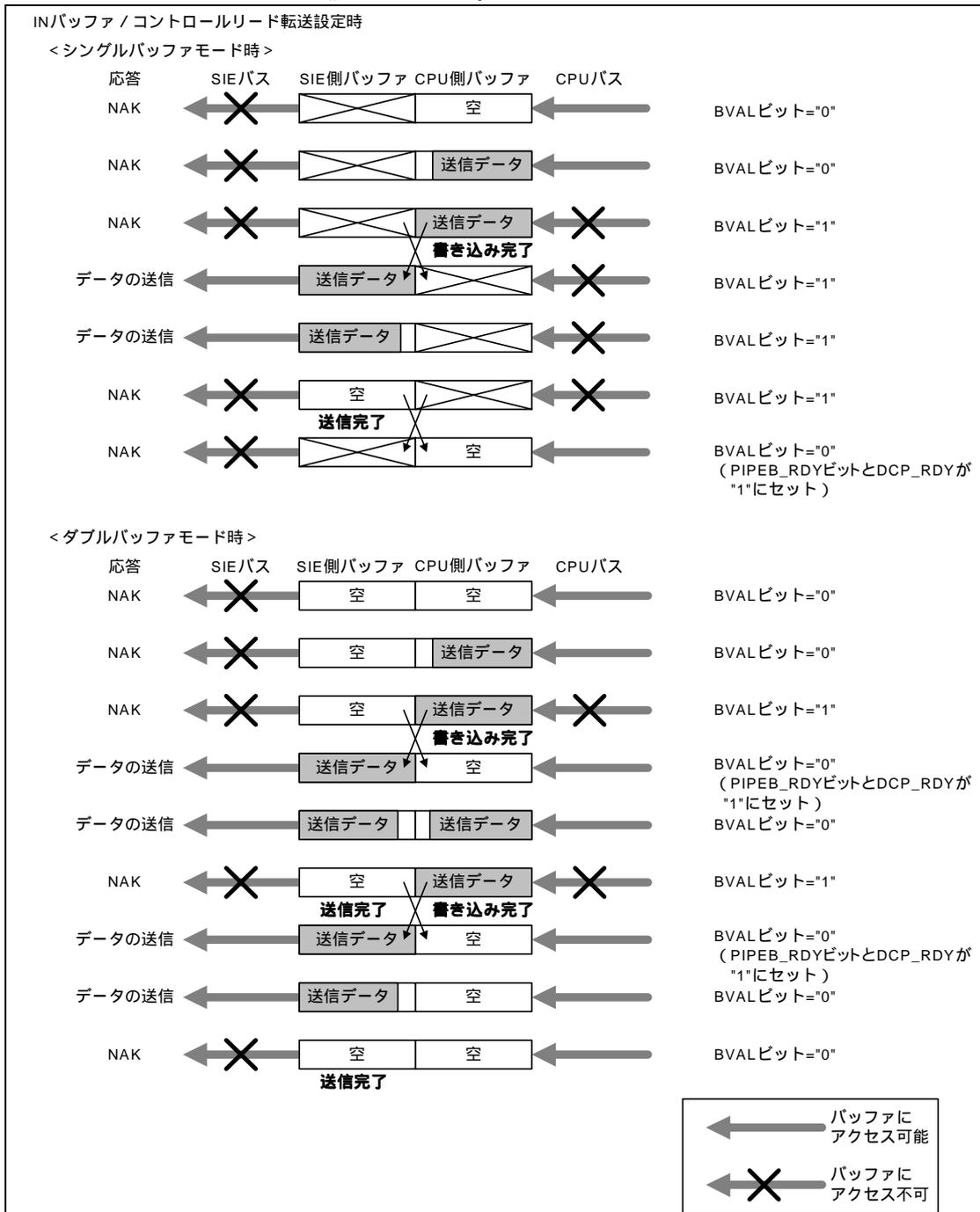


図3.28 INバッファ/コントロールリード転送設定時のバッファ動作

### 3.6 DMA転送

#### 3.6.1 DMA転送概要

M66590はPIPE1～PIPE6に対して8/16/32ビット幅（「Dn\_FIFOポートコントロールレジスタ0」のMBW [1:0]ビットで指定）のDMA転送を行うことが可能です。

DMA転送は外部のDMACと、DREQn、DACKn信号のハンドシェイクによって実現します。DREQn信号は、「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットで設定されたPIPEのバッファが、読み出し可能/書き込み可能状態になった時にアサートされます。DREQn信号の出力許可は、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」のDreqEビットにて行います。DMA転送方向の設定は、各PIPEの「PIPEコンフィギュレーションウィンドウレジスタ1」のDIRビットで決定されます。

DMA転送データの読み出しまたは書き込み動作は、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」のRWstbビットを設定することによって、RD\_N/WRx\_N信号（CPUバス）またはDSTB\_N信号（スプリットバス）で行います。また、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」のDackEビットを設定することによって、DACKn信号を使わずに「Dn\_FIFOポートレジスタ」のアドレスの指定によるDMA転送を行うこともできます（DACKなし転送モード）。

上述のDMA転送方法は、使用するDMAポートがCPUバスかスプリットバスかにより、表3.5のように設定する必要があります。表3.5以外の組み合わせは設定しないでください。

表3.5 DMA転送方法の設定組み合わせ

DMAポートのピン設定	DackEビット	RWstbビット
CPUバス	0 (アドレス)	0 (RD_N / WRx_N)
	1 (DACKn)	0 (RD_N / WRx_N)
スプリットバス	1 (DACKn)	1 (DSTBn_N)

3.6.2 DMA転送方法

DMA転送は、サイクルスチールモードとバースト転送モードがあります。転送モードは「データピン & FIFO/DMA制御ピンコンフィギュレーションレジスタ2, 3」のBurstビットによって設定します。

(1) サイクルスチールモード (Burst = "0")

サイクルスチールモードでは、1データ (8 / 16 / 32ビット) 完了ごとにDREQn信号がアサートします。

(A-1) DACKn信号及びRD\_N / WRx\_N信号によりDMA転送を制御 (DackE = "1", RWstb = "0")

このモードではDACKn信号とRD\_N / WRx\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。

図3.29の (A-1) を参照してください。

(A-2) DACKn信号及びDSTBn\_N信号によりDMA転送を制御 (DackE = "1", RWstb = "1")

このモードではDACKn信号とDSTBn\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。このモードではRD\_N / WRx\_N信号は使用しません。

図3.29の (A-2) を参照してください。

(A-3) CS\_N信号とアドレス信号によりDMA転送を制御 (DackE = "0", RWstb = "0")

このモードではアドレス信号、RD\_N / WRx\_N信号及びCS\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。このモードではDACKn信号を使用しません。

図3.29の (A-3) を参照してください。

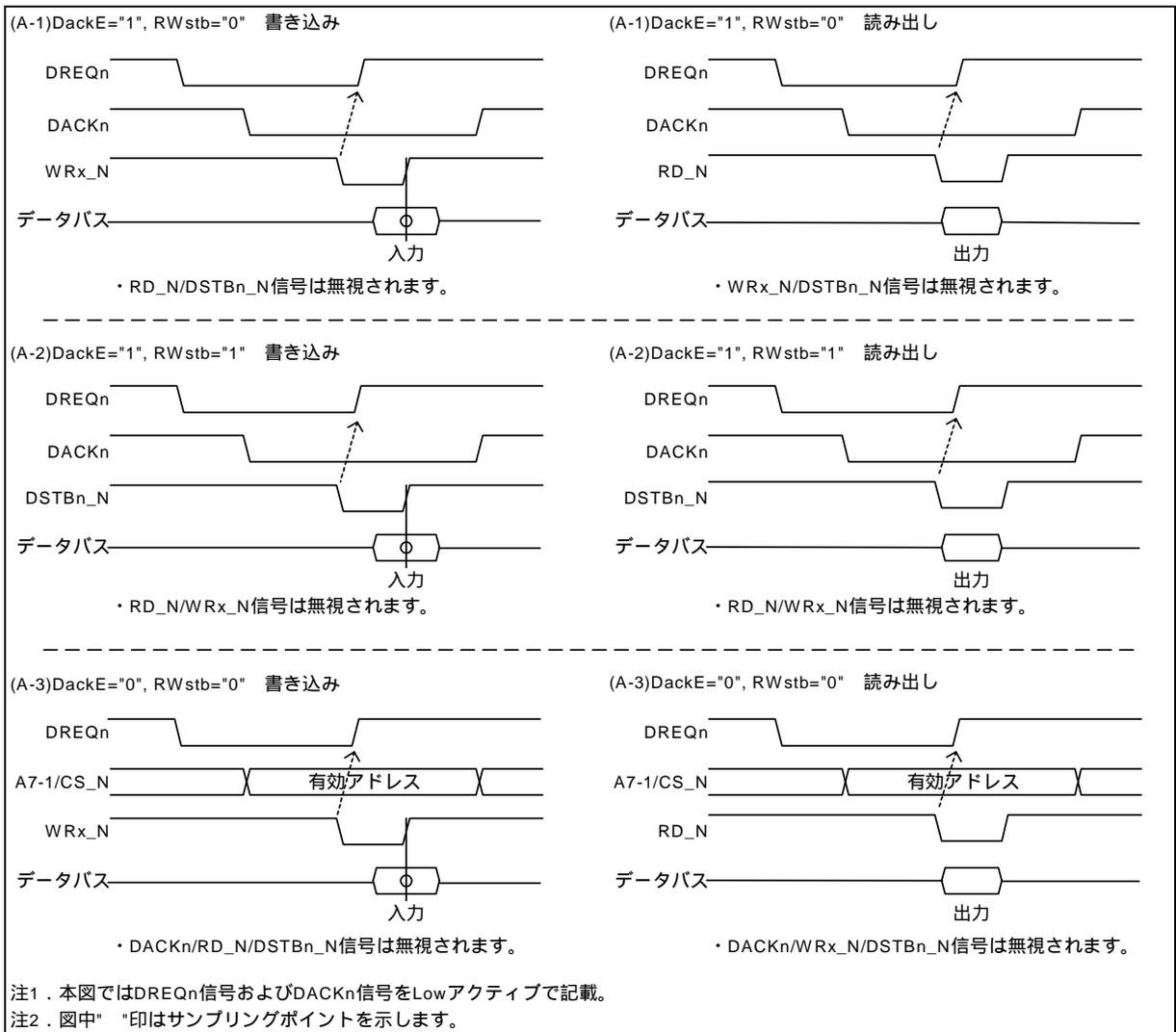


図3.29 DMAサイクルスチール転送時のアクセスタイミング

(2) バーストモード (Burst = "1")

バーストモードでは、バッファ内全てのデータ転送が完了するまでDREQn信号がアサートされ、転送完了でネゲートします。

(B-1) DACKn信号及びRD\_N / WRx\_N信号によりDMA転送を制御 (DackE = "1", RWstb = "0")

このモードではDACKn信号とRD\_N / WRx\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。

図3.30の (B-1) を参照してください。

(B-2) DACKn信号及びDSTBn\_N信号によりDMA転送を制御 (DackE = "1", RWstb = "1")

このモードではDACKn信号とDSTBn\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。このモードではRD\_N / WRx\_N信号は使用しません。

図3.30の (B-2) を参照してください。

(B-3) CS\_N信号とアドレス信号によりDMA転送を制御 (DackE = "0", RWstb = "0")

このモードではアドレス信号、RD\_N / WRx\_N信号及びCS\_N信号を用いて「Dn\_FIFOポートレジスタ」にアクセスします。このモードではDACKn信号を使用しません。

図3.30の (B-3) を参照してください。

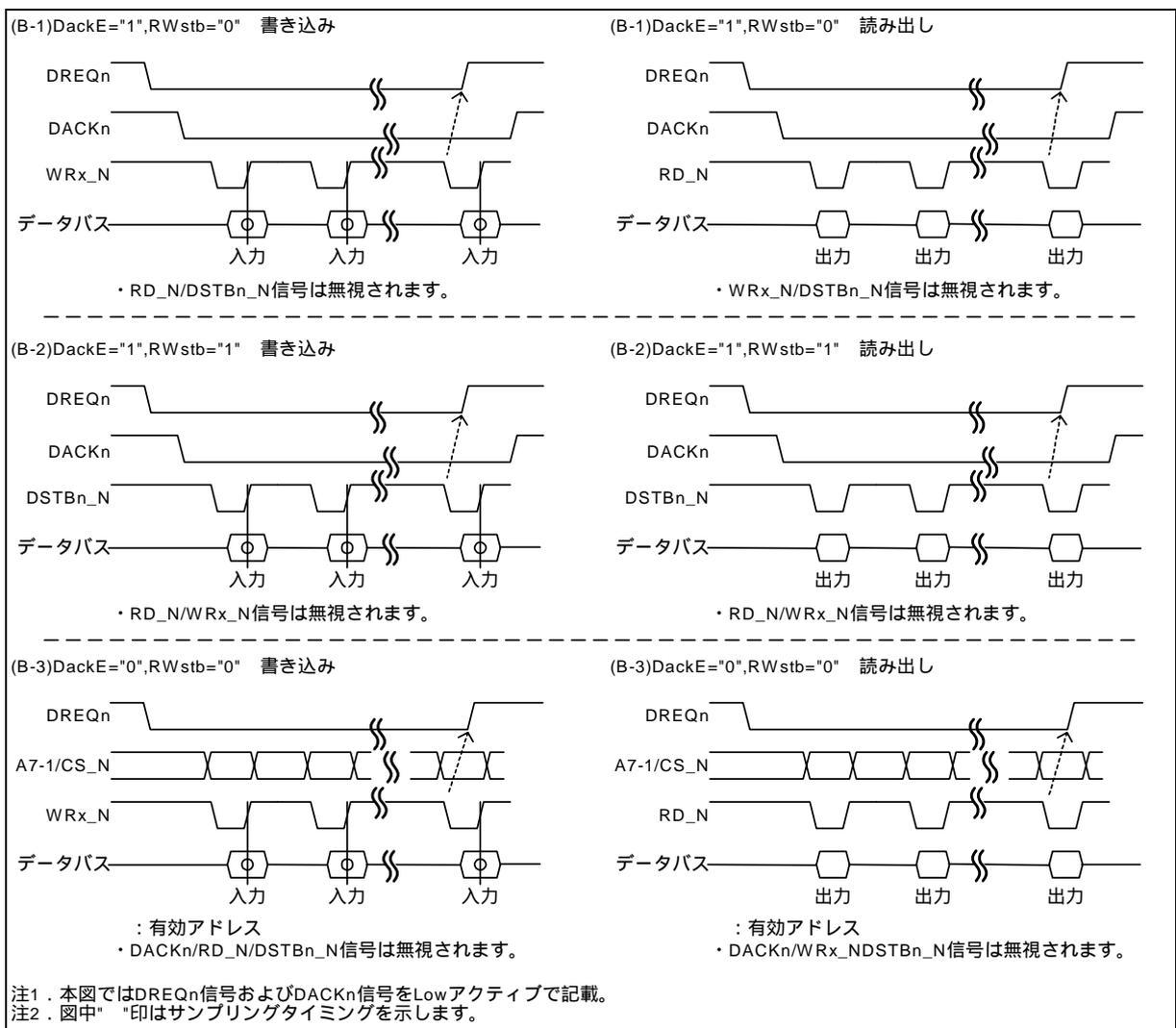


図3.30 DMAバースト転送時のアクセスタイミング

### 3.6.3 DEND信号

M66590は、Dn\_FIFOポートに対しDENDn入出力信号を有します。また各Dn\_FIFOポートのDENDn信号には、使用禁止/許可を決定するDendEビットと極性を選択するDendAビットが「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」にあります。

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの場合には、DENDn信号は出力になり、外部DMAコントローラに対して最後のデータ転送を知らせることができます。DENDn信号出力のアサート条件は、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」のPktmdビットによって動作モードを選択することができます。

(1) Pktmd = “0” : トランザクション終了出力モード

M66590がPIPEのトランザクションの終了を認識し、トランザクションの最後のデータが読み出される時にDENDn信号をアサートします。次の場合にトランザクションの終了と判断します。

- ・ショートパケットを受信した時
- ・トランザクションカウンタを使用し、設定されたカウント値分のパケットを受信した時

DENDn信号は、基本的に最後のデータ読み出しアクセスの時にアサートされますが、バッファが空の状態zero-lengthパケットを受信した場合には、DMAアクセスにかかわらずDENDn信号がアサートされます。またその時には、DREQn信号はアサートされません。

(2) Pktmd = “1” : バッファ終了出力モード

PIPEに設定されたバッファサイズ毎にDENDn信号がアサートされます。CNTMDビット等の設定によって次のようにDENDnが出力されます。DENDn信号のアサートタイミングは、最後のデータ読み出しアクセスのときにアサートされます。

- ・非連続送受信モード (CNTMD = “0”)

マックスパケットサイズ毎にDENDn信号が出力されます。またショートパケットデータを受信した場合には、そのパケットの最後のデータ読み出し時にDENDn信号が出力されます。

- ・連続送受信モード (CNTMD = “1”)

指定したバッファサイズ毎にDENDn信号がアサートされます。またショートパケットデータを受信した場合には、そのパケットの最後のデータ読み出し時にDENDn信号が出力されます。

- ・High Bandwidthモード (NUMTR = “1” or “2”)

マックスパケットサイズの (NUMTR+1) 倍毎にアサートされます。またショートパケットデータを受信した場合には、そのパケットの最後のデータ読み出し時にDENDn信号が出力されます。

また、バッファが空の状態zero-lengthパケットを受信した場合には、DENDn信号はアサートされません。その時には、DREQn信号もアサートされません。

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がINの場合には、DENDn信号は入力になります。バッファがフルでない時にはCPUによるBVALビットの書き込みをしなくても、外部DMACからの最後のデータ転送をDENDn信号で認識し、H/WによってBVALをセットすることができます。

DENDn入力信号のサンプリングタイミングは、DMAアクセスにより書き込まれるデータのサンプリングタイミングと同タイミングです。

### 3.6.4 DBHE信号

M66590は、Dn\_FIFOポートに対しDBHEn入出力信号を有します。このDBHEn信号は、16ビットバス幅のサブリットバスの時のみ有効になります。また「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2,3」のDbheAビットによってDBHEn信号の極性を選択することができます。

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの場合には、DBHEn信号は出力になり、16ビットデータバスの上位ビットが有効であるときにアサートされます。受信データサイズが奇数バイト時かつ最終データアクセス時のみこの信号がネゲートされ、外部DMACに奇数バイトのデータ転送であることを知らせることができます。

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がINの場合には、書き込まれる16ビットデータバスの上位ビットが有効かどうかをDBHEn信号の入力により判断します。外部DMACから奇数バイトのショートパケットデータを書き込む時、DENDn信号と組み合わせて使用することによって、CPUによる制御なしにデータを書き込むことが事ができます。DBHEn入力信号のサンプリングタイミングは、DMAアクセスにより書き込まれるデータのサンプリングタイミングと同タイミングです。

注意事項 : DBHEn信号を入力で使用する時には、最後のDMAアクセス以外はDBHEn信号をネゲートしないで下さい。またDBHEn信号を使用しないときには、常にアサートされるようにDBHEn入力を固定してください。

### 3.6.5 Obusビット

M66590は、Dn\_FIFOポートに対し「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2, 3」のObusビットを有します。このビットは、Dn\_FIFOポートのデータバスとDENDn信号の入出力方法を制御するビットであり、Dn\_FIFOポートがスプリットバスのときのみ有効になります。

(1) Obus = "0" :

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、データバスおよびDENDn信号は常に出力モードになります。そのため連続したDMAリードアクセスでは、DACKn信号およびDSTBn\_N信号にかかわらず次のデータが出力されます。これにより、外部DMACのデータセットアップ時間が確保され、より高速なDMAリードアクセスが可能になります。

設定されたPIPEの方向がINの時には、データバスおよびDENDn信号は常に入力可能状態になります。そのため連続したDMAライトアクセスでは、外部DMACが1回のDMAアクセス終了後すぐに次のデータを出力すれば、M66590のデータセットアップ時間が確保され、より高速なDMAライトアクセスが可能になります。

(2) Obus = "1" :

「Dn\_FIFOポートコントロールレジスタ0」のCurrent\_PIPE [4:0]ビットに設定されたPIPEの方向がOUTの時には、DACKn信号とDSTBn\_N信号が共にアサートされているときのみデータバスおよびDENDn信号は出力モードになります。

設定されたPIPEの方向がINの時には、DACKn信号がアサートされているときのみデータバスおよびDENDn信号は入力可能状態になります。DACKn信号がネゲートされているときには、データバス及びDENDn信号は無視されます。

以下のような使用方法の場合には、Obusビットを"1"に設定してください。

- ・ D0\_FIFOポートとD1\_FIFOポートのバスが共通に設定されている場合
- ・ D0\_FIFOポートとD1\_FIFOポートの各DEND信号が外部でワイヤードされている場合
- ・ Dn\_FIFOポートがOUTの時で、外部DMACがデータを出力する可能性がある場合
- ・ Dn\_FIFOポートがINの時で、データバス及びDENDn信号がHi-Z状態になる可能性がある場合  
(ただし、Pull Up/Down抵抗付であればObus = "0"の設定も可能)

なお、DMAポートがCPUバスに設定された場合には、Obusビットの設定に関係なく、データバスは通常のCPUリードと同様の入出力制御になり、DENDn信号は設定されたPIPEの方向により入出力が決定されます。

図3.31と図3.32を参照してください。

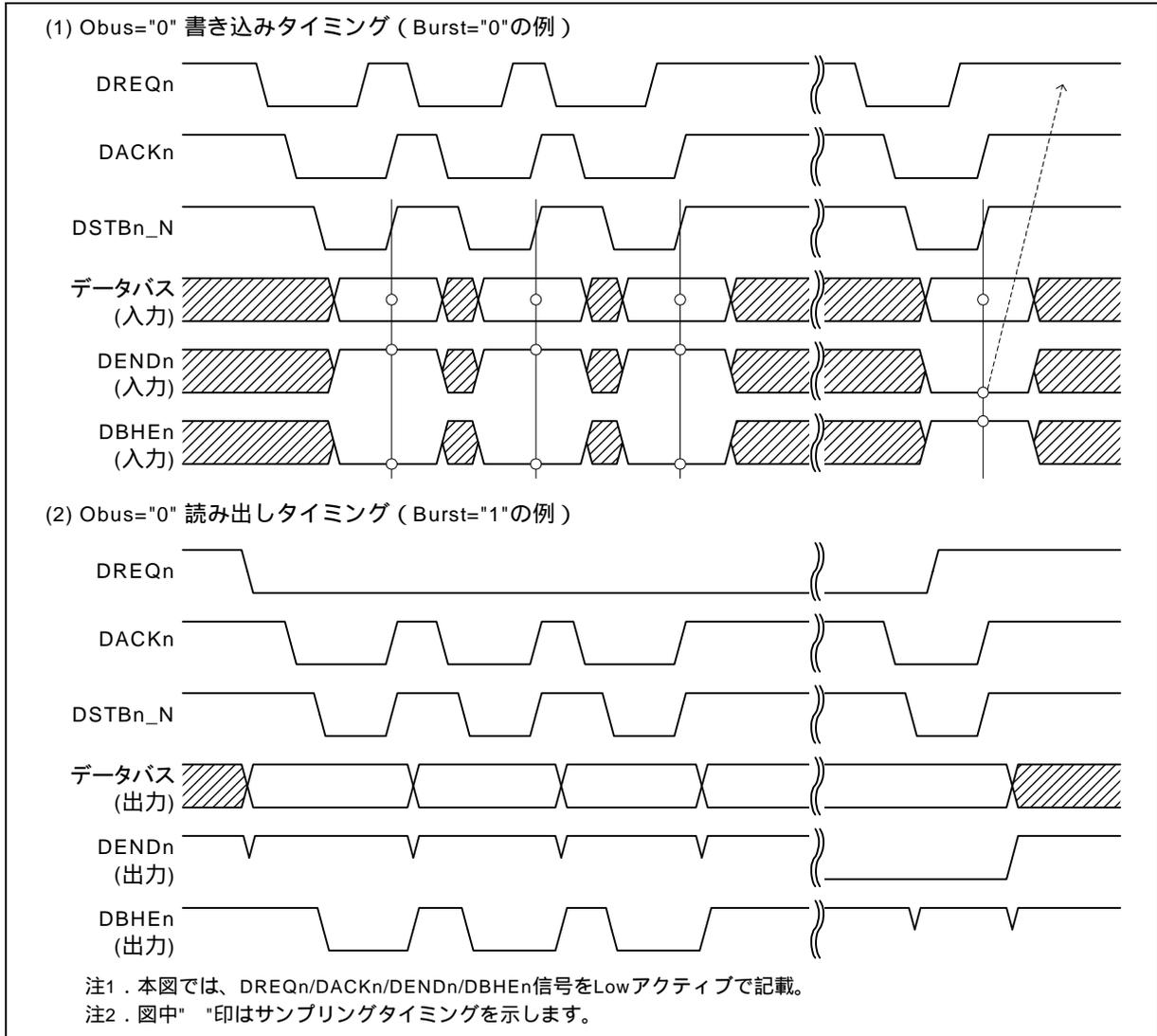


図3.31 Obus="0"時のDMAアクセスタイミング

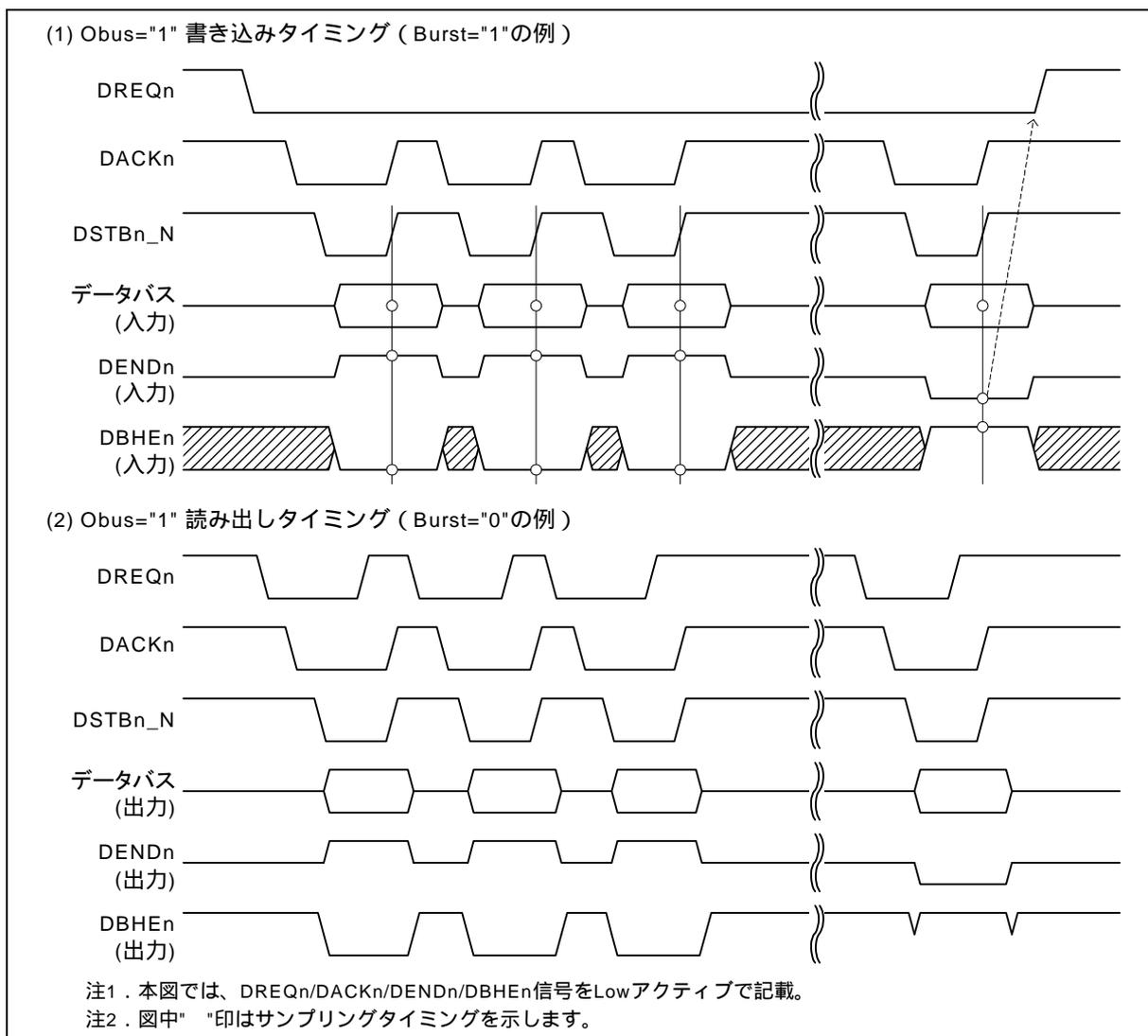


図3.32 Obus="1"時のDMAアクセスタイミング

### 3.6.6 トランザクションカウント機能

トランザクションカウント機能は、連続転送機能を使用したバルクOUT転送で最終パケットがマックスパケットサイズで終了することがある場合に効果があります。

トランザクションカウント機能を使用しない場合には、最終パケットがマックスパケットであり、かつバッファがまだフルになっていない場合には、FIFOポートが読み出し可能状態にならないため、最後の数パケットのデータを読み出すことができません。その場合トランザクションカウント機能を用いて、H/Wにてパケット数をカウントし、指定したパケット数になれば受信終了としてFIFOポートから読み出し可能状態にすることができます。但しトランザクションカウント機能を使用する場合には、指定するPIPEの総パケット数をS/Wによって把握する必要があります。総パケット数が不明の場合には、トランザクションカウント機能および連続転送機能は使用できませんので注意が必要です。

なお、C\_FIFOの場合には、「C\_FIFOポートコントロールレジスタ2」のTGLビットを使用することによりFIFOポートを読み出し可能状態にすることができます。

トランザクションカウント機能は、以下のような設定手順でご使用ください。。

- 「PIPEコンフィギュレーションウィンドウレジスタ0, 1, 2, 3」を設定
- 「Dn\_FIFOポートコントロールレジスタ0」を設定                   : Current\_PIPE [4:0]、TRENb = "1"
- 「Dn\_FIFOポートコントロールレジスタ3」を設定                   : TRNCNT [15:0]ビット値の設定
- 「PIPEiコントロールレジスタ」を設定                               : PID = "01" ( BUF )  受信開始

#### 注意事項

- (1) トランザクションカウントを使用する場合には、指定したPIPEのトランザクションが終了するまで Current\_PIPE [4:0]の変更は禁止です。変更する場合には、トランザクションカウント機能を中止 ( TRENbビットに"0"を設定 ) し、TRclrビットへの"1"書き込みによってカレントカウントレジスタをクリアしてから、Current\_PIPE [4:0]ビットを変更するようにしてください。
- (2) TRENb = "1"かつPID = "01"の時には、TRclrビットに"1"を書き込まないでください。TRclrビットへの"1"書き込みによってカレントカウントレジスタをクリアし、カウントを再開する場合には、一旦PID = "00"に設定後、C\_FIFOポートレジスタとDn\_FIFOポートレジスタ ( n = 0, 1 ) を使用してそのPIPEのデータをすべて読み出すか、ACLR等によってFIFOバッファ内のデータをクリアしてから、TRclr = "1"を書き込んでください。

3.6.7 自動バッファクリア(ABCR)機能

自動バッファクリア機能は、OUT転送においてDn\_FIFO (n = 0、1) を使用し、S/Wによる制御を行わず転送を行いたい場合に効果があります。

通常、DMAモード (BFRE = "1") を使用したDMA転送では、ショートパケットデータ等を受信した時に、「Dn\_FIFOポートコントロールレジスタ2 (n = 0、1)」のDMA\_DLTN [12:0]を読み出すことによって最後の読み出したデータサイズを確認することが出来ます。その時には、H/WによってBVAL等のバッファ情報がクリアされないため、S/Wによるバッファクリア処理 (BCLR = "1") が必要になります。

表3.6 パケット受信とRDY割り込みおよびバッファクリア処理

	BFRE = "0" (CPUモード)		BFRE = "1" (DMAモード)	
	RDY割り込	BCLR処理	RDY割り込	BCLR処理
マックスパケット受信+バッファフル	受信時に発生*1	不要	発生しない	不要
長さ0のショートパケット受信	受信時に発生*1	必要	受信時に発生*1	必要
長さ0以外のショートパケット受信	受信時に発生*1	不要	データ読み出し完了時に発生	必要
トランザクションカウント終了	受信時に発生*1	不要	データ読み出し完了時に発生	必要

\*1: ダブルバッファの設定の時には、受信時にもう片方のバッファがまだ読み出し完了していなければ、読み出しが完了するまでRDY割り込みは発生しません。

S/Wによる制御なしにショートパケット受信を含んだ連続したトランザクションをDMA転送するシステムの場合には、自動バッファクリア機能を許可 (ABCR = "1") にしてください。この場合、データ読み出し完了時にH/Wによって自動的にバッファがクリアされ、次のデータを受信可能状態にします。

またABCR = "1"の場合でもRDY割り込みの発生条件には影響しません。この機能を使用したPIPEに対してRDY割り込みを発生させたくない場合には、「INT0コンフィギュレーションレジスタ2」のPIPEB\_RE [6:1]ビットの対応するビットを"0"にして割り込み出力をマスクしてください。

なお、Current\_PIPE [4:0]にIN方向のPIPEを指定している場合には、ABCRビットの設定は無効になります。

3.6.8 Dn\_FIFOポート設定しているカレントPIPEの外部制御機能

CPUのバス幅が16bitバスアクセス時には、Dn\_FIFOポートに対するカレントPIPE (Current\_PIPE [4:0]) 指定を外部EXCTRLn端子とEXTRGn\_N端子を用いて変更することが出来ます。

カレントPIPE外部制御機能を使用する場合には、「Dn\_FIFOポートコントロールレジスタ1 (n = 0, 1)」のStart\_PIPE [4:0]ビットとEnd\_PIPE [4:0]ビットを設定しExCtrlEnに"1"を書き込むことによって動作許可になります。その場合、EXCTRLn端子はEXTRGn\_N端子の立ち上がりエッジでサンプリングされ、EXCTRLn端子の値によってPIPEマッピングは次の通りに切り換えられます。

EXCTRLn = "L" : Start\_PIPE [4:0]に切り換えられます。

EXCTRLn = "H" : マッピングされている現在のPIPE (N) をPIPE (N+1) に切り換えます。マッピングされているPIPEがEnd\_PIPE [4:0]の場合、Start\_PIPE [4:0]に切り換えます。

なお、現在のPIPEはCurrent\_PIPE [4:0]によって読み出すことができます。

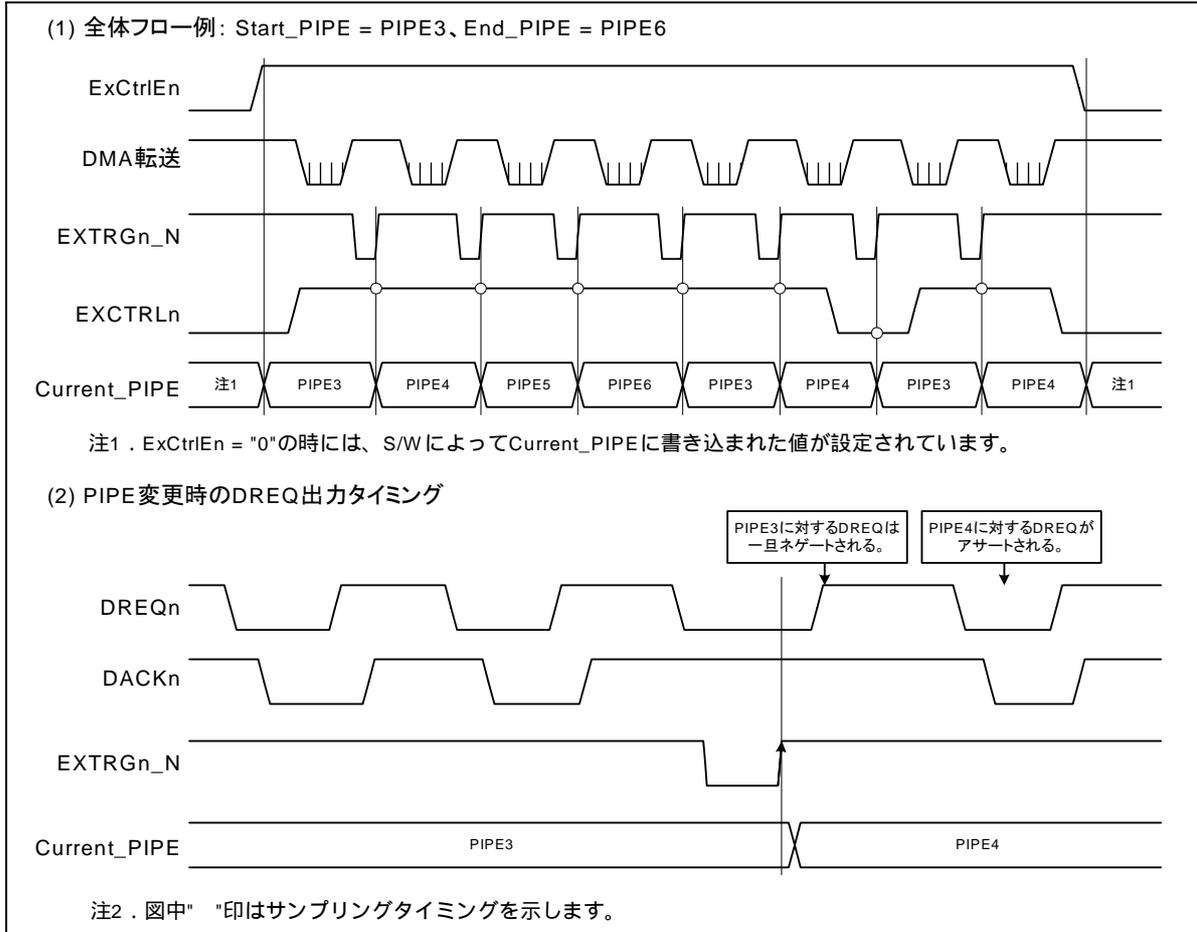


図3.33 Dn\_FIFOポートのカレントPIPE外部制御

注意事項

- (1) CPUのバス幅が32bitバスアクセス時には、ExCtrlEnビットに"1"を書き込まないで下さい。
- (2) PIPEがOUT方向設定かつ、DEND出力を許可した時場合には、各PIPE毎にDENDが出力されます。Start\_PIPEからEnd\_PIPEに含まれているPIPE毎にDEND許可 / 不許可の設定はできません。
- (3) カレントPIPEの外部制御を行いながら、一旦ExCtrlEnを"0"にしても内部カレントPIPE制御レジスタはクリアされません。従って再びExCtrlEnを"1"にした時には、前回と同じPIPEから始まります。
- (4) ExCtrlEnが"0"の時にEXTRGn\_N端子を立ち上げた場合には、EXCTRLnの値にかかわらず内部回路はStart\_PIPEにセットされます。従ってこの状態で、ExCtrlEnビットを"1"にした場合には、Start\_PIPEから開始されます。

### 3.7 アイソクロナス転送機能

M66590はアイソクロナス転送に以下の機能を持っています。

- (1) アイソクロナス転送のエラー情報
- (2) インターバルカウンタ
- (3) アイソクロナスIN転送データセットアップ制御
- (4) アイソクロナスIN転送バッファフラッシュ機能
- (5) High Bandwidthアイソクロナス転送
- (6) SOF出力機能

#### 3.7.1 アイソクロナス転送のエラー情報

M66590は、アイソクロナス転送において転送エラーが発生した場合でもファームウェアで管理できるように、エラー情報通知機能を持っています。

表3.7、表3.8にエラーをチェックする順番とエラー発生時に発生する割り込みについて説明します。

- (1) PIDエラー  
PIDが不正な場合。
- (2) CRCエラー、ビットスタッフィングエラー  
受信パケットのCRCにエラーがあった場合、あるいは、ビットスタッフィングが不正な場合。
- (3) マックスパケットサイズオーバー  
マックスパケットサイズが設定値を越えていた場合。
- (4) オーバラン、アンダーランエラー  
アイソクロナスIN転送時にINトークンに対してのデータ送信が間に合わなかった場合、  
あるいは、アイソクロナスOUT転送時にOUTトークンを受信したがバッファメモリが空きではなかった場合。
- (5) インターバルエラー  
アイソクロナス転送でインターバルフレームにトークンを受信できなかった場合。  
(このエラーは、IN方向では発生しません、OUT方向でのみ発生します)

表3.7 トークン受信時

チェックの順番	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(無視)
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず(無視)
3	オーバーラン、アンダーランエラー	NRDY割り込み発生、OVRNビットセット
4	インターバルエラー (OUT方向の場合のみ)	NRDY割り込み

表3.8 データパケット受信時

チェックの順番	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(無視)
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込み発生、CRCEビットセット
3	マックスパケットサイズオーバーエラー	BEMP割り込み発生、PIDを"STALL"にセット

また、High BandwidthアイソクロナスOUT転送の場合には、データパケットエラーでなくてもマイクロフレーム毎の受信パケットの内容によりNRDYまたはBEMP割り込みを発生します。詳細は、「0 High Bandwidthアイソクロナス転送」を参照してください。

3.7.2 インターバルカウンタ

「PIPEコンフィギュレーションウィンドウレジスタ3」のIITV [3:0]レジスタはアイソクロナス転送のインターバルを設定します。

インターバルカウンタにより、下記の機能を実現します。図3.34を参照してください。

(1) アイソクロナスIN転送の場合

INトークンがこのビットで指定したインターバルより早いインターバルで送信されてきた場合、M66590はバッファに送信データが存在すればデータを送信します。

送信データがなければ、zero-lengthパケットを送信します。またこの場合NRDY割り込みを発生します。

(2) アイソクロナスOUT転送の場合

OUTトークンが欠落したときにNRDY割り込みがアサートされます。

インターバルのカウントは、SOFの受信または補完されたSOFで行いますので、SOFが破損しても等時性を保つことができます。設定できるフレーム間隔は $2^{IITV} (\mu)$  フレームです。

リセット（またはUSBE = “1”）の後のインターバルカウンタは、下記の通り動作します。

・ IN転送の場合

データがバッファに書き込まれ、一つ目のINトークンに対し送信された後にインターバルカウンタがスタートします。ただし、IITV=0 の場合は、PIDをBUF(“01”)に設定直後からスタートします。

・ OUT転送の場合

PIDがBUF(“01”)に設定され、一つ目のOUTトークンを正常に受信した後にインターバルカウンタがスタートします。

・ インターバルカウンタがスタートした後、SOFの受信またはSOF補間イベントによってカウントアップされます。

・ インターバルを違反したアイソクロナストークン（INまたはOUT）パケット受信によるカウンタリセットは発生しません。リセット検出またはACLR設定されるまで、カウンタはカウントアップし続けます。

・ 下記イベントを検出したらカウンタは0にリセットされストップします。

(A) ハードウェアリセット

(B) ソフトウェアリセット（USBE = “0”）

(C) USBリセット

(D) ACLRの設定

PID（NAKまたはSTALL）の変更によるカウンタリセットは発生しません。

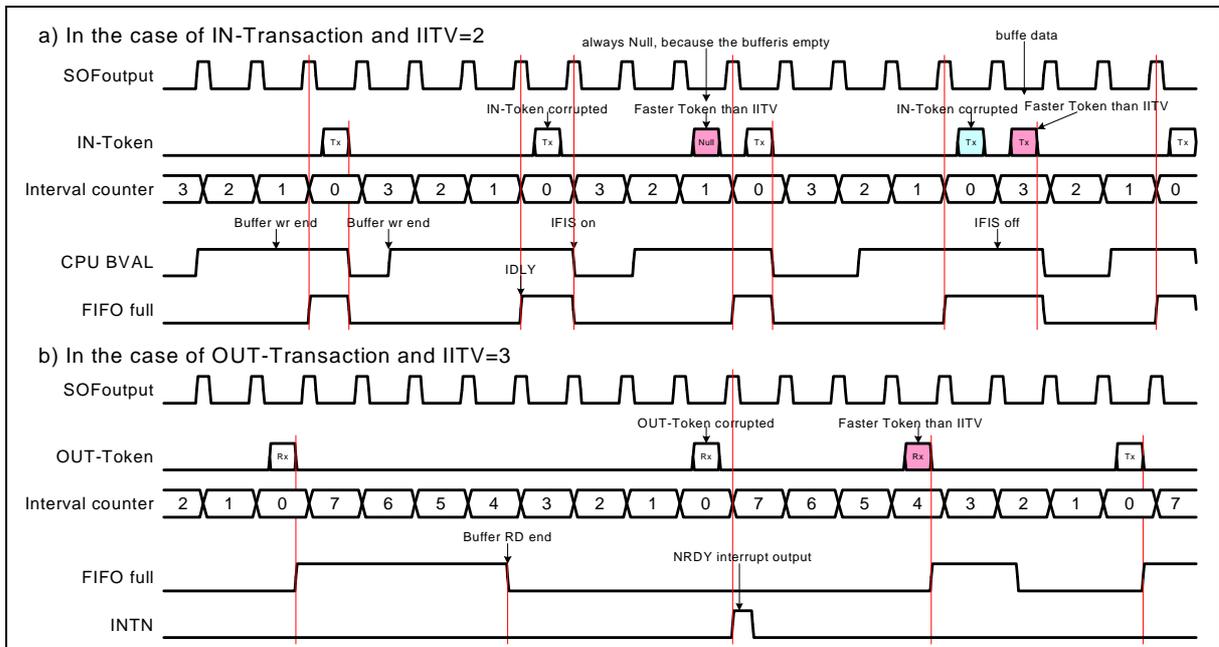


図3.34 アイソクロナス転送IITV機能

注意事項：インターバルカウンタはサスペンド状態になってもリセットされないため、サスペンド状態になったときにACLRでクリアする必要があります。クリアを行わない場合には、サスペンドからレジュームされ復帰したあとインターバルカウンタが正しく動作しません。

3.7.3 アイソクロナスIN転送データセットアップ制御

M66590のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナスIN転送データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリは1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、zero-lengthパケットを送出しアンダーランエラーとなります。

図3.35を参照してください。

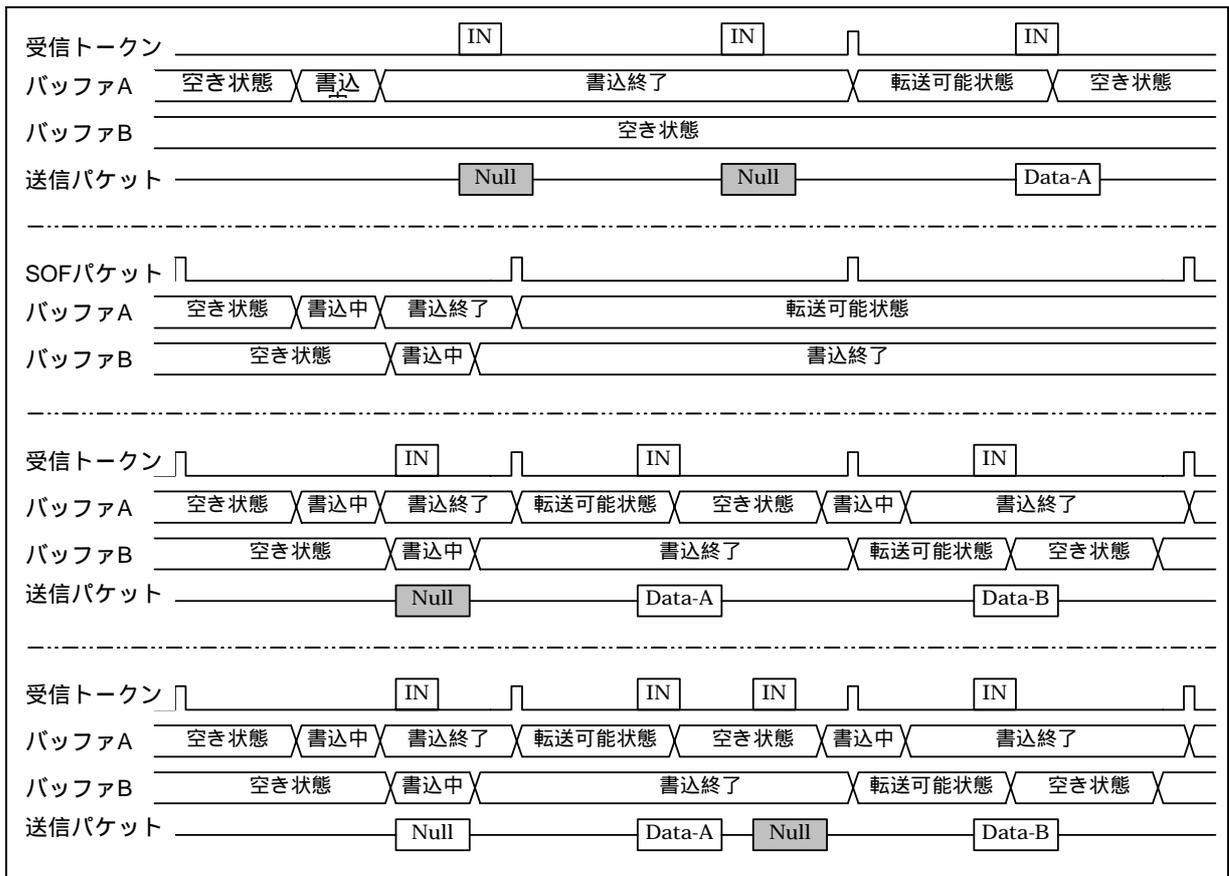


図3.35 データセットアップ機能動作例

3.7.4 アイソクロナスIN転送バッファフラッシュ機能

M66590は、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず(μ)SOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ)SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はIITVビット設定値により動作開始タイミングが異なります。

(a) IITV = “0”の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

(b) IITV = “0”以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図3.36にM66590のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出手続きはアンダーランエラーとしてzero-lengthパケットを送出します。



図3.36 バッファフラッシュ機能動作例

注意事項：インターバルカウンタはサスペンド状態になってもリセットされないため、サスペンド状態になったときにACLRでクリアする必要があります。クリアを行わない場合には、サスペンドからレジュームされ復帰したあとIDLY機能が正しく動作しません。

3.7.5 High Bandwidthアイソクロナス転送

アイソクロナス転送では、NUMTR [1:0]ビットによりHigh Bandwidthアイソクロナス転送の制御を以下のように行います。

a) OUT転送の場合

表3.9 High BandwidthアイソクロナスOUT転送

NUMTR [1:0]	項目	マイクロフレーム毎のデータPIDシーケンス	振る舞い
'10' (3packets)	正常受信	M->M->2->S M->1->S 0->S	2 または 1 または 0を受信した後、BSTSは"1"になります。
	ホストは正常送信しますが、パケットが欠落した場合	M->M->x->SOF M->x->2->SOF x->1->SOF etc.	NRDY割り込みが発生し、バッファがHWによってクリアされます。
	ホストの異常送信。 Case1：フォーマットエラー	M->0->SOF M->M->M->SOF	EMP_OVR割り込みが発生し、バッファがHWによってクリアされ、PIDがHWによってSTALLに設定されます。
	ホストの異常送信。 Case2：1フレームの中に同じデータPIDが2回または2回以上送信	M->1->M->1->SOF 0->0->SOF etc.	バッファがエンプティの場合、2回目以降のデータも受信しません。
'01' (2packets)	エニュメレーションエラー	M->M->2->SOF M->x->2->SOF x->M->2->SOF	EMP_OVR割り込みが発生し、バッファがHWによってクリアされ、PIDがHWによってSTALLに設定されます。
	正常受信	M->1->SOF 0->SOF	1 または 0を受信した後、BSTSは"1"になります。
	ホストは正常に送信しますが、パケットが欠落した。	x->1->SOF M->x->SOF	NRDY割り込みが発生し、バッファがHWによってクリアされます。
	ホストの異常送信。 Case1：フォーマットエラー	M->0->SOF	EMP_OVR割り込みが発生し、バッファがHWによってクリアされ、PIDがHWによってSTALLに設定されます。
	ホストの異常送信 Case2：1フレームの中に同じPIDが2回または2回以上送信	M->1->M->1->SOF 0->0->SOF etc.	バッファがエンプティの場合、2回目以降のデータも受信しません。
'00' (1packets)	エニュメレーションエラー	なし	-
	正常受信	0->SOF 1->SOF 2->SOF M->SOF	パケットを受信した後BSTSが"1"になります。
	ホストが正常に送信しますが、パケットが欠落した。	なし	-
	ホストの異常送信 Case1：フォーマットエラー	なし	-
	ホストの異常送信： Case2：1フレームの中に同じPIDが2回または2回以上送信	0->0->SOF M->1->SOF, etc.	バッファがエンプティの場合、2回目以降のデータも受信しません。

\*) 凡例：M=MDATA, 2=DATA2, 1=DATA1, 0=DATA0, x=PID欠落, SOF=SOF.

b) IN転送の場合

表3.10 High BandwidthアイソクロナスIN転送

NUMTR [1:0]	CPU (またはDMA) によるバッファに書き込んだデータサイズ	マイクロフレーム毎のデータPIDシーケンス	備考
'10' (3packets)	Buffer data = MXPS [10:0] * 3	2 -> 1-> 0 -> SOF	-
	Buffer data = MXPS [10:0] * 2 + ShortPacket	2 -> 1 -> 0-> SOF	CPUでBVALを“1”に設定します。
	Buffer data <= MXPS [10:0] * 2	1 -> 0 -> SOF	CPUでBVALを“1”に設定します。
	Buffer data <= MXPS [10:0]	0 -> SOF	CPUでBVALを“1”に設定します。
'01' (2packets)	Buffer data = MXPS [10:0] * 2	1 -> 0 -> SOF	-
	Buffer data = MXPS [10:0] + ShortPacket	1 -> 0 -> SOF	CPUでBVALを“1”に設定します。
	Buffer data <= MXPS [10:0]	0 -> SOF	CPUでBVALを“1”に設定します。
'00' (1packets)	Buffer data = MXPS [10:0]	0 -> SOF	-
	Buffer data < MXPS [10:0]	0 -> SOF	CPUでBVALを“1”に設定します。

\*) 凡例： M=MDATA, 2=DATA2, 1=DATA1, 0=DATA0, x=PID欠落, SOF=SOF

1フレームの中のHigh Bandwidth転送が終了した後に、さらにINトークンを受信した場合、M66590は送信可能なデータがある場合送信データ、送信可能なデータが無い場合zero-lengthパケットを、DATA0で送信します。

3.7.6 SOF出力機能

SOF出力許可されている場合、M66590はSOFを受信したタイミングでSOF信号を出力することができます。「SOFピンコンフィギュレーションレジスタ」のSOFMODEビットの値が“01”（1ms SOF）または“10”（125 μs SOF）の時に、SOF端子から“SOF信号”というパルスを等間隔で出力します。この信号の極性は“SOFA”ビットによりコントロールされ、パルス幅は48MHzの32周期分の期間です（約640ns）。パルスのタイミングについては図3.37を参照してください。M66590は、SOFパケット受信イベントまたは、“SOF補間”イベントによってSOF出力を等間隔に出力しています。

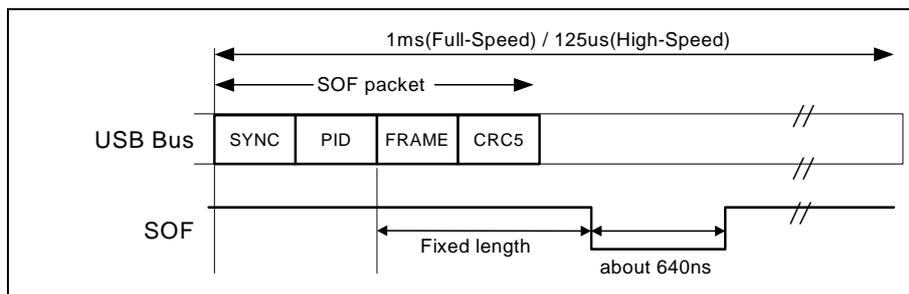


図3.37 SOF出力タイミング

SOF補間とは、次のような定義です。

1ms(Full-Speed)または125us(Hi-Speed)の間隔でホストからのSOFパケットを受信できなかったら、「SOF補間」機能が動作します。M66590はSOFパケットの受信なしでSOF信号を出力します。1ms(Full-Speed)または125us(Hi-Speed)の間隔範囲は次の通りです。

- フルスピード ( Full-Speed ) : 0.9995ms ~ 1.0005ms ( 約1.0000ms )
- ハイモード ( Hi-Speed ) : 124.90us ~ 125.1us ( 約125.00 μs )

## 4 電気的特性

### 4.1 絶対最大定格

記号	項目	定格値	単位
VDD	コア電源電圧	-0.3~+4.2	V
VIF	IO 電源電圧	-0.3~+6.5	V
AFEAVDD	USB トランシーバ部アナログ電源電圧	-0.3~+4.2	V
AFEDVDD	USB トランシーバ部デジタル電源電圧	-0.3~+4.2	V
BIASVDD	BIAS 電源電圧	-0.3~+4.2	V
PLLVDD	PLL 電源電圧	-0.3~+4.2	V
Vbus	Vbus 入力電圧	-0.3~+5.5	V
V <sub>I</sub> (IO)	システムインタフェース入力電圧	-0.3 ~VIF+0.3	V
V <sub>O</sub> (IO)	システムインタフェース出力電圧	-0.3~VIF+0.3	V
Pd	消費電力	1250	mW
Tstg	保存温度	-55~+150	°C

### 4.2 推奨動作条件

記号	項目		規格値			単位
			最小	標準	最大	
VDD	コア電源電圧		3.0	3.3	3.6	V
VIF	IO 電源電圧	5V 対応	4.5	5.0	5.5	V
		3V 対応	2.7	3.3	3.6	V
AFEAVDD	USB トランシーバ部アナログ電源電圧		3.0	3.3	3.6	V
AFEDVDD	USB トランシーバ部デジタル電源電圧		3.0	3.3	3.6	V
BIASVDD	BIAS 電源電圧		3.0	3.3	3.6	V
PLLVDD	PLL 電源電圧		3.0	3.3	3.6	V
AFEAGND	USB トランシーバ部アナログ電源 GND			0		V
AFEDGND	USB トランシーバ部デジタル電源 GND			0		V
BIASGND	BIAS 電源 GND			0		V
PLLGND	PLL 電源 GND			0		V
DGND	電源 GND			0		V
V <sub>I</sub> (IO)	システムインタフェース入力電圧		0		VIF	V
V <sub>I</sub> (Vbus)	入力電圧 (Vbus 入力のみ)		0		5.25	V
V <sub>O</sub> (IO)	システムインタフェース出力電圧		0		VIF	V
Topr	動作周囲温度		0	+25	+70	
tr, tf	入力上昇、下降時間	ノーマル入力			500	ns
		シュミットトリガ入力			5	ms

4.3 電気的特性 ( VIF = 2.7 ~ 3.6V, VDD = 3.0 ~ 3.6V対応規格 )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V <sub>IH</sub>	"H"入力電圧	Xin	VDD = 3.6V		2.52	3.6	V
V <sub>IL</sub>	"L"入力電圧		VDD = 3.0V		0	0.9	V
V <sub>IH</sub>	"H"入力電圧	注 1	VIF = 3.6V		0.7VIF	3.6	V
V <sub>IL</sub>	"L"入力電圧		VIF = 2.7V		0	0.3VIF	V
VT+	正方向スレッシュホールド電圧	注 2	VIF = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧				0.5	1.65	V
V <sub>TH</sub>	ヒステリシス電圧				0.8		V
V <sub>OH</sub>	"H"出力電圧	Xout	VDD = 3.0V	I <sub>OH</sub> = -50uA	2.6		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 50uA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注 3	VIF = 2.7V	I <sub>OH</sub> = -2mA	VIF-0.4		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 2mA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注 4	VIF = 2.7V	I <sub>OH</sub> = -4mA	VIF-0.4		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 4mA		0.4	V
VT+	正方向スレッシュホールド電圧	注 5	VDD = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧				0.5	1.65	V
I <sub>IH</sub>	"H"入力電流		VIF = 3.6V	V <sub>I</sub> = VIF		10	uA
I <sub>IL</sub>	"L"入力電流			V <sub>I</sub> = GND		-10	uA
I <sub>OZH</sub>	オフ状態"H"出力電流	D31-0	VIF = 3.6V	V <sub>O</sub> = VIF		10	uA
I <sub>OZL</sub>	オフ状態"L"出力電流			V <sub>O</sub> = GND		-10	uA
R <sub>dv</sub>	ブルダウン抵抗	注 5			500		k
R <sub>dt</sub>	ブルダウン抵抗	注 6			50		k
I <sub>cc(A)</sub>	動作時平均電源電流 ( Full-Speed 動作時 )	注 7	VDD = VIF = 3.3V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			45	mA
			f(Xin) = 48MHz VDD = VIF = 3.6V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			60	mA
I <sub>cc(A)</sub>	動作時平均電源電流 ( Hi-Speed 動作時 )	注 7	VDD = VIF = 3.3V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			200	mA
			f(Xin) = 48MHz VDD = VIF = 3.6V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			330	mA

## M66590FP

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC(S)</sub>	静止時電源電流	注7	USB サスペンド状態 f(Xin)クロック発振禁止状態 VDD = VIF = 3.3V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25		30		uA
			USB サスペンド状態 f(Xin)クロック発振禁止状態 VDD = VIF = 3.6V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V			300	uA
C <sub>IN</sub>	端子容量 (入力)		4	7	15	pF	
C <sub>OUT</sub>	端子容量 (出力/入出力)		4	7	15	pF	

- 注1 : A7-1, TEST0, TEST1, TEST2入力端子、及びD31-0, DEND0, DEND1, DBHE0, DBHE1入出力端子  
 注2 : B32, CS\_N, RD\_N, WR0\_N, WR1\_N, WR1\_N, WR2\_N, WR3\_N, DACK0, DACK1, RST\_N入力端子  
 注3 : INT0, DREQ0, DREQ1出力端子  
 注4 : D31-0入出力端子、SOF出力端子  
 注5 : VBUS入力端子 (AFEDVDD電源が入っている状態)  
 注6 : TEST0, TEST1, TEST2入力端子  
 注7 : 電源電流はVDD, VIF, AFEAVDD, AFEDVDD, BIASVDD, PLLVDDの合計電流

4.4 電気的特性 ( VIF = 4.5 ~ 5.5V, VDD = 3.0 ~ 3.6V対応規格 )

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V <sub>IH</sub>	"H"入力電圧	Xin	VDD = 3.6V		2.52	3.6	V
V <sub>IL</sub>	"L"入力電圧		VDD = 3.0V		0	0.9	V
V <sub>IH</sub>	"H"入力電圧	注 1	VIF = 5.5V		0.7VIF	5.5	V
V <sub>IL</sub>	"L"入力電圧		VIF = 4.5V		0	0.3VIF	V
VT+	正方向スレッシュホールド電圧	注 2	VIF = 5.0V		2.3	3.7	V
VT-	負方向スレッシュホールド電圧		1.25	2.3	V		
VTH	ヒステリシス電圧		0.8		V		
V <sub>OH</sub>	"H"出力電圧	Xout	VDD = 3.0V	I <sub>OH</sub> = -50uA	2.6		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 50uA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注 3	VIF = 4.5V	I <sub>OH</sub> = -2mA	4.1		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 2mA		0.4	V
V <sub>OH</sub>	"H"出力電圧	注 4	VIF = 4.5V	I <sub>OH</sub> = -4mA	4.1		V
V <sub>OL</sub>	"L"出力電圧			I <sub>OL</sub> = 4mA		0.4	V
VT+	正方向スレッシュホールド電圧	注 5	VDD=3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧		0.5	1.65	V		
I <sub>IH</sub>	"H"入力電流		VIF = 5.5V	V <sub>I</sub> = VIF		10	uA
I <sub>IL</sub>	"L"入力電流			V <sub>I</sub> = GND		-10	uA
I <sub>OZH</sub>	オフ状態"H"出力電流	D31-0	VIF = 5.5V	V <sub>O</sub> = VIF		10	uA
I <sub>OZL</sub>	オフ状態"L"出力電流			V <sub>O</sub> = GND		-10	uA
R <sub>dv</sub>	ブルダウン抵抗	注 5			500		k
R <sub>dt</sub>	ブルダウン抵抗	注 6			50		k
I <sub>cc(A)</sub>	動作時平均電源電流 ( Full-Speed 動作時 )	注 7	VDD = 3.3, VIF = 5.0V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン トラプト転送中			45	mA
			f(Xin) = 48MHz VDD = 3.6V, VIF = 5.5V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン トラプト転送中			60	mA
I <sub>cc(A)</sub>	動作時平均電源電流 ( Hi-Speed 動作時 )	注 7	VDD = 3.3V, VIF = 5.0V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン トラプト転送中			200	mA
			f(Xin) = 48MHz VDD = 3.6V, VIF = 5.5V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン トラプト転送中			330	mA

# M66590FP

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC(S)</sub>	静止時電源電流	注7	USB サスペンド状態 f(Xin)クロック発振禁止状態 VDD = 3.3V, VIF = 5.0V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25		30		uA
			USB サスペンド状態 f(Xin)クロック発振禁止状態 VDD = 3.6V, VIF = 5.5V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V			300	uA
C <sub>IN</sub>	端子容量 (入力)		4	7	15	pF	
C <sub>OUT</sub>	端子容量 (出力/入出力)		4	7	15	pF	

- 注1 : A7-1, TEST0, TEST1, TEST2入力端子、及びD31-0, DEND0, DEND1, DBHE0, DBHE1入出力端子  
 注2 : B32, CS\_N, RD\_N, WR0\_N, WR1\_N, WR1\_N, WR2\_N, WR3\_N, DACK0, DACK1, RST\_N入力端子  
 注3 : INT0, DREQ0, DREQ1出力端子  
 注4 : D31-0入出力端子、SOF出力端子  
 注5 : VBUS入力端子 (AFEDVDD電源が入っている状態)  
 注6 : TEST0, TEST1, TEST2入力端子  
 注7 : 電源電流はVDD, VIF, AFEAVDD, AFEDVDD, BIASVDD, PLLVDDの合計電流

## 4.5 電気的特性 (D+ / D-)

## 4.5.1 DC特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
R <sub>s</sub>	DFP(DFM)とDHP(DHF)間の直列抵抗		42.57	43	43.43		
R <sub>o</sub>	出力インピーダンス	直列抵抗 R <sub>s</sub> を含む	40.5	45	49.5		
R <sub>pu</sub>	D+プルアップ抵抗		1.425	1.5	1.575	K	
Full-Speed 時の入力特性							
V <sub>IH</sub>	"H"入力電圧		2.0			V	
V <sub>IL</sub>	"L"入力電圧				0.8	V	
V <sub>DI</sub>	差分入力感度	(D+)-(D-)	0.2			V	
V <sub>CM</sub>	差分コモンモード範囲		0.8		2.5	V	
Full-Speed 時の出力特性							
V <sub>OL</sub>	"L"出力電圧	AFEAVDD = 3.0V	1.5K の RL から			0.3	V
V <sub>OH</sub>	"H"出力電圧		15K の RL から	2.8		3.6	V
V <sub>SE</sub>	シングルエンディッドレシーバスレッシュホールド電圧		0.8		2.0	V	
V <sub>ORS</sub>	出力信号クロスオーバー電圧	CL=50pF	1.3		2.0	V	
Hi-Speed 時の入力特性							
V <sub>HSSQ</sub>	スケルチ検出スレッシュホールド電圧 (差動電圧)		100		150	mV	
V <sub>HSCM</sub>	コモンモード電圧範囲		-50		500	mV	
Hi-Speed 時の出力特性							
V <sub>HSOI</sub>	アイドル状態		-10.0		10	mV	
V <sub>HSOH</sub>	"H"出力電圧		360		440	mV	
V <sub>HSOL</sub>	"L"出力電圧		-10.0		10	mV	
V <sub>CHIRPJ</sub>	Chirp J 出力電圧 (差分)		700		1100	mV	
V <sub>CHIRPK</sub>	Chirp K 出力電圧 (差分)		-900		-500	mV	

**4.5.2 AC特性 ( Full-Speed )**

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
tr	立ち上がり時間	データ信号: 振幅の 10%→90%	CL=50pF	4		20	ns
tf	立ち下がり時間	データ信号: 振幅の 90%→10%	CL=50pF	4		20	ns
TRFM	立ち上がり/立ち下がり時間比	tr/tf		90		111.11	%

4.6 スイッチング特性(VIF=3.0 ~ 3.6、又は4.5 ~ 5.5V)

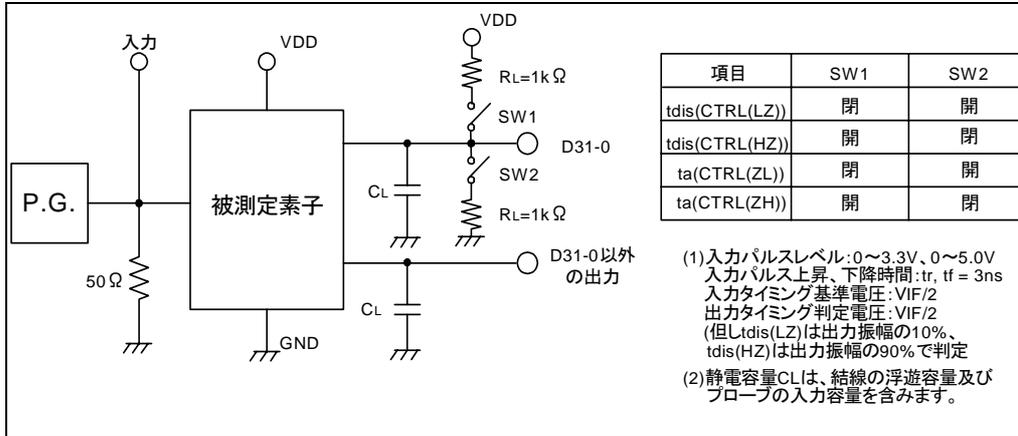
記号	項目	測定条件、 その他	規格値			単位	参照 番号
			最小	標準	最大		
ta(A)	アドレスアクセス時間	CL=50pF			40	ns	①
tv(A)	アドレス後データ有効時間	CL=10pF	2			ns	②
ta(CTRL-D)	コントロール後データアクセス時間	CL=50pF			30	ns	③
tv(CTRL-D)	コントロール後データ有効時間	CL=10pF	2			ns	④
ten(CTRL-D)	コントロール後データ出力イネーブル時間		2			ns	⑤
tdis(CTRL-D)	コントロール後データ出力ディセーブル時間	CL=50pF			30	ns	⑥
ta(CTRL-DV)	スプリットバス ( DMA Interface ) ・ Obus=0 の時、コントロール後データアクセス時間	CL=30pF			30	ns	⑦
tv(CTRL-DV)	スプリットバス ( DMA Interface ) ・ Obus=0 の時、コントロール後データ有効時間	CL=10pF	2			ns	⑧
ta(CTRL-DendV)	コントロール後 DEND 出力アクセス時間	CL=30pF			30	ns	⑨
tv(CTRL-DendV)	コントロール後 DEND 出力有効時間	CL=10pF	2			ns	⑩
ta(CTRL-Dend)	スプリットバス ( DMA Interface ) ・ Obus=1 の時、コントロール後 DEND 出力アクセス時間	CL=30pF			30	ns	⑪
tv(CTRL-Dend)	スプリットバス ( DMA Interface ) ・ Obus=1 の時、コントロール後 DEND 出力有効時間	CL=10pF	2			ns	⑫
ten(CTRL-Dend)	スプリットバス ( DMA Interface ) ・ Obus=1 の時、コントロール後 DEND 出力イネーブル時間		2			ns	⑬
tdis(CTRL-Dend)	スプリットバス ( DMA Interface ) ・ Obus=1 の時、コントロール後 DEND 出力ディセーブル時間	CL=30pF			30	ns	⑭
ta(CTRL-Dbhe)	コントロール後 DBHE 出力アクセス時間				30	ns	⑮
tv(CTRL-Dbhe)	コントロール後 DBHE 出力有効時間	CL=10pF	2			ns	⑯
tdis(CTRL - Dreq )	コントロール後 Dreq ディセーブル時間	CL=30pF			70	ns	⑰
ten(CTRL-Dreq )	コントロール後 Dreq イネーブル時間		30			ns	⑱
twh(Dreq )	Dreq"H"パルス幅		20		50	ns	⑳
tw(ZDEND)	zero-length データ DEND 出力パルス幅		320			ns	㉑
td(CTRL-INT)	INT ネゲート遅延時間				250	ns	㉒
twh(INT)	INT"H"パルス幅		650			ns	㉓
td (DREQ - DV)	スプリットバス Obus=0 の時、DREQ アサート開始後データアクセス時間				0	ns	㉔
td (DREQ - DendV)	スプリットバス Obus=0 の時、DREQ アサート開始後 DEND 出力アクセス時間				0	ns	㉕
td (DREQ - Dbhe)	スプリットバス Obus=0 の時、DREQ アサート開始後 DBHE 出力アクセス時間				0	ns	㉖

4.7 タイミング必要条件(VIF=3.0~3.6V、又は4.5~5.5V)

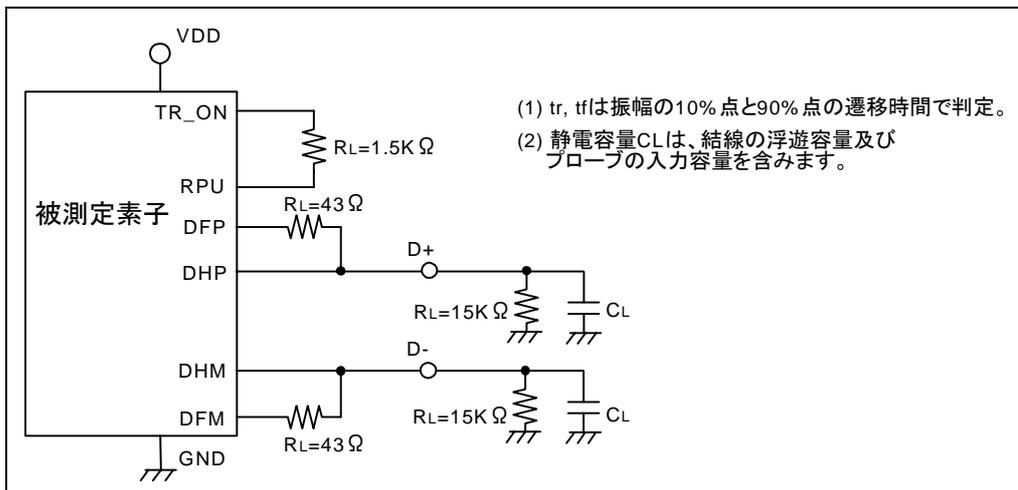
記号	項目		測定条件、 その他	規格値			単位	参照 番号
				最小	標準	最大		
tsuw(A)	アドレスライトセットアップ時間		CL=50pF	30			ns	(30)
tsur(A)	アドレスリードセットアップ時間			0			ns	(31)
thw(A)	アドレスライトホールド時間			0			ns	(32)
thr(A)	アドレスリードホールド時間			30			ns	(33)
tw(CTRL)	コントロールパルス幅(ライト)			30			ns	(34)
trec(CTRL)	コントロールリカバリ時間(FIFO)			30			ns	(35)
trecr(CTRL)	コントロールリカバリ時間(REG)			15			ns	(36)
twr(CTRL)	コントロールパルス幅(リード)			30			ns	(37)
tsu(D)	データセットアップ時間			20			ns	(38)
th(D)	データホールド時間			0			ns	(39)
tsu(Dend)	DEND 入力セットアップ時間			30			ns	(40)
th(Dend)	DEND 入力ホールド時間			0			ns	(41)
tsu(Dbhe)	DBHE 入力セットアップ時間			30			ns	(42)
th(Dbhe)	DBHE 入力ホールド時間			0			ns	(43)
tw(cycle)	FIFO アクセス サイクル時間	8ビットFIFOアクセス		30			ns	(44)
		16ビットFIFOアクセス		50			ns	
		32ビットFIFOアクセス		90			ns	
tw(CTRL_B)	バースト 転送時 コントロール パルス幅	スプリットバス使用時で OBUS=0のとき		12			ns	(45)
		スプリットバス使用時で OBUS=1のとき		30			ns	
		CPUバスを使用した DMA転送時		30			ns	
trec(CTRL_B)	バースト転送時コントロールリカバリ時間		15			ns	(46)	
tsud(A)	DMAアドレスライトセットアップ時間		15			ns	(47)	
thd(A)	DMAアドレスライトホールド時間		0			ns	(48)	
tw(RST)	リセットパルス幅時間		100			ns	(49)	
tst(RST)	リセット後コントロールスタート時間		500			ns	(50)	

## 4.8 測定回路

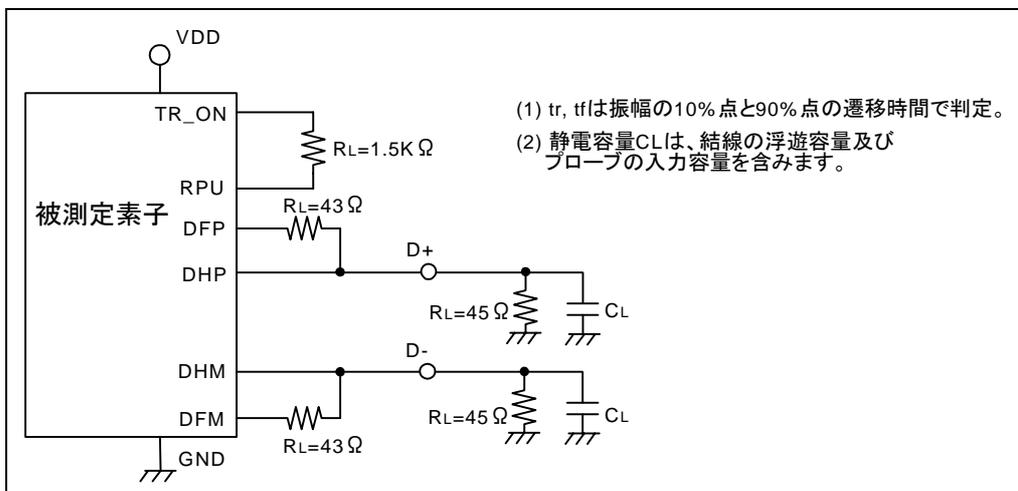
### 4.8.1 USBバッファ部以外の端子



### 4.8.2 USBバッファ部 ( Full-Speed )



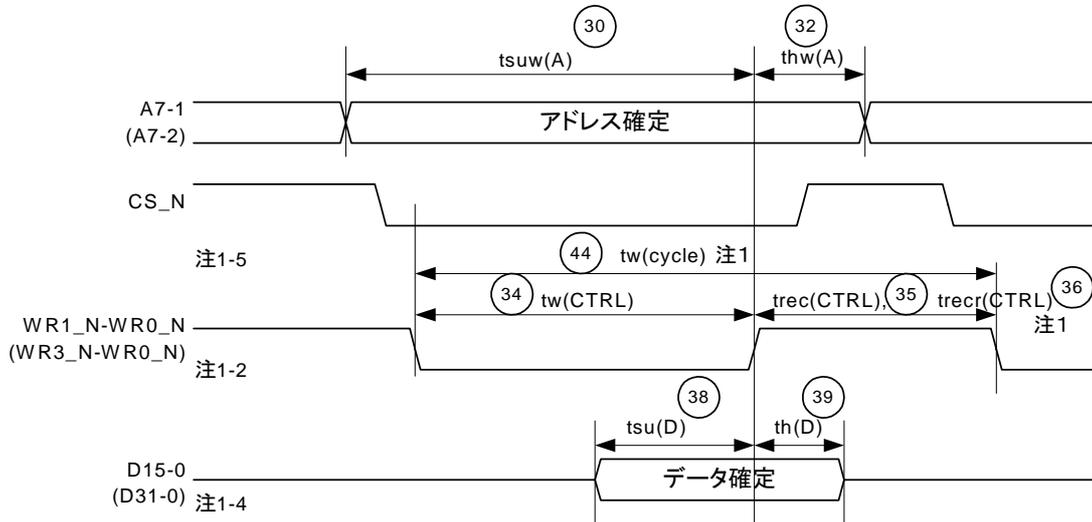
### 4.8.3 USBバッファ部 ( Hi-Speed )



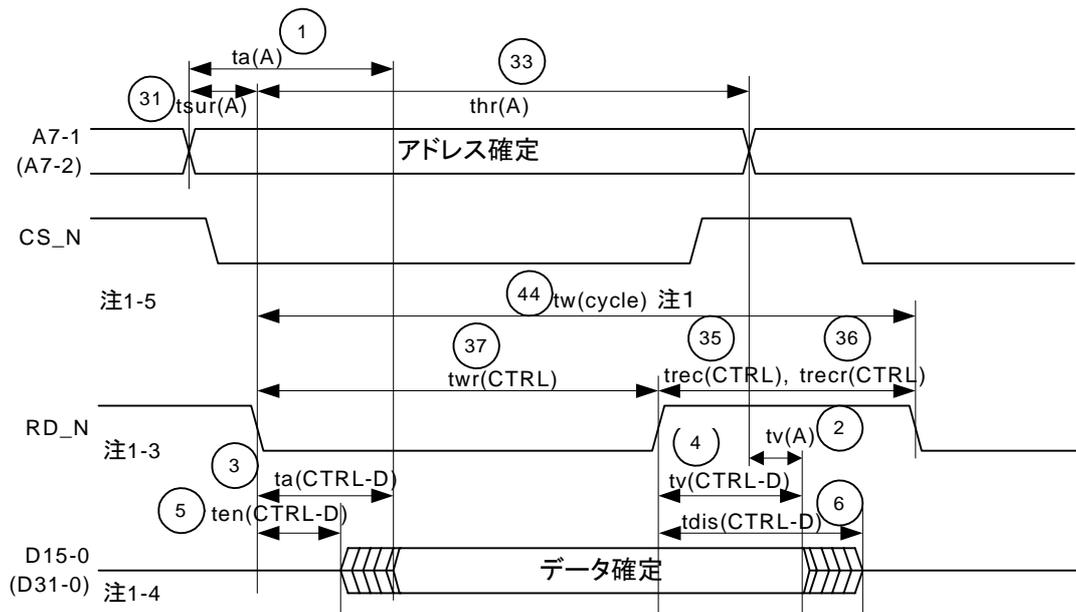
## 4.9 タイミング図

### 4.9.1 CPUインタフェースタイミング

(1-1) 書き込みタイミング (RD\_N = "H")



(1-2) 読み出しタイミング (WR0\_N = "H", WR1\_N = "H", WR2\_N = "H", WR3\_N = "H")



注1-1:  $tw(cycle)$ ,  $trec(CTRL)$ はFIFOアクセス時に必要です。又レジスタアクセス時は、 $trecr(CTRL)$ が有効です。

注1-2: CS\_N, WR1\_N, WR0\_N, WR2\_N, WR3\_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注1-3: CS\_N, RD\_Nの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

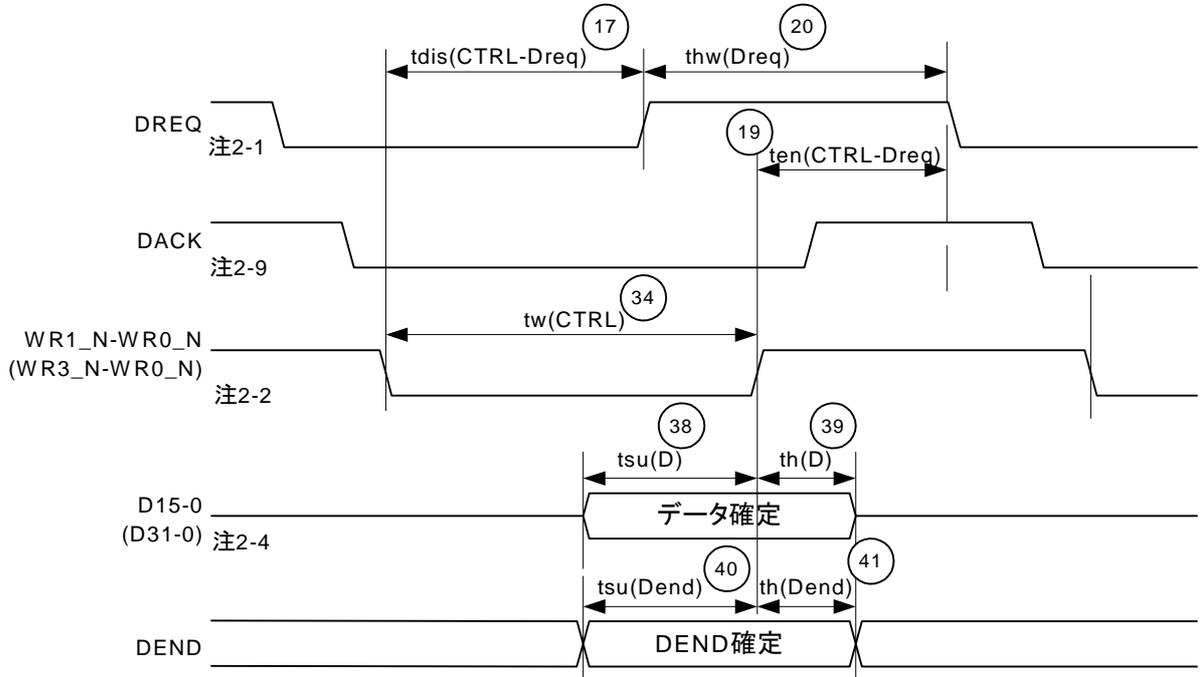
注1-4: 32ビットモード時には、D31-0、A7-2およびWR2\_N, WR3\_Nが有効になります。

注1-5: CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0-3\_Nを立ち下げないでください。RD\_NまたはWR0-3\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

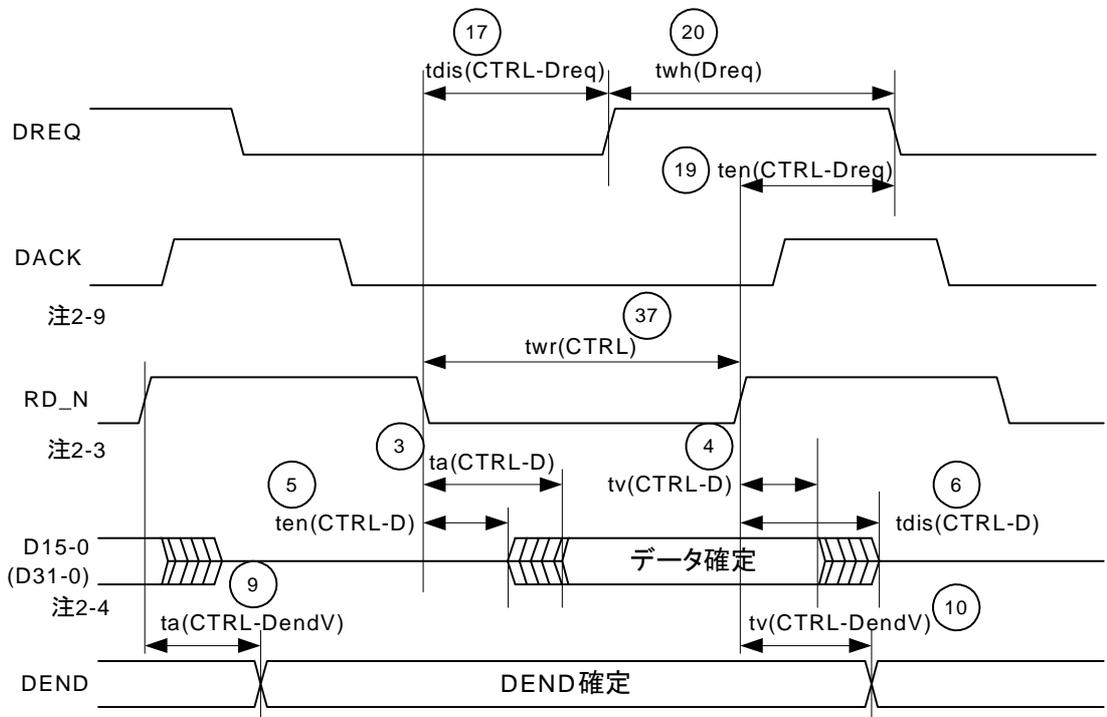
4.9.2 DMA転送タイミング1

サイクルスチール転送設定時 (DMA転送モードレジスタ : Burst=0)

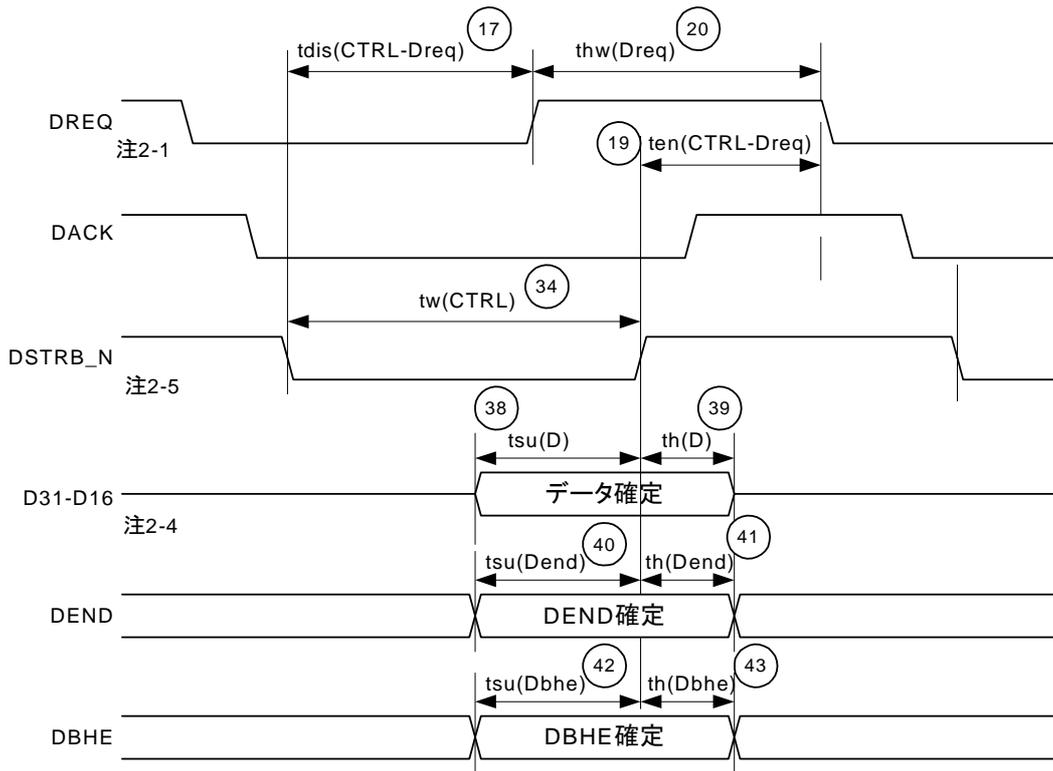
(2-1) 書き込みタイミング (DackE=1, RWstb=0)



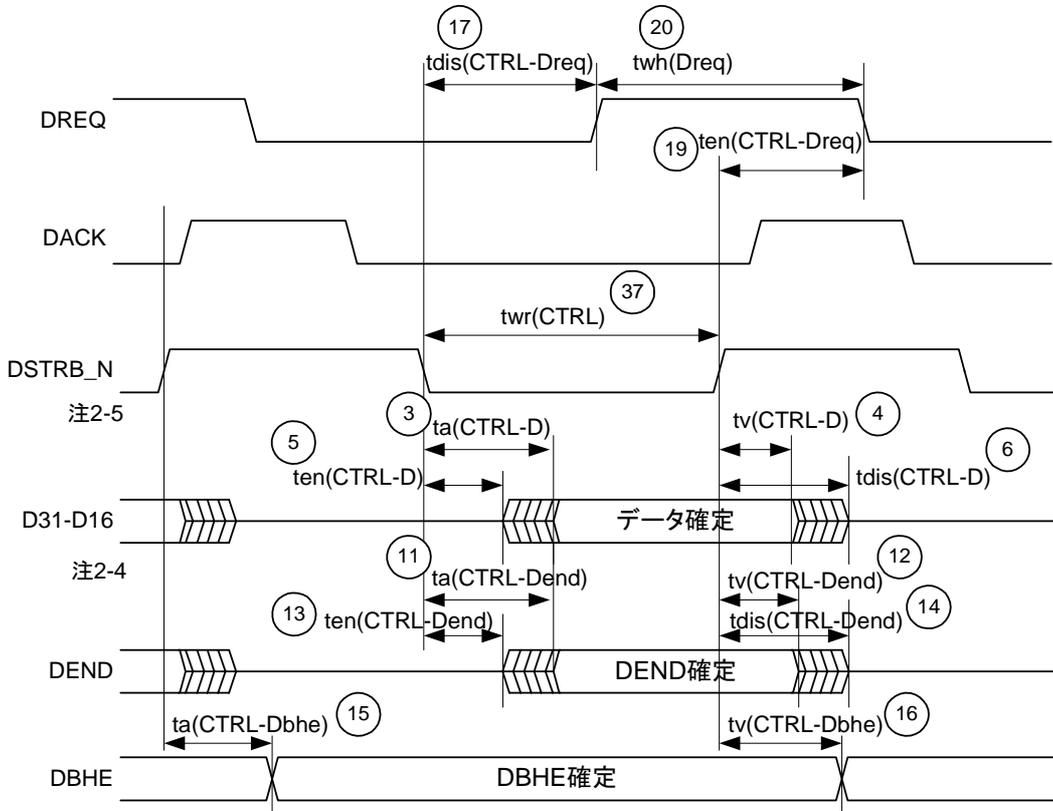
(2-2) 読み出しタイミング (DackE=1, RWstb=0)



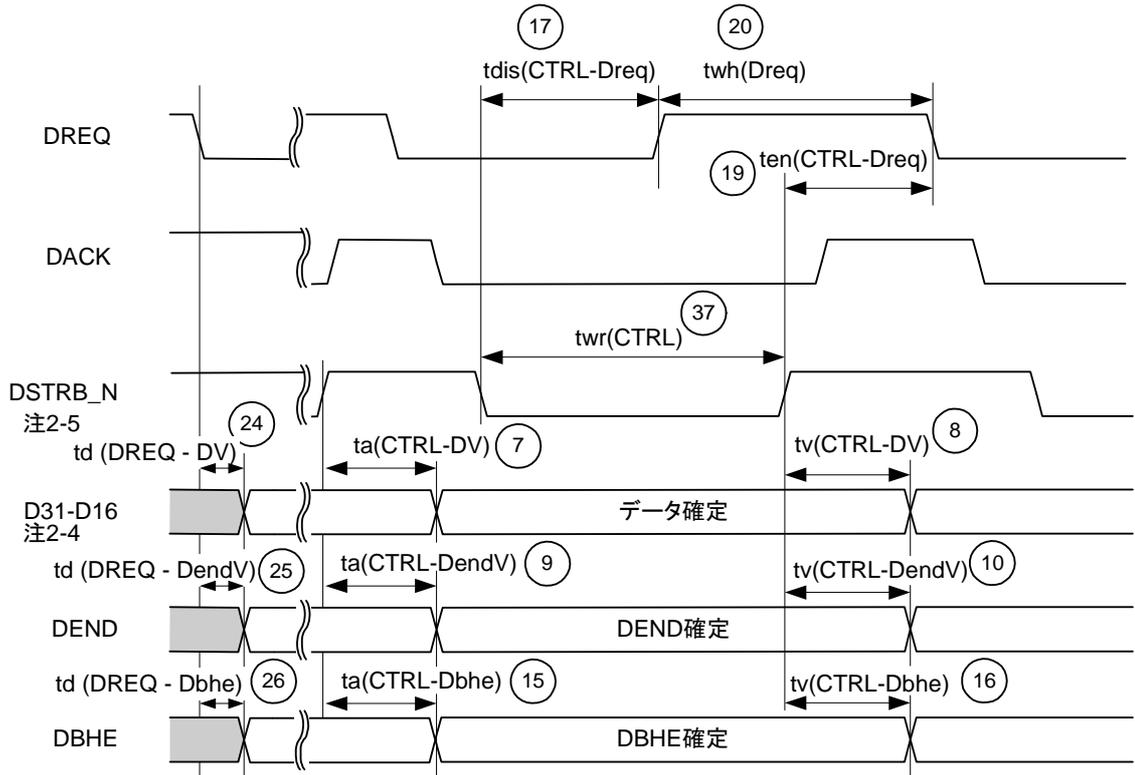
(2-3) 書き込みタイミング (DackE=1, RWstb=1)



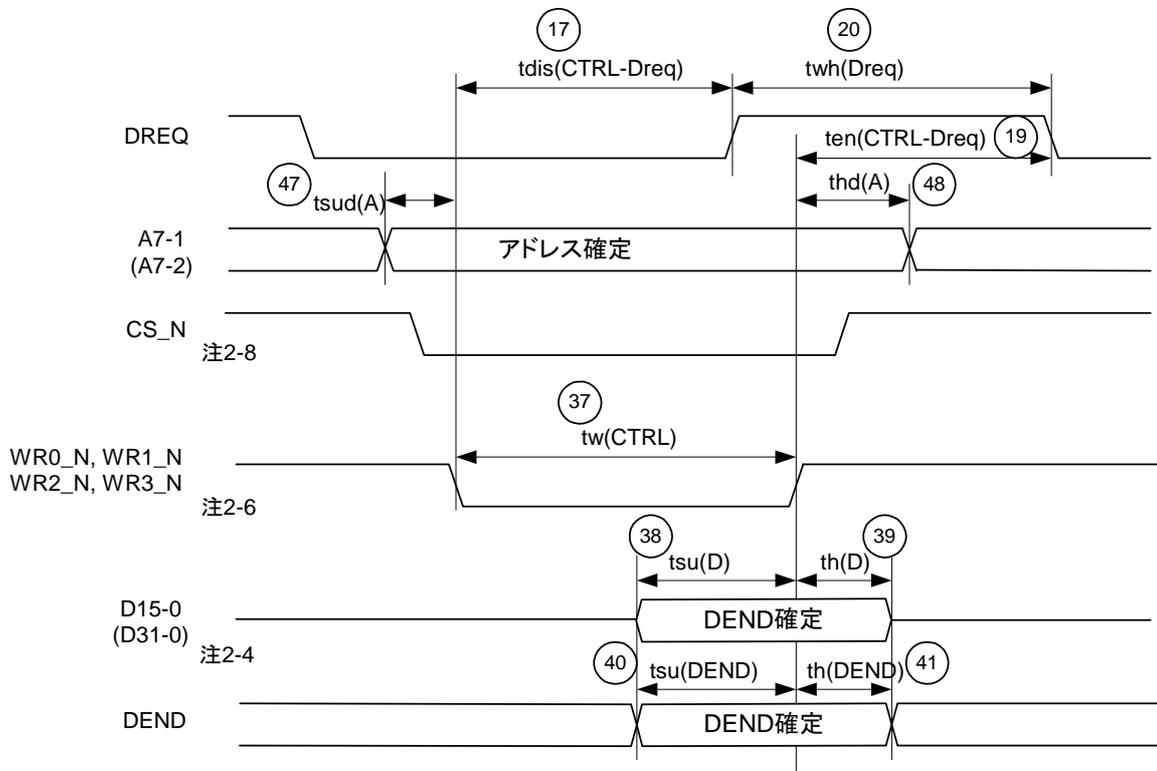
(2-4) 読み出しタイミング (DackE=1, RWstb=1, Obus=1)



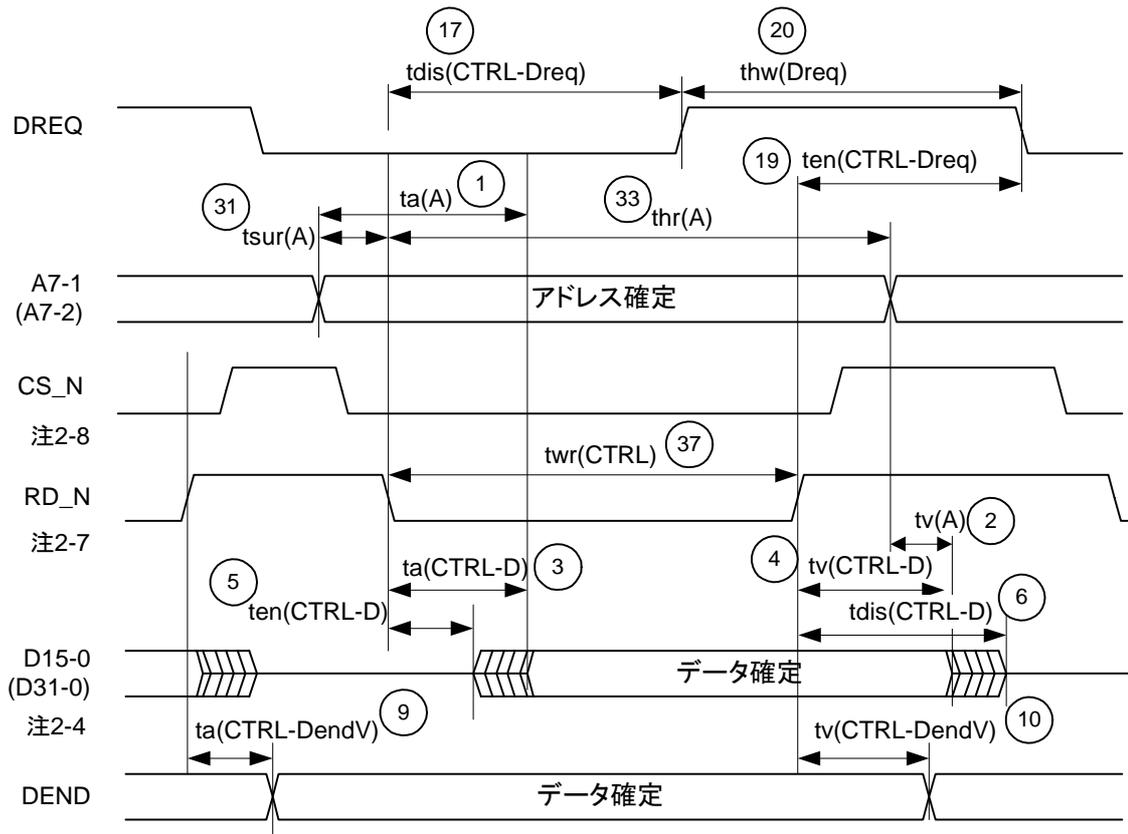
(2-5) 読み出しタイミング (DackE=1, RWstb=1, Obus=0)



(2-6) 書き込みタイミング (DackE=0, RWstb=0) (RD\_N="H")



(2-7) 読み出しタイミング (DackE=1, RWstb=0) (WR0\_N="H", WR1\_N="H", WR2\_N="H", WR3\_N="H")



注2-1: DREQのインアクティブ条件は、DACK = "L"レベルであり、次のDMA転送が有る場合にDREQがアクティブとなる規格は、 $t_{thw}(Dreq)$ または、 $t_{ten}(CTRL-Dreq)$ の遅い規格が有効です。

注2-2: DACK, WR1\_N, WR0\_N, WR2\_N, WR3\_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注2-3: DACK, RD\_Nの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注2-4: 32ビットモード時には、A7~2, D31~0およびWR2\_N, WR3\_Nが有効になります。

注2-5: DACK, DSTRB\_Nの組み合わせによる書き込みまたは読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注2-6: CS\_N, WR0\_N, WR1\_N, WR2\_N, WR3\_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

注2-7: CS\_N, RD\_Nの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。

立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。

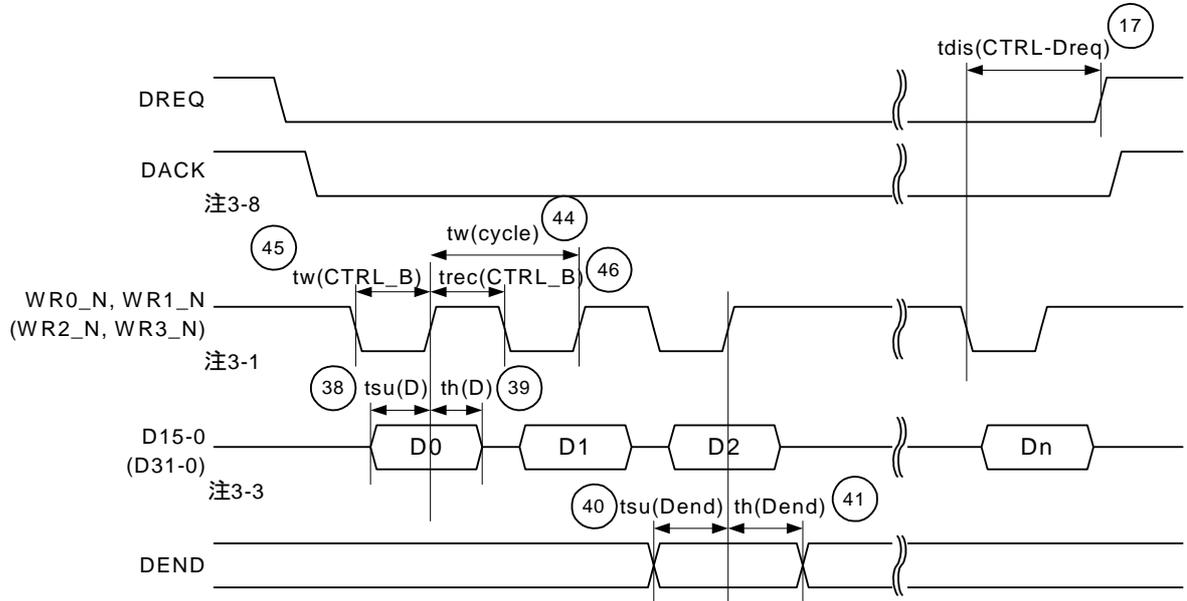
注2-8: CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0-3\_Nを立ち下げないでください。RD\_NまたはWR0-3\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

注2-9: DACKが立ち上がる(または立ち下がる)タイミングと同時にRD\_NやWR0-3\_Nを立ち下げないでください。RD\_NまたはWR0-3\_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

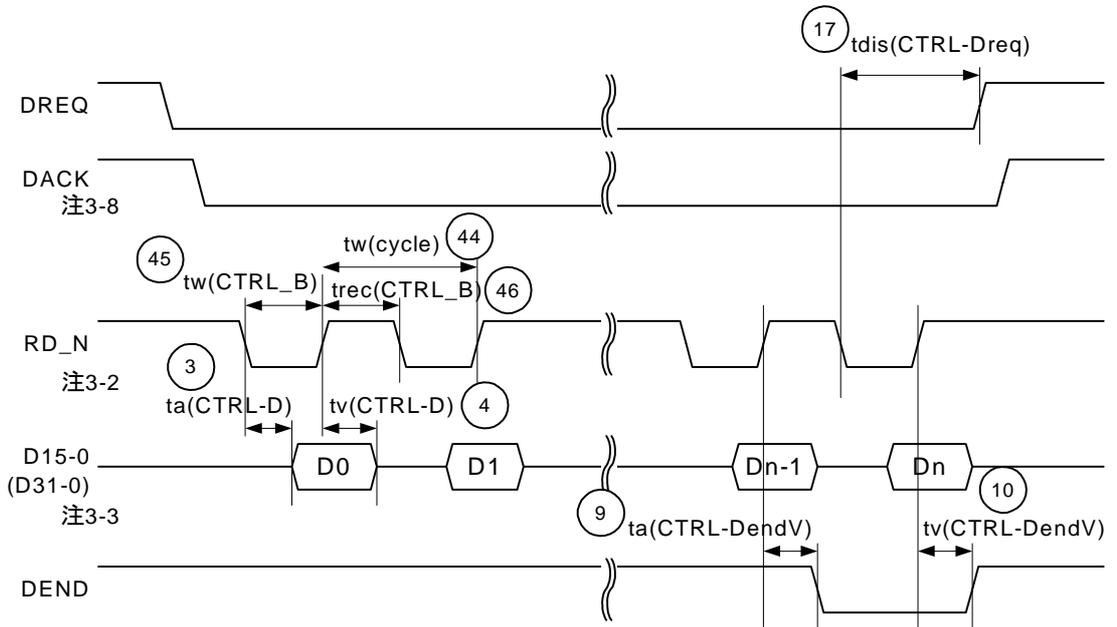
4.9.3 DMA転送タイミング2

バースト転送設定時 (DMA転送モードレジスタ : Burst=1)

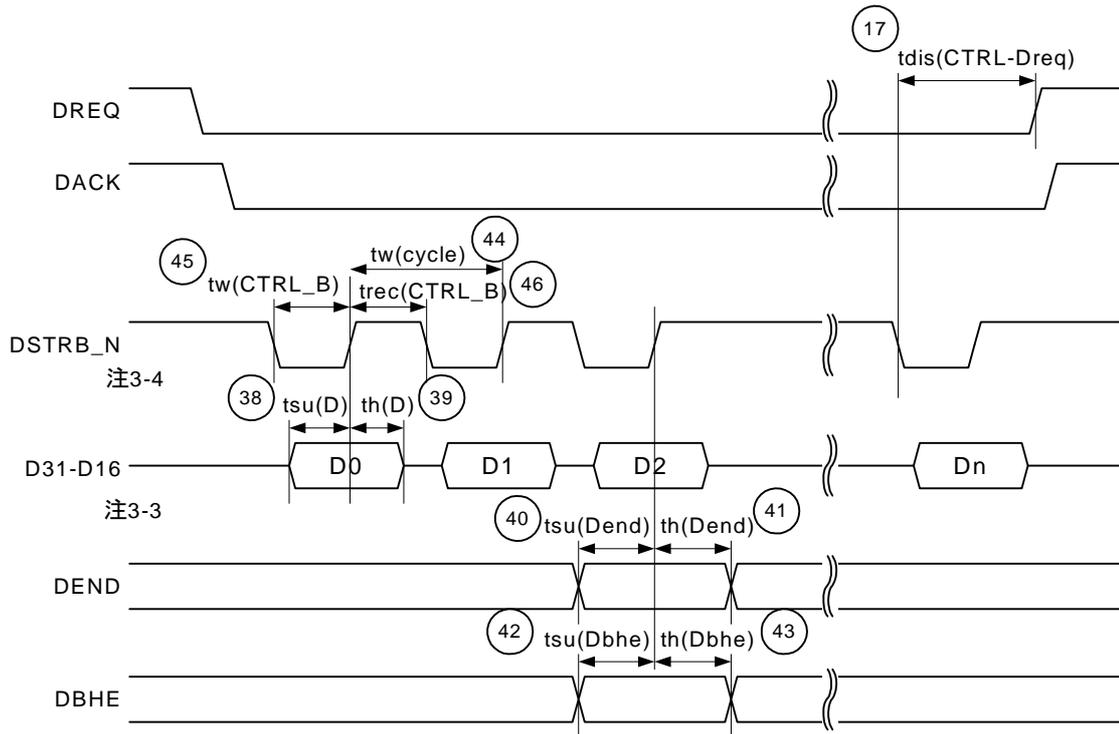
(3-1) 書き込みタイミング (DackE=1, RWstb=0)



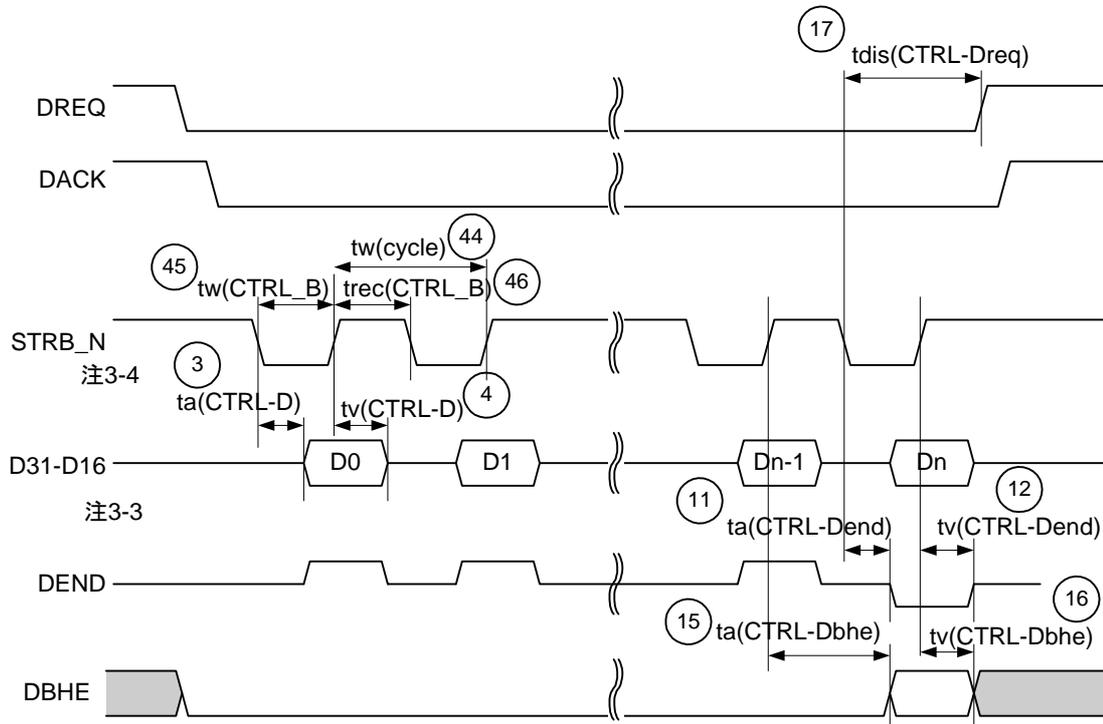
(3-2) 読み出しタイミング (DackE=1, RWstb=0)



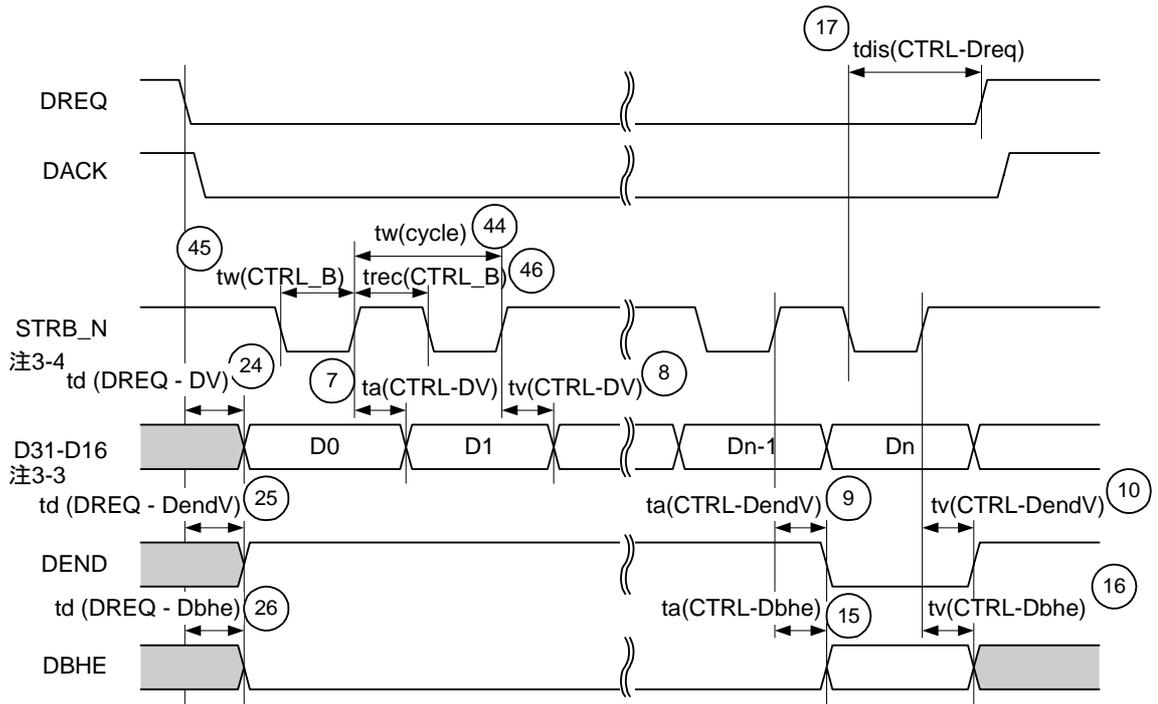
(3-3) 書き込みタイミング (DackE=1, RWstb=1)



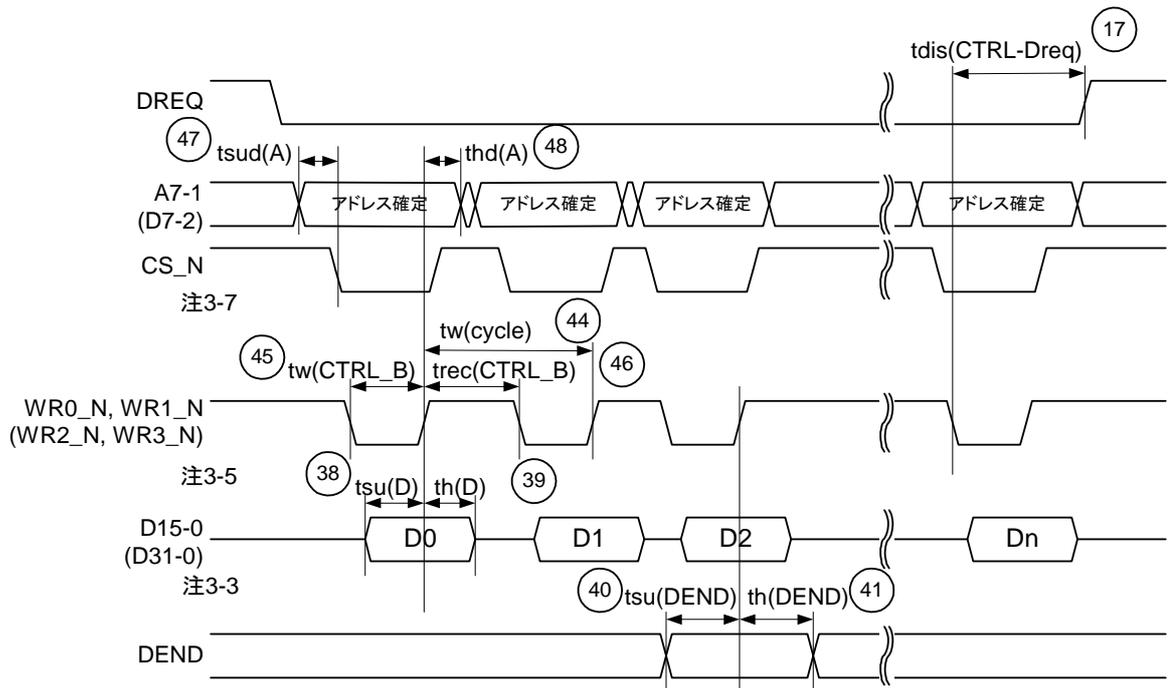
(3-4) 読み出しタイミング (DackE=1, RWstb=1, Obus=1)



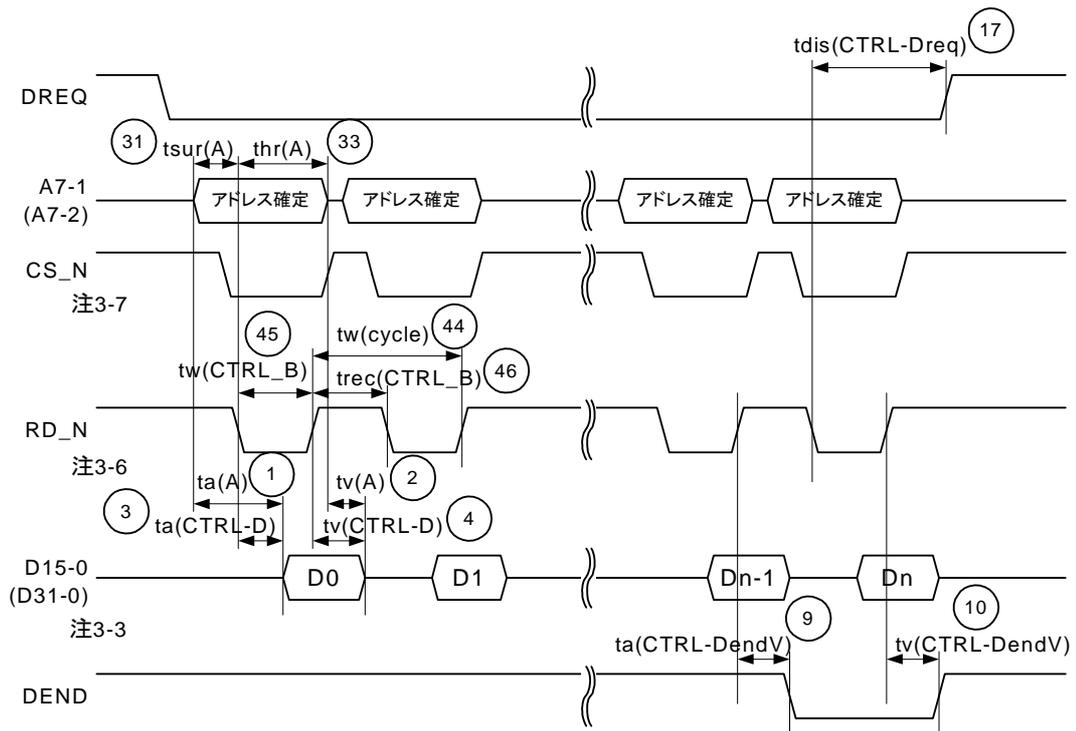
(3-5)読み出しタイミング (DackE=1, RWstb=1, Obus=0)



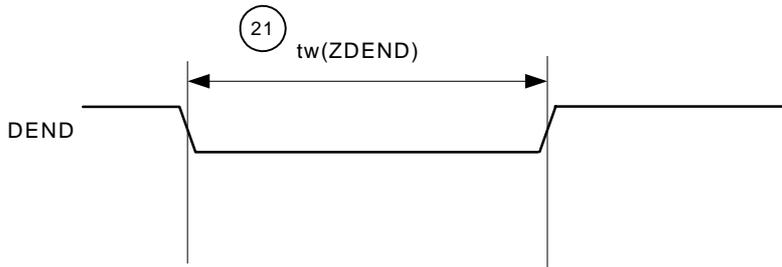
(3-6)書き込みタイミング (DackE=0, RWstb=0)



(3-7)読み出しタイミング (DackE=0, RWstb=0)

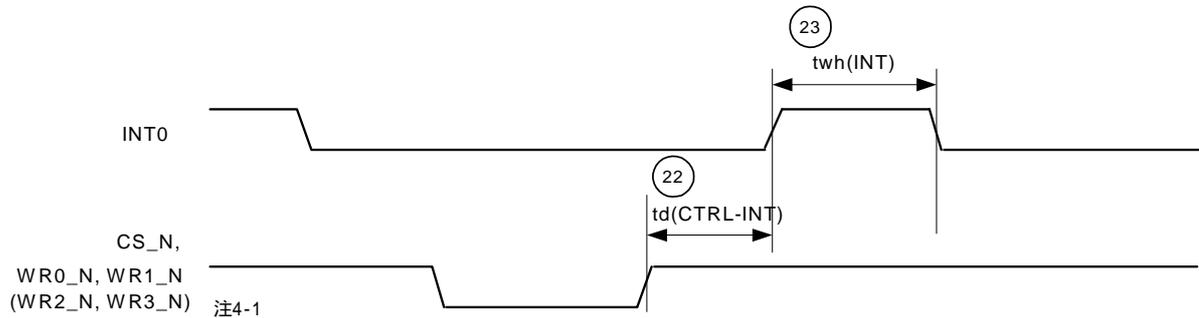


(3-8) zero-lengthデータ (バッファが空の状態zero-lengthデータを受信) DEND出力タイミング



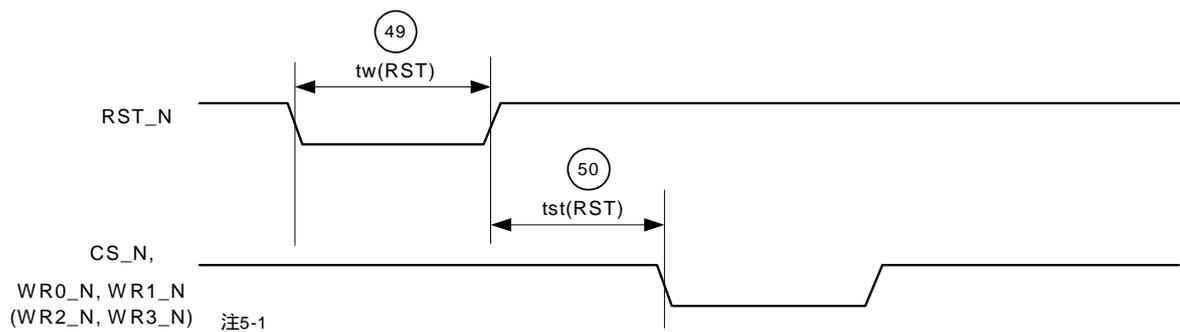
- 注3-1 : DACK, WR0\_N, WR1\_N,の組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3-2 : DACK, RD\_Nの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3-3 : 32ビットモード時には、D31-0, A7-2およびWR2\_N, WR3\_Nが有効になります。
- 注3-4 : DACK, DSTRB\_Nの組み合わせによる書き込みまたは読み出しは、アクティブ("L")のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3-5 : CS\_N, WR0\_N, WR1\_N, WR2\_N, WR3\_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3-6 : CS\_N, RD\_Nの組み合わせによる読み出しは、アクティブ("L")のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ("L")のオーバーラップ期間が有効になります。
- 注3-7 : CS\_Nが立ち上がるタイミングと同時にRD\_NやWR0-3\_Nを立ち下げないでください。RD\_NまたはWR0-3\_Nが立ち上がるタイミングと同時にCS\_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注3-8 : DACKが立ち上がる(または立ち下がる)タイミングと同時にRD\_NやWR0-3\_Nを立ち下げないでください。RD\_NまたはWR0-3\_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

### 4.10 割り込みタイミング



注4-1 : CS\_N, WR0\_N, WR1\_N (WR2\_N, WR3\_N) の組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。  
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

### 4.11 リセットタイミング



注5-1 : CS\_N, WR0\_N, WR1\_N (WR2\_N, WR3\_N) の組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。  
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

Rev.	発行日	改定内容	
		ページ	ポイント
1.01	2003.7.1	13	レジスタマップ変更。 (1) 0x00番地「USBトランシーバコントロールレジスタ0」にbit5 INIT0ビットを追加。 (2) 0x04番地「HS/FSモードレジスタ」にbit9 RCVENビットを削除。 (3) 0x04番地「HS/FSモードレジスタ」にbit3 INIT2ビットとbit2 INIT1ビットを追加。
1.01	2003.7.1	16	レジスタマップ変更。 (1) アイソクロナス仕様改定により、0x98番地「PIPEコンフィギュレーションウィンドウレジスタ3」にbit8 IITVMビット削除。
1.01	2003.7.1	17	初期化ビットINIT0を追加。
1.01	2003.7.1	19	(1) レシーバ許可ビットRCVENを削除。 (2) 初期化ビットINIT2とINIT1を追加。
1.01	2003.7.1	33	SIEバッファクリアビットSCLRの説明文の誤記を訂正。
1.01	2003.7.1	36	「(2) Current_PIPE [4:0]のPIPE指定とMBW[1:0]設定の変更の注意事項」の誤記を訂正。
1.01	2003.7.1	42	PIPEバッファエンプティ/サイズエラー割り込み許可ビットBEMPEの誤記を訂正。
1.01	2003.7.1	74	マックスパケットサイズビットの説明の誤記を訂正。
1.01	2003.7.1	75	(1) IITVMビットを削除。 (2) アイソクロナス仕様改定により、IFISビットとIITV [3:0]ビットの説明を変更。
1.01	2003.7.1	81	初期化ビットINIT0、INIT1、INIT2の追加により、初期設定のフローチャートを変更。
1.01	2003.7.1	84	データ処理フローの中の待ち時間を3 $\mu$ sに統一。
1.01	2003.7.1	85	サスペンド時のクロック制御フローの中の待ち時間を3 $\mu$ sに統一。
1.01	2003.7.1	121	アイソクロナス仕様改定により、 (1) IITVM機能説明を削除。 (2) アイソクロナス転送のエラー情報の説明を変更。
1.01	2003.7.1	122	アイソクロナス仕様改定により、インターバルカウンタの説明を変更。
1.01	2003.7.1	123	アイソクロナス仕様改定により、アイソクロナスIN転送データセットアップ制御の説明を変更。
1.01	2003.7.1	124	アイソクロナス仕様改定により、アイソクロナスIN転送バッファフラッシュ機能の説明を変更。
1.01	2003.7.1	128-131	電気的特性へ「動作時平均電源電流」の標準値を新規追加。
1.01	2003.7.1	134	スイッチング特性の測定条件の見直しにより、規格値を変更。
1.01	2003.7.1	134	スイッチング特性表の誤記 (8),(12),(13),(14)を訂正、(18)を削除、(24),(25),(26)を追加。
1.01	2003.7.1	135	tw (CTRL_B)の条件を追加し、規格値を変更。
1.01	2003.7.1	138	AC特性改善により、タイミング図(2-2)のDEND出力の出力基準を変更。
1.01	2003.7.1	139	AC特性改善により、タイミング図(2-4)のDBHE出力の出力基準を変更。
1.01	2003.7.1	140	AC特性改善により、タイミング図(2-5)のDBHE出力の出力基準を変更。
1.01	2003.7.1	140	タイミング図(2-5)にスイッチング特性(24),(25),(26)を追加。
1.01	2003.7.1	140	タイミング図(2-6)にスイッチング特性(18)を(17)に変更。
1.01	2003.7.1	143	AC特性改善により、タイミング図(3-4)のDBHE出力の出力基準を変更。
1.01	2003.7.1	144	AC特性改善により、タイミング図(3-5)のDBHE出力の出力基準を変更。
1.01	2003.7.1	147	タイミング図(3-5)にスイッチング特性(24),(25),(26)を追加。
1.01	2003.7.1	147	(1)タイミング図(3-6)にスイッチング特性(18)を(17)に変更。 (2)タイミング図(3-6)のA7-1入力の入力基準を変更。(30)を(47)に、(32)を(48)に変更)

**株式会社ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 (日本ビル)

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問い合わせ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第2鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1622
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌営業所	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (揖保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7724	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館10F)	(06) 6233-9400
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
鳥取営業所	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島営業所	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサービスセンタ E-mail: [csc@renesas.com](mailto:csc@renesas.com)