

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

7643グループは、7600コア(740ファミリコアコンパチブル)を採用した8ビットマイクロコンピュータです。

USB、DMAC、シリアルI/O、UARTを1本、8ビットタイマを3本などを内蔵しており、パソコン周辺入出力機器に最適です。

特長

<マイコンモード>

基本機械語命令	71
命令実行時間	83ns
(最短命令、発振周波数24MHz時)	
メモリ容量 ROM	32Kバイト
RAM	1Kバイト
プログラブル入出力ポート	66本
割り込み	14要因、14ベクタ
(キー入力割り込み含む)	
USBファンクション制御ユニット内蔵	(トランシーバはFull Speed USB2.0仕様に準拠)
タイマ1~3	8ビット×3
シリアルインタフェース	
シリアルI/O	8ビット×1
UART	8ビット×1
DMAC	2チャンネル
クロック発生回路	内蔵
(セラミック共振子又は水晶発振子外付け)	
電源電圧	
XIN発振周波数 24MHz時(=12MHz)	4.15 ~ 5.25V
24MHz時(=6MHz)	3.00 ~ 3.60V
動作周囲温度	- 20 ~ 70

<フラッシュメモリモード>

電源電圧	
XIN発振周波数	
24MHz時(=12MHz)	4.15 ~ 5.25V
24MHz時(=6MHz)	3.00 ~ 3.60V
プログラム/イレーズ電圧(表20参照)	
24MHz時(=6MHz)	Vcc=4.50 ~ 5.25V、又はVcc=3.00 ~ 3.60V
.....	Vpp=4.50 ~ 5.25V
メモリ容量 Flash ROM	32Kバイト
RAM	2.5Kバイト
フラッシュメモリモード	3モード
(パラレル入出力,標準シリアル入出力,CPU書き換え)	
バイト単位での書き込み(プログラム)及び一括消去	
(チップイレーズ)可能	
ソフトウェアコマンドによるプログラム/イレーズ制御	
コマンド数	6コマンド
プログラム/イレーズ回数	100回
ROMコードプロテクト	
パラレル入出力モード/標準シリアルモード対応	
動作周囲温度(プログラム/イレーズ時)	常温

応用

パソコン周辺入出力機器

注意事項

1. 本製品は開発中ですので、仕様、規格などを変更する場合があります。ご利用をご検討の際には、ルネサステクノロジまたは特約店へご照会ください。
2. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。

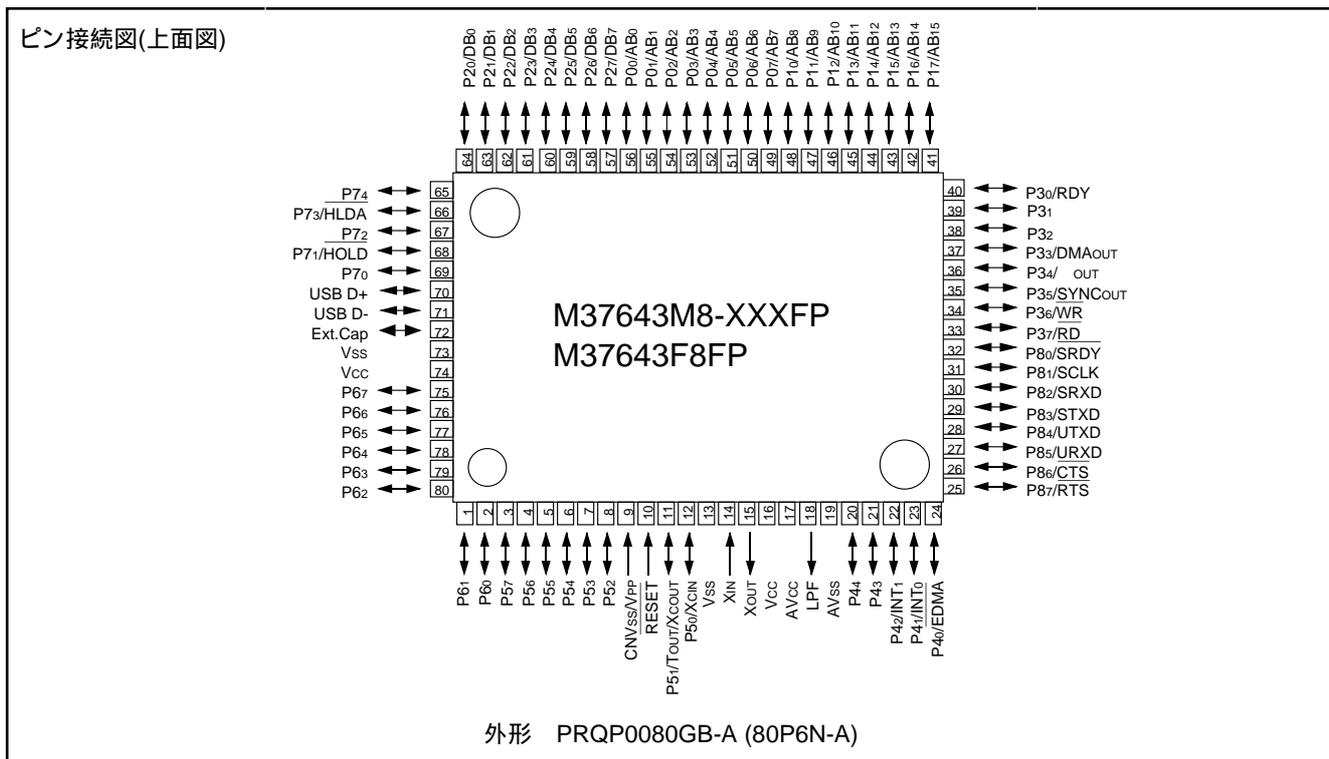


図 1 . M37643M8-XXXXFP, M37643F8FPのピン接続図(PRQP0080GB-A)

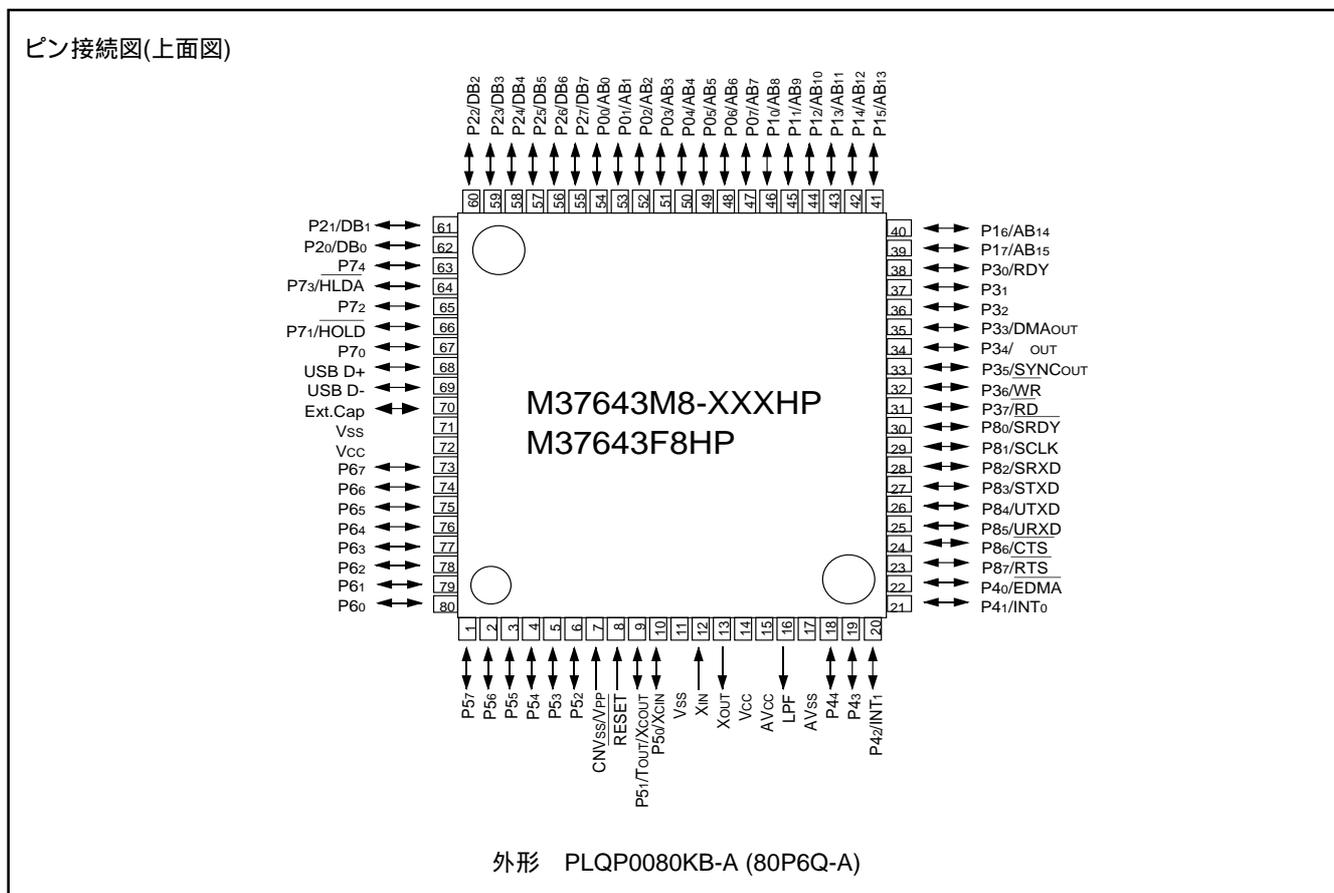


図 2 . M37643M8-XXXXHP, M37643F8HPのピン接続図(PLQP0080KB-A)

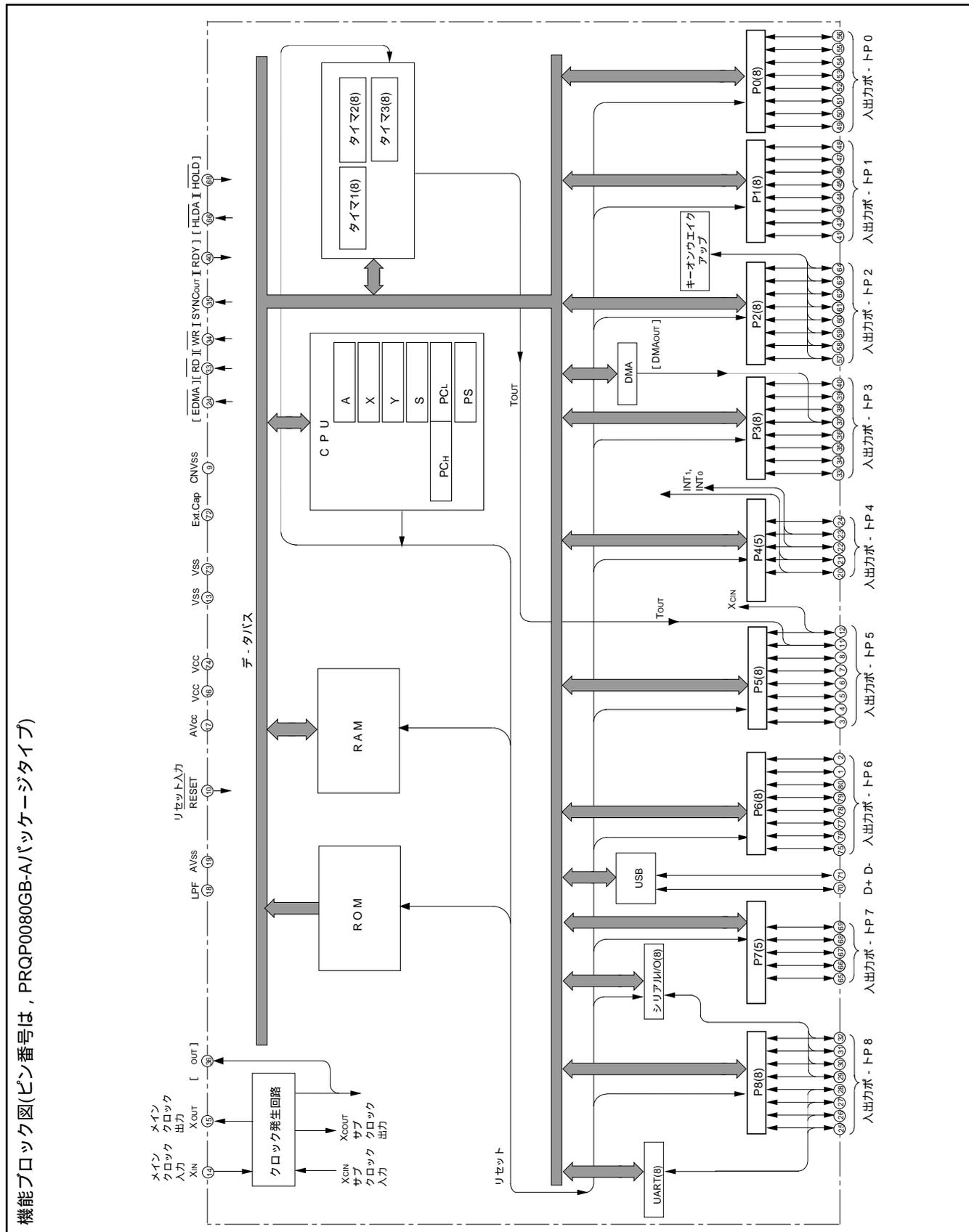


図3. 機能ブロック図

端子の機能説明

表1. 端子の機能説明(1)

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに4.15 ~ 5.25V又は3.0 ~ 3.6V, Vssに0Vを印加します。	
CNVss/Vpp	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。Vccに接続すると、内部ROMが禁止されます。 フラッシュメモリモードではVpp電源入力端子になります。	
AVss, AVcc	アナログ電源入力	アナログ回路のための供給端子です。	
RESET	リセット入力	アクティブ'L'のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
LPF	LPF	周波数シンセサイザのループフィルタです。	
Ext.Cap	3.3Vライン電源入出力	内蔵DC-DCコンバータ用のコンデンサ接続端子です。Vcc=5V時は、USBラインドライバを許可することによって内蔵DC-DCコンバータを使用し、コンデンサを接続してください。詳細は「使用上の注意事項」を参照してください。Vcc=3.3V時は、内蔵DC-DCコンバータは使用できません。外部より3.3V電源をこの端子に供給してください。	
USB D+	USB D+電圧入出力	USBプラス電圧ラインインタフェース。27 ~ 33 (推奨)の抵抗を直列に接続してください。	
USB D-	USB D-電圧入出力	USBマイナス電圧ラインインタフェース。27 ~ 33 (推奨)の抵抗を直列に接続してください。	
P00/AB0 ~ P07/AB7	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合は、アドレスバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。	
P10/AB8 ~ P17/AB15	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合は、アドレスバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。	
P20/DB0 ~ P27/DB7	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はデータバスとして機能します。CMOS、又はVIHL入力レベルで、出力形式はCMOS3ステートです。	キーオンウエイクアップ入力端子
P30/RDY P31, P32 P33/DMAout P34/OUT P35/SYNCout P36/WR P37/RD	入出力ポートP3 (注1)	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はコントロールバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。	外部メモリコントロール端子
P40/EDMA P41/INT0 P42/INT1 P43, P44	入出力ポートP4	5ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はコントロールバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。	外部メモリコントロール端子 割り込み入力端子
P50/Xcin P51/Tout/ Xcout P52 ~ P57	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	サブクロック発生入力端子 タイマ1/2パルス出力端子 サブクロック発生出力端子
P60 ~ P67	入出力ポートP6	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	

表2 端子の機能説明(2)

端子名	名称	機能	ポート以外の機能
P70 P71/HOLD P72 P73/HLDA P74	入出力ポートP7	5ビットの入出力ポートです。CMOS入力レベル、出力形式はCMOS3ステートです。プログラムにより、ビット単位で入出力の指定が可能です。	
P80/SRDY P81/SCLK P82/SRXD P83/STXD	入出力ポートP8	8ビットの入出力ポートです。CMOS入力レベル、出力形式はCMOS3ステートです。プログラムにより、ビット単位で入出力の指定が可能です。	シリアルI/O機能端子
P84/UTXD P85/URXD P86/CTS P87/RTS			UART機能端子

注 1. 補足

DMAout 端子 = 外部で DMA 実行のタイミングを検知したい場合に使用します。DMA 転送中は “ H ” になります。メモリ拡張モード及びマイクロプロセッサモードのとき、有効な信号です。

SYNCout 端子 = オペコードフェッチのタイミングを外部で検知したい場合に使用します。メモリ拡張モード及びマイクロプロセッサモードのとき、有効な信号です。

型名とメモリサイズ・パッケージ

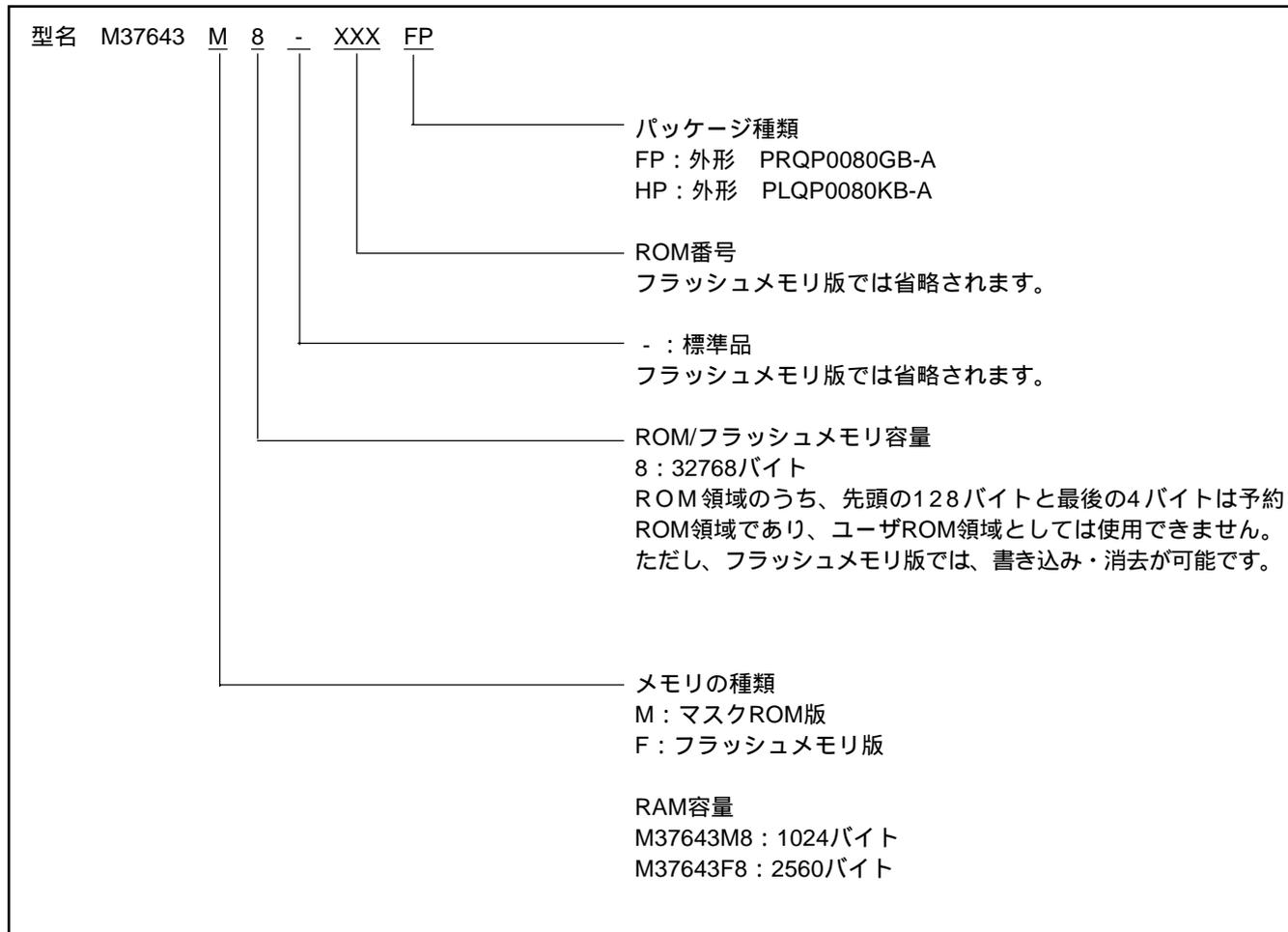


図4 . 型名とメモリサイズ・パッケージ

グループ展開

7643グループは次のような展開を計画しています。

メモリの種類

マスクROM、フラッシュメモリ版のサポート

パッケージ

PRQP0080GB-A

..... 0.8mmピッチプラスチックモールドQFP

PLQP0080KB-A

..... 0.5mmピッチプラスチックモールドLQFP

メモリ容量

ROM/フラッシュメモリ容量 32Kバイト

RAM容量 1024~2560バイト

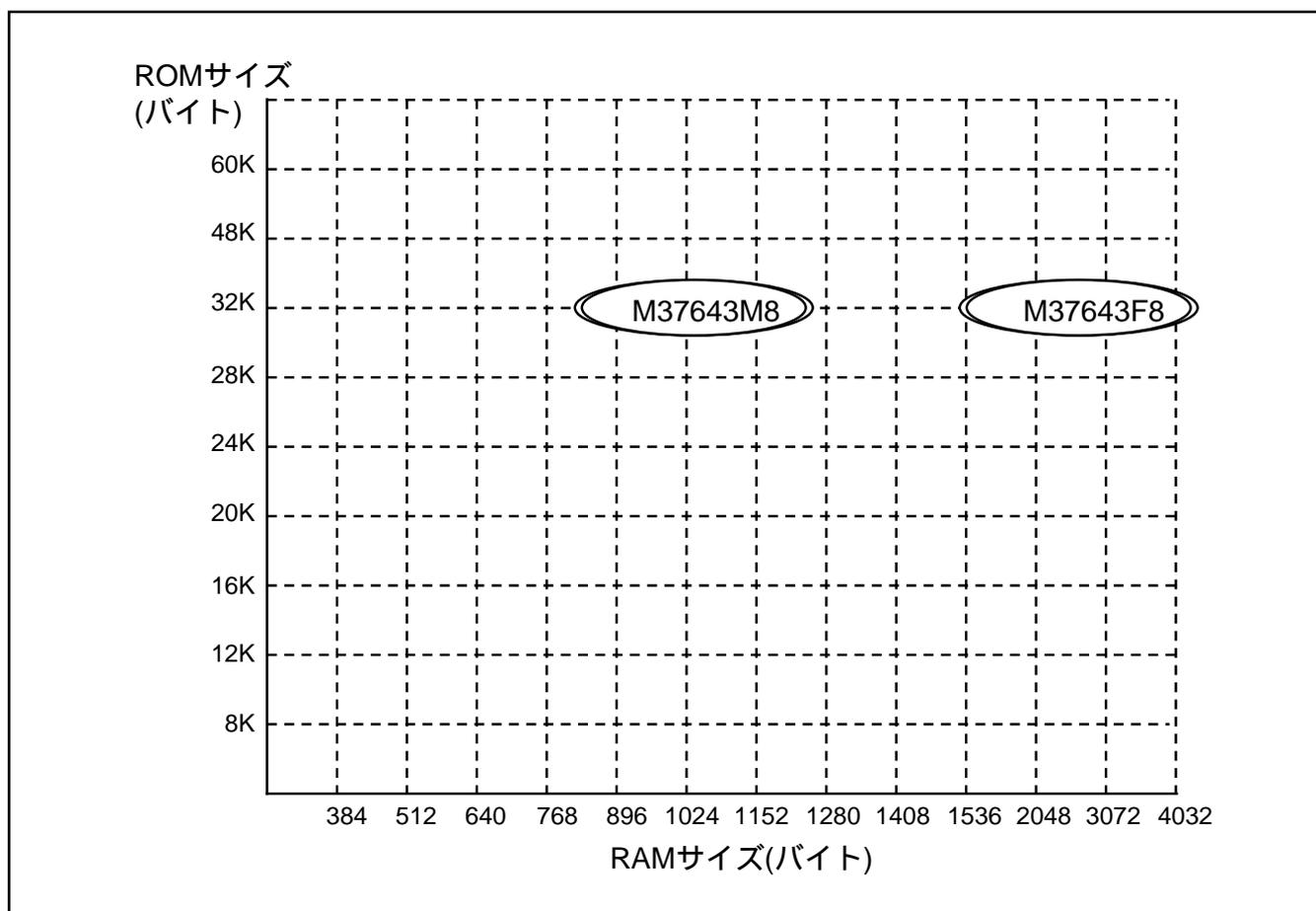


図5 . 7643グループROM及びRAM展開計画

製品一覧を表3に示します。

表3 . 製品一覧

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37643M8-XXXFP	32768(32636)	1024	PRQP0080GB-A	マスクROM版
M37643M8-XXXHP			PLQP0080KB-A	
M37643F8FP	32768	2560	PRQP0080GB-A	フラッシュメモリ版
M37643F8HP			PLQP0080KB-A	

機能ブロック動作説明

中央演算処理装置(CPU)

7643グループは7600シリーズ共通のCPUを持っています。各命令の動作については7600シリーズアドレッシングモード及び機械語命令一覧表又は7600シリーズソフトウェアマニュアルを参照ください。

また、7600シリーズは、各命令の動作サイクル数が短縮されているなど38000シリーズのアップバージョンとなっています。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図7に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

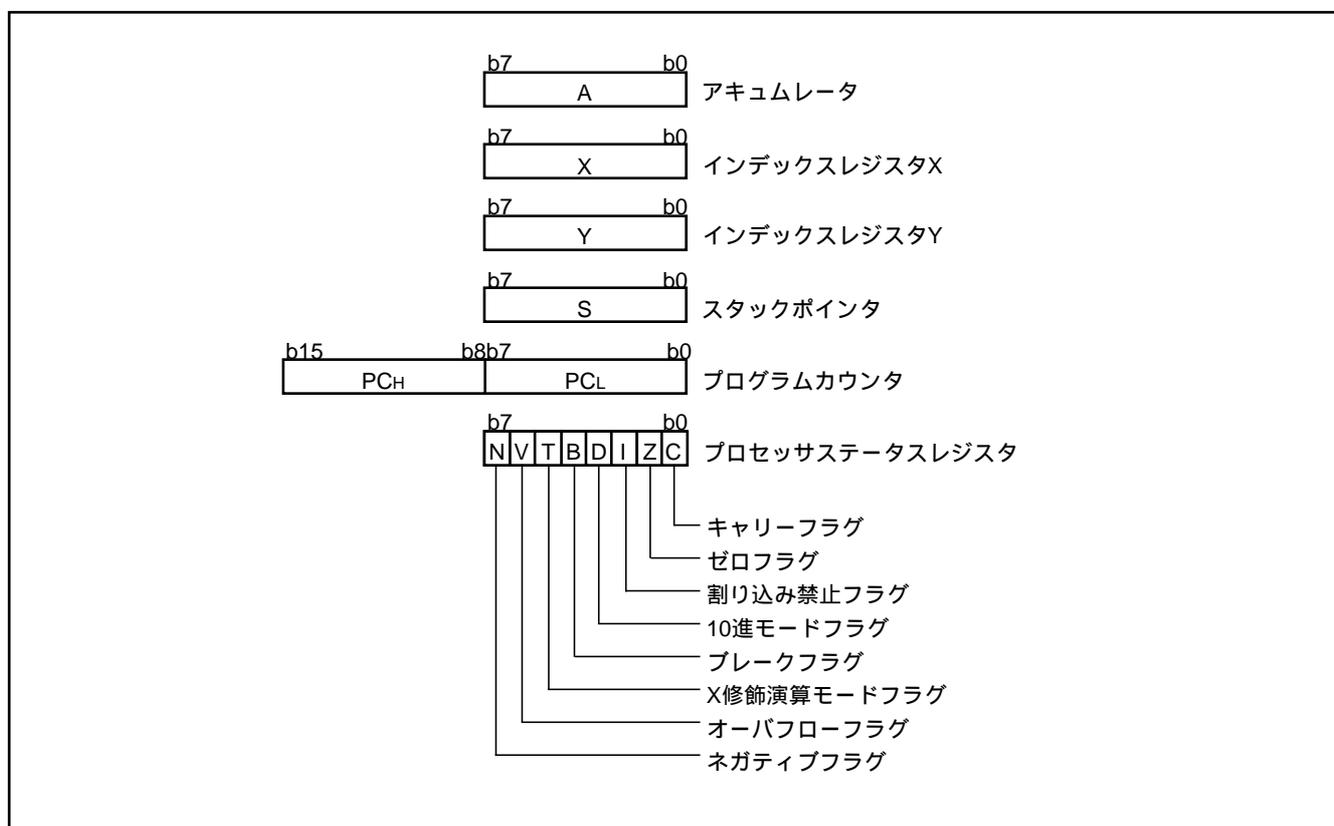


図6 . 7600 シリーズ CPUのレジスタ構成

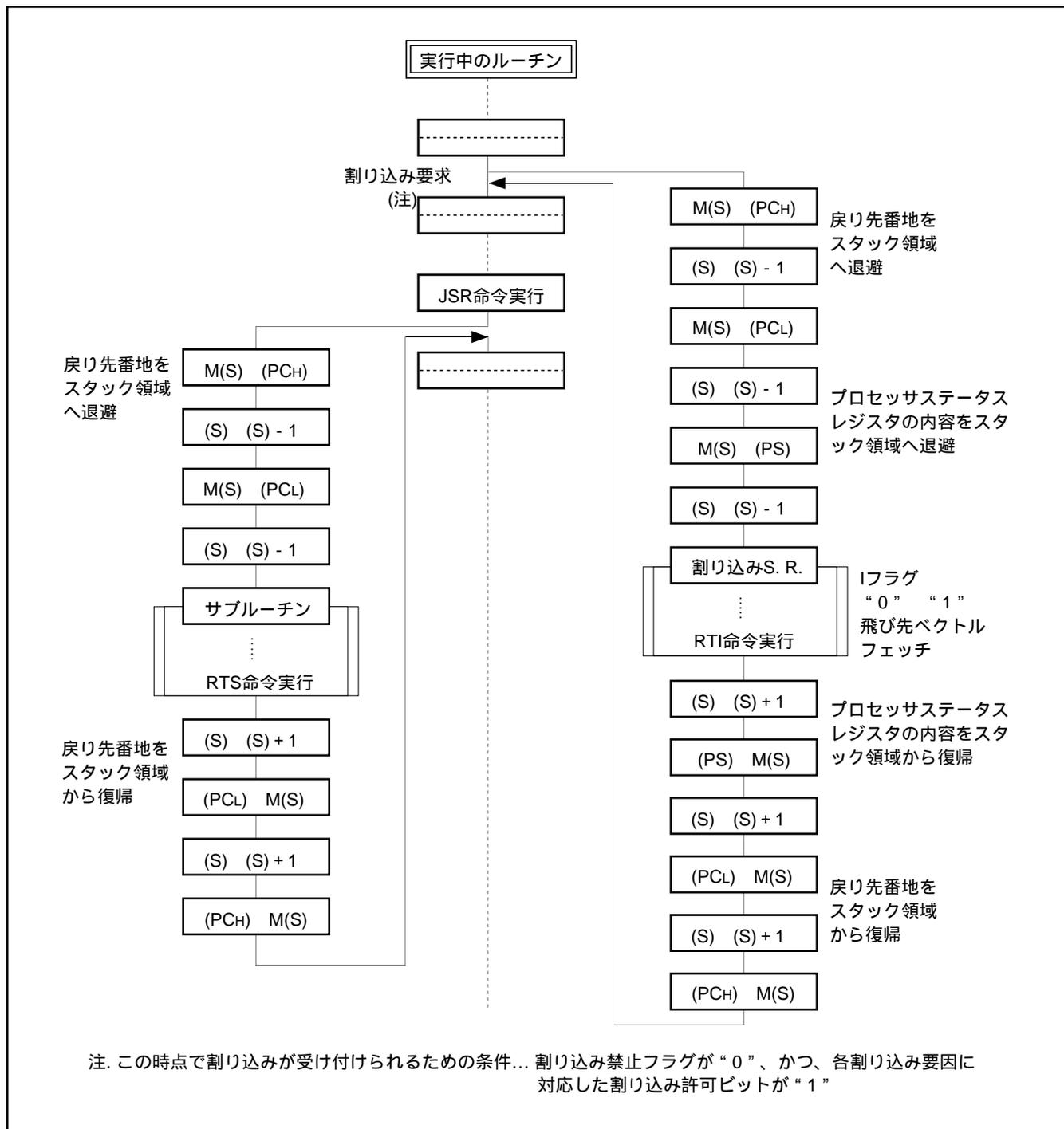


図7. スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8 ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はNフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。加減算の結果が上記数値より小さい場合や異符号間の加算ではオーバフローは生じません。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC		SEI	SED		SET		
クリアする命令	CLC		CLI	CLD		CLT	CLV	

【CPUモードレジスタA,B】 CPMA,CPMB

CPUモードレジスタには、スタックページ選択のビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

これらのレジスタは0000₁₆番地及び0001₁₆番地に配置されています。

マイクロプロセッサモードは、フラッシュメモリ版では使用禁止です。

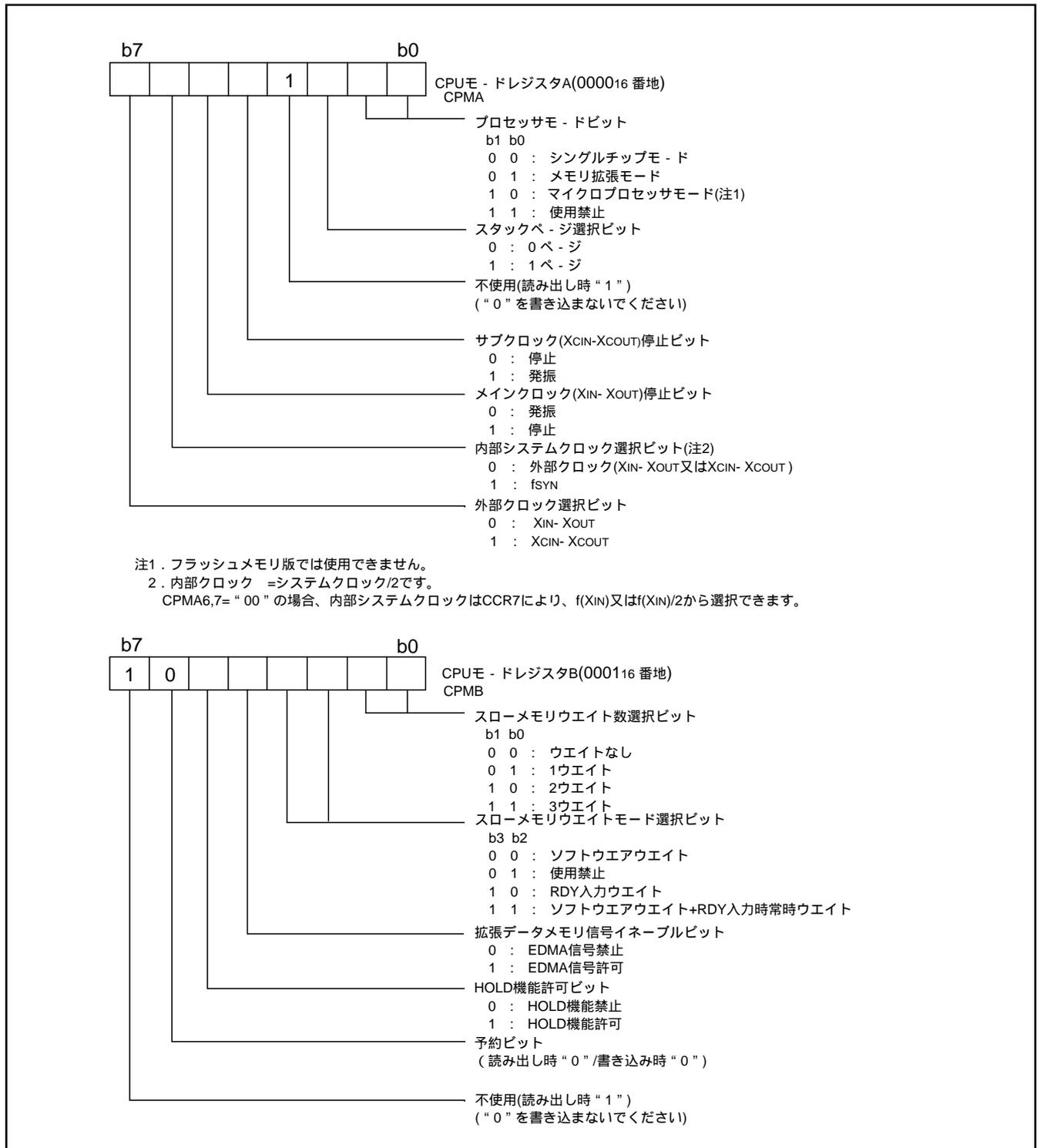


図8 . CPUモードレジスタA、Bの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の4バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。フラッシュ版では、予約ROM領域のプログラム/イレーズが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

メモリ拡張モード、およびマイクロプロセッサモード時のメモリ配置については、「プロセッサモード」の項を参照してください。

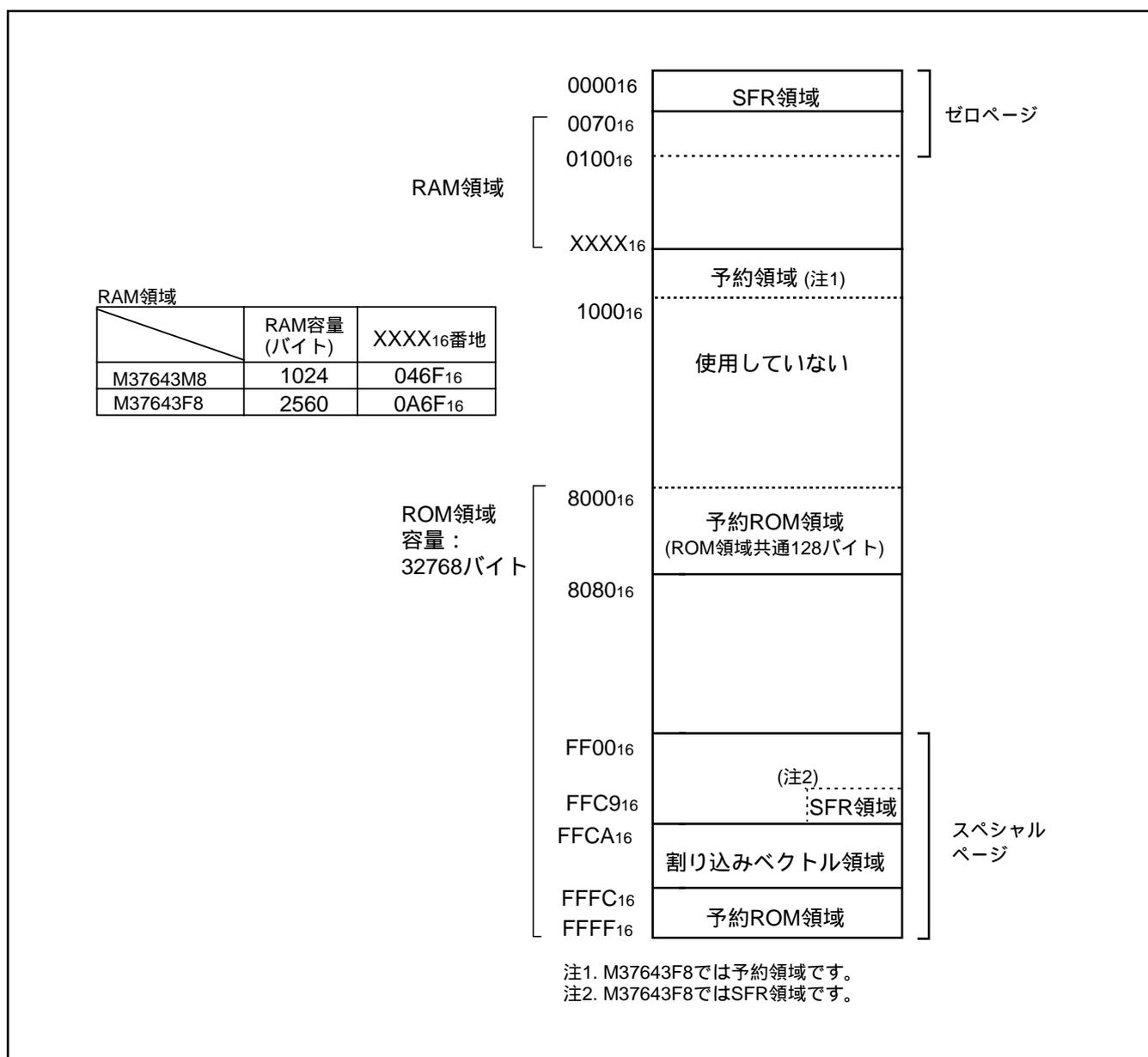


図9. メモリ配置図

0000 ₁₆	CPUモードレジスタA(CPMA)	0038 ₁₆	予約(注1)
0001 ₁₆	CPUモードレジスタB(CPMB)	0039 ₁₆	予約(注1)
0002 ₁₆	割り込み要求レジスタA(IREQA)	003A ₁₆	予約(注1)
0003 ₁₆	割り込み要求レジスタB(IREQB)	003B ₁₆	予約(注1)
0004 ₁₆	割り込み要求レジスタC(IREQC)	003C ₁₆	予約(注1)
0005 ₁₆	割り込み制御レジスタA(ICONA)	003D ₁₆	予約(注1)
0006 ₁₆	割り込み制御レジスタB(ICONB)	003E ₁₆	予約(注1)
0007 ₁₆	割り込み制御レジスタC(ICONC)	003F ₁₆	DMACインデックス及びステータスレジスタ(DMAIS)
0008 ₁₆	ポートP0(P0)	0040 ₁₆	DMACチャンネルxモードレジスタ1(DMAxM1)
0009 ₁₆	ポートP0方向レジスタ(P0D)	0041 ₁₆	DMACチャンネルxモードレジスタ2(DMAxM2)
000A ₁₆	ポートP1(P1)	0042 ₁₆	DMACチャンネルx送信元レジスタLow(DMAxSL)
000B ₁₆	ポートP1方向レジスタ(P1D)	0043 ₁₆	DMACチャンネルx送信元レジスタHigh(DMAxSH)
000C ₁₆	ポートP2(P2)	0044 ₁₆	DMACチャンネルx送信先レジスタLow(DMAxDL)
000D ₁₆	ポートP2方向レジスタ(P2D)	0045 ₁₆	DMACチャンネルx送信先レジスタHigh(DMAxDH)
000E ₁₆	ポートP3(P3)	0046 ₁₆	DMACチャンネルx転送コントロールレジスタLow(DMAxCL)
000F ₁₆	ポートP3方向レジスタ(P3D)	0047 ₁₆	DMACチャンネルx転送コントロールレジスタHigh(DMAxCH)
0010 ₁₆	ポート制御レジスタ(PTC)	0048 ₁₆	予約(注1)
0011 ₁₆	割り込み極性選択レジスタ(IPOL)	0049 ₁₆	予約(注1)
0012 ₁₆	ポートP2ブルアップ制御レジスタ(PUP2)	004A ₁₆	予約(注1)
0013 ₁₆	USB制御レジスタ(USBC)	004B ₁₆	予約(注1)
0014 ₁₆	ポートP6(P6)	004C ₁₆	予約(注1)
0015 ₁₆	ポートP6方向レジスタ(P6D)	004D ₁₆	予約(注1)
0016 ₁₆	ポートP5(P5)	004E ₁₆	予約(注1)
0017 ₁₆	ポートP5方向レジスタ(P5D)	004F ₁₆	予約(注1)
0018 ₁₆	ポートP4(P4)	0050 ₁₆	USBアドレスレジスタ(USBA)
0019 ₁₆	ポートP4方向レジスタ(P4D)	0051 ₁₆	USBパワー制御レジスタ(USBPM)
001A ₁₆	ポートP7(P7)	0052 ₁₆	USB割り込みステータスレジスタ1(USBIS1)
001B ₁₆	ポートP7方向レジスタ(P7D)	0053 ₁₆	USB割り込みステータスレジスタ2(USBIS2)
001C ₁₆	ポートP8(P8)	0054 ₁₆	USB割り込み許可レジスタ1(USBIE1)
001D ₁₆	ポートP8方向レジスタ(P8D)	0055 ₁₆	USB割り込み許可レジスタ2(USBIE2)
001E ₁₆	予約(注1)	0056 ₁₆	予約(注1)
001F ₁₆	クロック制御レジスタ(CCR)	0057 ₁₆	予約(注1)
0020 ₁₆	予約(注1)	0058 ₁₆	USBインデックスレジスタ(USBINDEX)
0021 ₁₆	予約(注1)	0059 ₁₆	USBインデックス制御レジスタ(IN_CSR)
0022 ₁₆	予約(注1)	005A ₁₆	USBインデックスOUT制御レジスタ(OUT_CSR)
0023 ₁₆	予約(注1)	005B ₁₆	USBインデックスIN最大バケットサイズレジスタ(IN_MAXP)
0024 ₁₆	タイマ1(T1)	005C ₁₆	USBインデックスOUT最大バケットサイズレジスタ(OUT_MAXP)
0025 ₁₆	タイマ2(T2)	005D ₁₆	USBインデックスOUT書き込みカウンタレジスタ(WRT_CNT)
0026 ₁₆	タイマ3(T3)	005E ₁₆	予約(注1)
0027 ₁₆	予約(注1)	005F ₁₆	USBインデックスFIFOモード選択レジスタ(USBFIFOMR)
0028 ₁₆	予約(注1)	0060 ₁₆	USBエンドポイント0 FIFO(USBFIFO0)
0029 ₁₆	タイマ123モードレジスタ(T123)	0061 ₁₆	USBエンドポイント1 FIFO(USBFIFO1)
002A ₁₆	シリアルI/Oソフトレジスタ(SIOSHT)	0062 ₁₆	USBエンドポイント2 FIFO(USBFIFO2)
002B ₁₆	シリアルI/O制御レジスタ1(SIOCON1)	0063 ₁₆	予約(注1)
002C ₁₆	シリアルI/O制御レジスタ2(SIOCON2)	0064 ₁₆	予約(注1)
002D ₁₆	予約(注1)	0065 ₁₆	予約(注1)
002E ₁₆	予約(注1)	0066 ₁₆	予約(注1)
002F ₁₆	予約(注1)	0067 ₁₆	予約(注1)
0030 ₁₆	UARTモードレジスタ(UMOD)	0068 ₁₆	予約(注1)
0031 ₁₆	UARTボーレートジェネレータ(UBRG)	0069 ₁₆	予約(注1)
0032 ₁₆	UARTステータスレジスタ(USTS)	006A ₁₆	フラッシュメモリ制御レジスタ(FMCR)(注2)
0033 ₁₆	UART制御レジスタ(UCON)	006B ₁₆	予約(注1)
0034 ₁₆	UART送受信バッファレジスタ1(UTRB1)	006C ₁₆	周波数シンセサイザ制御レジスタ(FSC)
0035 ₁₆	UART送受信バッファレジスタ2(UTRB2)	006D ₁₆	周波数シンセサイザ乗算レジスタ1(FSM1)
0036 ₁₆	UART RTS制御レジスタ(URTSC)	006E ₁₆	周波数シンセサイザ乗算レジスタ2(FSM2)
0037 ₁₆	予約(注1)	006F ₁₆	周波数シンセサイザ除算レジスタ(FSD)
		FFC9 ₁₆	ROMコードプロテクト制御レジスタ(ROMCP)(注3)

注1. 予約領域のため、何もデータを書き込まないでください。
 注2. マスクROM版では予約領域になります。
 注3. マスクROM版ではROM領域になります。

図10. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを'1'にセットするとその端子は出力ポートになります。'0'にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表6. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/AB0 ~ P07/AB7	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	アドレス下位出力	CPUモードレジスタA ポート制御レジスタ	(1)
P10/AB8 ~ P17/AB15	ポートP1			アドレス上位出力		
P20/DB0 ~ P27/DB7	ポートP2		CMOS入力レベル/ VIHL入力レベル CMOS3ステート出力	データバス入出力	CPUモードレジスタA ポート制御レジスタ ポートP2プルアップ制御レジスタ	(2)
P30/RDY ~ P37/RD	ポートP3		CMOS入力レベル CMOS3ステート出力	制御信号入出力	CPUモードレジスタA CPUモードレジスタB ポート制御レジスタ	(1) (3)
P40/EDMA	ポートP4			制御信号入出力 外部割り込み入力	CPUモードレジスタA CPUモードレジスタB ポート制御レジスタ 割り込み極性選択レジスタ	(4) (5)
P41/INT0 P42/INT1						
P43 P44						
P50/XCIN P51/TOUT/ XCOUT	ポートP5		CMOS入力レベル CMOS3ステート出力	サブクロック発振回路 タイマ1,2出力端子	CPUモードレジスタAポート 制御レジスタ クロック制御レジスタ タイマ123モードレジスタ	(6) (7)
P52 ~ P57			CMOS入力レベル CMOS3ステート出力		ポート制御レジスタ	(8)
P60 ~ P67	ポートP6		CMOS/TTL入力レベル CMOS3ステート出力		ポート制御レジスタ	(9)
P70	ポートP7		CMOS入力レベル CMOS3ステート出力		ポート制御レジスタ	(10)
P71/HOLD P72			CMOS入力レベル CMOS3ステート出力	制御信号入出力	ポート制御レジスタ CPUモードレジスタB	(11) (12)
P73/HLDA P74						(13) (14)
P80/SRDY P81/SCLK P82/SRXD P83/STXD P84/UTXD P85/URXD P86/CTS P87/RTS		ポートP8	CMOS入力レベル CMOS3ステート出力	UART機能入出力端子 シリアルI/O機能入出力端子	UART制御レジスタ シリアルI/O制御レジスタ1 シリアルI/O制御レジスタ2 ポート制御レジスタ	(15) (16) (17) (18) (19) (20) (21) (22)

注1. シングルチップモード以外のモードにおけるポートの機能、及びダブルファンクションを機能入出力端子として使用方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が中間レベルにあると入力段ゲートの貫通電流が流れ、電源電流が増加します。

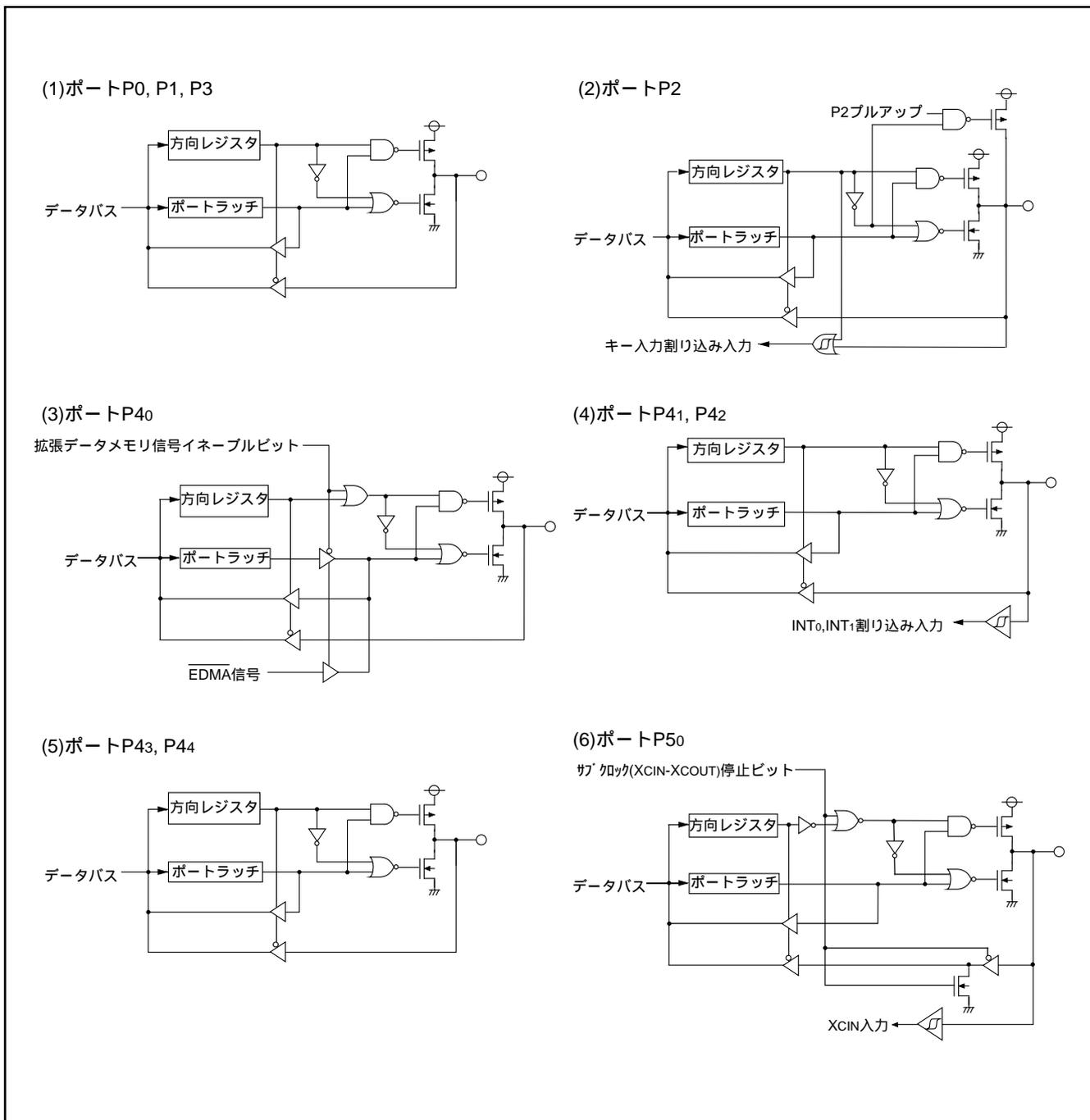


図11 . ポートのブロック図(1)

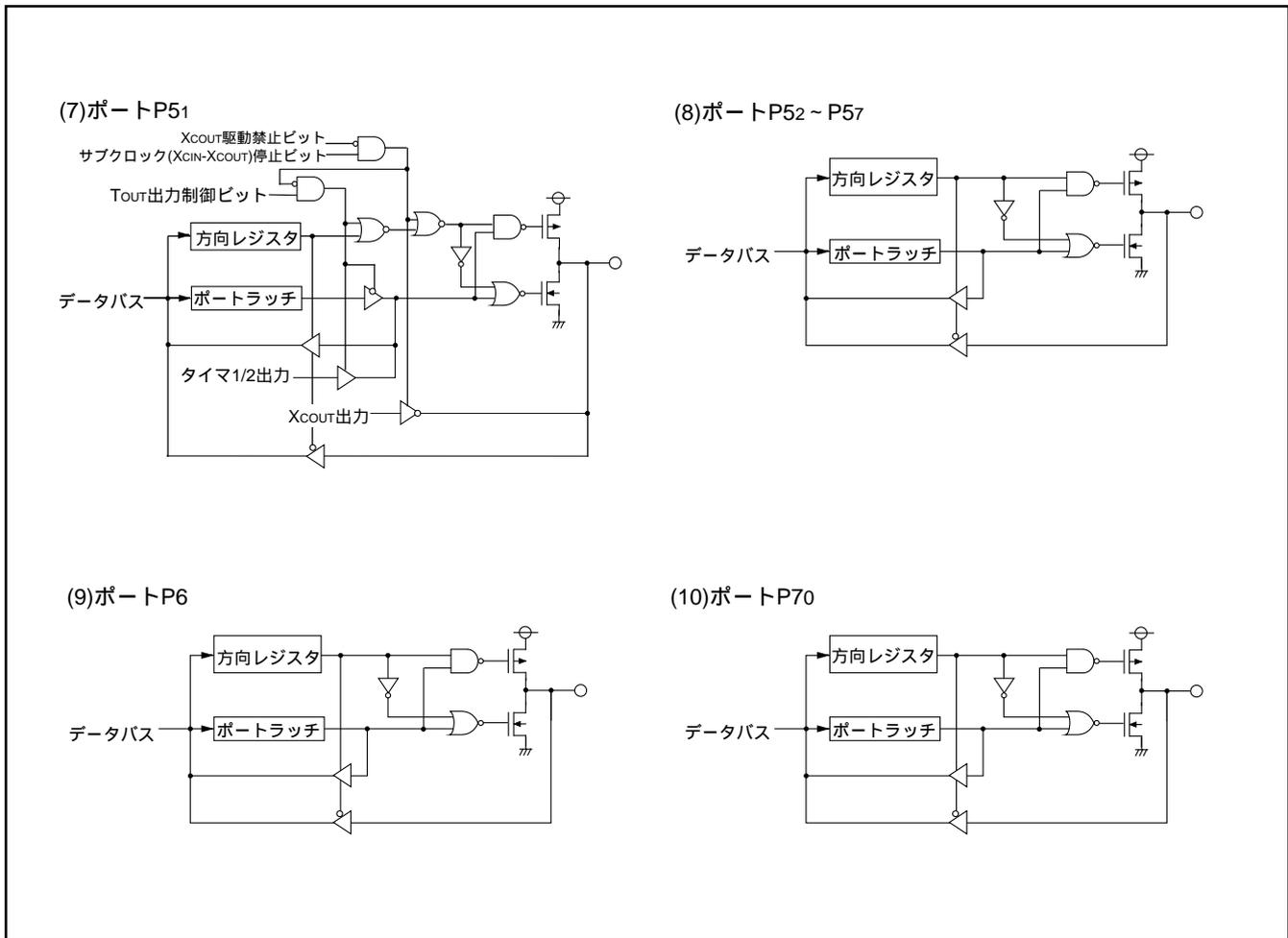


図12 . ポートのブロック図(2)

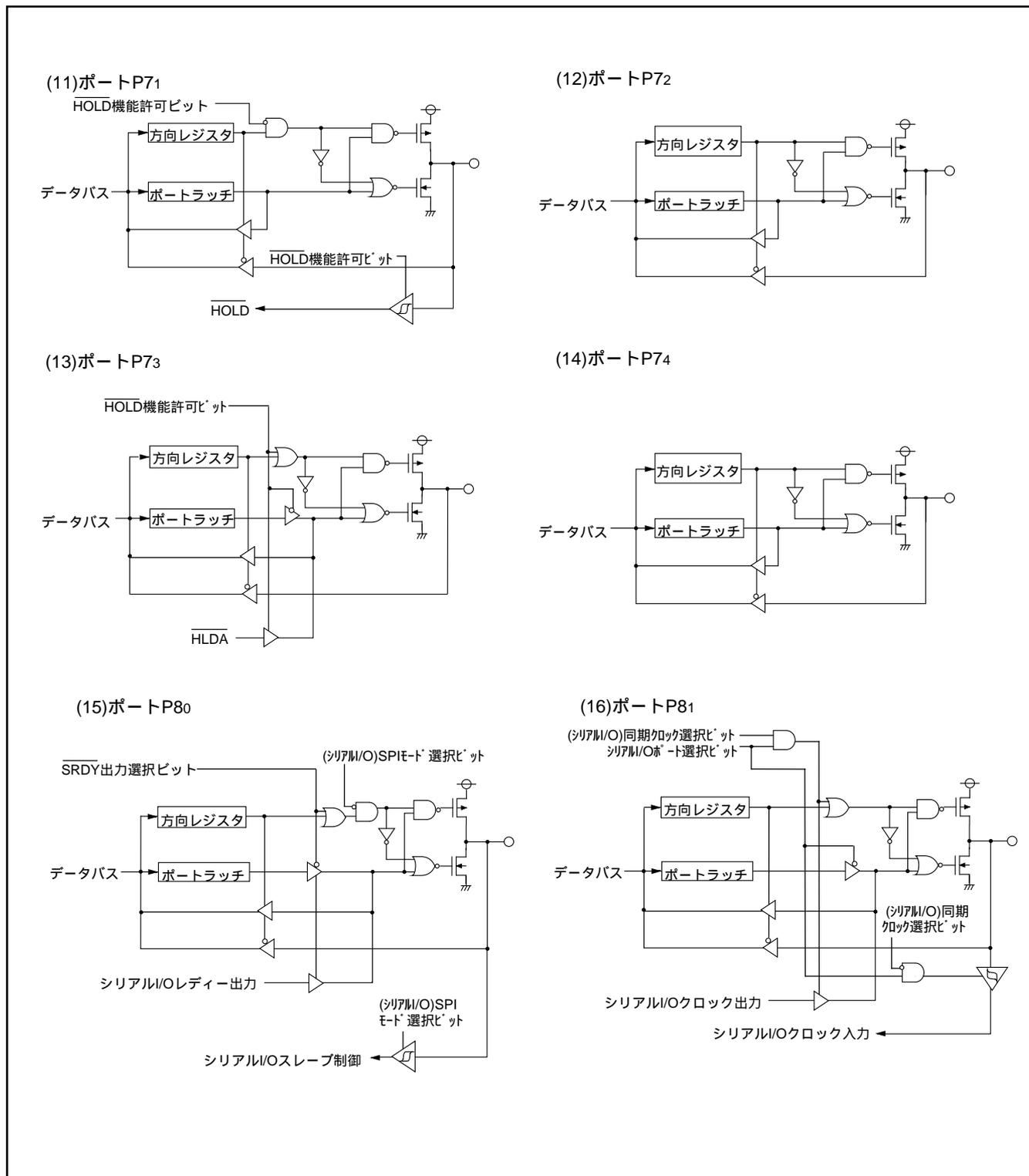


図13. ポートのブロック図(3)

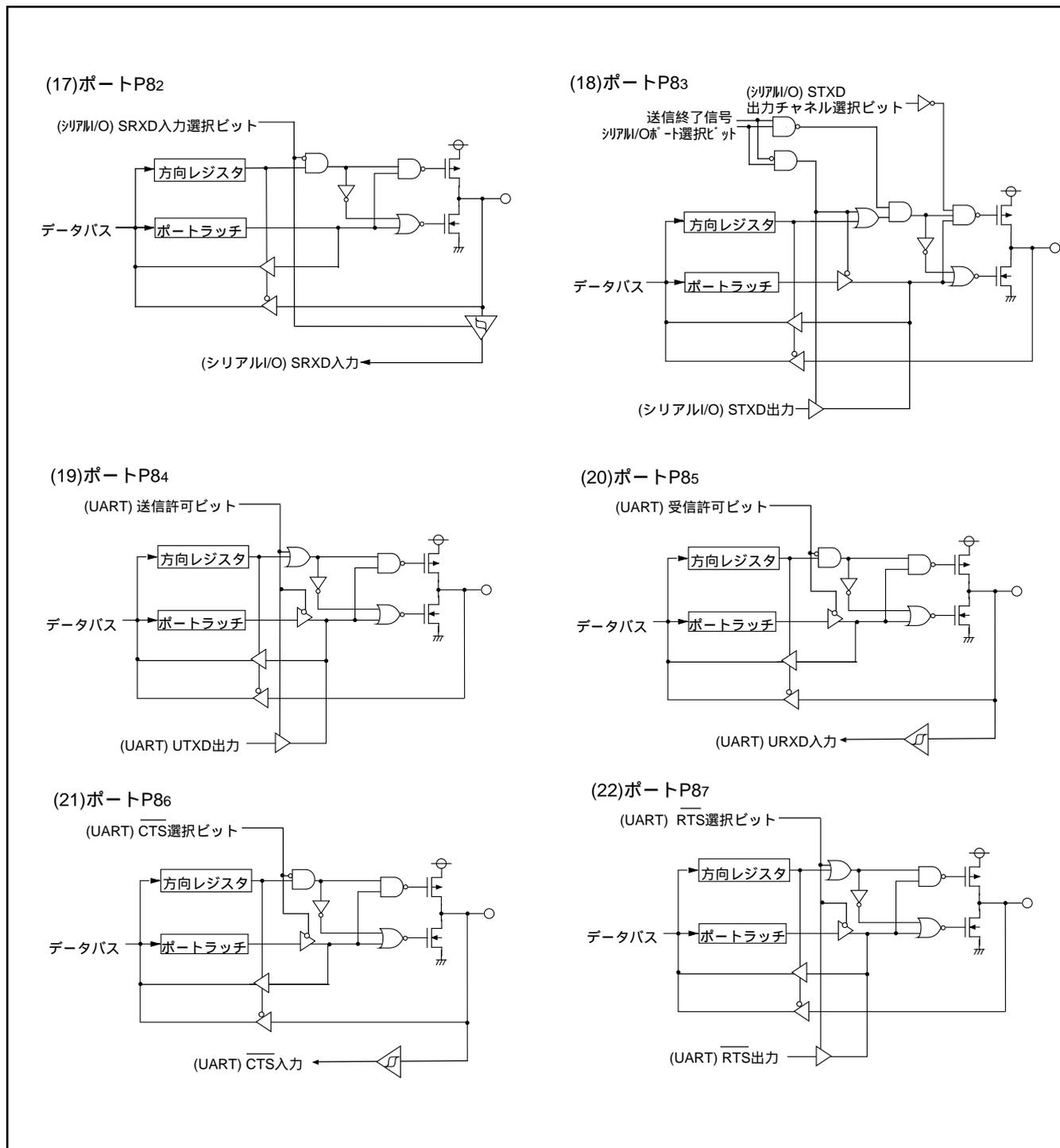


図14 . ポートのブロック図(4)

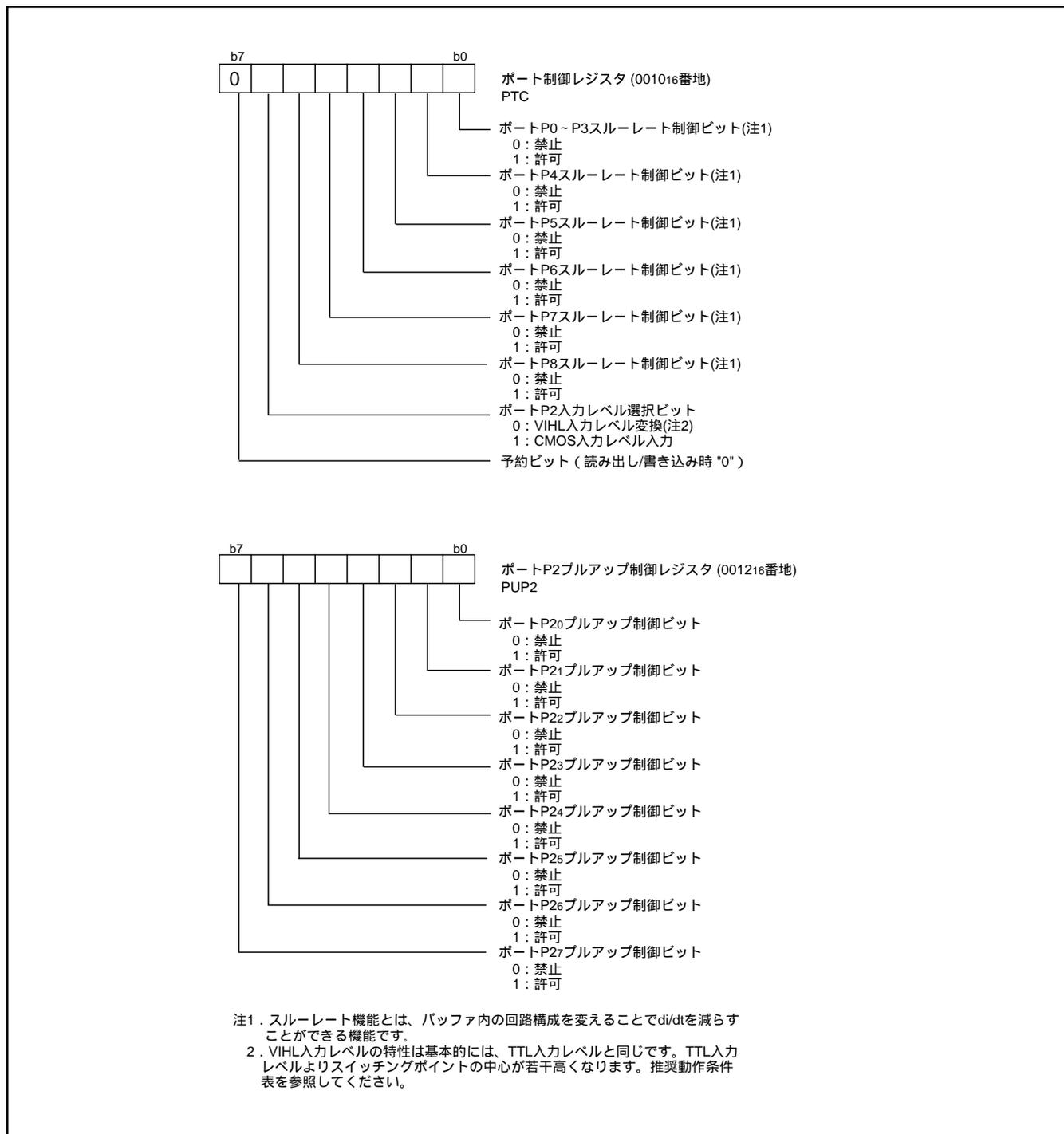


図15 . ポート入出力関連レジスタの構成

割り込み

割り込みはベクトル割り込みで、外部3要因、内部10要因、ソフトウェア1要因の14要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグ(I)の影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

なお、割り込み極性選択レジスタ(0011₁₆番地)によりINT₀及びINT₁の割り込みエッジを選択できます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込み(INT₀, INT₁)のアクティブエッジを設定する際
対象レジスタ：割り込み極性選択レジスタ(0011₁₆番地)

上記設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

1. 該当する割り込み許可ビットを“0”(禁止)にする。
2. 割り込みエッジ選択ビット(極性選択ビット)を設定する。
3. 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
4. 該当する割り込み許可ビットを“1”(許可)にする。

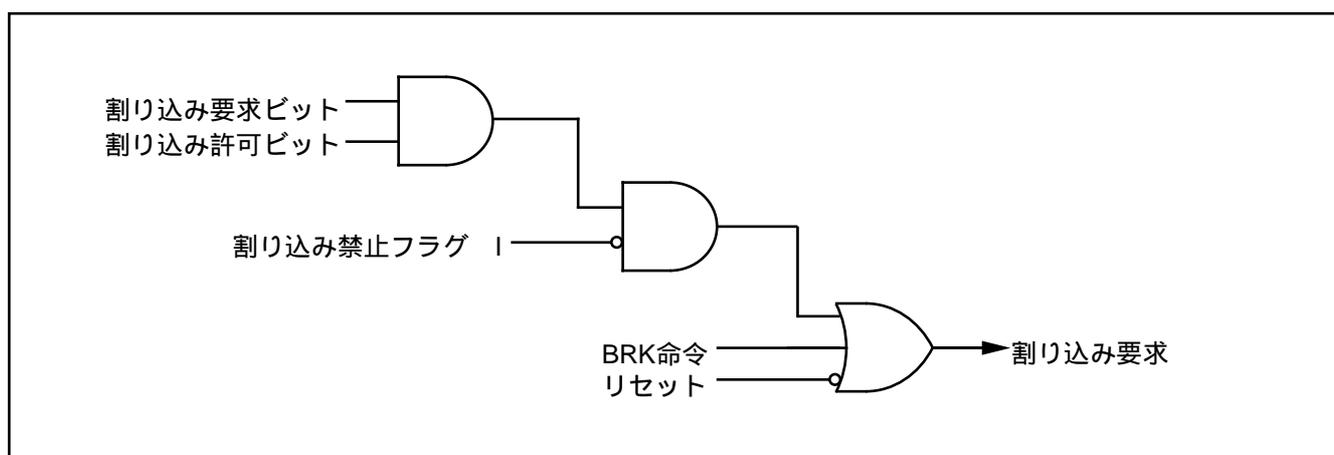


図16 . 割り込み制御図

表7 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注3)	1	FFFB16	FFFA16	リセット時	ノンマスクابل
USB機能	2	FFF916	FFF816	(注2)	
予約領域	3	FFF716	FFF616	使用できません	
INT ₀	4	FFF516	FFF416	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁	5	FFF316	FFF216	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
DMACチャンネル0	6	FFF116	FFF016	DMAチャンネル0転送終了時	
DMACチャンネル1	7	FFEF16	FFEE16	DMAチャンネル1転送終了時	
UART受信バッファフル	8	FFED16	FFEC16	UART受信終了時	
UART送信	9	FFEB16	FFEA16	UART送信終了時	
UARTサミングエラー	10	FFE916	FFE816	UARTサミングエラー検出時	
予約領域	11	FFE716	FFE616	使用できません	
予約領域	12	FFE516	FFE416	使用できません	
予約領域	13	FFE316	FFE216	使用できません	
予約領域	14	FFE116	FFE016	使用できません	
予約領域	15	FFDF16	FFDE16	使用できません	
タイマ1	16	FFDD16	FFDC16	タイマ1アンダフロー時	
タイマ2	17	FFDB16	FFDA16	タイマ2アンダフロー時	
タイマ3	18	FFD916	FFD816	タイマ3アンダフロー時	
予約領域	19	FFD716	FFD616	使用できません	
予約領域	20	FFD516	FFD416	使用できません	
シリアルI/O	21	FFD316	FFD216	シリアルI/Oデータ送受信終了時	
予約領域	22	FFD116	FFD016	使用できません	
予約領域	23	FFCF16	FFCE16	使用できません	
キーオンウエイクアップ	24	FFCD16	FFCC16	ポートP2の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がり有効)
BRK命令	25	FFCB16	FFCA16	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. エンドポイントx(0 ~ 2)IN割り込み, エンドポイントx(1 ~ 2)OUT割り込み, オーバラン/アンダラン割り込み, USBリセット割り込み及びサスペンド/レジューム割り込み要求発生時。

3. リセットは最上位の優先順位を持つ割り込みとして処理されます。

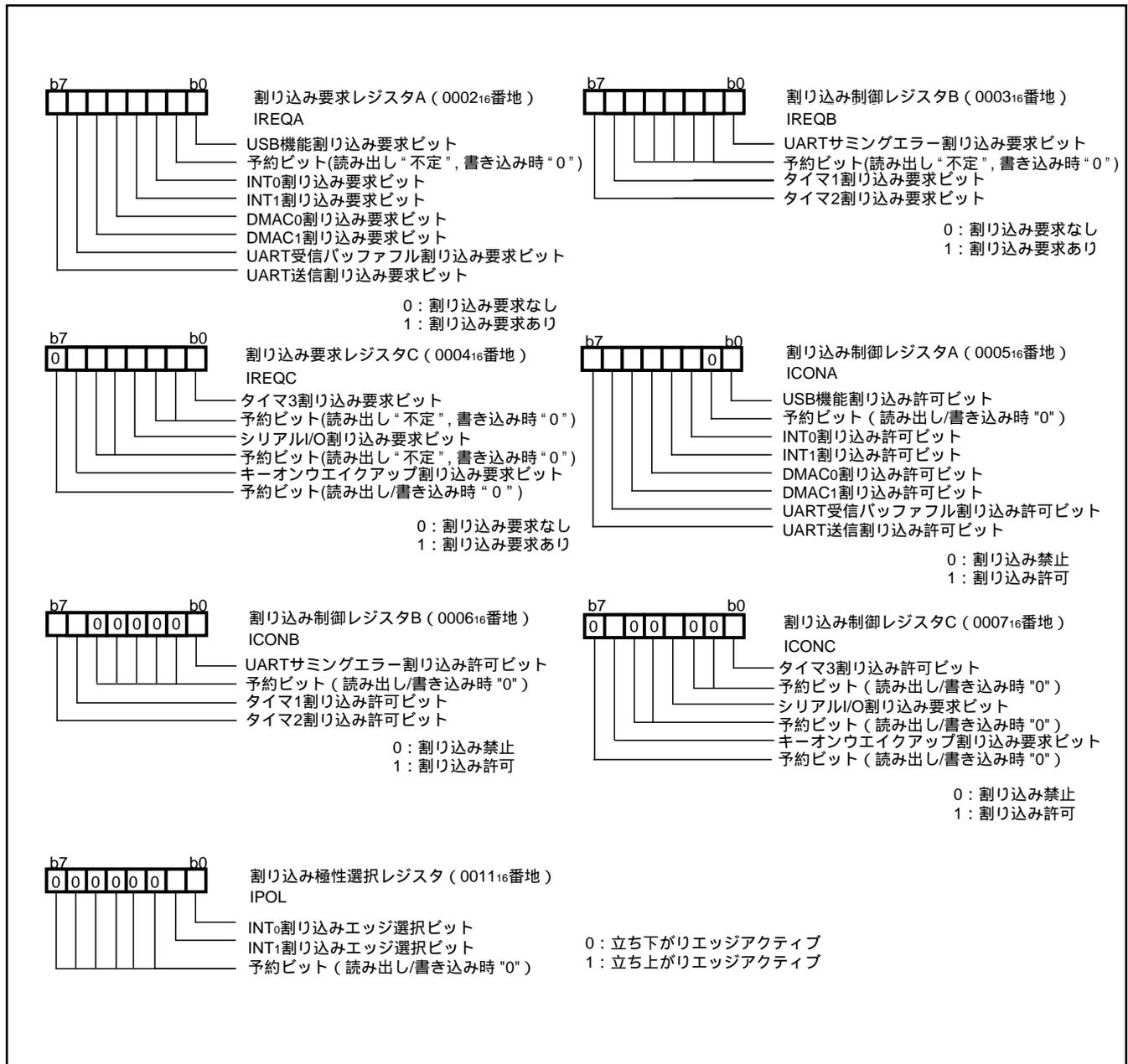


図17. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP2のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると

り込み要求が発生します。図18はキー入力割り込みを用いた一例で、ポートP20～P24を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

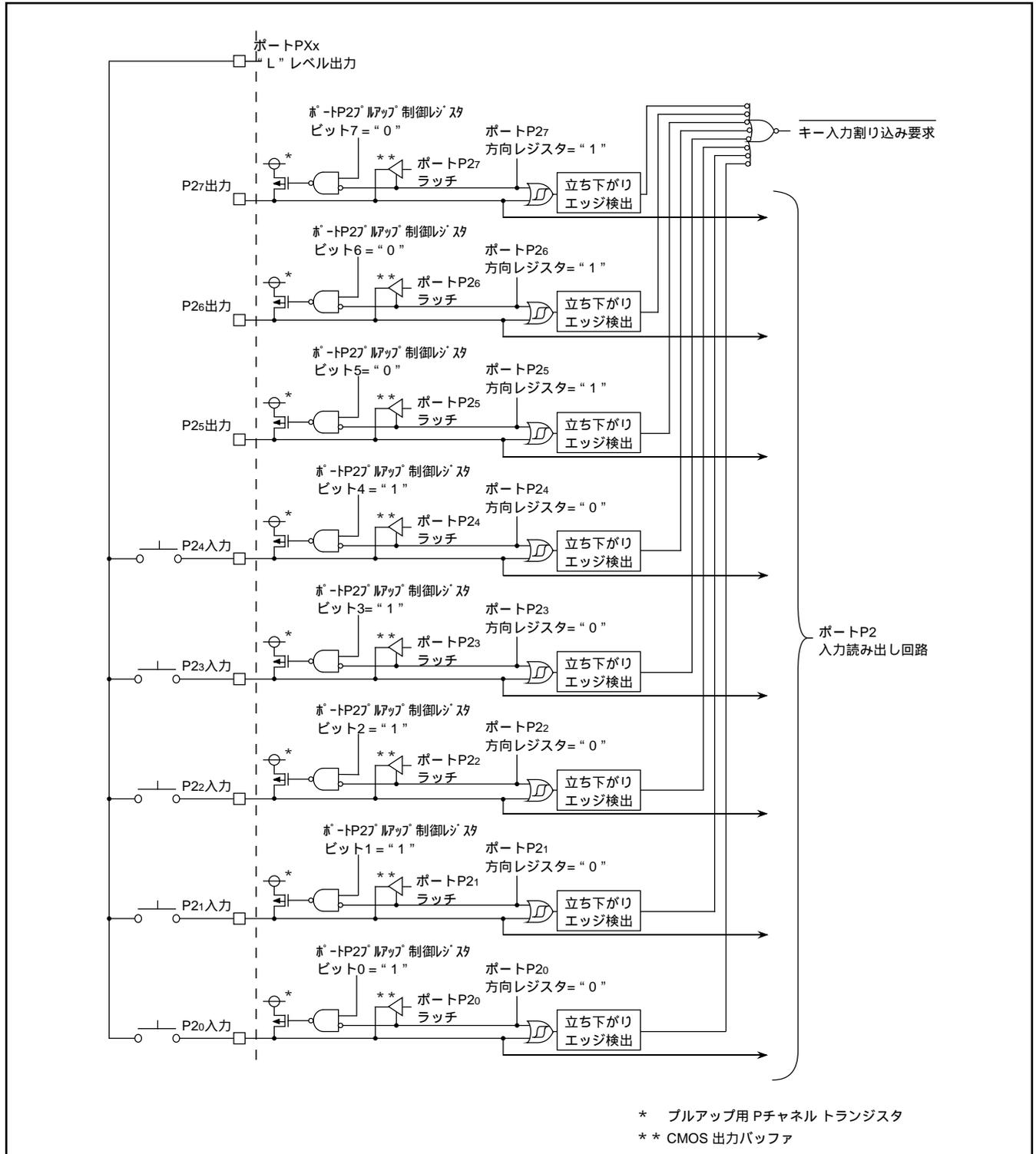


図18．キー入力割り込み使用時の結線例とポートP2のブロック図

タイマ

タイマはタイマ1、タイマ2、タイマ3の3本の8ビットタイマがあります。

タイマはすべてカウントダウン方式でタイマの内容が

“0016”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。また、アンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

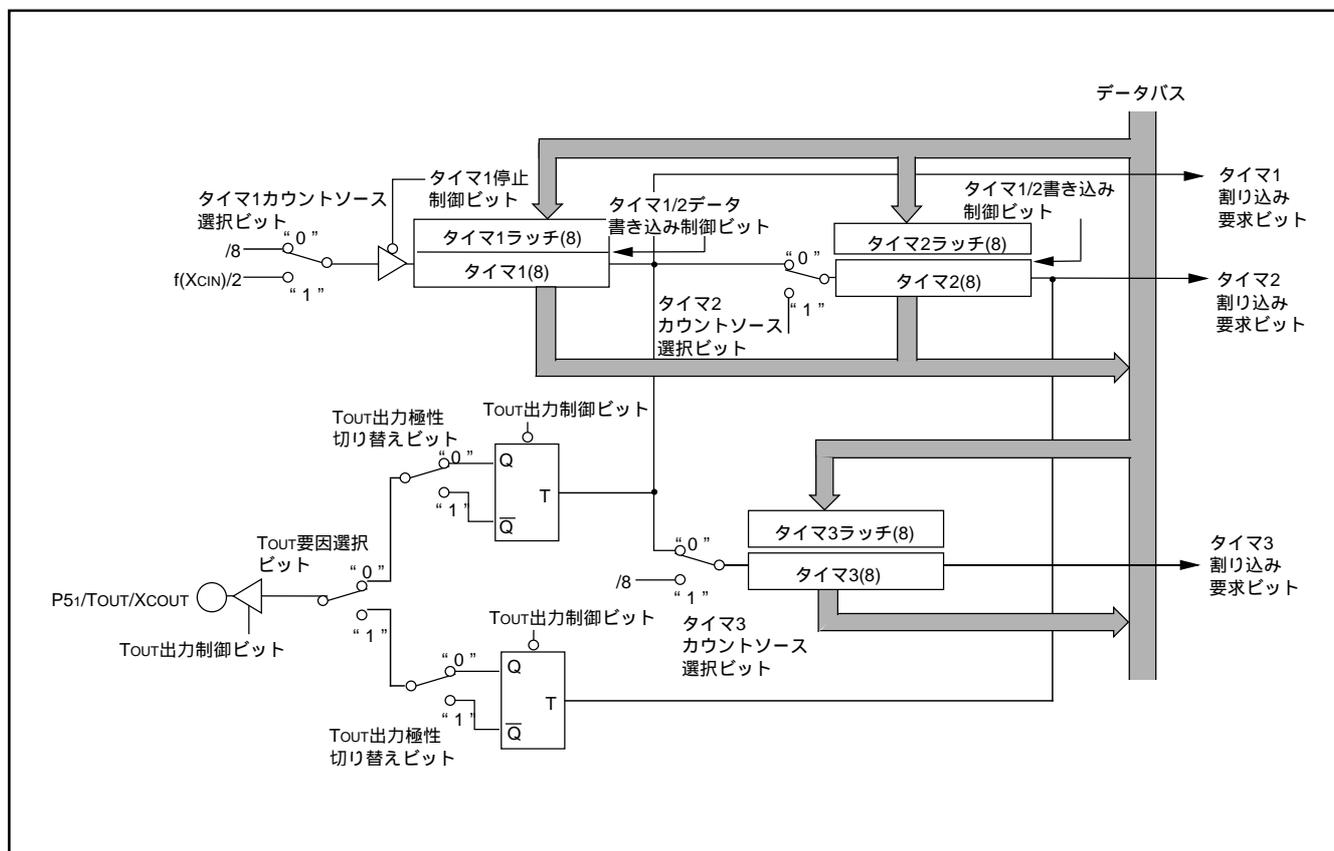


図19. タイマのブロック図

タイマ1, タイマ2, タイマ3

タイマ1~3は8ビットのタイマでタイマ123モードレジスタにより、カウントソースの選択などができます。

・タイマ1及びタイマ2書き込み制御

タイマ1/2書き込み制御ビットが[※]1”のとき、タイマラッチのみへ書き込みになります。タイマ1又はタイマ2に値を書き込むとリロード用ラッチのみに値が設定され、タイマの内容は次のアンダフローで更新されます。通常はラッチ及びタイマへの同時書き込みになっており、タイマのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

・タイマ1及びタイマ2出力制御

Tout要因選択ビットにより選択されたタイマがアンダフローするたびに、極性の反転する信号がP51/TOUT/XCOUT端子から出力されます。Tout出力極性切り替えビットが[※]0”のときは、P51/TOUT/XCOUT端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP51の方向レジスタを出力に設定してください。

注意事項

・タイマ1~3使用上の注意

タイマ1~3のカウントソースを切り換えても、リロードラッチの値は影響を受けません。ただし、カウントソースが変わるとタイマのカウント動作が開始する場合があるので、タイマ1~3のカウントソースを変更後に再度タイマ1から順に書き込みを行ってください。

・タイマ1/2データ書き込み制御

ラッチのみ書込む場合、リロードラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、カウンタに設定される値が不定になることがあります。

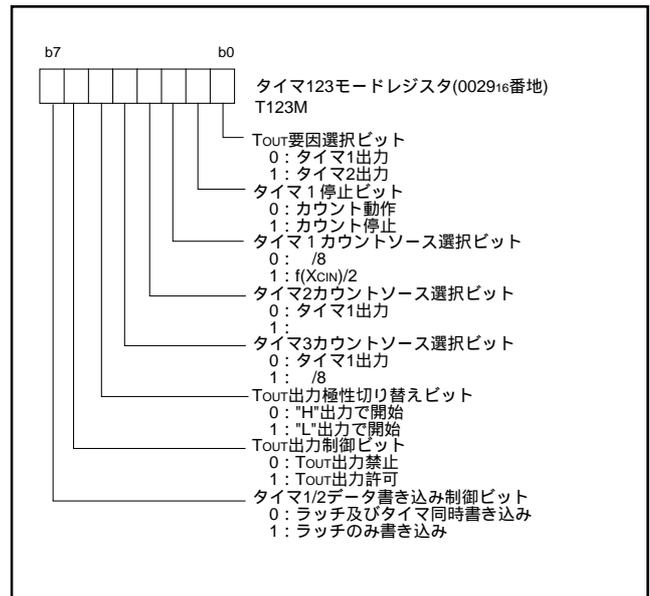


図20 . タイマ123モードレジスタの構成

シリアルインタフェース

シリアルI/O

シリアルI/Oでは、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部システムクロックを用いた場合、送受信の開始はシリアルI/Oシフトレジスタへの書き込み信号により行われます。

【シリアルI/O制御レジスタ1】SIOCON1

【シリアルI/O制御レジスタ2】SIOCON2

シリアルI/O制御レジスタ1及びシリアルI/O制御レジスタ2は、シリアルI/Oの各種制御を行う選択ビットで構成されています。

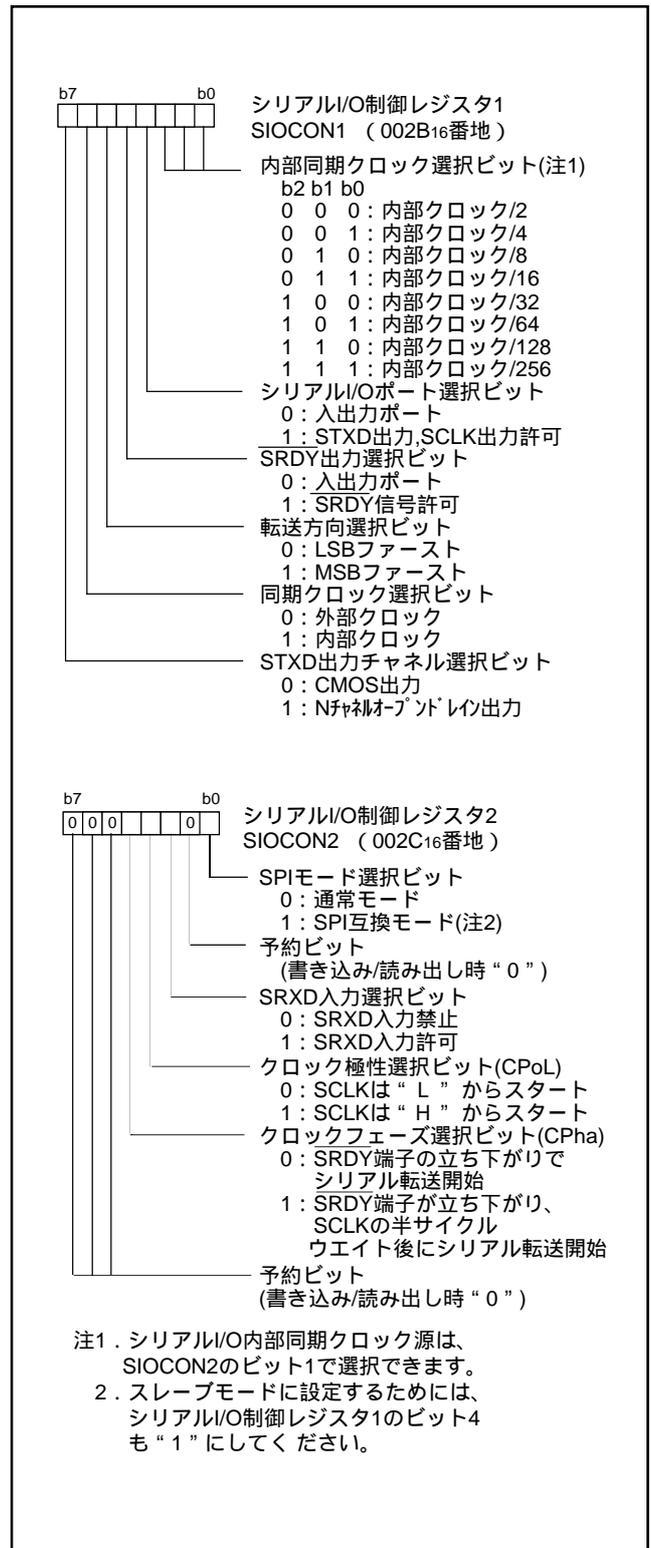


図21. シリアルI/O関連レジスタの構成

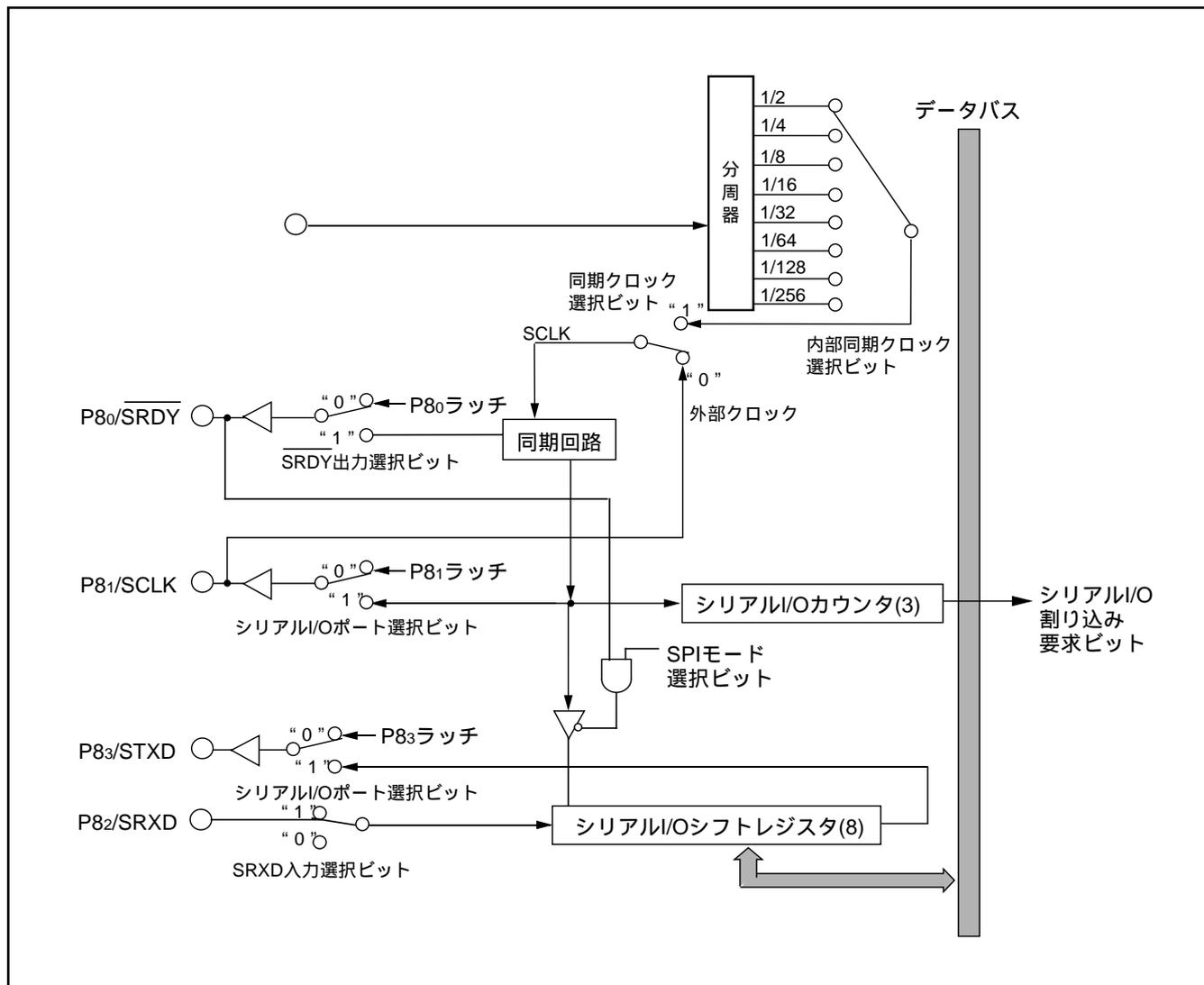


図22 . シリアルI/Oブロック図

・シリアルI/O(通常モード)の動作

シリアルI/Oシフトレジスタ(002A16)に書き込みを行うとシリアルI/Oカウンタが7にセットされます。

SRDY出力選択ビットが^{*}1"のとき、書き込み後、P80/SRDY端子は^{*}L"になり、転送クロックと逆のエッジで^{*}H"になります。それと同時に、P83/STXD端子から1ビット目のデータが出力され、転送クロックが^{*}H"から^{*}L"に変化するごとに、残りのデータが1ビットずつ出力されます。

また、転送クロックが^{*}L"から^{*}H"に変化するごとにP82/SRXD端子からデータが取り込まれると同時にシリアルI/Oシフトレジスタの内容が1ビットシフトされます。

転送クロックに内部システムクロックを選択している場合、転送クロックを8回カウントするとシリアルI/Oカウンタは0"となり、転送クロックが^{*}H"で停止し、割り込み要求ビットがセットされます。また、データ転送終了後P83/STXD端子がハイインピーダンス状態になります。

転送クロックに外部クロックを選択している場合、転送クロックを8回カウントすると割り込み要求ビットはセットされますが、転送クロックは停止しません。外部でクロックを制御してください。また、データ転送完了後はP83/STXD端子はハイインピーダンス状態になりません。

図23にシリアルI/Oタイミング図を示します。

・SPI互換モードの動作

SPIモード選択ビットが^{*}1"のとき、SPI互換モードで動作します。シリアルI/O制御レジスタ1の同期クロック選択ビットが^{*}0" (外部クロック選択)ならばスレーブモードで動作し、^{*}1" (内部クロック選択)ならばマスタモードで動作します。SPI互換モードではP82/SRXD端子はMISO端子、P83/STXD端子はMOSI端子となります。

スレーブモードで動作する場合、データはMISO端子から出力し、MOSI端子から入力します。このとき、P80/SRDY端子は外部からのチップセレクト信号入力端子となります。

マスタモードで動作する場合、データはMOSI端子から出力し、MISO端子から入力します。このとき、P80/SRDY端子は外部へのチップセレクト信号出力端子となります。

SPI互換モードでスレーブ動作する場合はシリアルI/O制御レジスタ2のビット3,4により4通りのクロック極性及びフェーズを選択できます。P80/SRDY端子が^{*}H"になると、シフトクロックは禁止されシリアルI/Oカウンタが7"になります。P80/SRDY端子が^{*}L"になると、シフトクロックが開始されます。転送中はP80/SRDY端子は^{*}L"に固定してください。また、転送中はシリアルI/Oシフトレジスタへデータを書かないでください。

図23のタイミング図を参照してください。

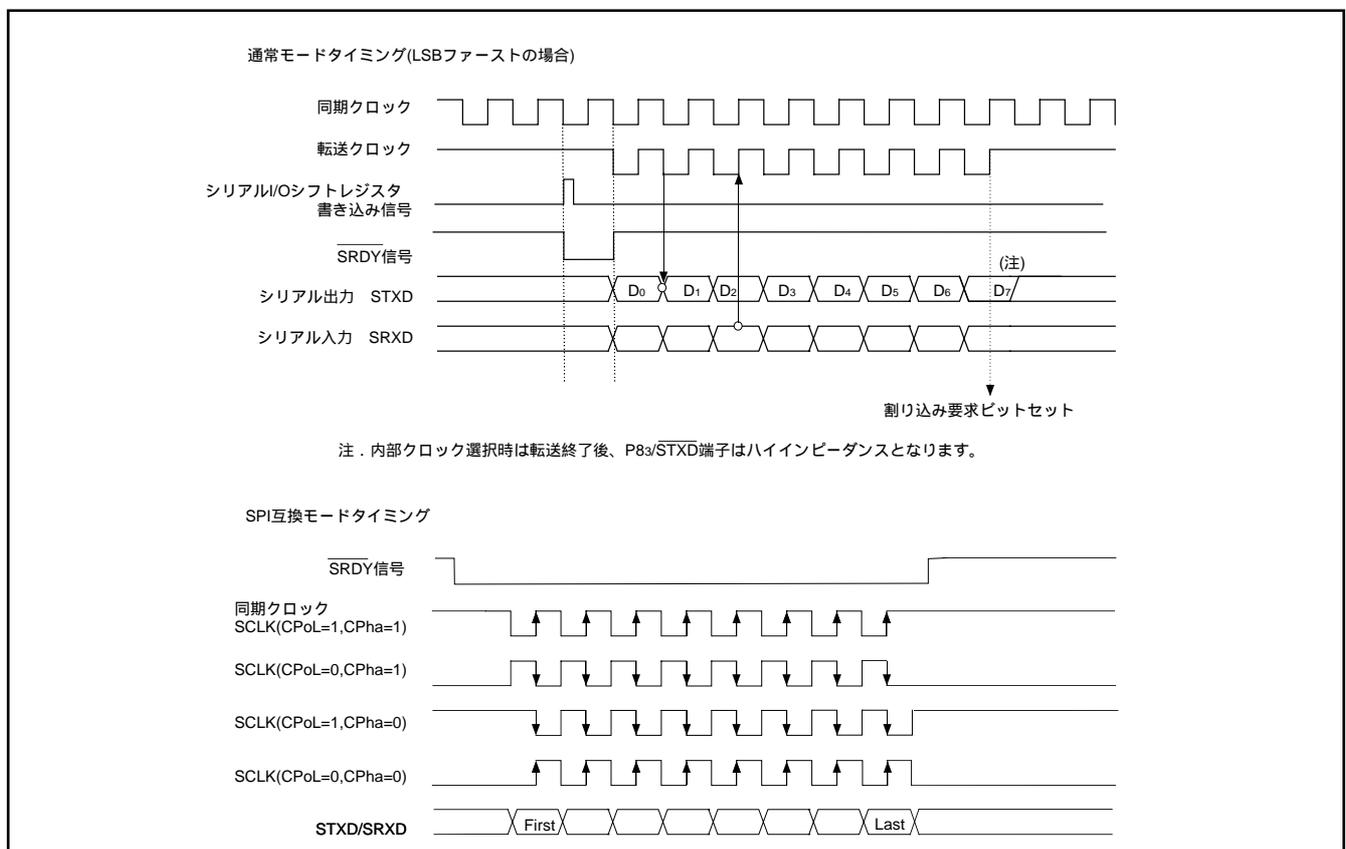


図23 . シリアルI/Oタイミング図

UART

7643グループでは、12のシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7643グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データ

の書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。転送速度は以下の通りです。

$$\text{転送速度(ボーレート)} = f_i \{ (n+1) \times 16 \}$$

n : UARTボーレートジェネレータの内容

f_i : UARTクロックプリスケールビットにより、1/8、1/32、1/256のうちいずれかを選択

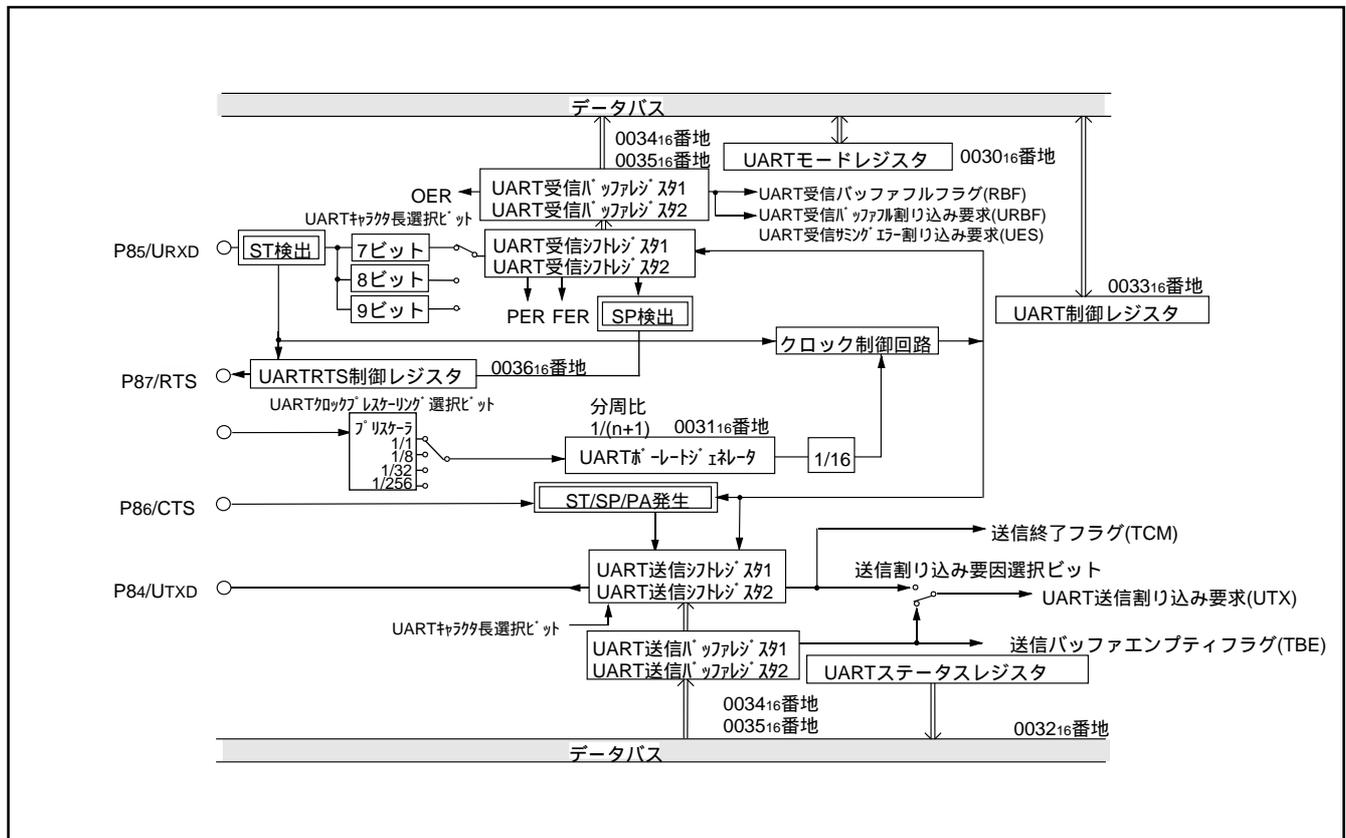


図24 . UARTブロック図

・ UART送信

送信許可ビットが“1”で送信バッファエンプティフラグが“0”で、さらにCTS機能許可の場合は、CTS端子(P86/CTS)入力が“L”の条件で送信を開始します。データはスタートビット、ストップビットあるいはパリティビットが付加されて、下位バイトから順に出力されます。9ビット長キャラクタ長を選択する場合は上位バイト、下位バイトの順にUARTバッファレジスタにデータを設定してください。

送信を開始すると、送信中のデータ送信終了までは、送信許可フラグ、送信バッファエンプティフラグ、CTS(P86/CTS)端子の状態(CTS機能許可の場合)をチェックしません。

送信時は以下の手順でセットアップしてください。

- (1)UARTボーレートジェネレータ(0031₁₆番地)へ値を設定(n=0~255)。
- (2)送信初期化ビット(UART制御レジスタのビット2)を“1”に設定。これによりUARTステータスレジスタ(0032₁₆番地)が“0316”になります。
- (3)送信割り込み要因選択ビット(UART制御レジスタのビット4)を選択。
- (4)UARTモードレジスタ(0030₁₆番地)を設定。
- (5)CTS選択ビット(UART制御レジスタのビット5)を設定。
- (6)送信許可ビット(UART制御レジスタのビット0)に“1”を設定。

送信中にUARTボーレートジェネレータの値を変更する場合は必ず送信を禁止にしてから変更してください。再び送信を許可にする場合、UART送受信バッファレジスタ1,2に値が残っていると、不定なデータが出力される場合があります。

・ UART受信

受信許可ビットが“1”で、受信許可状態になります。スタートビットの検出で受信クロックが動作を開始し、データを下位ビットから受信します。9ビット長キャラクタ長を選択する場合は、UARTバッファレジスタから上位バイト、下位バイトの順に読み出してください。

受信時は以下の手順でセットアップしてください。

- (1)UARTボーレートジェネレータ(0031₁₆番地)へ値を設定(n=0~255)。
- (2)受信初期化ビット(UART制御レジスタのビット3)を“1”に設定。
- (3)UARTモードレジスタ(0030₁₆番地)を設定。
- (4)RTS選択ビット(UART制御レジスタのビット6)を設定。
- (5)受信許可ビット(UART制御レジスタのビット1)に“1”を設定。

・CTS機能, RTS機能

CTS選択ビットが“1”でCTS機能が許可になります。CTS機能許可の時、送信許可状態でUARTバッファレジスタにデータが設定されても送信は開始されず、CTS端子(P86/CTS)に“L”が入力された時点で送信が開始します。

RTS選択ビットが“1”でRTS機能が許可になります。受信許可状態(受信許可ビットが“1”)になるとRTS端子(P87/RTS)は

“L”になり、受信開始を送信側に知らせます。受信開始で“H”になり、最終ビットを受信すると“L”になります。最終ストップビット受信からRTS有効遅延時間はプログラマブルです。RTS有効遅延カウントビットにより選択できます。

RTS端子は受信許可ビットを“0”にすると“H”になります(REN=“0”又はRIN=“1”)。受信許可ビットが“1”の場合も、無効なスタートビットを検出した場合は“H”になります。

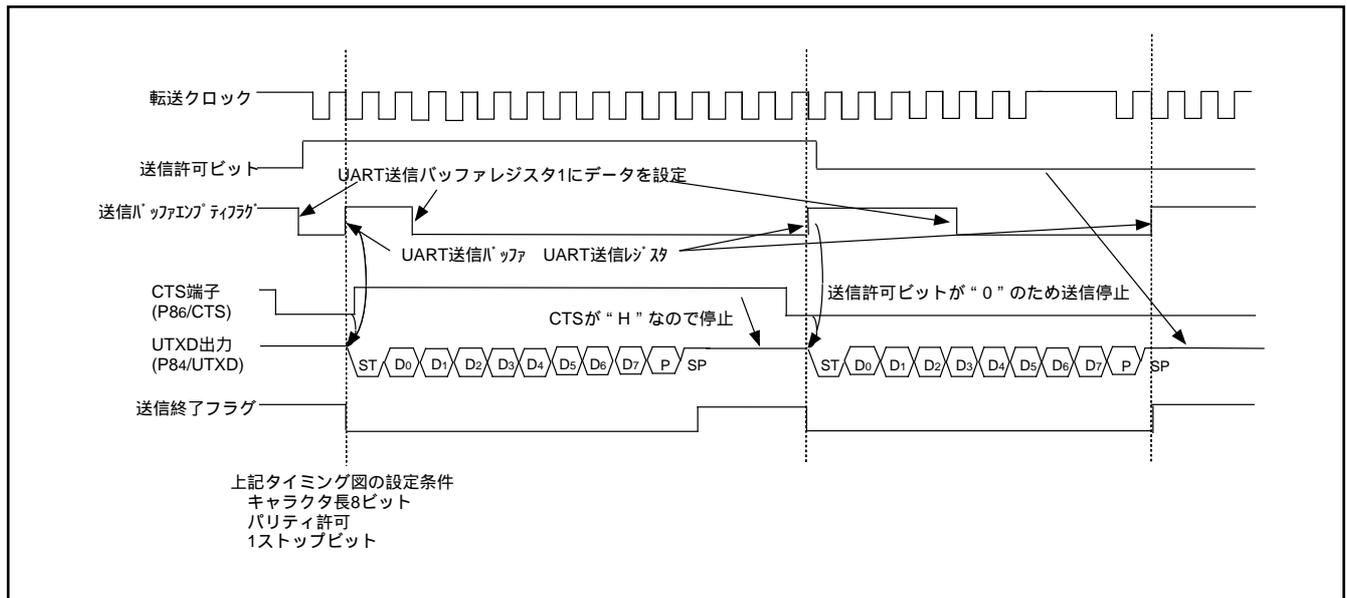


図25 . UART送信動作図(CTS機能許可時)

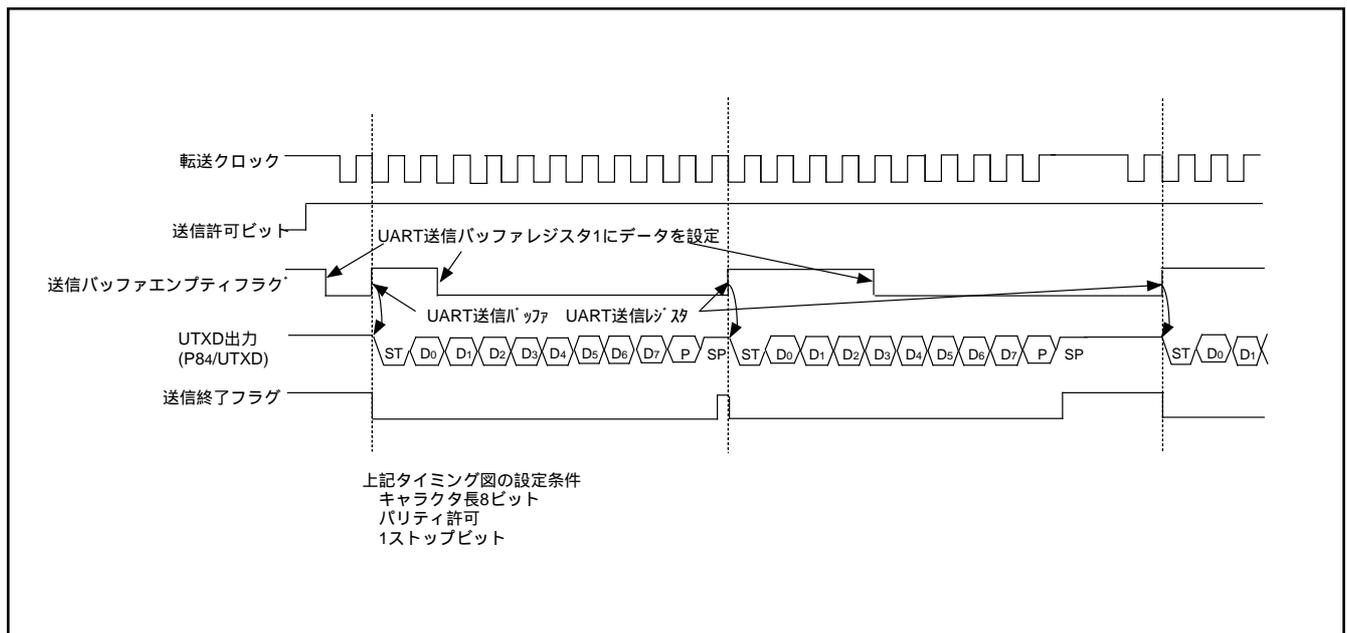


図26 . UART送信動作図(CTS機能禁止時)

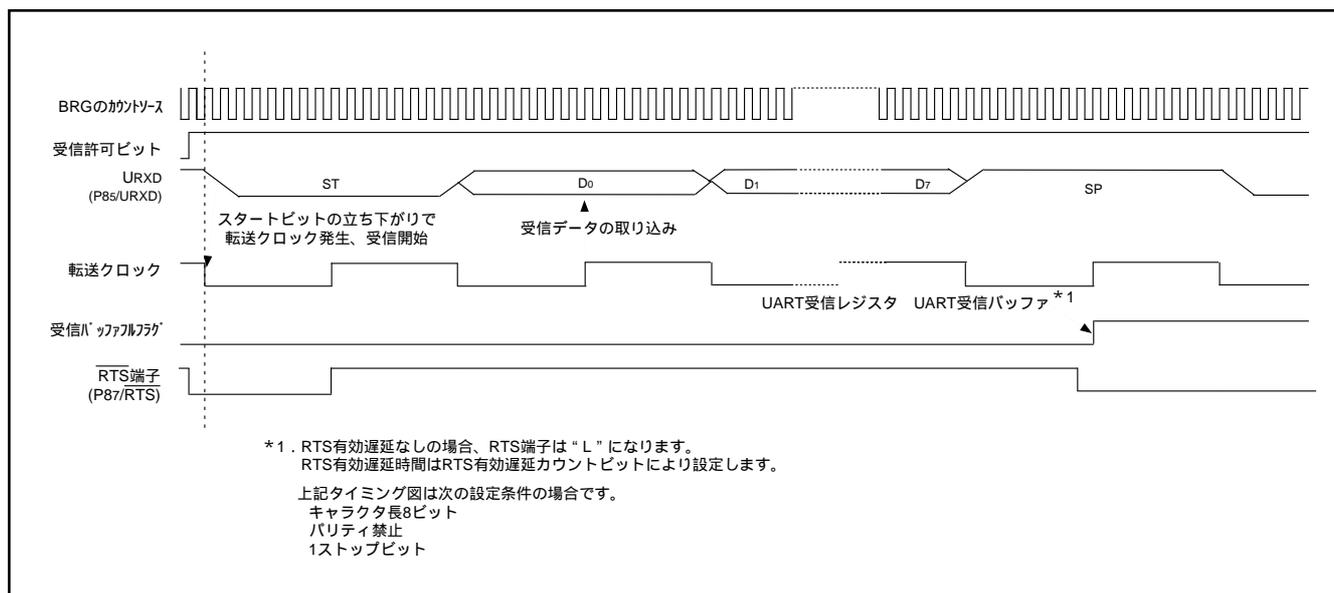


図27 . UART受信動作図(RTS機能許可時)

・UARTアドレスモード

UARTアドレスモードは、複数のマイクロコンピュータを接続した場合に、特定のマイクロコンピュータ間のみで通信を行いたい時に使用します。8ビット長キャラクタ長又は9ビット長キャラクタ長が選択できます。

UARTアドレスモードが許可の場合、受信したデータのMSBが“0”のとき、受信バッファフルフラグは“1”になりますが受信バッファフル割り込み要求は“1”になりません。MSBが“1”のとき通常の受信を行います。UARTアドレスモードでは、2バイト目以降のデータの受信ではオーバランエラーは発生しません。

フレーミングエラー又はパリティエラー発生時は、サミングエラー割り込み要求ビットが“1”になり、データもMSBの内容にかかわらず受信しません。

以下にUARTアドレスモードの使用例について説明します。

1. UARTアドレスモード許可ビットを“1”にします。
2. ホストCPUは最初に通信したいスレーブCPUのアドレスデータをすべてのCPUへ送信します。アドレスデータの構成は、MSBが“1”で残りの7ビットでアドレスを設定します。
3. すべてのスレーブCPUは、受信したデータのストップビットの有効/無効の検出とパリティエラーの発生の有無(パリティ許可時)を調べてエラーがあればフレーミングエラーフラグ又はパリティエラーフラグ及びサミングエラーフラグを“1”にします。この時、サミングエラー割り込み要求ビットが“1”になります。
4. 受信データにエラーがなければ、すべてのスレーブCPUは受信したアドレスデータの示すアドレスが自分のアドレスかどうかソフトウェアで調べます。MSBが“1”のデータを受信後、UARTアドレスモード許可ビットが自動的に“0”

(禁止)になります。

5. 自分のアドレスでないと判断したスレーブCPUは次からのデータの受信を禁止するために、UARTアドレスモード許可ビットを再度、“1”(許可)にします。
6. 次にホストCPUは、MSBが“0”のデータを送信します。UARTアドレスモードが禁止になっているスレーブCPUはデータを受信し、受信バッファフルフラグを“1”にセットし、受信バッファフル割り込み要求ビットを“1”にします。UARTアドレスモードが許可になっている他のスレーブCPUは受信バッファフルフラグは“1”になりますが、受信バッファフル割り込み要求は“1”になりません。
7. UARTアドレスモード許可時、最初のデータの受信後、オーバランエラー発生は禁止になります。そのため、スレーブCPUが、受信したデータを読み出さずに次のデータを受信した時もオーバランエラーは発生しません。

このようにして、ホストCPUと、特定のスレーブCPUとの間で通信を行うことができます。

【UARTモードレジスタ】UMOD

このレジスタの内容でUART送受信時のデータフォーマット、使用するクロックなどを決定します。

【UARTボーレートジェネレータ】UBRG

転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

このレジスタは、リセットの影響を受けません。

【UARTステータスレジスタ】USTS

UARTの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。

送信終了フラグは、送信バッファにデータが入っていない場合、送信シフトレジスタの最終ビットが送信された時点で“1”になります。また、リセット及び送信初期化ビットによる初期化により、“1”になります。送信中は“0”です。

送信バッファエンプティフラグは送信バッファの内容が送信シフトレジスタへ転送されると“1”になります。また、ハードウェアリセット及び送信初期化ビットによる初期化により、“1”になります。送信バッファの下位バイトへの書き込みで“0”になります。

受信バッファフルフラグはストップビットを検出すると“1”になります。受信バッファレジスタの下位バイトの内容の読み出し、ハードウェアリセット又は受信初期化ビットによる初期化により“0”になります。

受信エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。すべてのエラーフラグ(PER, FER, OER, SER)は、UARTステータスレジスタの読み出し、ハードウェアリセット又は受信初期化ビットによる初期化により“0”になります。サミングエラーフラグはPER, FER, OERのうちいずれかが“1”のとき、“1”にセットされます。パリティエラーフラグは、パリティ許可時(UARTモードレジスタのビット5が“1”)にパリティビットとキャラクタ長ビット中の“1”の総数が設定した個数でなかったときに“1”になります。フレーミングエラーフラグは、設定した個数のストップビットが検出されなかった場合に“1”になります。オーバランエラーフラグは、受信バッファフルフラグが“1”の状態、UART送受信バッファ1(0034₁₆番地)へ次のデータを受信した場合に“1”になります。このフラグは、UARTステータスレジスタの受信エラーフラグのうちいずれかが“1”の状態、次のデータを受信した場合にも“1”になります。次のデータを受信するまでに必ずUARTステータスレジスタを読み出してください。

なお、UARTアドレスモード許可時、UARTステータスレ

ジスタの各ビットがセット/クリアされる条件が異なります。[・UARTアドレスモード]を参照してください。

【UART制御レジスタ】UCON

UART制御レジスタはUARTの各種制御を行う8ビットの選択ビットで構成されています。このレジスタの内容で、CTS機能、RTS機能及びUARTアドレスモードが許可になります。

送信中に送信許可ビットが“0”(送信禁止)になった場合、データを送信後に送信動作が停止します。

受信中に受信許可ビットが“0”(受信禁止)になった場合、データを受信後に受信動作が停止します。

送信初期化ビットを“1”にすると送信許可ビットが“0”になり、送信動作停止時にUARTステータスレジスタ(0032₁₆番地)が“0316”にリセットされます。再送信する場合、送信許可ビットを“1”にして送信バッファにデータを再設定してください。送信初期化ビットは“1”を設定後1サイクルでクリアされます。

受信初期化ビットを“1”にすると受信許可ビット、受信バッファフルフラグ及び受信エラーフラグ(PER, FER, OER, SER)が“0”になります。受信初期化ビットは“1”を設定後1サイクルでクリアされます。

CTS端子及びRTS端子は、CTS機能又はRTS機能が禁止のとき、それぞれ入出力ポートとして使用できます。

【UART送受信バッファレジスタ1/2】UTRB1/UTRB2

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。

キャラクタビット長が7ビットの場合、受信データのMSBは無効データとなります。キャラクタビット長が7及び8ビットの場合、UTRB2も無効データとなります。キャラクタビット長が9ビットの場合、受信時UTRB2の上位7ビットは“0”になります。

【UARTRTS制御レジスタ】URTS

最終ストップビット受信からのRTS有効遅延時間を設定します。RTS有効遅延時間が経過する前に、ストップビットを検出した場合、RTS端子(P87/RTS)は“H”レベルを保持します。最終データの受信終了後、RTS有効遅延時間のカウントを再開します。

受信初期化ビットを“1”にすると、UARTRTS制御レジスタはリセットされます。受信初期化ビットを“1”にした後、このレジスタを設定してください。

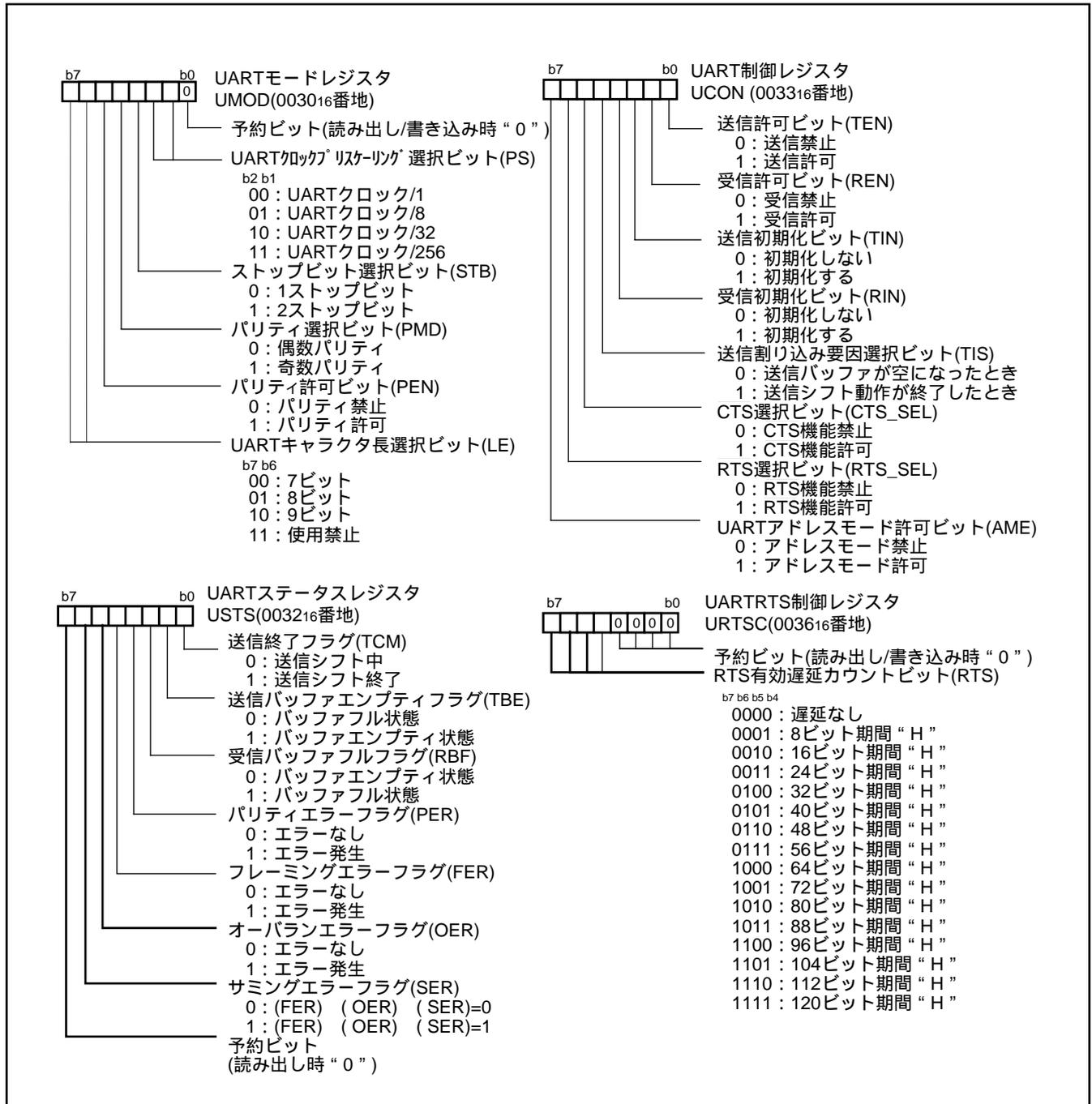


図28 . UART関連レジスタの構成

DMAC

DMC(ダイレクト・メモリ・アクセス・コントローラ)は、メモリからメモリへのデータ転送を、CPUを使わずに高速に行うことを目的とした2チャンネルの制御装置です。

DMACチャンネルx(x=0,1)ハードウェア転送要求要因ビット(DxHR)により選択された割り込み要因又は、ソフトウェアトリガが有効になると転送を開始します。

DMACチャンネルx(x=0,1)転送モード選択ビット(DxTMS)によりサイクルスチール転送モード又はバースト転送モードを選択できます。サイクルスチール転送モードの場合は、転送要求ごとに1バイトのデータが転送されます。バースト転送モードの場合は、1回の転送要求ごとに転送カウンタレジスタの内容により数バイトのデータが転送されます。転送カウンタレジスタは16ビットなので1回の転送要求に対して最高65,536回の転送が連続して行なえます。

図29にDMACブロック図を、図30にDMAx関連レジスタの構成を示します。

【DMACインデックス及びステータスレジスタ】DMAIS

DMA制御を行う各制御ビットとステータスフラグで構成されています。チャンネルインデックスビット(DCI)により、アクセス可能なチャンネルが決定します。2本のチャンネルのモードレジスタ、送信元レジスタ、送信先レジスタ及び転送カウンタレジスタのSFR番地は、どちらも同じです。

【DMACチャンネルx(x=0,1)モードレジスタ1, 2】

DMAM1,DMAM2

各チャンネルごとにDMACの動作を制御する16ビットで構成されています。

DMACチャンネルx(x=0,1)書き込み制御ビット(DxDWC)が“0”のときは、送信元レジスタ、送信先レジスタ及び転送カウンタのラッチ及びレジスタ同時に、データが書き込まれます。“1”のときラッチのみにデータが書き込まれます。各レジスタからデータを読み出す時は、上位バイト、下位バイトの順に読み出してください。データを書き込むときは、下位バイト、上位バイトの順に書き込んでください。

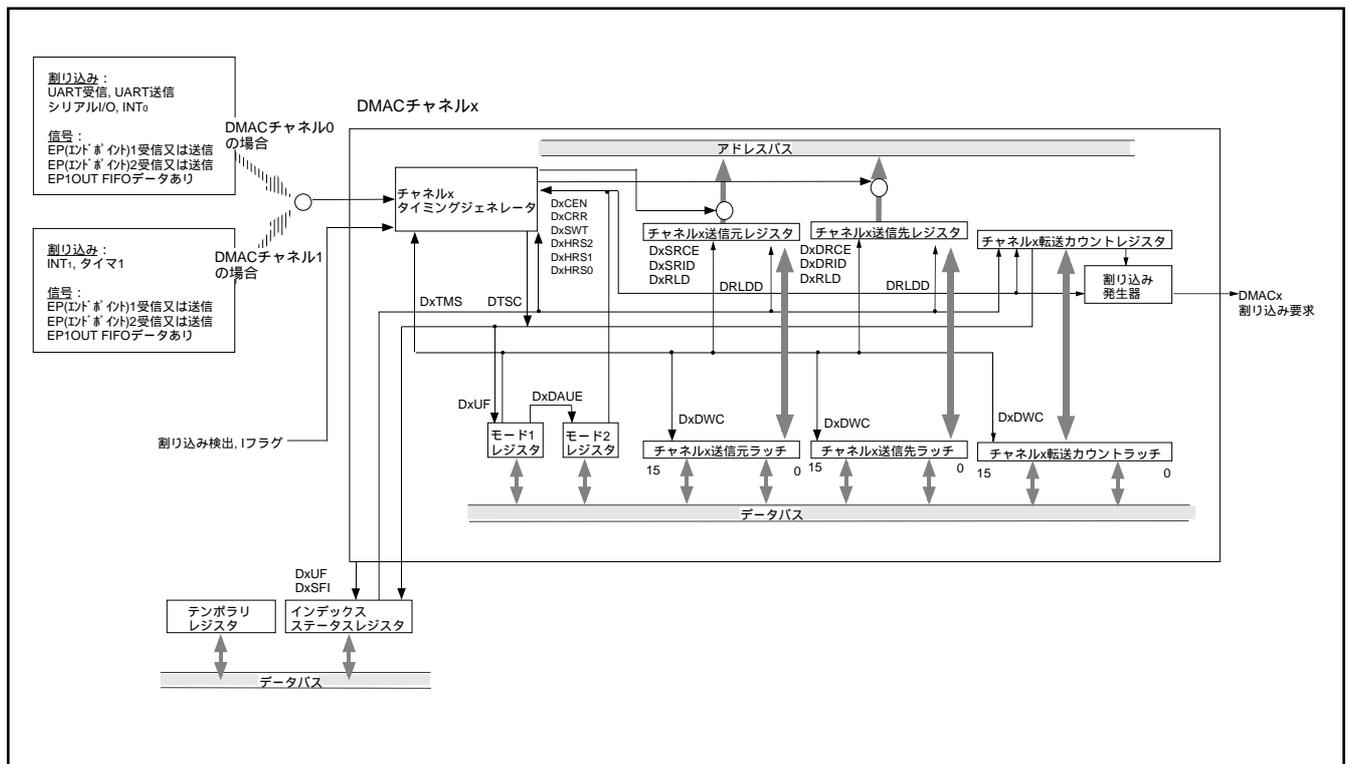


図29 . DMACx(x=0,1)ブロック図

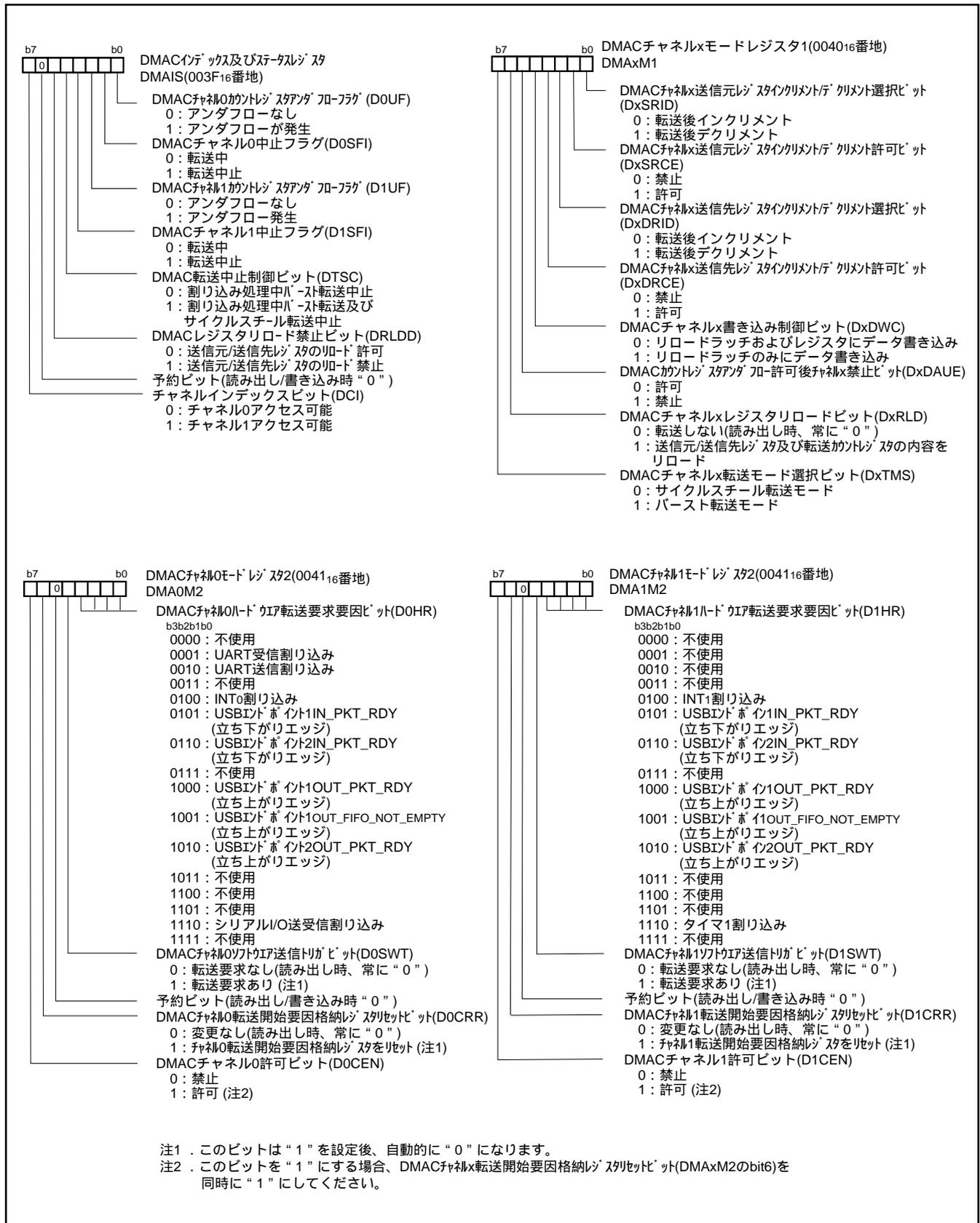


図30 . DMAx制御装置関連レジスタの構成

(1) サイクルスチール転送モード

DMACチャネル $x(x=0,1)$ 転送モード選択ビット(DxTMS)が“0”でサイクルスチール転送モードになります。

DMACの各チャネルは、選択された転送要因の要求が発生すると、1バイトのデータを送信元レジスタの内容で示される番地のレジスタから送信先レジスタの内容で示される番地のレジスタへ転送します。

DMACチャネル $x(x=0,1)$ 転送要求要因はハードウェア及びソフトウェアトリガから選択できます。ハードウェア転送要求要因は、DMAC $x(x=0,1)$ ハードウェア転送要求要因ビット(DxHR)で選択できます。要因として割り込み要求を選択しない場合は、割り込み制御レジスタ中の割り込み許可ビットを“0”(禁止)にしてください。

ソフトウェアトリガは、DMACチャネル $x(x=0,1)$ ソフトウェア送信トリガビット(DxSWT)に“1”を設定することでDMA転送要求を発生します。

転送終了後、送信元レジスタ及び送信先レジスタを1デクリメントするか1インクリメントするかはDMACチャネル $x(x=0,1)$ モードレジスタのビット0～ビット3で設定できます。転送カウンタレジスタがアンダフローすると、DMACレジスタリロード禁止ビット(DRLDD)が“1”でなければ、送信元レジスタ、送信先レジスタがリロードされます。転送カウンタレジスタの値はDRLDDの設定に関係なく、アンダフロー後にリロードされます。それと同時に、DMAC割り込み要求ビットとDMACチャネル $x(x=0,1)$ カウンタレジスタアンダフローフラグが“1”になります。

DMACカウンタレジスタアンダフロー許可後チャネル x 禁止ビット(DxDAUE)が“1”の場合は、転送カウンタレジスタがアンダフローした時点でDMACチャネル x 許可ビット(DxCEN)が“0”になります。

DMACチャネル $x(x=0,1)$ レジスタリロードビット(DxRLD)を“1”にすることで、送信元レジスタ、送信先レジスタ及び転送カウンタレジスタの値を任意の時点でラッチの値に更新することができます。

(2)バースト転送モード

DMACチャンネルx(x=0,1)転送モード選択ビット(DxTMS)が“1”でバースト転送モードになります。

1回の転送要求に対して、転送カウンタレジスタに設定されたバイト数分の転送が連続して行なえること以外は、サイクルスチール転送モードと同じです。

優先順位

チャンネル0の転送要求をチャンネル1の転送要求より優先して受け付けます。チャンネル1のバースト転送中にチャンネル0の転送要求が発生した場合、次の転送元レジスタ、及び転送先レジスタの読み出し、書き込みが終了してからチャンネル0の転送を開始します。チャンネル0の転送終了後、チャンネル1は転送を再開します。

DMA転送中に割り込みが発生した場合、転送を中止して割り込み処理ルーチンを実行します。割り込み処理中、DMACチャンネルx(x=0,1)中止フラグは自動的に“1”になり、割り込み処理終了後、“0”になります。DMA転送は中断していた時点から再開します。

割り込み処理により、中断した転送は、DMACチャンネルx(x=0,1)許可ビット(DxCEN)に“1”を書き込むことにより割り込み処理ルーチン内でも再開できます。

ハードウェア要因要求の発生により転送開始するサイクルスチール転送を図31に、ソフトウェアトリガ要求の発生により開始するサイクルスチール転送及びハードウェア要因要求の発生により転送開始するバースト転送のタイミング図を図32、図33に示します。

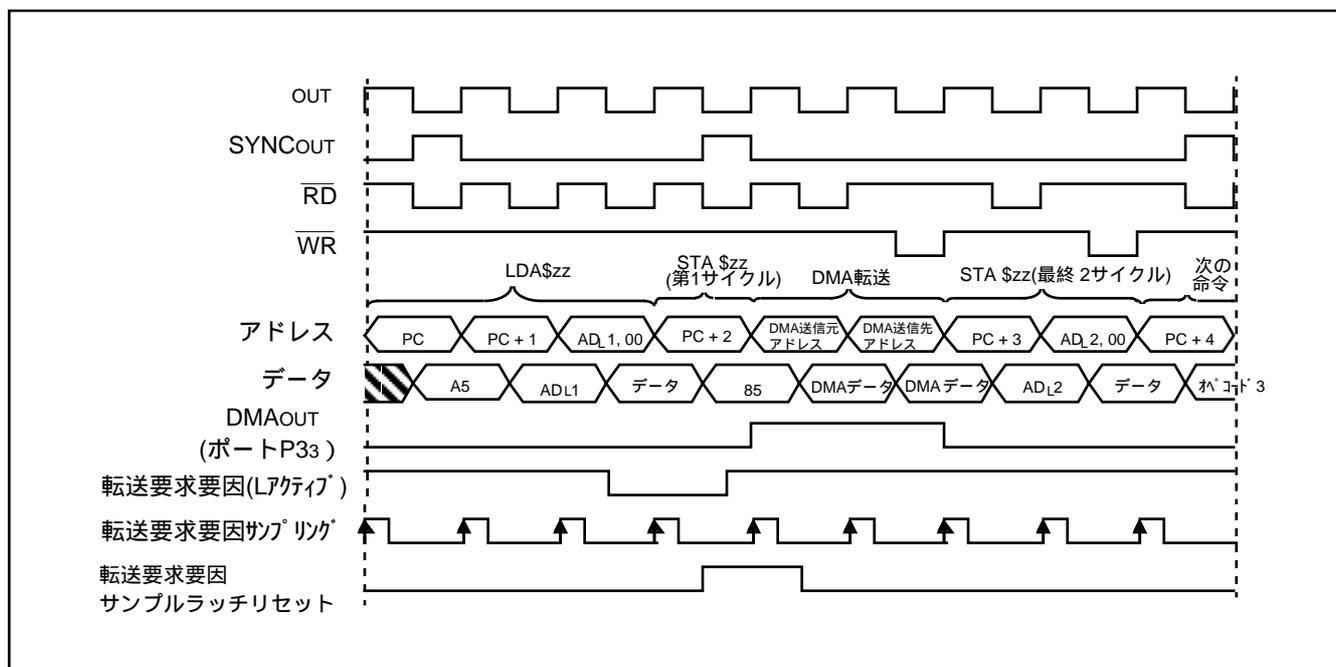


図31 . DMA転送(ハードウェア要因開始によるサイクルスチール転送)

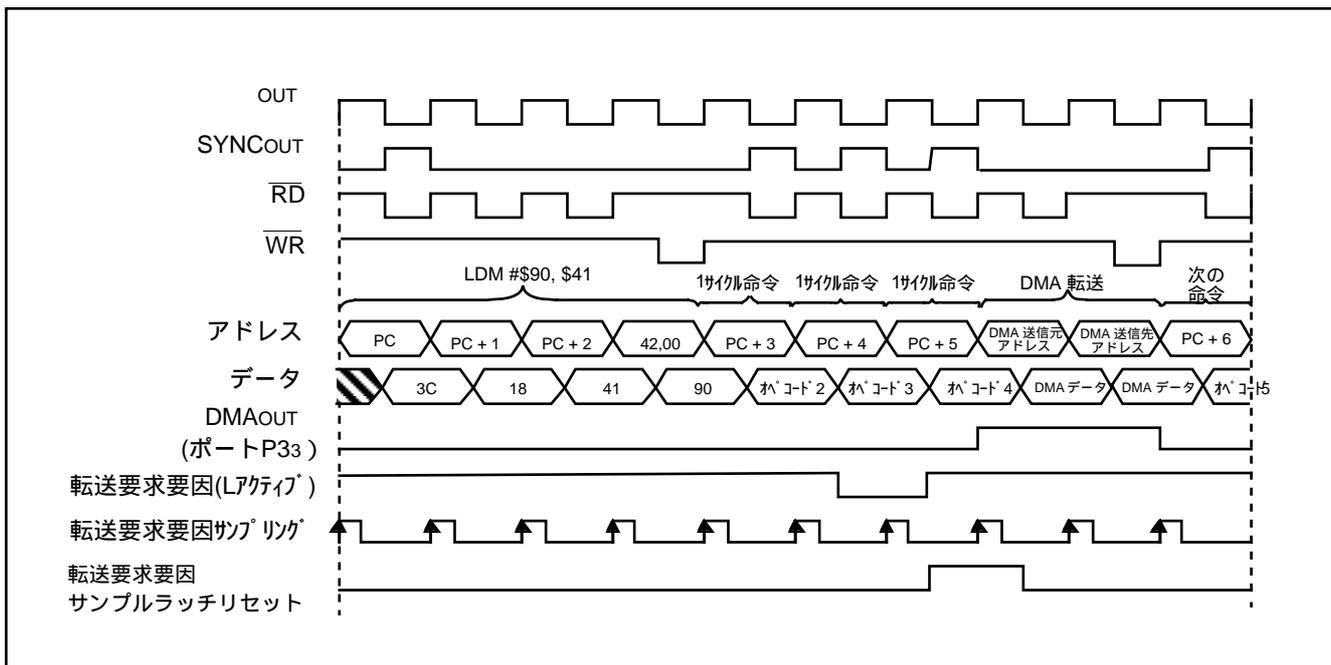


図32 . DMA転送(ソフトウェアトリガ要求開始によるサイクルスチール転送)

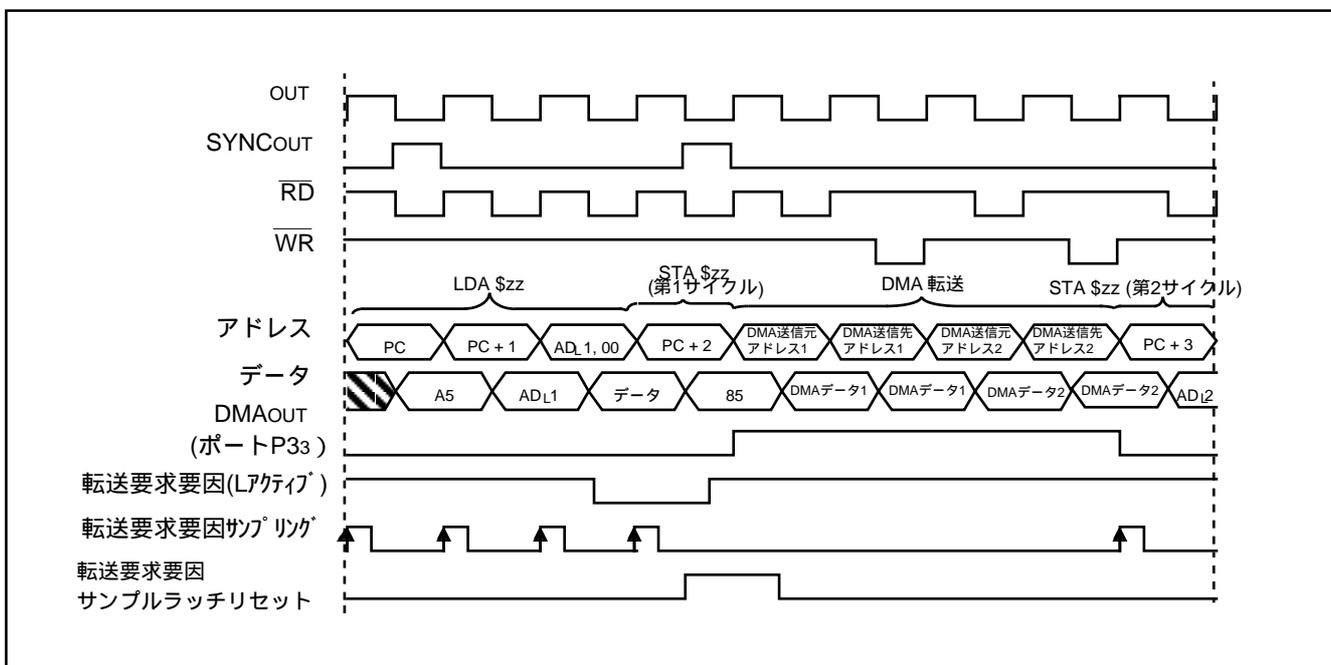


図33 . DMA転送(ハードウェア要求要因開始によるバースト転送)

USB機能

7643グループはUSBファンクション制御ユニットを内蔵しています。USBファンクション制御ユニットを使用することにより、ホストコンピュータとの通信を効率良く行います。

この回路は Full Speed USB 2.0仕様に準拠しています。Full Speed USB 2.0仕様は4種の転送タイプを定義しています。コントロール転送、アイソクロナス転送、インタラプト転送及びバルク転送です。このうち、7643グループは、コントロール転送、インタラプト転送及びバルク転送に対応しています。データ送受信時のタイミング、エラー検出及びエラー検出時のリトライ等を自動的に行います。7643グループでは、リセット時、バルク転送の転送形態です。使用するデータ転送に応じて各設定を行ってください。

USBファンクション制御ユニットは、3つのエンドポイント(エンドポイント0~2)を持っています。アクセス可能なエンドポイントをEPINDEXビットにより選択します。エンドポイントごとにIN(送信)FIFOとOUT(受信)FIFOを持ちます。

USB機能を使用する場合は、USB許可ビット(USBC7)を“1”にしてください。USB割り込みとして、USB機能割り込みとUSB SOF割り込みがあります。

図34にUSBファンクション制御ユニットブロック図を示します。USBファンクション制御ユニットブロック図はUSBシリアルデータ通信を行うSIE(シリアル・インタフェース・エンジン)、USBプロトコル処理を行うGFI(ジェネリック・ファンクション・インタフェース)、受信したアドレスとエンドポイントをデコードするSIU(シリアルエンジン・インタフェース・ユニット)、マイクロコントローラとのインタフェースと制御信号のアドレスデコード、同期を行うMCI(マイクロ・コントローラ・インタフェース)及びUSBトランシーバから構成されています。

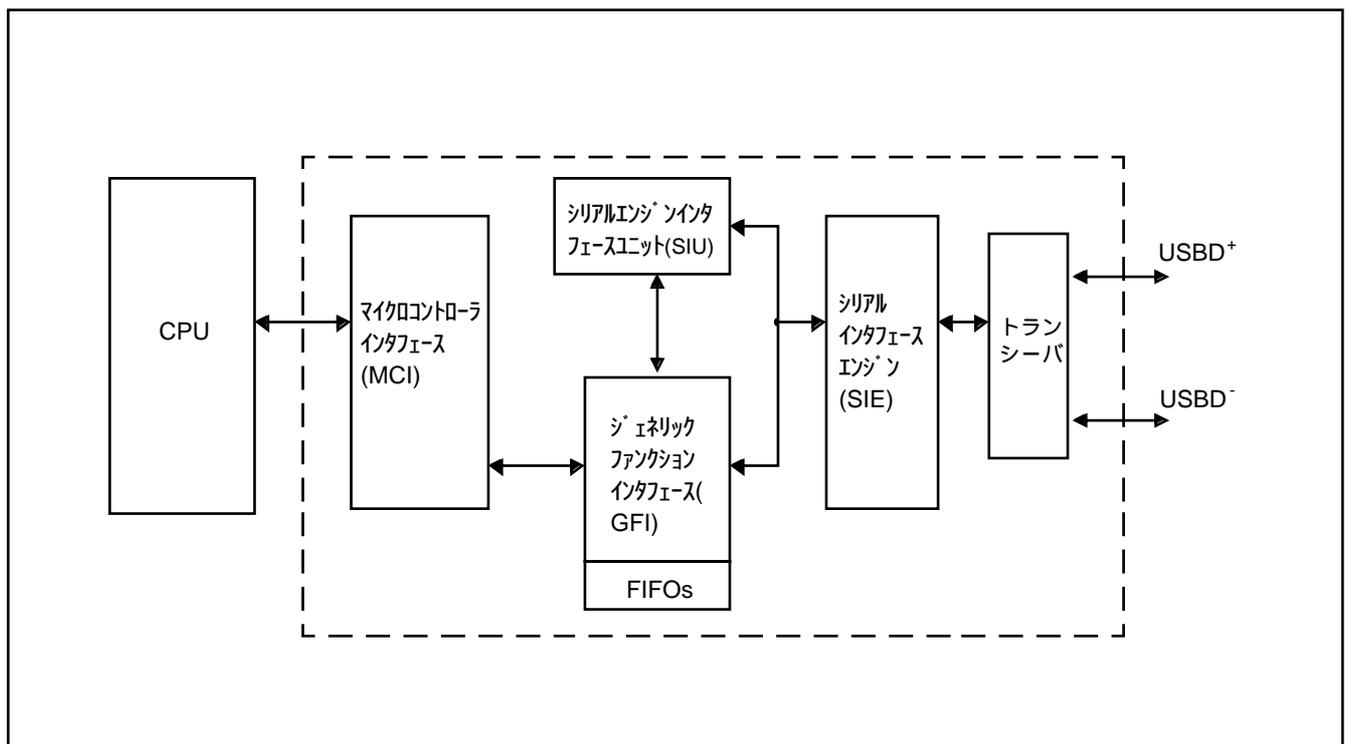


図34 . USBファンクション制御ユニットブロック図

USB受信

エンドポイント0~2はそれぞれに独立してOUT(受信)FIFOを持っています。エンドポイントの構成は以下の通りです。

エンドポイント0 : 16バイト
エンドポイント1 : 128バイト
エンドポイント2 : モード0 : 32バイト
 モード1 : 128バイト

エンドポイント2を使用する場合は、OUT FIFOサイズを可変できます。エンドポイント2使用時は2つのモードから選択できます。各オプションはUSBエンドポイントFIFOモード選択レジスタ(005F₁₆番地)により選択できます。

ホストコンピュータから受信したデータはSFR領域のUSBエンドポイントx FIFO(0060₁₆ ~ 0062₁₆番地)へ書き込まれます。データを受信するたびにOUT FIFO用内部ライトポイントが自動的に1インクリメントします。1パケットデータ受信完了後、OUT_PKT_RDYフラグが“1”になり、受信パケットのデータ数はUSBエンドポイントxOUT書き込みカウントレジスタへ設定されます。AUTO_CLRビットが“1”の場合、このOUT_PKT_RDYフラグは受信データをOUT FIFOから読み出すと“0”になります。AUTO_CLRビットが“0”の場合は、OUT_PKT_RDYフラグは自動的に“0”になりません。ソフトウェアで“0”にしてください(AUTO_CLRビットはエンドポイント0では使用できません)。

最大パケットサイズ (OUT FIFOサイズの1/2)のとき、OUT FIFOに2パケット受信できます(ダブルバッファ)。このとき、OUT FIFOの状態はOUT_PKT_RDYフラグで確認できます。ダブルバッファで2パケットOUT FIFOに格納されている場合、OUT FIFOから1パケット読み出した時点でOUT_PKT_RDYフラグに“0”を設定しても、クリアされません(“0”になりますが、次の1サイクル後に再び“1”になります)。

ダブルバッファ使用時、USBエンドポイントxOUT書き込みカウントレジスタには、前に受信したパケットのデータ数が格納されています。1パケットのデータをOUT FIFOから読み出し、OUT_PKT_RDYフラグに“0”を設定した時点でUSBエンドポイントxOUT書き込みカウントレジスタは更新されます。

TOGGLEの初期化

エンドポイントのデータトグルシーケンスビットを初期化(次のデータパケットをDATA0にリセット)したい場合、TOGGLE_INITビットを“1”にセットし、その後で“0”にクリアしてください。

USB割り込み

USB割り込みには、USB機能割り込みがあります。

・USB機能割り込み

USB機能割り込みは、データのフロー制御及びUSBの電源管理に使用する割り込みです。データの送受信終了、オーバーラン/アンダーラン発生、リセット発生、及びサスペンド/レジューム信号受信時に割り込み要求が発生します。USB機能割り込みを許可にするためには、割り込み制御レジスタA(0005₁₆番地)のUSB機能割り込み許可ビット、USB割り込み許可レジスタ1(0054₁₆番地)及びUSB割り込み許可レジスタ2(0055₁₆番地)の対応するビットを“1”にしてください。USB割り込み許可レジスタ2のビット7を“1”にすると、USBサスペンド割り込みとUSBレジューム割り込みが許可になります。

エンドポイントx(x=0~2)IN割り込みは、USB割り込みステータスレジスタ1(0052₁₆番地)及びUSB割り込みステータスレジスタ2(0053₁₆番地)のUSBエンドポイントxIN割り込みステータスフラグ(INTST0, 2, 4)が“1”のとき、割り込み要求が発生します。USBエンドポイントxIN割り込みステータスフラグは対応するエンドポイントのIN_PKT_RDYビットが“0”になると“1”にセットされます。

エンドポイントx(x=1~2)OUT割り込みは、USB割り込みステータスレジスタ1及びUSB割り込みステータスレジスタ2のUSBエンドポイントxOUT割り込みステータスフラグ(INTST3, 5)が“1”のとき、割り込み要求が発生します。USBエンドポイントxOUT割り込みステータスフラグは対応するエンドポイントのOUT_PKT_RDYフラグが“1”になると“1”にセットされます。

USBリセット割り込みは、USB割り込みステータスレジスタ2のUSBリセット割り込みステータスフラグ(INTST13)が“1”のとき、割り込み要求が発生します。USBリセット割り込みステータスフラグは2.5µs間D+/D-ライン上にSE0が検出されたとき、“1”にセットされます。このとき、このフラグ以外のすべてのUSB内部レジスタ(0050₁₆~005F₁₆番地)はリセット時の状態になります。USBリセット割り込みは常に許可状態です。

サスペンド/レジューム割り込みは、USB割り込みステータスレジスタ2のUSBレジューム信号割り込みステータスフラグ(INTST14)又はUSBサスペンド信号割り込みステータスフラグ(INTST15)が“1”のとき、割り込み要求が発生します。

USB割り込みステータスレジスタ1及びUSB割り込みステータスレジスタ2の各ビットは、“1”を書き込むことにより“0”にクリアされます。

サスペンド/レジューム機能

D+/D-ライン上に3ms間、バスアクティビティが検出されない場合、7643グループは、USBパワー制御レジスタ(0051₁₆番地)のUSBサスペンド信号検出フラグ(SUSPEND)とUSB割り込みステータスレジスタ2のUSBサスペンド信号割り込みステータスフラグを“1”にセットし、サスペンド割り込み要求を発生させます。

サスペンド割り込み処理ルーチン内で、内部レジスタ(A,X,Y)の退避を行った後、以下の設定を行ってください。

- (1) USB割り込みステータスレジスタ1(0052₁₆番地)及びUSB割り込みステータスレジスタ2(0053₁₆番地)のすべてのビットを“0”クリアする。
- (2) USBクロック許可ビットを“0”にする。
(USBクロックを禁止にした後は、USB制御レジスタ(0013₁₆番地)、クロック制御レジスタ(001F₁₆番地)、周波数シンセサイザ制御レジスタ(006C₁₆番地)以外のUSB内部レジスタ(0050₁₆~0062₁₆番地)へは書き込みを行わないでください。)
- (3) 周波数シンセサイザ許可ビットを“0”にする。
- (4) USBラインドライバ駆動能力ビットを“1”にする。
(USBラインドライバ駆動能力ビットはUSB機能動作時には必ず“0”にしてください。Vcc=3.3V使用時、このビットの設定は必要ありません。)
- (5) 総駆動電流を500µA以下にする。
- (6) タイマ1割り込みを禁止にする。
- (7) タイマ2割り込みを禁止にする。
(・他の外部割り込みを禁止にする。)
- (8) タイマ1割り込み要求ビットを“0”にする。
- (9) タイマ2割り込み要求ビットを“0”にする。
- (10) 割り込み禁止フラグ(I)を“0”にする。
- (11) STP命令を実行する。

この時点で、7643グループはストップモード(USBサスペンド状態)になります。STP命令実行前にはUSB機能割り込み要求ビット(0002₁₆番地,ビット0)を“0”に、USB機能割り込み許可ビット(0005₁₆番地,ビット0)を“1”にしてください。

USBレジューム割り込み、又はリモートウエイクアップ(INT割り込み等)によりUSBサスペンド状態から復帰します。

サスペンド状態でD+/D-ライン上にnon-idle信号を検出した場合、USBレジューム信号検出フラグ及びUSBレジューム信号割り込みステータスフラグが“1”になりレジューム割り込み要求が発生します。USBレジューム信号検出フラグが“1”になったとき、USBサスペンド信号検出フラグは自動的に“0”になります。このとき、割り込み処理ルーチン内で、内部レジスタ(A,X,Y)の復帰を行ってください。USBレジューム割り込みが受け付けられると発振再開し、内部クロック 発振安定待ち時間がタイマ1とタイマ2により自動的に生成されます。USBレジューム割り込み処理中で以下の設定を行ってください。

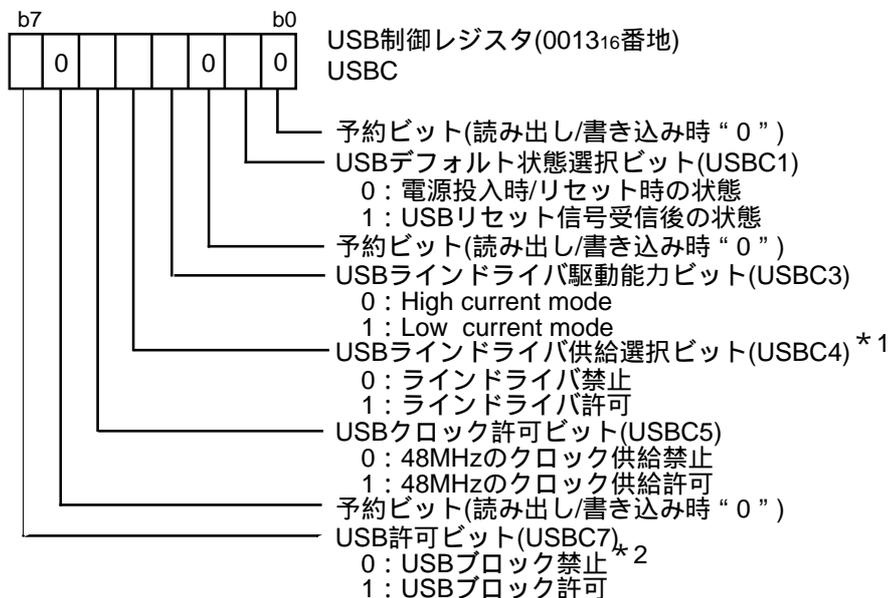
- (1) USBラインドライバ駆動能力ビットを“0”にする
(Vcc=3.3V使用時、このビットの設定は必要ありません)。
- (2) 周波数シンセサイザ許可ビットを“1”にする。
2ms以上ウエイトする。
- (3) 周波数シンセサイザロック状態ビットをチェックしてください。“0”の場合、0.1msウエイト毎に再チェックが必要です。
- (4) USBクロック許可ビットを“1”にする。

USBレジューム信号割り込みステータスフラグはウエイクアップシーケンス処理後、“0”にしてください。このとき、USBレジューム検出フラグも同時に“0”になります。

リモートウエイクアップでUSBクロックが動作開始した場合、ウエイクアップシーケンス処理後、USBリモートウエイクアップビットを最短10ms、最長15ms間“1”にし、レジューム信号をホストCPUへ送信し、サスペンド状態から復帰したことを知らせます。その後、USBリモートウエイクアップビットとUSBサスペンド信号検出フラグを“0”クリアしてください(リモートウエイクアップの場合、USBサスペンド信号検出フラグは自動的にクリアされません)。

【USB制御レジスタ】USBC

USB機能を使用する場合、USB許可ビットを“1”にします。
Vcc=3.3V使用時は、USBラインドライバ供給ビットを“0” (DC-DCコンバータ禁止)にしてください。また、このときUSBラインドライバ駆動能力ビットの設定はUSB動作に影響しません。



*1. Vcc=3.3V時は、このビットを“0”にクリアし、内蔵DC-DCコンバータを禁止にしてください。

*2. このビットを“0”にクリアすると、すべてのUSBレジスタはリセット時の値になります。

図35 . USB制御レジスタの構成

【USBアドレスレジスタ】USBA

ホストコンピュータから割り当てられたUSBファンクション制御ユニットの自己アドレスを保持します。

SET_ADDRESS受信時、このレジスタに格納してください。デバイスが未構成状態のとき、このレジスタの値は“0”

です。USBブロックを禁止(USB制御レジスタのビット7を“0”)にしたときも、このレジスタは“0”になります。また、任意にこのレジスタに値を書き込んでも値は変更しません。

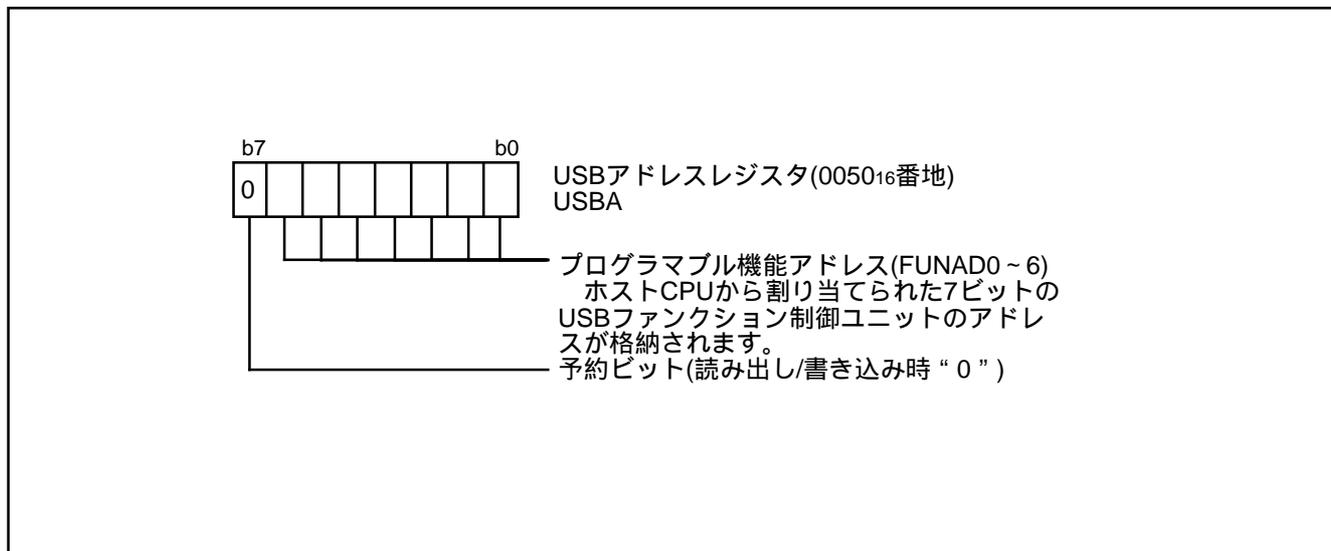


図36 . USBアドレスレジスタの構成

【USBパワー制御レジスタ】USBPM

USBファンクション制御ユニットの電源制御に使用します。サスペンドからの復帰にリモートウエイクアップを使用する場合を除いて、このレジスタの設定は不要です。

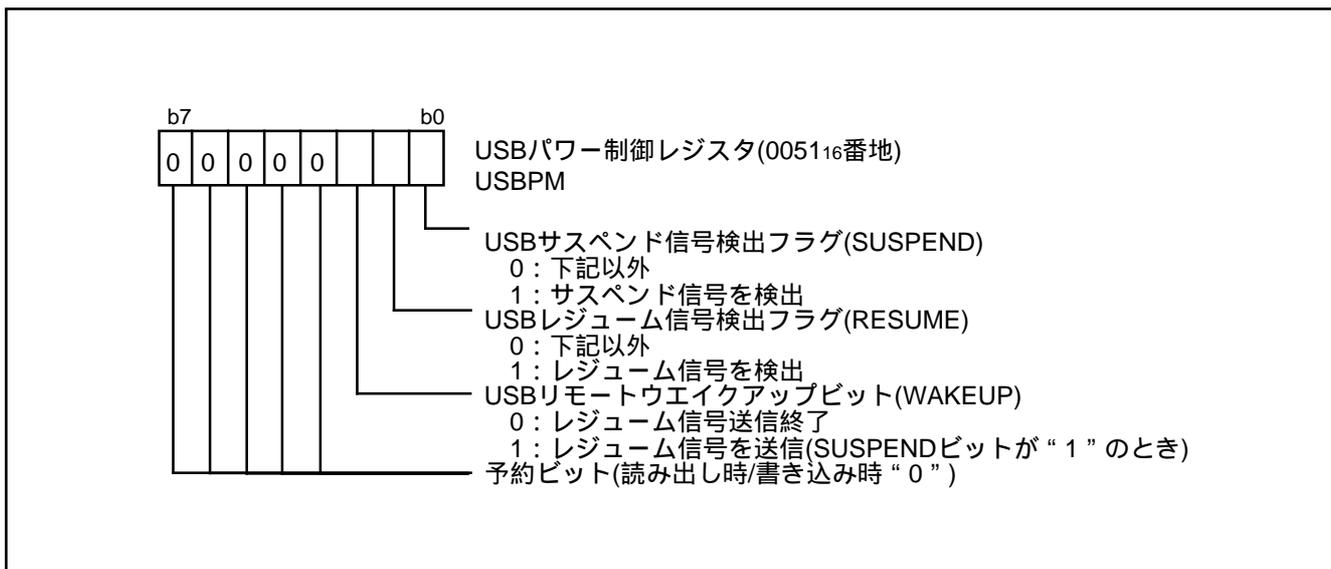


図37 . USBパワー制御レジスタの構成

【USB割り込みステータスレジスタ1/2】USBIS1, USBIS2

割り込み発生時の状態を示すのに使用します。ソフトウェアで再度“1”を書き込むことにより、各ステータスフラグ及びビットは“0”になります。USB割り込みステータスレジスタ1/2への読み出し及び書き込みは、USB割り込みステータスレジスタ1、USB割り込みステータスレジスタ2の順に行ってください。

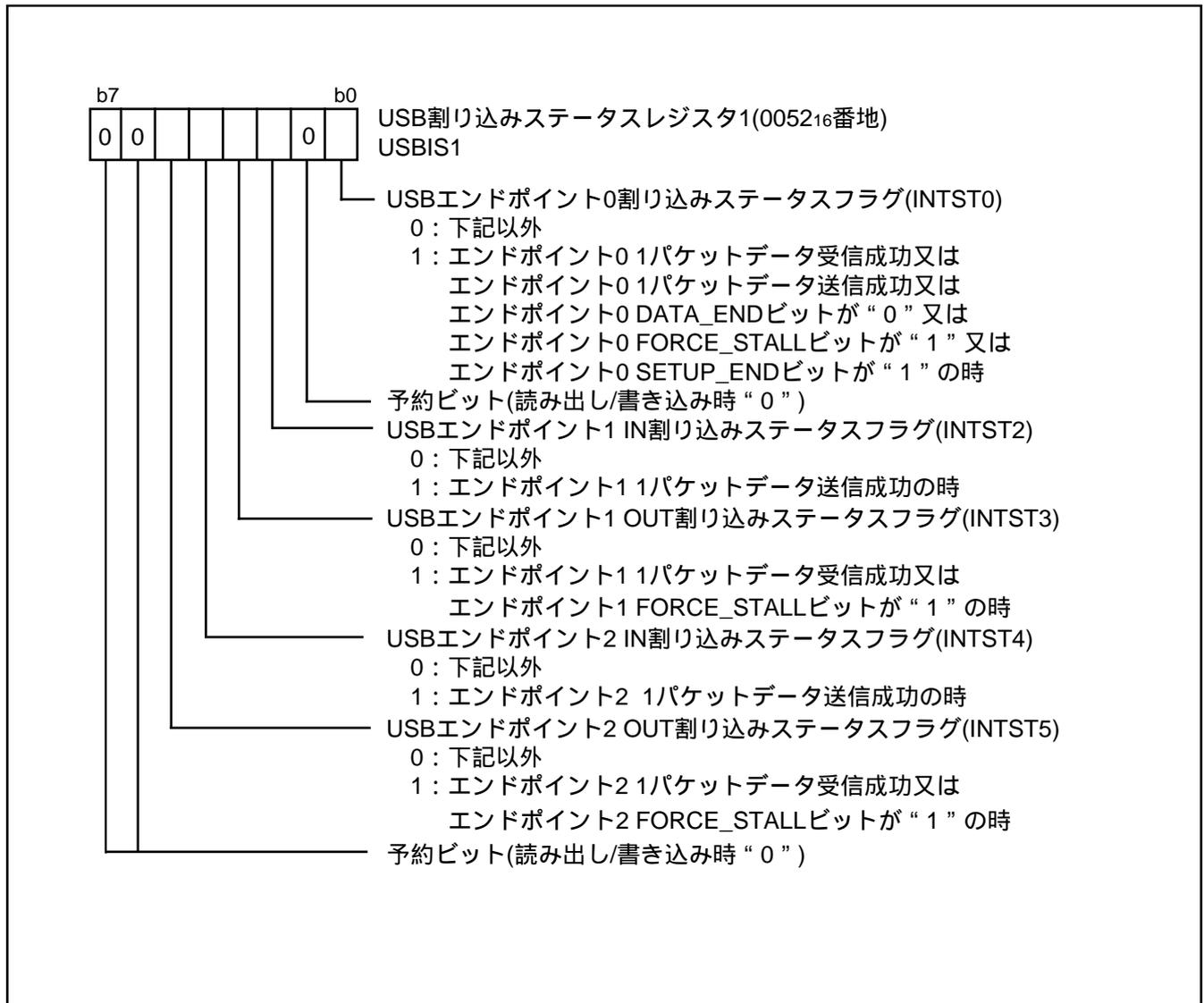


図38 . USB割り込みステータスレジスタ1の構成

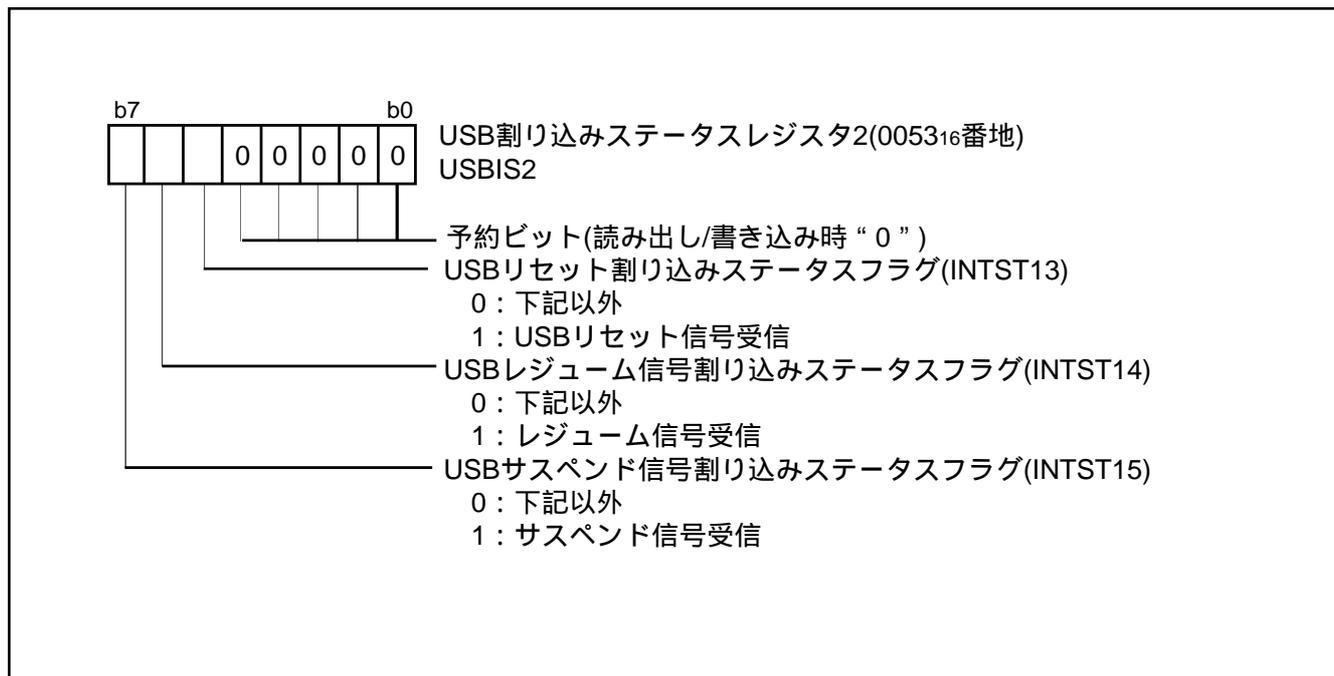


図39 . USB割り込みステータスレジスタ2の構成

【USB割り込み許可レジスタ1/2】USBIE1, USBIE2
USB機能割り込みを許可するためのレジスタです。リセッ

ト時、USBサスペンド割り込みとUSBレジューム割り込みが
禁止になるのを除き、すべての割り込みは許可になります。

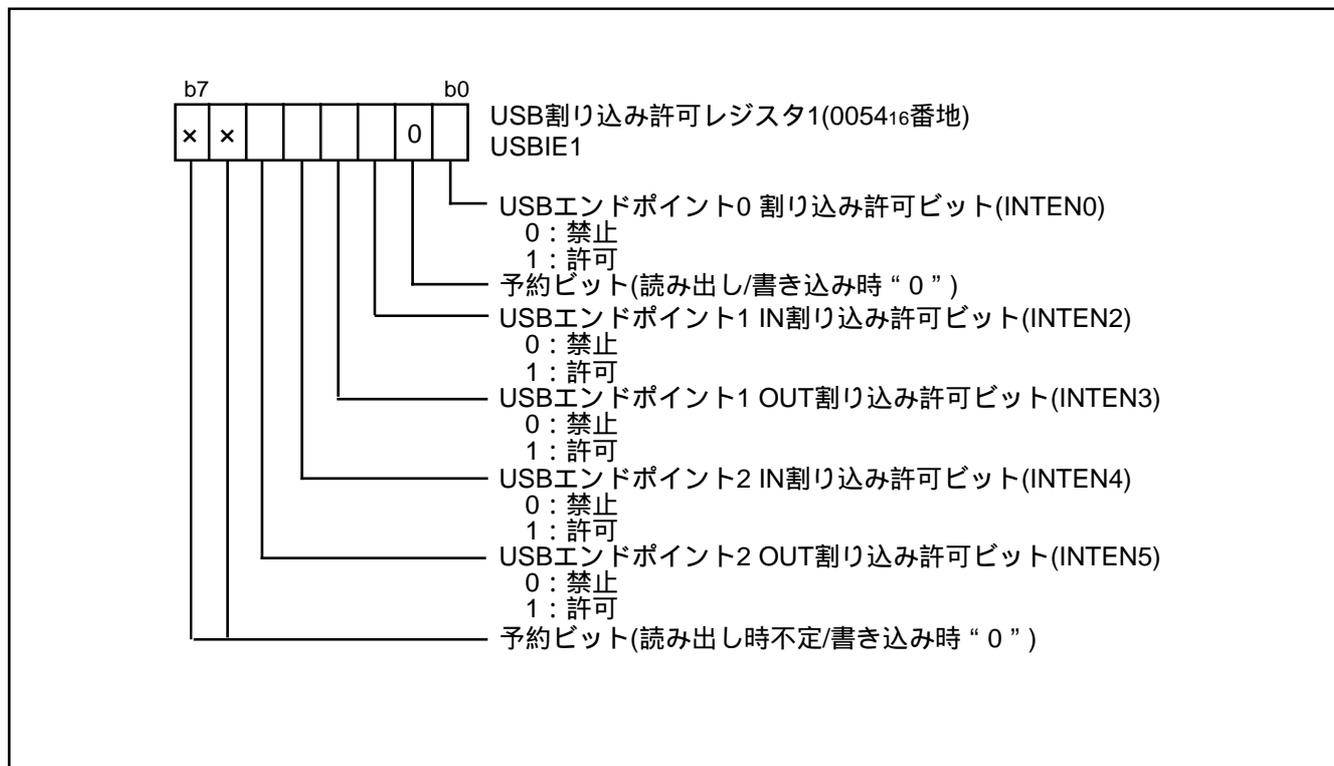


図40 . USB割り込み許可レジスタ1の構成

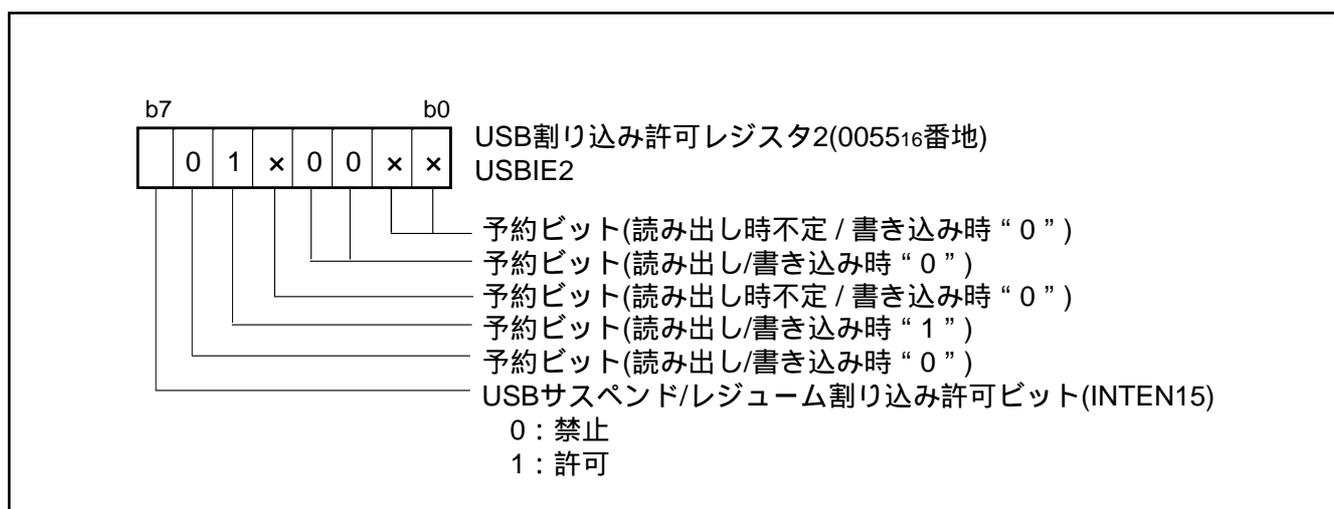


図41 . USB割り込み許可レジスタ2の構成

【USBエンドポイントインデックスレジスタ】USBINDEX

アクセス可能なエンドポイントを決定します。このレジスタの内容は、エンドポイントに対応したUSBエンドポイントxIN制御レジスタ、USBエンドポイントxOUT制御レジスタ、USBエンドポイントxIN最大パケットサイズレジスタ、USBエンドポイントxOUT最大パケットサイズレジスタ及びUSBエンドポイントxOUT書き込みカウントレジスタ、USB FIFOモード選択レジスタのインデックスを示します(x=0~2)。

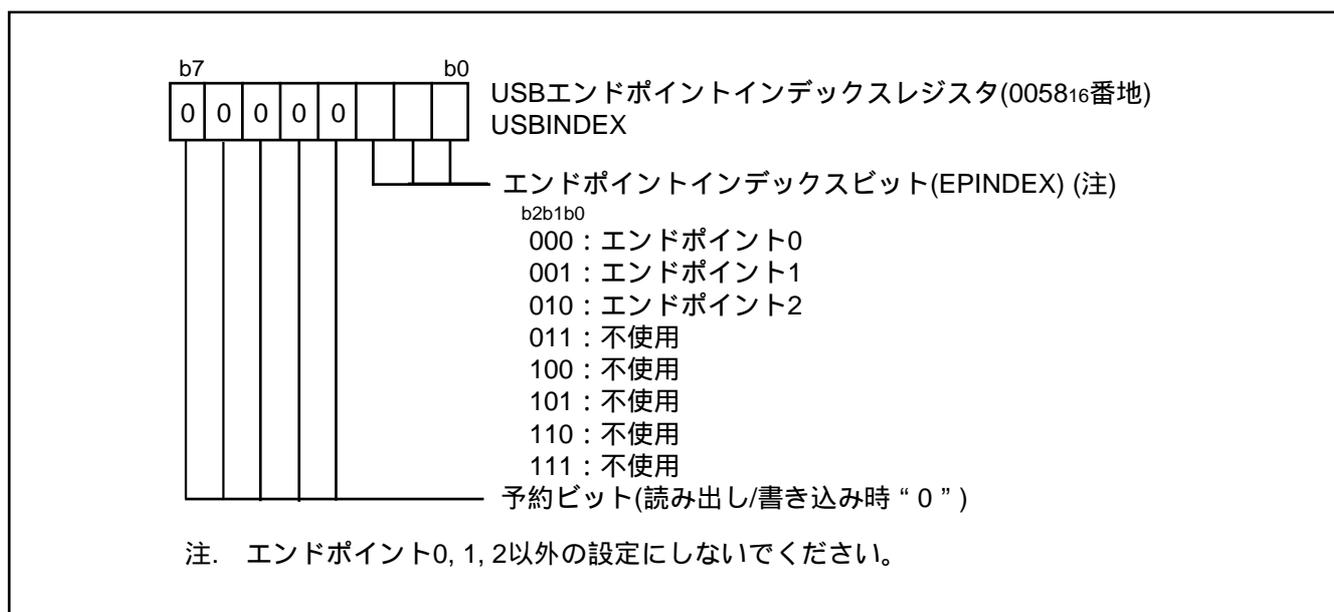


図42 . USBエンドポイントインデックスレジスタの構成

【USBエンドポイント0 IN制御レジスタ】IN_CSR

エンドポイント0の制御情報とステータス情報が入ります。

OUT FIFOへデータパケットを受信完了するとOUT_PKT_RDYフラグが“1”になります。OUT FIFOから1パケットデータを読み出した時点でこのフラグに“0”を設定してください。SETUPトークンを受信後、OUT_PKT_RDYがクリアされるまで7643グループは、“デコード待ち状態”です。OUT_PKT_RDYがクリアされない場合は(これは、ホストからのリクエストのデコードが未完了を意味します)、全てのIN/OUTトークンに対して、NAKを返し続けます。

IN_PKT_RDYビットは、IN FIFOへデータパケットの書き込みを完了した場合に“1”にしてください。IN FIFOへ何も書き込まずにIN_PKT_RDYビットを“1”にした場合は、長さ“0”のデータ(NULLパケット)が送信されます。

SEND_STALLビットはサポートされていないリクエストを受信した場合、ホストへSTALLを送信するためのビットです。ホストから未サポートのデバイスリクエストを受信した場合、このビットを“1”にセットしてください。リクエスト受信のためのOUT_PKT_RDYフラグが“0”になった時点で、

USBファンクション制御ユニットは、STALL信号をホストPCへ送信します。以下の処理を同時に行ってください。

- ・SEND_STALLビットを“1”にする。
- ・DATA_ENDビットを“1”にする。
- ・SERVICED_OUT_PKT_RDYビットを“1”にすることにより、OUT_PKT_RDYフラグを“0”にする。

CLEAR_FEATURE(Endpoint STALL)リクエストを受信していない状態で、SEND_STALLビットに“0”を書き込むと次のSTALLを発生しませんのでご注意ください。

DATA_ENDビットは、SETUPパケットにて指定された処理が終了したことをUSBファンクション制御ユニットへ知らせるためのビットです。SETUPパケットにて要求された処理を終了した場合、“1”にセットしてください。(コントロールread転送：要求されたデータ数分、FIFOへ書き込んだ後でセットしてください。コントロールwrite転送：必要なデータをFIFOから読み出した後で、“1”にセットしてください。)このビットが“1”のときは、ホストからのリクエストは無視され、STALLを返します。ステータスフェーズ処理終了後、USBファンクション制御ユニットが自動的に“0”にクリアします。

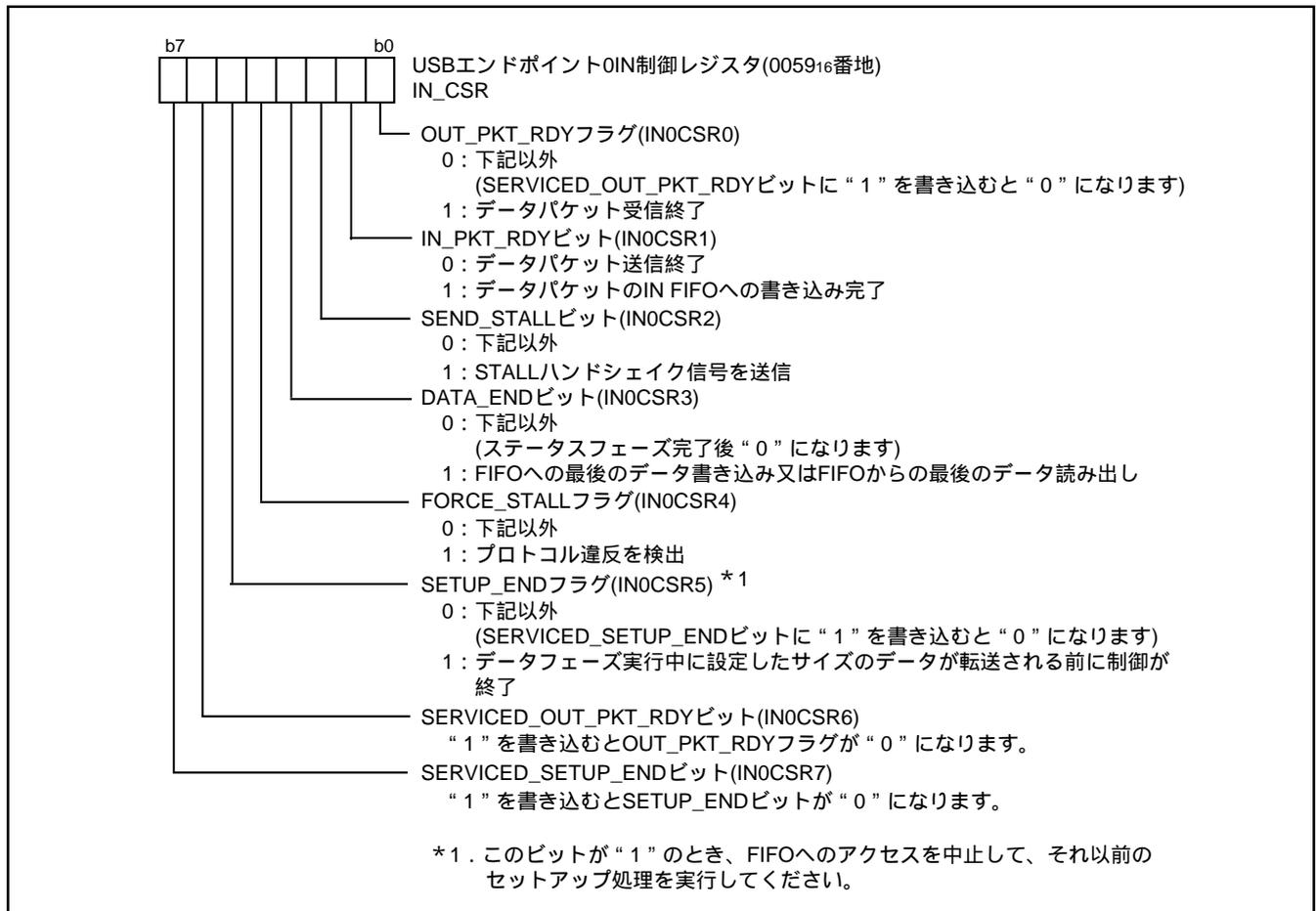


図43 . USBエンドポイント0 IN制御レジスタの構成

【USBエンドポイントx(x=1~2) OUT制御レジスタ】

OUT_CSR

エンドポイントx(x=1~2)の制御情報とステータス情報が入ります。エンドポイント0では、このレジスタのすべてのビットは予約ビットで使用できません(読み出し時すべて“0”)。

OUT_PKT_RDYフラグはOUT FIFOへデータパケット受信完了した時点で“1”にセットされます。OUT FIFOからデータパケットを読み出した後で、このフラグを“0”にクリアしてください。OUT FIFO内にデータがある場合はこのフラグに“0”を書き込んでモクリアされません。

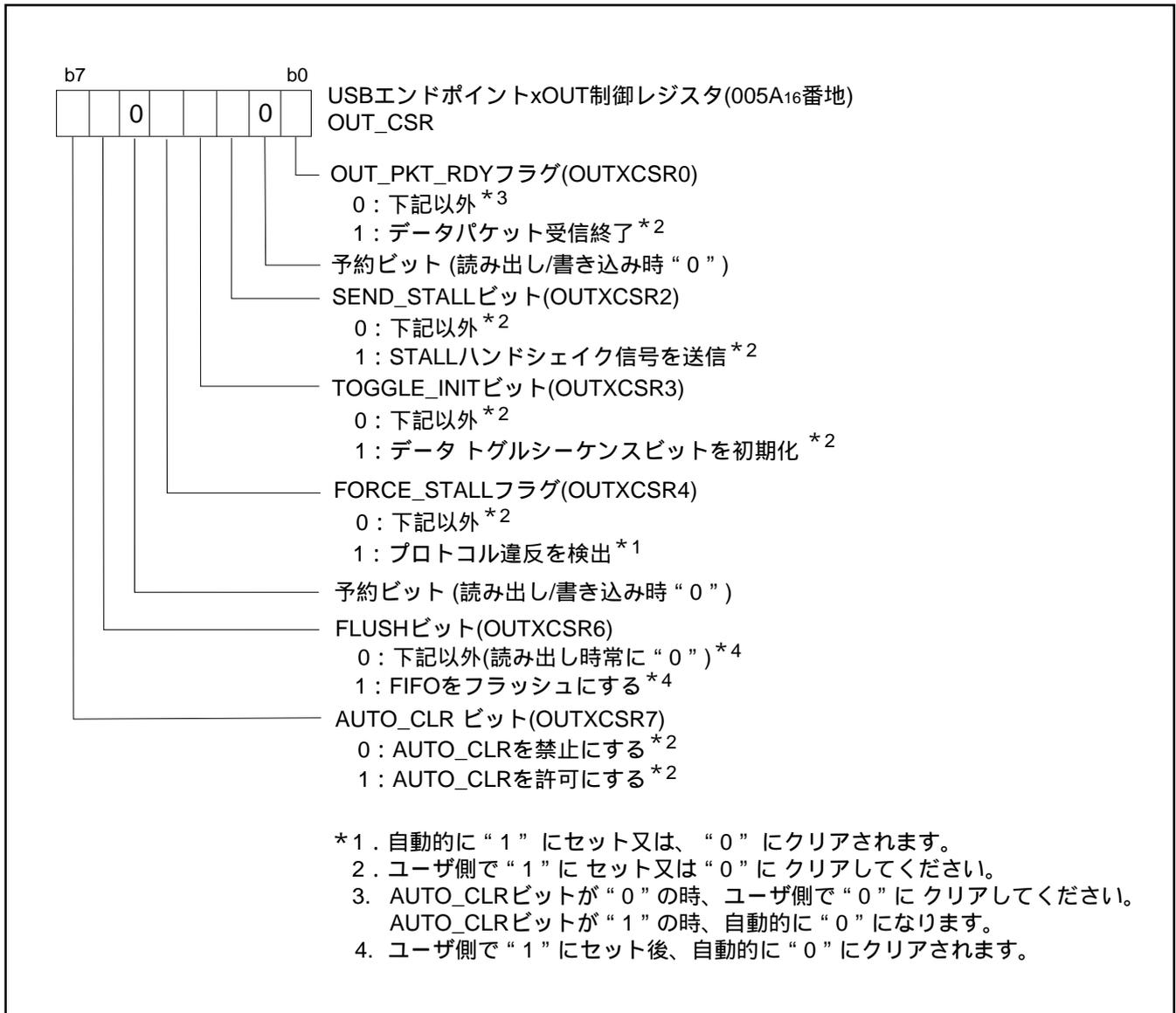


図45 . USBエンドポイントx(x=1~2) OUT制御レジスタの構成

【USBエンドポイントx(x=0~2) IN最大パッケージサイズレジスタ】IN_MAXP

エンドポイントxINパッケージの最大パッケージサイズを設定します。エンドポイント1では送信バイト数/8、エンドポイント0, 2では送信バイト数の値となっています。この値は、SET_DESCRIPTORコマンドによって変更できます。

エンドポイント0, 2の初期値は“ 8 ”で、エンドポイント1の初期値は“ 1 ”です。

【USBエンドポイントx(x=0~2) OUT最大パッケージサイズレジスタ】OUT_MAXP

エンドポイントxOUTパッケージの最大パッケージサイズを設定します。エンドポイント1では受信バイト数/8、エンドポイント0, 2では受信バイト数の値となっています。この値は、SET_DESCRIPTORコマンド受信により変更できます。

エンドポイント0, 2の初期値は“ 8 ”、エンドポイント1の初期値は“ 1 ”です。

エンドポイント0使用時、USBエンドポイントxIN最大パッケージサイズレジスタ(IN_MAXP)とUSBエンドポイントxOUT最大パッケージサイズレジスタ(OUT_MAXP)には同じ値が設定されます。一方のレジスタの値を変更することにより、もう一方のレジスタの値も変更されます。

注意事項

フラッシュメモリ版のみエンドポイント3, 4へのIN/OUTトークンに応答しますのでご注意ください。

上記対策のために、初期設定等に以下のプログラムを追加ください。(本プログラムは、マスク版の動作には影響を与えません。)

```
[USBINDEX] = 03h ; USBINDEX = 58H
[IN_MAXP] = 00h ; IN_MAXP = 5BH
[OUT_MAXP] = 00h ; OUT_MAXP = 5CH
[USBINDEX] = 04h ; USBINDEX = 58H
[IN_MAXP] = 00h ; IN_MAXP = 5BH
[OUT_MAXP] = 00h ; OUT_MAXP = 5CH
```

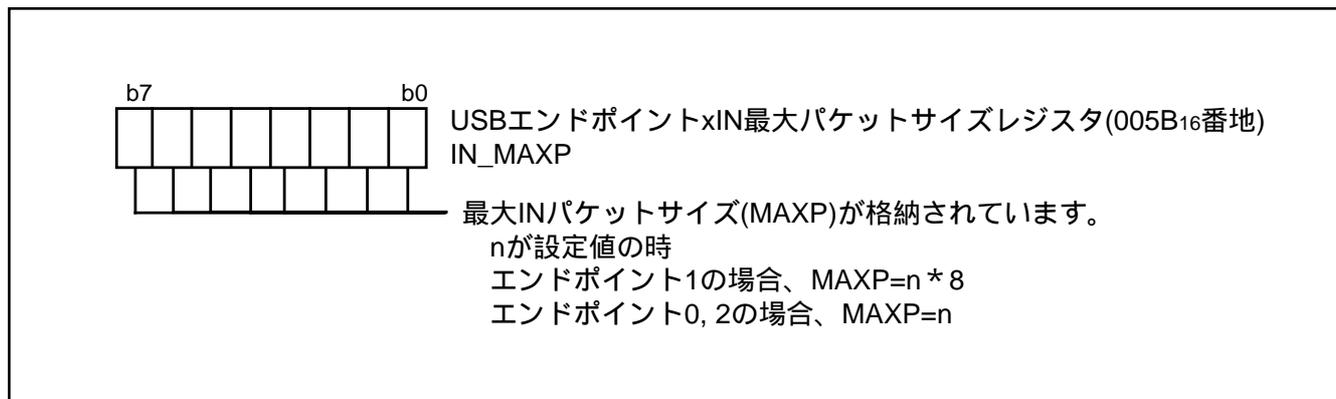


図46 . USBエンドポイントx IN最大パッケージサイズレジスタの構成

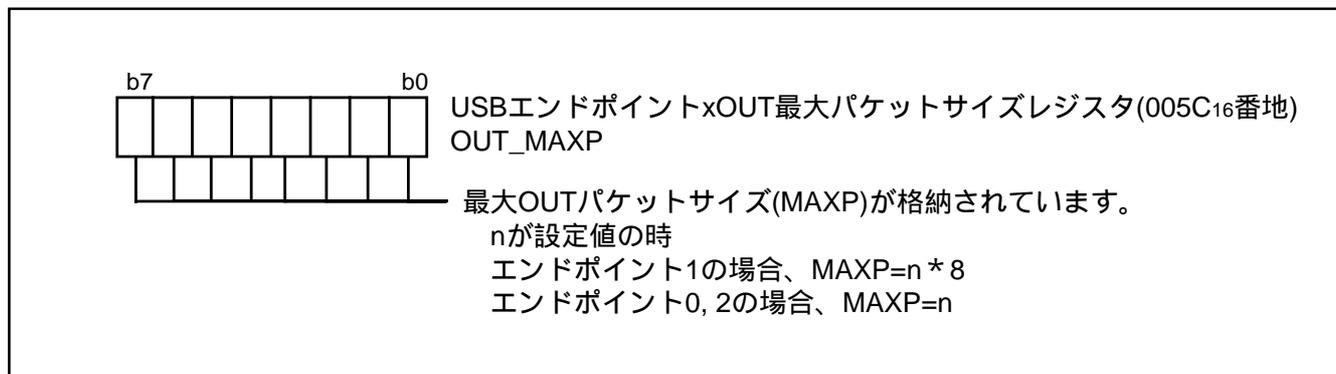


図47 . USBエンドポイントx OUT最大パッケージサイズレジスタの構成

【USBエンドポイントx(x=0~2)OUT書き込みカウントレジスタ】WRT_CNT

エンドポイントxOUT FIFO内のデータバイト数が格納されます。このレジスタは読み出し専用です。データ受信終了後、このレジスタを読み出ししてください。

OUT FIFOがダブルバッファモードの場合、このレジスタを読み出すと古いデータパケットの受信データ数が読み出されます。次の読み出しで新しいデータパケットの受信データ数が読み出されます。

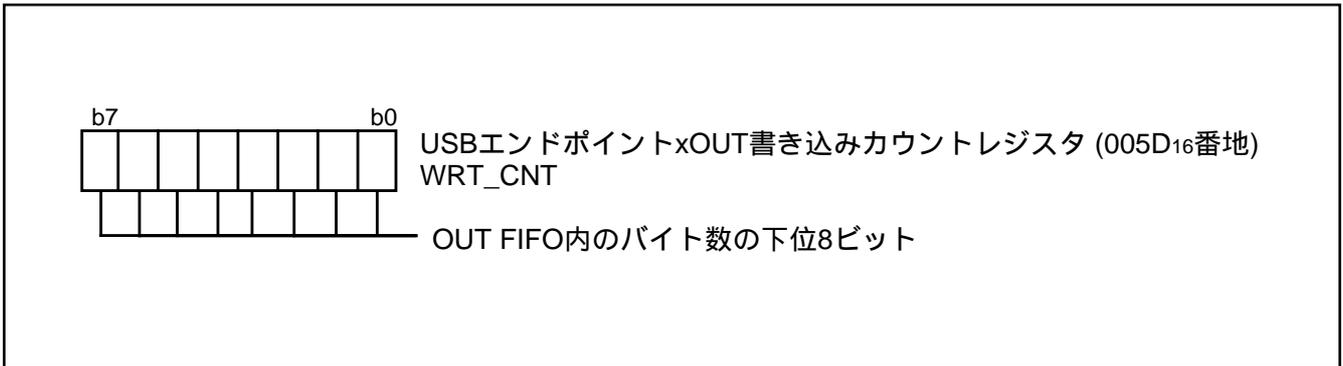


図48. USBエンドポイントx(x=0~2)OUT書き込みカウントレジスタの構成

【USBエンドポイントx(x=0~2)FIFOレジスタ】

USBFIFOx

USBの送信(IN)、受信(OUT) FIFOデータレジスタです。送信時、このレジスタにデータを書き込みます。受信時、このレジスタからデータを読み出します。

最大パケットサイズがFIFOの半分以下のとき、ダブルバッファモードとなり2パケットデータ格納可能です。IN_PKT_RDYビットが“0”でTX_NOT_EPTフラグが“1”の場

合はIN FIFOに1パケットデータ格納されていることを示します。

OUT FIFOがダブルバッファモードのとき、最初のパケットを読み出した後、OUT_PKT_RDYは“1”のままです(一旦“0”になり、1サイクル後“1”に戻ります)。

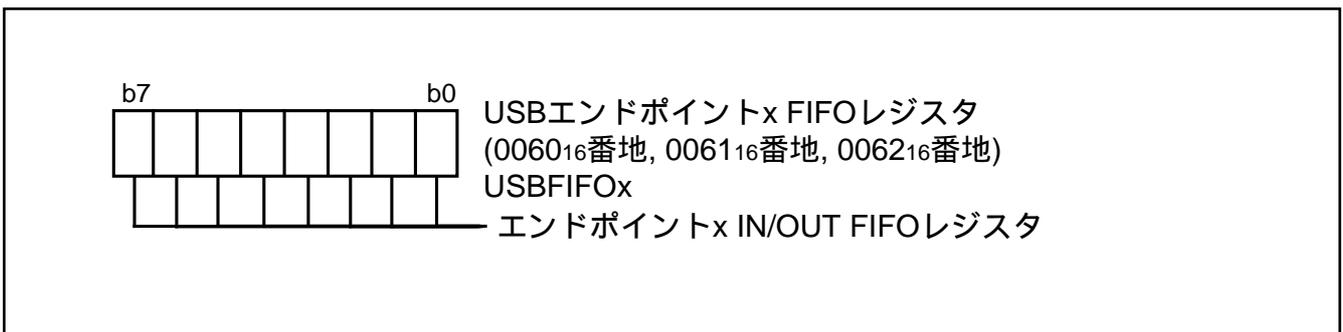


図49. USBエンドポイントx(x=0~2) FIFOレジスタの構成

【USBエンドポイントFIFO モード選択レジスタ】

USBFIFOMR

エンドポイント1又はエンドポイント2を使用する場合の
IN/OUT FIFOサイズモードを決定します。

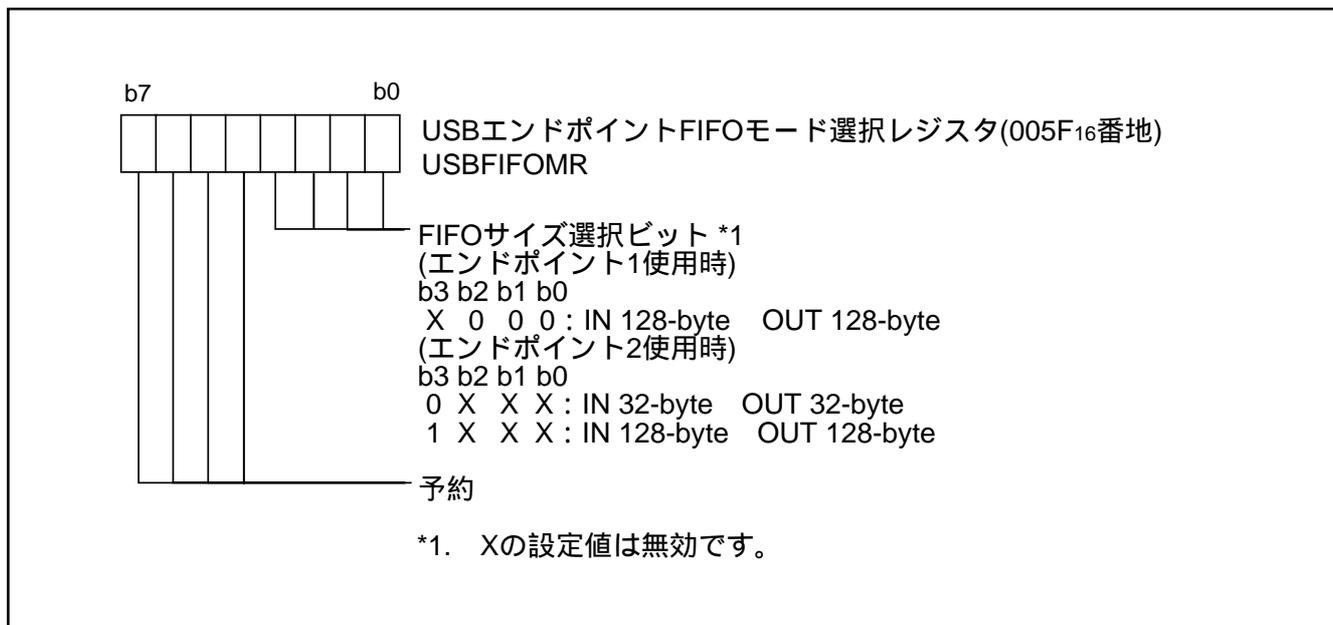


図50. USB FIFO モード選択レジスタの構成

周波数シンセサイザ(PLL)

周波数シンセサイザは、外部入力基準クロック $f(XIN)$ の倍数である f_{USB} 及び f_{SYN} に必要な48MHzクロックを生成します。図51に周波数シンセサイザ回路ブロック図を示します。

周波数シンセサイザへの入力クロック f_{IN} は周波数シンセサイザ入力ビットにより $f(XIN)$ 又は $f(XCIN)$ から選択できます。

周波数シンセサイザ乗算レジスタ2(006E16番地：FSM2)の内容により f_{IN} が分周され、 f_{PIN} が生成されます。

$$f_{PIN} = f_{IN}/2(n+1) \quad n : \text{FSM2の設定値}$$

周波数シンセサイザ2の設定値を255にすると分周は禁止となり $f_{PIN} = f_{IN}$ になります。

周波数シンセサイザ乗算レジスタ1(006D16番地：FSM1)の内容により f_{VCO} が生成されます。

$$f_{VCO} = f_{PIN} \times \{ 2(n+1) \} \quad n : \text{FSM1の設定値}$$

f_{VCO} の値が48MHzになるようにFSM1の値を設定してください。

周波数シンセサイザ除算レジスタ(006F16番地：FSD)の内容により f_{SYN} が生成されます。

$$f_{SYN} = f_{VCO}/2(m+1) \quad m : \text{FSDの設定値}$$

周波数シンセサイザ除算レジスタの設定値を255にすると分周は禁止となり f_{SYN} は無効になります。

【周波数シンセサイザ制御レジスタ】FSC

周波数シンセサイザ許可ビット(FSE)を'1'に設定することで周波数シンセサイザを許可にします。周波数シンセサイザが許可のとき、周波数シンセサイザロック状態ビット(LS)が'1'ならば、 f_{SYN} と f_{VCO} は正しい周波数であることを示します。

注意事項

周波数シンセサイザを使用する場合は、ローパスフィルタをLPF端子へ接続してください。ハードウェアリセットから復帰する際には「プログラミング上の注意事項 周波数シンセサイザに関するもの」を参照してください。

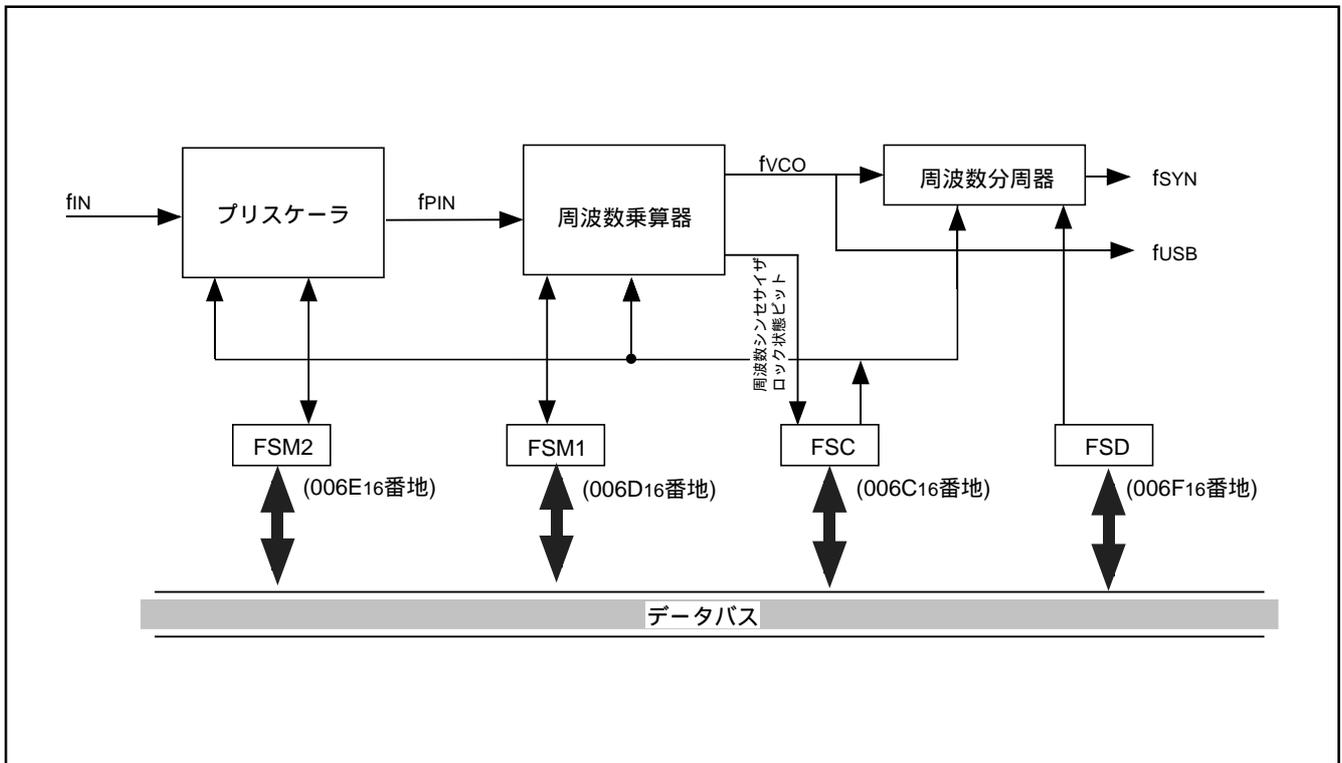


図51．周波数シンセサイザ回路ブロック図

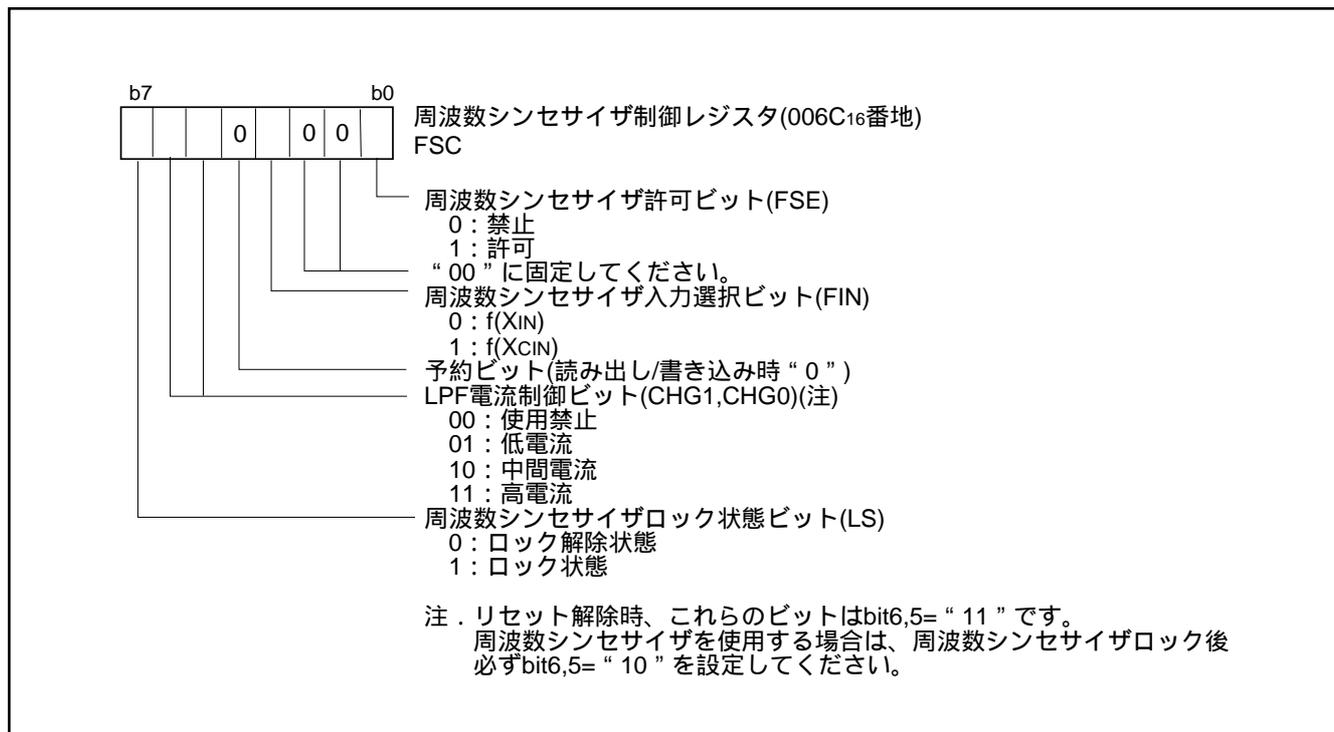


図52 . 周波数シンセサイザ制御レジスタの構成

リセット回路

電源電圧が3.00 ~ 3.60V又は4.15 ~ 5.25Vのとき、RESET端子をの20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFA₁₆番地の内容を上位アドレス、FFFB₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。発振再開後、内部クロック発振安定のための待ち時間がタイマ1及びタイマ2により生成されます。タイマ1には“FF16”、タイマ2には“0116”が設定されます。タイマ2がアンダフローするまで内部クロックは“H”を保ち、アンダフローしてはじめて内部クロックが供給されます。

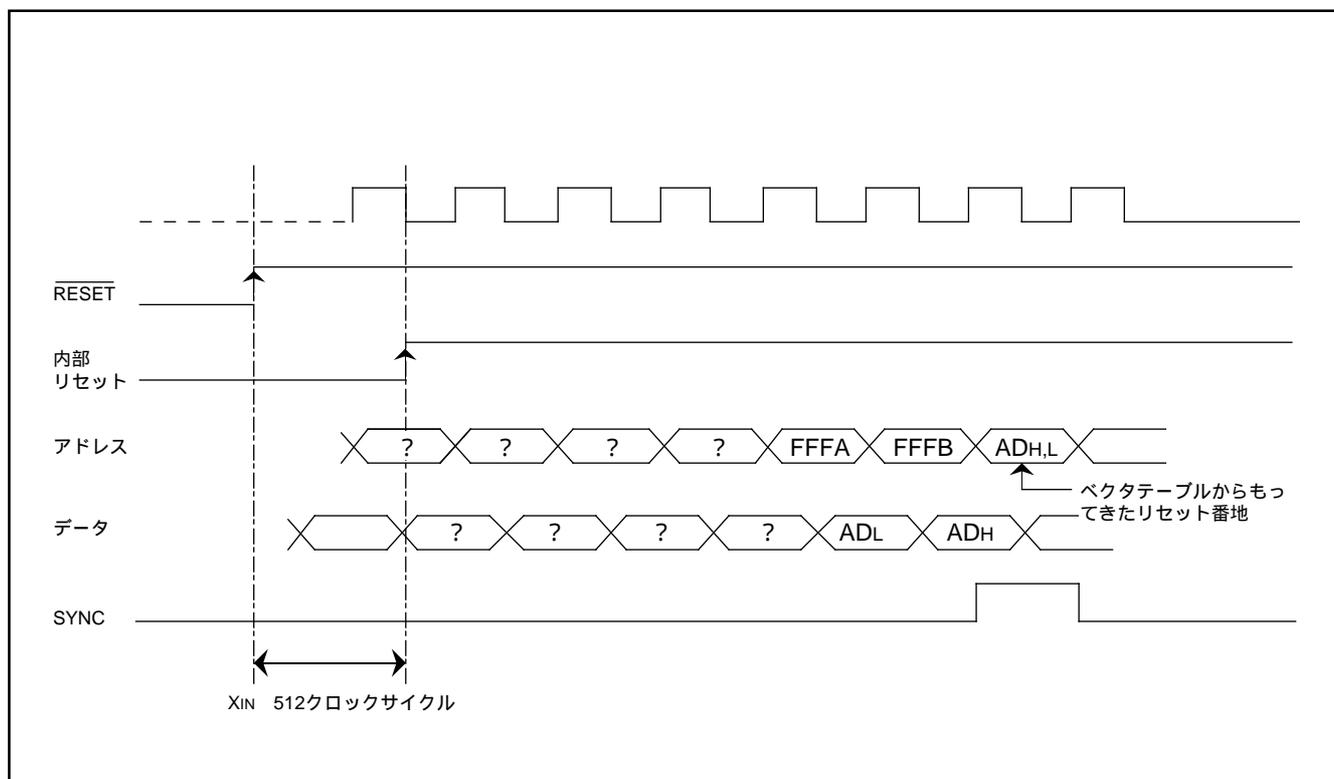
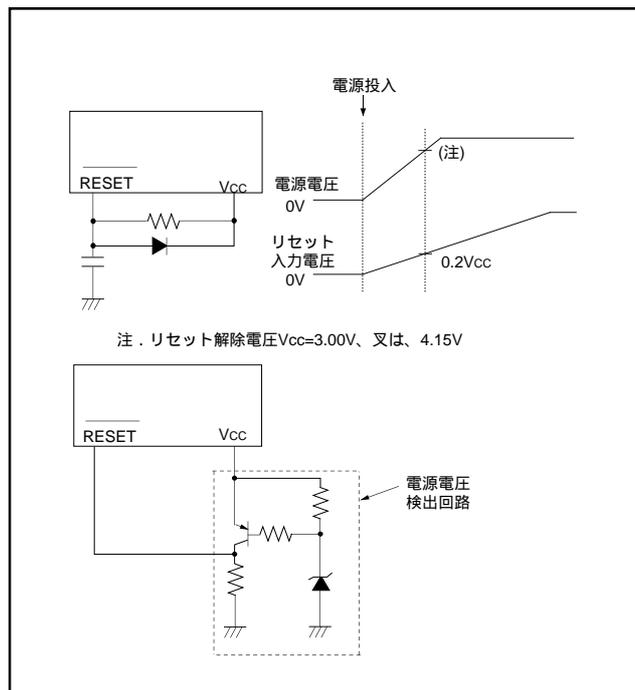
リセット中の端子の状態は下記のとおりです。

CNV_{SS} = “H”のとき

P0, P1, P3₃ ~ P3₇は出力状態。その他の端子は入力状態。

CNV_{SS} = “L”のとき

すべての端子は入力状態。



番地	レジスタの内容	番地	レジスタの内容
(1) CPUモードレジスタA	0000 ₁₆ 000011100	(38) UARTモードレジスタ	0030 ₁₆ 00 ₁₆
(2) CPUモードレジスタB	0001 ₁₆ 10000011	(39) UARTステータスレジスタ	0032 ₁₆ 00000011
(3) 割り込み要求レジスタA	0002 ₁₆ 00 ₁₆	(40) UART制御レジスタ	0033 ₁₆ 00 ₁₆
(4) 割り込み要求レジスタB	0003 ₁₆ 00 ₁₆	(41) UART RTS制御レジスタ	0036 ₁₆ 10000000
(5) 割り込み要求レジスタC	0004 ₁₆ 00 ₁₆	(42) DMACインデックス及びステータスレジスタ	003F ₁₆ 00 ₁₆
(6) 割り込み制御レジスタA	0005 ₁₆ 00 ₁₆	(43) DMACチャンネルxモードレジスタ1	0040 ₁₆ 00 ₁₆
(7) 割り込み制御レジスタB	0006 ₁₆ 00 ₁₆	(44) DMACチャンネルxモードレジスタ2	0041 ₁₆ 00 ₁₆
(8) 割り込み制御レジスタC	0007 ₁₆ 00 ₁₆	(45) DMACチャンネルx送信元レジスタLow	0042 ₁₆ 00 ₁₆
(9) ポートP0	0008 ₁₆ 00 ₁₆	(46) DMACチャンネルx送信元レジスタHigh	0043 ₁₆ 00 ₁₆
(10) ポートP0方向レジスタ	0009 ₁₆ 00 ₁₆	(47) DMACチャンネルx送信先レジスタLow	0044 ₁₆ 00 ₁₆
(11) ポートP1	000A ₁₆ 00 ₁₆	(48) DMACチャンネルx送信先レジスタHigh	0045 ₁₆ 00 ₁₆
(12) ポートP1方向レジスタ	000B ₁₆ 00 ₁₆	(49) DMACチャンネルx転送カウントレジスタLow	0046 ₁₆ 00 ₁₆
(13) ポートP2	000C ₁₆ 00 ₁₆	(50) DMACチャンネルx転送カウントレジスタHigh	0047 ₁₆ 00 ₁₆
(14) ポートP2方向レジスタ	000D ₁₆ 00 ₁₆	(51) USBアドレスレジスタ	0050 ₁₆ 00 ₁₆
(15) ポートP3	000E ₁₆ 00 ₁₆	(52) USBパワー制御レジスタ	0051 ₁₆ 00 ₁₆
(16) ポートP3方向レジスタ	000F ₁₆ 00 ₁₆	(53) USB割り込みステータスレジスタ1	0052 ₁₆ 00 ₁₆
(17) ポート制御レジスタ	0010 ₁₆ 00 ₁₆	(54) USB割り込みステータスレジスタ2	0053 ₁₆ 00 ₁₆
(18) 割り込み極性選択レジスタ	0011 ₁₆ 00 ₁₆	(55) USB割り込み許可レジスタ1	0054 ₁₆ X X 1 1 1 1 1 1
(19) ポートP2プルアップ制御レジスタ	0012 ₁₆ 00 ₁₆	(56) USB割り込み許可レジスタ2	0055 ₁₆ 0 0 1 X 0 0 X X
(20) USB制御レジスタ	0013 ₁₆ 00 ₁₆	(57) USBエンドポイントインデックスレジスタ	0058 ₁₆ 00 ₁₆
(21) ポートP6	0014 ₁₆ 00 ₁₆	(58) USBエンドポイントxIN制御レジスタ	0059 ₁₆ 00 ₁₆
(22) ポートP6方向レジスタ	0015 ₁₆ 00 ₁₆	(59) USBエンドポイントxOUT制御レジスタ	005A ₁₆ 00 ₁₆
(23) ポートP5	0016 ₁₆ 00 ₁₆	(60) USBエンドポイントxIN最大パケットサイズレジスタ(注1)	005B ₁₆ 0 0 0 0 1 0 0 0
(24) ポートP5方向レジスタ	0017 ₁₆ 00 ₁₆	(61) USBエンドポイントxOUT最大パケットサイズレジスタ(注1)	005C ₁₆ 0 0 0 0 1 0 0 0
(25) ポートP4	0018 ₁₆ 00 ₁₆	(62) USBエンドポイントxOUT書き込みカウントレジスタ	005D ₁₆ 00 ₁₆
(26) ポートP4方向レジスタ	0019 ₁₆ 00 ₁₆	(63) USBエンドポイントFIFOモード選択レジスタ	005F ₁₆ 00 ₁₆
(27) ポートP7	001A ₁₆ 00 ₁₆	(64) フラッシュメモリ制御レジスタ	006A ₁₆ 0 0 0 0 0 0 0 1
(28) ポートP7方向レジスタ	001B ₁₆ 00 ₁₆	(65) 周波数シンセサイザ制御レジスタ	006C ₁₆ 0 1 1 0 1 0 0 0
(29) ポートP8	001C ₁₆ 00 ₁₆	(66) 周波数シンセサイザ乗算レジスタ1	006D ₁₆ FF ₁₆
(30) ポートP8方向レジスタ	001D ₁₆ 00 ₁₆	(67) 周波数シンセサイザ乗算レジスタ2	006E ₁₆ FF ₁₆
(31) クロック制御レジスタ	001F ₁₆ 00 ₁₆	(68) 周波数シンセサイザ除算レジスタ	006F ₁₆ FF ₁₆
(32) タイマ1	0024 ₁₆ FF ₁₆	(69) ROMコードプロテクト制御レジスタ	FFC9 ₁₆ FF ₁₆
(33) タイマ2	0025 ₁₆ 0 0 0 0 0 0 0 1	(70) プロセッサステータスレジスタ	(PS) X X X X X 1 X X
(34) タイマ3	0026 ₁₆ FF ₁₆	(71) プログラムカウンタ	(PCH) FFFB ₁₆ 番地の内容 (PCL) FFFA ₁₆ 番地の内容
(35) タイマ123モードレジスタ	0029 ₁₆ 00 ₁₆		
(36) シリアルI/O制御レジスタ1	002B ₁₆ 0 1 0 0 0 0 0 0		
(37) シリアルI/O制御レジスタ2	002C ₁₆ 0 0 0 1 1 0 0 0		

注1. エンドポイント1を使用する場合は、"01₁₆"になります。

2. 上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

3. x : 不定です。

4. フラッシュメモリ制御レジスタ、およびROMコードプロテクト制御レジスタはフラッシュメモリ版のみです。

図55. リセット時の内部状態

クロック発生回路

7643グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗を内蔵していません(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN - XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗を付けてください。外部からクロック信号を供給する場合は、XIN又はXCIN端子に入力し、XOUT又はXCOUT端子は開放にします。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

周波数制御

内部システムクロックとして、 f_{SYN} 、 $f(XIN)$ 、 $f(XIN)/2$ 及び $f(XCIN)$ から選択できます。内部システムクロックの周波数の2分周したものが内部クロックになります。

(1) f_{SYN} クロック

周波数シンセサイザにより生成します。 $f(XIN)$ 又は $f(XCIN)$ を入力クロックとして選択できます。[周辺シンセサイザ]の項を参照してください。

(2) $f(XIN)$ クロック

XIN端子に加わった周波数が内部システムクロックになります。

(3) $f(XIN)/2$ クロック

XIN端子に加わった周波数の2分周したものが内部システムクロックになります。

(4) $f(XCIN)$ クロック

XCIN端子に加わった周波数が内部システムクロックになります。

注. XIN-XOUT発振とXCIN-XCOUT発振間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。

(5) 低消費電力モード

- 内部クロックとして $f(XCIN)$ 使用時には、CPUモードレジスタAのメインクロック(XIN - XOUT)停止ビットを“1”にすることによりメインクロックXINを停止させて、消費電力を低減できます。
- 外部クロック信号をXIN又はXCIN端子に入力する場合は、XCOUT発振駆動禁止ビット(CCR5)又はXOUT発振駆動禁止ビット(CCR6)を“1”にすることにより反転振幅器を禁止し、消費電力を低減できます。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、タイマ1には“FF16”、タイマ2には“0116”が設定されます。タイマ1の入力にはの8分周、タイマ2の入力にはタイマ1の出力が強制的に接続されます。

STP命令実行前に、タイマ1及びタイマ2の割り込み許可ビットを禁止状態(“0”)に設定してください。ストップ命令解除に外部割り込みを使用する場合、使用する割り込みの割り込み許可ビットを“1”(許可)にし、割り込み禁止フラグ(I)を“0”にしてください。

発振はリセット又は外部割り込み(USBリジューム割り込みを含む)が受け付けられると再開しますが、内部クロックは、タイマ2がアンダフローするまで“H”のままです。タイマ2がアンダフローしてはじめて内部クロックが供給されます。そのため、STP命令によって発振が停止する以前にタイマ1割り込み要求ビット又はタイマ2割り込み要求ビットが“1”に設定されないようにしてください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。WIT命令を実行する前に、ウェイトモード解除に使用する割り込みを許可にし、割り込み禁止フラグ(I)を“0”にしてください。

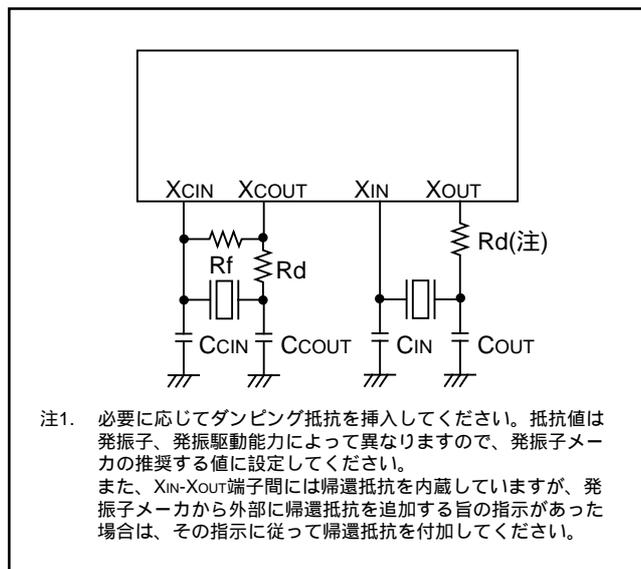


図56 . セラミック共振子又は水晶発振子外付け回路

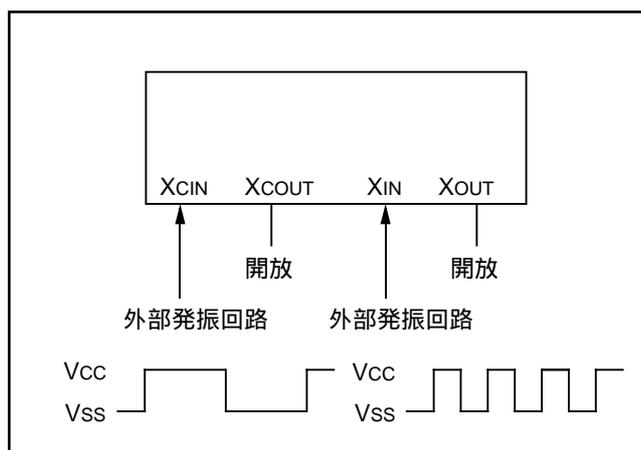


図57 . 外部クロック入力回路

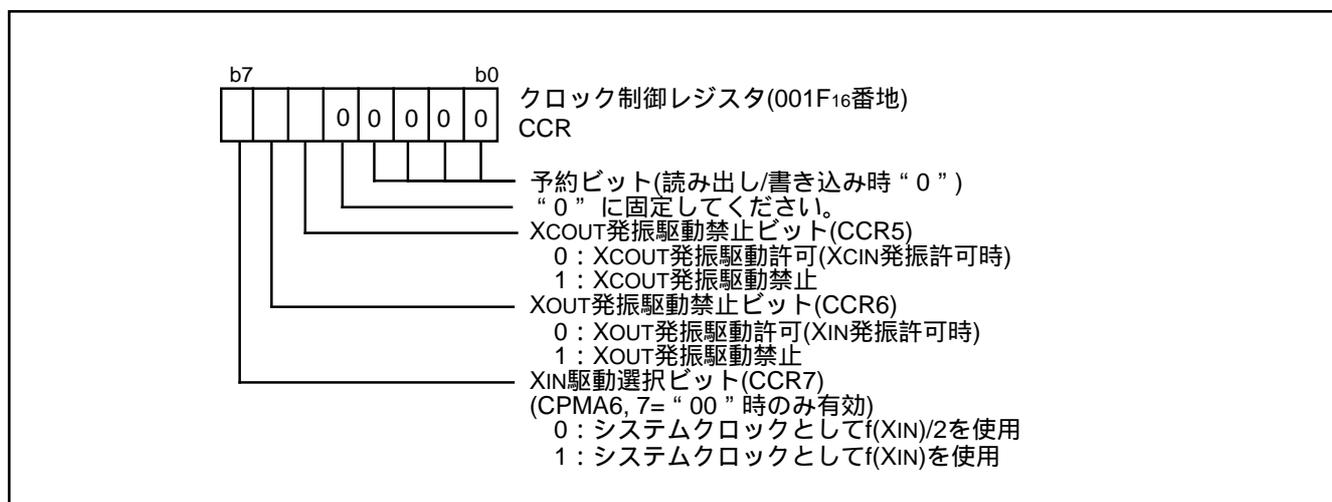


図58 . クロック制御レジスタの構成

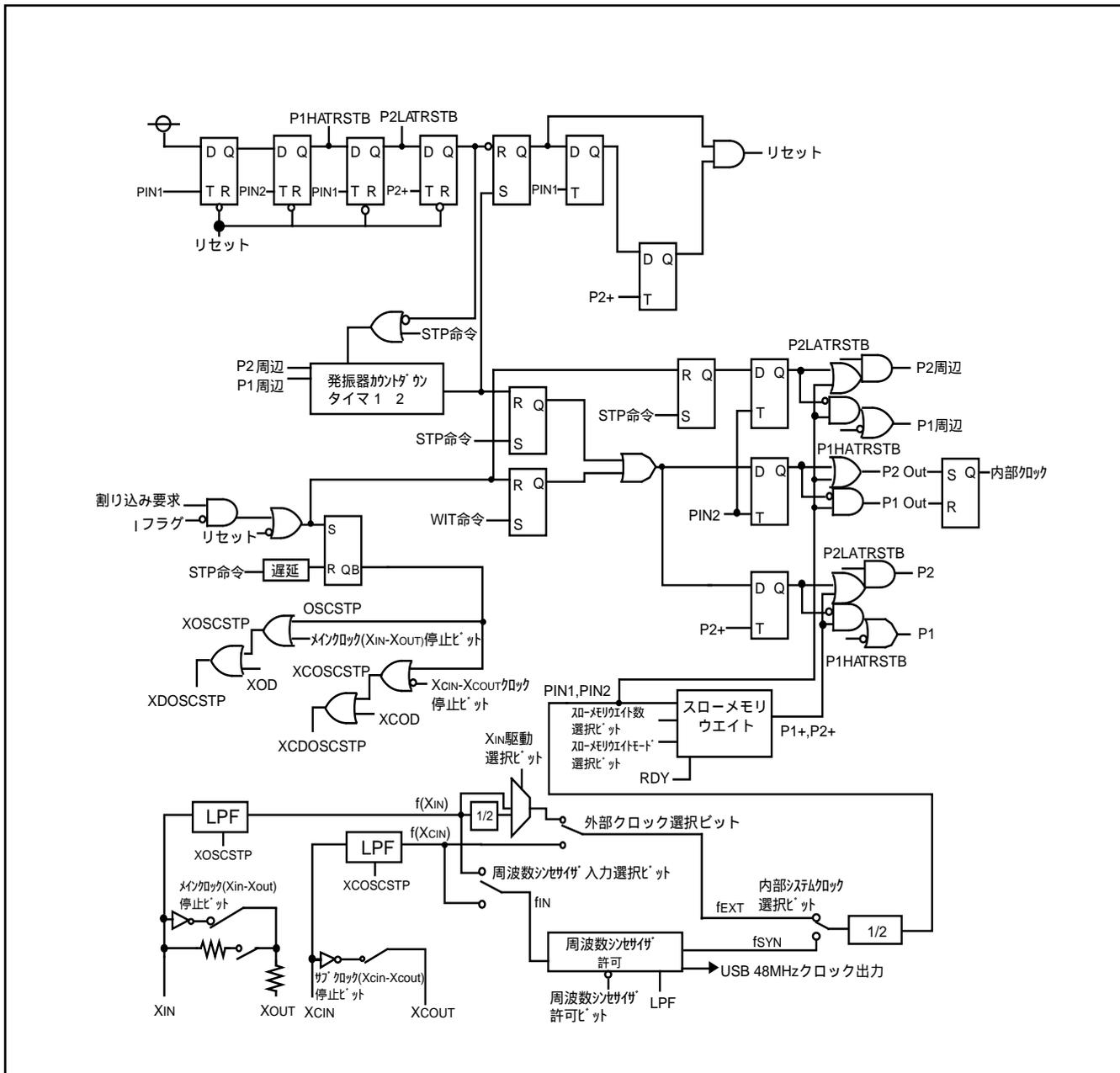


図59 . クロック発生回路ブロック図

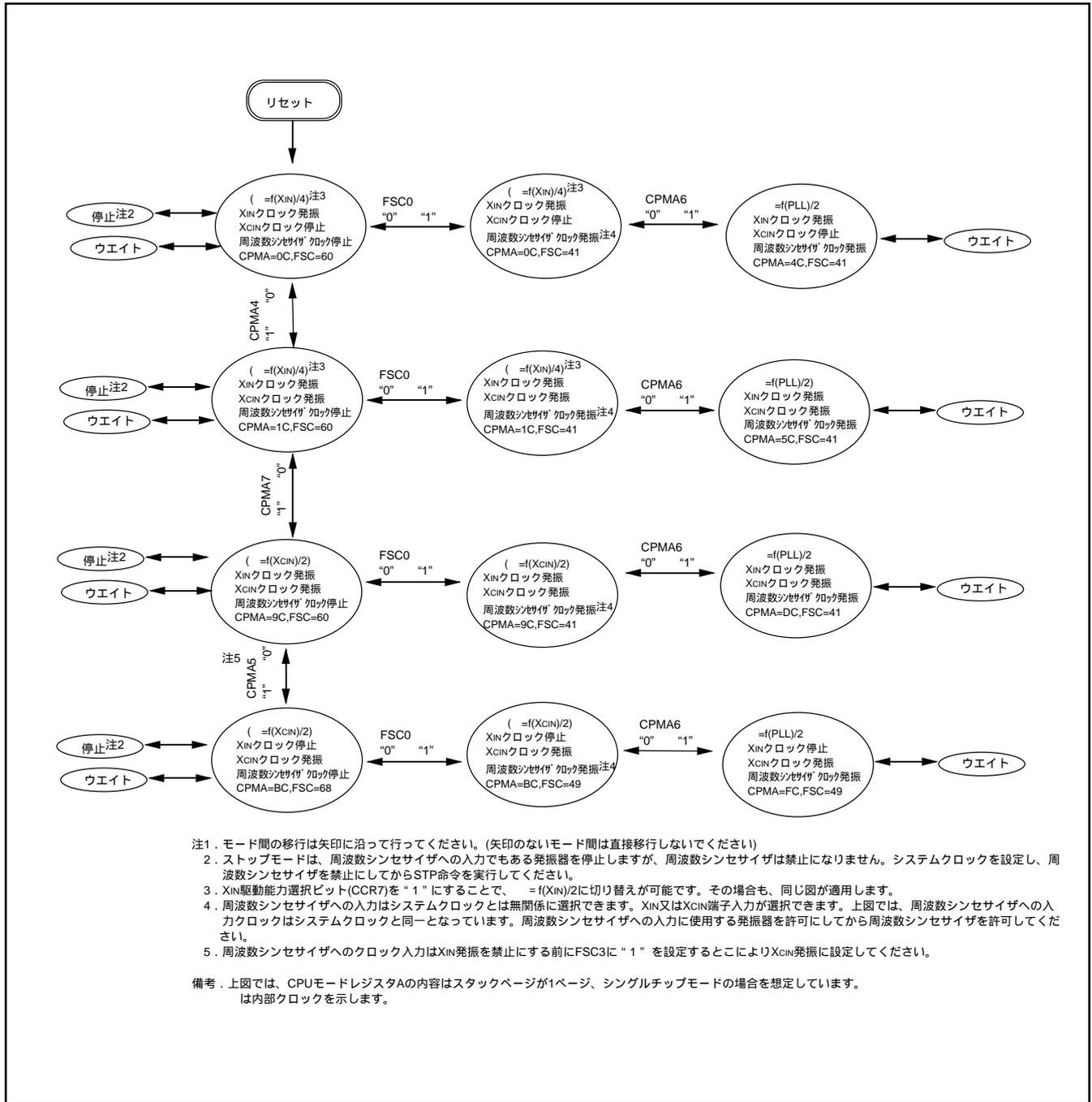


図60. クロックの状態遷移

プロセッサモード

CPUモードレジスタA(0000₁₆番地)のプロセッサモードビットの内容を変えることによって、シングルチップモード、メモリ拡張モード及びマイクロプロセッサモードの3つのモードを選択できます。メモリ拡張モード及びマイクロプロセッサモードではポートP0～P3を通じて外部にメモリを拡張することが可能です。この場合ポートP0～P3は入出力ポートとしての機能を失い、バス端子になります。これらのポートと対応するポート方向レジスタは外部メモリ領域として扱われます。

表8．メモリ拡張モード及びマイクロプロセッサモードにおける各ポートの機能

ポート名	機能
ポートP0	アドレスの低位8ビットを出力します
ポートP1	アドレスの高位8ビットを出力します
ポートP2	データD7～D0(命令コードも含む)の入出力端子として働きます。
ポートP3	P30はRDY入力端子となります。 P31,P32は出力端子としてのみ機能します。 P33はDMAOut出力端子となります。 P34は OUT出力端子となります。 P35はSYNCOut出力端子となります。 P36, P37はそれぞれWR, RD出力端子となります。
ポートP4	P40はEDMA端子となります。

(1)シングルチップモード

CNV_{ss}をV_{ss}に接続してリセットからスタートするとこのモードになります。

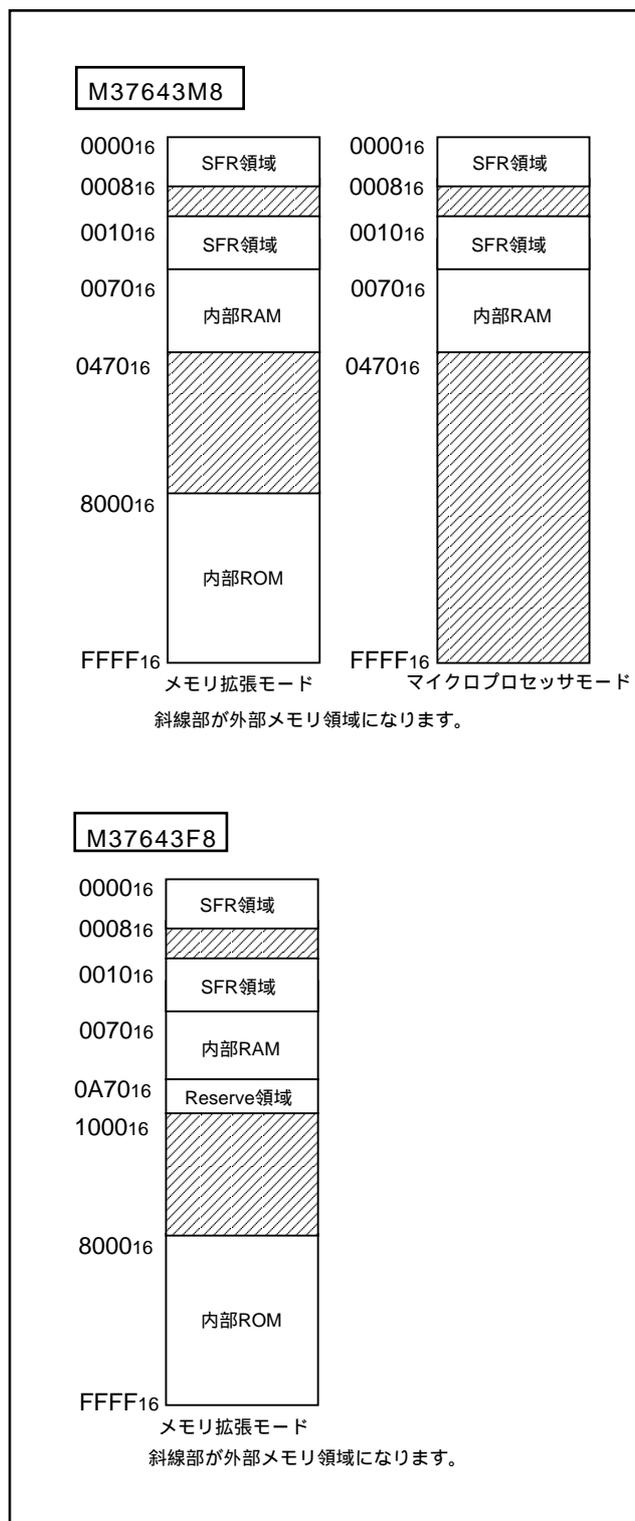
(2)メモリ拡張モード

CNV_{ss}をV_{ss}に接続して、プログラムでプロセッサモードビット(b1, b0)を“01”に設定するとこのモードになります。このモードでは、内部ROMが有効な状態で外部メモリを拡張することができます。

(3)マイクロプロセッサモード

CNV_{ss}をV_{cc}に接続し、リセットからスタートするか、CNV_{ss}をV_{ss}に接続して、プログラムでプロセッサモードビット(b1, b0)を“10”に設定すると、このモードになります。マイクロプロセッサモードでは、内部ROM領域も外部メモリ領域として開放されます。

フラッシュメモリ版では、このモード設定は使用禁止です。



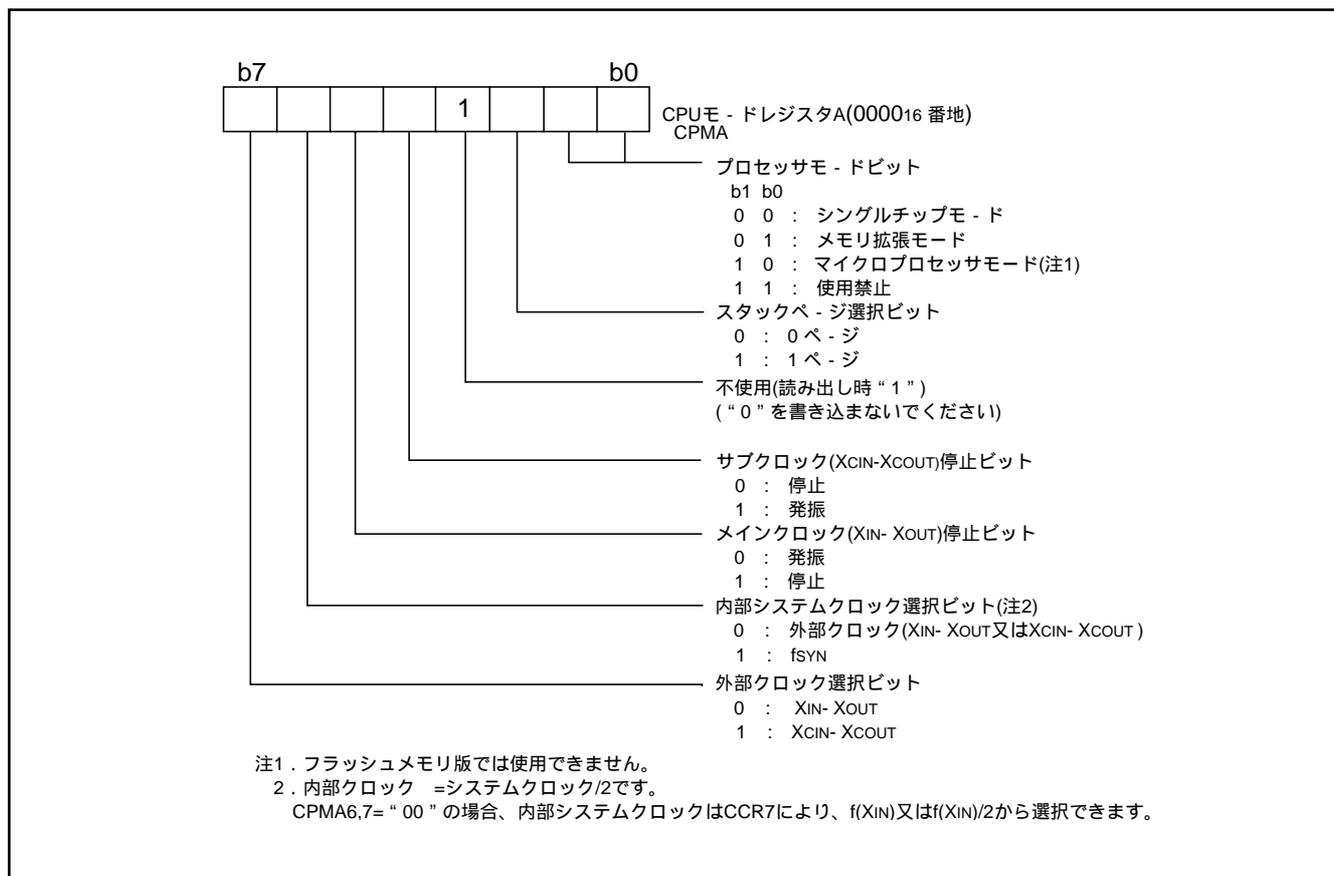


図62 . CPUモードレジスタAの構成

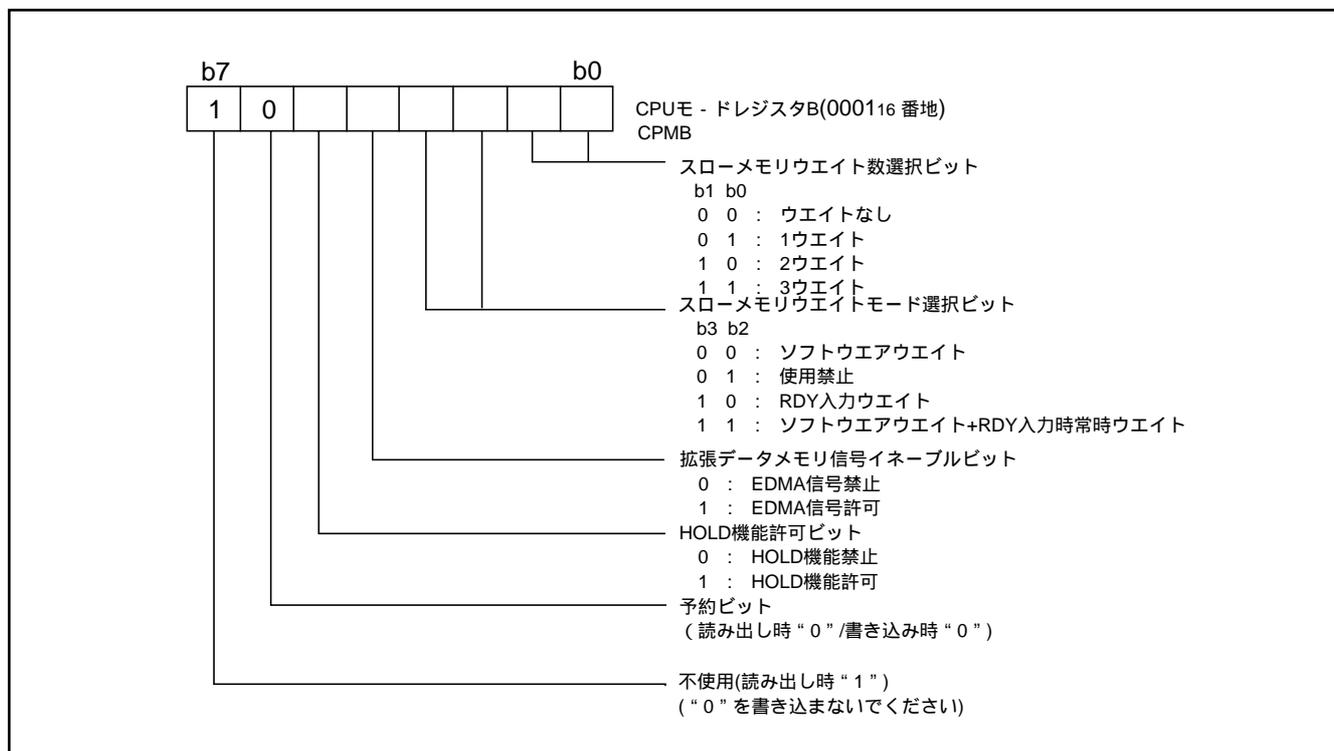


図63 . CPUモードレジスタBの構成

スローメモリウエイト

メモリ拡張モード又はマイクロプロセッサモードで、アクセス時間が長い外部デバイスへのアクセスを容易にするために、7643グループはスローメモリウエイト機能(ソフトウェアウエイト、RDY入力時ウエイト及びソフトウェアウエイト+RDY入力時常時ウエイト)を内蔵しています。CPUモードレジスタB(0001₁₆番地)のビット0~3で設定します。この機能は外部メモリへの書き込み又は読み出し時のみ、リードサイクル及びライトサイクルが延長されます(ただし、0008₁₆番地~000F₁₆番地のアクセスは延長されません)。

(1) ソフトウェアウエイト

CPUモードレジスタB(0001₁₆番地)のスローメモリウエイトモード選択ビットを“00”にして選択します。リードサイクル及びライトサイクル(RD端子及びWR端子の“L”幅)がの1~3サイクル延長されます。延長するサイクル数はスローメモリウエイトビットにより選択できます。ソフトウェアウエイト機能を選択するとRDY端子が無効となります。

(2) RDY入力時ウエイト

CPUモードレジスタB(0001₁₆番地)のスローメモリウエイトモード選択ビットを“10”にして選択します。リードサイクル、ライトサイクルの始まり(の立ち下がり前)にRDY端子に一定時間“L”レベルを入力するとマイクロコンピュータはレディー状態になり、リードサイクル及びライトサイクルがの1~3サイクル延長されます。延長するサイクル数はスローメモリウエイトビットにより選択できます。

(3) ソフトウェアウエイト+RDY入力時常時ウエイト

CPUモードレジスタB(0001₁₆番地)のスローメモリウエイトモード選択ビットを“11”にして選択します。リードサイクル、ライトサイクルの始まり(の立ち下がり前)にRDY端子に一定期間“L”を入力すると、リード及びライトサイクルが延長されます。RDY端子は“H”になるまで の立ち下がりごとにチェックされます。その後、RDY端子に“H”を入力すると、の1~3サイクル分(スローメモリウエイトビットにより選択)延長した後、ウエイトが解除されます。

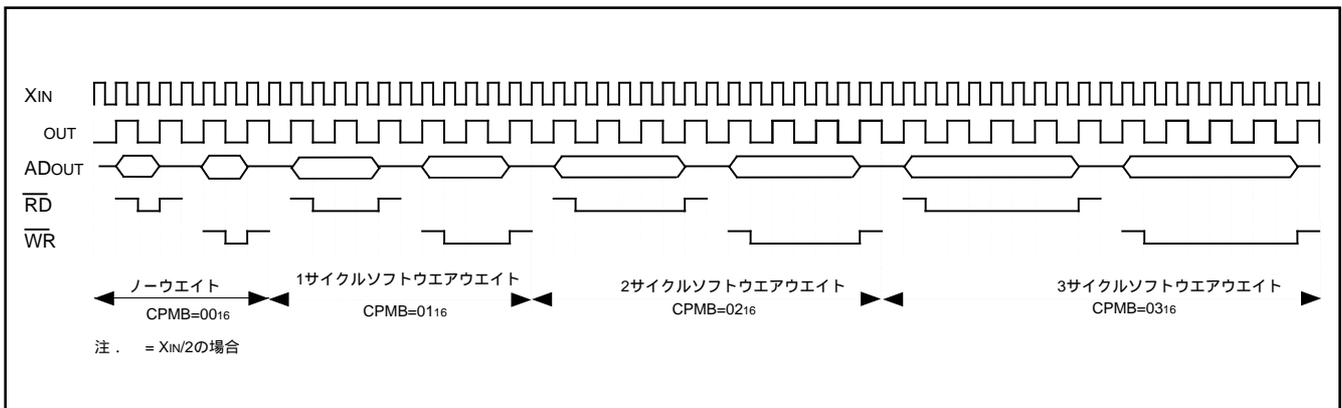


図64 . ソフトウェアウエイトタイミング図

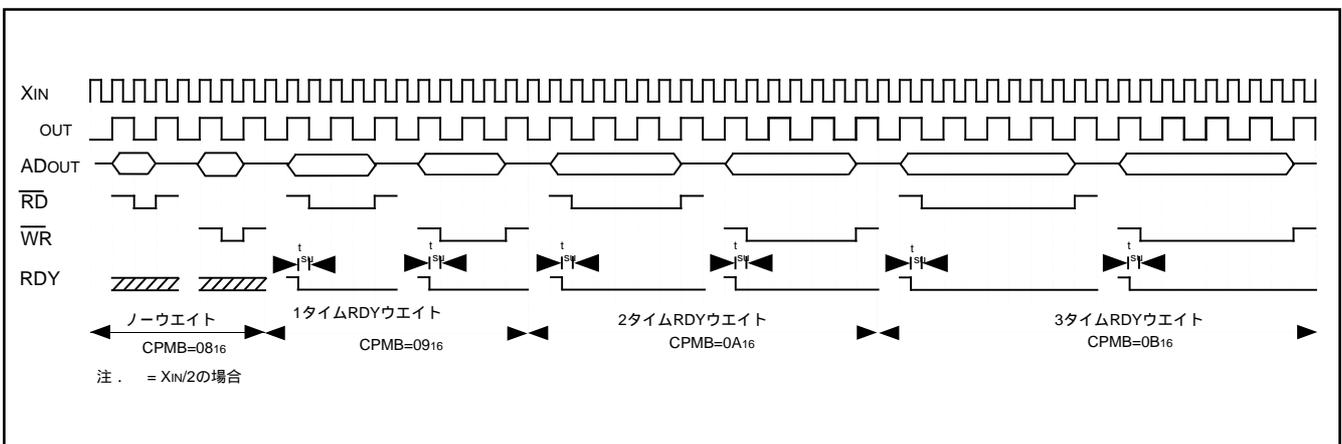


図65 . RDY入力時ウエイトタイミング図

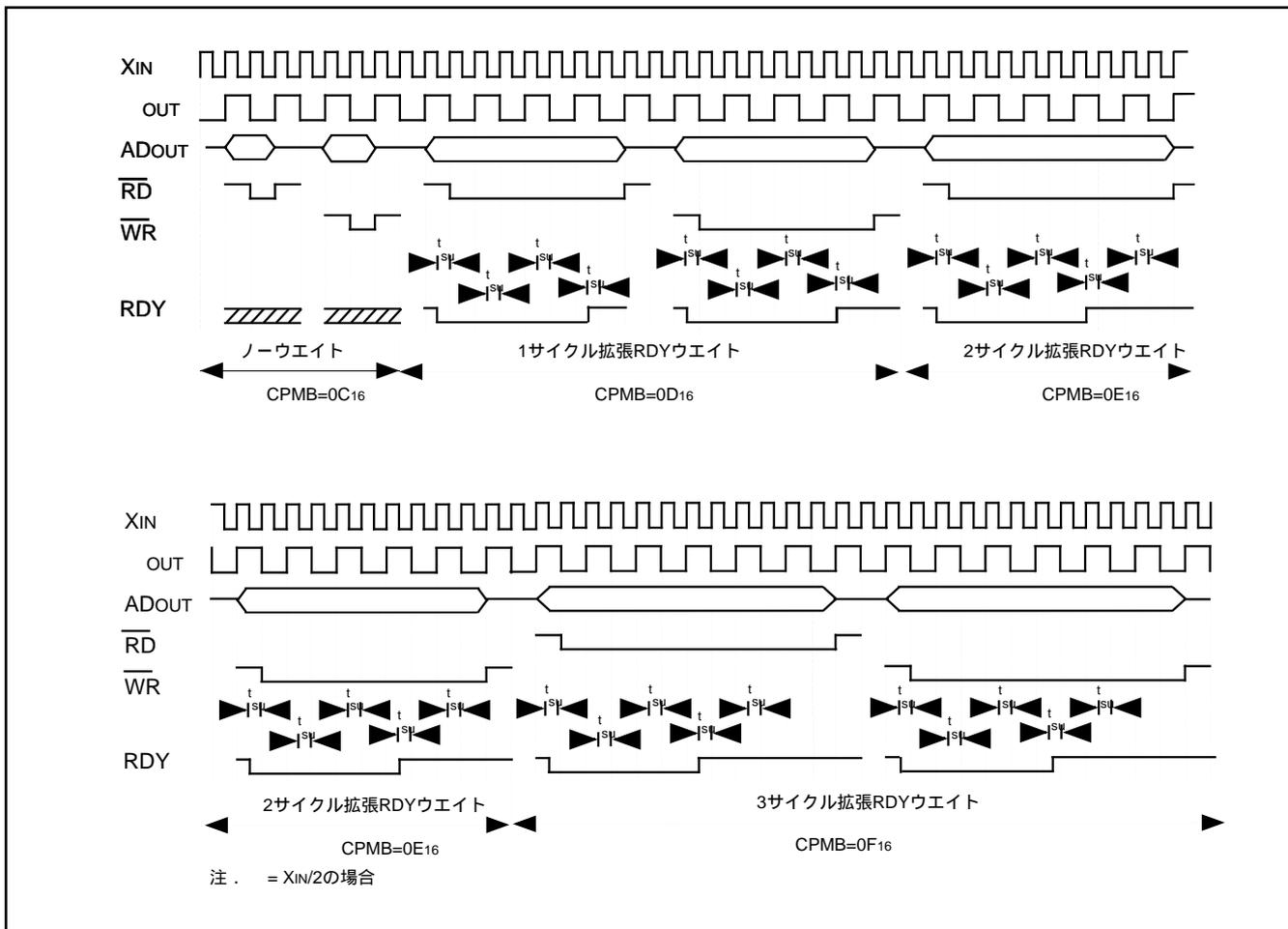


図66 . ソフトウェアウエイト+RDY入力時常時ウエイトタイミング図

ホールド機能

ホールド機能は、中央演算処理装置(CPU)を使用しないでバスをアクセスする外部回路を構成している場合に、バスの使用权をCPUから外部回路へ移行するタイミングを生成するために使用します。CPUモードレジスタB(000116番地)のHOLD機能許可ビットを“1”にして使用します。この機能には、HOLD端子とHLDA端子を使用します。

HOLDはバスの使用权を解除することを要求する外部回路からの信号です。“L”を入力するとマイクロコンピュータはホールド状態になり、HOLD端子が“L”の期間、その状態を

保持します。ホールド状態では発振子は停止しません。したがって、他の機能ブロックは動作しています。

マイクロコンピュータが、バスの使用权を解除するとHLDA端子から“L”を出力します。ポートP0,ポートP1(アドレスバス)とポートP2(データバス)はトライステート出力となり、ポートP37(RD端子)とポートP36(WR端子)は“H”に保持されます。ポートP34(OUT端子)は発振を続けます。HLDA端子はIBF1端子の機能を使用する場合は、機能しません。

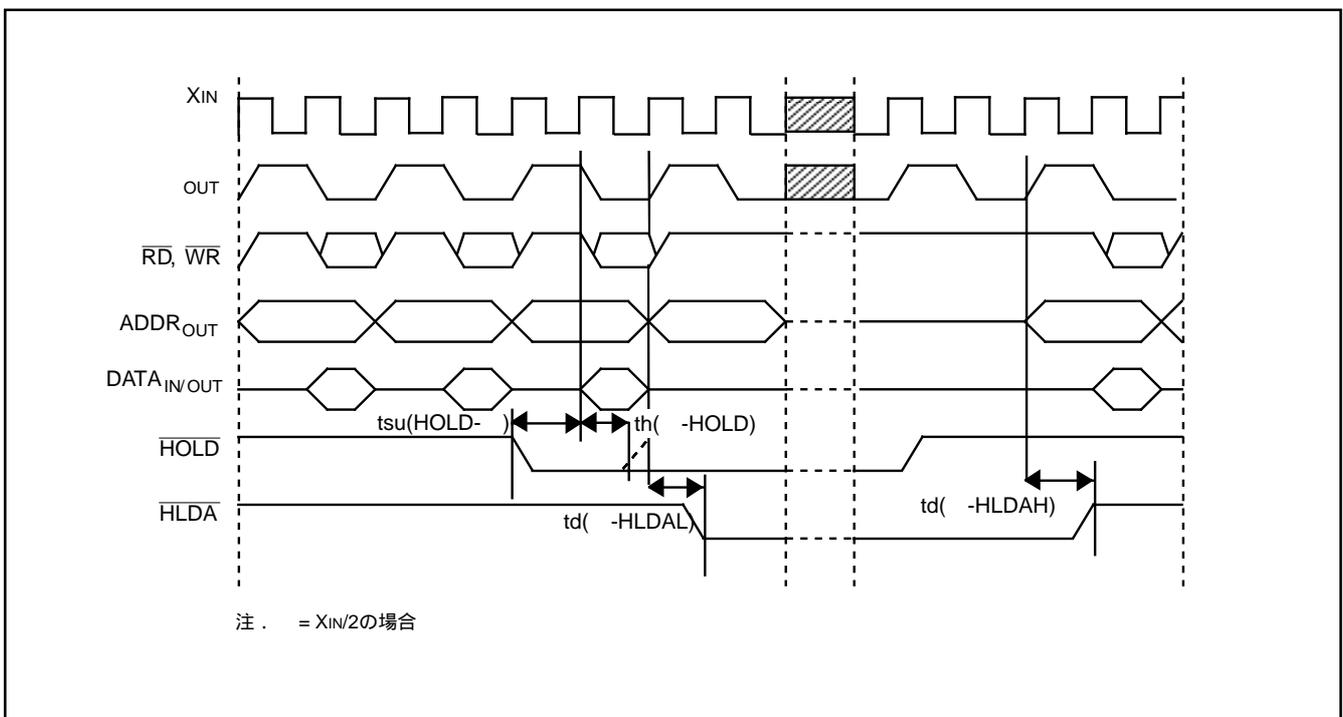


図67 . ホールド機能タイミング図

拡張データメモリアクセス

拡張データメモリアクセスモードでは、LDA(\$zz),Y(間接,Y)命令及びSTA(\$zz),Y(間接,Y)命令で64Kバイトを超えるデータ領域へアクセスできます。

CPUモードレジスタB(000116番地)の拡張データメモリ信号イネーブルビットを“1”にして使用します。この場合、LDA命令及びSTA命令のデータリード、データライトサイク

ルの期間ポートP40(EDMA端子)は“L”レベルになります。

アクセスするバンクの確定は、入出力ポートを使用してアドレスバスAB15を超える拡張アドレスを表します。例えば4つのバンクにアクセスする場合、入出力ポートを2本使用し、アドレスバスAB16とAB17を表します。

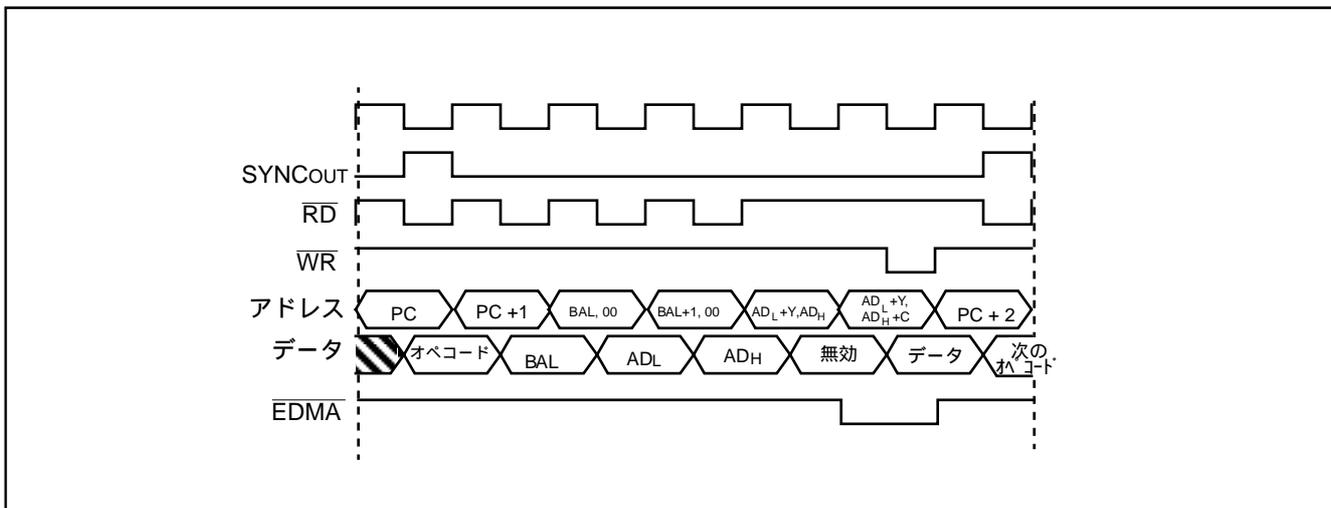


図68 . EDMA許可時のSTA (\$ zz), Y命令シーケンス

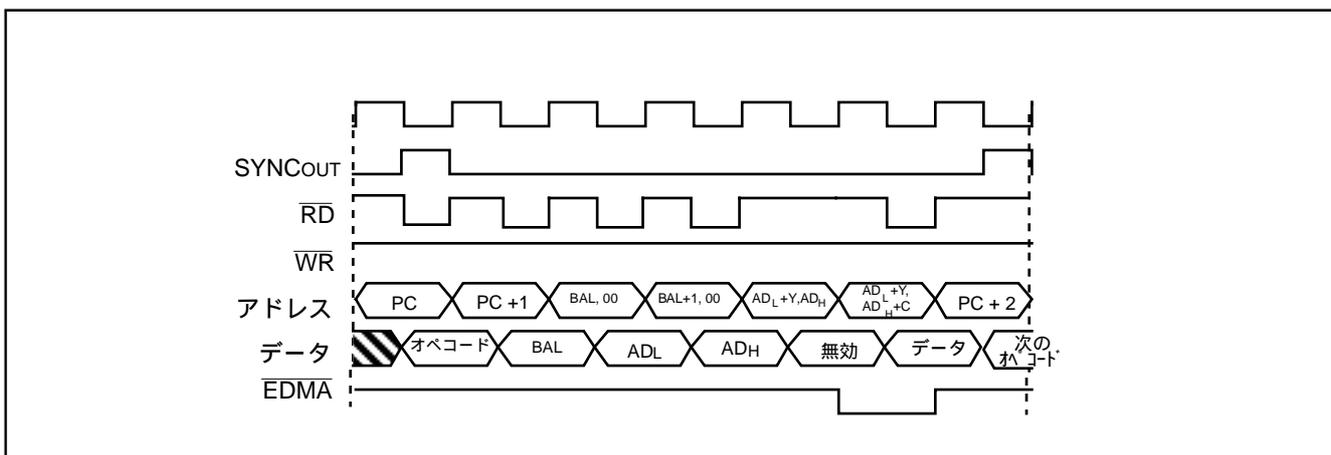


図69 . EDMA許可時のLDA (\$ zz), Y命令シーケンス(Tフラグ= " 0 ")

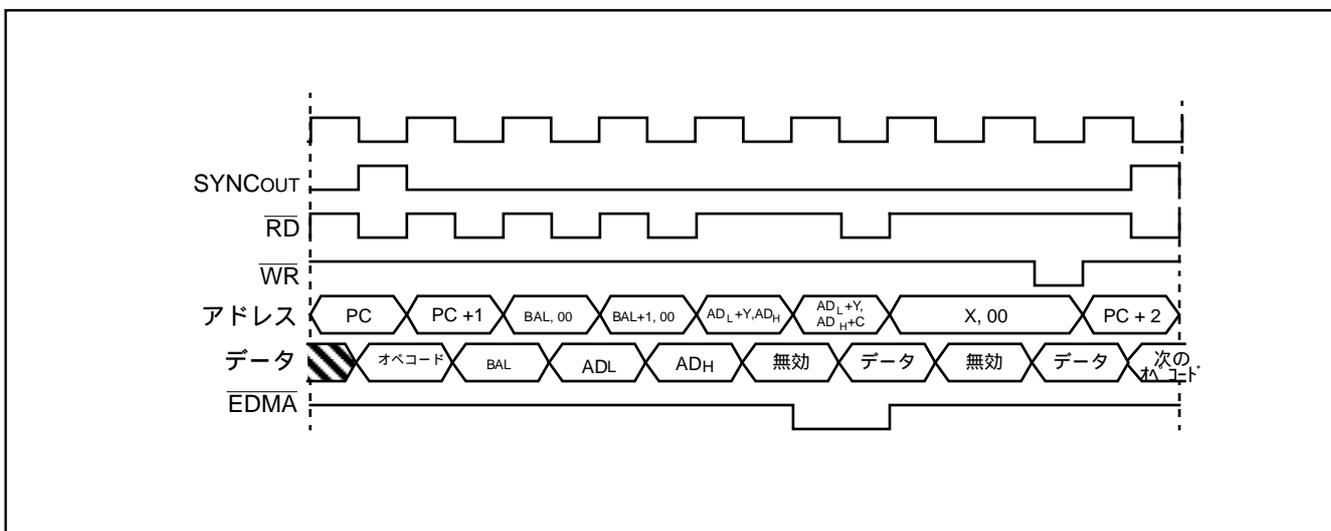


図70 . EDMA許可時のLDA (\$ zz), Y命令シーケンス(Tフラグ= " 1 ")

電気的特性

表9．絶対最大定格

記号	項 目	条 件	定 格 値	単 位
Vcc	電源電圧	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ 6.5	V
AVcc	アナログ電源電圧 AVcc, Ext.Cap		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 P40 ~ P44, P50 ~ P57, P60 ~ P67, P70 ~ P74 P80 ~ P87		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 RESET, XIN, XCIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss		マスク版 : - 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 USB D+, D-		フラッシュメモリ版 : - 0.3 ~ 6.5	V
Vi	入力電圧 USB D+, D-		- 0.5 ~ 3.8	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 P40 ~ P44, P50 ~ P57, P60 ~ P67, P70 ~ P74 P80 ~ P87, XOUT, XCOUT, LPF	- 0.3 ~ Vcc + 0.3	V	
Vo	出力電圧 USB D+, D-, Ext.Cap	- 0.5 ~ 3.8	V	
Pd	消費電力(注)	Ta = 25	750	mW
Topr	動作周囲温度		- 20 ~ 70	
Tstg	保存温度		- 40 ~ 125	

注．最大消費電力は、チップの消費電力だけでなくパッケージの熱消費特性に依存します。

表10. 推奨動作条件(1)

指定のない場合はVcc=4.15 ~ 5.25V, Vss=0V, Ta= - 20 ~ 70)

Vcc=5V用

記号	項目	規格値			単位
		最小	最小	最小	
Vcc	電源電圧	4.15	5.0	5.25	V
AVcc	アナログ基準電圧	4.15	5.0	Vcc	V
Vss	電源電圧		0		V
AVss	アナログ基準電圧		0		V
VIH	“H” 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87	0.8Vcc		Vcc	V
VIH	“H” 入力電圧(VIHLレベル入力選択時) P20 ~ P27	0.5Vcc		Vcc	V
VIH	“H” 入力電圧 RESET, XIN, XCIN, CNVSS	0.8Vcc		Vcc	V
VIH	“H” 入力電圧 USBD+,USBD-	2.0		3.8	V
VIL	“L” 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87	0		0.2Vcc	V
VIL	“L” 入力電圧(VIHLレベル入力選択時) P20 ~ P27	0		0.16Vcc	V
VIL	“L” 入力電圧 RESET, XIN, XCIN, CNVSS	0		0.2Vcc	V
VIL	“L” 入力電圧 USBD+,USBD-			0.8	V
IOH (peak)	“H” 出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			- 80	mA
IOL (peak)	“L” 出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			80	mA
IOH (avg)	“H” 出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			- 40	mA
IOL (avg)	“L” 出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			40	mA
IOH (peak)	“H” 出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			- 10	mA
IOL (peak)	“L” 出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			10	mA
IOH (avg)	“H” 出力平均電流(注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			- 5	mA
IOL (avg)	“L” 出力平均電流(注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44 P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87			5	mA
f(XIN)	メインクロック入力周波数(注4,注5)	1		24	MHz
f(XCIN)	サブクロック入力周波数(注4,注6)		32.768	50/5.0	kHz/MHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100mSの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流IOL(avg), IOH(avg)は100msの期間での平均値です。

4. 発振周波数はデューティ50%の場合です。

5. XIN-XOUT間に最大発振周波数24Hzのセラミック共振子又は水晶発振子を接続します。(ただし、 が12MHzを超えないようにしてください)。周波数シンセサイザ使用時のf(XIN)は、できるだけ速いクロックをご使用ください。

6. XCIN-XCOUT間に最大発振周波数50kHzの水晶発振子又はセラミック発振子を接続します。最大5MHzの外部クロック信号をXCINから入力します。

表11. 電気的特性(1)

指定のない場合はVcc=4.15 ~ 5.25V, Vss=0V, Ta= - 20 ~ 70)

Vcc=5V用

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P44, P50 ~ P57 P60 ~ P67, P70 ~ P74, P80 ~ P87	IOH= - 10mA	Vcc - 2.0			V
VOH	“H”出力電圧 USB _{D+} , USB _{D-}	USB _{D+} , USB _{D-} 共に 15k ±5%抵抗を介して プルダウン。USB _{D+} に ついては、Ext.Capへ 1.5k ±5%抵抗を介して プルアップ	2.8		3.6	V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P44, P50 ~ P57 P60 ~ P67, P70 ~ P74, P80 ~ P87	IO _L =10mA			2.0	V
VOL	“L”出力電圧 USB _{D+} , USB _{D-}	USB _{D+} , USB _{D-} 共に 15k ±5%抵抗を介して プルダウン。USB _{D+} に ついては、Ext.Capへ 1.5k ±5%抵抗を介して プルアップ			0.3	V
VT+ - VT-	ヒステリシス INT ₀ , INT ₁ RDY, HOLD P20 ~ P27 (注1)			0.5		V
VT+ - VT-	ヒステリシス URXD, SCLK, SRXD, SRDY, CTS			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P44, P50 ~ P57 P60 ~ P67, P70 ~ P74, P80 ~ P87	V _I =Vcc			5.0	μA
I _{IH}	“H”入力電流 RESET, CNVss				5.0	μA
I _{IH}	“H”入力電流 X _{IN}			9	20	μA
I _{IH}	“H”入力電流 X _{CIN}				5.0	μA
I _{IL}	“L”入力電流 P00 ~ P07, P10 ~ P17 P30 ~ P37, P40 ~ P44, P50 ~ P57 P60 ~ P67, P70 ~ P74, P80 ~ P87	V _I =Vss			- 5.0	μA
I _{IL}	“L”入力電流 RESET				- 5.0	μA
I _{IL}	“L”入力電流 CNVss				- 20	μA
I _{IL}	“L”入力電流 X _{IN}			- 9	- 20	μA
I _{IL}	“L”入力電流 X _{CIN}				- 5.0	μA
I _{IL}	“L”入力電流 P20 ~ P27	V _I =Vss (プルアップトランジスタ OFF)			- 5.0	μA
		Vcc=5V, V _I =Vss (プルアップトランジスタ ON)	- 30	- 65	- 140	μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		5.25	V

注1. Key入力割り込み機能に関するヒステリシスです。

表12. 電気的特性(2)

(指定のない場合はVcc=4.15 ~ 5.25V, Vss=0V, Ta= - 20 ~ 70)

Vcc=5V用

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICC	電源電流 (出力トランジスタは遮断状態)	通常モード時(注1) f(XIN)=24MHz =12MHz,USB動作 周波数シンセサイザ回路接続状態		40	90	mA
		ウエイトモード時(注2) f(XIN)=24MHz, =12MHz USBブロック許可,USBクロック停止 周波数シンセサイザ回路接続状態		5.0	11	mA
		ウエイトモード時(注3) f(XCIN)=32KHz, =16kHz USBブロック禁止, 周波数シンセサイザ回路遮断状態 USBトランシーバ DC-DCコンバータ遮断状態			10	μA
		ストップモード時 USBトランシーバ DC-DCコンバータ接続状態 Low Current モード (USBC3= " 1 ")		100	250	μA
		ストップモード時 USBトランシーバ DC-DCコンバータ遮断状態 Ta=25			1.0	μA
		ストップモード時 USBトランシーバ DC-DCコンバータ遮断状態 Ta=70			10	μA

測定条件:

注1. シングルチップモード動作時

XIN端子からクロック入力(XOUT発振器は停止)

周波数シンセサイザ動作

USBトランシーバDC-DCコンバータ有効状態でUSB動作

CPU, UART, DMAC, タイマ動作

シリアルI/O停止

2. シングルチップモード(ウエイトモード)動作時

XIN端子からクロック入力(XOUT発振器は停止)

周波数シンセサイザ動作

USBブロック許可でUSBクロック停止状態, USBトランシーバDC-DCコンバータ有効状態

タイマ動作, CPU, DMAC停止

UART, シリアルI/O停止

3. シングルチップモード(ウエイトモード)動作時

XIN-XOUT発振停止

XCIN端子からクロック入力(XCOUT発振器は停止)

周波数シンセサイザ停止

USBクロック停止,USB動作停止

USBトランシーバDC-DCコンバータ停止

タイマ動作

CPU, DMAC, UART, シリアルI/O停止

タイミング必要条件

表13. タイミング必要条件 (指定のない場合はVcc=4.15~5.25V, Vss=0V, Ta=-20~70)

Vcc=5V用

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	2			μs
t _c (XIN)	メインクロック入力サイクル時間 (注1)	41.66			ns
t _{WH} (XIN)	メインクロック入力“H”パルス幅	0.4・t _c (XIN)			ns
t _{WL} (XIN)	メインクロック入力“L”パルス幅	0.4・t _c (XIN)			ns
t _c (XCIN)	サブクロック入力サイクル時間	200			ns
t _{WH} (XCIN)	サブクロック入力“H”パルス幅	0.4・t _c (XCIN)			ns
t _{WL} (XCIN)	サブクロック入力“L”パルス幅	0.4・t _c (XCIN)			ns
t _c (INT)	INT ₀ , INT ₁ 入力サイクル時間	200			ns
t _{WH} (INT)	INT ₀ , INT ₁ 入力“H”パルス幅	90			ns
t _{WL} (INT)	INT ₀ , INT ₁ 入力“L”パルス幅	90			ns
t _d (-TOUT)	タイマTOUT遅延時間			15	ns
t _c (SCLKE)	シリアル/O外部クロック入力サイクル時間	400			ns
t _{WH} (SCLKE)	シリアル/O外部クロック入力“H”パルス幅	190			ns
t _{WL} (SCLKE)	シリアル/O外部クロック入力“L”パルス幅	180			ns
t _{su} (SRXD-SCLKE)	シリアル/O入力セットアップ時間(外部クロック)	15			ns
t _h (SCLKE-SRXD)	シリアル/O入力ホールド時間(外部クロック)	10			ns
t _d (SCLKE-STXD)	シリアル/O出力遅延時間(外部クロック)			25	ns
t _v (SCLKE-SRDY)	シリアル/OOSRDY有効時間(外部クロック)			26	ns
t _c (SCLKI)	シリアル/O内部クロック出力サイクル時間	166.66			ns
t _{WH} (SCLKI)	シリアル/O内部クロック出力“H”パルス幅	0.5・t _c (SCLKI)-5			ns
t _{WL} (SCLKI)	シリアル/O内部クロック出力“L”パルス幅	0.5・t _c (SCLKI)-5			ns
t _{su} (SRXD-SCLKI)	シリアル/O入力セットアップ時間(内部クロック)	20			ns
t _h (SCLKI-SRXD)	シリアル/O入力ホールド時間(内部クロック)	5			ns
t _d (SCLKI-STXD)	シリアル/O出力遅延時間(内部クロック)			5	ns

注1. t_c(Xin) < 41.66nsの時はクロック制御レジスタ(CCR)のビット7を“0”にするなどし、 $\frac{V_{cc}}{f_{clk}}$ が12MHzを越えないようにしてください (t_c() 83.33ns)。

表14．メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件およびスイッチング特性

(指定のない場合はVcc=4.15~5.25V, Vss=0V, Ta= -20~70)

Vcc=5V用

記号	項目	規格値			単位
		最小	標準	最大	
tc()	クロックサイクル時間	83.33			ns
tWH()	クロック“H”パルス幅	0.5・tc() - 5			ns
tWL()	クロック“L”パルス幅	0.5・tc() - 5			ns
td(-AH)	AB15~AB8遅延時間			31	ns
tv(-AH)	AB15~AB8有効時間	0			ns
td(-AL)	AB7~AB0遅延時間			33	ns
tv(-AL)	AB7~AB0有効時間	0			ns
td(-WR)	WR遅延時間			6	ns
tv(-WR)	WR有効時間	0			ns
td(-RD)	RD遅延時間			6	ns
tv(-RD)	RD有効時間	0			ns
td(-SYNC)	SYNCOUt遅延時間			6	ns
tv(-SYNC)	SYNCOUt有効時間	0			ns
td(-DMA)	DMAOut遅延時間			25	ns
tv(-DMA)	DMAOut有効時間	0			ns
tsu(RDY-)	RDYセットアップ時間	21			ns
th(-RDY)	RDYホールド時間	0			ns
tsu(HOLD-)	HOLDセットアップ時間	21			ns
th(-HOLD)	HOLDホールド時間	0			ns
td(-HLDAL)	HLD \bar{A} “L”遅延時間			25	ns
td(-HLD \bar{A} H)	HLD \bar{A} “H”遅延時間			25	ns
tsu(DB-)	データバスセットアップ時間	7			ns
th(-DB)	データバスホールド時間	0			ns
td(-DB)	データバス遅延時間			22	ns
tv(-DB)	データバス有効時間(注1)	13			ns
td(-EDMA)	EDMA遅延時間			12	ns
tv(-EDMA)	EDMA有効時間	0			ns
tWL(WR) (注2)	WRパルス幅	0.5・tc() - 5			ns
tWL(RD) (注2)	RDパルス幅	0.5・tc() - 5			ns
td(AH-WR)	WR前 AB15~AB8有効時間	0.5・tc() - 28			ns
td(AL-WR)	WR前 AB7~AB0有効時間	0.5・tc() - 30			ns
tv(WR-AH)	WR後 AB15~AB8有効時間	0			ns
tv(WR-AL)	WR後 AB7~AB0有効時間	0			ns
td(AH-RD)	RD前 AB15~AB8有効時間	0.5・tc() - 28			ns
td(AL-RD)	RD前 AB7~AB0有効時間	0.5・tc() - 30			ns
tv(RD-AH)	RD後 AB15~AB8有効時間	0			ns
tv(RD-AL)	RD後 AB7~AB0有効時間	0			ns
tsu(RDY-WR)	WR前 RDYセットアップ時間	27			ns
th(WR-RDY)	WR後 RDYホールド時間	0			ns
tsu(RDY-RD)	RD前 RDYセットアップ時間	27			ns
th(RD-RDY)	RD後 RDYホールド時間	0			ns
tsu(DB-RD)	RD前 データバスセットアップ時間	13			ns
th(RD-DB)	RD後 データバスホールド時間	0			ns
td(WR-DB)	WR前 データバス遅延時間			20	ns
tv(WR-DB)	WR後 データバス有効時間(注1)	10			ns
tv(WR-EDMA)	WR後 EDMA遅延時間	0			ns
tv(RD-EDMA)	RD後 EDMA遅延時間	0			ns
tr(D+),tr(D-)	USB出力立ち上がり時間, CL=50pF	4		20	ns
tf(D+),tf(D-)	USB出力立ち下がり時間, CL=50pF	4		20	ns

注1．測定条件：IOHL=±5mA, CL=50pF

2．twl(RD) = ((n+0.5)・tc())-5 ns (n:ウェイト数)

twl(WR) = ((n+0.5)・tc())-5 ns (n:ウェイト数)

例, 2ソフトウェアウェイト、 =12MHz動作時

twl(RD) = 2.5・tc() - 5 ns = 203.33ns

表15．推奨動作条件

(指定のない場合はVCC=3.0~3.6V, VSS=0V, Ta= -20~70)

VCC=3V用

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧	3.0	3.3	3.6	V
AVCC	アナログ基準電圧	3.0	3.3	VCC	V
VSS	電源電圧		0		V
AVSS	アナログ基準電圧		0		V
Ext.Cap	DC-DCコンバータ電圧	3.0	3.3	3.6	V
VIH	“ H ”入力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87	0.8VCC		VCC	V
VIH	“ H ”入力電圧(VIHLレベル入力選択時) P20~P27	0.5VCC		VCC	V
VIH	“ H ”入力電圧 RESET, XIN, XCIN, CNVSS	0.8VCC		VCC	V
VIH	“ H ”入力電圧 USB D+,USB D-	2.0			V
VIL	“ L ”入力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87	0		0.2VCC	V
VIL	“ L ”入力電圧(VIHLレベル入力選択時) P20~P27	0		0.16VCC	V
VIL	“ L ”入力電圧 RESET, XIN, XCIN, CNVSS	0		0.2VCC	V
VIL	“ L ”入力電圧 USB D+,USB D-			0.8	V
IOH (peak)	出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			- 80	mA
IOL (peak)	“ L ”出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			80	mA
IOH (avg)	“ H ”出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			- 40	mA
IOL (avg)	“ L ”出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			40	mA
IOH (peak)	“ H ”出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			- 10	mA
IOL (peak)	“ L ”出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			10	mA
IOH (avg)	“ H ”出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			- 5	mA
IOL (avg)	“ L ”出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30~P37, P40~P44 P50~P57, P60~P67, P70~P74, P80~P87			5	mA
f(XIN)	メインクロック入力周波数(注4,注5)	1		24	MHz
f(XCIN)	サブクロック入力周波数(注4,注6)		32.768	50/5.0	kHz/MHz

注1．出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100mSの期間内での平均値で、総尖頭電流は総和のピーク値です。

2．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3．出力平均電流IOL(avg), IOH(avg)は100msの期間での平均値です。

4．発振周波数はデューティ50%の場合です。

5．XIN-XOUT間に最大発振周波数24Hzのセラミック共振器又は水晶発振子を接続します。(ただし、が6MHzを超えないようにしてください)。周波数シンセサイザ使用時のf(XIN)は、できるだけ速いクロックをご使用ください。

6．XCIN-XCOUT間に最大発振周波数50kHzの水晶発振子又はセラミック発振子を接続します。最大5MHzの外部クロック信号をXCINから入力します。

表16. 電気的特性(1)

(指定のない場合はVcc=3.0~3.6V, Vss=0V, Ta= -20~70)

Vcc=3V用

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P44, P50~P57 P60~P67, P70~P74, P80~P87	IOH= -1mA	Vcc - 1.0			V
VOH	“H”出力電圧 USBD+, USBD-	USBD+,USBD-共に 15k ±5%抵抗を介して プルダウン。USBD+に ついては、Ext.Capへ 1.5k ±5%抵抗を介して プルアップ	2.8		3.6	V
VOL	“L”出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P44, P50~P57 P60~P67, P70~P74, P80~P87	IOl=1mA			1.0	V
VOL	“L”出力電圧 USBD+, USBD-	USBD+,USBD-共に 15k ±5%抵抗を介して プルダウン。USBD+に ついては、Ext.Capへ 1.5k ±5%抵抗を介して プルアップ	0		0.3	V
VT+ - VT -	ヒステリシス INT0, INT1 RDY, HOLD P20~P27 (注1)			0.3		V
VT+ - VT -	ヒステリシス URXD, SCLK, SRXD, SRDY, CTS			0.3		V
VT+ - VT -	ヒステリシス RESET			0.3		V
IiH	“H”入力電流 P00~P07, P10~P17, P20~P27 P30~P37, P40~P44, P50~P57 P60~P67, P70~P74, P80~P87	Vi=Vcc			5.0	μA
IiH	“H”入力電流 RESET, CNVss				5.0	μA
IiH	“H”入力電流 XIN			9	20	μA
IiH	“H”入力電流 XCIN				5.0	μA
IiL	“L”入力電流 P00~P07, P10~P17 P30~P37, P40~P44, P50~P57 P60~P67, P70~P74, P80~P87	Vi=Vss			-5.0	μA
IiL	“L”入力電流 RESET				-5.0	μA
IiL	“L”入力電流 CNVss				-20	μA
IiL	“L”入力電流 XIN			9	-20	μA
IiL	“L”入力電流 XCIN				-5.0	μA
IiL	“L”入力電流 P20~P27	Vi=Vss (プルアップトランジスタ OFF)			-5.0	μA
		Vcc=3V, Vi=Vss (プルアップトランジスタ ON)	-10	-20	-50	μA
VRAM	RAM保持電圧	クロック停止時	2.0			V

注1. Key入力割り込み機能に関するヒステリシスです。

表17. 電気的特性(2)

(指定のない場合はVcc=3.0~3.6V, Vss=0V, Ta= -20~70)

Vcc=3V用

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Icc	電源電流 (出力トランジスタは遮断状態)	通常モード時(注1) f(XIN)=24MHz =6MHz,USB動作 周波数シンセサイザ回路接続状態		25	45	mA
		ウエイトモード時(注2) f(XIN)=24MHz, =6MHz USBブロック許可,USBクロック停止 周波数シンセサイザ回路接続状態		2.5	6	mA
		ウエイトモード時(注3) f(XCIN)=32kHz, =16kHz USBブロック禁止, 周波数シンセサイザ回路遮断状態 USBトランシーバDC-DCコンバータ遮断状態			6	μA
		ストップモード時 USBトランシーバDC-DCコンバータ遮断状態 Ta=25			1.0	μA
		ストップモード時 USBトランシーバDC-DCコンバータ遮断状態 Ta=70			10	μA

測定条件:

注1. シングルチップモード動作時

XIN端子からクロック入力(XOUT発振器は停止)
周波数シンセサイザ動作
USBトランシーバDC-DCコンバータ無効状態でUSB動作
CPU, UART, DMAC, タイマ動作
シリアルI/O停止

2. シングルチップモード(ウエイトモード)動作時

XIN端子からクロック入力(XOUT発振器は停止)
周波数シンセサイザ動作
USBブロック許可でUSBクロック停止状態, USBトランシーバDC-DCコンバータ無効状態
タイマ動作, CPU, DMAC停止
UART, シリアルI/O停止

3. シングルチップモード(ウエイトモード)動作時

XIN-XOUT発振停止
XCIN端子からクロック入力(XCOUT発振器は停止)
周波数シンセサイザ停止
USBクロック停止,USB動作停止
USBトランシーバDC-DCコンバータ停止
タイマ動作
CPU, DMAC, UART, シリアルI/O停止

タイミング必要条件

表18. タイミング必要条件 (指定のない場合はVcc=3.0~3.6V, Vss=0V, Ta= -20~70)

Vcc=3V用

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	2			μs
tC(XIN)	メインクロック入力サイクル時間 (注1)	41.66			ns
tWH(XIN)	メインクロック入力“H”パルス幅	0.4・tC(XIN)			ns
tWL(XIN)	メインクロック入力“L”パルス幅	0.4・tC(XIN)			ns
tC(XCIN)	サブクロック入力サイクル時間	200			ns
tWH(XCIN)	サブクロック入力“H”パルス幅	0.4・tC(XCIN)			ns
tWL(XCIN)	サブクロック入力“L”パルス幅	0.4・tC(XCIN)			ns
tC(INT)	INT ₀ , INT ₁ 入力サイクル時間	250			ns
tWH(INT)	INT ₀ , INT ₁ 入力“H”パルス幅	110			ns
tWL(INT)	INT ₀ , INT ₁ 入力“L”パルス幅	110			ns
tD(-TOUT)	タイマTOUT遅延時間			17	ns
tC(SCLKE)	シリアル/O外部クロック入力サイクル時間	450			ns
tWH(SCLKE)	シリアル/O外部クロック入力“H”パルス幅	220			ns
tWL(SCLKE)	シリアル/O外部クロック入力“L”パルス幅	190			ns
tSU(SRXD-SCLKE)	シリアル/O入力セットアップ時間(外部クロック)	20			ns
tH(SCLKE-SRXD)	シリアル/O入力ホールド時間(外部クロック)	15			ns
tD(SCLKE-STXD)	シリアル/O出力遅延時間(外部クロック)			34	ns
tV(SCLKE-SRDY)	シリアル/OOSRDY有効時間(外部クロック)			35	ns
tC(SCLKI)	シリアル/O内部クロック出力サイクル時間	300			ns
tWH(SCLKI)	シリアル/O内部クロック出力“H”パルス幅	0.5・tC(SCLKI)-5			ns
tWL(SCLKI)	シリアル/O内部クロック出力“L”パルス幅	0.5・tC(SCLKI)-5			ns
tSU(SRXD-SCLKI)	シリアル/O入力セットアップ時間(内部クロック)	20			ns
tH(SCLKI-SRXD)	シリアル/O入力ホールド時間(内部クロック)	5			ns
tD(SCLKI-STXD)	シリアル/O出力遅延時間(内部クロック)			5	ns

注1. が6MHzを越えないようにしてください(tc() 166.66ns)。

表19. メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件およびスイッチング特性

(指定のない場合はVcc=3.0~3.6V, Vss=0V, Ta= -20~70)

Vcc=3V用

記号	項目	規格値			単位
		最小	標準	最大	
tc()	クロックサイクル時間	166.66			ns
tWH()	クロック ^H パルス幅	$0.5 \cdot tc() - 5$			ns
tWL()	クロック ^L パルス幅	$0.5 \cdot tc() - 5$			ns
td(-AH)	AB15 ~ AB8遅延時間			45	ns
tv(-AH)	AB15 ~ AB8有効時間	0			ns
td(-AL)	AB7 ~ AB0遅延時間			47	ns
tv(-AL)	AB7 ~ AB0有効時間	0			ns
td(-WR)	WR遅延時間			8	ns
tv(-WR)	WR有効時間	0			ns
td(-RD)	RD遅延時間			8	ns
tv(-RD)	RD有効時間	0			ns
td(-SYNC)	SYNCO ^{UT} 遅延時間			11	ns
tv(-SYNC)	SYNCO ^{UT} 有効時間	0			ns
td(-DMA)	DMAO ^{UT} 遅延時間			26	ns
tv(-DMA)	DMAO ^{UT} 有効時間	0			ns
tsu(RDY-)	RDYセットアップ時間	35			ns
th(-RDY)	RDYホールド時間	0			ns
tsu(HOLD-)	HOLDセットアップ時間	21			ns
th(-HOLD)	HOLDホールド時間	0			ns
td(-HLDAL)	HLD ^A L 遅延時間			30	ns
td(-HLD ^A H)	HLD ^A H 遅延時間			30	ns
tsu(DB-)	データバスセットアップ時間	9			ns
th(-DB)	データバスホールド時間	0			ns
td(-DB)	データバス遅延時間			30	ns
tv(-DB)	データバス有効時間(注1)	15			ns
td(-EDMA)	EDMA遅延時間			15	ns
tv(-EDMA)	EDMA有効時間	0			ns
tWL(WR)(注2)	WRパルス幅	$0.5 \cdot tc() - 6$			ns
tWL(RD)(注2)	RDパルス幅	$0.5 \cdot tc() - 6$			ns
td(AH-WR)	WR前 AB15 ~ AB8有効時間	$0.5 \cdot tc() - 33$			ns
td(AL-WR)	WR前 AB7 ~ AB0有効時間	$0.5 \cdot tc() - 35$			ns
tv(WR-AH)	WR後 AB15 ~ AB8有効時間	0			ns
tv(WR-AL)	WR後 AB7 ~ AB0有効時間	0			ns
td(AH-RD)	RD前 AB15 ~ AB8有効時間	$0.5 \cdot tc() - 33$			ns
td(AL-RD)	RD前 AB7 ~ AB0有効時間	$0.5 \cdot tc() - 35$			ns
tv(RD-AH)	RD後 AB15 ~ AB8有効時間	0			ns
tv(RD-AL)	RD後 AB7 ~ AB0有効時間	0			ns
tsu(RDY-WR)	WR前 RDYセットアップ時間	45			ns
th(WR-RDY)	WR後 RDYホールド時間	0			ns
tsu(RDY-RD)	RD前 RDYセットアップ時間	45			ns
th(RD-RDY)	RD後 RDYホールド時間	0			ns
tsu(DB-RD)	RD前 データバスセットアップ時間	18			ns
th(RD-DB)	RD後 データバスホールド時間	0			ns
td(WR-DB)	WR前 データバス遅延時間			28	ns
tv(WR-DB)	WR後 データバス有効時間(注1)	12			ns
tv(WR-EDMA)	WR後 EDMA遅延時間	0			ns
tv(RD-EDMA)	RD後 EDMA遅延時間	0			ns
tr(D+),tr(D-)	USB出力立ち上がり時間, CL=50pF	4		20	ns
tr(D+),tr(D-)	USB出力立ち下がり時間, CL=50pF	4		20	ns

注1. 測定条件: IOHL=±5mA, CL=50pF

2. twl(RD) = ((n+0.5) · tc()) - 5 ns (n:ウエイト数)

twl(WR) = ((n+0.5) · tc()) - 5 ns (n:ウエイト数)

例, 2ソフトウェアウエイト、 =12MHz動作時

twl(RD) = 2.5 · tc() - 5 ns = 203.33ns

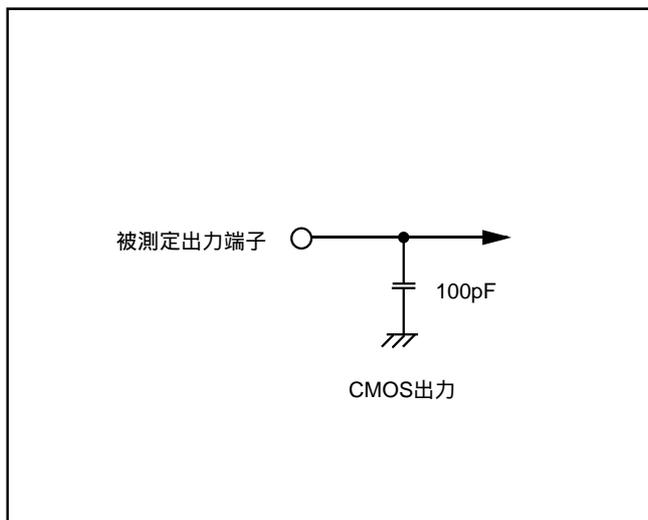


図71．出力スイッチング特性測定回路図(1)

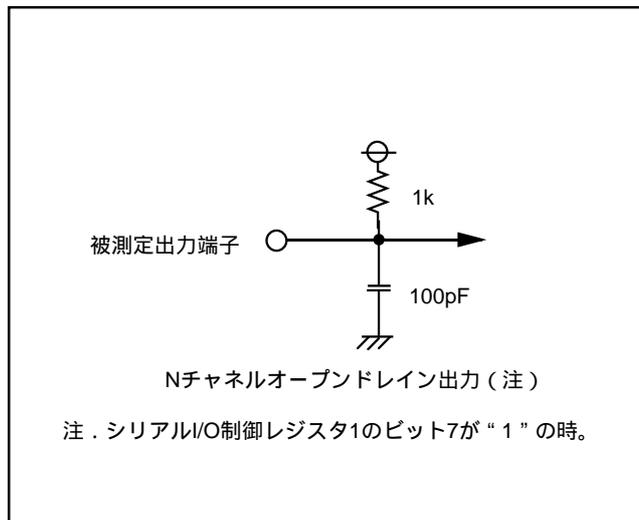
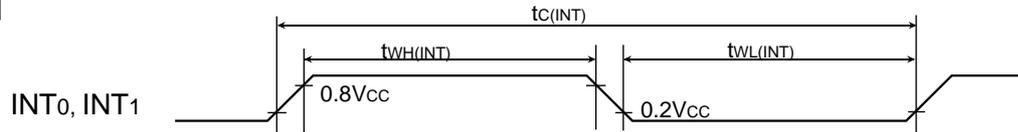


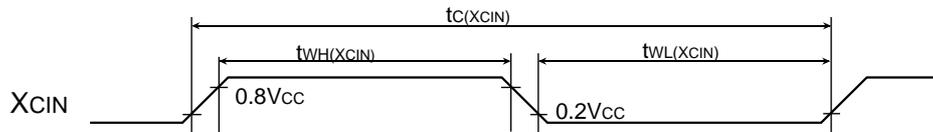
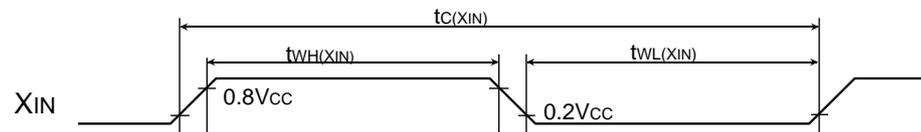
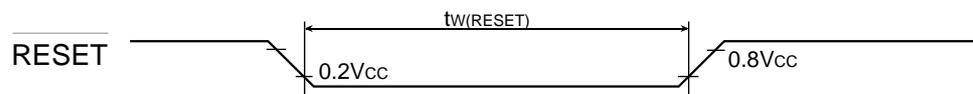
図72．出力スイッチング特性測定回路図(2)

タイミング図

[割り込み]



[入力]



[タイマ]

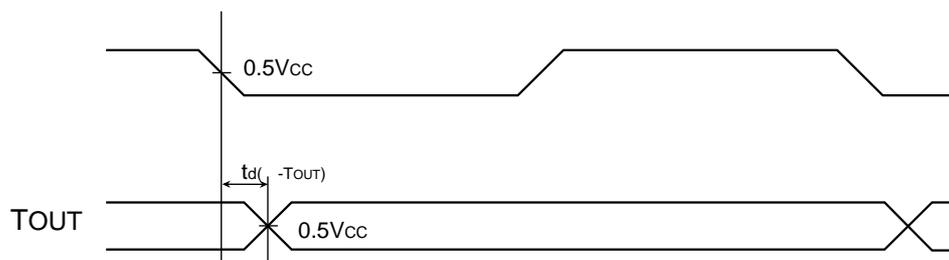


図73 . タイミング図(1)

タイミング図

[シリアルI/O]

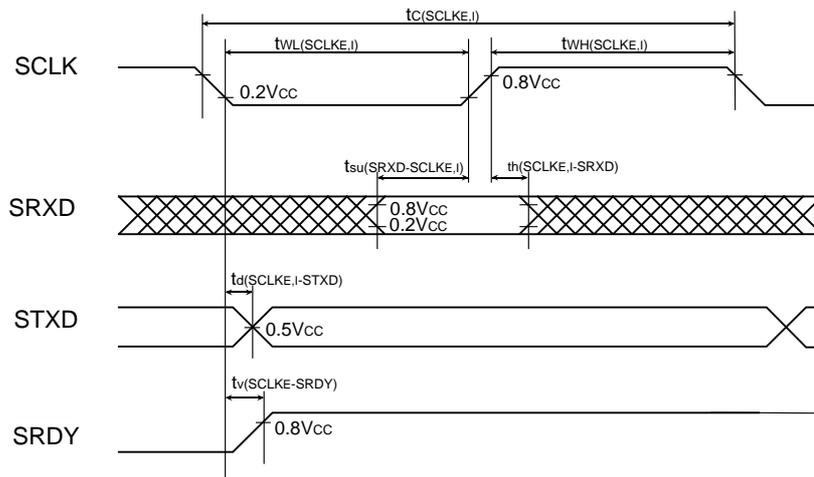


図74 . タイミング図(2)



図75 . タイミング図(3)

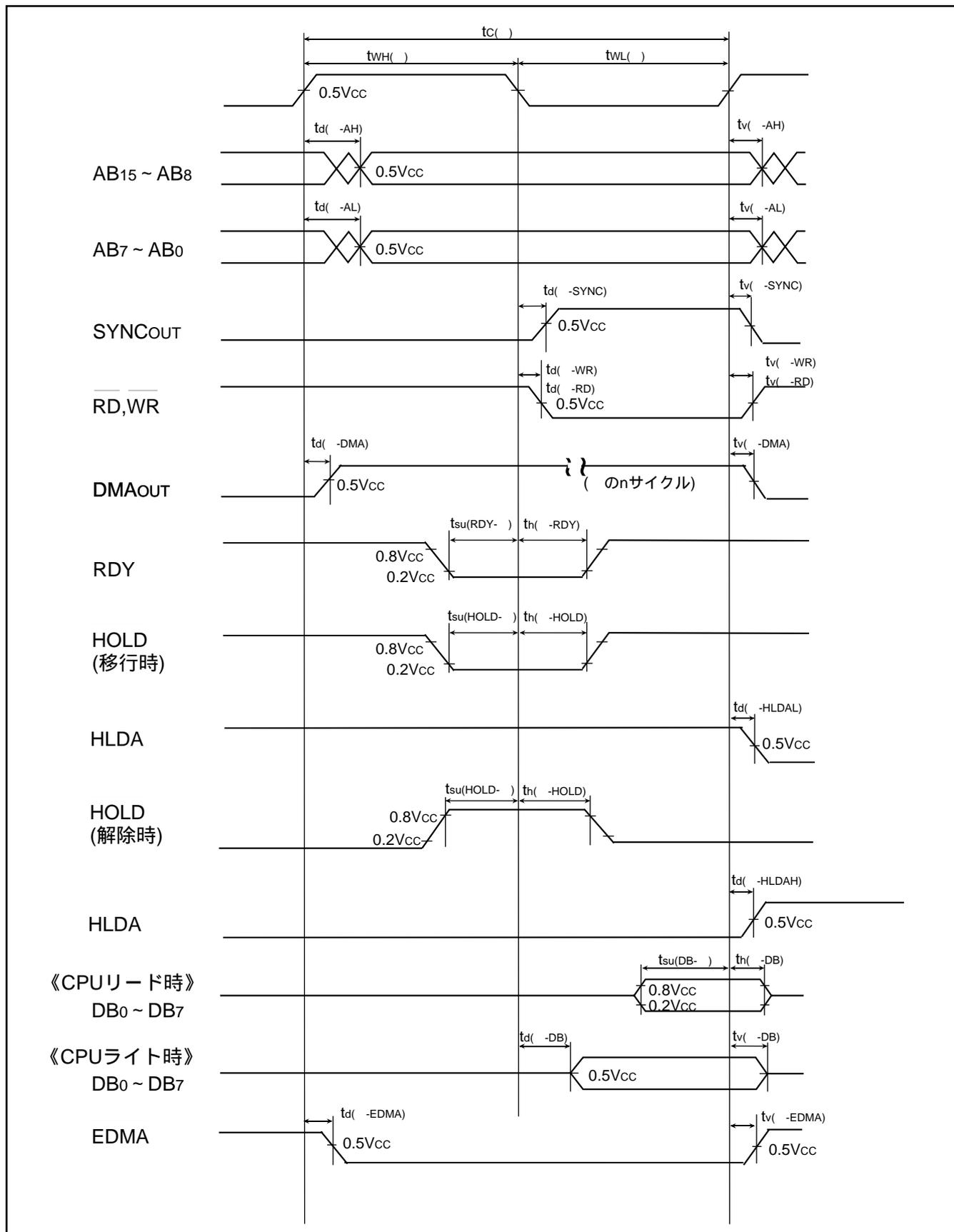


図76 . タイミング図(4)(メモリ拡張モード及びマイクロプロセッサモード時)

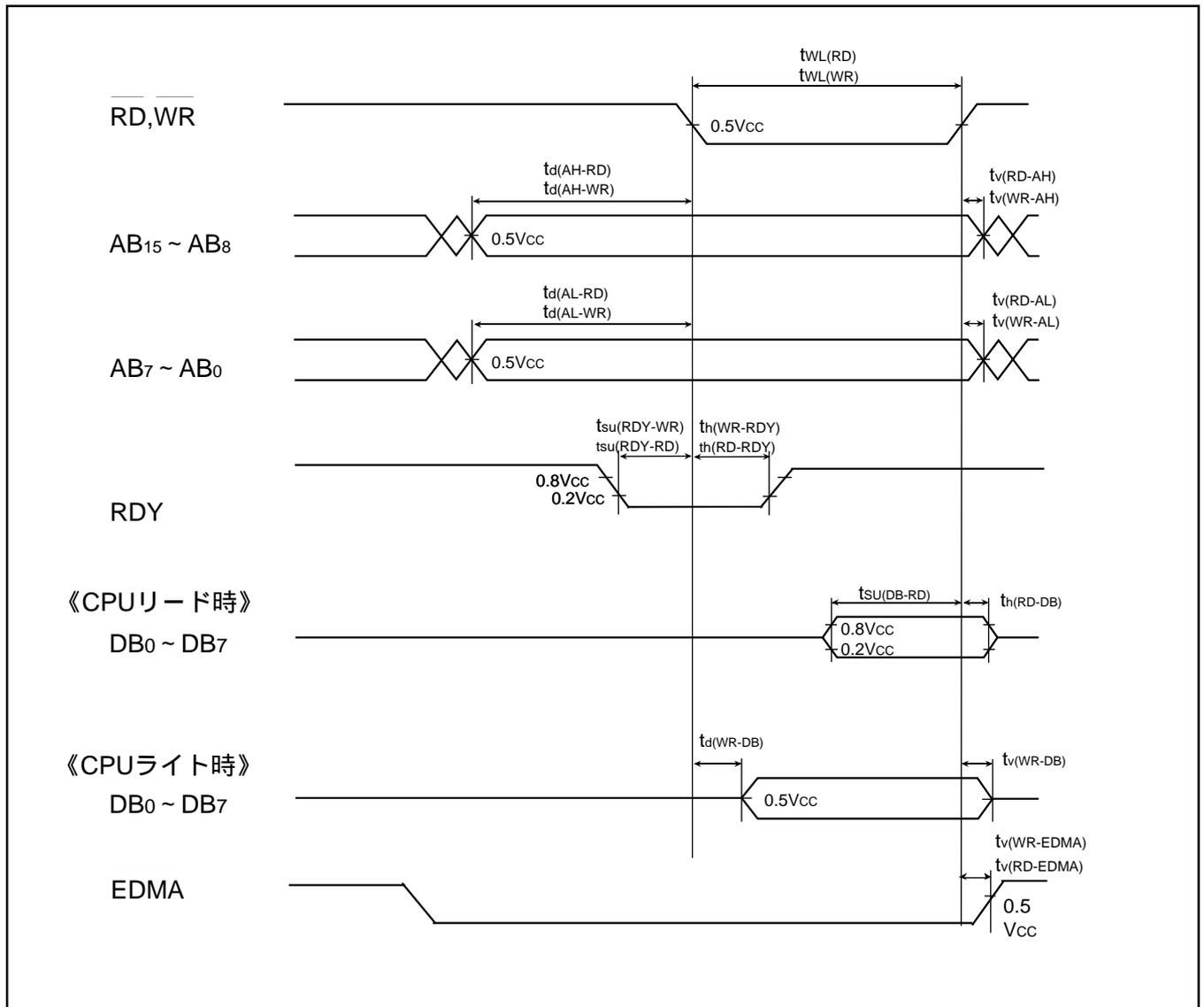


図77 . タイミング図(5)(メモリ拡張モード及びマイクロプロセッサモード時)

フラッシュメモリ版

M37643F8FP/HP(フラッシュメモリ版)は、通常の動作モード(マイコンモード)以外に、5V単一電源又は $V_{PP}=5V$ 、 $V_{CC}=3.3V$ (CPU書き換えモード時又は標準シリアル入出力モード)時において2電源での書き換えが可能なNEW DINOR(DIvided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。

性能概要

表20にM37643F8(フラッシュメモリ版)の性能概要を示します。

図78に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

表20. M37643F8 (フラッシュメモリ版) の性能概要

項目	性能	
電源電圧(プログラム/イレーズ時)	3.00 ~ 3.60V, 4.50 ~ 5.25V($f(XIN)=24MHz$, $f_{clk}=6MHz$) (注1)	
V_{PP} (プログラム/イレーズ時)	$V_{PP}=4.50 \sim 5.25V$	
フラッシュメモリの動作モード	3モード (1) CPU書き換えモード(中央演算処理装置(CPU)を用いてフラッシュメモリを操作する) (2) パラレル入出力モード(外部のライタを用いてフラッシュメモリの操作を行う) (注2) (3) 標準シリアル入出力モード(外部のライタを用いてフラッシュメモリの操作を行う) (注2)	
消去ブロック分割	ユーザROM領域	図78を参照してください。
	ブートROM領域	1分割(4Kバイト)(注3)
プログラム方式	バイト単位	
イレーズ方式	一括消去/ブロック消去	
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御	
コマンド数	6コマンド	
プログラム/イレーズ回数	100回	
ROMコードプロテクト	パラレル入出力モード/標準シリアルモード入出力対応	

注1. プログラム/イレーズ時の電源電圧が3.00 ~ 3.60Vの場合、マイコン動作時の電源電圧は3.00 ~ 3.60Vです(5V系での使用不可)。プログラム/イレーズ時の電源電圧が4.50 ~ 5.25Vの場合、マイコン動作時の電源電圧は3.00 ~ 3.60V、又は4.15 ~ 5.25Vです(全範囲動作保証)。

注2. パラレル入出力モード、標準シリアル入出力モードは、7643グループ(フラッシュメモリ版)をサポートしている専用の外部装置(フラッシュライタ)をご使用ください。

注3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

(1) CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リードプログラム、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは図78に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、そのメモリ上で実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります)。

ブートROM領域は図78に示すとおりです。

CNV_{SS}端子を“L”としてリセットを解除した場合は、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P36(\overline{CE})端子とP81(SCLK)端子を“H”、CNV_{SS}端子を“H”としてリセットを解除した場合は、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

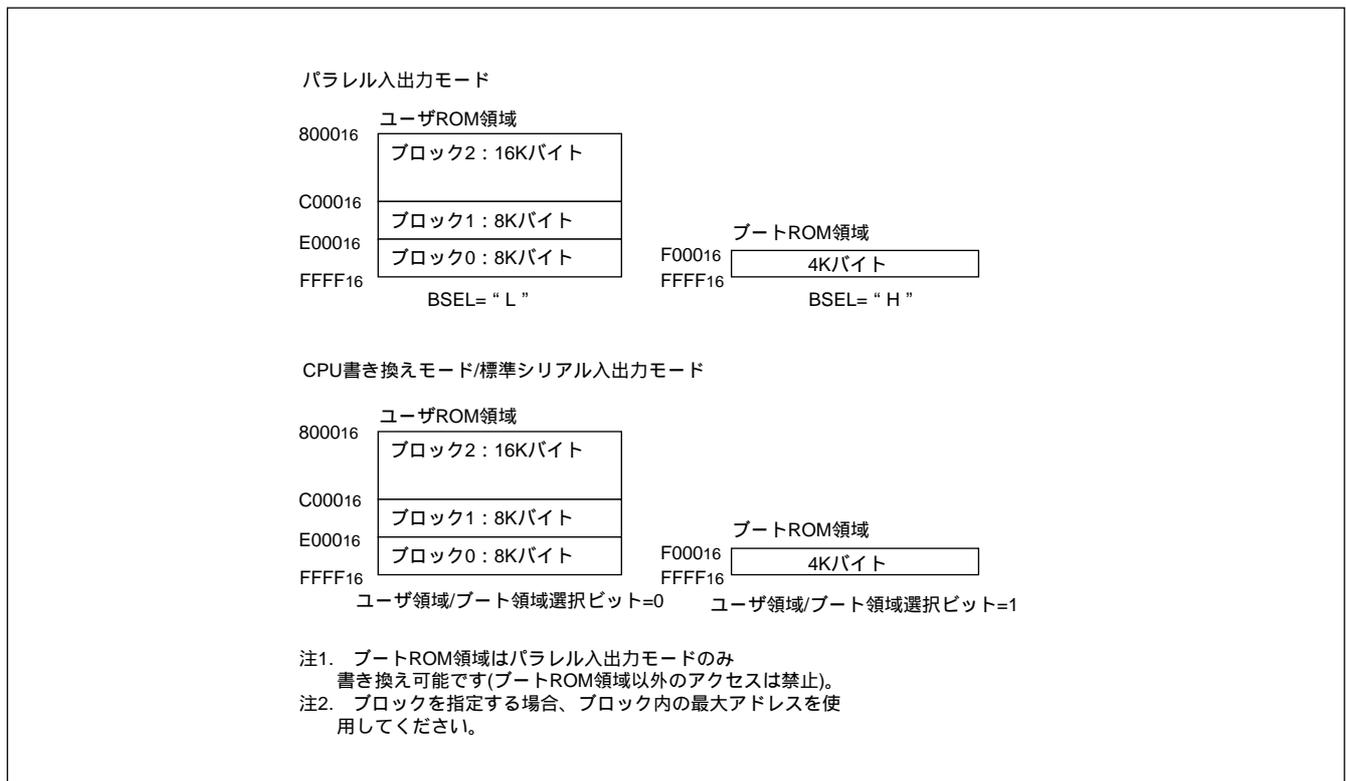


図78. 内蔵フラッシュメモリのブロック図

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、メモリ拡張モード又はブートモードで実行できます。CPU書き換えモードでは、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードはCPUがソフトウェアコマンドを実行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リードなどの操作を行います。この制御プログラムは、あらかじめ、内蔵フラッシュメモリ以外のメモリ(内部RAMなど)に転送後、そのメモリ上で実行させる必要がありますので注意してください。

CPU書き換えモードには、CNVss端子に4.50 ~ 5.25Vを印加し、CPU書き換えモード選択ビット(006A16番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了などの状態はステータスレジスタを読み出すことでチェックできます。

図79にフラッシュメモリ制御レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズの動作中には“0”(ビジー)、これ以外の際には“1”(レディ)となります。

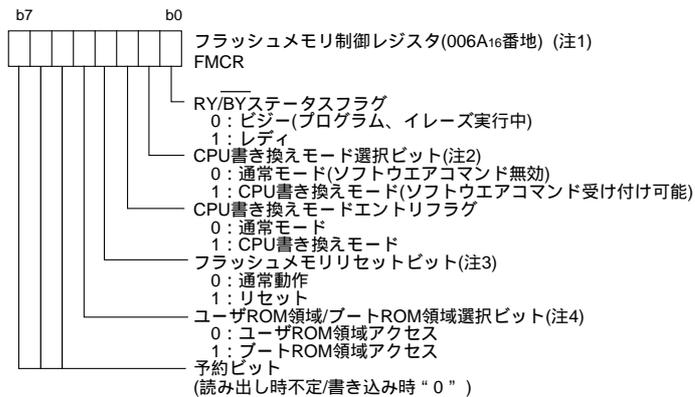
ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外のメモリへ転送した制御プログラムで行ってください。このビットに“1”を設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグです。CPU書き換えモード時、このビットは“1”になりますので、このビットを読み出すことによりCPU書き換えモードに移行していることを確認できます。

ビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットが実行されます。リセットを解除するためには、次に“0”を書き込む必要があります。

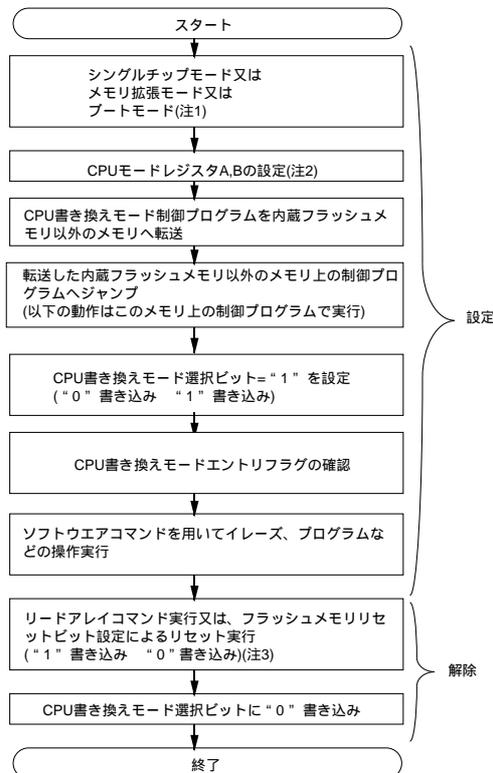
ビット4はユーザROM領域/ブートROM領域選択ビットで、“1”を設定することでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビット4の書き換えは内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図80にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。



- 注1. リセット解除後のフラッシュメモリ制御レジスタの値は“XXX00001”となります。
なお、マスクROM版では予約領域となります。
2. “1”を設定するためには、このビット1への“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと“1”にできません。
また、割り込みが入らないようにしてください。
3. CPU書き換えモード選択ビットが“1”の時のみ有効です。“1”設定(リセット)後、
続いて“0”設定してください。
4. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図79. フラッシュメモリ制御レジスタの構成



- 注1. シングルチップモード又はメモリ拡張モードでスタートした場合はCPU書き換えモードエントリフラグの確認までにCNVss端子に4.5~5.25Vを印加する必要があります。
2. XIN駆動能力選択ビット(クロック制御レジスタ(001F₁₆番地)のビット7)によって、メインクロックを次の周波数にしてください。XIN駆動能力選択ビット=0(=(XIN)/4) 24MHz以下、XIN駆動能力選択ビット=1(=(XIN)/2) 12MHz以下
3. イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ずリードアレイコマンド又はフラッシュメモリリセットを行ってください。

図80. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、XIN駆動能力選択ビット(001F16番地のビット7)によって、内部クロック を6MHz以下にしてください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)リセット

常に受け付けます。リセット解除時、CNVSS=" H "の場合、ブートモードで起動されるため、ブートROM領域のFFFA16, FFFB16番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド(CPU書き換えモード)

表21にソフトウェアコマンドの一覧表を示します。

フラッシュメモリ制御レジスタのCPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレース、プログラムなどを指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトとするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(DB0～DB7)へ読み出されます。リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、リードステータスモードになります。第2バスサイクルのリードでステータスレジスタの内容がデータバス(DB0～DB7)へ読み出されます。ステータスレジスタは次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4,SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルで“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードになります。続いて第2バスサイクルで、プログラムするアドレスとデータをライトすると、プログラムを動作(データのプログラムとベリファイ開始)します。

プログラム終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードにより確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスの内容がデータバス(DB0

～DB7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次のコマンドが書き込まれるまで保持されます。

フラッシュメモリ制御レジスタのRY/BYステータスフラグはプログラム期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

プログラム終了後、ステータスレジスタのビット4(SR4)を読み出すことによりプログラムの結果を知ることができます。

図81にプログラムコマンドフローチャート例を示します。

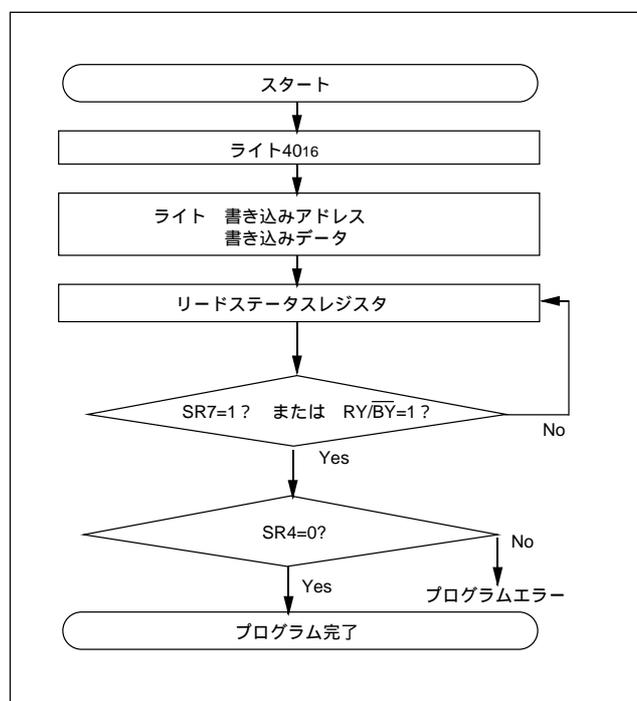


図81. プログラムコマンドフローチャート

表21. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(DB0～DB7)	モード	アドレス	データ(DB0～DB7)
リードアレイ	1	ライト	X(注1)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD(注2)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA(注3)	WD(注3)
イレース全ブロック	2	ライト	X	2016	ライト	X	2016
ブロックイレース	2	ライト	X	2016	ライト	BA(注4)	D016

注1. XはユーザROM領域の任意のアドレス

2. SRD=ステータスレジスタデータ

3. WA=ライトアドレス

WD=ライトデータ

4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

イレーズ全ブロックコマンド(2016/2016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ 2016 ”を入力するとイレーズ全ブロック動作(イレーズとイレーズベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(DB0～DB7)へ読み出されます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは他のコマンドが書き込まれるまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7(SR7)と同じく、プログラム期間中は“ 0 ”、終了後は“ 1 ”になります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズコマンド(2016/D016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ D016 ”とブロックアドレスをライトすると指定されたブロックに対し、ブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”になり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは他のコマンドが書き込まれるまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”になります。

ブロックイレーズ終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

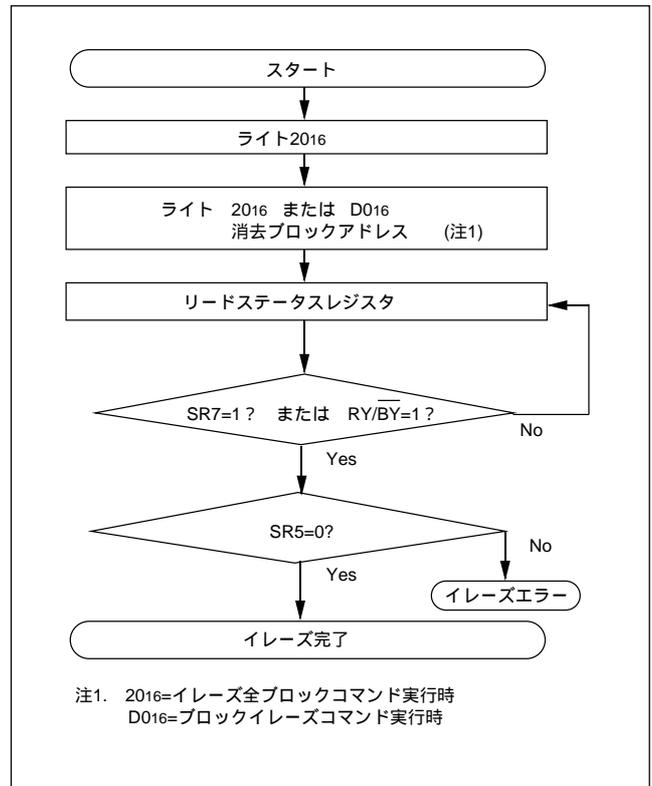


図82. イレーズフローチャート

ステータスレジスタ (SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき。
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF₁₆)書き込みまでの期間に、ユーザROM領域の任意のアドレスを読み出したとき。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

リセット解除後、ステータスレジスタは“ 80₁₆ ”になります。

各ビットの意味を以下に示します。

シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“ 1 ”(レディ) にセットされています。

シーケンサステータスはフラッシュメモリの動作状況を示すものです。プログラムやイレーズ動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”(レディ) にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を示すもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を示すものです。プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

プログラムステータス、イレーズステータス(SR4,SR5)のいずれかが“ 1 ”のとき、リードアレイコマンド、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR4、SR5の両方が“ 1 ”にセットされます。

表22. ステータスレジスタ (SRD)の各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図83にフルステータスチェック及び各エラー発生時の対処方法を示します。

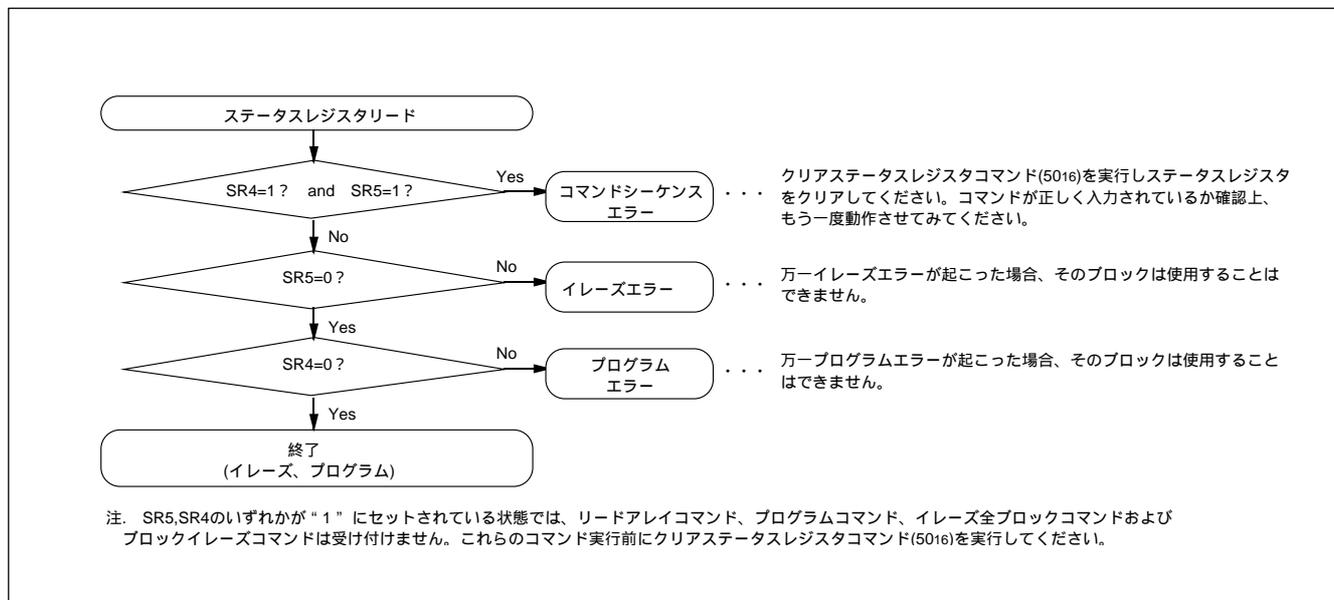


図83. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

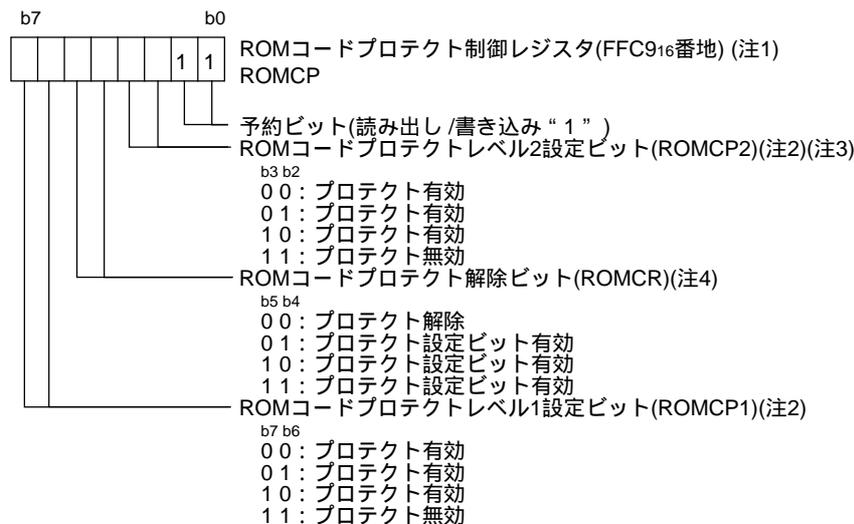
ROMコードプロテクト機能(パラレル入出力モード使用時)

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御レジスタ(FFC916番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御レジスタ(FFC916番地)の構成を図84に示します(この番地は、ユーザROM領域に存在します)。

2ビットで構成されるROMコードプロテクトビット内どちらか一

方、又は両方“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2があり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2を共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、標準シリアル入出力モード、又はCPU書き換えモードで書き換えてください。



- 注1. マスクROM版ではROM領域になります。
2. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します。
3. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスト等での、ROMコード読み出しも禁止します。
4. ROMコード解除ビットでは、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます。
ただし、パラレル入出力モードでは変更できないため、標準シリアル入出力モード、又はCPU書き換えモードで変更する必要があります。

図84. ROMコードプロテクト制御レジスタの構成

IDコードチェック機能(標準シリアル入出力モード使用時)

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。IDコードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFC2₁₆ ~ FFC8₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んで下さい。

アドレス	
FFC2 ₁₆	ID1
FFC3 ₁₆	ID2
FFC4 ₁₆	ID3
FFC5 ₁₆	ID4
FFC6 ₁₆	ID5
FFC7 ₁₆	ID6
FFC8 ₁₆	ID7
FFC9 ₁₆	ROMコードプロテクト 割り込みベクタ領域

図85. IDコードの格納アドレス

(2) パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。
7643グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)をご使用ください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図78に示すユーザROM領域、及び、ブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図78に示します。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

(3) 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入力するモードで、専用の外部装置(フラッシュライタ)を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P36(\overline{CE})端子とP81(SCLK)端子を H 、CNVSS端子を H (V_{PP} 端子として外部から $V_{PP}=4.5 \sim 5.25\text{V}$ を供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSSは L に設定してください。)

この制御プログラムは製品の出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図86、図87に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/Oの端子SCLK、SRXD、STXD、SRDY (BUSY)の4本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを転送します。STXD端子はCMOS出力です。 \overline{SRDY} (BUSY)端子は、受信準備が完了すれば L になり、受信動作を開始すれば H を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図78に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/Oを用いて外部装置(フラッシュライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK端子に入力する転送クロック立ち上がりに同期して、SRXD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、STXD端子から外部に出力します。

STXD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 \overline{SRDY} (BUSY)端子が H になります。したがって、次の転送は、必ず \overline{SRDY} (BUSY)端子が L になった後に開始してください。また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表23. 端子の機能説明(標準シリアル入出力モード)

端子名	名称	機能
Vcc,Vss	電源入力	Vcc端子には4.50~5.25V、3.00~3.60Vを、Vssには0Vを印加してください。
CNVss	CNVss	VPP(VPP=4.50~5.25V)に接続してください。
RESET	リセット入力	リセット入力端子です。リセットが“L”の間、の20サイクル以上のクロックが必要です。
XIN XOUT	クロック入力 クロック出力	クロック発生回路の入出力端子です。XIN端子とXOUT端子の間には、セラミック発振子又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放にしてください。
AVcc,AVss	アナログ電源入力	アナログ電源入力端子です。AVccは4.50~5.25V又は3.00~3.60Vに、AVssは0Vに接続してください。
LPF	LPF	周波数シンセサイザのループフィルタです。未使用時は、開放してください。
Ext.Cap	3.3Vライン電源入出力	3.3Vライン駆動電源入出力端子です。未使用時は、“H”を入力してください。
USB D+	USB D+電源入出力	USBプラス電圧ラインインタフェースです。未使用時は、“H”を入力してください。
USB D-	USB D-電源入出力	USBマイナス電圧ラインインタフェースです。未使用時は、“L”を入力してください。
P00~P07	入力ポートP0	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P10~P17	入力ポートP1	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P20~P27	入力ポートP2	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P30~P35, P37	入力ポートP3	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P36	CE入力	“H”を入力してください。
P40~P44	入力ポートP4	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P50~P57	入力ポートP5	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P60~P67	入力ポートP6	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P70~P74	入力ポートP7	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。
P80	BUSY出力	BUSY出力端子です。
P81	SCLK入力	シリアルクロック入力端子です。
P82	SRxD入力	シリアルデータ入力端子です。
P83	STxD出力	シリアルデータ出力端子です。
P84~P87	入力ポートP8	未使用時は、“H”、又は“L”を入力、又は出力にして開放してください。

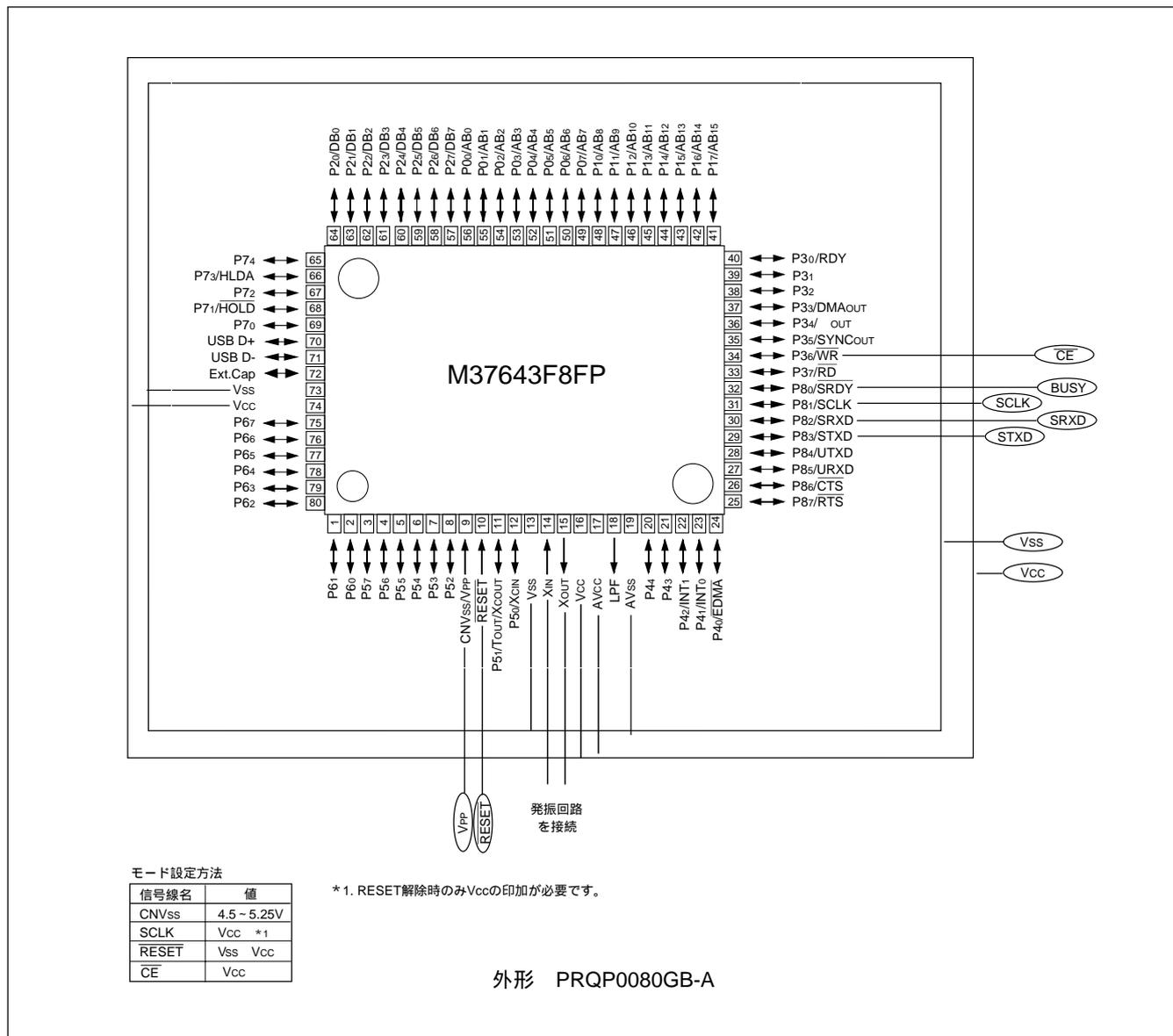


図86. 標準シリアル入出力モード時の端子結線図(1)

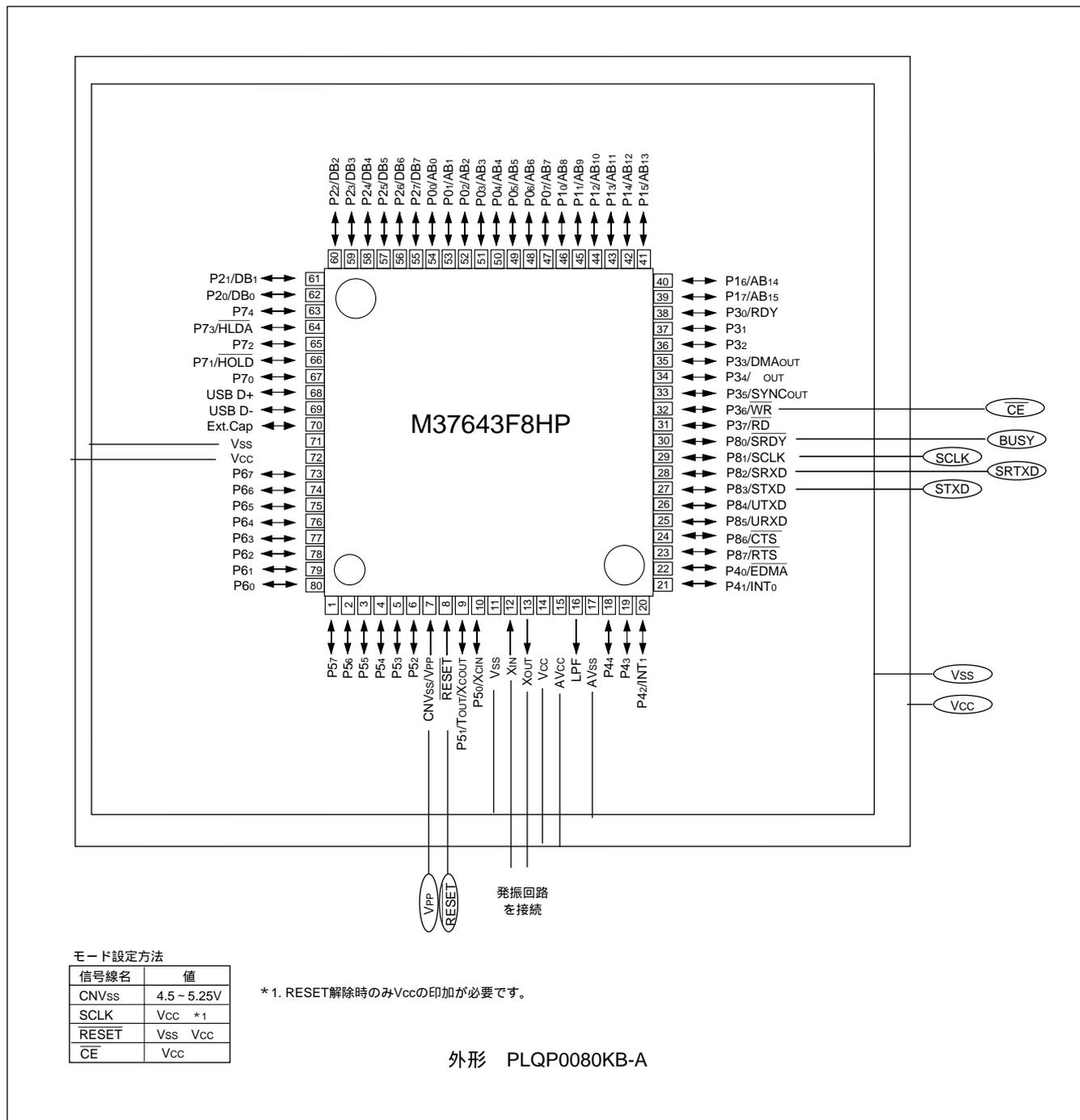


図87. 標準シリアル入出力モード時の端子結線図(2)

ソフトウェアコマンド(標準シリアル入出力モード)

表24にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、SRXD端子からソフトウェアコマンドを送送することにより、イレーズ、プログラム、リード等の制御を行います。

表24.ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス(中位)	アドレス(上位)	データ出力	データ出力	データ出力	~259バイト データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス(中位)	アドレス(上位)	データ入力	データ入力	データ入力	~259バイト データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス(中位)	アドレス(上位)	D0 ₁₆				受付不可
4	イレーズ全ブロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	IDコードチェック機能	F5 ₁₆	アドレス(下位)	アドレス(中位)	アドレス(上位)	IDサイズ	ID1	~ID7	受付可
8	ダウンロード機能	FA ₁₆	サイズ(下位)	サイズ(上位)	チェックサム	データ入力	~必要回数		受付不可
9	バージョン情報出力機能	FB ₁₆	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	~9バイト バージョンデータ出力	受付可
10	ブートROM領域出力機能	FC ₁₆	アドレス(中位)	アドレス(上位)	データ出力	データ出力	データ出力	~259バイト データ出力	受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、外部装置(フラッシュライター) フラッシュメモリ内蔵マイコンへの転送です。

- SRDIはステータスレジスタデータ、SRD1はステータスレジスタ1データです。
- ブートROM領域のブランク品に対しては全コマンドの受け付け可能です。
- アドレス下位はAB₀~AB₇、アドレス中位はAB₈~AB₁₅、アドレス上位はAB₁₆~AB₂₃です。

以下に各ソフトウェアコマンドの内容を説明します

・ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードアレイコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード[※] FF₁₆ を入力してください。
- (2) 2, 3バイト目の転送でアドレスAB₈ ~ AB₂₃を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスAB₈ ~ AB₂₃で指定したページ(256バイト)のデータ(DB₀ ~ DB₇)を最小のアドレスから順番に出力します。

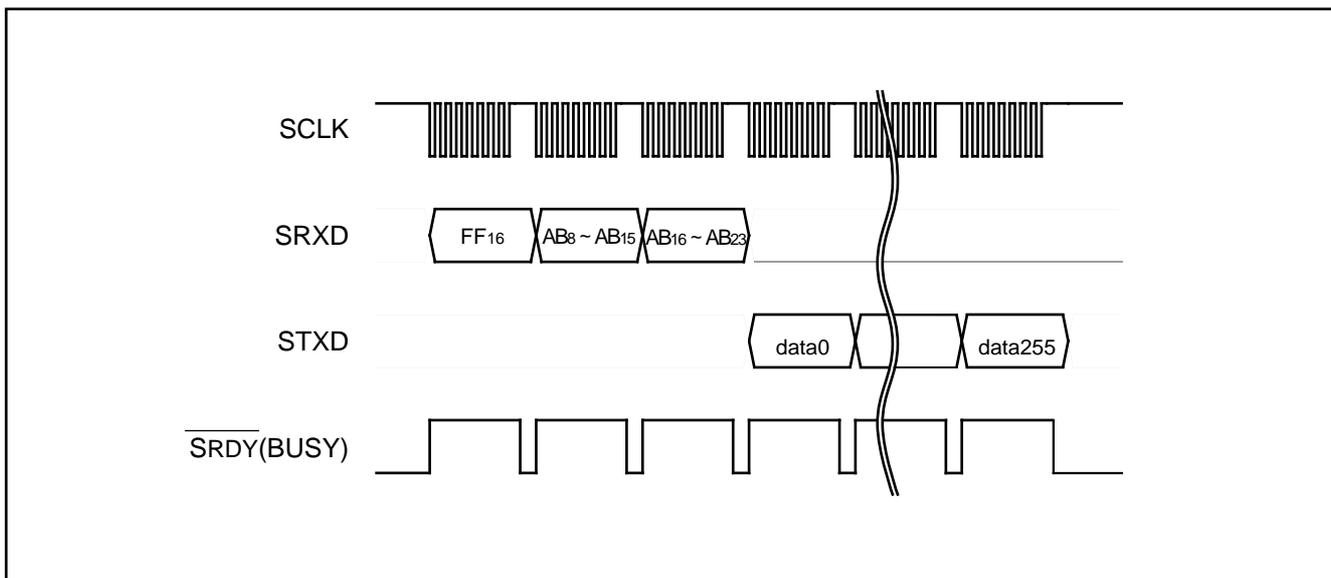


図88. ページリードコマンド時のタイミング

・リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード[※] 70₁₆ を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

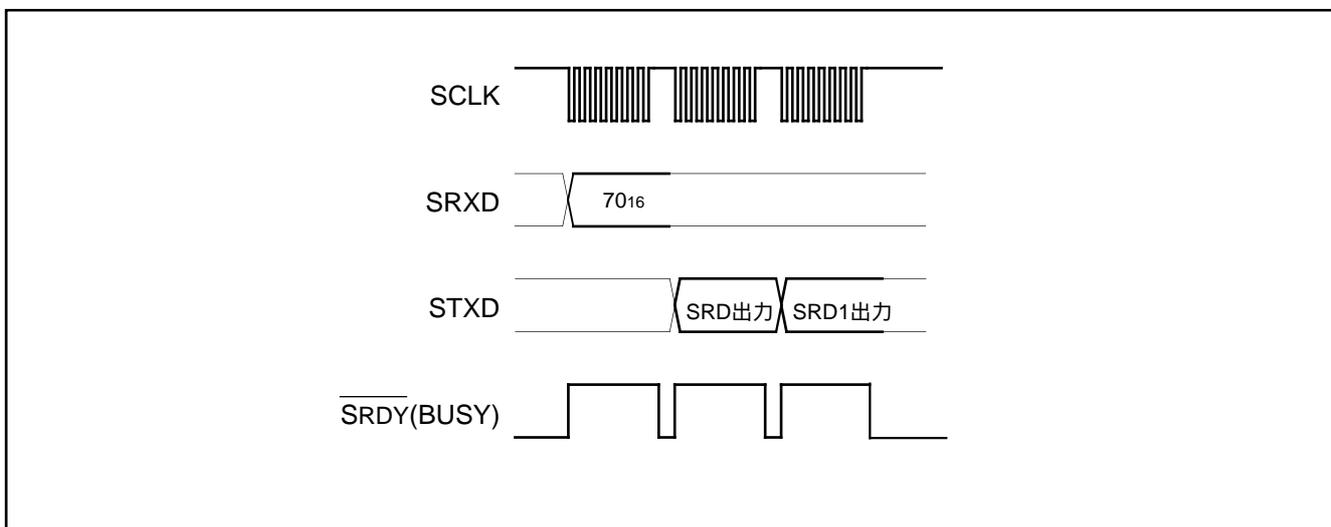


図89. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を入力すると、上記のビットをクリア

します。クリアステータスレジスタが終了すると、 $\overline{\text{SRDY}}$ (BUSY)信号は“H”から“L”に変化します。

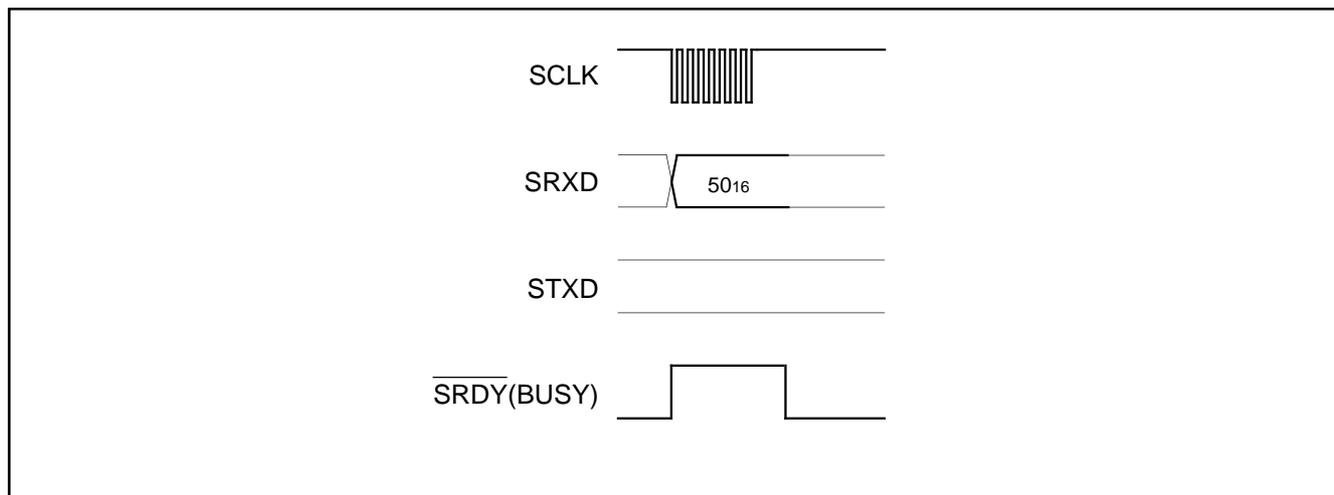


図90. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を入力してください。
- (2) 2,3バイト目の転送でアドレスAB₈~AB₂₃を入力してください。

- (3) 4バイト目以降、ライトデータ(DB₀~DB₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すれば $\overline{\text{SRDY}}$ (BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

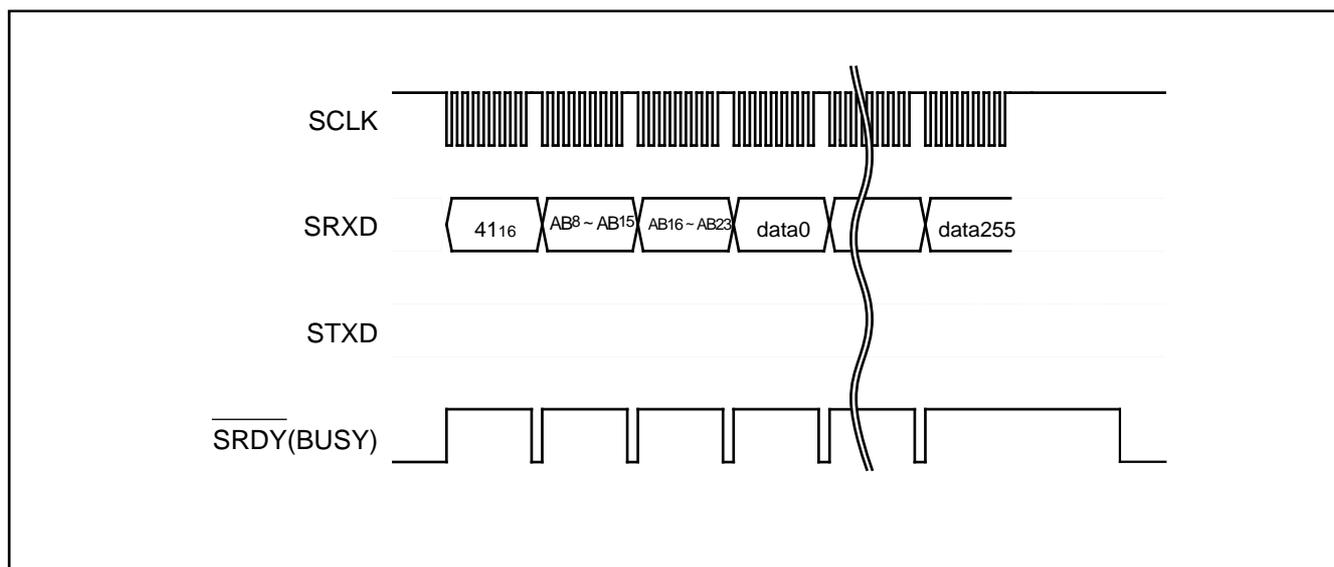


図91. ページプログラムコマンド時のタイミング

・ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 20₁₆ ”を入力してください。
- (2) 2, 3バイト目の転送でアドレスAB₈ ~ AB₂₃を入力してください。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を入力すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。

なお、AB₈ ~ AB₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了すると $\overline{\text{SRDY}}$ (BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

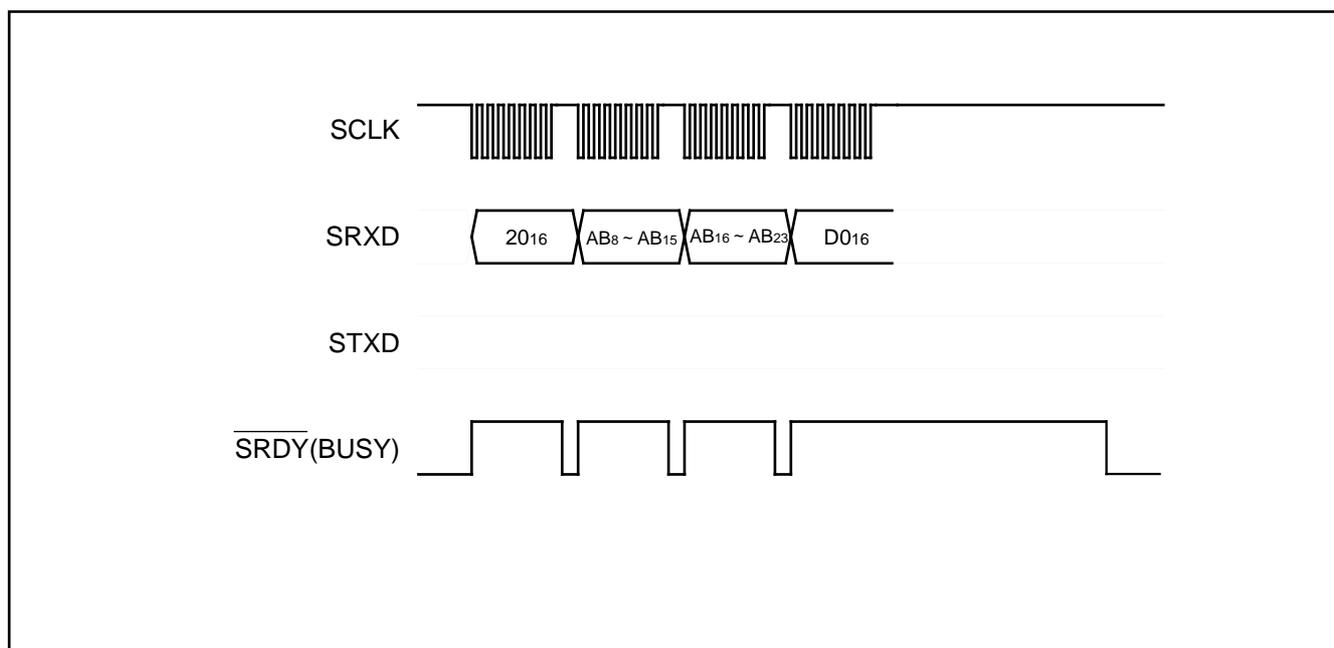


図92. ブロックイレーズコマンド時のタイミング

・イレース全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレース全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を入力してください。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を入力すると、全ブ

ロックに対し、連続的にブロックイレース動作を開始します。イレース全ブロックが終了するとSRDY(BUSY)信号が“ H ”から“ L ”に変化します。イレースの結果も、ステータスレジスタの読み出しにより知ることができます。

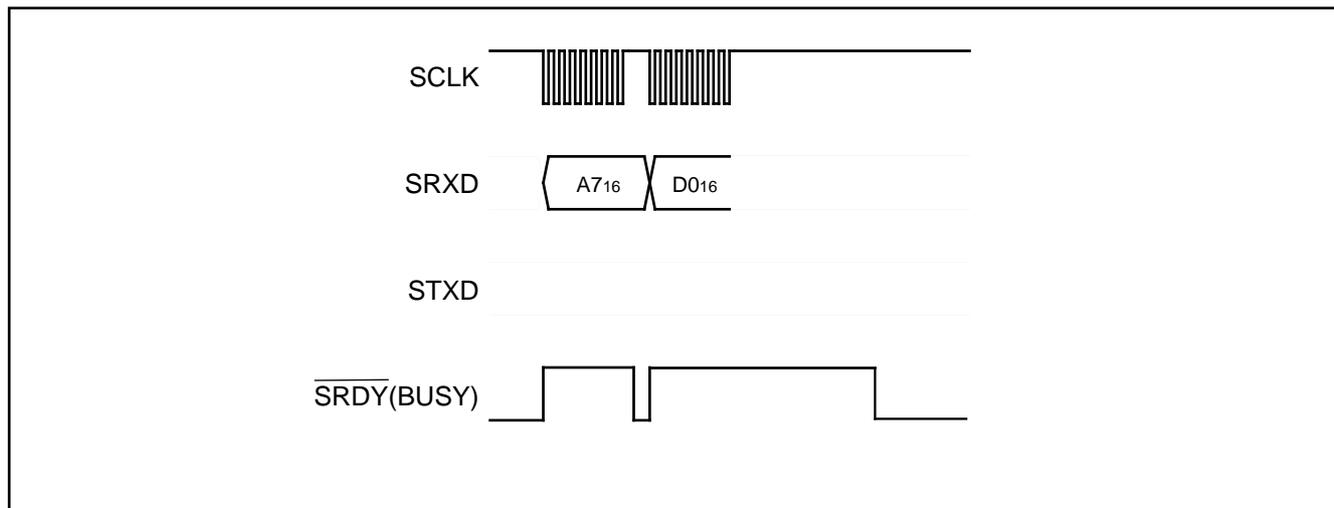


図93. イレース全ブロックコマンド時のタイミング

・ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FA₁₆ ”を入力してください。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを入力してください。

- (3) 4バイト目の転送でチェックサムを入力してください。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

- (4) 5バイト目以降実行プログラムを入力してください。全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

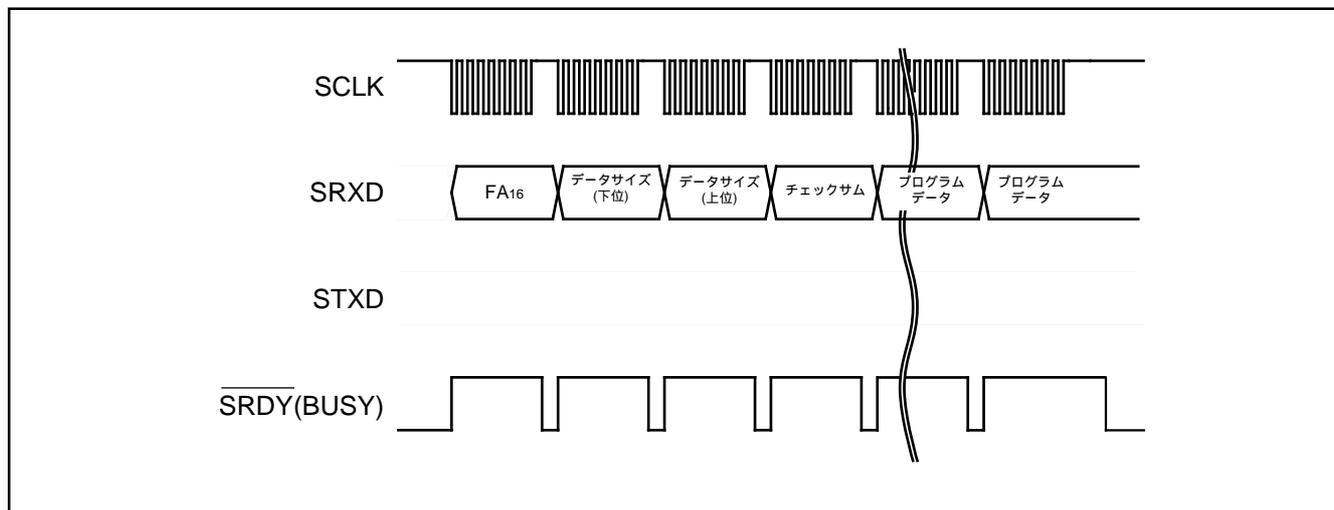


図94. ダウンロード機能のタイミング

・バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“ FB16 ”を入力してください。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

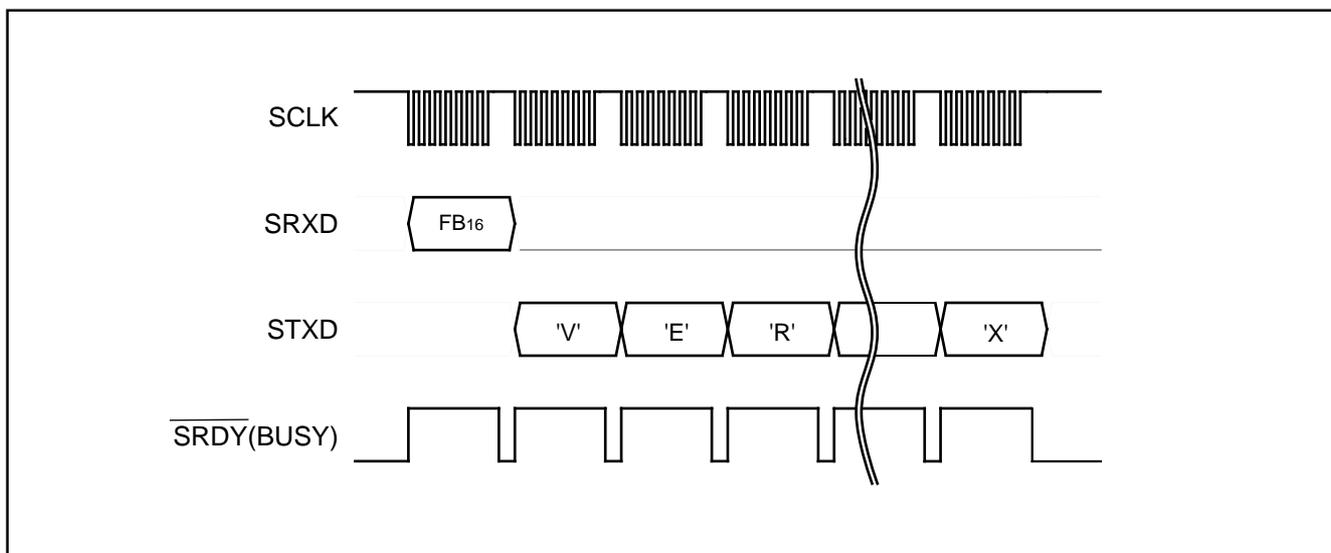


図95. バージョン情報出力機能のタイミング

・ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“ FC16 ”を入力してください。

- (2) 2,3バイトの転送でアドレスAB8 ~ AB23を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスAB8 ~ AB23で指定したページ(256バイト)のデータ(DB0 ~ DB7)を最小のアドレスから順番に出力します

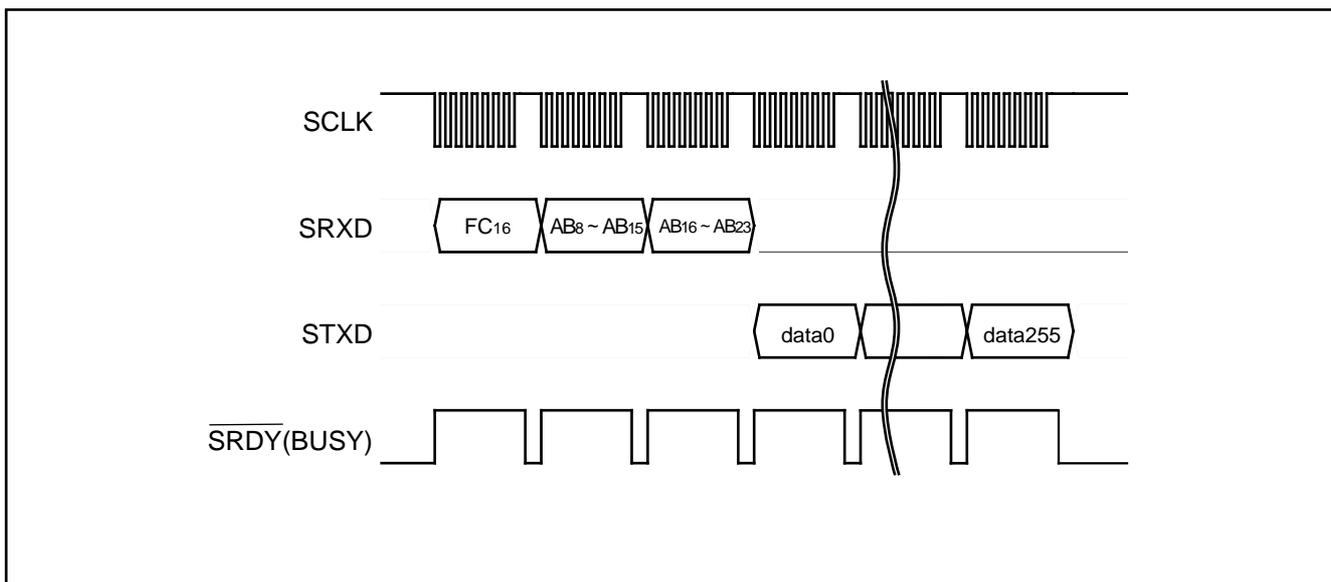


図96. ブートROM領域出力機能のタイミング

・IDコードチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“ F5₁₆ ”を入力してください。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコー

ドの1バイト目のアドレスAB₀ ~ AB₇、AB₈ ~ AB₁₅、AB₁₆ ~ AB₂₃ (“ 00 ”)を入力してください。

- (3) 5バイト目にIDコードのデータ数を入力してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から入力してください。

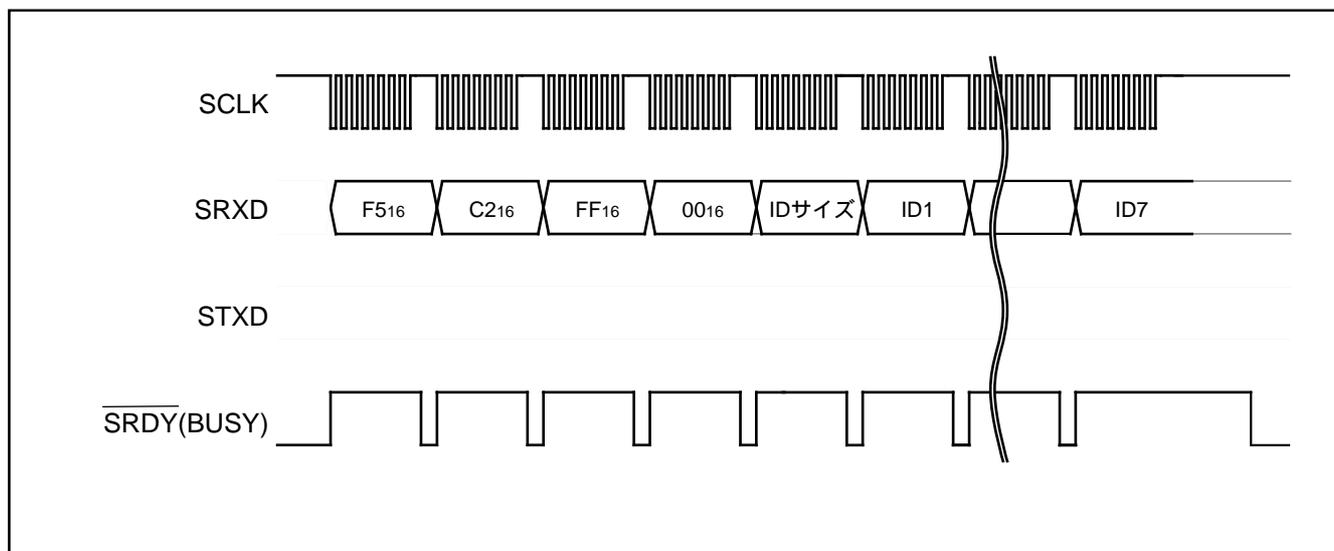


図97. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコード

は各8ビットのデータで、その領域はFFC2₁₆ ~ FFC8₁₆番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

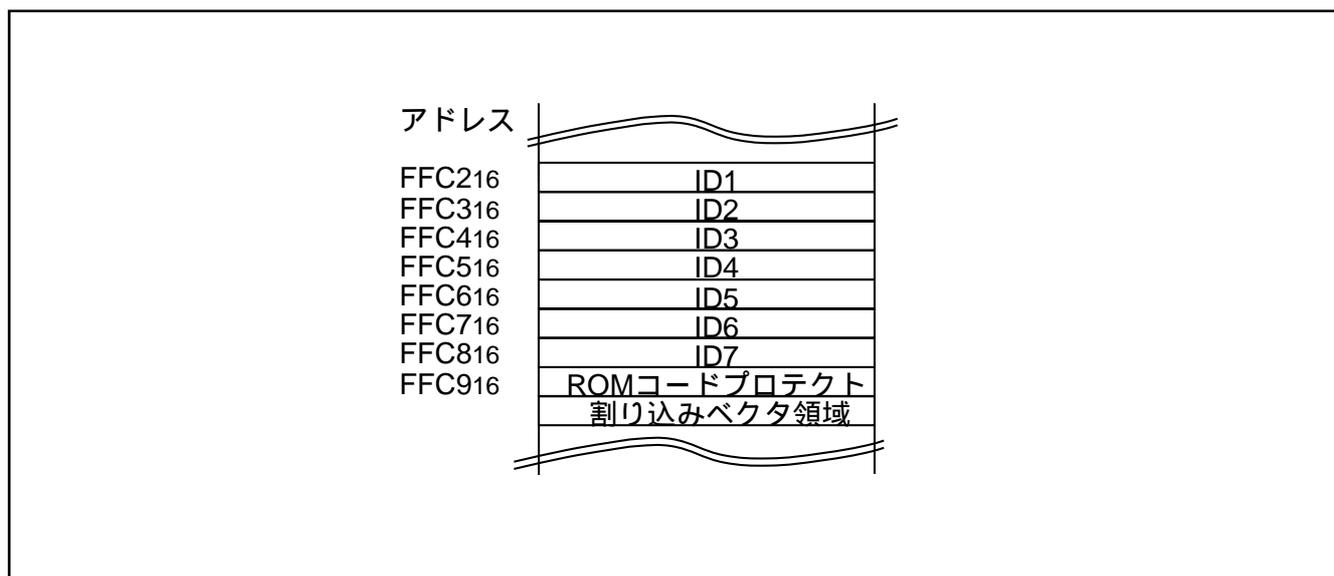


図98. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常 / エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータス

レジスタコマンド(50₁₆)をライトしたときクリアされます。ステータスレジスタの各ビットの定義を表25に示します。リセット解除後、ステータスレジスタは、“ 80₁₆ ”を出力します。

表25.ステータスレジスタ(SRD)の各ビット定義

SRDの 各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

・シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1” (レディ)にセットされます。プログラムやイレーズの動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

・イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“ 1 ”にセットされます。イレーズステータスはクリアされると“ 0 ”になります。

・プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“ 1 ”にセットされます。プログラムステータスはクリアされると“ 0 ”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときステータスレジスタ(SRD)に続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトした

ときクリアされます。

ステータスレジスタを表26に、各ビットの定義を以下に示します。

電源投入時'00₁₆'です。フラグの状態はリセットしても保持されます。

表26. ステータスレジスタ1(SRD1)の各ビット定義

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	IDコード照合済みビット	b3 b2 00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

・ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

・チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

・IDコード照合済みビット(SR11 SR10)

IDコード照合の結果を示すフラグです。IDコード照合しなければ、受け付けないコマンドがあります。

・データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが'1'になると、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図99にフルステータス

チェックフローチャート及び各エラー発生時の対処方法を示します。

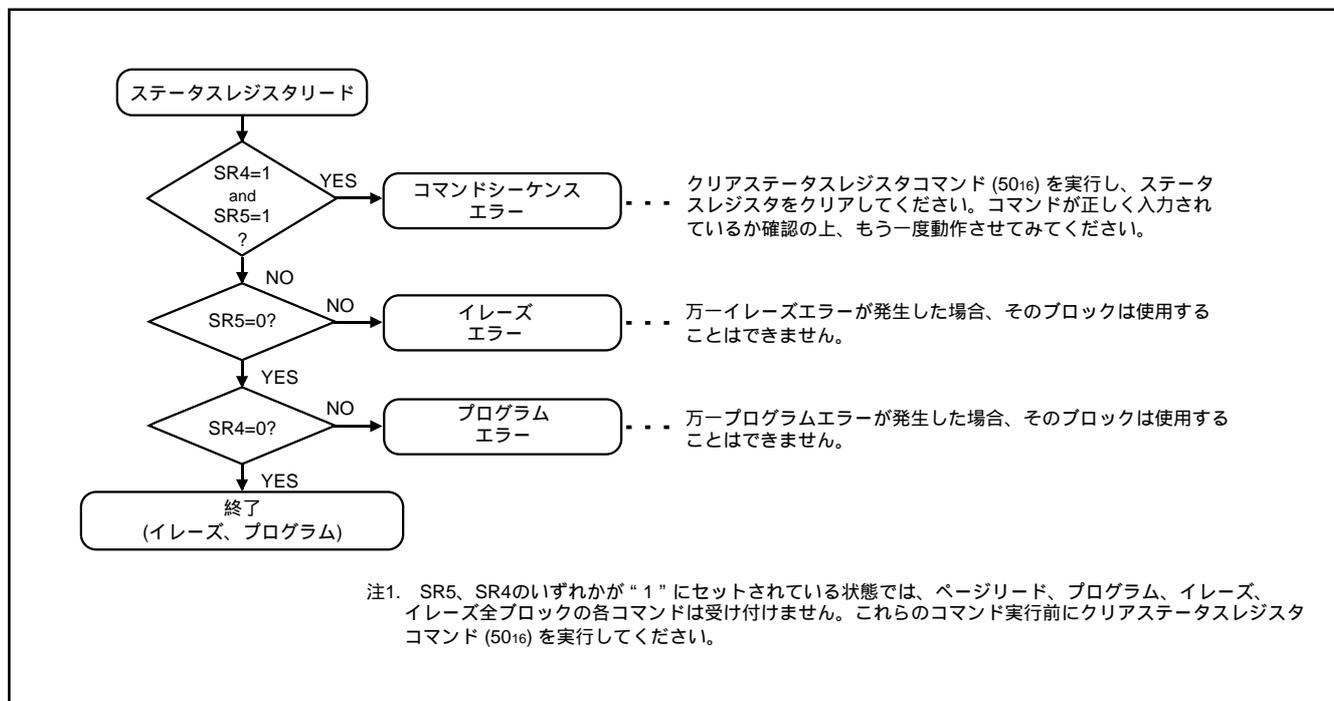


図99. フルステータスチェックフローチャート及び各エラー発生時の対処方法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が異なりますので、詳細は

ライターの取扱い説明書を参考にしてください。

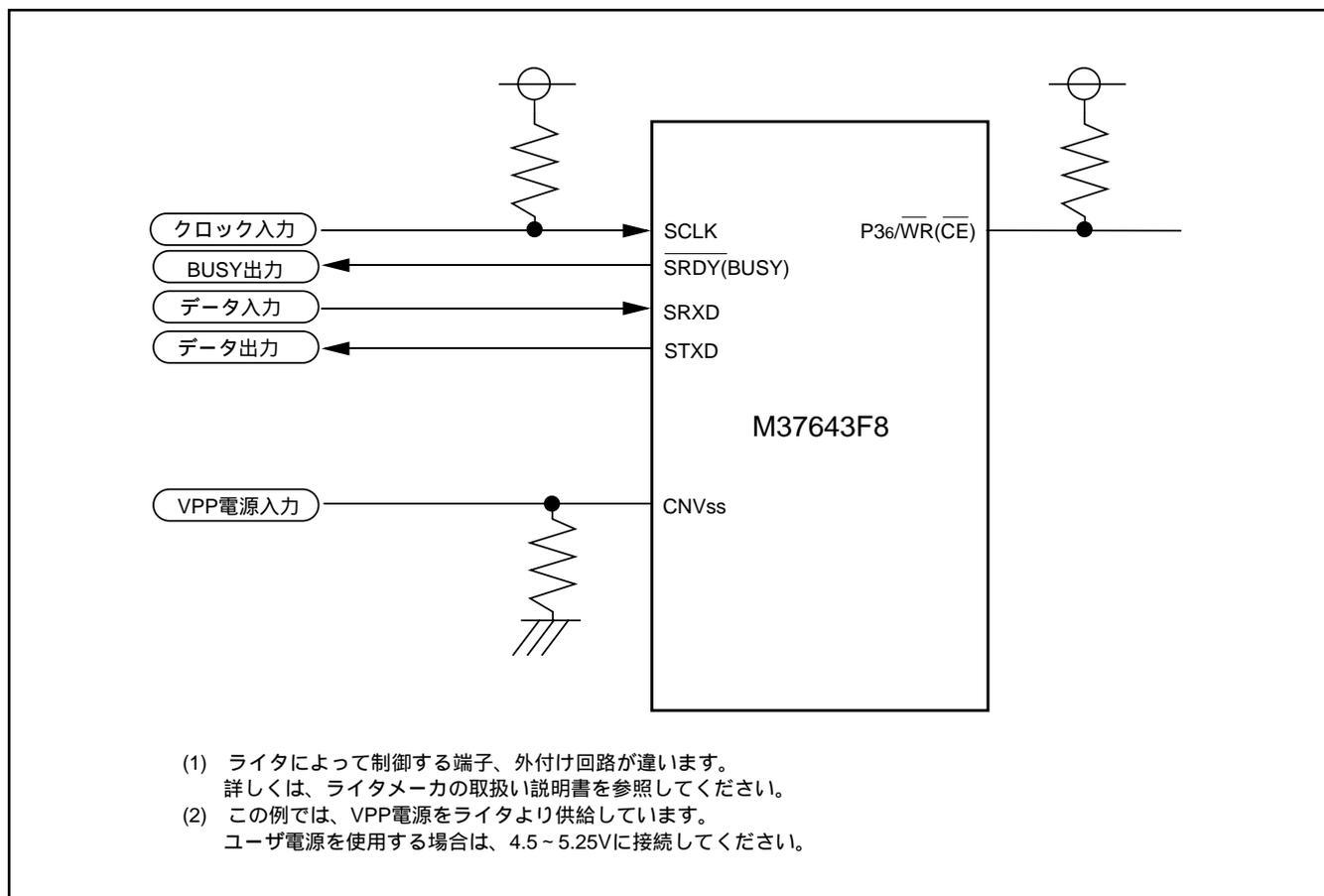


図100. 標準シリアル入出力モード時の応用回路例

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

・プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

・プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。PLP命令実行後は必ずNOP命令を入れてください。

・PLP命令実行前に必ずSEI命令を実行してください。CLI命令を実行する場合はNOP命令実行後に行ってください。

BRK命令に関するもの

BRK命令の割り込みであるか、優先順位が最下位の割り込みであるかを識別する方法として、退避されたBフラグの内容によって判断できますが、この判断は割り込みルーチンの中で行ってください。

10進演算に関するもの

・10進演算モードでは、V(オーバフロー)フラグが無効となります。また、C(キャリー)フラグは演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

乗除算命令に関するもの

・MUL, DIV命令は、T, Dフラグの影響を受けません。

命令の実行時間に関するもの

・命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。

割り込みに関するもの

・外部割り込み(INT₀, INT₁)の検出エッジを設定する場合、割り込み要求ビットが“1”になる場合があります。以下の順番で設定してください。

- (1) 割り込み許可ビットを“0”(割り込み禁止)にする。
- (2) 割り込み検出エッジ選択ビット(極性選択ビット)を設定する。
- (3) 一命令以上おいてから割り込み要求ビットを“0”(割り込み要求なし)にする。
- (4) 割り込み許可ビットを“1”(割り込み許可)にする。

・割り込み制御レジスタ2のビット7は必ず“0”に固定してください。

タイマに関するもの

・タイマラッチに値n(0~255)を書き込んだ場合の分周比は、1/(n+1)です。

・P51/XCOUT/TOUT端子はXCIN-XCOUT発振が駆動している場合は入出力ポートとして動作できません。XCIN-XCOUT発振不使用又は、XCOUT発振が禁止のときタイマ1/2 TOUT出力端子として使用できます。

TOUT出力機能を使用する場合、タイマ1のカウントソースにf(XCIN)/2を選択する場合は(T123M2を“1”)、XCOUT発振を禁止(CCR5を“1”)にしてください。

ポートに関するもの

・入出力ポートのデータレジスタ(ポートラッチ)をビット処理命令(SEB命令,CLB命令)を用いて書き替える場合、指定していないビットの値が変化することがあります。

[理由]

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのデータレジスタの、あるビットに対してこの命令を実行した場合、そのデータレジスタの全ビットに対して以下の処理が行われます。

(1) 入力に設定されているビット:

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

(2) 出力に設定されているビット:

データレジスタのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- (1) 出力に設定されているポートを入力ポートに変更しても、データレジスタには出力が保持される構成になっています。
- (2) 入力に設定されているデータレジスタのビットについては、ビット処理命令で指定していない場合も、端子とデータレジスタの内容が異なる場合、ビットの値が変化することがあります。

・低消費電力を目的としてスタンバイ状態(STP命令によるストップモード及びWIT命令によりウエイトモード)で使用する場合は、入力ポート及び入出力ポートを入力レベル不定の状態にしないでください。

特にNチャンネル、Pチャンネルオープンドレインの入出力ポートでは注意が必要です。この場合、抵抗を介してポートをプルアップ(Vccに接続)またはプルダウン(Vssに接続)してください。抵抗値を決定する際は、以下の2点に留意してください。

(1) 外付け回路

(2) 通常動作時の出力レベルの変動

また、内蔵されているプルアップまたはプルダウン抵抗を使用する場合は、電流値のばらつきに注意してください。

(1) 入力ポートに設定している場合：

入力レベルを固定する

(2) 出力ポートに設定している場合：

外部に電流が流出しないようにする

[理由]

方向レジスタで出力ポートに設定しているにもかかわらず、以下の場合：

(1) Pチャンネル・・・データレジスタ(ポートラッチ)の内容が“0”の場合

(2) Nチャンネル・・・データレジスタ(ポートラッチ)の内容が“1”の場合

トランジスタがOFFになるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

UARTに関するもの

・受信エラーフラグ(パリティエラー、フレーミングエラー、オーバラン及びサミングエラーフラグ)はリセット、受信初期化ビットによる初期化及びUART(x=1,2)ステータスフラグの読み出しにより“0”になります。これらのビットは、ビットテスト命令(BBC,BCS命令など)の実行でも“0”になりますのでご注意ください。

・送信割り込みの発生するタイミングに以下のどちらを選択しても、送信初期化ビットセット時に割り込み要求が発生し、送信割り込み要求ビットがセットされる可能性があります。

送信バッファエンプティフラグが“1”に設定

送信シフトレジスタシフト終了フラグが“1”に設定

したがって、送信割り込みを使用する場合は、以下の手順で送信割り込み許可ビットを許可状態にしてください。

(1) 送信初期化ビットを“1”に設定

(2) 送信割り込み要求ビットを“0”に設定

(3) 送信割り込み許可ビットを“1”に設定

・UARTボーレートジェネレータの値は送信許可又は受信許可時には変更できません。送信及び受信を禁止にしてから値を変更してください。また、送信を許可にする場合、送受信バッファレジスタにデータが入っていると不定なデータが出力されることがあります。ご注意ください。

・受信時に受信エラーを検出した場合、受信バッファフル割り込み要求は発生しません。

・7ビットキャラクタ長を選択する場合(UARTモードレジスタのビット6,7で選択)、UART送受信バッファレジスタ1のビット7及びUART送受信バッファレジスタ2のビット0~7は送信時は無視され、受信時は無効データです。8ビットキャラクタ長を選択した場合は、UART送受信バッファレジスタ2のビット0~7は送信時は無視され、受信時は無効データです。9ビットキャラクタ長を選択した場合は、UART送受信バッファレジスタ2のビット1~7は送信時は無視され、受信時は“0”です。

シリアルI/Oに関するもの

・SPI互換モード使用時、転送中はSIOシフトレジスタへ書き込みを行わないでください。

USBに関するもの

・USBリセット割り込みステータスフラグが“1”にセットされると、このフラグ以外のUSB内部レジスタ(0050₁₆~005F₁₆番地)はリセット時の状態になります。USB制御レジスタ(0013₁₆番地)、周波数シンセサイザ制御レジスタ(006C₁₆番地)、クロック制御レジスタ(001F₁₆番地)、USBエンドポイントxFIFOレジスタ(0060₁₆~0062₁₆番地)等は、USBリセットの影響を受けませんのでご注意ください。

・USBを使用しない場合も、内部回路へ電源供給のためにUSB制御レジスタ(0013₁₆番地)のUSBラインドライバ供給選択ビットは“1”にしてください(Vcc=5V使用時)。

・ AUTO_SET機能使用時も、IN_PKT_RDYビットをソフトウェアでセット可能です。

・ USB関連レジスタへの書き込みは、USBクロック許可ビットを“1”にセットし、の4サイクルウェイト後に行ってください。

・ Vcc=3.3V使用時、USBラインドライバ供給選択ビット(USBC4)は“0”(ラインドライバ禁止)に設定してください。また、USBラインドライバ駆動能力ビット(USBC3)の設定はUSB動作に影響しません。

・ OUT_PKT_RDYフラグはOUT FIFOから1パケットデータを読み出した後に“0”にクリアしてください。1パケットデータを読み出す途中でOUT_PKT_RDYフラグをクリアすると内部read pointerの誤動作の原因になります。

・ USB割り込みステータスレジスタ1, 2(0052₁₆番地、0053₁₆番地)、USBエンドポイント0 IN制御レジスタ(0059₁₆番地)、USBエンドポイントx IN制御レジスタ(0059₁₆番地)、USBエンドポイントx OUT制御レジスタ(005A₁₆番地)の各ビットへの書き込み時は、LDA, STA命令等の転送命令のみ使用可能です。SEB, CLB等のリード・モディファイライト命令は使用禁止です。また、LDA, STA命令等の転送命令で書き込む際、表31のビットに対し、ビットステータスに影響を与えない値を書き込む必要があります。これらのレジスタ内のビットを変更する際は、次の手順で変更してください。

1. レジスタの内容を変数またはデータレジスタに退避。
2. 変数またはデータレジスタ上で、目的のビットを変更。同時に、ソフトウェア書き込みによるステータス変更を避けるべきビット値をマスクする。(表27参照)
3. LDA, STA命令等の転送命令を使用して、変数またはデータレジスタからレジスタへ値を書き込む。

・ IN転送において、AUTO_SETビットを“1”にセットして、AUTO_SET機能をご使用になる場合は、FIFOをシングルバッファモードにしてください。

表27. ソフトウェア書き込みによって、ステータスが変化する可能性があるビット

レジスタ名	ビット名	書き込みによる影響がない値(注)
USBエンドポイント0 IN制御 レジスタ	IN_PKT_RDY (b1)	“0”
	DATA_END (b3)	“0”
	FORCE_STALL (b4)	“1”
USBエンドポイントx(x=1~2) IN 制御レジスタ	IN_PKT_RDY (b0)	“0”
USBエンドポイントx(x=1~2) OUT 制御レジスタ	OUT_PKT_RDY (b0)	“1”
	FORCE_STALL (b4)	“1”

(注) : ソフトウェアによる書き込みができない値であり、この値を書き込んでもビットステータスが変化することはありません。

周波数シンセサイザに関するもの

・ハードウェアリセットから復帰する際には、周波数シンセサイザ及び内蔵DC-DCコンバータを以下の順でセットアップしてください。

- (1) 周波数シンセサイザ関連レジスタ(006C₁₆ ~ 006F₁₆番地)の設定後、周波数シンセサイザを許可にしてください。
2msウエイトする。
- (2) 周波数シンセサイザロック状態ビットをチェックしてください。“0”の場合、0.1msウエイト毎に再チェックが必要です。
- (3) USB内蔵DC-DCコンバータを使用する場合、USB制御レジスタのUSBラインドライバ供給選択ビットを“1”にしてください。この設定は(1)から2ms以上ウエイトした後に行ってください。この時、USBラインドライバ駆動能力選択ビットは“0”にしてください(V_{CC}=3.3V使用時、(3)の各設定は必要ありません)。
- (4) Ext. Cap端子に約3.3Vが供給されるまでの時間のウエイト後、USBクロック許可ビットを“1”にしてください。このときのウエイト時間は(C+1)ms。CはExt. Cap端子に接続しているコンデンサの容量(μF)になります。
例えば、2.2μFと0.1μFのコンデンサをExt. Cap端子に並列に接続している場合、(2.3+1)msのウエイトが必要となります。
- (5) USBクロック許可後、の4サイクル以上ウエイトした後、USB許可ビットを“1”にしてください。USBクロックを許可にするまでは、USBC、CCR、FSCレジスタ以外のUSB内部レジスタ(0050₁₆ ~ 0062₁₆番地)へは書き込みを行わないでください。

・周波数シンセサイザ制御レジスタ(006C₁₆番地)のbit6,5はリセット解除時bit6,5≠“11”です。周波数シンセサイザロック状態ビットが“1”になった後、必ずbit6,5≠“10”にしてください。

・周波数シンセサイザ使用時の入力クロックf(XIN)(f(XCIN))は、出来るだけ速いクロックをご使用下さい。これはPLLの特性で、「源クロックを基として、逡倍されたクロックの速度をコントロールしているので、源クロックが遅い(逡倍率が高い)と速度のコントロールが荒く(PLLの“揺れ”が大き)、源クロックが早い(逡倍率が低い)と速度のコントロールが細かく行われて安定するからです。

・fPINが1MHz以上になるように周波数乗算レジスタ2(FSM2)の値を設定してください。

DMAに関するもの

・メモリ拡張モード又はマイクロプロセッサモード時、DMA転送中は、DMAOUT端子から“H”が出力されます。

・DMAC関連レジスタをDMAC転送を用いてアクセスしないでください。DMAC内部バス上でアクセスする側とアクセスされる側のアドレスが衝突します。

・DMAの転送元としてUSB FIFOを使用するとき、AUTO_SET機能を使用する場合は、転送データの中にショートパケットデータが混在しないようにご注意ください。

・DMAチャネルx許可ビット(0041₁₆番地のビット7)を“1”にする場合、必ずDMACチャネルx転送開始要因格納レジスタリセットビット(0041番地のビット6)を同時に“1”にしてください。DMA許可と同時に不正なデータが転送される場合があります。

メモリ拡張モード及びマイクロプロセッサモードに関するもの

・メモリ拡張モード又はマイクロプロセッサモード選択時、ポートP3(000E₁₆番地)への書き込みはLDM命令又はSTA命令を使用してください。リード・モディファイ・ライト命令(SEB命令、CLB命令)を使用する場合、ポートP3(000E₁₆番地)に対して読み出し及び書き込み可能なメモリを配置してください。

[理由]

メモリ拡張モード及びマイクロプロセッサモードでは、000E₁₆番地は外部領域に割り当てられているため

- (1) 読み出しは外部メモリ
- (2) 書き込みはポートP3のポートラッチ及び外部メモリに対して行われます。

したがって、000E₁₆番地に対してリード・モディファイ・ライト命令を実行すると、外部メモリの値を読み出し、モディファイして、ポートP3のポートラッチ及び外部メモリに書き込むこととなります。そのため000E₁₆番地に読み出し可能なメモリを配置していない場合、マイコンが読み込む値は不定となり、その不定値をモディファイした値がポートP3のポートラッチに書き込まれます。したがって、ポートP3のポートラッチの値は不定となります。

・メモリ拡張モード時に内部メモリと外部メモリが重複した場合、その重複領域では内部メモリが有効になります。したがって、この領域に対してCPUが読み出しまたは書き込みを行うと、以下の処理が行われます。

(1)読み出しを行った場合

内部メモリのデータがCPUに読み込まれ、外部メモリのデータは読み込まれません。なお、リード信号、アドレスなどは有効であるため、外部データバス上には、対応するアドレスのメモリデータが出力されます。

(2)書き込みを行った場合

内部メモリ及び外部メモリの両方に対して書き込みが行われます。

- ・ウエイト機能は、外部メモリアクセス時のみ機能します。

ストップモードに関するもの

・STP命令を実行すると、クロック制御レジスタ(001F₁₆番地)のビット7(CCR7)が[※]0"になります。ストップモードからの復帰時にCCR7を再設定してください。

・内部システムクロックとしてfsYN(内部システムクロック選択ビット(CPMA6)を"1")を使用している場合、STP命令実行前に、CPMA6を"0"に変更してください。ストップモードから復帰し、周波数シンセサイザ安定後、再設定してください。

WIT命令実行時はCPMA6を変更する必要はありません。

・STP命令実行時、タイマ123モードレジスタ(0029₁₆番地)はビット4を除き"0"に初期化されます。STP命令実行前にT123M1(タイマ1停止ビット)を"0"にする必要はありません。ストップモードから復帰後、タイマ1(0024₁₆番地)、タイマ2(0025₁₆番地)及びタイマ123モードレジスタを再設定してください。

使用上の注意事項

発振器に関する注意事項

XIN端子とXOUT端子間に帰還抵抗(約1M)およびダンピング抵抗(約400)を内蔵しています。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

電源端子の取扱いに関する注意事項(ノイズ対策)

Vss-Vcc端子間、AVss-AVcc端子間に0.1 μ Fと4.7 μ Fのコンデンサを並列に接続してください。

また、コンデンサは電源端子とGND端子との間、アナログ電源端子とアナログ電源入力端子との間を最短距離で付加してくださいようお願いいたします。Vcc,Vssラインは他の信号線より幅の広い配線を使用してください。

但し、コンデンサはLPF端子の付近には配置しないでください。ノイズの原因になります。

リセット端子に関する注意事項(ノイズ対策)

・リセット信号が緩やかに立ち上がる場合は、リセット端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- (1) コンデンサの配線長は最短(20mm以内)にしてください。
- (2) ユーザサイドで応用製品の動作確認を十分に行ってください。

[理由]

リセット入力端子に数nsから数十nsのインパルス性のノイズが入った場合、マイコンが誤動作することがあります。

LPF端子の取扱いに関する注意事項(ノイズ対策)

受動部品は、すべてLPF端子のできるだけ近くに接続してください。

LPF端子の取扱いに関する注意事項(ノイズ対策)

受動部品は、すべてLPF端子のできるだけ近くに接続してください。

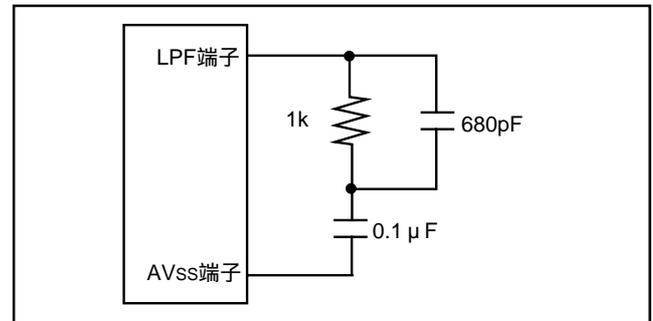


図101 . LPF周辺の受動部品

AVss端子及びAVcc端子の扱いに関する注意事項(ノイズ対策)

AVss端子とVss間、AVcc端子とVcc間に絶縁コネクタ(フェライトビーズ)を接続してください。

USBトランシーバの取扱いに関する注意事項(ノイズ対策)

・Full Speed USB 2.0仕様では、ドライバインピーダンス28 ~ 44 Ω が規定されています(7.1.1.1 Full-speed(12Mb/s)Driver Characteristicsを参照してください)。この規格を満足するために、USB D+端子とUSB D-端子に直列抵抗(推奨値27 ~ 33 Ω)を接続してください。また、必要に応じてUSB D+端子/USB D-端子とVss端子の間にコンデンサを接続してください。これらのコンデンサはリングングを抑えるため、もしくはD+/D-の立ち上がり、立下がり時間およびクロスオーバーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。

・Ext.Cap端子とVss端子との間にコンデンサを接続してください。コンデンサの容量は2.2 μ F(タンタルコンデンサ)と0.1 μ F(セラミックコンデンサ)を並列に接続してください。

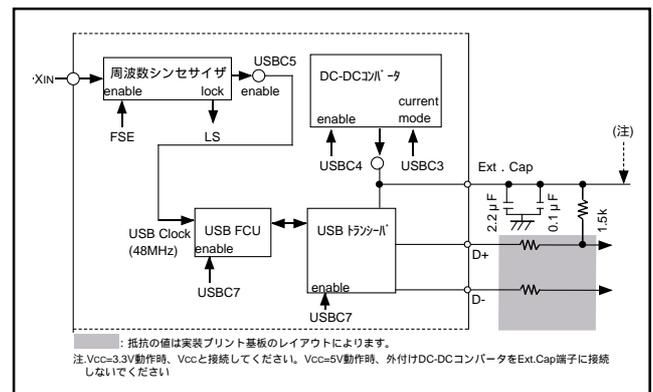


図102 周辺回路例

・Vcc=3.3V動作時、USBトランシーバへ電源供給のために、Ext.Cap端子はVcc端子へ直接接続してください。また、この場合、DC-DCコンバータを禁止にしてください(USB制御レジスタのビット4を“0”にしてください)。Vcc=3.3V動作時、バスパワー電源を使用する場合は、外部にDC-DCコンバータを外付けする必要があります。

・Vcc=5V動作時、外付けDC-DCコンバータをExt.Cap端子に接続しないでください。USBラインドライバを許可することによって内蔵DC-DCコンバータをご使用ください。

・USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください。

USB通信の注意事項

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

クロック入出力端子の配線(ノイズ対策)

- (1) クロック入出力端子に接続する配線は短くしてください。
- (2) 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- (3) 発振用のVssパターンは発振回路専用として、他のパターンと分離してください。

発振子への配線(ノイズ対策)

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線(USB信号ラインを含む)は発振回路からできる限り離してください。特に大電流が流れる場合、相互インダクタンスによるノイズが発生することがあります。

(2) 高速にレベル変化する信号線からの回避

USB信号のように高速レベル変化する信号線は発振子及び発振子の配線パターンからできる限り遠い位置にレイアウトしてください。また、高速にレベル変化する信号線はクロック関連の信号線、その他ノイズの影響を受けやすい信号線と基板内で交差させないでください。

未使用端子の処理

(1) 出力専用ポート

開放してください。

(2) 入力専用ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。電圧内蔵プルアップ/プルダウン抵抗が選択可能なポートでは、内蔵プルアップ/プルダウン抵抗を使用することもできます。また、電圧レベルが動作モードに影響を与える端子(CNVss、INT端子など)は、モードを検討の上、VccまたはVssを選択してください。

(3) 入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ/プルダウン抵抗が選択可能なポートでは、内蔵プルアップ/プルダウン抵抗を使用することもできます。出力モードに設定する場合は、“L”または“H”出力状態で開放してください。

・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。

・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

フラッシュメモリ版/マスクROM版の相違点

フラッシュメモリ版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書
- ・マーク指定書
- ・ROMのデータ・・EPROM又はフロッピーディスク

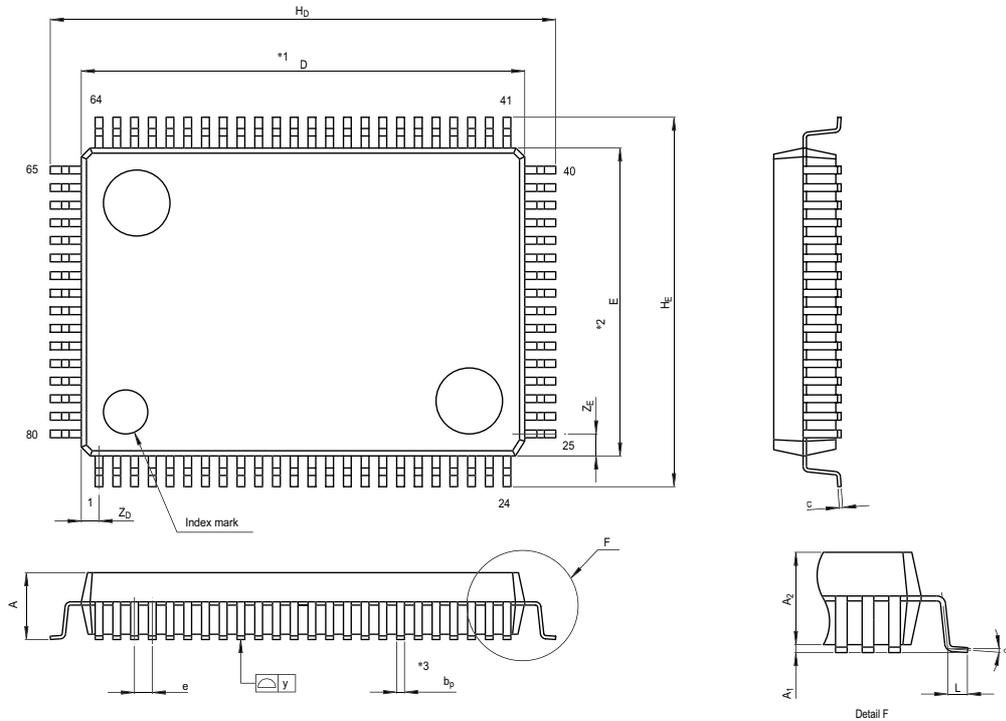
* EPROMの場合は同一のデータのものを3組準備してください。

* フロッピーディスクの場合は3.5インチ2HD (IBMフォーマット)で1枚準備してください。

* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com>)「ROM発注」を参照してください。

PRQP0080GB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-QFP80-14x20-0.80	PRQP0080GB-A	80P6N-A	1.6g

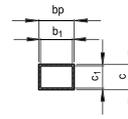
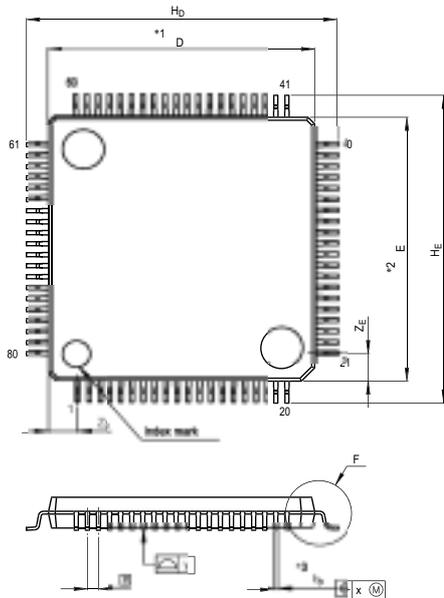


NOTE)
 1. DIMENSIONS *1* AND *2*
 DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT
 INCLUDE TRIM OFFSET.

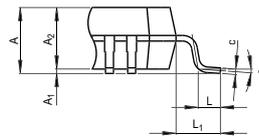
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.8	20.0	20.2
E	13.8	14.0	14.2
A ₂	—	2.8	—
H _D	22.5	22.8	23.1
H _E	16.5	16.8	17.1
A	—	—	3.05
A ₁	0	0.1	0.2
b _p	0.3	0.35	0.45
c	0.13	0.15	0.2
β	0°	—	10°
e	0.65	0.8	0.95
y	—	—	0.10
Z _D	—	0.8	—
Z _E	—	1.0	—
L	0.4	0.6	0.8

PLQP0080KB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP80-12x12-0.50	PLQP0080KB-A	80P6Q-A	0.5g



Terminal cross section



Detail F

NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0	0.1	0.2
b _p	0.15	0.20	0.25
b ₁	—	0.18	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	10°
⓪	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z _D	—	1.25	—
Z _E	—	1.25	—
L	0.3	0.5	0.7
L ₁	—	1.0	—

改訂記録

7643 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2003.01.23	-	初版発行
1.00	2003.07.16	-	<p>該当する箇所全てを次のとおり変更。</p> <p>形名 型名、三菱電機 ルネサス テクノロジ</p> <p>15 図 11. ポートのブロック図(1) (2)ポート P2 のブロック図中の「キー入力割り込み入力」に関する箇所を変更。</p> <p>16 図 12. ポートのブロック図(2) : (7)ポート P5₁ のブロック図を修正。</p> <p>49 図 42. USB エンドポイントインデックスレジスタの構成 : 注を追記。</p> <p>51 図 44. USB エンドポイント X(X=1 ~ 2)IN 制御レジスタの構成 注意事項「* 4」を追記し、b6 の注意事項を変更。 <(変更前)0: * 1、1: * 2 ></p> <p>52 図 45. USB エンドポイント X(X=1 ~ 2)OUT 制御レジスタの構成 ・ b3 に関する次の箇所を変更。(変更前の記述は次のとおり) 1 : PID として DATA0, DATA1 両方を受信可能にする(トグルの初期化) ・ 注意事項「* 4」を追記し、b6 の注意事項を変更。 <(変更前)0: * 1、1: * 2 ></p> <p>59 図 55. リセット時の内部状態 : 次のとおりレジスタの内容を変更。 0054₁₆ 番地 FF₁₆ XX111111、 0055₁₆ 番地 00110011 001X00XX</p> <p>72 表 11. 電気的特性(1) : 注 1 を追記。</p> <p>75 表 14. メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件 およびスイッチング特性 : EDMA 遅延時間の最大規格値 9 12</p> <p>77 表 16. 電気的特性(1) : 注 1 を追記。</p> <p>80 表 19. メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件 およびスイッチング特性 : EDMA 遅延時間の最大規格値 12 15</p> <p>115 表 27. ソフトウェア書き込みによって、ステータスが変化する可能性があるビット 下記「ビット名」と、そのビットに関する「書き込みによる影響がない値」 (全て「1」)を削除。 USB エンドポイント X(X=1 ~ 2)IN 制御レジスタ : UNDER_RUN (b1) USB エンドポイント X(X=1 ~ 2)OUT 制御レジスタ : OVER_RUN (b1) DATA_ERR (b5)</p> <p>118 発振器に関する注意事項 帰還抵抗(約 400) 帰還抵抗(約 1M)およびダンピング抵抗(約 400)</p> <p>119 マスク化発注時の提出資料 : 参照ホームページについて変更。 (変更前)「三菱マイコン技術情報」ホームページを参照してください。 (http://www.infocom.maec.co.jp/)</p> <p>120、121 MMP : Mitsubishi Main Package という記述を削除。</p>
2.00	2006.08.27	-	<p>51 型名 80P6N-A PRQP0080GB-A、80P6Q-A PLQP0080KB-Aに変更 図44 注5 追記</p>

改訂記録

7643 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.08.27	60	クロック発生回路 「XIN - XOUT 端子間には帰還抵抗が内蔵されて、、、省略することができます。」 「XIN - XOUT 端子間には帰還抵抗を内蔵して、、、なることがあります。）」
		61	図56：図変更、注意追記
		115	「・IN 転送において、AUTO_SET ビットを、、、シングルバッファモードにしてください。」 追記
		118	電源電圧に関する注意事項 追記
		119	USB通信に関する注意事項 追記
		120	「*マスク化確認書及び、、、(http://www.renesas.com/jp/rom)を参照してください。」 「*マスク化確認書及び マーク指定書につきましては、、、を参照してください。」 パッケージ寸法図 変更

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com