

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7630グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0061-0300Z

Rev.3.00

2003.10.30

概要

7630グループは7600コア(740ファミリアコア)を採用した8ビットマイクロコンピュータです。

Basic-CANコントローラ、A-D変換器、シリアルI/O、UART、ウォッチドッグタイマ、などの付加機能を備えています。

7630グループには内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。詳細については形名とメモリサイズ、パッケージの項を参照してください。

7630グループの製品ラインナップについては、グループ展開の項を参照してください。

特長

- 基本機械語命令 71
- 命令実行時間 0.2 μ s
(最短命令、発振周波数10MHz時)
- メモリ容量 ROM 16252バイト
RAM 512バイト
- 入出力ポート
プログラマブル入出力ポート 35本
入力 1本
- 割り込み 24要因24ベクタ

- タイマX、Y 16ビット×2
- タイマ123 8ビット×3
(PWM出力機能付)
- シリアルI/O(クロック同期形) 8ビット×1
- UART 9ビット×1
- CANコントローラ2.0B 1本
(Basic-CAN)
- A-D変換器 8ビット×8チャンネル
- ウォッチドッグタイマ 11ビット×1
- クロック発生回路 1回路内蔵
(セラミック共振子または水晶共振子外付け)
- 電源電圧 4.0 ~ 5.5V
- 消費電力
f(XIN)/2(高速モード)時 55mW
(発振周波数8MHz、電源電圧5V時)
- 動作周囲温度 -40 ~ 85
(125 保証品は-40 ~ 125 (注))

応用

車載制御用他

注. 55 ~ 85 の総時間は6,000時間以内、85 ~ 125 の総時間は1,000時間以内の限定があります。

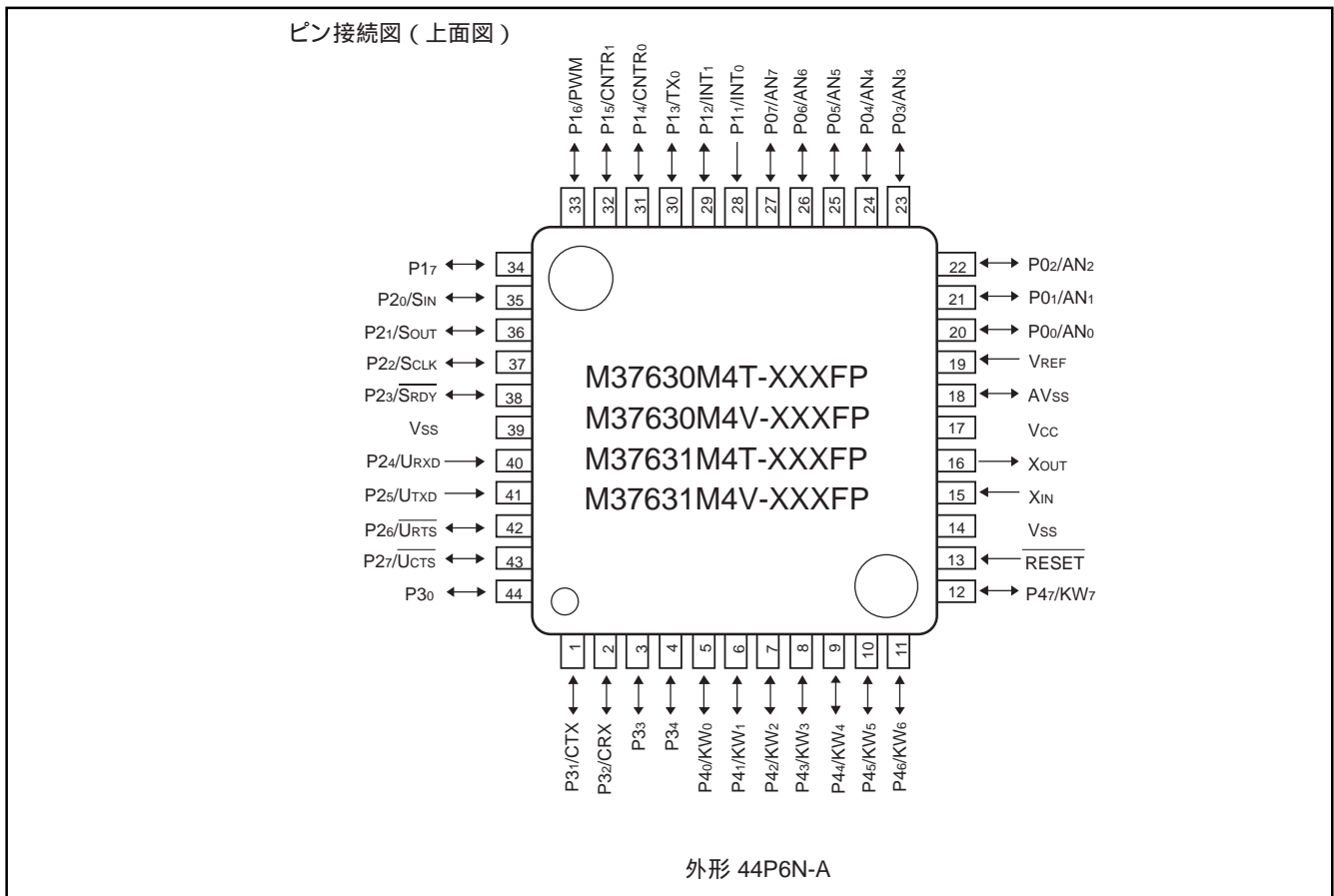


図1. 44P6N-Aパッケージ ピン接続図

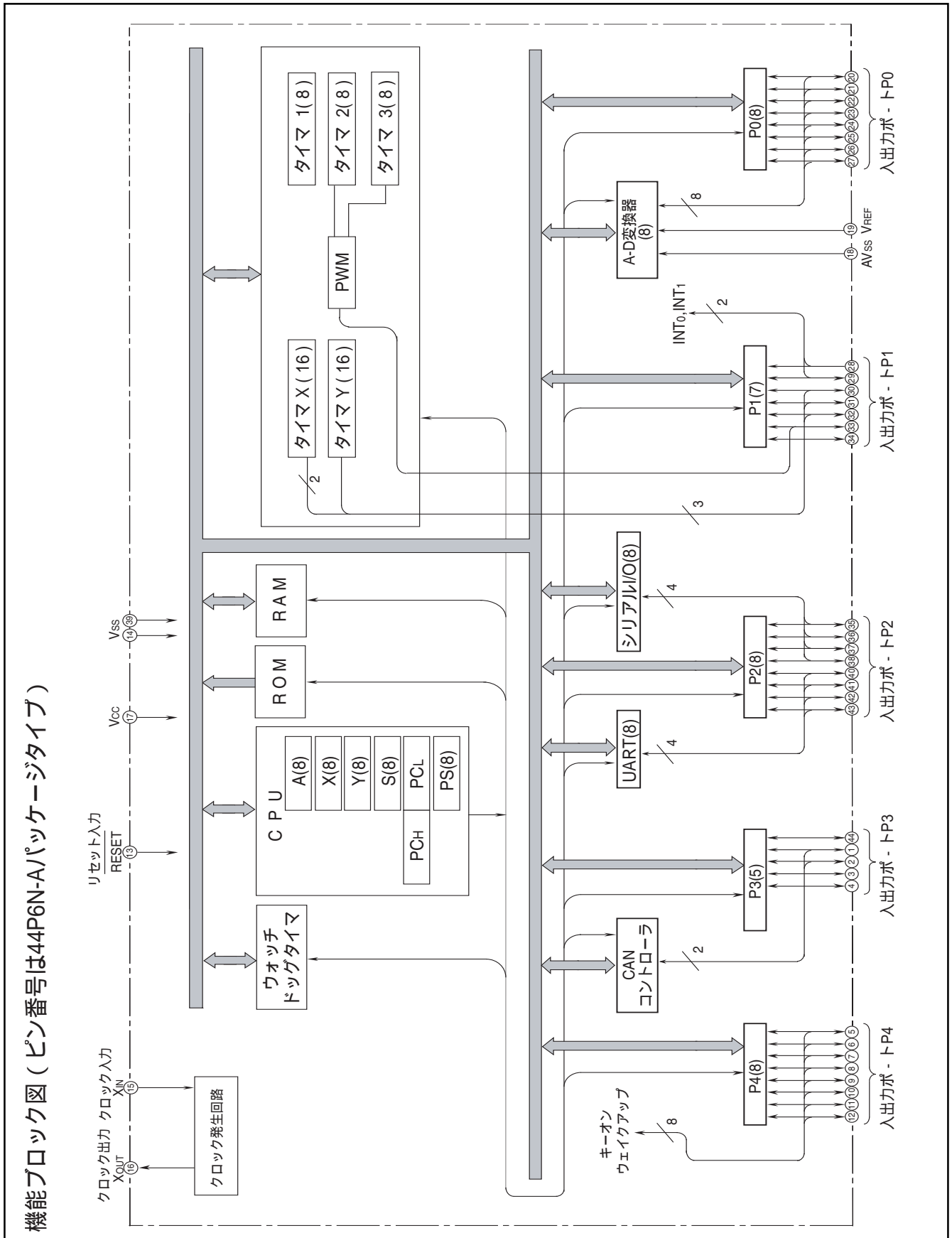


図2. 機能ブロック図

表1 .7630グループの性能概要

項 目		概 要
基本命令数		71
命令実行時間		0.2 μ s (最短命令、発振周波数10MHz、高速モード時)
発振周波数		10MHz(最大)
メモリ容量	ROM	形式とメモリサイズの項を参照
	RAM	形式とメモリサイズの項を参照
入出力ポート	P0,P1 ₂ -P1 ₇ ,P2~P4	35本
入力ポート	P1 ₁	1本
割り込み		外部6要因、内部17要因、ソフトウェア1要因
タイマ		16ビットタイマ×2 + 8ビットタイマ×3
シリアルI/O		クロック同期形
UART		非同期形(7~9ビット)
CANコントローラ		1チャンネル
A-D変換器		8ビット×8チャンネル
ウォッチドックタイマ		11ビット×1
キーオンウェイクアップ		8本
クロック発生回路		1回路内蔵 (セラミック共振子または水晶発振子外付け)
電源電圧		4.0 ~ 5.5V
消費電力		55mW(5V、8MHz、高速モード時)
動作周囲温度		-40 ~ 85 (125 保証品は-40 ~ 125)
素子構造		CMOSシリコンゲート
パッケージ	M37631M4T-XXXFP M37631M4V-XXXFP M37630M4T-XXXFP M37630M4V-XXXFP M37630E4T-XXXFP M37630E4FP	44ピンプラスチックモールドQFP(0.8mmピッチ) 外形:44P6N-A
	M37630E4FS	80ピンセラミックLLC(0.8mmピッチ) 外形:80D0

7630グループ

端子の機能説明

表2. 端子の機能説明

端子名	名称	機能	ポート以外の機能
V _{CC} , V _{SS}	電源入力	V _{CC} に4.0 ~ 5.5Vを、V _{SS} に0Vを印加	
A _{VSS}	アナログ電源入力	A-D変換器の電源入力端子	
RESET	リセット入力	アクティブ"L"のリセット入力端子	
X _{IN}	クロック入力	内部クロック発生回路の入出力端子(X _{IN} とX _{OUT} の間にセラミック共振子か水晶共振子を接続、外部クロックを使用する場合には、X _{IN} に接続し、X _{OUT} はオープンにする)	
X _{OUT}	クロック出力		
V _{REF}	基準電源入力	A-D変換器の基準電源入力端子	
P0 ₀ /AN ₀ ~ P0 ₇ /AN ₇	入出力ポートP0	8ビットCMOS入出力ポート	AD変換器入力端子
P1 ₁ /INT ₀	入力ポートP1	CMOS入力ポート	割り込み入力端子
P1 ₂ /INT ₁	入出力ポートP1	CMOS入出力ポート	
P1 ₃ /TX ₀			タイマX、タイマY機能端子
P1 ₄ /CNTR ₀			PWM出力端子
P1 ₅ /CNTR ₁			
P1 ₆ /PWM			
P1 ₇			
P2 ₀ /S _{IN} P2 ₁ /S _{OUT} P2 ₂ /S _{CLK} P2 ₃ /S _{RDY}	入出力ポートP2	CMOS入出力ポート	SI/O機能端子
P2 ₄ /U _{RXD} P2 ₅ /U _{TXD} P2 ₆ /U _{RTS} P2 ₇ /U _{CTS}			UART機能端子
P3 ₀	入出力ポートP3	CMOS入出力ポート	CANデータ送信端子
P3 ₁ /CTX			
P3 ₂ /CRX			
P3 ₃ , P3 ₄			
P4 ₀ /KW ₀ ~ P4 ₇ /KW ₇	入出力ポートP4	CMOS入出力ポート	キー入力(キーオンウェイクアップ)割り込み端子

7630グループ

形名とメモリサイズ・パッケージ

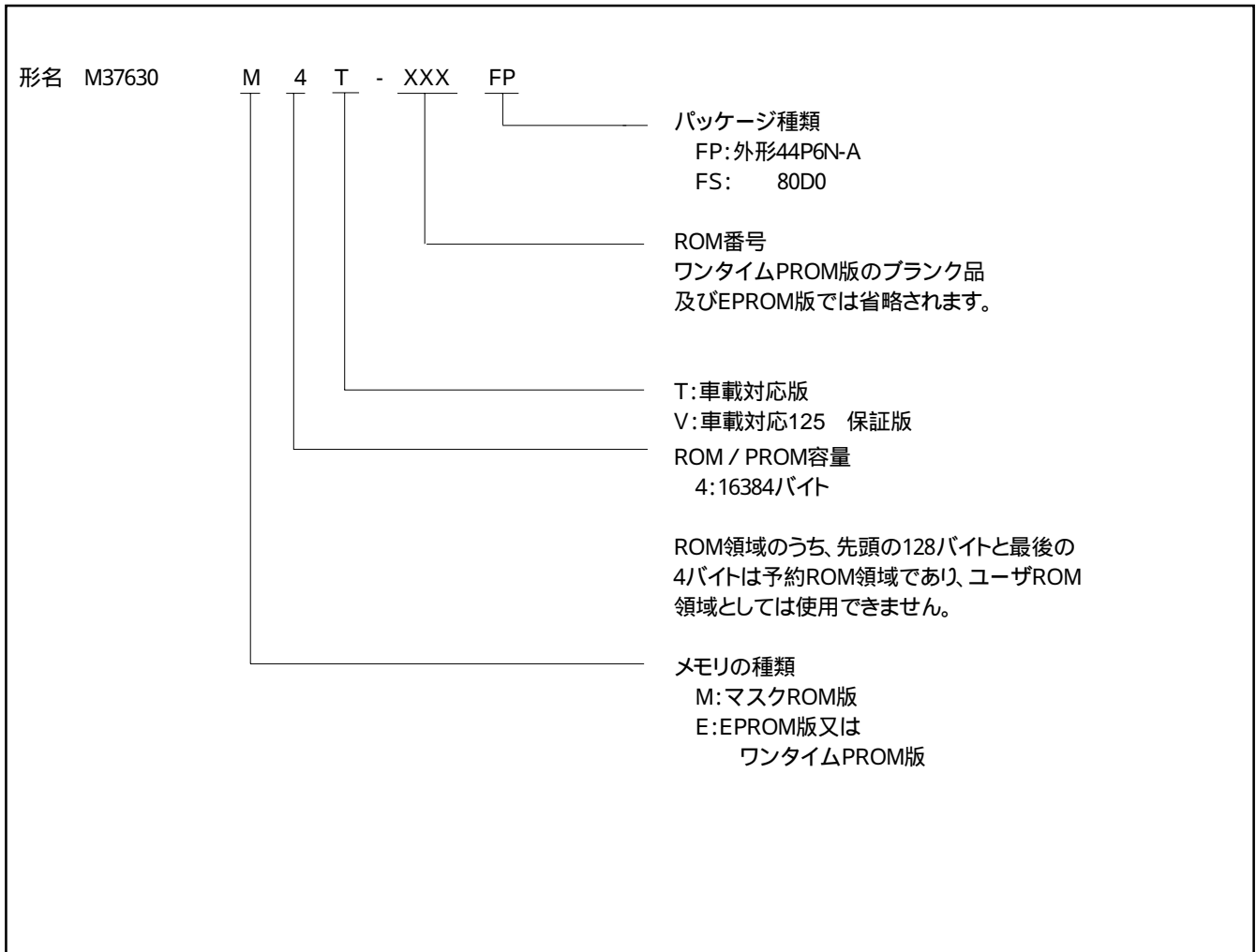


図3 形名とメモリサイズ・パッケージ

7630グループ

グループ展開

7630グループは次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、EPROM版のサポート

メモリ容量

ROM/PROM容量 16Kバイト

RAM容量 512バイト

パッケージ

44P6N-A 0.8mmピッチプラスチックモールドQFP

80D0 0.8mmピッチセラミックLCC(EPROM版)

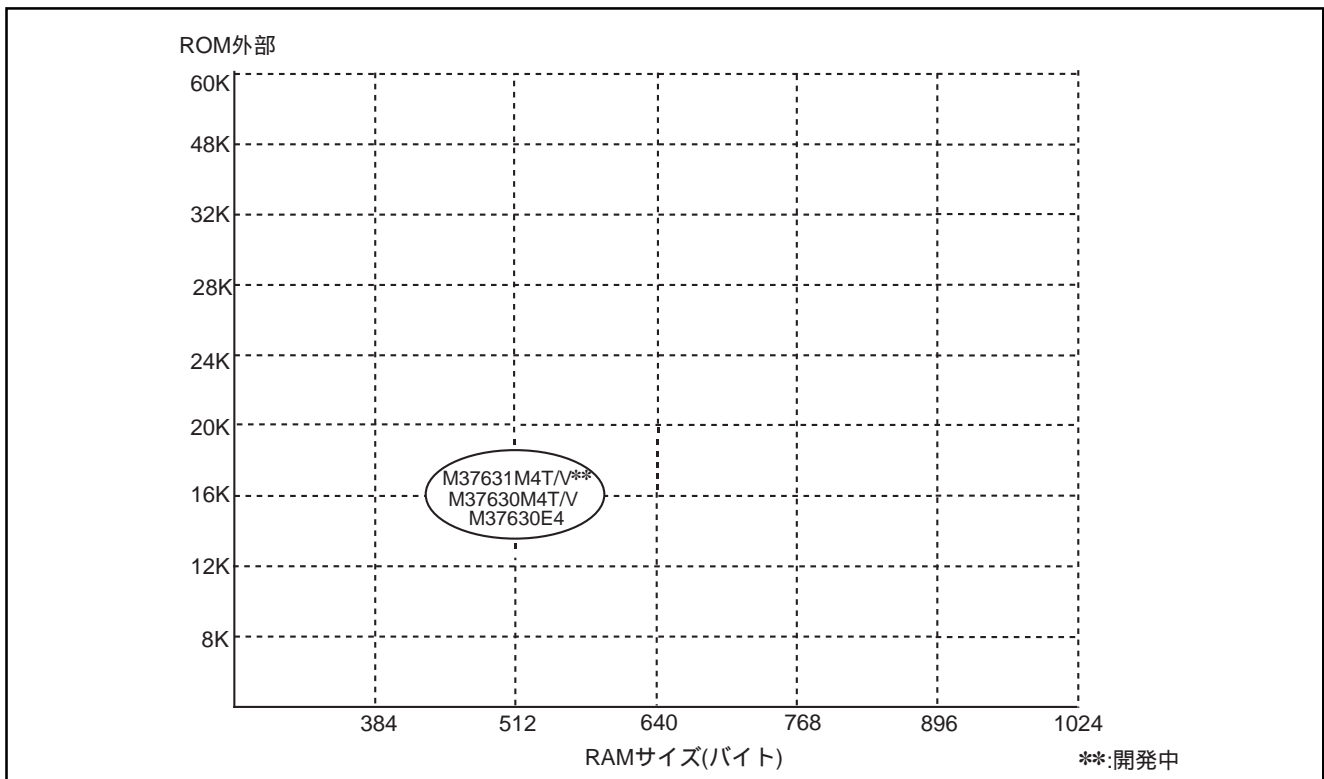


図4. メモリ展開計画

現在サポートを行っている製品は次の通りです。

表3. サポート品種のリスト

品 種	ROMサイズ(バイト) (ユーザ利用可能ROMサイズ)	RAMサイズ (バイト)	パッケージ	その他	
M37631M4T-XXXFP	16384 (16252)	512	44P6N-A	マスクROM	
M37631M4V-XXXFP				ワンタイムROM	
M37630M4T-XXXFP				ワンタイムROM(ブランク)	
M37630M4V-XXXFP				EPROM	
M37630E4T-XXXFP			80D0		
M37630E4FP					
M37630E4FS					

機能ブロック動作説明

中央処理装置(CPU)

7630グループは740ファミリの命令を使用できます。命令の動作については7600シリーズのソフトウェアマニュアルを参照して下さい。

中央処理装置(CPU)は6個のレジスタを持っています。

アキュムレータ(A)

アキュムレータは8ビットのレジスタです。演算や転送など最も使用頻度の高い汎用レジスタです。

インデックスレジスタX(X),インデックスレジスタY(Y)

二つのインデックスレジスタ(X, Y)は両方とも8ビットで構成されたレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。プロセッサステータスレジスタ内のTフラグを「1」にセットしたとき、インデックスレジスタXの値は第二オペランドのアドレスになります。

スタックポインタ(S)

スタックポインタはサブルーチン呼び出し時又は割り込み処理時に退避するレジスタ(スタック)の格納先を示す8ビットのレジスタです。サブルーチンもしくは割り込みルーチンに分岐するとき、スタック現在のアドレスデータとプロセッサステータスレジスタの内容が退避されます。

スタックアドレスの下位8ビットはスタックポインタの内容によって決定されます。スタックアドレスの上位8ビットはスタックページ選択ビットによって決定されます。もしスタックページ選択ビットが「0」の時、ゼロページ内のRAMがスタックエリアとして用いられ、スタックページ選択ビットが「1」の時、1ページ内のRAMがスタックエリアとして利用されます。

スタックページ選択ビットはCPUモードレジスタにて設定できます。スタックへの退避及び復帰動作は図6を参照して下さい。

プログラムカウンタ(PC)

プログラムカウンタはPC_HレジスタとPC_Lレジスタの計16ビットで構成されており、次の命令を実行すべきプログラムメモリのアドレスを指定します。

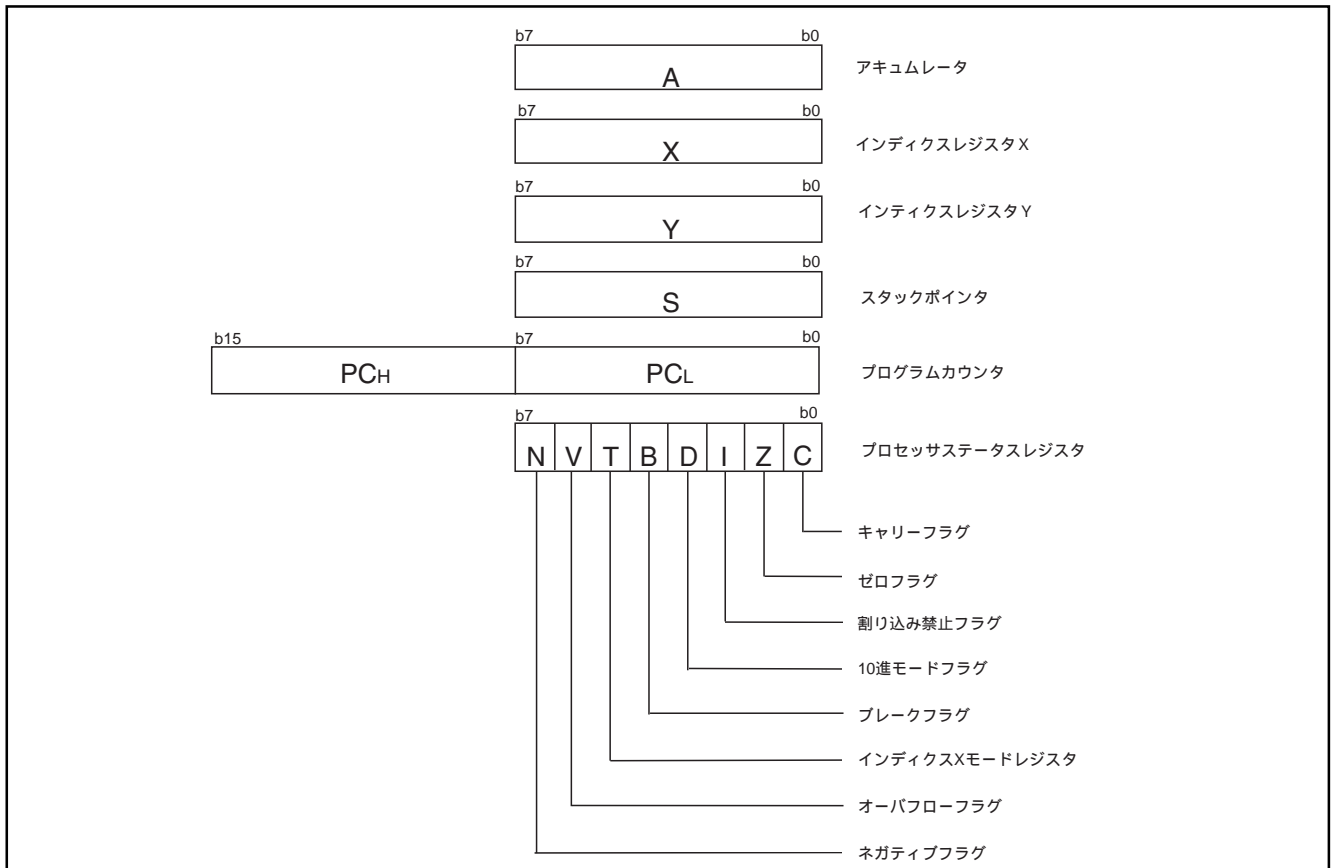


図5. 740ファミリのCPUレジスタ

プロセッサステータスレジスタ(PS)

プロセッサステータスレジスタは算術演算後に処理装置のステータスを示すフラグからなる8ビットのレジスタです。分岐操作はキャリーフラグ(C)、ゼロフラグ(Z)、オーバーフローフラグ(V)、ネガティブフラグ(N)実行できます。10進モードの時、Vフラグは無効です。

リセット後、割り込み禁止フラグ(I)は '1' にセットされますが、それ以外のフラグは不定です。プログラムの始めに初期化して下さい。

・キャリーフラグ(C)

Cフラグは算術演算後、算術論理演算方式によって直接発生するキャリーやボローを保持します。シフト命令又はローテート命令によっても変化します。

・ゼロフラグ(Z)

算術演算又は転送データの結果が '0' の時Zフラグはセットされます。また、'0' 以外の回答が出たときクリアされます。

・割り込み禁止フラグ(I)

IフラグはBRK命令及びウォッチドッグタイマ割り込みによって発生した割り込みを除いたすべての割り込みを禁止します。

Iフラグが '1' の時、割り込みは禁止されます。

・10進モードフラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。フラグが '1' の場合、1語2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進モード内で自動変換します。10進演算が行われるのはADC命令とSBC命令のみです。

・ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を '1' にして、それ以外の割り込みでは '0' にしてスタックに退避されます。

・インデックスXモードレジスタ(T)

このフラグが '0' の時は、アキュムレータとメモリの間で演算が実行されます。'1' の時は、アキュムレータを経由しないでメモリとメモリ間の直接演算ができます。

・オーバーフローフラグ(V)

このフラグは1語を符号付きの2進数として加減算するときを使用します。加減算の結果が-128～127の範囲を越える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6にこのフラグに入ります。10進モード時は無効となります。

・ネガティブフラグ(N)

演算処理又はデータ転送の結果が負の時セットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタのセット又はクリア命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セット命令	SEC	-	SEI	SED	-	SET	-	-
クリア命令	CLC	-	CLI	CLD	-	CLT	CLV	-

7630グループ

中央演算処理装置(CPU)

7630グループは7600シリーズ共通のCPUを持っています。各命令の動作については7600シリーズアドレッシングモード及び機械語命令一覧表又は7600シリーズソフトウェアマニュアルを参照してください。

また7600シリーズは、各命令の動作サイクル数が短縮されているなど、38000シリーズのアップバージョンとなっています。

【CPUモードレジスタ】

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは0000₁₆番地に配置されています。

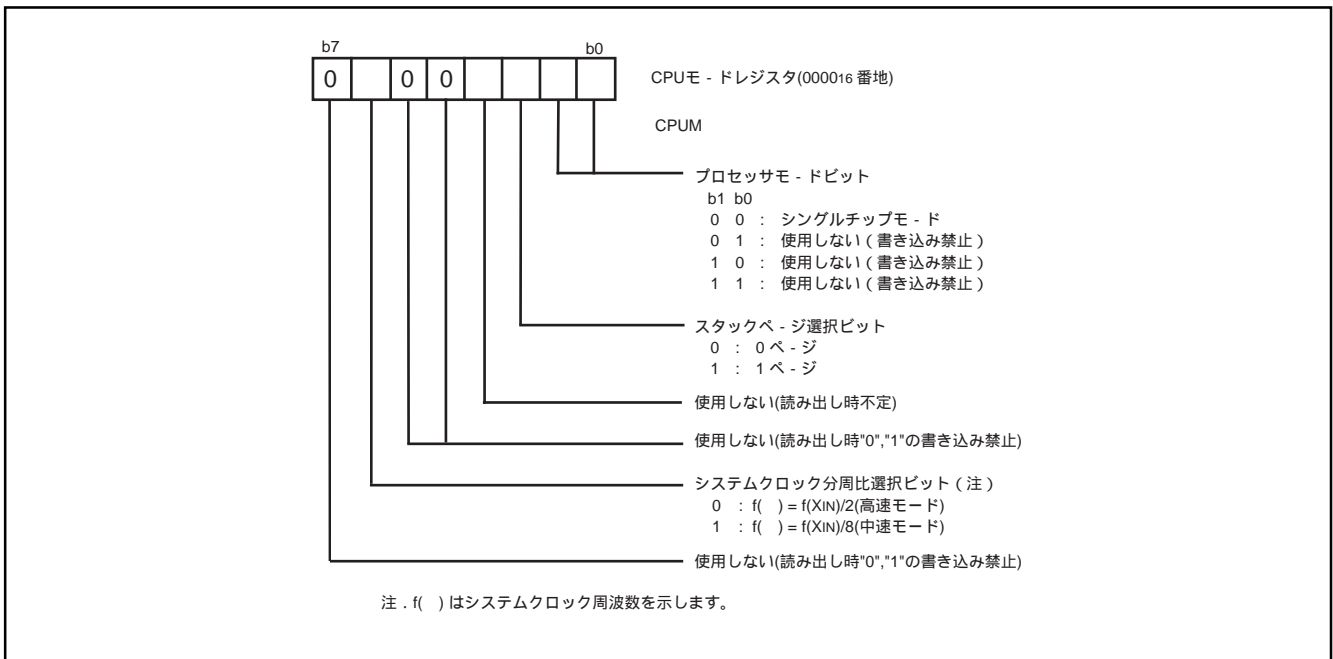


図7. CPUモードレジスタ

7630グループ

メモリ

- SFR領域
ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。
- RAM
データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。
- ROM
先頭の128バイトと最後の4バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

- 割り込みベクトル領域
リセット及び割り込みのベクトル番地格納領域です。
- ゼロページ
ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。
- スペシャルページ
スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

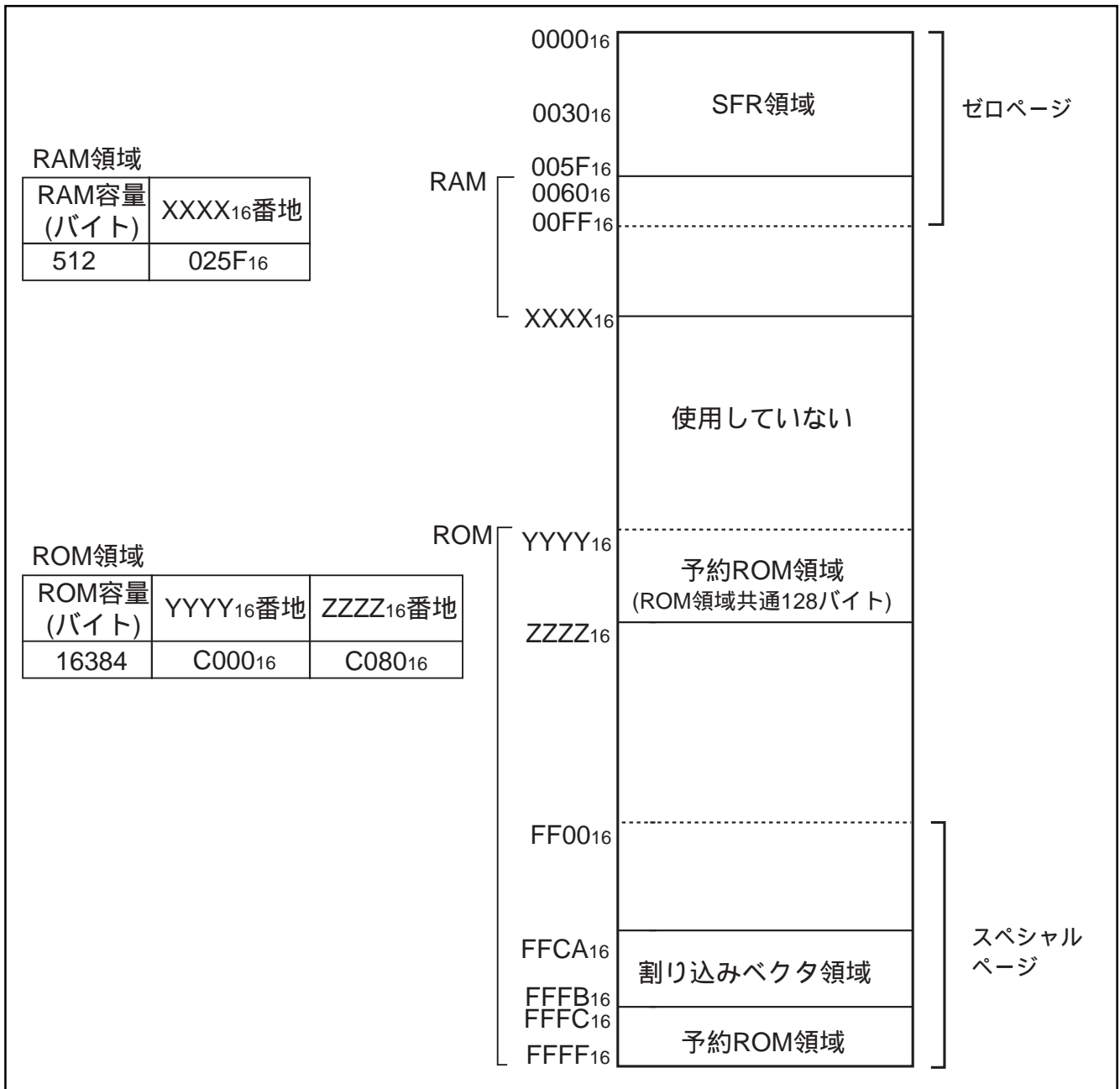


図8. メモリ配置図

0000 ¹⁶	CPUモードレジスタ(CPUM)	0030 ¹⁶	CAN送信制御レジスタ(CTRM)
0001 ¹⁶	予約	0031 ¹⁶	CANバスタイミング制御レジスタ1(CBTCON1)
0002 ¹⁶	割り込み要求レジスタA(IREQA)	0032 ¹⁶	CANバスタイミング制御レジスタ2(CBTCON2)
0003 ¹⁶	割り込み要求レジスタB(IREQB)	0033 ¹⁶	CANアクセプタンスコードレジスタ0(CAC0)
0004 ¹⁶	割り込み要求レジスタC(IREQC)	0034 ¹⁶	CANアクセプタンスコードレジスタ1(CAC1)
0005 ¹⁶	割り込み制御レジスタA(ICONA)	0035 ¹⁶	CANアクセプタンスコードレジスタ2(CAC2)
0006 ¹⁶	割り込み制御レジスタB(ICONB)	0036 ¹⁶	CANアクセプタンスコードレジスタ3(CAC3)
0007 ¹⁶	割り込み制御レジスタC(ICONC)	0037 ¹⁶	CANアクセプタンスコードレジスタ4(CAC4)
0008 ¹⁶	ポートP0(P0)	0038 ¹⁶	CANアクセプタンスマスクレジスタ0(CAM0)
0009 ¹⁶	ポートP0方向レジスタ(P0D)	0039 ¹⁶	CANアクセプタンスマスクレジスタ1(CAM1)
000A ¹⁶	ポートP1(P1)	003A ¹⁶	CANアクセプタンスマスクレジスタ2(CAM2)
000B ¹⁶	ポートP1方向レジスタ(P1D)	003B ¹⁶	CANアクセプタンスマスクレジスタ3(CAM3)
000C ¹⁶	ポートP2(P2)	003C ¹⁶	CANアクセプタンスマスクレジスタ4(CAM4)
000D ¹⁶	ポートP2方向レジスタ(P2D)	003D ¹⁶	CAN受信制御レジスタ(CREC)
000E ¹⁶	ポートP3(P3)	003E ¹⁶	CAN送信アポートレジスタ(CABORT)
000F ¹⁶	ポートP3方向レジスタ(P3D)	003F ¹⁶	予約
0010 ¹⁶	ポートP4(P4)	0040 ¹⁶	CANトランスミットバッファ0(CTB0)
0011 ¹⁶	ポートP4方向レジスタ(P4D)	0041 ¹⁶	CANトランスミットバッファ1(CTB1)
0012 ¹⁶	シリアルI/Oシフトレジスタ(SIO)	0042 ¹⁶	CANトランスミットバッファ2(CTB2)
0013 ¹⁶	シリアルI/O制御レジスタ(SIOCON)	0043 ¹⁶	CANトランスミットバッファ3(CTB3)
0014 ¹⁶	A-D変換レジスタ(AD)	0044 ¹⁶	CANトランスミットバッファ4(CTB4)
0015 ¹⁶	A-D制御レジスタ(ADCON)	0045 ¹⁶	CANトランスミットバッファ5(CTB5)
0016 ¹⁶	タイマ1(T1)	0046 ¹⁶	CANトランスミットバッファ6(CTB6)
0017 ¹⁶	タイマ2(T2)	0047 ¹⁶	CANトランスミットバッファ7(CTB7)
0018 ¹⁶	タイマ3(T3)	0048 ¹⁶	CANトランスミットバッファ8(CTB8)
0019 ¹⁶	タイマ123モードレジスタ(T123M)	0049 ¹⁶	CANトランスミットバッファ9(CTB9)
001A ¹⁶	タイマXL(TXL)	004A ¹⁶	CANトランスミットバッファA(CTBA)
001B ¹⁶	タイマXH(TXH)	004B ¹⁶	CANトランスミットバッファB(CTBB)
001C ¹⁶	タイマYL(TYL)	004C ¹⁶	CANトランスミットバッファC(CTBC)
001D ¹⁶	タイマYH(TYH)	004D ¹⁶	CANトランスミットバッファD(CTBD)
001E ¹⁶	タイマXモードレジスタ(TXM)	004E ¹⁶	予約
001F ¹⁶	タイマYモードレジスタ(TYM)	004F ¹⁶	予約
0020 ¹⁶	UARTモードレジスタ(UMOD)	0050 ¹⁶	CAN受信バッファ0(CRB0)
0021 ¹⁶	UARTポーレートジェネレータ(UBRG)	0051 ¹⁶	CAN受信バッファ1(CRB1)
0022 ¹⁶	UART制御レジスタ(UCON)	0052 ¹⁶	CAN受信バッファ2(CRB2)
0023 ¹⁶	UARTステータスレジスタ(USTS)	0053 ¹⁶	CAN受信バッファ3(CRB3)
0024 ¹⁶	UART送信バッファレジスタ1(UTBR1)	0054 ¹⁶	CAN受信バッファ4(CRB4)
0025 ¹⁶	UART送信バッファレジスタ2(UTBR2)	0055 ¹⁶	CAN受信バッファ5(CRB5)
0026 ¹⁶	UART受信バッファレジスタ1(URBR1)	0056 ¹⁶	CAN受信バッファ6(CRB6)
0027 ¹⁶	UART受信バッファレジスタ2(URBR2)	0057 ¹⁶	CAN受信バッファ7(CRB7)
0028 ¹⁶	ポートP0プルアップ制御レジスタ(PUP0)	0058 ¹⁶	CAN受信バッファ8(CRB8)
0029 ¹⁶	ポートP1プルアップ制御レジスタ(PUP1)	0059 ¹⁶	CAN受信バッファ9(CRB9)
002A ¹⁶	ポートP2プルアップ制御レジスタ(PUP2)	005A ¹⁶	CAN受信バッファA(CRBA)
002B ¹⁶	ポートP3プルアップ/ダウン制御レジスタ(PUP3)	005B ¹⁶	CAN受信バッファB(CRBB)
002C ¹⁶	ポートP4プルアップ/ダウン制御レジスタ(PUP4)	005C ¹⁶	CAN受信バッファC(CRBC)
002D ¹⁶	割り込み極性選択レジスタ(IPOL)	005D ¹⁶	CAN受信バッファD(CRBD)
002E ¹⁶	ウォッチドッグタイマレジスタ(WDT)	005E ¹⁶	予約
002F ¹⁶	極性制御レジスタ(PCON)	005F ¹⁶	予約

図9. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを"1"にセットするとその端子は出力ポートになります。"0"にクリアすると入力ポートになります。出力ポートに設定されている端子から読み込んだ場合は、端

子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。図10～13を参照して下さい。

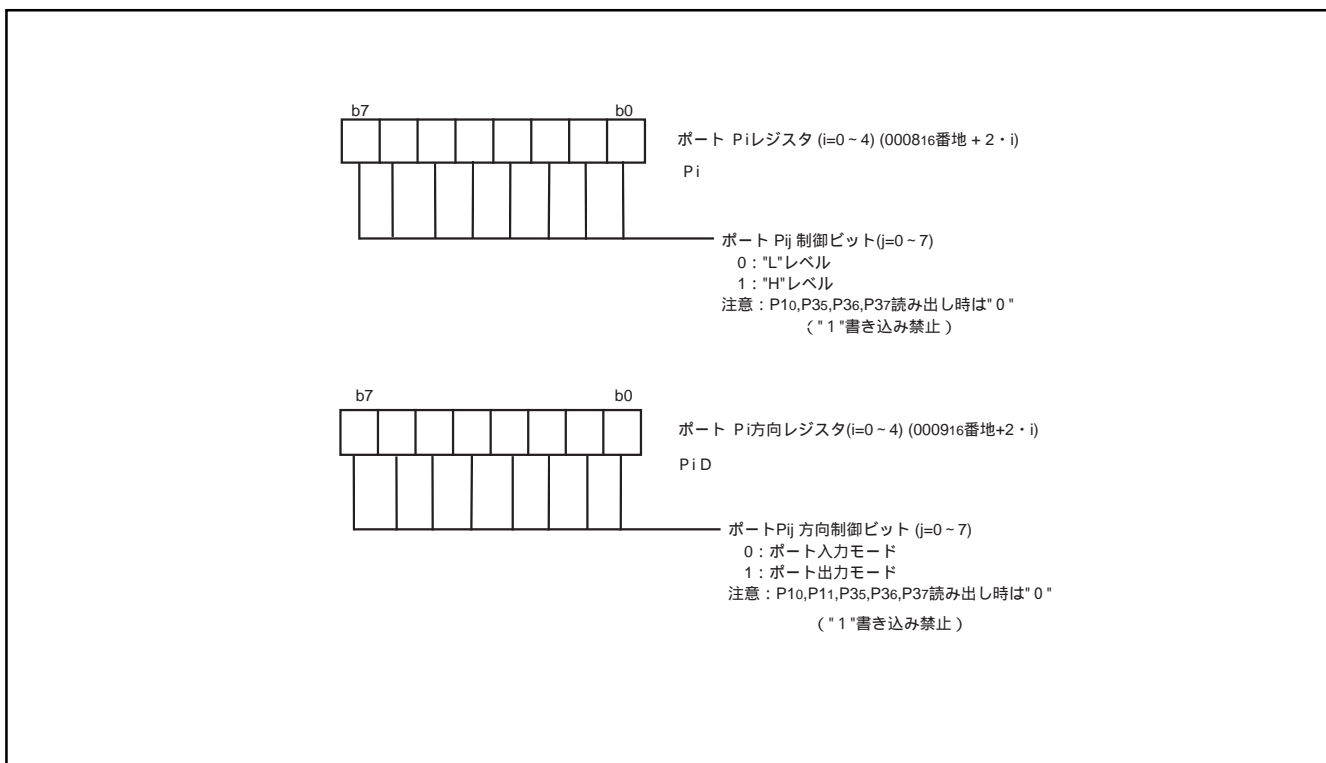


図10. ポート入出力関連レジスタ

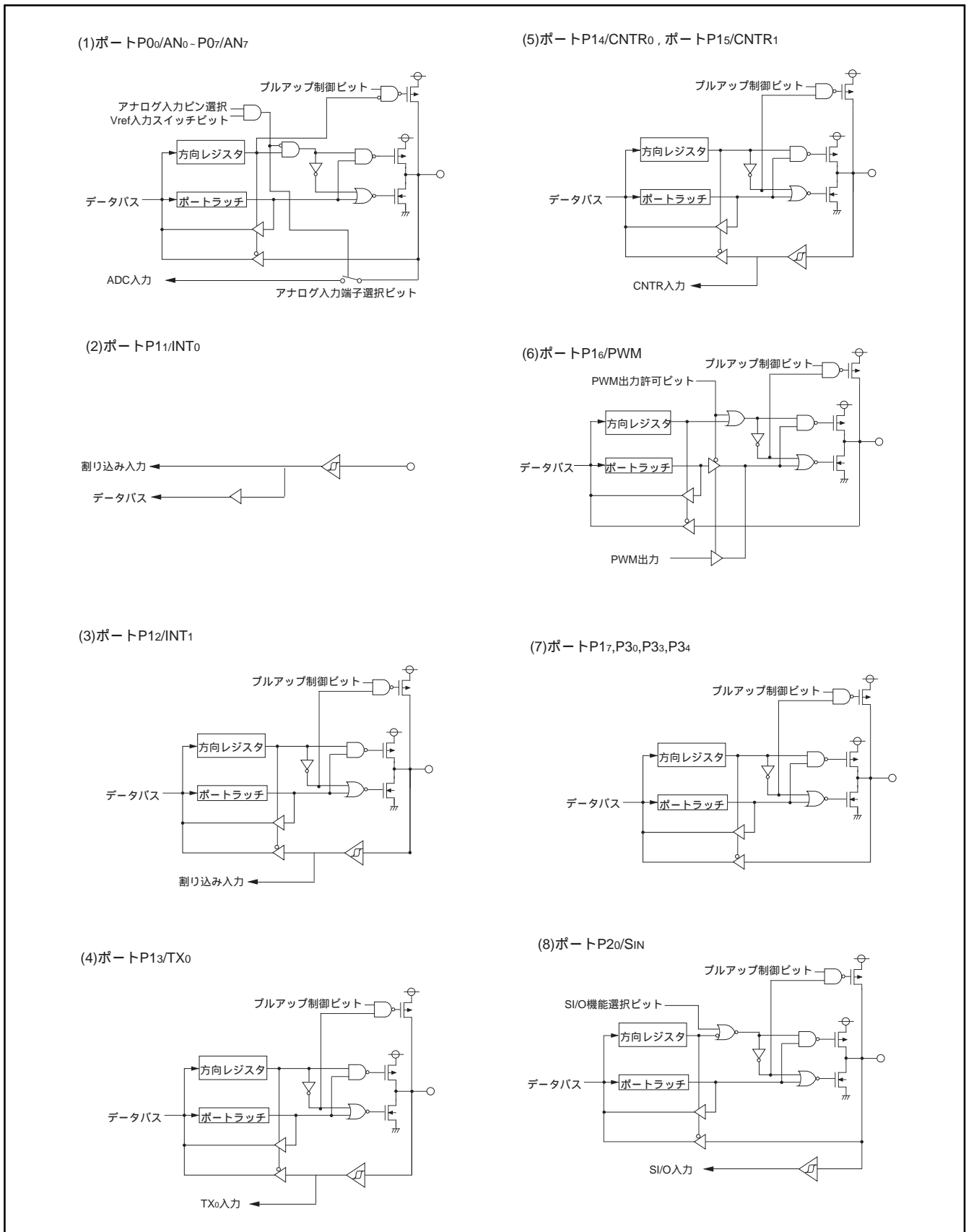


図11. ポートのブロック図(1)

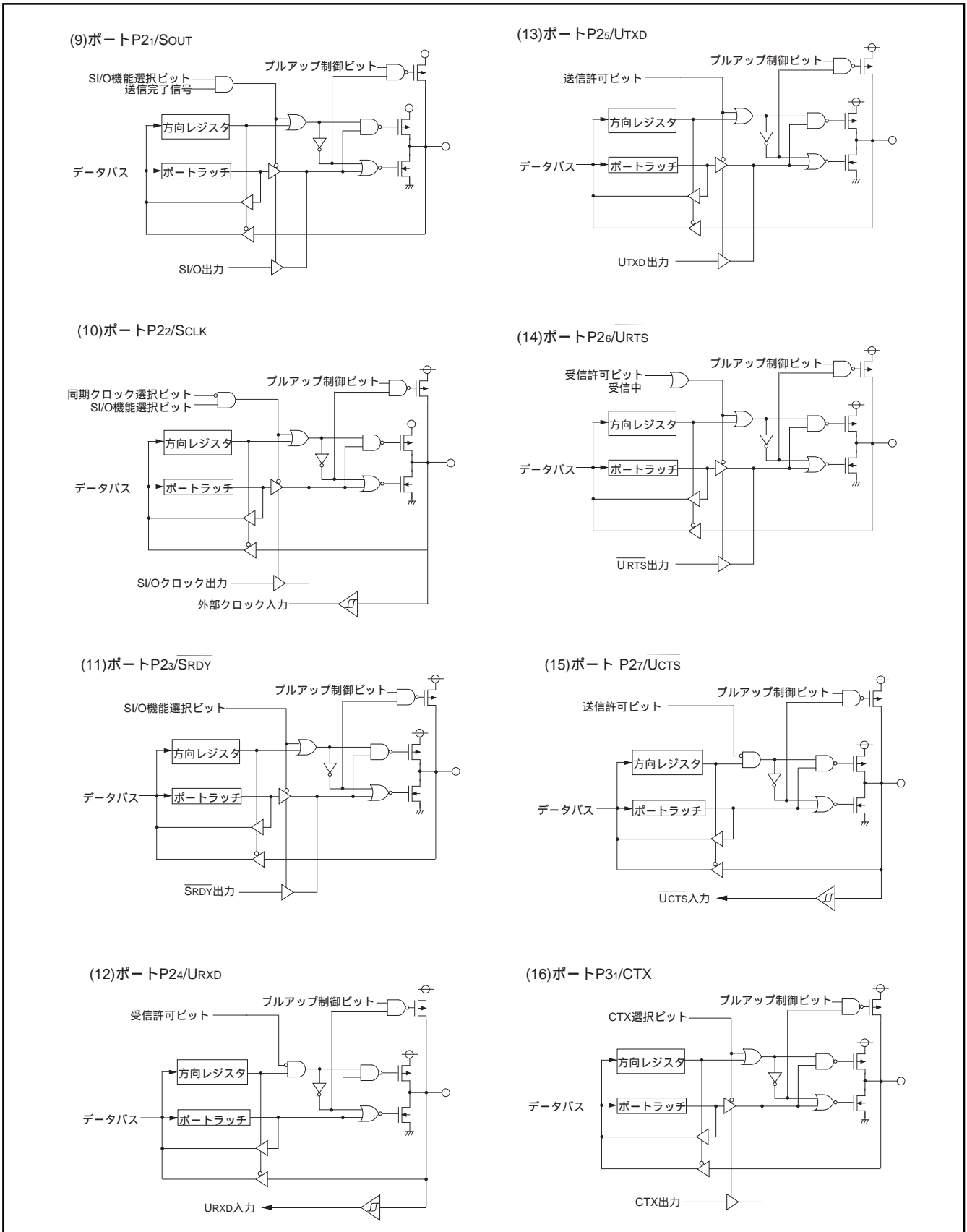


図12. ポートのブロック図(2)

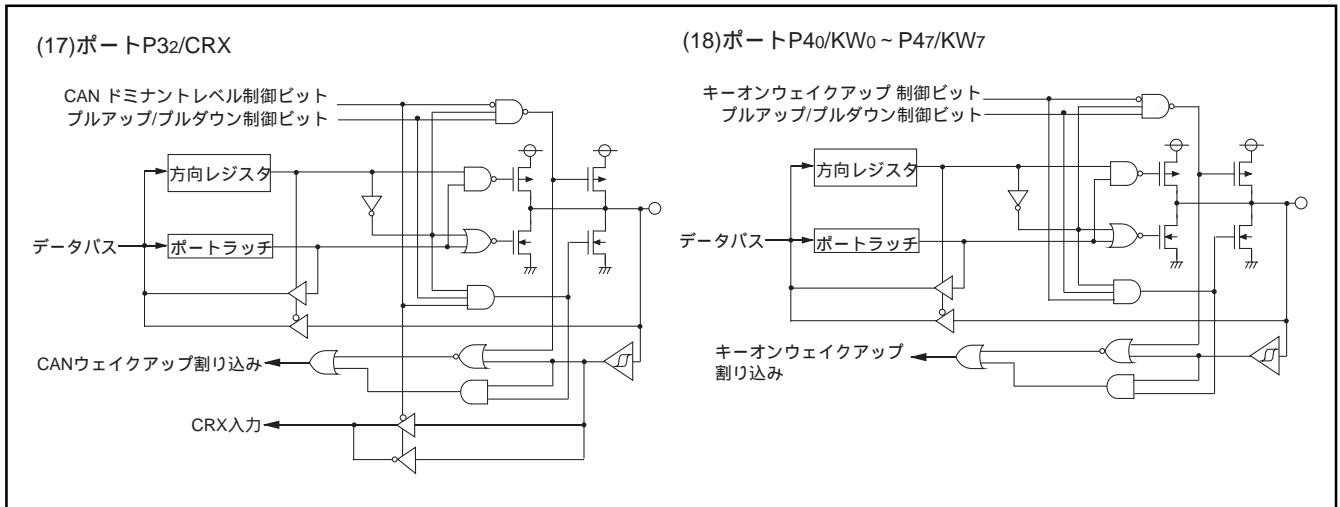


図13. ポートのブロック図(3)

ポートプルアップ / プルダウンの機能

ポートP0からP4の各ピン(P1₁を除く)はプログラム可能なプルアップレジスタを装備しています。P32/CRXおよびP40/KW0からP47/KW7は、プログラム可能なプルダウントラジスタを同様に装備しています。P0からP4のプルアップ機

能は対応するポートプルアップコントロールレジスタによりコントロールすることができます(図14を参照)。

ポートP32とP4のプルアップ / ダウン機能は、極性制御レジスタ(図15を参照)に対応するポートプルアップ / ダウンレジスタをコントロールすることができます。

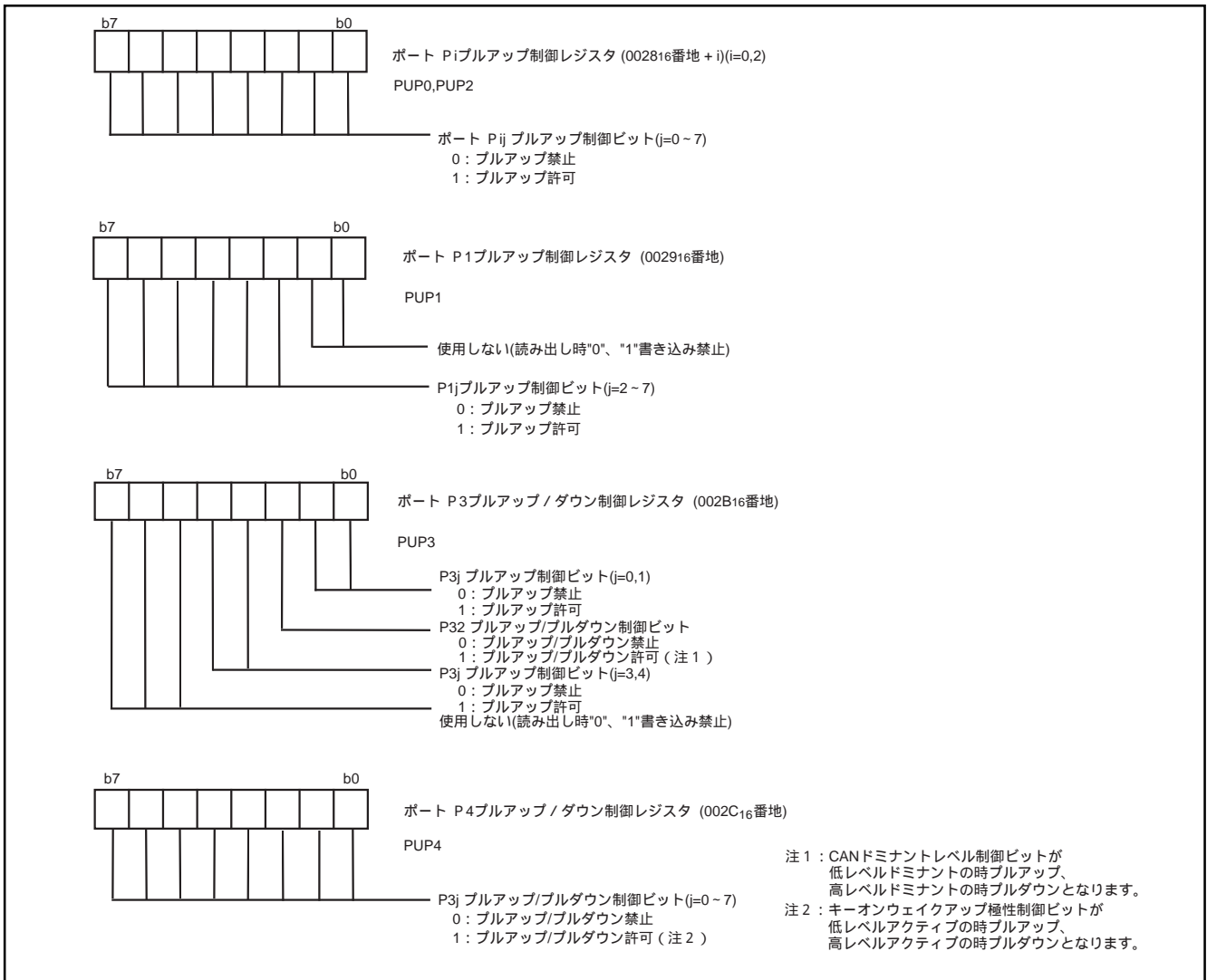


図14. ポートプルアップ / プルダウン制御レジスタ

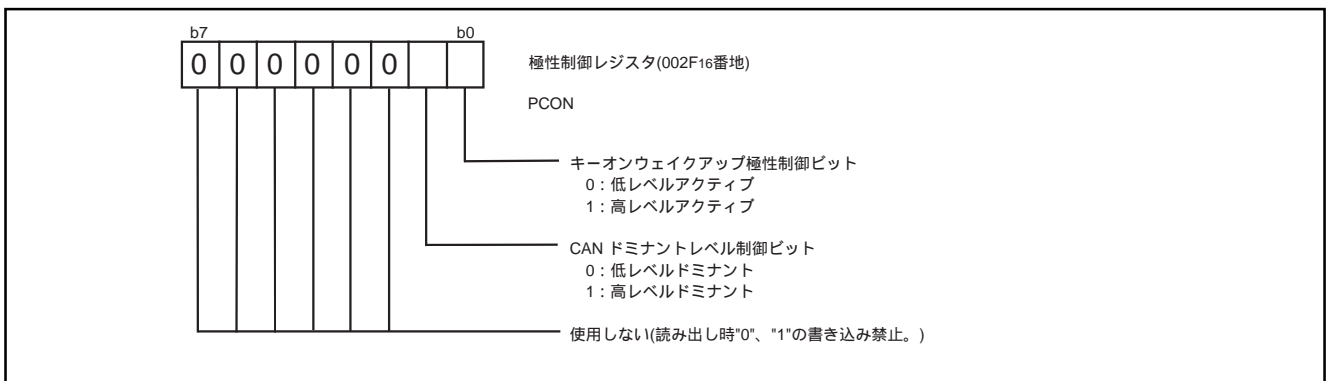


図15. 極性制御レジスタ

割り込み

割り込みはベクトル割込で、外部6要因、内部17要因、ソフトウェア1要因の24要因から発生することが可能です。

●割り込み制御

ノンマスクابل割り込み(RESET, ウォッチドックタイマ, BRK命令)を除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが"1"でかつ割り込み禁止フラグが"0"のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセット、ウォッチドッグタイマ割り込みとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

●割り込み動作

割り込みを受け付けると、

- 1 実行中の処理は中断します。
- 2 プログラムカウンタとプロセッサステータスレジスタがスタック領域に退避されます。
- 3 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
- 4 割り込み飛び先番地がプログラムカウンタに入ります。

●注意事項

次の場合、割り込み要求ビットが"1"になる場合があります。

・外部割り込みのアクティブエッジを設定する際

対象レジスタ: 割り込み極性選択レジスタ(002D16番地)
極性制御レジスタ(002F16番地)
タイマXモードレジスタ(001E16番地)
タイマYモードレジスタ(001F16番地)

これらの設定に同期した割り込みが不要な場合は、以下の手順で設定して下さい。

- 1 該当する割り込み許可ビットを"0" (禁止)にする。
- 2 該当する極性を設定する。
- 3 .一命令をおいてから、該当する割り込み要求ビットを"0"にする。
- 4 該当する割り込み許可ビットを"1" (許可)にする。

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
RESET(注2)	1	FFFB ₁₆	FFFA ₁₆	リセット時	ノンマスクابل
ウォッチドッグタイマ	2	FFF9 ₁₆	FFF8 ₁₆	ウォッチドッグタイマのアンダーフロー時	ノンマスクابل
INT ₀	3	FFF7 ₁₆	FFF6 ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁	4	FFF5 ₁₆	FFF4 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CAN送信完了	5	FFF3 ₁₆	FFF2 ₁₆	CAN送信完了時	CAN選択時のみ有効
CAN受信完了	6	FFF1 ₁₆	FFF0 ₁₆	CAN受信完了時	CAN選択時のみ有効
CANオーバーラン	7	FFEF ₁₆	FFEE ₁₆	CANオーバーラン受信時	CAN選択時のみ有効
CANエラーパッシブ	8	FFED ₁₆	FFEC ₁₆	CANエラーパッシブモード移行時	CAN選択時のみ有効
CANバスオフ	9	FFE _B ₁₆	FFE _A ₁₆	CANバスオフモード移行時	CAN選択時のみ有効
CANウェイクアップ	10	FFE9 ₁₆	FFE8 ₁₆	CANウェイクアップ移行時	外部割り込み (極性プログラマブル)
タイマX	11	FFE7 ₁₆	FFE6 ₁₆	タイマXアンダーフロー又はオーバーフロー時	
タイマY	12	FFE5 ₁₆	FFE4 ₁₆	タイマYアンダーフロー時	
タイマ1	13	FFE3 ₁₆	FFE2 ₁₆	タイマ1アンダーフロー時	
タイマ2	14	FFE1 ₁₆	FFE0 ₁₆	タイマ2アンダーフロー時	
タイマ3	15	FFDF ₁₆	FFDE ₁₆	タイマ3アンダーフロー時	
CNTR ₀	16	FFDD ₁₆	FFDC ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₁	17	FFDB ₁₆	FFDA ₁₆	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
UART受信	18	FFD9 ₁₆	FFD8 ₁₆	UART受信完了(バッファレジスタフル)時	UART選択時のみ有効
UART送信	19	FFD7 ₁₆	FFD6 ₁₆	UART送信完了(シフトレジスタエンプティ)時	UART選択時のみ有効
UART送信バッファ	20	FFD5 ₁₆	FFD4 ₁₆	UART送信バッファレジスタエンプティ時	UART選択時のみ有効
UART受信エラー	21	FFD3 ₁₆	FFD2 ₁₆	UART受信エラー時	UART選択時のみ有効
シリアルI/O	22	FFD1 ₁₆	FFD0 ₁₆	シリアルI/Oデータ送受信完了時	シリアルI/O選択時のみ有効
A-D変換	23	FFCF ₁₆	FFCE ₁₆	A-D変換終了時	
キー入力 (キーオンウェイクアップ)	24	FFCD ₁₆	FFCC ₁₆	ポートP40～P47(入力時)の入力論理レベルの論理積の立ち上がり又は立ち下がり時	外部割り込み (極性プログラマブル)
BRK命令	25	FFCB ₁₆	FFCA ₁₆	BRK命令実行時	ノンマスクابل ソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

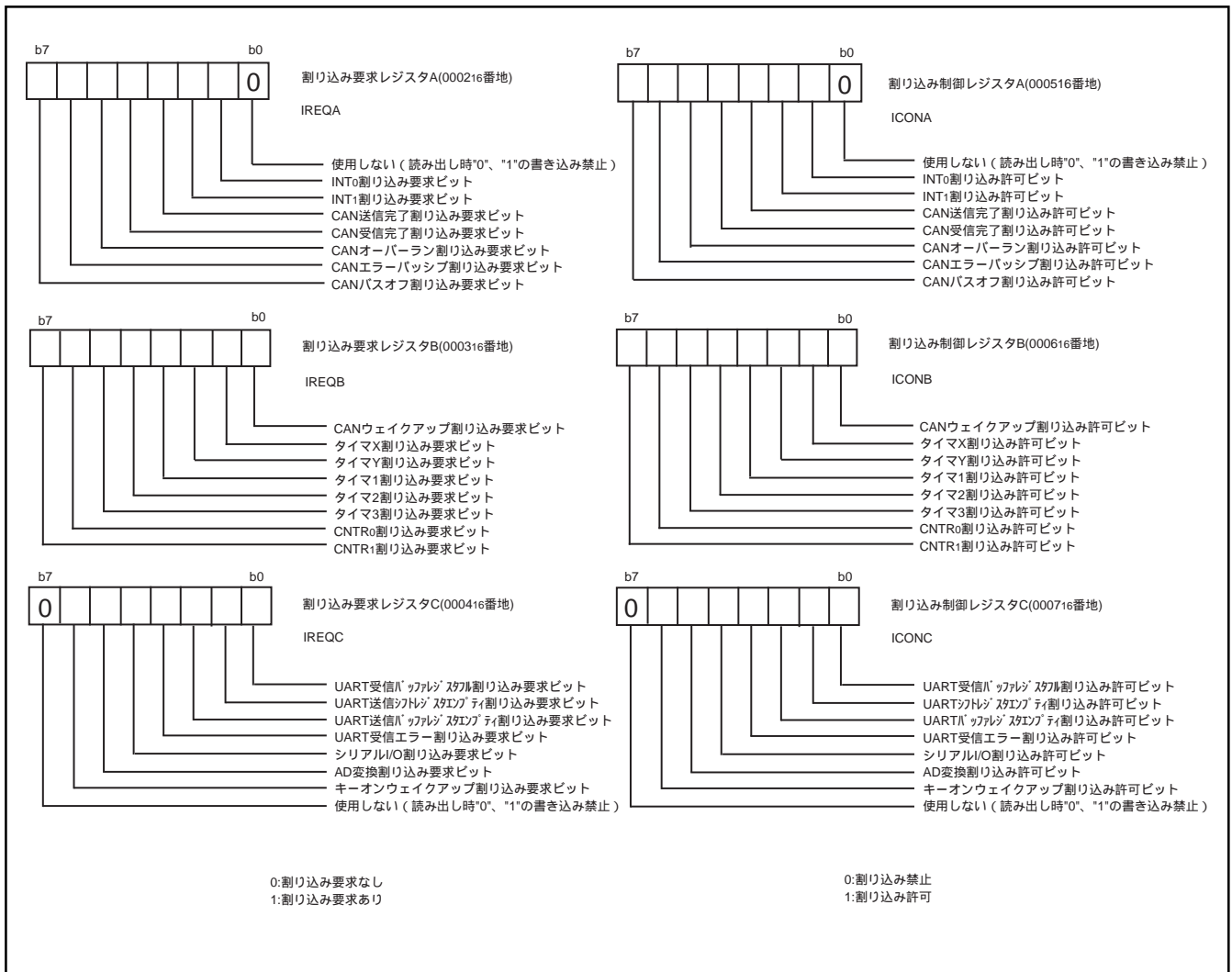


図16. 割り込み関連レジスタ

外部割り込みINT₀およびINT₁の割り込み要求を引き起こす極性エッジについては、INT₀およびINT₁割り込みの割り込み極性選択レジスタ (IPOL)のエッジ選択ビットによって選択することができます。図17を参照してください。

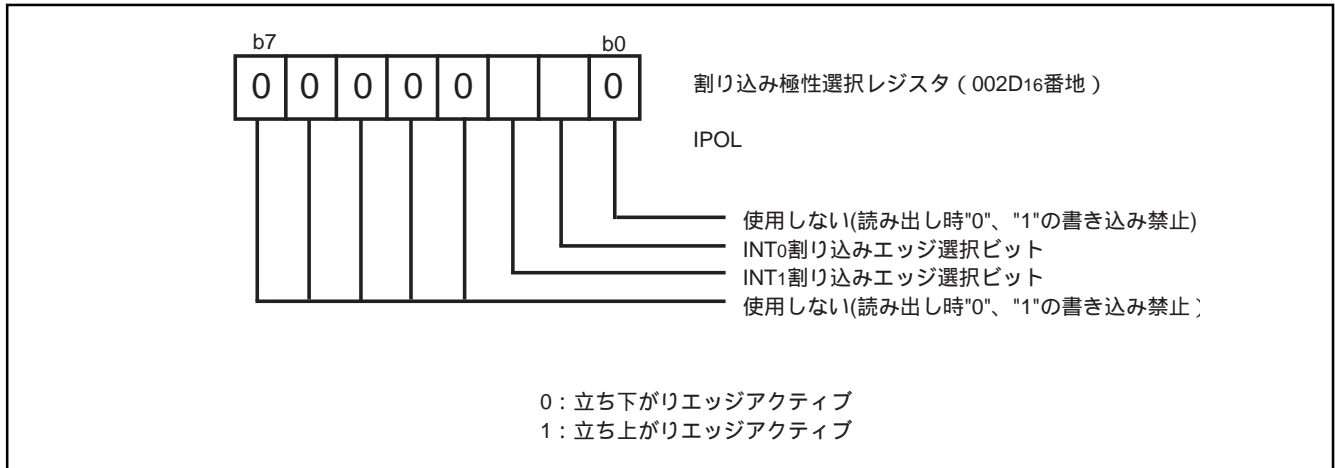


図17. 割り込み極性選択レジスタ

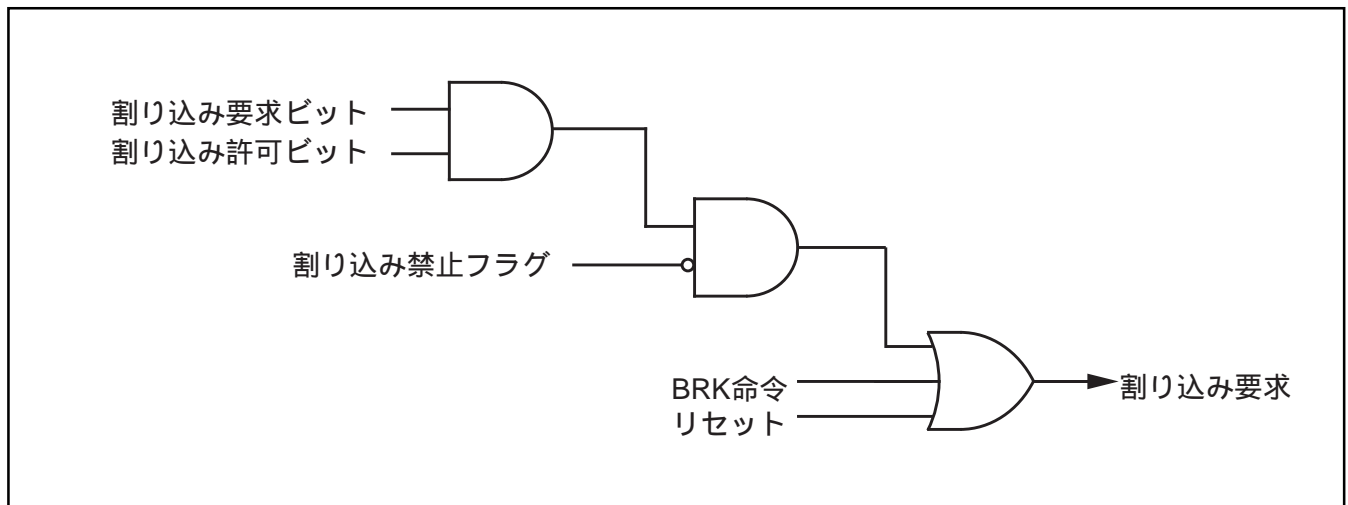


図18. 割り込み制御図

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、キーオンウェイクアップ極性制御ビットが“L”レベル有効の時、ポートP4のうち入力に設定され、かつプルアップ/プルダウン許可されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が発生します。図19はキー入力割り込みを用いた一例で、ポートP4₀～P4₇を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

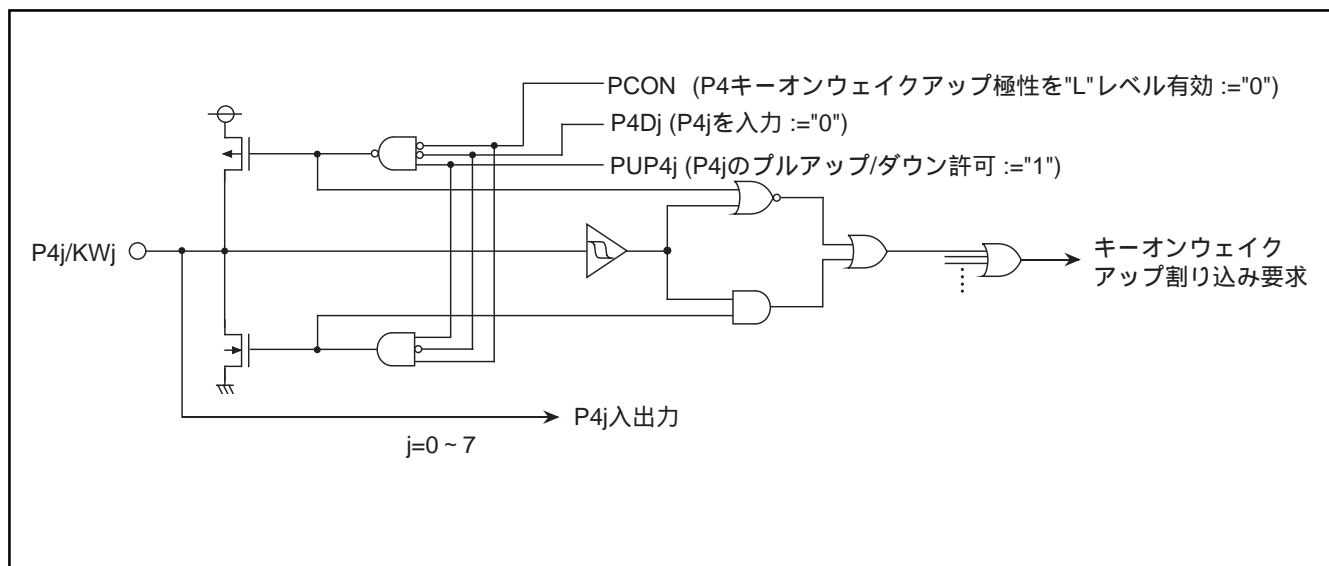


図19. キー入力割り込みブロック図

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマは二相パルス処理モードを除いてカウントダウン方式で、タイマの内容が0になった次のカウントパルスでアンダーフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダーフローすると各タイマに対応する割り込み要求ビットが1にセットされます。

16ビットタイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。16ビットタイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、16ビットタイマは、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

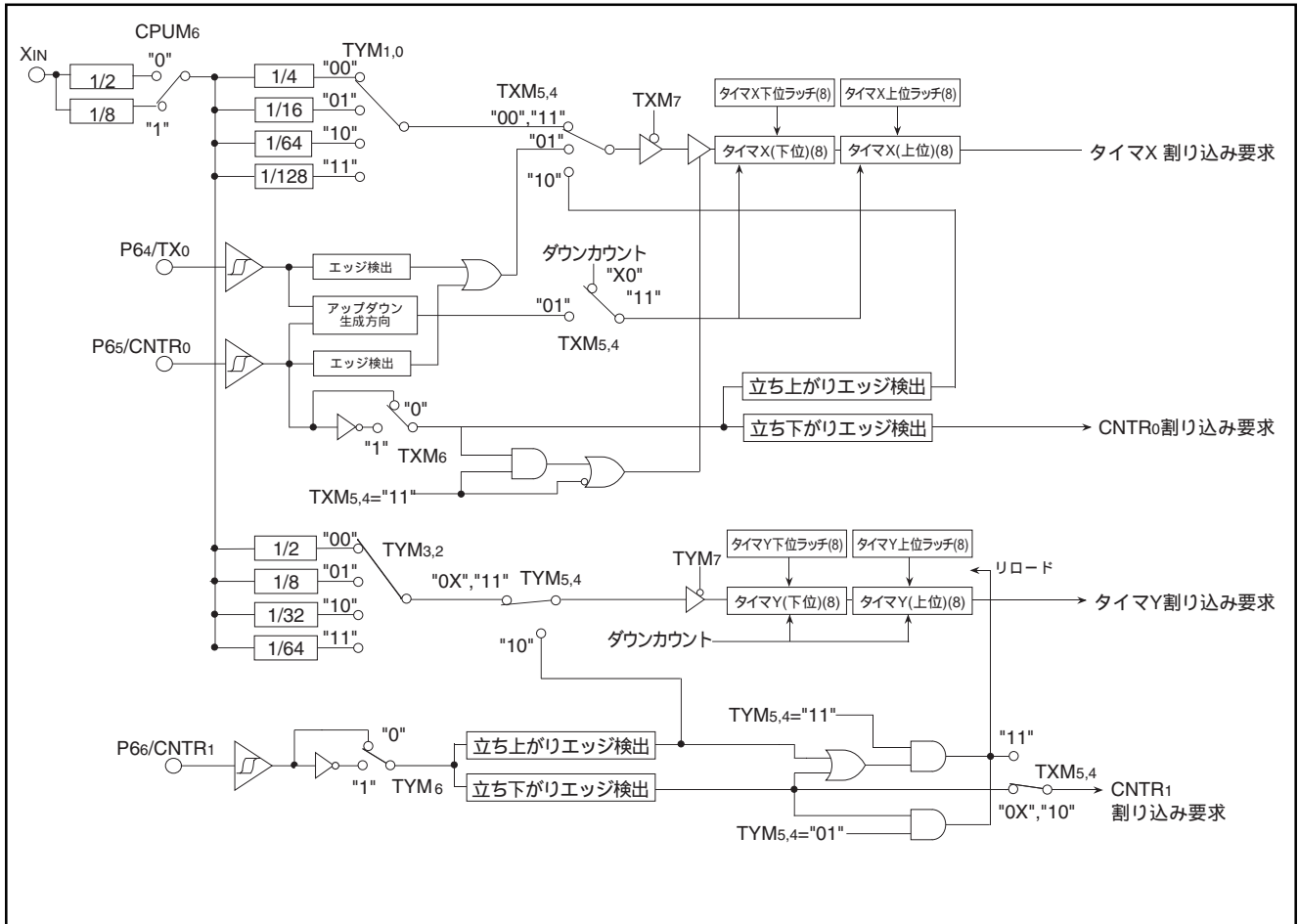


図20. タイマXYブロック図

●タイマX

タイマXは16ビットタイマであり、タイマXモードレジスタにより4つの動作モードを選択することができます。また、タイマX書き込み制御ができます。

●タイマX書き込み制御

ラッチにのみ書き込む場合、タイマXレジスタに値を書き込むとタイマXラッチに値が設定され、タイマXは次のアンダーフローで更新されます。

通常はラッチおよびタイマ同時書き込みになっており、タイマXレジスタに値を書き込むとタイマXとタイマXラッチの両方に同時に値が設定されます。

なお、ラッチにのみ書き込む場合、タイマX上位ラッチに書き込むタイミングとアンダーフローのタイミングがほぼ同時のときにはタイマX(上位)に望ましくない値が設定されることがあります。

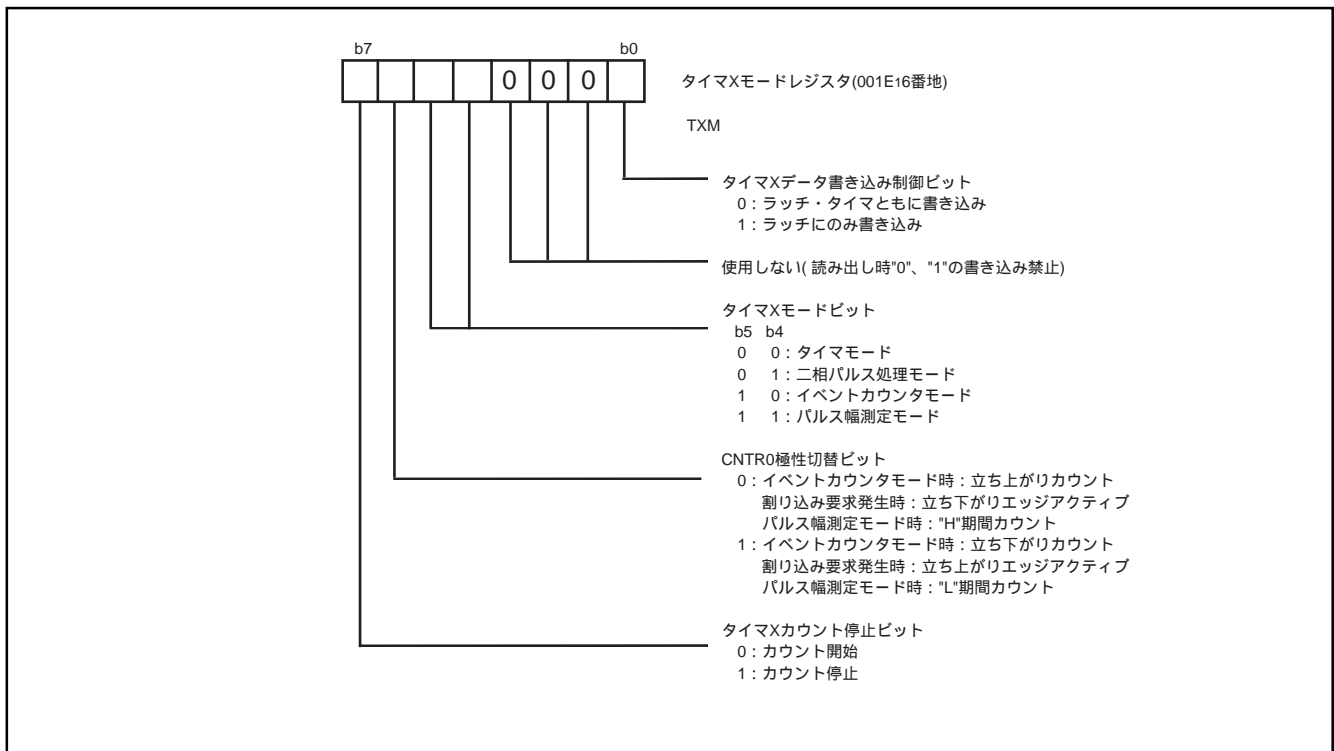


図21. タイマXモードレジスタ

(1) タイマモード

タイマXのカウントソースは後述のタイマYモードレジスタのタイマXカウントソース選択ビット(001F16番地)によりシステムクロックの4分周、16分周、64分周、128分周したものより選択できます。

タイマXはカウントダウン方式のタイマとして動作します。タイマXがアンダーフローすると、タイマX割り込み要求ビットが"1"にセットされ、タイマXラッチの値がタイマXにリロードされ、カウントし続けます。

(2) 二相パルス処理モード

カウントソースはP13/TX0とP14/CNTR0端子からの入力信号になります。タイマは両入力信号の組み合わせにより、ダウンカウント/アップカウントタイマとして動作しています。

カウント方式の選択と動作についてはタイミングチャートを参照してください。

この時P13/TX0およびP14/CNTR0入力ポートに設定されている必要があります。

(3) イベントカウンタモード

カウントソースがP14/CNTR0端子のダウンカウントタイマとして作動します。

カウントの極性はタイマXモードレジスタのCNTR0極性切り替えビット(001E16番地)にて切り替えができます。この他はタイマモードと同じ動作をします。

この時、P14/CNTR0は入力ポートに設定されている必要があります。

(4) パルス幅測定モード

カウントソースは、タイマモードと同じです。タイマXはP14/CNTR0の入カレベルがCNTR0極性切り替えビット(001E16番地)で選択された極性と一致している間ダウンカウントします。この他は、タイマモードと同じ動作をします。この時P14/CNTR0は入力ポートに設定されている必要があります。

なお、CNTR0極性切り替えビット(001E16番地)の設定はCNTR0割り込み極性も影響を受けます。イベントカウンタおよびパルス幅測定モード使用中にCNTR0極性の設定を変更すると誤ってカウントする場合があります。後述のCNTR1極性切り替えビット(001F16番地)も同様です。

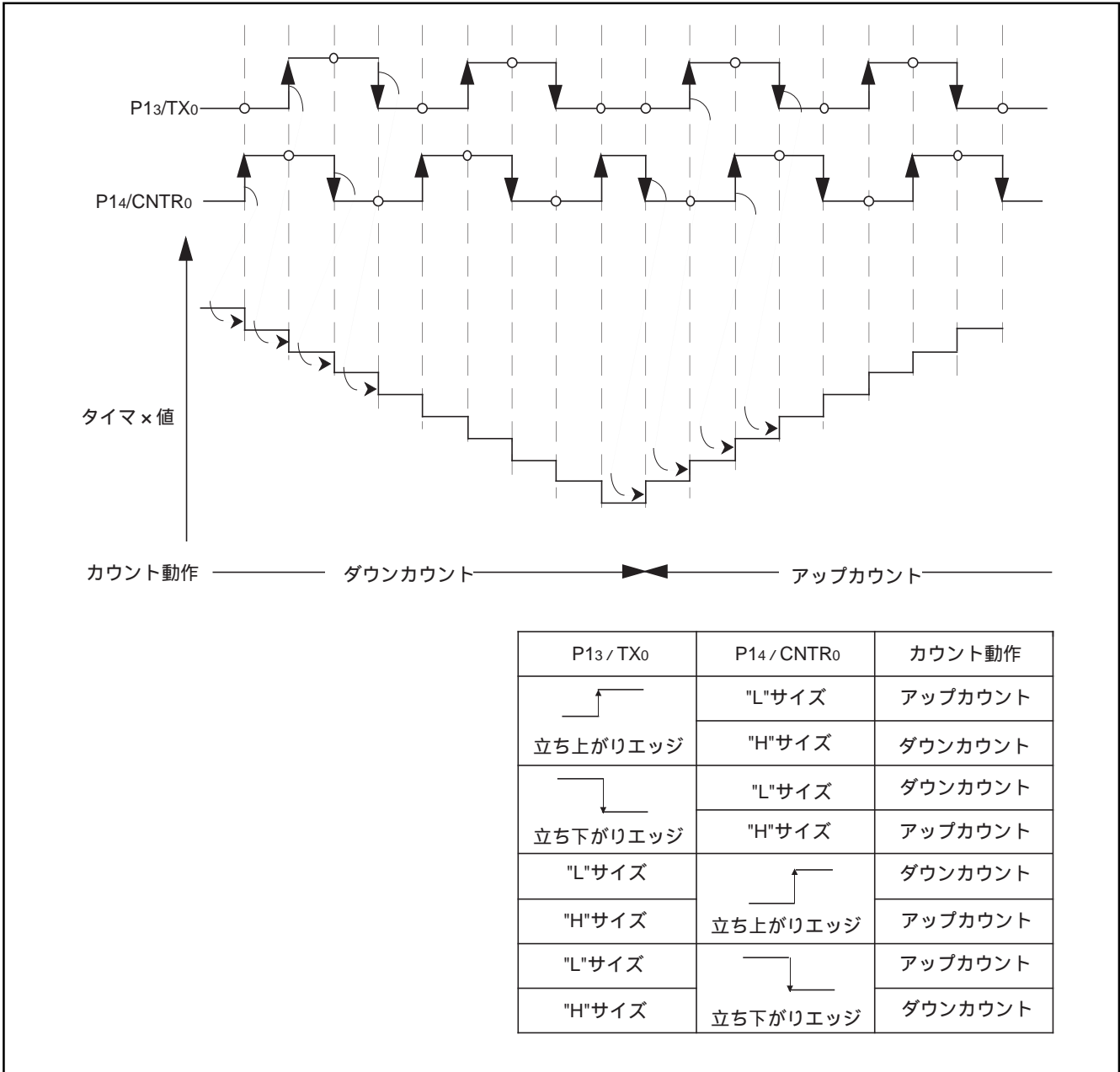


図22. タイマX二相パルス処理モード時のタイミングチャート

●タイマY

タイマYは16ビットタイマであり、タイマYモードレジスタにより4つの動作モードを選択することができます。データ書き込みは、ラッチ及びタイマ同時書き込みになっており、タイマYレジスタに値を書き込むとタイマとタイマラッチの両方に同時に値が設定されます。

(1) タイマモード

タイマYのカウントソースはタイマYモードレジスタのタイマYカウントソース選択ビット(001F16番地)によりシステムクロックの2分周、8分周、32分周、64分周したものより選択できます。

タイマYはカウントダウン方式のタイマとして動作します。タイマYアンダーフローすると、タイマY割り込み要求ビットが"1"にセットされ、タイマYラッチの値がタイマYにリロードされ、カウントし続けます。

(2) パルス周期測定モード

カウントソースはタイマモードと同じです。CNTR1端子入力の立ち上がり/立ち下がりにてCNTR1割り込み要求が"1"にセットされ、タイマラッチの値がタイマYにリロードされ、再びカウントを続けます。この他は、タイマモードと同じ動作をします。この時P15/CNTR1が入力ポートに設定されている必要があります。

CNTR1端子入力の立ち上がり/立ち下がり時のリロード直前のタイマ値はリロード後一度読み出されるまで保持されます。なお、CNTR1端子入力の立ち上がり/立ち下がりタイミングはCNTR1割り込みで知ることができます。パルス周期の極性はCNTR1極性切り替えビット(001F16番地)で設定できます。

(3) イベントカウンタモード

カウントソースがP15 / CNTR1端子入力であり、ダウンカウンタタイマとして作動します。

カウントの極性はタイマYモードレジスタのCNTR1極性切り替えビット(001F16番地)にて切り替えができます。この他はタイマモードと同じ動作をします。

この時、P15 / CNTR1は入力ポートに設定されている必要があります。

(4) パルス幅HL連続測定モード

カウントソースはタイマモードと同じです。CNTR1端子入力の立ち上がり、立ち下がりともに割り込み要求が発生することを除けば、タイマYの周期測定モードと同じ動作をします。この時P15/CNTR1が入力ポートに設定されている必要があります。

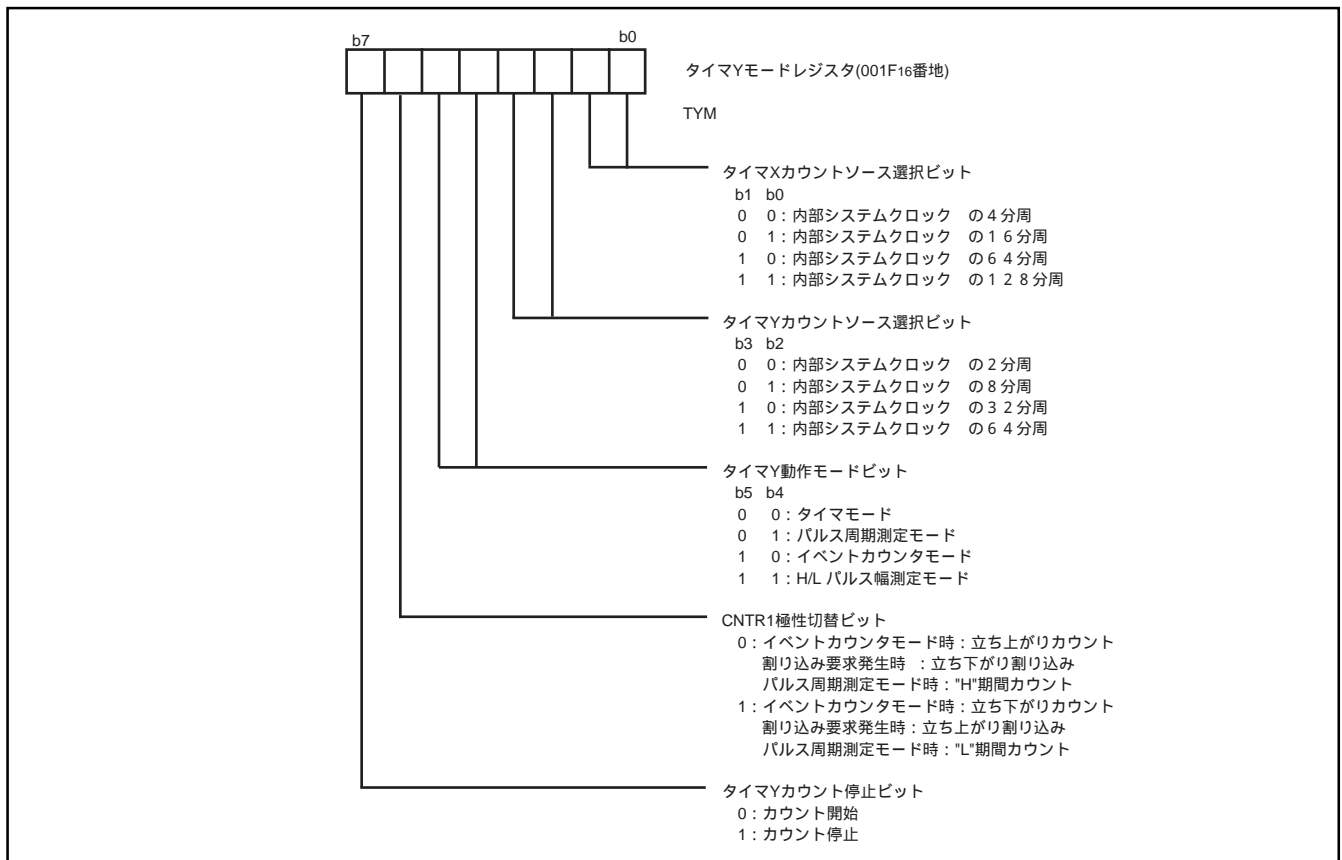


図23. タイマYモードレジスタ

タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマでタイマ123モードレジスタ(0019₁₆番地)により、カウントソースの選択などできます。

なお、カウントソースを切り替えるときにはタイマラッチの値は変化しませんが、タイマの値が不正になる場合がありますので再設定してください。

●タイマ1

タイマ1のカウントソースは、タイマ123モードレジスタ(0019₁₆番地)により、システムクロックの1分周、8分周、32分周、128分周から選択できます。タイマ1はカウントダウンタイマとして動作し、アンダーフローが発生するとタイマ1割り込み要求が"1"にセットされます。この時タイマラッチの値がタイマにリロードされ、カウントダウンを続けます。

●タイマ2

タイマ2はタイマ123モードレジスタ(0019₁₆番地)の設定によって、カウントソースとしてタイマ1のアンダーフロー出力またはシステムクロックの分周回路出力を選択できます。その他の動作はタイマ1と同じです。

また、タイマ2データ書き込み制御ビット(0019₁₆番地)でタイマ2ラッチのみへの書き込みまたはタイマ2ラッチおよびタイマ2への書き込みを選択できます。

●タイマ3

タイマ3はデータ書き込み制御できない事を除いてタイマ2と同じ動作をします。

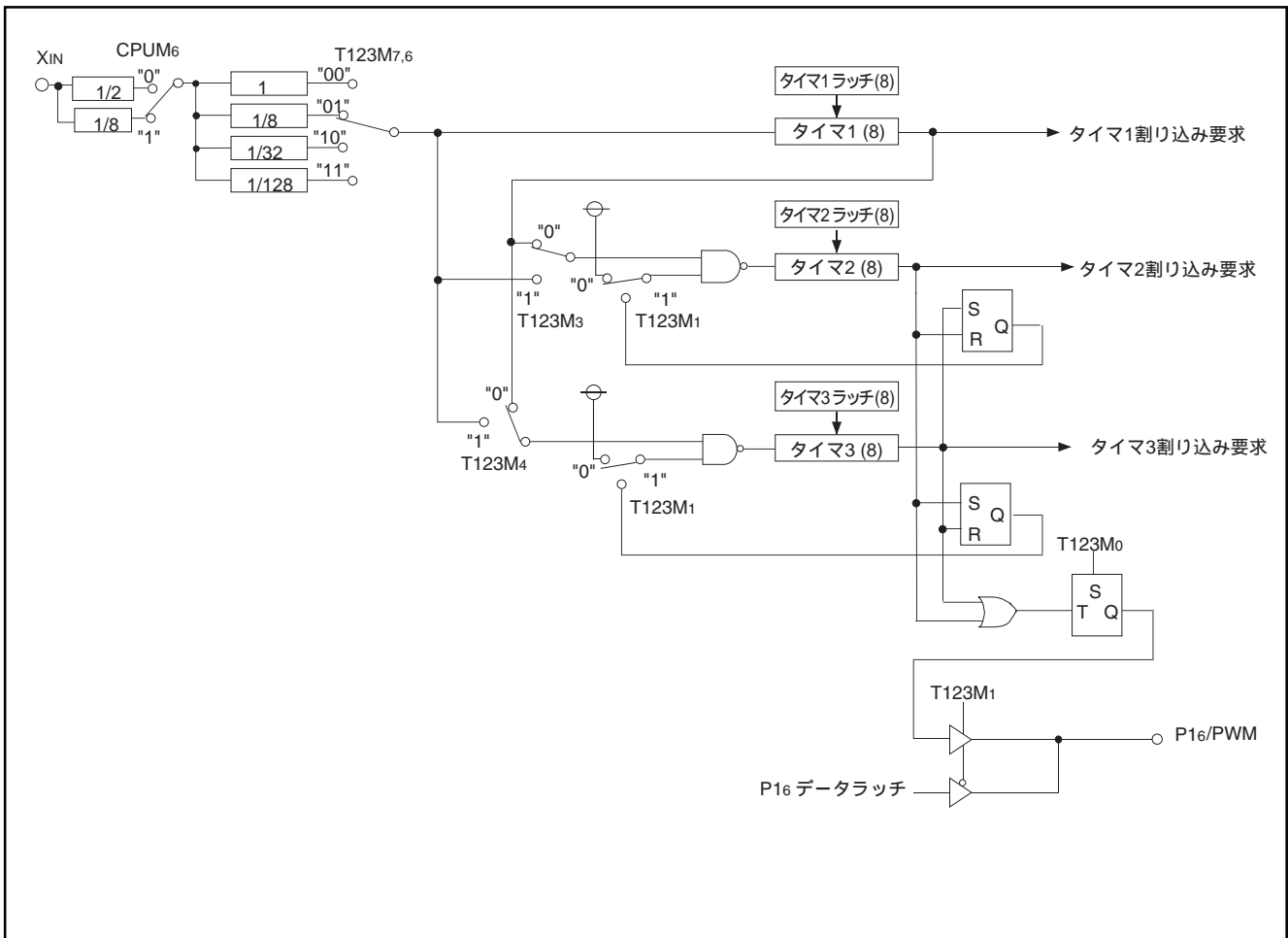


図24. タイマ123ブロック図

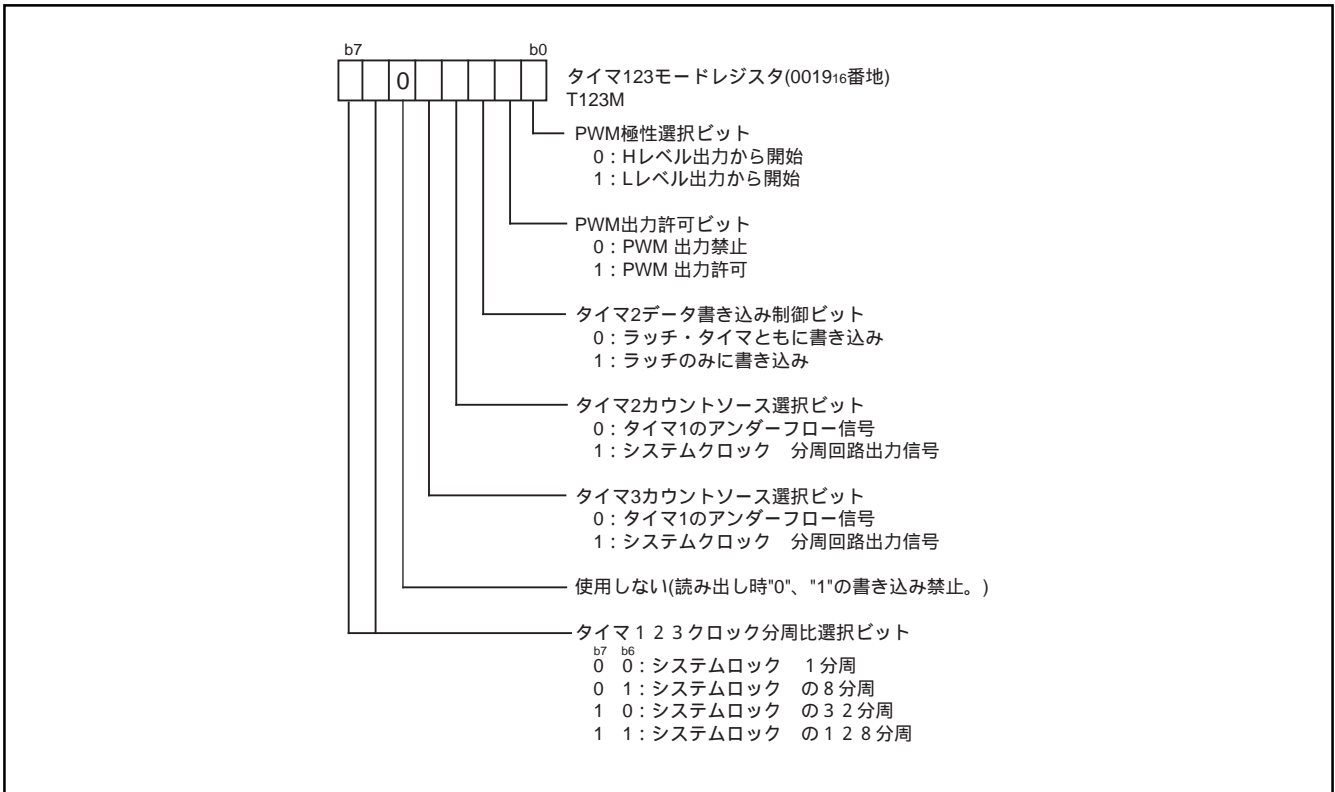


図25. タイマ123モードレジスタ

●PWM

PWM出力許可ビット(0019₁₆番地)を '1' にセットすることにより、タイマ2、タイマ3はP1₆/PWM端子よりPWM波形を出力できます。

PWM波形出力の極性はPWM極性選択ビット(0019₁₆番地)にて設定できます。PWM極性選択ビット(0019₁₆番地)を '0' に設定した場合は、PWMのHレベル出力期間をタイマ2がカウントダウンし、タイマ2のアンダーフローにより続くPWMのLレベル出力期間をタイマ3がカウントダウンし、タイマ3のアンダーフローによりPWMのHレベル出力に戻ります。タイマ2がPWM波形期間を出力制御中の時はタイマ3は停止しています。逆に、タイマ3が出力制御している間はタイマ2は停止しています。PWM波形の周期は通常のタイマ2、タイマ3の動作同様にカウントソースとしてタイマ1のアンダーフロー出力またはシステムクロックの分周回路出力を選択できます。

なお、PWM波形出力時にはP1₆/PWMを出力ポートに設定して使用して下さい。

PWM設定時は、以下の手順に従って下さい。

- (1) 割り込み禁止
- (2) タイマ123モードレジスタ設定
PWM出力禁止、ラッチ・タイマともに書き込み、システムクロックの128分周に設定して下さい。
- (3) JT2設定('1' 以上)
- (4) JT3設定('1' 以上)
- (5) タイマ123モードレジスタ設定
PWM出力許可、T2ラッチのみに書き込み、に設定して下さい。
- (6) 割り込み許可

シリアルI/O

シリアルI/Oは8ビット全二重通信が可能です。
 クロックは内部クロックまたは外部クロックを選択できます。

(1) シリアルI/Oの動作

内部クロックを選択した場合はシリアルI/O制御レジスタ (SIOCON)のビット0~2にて転送速度を設定できます。送受信の開始は送受信バッファレジスタへの書き込み信号により行われます。8ビットの送信が完了するとSoutはハイインピーダンス出力になります。また送受信完了後、割り込み要求ビットが"1"にセットされます。(図27参照)

送受信動作を行うときに外部クロックを選択した場合、外部クロック入力にて送受信を行います。外部クロックの8サイクル後に割り込み要求ビットが"1"にセットされます。外部クロック選択時は8サイクルで停止させるように制御する必要があり、Soutはハイインピーダンス出力になりません。

P20 - P23をシリアルI/O機能として使用するか、又はCMOS入出力ポートとして使用するかはシリアルI/O制御レジスタ(SIOCON)のビット3,4にて確定します。

その他の動作、タイミング各設定については図27シリアルI/O動作タイミング図および図28シリアルI/O制御レジスタを参照して下さい。

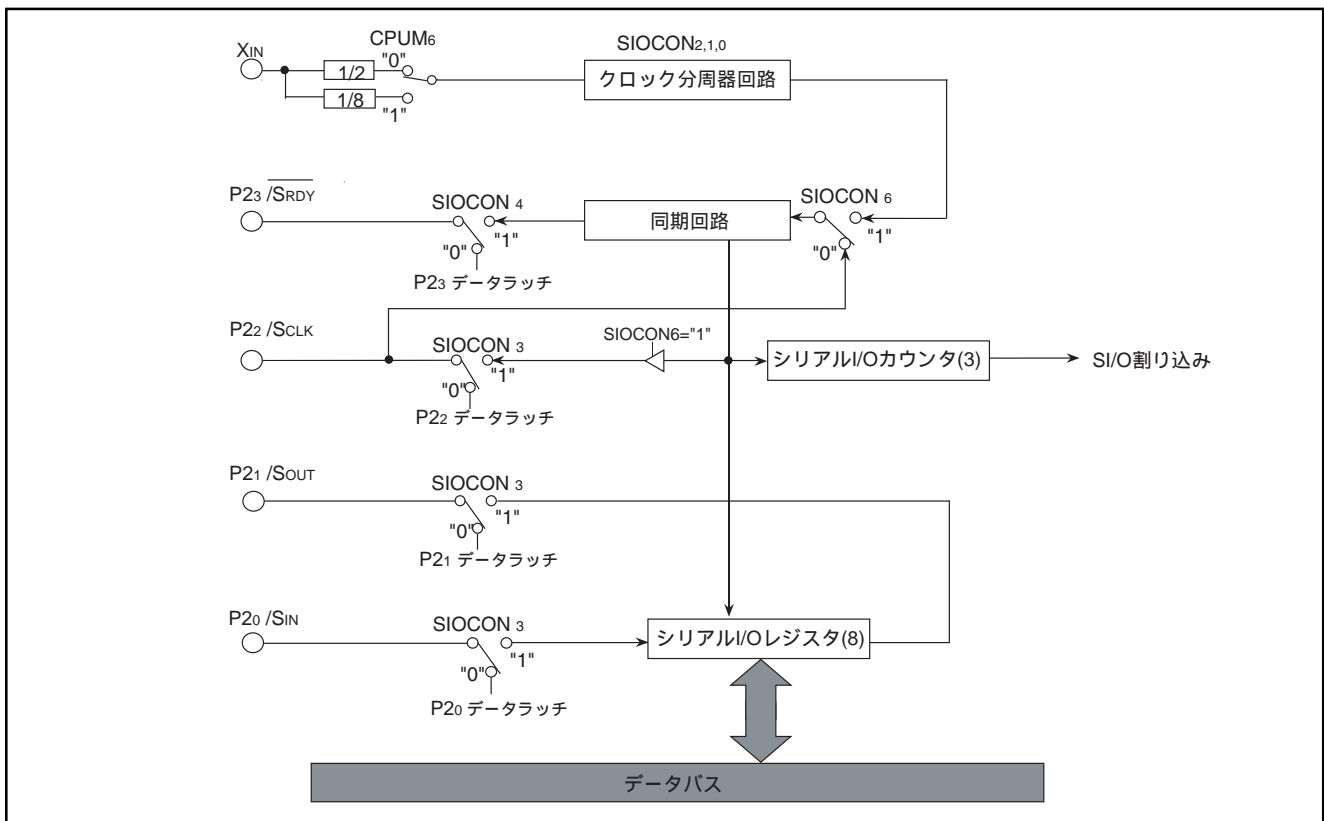


図26. シリアルI/Oブロック図

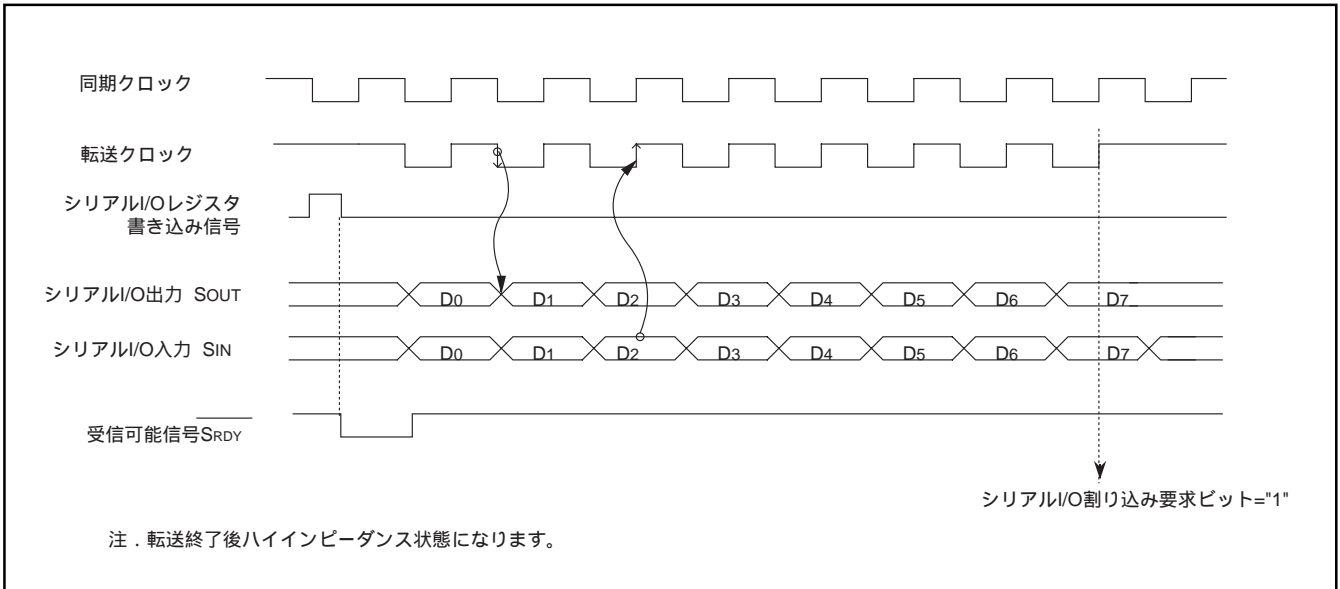


図27. シリアルI/O動作タイミング図

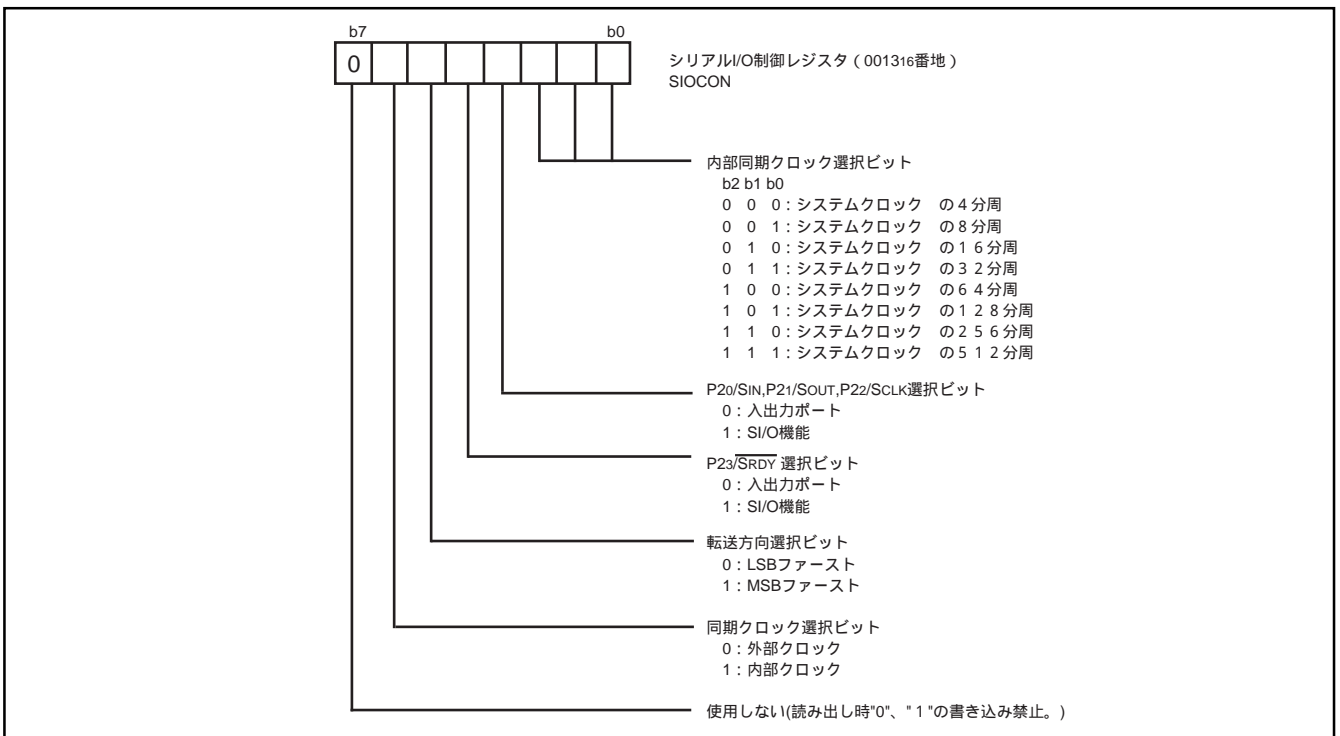


図28. シリアルI/O制御レジスタ

UART

UARTは非同期送受信を行えます。動作クロック分周器と同様のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

このマイクロコンピュータはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ(上位下位の2バイト)を持っています。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

(1) UARTの動作

送信と受信動作はUART制御レジスタ(UCON)の送信または受信許可ビットを許可に設定して行えます。

この送受信ボーレートは次の式にて求めることができます。

$$B = f(\quad) / \{16 \cdot P(N+1)\}$$

$f(\quad)$: システムクロック周波数

P: CBTCN1のビット1~2の分周比

N: ボーレートジェネレータの設定値

送信用ハンドシェイクは $P27/\overline{UCTS}$ および $P26/\overline{URTS}$ にて行うことができます。

送信を有効にした状態(送信許可)で \overline{UCTS} が "L" 入力されると、送信を開始します。連結送信等の場合は、 \overline{UCTS} 入力レベルと送信許可ビットの状態に依存して送信をします。

\overline{URTS} 出力条件を表7に示します。

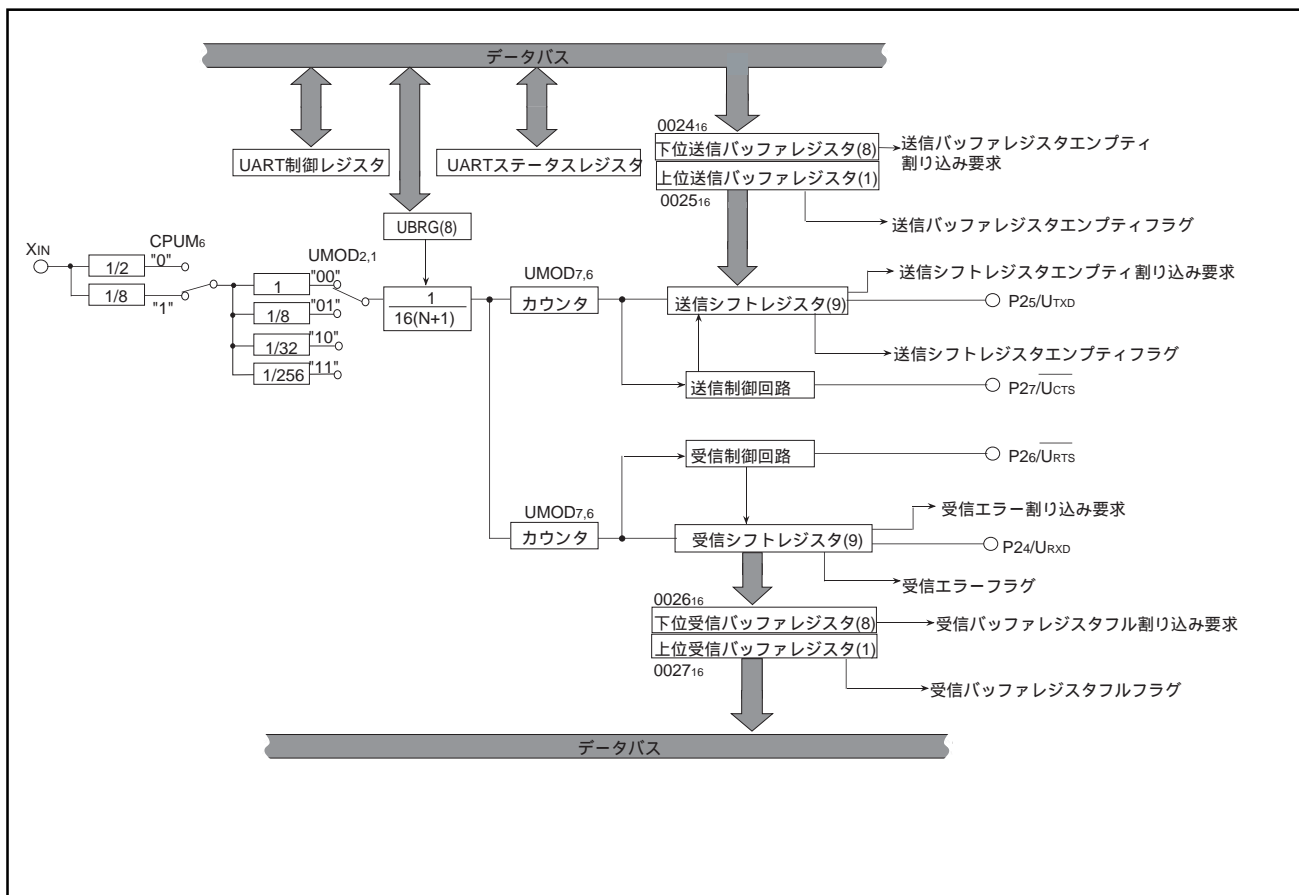


図29. UART形ブロック図

7ビット動作の場合、下位送受信バッファレジスタの下位7ビットを使用します。上位1ビットと上位受信バッファレジスタは無視されます。

8ビット動作の場合、上位送受信バッファレジスタは無視されます。

9ビット動作の場合、下位送受信バッファレジスタと上位送受信バッファレジスタのビット0を使用します。

また、ボーレートジェネレータ、送信シフトレジスタエンティティブラグ、および送信バッファレジスタエンティティブラグはリセットにて初期化されません。

表7. \overline{URTS} 出力条件

条 件	$P2_6/\overline{URTS}$
受信許可ビット = '1'に設定した場合	"L"出力
受信許可で受信完了した場合	
スタートビットを検出した場合	"H"出力
受信開始前に受信許可ビットを = '0'とした場合	
受信初期化ビット = '1'に設定した場合	
外部RESET入力によりマイコンがリセットされた場合	

注 . マイコンが初期化されると \overline{URTS} 出力端子はCMOS入力ポート(P2₆)になります。したがって、 \overline{URTS} が 'H'になりマイコンから出力されることはありません。

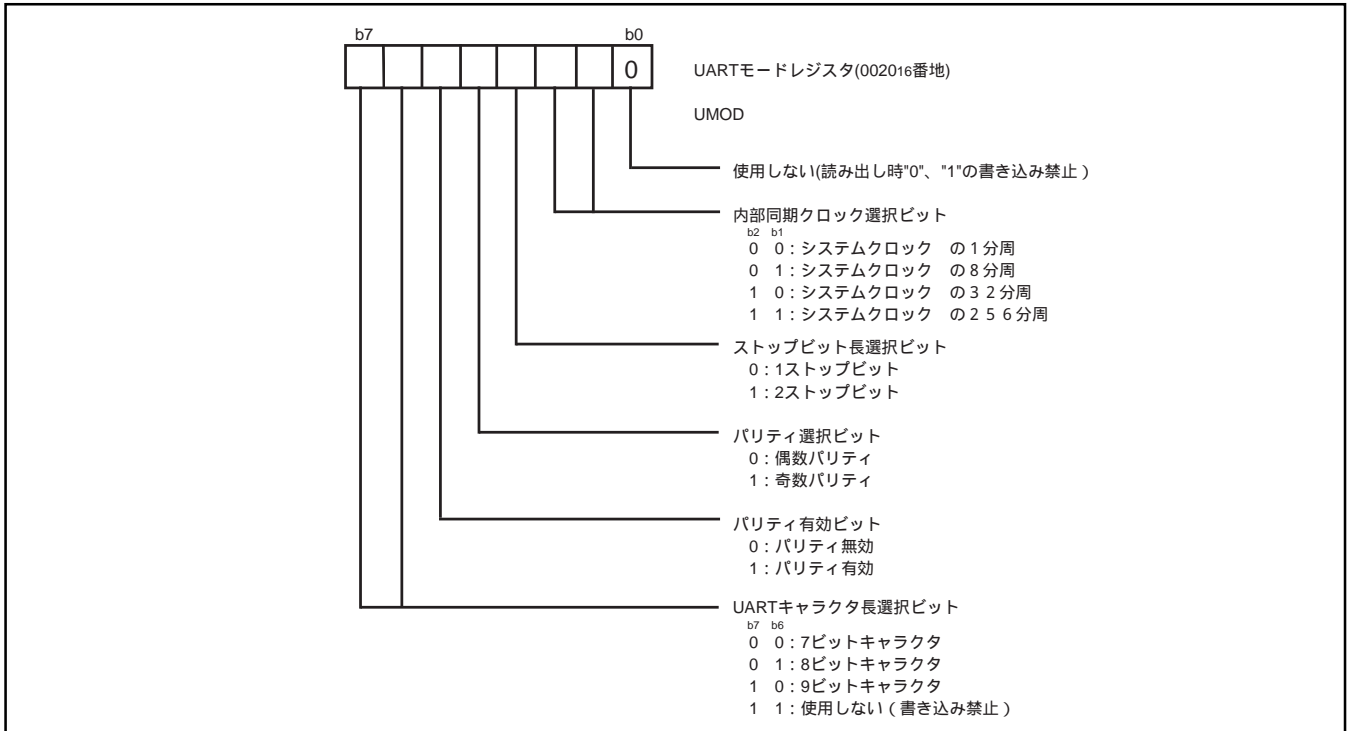


図30. UARTモードレジスタ

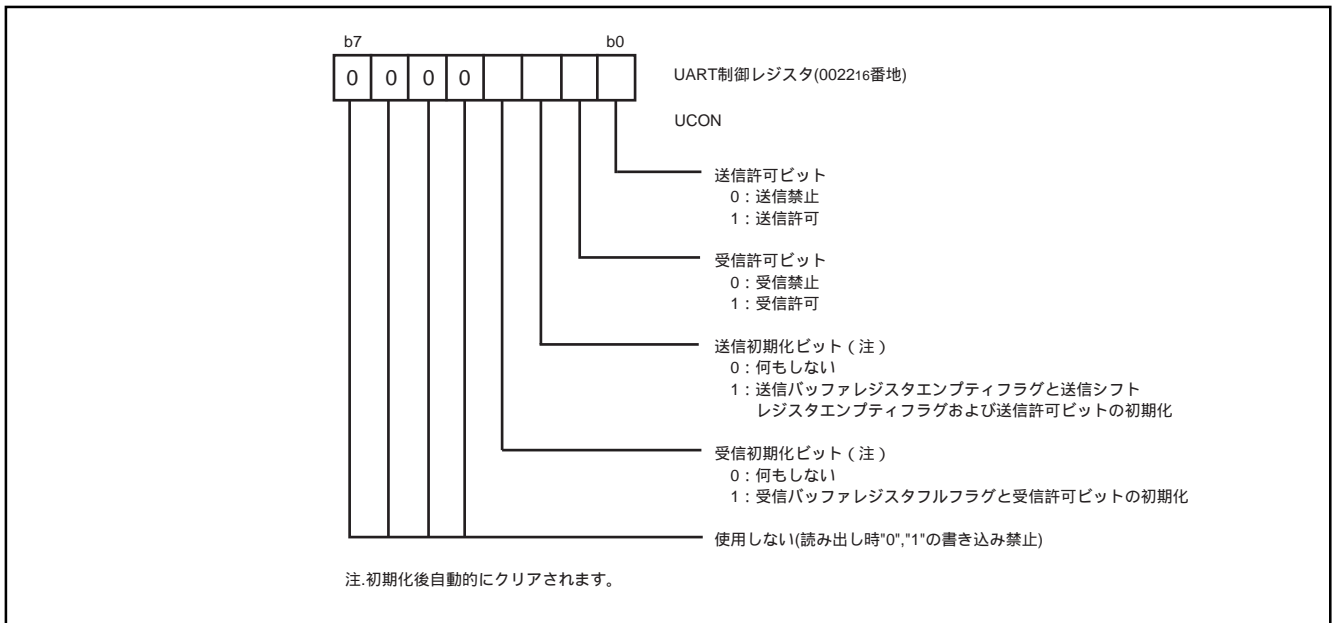


図31. UART制御レジスタ

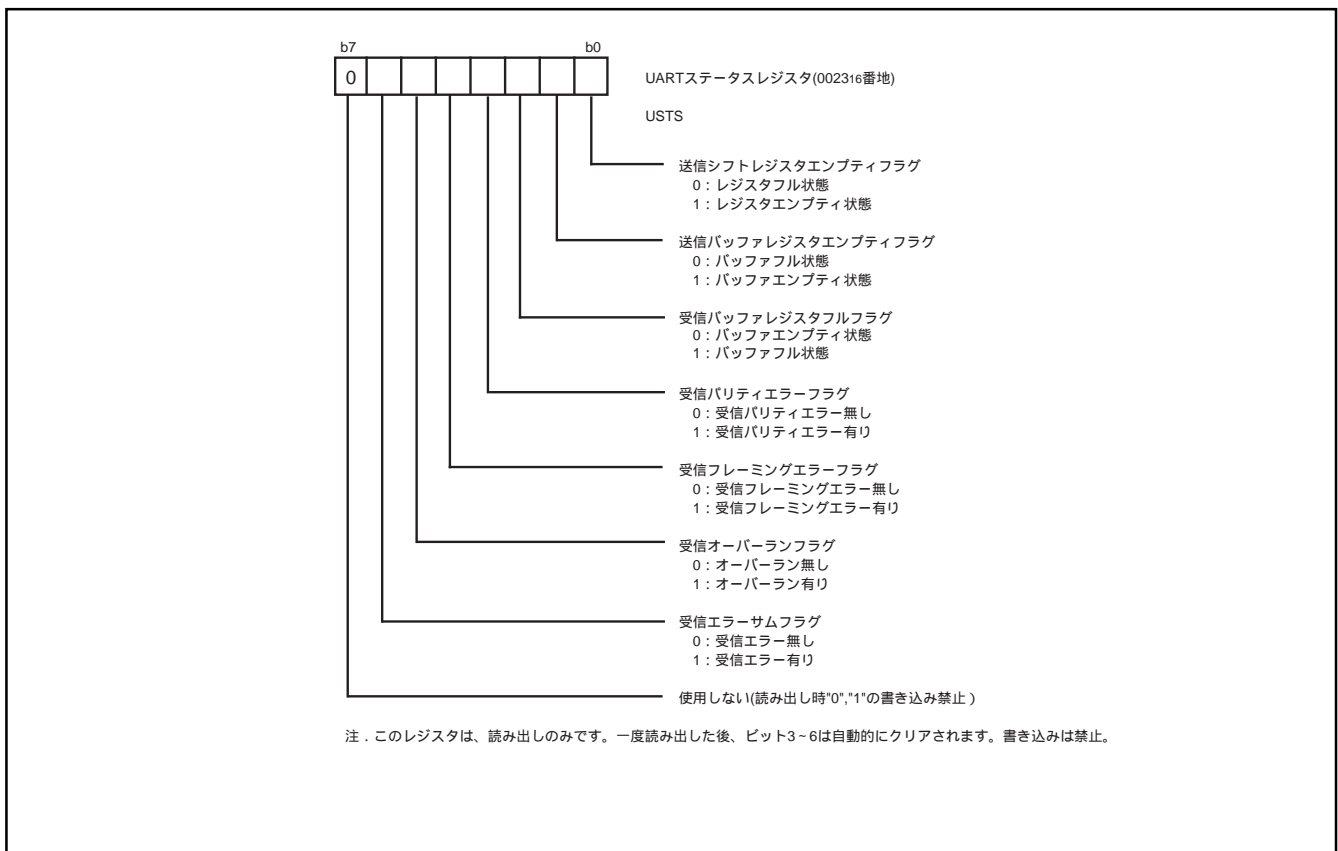


図32. UARTステータスレジスタ

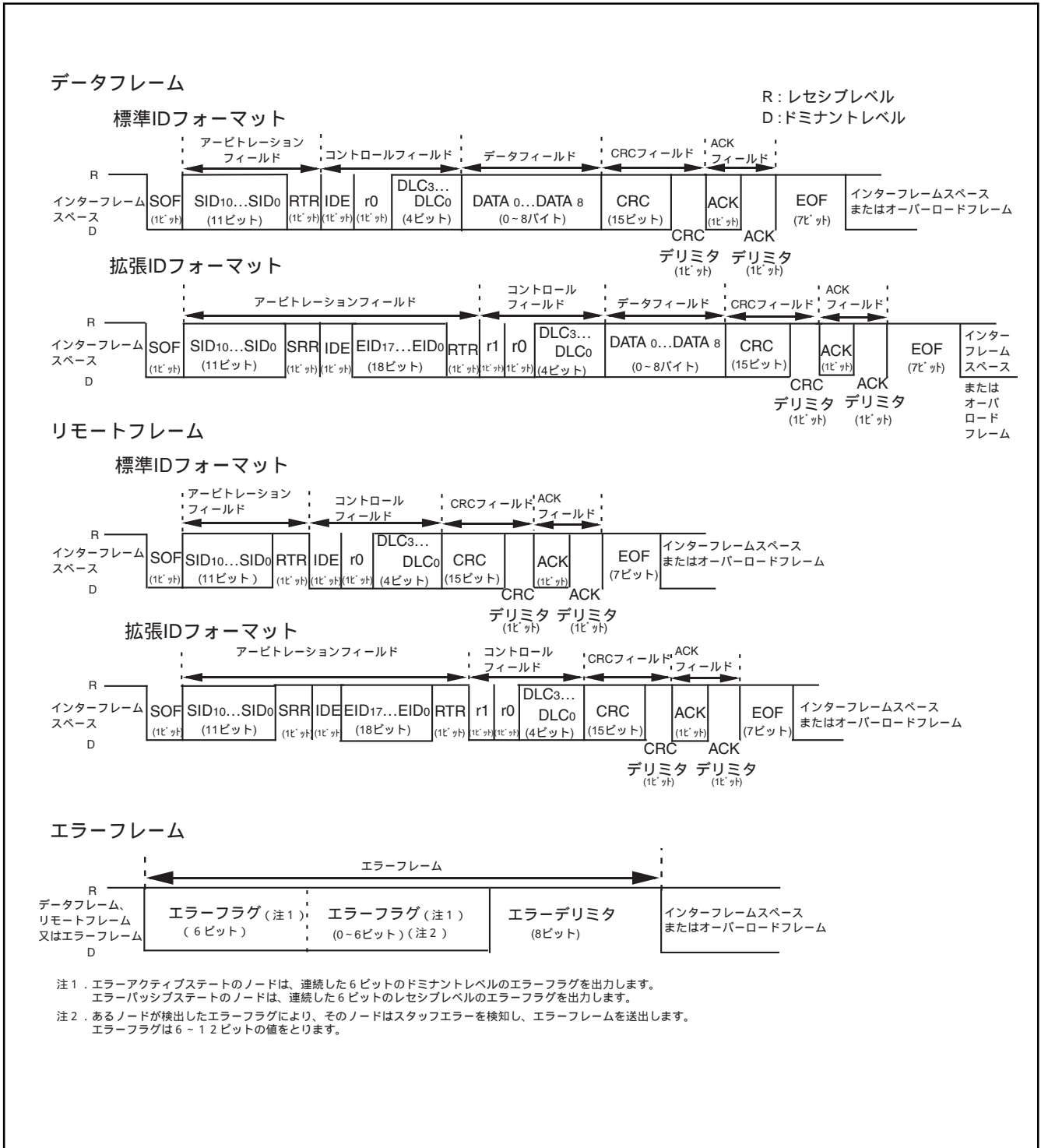


図34. CANプロトコルフレーム 1

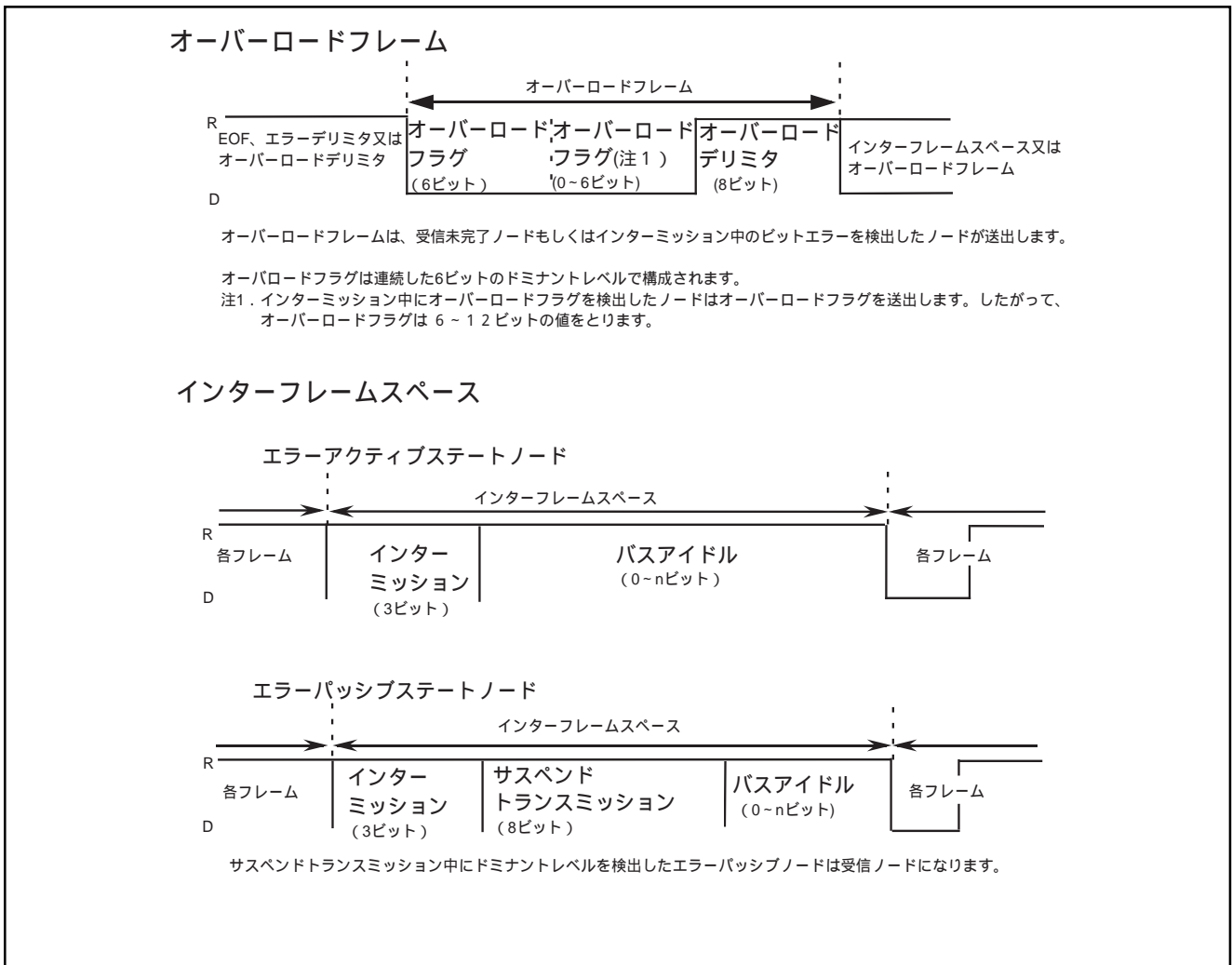


図35. CANプロトコルフレーム 2

(4) エラー状態とエラー検出

CANコントローラは送信エラーカウンタ(TEC)と受信エラーカウンタ(REC)の値により3つのエラー状態

- ・エラーアクティブステート
- ・エラーパッシブステート
- ・バスオフステート

いずれかの状態となります。また、割り込みにてエラーパッシブ、バスオフに遷移したことを検出できます。(図36参照)

エラー検出はビットエラー、スタッフエラー、CRCエラー、ACKエラー、フォームエラーに対して行います。

エラー検出時、エラー検出ノードはエラー状態とエラー検出内容に応じてエラーフレームを送出します。

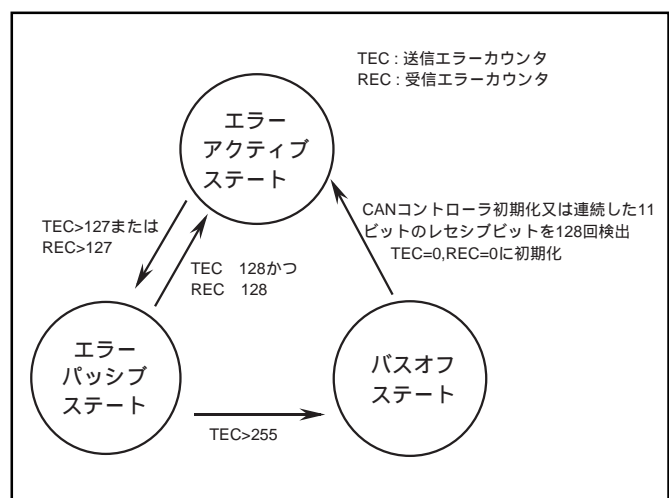


図36. CANコントローラのエラー状態

CANコントローラシステムクロックの設定

CANコントローラは、専用のCANコントローラシステムクロック分周器を持っています。分周比の設定はCANバスビットタイミング制御レジスタ1のビット0~3により行います。

CANコントローラシステムクロック (f_{CANB}) は次のように表されます。

$$f_{CANB} = f(\quad) / (P+1)$$

P : CBTCON1のビット0 ~ 3の設定値

f() : システムクロック周波数

CANバスビットタイミングの設定

CANバスのビットタイミングは以下の4つのセグメントで構成されています。

- ・シンクロナイゼーションセグメント(SS)
SSはビットの立ち下がりエッジをモニタして同期化に使用するセグメントです。
- ・プロパゲーションタイムセグメント(PTS)
PTSはCANネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延はCANバス上の遅延、入力コンパレータ遅延、および出力ドライバ遅延の総和の2倍になります。
- ・フェーズバッファセグメント1(PBS1)
PBS1は1ビットタイムのフェーズエラーを補償するためのセグメントです。ビットの立ち下がりエッジが期待値より遅い場合は、最大SJW設定値分だけ長くなります。
- ・フェーズバッファセグメント2(PBS2)
PBS2はPBS1と同様な機能を持つセグメントです。ビットの立ち下がりエッジが期待値より早い場合は、最大SJW設定値分だけ短くなります。

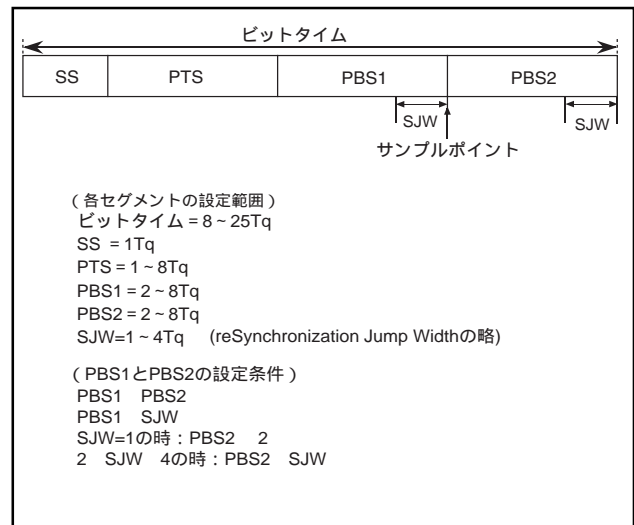


図37. ビットタイミング

伝送速度500kbpsを実現する場合の例

$X_{IN}=10\text{MHz}$, $f(\quad)=1/2f(X_{IN})$, $P=0$,

1 ビットタイム=10Tqに設定すると、

$f_{CANB}=5\text{MHz}$, $Tq=200\text{ns}$,

1 ビットタイム = $10 \times Tq = 2 \mu\text{s}$

となり、伝送速度は500kbpsとなります。

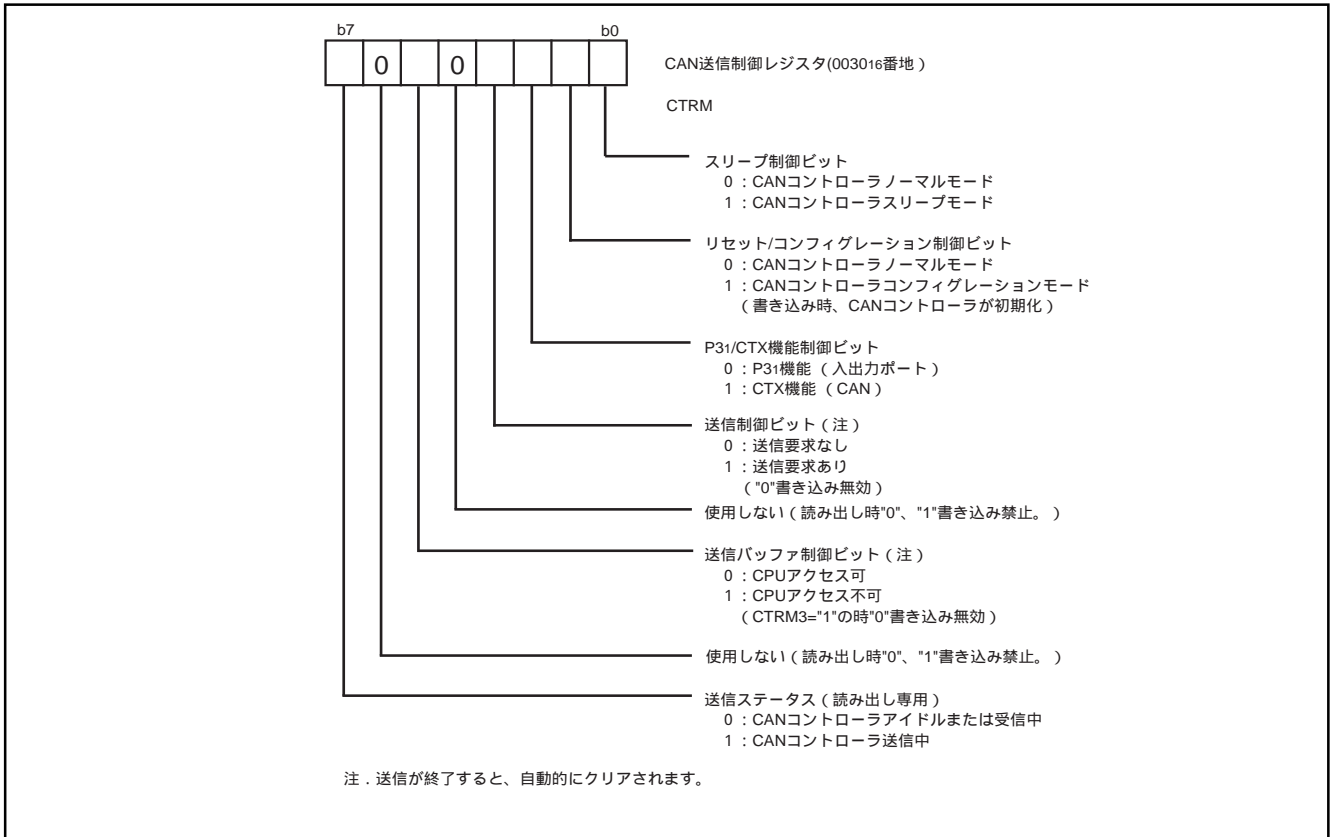


図38. CAN送信制御レジスタ

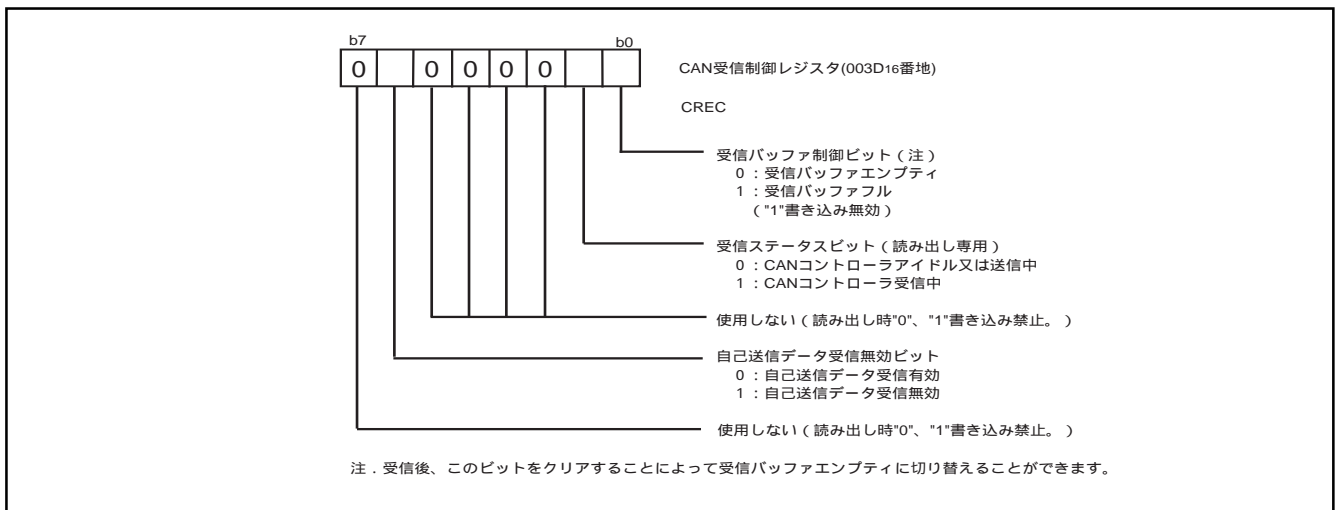


図39. CAN受信制御レジスタ

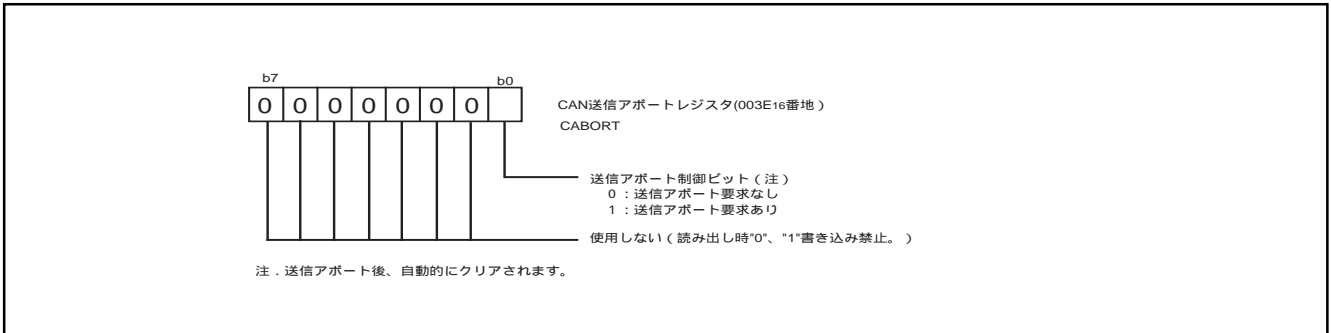


図40. CAN送信アボートレジスタ

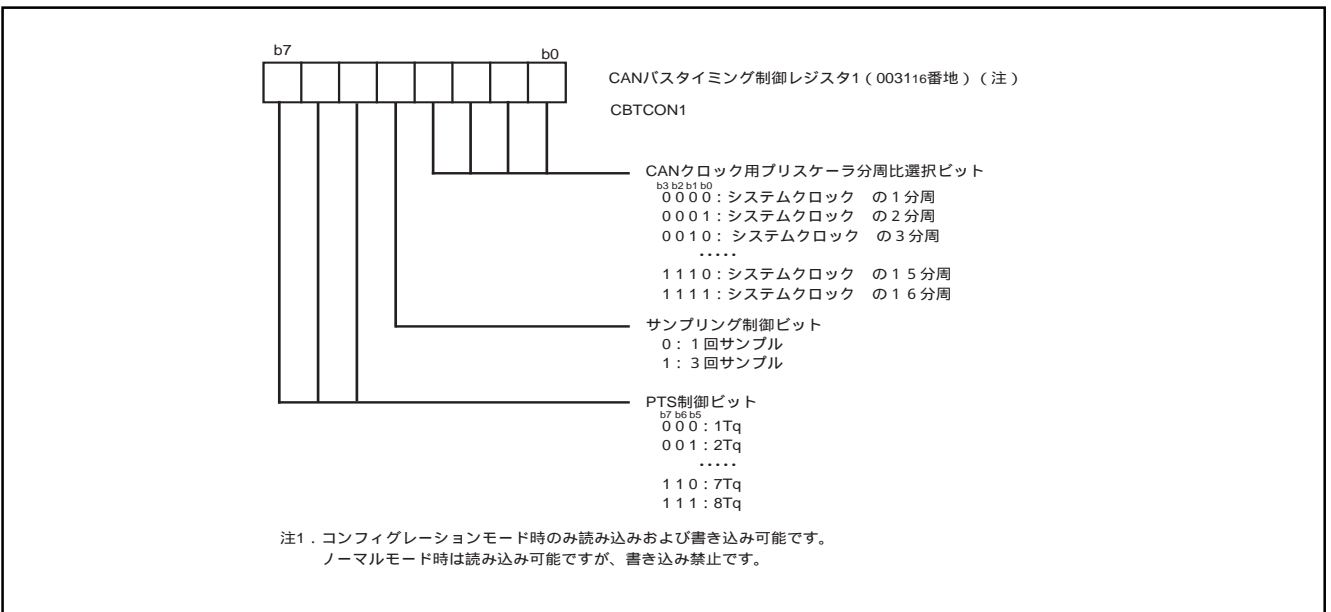


図41. CANバスタイミング制御レジスタ1

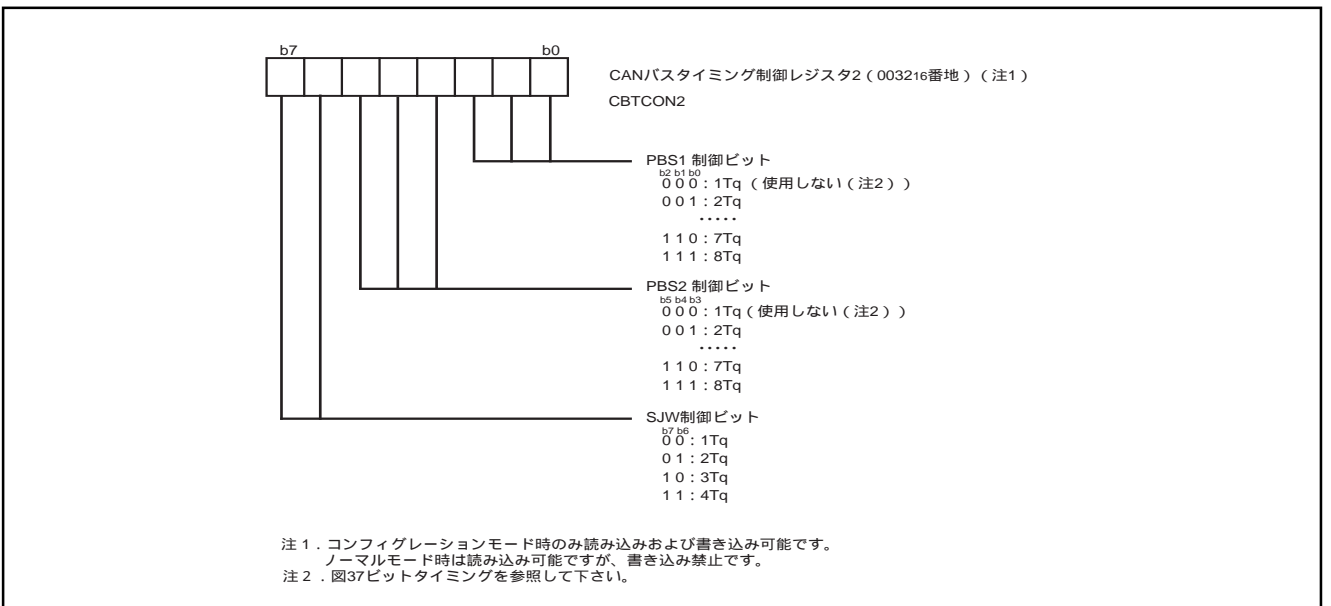


図42. CANバスタイミング制御レジスタ2

レジスタ名	b7	b0	アドレス
アクセプタンス コードレジスタ	CAC0	未使用 未使用 未使用 CSID ₁₀ CSID ₉ CSID ₈ CSID ₇ CSID ₆	0033 ₁₆ 番地
	CAC1	CSID ₅ CSID ₄ CSID ₃ CSID ₂ CSID ₁ CSID ₀ 未使用 未使用	0034 ₁₆ 番地
	CAC2	未使用 未使用 未使用 未使用 CEID ₁₇ CEID ₁₆ CEID ₁₅ CEID ₁₄	0035 ₁₆ 番地
	CAC3	CEID ₁₃ CEID ₁₂ CEID ₁₁ CEID ₁₀ CEID ₉ CEID ₈ CEID ₇ CEID ₆	0036 ₁₆ 番地
	CAC4	CEID ₅ CEID ₄ CEID ₃ CEID ₂ CEID ₁ CEID ₀ 未使用 未使用	0037 ₁₆ 番地
アクセプタンスフィルタを使用する識別子ビットを選択する。			
アクセプタンス マスクレジスタ	CAM0	未使用 未使用 未使用 MSID ₁₀ MSID ₉ MSID ₈ MSID ₇ MSID ₆	0038 ₁₆ 番地
	CAM1	MSID ₅ MSID ₄ MSID ₃ MSID ₂ MSID ₁ MSID ₀ 未使用 未使用	0039 ₁₆ 番地
	CAM2	未使用 未使用 未使用 未使用 MEID ₁₇ MEID ₁₆ MEID ₁₅ MEID ₁₄	003A ₁₆ 番地
	CAM3	MEID ₁₃ MEID ₁₂ MEID ₁₁ MEID ₁₀ MEID ₉ MEID ₈ MEID ₇ MEID ₆	003B ₁₆ 番地
	CAM4	MEID ₅ MEID ₄ MEID ₃ MEID ₂ MEID ₁ MEID ₀ 未使用 未使用	003C ₁₆ 番地
0 : マスクIDビット 1 : アクセプタンスフィルタ使用IDビット			
注1. コンフィグレーションモード時のみ読み込みおよび書き込み可能です。 ノーマルモード時は読み込みおよび書き込み禁止です。			

図43. CANマスク/コードレジスタ

レジスタ名	b7	b0	オフセット
CTB0,CRB0	未使用 未使用 未使用 SID ₁₀ SID ₉ SID ₈ SID ₇ SID ₆		0000 ₁₆
CTB1,CRB1	SID ₅ SID ₄ SID ₃ SID ₂ SID ₁ SID ₀ RTR/SRR	IDE	0001 ₁₆
CTB2,CRB2	未使用 未使用 未使用 未使用 EID ₁₇ EID ₁₆ EID ₁₅ EID ₁₄		0002 ₁₆
CTB3,CRB3	EID ₁₃ EID ₁₂ EID ₁₁ EID ₁₀ EID ₉ EID ₈ EID ₇ EID ₆		0003 ₁₆
CTB4,CRB4	EID ₅ EID ₄ EID ₃ EID ₂ EID ₁ EID ₀ RTR	r1	0004 ₁₆
CTB5,CRB5	未使用 未使用 未使用 r0	DLC ₃ DLC ₂ DLC ₁ DLC ₀	0005 ₁₆
CTB6,CRB6	データバイト 0		0006 ₁₆
CTB7,CRB7	データバイト 1		0007 ₁₆
CTB8,CRB8	データバイト 2		0008 ₁₆
CTB9,CRB9	データバイト 3		0009 ₁₆
CTBA,CRBA	データバイト 4		000A ₁₆
CTBB,CRBB	データバイト 5		000B ₁₆
CTBC,CRBC	データバイト 6		000C ₁₆
CTBD,CRBD	データバイト 7		000D ₁₆
実アドレスの算出方法 T × Dバ ッファド レス = 0040 ₁₆ + オフセット R × Dバ ッファド レス = 0050 ₁₆ + オフセット			
注. ノーマルモード時のみ読み込みおよび書き込み可能です。			

図44. CAN送信受信バッファレジスタ

A-D変換器

【A-D変換レジスタ】AD (0014₁₆番地)

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出さないで下さい。

【A-D制御レジスタ】ADCON (0015₁₆番地)

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

【比較電圧発生器】

AV_{SS} と V_{REF} の間の電圧を256分割し分圧を出力します。A-D変換未使用時は V_{REF} 入力スイッチビット(A-D制御レジスタビット4)により比較電圧発生器の消費電圧を低減できます。

【チャンネルセクタ】

ポートP07/AN7～P00/AN0より1本を選択し、コンパレータに入力します。アナログ入力として選択するポートの方向レジスタを入力にして下さい。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びA-D割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中は $f_{(XIN)}$ を500kHz以上にしてください。

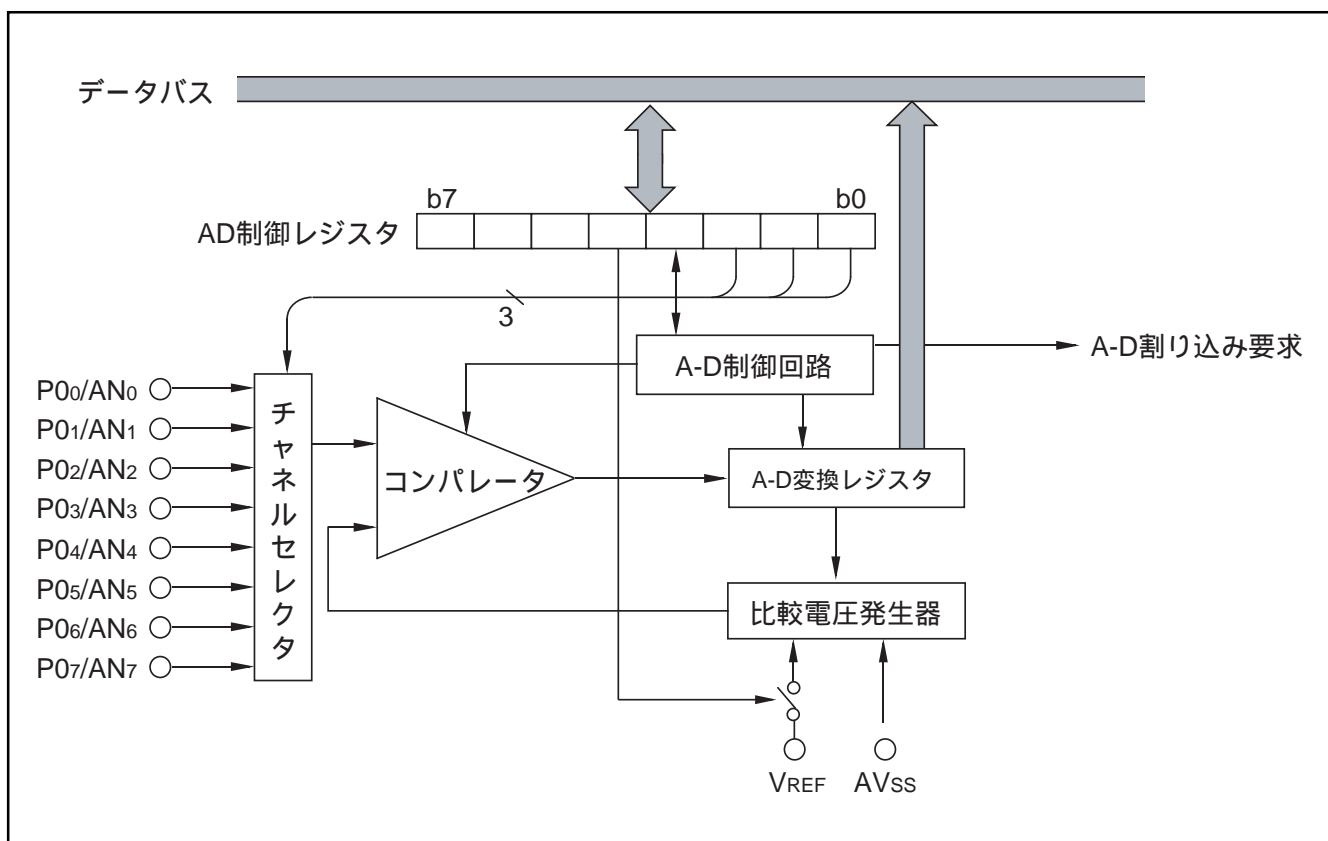


図45. A-D変換器ブロック図

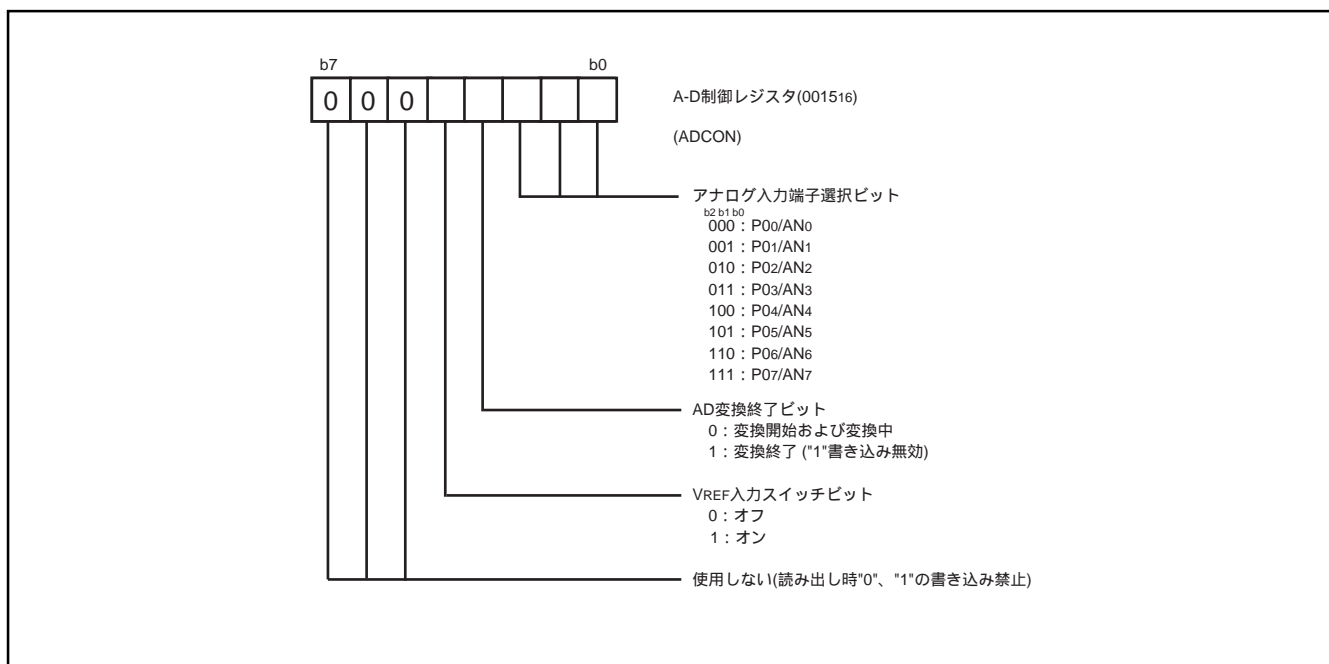


図46. A-D制御レジスタ

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に正常なルーチンに復帰させる手段を与えるものです。

ウォッチドッグタイマは7ビットのウォッチドッグタイマHと、4ビットのウォッチドッグタイマLで構成されます。

ウォッチドッグタイマの初期値

リセット時またはウォッチドッグタイマレジスタのビット7(002E16番地)への書き込み命令により、必ずウォッチドッグタイマHは"7F16"に、ウォッチドッグタイマLは"F16"にセットされます。書き込みのための命令は、STA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマHのみではシステムクロックの32768サイクルに、ウォッチドッグタイマHとL両方を使用した場合はシステムクロックの524288サイクルになります。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマレジスタのビット7への書き込み命令によりカウントダウンを開始します。ウォッチドッグタイマHが、アンダーフローすると、ノンマスクابلなウォッチドッグタイマ割り込みが発生します。

なお、STP命令が実行されるとクロックが停止してウォッチドッグタイマも停止します。ストップモード解除と同時にカウントを再開します(注)。WIT命令実行時はウォッチドッグタイマは停止しません。

注 STP命令解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダーフローしないように、STP命令直前に、ウォッチドッグタイマ書き込みアクセスを行う等の処理をしておいてください。

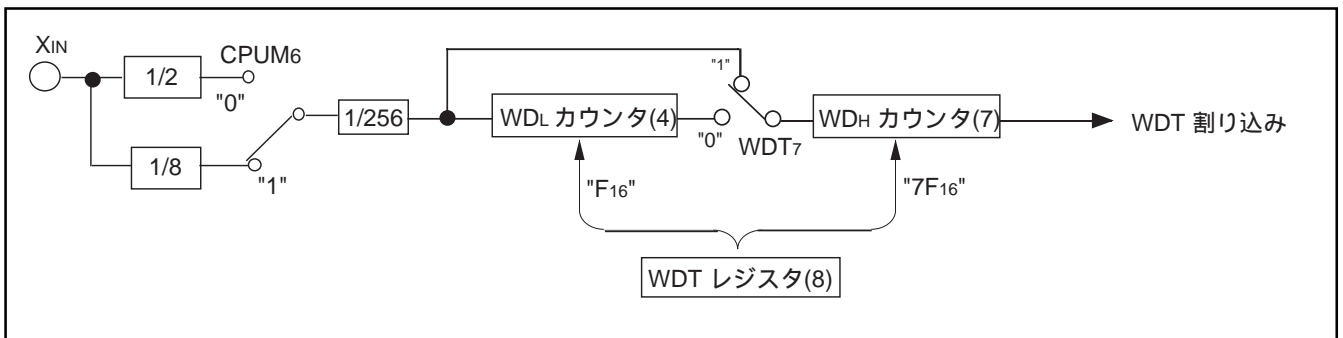


図47. ウォッチドッグタイマブロック図

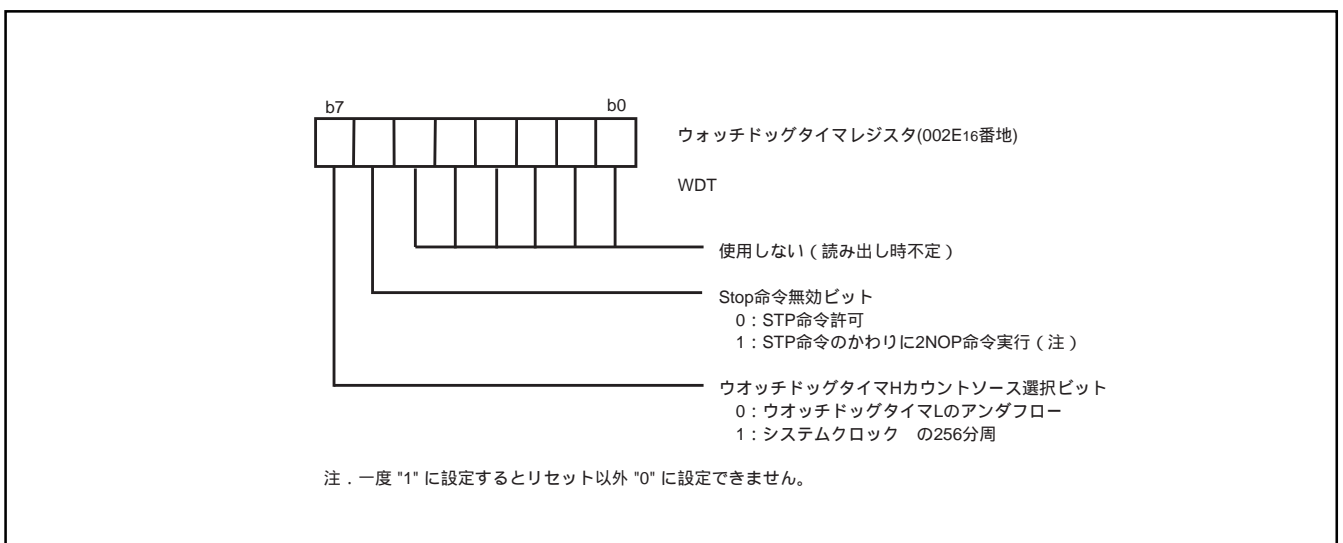


図48. ウォッチドッグタイマレジスタ

リセット回路

電源電圧が4.0~5.5Vにあり共振子が安定しているとき、RESET端子をXINの20サイクル以上「L」レベルに保った後「H」レベルに戻すとリセットが解除され、FFFB₁₆番地の内容を上位アドレス、FFFA₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、V_{CC}=4.0Vを通過してからX_{IN}が20サイクル以上入力するまで0.2V_{CC}V以下になるようにしてください。

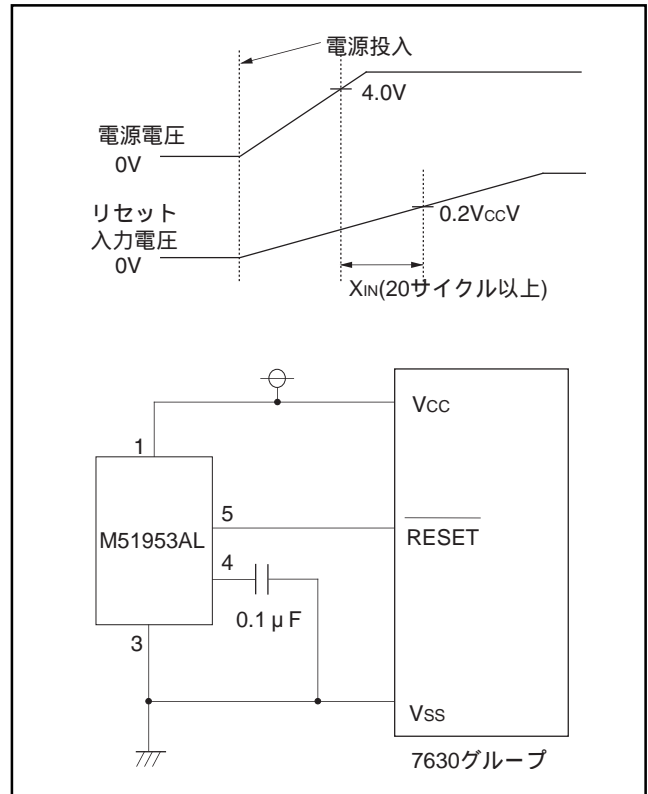


図49. リセット回路例

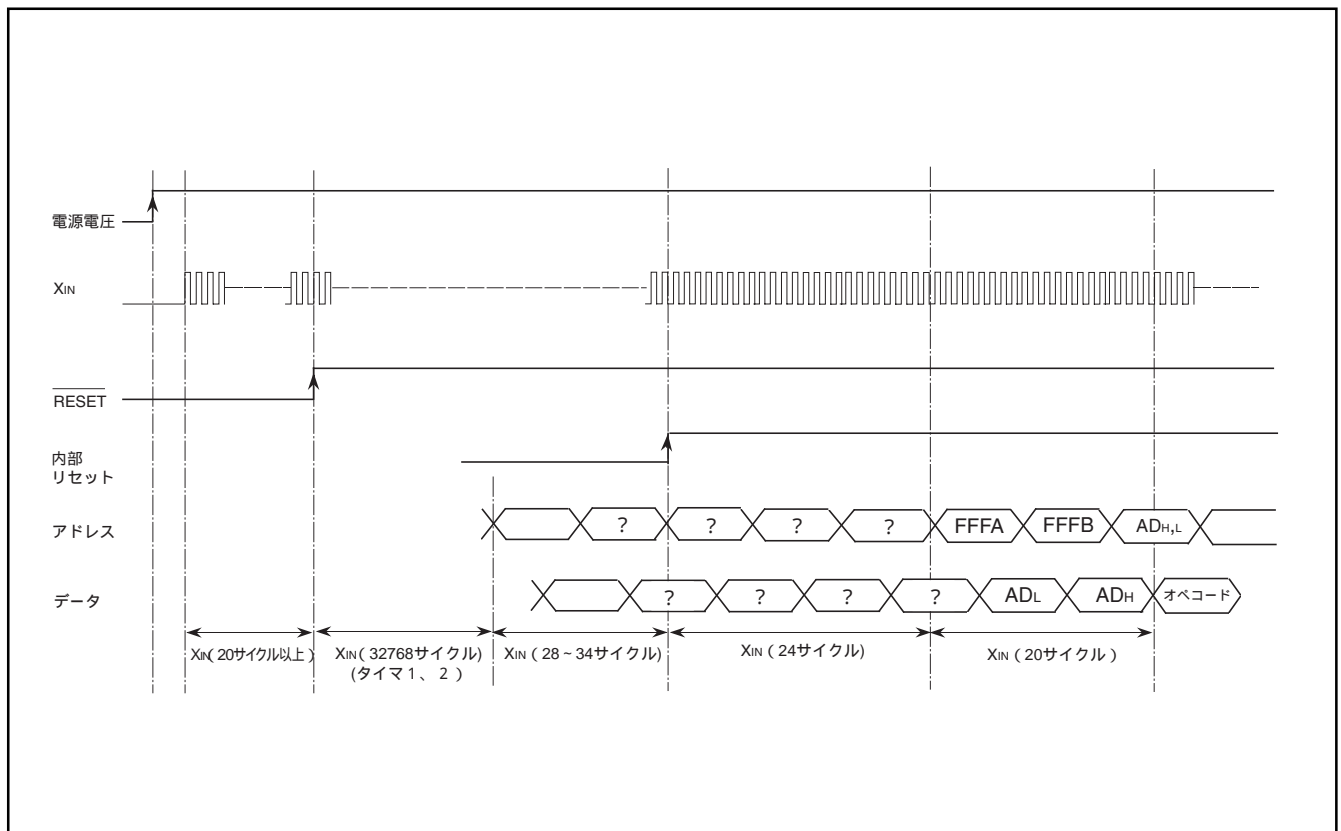


図50. リセットシーケンス

7630グループ

レジスタ名	番地	レジスタの内容	レジスタ名	番地	レジスタの内容
(1) CPUモードレジスタ	0000 ₁₆	48 ₁₆	(25) タイマXH	001B ₁₆	FF ₁₆
(2) 割り込み要求レジスタA	0002 ₁₆	00 ₁₆	(26) タイマYL	001C ₁₆	FF ₁₆
(3) 割り込み要求レジスタB	0003 ₁₆	00 ₁₆	(27) タイマYH	001D ₁₆	FF ₁₆
(4) 割り込み要求レジスタC	0004 ₁₆	00 ₁₆	(28) タイマXモードレジスタ	001E ₁₆	00 ₁₆
(5) 割り込み制御レジスタA	0005 ₁₆	00 ₁₆	(29) タイマYモードレジスタ	001F ₁₆	00 ₁₆
(6) 割り込み制御レジスタB	0006 ₁₆	00 ₁₆	(30) UARTモードレジスタ	0020 ₁₆	07 ₁₆
(7) 割り込み制御レジスタC	0007 ₁₆	00 ₁₆	(31) UART制御レジスタ	0022 ₁₆	00 ₁₆
(8) ポートP0	0008 ₁₆	00 ₁₆	(32) UARTステータスレジスタ	0023 ₁₆	00 ₁₆
(9) ポートP0方向レジスタ	0009 ₁₆	00 ₁₆	(33) ポートP0 ブルアップ制御レジスタ	0028 ₁₆	00 ₁₆
(10) ポートP1	000A ₁₆	00 ₁₆	(34) ポートP1 ブルアップ制御レジスタ	0029 ₁₆	00 ₁₆
(11) ポートP1方向レジスタ	000B ₁₆	00 ₁₆	(35) ポートP2 ブルアップ制御レジスタ	002A ₁₆	00 ₁₆
(12) ポートP2	000C ₁₆	00 ₁₆	(36) ポートP3 ブルアップ/ダウン制御レジスタ	002B ₁₆	00 ₁₆
(13) ポートP2方向レジスタ	000D ₁₆	00 ₁₆	(37) ポートP4 ブルアップ/ダウン制御レジスタ	002C ₁₆	00 ₁₆
(14) ポートP3	000E ₁₆	00 ₁₆	(38) 割り込み極性選択レジスタ	002D ₁₆	00 ₁₆
(15) ポートP3方向レジスタ	000F ₁₆	00 ₁₆	(39) ウォッチドッグタイマレジスタ	002E ₁₆	3F ₁₆
(16) ポートP4	0010 ₁₆	00 ₁₆	(40) 極性制御レジスタ	002F ₁₆	00 ₁₆
(17) ポートP4方向レジスタ	0011 ₁₆	00 ₁₆	(41) CAN送信制御レジスタ	0030 ₁₆	02 ₁₆
(18) シリアルI/O制御レジスタ	0013 ₁₆	00 ₁₆	(42) CANバスタイミング制御レジスタ1	0031 ₁₆	00 ₁₆
(19) A-D制御レジスタ	0015 ₁₆	08 ₁₆	(43) CANバスタイミング制御レジスタ2	0032 ₁₆	00 ₁₆
(20) タイマ1	0016 ₁₆	FF ₁₆	(44) CAN受信制御レジスタ	003D ₁₆	00 ₁₆
(21) タイマ2	0017 ₁₆	01 ₁₆	(45) CAN送信アポートレジスタ	003E ₁₆	00 ₁₆
(22) タイマ3	0018 ₁₆	FF ₁₆	(46) プロセッサステータスレジスタ	(PS)	04 ₁₆
(23) タイマ123モードレジスタ	0019 ₁₆	40 ₁₆	(47) プログラムカウンタ(上位バイト)	(PCH)	FFFB ₁₆ の内容
(24) タイマXL	001A ₁₆	FF ₁₆	(48) プログラムカウンタ(下位バイト)	(PCL)	FFFA ₁₆ の内容

注．上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図51. リセット時の内部状態

クロック発生回路

X_{IN}端子とX_{OUT}端子の間に共振子及び帰還抵抗を接続することにより、発振回路を形成することができます。外付け共端子の容量等の定数は、共振子により異なりますので共振子メーカーの推奨値を御使用ください。

発振制御

(1)ストップモード

STP命令を実行すると、システムクロックが「H」の状態が発振が停止しX_{IN}の発振が停止します。このとき、タイマ1及びタイマ2にはそれぞれのリロードラッチの値がセットされます。STP命令実行前にタイマ1、タイマ2割り込み許可ビットを禁止状態(“0”)に設定してください。発振はリセットまたは外部割り込みが受け付けられると再開しますが、システムクロックは、タイマ2がアンダーフローするまで「H」のままです。タイマ2がアンダーフローしてはじめてシステムクロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。

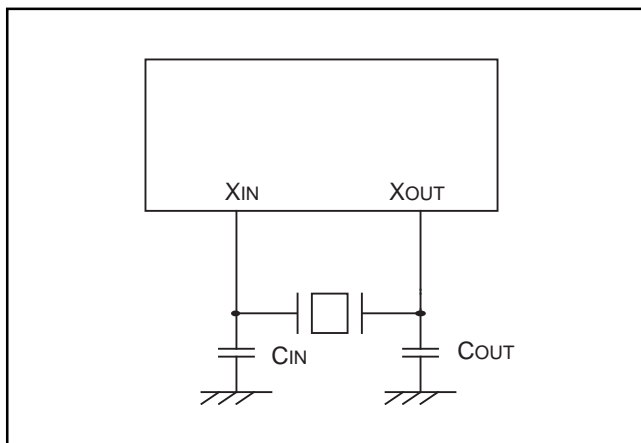


図52. 発振回路

(2)ウェイトモード

WIT命令を実行すると、システムクロックが「H」の状態で停止しますが発振器は停止しません。リセット又は割り込みを受け付けると停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割込許可ビットを「1」にしておく必要があります。また、割り込み復帰後はその割り込み要因の飛び先ベクトルへジャンプします。但し、STP命令時はRESET、INT₀、INT₁、CANウェイクアップ、CNTR₀、CNTR₁、シリアル/Ω(外部クロック選択時)、キーオンウェイクアップ割り込みのみ受け付けられます。

注 X_{IN}を外部から入力する仕様は考慮していません。

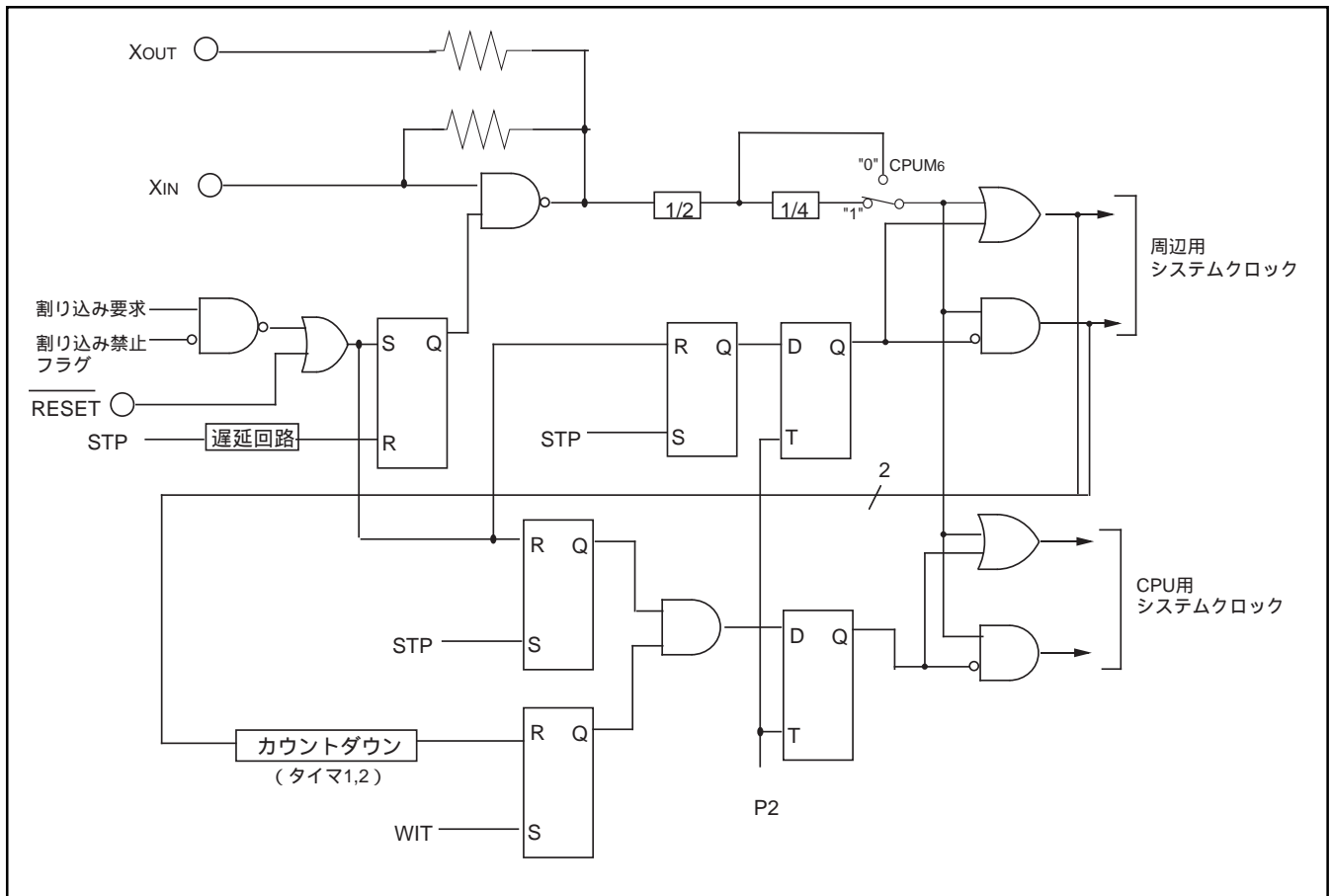


図53. クロック発生回路ブロック図

プログラミング上の注意事項

(1) プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタPSは割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

(2) PLP命令及び割り込みに関するもの

PLP命令実行中は割り込みを禁止して下さい。
(PLP命令の前にSEI命令を挿入)

(3) 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(4) 10進演算に関するもの

10進モードでは、V(オーバフロー)が無効となります。

(5) 乗除演算命令に関するもの

MUL、DIV命令はT、Dフラグの影響を受けません。乗算命令での実行ではその演算結果によりN、Zフラグが変化します。Cフラグは常に"0"です。除算命令での実行では除数が"00"の場合にVフラグが"1"になります。商が8ビットを越えるとCフラグは"1"になります。V又はCフラグが"1"になった場合は除算命令は停止して次の命令を実行します。なお、商の値によりN、Zの両フラグは変更されます。

(6) ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめTフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBS等のビットテスト命令は使用できません。また、CLB、SEB等のビット操作命令、ROR等の演算を始めとする方向レジスタのリードモディファイライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令等を使用して下さい。

(7) タイマに関するもの

タイマラッチに値N(0~255)を書き込んだ場合、分周比は $1/(N+1)$ です。

(8) CANコントローラの通信タイミング設定に関するもの

CANコントローラの通信タイミング設定は、CANコントローラの送受信有効にする前に必ず行って下さい。設定に関する条件については本文中の図を参照して下さい。

(9) CANスリープモード及びSTP命令実行に関するもの

送信・受信中にCANコントローラをスリープモードに移行させるとCANバス上にドミナントレベル送出状態で停止する場合があります。送信完了もしくは送信アボートの実行、受信無効化後に送受信されていない事を確認してからスリープモードに移行して下さい。

また、STP命令実行時についても同理由にて、スリープモードへ移行後にSTP命令を実行して下さい。

(10) CANコントローラの送信アボートに関するもの

送信アボートの要求は、送信要求時のみ実行できます。既に送信を開始している場合は送信完了するか送信エラー発生時以外はアボートは実行されません。送信アボート要求発行タイミングによって送信アボート要求のみが残る場合がありますので、次回送信前に送信アボート要求をソフトウェアにてクリアして下さい。

(11) CANコントローラの受信バッファ読み出しに関するもの

CAN受信割り込み処理ルーチン中でCAN受信バッファの読み出しを行う場合は、格納されている受信バッファ内の全メッセージを読み出して下さい。

(12) CANバスからのウエイクアップに関するもの

CANバスのドミナントレベル検出によるウエイクアップにより、CANコントローラスリープモードから復帰、発振停止状態からの復帰等の条件によってCANの通信データを取りこぼす可能性があります。

(13) A-D変換に関するもの

A-D変換器のコンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(X_{IN})$ を500kHz以上にして下さい。また、A-D変換中はSTP命令、WIT命令を実行しないで下さい。

未使用端子の処理

表8に未使用端子の処理を示します。

表8. 未使用端子の処理

端子 / ポート名	処理方法
P0,P12~P17,P2,P3,P4 (注1,2,4)	・入力モードに設定した上で、抵抗を介してプルダウンして下さい。 ・出力モードに設定し"L"又は"H"出力状態で開放して下さい。
P11 (注3)	・抵抗を介してプルダウンして下さい。
VREF.AVSS	・Vss(GND)に接続して下さい。
XOUT	・開放して下さい。(外部クロック使用時のみ)

注1 . プログラマブル入出力ポートの場合、複数ポートをまとめて抵抗を介し、Vssに接続しないで下さい。また、プルアップ制御可能な端子は、プルアップを無効に設定して下さい。

注2 . P12/INT2端子等のシュミット入力端子を出力モードに設定して開放する場合リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電圧が増加する場合があります。システムの影響についてはユーザサイドで十分な評価を行って下さい。

注3 . P11端子はワンタイムPROM版の場合、Vpp端子(EPROM書き込み用)兼用となっています。

・配線はできるだけ短くして下さい。

・5k 程度の抵抗をVpp端子に近い位置に挿入し、これを介してVpp端子とVss端子とをせつぞくして下さい。

注4 . プログラマブル入出力ポートの場合、ノイズや暴走によりポート方向レジスタの値が変化し出力モードになる可能性があります。このとき、ポートとGNDが短絡する可能性がありますので、ソフトウェアにて定期的にポート方向レジスタに値を設定することを推奨します。

(1)レベルシフト入力動作について

7630グループでは、図54に示すように過電圧による入力電流に制限抵抗を付加して最大入力電流を規制することで $V_i > V_{cc}$ とすることができます。ただし本マイコンの保護ダイオードは、通常のスイッチングダイオードと異なりDC信号のレベルシフトを目的としています。したがって突入電流などの急激なストレスがダイオードへ直接印可されないように注意して下さい。

(2)注意事項

レベルシフト入力による入力電流のうち、マイコンで消費しきれない電流がマイコンの電源端子から外部電源回路へと流れても電源電圧が動作保証電圧内で安定することをご確認ください。

多数のポートに流れ込む電流波を同時に変化させる（AC動作）、ノイズによる誤動作等については御社にて評価・確認してください。

レベルシフト入力端子は、 V_{cc} ピンを中心とし、 V_{cc} ピン付近より左右に均等に使用することを推奨します。

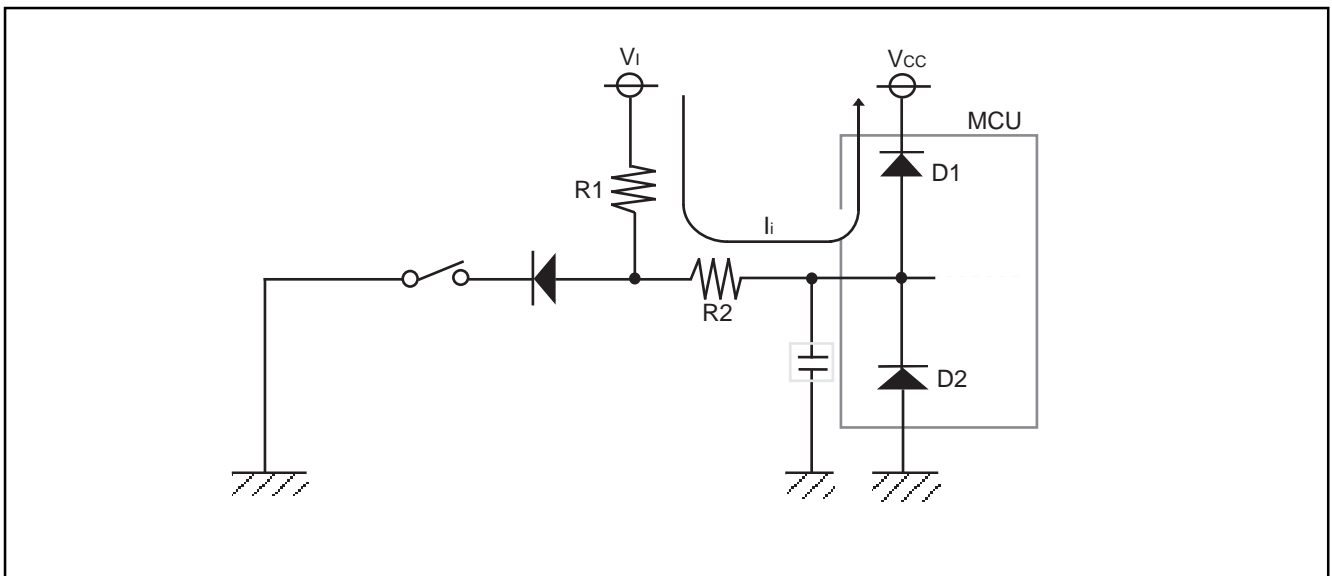


図54. レベルシフト入力回路構成図

ノイズに関する注意事項

ノイズに関する注意事項を以下に示します。本対策例は理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行って下さい。

(1)リセット端子の配線

リセット端子に接続する配線は短くして下さい。特にリセット端子とV_{SS}端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20mm以内)配線で接続して下さい。ノイズなどによってリセット端子に入力される"L"パルス幅が規定値よりも短いと、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

(2)クロック入力端子の配線

クロック入出力端子に接続する配線は短くして下さい。発振子に接続するコンデンサの接地側リード線とマイコンのは、V_{SS}端子とは最短(20mm以内)の配線で接続して下さい。発振用のV_{SS}パターンは、発振回路専用とし、他のV_{SS}パターンと分離して下さい。

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのV_{SS}レベルと発振子のV_{SS}レベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

(3)V_{SS}-V_{CC}ライン間へのバイパスコンデンサ挿入

V_{SS}-V_{CC}ライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入して下さい。

- ・V_{SS}端子-バイパスコンデンサ間の配線長とV_{CC}-バイパスコンデンサ間の配線長を等しくする。
- ・V_{SS}端子-バイパスコンデンサ間の配線長とV_{CC}-バイパスコンデンサ間の配線長を最短にする。
- ・V_{SS}ライン及びV_{CC}ラインは他の信号線よりも幅の広い配線を使用する。

(4)アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線は、マイコンのできるだけ近い位置に、100~1k 程度の抵抗を直列に接続して下さい。
- ・アナログ入力端子とV_{SS}端子間の、V_{SS}端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入して下さい。

アナログ入力端子への配線が長い場合、この配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とV_{SS}端子間のコンデンサをV_{SS}か

ら遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。

(5)発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置して下さい。

このような信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置して下さい。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないで下さい。

CNTR端子の信号など高速にレベル変化するときの影響を他の信号線に与え易く、特にクロック関連の信号線と交差するクロックの波形が乱れ、誤動作や暴走の原因となります。

V_{SS}パターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はV_{SS}にして下さい。

このV_{SS}パターンはマイコンのV_{SS}端子と最短の配線で接続し、他のV_{SS}パターンから独立させて下さい。

(6)入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行って下さい。

<ハードウェア面>

- ・入出力ポートに100 以上の抵抗を直列に挿入して下さい。

<ソフトウェア面>

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認して下さい。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行って下さい。
- ・一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行って下さい。一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去して下さい。

(7) 未使用の割り込みベクタ処理

未使用の割り込みベクタにはリセットベクタと同じアドレスを設定して下さい。この設定により不本意な割り込みが発生しても初期化ルーチンに移行させ、フェールセーフできます。

マスクROMおよびROM書き込み発注時の提出資料

マスクROM版およびワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- (1) マスク化確認書 (マスクROM版) *
- ROM書き込み確認書 (ワンタイムPROM版) *
- (2) マーク指定書
- (3) ROMのデータ..... EPROM 3セット
又はフロッピーディスク 1枚

* マスク化確認書、ROM書き込み確認書およびマーク指定書につきましては、ルネサステクノロジホームページROM発注(<http://www.renesas.com/jp/rom>)を参照して下さい。

PROM書き込み方法

ワンタイムプログラマブル版 (ブランク品) 及び EPROM 内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

パッケージ	書き込みアダプタ形名
44P6N-A	PCA7430
80D0	PCA7431

ワンタイムプログラマブル (ブランク品) は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図55に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

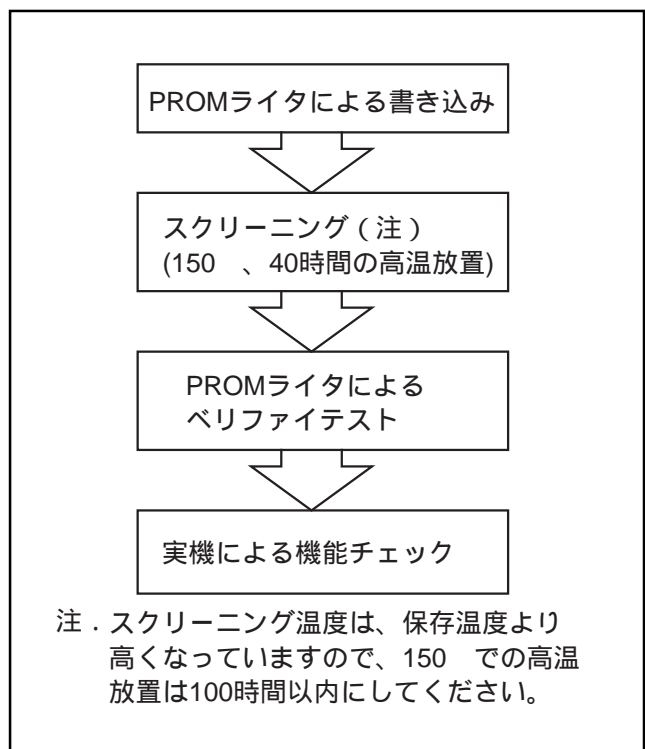


図55. ワンタイムプログラマブル版書き込みとテスト

7630グループ

電気的特性

(1)T:車載対応版の電気的特性 * M37631M4T-XXXFPは開発中ですので電気的特性を変更する場合があります。

表9.絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する出力トランジスタは遮断状態	-0.3 ~ 7.0 (注1)	V
V _i	入力電圧 P00 ~ P07, P11 ~ P17, P20 ~ P27, P30 ~ P34 P40 ~ P47, RESET, XIN, VREF		-0.3 ~ V _{CC} +0.3	V
V _o	出力電圧 P00 ~ P07, P12 ~ P17, P20 ~ P27, P30 ~ P34 P40 ~ P47, XOUT		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	T _a = 25	500	mW
T _{opr}	動作周囲温度		-40 ~ 85	
T _{stg}	保存温度		-60 ~ 150	

注1.M37631M4T-XXXFPでは、-0.3 ~ 6.5Vです。

7630グループ

表10. 推奨動作条件

(指定のない場合はVCC=4.0~5.5V, VSS=AVSS=0V, Ta= -40~85)

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧	4.0	5.0	5.5	V
VSS			0		V
VREF	A-D変換基準電圧	2.0		VCC	V
AVSS	アナログ電源電圧		0		V
VIA	A-D変換入力電圧	AN0~AN7		VCC	V
VIH	“H”入力電圧	P00~P07, P11~P17, P20~P27 P30~P34, P40~P47, RESET, XIN		VCC	V
VIL	“L”入力電圧	P00~P07, P11~P17, P20~P27 P30~P34, P40~P47, RESET, XIN		0.2VCC	V
IOH(peak)	“H”出力総尖頭電流(注1)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		-80	mA
IOH(avg)	“H”出力総平均電流(注1)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		-40	mA
IOL(peak)	“L”出力総尖頭電流(注1)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		80	mA
IOL(avg)	“L”出力総平均電流(注1)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		40	mA
IOH(peak)	“H”出力尖頭電流(注2)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		-10	mA
IOH(avg)	“H”出力平均電流(注3)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		-5	mA
IOL(peak)	“L”出力尖頭電流(注2)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		10	mA
IOL(avg)	“L”出力平均電流(注3)	P00~P07, P12~P17, P20~P27 P30~P34, P40~P47		5	mA
IIO	“H”入力電流 (VI > VCC)	P12~P17, P20~P27 P30~P34, P40~P47		1.0	mA
IIO	“H”入力総電流 (VI > VCC)	P12~P17, P20~P27 P30~P34, P40~P47		16.0	mA
f(CNTR)	クロック入力発振周波数 (発振周波数はデューティ 50%の場合です。)	CNTR0, CNTR1 二相パルス入力(4倍速モード)時以外		f(XIN)/16	MHz
		TX0, CNTR0 二相パルス入力(4倍速モード)時		f(XIN)/32	MHz
f(XIN)	メインクロック入力発振周波数(注4)			10	MHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 平均出力電流IOL(avg)、IOH(avg)は100msの期間での平均値です。

4. メインクロック発生回路には、発振波形に歪がなく、十分振幅の確保できる外付け発振子を発振子メーカー推奨条件下でご使用ください。

7630グループ

表11. 電気的特性

(指定のない場合はVCC=4.0~5.5V, VSS=AVSS=0V, Ta= -40~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	IOH= -5mA	0.8VCC			V
VOL	“L”出力電圧 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	IOl=5mA			2.0	V
VT+ - VT -	ヒステリシス INT0,INT1, TX0, CNTR0, CNTR1			0.5		V
VT+ - VT -	ヒステリシス SIN, SCLK, URTS, UCTS, CRX, KW0~KW7			0.5		V
VT+ - VT -	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47	Vi=VCC			5.0	μA
IiH	“H”入力電流 RESET	Vi=VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi=VCC		4.0		μA
IiL	“L”入力電流 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47	Vi=VSS			-5.0	μA
IiL	“L”入力電流 RESET	Vi=VSS			-5.0	μA
IiL	“L”入力電流 XIN	Vi=VSS		-4.0		μA
IiH	“H”入力電流 P32, P40~P47	Vi=VCC プルダウン有効	20		200	μA
IiL	“L”入力電流 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	Vi=VSS プルアップ有効	-200		-20	μA
VRAM	RAM保持電圧	クロック停止時	2.0			V
ICC	電源電流	高速モード時, f(XIN)=8MHz VCC=5V, 出力トランジスタはOFF状態 CANコントローラ動作中 A-D変換器動作中		11.0	18.0	mA
		高速モード時, f(XIN)=8MHz VCC=5V, 出力トランジスタはOFF状態 CANコントローラ停止 A-D変換器動作中		9.0	16.0	mA
		中速モード時, f(XIN)=8MHz VCC=5V, 出力トランジスタはOFF状態 CANコントローラ動作中 A-D変換器動作中		6.0	11.0	mA
		中速モード時, f(XIN)=8MHz VCC=5V, 出力トランジスタはOFF状態 CANコントローラ停止 A-D変換器停止 (WIT命令実行時)		2.0		mA
		発振はすべて停止 Ta=25 VCC=5V (注5)		0.1	1.0	μA
		発振はすべて停止 Ta=85 VCC=5V (注5)			10.0	μA

注5 . 出力トランジスタは遮断状態、A-D変換器は変換終了状態、VREF端子に流れる電流は含みません。

7630グループ

表12. A-D変換器特性

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V, V_{SS}=AV_{SS}=0V, T_a = -40 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	bit
-	絶対精度(量子化誤差は除く)			± 1.0	± 2.5	LSB
tCONV	変換時間	高速モード時	106		108	tc(XIN)
		中速モード時	424		432	tc(XIN)
VREF	基準電圧入力		2.0	VCC	V	
IREF	基準電流入力	$V_{CC}=V_{REF}=5.12V$		150	200	μA
RLADDER	ラダー抵抗			35		k
I _{IAN}	A-Dポート入力電流	$V_I=V_{SS} \sim V_{CC}$		0.5	5.0	μA

表13. タイミング必要条件 (指定のない場合は $V_{CC}=4.0 \sim 5.5V, V_{SS}=AV_{SS}=0V, T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	20			tc(XIN)
tc(XIN)	メインクロック入力サイクル時間	100			ns
tWH(XIN)	メインクロック入力“H”パルス幅	37			ns
tWL(XIN)	メインクロック入力“L”パルス幅	37			ns
tc(CNTR)	CNTR ₀ , CNTR ₁ 入力サイクル時間 二相パルス入力(4倍速モード)時以外	1600			ns
	CNTR ₀ 入力サイクル時間 二相パルス入力(4倍速モード)時	2000			ns
tWH(CNTR)	CNTR ₀ , CNTR ₁ 入力“H”パルス幅 二相パルス入力(4倍速モード)時以外	800			ns
	CNTR ₀ 入力“H”パルス幅 二相パルス入力(4倍速モード)時	1000			ns
tWL(CNTR)	CNTR ₀ , CNTR ₁ 入力“L”パルス幅 二相パルス入力(4倍速モード)時以外	800			ns
	CNTR ₀ 入力“L”パルス幅 二相パルス入力(4倍速モード)時	1000			ns
tL(CNTR ₀ -TX ₀)	CNTR ₀ , TX ₀ の入力エッジの間隔 二相パルス入力(4倍速モード)時	500			ns
tc(TX ₀)	TX ₀ 入力サイクル時間 二相パルス入力(4倍速モード)時	3200			ns
tWH(TX ₀)	TX ₀ 入力“H”パルス幅 二相パルス入力(4倍速モード)時	1600			ns
tWL(TX ₀)	TX ₀ 入力“L”パルス幅 二相パルス入力(4倍速モード)時	1600			ns
tWH(INT)	INT ₀ , INT ₁ 入力“H”パルス幅	460			ns
tWL(INT)	INT ₀ , INT ₁ 入力“L”パルス幅	460			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間	$8 \cdot tc(XIN)$			ns
tWH(SCLK)	シリアル/Oクロック入力“H”パルス幅	$4 \cdot tc(XIN)$			ns
tWL(SCLK)	シリアル/Oクロック入力“L”パルス幅	$4 \cdot tc(XIN)$			ns
tsu(SIN-SCLK)	シリアル/O入力セットアップ時間	200			ns
th(SCLK-SIN)	シリアル/O入力ホールド時間	150			ns

7630グループ

表14. スイッチング特性

(指定のない場合は, $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアルI/O1クロック出力“H”パルス幅	$0.5 \cdot t_c(\text{SCLK})-50$			ns
t _{WL} (SCLK)	シリアルI/O1クロック出力“L”パルス幅	$0.5 \cdot t_c(\text{SCLK})-50$			ns
t _d (SCLK-SOUT)	シリアルI/O出力遅延時間			50	ns
t _v (SCLK-SOUT)	シリアルI/O出力有効時間	0		50	ns
t _r (SCLK)	シリアルI/Oクロック出力立ち上がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間		10	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間		10	50	ns

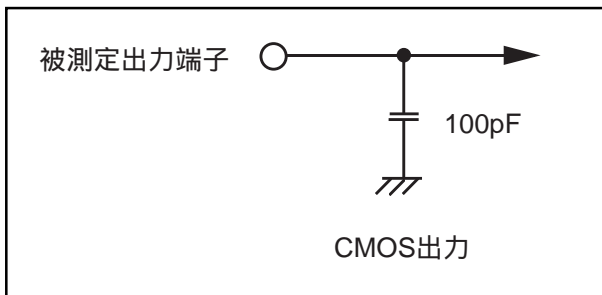


図56. 出力スイッチング特性測定回路図

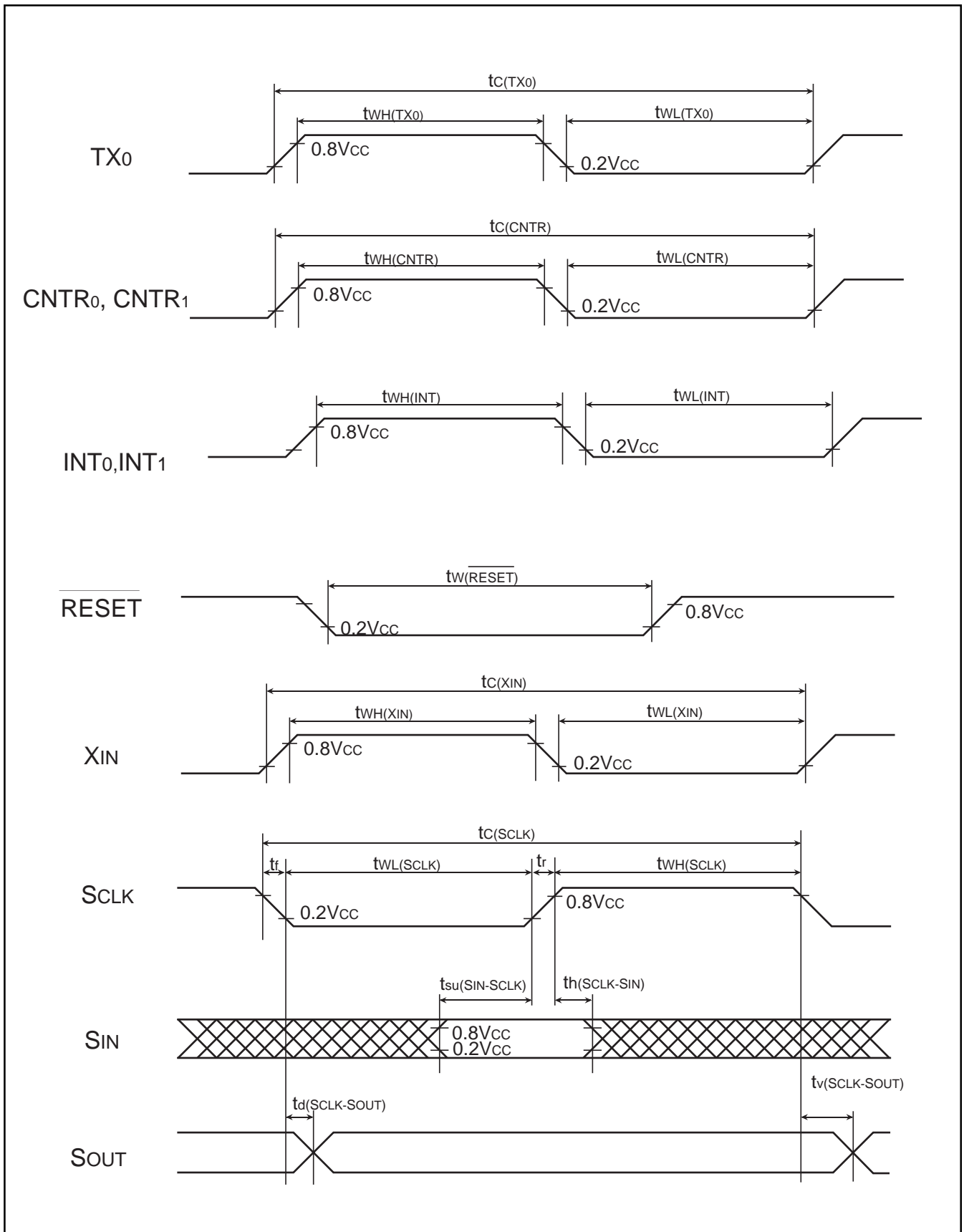


図57. タイミング図

7630グループ

(2) V:車載対応125 保証版の電気的特性 * M37631M4V-XXXFPは開発中ですので電気的特性を変更する場合があります。

表15.絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧	Vss端子を基準にして測定する出力トランジスタは遮断状態	-0.3 ~ 7.0(注1)	V
Vi	入力電圧 P00 ~ P07, P11 ~ P17, P20 ~ P27, P30 ~ P34 P40 ~ P47, RESET, XIN, VREF		-0.3 ~ VCC+0.3	V
Vo	出力電圧 P00 ~ P07, P12 ~ P17, P20 ~ P27, P30 ~ P34 P40 ~ P47, XOUT		-0.3 ~ VCC+0.3	V
Pd	消費電力	Ta = 25	500	mW
Topr	動作周囲温度		-40 ~ 125 (注2)	
Tstg	保存温度		-60 ~ 150	

注1.M37631M4V-XXXFPでは、-0.3 ~ 6.5Vです。

注2 動作周囲温度55 ~ 85 の総時間は6,000時間以内、85 ~ 125 の総時間は1,000時間以内です。

7630グループ

表16. 推奨動作条件

(指定のない場合はVCC=4.0~5.5V, VSS=AVSS=0V, Ta= -40~125)

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧	4.0	5.0	5.5	V
VSS			0		V
VREF	A-D変換基準電圧	2.0		VCC	V
AVSS	アナログ電源電圧		0		V
VIA	A-D変換入力電圧 AN0~AN7	AVSS		VCC	V
VIH	“H”入力電圧 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47, RESET, XIN	0.8VCC		VCC	V
VIL	“L”入力電圧 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47, RESET, XIN	0		0.2VCC	V
IOH(peak)	“H”出力総尖頭電流(注1) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			-80	mA
IOH(avg)	“H”出力総平均電流(注1) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			-40	mA
IOL(peak)	“L”出力総尖頭電流(注1) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			80	mA
IOL(avg)	“L”出力総平均電流(注1) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			40	mA
IOH(peak)	“H”出力尖頭電流(注2) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			-10	mA
IOH(avg)	“H”出力平均電流(注3) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			-5	mA
IOL(peak)	“L”出力尖頭電流(注2) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			10	mA
IOL(avg)	“L”出力平均電流(注3) P00~P07, P12~P17, P20~P27 P30~P34, P40~P47			5	mA
IIO	“H”入力電流 (Vi > VCC) P12~P17, P20~P27 P30~P34, P40~P47			1.0	mA
IIO	“H”入力総電流 (Vi > VCC) P12~P17, P20~P27 P30~P34, P40~P47			16.0	mA
f(CNTR)	クロック入力発振周波数 (発振周波数はデューティ 50%の場合です。)	CNTR0, CNTR1 二相パルス入力(4倍速モード)時以外		f(XIN)/16	MHz
		TX0, CNTR0 二相パルス入力(4倍速モード)時		f(XIN)/32	MHz
f(XIN)	メインクロック入力発振周波数(注4)			10	MHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 平均出力電流IOL(avg)、IOH(avg)は100msの期間での平均値です。

4. メインクロック発生回路には、発振波形に歪がなく、十分振幅の確保できる外付け発振子を発振子メーカー推奨条件下でご使用ください。

7630グループ

表17. 電気的特性

(指定のない場合はVcc=4.0~5.5V, Vss=AVss=0V, Ta= -40~125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	IOH= -5mA	0.7Vcc			V
VOL	“L”出力電圧 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	IOl=5mA			2.0	V
VT+ - VT -	ヒステリシス INT0,INT1,TX0,CNTR0,CNTR1			0.5		V
VT+ - VT -	ヒステリシス SIN,SCLK,U RTS,U CT S,CRX, KW0~KW7			0.5		V
VT+ - VT -	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47	Vi=Vcc			5.0	μA
IiH	“H”入力電流 RESET	Vi=Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4.0		μA
IiL	“L”入力電流 P00~P07, P11~P17, P20~P27 P30~P34, P40~P47	Vi=Vss			-5.0	μA
IiL	“L”入力電流 RESET	Vi=Vss			-5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		-4.0		μA
IiH	“H”入力電流 P32, P40~P47	Vi=Vcc プルダウン有効	20		200	μA
IiL	“L”入力電流 P00~P07, P12~P17, P20~P27 P30~P34, P40~P47	Vi=Vss プルアップ有効	-200		-20	μA
VRAM	RAM保持電圧	クロック停止時	2.0			V
ICC	電源電流	高速モード時,f(XIN)=8MHz Vcc=5V,出力トランジスタはOFF状態 CANコントローラ動作中 A-D変換器動作中		11.0	18.0	mA
		高速モード時,f(XIN)=8MHz Vcc=5V,出力トランジスタはOFF状態 CANコントローラ停止 A-D変換器動作中		9.0	16.0	mA
		中速モード時,f(XIN)=8MHz Vcc=5V,出力トランジスタはOFF状態 CANコントローラ動作中 A-D変換器動作中		6.0	11.0	mA
		中速モード時,f(XIN)=8MHz Vcc=5V,出力トランジスタはOFF状態 CANコントローラ停止 A-D変換器停止 (WIT命令実行時)		2.0		mA
		発振はすべて停止 Ta=25 Vcc=5V (注5)		0.1	1.0	μA
		発振はすべて停止 Ta=125 Vcc=5V (注5)			50.0	μA

注5 . 出力トランジスタは遮断状態、A-D変換器は変換終了状態、VREF端子に流れる電流は含みません。

7630グループ

表18. A-D変換器特性

(指定のない場合は, $V_{CC}=4.0 \sim 5.5V, V_{SS}=AV_{SS}=0V, T_a = -40 \sim 125$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	bit
-	絶対精度(量子化誤差は除く)			± 1.0	± 2.5	LSB
tCONV	変換時間	高速モード時	106		108	tc(XIN)
		中速モード時	424		432	tc(XIN)
VREF	基準電圧入力		2.0		V _{CC}	V
IREF	基準電流入力	V _{CC} =VREF=5.12V		150	200	μA
RLADDER	ラダー抵抗			35		k
I _{IAN}	A-Dポート入力電流	V _I =V _{SS} ~ V _{CC}		0.5	5.0	μA

表19. タイミング必要条件 (指定のない場合は $V_{CC}=4.0 \sim 5.5V, V_{SS}=AV_{SS}=0V, T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	20			tc(XIN)
t _c (XIN)	メインクロック入力サイクル時間	100			ns
t _{WH} (XIN)	メインクロック入力“H”パルス幅	37			ns
t _{WL} (XIN)	メインクロック入力“L”パルス幅	37			ns
t _c (CNTR)	CNTR ₀ , CNTR ₁ 入力サイクル時間 二相パルス入力(4倍速モード)時以外	1600			ns
	CNTR ₀ 入力サイクル時間 二相パルス入力(4倍速モード)時	2000			ns
t _{WH} (CNTR)	CNTR ₀ , CNTR ₁ 入力“H”パルス幅 二相パルス入力(4倍速モード)時以外	800			ns
	CNTR ₀ 入力“H”パルス幅 二相パルス入力(4倍速モード)時	1000			ns
t _{WL} (CNTR)	CNTR ₀ , CNTR ₁ 入力“L”パルス幅 二相パルス入力(4倍速モード)時以外	800			ns
	CNTR ₀ 入力“L”パルス幅 二相パルス入力(4倍速モード)時	1000			ns
t _L (CNTR ₀ -TX ₀)	CNTR ₀ , TX ₀ の入力エッジの間隔 二相パルス入力(4倍速モード)時	500			ns
t _c (TX ₀)	TX ₀ 入力サイクル時間 二相パルス入力(4倍速モード)時	3200			ns
t _{WH} (TX ₀)	TX ₀ 入力“H”パルス幅 二相パルス入力(4倍速モード)時	1600			ns
t _{WL} (TX ₀)	TX ₀ 入力“L”パルス幅 二相パルス入力(4倍速モード)時	1600			ns
t _{WH} (INT)	INT ₀ , INT ₁ 入力“H”パルス幅	460			ns
t _{WL} (INT)	INT ₀ , INT ₁ 入力“L”パルス幅	460			ns
t _c (SCLK)	シリアルI/Oクロック入力サイクル時間	8 \cdot t _c (XIN)			ns
t _{WH} (SCLK)	シリアルI/Oクロック入力“H”パルス幅	4 \cdot t _c (XIN)			ns
t _{WL} (SCLK)	シリアルI/Oクロック入力“L”パルス幅	4 \cdot t _c (XIN)			ns
t _{su} (SIN-SCLK)	シリアルI/O入力セットアップ時間	200			ns
t _h (SCLK-SIN)	シリアルI/O入力ホールド時間	150			ns

7630グループ

表20. スイッチング特性

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/O1クロック出力“H”パルス幅	$0.5 \cdot t_c(\text{SCLK})-50$			ns
t _{WL} (SCLK)	シリアル/O1クロック出力“L”パルス幅	$0.5 \cdot t_c(\text{SCLK})-50$			ns
t _d (SCLK-SOUT)	シリアル/O出力遅延時間			50	ns
t _v (SCLK-SOUT)	シリアル/O出力有効時間	0		50	ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間		10	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間		10	50	ns

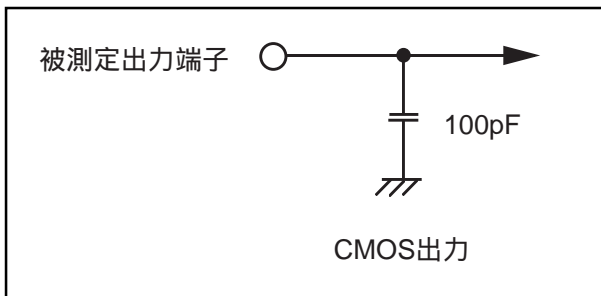


図58. 出力スイッチング特性測定回路図

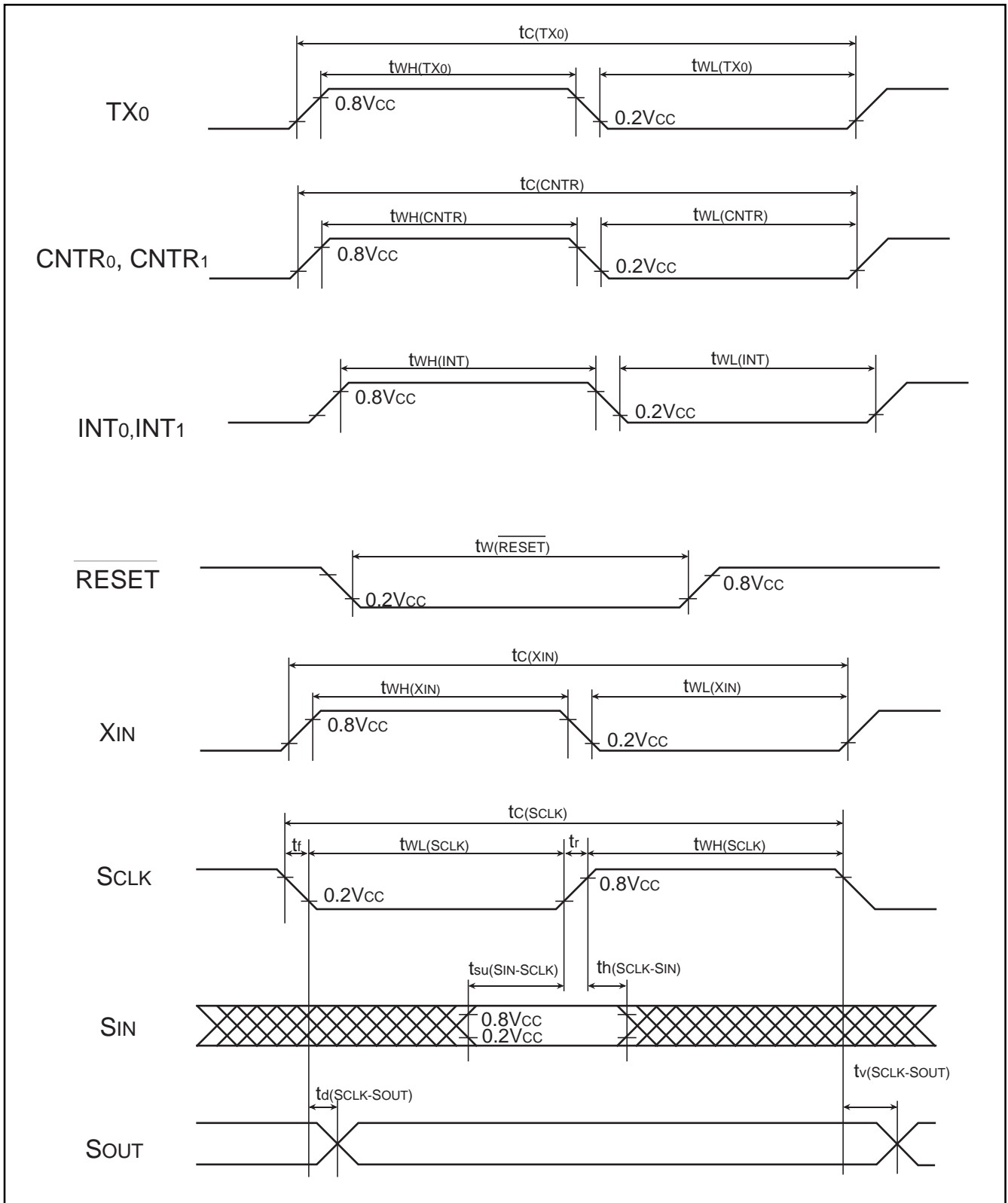


図59. タイミング図

44P6N-A

Plastic 44pin 10×10mm body QFP

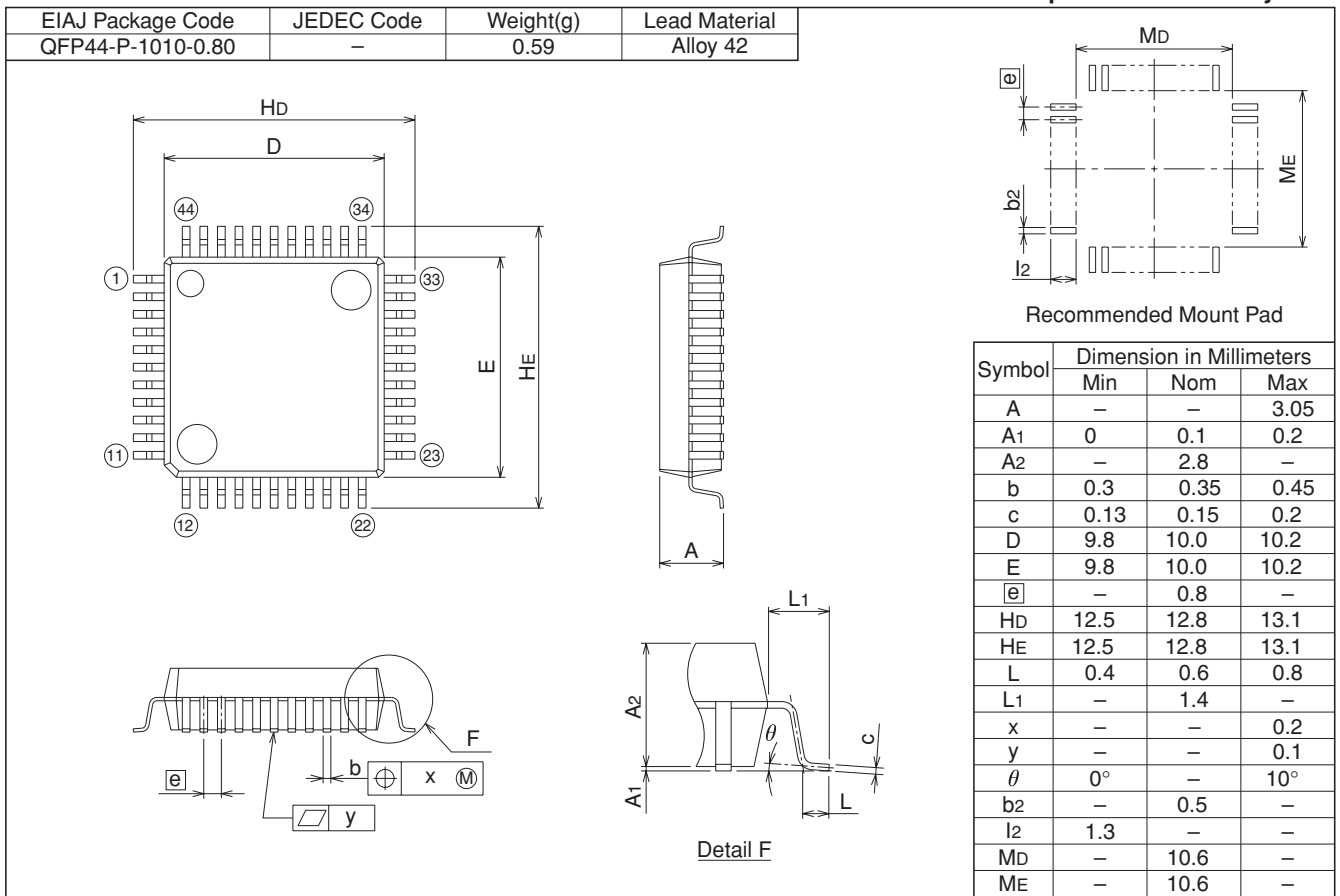


図60. パッケージ外形寸法図(44P6N-A)

80D0

Glass seal 80pin QFN

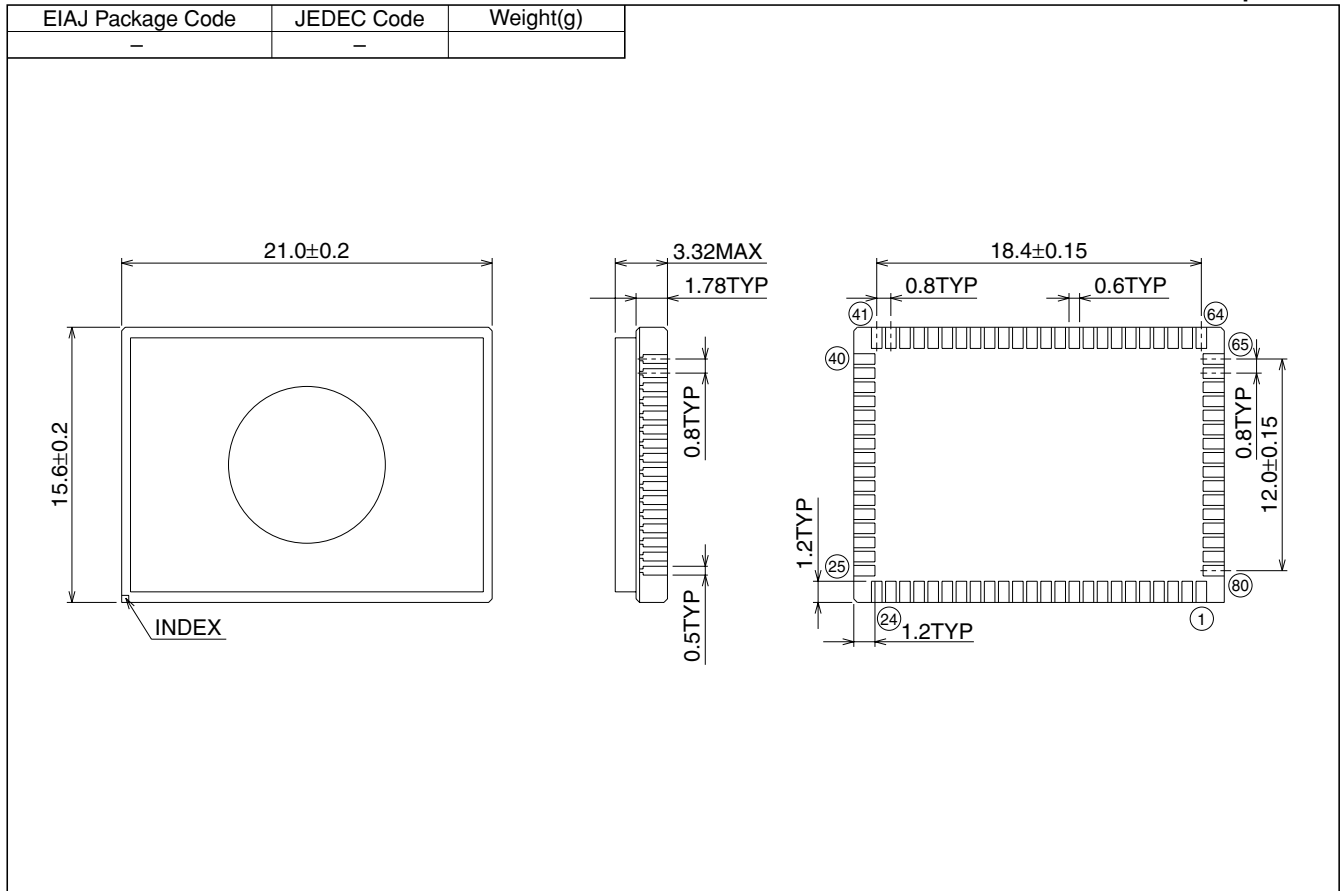


図61. パッケージ外形寸法図(80D0)

7630 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	99/2		初版発行
2.0	01/10	1 6 14 ~ 16 18 23 28 29 31 34 38 41 43 45 47 55 57	<p>全面見直し（主な変更点のみ記載）</p> <ul style="list-style-type: none"> ・概要 消費電力 通常モード時 $f(XIN)/2$（高速モード）時 ・ユーザ利用可能 ROM サイズ 16298 16252 ・ポートブロック図修正 ・割り込み動作と注意事項を詳細にした ・タイマ XY ブロック図を修正 ・タイマ 123 モードレジスタの PWM 出力ビット 0: PWM 出力許可 PWM 出力禁止, 1: PWM 出力選出 PWM 出力許可 ・PWM 説明の項 PWM 極性選択ビットを "1" に設定した場合は PWM の H レベル出力期間を... "0" に設定した場合は... ・PWM 使用時の注意事項を追加 ・シリアル I/O ブロック図を修正 ・UART 形ブロック図を修正 ・送受信ボーレートの式を修正 ・UART ステータスレジスタの受信バッファレジスタフルフラグ 0: バッファフル状態 1: バッファエンpty 状態 ・CAN ビットタイミング図修正 ・CAN 送信受信バッファレジスタ図の CTB1, CRB1 ビット 0 IDA IDE ・A-D 制御レジスタの A-D 変換終了ビット 0: 変換中 変換開始および変換中 ・リセット回路例およびリセットシーケンス図修正 ・STP 命令で受け付け可能な割り込みを明記した。 ・絶対最大定格の V_I（入力電圧）に V_{REF} 端子を追加 ・電気的特性の I_{CC}（電源電流） 中速モード時, $f(XIN)=8MHz, V_{CC}=5V$, 出力トランジスタは OFF 状態, CAN コントローラ停止, A-D 変換器動作中, 単位 μA 中速モード時, $f(XIN)=8MHz, V_{CC}=5V$, 出力トランジスタは OFF 状態, CAN コントローラ停止, A-D 変換器停止, WIT 命令実行時, 単位 mA ・電気的特性の I_{CC}（電源電流） 発振はすべて停止, $T_a=80^\circ C, V_{CC}=5V$ 発振はすべて停止, $T_a=85^\circ C, V_{CC}=5V$
3.00	03/10	1 3 5 6 7 22 28 40 41 51 54	<p>M37630M4V-XXXFP、M37631M4T-XXXFP、M37631M4V-XXXFP を追加。</p> <ul style="list-style-type: none"> ・動作周囲温度に 125 保証品を追加 ・品種と動作周囲温度の追加 ・V: 車載対応 125 保証版追加 ・品種追加 ・図 5 プロセッサステータスレジスタ (PC) プロセッサステータスレジスタ ・キー入力割り込みの説明を修正 ・(5) タイマ 123 モードステータスレジスタ設定 PWM 出力許可に設定して下さい PWM 出力許可、T2 ラッチのみに書き込み、に設定して下さい ・図 41 および図 42 の注釈追加 ・図 43 の注釈追加 ・レベルシフトの注意事項追加 ・ホームページ参照箇所変更

7630 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	03/10	55 61	<ul style="list-style-type: none">・ M37631M4T-XXXFP の注釈追加・ V : 車載対応 125 保証版の電気的特性追加

安全設計に関するお願い

1. 弊社は品質 信頼性の向上に努めておりますが 半導体製品は故障が発生したり 誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として 人身事故火災事故 社会的損害などを生じさせないような安全性を考慮した冗長設計 延焼対策設計 誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり 本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施 使用を許諾するものではありません。
2. 本資料に記載の製品データ 図表 プログラム アルゴリズムその他応用回路例の使用に起因する損害 第三者所有の権利に対する侵害に関し ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ 図表 プログラム アルゴリズムその他全ての情報は本資料発行時点のものでありルネサス テクノロジは 予告なしに 本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては 事前にルネサス テクノロジ ルネサス販売または特約店へ最新の情報をご確認頂きますとともに ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は 正確を期すため 慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ 図表に示す技術的な内容 プログラム及びアルゴリズムを流用する場合は 技術内容 プログラム アルゴリズム単位で評価するだけでなく システム全体で十分に評価し お客様の責任において適用可否を判断してください。ルネサス テクノロジは 適用可否に対する責任を負いません。
6. 本資料に記載された製品は 人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計 製造されたものではありません。本資料に記載の製品を運輸 移動体用 医療用 航空宇宙用 原子力制御用 海中継用機器あるいはシステムなど 特殊用途へのご利用をご検討の際には ルネサス テクノロジ ルネサス販売または特約店へご照会ください。
7. 本資料の転載 複製については 文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ その他お気付きの点がございましたらルネサス テクノロジ ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2(浜松アクトタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中関支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口:カスタマサポートセンタ E-Mail: csc@renesas.com