

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概 要

7560グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

LCD駆動制御回路、A-D変換器、D-A変換器、シリアルI/O、PWMなどの付加機能を備えています。

7560グループには内蔵するメモリの種類、パッケージの異なる複数の品種があります。

詳細については形名とメモリサイズ・パッケージの項を参照してください。

7560グループの製品ラインナップについては、グループ展開の項を参照してください。

特 長

- | | |
|----------------------|------------------|
| ●基本機械語命令 | 71 |
| ●命令実行時間 | 0.5 μs |
| (最短命令、発振周波数8MHz時) | |
| ●メモリ容量 ROM | 32K～60Kバイト |
| RAM | 1024～2560バイト |
| ●プログラマブル入出力ポート | 55本 |
| ●ソフトウェアプルアップ抵抗 | 内蔵 |
| ●出力ポート | 8本 |
| ●入力ポート | 1本 |
| ●割り込み | 17要因、16ベクトル |
| 外部 | 7要因(キー入力割り込みを含む) |
| 内部 | 9要因 |
| ソフトウェア | 1要因 |
| ●タイマ | 8ビット×3、16ビット×2 |
| ●シリアルI/O1 | 8ビット×1 |
| (UART又はクロック同期形) | |
| ●シリアルI/O2 | クロック同期形8ビット×1 |

- PWM 8ビット×1
- A-D変換器 10ビット×8チャンネル又は8ビット×8チャンネル
- D-A変換器 8ビット×2チャンネル
- LCD駆動制御回路 バイアス 1/2、1/3バイアス
 時分割 2、3、4時分割
 コモン出力 4本
 セグメント出力 40本
- クロック発生回路 2回路内蔵
 (セラミック共振子又は水晶発振子外付け)
- ウオッチドッグタイマ 14ビット×1
- 電源電圧 2.2～5.5V
 (EPROM版又はワンタイムPROM版は2.5～5.5V)
 (広動作温度範囲版は3.0～5.5V)
- 消費電力 高速モード時 32mW
 (発振周波数8MHz時、電源電圧5V時)
 低速モード時 45 μ W
 (発振周波数32kHz時、電源電圧3V時)
- 動作周囲温度 -20～85℃
 (広動作温度範囲版は-40～85℃)

应用

カメラ、家電、民生機器等

ピン接続図(上面図)

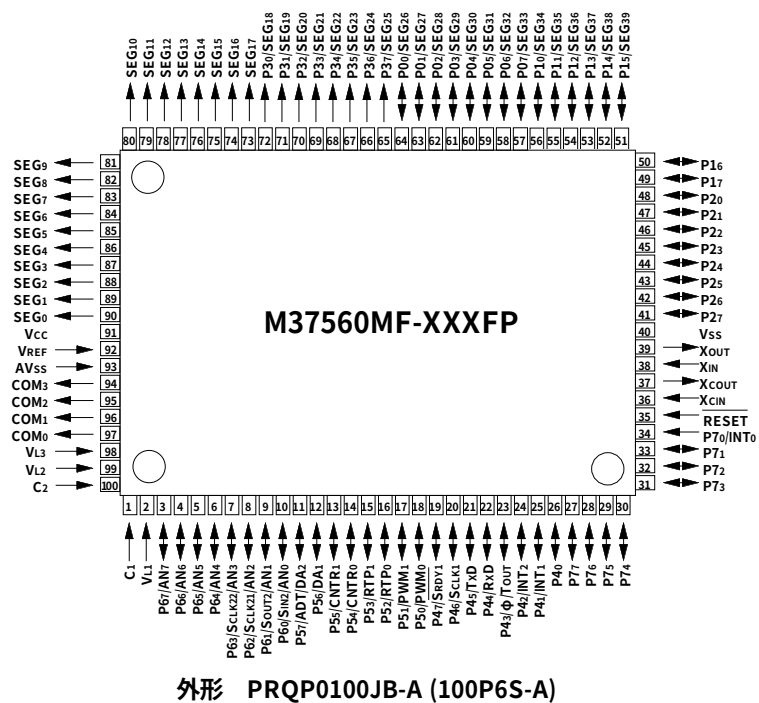


図1. ピン接続図 (PRQP0100JB-Aパッケージ)

ピン接続図 (上面図)

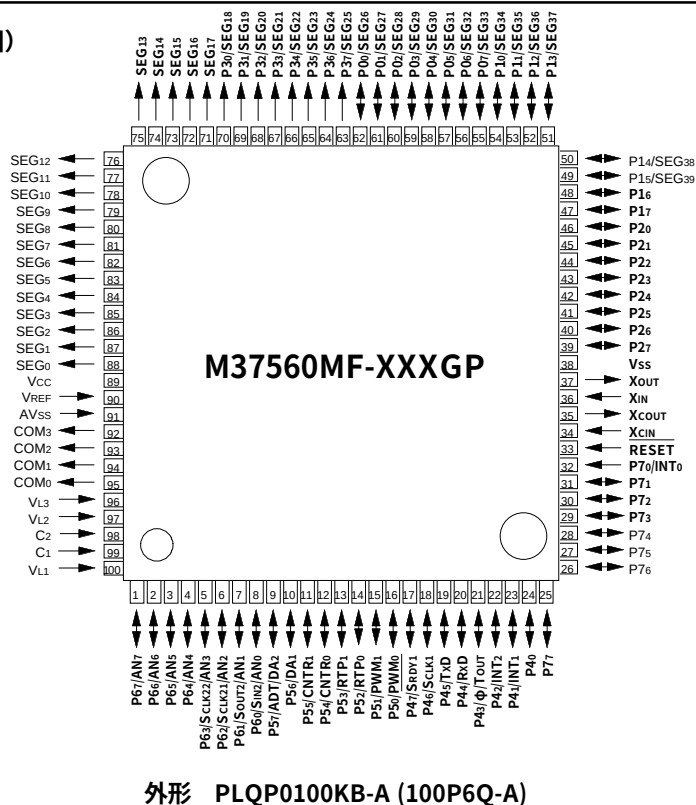
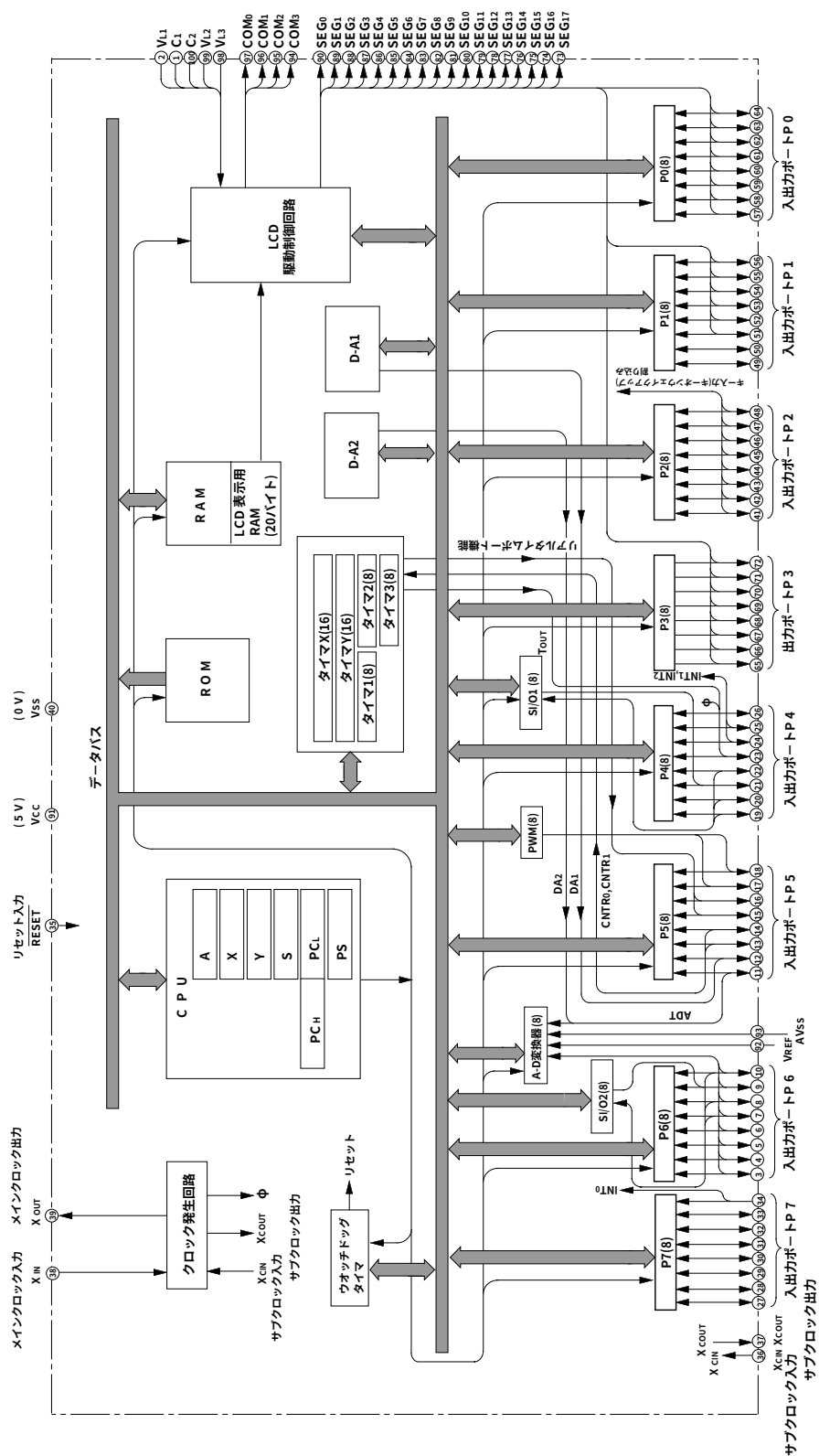


図2. ピン接続図 (PLQP0100KB-Aパッケージ)

機能ブロック図(ピン番号はPRQP0100JB-Aパッケージタイプ)



端子の機能説明

表1. 端子の機能説明

端子名	名 称	機 能	ポート以外の機能
VCC, VSS	電源入力	VCCに2.2～5.5V(EPROM版又はワンタイムPROM版は2.5～5.5V, 広動作温度範囲版は3.0～5.5V)、VSSに0Vを印加してください。	
VREF	基準電圧入力	A-D変換器及びD-A変換器の基準電圧入力端子です。	
AVSS	アナログ電源入力	A-D変換器及びD-A変換器の電源入力端子です。この端子はVSSに接続してください。	
RESET	リセット入力	アクティブ「L」のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子です。XINとXOUTの間にセラミック共振子又は水晶共振子を接続してください。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放してください。帰還抵抗を内蔵しています。	
XOUT	クロック出力		
VL1～VL3	LCD用電源入力	0≤VL1≤VL2≤VL3の電圧を印加してください。LCDには、0～VL3の電圧を印加します。(昇圧時は0≤VL1≤VL2≤VL3)	
C1, C2	昇圧用容量接続端子	LCD制御昇圧回路用コンデンサの外付け端子です。	
COM0～COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。	
SEG0～SEG17	セグメント出力	LCDセグメント出力端子です。	
P00/SEG26 ～ P07/SEG33	入出力ポートP0	8ビットの入出力ポートです。プログラムにより8ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	LCDセグメント出力端子
P10/SEG34 ～ P15/SEG39	入出力ポートP1	6ビットの入出力ポートです。プログラムにより6ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	
P16, P17		2ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	
P20～P27	入出力ポートP2	8ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	キー入力(キーオンウエイクアップ)割り込み入力端子
P30/SEG18 ～ P37/SEG25	出力ポートP3	8ビットの出力ポートです。出力形式はCMOS3ステートです。出力を制御できます。	LCDセグメント出力端子
P40	入出力ポートP4	1ビットの入出力ポートです。プログラムにより、入出力を指定できます。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
P41/INT1 P42/INT2		7ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	INT1割り込み入力端子
P43/φ/TOUT			システムクロックφ出力端子 タイマ2出力端子
P44/RxD, P45/TxD, P46/SCLK1, P47/SRDY1			シリアルI/O1の入出力端子

表2. 端子の機能説明(2)

端子名	名 称	機 能	ポート以外の機能
P50/PWM0, P51/PWM1	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	PWM出力端子
P52/RTP0, P53/RTP1			リアルタイムポート出力端子
P54/CNTR0, P55/CNTR1			タイマXY入出力端子
P56/DA1			D-A変換器出力端子
P57/ADT/DA2			D-A変換器出力端子 A-D外部トリガ入力端子
P60/SIN2/AN0, P61/SOUT2/AN1, P62/SCLK21/AN2, P63/SCLK22/AN3	入出力ポートP6	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	A-D変換器入力端子 シリアルI/O2の入出力端子
P64/AN4~ P67/AN7			A-D変換器入力端子
P70/INT0	入力ポートP7	1ビットのCMOSレベル入力ポートです。	INT0割り込み入力端子
P71~ P77	入出力ポートP7	7ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
XCOUT	サブクロック出力	サブクロック発生回路の入出力端子です。(水晶発振子を接続してください。外部で生成したクロックの入力はできません。)	
XCIN	サブクロック入力		

形名とメモリサイズ・パッケージ

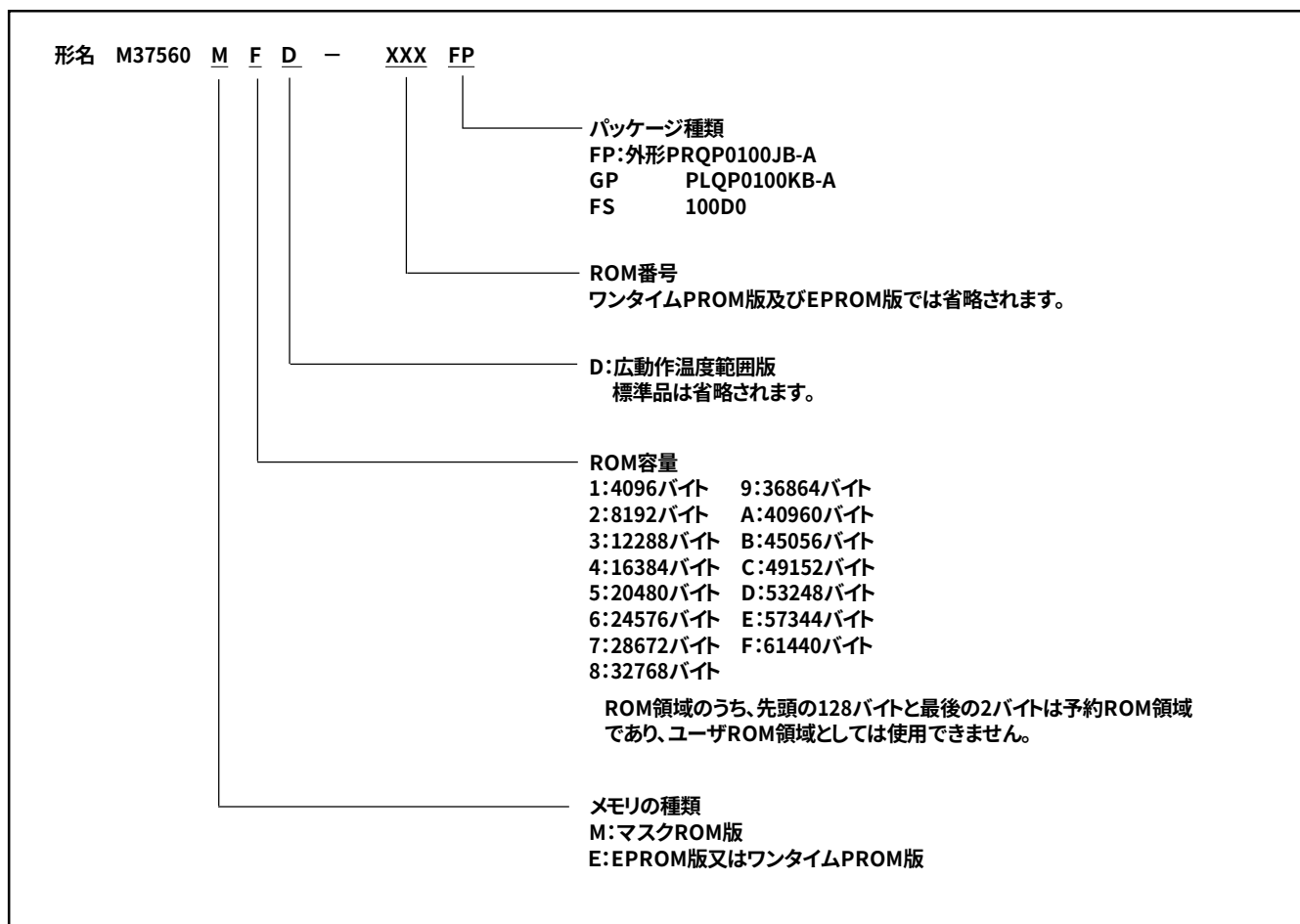


図4. 形名とメモリサイズ・パッケージ

グループ展開

7560グループは次のように展開しています。

メモリの種類

マスクROM版のサポート

パッケージ

PRQP0100JB-A 0.65mmピッチプラスチックモールドQFP

PLQP0100KB-A 0.5mmピッチプラスチックモールドQFP

メモリ容量

ROM容量 32K～60Kバイト

RAM容量 1024～2560バイト

7560グループ ROM、RAM展開

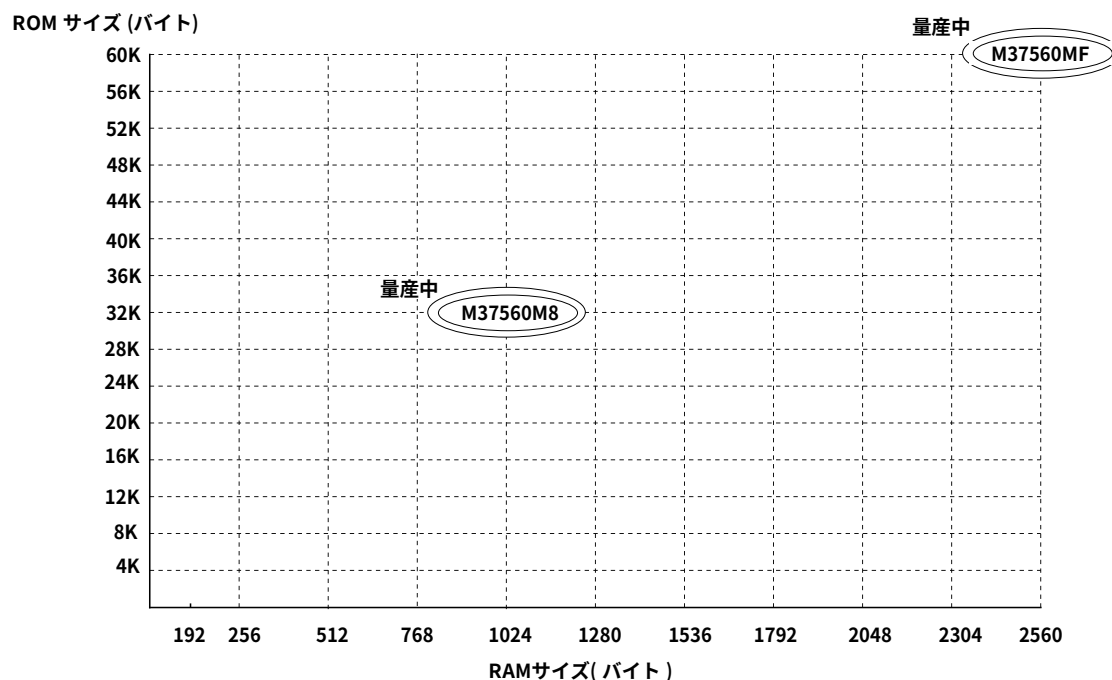


図5. ROM及びRAM展開

現在サポートしている製品を表3に示します。

表3. サポート製品一覧

2005年8月現在

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	
M37560M8-XXXFP	32768	1024	PRQP0100JB-A	マスクROM版
M37560M8-XXXGP	(32638)		PLQP0100KB-A	マスクROM版
M37560MF-XXXFP	61440	2560	PRQP0100JB-A	マスクROM版
M37560MF-XXXGP	(61310)		PLQP0100KB-A	マスクROM版

グループ展開

7560グループは次のように展開しています。

メモリの種類

ワンタイムPROM版、EPROM版のサポート

メモリ容量

ROM容量 60Kバイト

RAM容量 2560バイト

パッケージ

PRQP0100JB-A 0.65mmピッチプラスチックモールドQFP

PLQP0100KB-A 0.5mmピッチプラスチックモールドQFP

100D0 セラミックLCC(EPROM版)

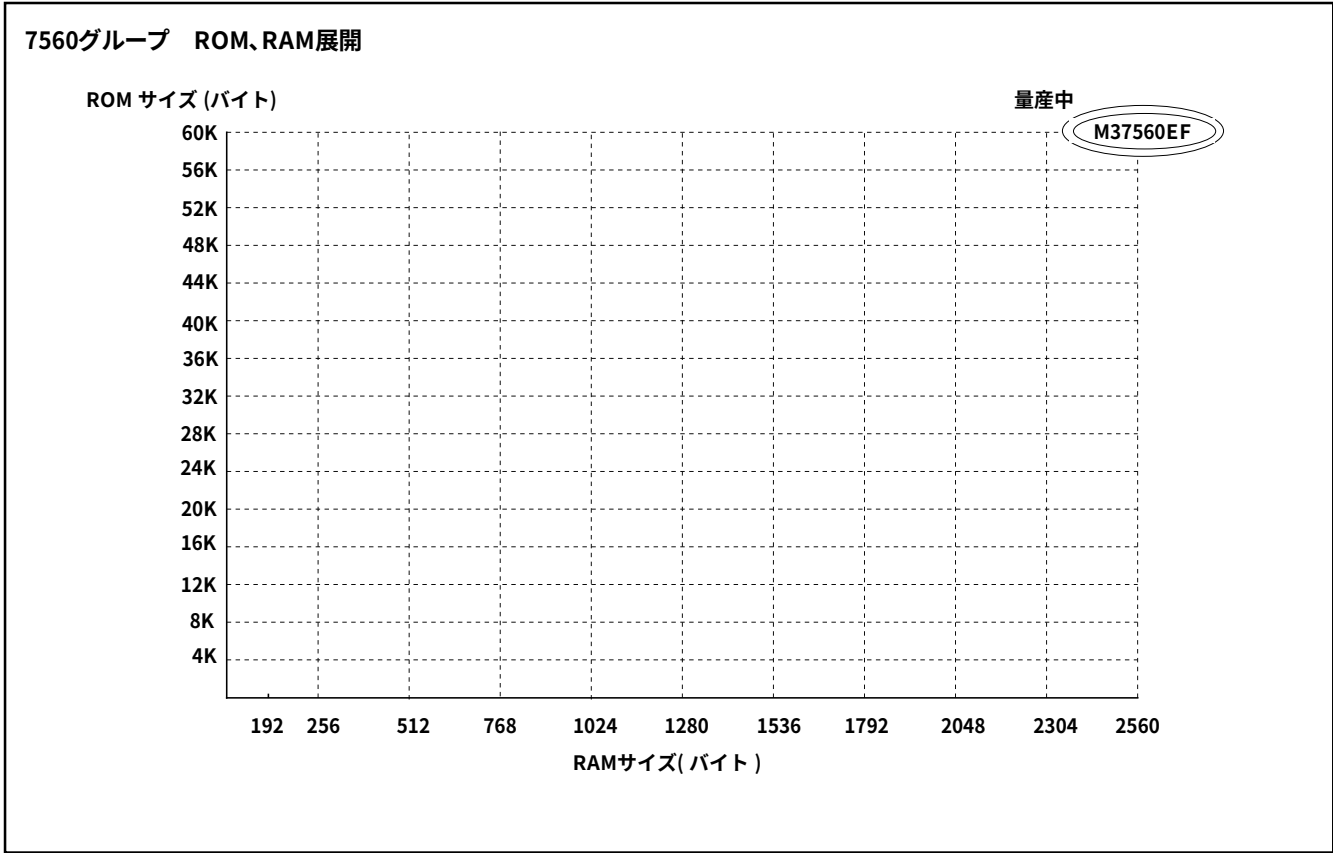


図6. ROM及びRAM展開

現在サポートしている製品を表4に示します。

表4. サポート製品一覧

2005年8月現在

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	
M37560EFPF	61440 (61310)	2560	PRQP0100JB-A	ワンタイムPROM版
M37560EFGP			PLQP0100KB-A	ワンタイムPROM版
M37560EFFS			100D0	EPROM版

グループ展開

7560グループは次のように展開しています。

メモリの種類

広動作温度範囲版のサポート

メモリ容量

ROM容量 60Kバイト

RAM容量 2560バイト

パッケージ

PRQP0100JB-A 0.65mmピッチプラスチックモールドQFP

7560グループ ROM、RAM展開

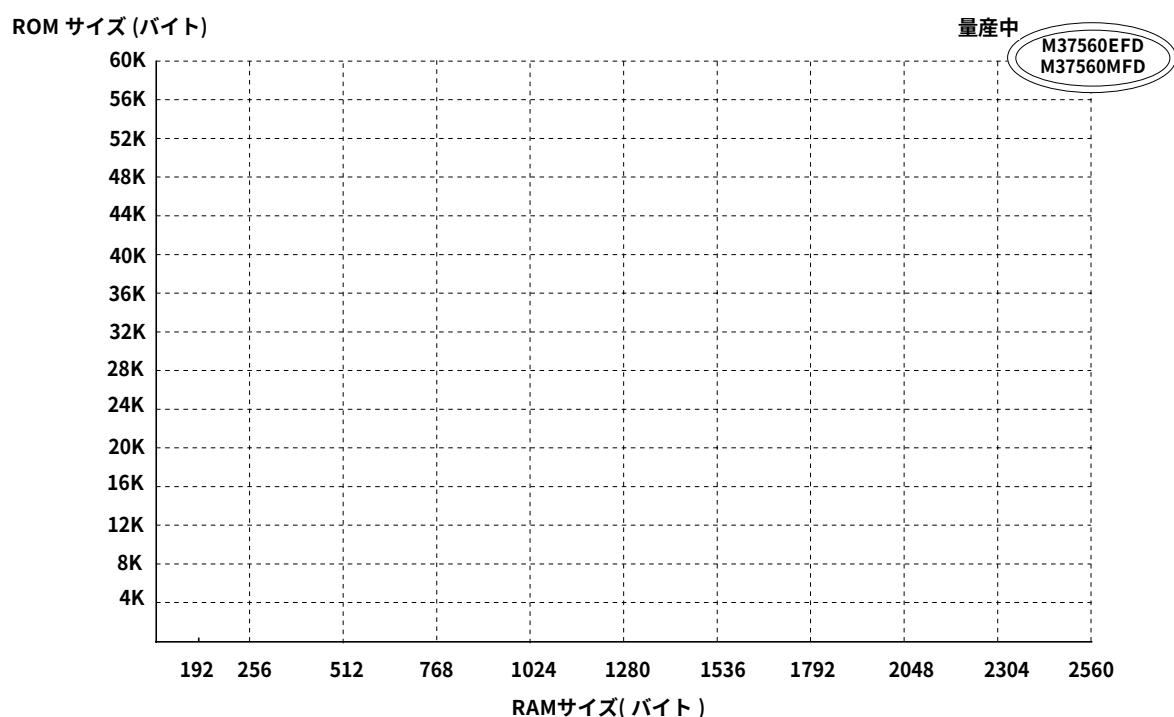


図7. ROM及びRAM展開

現在サポートしている製品を表5に示します。

表5. サポート製品一覧

2005年8月現在

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	
M37560MFD-XXXFP	61440	2560	PRQP0100JB-A	マスクROM版(広動作温度範囲版)
M37560EFD-XXXFP	(61310)			ワンタイムPROM版(広動作温度範囲版)

機能ブロック動作説明

中央演算処理装置(CPU)

7560グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図8にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合“0116”となります。

図9にスタックへの退避及び復帰動作、表6にアキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令を示します。ここに示す以外に必要なレジスタは、プログラムで退避してください。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

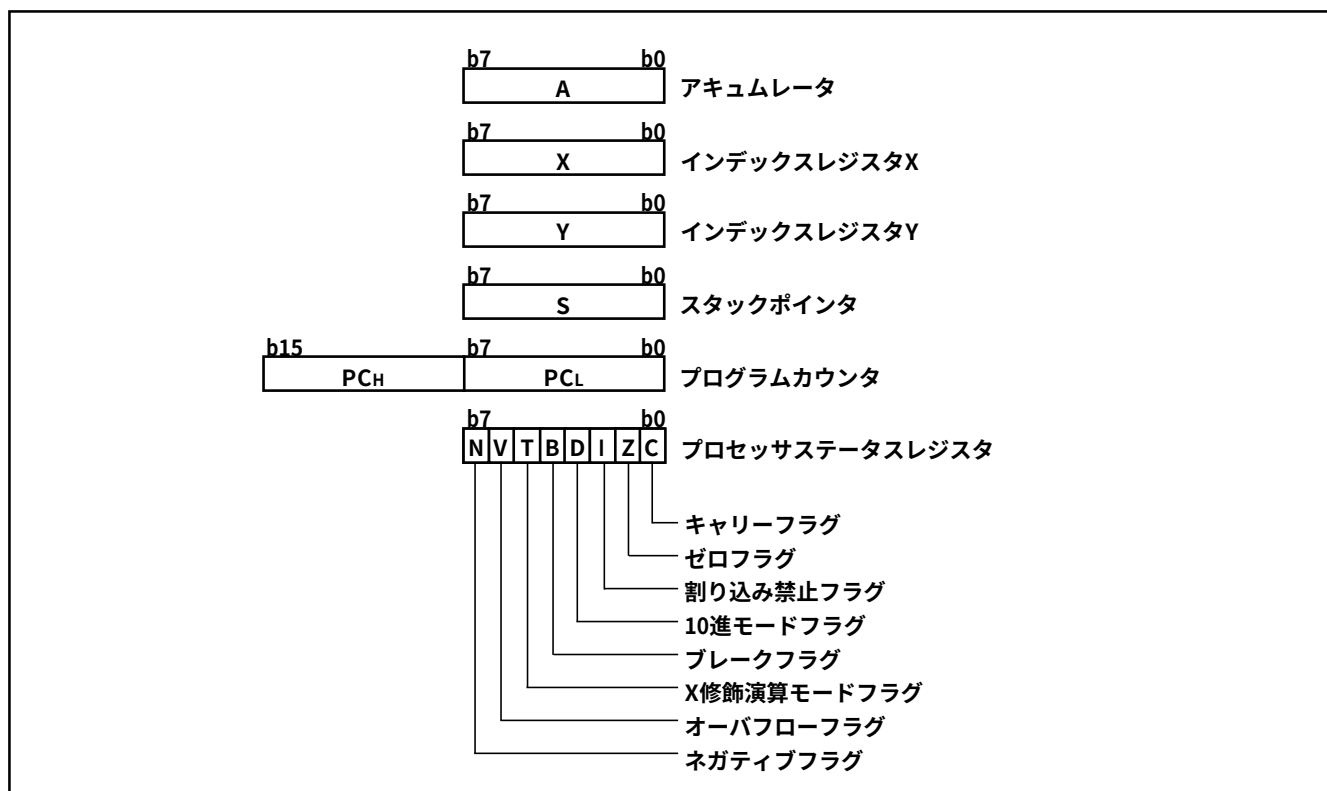


図8. 740ファミリ CPUの構成

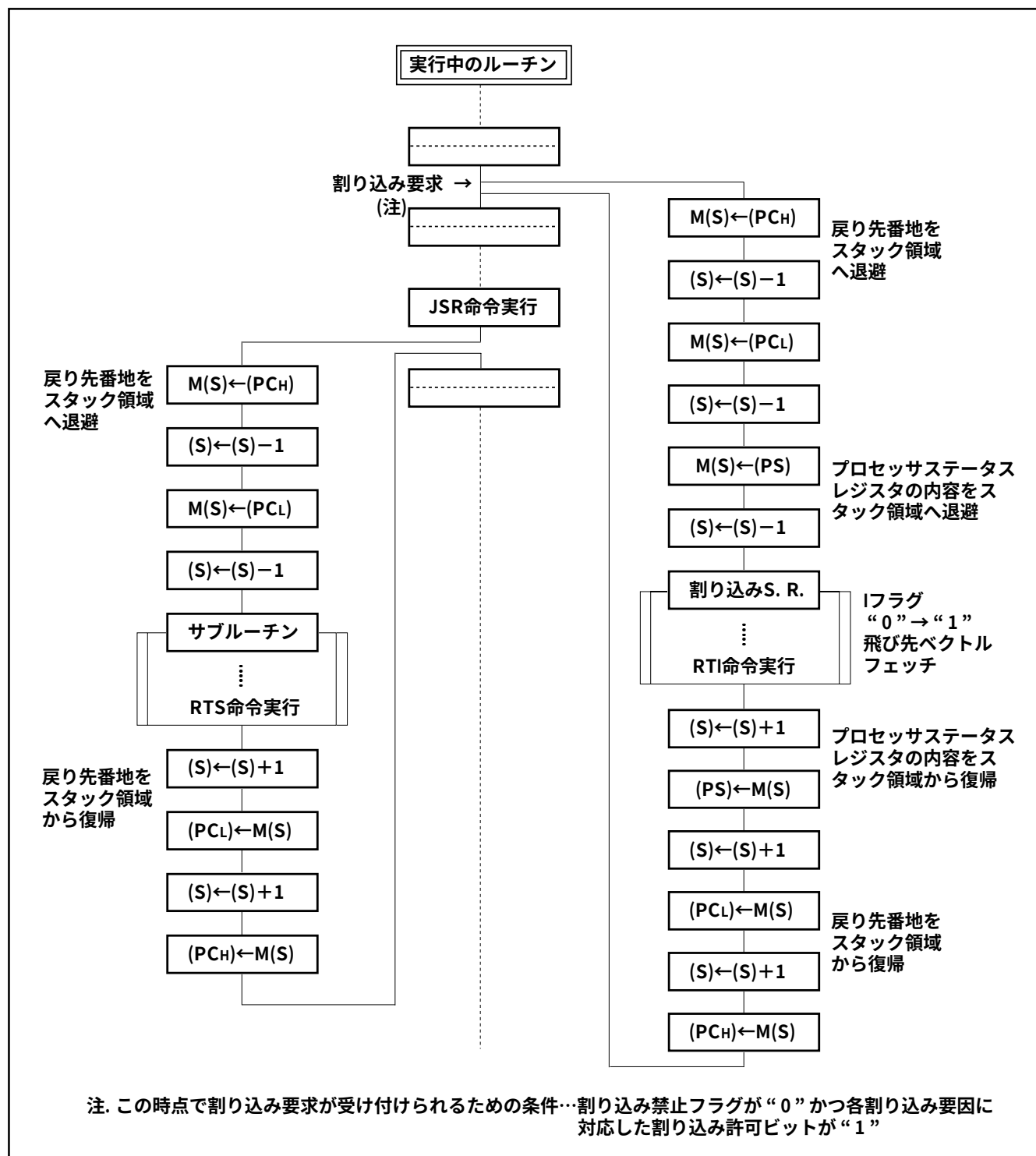


図9. スタックへの退避及び復帰動作

表6. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックから復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のとき、このフラグは“1”になります。結果が“0”でないとき、このフラグは“0”になります。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令割り込みを識別するためのフラグです。BRK命令割り込みの場合は自動的にこのフラグが“1”になり、それ以外の割り込みでは“0”になり、スタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算が行われます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合に“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときに“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表7. プロセッサステータスレジスタの各フラグを“1”又は“0”にする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
“1”にする命令	SEC	—	SEI	SED	—	SET	—	—
“0”にする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットやシステムクロックの制御ビットなどが割り当てられています。

このレジスタは003B16番地に配置されています。

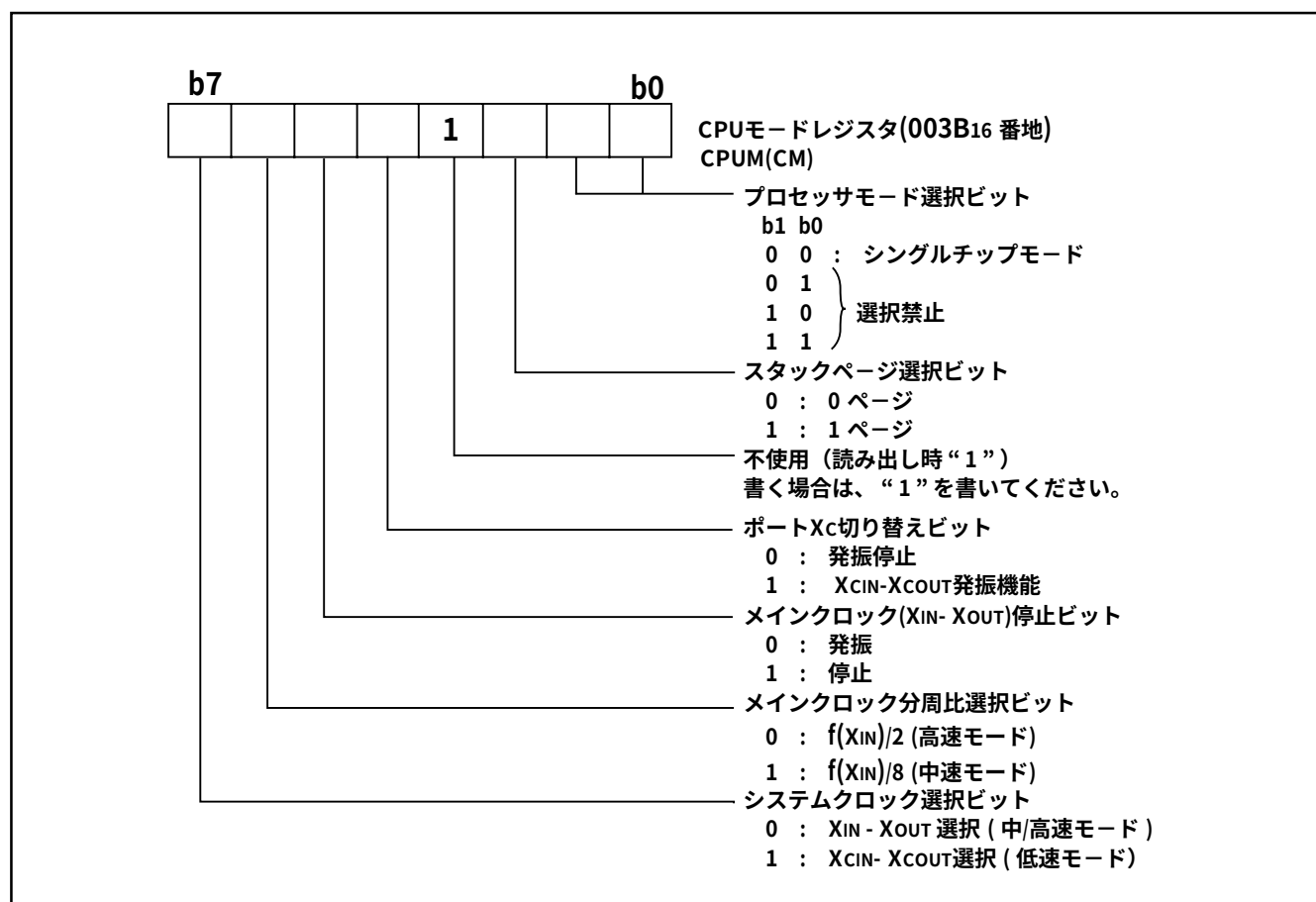


図10. CPUモードレジスタの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

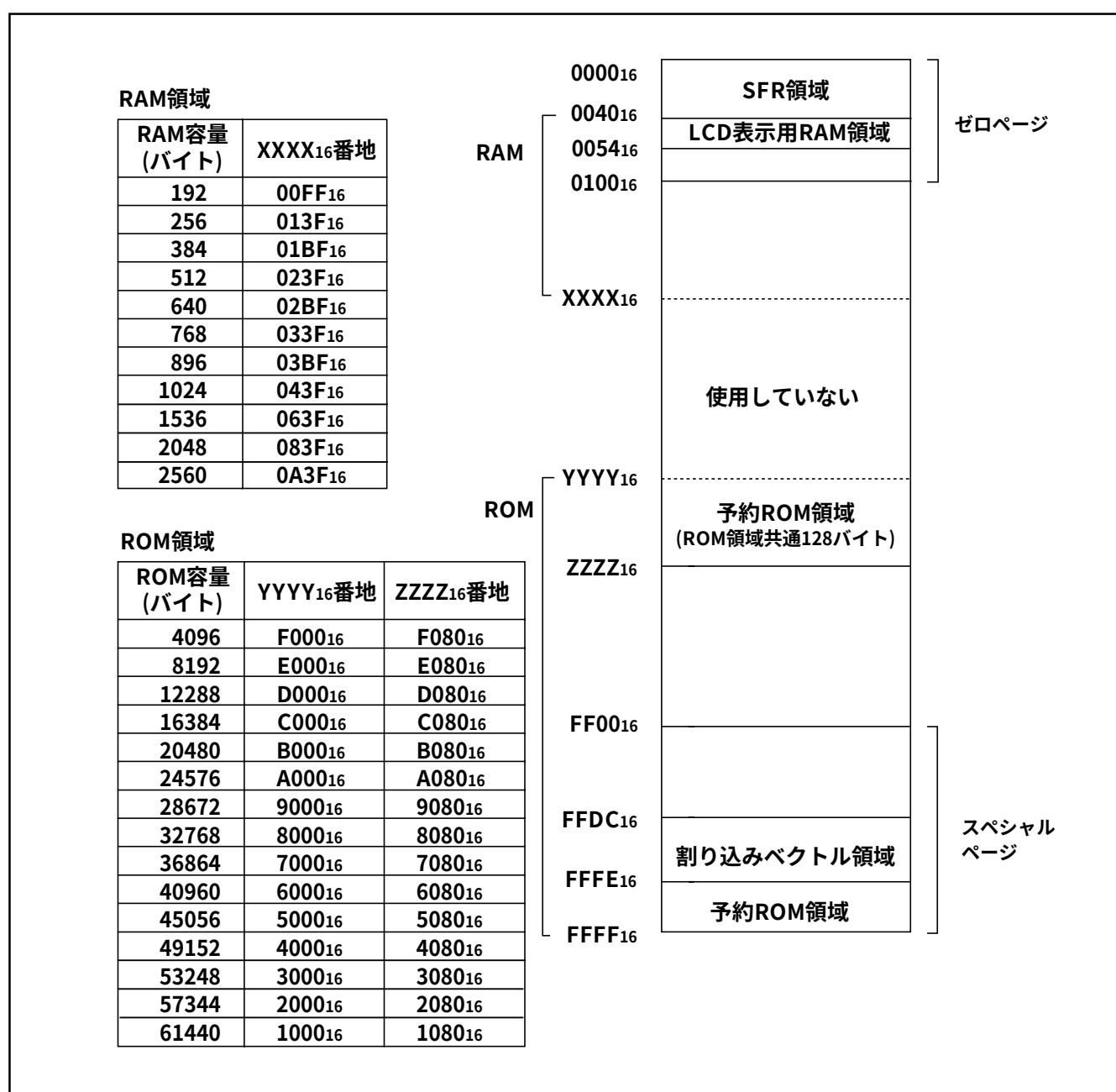


図11. メモリ配置図

0000 ₁₆	ポートP0レジスタ(P0)	0020 ₁₆	タイマX下位レジスタ(TXL)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマX上位レジスタ(TXH)
0002 ₁₆	ポートP1レジスタ(P1)	0022 ₁₆	タイマY下位レジスタ(TYL)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマY上位レジスタ(TYH)
0004 ₁₆	ポートP2レジスタ(P2)	0024 ₁₆	タイマ1レジスタ(T1)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ2レジスタ(T2)
0006 ₁₆	ポートP3レジスタ(P3)	0026 ₁₆	タイマ3レジスタ(T3)
0007 ₁₆	ポートP3出力制御レジスタ(P3C)	0027 ₁₆	タイマXモードレジスタ(TXM)
0008 ₁₆	ポートP4レジスタ(P4)	0028 ₁₆	タイマYモードレジスタ(TYM)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ123モードレジスタ(T123M)
000A ₁₆	ポートP5レジスタ(P5)	002A ₁₆	TOUT/φ出力制御レジスタ(CKOUT)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	PWM制御レジスタ(PWMCON)
000C ₁₆	ポートP6レジスタ(P6)	002C ₁₆	PWMプリスケラ(PREPWM)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	PWMレジスタ(PWM)
000E ₁₆	ポートP7レジスタ(P7)	002E ₁₆	予約領域 (注)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	予約領域 (注)
0010 ₁₆		0030 ₁₆	予約領域 (注)
0011 ₁₆		0031 ₁₆	予約領域 (注)
0012 ₁₆		0032 ₁₆	D-A1変換レジスタ(DA1)
0013 ₁₆		0033 ₁₆	D-A2変換レジスタ(DA2)
0014 ₁₆	A-D変換下位レジスタ(ADL)	0034 ₁₆	A-D制御レジスタ(ADCON)
0015 ₁₆	キー入力制御レジスタ(KIC)	0035 ₁₆	A-D変換上位レジスタ(ADH)
0016 ₁₆	PULLレジスタA(PULLA)	0036 ₁₆	D-A制御レジスタ(DACON)
0017 ₁₆	PULLレジスタB(PULLB)	0037 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	セグメント出力許可レジスタ(SEG)
0019 ₁₆	シリアル/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	LCDモードレジスタ(LM)
001A ₁₆	シリアル/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	予約領域 (注)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注. 予約領域のレジスタには書かないでください。

図12. SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

●方向レジスタ

入出力ポートP0、P1、P2、P4、P5、P6、P71～P77は方向レジスタを持っています。P16、P17、P4、P5、P6、及びP71～P77は入力モードで使用するか出力モードで使用するか、ビット単位で選択できます。P00～P07及びP10～P15は、入力モードで使用するか出力モードで使用するか、それぞれポートP0、P1の方向レジスタのビット0を使用して、一括して選択します(図13参照)。方向レジスタを“1”にするとその端子は出力モード、“0”にすると入力モードになります。

出力モードのポートを読むと、端子の値ではなくポートラッチの内容が読めます。入力モードのポートはフローティングとなり、端子の値が読めます。値を書くと、ポートラッチに書かれますが、端子はフローティングのままです。

●ポートP3出力制御レジスタ

ポートP30～P37はポートP3出力制御レジスタ(000716番地)のビット0により出力制御できます。このビットを“1”にするとポート出力機能が有効になります。

リセット時はポートP3出力制御レジスタのビット0は“0”(ポート出力機能は無効)になっておりプルアップされています。

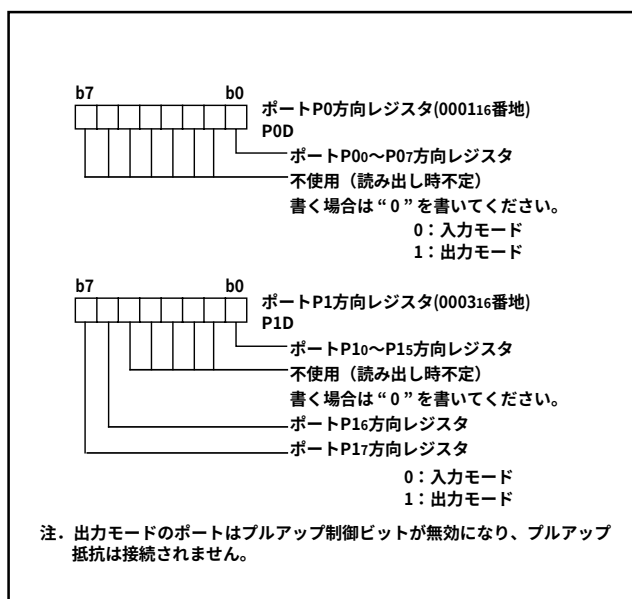


図13. ポートP0方向レジスタ、ポートP1方向レジスタの構成

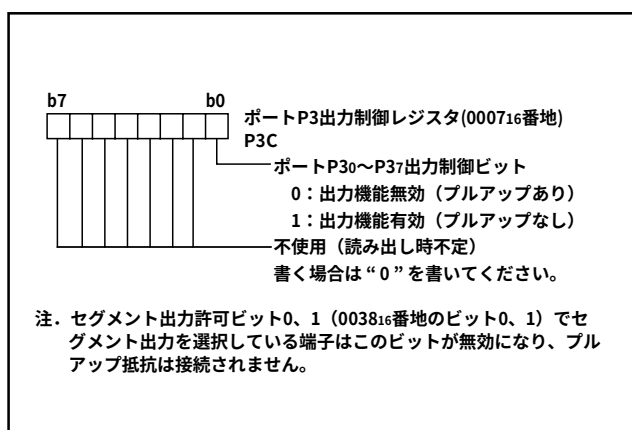


図14. ポートP3出力制御レジスタの構成

●プルアップ制御

ポートP0～P2, P4～P6はPULLレジスタA(0016₁₆番地)及びPULLレジスタB(0017₁₆番地)により、プログラムでプルアップ制御できます。ただし、出力モードのポートはこの制御から切り離され、プルアップされません。

また、セグメント出力許可レジスタでセグメント出力を選択した端子では、PULLレジスタAの設定は無効になり、プルアップされません。

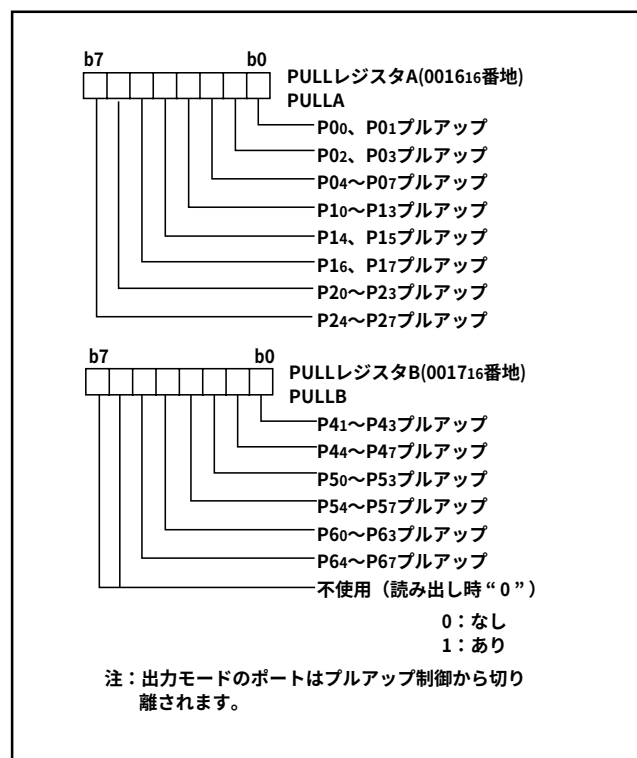


図15. PULLレジスタA、PULLレジスタBの構成

表8.入出力ポートの機能一覧(1)

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P00/SEG26 ～ P07/SEG33	ポートP0	入出力 バイト単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(1) (2)
P10/SEG34 ～ P15/SEG39	ポートP1	入出力 6ビット単位			PULLレジスタA セグメント出力許可 レジスタ	(1) (2)
P16, P17	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力(キーオンウエイク アップ)割り込み入力	PULLレジスタA	(4)
P20～P27					PULLレジスタA 割り込み制御 レジスタ2 キー入力制御レジスタ	
P30/SEG18 ～ P37/SEG25	ポートP3	出力	CMOS3ステート出力	LCDセグメント出力	セグメント出力許可 レジスタ P3出力制御レジスタ	(3)
P40	ポートP4	入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
P41/INT1, P42/INT2			CMOS入力レベル CMOS3ステート出力	INTi割り込み入力	割り込みエッジ選択 レジスタ	(4)
P43/φ/TOUT				タイマ2出力 システムクロックφ出力	PULLレジスタB タイマ123モード レジスタ TOUT/φ出力制御 レジスタ	(12)
P44/RxD, P45/TxD, P46/SCLK1, P47/SRDY1				シリアルI/O1入出力	PULLレジスタB シリアルI/O1制御 レジスタ シリアルI/O1 ステータスレジスタ UART制御レジスタ	(5) (6) (7) (8)
P50/PWM0, P51/PWM1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	PWM出力	PULLレジスタB PWM制御レジスタ	(10)
P52/RTP0, P53/RTP1				リアルタイムポート出力	PULLレジスタB タイマXモード レジスタ	(9)
P54/CNTR0				タイマX入出力	PULLレジスタB タイマXモード レジスタ	(11)
P55/CNTR1				タイマY入力	PULLレジスタB タイマYモード レジスタ	(14)
P56/DA1				DA1出力	PULLレジスタB D-A制御レジスタ	(15)
P57/ADT/DA2				DA2出力 A-D外部トリガ入力	PULLレジスタB D-A制御レジスタ A-D制御レジスタ	(15)

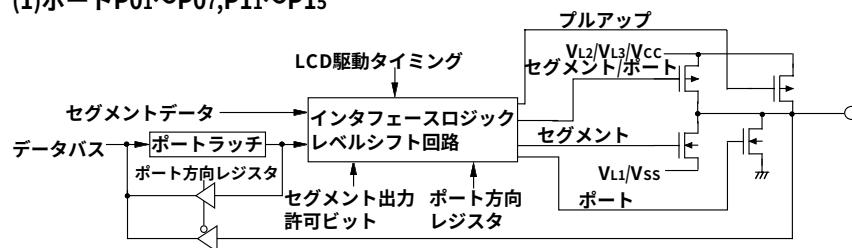
表9.入出力ポートの機能一覧(2)

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P60/SIN2/AN0	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力 シリアルI/O2入出力	PULLレジスタB A-D制御レジスタ シリアルI/O2制御 レジスタ	(17)
P61/SOUT2/ AN1						(18)
P62/SCLK21/ AN2						(19)
P63/SCLK22 / AN3						(20)
P64/AN4～ P67/AN7				A-D変換入力	A-D制御レジスタ PULLレジスタB	(16)
P70/INT0	ポートP7	入力	CMOS入力レベル	INT0割り込み入力	割り込みエッジ選択 レジスタ	(23)
P71～P77		入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
COM0～ COM3	コモン	出力	LCDコモン出力		LCDモードレジスタ	(21)
SEG0～ SEG17	セグメント	出力	LCDセグメント出力			(22)

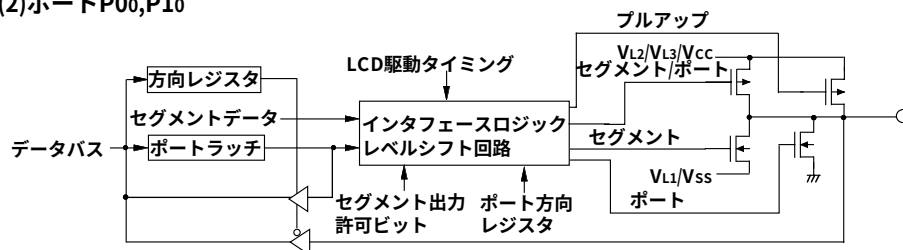
注1.ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2.STP命令の実行前に、各端子の入力レベルを0V又はV_{cc}にしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

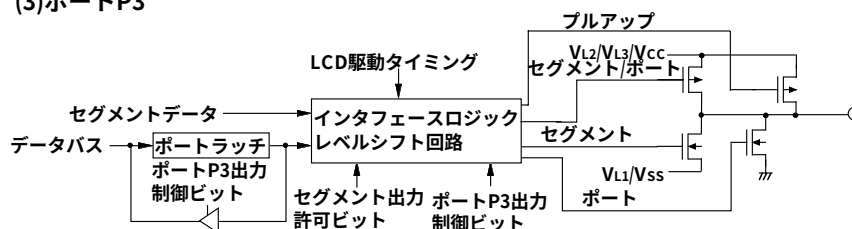
(1)ポートP01~P07,P11~P15



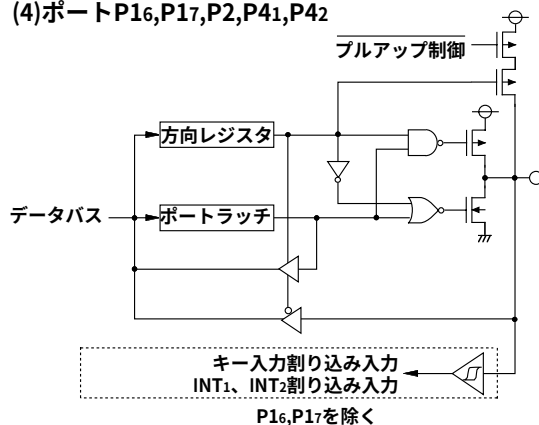
(2)ポートP00,P10



(3)ポートP3



(4)ポートP16,P17,P2,P41,P42



(5)ポートP44

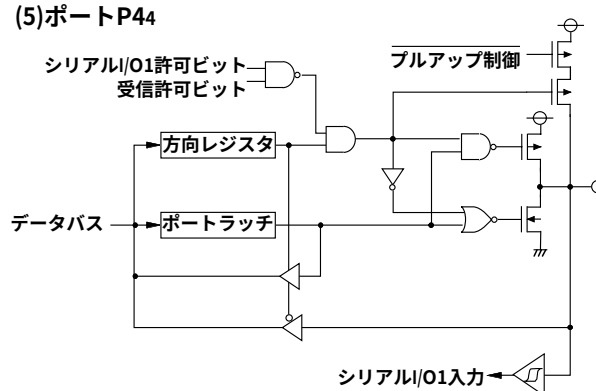


図16. ポートのブロック図 (1)

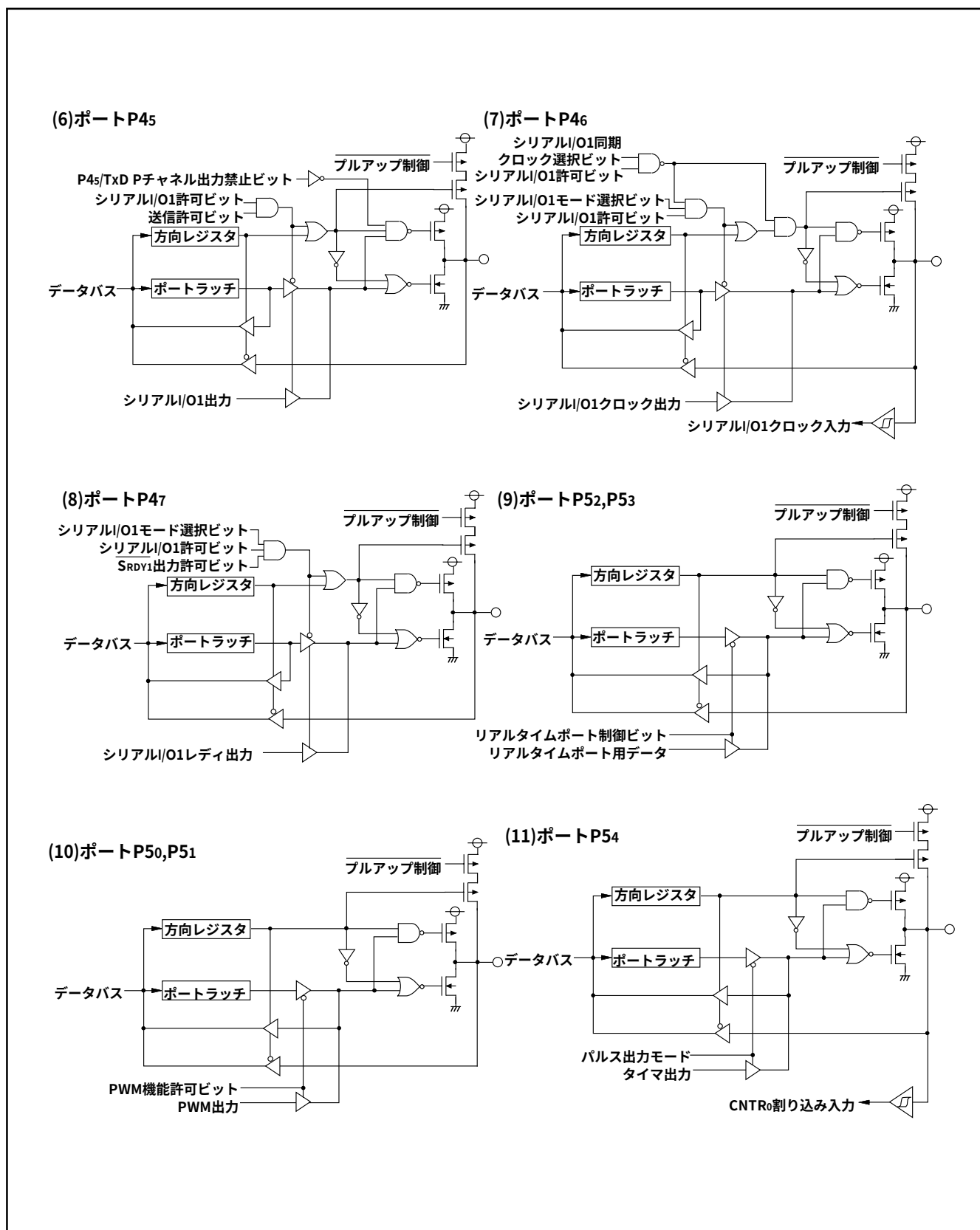


図17. ポートのブロック図 (2)

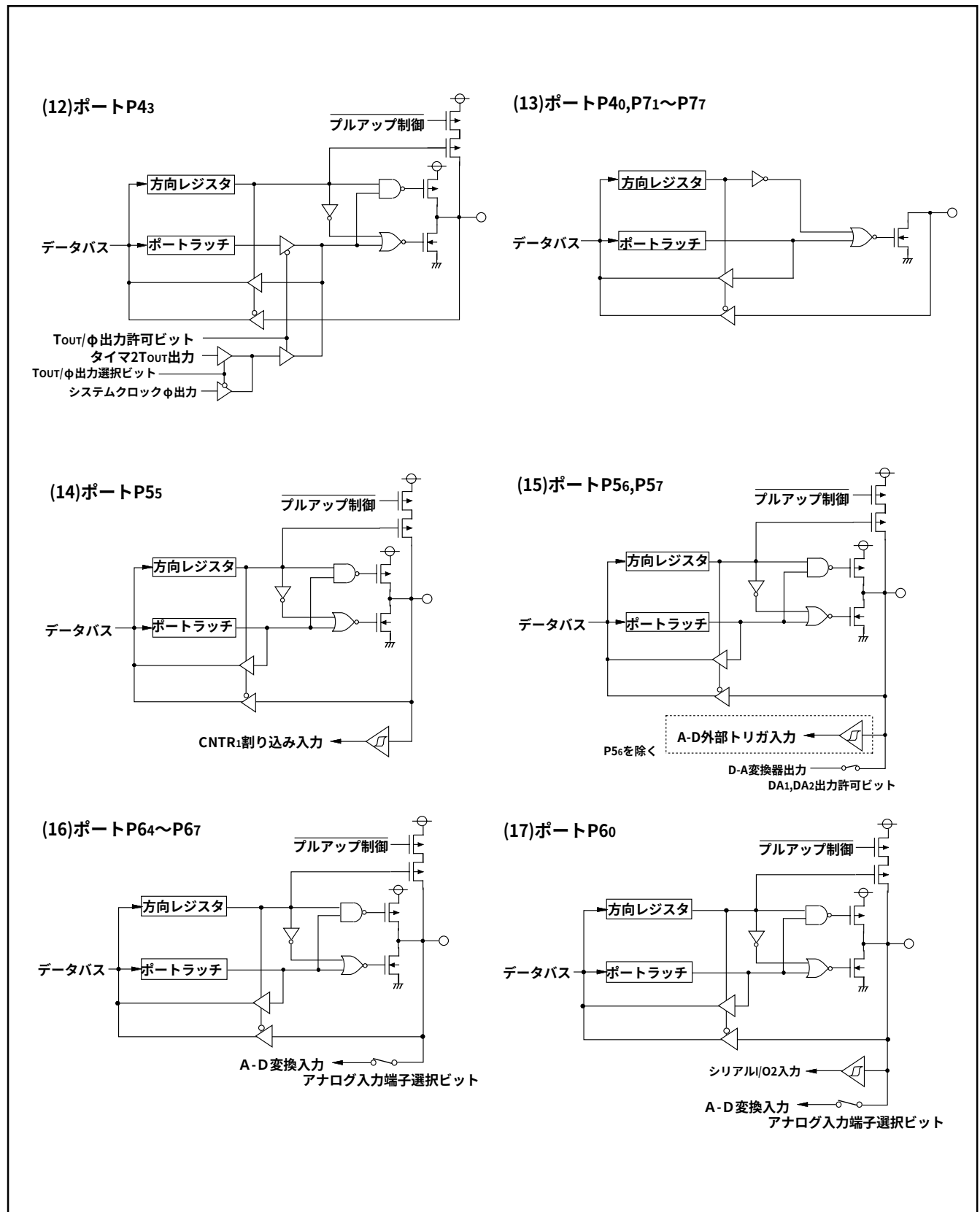


図18. ポートのブロック図 (3)

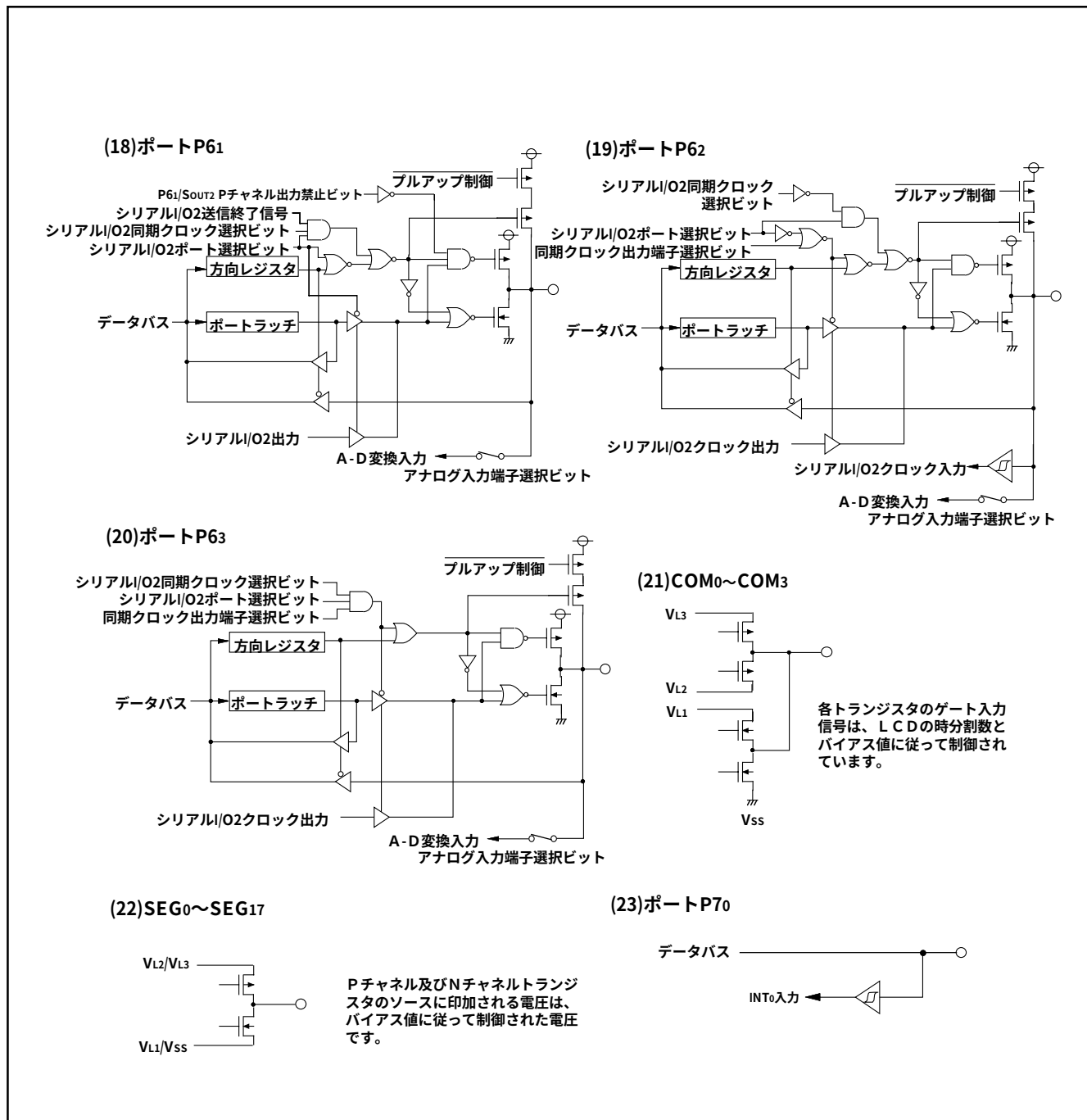


図19. ポートのブロック図 (4)

割り込み

割り込みは、外部7要因、内部9要因、ソフトウェア1要因の17要因あります。割り込み要求を受け付けると、ベクトル番地内に設定されている割り込み飛び先番地に分岐します(表10参照)。

•割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムで“0”にできますが、“1”にはできません。割り込み許可ビットはプログラムで“1”“0”にできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込み要求は、割り込み禁止フラグが“1”のときは受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

表10. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備 考
		上位	下位		
リセット (注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF716	FFF616	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	5	FFF516	FFF416	シリアル/O1送信シフト終了時又は送信バッファ空時	シリアル/O1選択時のみ有効
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
CNTR0	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマ1	12	FFE716	FFE616	タイマ1アンダフロー時	
INT2	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O2	14	FFE316	FFE216	シリアル/O2データ送受信終了時	シリアル/O2選択時のみ有効
キー入力 (キーオンウェイクアップ)	15	FFE116	FFE016	ポートP2 (入力時) 入力レベルの論理積の立ち下がり時	外部割り込み (立ち下がり有効)
ADT	16	FFDF16	FFDE16	ADT端子入力立ち下がりエッジ時	ADT割り込み選択時有効 外部割り込み (立ち下がり有効)
A-D変換				A-D変換終了時	A-D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは割り込みではありません。リセットはすべての割り込みよりも優先されます。

•割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み飛び先番地がプログラムカウンタに入ります。
3. 割り込み禁止フラグが“1”になり、割り込み要求ビットが“0”になります。

■注意事項

- 次の場合、割り込み要求ビットが“1”になる場合があります。
- 外部割り込みのアクティブエッジを切り替える際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)
 タイマXモードレジスタ(2716番地)
 タイマYモードレジスタ(2816番地)
 - 同一割り込みベクトルに複数の割り込み要因が割り当てられた
ベクトルの割り込み要因を切り替える際
対象レジスタ: A-D制御レジスタの割り込み要因選択ビット
 (3416番地のビット6)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ①該当する割り込み許可ビットを“0”(禁止)にする。
- ②割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因選択ビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- ④該当する割り込み許可ビットを“1”(許可)にする。

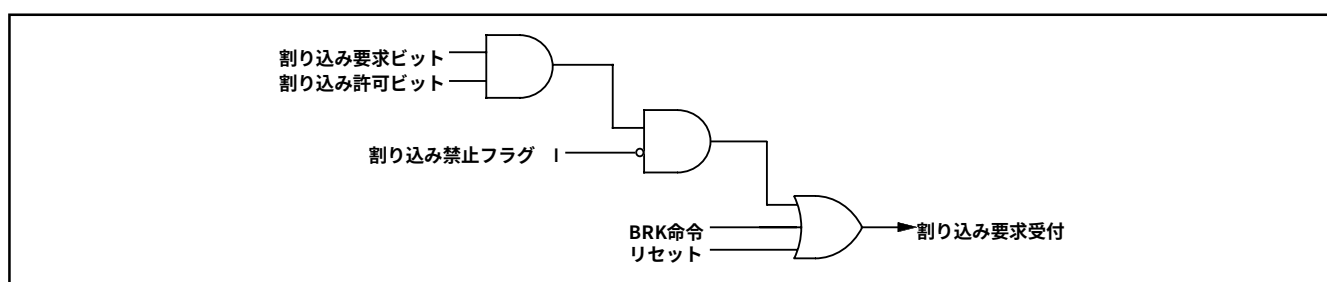


図20. 割り込み制御図

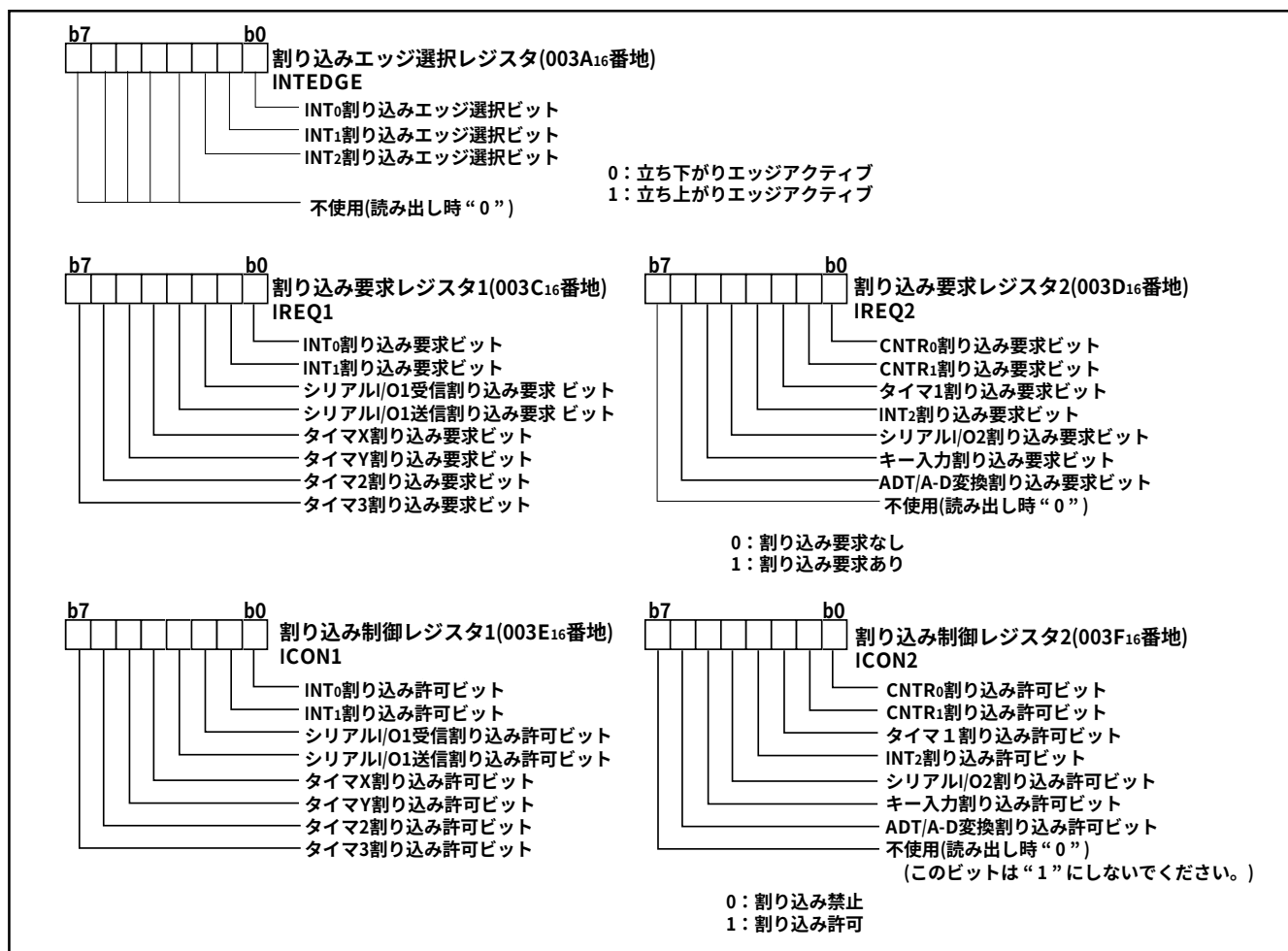


図21. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

ポートP2のうちキー入力割り込みを許可しているポート(入力モードに設定、かつキー入力制御レジスタの対応するビットが“1”のポート)に“L”を入力すると、すなわち入力レベルの論理積

が“1”から“0”になると、キー入力割り込み要求が発生します。図22はキー入力割り込み使用時の結線例です。ポートP20～P23を入力とするアクティブLのキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

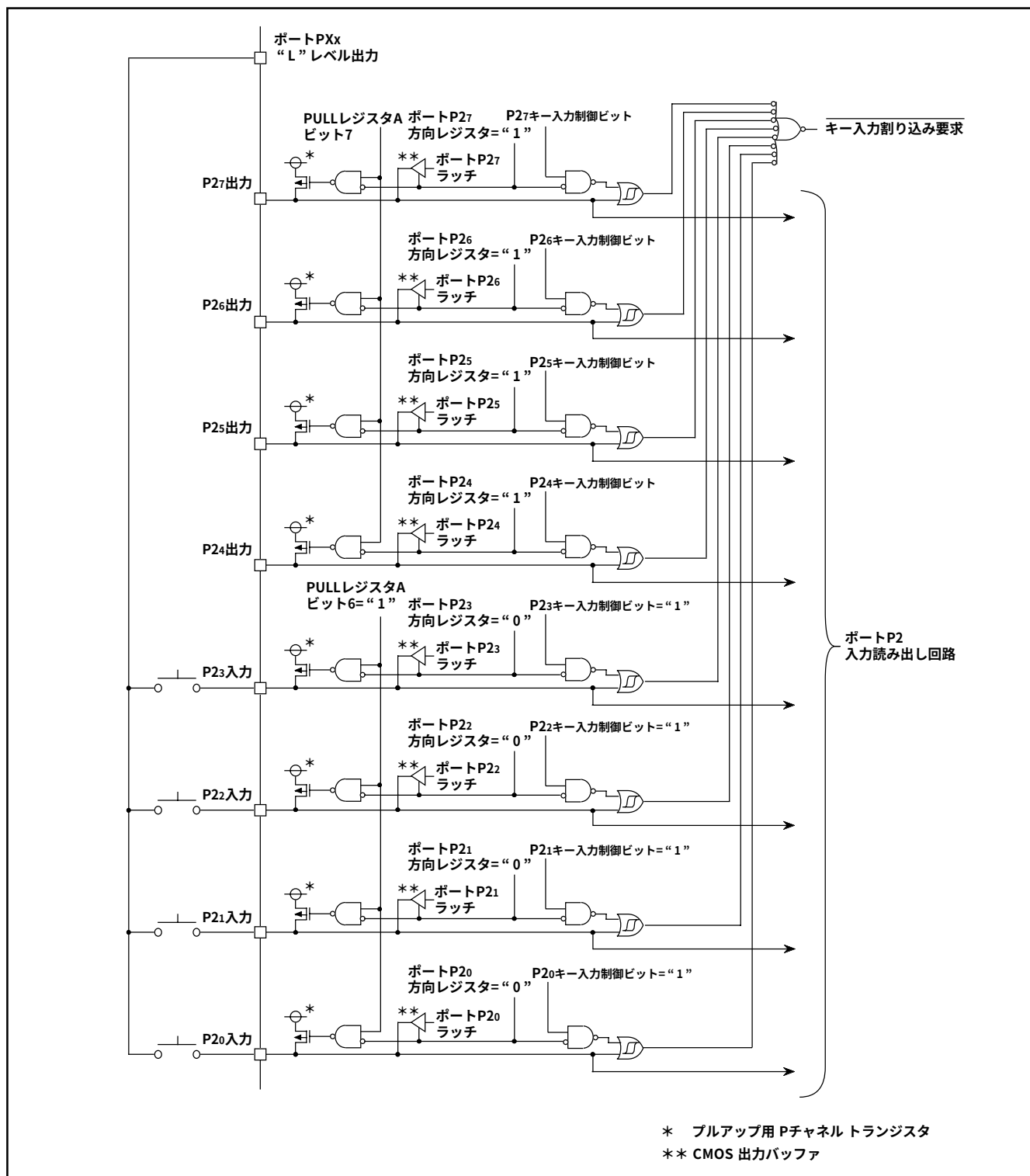


図22. キー入力割り込み使用時の結線例及びポートP2のブロック図

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御ビットを“1”にしてください。ポートP20～P27のうち、入力モードに設定されている端子からキー入力を受け付けられます。

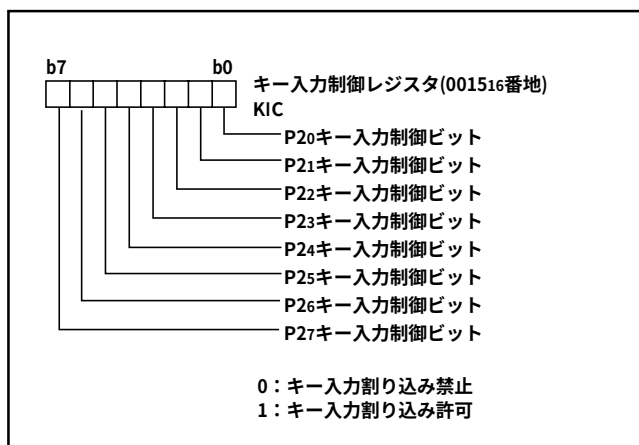


図23. キー入力制御レジスタの構成

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”になります。

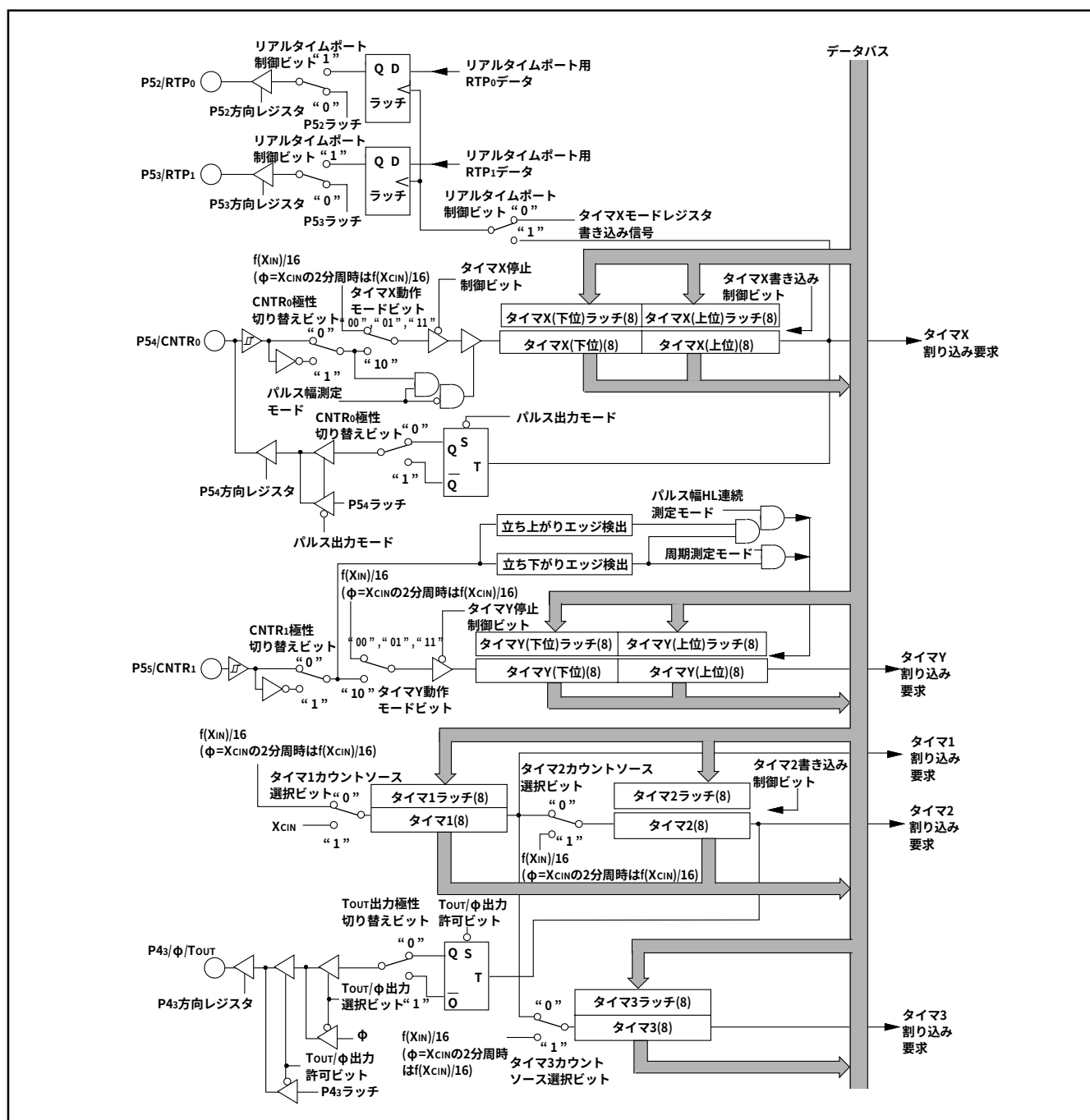


図24. タイマのブロック図

●タイマX

タイマXは16ビットタイマで、タイマラッチを備えています。タイマラッチの内容をnとすると、タイマの分周比は $1/(n+1)$ になります。タイマはカウントダウン方式です。タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、タイマX割り込み要求ビットが“1”になります。

タイマXは、タイマXモードレジスタにより4つの動作モードを選択できます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

(1) タイマモード

$f(XIN)/16$ (低速モード時は $f(XCIN)/16$)の周波数をカウントします。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNTR0端子から出力することを除けば、タイマモードと同じ動作をします。このモードでは、P54/CNTR0端子を出力モード(ポートP5方向レジスタのビット4を“1”)にしてください。

(3) イベントカウンタモード

CNTR0端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードでは、P54/CNTR0端子を入力モード(ポートP5方向レジスタのビット4を“0”)にしてください。

(4) パルス幅測定モード

カウントソースは $f(XIN)/16$ (低速モード時は $f(XCIN)/16$)です。CNTR0極性切り替えビットが“0”の場合は、CNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードでは、P54/CNTR0端子を入力モード(ポートP5方向レジスタのビット4を“0”)にしてください。

・タイマX上位、下位レジスタへの読み書き

タイマX上位、下位レジスタに読み書きする場合は必ず上位レジスタ、下位レジスタともに読み書きしてください。タイマ値を読む場合は上位レジスタ、下位レジスタの順に読み出し、値を書く場合は下位レジスタ、上位レジスタの順に書いてください。なお、次の操作を行うと正常な動作を行いません。

- ・タイマX下位レジスタの読み出し前の上位又は下位への書き込み操作
- ・タイマX上位レジスタの書き込み前の上位又は下位からの読み出し操作

・タイマX書き込み制御

タイマXはタイマXモードレジスタ(002716番地)のタイマX書き込み制御ビット(b0)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みを選択時、タイマXレジスタに値を書くとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット後はラッチ及びタイマへの同時書き込みになっており、タイマXレジスタに値を書くと、タイマとタイマラッチに同時に値が設定されます。タイマXはカウント動作中、停止中とも同じ動作をします。

なお、ラッチのみ書き込みの場合、タイマXのアンダフロー時にタイマX上位レジスタに値を書くと、タイマXとタイマXラッチに同時に値が設定されます。この際、上位側タイマに設定される値が不定になることがあります。

・リアルタイムポート制御

リアルタイムポート機能有効時、タイマXがアンダフローするたびに、リアルタイムポート用データがそれぞれポートP52、P53から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“0”から“1”に変更したときには、タイマXの動作にかかわらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマXのアンダフローで、変更後の値が出力されます。

この機能を使用するときはP52/RTP0端子、P53/RTP1端子を出力モード(ポートP5方向レジスタのビット2、ビット3をそれぞれ“1”)にしてください。

■CNTR0割り込み極性切り替えについての注意

CNTR0極性切り替えビットの値は、CNTR0割り込みのアクティブエッジにも影響します。

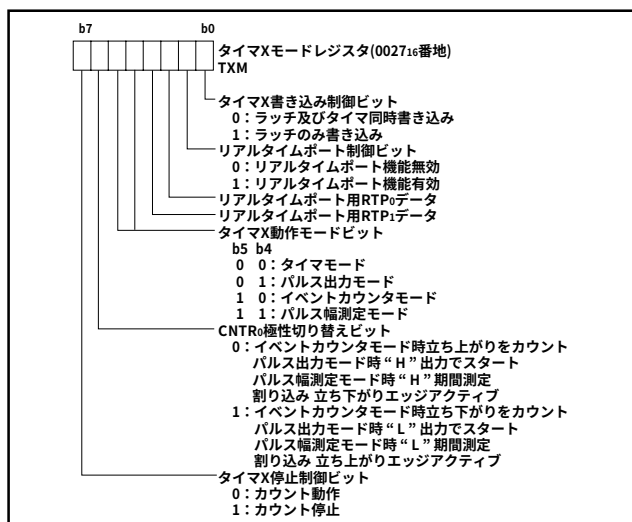


図25. タイマXモードレジスタの構成

●タイマY

タイマYは16ビットタイマで、タイマラッチを備えています。タイマラッチの内容をnとすると、タイマの分周比は $1/(n+1)$ になります。タイマはカウントダウン方式です。タイマの内容が“0000₁₆”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、タイマY割り込み要求ビットが“1”になります。

タイマYは、タイマYモードレジスタにより4つの動作モードを選択できます。

(1) タイマモード

$f(X_{IN})/16$ (低速モード時は $f(X_{CIN})/16$)の周波数をカウントします。

(2) 周期測定モード

CNTR1端子入力の立ち上がり、又は立ち下がりで割り込み要求が発生し、ラッチの内容を再びタイマに転送してカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR1端子入力の立ち上がり又は立ち下がり時の再転送直前のタイマ値は、次の有効エッジが入力されるまで保持されます。なお、CNTR1端子入力の立ち上がり又は立ち下がりタイミングは、CNTR1割り込みで判別できます。このモードではP55/CNTR1端子を入力モード(ポートP5方向レジスタのビット5を“0”)にしてください。

(3) イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではP55/CNTR1端子を入力モード(ポートP5方向レジスタのビット5を“0”)にしてください。

(4) パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではP55/CNTR1端子を入力モード(ポートP5方向レジスタのビット5を“0”)にしてください。

■CNTR1割り込み極性切り替えについての注意

CNTR1極性切り替えビットの値は、CNTR1割り込みのアクティブエッジにも影響します。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの値にかかわらず、立ち上がり、立ち下がりエッジ共にCNTR1割り込み要求が発生します。

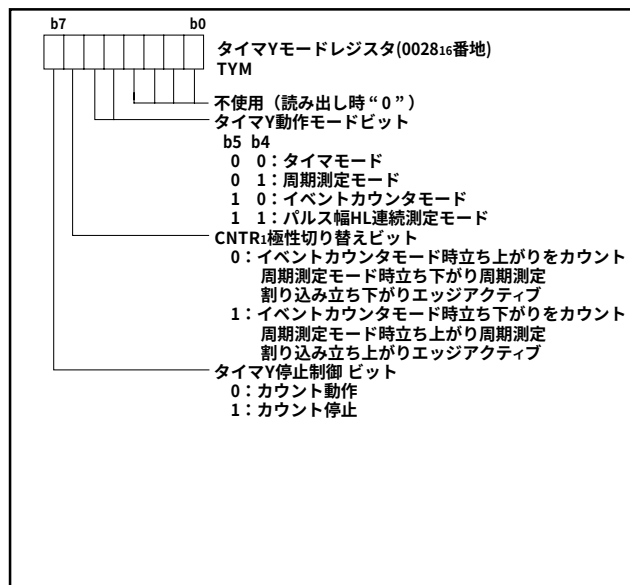


図26. タイマYモードレジスタの構成

●タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマで、それぞれタイマラッチを備えています。タイマ123モードレジスタにより、カウントソースの選択などができます。

タイマラッチの内容をnとすると、タイマの分周比は $1/(n+1)$ になります。タイマはカウントダウン方式です。タイマの内容が“0016”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“1”になります。

タイマ1レジスタ、タイマ3レジスタに値を書くと、タイマラッチ及びタイマに同時に値が設定されます。タイマ1レジスタ、タイマ2レジスタ、タイマ3レジスタを読むと、タイマのカウント値が読めます。

・タイマ2書き込み制御

タイマ2はタイマ123モードレジスタ(0029₁₆番地)のタイマ2書き込み制御ビット(b2)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みを選択時、タイマ2レジスタに値を書くとタイマ2ラッチに値が設定され、タイマ2は次のアンダフローで更新されます。リセット後はラッチ及びタイマへの同時書き込みになっており、タイマ2レジスタに値を書くとタイマ2とタイマ2ラッチに同時に値が設定されます。

なお、ラッチのみ書き込みの場合、タイマ2のアンダフロー時にタイマ2レジスタに値を書くと、タイマ2とタイマ2ラッチに同時に値が設定されます。

・タイマ2出力制御

TOUT/ ϕ 出力許可ビットとTOUT/ ϕ 出力選択ビットにより、タイマ2(TOUT)出力を許可にすると、タイマ2がアンダフローするたびに極性の反転する信号がTOUT端子から出力されます。この場合、P43/ ϕ /TOUT端子を出力モード(ポートP4方向レジスタのビット3を“1”)にしてください。

■タイマ1～タイマ3注意事項

タイマ1～タイマ3のカウントソースを切り替えるとき、カウント入力に細いパルスが生じてタイマのカウント値が不定になることがあります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細いパルスが生じて、タイマ2又はタイマ3のカウント値が不定になることがあります。

したがって、タイマ1～タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

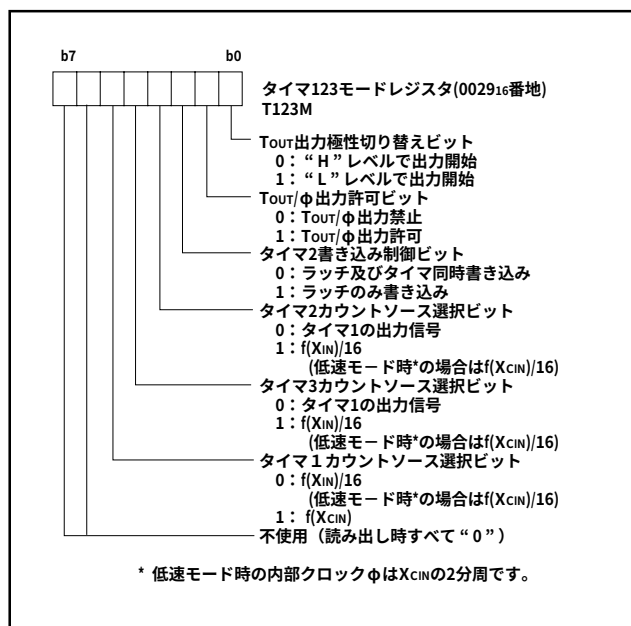


図27. タイマ123モードレジスタの構成

シリアルI/O

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作できます。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビットを“1”にすると、クロック同期形シリアルI/Oモードになります。

クロック同期形シリアルI/Oモードでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。

動作クロックとして内部クロックを選択時、送信バッファレジスタへの書き込み信号によって、送信又は受信が開始されます。

動作クロックとして外部クロックを選択時、送信バッファレジスタへの書き込み信号によって、送信又は受信ができる状態になります。外部クロックが入力されると送受信が開始されます。

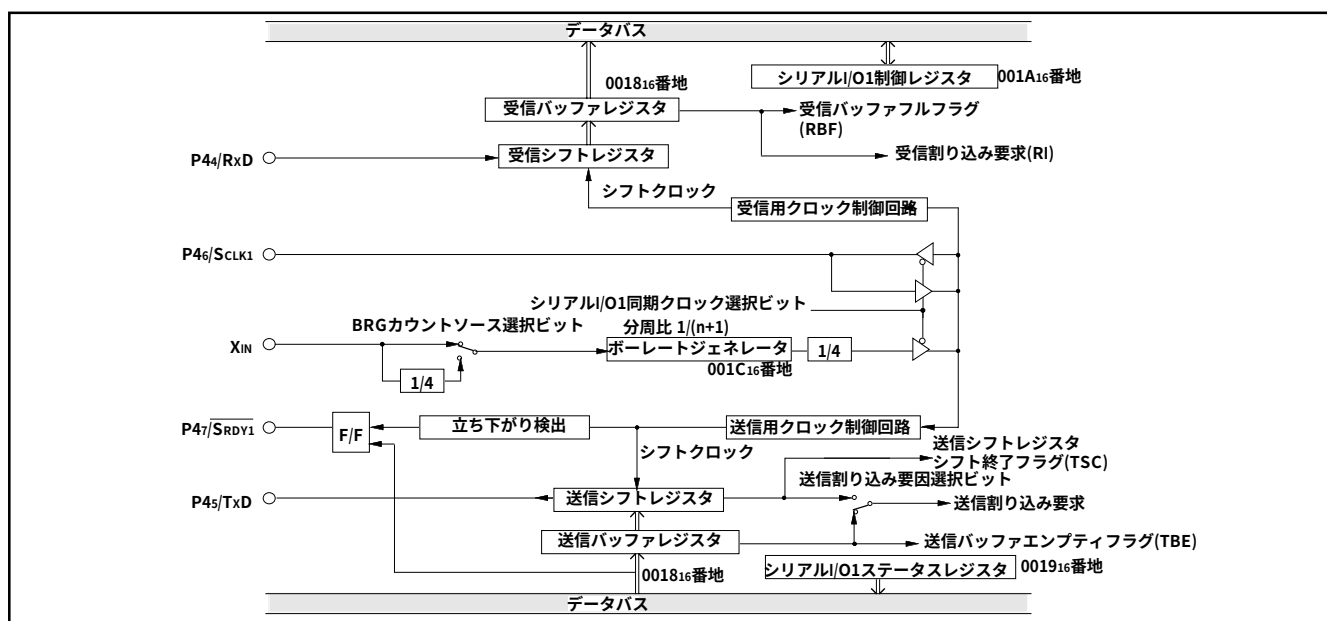


図28. クロック同期形シリアルI/O1ブロック図

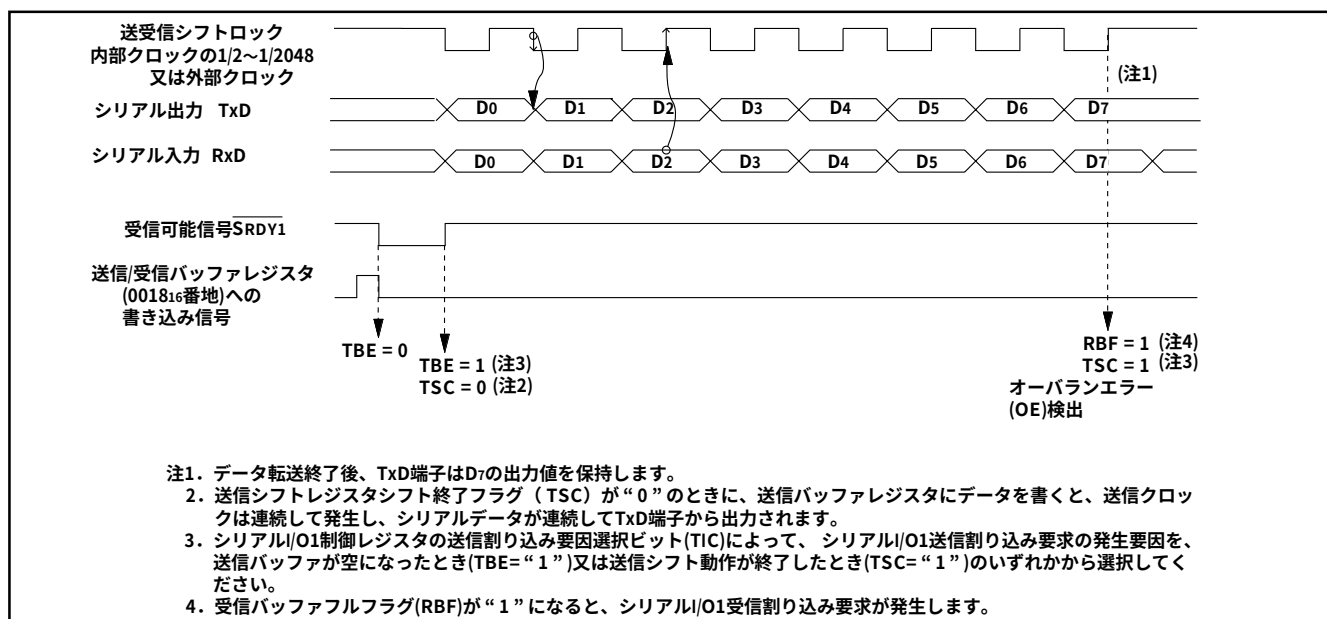


図29. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビットを“0”にすると、UARTモードになります。

8つのシリアルデータ転送フォーマットが選択できます。この転送フォーマットは送受信間で統一してください。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを備えています(メモ

リ上の番地は0018₁₆番地で同一)。シフトレジスタは直接読み書きできません。送信データの書き込み、受信データの読み出しはバッファレジスタに対して行われるため、送信中に次に送信するデータを書いておいたり、2バイトのデータを連続して受信できます。

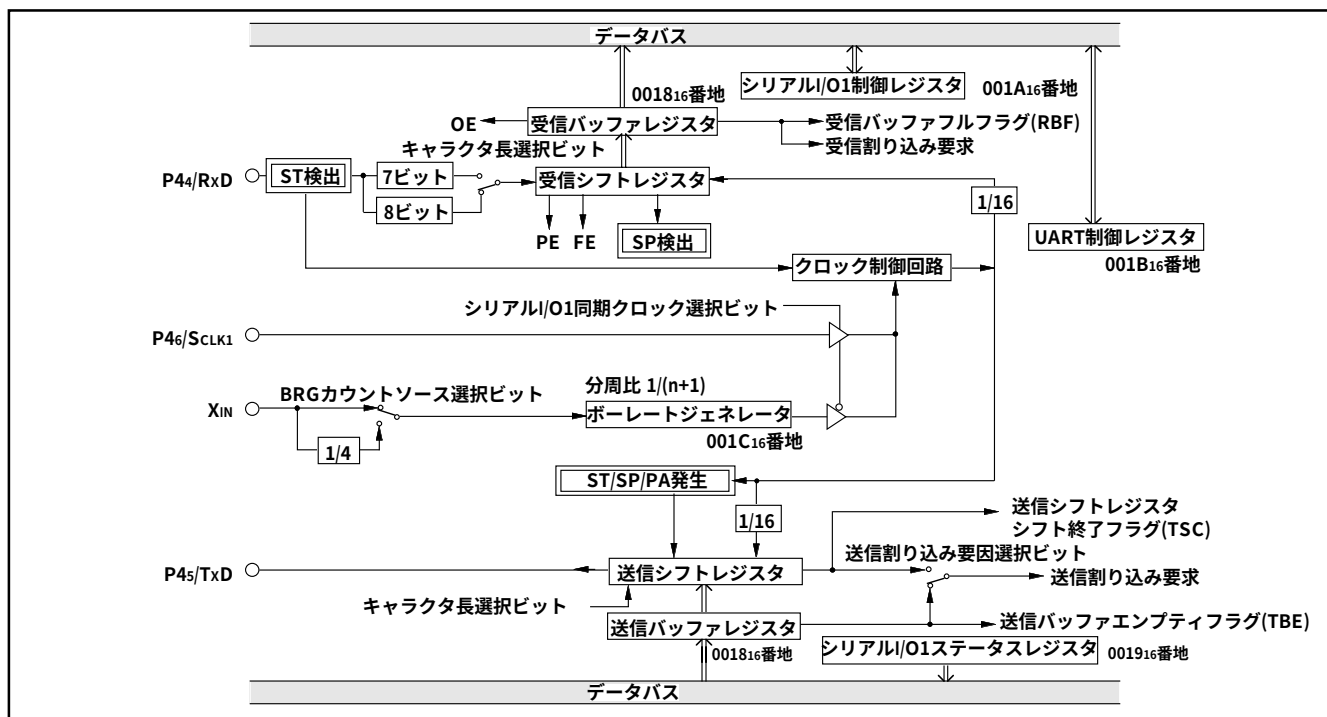


図30. UART形シリアルI/Oブロック図

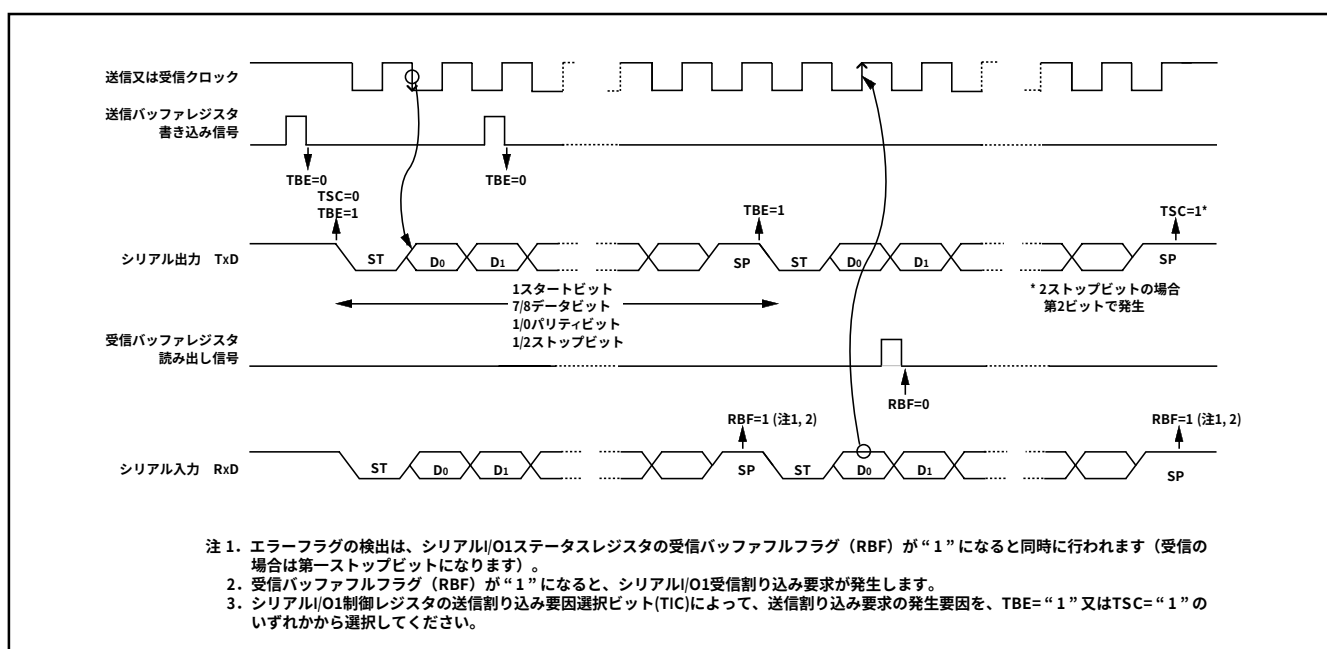


図31. UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じ番地に配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】 SI01STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読むと、“0”になります。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグが“1”になると同時に行われます。シリアルI/O1ステータスレジスタへの書き込み信号で、すべてのエラーフラグ(OE, PE, FE, SE)が“0”になります。また、シリアルI/O1許可ビット(SIOE)に“0”を書くと、エラーフラグを含むすべてのステータスフラグが“0”になります。

このレジスタのすべてのビットはリセット時“0”になります。シリアルI/O1制御レジスタの送信許可ビットを“1”にすると、ビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】 SI01CON

シリアルI/O1制御レジスタはシリアルI/O1の各種設定を行うビットで構成されています。

【UART制御レジスタ】 UARTCON

UART制御レジスタは、UARTモード時の送受信データフォーマット、P45/TxD端子の出力形式を選択するビットで構成されています。

【ボーレートジェネレータ】 BRG

リロードレジスタを備えた8ビットのカウンタです。BRGカウントソースの分周値を設定してください。

設定値をnとすると、BRGカウントソースを(n+1)分周します。

■シリアルI/O注意事項

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- ①シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- ②送信許可ビットを“1”にする。
- ③一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
- ④シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

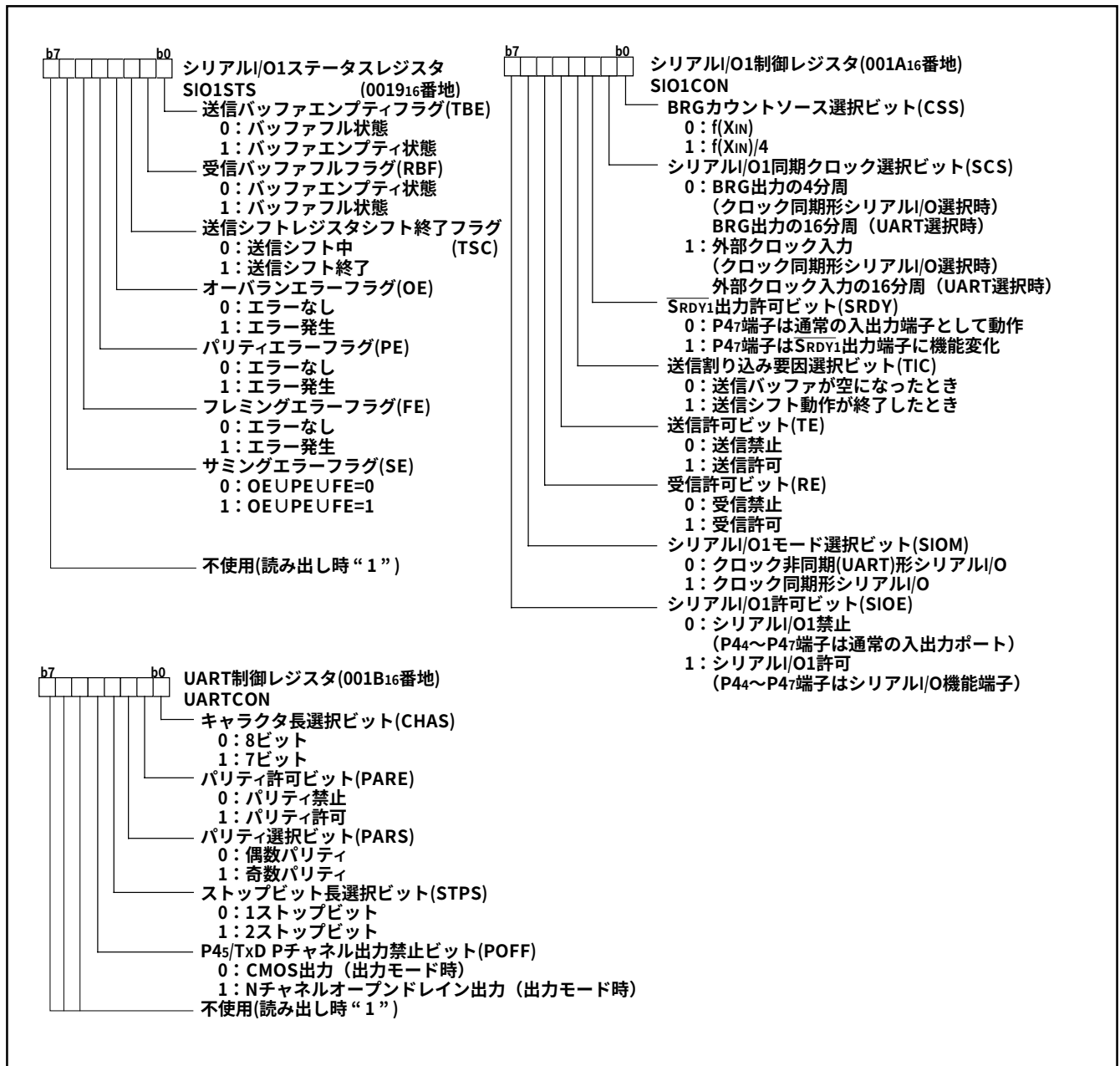


図32. シリアルI/O1関係レジスタの構成

●シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作できます。

シリアルI/O2は、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。

動作クロックとして内部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2が初期化され、送受信が開始されます。

動作クロックとして外部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2カウンタが初期化され、送受信できる状態になります。外部クロックが入力されると送受信が開始されます。なお、動作クロックとして外部クロックを選択時のシリアルI/O2レジスタへの書き込みは、SCLK21が“H”の状態で行ってください。

また、同期クロックの出力端子としてP62/SCLK21、P63/SCLK22のいずれかを選択できます。この場合、同期クロックの出力として選択されていない端子は入出力ポートとして機能します。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは、シリアルI/O2の各種設定を行うビットで構成されています。このレジスタを設定した後、シリアルI/O2レジスタにデータを書き、送受信を開始してください。

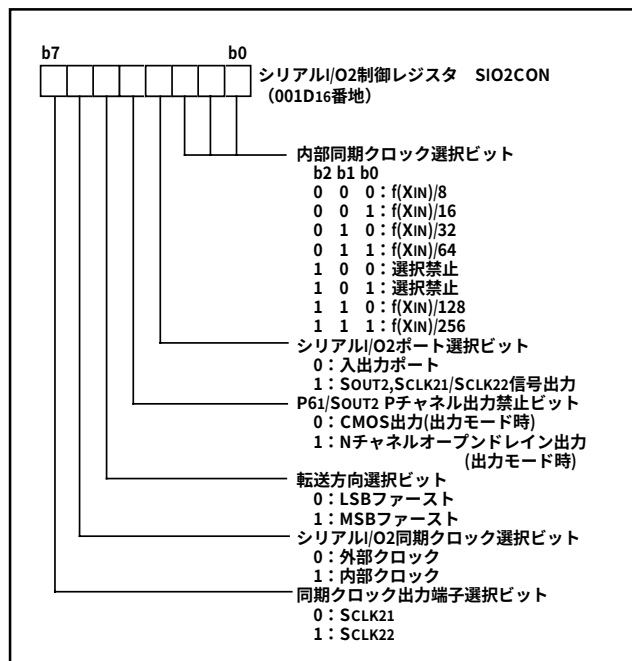


図33. シリアルI/O2制御レジスタの構成

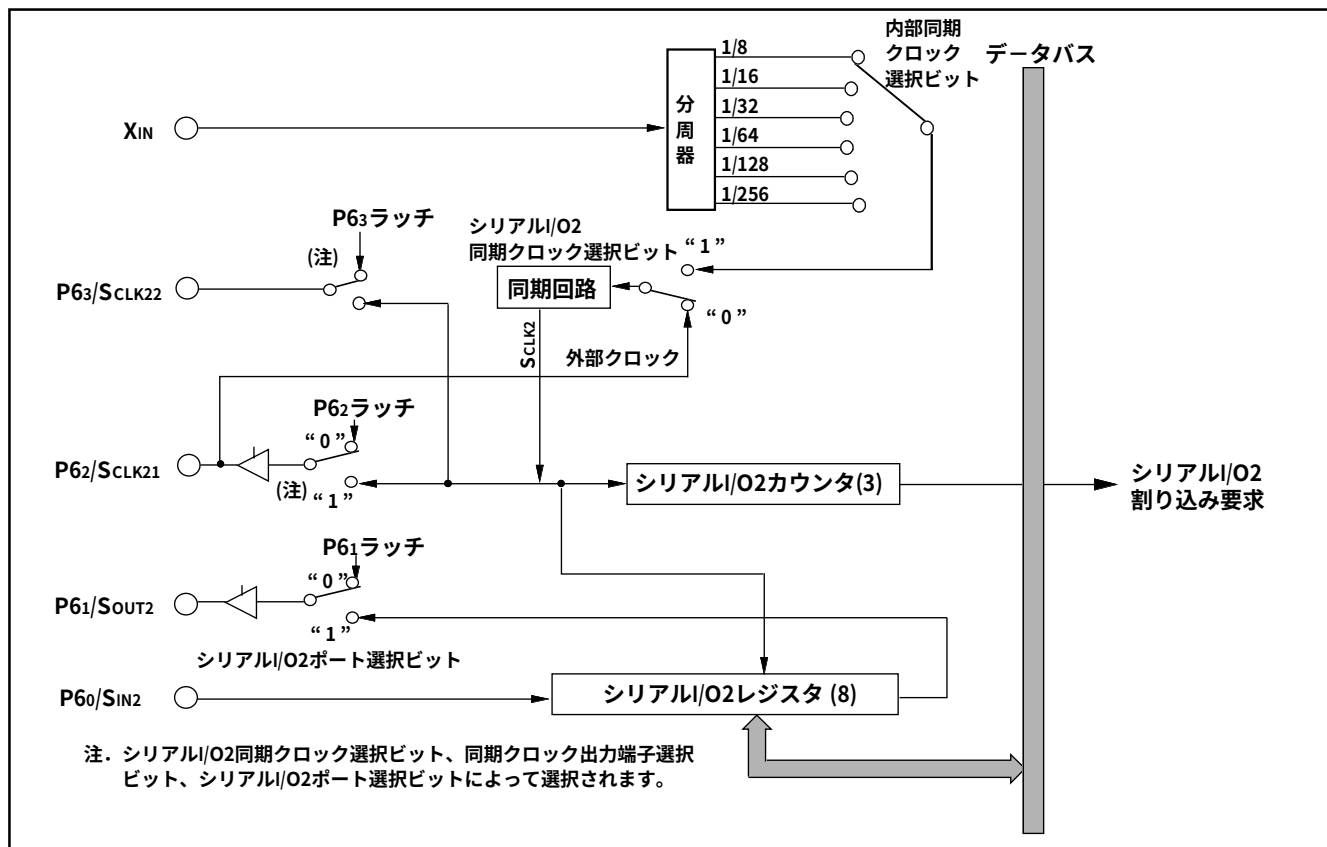


図34. シリアルI/O2ブロック図

・シリアルI/O2の動作

シリアルI/O2レジスタへの書き込みで、シリアルI/O2カウンタが“7”に初期化されます。

書き込み後、同期クロックが“H”から“L”に変化するたびに、SOUT2端子からデータが出力されます。また、同期クロックが“L”から“H”に変化するたびにSIN2端子からデータが取り込まれ、同時にシリアルI/O2レジスタが1ビットシフトされます。

同期クロックとして内部クロックを選択している場合、同期クロックを8回カウントすると次のようになります。

- ・シリアルI/O2カウンタ＝“0”
- ・同期クロックは“H”で停止
- ・シリアルI/O2割り込み要求ビット＝“1”

また、転送終了後、SOUT2端子はハイインピーダンス状態になります。

同期クロックとして外部クロックを選択している場合、同期クロックを8回カウントするとシリアルI/O2割り込み要求ビットは“1”になり、SOUT2端子はD7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。

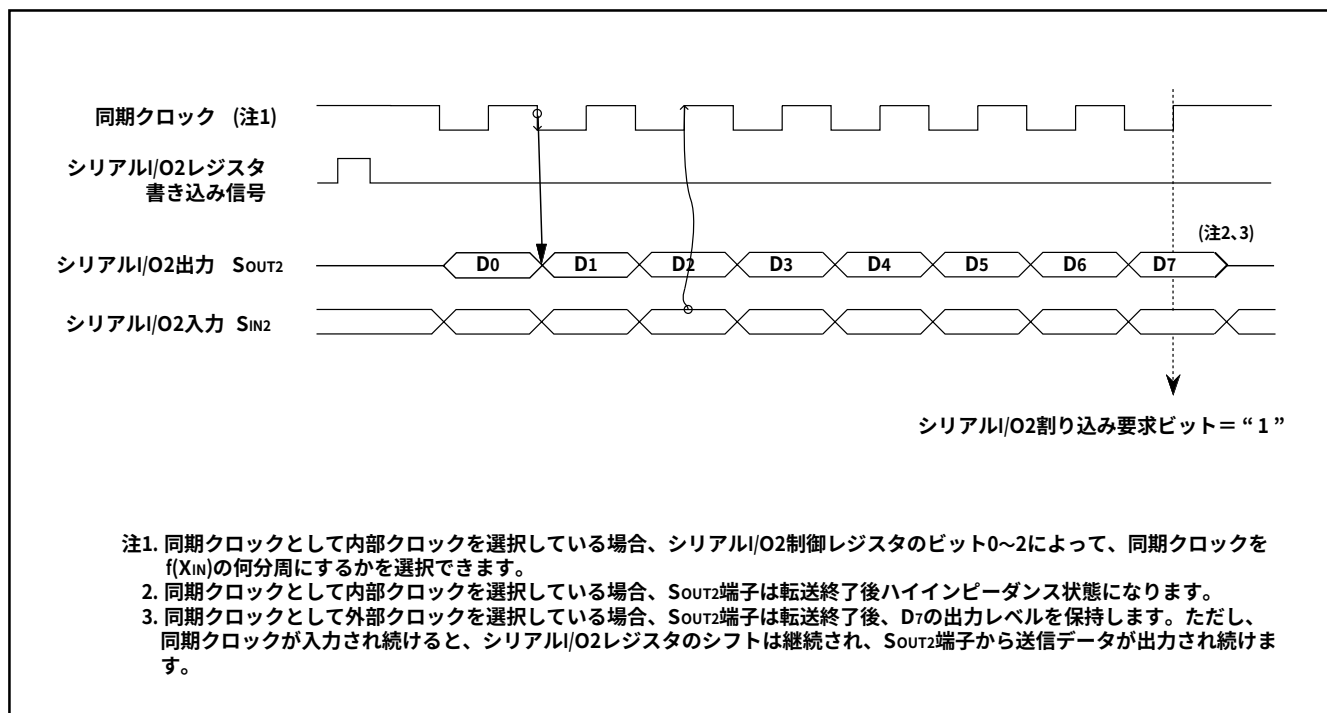


図35. シリアルI/O2タイミング図

PWM出力回路(PWM:Pulse Width Modulation)

PWMは8ビットの分解能を持ち、カウントソースとして $f(X_{IN})$ 又は $f(X_{IN})/2$ のいずれかを選択できます。

•データの設定

PWMの出力端子はポートP50、P51と共用しています。PWMプリスケアラにPWM周期を、PWMレジスタに出力パルスの“H”期間を設定してください。

PWMカウントソースを $f(X_{IN})$ とし、PWMプリスケアラの値を n 、PWMレジスタの値を m とすると、次のようになります。(ただし、 $n=0\sim 255$ 、 $m=0\sim 255$ です。)

$$\begin{aligned}\text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= 31.875 \times (n+1) \mu s \quad (f(X_{IN})=8\text{MHzの場合})\end{aligned}$$

$$\begin{aligned}\text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu s \\ &\quad (f(X_{IN})=8\text{MHzの場合})\end{aligned}$$

•PWMの動作

PWM制御レジスタのビット1(PWM0機能許可ビット)又はビット2(PWM1機能許可ビット)のうち、いずれか一方又は両方を許可にすると、PWM出力は初期状態から動作を開始し、“H”から始まるパルスを出力します。一方のPWM出力を許可にした後、もう一方のPWM出力を許可にした場合、後から出力を許可したPWM出力はPWMの周期の途中から始まります(図39参照)。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

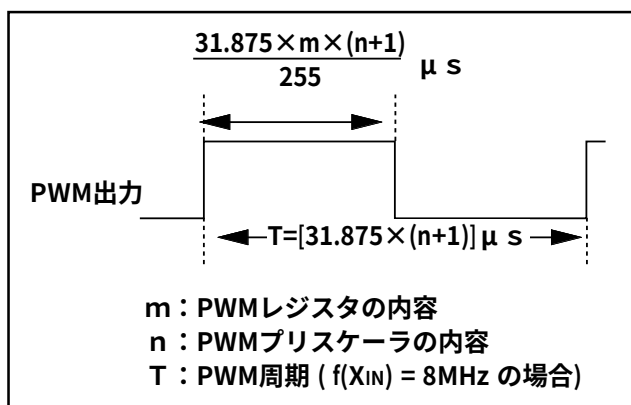


図36. PWM周期のタイミング図

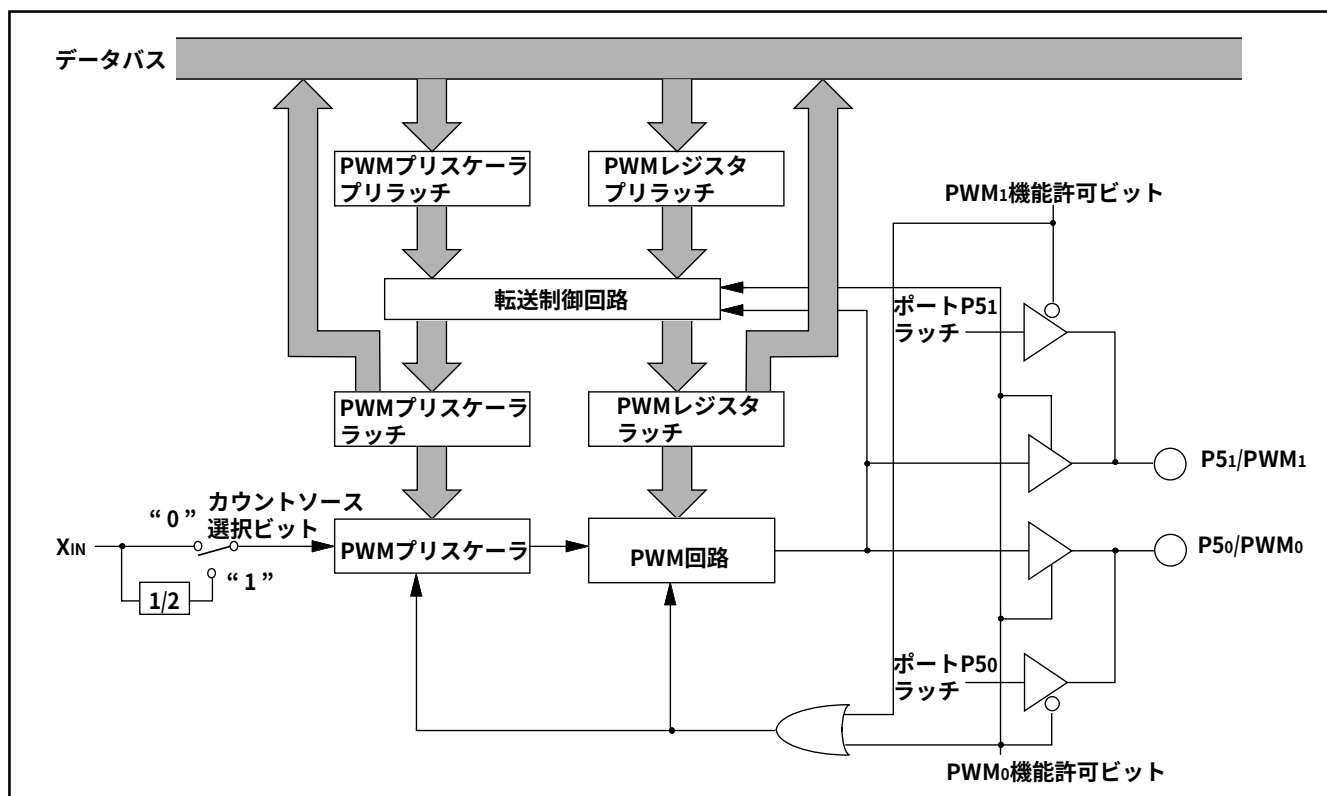


図37. PWMブロック図

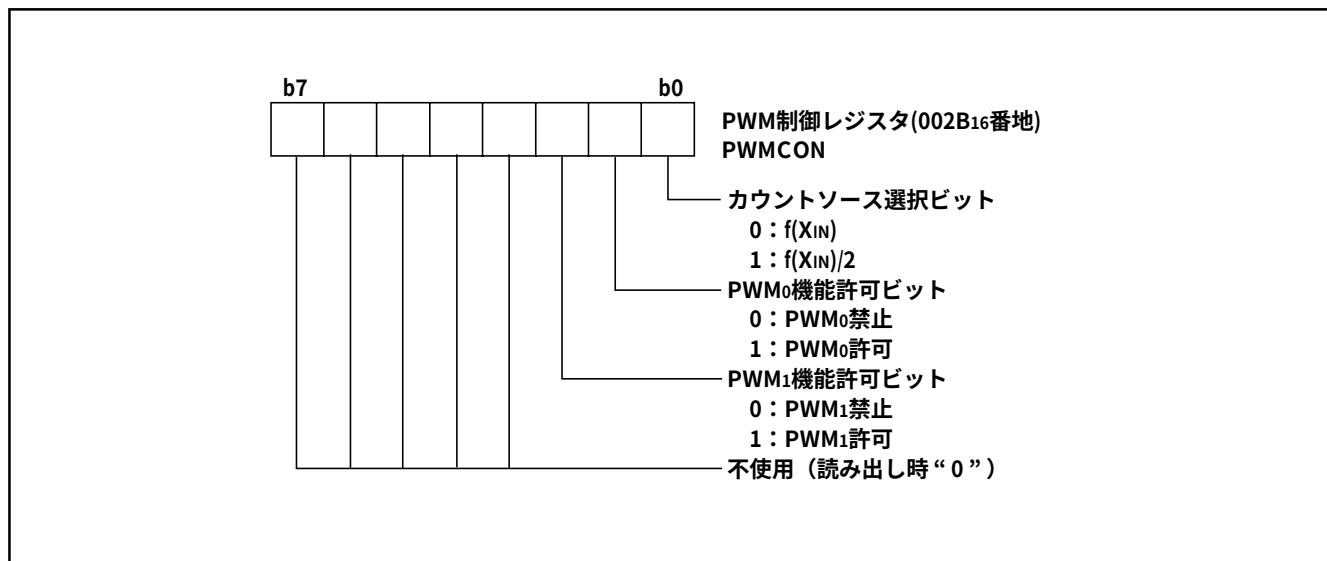


図38. PWM制御レジスタの構成

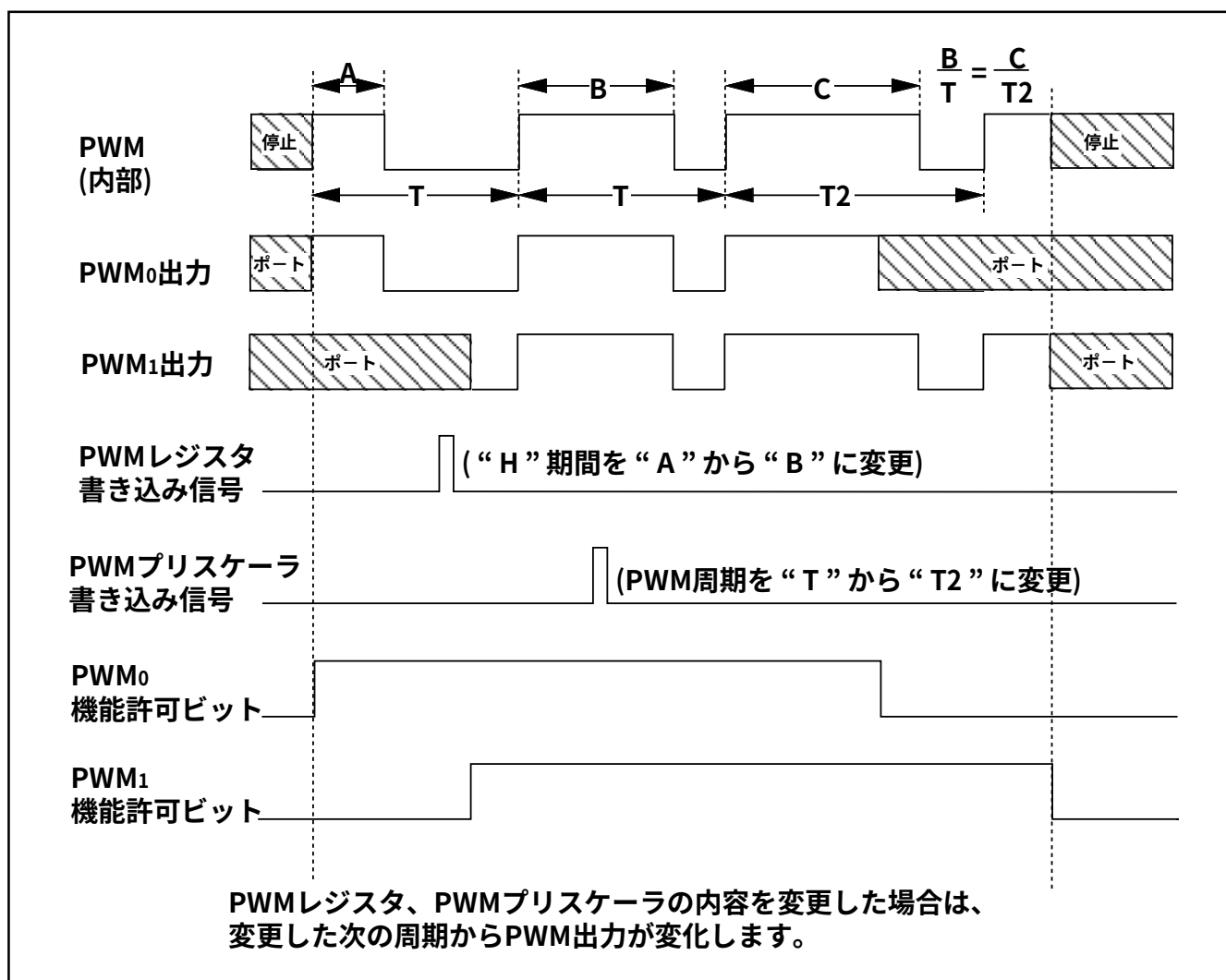


図39. PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

A-D変換器

【A-D変換レジスタ】 ADH,ADL

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中に、このレジスタを読むと、前回の変換結果が読み取れます。変換結果は上位8ビットがA-D変換上位レジスタ(0035₁₆番地)に、下位2ビットがA-D変換下位レジスタ(0014₁₆番地)のビット7及びビット6に格納されます。

A-D変換下位レジスタのビット0は、変換モード選択ビットです。このビットを“1”にすると8ビットA-Dモード、“0”にすると10ビットA-Dモードになります。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書くと、A-D変換が開始されます。ビット4はVREF入力スイッチビットで、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御します。このビットを“1”にすると、常に抵抗ラダーはVREFに接続されます。“0”にすると、A-D変換中以外、抵抗ラダーはVREFから切り離されます。ビット5はA-D外部トリガ有効ビットで、このビットを“1”にすると、ADT入力の立ち下がりでもA-D変換を開始します。A-D外部トリガを使用する場合は、P57/ADT端子を入力モード(ポートP5方向レジスタのビット7を“0”)にしてください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャネルセレクト】

ポートP60/AN0～P67/AN7のうち1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧を比較し、その結果がA-D変換レジスタに格納されます。また、A-D変換終了時にA-D変換終了ビット及びA-D変換割り込み要求ビットは、“1”になります。

コンパレータは容量結合で構成されているため、A-D変換中はf(XIN)を500kHz以上にしてください。また、システムクロックφにはメインクロックf(XIN)を分周したクロックを使用してください。

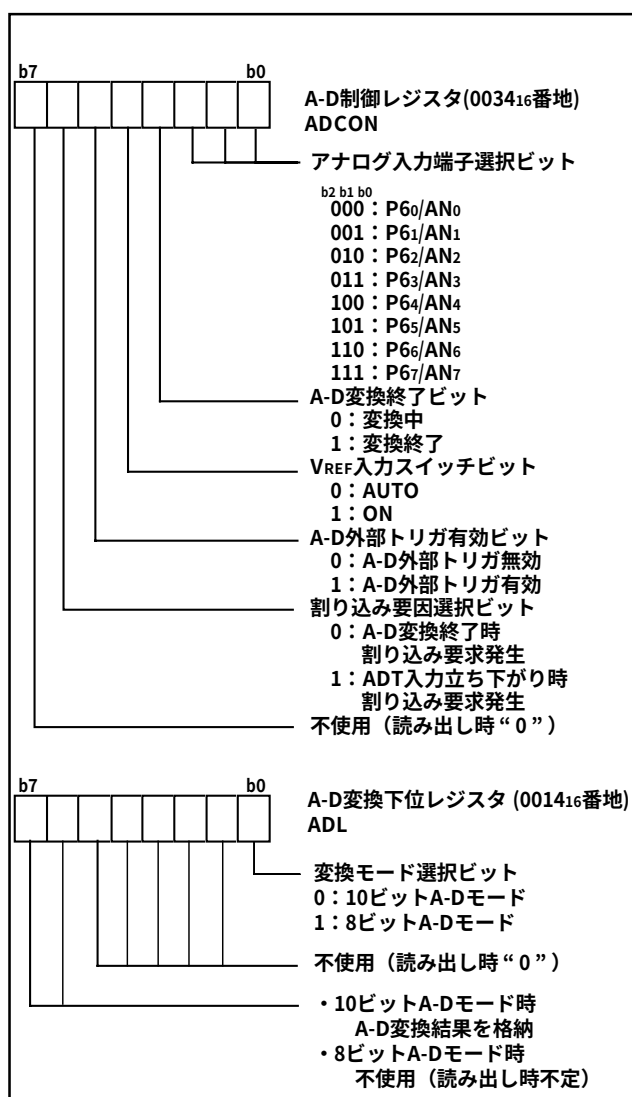


図40. A-D変換関係レジスタの構成

- ・ 10ビット読み出し(0035₁₆番地、0014₁₆番地の順で読み出してください。)

A-D変換上位レジスタ
(0035₁₆番地) ADH

b7	b6	b5	b4	b3	b2	b1	b0

(上位)

A-D変換下位レジスタ
(0014₁₆番地) ADL

b7	b6	b5	b4	b3	b2	b1	b0

(下位)

変換モード選択ビット
0 : 10ビットA-Dモード
1 : 8ビットA-Dモード

注. 0014₁₆番地の下位6ビットは読み出し時は“0”になります。

- ・ 8ビット読み出し(0035₁₆番地のみ読み出してください。)

(0035₁₆番地)

b7	b6	b5	b4	b3	b2	b1	b0

図41. A-D変換レジスタの読み出し

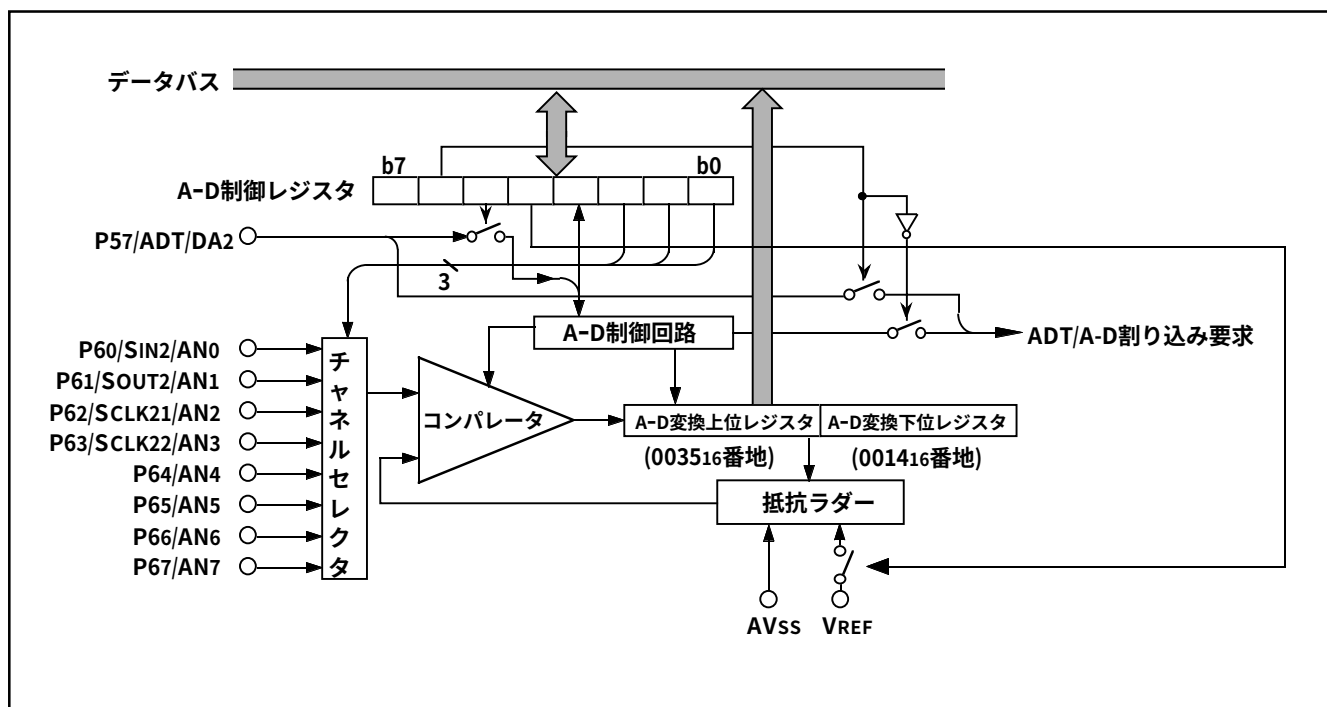


図42. A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル(DA1、DA2)あります。

D-A変換レジスタに値を設定すると、D-A変換が開始します。DA1出力許可ビット、DA2出力許可ビットを“1”にすると、対応するDA端子からD-A変換結果が出力されます。このとき、P56/DA1、P57/DA2端子を入力モード(ポートP5方向レジスタのビット6、7を“0”)、プルアップなし(PULLレジスタBのビット3を“0”)に、あらかじめ設定してください。

D-A変換レジスタに設定した値をn(nは10進数)とすると、出力されるアナログ電圧Vは次のようになります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

ただしV_{REF}は基準電圧

D-A変換レジスタはリセット時“0016”になります。またリセット時、DA1出力許可ビット及びDA2出力許可ビットも“0”になり、P56/DA1、P57/DA2端子はハイインピーダンス状態になります。なお、D-A変換器はバッファを内蔵していないため、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

■V_{REF}端子に印加する電圧の注意事項

D-A変換出力端子として使用する場合、V_{REF}端子にV_{CC}レベルの電圧を印加することを推奨します。

V_{CC}レベル以下の電圧を印加した場合は、D-A変換器の精度が低下する可能性があります。

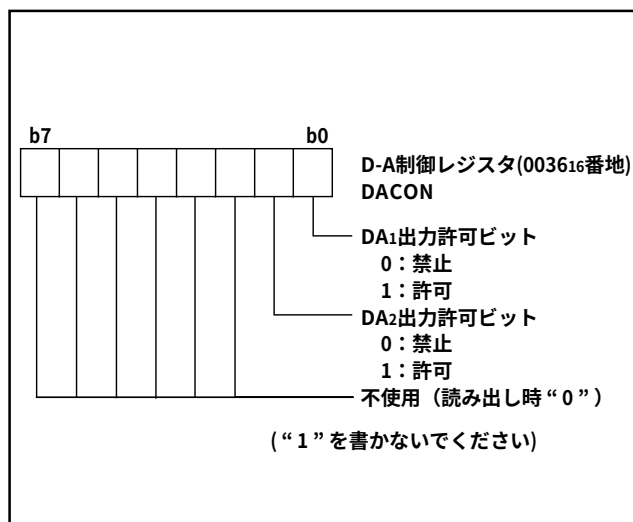


図43. D-A制御レジスタの構成

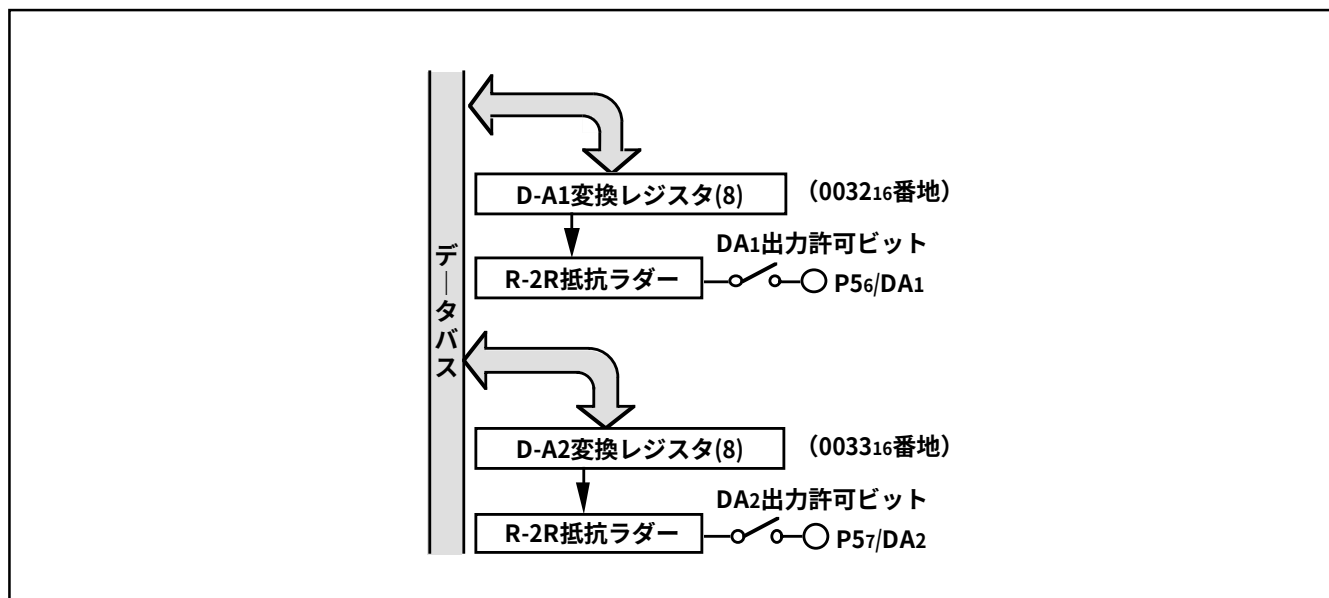


図44. D-A変換器ブロック図

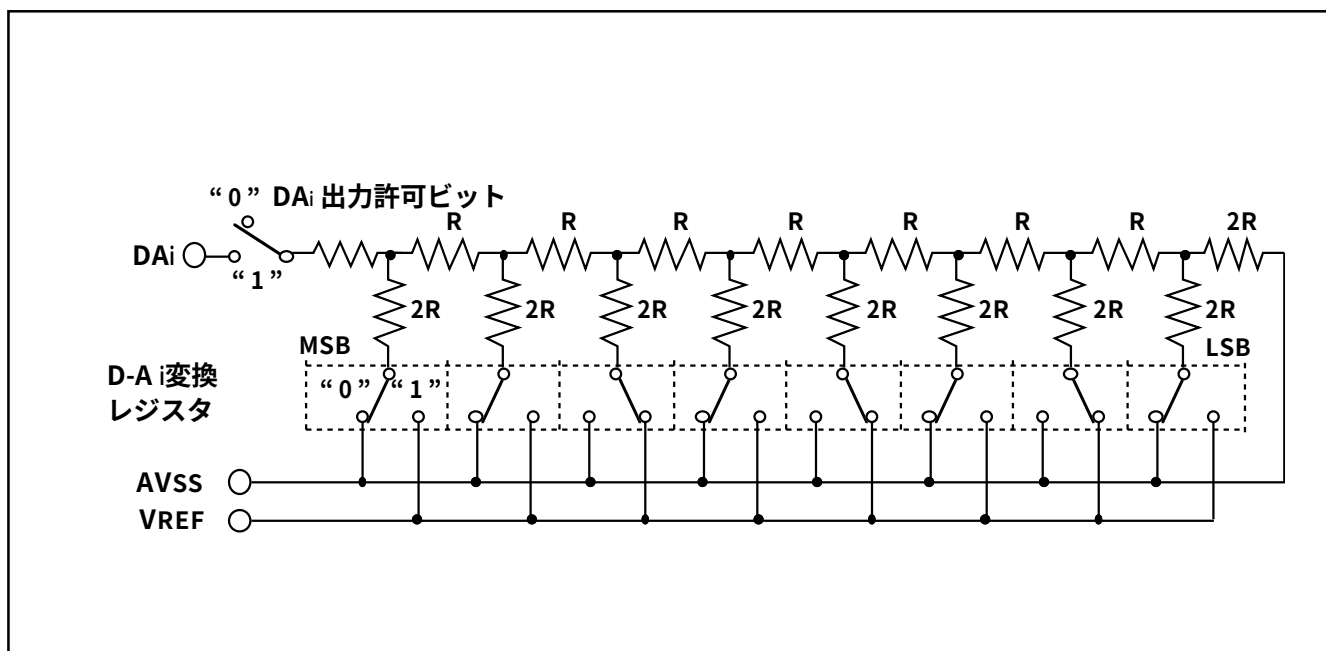


図45. D-A変換等価回路図

LCD駆動制御回路

7560グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力許可レジスタ
- ・LCDモードレジスタ
- ・昇圧回路
- ・セクタ
- ・タイミングコントローラ
- ・コモンドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大40本、コモン出力は最大4本使用でき、最大160画素までLCD表示ができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットをLCD点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルに表示します。

表11. 各時分割時の最大表示素子数

時分割数	最大表示素子数
2	80ドット又は8セグメントLCD10桁
3	120ドット又は8セグメントLCD15桁
4	160ドット又は8セグメントLCD20桁

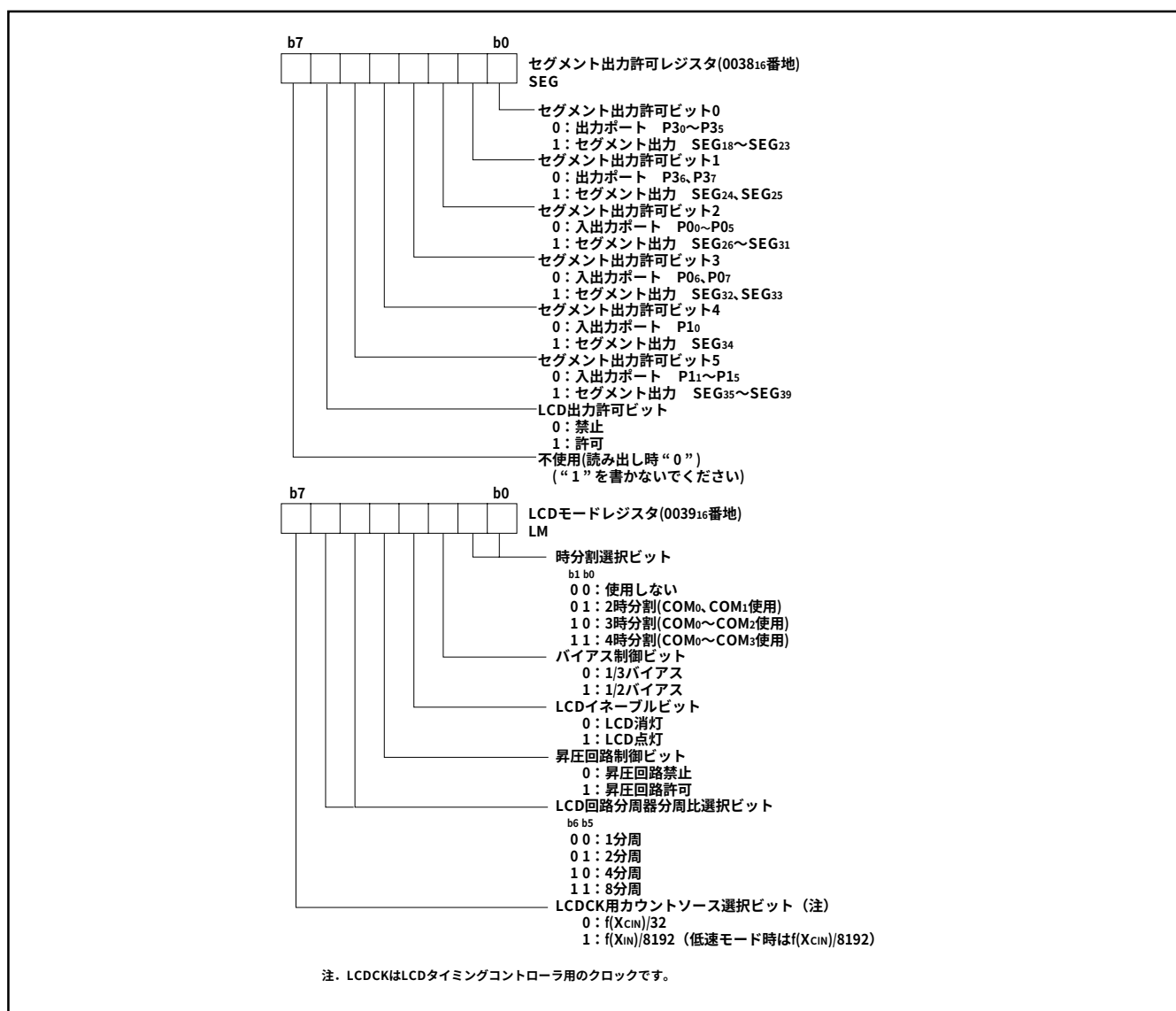


図46. LCD関係レジスタの構成

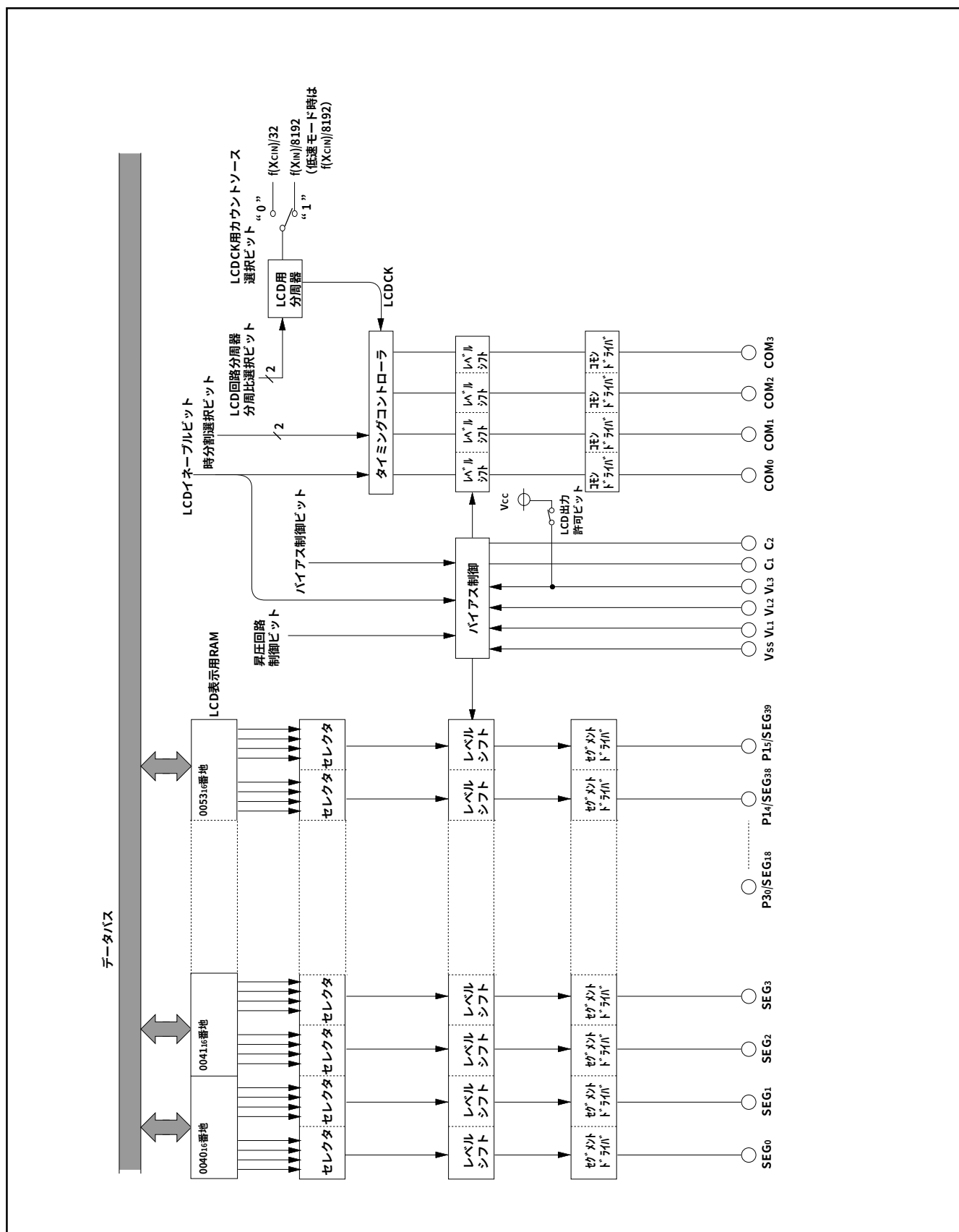


図47. LCDコントローラ/ドライバのブロック図

●昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。

昇圧回路を動作させるにはセグメント出力許可レジスタとLCDモードレジスタによって、セグメント/ポートの選択と時分割選択、バイアス制御選択、LCD回路分周器分周比選択、LCDCK用カウンタソース選択を行った後に、LCD出力許可ビット(セグメント出力許可レジスタのビット6)を許可に設定し、VL1端子に規格値内の電圧を印加後、昇圧回路制御ビット(LCDモードレジスタのビット4)を昇圧回路許可に設定してください。ただし、バイアス制御は必ず1/3バイアスを選択してください。

昇圧回路を動作させた場合、VL1端子に電圧を入力すると、VL2端子にVL1の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

■昇圧回路の注意事項

昇圧回路を使用する場合は、VL1端子に昇圧回路使用時の電源電圧(VL1)の規格値内の電圧を印加後、昇圧回路制御ビットを昇圧回路許可に設定してください。

昇圧回路を使用しない場合はLCD出力許可ビットを許可に設定し、LCD用電源入力端子(VL1～VL3)に適切な電圧を印加してください。LCD出力許可ビットが禁止に設定されている場合(リセット中を含む)、VL3端子は内部でVCCに接続されています。VCCを超える電圧をVL3に印可する場合は、LCD出力許可ビットを許可にした後に印可してください。

●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1～VL3)には、バイアス値に従って、表12に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表12. バイアス制御とVL1～VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注. VLCDはLCDパネルへの供給電圧の最大値

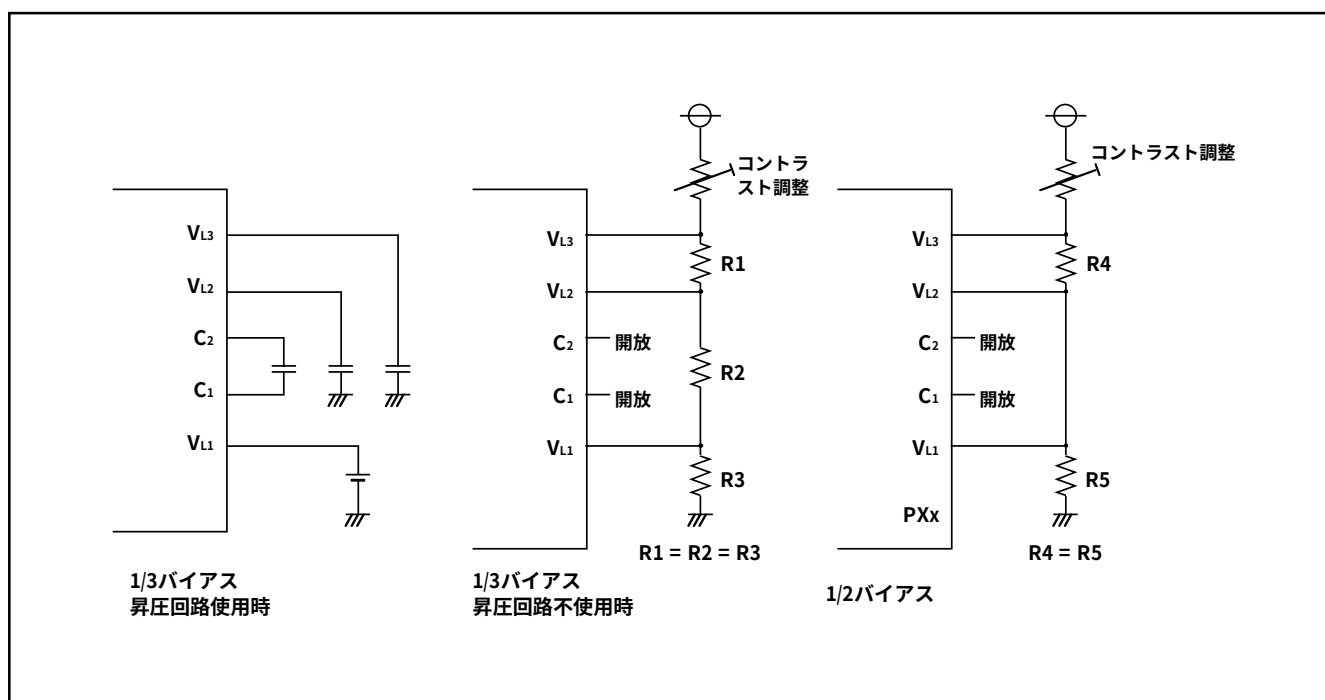


図48. 各バイアス時の回路例

●コモン端子と時分割制御

時分割数によって、使用するコモン端子(COM0～COM3)が決まります。時分割数は時分割選択ビット(LCDモードレジスタのビット0、1)で選択してください。リセット後、コモン端子はVCC(=VL3)の電圧を出力します。

表13. 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM0、COM1 (注1)
3	1	0	COM0～COM2 (注2)
4	1	1	COM0～COM3

注1. COM2、COM3は開放

2. COM3は開放

●セグメント信号出力端子

セグメント信号出力端子には、セグメント専用端子(SEG0～SEG17)とセグメント/出力ポート兼用端子(SEG18～SEG25)とセグメント/入出力ポート兼用端子(SEG26～SEG39)があります。セグメント出力は時分割数と対応したLCDRAMのビットデータに従って出力されます。リセット後、セグメント出力専用端子はVCC(=VL3)の電圧を出力し、セグメント/出力ポート兼用端子はハイインピーダンス状態でVCC(=VL3)の電圧にプルアップされます。また、セグメント/入出力ポート兼用端子(SEG26～SEG39)は入出力ポートの入力モードになり、プルアップ抵抗によりVCC(=VL3)が印加されます。

●LCD表示用RAM

004016番地から005316番地までの20バイトはLCD表示用RAMです。これらのビットに“1”を書くと、LCDパネルの対応するセグメントが点灯します。

●LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

ビット アドレス	7	6	5	4	3	2	1	0
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0
004016	SEG1				SEG0			
004116	SEG3				SEG2			
004216	SEG5				SEG4			
004316	SEG7				SEG6			
004416	SEG9				SEG8			
004516	SEG11				SEG10			
004616	SEG13				SEG12			
004716	SEG15				SEG14			
004816	SEG17				SEG16			
004916	SEG19				SEG18			
004A16	SEG21				SEG20			
004B16	SEG23				SEG22			
004C16	SEG25				SEG24			
004D16	SEG27				SEG26			
004E16	SEG29				SEG28			
004F16	SEG31				SEG30			
005016	SEG33				SEG32			
005116	SEG35				SEG34			
005216	SEG37				SEG36			
005316	SEG39				SEG38			

図49. LCD表示用RAMマップ

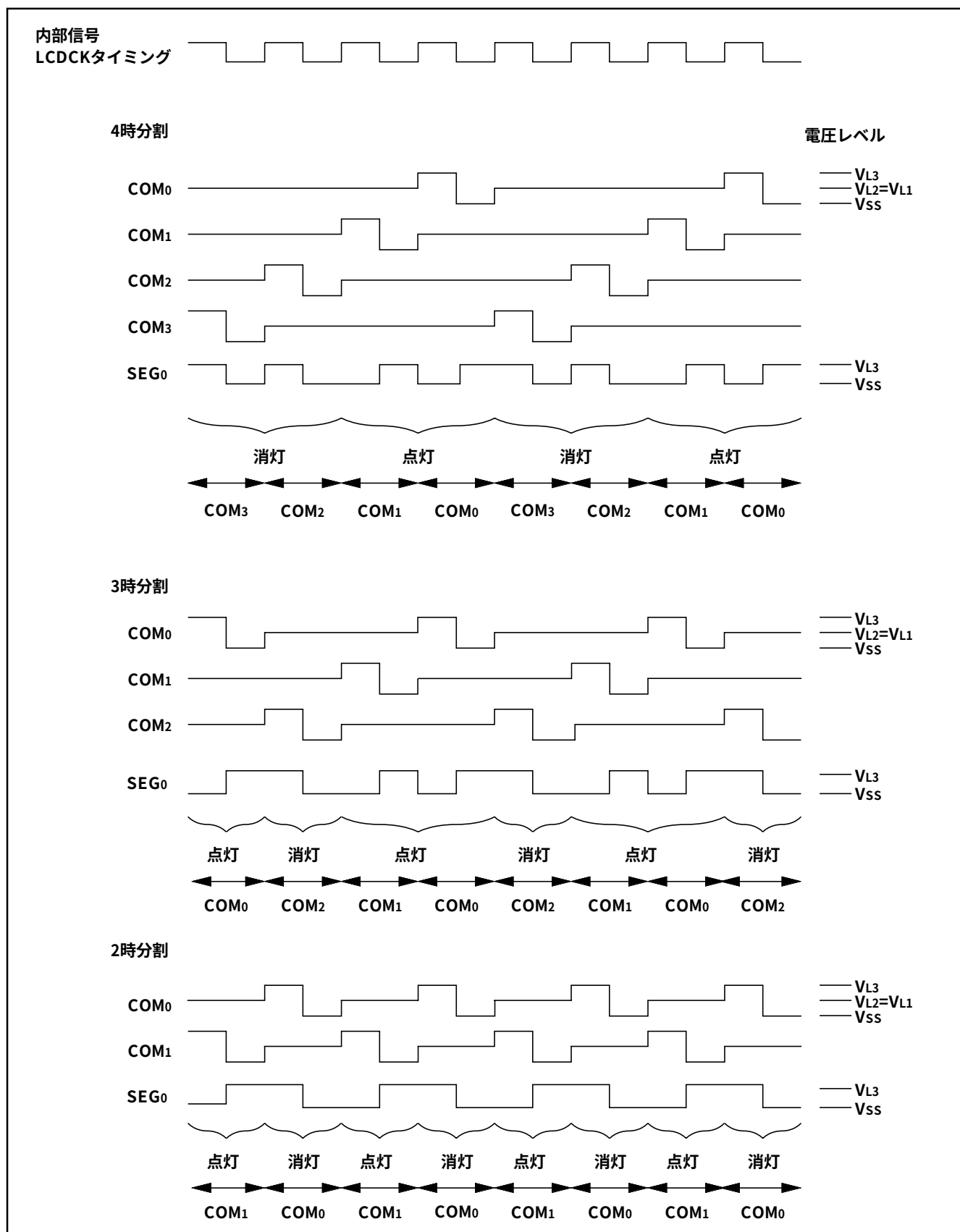


図50. LCD駆動波形 (1/2バイアスの場合)

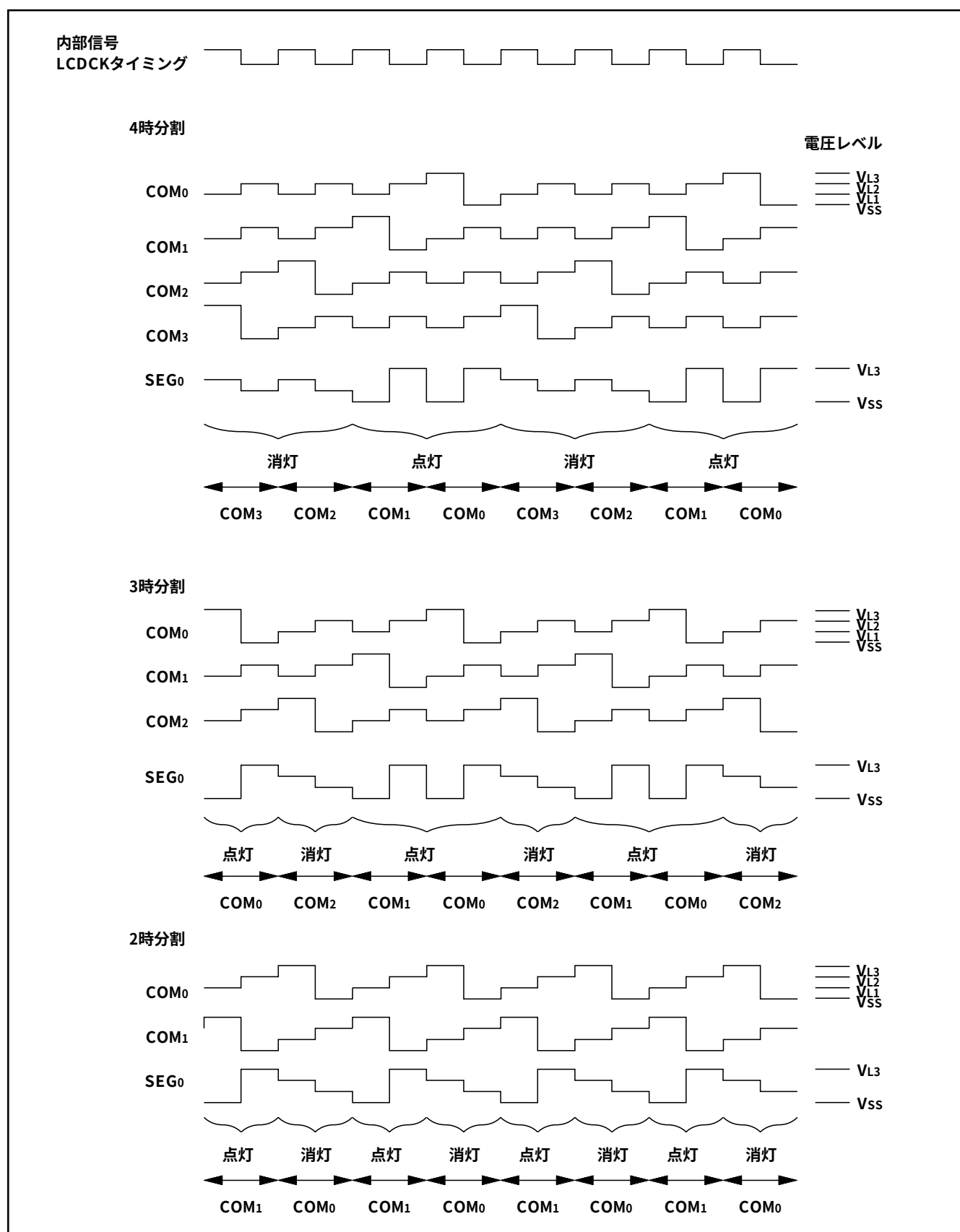


図51. LCD駆動波形 (1/3バイアスの場合)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えます。

ウォッチドッグタイマは下位8ビットと上位6ビットの計14ビットのカウンタで構成されています。これらのカウンタは、リセット時又はウォッチドッグタイマ制御レジスタ(0037₁₆番地)への書き込みにより、3FFF₁₆になります。リセット後、ウォッチドッグタイマはカウント停止状態ですが、ウォッチドッグタイマ制御レジスタへの書き込みによって、“3FFF₁₆”からダウンカウントを開始し、アンダフローすると内部リセットが発生します。したがって、ウォッチドッグタイマ機能を使用する場合は、アンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行ってください。

リセット後、ウォッチドッグタイマ制御レジスタへの書き込みがない場合には、ウォッチドッグタイマは機能しません。ウォッチドッグタイマ機能を使用しない場合は、書き込みを行わないでください。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウント値、STP命令禁止ビットの値、及びカウントソース選択ビットの値が読めます。

STP命令禁止ビットが“0”のとき、STP命令は許可されます。このビットを“1”にすると、STP命令は禁止されます。STP命令が禁止されているときにSTP命令を実行すると、未定義命令として処理され、内部でリセットが発生します。STP命令禁止ビットはプログラムで“1”にできますが、“0”にはできません。このビットはリセット後“0”です。

ウォッチドッグタイマHカウントソース選択ビットが“0”のとき、検出時間は $f(X_{CIN}) = 32\text{kHz}$ 時は8.19s、 $f(X_{IN}) = 8\text{MHz}$ 時は32.768msになります。このビットが“1”のときの検出時間は $f(X_{CIN}) = 32\text{kHz}$ 時は32ms、 $f(X_{IN}) = 8\text{MHz}$ 時は128 μs になります。なお、中速モード、高速モードによる検出時間の違いはありません。

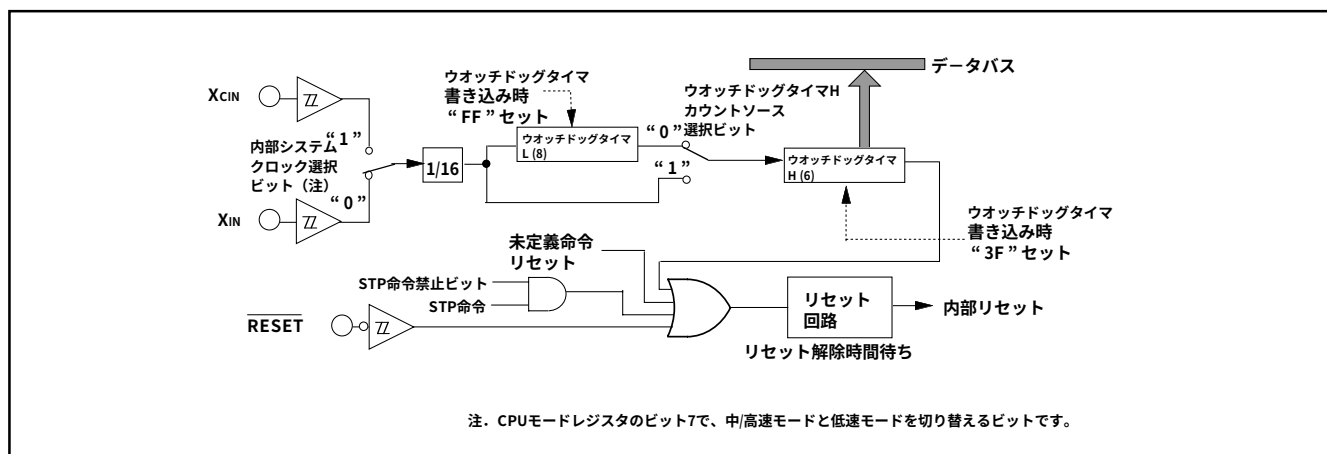


図52. 暴走検出機能ブロック図

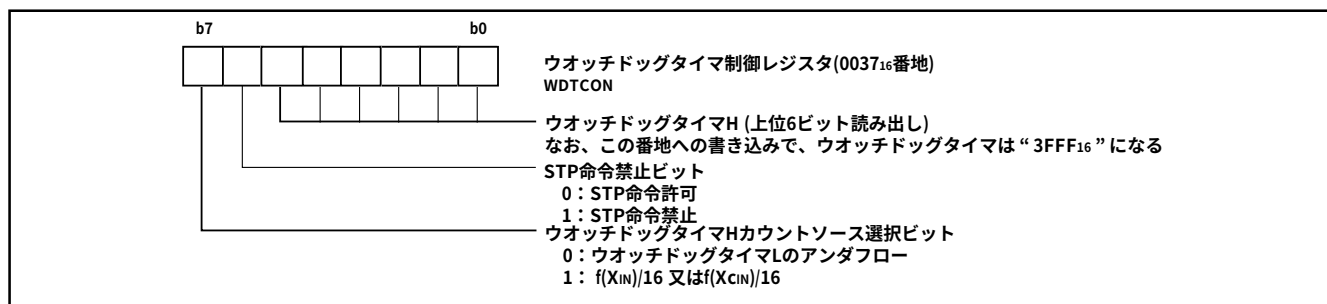


図53. ウォッチドッグタイマ制御レジスタの構成

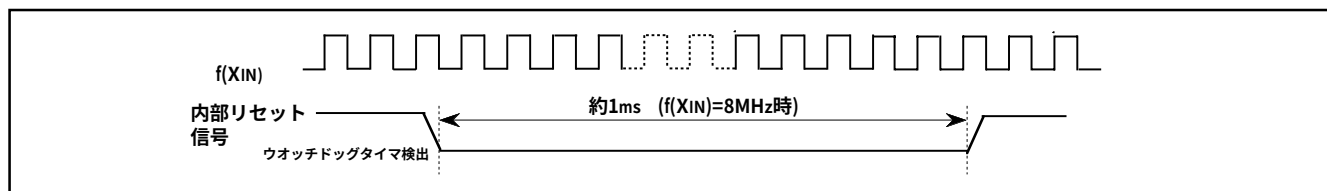


図54. リセット出力のタイミング図

TOUT/φ出力機能

タイマ123モードレジスタのTOUT/φ出力許可ビット、及びTOUT/φ出力制御レジスタの設定により、ポートP43からシステムクロックφ又はタイマ2の2分周(TOUT出力)を出力できます。

TOUT/φの出力を行うには、P43/φ/TOUT端子を出力モード(ポートP4方向レジスタのビット3を“1”)にしてください。

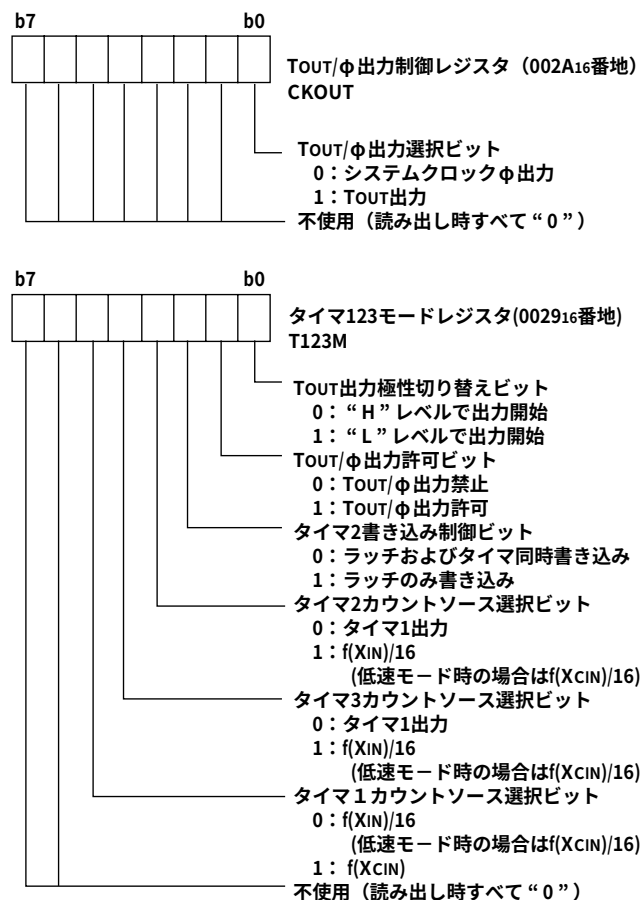


図55. TOUT/φ出力関連レジスタの構成

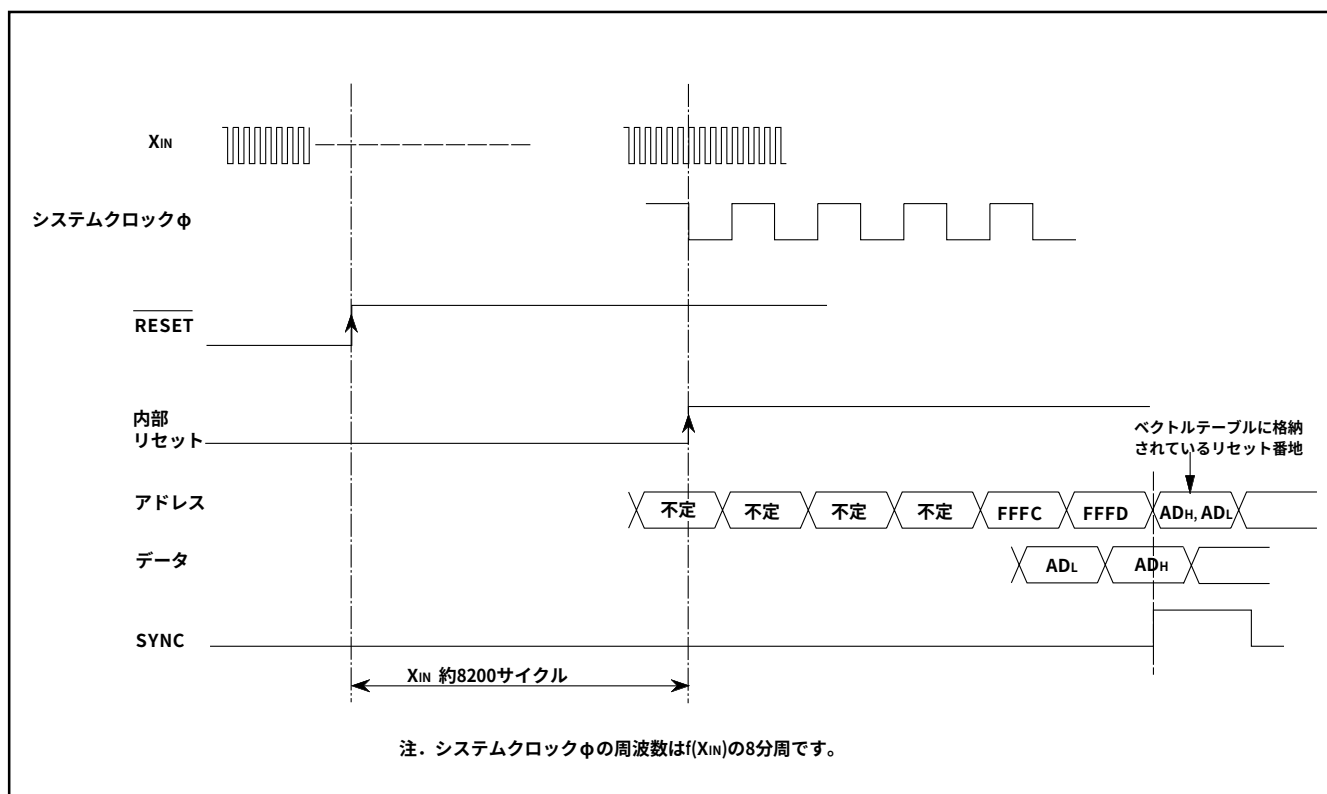
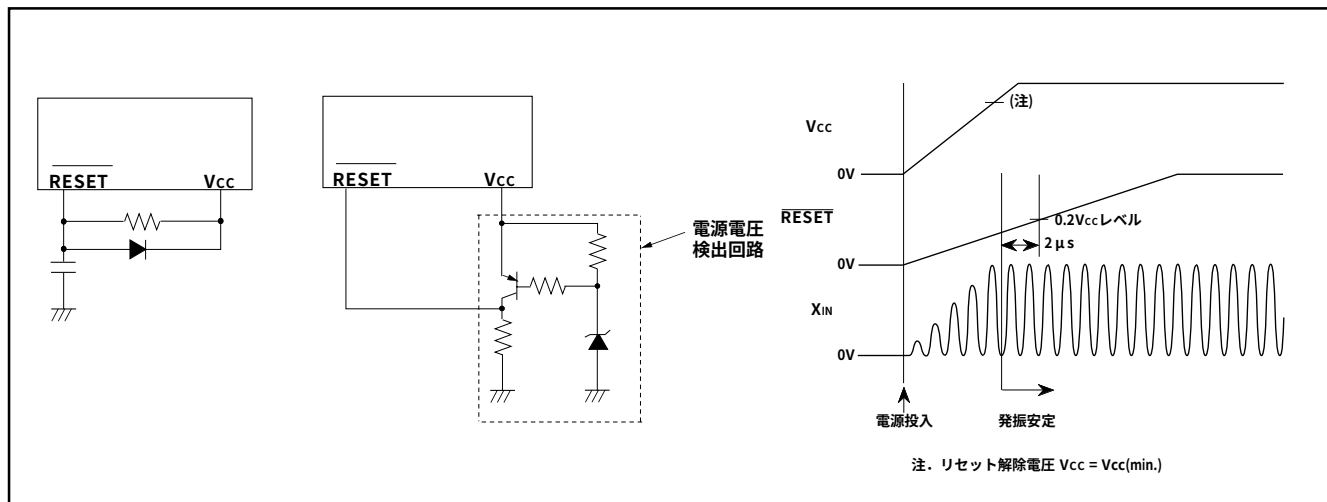
リセット回路

V_{CC}端子に印加されている電源電圧が規格値内にあり、メインクロックX_{IN}-X_{OUT}が安定発振している、又はX_{IN}端子に安定したクロックが入力されているとき、RESET端子を2 μ s以上“L”レベルに保つと内部リセット状態になります。その後“H”レベルに戻すとf(X_{IN})の約8200サイクル後にリセット解除され、FFFD₁₆番地の内

容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムが開始します。

リセット入力電圧は、電源電圧がV_{CC}(min.)を通過する時点で0.2V_{CC}(min.)以下になるようにしてください。

* V_{CC}(min.)=V_{CC}端子に印加されている電源電圧規格値の最小値



番地	レジスタの内容	番地	レジスタの内容
(1) ポートP0方向レジスタ	0001 ₁₆ 00 ₁₆	(31) A-D制御レジスタ	0034 ₁₆ 00001000
(2) ポートP1方向レジスタ	0003 ₁₆ 00 ₁₆	(32) D-A制御レジスタ	0036 ₁₆ 00 ₁₆
(3) ポートP2方向レジスタ	0005 ₁₆ 00 ₁₆	(33) ウォッチドッグタイマ制御レジスタ	0037 ₁₆ 00111111
(4) ポートP3出力制御レジスタ	0007 ₁₆ 00 ₁₆	(34) セグメント出力許可レジスタ	0038 ₁₆ 00 ₁₆
(5) ポートP4方向レジスタ	0009 ₁₆ 00 ₁₆	(35) LCDモードレジスタ	0039 ₁₆ 00 ₁₆
(6) ポートP5方向レジスタ	000B ₁₆ 00 ₁₆	(36) 割り込みエッジ選択レジスタ	003A ₁₆ 00 ₁₆
(7) ポートP6方向レジスタ	000D ₁₆ 00 ₁₆	(37) CPUモードレジスタ	003B ₁₆ 01001000
(8) ポートP7方向レジスタ	000F ₁₆ 00 ₁₆	(38) 割り込み要求レジスタ1	003C ₁₆ 00 ₁₆
(9) A-D変換下位レジスタ	0014 ₁₆ ××000001	(39) 割り込み要求レジスタ2	003D ₁₆ 00 ₁₆
(10) キー入力制御レジスタ	0015 ₁₆ 00 ₁₆	(40) 割り込み制御レジスタ1	003E ₁₆ 00 ₁₆
(11) PULLレジスタA	0016 ₁₆ 3F ₁₆	(41) 割り込み制御レジスタ2	003F ₁₆ 00 ₁₆
(12) PULLレジスタB	0017 ₁₆ 00 ₁₆	(42) プロセッサステータスレジスタ	(PS) ×××××1××
(13) シリアルI/O1ステータスレジスタ	0019 ₁₆ 10000000	(43) プログラムカウンタ	(PCH) FFFD ₁₆ 番地の内容
(14) シリアルI/O1制御レジスタ	001A ₁₆ 00 ₁₆		(PCL) FFFC ₁₆ 番地の内容
(15) UART制御レジスタ	001B ₁₆ 11100000	(44) ウォッチドッグタイマ (上位)	3F ₁₆
(16) シリアルI/O2制御レジスタ	001D ₁₆ 00 ₁₆	(45) ウォッチドッグタイマ (下位)	FF ₁₆
(17) タイマX下位レジスタ	0020 ₁₆ FF ₁₆		
(18) タイマX上位レジスタ	0021 ₁₆ FF ₁₆		
(19) タイマY下位レジスタ	0022 ₁₆ FF ₁₆		
(20) タイマY上位レジスタ	0023 ₁₆ FF ₁₆		
(21) タイマ1レジスタ	0024 ₁₆ FF ₁₆		
(22) タイマ2レジスタ	0025 ₁₆ 01 ₁₆		
(23) タイマ3レジスタ	0026 ₁₆ FF ₁₆		
(24) タイマXモードレジスタ	0027 ₁₆ 00 ₁₆		
(25) タイマYモードレジスタ	0028 ₁₆ 00 ₁₆		
(26) タイマ123モードレジスタ	0029 ₁₆ 00 ₁₆		
(27) TOUT/φ出力制御レジスタ	002A ₁₆ 00 ₁₆		
(28) PWM制御レジスタ	002B ₁₆ 00 ₁₆		
(29) D-A1変換レジスタ	0032 ₁₆ 00 ₁₆		
(30) D-A2変換レジスタ	0033 ₁₆ 00 ₁₆		

注. ×: 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定のため、初期値を設定してください。

図58. リセット内部状態

クロック発生回路

メインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路が内蔵されています。XINとXOUT又はXCINとXCOUTの端子間に発振子を接続することによって、発振回路を形成できます。容量などの定数は、発振子により異なるため、発振子メーカーの推奨値を使用してください。XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていないため、外部に帰還抵抗を接続してください。

外部からクロック信号を供給する場合はXIN端子に入力し、XOUT端子は開放にしてください。サブクロックの発振回路は外部で生成したクロックを直接入力できないため、必ず外付け発振子によって発振させてください。

電源投入直後はXIN側の発振回路だけが発振を開始し、XCIN端子とXCOUT端子はハイインピーダンス状態になります。

●周波数制御

(1) 中速モード

XIN端子に入力されたクロックが8分周され、システムクロックφになります。リセット後はこのモードになります。

(2) 高速モード

XIN端子に入力されたクロックが2分周され、システムクロックφになります。

(3) 低速モード

XCIN端子に入力されたクロックが2分周され、システムクロックφになります。

低速モード時、CPUモードレジスタのメインクロック停止ビットを「1」にするとメインクロックは停止し、低消費電力動作が実現できます。メインクロックの発振を再開させるときは、メインクロック停止ビットを「0」にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注. XIN側、XCIN側共に発振が安定してから、中/高速モードと低速モード間を移行してください。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ にしてください。

●発振制御

(1) ストップモード

STP命令を実行するとシステムクロックφが「H」で停止し、メインクロック及びサブクロックの発振が停止します。このとき、あらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が、タイマ1及びタイマ2に自動的にロードされます。このためタイマ1、タイマ2のラッチ(タイマ1には下位8ビット、タイマ2には上位8ビットを

設定)には発振安定に必要な待ち時間を生成する値をSTP命令実行前に書いてください。タイマ1のカウントソースには $f(XIN)$ 又は $f(XCIN)$ を16分周したクロック、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて「0」になります。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットは「0」にしてください。

発振はリセット又は外部割り込みが受け付けられると再開します。ただし、システムクロックφはタイマ2がアンダフローしてから、CPUへの供給が開始されます。これは、セラミック共振子などを使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、システムクロックφのみ「H」の状態に停止します。このときメインクロック及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後にシステムクロックφの供給を開始するため、直ちに命令を実行することができます。

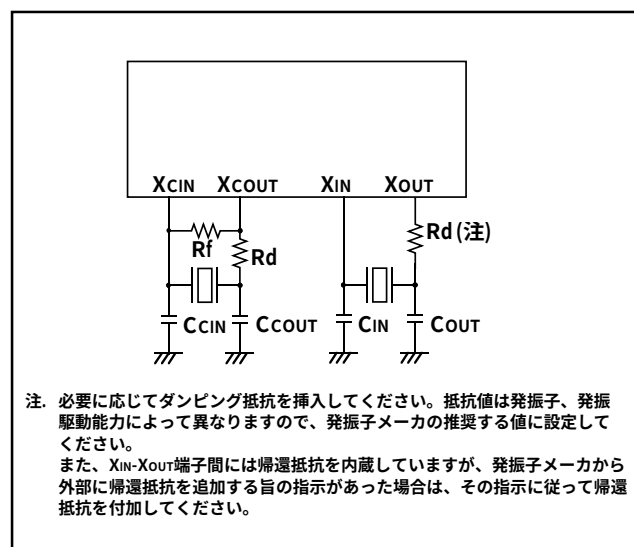


図59. 発振子外付け回路

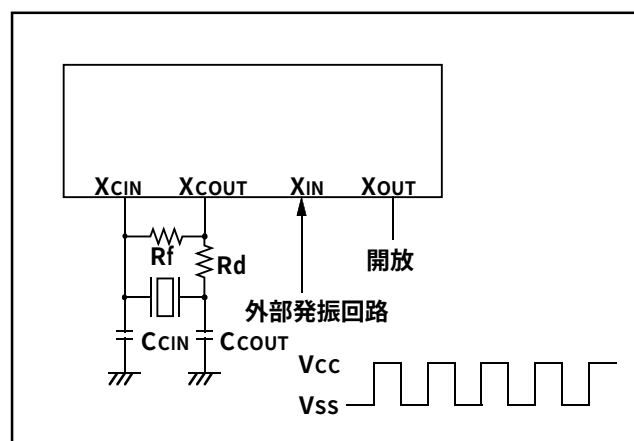
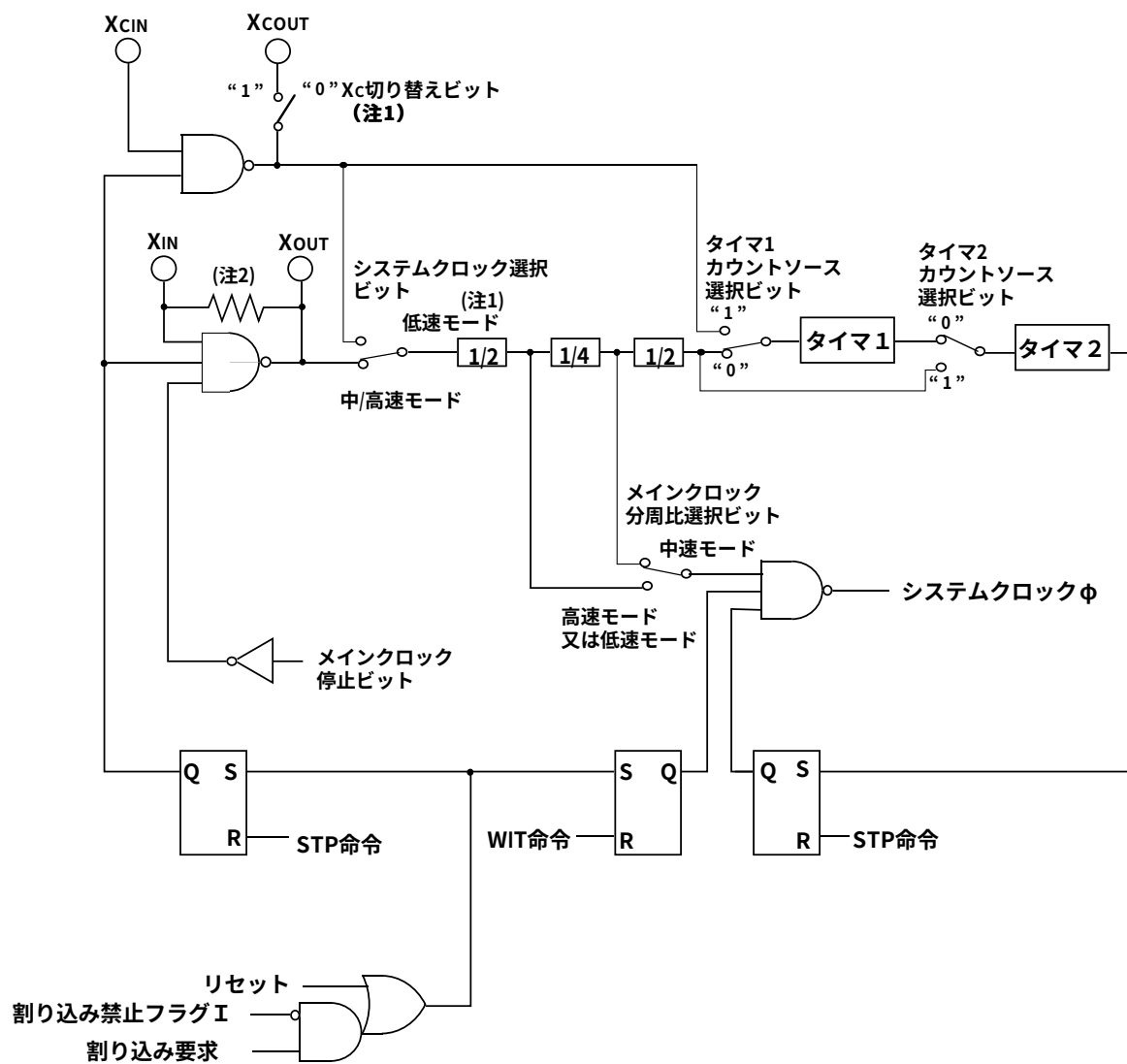


図60. 外部クロック入力回路



- 注1. システムクロックφとしてサブクロックXCIN-XCOUT発振を選択する場合はXc切り替えビットを“1”にしてください。
2. 帰還抵抗は内蔵していますが、条件によっては外部に帰還抵抗が必要な場合があります。

図61. クロック発生回路ブロック図

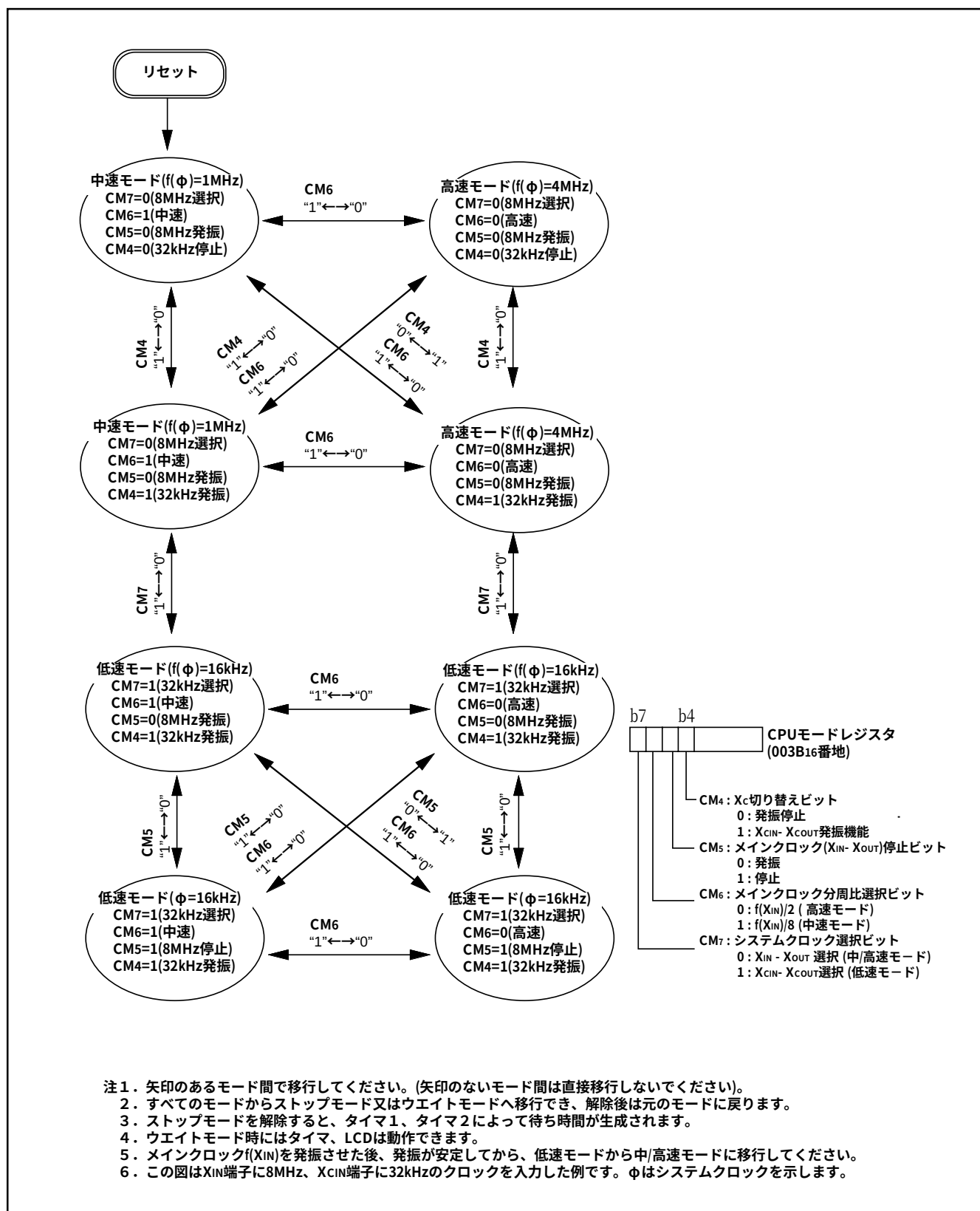


図62. システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は、リセット後は割り込み禁止フラグIが $\overline{1}$ であることを除いて不定です。このため、プログラムの実行に影響を与えるフラグ(Tフラグ、Dフラグなど)を初期化してください。

割り込みに関するもの

BBC、BBS命令は、割り込み要求ビットの内容をプログラムで変更した場合、その命令の一命令以上後に実行してください。これは変更前の内容に対してBBC、BBS命令が実行されるのを防ぐためです。

10進演算に関するもの

- 10進演算を行う場合は、10進モードフラグDを $\overline{1}$ に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、CLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

乗除算命令に関するもの

- MUL、DIV命令は、Tフラグ、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

方向レジスタの設定はLDM命令、STA命令などを使用してください。

方向レジスタの値は読めません。すなわち、方向レジスタには次の命令を使用できません。

- LDA命令
- Tフラグが $\overline{1}$ の場合のメモリ演算命令
- ビットテスト命令(BBC、BBSなど)
- リード・モディファイ・ライト命令(CLB、SEBなどのビット操作命令、RORなどの演算命令など)
- 方向レジスタの値を修飾値とするアドレッシングモードを使う命令

シリアルI/Oに関するもの

クロック同期形シリアルI/Oでは、外部クロックを使用して受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットと共に、送信許可ビットも $\overline{1}$ にしてください。

シリアルI/O1では、送信終了後、TxD端子は送信終了時のレベルを保持します。

シリアルI/O2で内部クロック選択時、送信終了後にSOUT2端子はハイインピーダンスとなります。シリアルI/O2で外部クロック選択時、送信終了後、SOUT2端子は送信終了時のレベルを保持します。

A-D変換に関するもの

コンパレータへの入力は容量で結合されています。そのため、変換速度が十分でない場合、電荷の消失により変換精度を損なう恐れがありますので、A-D変換を行う場合は $f(\text{XIN})$ を500kHz以上にしてください。

次の操作を行った場合のA-D変換は、正常な動作を保証できません。

- A-D変換動作中にCPUモードレジスタに書き込んだ場合
- A-D変換動作中にA-D制御レジスタに書き込んだ場合
- A-D変換動作中にSTP命令、WIT命令を実行した場合

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロック ϕ の周期を乗算することによって得られます。システムクロック ϕ の周期は、メインクロック分周比選択ビット、及びシステムクロック選択ビットで決まります。

使用上の注意事項

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

ノイズに関する注意

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

①リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

●理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

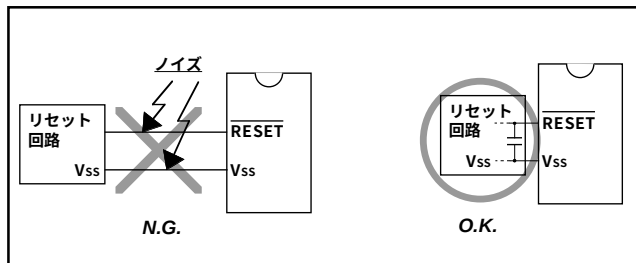


図63. リセット入力端子の配線

②クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

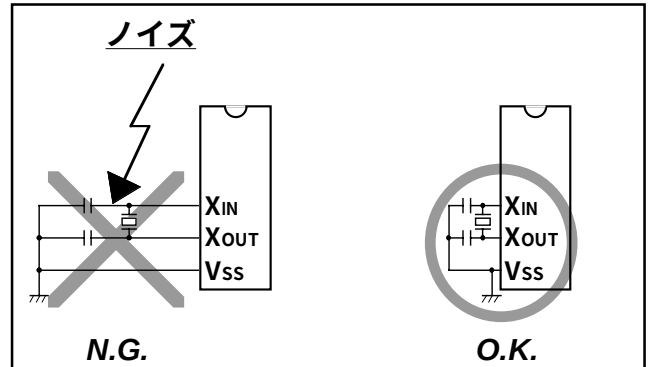


図64. クロック入出力端子の配線

(2) Vss-Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss-Vccライン間に0.1μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子ーバイパスコンデンサ間の配線長とVcc端子ーバイパスコンデンサ間の配線長を等しくする
- ・Vss端子ーバイパスコンデンサ間の配線長とVcc端子ーバイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

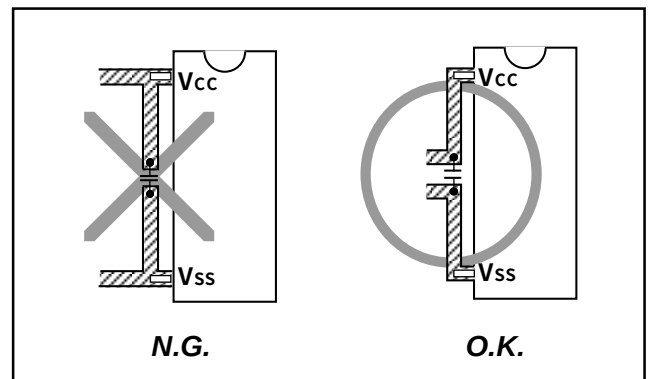


図65. Vss-Vccライン間のバイパスコンデンサ

(3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

①大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

②高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

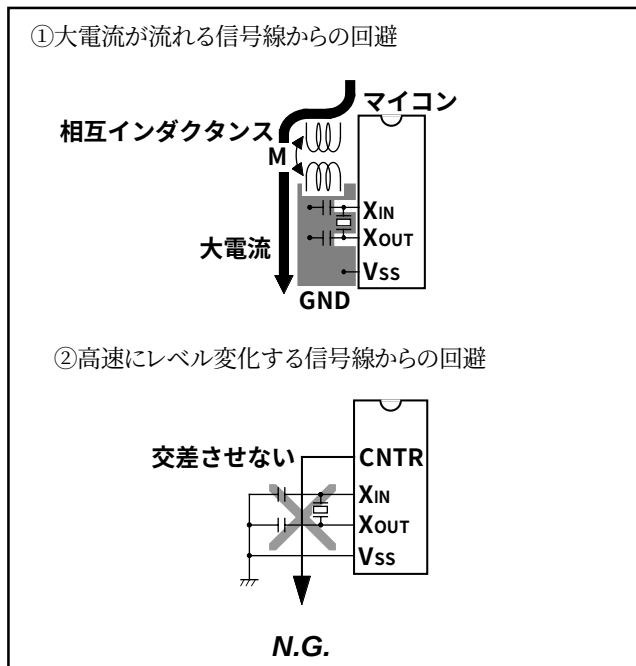


図66. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) アナログ入力

アナログ入力端子はコンパレータのコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A-D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA-D変換結果を得るためにアナログ信号源インピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

(5) メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A-D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

(6) ワンタイムPROM版及びEPROM版のVPP端子配線

VPP端子のできるだけ近くに5kΩ程度の抵抗を直列に挿入してください。

注. 5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

●理由

ワンタイムPROMマイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへのプログラムの書き込み時に、書き込み電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

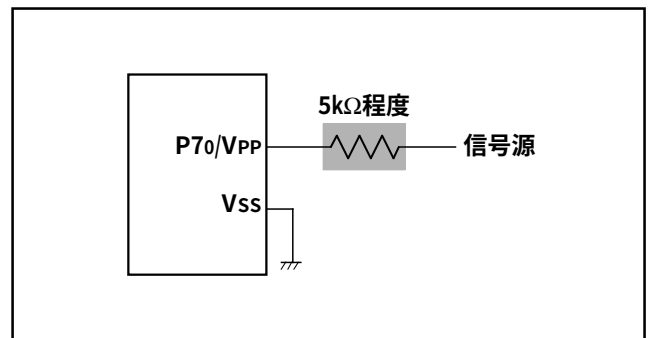


図67. ワンタイムPROM版及びEPROM版のVPP端子の配線

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書*
- (2) マーク指定書*
- (3) ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表14. 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
PRQP0100JB-A	PCA4738F-100A
PLQP0100KB-A	PCA4738G-100A
100D0	PCA4738L-100A

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図68に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

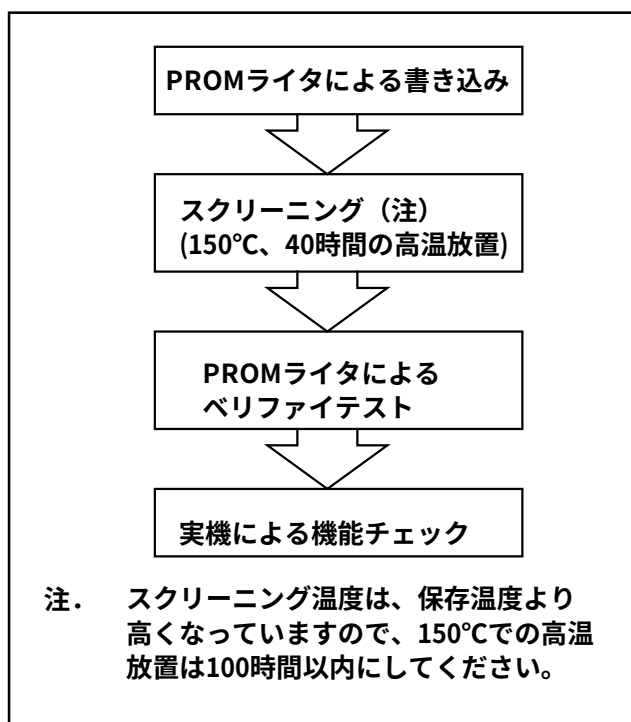


図68. ワンタイムPROM版書き込みとテスト

電気的特性

表15. 絶対最大定格

記 号	項 目	条 件	定 格 値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態	-0.3~6.5	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P70~P77		-0.3~V _{CC} +0.3	V
V _I	入力電圧 V _{L1}		-0.3~V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~6.5	V
V _I	入力電圧 C1, C2		-0.3~6.5	V
V _I	入力電圧 RESET, X _{IN}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 C1, C2		-0.3~6.5	V
V _O	出力電圧 P00~P07, P10~P15, P30~P37	出力ポート時	-0.3~V _{CC}	V
		セグメント出力時	-0.3~V _{L3}	V
V _O	出力電圧 P16, P17, P20~P27, P40~P47, P50~P57, P60~P67, P71~P77		-0.3~V _{CC} +0.3	V
V _O	出力電圧 V _{L3}		-0.3~6.5	V
V _O	出力電圧 V _{L2} , SEG0~SEG17		-0.3~V _{L3}	V
V _O	出力電圧 X _{OUT}		-0.3~V _{CC} +0.3	V
P _d	消費電力	T _a =25°C	300	mW
T _{opr}	動作周囲温度		-20~85	°C
T _{stg}	保存温度		-40~125	°C

推奨動作条件

表16. 推奨動作条件(1)

(指定のない場合は、V_{CC}=2.2~5.5V、T_a=-20~85°C)

記 号	項 目		規 格 値			単位
			最 小	標 準	最 大	
V _{CC}	電源電圧	高速モード時 f(X _{IN})=8MHz	4.0	5.0	5.5	V
		中速モード時 f(X _{IN})=8MHz	2.2	5.0	5.5	V
		低速モード時	2.2	5.0	5.5	V
V _{SS}	電源電圧			0		V
V _{REF}	A-D, D-A変換器基準電圧		2.0		V _{CC}	V
AV _{SS}	アナログ電源電圧			0		V
V _{IA}	アナログ入力電圧 AN0~AN7		AV _{SS}		V _{CC}	V

表17. 推奨動作条件(2)

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
V_{IH}	“H”入力電圧 P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0.7V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 RESET	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 X _{IN}	0.8V _{CC}		V _{CC}	V
V_{IL}	“L”入力電圧 P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0		0.3 V _{CC}	V
V_{IL}	“L”入力電圧 P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 RESET	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 X _{IN}	0		0.2 V _{CC}	V

表18. 推奨動作条件(3)

(指定のない場合は、 $V_{CC}=2.2\sim 2.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
V_{IH}	“H”入力電圧 P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.95V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 RESET	0.95V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 X _{IN}	0.95V _{CC}		V _{CC}	V
V_{IL}	“L”入力電圧 P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.05 V _{CC}	V
V_{IL}	“L”入力電圧 RESET	0		0.05 V _{CC}	V
V_{IL}	“L”入力電圧 X _{IN}	0		0.05 V _{CC}	V

表19. 推奨動作条件(4)

(指定のない場合は、 $V_{CC}=2.2\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			-20	mA
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P41~P47, P50~P57, P60~P67			-20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P41~P47, P50~P57, P60~P67			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P40, P71~P77			80	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			-10	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P41~P47, P50~P57, P60~P67			-10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P41~P47, P50~P57, P60~P67			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P40, P71~P77			40	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P00~P07, P10~P15, P30~P37			-1.0	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			-5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P00~P07, P10~P15, P30~P37			5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			10	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P40, P71~P77			20	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P00~P07, P10~P15, P30~P37			-0.5	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			-2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P00~P07, P10~P15, P30~P37			2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			5.0	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P40, P71~P77			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表20. 推奨動作条件(5)

(指定のない場合は、 $V_{CC}=2.2\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	$(4.0V \leq V_{CC} \leq 5.5V)$			4.0	MHz
		$(V_{CC} \leq 4.0V)$			$(10 \times V_{CC} - 4)/9$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード $(4.0V \leq V_{CC} \leq 5.5V)$			8.0	MHz
		高速モード $(2.2V \leq V_{CC} \leq 4.0V)$			$(20 \times V_{CC} - 8)/9$	MHz
		中速モード			8.0	MHz
f(XCIN)	サブクロック入力発振周波数	(注1、2)		32.768	50	kHz

注1. 発振周波数はデューティ50%の場合です。

2. 低速モードを使用する場合、時計用クロック入力発振周波数は $f(X_{CIN}) < f(X_{IN})/3$ としてください。

電気的特性

表21. 電気的特性(1)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件				単位
			最 小	標 準	最 大	
VOH	“H”出力電圧 P00~P07, P10~P15, P30~P37	$I_{OH}=-1mA$	$V_{CC}-2.0$			V
		$I_{OH}=-0.25mA$ $V_{CC}=2.2V$	$V_{CC}-0.8$			V
VOH	“H”出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.5mA$	$V_{CC}-0.5$			V
		$I_{OH}=-1.25mA$ $V_{CC}=2.2V$	$V_{CC}-0.8$			V
VOL	“L”出力電圧 P00~P07, P10~P15, P30~P37	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.5mA$			0.5	V
		$I_{OL}=1.25mA$ $V_{CC}=2.2V$			0.8	V
VOL	“L”出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OL}=10mA$			2.0	V
		$I_{OL}=3.0mA$			0.5	V
		$I_{OL}=2.5mA$ $V_{CC}=2.2V$			0.8	V
VOL	“L”出力電圧 P40, P71~P77	$I_{OL}=10mA$			0.5	V
		$I_{OL}=5mA$ $V_{CC}=2.2V$			0.3	V
VT+ - VT-	ヒステリシス INT0~INT2, ADT, CNTR0, CNTR1, P20~P27			0.5		V
VT+ - VT-	ヒステリシス SCLK, RxD, S1N2			0.5		V
VT+ - VT-	ヒステリシスRESET			0.5		V
I _{IH}	“H”入力電流 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67, P70~P77	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H”入力電流RESET	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H”入力電流XIN	$V_i=V_{CC}$		4.0		μA
I _{IL}	“L”入力電流 P00~P07, P10~P17, P20~P27, P41~P47, P50~P57, P60~P67	$V_i=V_{SS}$ プルアップOFF			-5.0	μA
		$V_{CC}=5V, V_i=V_{SS}$ プルアップON	-60.0	-120.0	-240.0	μA
		$V_{CC}=2.2V, V_i=V_{SS}$ プルアップON	-5.0	-20.0	-40.0	μA
I _{IL}	“L”入力電流 P40, P70~P77				-5.0	μA
I _{IL}	“L”入力電流 RESET	$V_i=V_{SS}$			-5.0	μA
I _{IL}	“L”入力電流 XIN	$V_i=V_{SS}$		-4.0		μA
I _{LOAD}	出力ロード電流 P30~P37	$V_{CC}=5.0V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-60.0	-120.0	-240.0	μA
		$V_{CC}=2.2V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-5.0	-20.0	-40.0	μA
I _{LEAK}	出力リーク電流 P30~P37	$V_o=V_{CC}$, プルアップOFF 出力トランジスタは遮断状態			5.0	μA
		$V_o=V_{SS}$, プルアップOFF 出力トランジスタは遮断状態			-5.0	μA

表22. 電気的特性(2)

(指定のない場合は、 $V_{CC}=2.2\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
I _{CC}	電源電流	高速モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態、 A-D変換器動作中		6.4	13	mA
		高速モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ (WIT命令実行時) $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態 A-D変換器終了状態		1.6	3.2	mA
		低速モード時、 $V_{CC}=5V$ 、 $T_a\leq 55^{\circ}C$ $f(X_{IN})$ =停止 $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		35	70	μA
		低速モード時、 $V_{CC}=5V$ 、 $T_a=25^{\circ}C$ $f(X_{IN})$ =停止 $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a\leq 55^{\circ}C$ $f(X_{IN})$ =停止 $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		15	22	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a=25^{\circ}C$ $f(X_{IN})$ =停止 $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		4.5	9.0	μA
		発振はすべて停止 $T_a=25^{\circ}C$ 、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 $T_a=85^{\circ}C$ 、出力トランジスタは遮断状態 (STP命令実行時)			10	μA
V _{LI}	電源電圧	昇圧回路使用時	1.3	1.8	2.1	V
I _{LI}	電源電流 (V _{LI}) (注)	V _{LI} =1.8V		4.0		μA

注. LCDモードレジスタの昇圧回路制御ビット (003916番地のビット4) が“1”の場合です。

A-D変換器特性

表23. A-D変換器特性(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)8ビットA-Dモード(変換モード選択ビット(0014₁₆番地のビット0)が“1”の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=2.7V\sim 5.5V$			± 2	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			12.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注. 中速モード時、内部トリガを使用する場合は14 μs になります。

表24. A-D変換器特性(2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)10ビットA-Dモード(変換モード選択ビット(0014₁₆番地のビット0)が“0”の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				10	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=2.7V\sim 5.5V$			± 4	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			15.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注. 中速モード時、内部トリガを使用する場合は17 μs になります。

D-A変換器特性

表25. D-A変換器特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{CC}=V_{REF}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、中速/高速モード時)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度	$V_{CC}=V_{REF}=5V$			1.0	%
		$V_{CC}=V_{REF}=2.7V$			2.0	%
tsu	設定時間			3		μs
R _O	出力抵抗		1	2.5	4	k Ω
IVREF	基準電源入力電流	(注)			3.2	mA

注. D-A変換器を1本使用し、使用していないD-A変換器のD-A変換レジスタの値が“0016”の場合です。

A-D変換器ラダー抵抗分は除きます。

タイミング必要条件及びスイッチング特性

表26. タイミング必要条件(1)

(指定のない場合は $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0 $\sim$ INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0 $\sim$ INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1ホールド入力時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2ホールド入力時間	200			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

表27. タイミング必要条件(2)

(指定のない場合は、 $V_{CC}=2.2\sim 4.0V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	$900/(V_{CC}-0.4)$			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	$t_c(CNTR)/2-20$			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	$t_c(CNTR)/2-20$			ns
tWH(INT)	INT0 $\sim$ INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0 $\sim$ INT2入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

表28. スイッチング特性(1)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2-30$			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2-30$			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2-160$			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2-160$			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			$0.2 \times t_c(SCLK2)$	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			40	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

表29. スイッチング特性(2)

(指定のない場合は、 $V_{CC}=2.2\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2-50$			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2-50$			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2-240$			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2-240$			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			$0.2 \times t_c(SCLK2)$	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

絶対最大定格(EPROM版又はワンタイムPROM版)

表30. 絶対最大定格

記 号	項 目	条 件	定 格 値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態	-0.3~7.0	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P70~P77		-0.3~V _{CC} +0.3	V
V _I	入力電圧 V _{L1}		-0.3~V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~7.0	V
V _I	入力電圧 C ₁ , C ₂		-0.3~7.0	V
V _I	入力電圧 RESET, X _{IN}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 C ₁ , C ₂		-0.3~7.0	V
V _O	出力電圧 P00~P07, P10~P15, P30~P37	出力ポート時	-0.3~V _{CC}	V
		セグメント出力時	-0.3~V _{L3}	V
V _O	出力電圧 P16, P17, P20~P27, P40~P47, P50~P57, P60~P67, P71~P77		-0.3~V _{CC} +0.3	V
V _O	出力電圧 V _{L3}		-0.3~7.0	V
V _O	出力電圧 V _{L2} , SEG0~SEG17		-0.3~V _{L3}	V
V _O	出力電圧 X _{OUT}		-0.3~V _{CC} +0.3	V
P _d	消費電力	T _a =25°C	300	mW
T _{opr}	動作周囲温度		-20~85	°C
T _{stg}	保存温度		-40~125	°C

推奨動作条件(EPROM版又はワンタイムPROM版)

表31. 推奨動作条件(1)(EPROM版又はワンタイムPROM版)

(指定のない場合は、V_{CC}=2.5~5.5V、T_a=-20~85°C)

記 号	項 目		規 格 値			単位
			最 小	標 準	最 大	
V _{CC}	電源電圧	高速モード時 f(X _{IN})=8MHz	4.0	5.0	5.5	V
		中速モード時 f(X _{IN})=8MHz	2.5	5.0	5.5	V
		低速モード時	2.5	5.0	5.5	V
V _{SS}	電源電圧			0		V
V _{REF}	A-D, D-A変換器基準電圧		2.0		V _{CC}	V
AV _{SS}	アナログ電源電圧			0		V
V _{IA}	アナログ入力電圧	AN0~AN7	AV _{SS}		V _{CC}	V
V _{IH}	“H”入力電圧	P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0.7V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.8V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	RESET	0.8V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	X _{IN}	0.8V _{CC}		V _{CC}	V
V _{IL}	“L”入力電圧	P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77	0		0.3 V _{CC}	V
V _{IL}	“L”入力電圧	P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.2 V _{CC}	V
V _{IL}	“L”入力電圧	RESET	0		0.2 V _{CC}	V
V _{IL}	“L”入力電圧	X _{IN}	0		0.2 V _{CC}	V

表32. 推奨動作条件(2)(EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P00～P07, P10～P17, P20～P27, P30～P37			-20	mA
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P41～P47, P50～P57, P60～P67			-20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P00～P07, P10～P17, P20～P27, P30～P37			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P41～P47, P50～P57, P60～P67			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P40, P71～P77			80	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P00～P07, P10～P17, P20～P27, P30～P37			-10	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P41～P47, P50～P57, P60～P67			-10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P00～P07, P10～P17, P20～P27, P30～P37			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P41～P47, P50～P57, P60～P67			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P40, P71～P77			40	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P00～P07, P10～P15, P30～P37			-1.0	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P16, P17, P20～P27, P41～P47, P50～P57, P60～P67			-5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P00～P07, P10～P15, P30～P37			5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P16, P17, P20～P27, P41～P47, P50～P57, P60～P67			10	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P40, P71～P77			20	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P00～P07, P10～P15, P30～P37			-0.5	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P16, P17, P20～P27, P41～P47, P50～P57, P60～P67			-2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P00～P07, P10～P15, P30～P37			2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P16, P17, P20～P27, P41～P47, P50～P57, P60～P67			5.0	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P40, P71～P77			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表33. 推奨動作条件(3)(EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	$(4.0V \leq V_{CC} \leq 5.5V)$			4.0	MHz
		$(V_{CC} \leq 4.0V)$			$(2 \times V_{CC}) - 4$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード $(4.0V \leq V_{CC} \leq 5.5V)$			8.0	MHz
		高速モード $(2.5V \leq V_{CC} \leq 4.0V)$			$(4 \times V_{CC}) - 8$	MHz
		中速モード			8.0	MHz
f(XCIN)	サブクロック入力発振周波数	(注1、2)		32.768	50	kHz

注1. 発振周波数はデューティ50%の場合です。

2. 低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

電気的特性(EPROM版又はワンタイムPROM版)

表34. 電気的特性(1)(EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VOH	“H”出力電圧 P00~P07, P10~P15, P30~P37	$I_{OH}=-1mA$	$V_{CC}-2.0$			V
		$I_{OH}=-0.25mA$	$V_{CC}-0.8$			V
		$V_{CC}=2.5V$				V
VOH	“H”出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.5mA$	$V_{CC}-0.5$			V
		$I_{OH}=-1.25mA$ $V_{CC}=2.5V$	$V_{CC}-0.8$			V
VOL	“L”出力電圧 P00~P07, P10~P15, P30~P37	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.5mA$			0.5	V
		$I_{OL}=1.25mA$ $V_{CC}=2.5V$			0.8	V
VOL	“L”出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OL}=10mA$			2.0	V
		$I_{OL}=3.0mA$			0.5	V
		$I_{OL}=2.5mA$ $V_{CC}=2.5V$			0.8	V
VOL	“L”出力電圧 P40, P71~P77	$I_{OL}=10mA$			0.5	V
		$I_{OL}=5mA$			0.3	V
		$V_{CC}=2.5V$				V
VT+ - VT-	ヒステリシス INT0~INT2, ADT, CNTR0, CNTR1, P20~P27			0.5		V
VT+ - VT-	ヒステリシス SCLK, RxD, S1N2			0.5		V
VT+ - VT-	ヒステリシスRESET			0.5		V
I _{IH}	“H”入力電流 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67, P70~P77	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H”入力電流RESET	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H”入力電流XIN	$V_i=V_{CC}$		4.0		μA
I _{IL}	“L”入力電流 P00~P07, P10~P17, P20~P27, P41~P47, P50~P57, P60~P67	$V_i=V_{SS}$ プルアップOFF			-5.0	μA
		$V_{CC}=5V, V_i=V_{SS}$ プルアップON	-60.0	-120.0	-240.0	μA
		$V_{CC}=2.5V, V_i=V_{SS}$ プルアップON	-6.0	-25.0	-45.0	μA
I _{IL}	“L”入力電流 P40, P70~P77				-5.0	μA
I _{IL}	“L”入力電流 RESET	$V_i=V_{SS}$			-5.0	μA
I _{IL}	“L”入力電流 XIN	$V_i=V_{SS}$		-4.0		μA
I _{LOAD}	出力ロード電流 P30~P37	$V_{CC}=5.0V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-60.0	-120.0	-240.0	μA
		$V_{CC}=2.5V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-6.0	-25.0	-45.0	μA
I _{LEAK}	出力リーク電流 P30~P37	$V_o=V_{CC}$, プルアップOFF 出力トランジスタは遮断状態			5.0	μA
		$V_o=V_{SS}$, プルアップOFF 出力トランジスタは遮断状態			-5.0	μA

表35. 電気的特性(2) (EPROM版又はワнтаイムPROM版)
(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ICC	電源電流	高速モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態、 A-D変換器動作中		6.4	13	mA
		高速モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ (WIT命令実行時) $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態 A-D変換器終了状態		1.6	3.2	mA
		低速モード時、 $V_{CC}=5V$ 、 $T_a\leq 55^{\circ}C$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		35	70	μA
		低速モード時、 $V_{CC}=5V$ 、 $T_a=25^{\circ}C$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a\leq 55^{\circ}C$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		15	22	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a=25^{\circ}C$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		4.5	9.0	μA
		発振はすべて停止(STP命令実行時) 出力トランジスタは遮断状態	$T_a=25^{\circ}C$	0.1	1.0	μA
			$T_a=85^{\circ}C$		10	
V _{L1}	電源電圧	昇圧回路使用時	1.3	1.8	2.3	V
I _{L1}	電源電流 (V _{L1}) (注)	V _{L1} =1.8V		4.0		μA

注. LCDモードレジスタの昇圧回路制御ビット (0039₁₆番地のビット4) が“1”の場合です。

A-D変換器特性 (EPROM版又はワンタイムPROM版)

表36. A-D変換器特性(1) (EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)8ビットA-Dモード (変換モード選択ビット(0014₁₆番地のビット0)が‘1’の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=2.7V\sim 5.5V$			± 2	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			12.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注.中速モード時、内部トリガを使用する場合は14 μs になります。

表37. A-D変換器特性(2) (EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)10ビットA-Dモード (変換モード選択ビット(0014₁₆番地のビット0)が‘0’の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				10	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=2.7V\sim 5.5V$			± 4	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			15.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注.中速モード時、内部トリガを使用する場合は17 μs になります。

D-A変換器特性 (EPROM版又はワンタイムPROM版)

表38. D-A変換器特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{CC}=V_{REF}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、中速/高速モード時)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度	$V_{CC}=V_{REF}=5V$			1.0	%
		$V_{CC}=V_{REF}=2.7V$			2.0	%
tsu	設定時間			3		μs
Ro	出力抵抗		1	2.5	4	k Ω
IVREF	基準電源入力電流	(注)			3.2	mA

注. D-A変換器を1本使用し、使用していないD-A変換器のD-A変換レジスタの値が“00₁₆”の場合です。

A-D変換器ラダー抵抗分は除きます。

タイミング必要条件 (EPROM版又はワンタイムPROM版)

表39. タイミング必要条件(1) (EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0~INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0~INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1ホールド入力時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2ホールド入力時間	200			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

表40. タイミング必要条件(2) (EPROM版又はワンタイムPROM版)

(指定のない場合は、 $V_{CC}=2.5\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500/($V_{CC}-2$)			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	250/($V_{CC}-2$)-20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	250/($V_{CC}-2$)-20			ns
tWH(INT)	INT0~INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0~INT2入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

スイッチング特性 (EPROM版又はワンタイムPROM版)

表41. スイッチング特性(1) (EPROM版又はワンタイムPROM版)
(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	t _c (SCLK1)/2-30			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	t _c (SCLK1)/2-30			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	t _c (SCLK2)/2-160			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	t _c (SCLK2)/2-160			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2×t _c (SCLK2)	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			40	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

表42. スイッチング特性(2) (EPROM版又はワンタイムPROM版)
(指定のない場合は、 $V_{CC}=2.5\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	t _c (SCLK1)/2-50			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	t _c (SCLK1)/2-50			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	t _c (SCLK2)/2-240			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	t _c (SCLK2)/2-240			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2×t _c (SCLK2)	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

絶対最大定格(広動作温度範囲版)

表43. 絶対最大定格(広動作温度範囲版)

記 号	項 目	条 件	定 格 値	単位
V _{CC}	電源電圧 (注1)	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態	-0.3~6.5	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P70~P77		-0.3~V _{CC} +0.3	V
V _I	入力電圧 V _{L1}		-0.3~V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~V _{L3}	V
V _I	入力電圧 V _{L3} (注2)		V _{L2} ~6.5	V
V _I	入力電圧 C1, C2 (注1)		-0.3~6.5	V
V _I	入力電圧 RESET, X _{IN}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 C1, C2 (注1)		-0.3~6.5	V
V _O	出力電圧 P00~P07, P10~P15, P30~P37	出力ポート時	-0.3~V _{CC}	V
		セグメント出力時	-0.3~V _{L3}	V
V _O	出力電圧 P16, P17, P20~P27, P40~P47, P50~P57, P60~P67, P71~P77		-0.3~V _{CC} +0.3	V
V _O	出力電圧 V _{L3} (注1)		-0.3~6.5	V
V _O	出力電圧 V _{L2} , SEG0~SEG17		-0.3~V _{L3}	V
V _O	出力電圧 X _{OUT}		-0.3~V _{CC} +0.3	V
P _d	消費電力	Ta=25°C	300	mW
T _{opr}	動作周囲温度		-40~85	°C
T _{stg}	保存温度		-65~150	°C

注1. M37560EFDの場合、定格値は-0.3V~7.0Vとなります。

2. M37560EFDの場合、定格値はV_{L2}~7.0Vとなります。

推奨動作条件(広動作温度範囲版)

表44. 推奨動作条件(1)(広動作温度範囲版)

(指定のない場合は、V_{CC}=2.5~5.5V、Ta=-20~85°C、及びV_{CC}=3.0~5.5V、Ta=-40~-20°C)

記 号	項 目			規 格 値			単位
				最 小	標 準	最 大	
V _{CC}	電源電圧	高速モード時 f(X _{IN})=8MHz		4.0	5.0	5.5	V
		中速モード時 f(X _{IN})=8MHz	Ta=-20~85°C	2.5	5.0	5.5	V
			Ta=-40~-20°C	3.0	5.0	5.5	V
		低速モード時	Ta=-20~85°C	2.5	5.0	5.5	V
			Ta=-40~-20°C	3.0	5.0	5.5	V
V _{SS}	電源電圧				0		V
V _{REF}	A-D, D-A変換器基準電圧			2.0		V _{CC}	V
AV _{SS}	アナログ電源電圧				0		V
V _{IA}	アナログ入力電圧	AN0~AN7		AV _{SS}		V _{CC}	V
V _{IH}	“H”入力電圧	P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77		0.7V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70		0.8V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	RESET		0.8V _{CC}		V _{CC}	V
V _{IH}	“H”入力電圧	X _{IN}		0.8V _{CC}		V _{CC}	V
V _{IL}	“L”入力電圧	P00~P07, P10~P17, P40, P43, P45, P47, P50~P53, P56, P61, P64~P67, P71~P77		0		0.3 V _{CC}	V
V _{IL}	“L”入力電圧	P20~P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70		0		0.2 V _{CC}	V
V _{IL}	“L”入力電圧	RESET		0		0.2 V _{CC}	V
V _{IL}	“L”入力電圧	X _{IN}		0		0.2 V _{CC}	V

表45. 推奨動作条件(2) (広動作温度範囲版)

(指定のない場合は、 $V_{cc}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$ 、及び $V_{cc}=3.0\sim 5.5V$ 、 $T_a=-40\sim -20^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			-20	mA
$\Sigma I_{OH}(\text{peak})$	“H”出力総尖頭電流 (注1) P41~P47, P50~P57, P60~P67			-20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P41~P47, P50~P57, P60~P67			20	mA
$\Sigma I_{OL}(\text{peak})$	“L”出力総尖頭電流 (注1) P40, P71~P77			80	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			-10	mA
$\Sigma I_{OH}(\text{avg})$	“H”出力総平均電流 (注1) P41~P47, P50~P57, P60~P67			-10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P41~P47, P50~P57, P60~P67			10	mA
$\Sigma I_{OL}(\text{avg})$	“L”出力総平均電流 (注1) P40, P71~P77			40	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P00~P07, P10~P15, P30~P37			-1.0	mA
$I_{OH}(\text{peak})$	“H”出力尖頭電流 (注2) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			-5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P00~P07, P10~P15, P30~P37			5.0	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			10	mA
$I_{OL}(\text{peak})$	“L”出力尖頭電流 (注2) P40, P71~P77			20	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P00~P07, P10~P15, P30~P37			-0.5	mA
$I_{OH}(\text{avg})$	“H”出力平均電流 (注3) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			-2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P00~P07, P10~P15, P30~P37			2.5	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P16, P17, P20~P27, P41~P47, P50~P57, P60~P67			5.0	mA
$I_{OL}(\text{avg})$	“L”出力平均電流 (注3) P40, P71~P77			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表46. 推奨動作条件(3) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$ 、及び $V_{CC}=3.0\sim 5.5V$ 、 $T_a=-40\sim -20^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	$(4.0V \leq V_{CC} \leq 5.5V)$			4.0	MHz
		$(V_{CC} \leq 4.0V)$			$(2 \times V_{CC}) - 4$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード $(4.0V \leq V_{CC} \leq 5.5V)$			8.0	MHz
		高速モード $(V_{CC} \leq 4.0V)$			$(4 \times V_{CC}) - 8$	MHz
		中速モード			8.0	MHz
f(XCIN)	サブクロック入力発振周波数	(注1、2)		32.768	50	kHz

注1. 発振周波数はデューティ50%の場合です。

2. 低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

電氣的特性 (広動作温度範囲版)

表47. 電氣的特性(1) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $T_a=-40\sim 85^{\circ}C$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VOH	“H” 出力電圧 P00~P07, P10~P15, P30~P37	$I_{OH}=-1mA$	$V_{CC}-2.0$			V
		$I_{OH}=-0.25mA$	$V_{CC}-1.0$			V
		$V_{CC}=3.0V$				
VOH	“H” 出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.5mA$	$V_{CC}-0.5$			V
		$I_{OH}=-1.25mA$ $V_{CC}=3.0V$	$V_{CC}-1.0$			V
VOL	“L” 出力電圧 P00~P07, P10~P15, P30~P37	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.5mA$			0.5	V
		$I_{OL}=1.25mA$ $V_{CC}=3.0V$			1.0	V
VOL	“L” 出力電圧 P16, P17, P20~P27, P41~P47, P50~P57, P60~P67	$I_{OL}=10mA$			2.0	V
		$I_{OL}=3.0mA$			0.5	V
		$I_{OL}=3.0mA$ $V_{CC}=3.0V$			1.0	V
VOL	“L” 出力電圧 P40, P71~P77	$I_{OL}=10mA$			0.5	V
		$I_{OL}=5mA$ $V_{CC}=3.0V$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス INT0~INT2, ADT, CNTR0, CNTR1, P20~P27			0.5		V
$V_{T+}-V_{T-}$	ヒステリシス SCLK, RxD, S1N2			0.5		V
$V_{T+}-V_{T-}$	ヒステリシスRESET			0.5		V
I _{IH}	“H” 入力電流 P00~P07, P10~P17, P20~P27, P40~P47, P50~P57, P60~P67, P70~P77	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H” 入力電流RESET	$V_i=V_{CC}$			5.0	μA
I _{IH}	“H” 入力電流X _{IN}	$V_i=V_{CC}$		4.0		μA
I _{IL}	“L” 入力電流 P00~P07, P10~P17, P20~P27, P41~P47, P50~P57, P60~P67	$V_i=V_{SS}$ プルアップOFF			-5.0	μA
		$V_{CC}=5V, V_i=V_{SS}$ プルアップON	-60.0	-120.0	-240.0	μA
		$V_{CC}=3.0V, V_i=V_{SS}$ プルアップON	-7.0	-30.0	-55.0	μA
I _{IL}	“L” 入力電流 P40, P70~P77				-5.0	μA
I _{IL}	“L” 入力電流 RESET	$V_i=V_{SS}$			-5.0	μA
I _{IL}	“L” 入力電流 X _{IN}	$V_i=V_{SS}$		-4.0		μA
I _{LOAD}	出力ロード電流 P30~P37	$V_{CC}=5.0V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-60.0	-120.0	-240.0	μA
		$V_{CC}=3.0V, V_o=V_{CC}$, プルアップON 出力トランジスタは遮断状態	-7.0	-30.0	-55.0	μA
I _{LEAK}	出力リーク電流 P30~P37	$V_o=V_{CC}$, プルアップOFF 出力トランジスタは遮断状態			5.0	μA
		$V_o=V_{SS}$, プルアップOFF 出力トランジスタは遮断状態			-5.0	μA

表48. 電気的特性(2)(広動作温度範囲版)

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$ 、及び $V_{CC}=3.0\sim 5.5V$ 、 $T_a=-40\sim -20^{\circ}C$)

記 号	項 目	測 定 条 件		規 格 値			単位
				最 小	標 準	最 大	
VRAM	RAM保持電圧	クロック停止時		2.0		5.5	V
ICC	電源電流	高速モード時、Vcc=5V f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中			6.4	13	mA
		高速モード時、Vcc=5V f(XIN)=8MHz(WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態			1.6	3.2	mA
		低速モード時、Vcc=5V、Ta≤55℃ f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態			35	70	μA
		低速モード時、Vcc=5V、Ta=25℃ f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態			20	40	μA
		低速モード時、Vcc=3V、Ta≤55℃ f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態			15	22	μA
		低速モード時、Vcc=3V、Ta=25℃ f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態			4.5	9.0	μA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態	Ta=25℃		0.1	1.0	μA
			Ta=85℃			10	μA
VLI	電源電圧	昇圧回路使用時	M37560MFD	1.3	1.8	2.1	V
			M37560EFD	1.3	1.8	2.3	V
ILI	電源電流 (VLI) (注)	VL1=1.8V			4.0		μA

注. LCDモードレジスタの昇圧回路制御ビット (0039₁₆番地のビット4) が“1”の場合です。

A-D変換器特性(広動作温度範囲版)

表49. A-D変換器特性(1)(広動作温度範囲版)

(指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)8ビットA-Dモード(変換モード選択ビット(0014₁₆番地のビット0)が‘1’の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=3.0V\sim 5.5V$			± 2	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			12.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注.中速モード時、内部トリガを使用する場合は14 μs になります。

表50. A-D変換器特性(2)(広動作温度範囲版)

(指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$ 、 $f(X_{IN})=500kHz\sim 8MHz$ 、中速/高速モード時)10ビットA-Dモード(変換モード選択ビット(0014₁₆番地のビット0)が‘0’の場合)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				10	BITS
—	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=3.0V\sim 5.5V$			± 4	LSB
tCONV	変換時間	$f(X_{IN})=8MHz$			15.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k Ω
IVREF	基準電圧入力電流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注.中速モード時、内部トリガを使用する場合は17 μs になります。

D-A変換器特性(広動作温度範囲版)

表51. D-A変換器特性(広動作温度範囲版)

(指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $V_{CC}=V_{REF}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$ 、中速/高速モード時)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	BITS
—	絶対精度	$V_{CC}=V_{REF}=5V$			1.0	%
		$V_{CC}=V_{REF}=3.0V$			2.0	%
t _{su}	設定時間			3		μs
R _O	出力抵抗		1	2.5	4	k Ω
IVREF	基準電源入力電流	(注)			3.2	mA

注. D-A変換器を1本使用し、使用していないD-A変換器のD-A変換レジスタの値が“0016”の場合です。

A-D変換器ラダー抵抗分は除きます。

タイミング必要条件 (広動作温度範囲版)

表52. タイミング必要条件(1) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0~INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0~INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1ホールド入力時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2ホールド入力時間	200			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

表53. タイミング必要条件(2) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=2.5\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$ 、及び $V_{CC}=3.0\sim 5.5V$ 、 $T_a=-40\sim -20^{\circ}C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500/($V_{CC}-2$)			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	250/($V_{CC}-2$)-20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	250/($V_{CC}-2$)-20			ns
tWH(INT)	INT0~INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0~INT2入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注. 001A16番地のビット6が“1”の場合です。

001A16番地のビット6が“0”の場合、値は1/4になります。

スイッチング特性(広動作温度範囲版)

表54. スwitchング特性(1) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2-30$			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2-30$			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2-160$			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2-160$			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			$0.2 \times t_c(SCLK2)$	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			40	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

表55. スwitchング特性(2) (広動作温度範囲版)

(指定のない場合は、 $V_{CC}=2.5\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$ 、及び $V_{CC}=3.0\sim 5.5V$ 、 $T_a=-40\sim -20^\circ C$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2-50$			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2-50$			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	-30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2-240$			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2-240$			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間			$0.2 \times t_c(SCLK2)$	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1. UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2. XOUT、XCOUTを除きます。

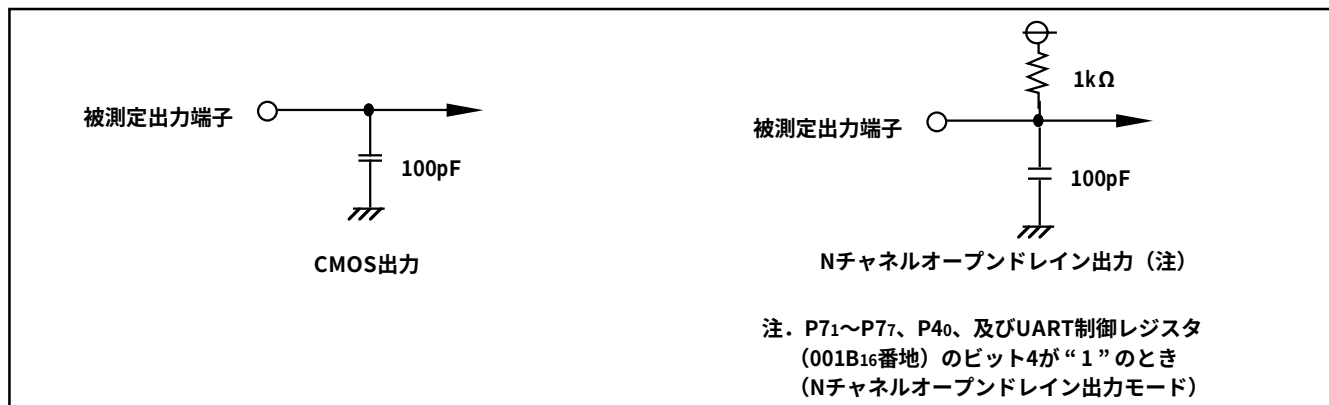


図69. 出力スイッチング特性の測定回路図

タイミング図

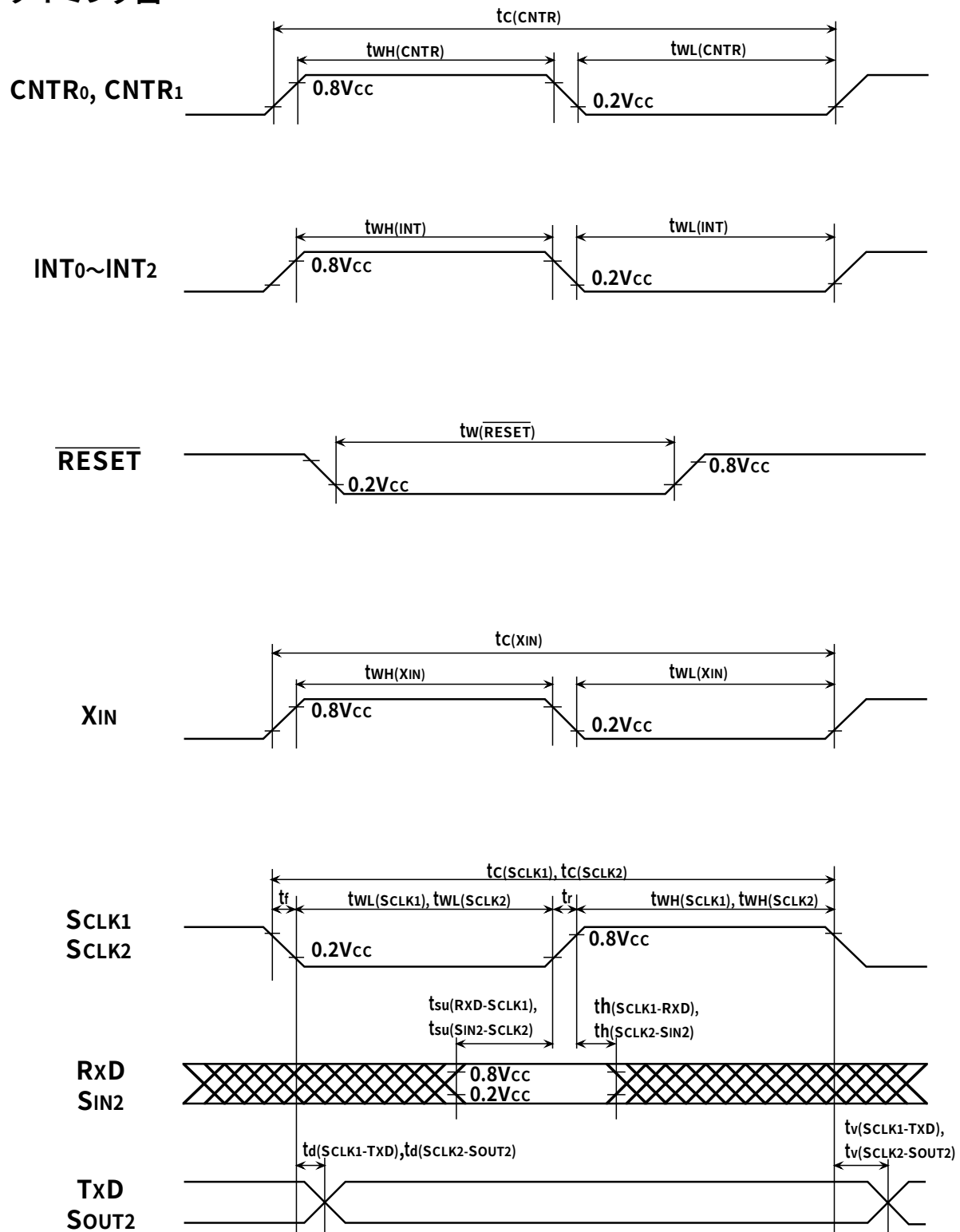
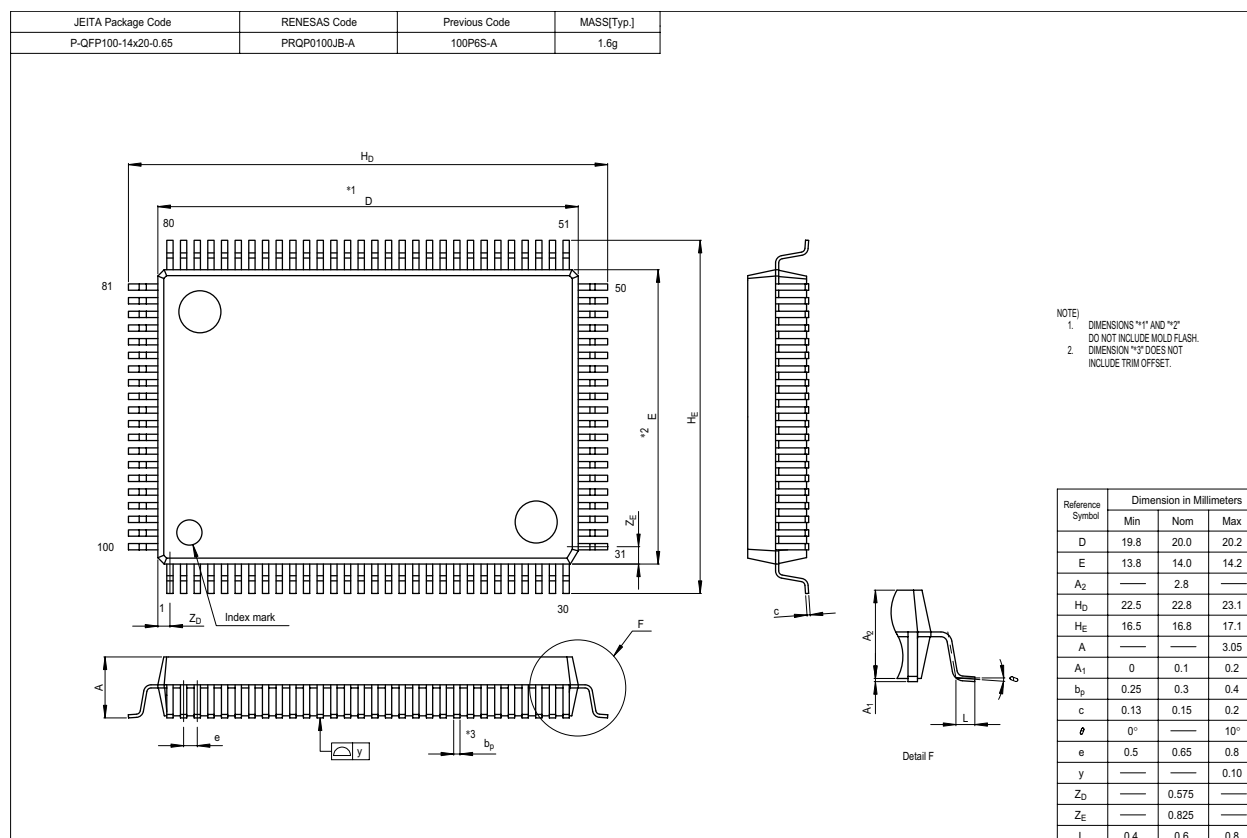
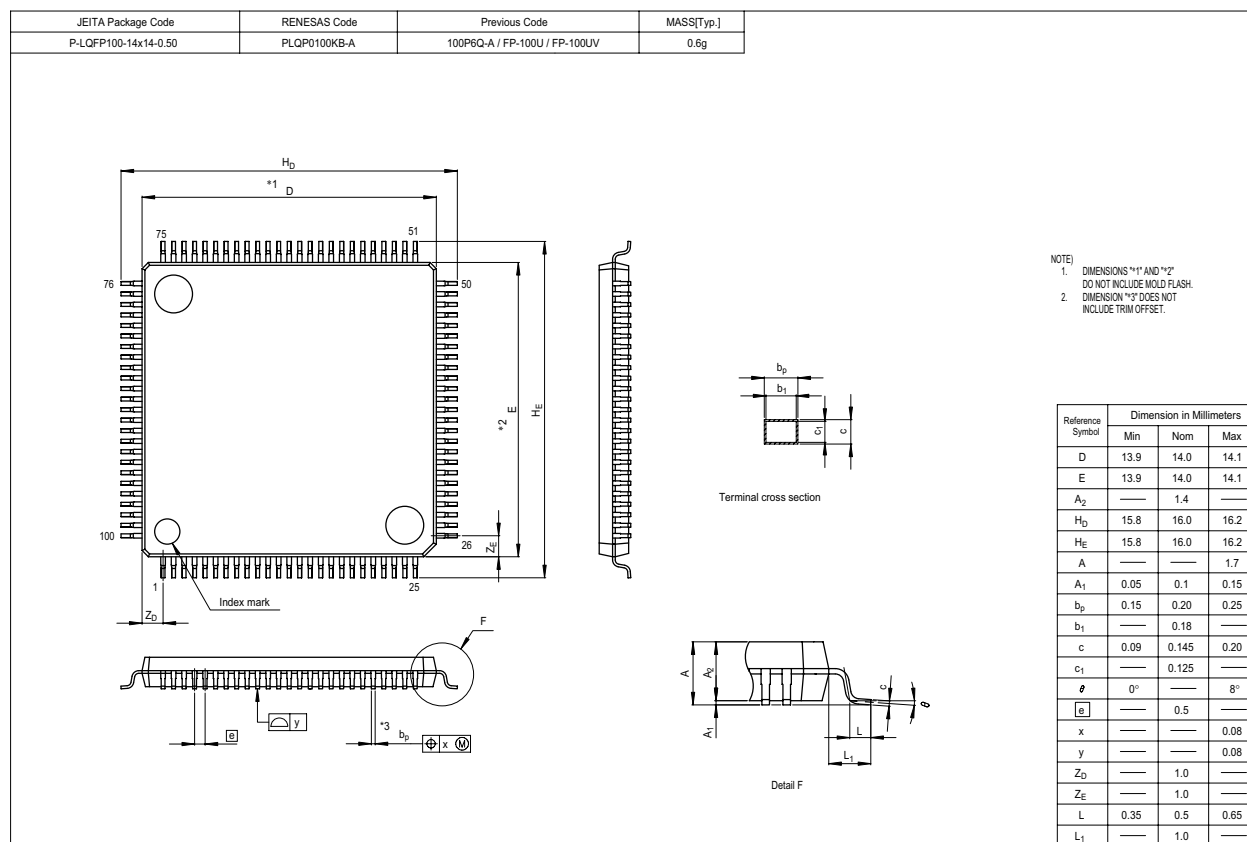


図70. タイミング図

外形寸法図



2. 付録

2.1 使用上の注意事項

2.1.1 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ使用

■プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(**PS**)のフラグを初期化しておく必要があります。

特に**T**フラグと**D**フラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(**PS**)は、**I**フラグが“**1**”であるのを除いて、リセット直後は不定です。

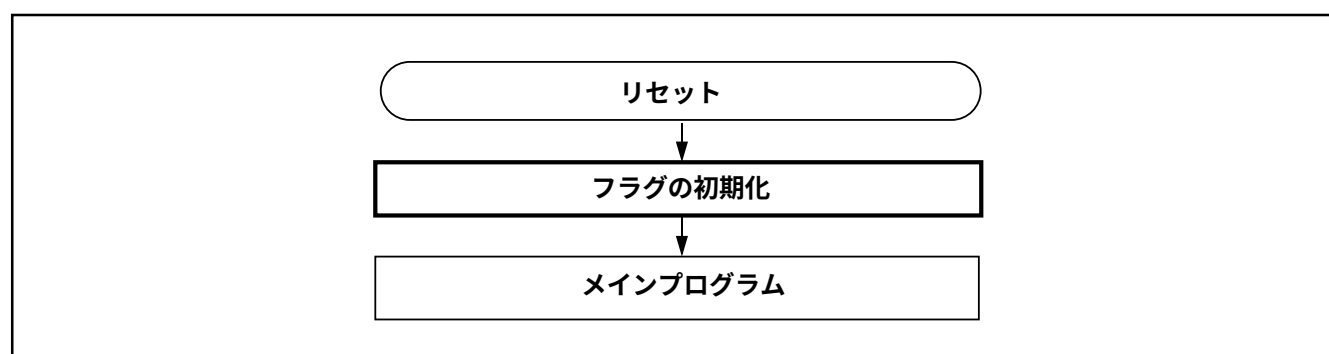


図2.1.1 プロセッサステータスレジスタのフラグの初期化

■プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(**PS**)の内容を参照したい場合には、一度**PHP**命令を実行した後で、**(S)+1**の内容を読み出します。さらに必要な場合には**PLP**命令の実行により退避した**PS**を元に戻します。

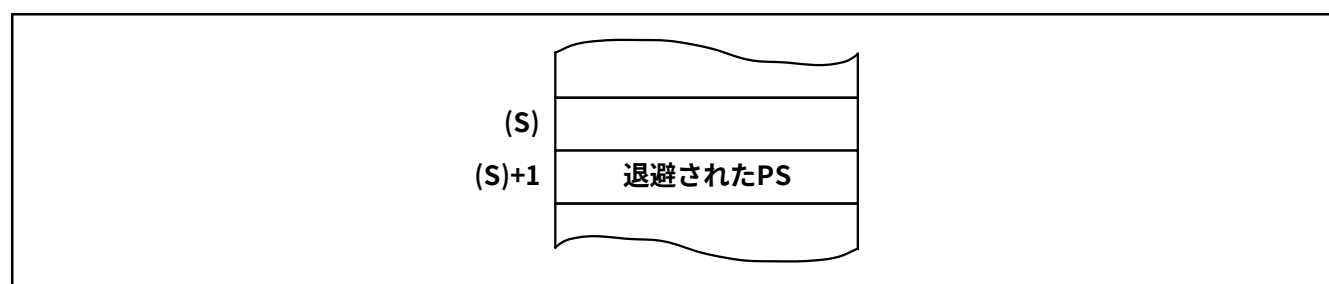


図2.1.2 PHP命令実行後のスタックメモリの内容

(2) 10進演算

■10進演算時の命令

10進演算を行う場合、**SED**命令により10進モードフラグ**D**を“**1**”にセットして、**ADC**命令又は**SBC**命令を実行します。その場合、**SEC**命令、**CLC**命令、又は**CLD**命令は、**ADC**命令又は**SBC**命令よりも一命令後に行ってください。

■10進演算時のステータスフラグ

10進モード(**D**フラグ=1)時に**ADC**、**SBC**命令を実行したとき、ステータスフラグのうち**N**、**V**、**Z**の3つのフラグは無効となります。

また、**C**(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前には**C**フラグの初期化を行ってください。

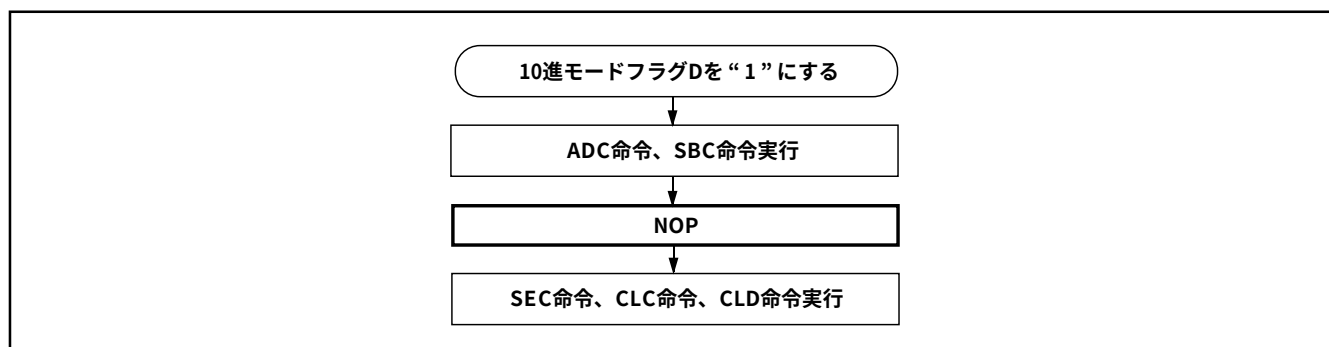


図2.1.3 10進演算時のステータスフラグ

(3) 乗除算命令

- ・ **MUL**、**DIV**命令は、**T**、**D**フラグの影響を受けません。
- ・ 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

(4) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“**FF16**”となるアドレスをオペランドに指定しないでください。

(5) BRK命令

下記2つの状態である時に**BRK**命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・ 割り込み要求ビット、割り込み許可ビットが共に“1”
- ・ **I**フラグを“1”にして割り込みを禁止

(6) リード・モディファイ・ライト命令

読み出しができないメモリや**SFR**に対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)、加工して(モディファイ)、元のメモリにバイト単位で書く(ライト)命令です。**740**ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

- ・ ビット処理命令
CLB、**SEB**
- ・ シフト・回転命令
ASL、**LSR**、**ROL**、**ROR**、**RRF**

- ・加減算命令
DEC、INC
- ・論理演算命令(**1** の補数)
COM

なお、リード・モディファイ・ライト命令ではありませんが、**T**フラグが“**1**”の場合の加減算・論理演算命令(**ADC、SBC、AND、EOR、ORA**)も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないメモリや**SFR**に対して実行しないでください。

<理由>

読み出しができないメモリや**SFR**に対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

(7)命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックφの周期をかけることによって得られます。システムクロックφの周期は、メインクロック分周比選択ビット、及びシステムクロック選択ビットで決まります。

2.1.2 入出力ポートに関する注意事項

(1) ビット処理命令による出力データの書き換え

入出力ポートのポートラッチをビット処理命令(注)を用いて書き換える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポート**Pi(i=0~7)**レジスタに読み出し、書き込みを行うと次のように動作します。

- ・入力モードのポート

- 読み出し：端子のレベルを読む(ポートラッチの内容と端子のレベルは無関係)

- 書き込み：ポートラッチへ書く(ポートラッチの内容と端子のレベルは無関係)

- ・出力モードのポート

- 読み出し：ポートラッチを読む(ポートラッチの内容と端子のレベルは無関係)

- 書き込み：ポートラッチへ書く(ポートラッチの内容を端子から出力する)

一方、ビット処理命令はリード・モディファイ・ライト命令(「**2.1.1** プログラム作成に関する注意事項 (6)」参照)ですので、バイト単位で読み出し及び書き込みを行います。

このため、入力モードのポートにビット処理命令を実行すると、端子のレベルを読み、指定されたビットを変更して、ポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違えば、命令で指定していないビットのポートラッチの内容が変化します。

更に、ポート**Pi**に入力と出力が混在する場合、出力データを設定するためにポート**Pi**レジスタにビット処理命令を実行すると、入出力に関係なくポート**Pi**レジスタの全ビットに読み出しと書き込みを行うため、命令で指定していない、入力モードのビットのポートラッチの内容が変化することがあります。

注. ビット処理命令：**SEB**命令、**CLB**命令

- (2) ポート方向レジスタの値は読めません。すなわち、**LDA**命令をはじめ、**T**フラグが“1”の場合のメモリ演算方法、方向レジスタの値を修飾値とするアドレッシングモード、**BBC**、**BBS**などのビットテスト命令は使用できません。また、**CLB**、**SEB**などのビット操作命令、**ROR**などの演算をはじめとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定は**LDM**命令、**STA**命令などを使用してください。

(3) プルアップ制御について

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

2.1.3 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

マイコンの端子からできるだけ 短い配線(20mm以内)で次の処理をしてください。

■出力専用ポート

開放してください。

■入力専用ポート

端子ごとに1k~10kΩの抵抗を介してVcc又はVssに接続してください。

また、電圧レベルが動作モードに影響を与える端子(INTi端子など)は、モードを検討の上、Vcc又はVssを選択してください。

■入出力ポート

入力モードにし、端子ごとに1k~10kΩの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやプログラムの暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

■入力専用ポート

開放しないでください。

<理由>

- ・初段回路によっては電源電流が増加する場合があります。
- ・「(1)■入力専用ポート」の処理に比べ、ノイズの影響を受け易くなります。

■入出力ポートを入力モードにする場合

[1] 開放しないでください。

<理由>

- ・初段回路によっては電源電流が増加する場合があります。
- ・「(1)■入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2] Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3] 複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

2.1.4 割り込みに関する注意事項

(1) 使用しない割り込み

使用しない割り込みの割り込み許可ビットは、“0”(禁止)にしてください。

(2) 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

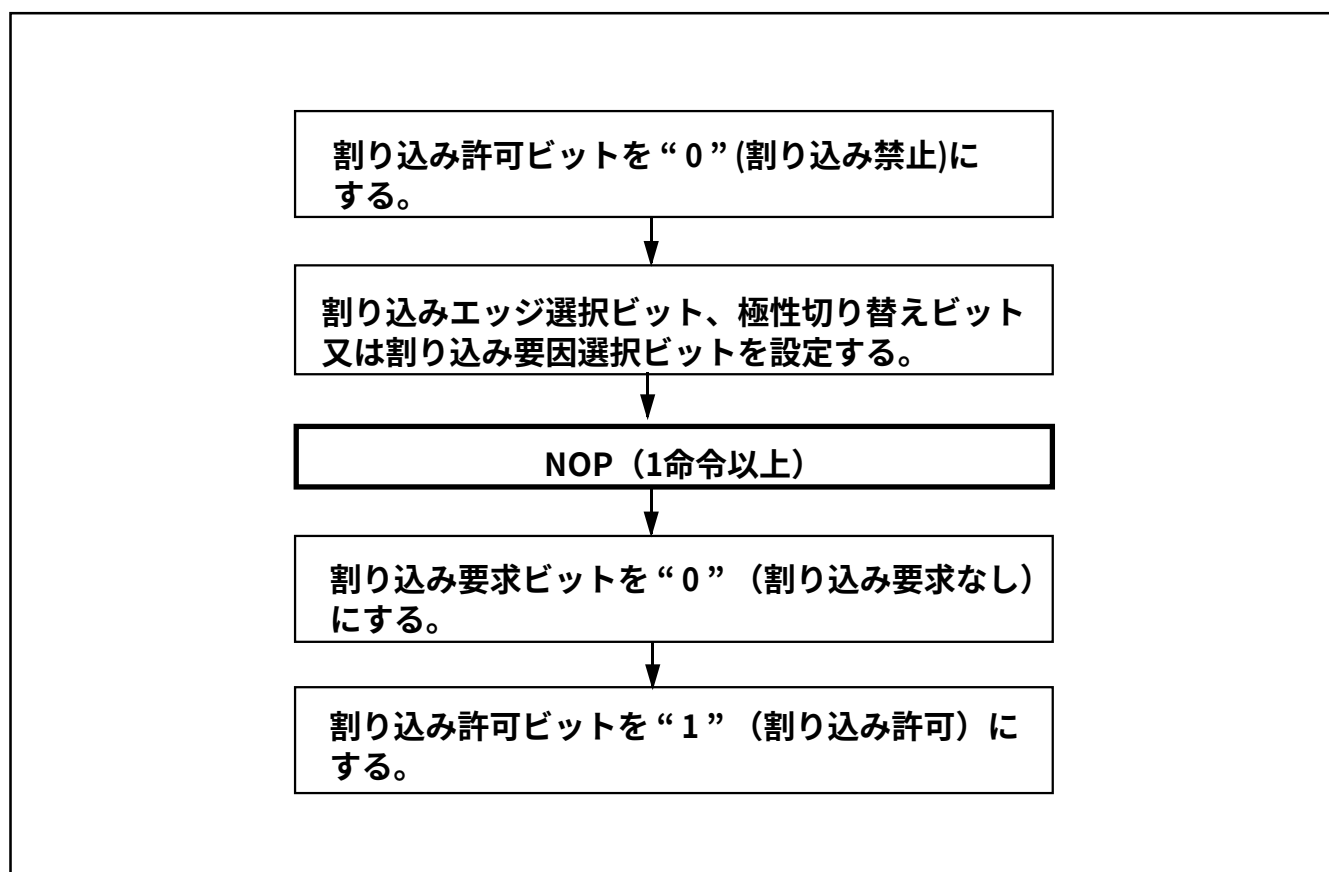


図2.1.4 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが“1”になることがあります。

- 外部割り込みのアクティブエッジを切り替えるとき
 - INT0割り込みエッジ選択ビット(割り込みエッジ選択レジスタ(3A₁₆番地)のビット0)
 - INT1割り込みエッジ選択ビット(割り込みエッジ選択レジスタのビット1)
 - INT2割り込みエッジ選択ビット(割り込みエッジ選択レジスタのビット2)
 - CNTR0極性切り替えビット(タイマXモードレジスタ(27₁₆番地)のビット6)
 - CNTR1極性切り替えビット(タイマYモードレジスタ(28₁₆番地)のビット6)
- 複数の割り込み要因で共用している割り込みベクトルの割り込み要因を切り替えるとき
 - 割り込み要因選択ビット(A-D制御レジスタ(34₁₆番地)のビット6)

(3) 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットを**BBC**命令又は**BBS**命令で判定する場合、次の手順で判定してください。

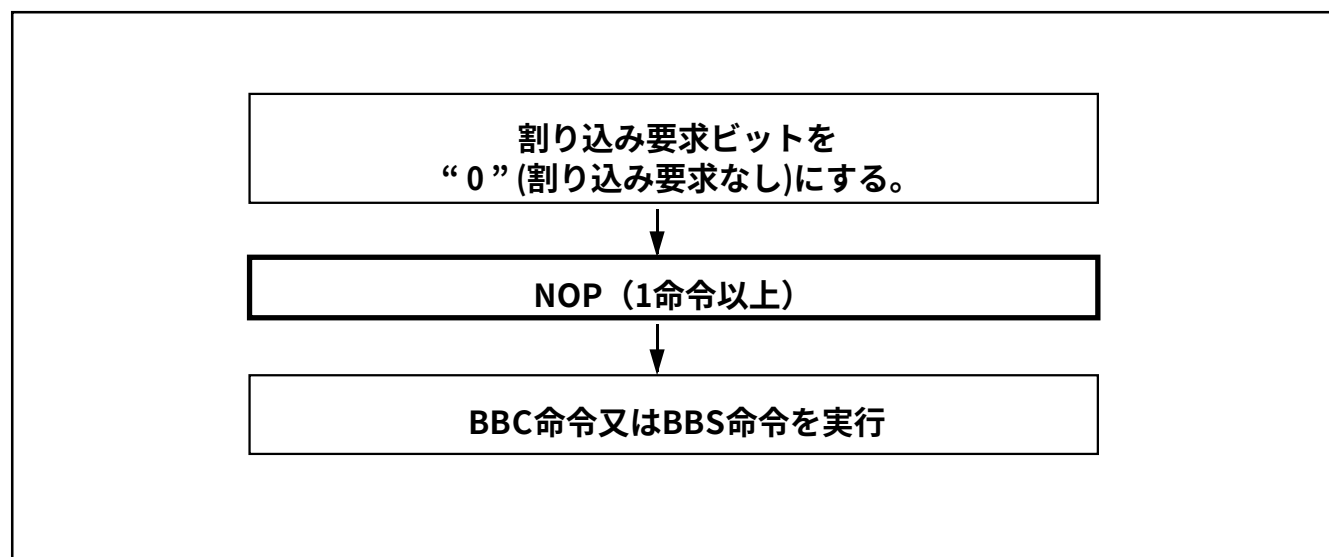


図2.1.5 割り込み要求ビットの判定手順

<理由>

割り込み要求ビットを“0”にした直後に**BBC**命令又は**BBS**命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

2.1.5 タイマに関する注意事項

以下にタイマX、タイマY、また、タイマ1、タイマ2、タイマ3の各種モードの使用上の注意事項について説明します。

(1) タイマX

■全モード共通

- ◆タイマXを読み書きする場合は必ずタイマX上位レジスタ、タイマX下位レジスタとも行ってください。読む場合は上位、下位の順に、書く場合は下位、上位の順に行ってください。
なお、次の操作を行うと正常な動作を行いません。
 - ・タイマX下位レジスタの読み出し前の上位又は下位への書き込み操作
 - ・タイマX上位レジスタの書き込み前の上位又は下位からの読み出し操作
- ◆タイマX書き込み制御ビット(タイマXモードレジスタ(2716番地)のビット0)でラッチのみ書き込みを選択している場合、タイマXのアンダフロー時にタイマX上位レジスタに値を書くと、タイマXとタイマXラッチに同時に値が設定されます。そのとき、上位側タイマに設定される値が不定になることがあります。

■パルス出力モード

- ◆パルス出力モード時、ポートP54(ポートP5レジスタ(0A16番地)のビット4)を読むと、ポートラッチの内容ではなく出力中の端子の値が読めます。

■リアルタイムポート機能

- ◆リセット解除後、ポートP5方向レジスタは入力モードになりP50～P57端子は通常の入出力ポートとして機能します。RTPとして使用する端子は、必ずポートP5方向レジスタの対応するビットを出力ポートに設定してください。

■CNTR0極性切り替え

- ◆CNTR0極性切り替えビット(タイマXモードレジスタのビット6)により、CNTR0割り込み要求発生極性も変化します。

(2) タイマY

■全モード共通

- ◆タイマYを読み書きする場合は必ずタイマY上位レジスタ、タイマY下位レジスタとも行ってください。読む場合は上位、下位の順に、書く場合は下位、上位の順に行ってください。
なお、次の操作を行うと正常な動作を行いません。
 - ・タイマY下位レジスタの読み出し前の上位又は下位への書き込み
 - ・タイマY上位レジスタの書き込み前の上位又は下位からの読み出し

■CNTR1極性切り替え

- ◆CNTR1極性切り替えビット(タイマYモードレジスタ(2816番地)のビット6)によりCNTR1割り込み要求発生極性も変化します。
ただし、パルス幅HL連続測定モードの場合は、このビットの値に関わらず、CNTR1端子の立ち下がりエッジ、立ち上がりエッジともにCNTR1割り込み要求が発生します。

(3) タイマ1～3

タイマ1～3のカウンツソースを選択した後、タイマ1レジスタから順に値を設定してください。

<理由>

- ・タイマ1～3のカウンツソースを選択するとき、カウンツ入力に細かいパルスが生じてタイマのカウンツ値が大きく変わることがあります。
- ・タイマ2又はタイマ3のカウンツソースとしてタイマ1のアンダフロー信号を選択している場合、タイマ1レジスタへの書き込み時に、出力に細かいパルスが生じて、タイマ2又はタイマ3のカウンツ値が大きく変わることがあります。

(4) タイマ2

タイマ2書き込み制御ビット(タイマ123モードレジスタ(2916番地)のビット2)でラッチのみ書き込みを選択している場合、タイマ2のアンダフロー時にタイマ2レジスタに値を書くと、タイマ2とタイマ2ラッチに同時に値が設定されます。

(5) タイマ全般

- タイマのカウンツソースは、システムクロック選択ビット(CPUモードレジスタ(3B16番地)のビット7)で選択しているシステムクロック ϕ の影響を受けます。
- 使用していないタイマは、次の設定をしてください。
 - ・カウンツ停止(停止制御ができるタイマの場合)
 - ・対応する割り込み許可ビットは“0”(禁止)を選択

2.1.6 シリアルI/O1に関する注意事項

(1) ボーレートジェネレータへの書き込み

ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

(2) シリアルI/O1送信割り込み使用時の設定手順

シリアルI/O1送信割り込みを使用する場合は、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

- ①シリアルI/O1送信割り込み許可ビット(割り込み制御レジスタ1(3E16番地)のビット3)を“0”(禁止)にする。
- ②送信許可ビットを“1”にする。
- ③一命令以上おいてからシリアルI/O1送信割り込み要求ビット(割り込み要求レジスタ1(3C16番地)のビット3)を“0”(割り込み要求なし)にする。
- ④シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

<理由>

送信許可ビットを“1”にすると、送信バッファエンプティフラグ(シリアルI/O1ステータスレジスタのビット0)、及び送信シフトレジスタシフト終了フラグは、“1”になります。

したがって、送信割り込み要因選択ビット(シリアルI/O1制御レジスタのビット3)で割り込み発生要因をどちらに選択していても割り込み要求が発生し、シリアルI/O1送信割り込み要求ビットが“1”になります。

(3) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグ(シリアルI/O1ステータスレジスタ(1916番地)のビット2)は、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(4) シリアルI/O1制御レジスタの再設定

シリアルI/O1制御レジスタの再設定は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信回路及び受信回路を初期化した後に行ってください。

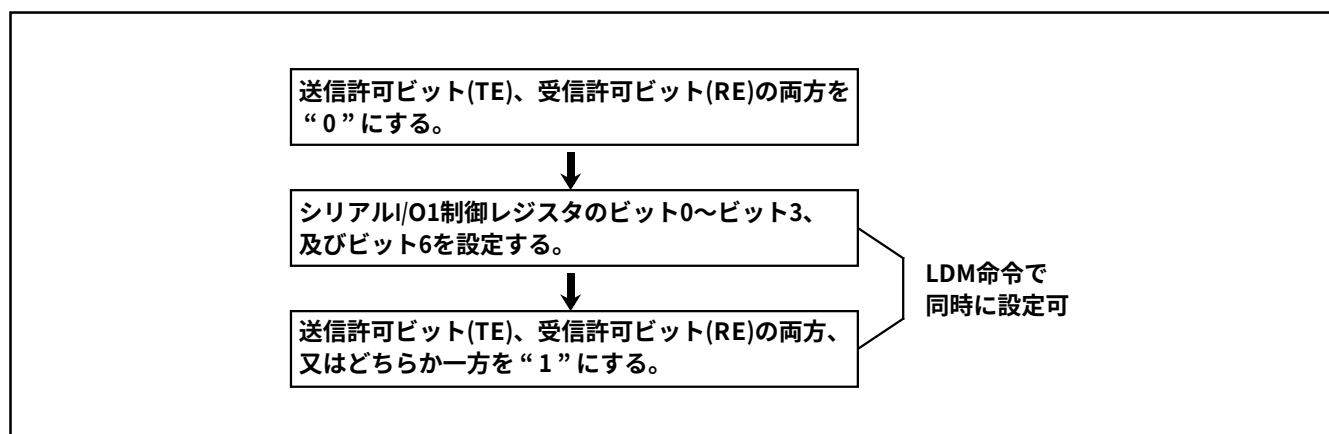


図2.1.6 シリアルI/O1制御レジスタの再設定手順

(5) 送信終了後の端子の状態

送信終了後、**TxD**端子は送信終了時のレベルを保持します。

クロック同期形シリアルI/Oモードで内部クロック選択時、**SCLK1**端子は“**H**”になります。

(6) 送信動作中のシリアルI/O許可ビット

送信時、シリアルI/O許可ビット(シリアルI/O制御レジスタ(**1A16**番地)のビット**7**)を“**0**”(シリアルI/O禁止)にすると、端子機能は入出力ポートになり、外部へ送信データは出力されませんが、内部の送信動作は継続して行われます。また、この状態で送信バッファレジスタに書くと、内部では送信動作を開始します。この時、シリアルI/O許可ビットを“**1**”にすると、その時点から送信データを**TxD**端子に出力します。

(7) 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、**SCLK1**が“**H**”の状態で送信許可ビットを“**1**”にしてください。また、送信バッファレジスタへの書き込みも、**SCLK1**が“**H**”の状態で行ってください。

(8) クロック同期形シリアルI/Oモード時の受信動作

クロック同期形シリアルI/Oモードの受信時、受信許可ビットとともに、送信許可ビットも“**1**”にしてください。次に、送信バッファレジスタにダミーデータを書いてください。同期クロックとして内部クロック選択時は、この時点で同期クロックが出力され、受信動作を開始します。外部クロック選択時は、この時点で受信できる状態になり、外部クロックが入力されると、受信動作を開始します。

なお、**P45/TxD**端子からは、送信バッファレジスタに書いたダミーデータが出力されます。

(9) クロック同期形シリアルI/Oモード時の送受信動作

クロック同期形シリアルI/Oモード時、送受信動作を停止する場合は、送信許可ビット、及び受信許可ビットを同時に“**0**”にしてください。いずれか一方だけを停止すると、送信と受信の同期がとれなくなり、ビットずれが生じます。

2.1.7 シリアルI/O2に関する注意事項

(1) 同期クロックの切り替え

シリアルI/O2同期クロック選択ビット(シリアルI/O2制御レジスタ(**1D16**番地)のビット**6**)により、同期クロックを切り替えた場合、シリアルI/O2カウンタの初期化(シリアルI/O2レジスタ(**1F16**番地)への書き込み)を行ってください。

(2) 外部クロック選択時の注意事項

同期クロックとして外部クロックを選択している場合、**SOUT2**端子は転送終了後、**D7**の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、**SOUT2**端子から送信データが出力され続けます。

また、シリアルI/O2レジスタへの書き込みは、**SCLK21**が“**H**”の状態で行ってください。

なお、同期クロックとして内部クロックを選択している場合、**SOUT2**端子は転送終了後ハイインピーダンス状態になります。

2.1.8 PWM出力回路に関する注意事項

●PWM出力開始前の“L”出力

PWM0機能許可ビットと**PWM1**機能許可ビットの両方が“0”のときに、少なくとも一方を“1”にすると、対応する**PWM**端子は、次に示す期間“L”を出力します。その後、“H”からはじまる**PWM**出力を開始します。

- ・ カウントソース選択ビット＝“0”； n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・ カウントソース選択ビット＝“1”； n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

●PWM出力の変更

PWM出力中に**PWM**プリスケアラ、**PWM**レジスタを変更した場合は、次の繰り返し周期から、変更した内容に対応した波形が出力されます。図2.1.7に**PWM**出力の変更を示します。

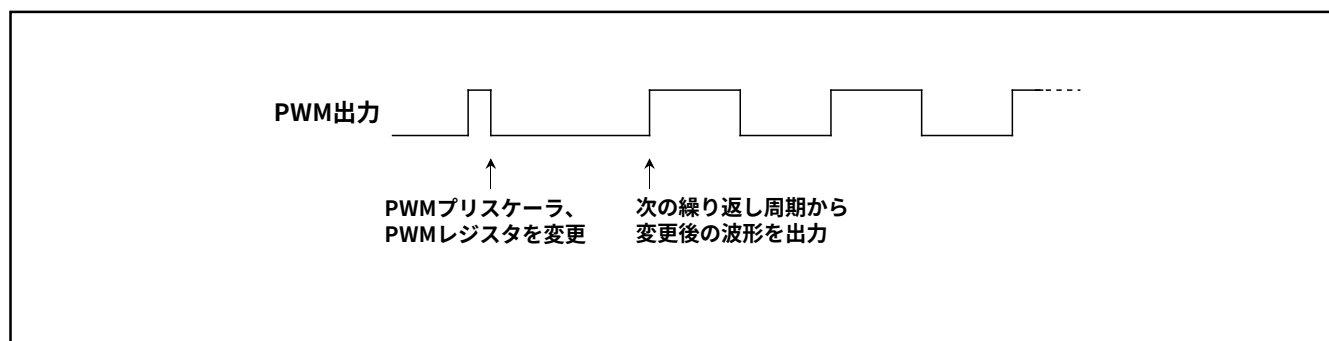


図2.1.7 PWM出力の変更

2.1.9 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは低くしてください。又は、アナログ入力端子に、**0.01 μ F** ~ **1 μ F**の外付けのコンデンサを接続してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサを内蔵しています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分な**A-D**変換精度が得られない場合があります。

(2) アナログ電源入力端子AVss

A-D変換機能の使用、未使用にかかわらず、アナログ電源入力端子**AVss**は次のように処理してください。

- ・ **AVss** : **Vss**に接続

<理由>

AVss端子を開放すると、ノイズなどの影響を受けてマイコンが誤動作をすることがあります。

(3) 基準電圧入力端子VREF

VREF端子と**AVss**端子間に容量**1000pF**程度のコンデンサを挿入し、**VREF**端子—コンデンサ間及び**AVss**端子—コンデンサ間の配線長を等しくかつ最短で接続してください。

(4) A-D変換中のクロック周波数

次の条件で、**A-D**変換機能を使用してください。

- ・ システムクロック ϕ は、システムクロック選択ビット(**CPU**モードレジスタ(**3B16**番地)のビット**7**)で、**XIN-XOUT**を選択してください。**XCIN-XCOUT**選択時は、**A-D**変換機能を使用できません。
- ・ **f(XIN)**は**500kHz**以上にしてください。
- ・ **A-D**変換中に**STP**、**WIT**命令を実行しないでください。

<理由>

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分な**A-D**変換精度が得られない場合があります。

- (5) **A-D**外部トリガ有効時、**A-D**変換中に**ADT**端子に立ち下がりが入力されると、変換処理を中断し再度**A-D**変換を開始します。なお、**A-D**変換中にプログラムで**A-D**変換終了ビットに“**0**”を書いても、再変換は行わず元の変換を継続します。

- (6) 次の操作を行った場合、**A-D**変換は、正常に動作しません。

- ・ **A-D**変換動作中の**CPU**モードレジスタへの書き込み
- ・ **A-D**変換動作中の**A-D**制御レジスタへの書き込み
- ・ **A-D**変換動作中の**STP**命令、**WIT**命令の実行

2.1.10 D-A変換器に関する注意事項

(1) リセット時の端子状態

リセット時、**P56/DA1**、**P57/ADT/DA2**端子は、ハイインピーダンス状態になります。

(2) 低インピーダンスとの接続

DAi出力端子はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

(3) 基準電源入力端子VREF

- ・ **P56/DA1**、**P57/ADT/DA2**端子を**DAi**出力端子として使用する場合は、**VREF**端子には、**VCC**レベルを入力することを推奨します。**VCC**レベル以下の電圧を入力した場合は、**D-A**変換器の精度が低下する可能性があります。
- ・ **VREF**端子と**AVss**端子間に容量**1000pF**程度のコンデンサを挿入し、**VREF**端子ーコンデンサ間の配線及び**AVss**端子ーコンデンサ間の配線長を等しくかつ最短で接続してください。

2.1.11 LCD駆動制御回路に関する注意事項

(1) LCDCK用カウントソースについて

リセット後、**LCDCK**用カウントソース選択ビット(**LCD**モードレジスタ(**3916**番地)のビット**7**)は“**0**”で、**f(Xcin)/32**が選択されています。リセット後は、サブクロックは停止していますので、発振を開始させ、発振が安定してから**LCD**を点灯してください。また、**LCDCK**用カウントソースの変更は、使用するクロックの発振が安定している状態で行ってください。

(2) STP命令について

STP命令を実行する場合、**LCD**イネーブルビット(**LCD**モードレジスタのビット**3**)を“**0**”にしてから、**STP**命令を実行してください。**LCD**点灯中に**STP**命令を実行すると、**LCD**パネルに直流電圧が印加されます。

(3) LCDを使用しない場合

LCDを使用しない場合は、セグメント端子、コモン端子を開放にしてください。また、**VL1**は**Vss**、**VL2**は**Vcc**、**VL3**は**Vcc**に接続してください。

(4) 昇圧回路を使用する場合

昇圧回路を使用する場合は、**VL1**端子に規格値内の電圧を入力した状態で、昇圧回路制御ビット(**LCD**モードレジスタのビット**4**)を“**1**”にしてください。規格値外の場合、昇圧回路動作開始時に、昇圧回路に電流が流れる場合があります。なお、規格値は、「**3.1 電気的特性**」を参照してください。

(5) LCD駆動電源

LCD電源用分割抵抗値と**LCD**パネルの特性により、電源容量が不足することがあります。この場合、**VL1**～**VL3**端子に**0.1**～**0.33** μ F程度のバイパスコンデンサを接続する方法があります。図**2.1.8**に**LCD**駆動電源の強化対策例を示します。

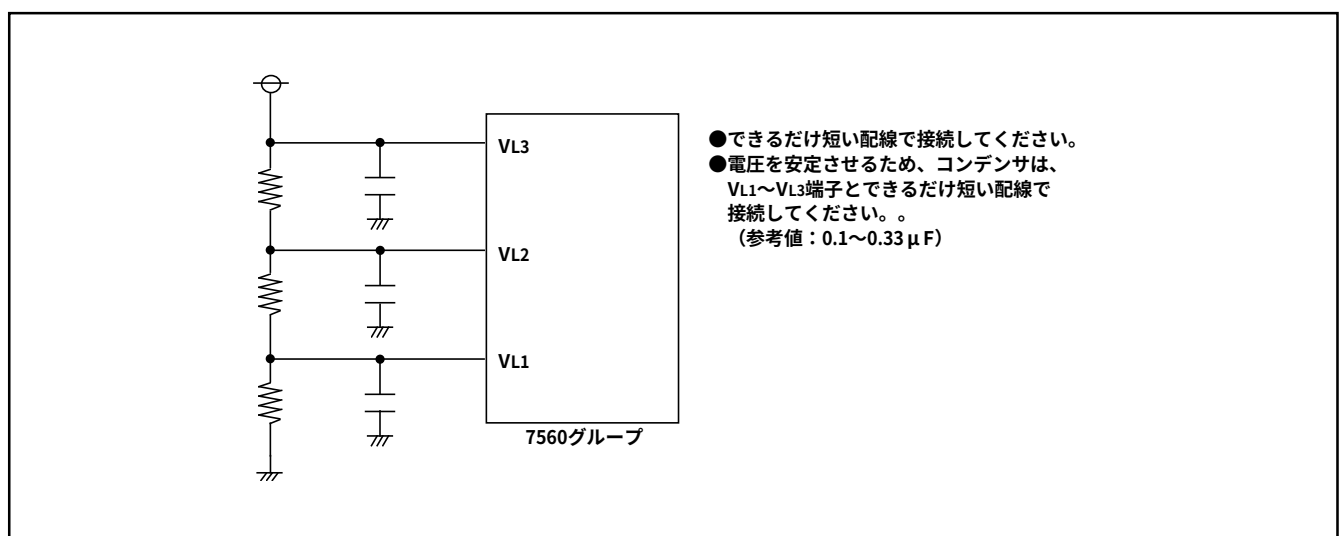


図2.1.8 LCD駆動電源の強化対策例

(6) LCD表示用RAMへのデータの設定

LCDイネーブルビットが“1”で、LCD点灯中にLCD表示用RAMにデータを書く場合は、確定したデータを書いてください。暫定的なデータの書き換えをすると、LCDがちらつく場合があります。図2.1.9にLCD点灯中にLCD表示用RAMにデータを書く場合の処理例を示します。

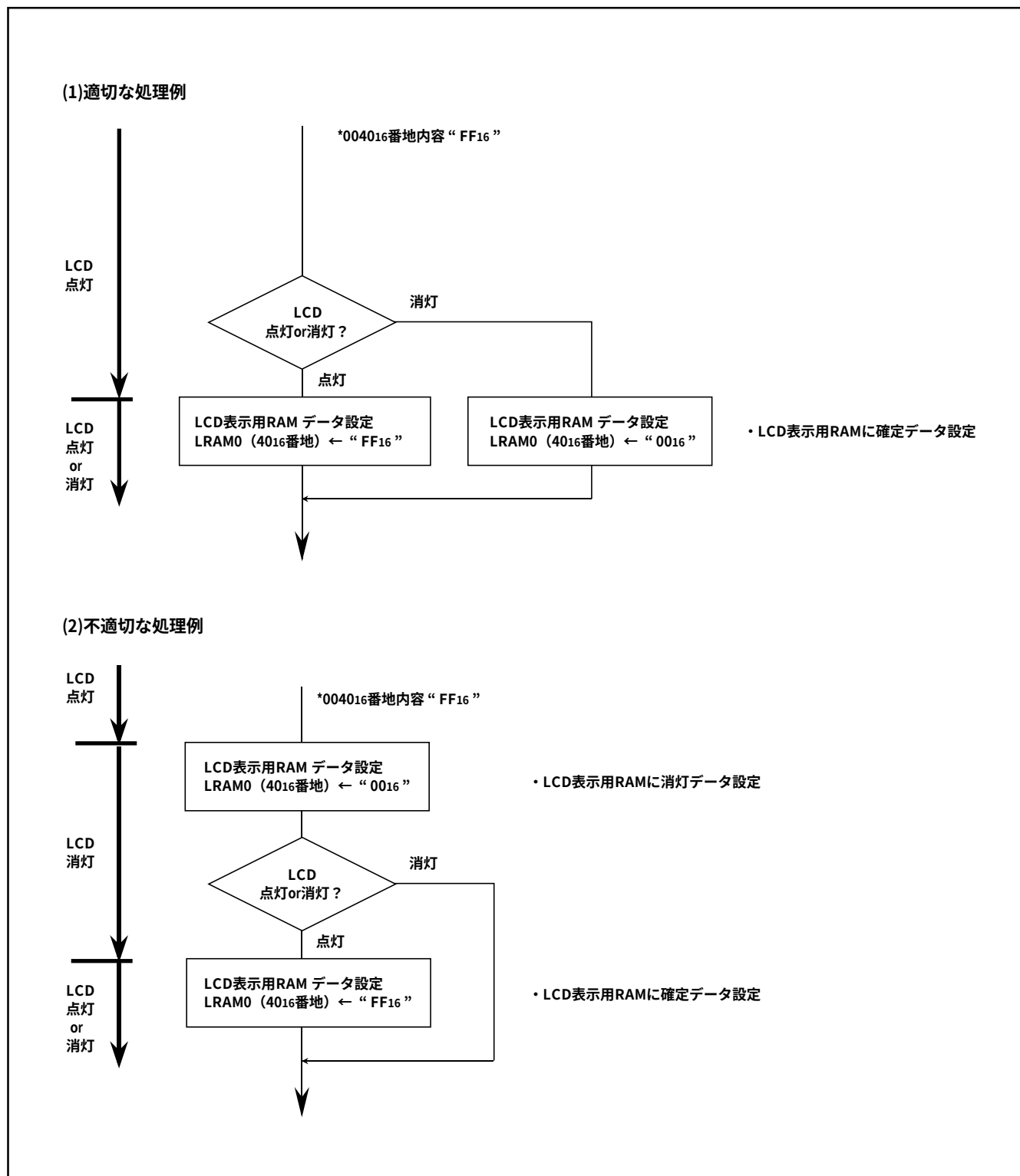


図2.1.9 LCD点灯中にLCD表示用RAMにデータを書く場合の処理例

2.1.12 ウォッチドッグタイマに関する注意事項

- (1) ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
- (2) ストップモード時、ウォッチドッグタイマは動作しませんが、待機時間では動作します。その間にアンダフローしないように、**STP**命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
- (3) ウォッチドッグタイマのカウントソースは、システムクロック選択ビット(**CPU**モードレジスタ(**3B16**番地)のビット**7**)で選択しているシステムクロック ϕ の影響を受けます。

2.1.13 リセット回路に関する注意事項

(1) リセット入力電圧制御

リセット入力電圧は、電源電圧が**Vcc(min)**を通過する時点で**0.2Vcc**以下になるようにしてください。

(2) リセット信号が緩やかに立ち上がる場合の対策

リセット信号が緩やかに立ち上がる場合は、**RESET**端子と**Vss**端子の間に、セラミックコンデンサなどの高周波特性のよい**1000pF**以上のコンデンサを接続してください。コンデンサを使用する場合は次の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分に行ってください。

<理由>

RESET端子に数nsから数十nsのインパルス性のノイズが侵入すると、マイコンが誤動作することがあります。

(3) リセット直後の各ポート状態

表2.1.1に**RESET**端子が“ L ”期間の端子状態を示します。

表2.1.1 **RESET**端子の状態が“ L ”期間の端子状態

端子名	端子の状態
P0, P1 (SEG26～SEG39)	入力モード（プルアップあり）
P2, P41～P47, P5, P6	入力モード（ハイインピーダンス）
P3 (SEG18～SEG25)	Vccレベルにプルアップ
P70	ハイインピーダンス
P40, P71～P77	入力モード（ハイインピーダンス）
SEG0～SEG17	Vccレベル出力
COM0～COM3	Vccレベル出力

2.1.14 クロック発生回路に関する注意事項

●モード移行について

メインクロック(X_{IN}—X_{OUT})、サブクロック(X_{CIN}—X_{COU}T)ともに、発振開始後、発振が安定するまで時間を要します。発振が安定してから、中速／高速モードと低速モード間を移行してください。特に、サブクロックの発振立ち上がりには時間を要しますので、電源投入直後やストップモードからの復帰時は、注意してください。

また、モード移行時のメインクロックとサブクロックの周波数の関係は、次のようにしてください。

$$f(X_{IN}) > 3 \times f(X_{CIN})$$

2.1.15 スタンバイ機能に関する注意事項

- (1) **STP**命令禁止ビット(ウォッチドッグタイマ制御レジスタ(3716番地)のビット6)により、一度**STP**命令を禁止状態にすると、**STP**命令許可状態に戻すことはできません。

- (2) スタンバイ機能使用時は以下の点に注意してください。

機能、端子の状態によっては、消費電力が増加する場合があります。

消費電力を低減するための処理例を次に示します。

■消費電力を低減するための処理例

- ・入力ポート：外部で“H”又は“L”に固定
- ・出力ポート：外部に電流が流出しないレベルに固定
(例：“L”出力時に電流が流れて**LED**が点灯する回路の場合、“H”出力に固定)
- ・A-D入力端子：外部で“H”又は“L”に固定
- ・PWMi機能許可ビット(PWM制御レジスタ(2B16番地)のビット1、2)：“0”
- ・LCDイネーブルビット：“0”
- ・A-D変換を終了させる。
(A-D変換終了ビット(A-D制御レジスタ(3416番地)のビット3)が“1”であることを確認)
- ・VREF入力スイッチビット(A-D制御レジスタのビット4)：“0”
- ・D-Ai変換レジスタ(3216、3316番地)：“0016”

- (3) ストップモード使用時

■割り込み要求の発生による復帰後の動作

- ・タイマ123モードレジスタの値は自動的にビット4以外はすべて“0”になります。
- ・ストップモード中に割り込み要求が発生すると、ストップモードは解除され、**STP**命令実行時に発振していたクロックの発振を開始します。**STP**命令実行時、メインクロック、サブクロックとも発振していて、メインクロックをシステムクロックに選択していた場合、ストップモードからの復帰には、メインクロックの発振安定時間を確保します。メインクロックの発振安定後でもサブクロックの発振は安定していないことがありますので、注意してください。

■LCDを表示している場合

LCDイネーブルビット(LCDモードレジスタ(3916番地)のビット3)を“0”にしてLCDを消灯してから、**STP**命令を実行してください。LCD点灯中に**STP**命令を実行すると、LCDパネルに直流電圧が印加されます。

■ウォッチドッグタイマ

ストップモード時、ウォッチドッグタイマは動作しませんが、待機時間では動作します。その間にアンダフローしないように、**STP**命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

(4) ウェイトモード使用時**■リセット入力による復帰**

WIT命令実行時、サブクロックをシステムクロックに選択し、メインクロックを停止していた場合、**RESET**端子の入力レベルを“**L**”にすると、サブクロックの発振は停止し、メインクロックの発振を開始します。発振開始時の発振は不安定であり、発振安定時間が必要です。発振が安定するまで**RESET**端子の入力レベルを“**L**”にしてください。発振安定後、更に**RESET**端子を2 μ s以上“**L**”に保持すると内部がリセット状態になります。

■ウォッチドッグタイマ

ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

改訂履歴	7560 グループ データシート
------	------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	01/02/16		初版発行
1.1	01/06/07	47	図 51 (31) D-A 制御レジスタ (番地) 003516 → 003616
			(32) ウォッチドッグタイマ制御レジスタ (番地) 003616 → 003716
		52	表 13 VREF 最大値 VCC+0.3 → VCC
1.2	01/11/13	1	A-D 変換器; 8 ビット → 10 ビット
			電源電圧; EPROM 又はワンタイム PROM 版、広動作温度範囲版 追加
			消費電力; 高速モード時 40 → 32、低速モード時 60 → 45
			動作周囲温度; 広動作温度範囲版 追加
		4	電源入力; EPROM 又はワンタイム PROM 版、広動作温度範囲版 追加
		6	図 4; EPROM 又はワンタイム PROM 版、広動作温度範囲版 追加
		7	図 5; 開発中 → 量産中、表 3; 2001 年 2 月 → 2001 年 10 月
		8	ワンタイム PROM 又は EPROM 版のグループ展開 追加
		9	広動作温度範囲版のグループ展開 追加
		15	図 12; 予約領域の注釈 追加、 001416 A-D 変換レジスタ (ADL) 追加、003516 (AD) → (ADH)
		26	図 21; RTP0, RTP1 追加
		36	図 34; ポート P50, P51 追加
		38	本文; 8 ビット AD を 10 ビット AD に変更
			図 37; 10 ビット AD 追記
		42	昇圧回路 (15 行目); 2.1V 以下 → 2.1V (EPROM 又はワンタイム PROM 版は 2.3V)
			図 43; VCC の線を削除
		49	図 53; AD 変換レジスタ (下位) を追加
		54	ワンタイム PROM 書き込みに関する注意事項のページ 追加
		59	表 21 VOL(上段) IOH → IOL
		60	表 22 ICC 規格値変更
		61	表 23 注意事項追加 絶対精度の測定条件 VCC=VREF-5V → VCC=VREF=2.7 ~ 5.5V 変換時間改訂
			表 24 追加
		62	表 27 900/(VCC+0.4) → 900/(VCC-0.4)
		64 ~ 79	「EPROM 版又はワンタイム PROM 版」、「広動作温度範囲版」の電気的特性 追加
2.0	02/9/30	4	表 1 端子の機能説明を一部変更
		5	表 2 端子の機能説明(2)を一部変更
		15	図 12 SFR (スペシャルファンクションレジスタ) メモリマップを一部変更
		16	図 13 ポート P0 方向レジスタ、ポート P1 方向レジスタの構成を追加
		16	図 14 ポート P3 出力制御レジスタの構成を追加
		20	図 16 ポートのブロック図(1)を一部変更
		23	図 19 ポートのブロック図(4)を一部変更
		26	図 22 キー入力割り込み使用時の結線例及びポート P2 のブロック図を一部変更

改訂履歴	7560 グループ データシート
------	------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	02/09/30	27	キー入力割り込みの文章を追加
		27	図 23 キー入力制御レジスタの構成を追加
		28	図 24 タイマのブロック図を一部変更
		29	●タイマ X の文章を追加
		30	●タイマ Y の文章を追加
		30	(2)周期測定モードの文章を一部変更
		31	・タイマ 2 書き込み制御の文章を変更
		31	図 27 タイマ 123 モードレジスタの構成を一部変更
		34	【UART 制御レジスタ】の文章を一部変更
		37	・シリアル I/O2 の動作の項目を追加
		40	図 40 A-D 変換関係レジスタの構成を一部追加
		41	図 42 A-D 変換器ブロック図を一部追加
		42	図 44 D-A 変換器ブロック図を一部変更
		43	図 45 D-A 変換等価回路図を追加
		46	●昇圧回路の文章を一部変更
		50	ウォッチドッグタイマの文章を一部変更
		51	図 55 TOUT/ ϕ 出力関連レジスタの構成を一部変更
		52	リセット回路の文章を一部変更
		52	図 56 リセット回路例を一部変更
		55	図 61 クロック発生回路ブロック図を一部変更
		56	図 62 システムクロックの状態遷移図を一部変更
		57	A-D 変換に関するものの文章を一部変更
		57	命令の実行時間に関するものの文章を一部変更
		58, 59	ノイズに関する注意を追加
		67	表 23 A-D 変換器特性(1)の一部変更及び注を追加
		67	表 24 A-D 変換器特性(2)の一部変更及び注を追加
		75	表 36 A-D 変換器特性(1)(EPROM 版又はワンタイム PROM 版)の一部変更及び注を追加
		75	表 36 A-D 変換器特性(2)(EPROM 版又はワンタイム PROM 版)の一部変更及び注を追加
		83	表 49 A-D 変換器特性(1)(広動作温度範囲版)の一部変更及び注を追加
		83	表 50 A-D 変換器特性(2)(広動作温度範囲版)の一部変更及び注を追加
		全ページ	文章表現を改善
2.01	2005.08.05	2	図 1、2 パッケージ型名を変更
		3	図 3 パッケージ型名を変更
		6	図 4 パッケージ型名を変更
		7～9	パッケージ型名を変更
		54	クロック発生回路 下線部を変更、削除。「」を追記 XIN - XOUT 端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。「(条件によって帰還抵抗の外付けが必要になることがあります)」

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京		社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	部	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	島	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	取	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
	州	支			

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com