

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7545グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0142-0107

Rev.1.07

2009.03.19

概要

7545グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

8ビットタイマ、パワーオンリセット回路、及び電圧低下検出回路を内蔵しております。また、機能設定ROMも備えております。

特長

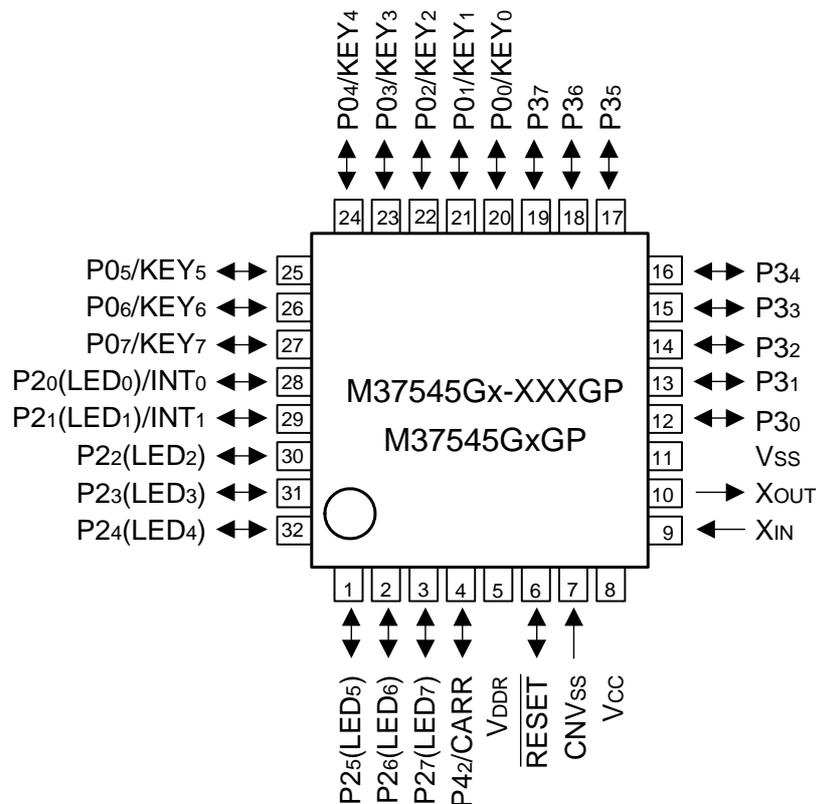
基本機械語命令	71
命令実行時間	2.00 μ s
(最小命令、発振周波数4MHz)	
メモリ容量 ROM	4K ~ 60K バイト
RAM	256、512 バイト
プログラマブル入出力ポート	25本
キーオンウェイクアップ入力	8入力
LED出力ポート	8本
割り込み	7要因、7ベクタ
タイマ	8ビット×3

搬送波発生回路	1チャンネル
(8ビットタイマ2本使用)	
クロック発生回路	内蔵
(セラミック共振子又は水晶発振子外付け)	
ウォッチドッグタイマ	16ビット×1
パワーオンリセット回路	内蔵
電圧低下検出回路	内蔵
電源電圧	
XIN発振周波数(セラミック/水晶発振)	
4MHz時	1.8 ~ 3.6V
消費電力	1.8mW
動作周囲温度	- 20 ~ 85

応用

各種リモートコントロール送信機

ピン接続図(上面図)



外形：PLQP0032GB-A (32P6U-A)

図1. ピン接続図(PLQP0032GB-Aパッケージタイプ)

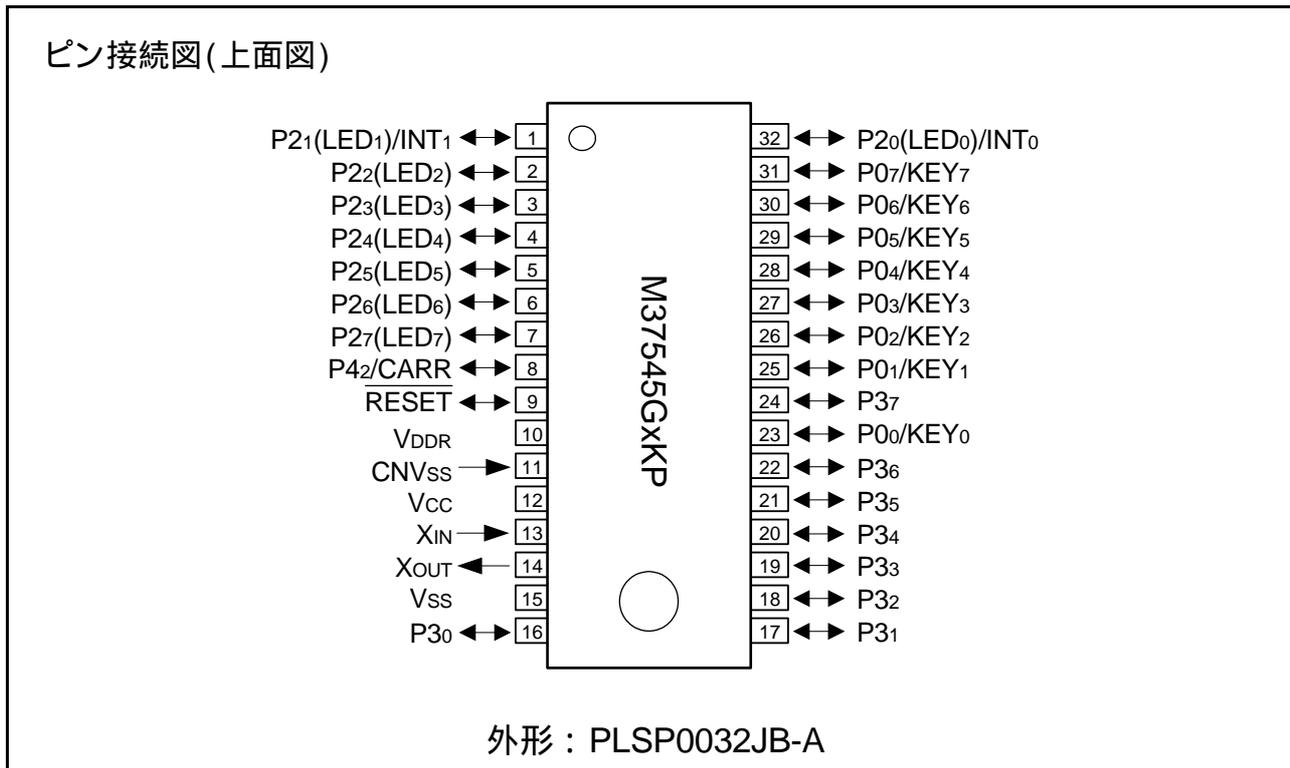


図2. ピン接続図(PLSP0032JB-Aパッケージタイプ)

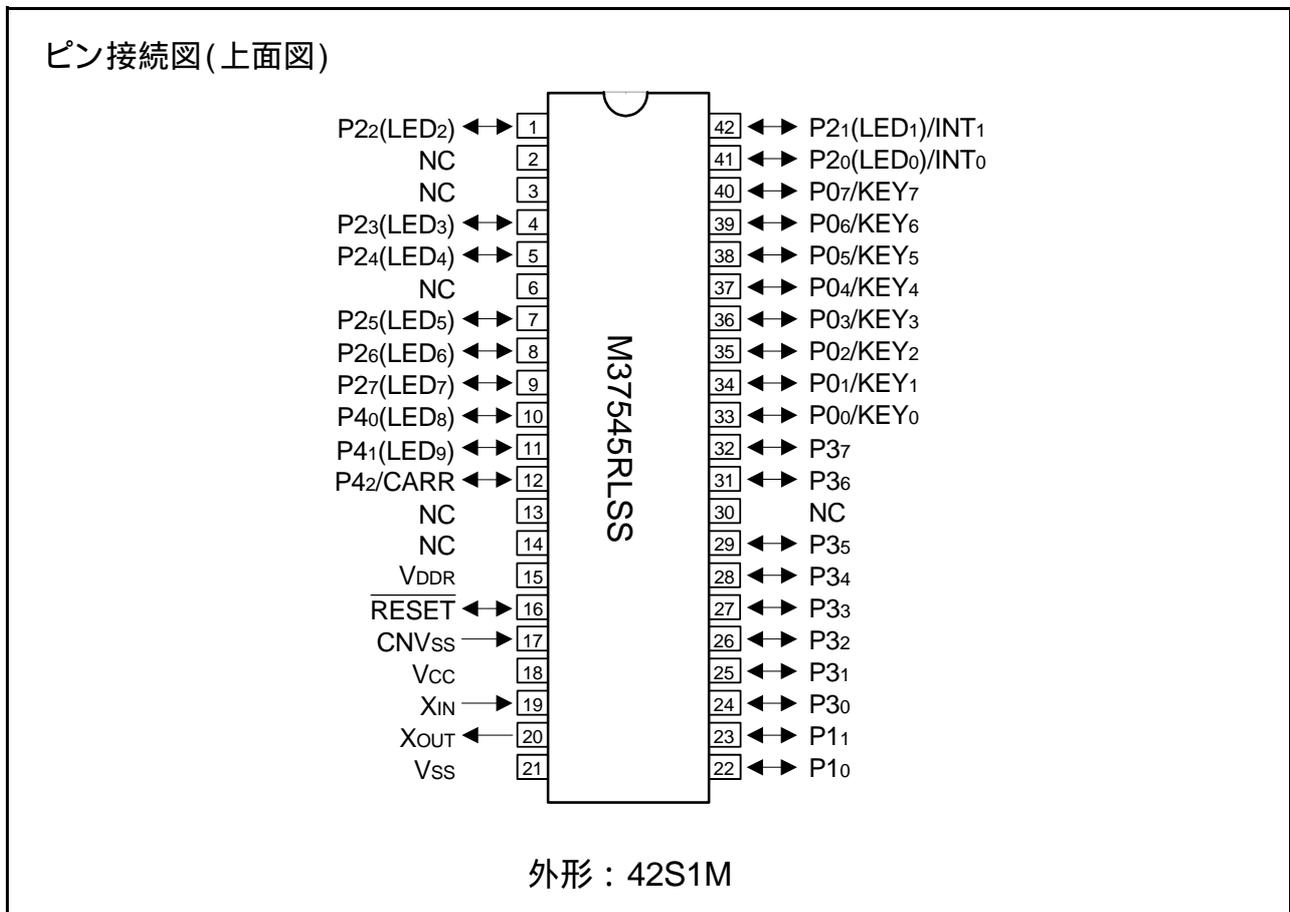


図3. ピン接続図(42S1Mパッケージタイプ)

表1. 性能概要(1)

項 目		性 能	
基本命令数		71	
最小命令実行時間		2.00 μ s	
メモリ容量	ROM	M37545G1	4096バイト×8ビット
		M37545G2	8192バイト×8ビット
		M37545G4	16384バイト×8ビット
		M37545G6	24576バイト×8ビット
		M37545G8	32768バイト×8ビット
		M37545GC	49152バイト×8ビット
		M37545GF	61440バイト×8ビット
	RAM	M37545G1/G2	RAM1: 240バイト×8ビット、RAM2: 16バイト×8ビット
M37545G4/G6/G8/GC/GF	RAM1: 384バイト×8ビット、RAM2: 128バイト×8ビット		
入出力ポート	P00 ~ P07	入出力	1ビット×8 CMOS入力レベルで、出力形式はCMOS3ステート キーオンウェイクアップ機能及びプルアップ機能の使用・未使用をプログラムで選択可能
	P10、P11	入出力(RLSS専用端子)	1ビット×2 CMOS入力レベルで、出力形式はCMOSあるいはNチャネルオープンドレインをプログラムで切り替え可能
	P20 ~ P27	入出力	1ビット×8 CMOS入力レベルで、出力形式はCMOSあるいはNチャネルオープンドレインをプログラムで切り替え可能 LED駆動用の大電流出力が可能 ポートP20、P21はそれぞれINT0、INT1端子と兼用
	P30 ~ P37	入出力	1ビット×8 CMOS入力レベルで、出力形式はCMOSあるいはNチャネルオープンドレインをプログラムで切り替え可能
	P40、P41	入出力(RLSS専用端子)	1ビット×2 CMOS入力レベルで、出力形式はCMOS3ステート
	P42	入出力	1ビット×1 CMOS入力レベルで、出力形式はCMOS3ステート リモコン送信用搬送波出力端子
タイマ	タイマ1		8ビットタイマ、タイマ1ラッチ有り カウントソースはプリスケアラ出力
	タイマ2		8ビットタイマ、タイマ2プライマリラッチ及びタイマ2セカンダリラッチ有り カウントソースはf(XIN)の16/8/2/1分周を選択可能
	タイマ3		8ビットタイマ、タイマ3ラッチ有り カウントソースはf(XIN)の16/8/2分周及び搬送波出力を選択可能
搬送波発生回路			タイマ2及びタイマ3を使用することでリモコン制御波形を発生 455kHz搬送波発生モード有り
ウォッチドッグタイマ			16ビット×1
パワーオンリセット回路			内蔵
電圧低下検出回路	(RLSSには機能なし)		標準1.75V (Ta=25)
割り込み	要因		7要因(外部×3、タイマ×3、ソフトウェア)
機能設定ROM領域	機能設定ROM		FFDA ₁₆ 番地に配置されています ウォッチドッグタイマ、STP命令の許可・禁止を選択可能 電圧低下検出回路の有効・無効を選択可能
	ROMコードプロテクト		FFDB ₁₆ 番地に配置されています "00"を設定することによりシリアルプログラムでの内蔵QzROM領域の読み出し及び書き込みを禁止します
素子構造			CMOSシリコンゲート
パッケージ			32ピンプラスチックモールドLQFP(PLQP0032GB-A) 32ピンプラスチックモールドSSOP(PLSP0032JB-A)
動作周囲温度			-20 ~ 85
電源電圧	f(XIN)=4MHz		1.8V ~ 3.6V

表2. 性能概要(2)

項 目		性 能
消費電流	CPU動作時	標準0.6mA (f(XIN)=4MHz、VCC=3.0V、出力トランジスタは遮断状態)
	WIT命令実行時	標準0.3mA (f(XIN)=4MHz、VCC=3.0V、出力トランジスタは遮断状態、WIT命令実行時、タイマ1以外の機能停止)
	STP命令実行時	標準0.1 μ A (Ta=25、VCC VDDR VCC-0.6V、出力トランジスタは遮断状態、発振は停止(STP命令実行時))
	電圧低下検出回路によるリセット中	標準0.1 μ A (Ta=25、VDDR=1.1V、1.8V VCC 0V)

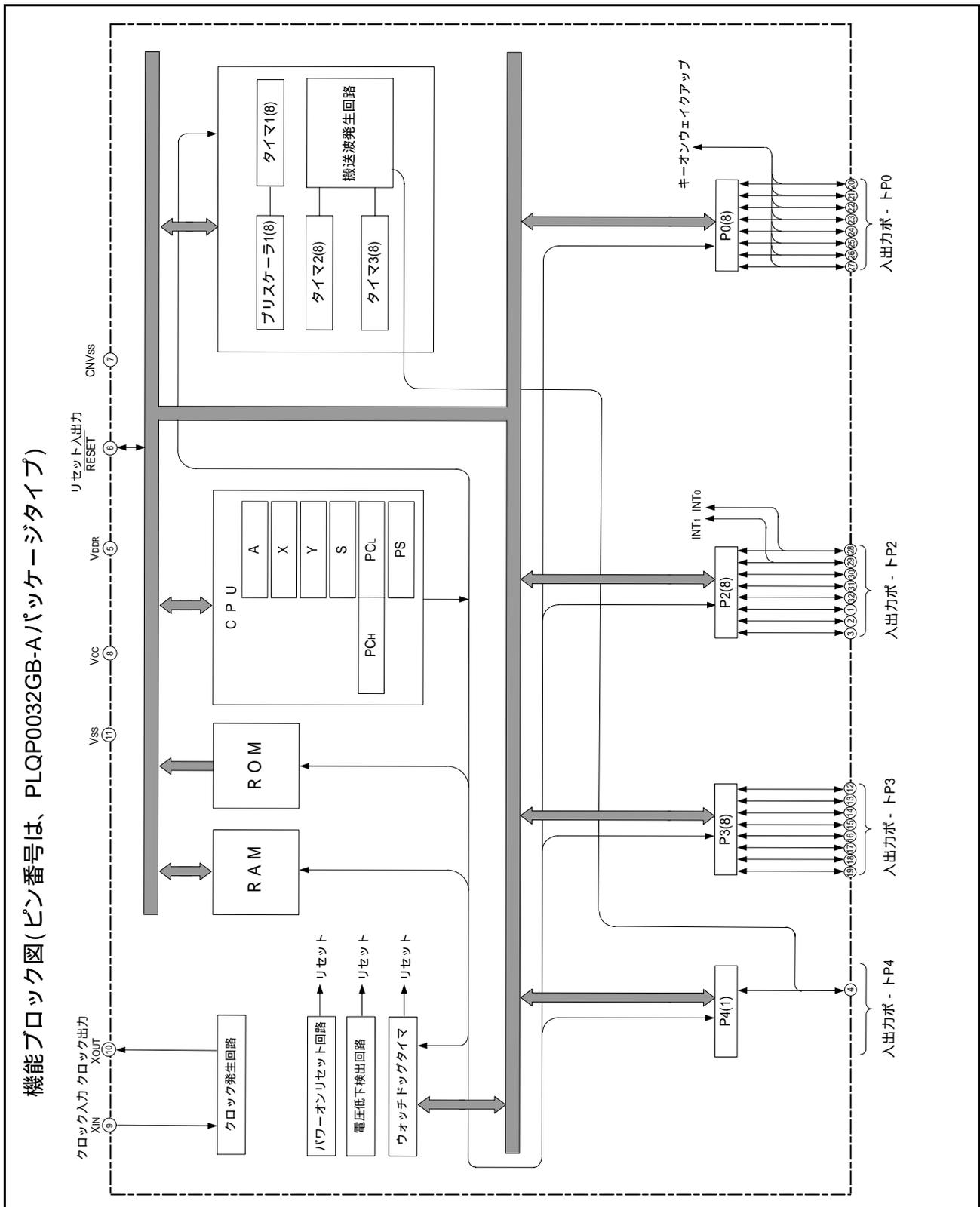


図4. 機能ブロック図(PLQP0032GB-Aパッケージタイプ)

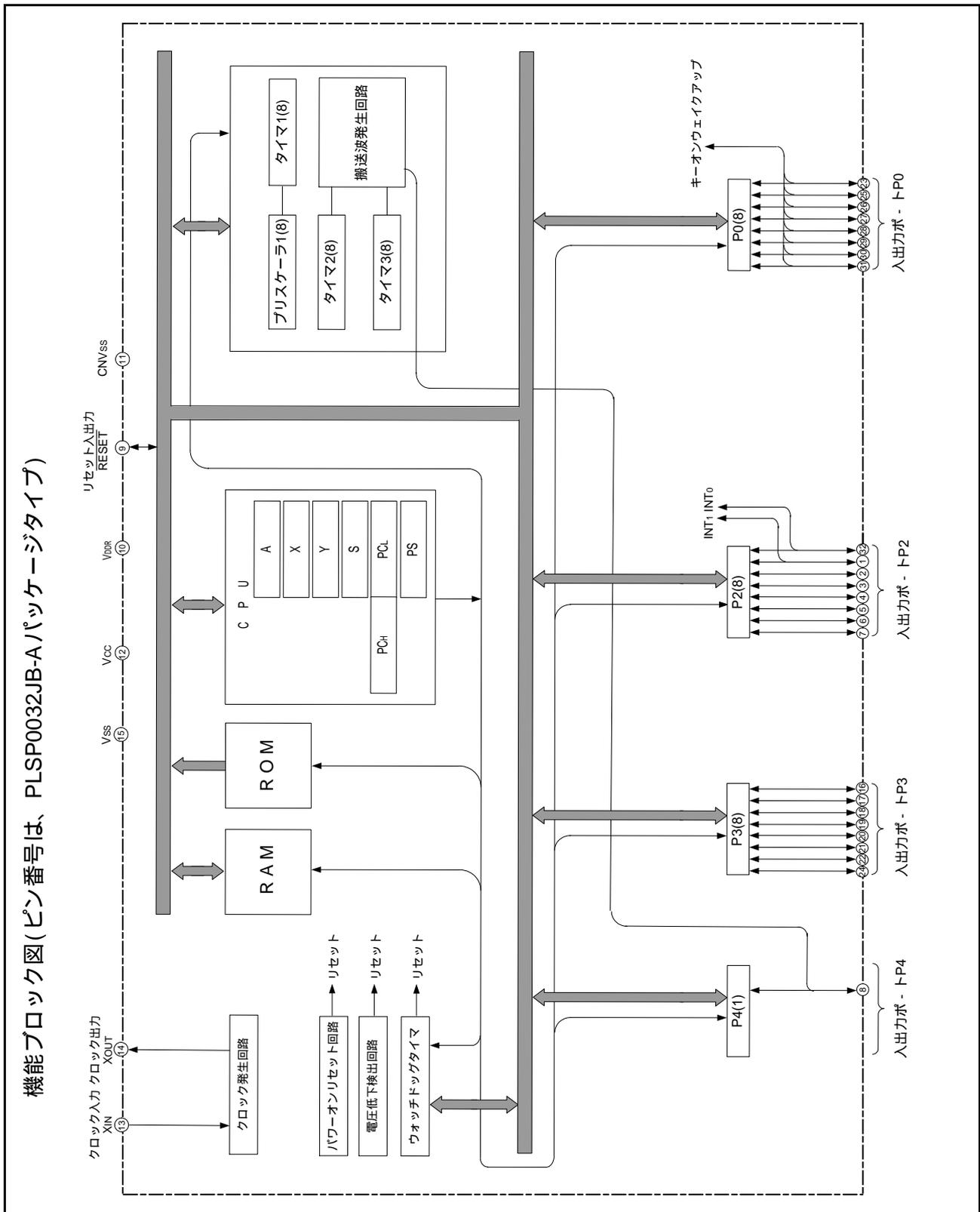


図5. 機能ブロック図(PLSP0032JB-Aパッケージタイプ)

端子の機能説明

表3. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc、Vss	電源入力	Vccに1.8～3.6V、Vssに0Vを印加します。	
VDDR	電源入力	RAM2専用電源端子です。本端子を使用時は、Vss-VDDRライン間に0.1uF程度のバイパスコンデンサを挿入してください。未使用時は、Vssに接続してください。	
CNVss	CNVss	チップの動作モードを制御する端子で常にVssに接続します。	
RESET	リセット入出力	リセットパルスの入出力端子です。プルアップトランジスタを内蔵しています。ウォッチドッグタイマ、パワーオンリセット又は電圧低下検出回路によるリセット発生時に“L”レベルが出力されます。 出力形式はNチャネルオープンドレインです。	
XIN	クロック入力	内部クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。	
XOUT	クロック出力		
P00/KEY0～ P07/KEY7	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 キーオンウェイクアップ機能及びプルアップ機能の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ 割り込み入力)端子
P10、P11	入出力ポートP1	P0とほぼ同等の機能を持った2ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOSあるいはNチャネルオープンドレインをプログラムにより切り替え可能です。	*RLSS専用端子
P20(LED0)/INT0 P21(LED1)/INT1 P22(LED2)～ P27(LED7)	入出力ポートP2	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOSあるいはNチャネルオープンドレインをプログラムにより切り替え可能です。LED駆動用の大電流出力が可能です。	割り込み入力端子
P30～P37	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。 出力形式はCMOSあるいはNチャネルオープンドレインをプログラムにより切り替え可能です。	
P40(LED8) P41(LED9)	入出力ポートP4	P0とほぼ同等の機能を持った2ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	*RLSS専用端子
P42/CARR		1ビットの入出力ポートです。入力レベルは、CMOS入力です。出力形式は、CMOS3ステートです。	リモコン送信用搬送波出力端子

グループ展開

7545グループは、次の様な展開を計画しています。

メモリの種類

QzROM版、エミュレータ専用MCUのサポート

メモリ容量

ROM容量 4K ~ 60Kバイト
RAM容量 256、512バイト

パッケージ

- PLQP0032GB-A
0.8mm ピッチ 32ピンプラスチックモールドLQFP
- PLSP0032JB-A
0.65mm ピッチ 32ピンプラスチックモールドSSOP
- 42S1M
42ピンシュリンクセラミックPIGGY BACK

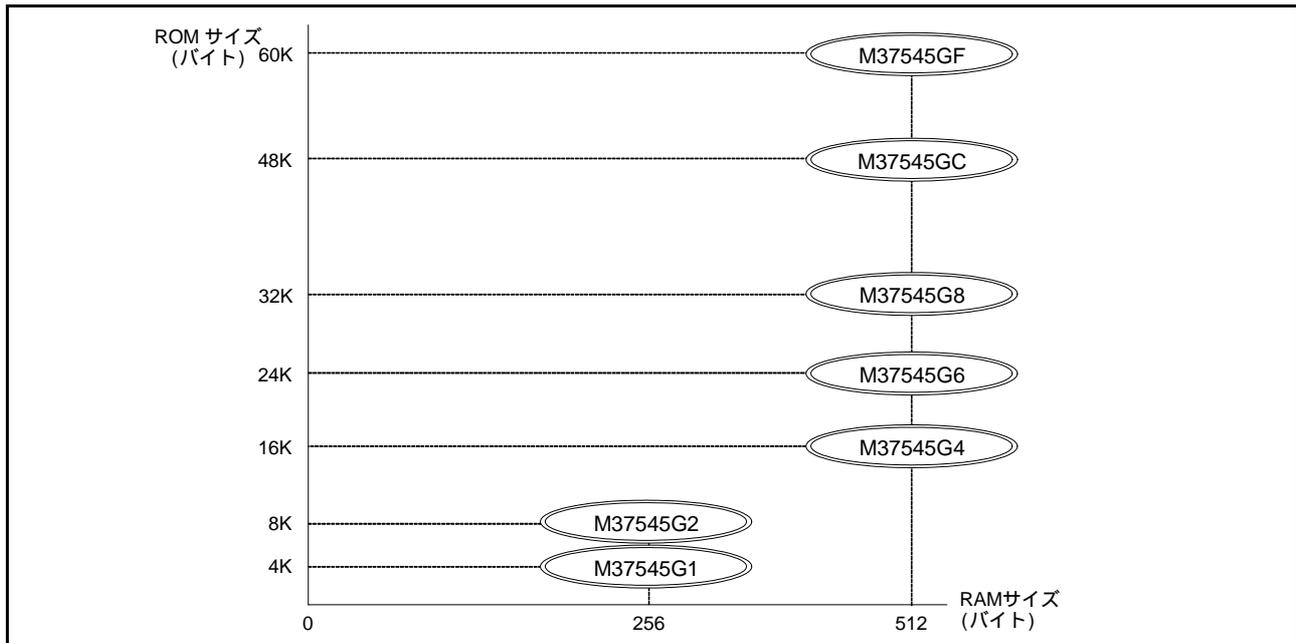


図6. ROM及びRAM展開計画

表4. サポート製品一覧

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37545G1KP	4096 (3966)	256	PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545G2KP	8192 (8062)		PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545G4-XXXGP	16384 (16254)	512	PLQP0032GB-A	QzROM版 (書き込み出荷品)
M37545G4GP			PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545G4KP			PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545G6-XXXGP	24576 (24446)		PLQP0032GB-A	QzROM版 (書き込み出荷品)
M37545G6GP			PLQP0032GB-A	QzROM版 (ブランク出荷品)
M37545G6KP			PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545G8-XXXGP	32768 (32638)		PLQP0032GB-A	QzROM版 (書き込み出荷品)
M37545G8GP			PLQP0032GB-A	QzROM版 (ブランク出荷品)
M37545G8KP			PLSP0032JB-A	QzROM版 (ブランク出荷品)
M37545GC-XXXGP	49152 (49022)		PLQP0032GB-A	QzROM版 (書き込み出荷品)
M37545GCGP			PLQP0032GB-A	QzROM版 (ブランク出荷品)
M37545GF-XXXGP	61440 (61310)		PLQP0032GB-A	QzROM版 (書き込み出荷品)
M37545GFGP		PLQP0032GB-A	QzROM版 (ブランク出荷品)	
M37545RLSS	-		42S1M	エミュレータ専用MCU

機能ブロック動作説明

中央演算処理装置(CPU)

7545グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。(CPUがオンチップオシレータによって動作している間は使用できません。)

中央演算装置(CPU)には6個のレジスタがあります。図7にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表5参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

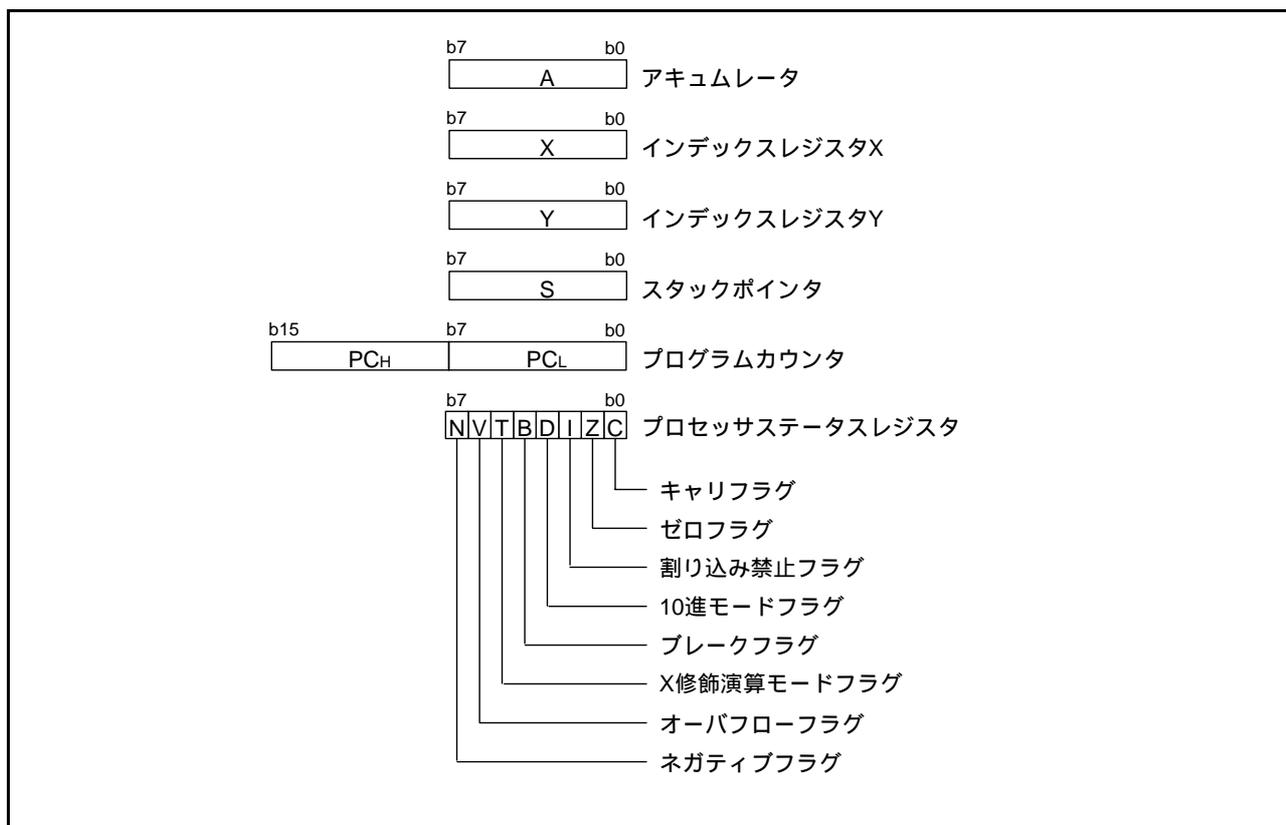


図7. 740ファミリCPUレジスタの構成

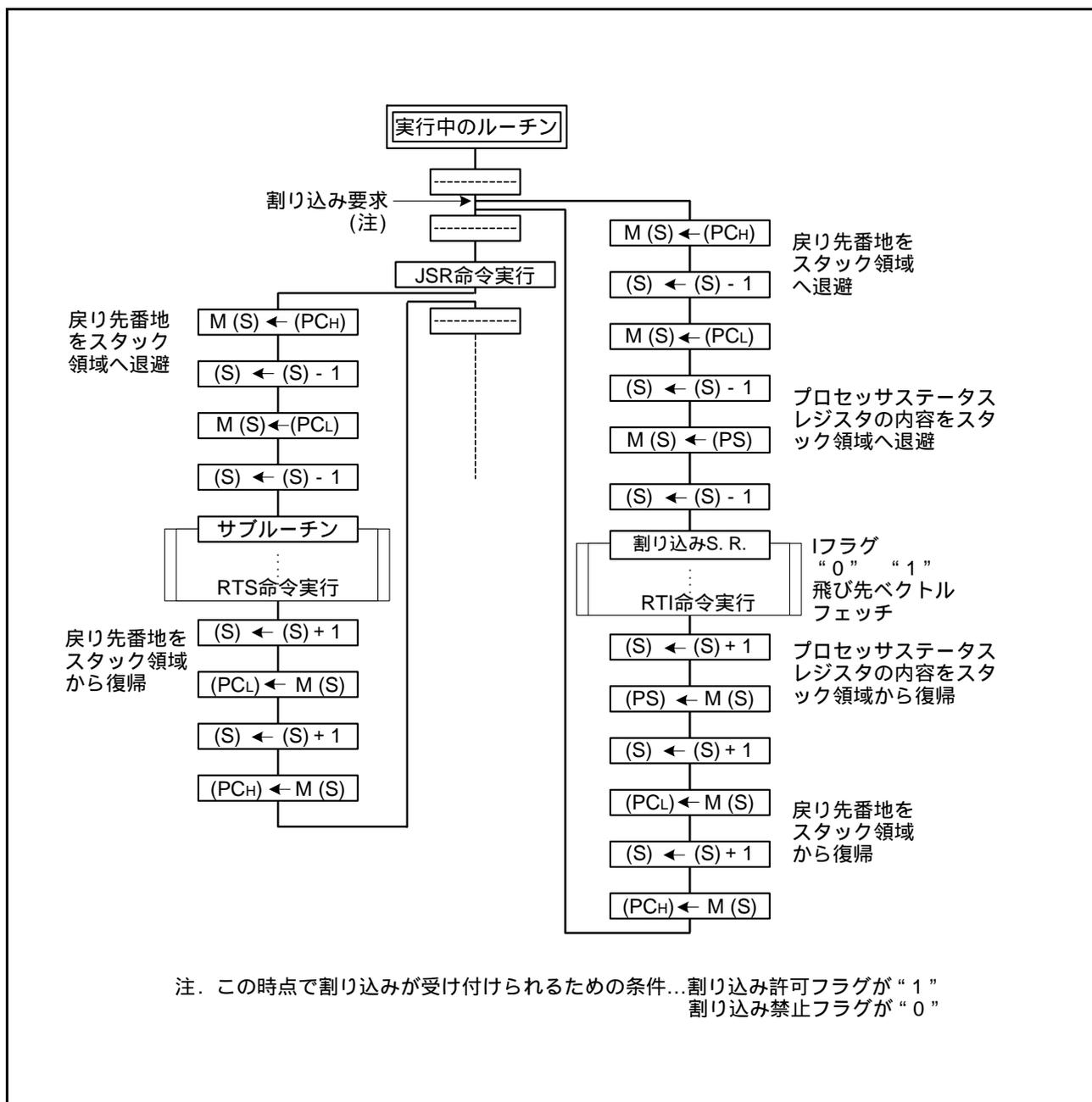


図8. スタックへの退避及び復帰動作

表5. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

• ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

• ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

• ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

• ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

• ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

• ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

• ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

• ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表6. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	-	SEI	SED	-	SET	-	-
クリアする命令	CLC	-	CLI	CLD	-	CLT	CLV	-

【CPUモードレジスタ】 CPUM

CPUモードレジスタにはスタックページビットが割り当てられています。

このレジスタは003B16番地に配置されています。本製品では、CPUのクロックスピードは常に $f(XIN)/4$ です。

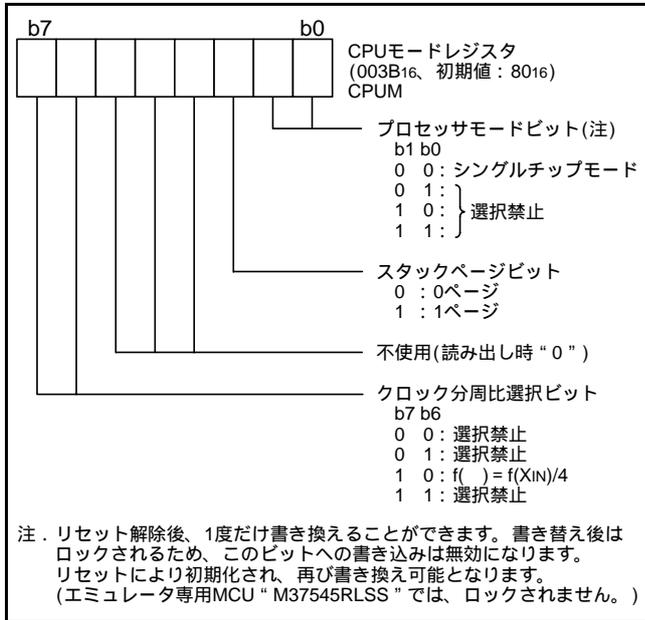


図9. CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。RAMはRAM1、RAM2の2つの領域に分かれており、それぞれの電源は、RAM1はV_{CC}端子、RAM2はV_{DDR}端子から供給されます。

注. V_{DDR}端子を使用時は、V_{SS}-V_{DDR}ライン間に0.1μF程度のバイパスコンデンサを挿入してください。未使用時は、V_{SS}に接続してください。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

機能設定ROM領域

【ルネサス出荷検査用領域】

機能設定ROM領域の配置図を図10に示します。

FFD4₁₆～FFD7₁₆番地のルネサス出荷検査用領域には、ルネサスでの製品出荷検査時にランダムなデータを設定します。この領域のデータは書き換えないでください。またユーザプログラムでチェックサムを取っている様な場合は、この領域を外す必要があります。

【機能設定ROMデータ】FSROM

機能設定ROMデータ(FFDA₁₆番地)は、周辺機能のモード設定を行う領域です。この領域に値を設定することにより、マイコンのリセット解除時に、それぞれの周辺機能の動作モードが設定されます。周辺機能の具体的な動作については、各周辺機能の説明部分を参照してください。

- ・ウォッチドッグタイマ：35ページ
- ・電圧低下検出回路：37ページ

なおこれらの周辺機能のモード設定については、マイコンのリセット解除後にプログラムで変更することはできません。

ROMコードプロテクト番地(FFDB₁₆番地)

Q_zROM版の予約ROM領域であるFFDB₁₆番地は、ROMコードプロテクト番地です。シリアルプログラマでのプロテクトビット書き込みを選択した場合、及び弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“00₁₆”が書き込まれます。ROMコードプロテクト番地に“00₁₆”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出し及び書き込みはできません。

Q_zROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

Q_zROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“00₁₆”(プロテクト有り)又は“FF₁₆”(プロテクト無し)のいずれかが書き込まれます。

“00₁₆”あるいは“FF₁₆”のどちらを書き込むかは、発注の際にROMオプション(マスクファイル変換ユーティリティ内では“マスクオプション”表記)として選択可能です。

注意事項

- (1) RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。
- (2) 予約領域はアクセスしないでください。
- (3) ルネサス出荷検査用領域、予約ROM領域には、製品ごとにランダムなデータが書き込まれています。この領域のデータは書き換えないでください。これらの領域のデータは予告なく変更する場合がありますので、ROMの全領域のチェックサムを確認する様なプログラムでは、これらの領域を含まないようにしてください。
- (4) 機能設定ROMデータのQ_zROMの値によってマイコンのリセット解除時に、それぞれの周辺機能の動作モードが設定されます。必ず選択する機能の値を設定してください。固定値“1”または“0”が指定されているビットには、指定された値の設定が必要です。
- (5) エミュレータ専用MCU版：M37545RLSSでは、機能設定ROMデータ(FFDA₁₆番地)には“010000XX₂”を設定してください。またROMコードプロテクト(FFDB₁₆番地)には“FF₁₆”を設定してください。

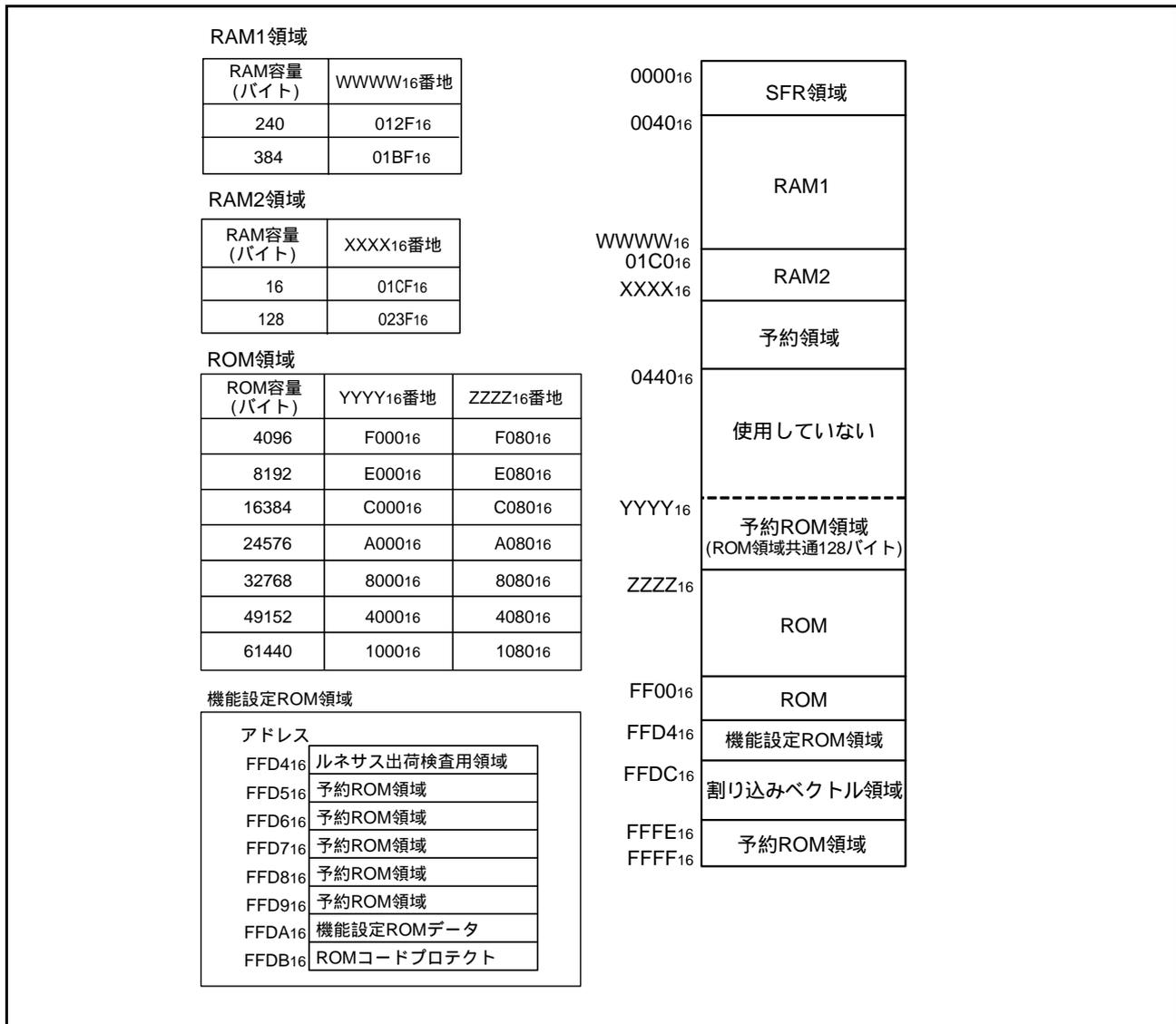


図 10. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	予約領域
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	予約領域
0002 ₁₆	ポートP1(P1)	0022 ₁₆	予約領域
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	予約領域
0004 ₁₆	ポートP2(P2)	0024 ₁₆	予約領域
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	予約領域
0006 ₁₆	ポートP3(P3)	0026 ₁₆	予約領域
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	搬送波制御レジスタ(CARCNT)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	プリスケアラ1(PRE1)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ1(T1)
000A ₁₆	予約領域	002A ₁₆	タイマカウントソース設定レジスタ(TCSS)
000B ₁₆	予約領域	002B ₁₆	タイマ1、2、3制御レジスタ(TC123)
000C ₁₆	予約領域	002C ₁₆	タイマ2プライマリ(T2P)
000D ₁₆	予約領域	002D ₁₆	タイマ2セカンダリ(T2S)
000E ₁₆	予約領域	002E ₁₆	タイマ3(T3)
000F ₁₆	予約領域	002F ₁₆	予約領域
0010 ₁₆	予約領域	0030 ₁₆	予約領域
0011 ₁₆	予約領域	0031 ₁₆	予約領域
0012 ₁₆	予約領域	0032 ₁₆	予約領域
0013 ₁₆	予約領域	0033 ₁₆	予約領域
0014 ₁₆	予約領域	0034 ₁₆	予約領域
0015 ₁₆	予約領域	0035 ₁₆	予約領域
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	予約領域
0017 ₁₆	ポート出力モード選択レジスタ(PMOD)	0037 ₁₆	予約領域
0018 ₁₆	キーオンウェイクアップ端子選択レジスタ(KEYSEL)	0038 ₁₆	MISRG(MISRG)
0019 ₁₆	キーオンウェイクアップ極性選択レジスタ(KEYEDGE)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	予約領域	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	予約領域	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	予約領域	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	予約領域	003D ₁₆	予約領域
001E ₁₆	予約領域	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	予約領域	003F ₁₆	予約領域

注．SFRの空き領域のメモリアクセスは行わないでください。

図11. SFR(スペシャルファンクションレジスタ)メモリマップ

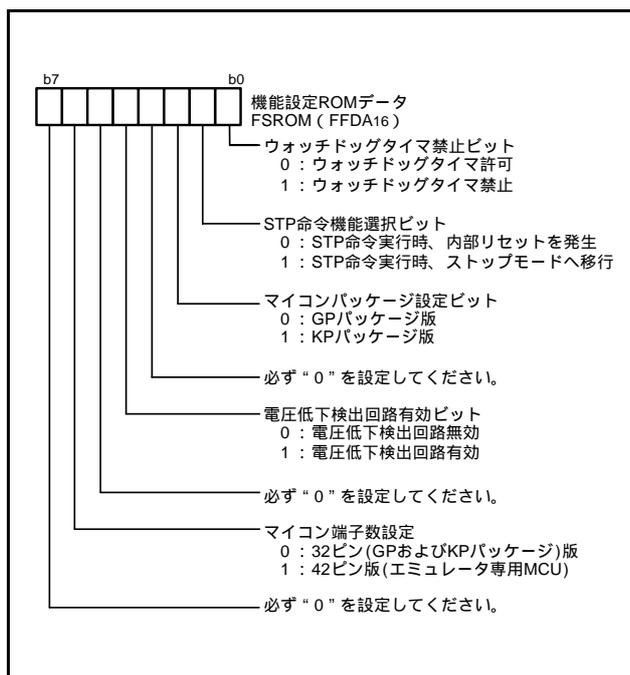


図 12. 機能設定ROMデータの構成

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

【プルアップ制御レジスタ】PULL

ポートP0はプルアップ制御レジスタ(16₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

【ポート出力モード選択レジスタ】PMOD

ポートP1、P2、P3は、ポート出力モード選択レジスタ(17₁₆番地)を設定することにより、プログラムでCMOS出力とNchオープンドレイン出力が選択可能です。

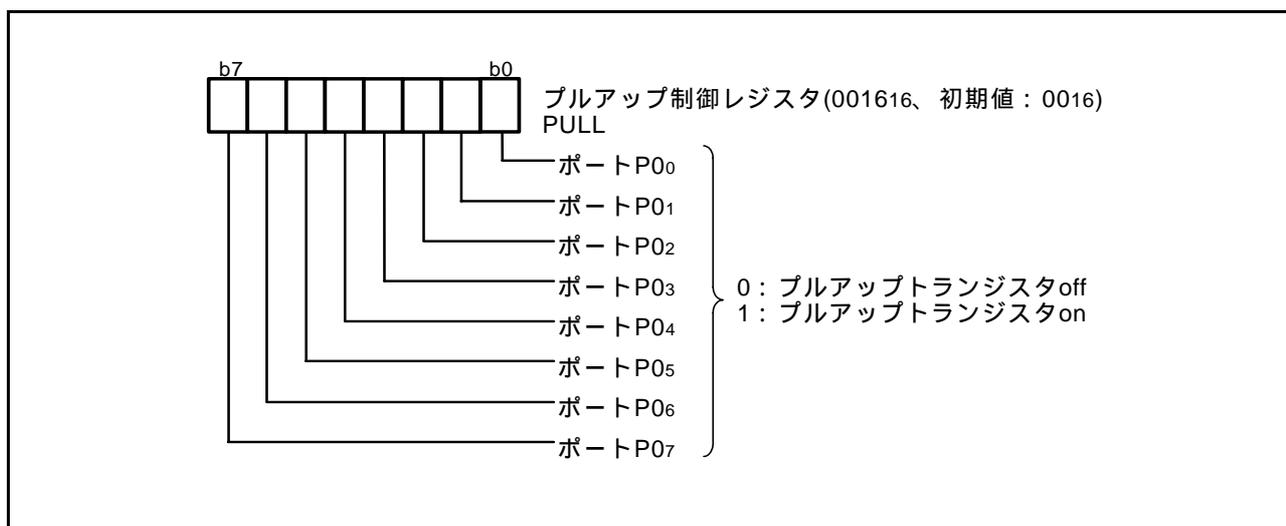


図13. ポートP0プルアップ制御レジスタの構成

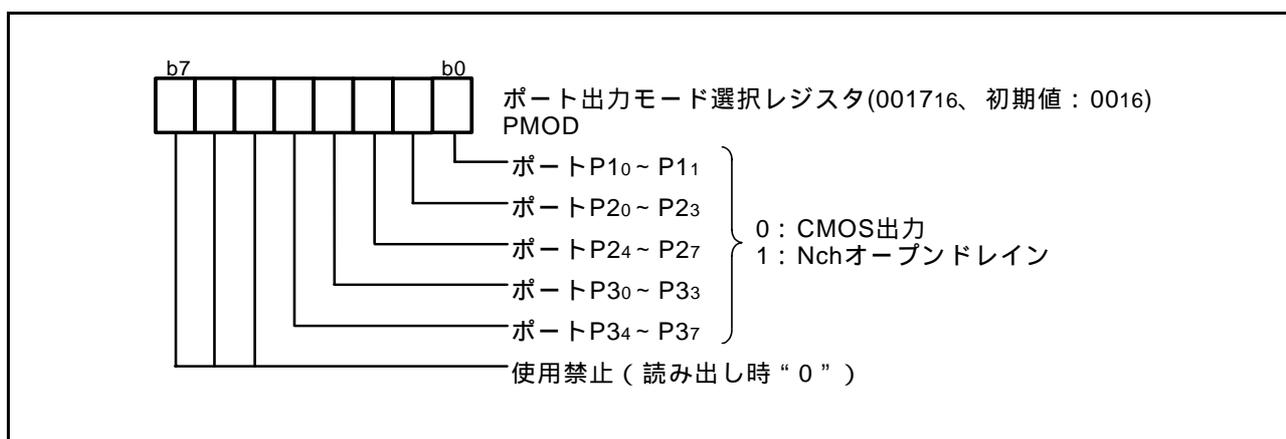


図14. ポート出力モード選択レジスタの構成

表7. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力割り込み	プルアップ制御レジスタ キーオンウェイクアップ端子選択 レジスタ キーオンウェイクアップ極性選択 レジスタ	(1)
P10 ~ P11	ポートP1			RLSS専用端子	ポート出力モード選択レジスタ	(2)
P20/INT0 P21/INT1	ポートP2		CMOS3ステート出力 またはNチャンネルオープン ドレイン	外部割り込み入力	割り込みエッジ選択レジスタ ポート出力モード選択レジスタ	(3)
P22 ~ P27					ポート出力モード選択レジスタ	(2)
P30 ~ P37	ポートP3				ポート出力モード選択レジスタ	(2)
P40、P41	ポートP4		CMOS入力レベル CMOS3ステート出力	RLSS専用端子		(4)
P42/CARR				リモコン送信用搬送 波出力	搬送波制御レジスタ	(5)

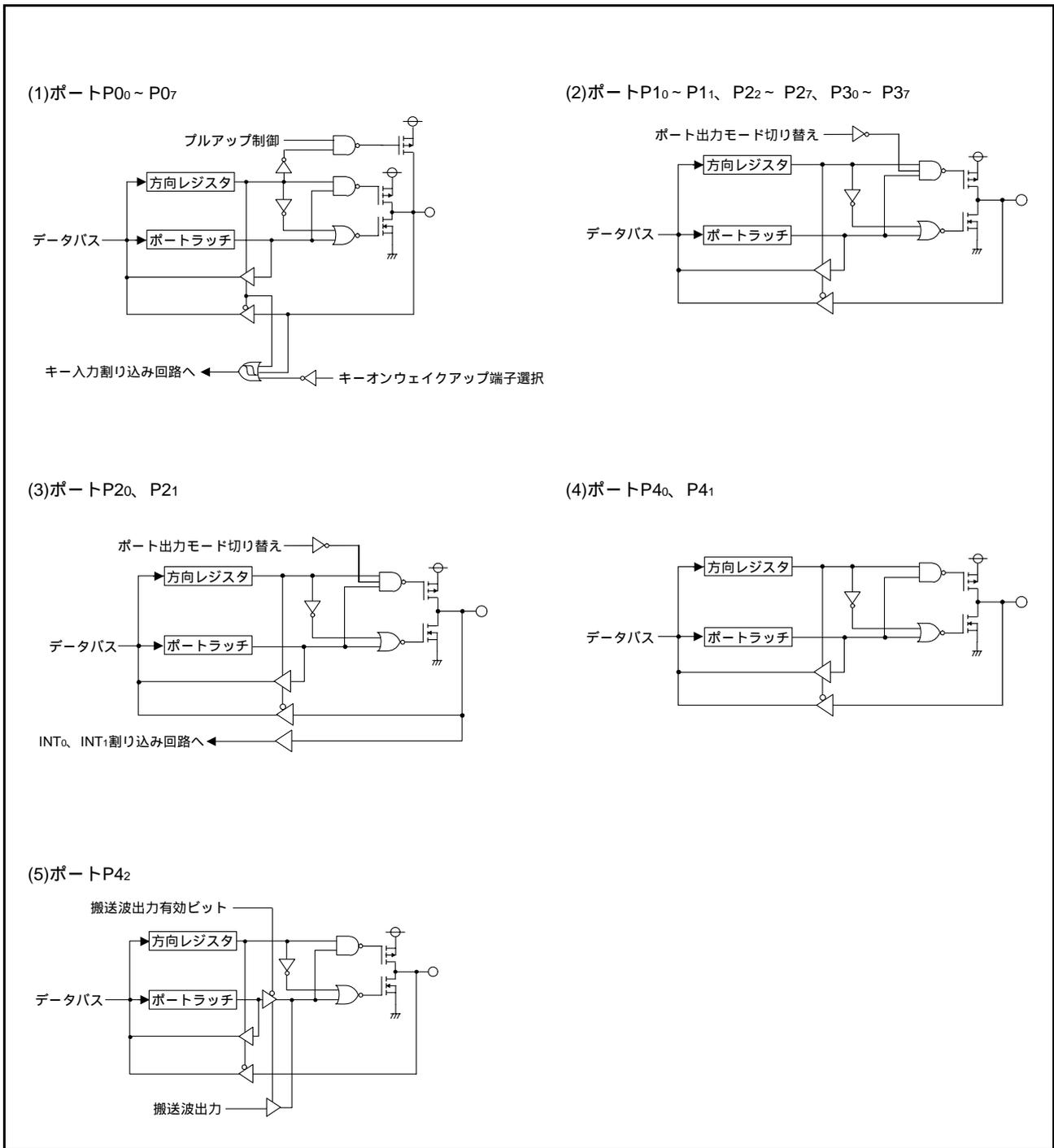


図15. ポートのブロック図

未使用端子の処理方法

- 一般的な端子の処理方法
- 入出力ポート: 入力ポート又は出力ポートを選択し、それぞれの処理方法に従ってください。
- 出力ポート: 開放にしてください。
- 入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流モード時(STP、WIT命令実行中など)に、電源電流が増大することがありますので、プルアップ又はプルダウンしてください(内蔵抵抗使用可)。
誤動作などで出力ポートとして動作した場合を想定し、IOH(avg)又はIOL(avg)を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表8. 未使用端子の処理方法

端子名	処理方法1 (推奨)	処理方法2
P00/KEY0 ~ P07/KEY7	入出力ポート	キーオンウェイクアップ機能選択時は入力ポートの処理を行ってください。
P10、P11 (RLSS専用端子)		出力形式にNチャンネルオープンドレイン選択時は開放にしてください。
P20 (LED0)/INT0		出力形式にNチャンネルオープンドレイン選択時は抵抗を介してVssに接続してください。 又はポートラッチを“0”に設定して開放にしてください。
P21 (LED1)/INT1		出力形式にNチャンネルオープンドレイン選択時は抵抗を介してVssに接続してください。 又はポートラッチを“0”に設定して開放にしてください。
P22 (LED2) ~ P27 (LED7)		出力形式にNチャンネルオープンドレイン選択時は開放にしてください。
P30 ~ P37		出力形式にNチャンネルオープンドレイン選択時は開放にしてください。
P40 (LED8) (RLSS専用端子)		-
P41 (LED9) (RLSS専用端子)		-
P42/CARR		CARR出力機能選択時は出力ポートの処理を行ってください。
VDDR		Vssに接続

割り込み

7545グループの割り込みは、固定優先度方式のベクトル割り込みで、外部3要因、内部3要因、ソフトウェア1要因の7要因から割り込みを発生することが可能です。割り込み要因とベクトル番地（注1）、割り込みの優先順位を表9に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(Iフラグ)によって割り込み要求の受付を制御できます。図16に割り込み制御図を示します。次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- 割り込み禁止フラグ..... “ 0 ”
- 割り込み要求ビット..... “ 1 ”
- 割り込み許可ビット..... “ 1 ”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表9. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFF0 ₁₆	FFF0 ₁₆	リセット時	ノンマスクابل
キーオンウェイクアップ	2	FFF1 ₁₆	FFF1 ₁₆	ポートP0(入力時)の入力論理レベルの論理積	外部割り込み
INT0	3	FFF3 ₁₆	FFF3 ₁₆	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	4	FFF5 ₁₆	FFF5 ₁₆	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマ2	5	FFF7 ₁₆	FFF7 ₁₆	タイマ2アンダフロー時	
タイマ3	6	FFF9 ₁₆	FFF9 ₁₆	タイマ3アンダフロー時	
タイマ1	7	FFF11 ₁₆	FFF11 ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
BRK命令	8	FFF13 ₁₆	FFF13 ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

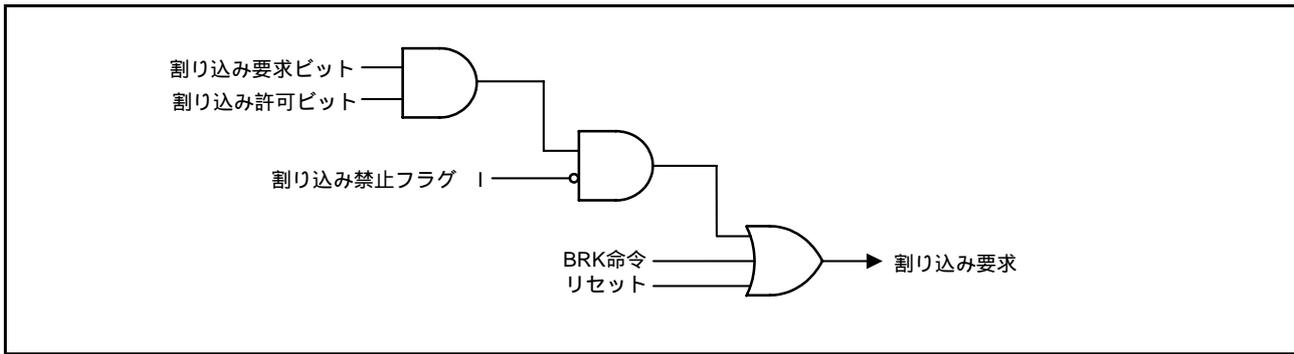


図16. 割り込み制御図

割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタをスタックに退避します。

その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。

割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

割り込みエッジ選択

外部割り込みINT₀、INT₁の有効エッジは、割り込みエッジ選択レジスタ(003A₁₆番地)によってそれぞれ選択できます。

キーオンウェイクアップ端子選択

キーオンウェイクアップ端子選択レジスタ(0018₁₆番地)を設定することにより、一端子ごとにキーオンウェイクアップ機能の有効/無効を選択することができます。

キーオンウェイクアップ極性選択

キーオンウェイクアップ極性選択レジスタ(0019₁₆番地)を設定することにより、一端子ごとにキーオンウェイクアップのトリガの極性を選択することができます。

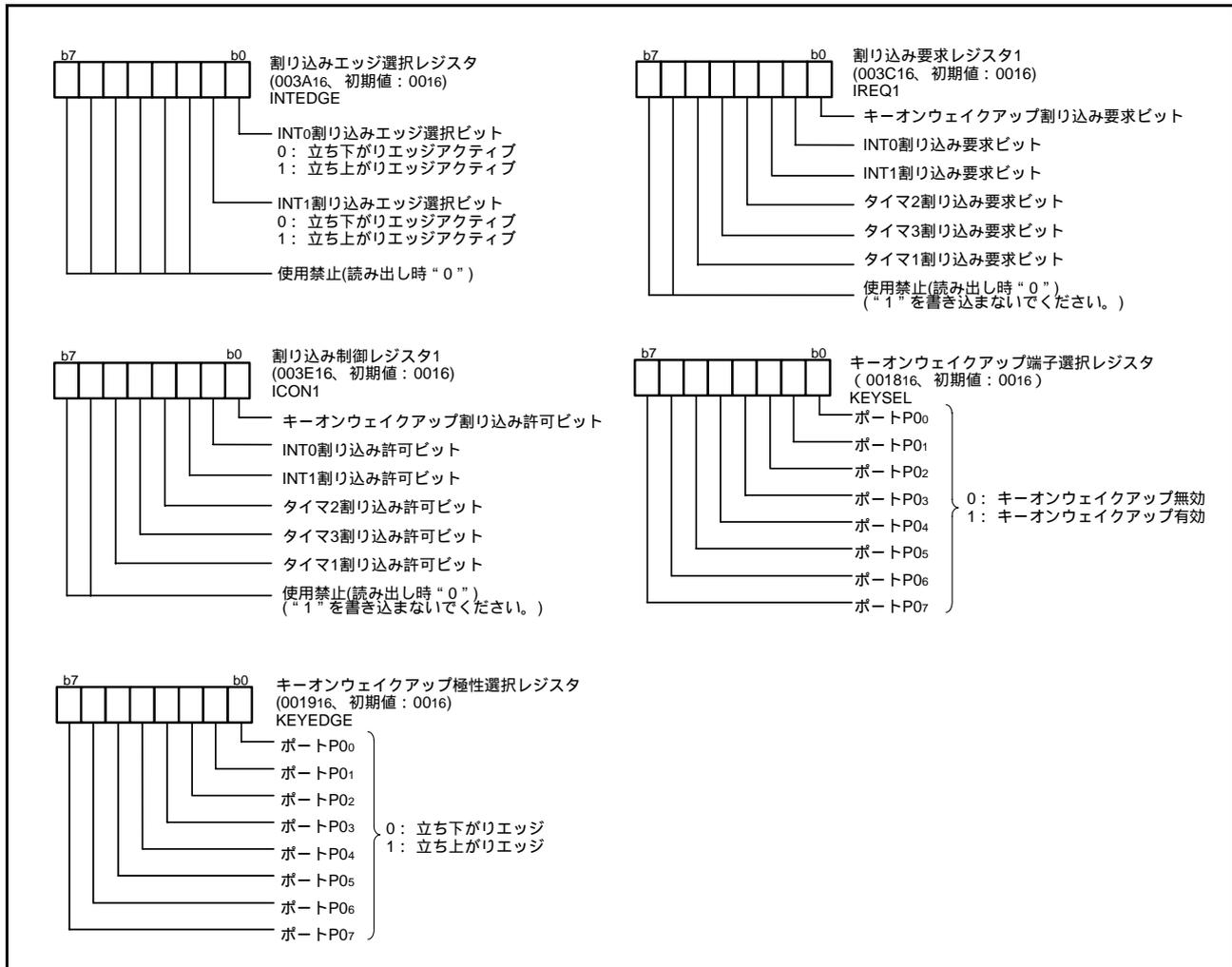


図17. 割り込み関連レジスタの構成

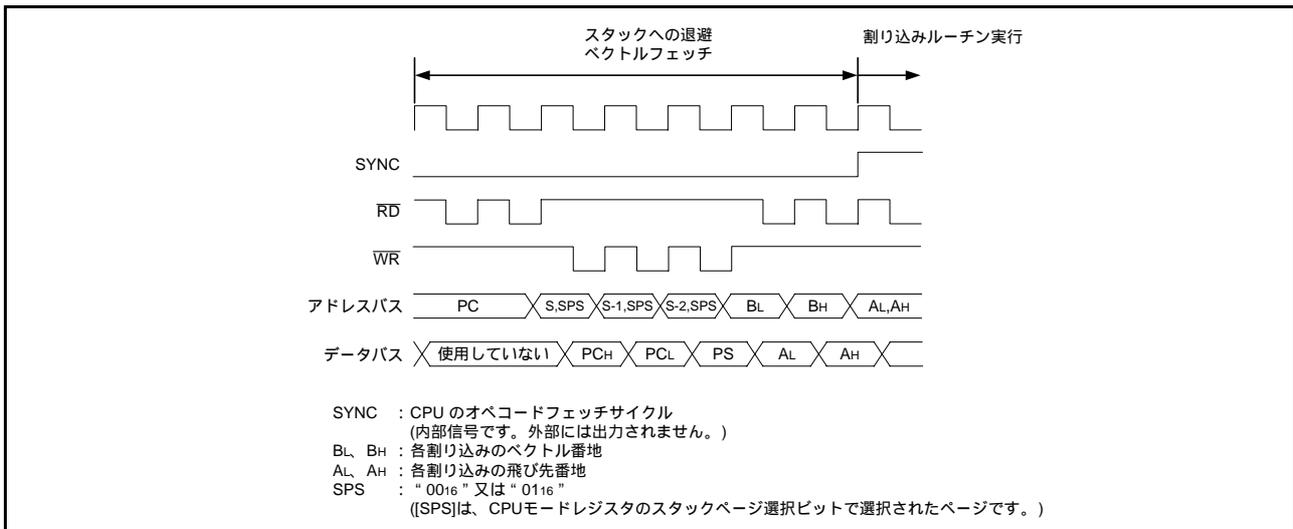


図19. 割り込みシーケンス

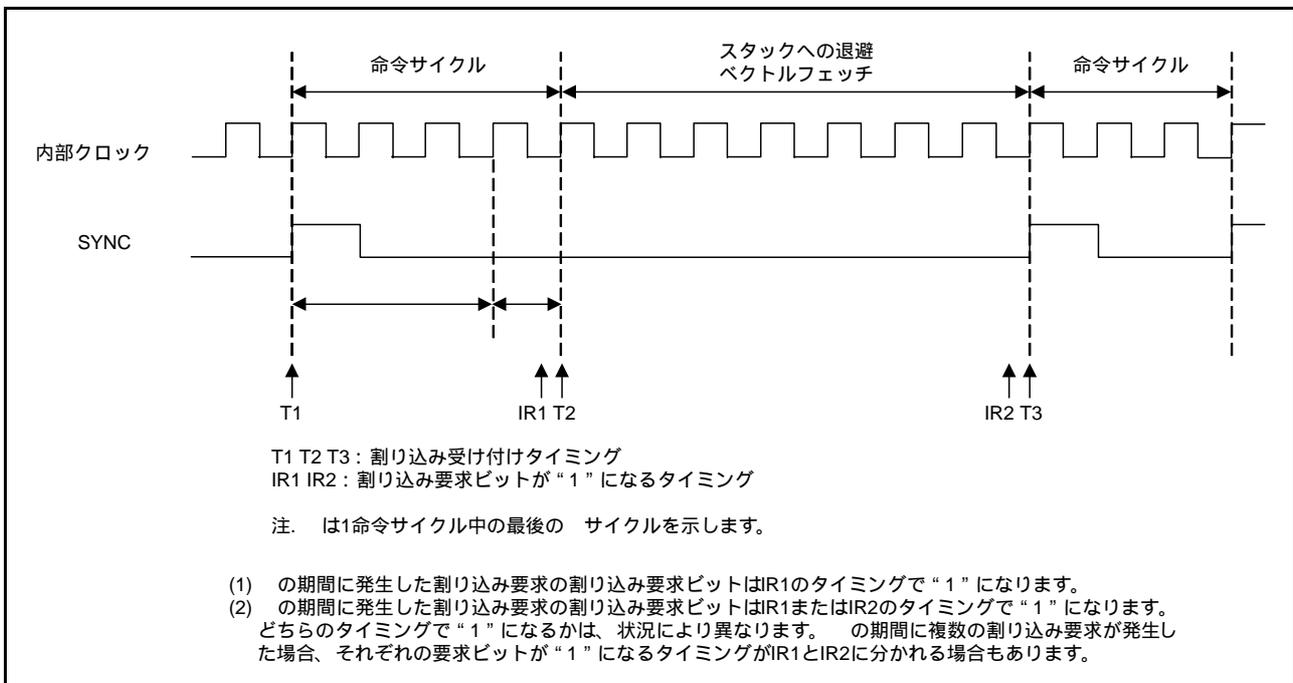


図20. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

注意事項

次の場合、割り込み要求ビットが "1" になる場合があります。

<外部割り込みのアクティブエッジを切り替えるとき>

- INT₀ 割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A₁₆番地)のビット0)
- INT₁ 割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
- キーオンウェイクアップ極性選択レジスタ(0019₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを "0" (禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを "0" にする。
- (4) 該当する割り込み許可ビットを "1" (許可)にする。

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力及びKEYSEL有効に設定されている端子のいずれかに、KEYEDGEに設定されているレベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”もしくは“0”から“1”

になると、割り込み要求が発生します。図21はキー入力割り込みを用いた一例で、ポートP00～P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

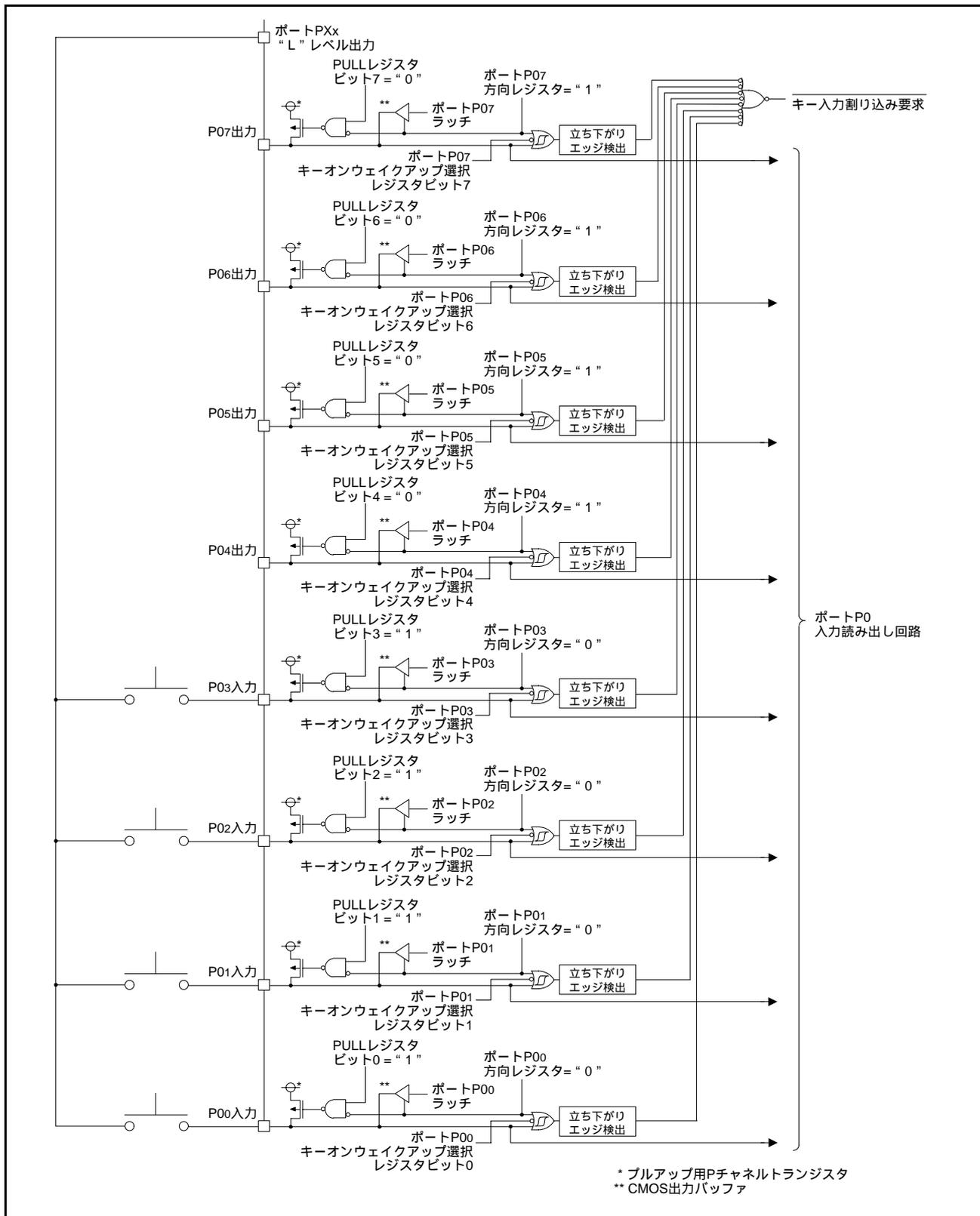


図21. キー入力割り込み使用時の結線例とポートP0のブロック図

タイマ

タイマは、タイマ1、タイマ2、タイマ3の3本あります。すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容を n とすると、 $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。また、タイマがアンダフローすると、各タイマに対する割り込み要求ビットが“1”にセットされます。

タイマ1

タイマ1は8ビットタイマで、プリスケアラ1の出力をカウントし、タイマ1のアンダフローによって、タイマ1割り込み要求ビットをセットします。

プリスケアラ1は8ビットのプリスケアラで、 $f(XIN)$ を16分周したクロックをカウントします。

プリスケアラ1及びタイマ1には、それぞれのリロード値を保持するためのプリスケアラ1ラッチ及びタイマ1ラッチが配置されています。プリスケアラ1ラッチの値は、プリスケアラ1がアンダフローした時にプリスケアラ1に転送されます。タイマ1ラッチの値は、タイマ1がアンダフローした時にタイマ1に転送されます。

プリスケアラ1(PRE1)に書き込みを行うと、プリスケアラ1ラッチとプリスケアラ1の両方に値が書き込まれます。タイマ1(T1)に書き込みを行うと、タイマ1ラッチとタイマ1の両方に値が書き込まれます。プリスケアラ1(PRE1)又はタイマ1(T1)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマ1は常にタイマモードで動作します。

プリスケアラ1は $f(XIN)$ を16分周したクロックをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラ1の内容が“0016”になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値を n とすると $1/(n+1)$ となります。

タイマ1はプリスケアラ1のアンダフロー信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。タイマ1の内容が“0016”になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。タイマ1の分周比は、タイマ1の設定値を m とすると $1/(m+1)$ となります。

タイマ1は、タイマ1カウント停止ビットに“1”を書き込むことによって停止します。

タイマ2

タイマ2は8ビットタイマで、タイマ2カウントソース選択ビットにより選択されたクロックをカウントし、タイマのアンダフローによってタイマ2割り込み要求ビットをセットします。

タイマ2には、リロード値を保持するためのタイマラッチが2個(プライマリラッチ及びセカンダリラッチ)配置されています。

タイマ2の停止中にタイマ2プライマリ(T2P)に書き込みを行うと、書き込まれた値はタイマ2プライマリラッチとカウンタに転送されます。タイマ2の停止中にタイマ2セカンダリ(T2S)に書き込みを行うと、書き込まれた値はタイマ2セカンダリラッチのみに転送されます。

タイマ2のカウントを開始後、タイマ2プライマリ(T2P)、タイマ2セカンダリ(T2S)に書き込みを行うと、書き込まれた値はそれぞれのラッチのみに転送されます。書き込み時にはカウンタへの転送は行いません。

タイマ2プライマリラッチ、タイマ2セカンダリラッチの値は、それぞれのタイマがアンダフローした時に交互にカウンタに転送されます。(タイマのカウント値は保持されますので、書き込まれた値は次のアンダフローからタイマのカウント値に反映されます。)

タイマ2プライマリ(T2P)を読み出すと、タイマのカウント値が読み出されます。タイマ2セカンダリ(T2S)を読み出すと、タイマ2セカンダリの設定値が読み出されます。(タイマ2セカンダリのカウント期間でも、カウント値の読み出しはタイマ2プライマリを読み出してください。)タイマ2を停止後、タイマ2プライマリ(T2P)に書き込みを行うまでの間はカウント値は保持されますので、タイマ2プライマリを読み出すとタイマ2のカウント値が読み出されず。

タイマ2は常にタイマモードで動作します。

タイマ2は、タイマ2カウントソース選択ビットで選択されたクロックをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。タイマ2の内容が“0016”になった次のカウントクロックでアンダフローし、タイマ2プライマリラッチ又はタイマ2セカンダリラッチの値を交互にタイマ2に転送してカウントを続けます。

タイマ2は、タイマ2カウント停止ビットに“1”を書き込むことによって停止します。

タイマ3

タイマ3は8ビットタイマで、タイマ3カウントソース選択ビットで選択されたクロックをカウントし、タイマのアンダフローによってタイマ3割り込み要求ビットをセットします。

タイマ3にはリロード値を保持するためのタイマラッチが配置されています。

タイマ3の停止中にタイマ3 (T3) に書き込みを行うと、書き込まれた値はタイマラッチとカウンタに転送されます。

タイマ3のカウントを開始後、タイマ3 (T3) に書き込みを行うと、書き込まれた値はタイマ3ラッチのみに転送されます。書き込み時にはカウンタへの転送は行いません。

タイマ3ラッチの値は、タイマがアンダフローした時にカウンタに転送されます。(タイマのカウント値は保持されますので、書き込まれた値は次のアンダフローからタイマのカウント値に反映されます。)

タイマ3 (T3) を読み出すと、タイマのカウント値が読み出されます。タイマ3を停止した後、タイマ3 (T3) に書き込みを行うまでの間はカウント値は保持されますので、タイマ3 (T3) を読み出すとタイマ3のカウント値が読み出されます。

タイマ3は常にタイマモードで動作します。

タイマ3は、タイマ3カウントソース選択ビットで選択されたクロックをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。タイマ3の分周比は、タイマ3の設定値をnとすると $1/(n+1)$ となります。

タイマ3は、タイマ3カウント停止ビットに“1”を書き込むことによって停止します。

タイマ2及びタイマ3は、搬送波制御回路の制御タイマとして使用します。

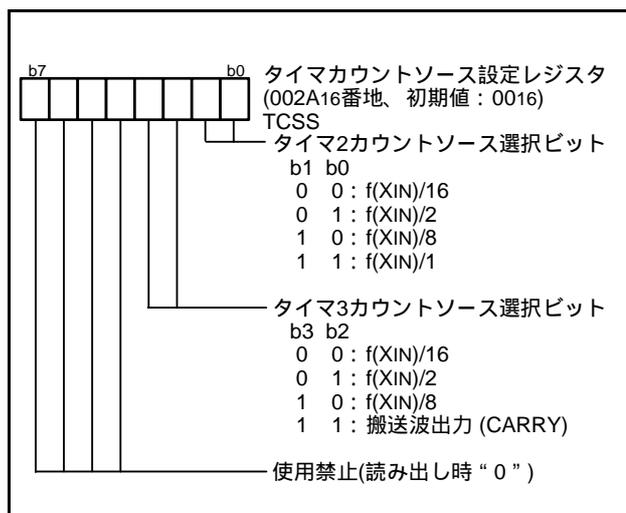


図22. タイマカウントソース設定レジスタの構成

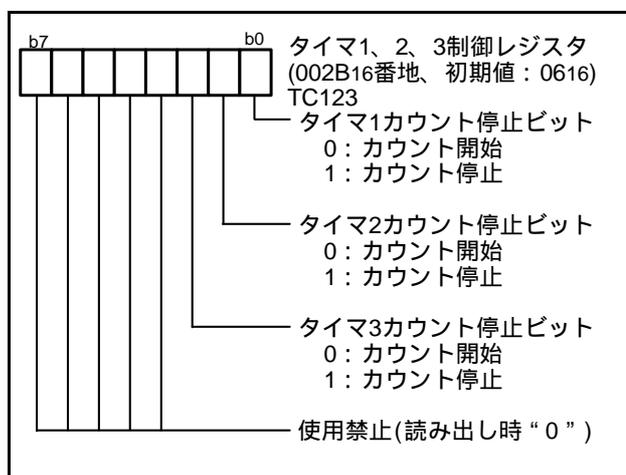


図23. タイマ1、2、3制御レジスタの構成

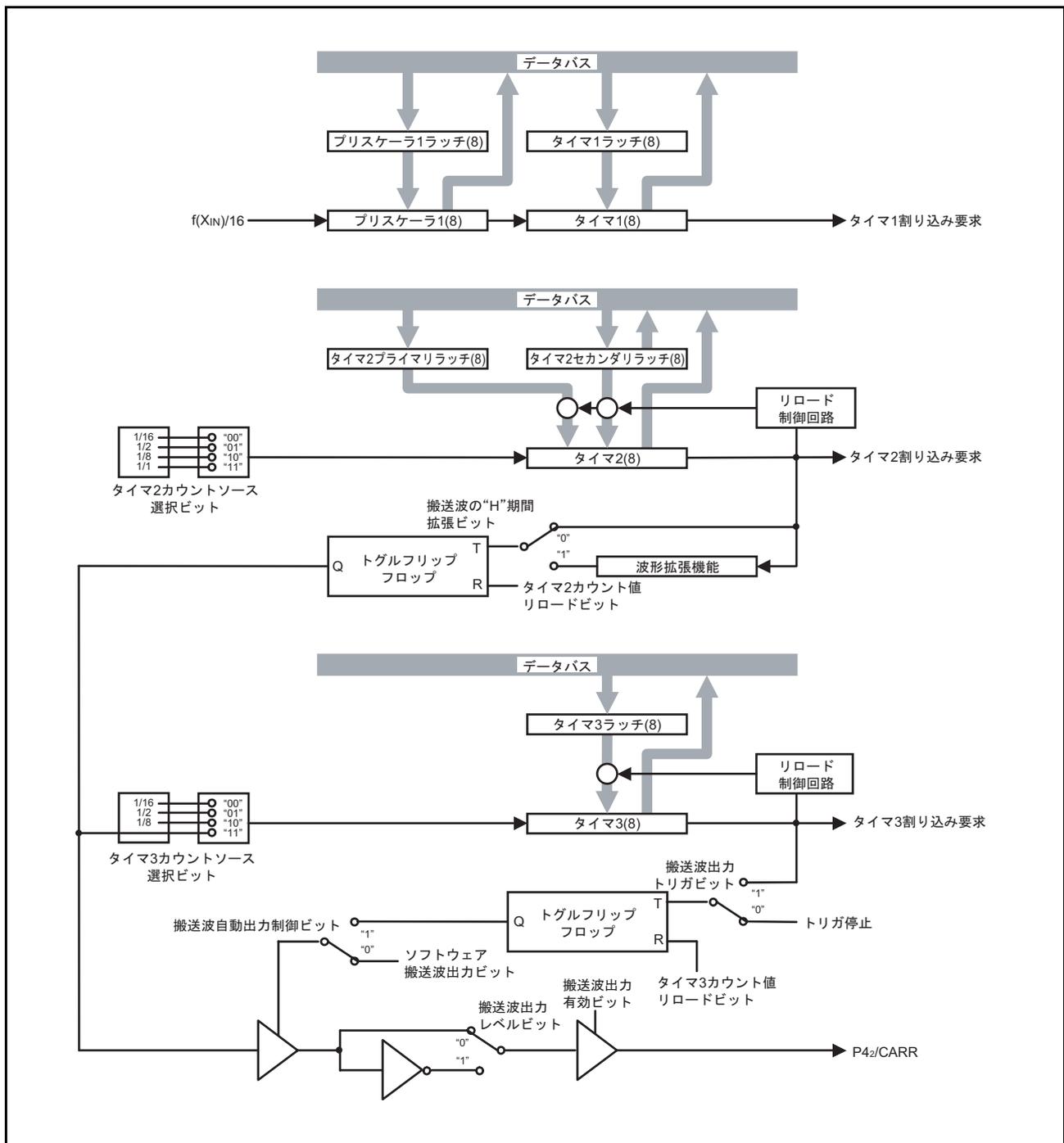


図24. タイマ1、2、3、搬送波発生回路のブロック図

搬送波発生回路

搬送波発生回路は、タイマ2及びタイマ3を使用することでリモコン制御波形を発生します(図26)。

タイマ2による搬送波発生機能を使用する場合は、搬送波出力有効ビット(搬送波制御レジスタ(2716番地)のビット1)を“1”にしてください。

搬送波の“H”期間はタイマ2プライマリに設定し、搬送波の“L”期間はタイマ2セカンダリに設定します。タイマ2はプライマリラッチとセカンダリラッチを交互にカウントし、搬送波の“H”期間と“L”期間を制御します(図27)。

また、搬送波“H”期間拡張ビット(ビット0)に“1”を設定すると、搬送波波形の“H”期間をタイマ2カウントソースの半クロック分拡張することが可能です(図28)。したがって、搬送波の周波数はタイマ2カウントソースの1/2の分解能で設定可能です。例えばタイマ2カウントソースに $f(XIN)/1$ を選択すると、 $f(XIN)=4\text{MHz}$ 時に最大で125nsの分解能の搬送波波形を発生することが可能です。

搬送波波形を初期化する場合は、タイマ2のカウントを停止した後、タイマ2プライマリに書き込みを行い、タイマ2のカウントを開始してください。搬送波波形はプライマリ期間から出力を開始します。

搬送波波形の出力/停止は、ソフトウェア又はタイマ3で制御することが可能です(図31、図32)。ソフトウェア搬送波出力ビット(ビット2)に“1”を書き込むとP42/CARR端子から搬送波出力を開始し、“0”を書き込むと搬送波出力が停止します。

搬送波自動出力制御ビット(ビット3)に“1”を書き込むと、タイマ3を使用した搬送波の自動出力が可能です(図29)。タイマ3のアンダフローが発生するごとに、搬送波出力をオン/オフするトリガ信号が発生されます。搬送波出力トリガビット(ビット4)に“1”を書き込むと、タイマ3からのトリガが有効となり、P42/CARR端子からの出力波形は、タイマ3のアンダフローごとに搬送波の出力/停止を繰り返します。タイマ3による搬送波の出力制御中に搬送波自動出力制御ビット(ビット3)に“0”を書き込んだ場合は、その時の搬送波の出力/停止状態を維持しますが、タイマ3は停止せずにカウントを続けます。

搬送波波形の出力/停止制御を初期化する場合は、タイマ3のカウントを停止した後、タイマ3に書き込みを行い、タイマ3のカウントを開始してください。搬送波波形は“波形出力有効”期間から出力を開始します。

455kHz搬送波発生モード

455kHz搬送波発生モードは、タイマ設定値や波形拡張モードの有無を自動的に制御することによって455kHzの搬送波を擬似的に発生するモードです。

455kHz搬送波発生モードビット(ビット5)に“1”(有効)を設定すると、タイマラッチの値と搬送波の“H”期間拡張ビット(ビット0)の値が自動的に設定され、図30に示すように波長 $=2.250\mu\text{s}$ の波形が9波形、波長 $=2.125\mu\text{s}$ の波形が7波形となる波形を周期的に発生します。一周期中の平均波長は $2.195\mu\text{s}$ となりますので、擬似的に455.516kHzの搬送波を発生することが可能です。

455kHz搬送波発生モードを使用する場合は、4MHzの発振子を使用し、タイマ2のカウントソースには $f(XIN)/1$ を選択してください。

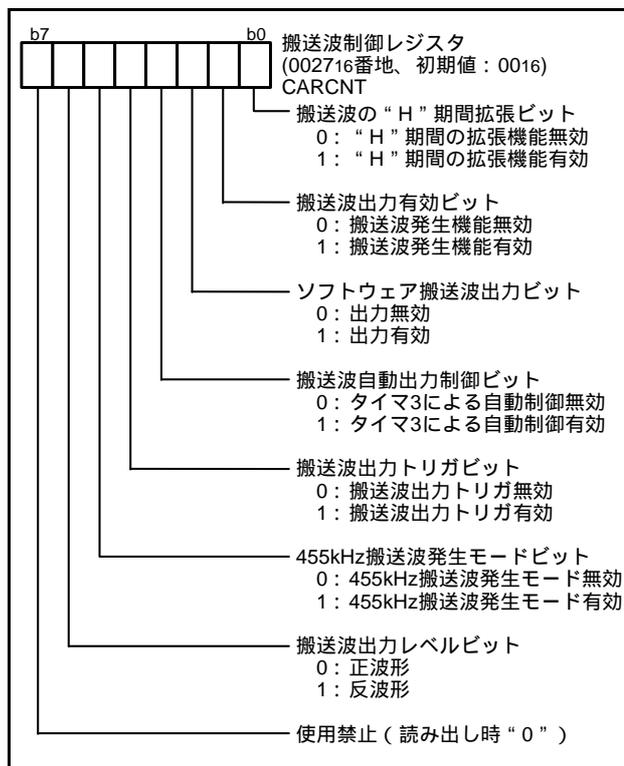


図25. 搬送波制御レジスタの構成

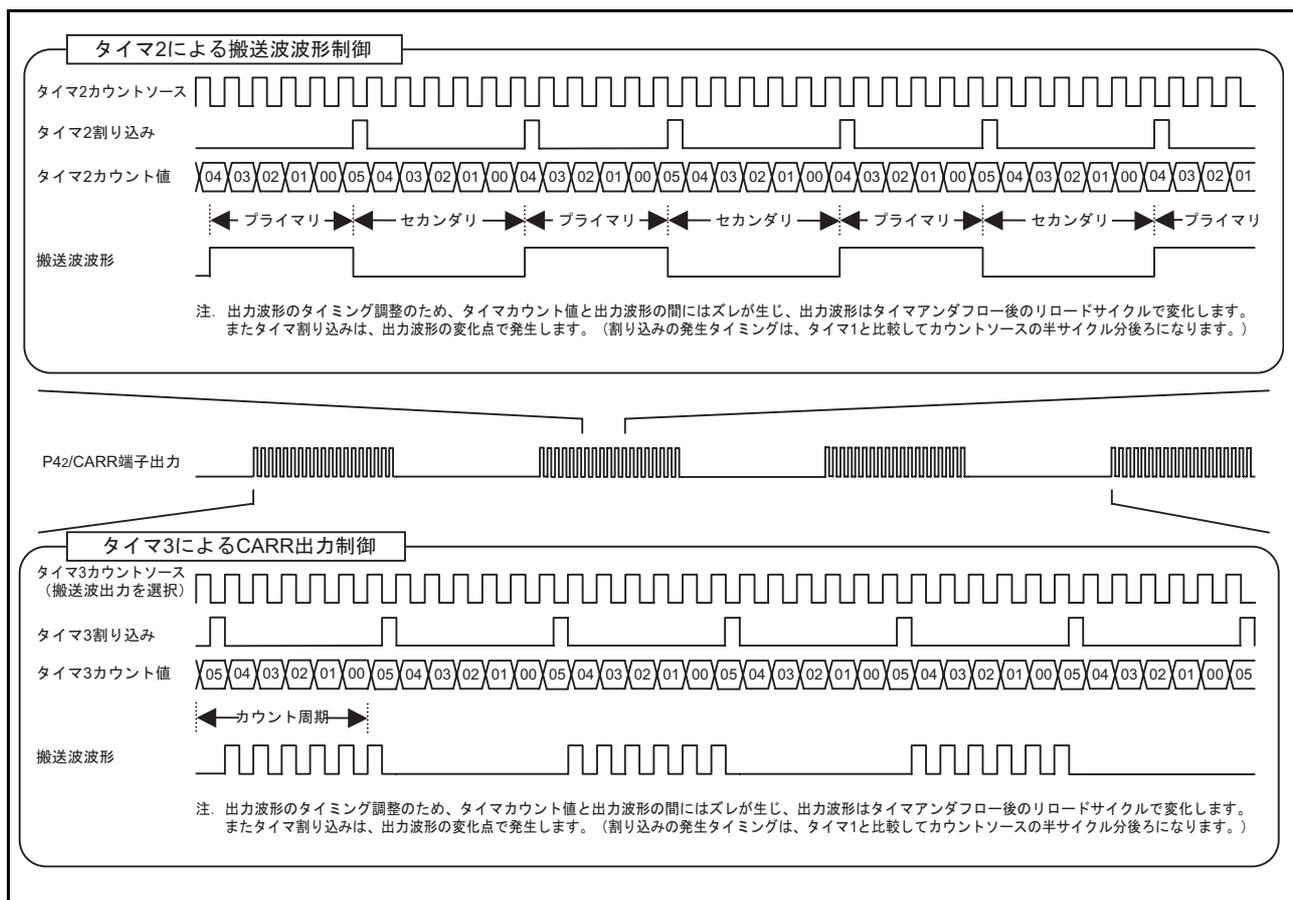


図26. 搬送波発生回路の動作波形図

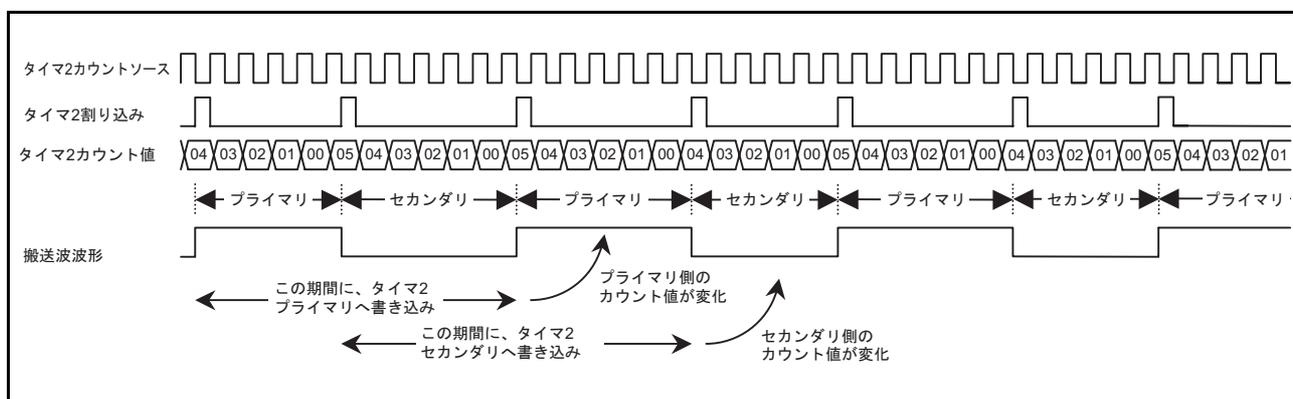


図27. タイマ2による搬送波の制御波形図

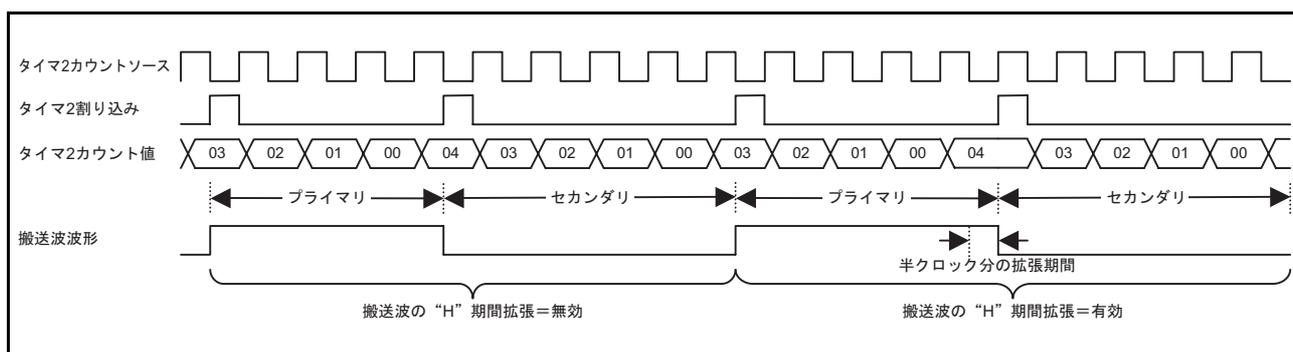


図28. 搬送波の“H”期間拡張モードの波形図

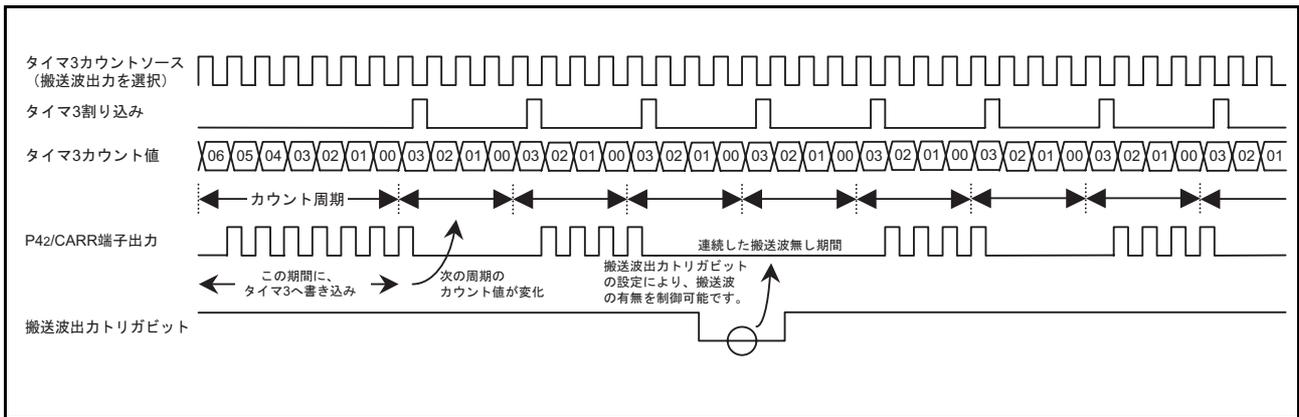


図29. タイマ3によるCARR出力制御波形図

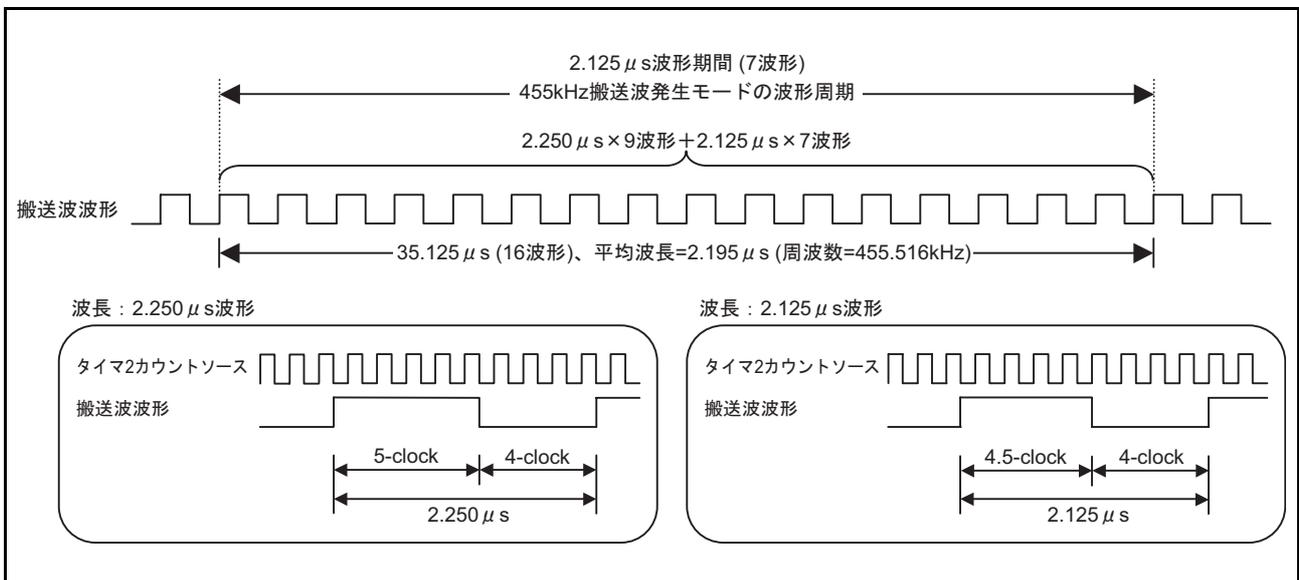


図30. 455kHz搬送波発生モードの波形図

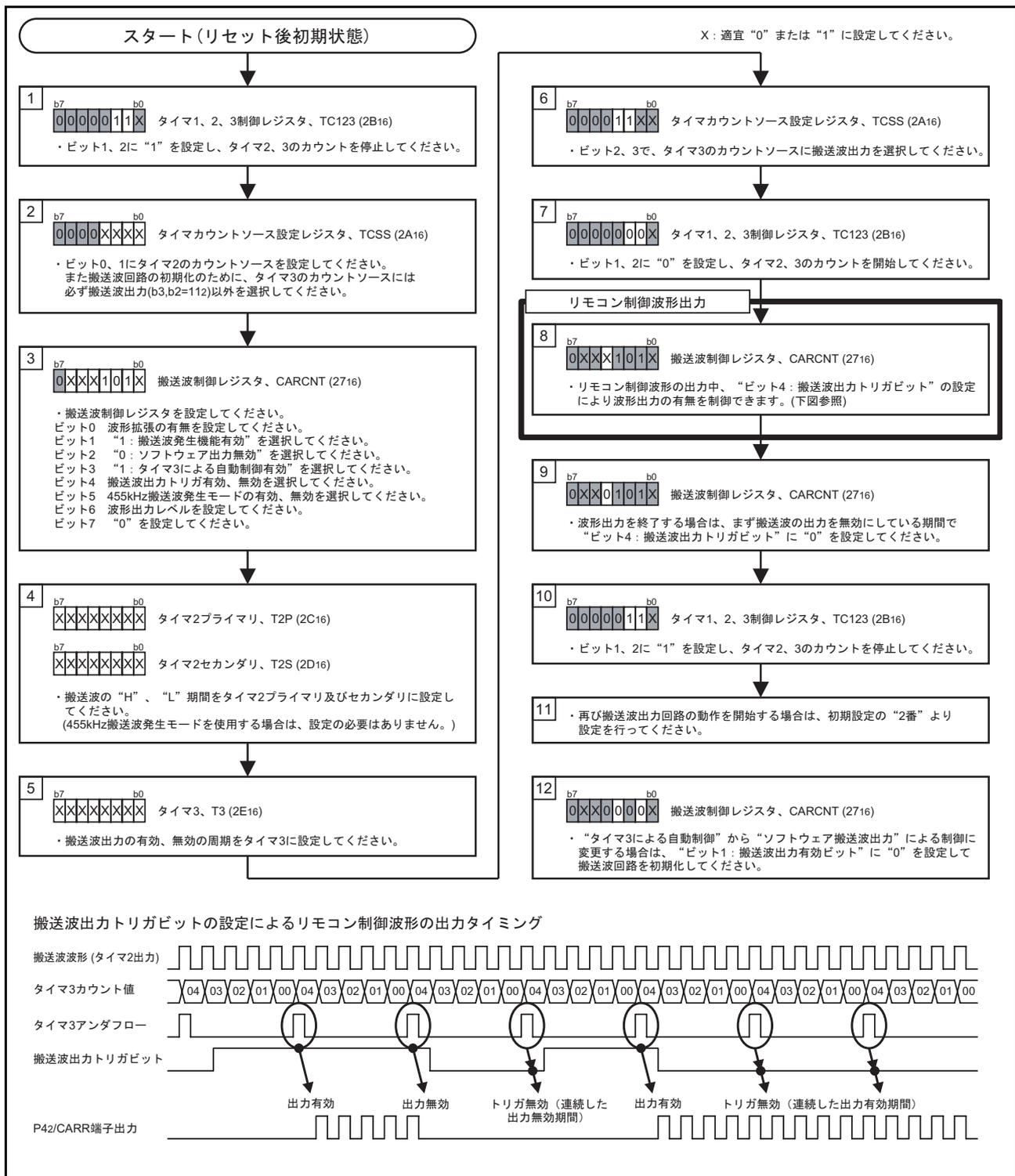


図31. タイマ3による搬送波自動制御の設定

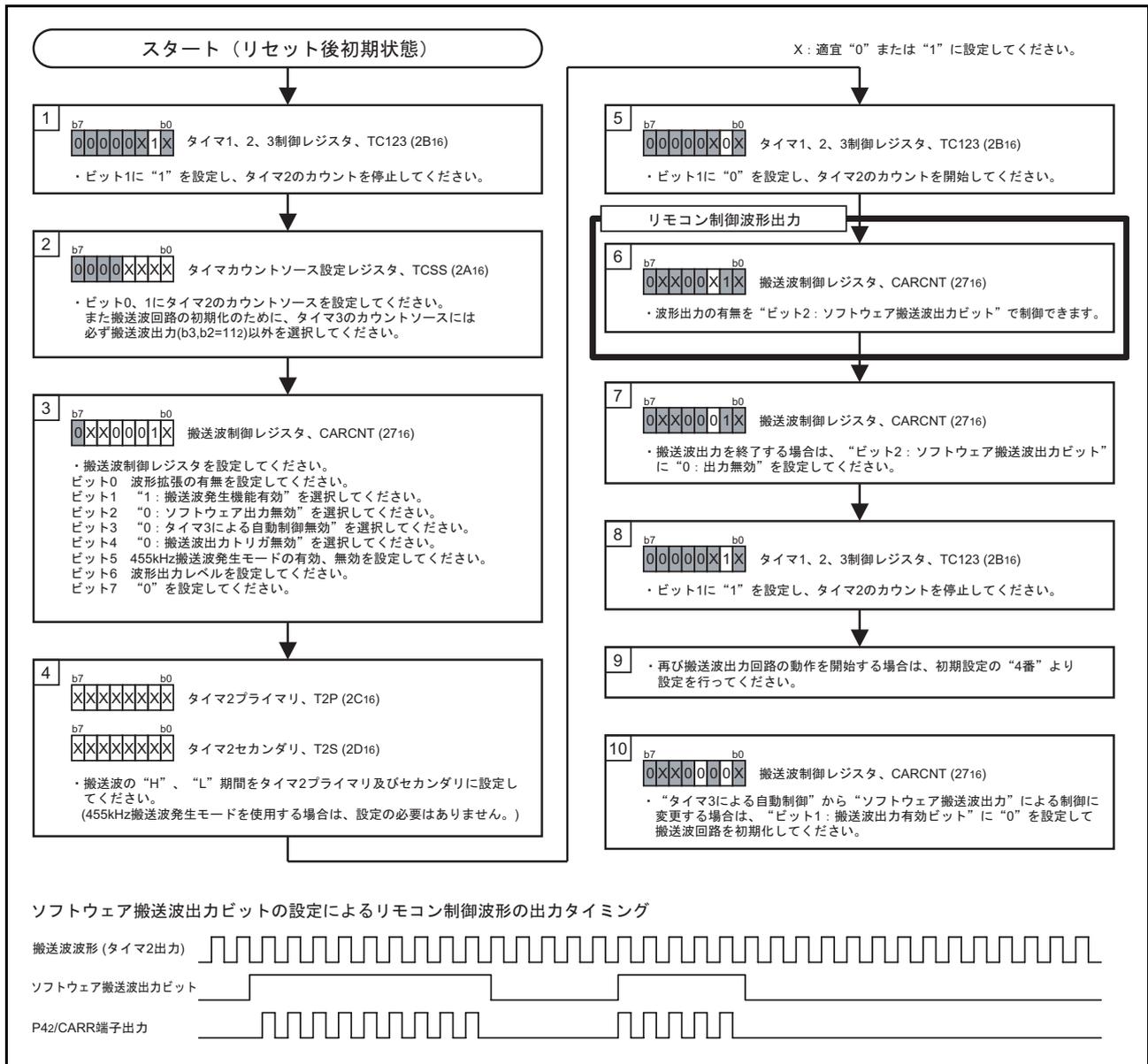


図32. ソフトウェアによる搬送波制御の設定

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

ウォッチドッグタイマの基本動作

内蔵QzROMの機能設定ROMデータ(FFDA₁₆番地)のビット0に“0”を設定すると、ウォッチドッグタイマが有効となります。マイコンのリセット解除後、タイマ1による発振安定待ち時間の後、内部クロックの供給が始まると、ウォッチドッグタイマが動作を開始し、ウォッチドッグタイマHのアンダフローによって、内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(39₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1) ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(39₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

(2) ウォッチドッグタイマH カウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=4\text{MHz}$ 時262.144msになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の16分周信号となります。

この場合の検出時間は $f(XIN)=4\text{MHz}$ 時1024 μs になります。

このビットはリセット後“0”になります。

(3) STP命令機能選択ビット

STP命令の機能は、FSROMのビット1により選択できます。

このビットは、命令の実行による書き換えはできません。

- このビットが“0”の場合、STP命令を実行すると内部でリセットが発生します。
- このビットが“1”の場合、STP命令を実行すると、ストップモードへ移行します。

発振安定待ち時間生成機能

本製品では、マイコンのリセット解除後は発振子の安定待ち時間を生成するために、タイマ1には“03₁₆”、プリスケラ1には“FF₁₆”が設定されます。

リセット解除後、内部クロックはタイマ1がアンダフローするまでの間は“H”のまま、タイマ1がアンダフローしてはじめて内部クロックが供給されます。したがって、マイコンのリセット解除から内部クロックが動作を開始するまでの間、 $f(XIN)$ の16384パルス分の待ち時間を生成します。

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、STP命令解除後の発振安定時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマHカウントソース選択ビット(ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7)に“0”を設定してください。

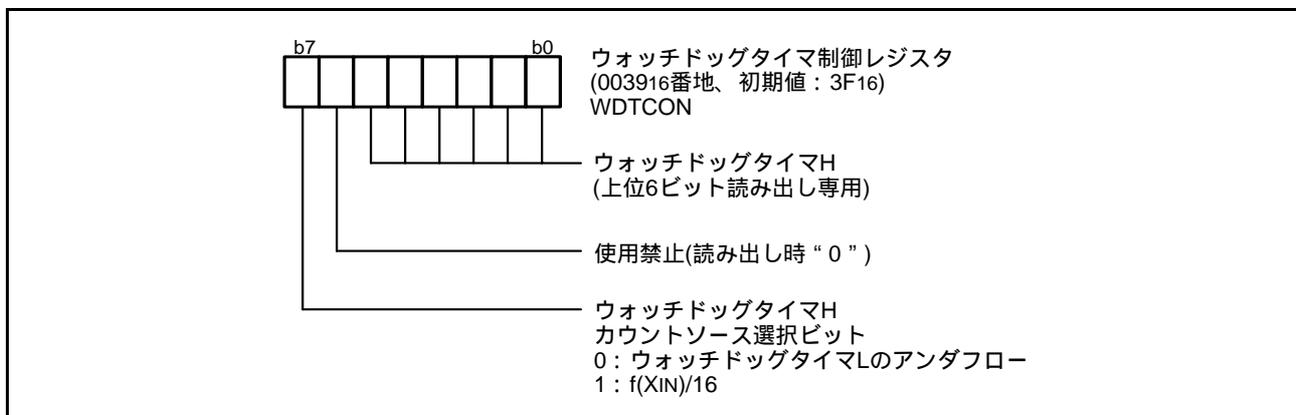


図33. ウォッチドッグタイマ制御レジスタの構成

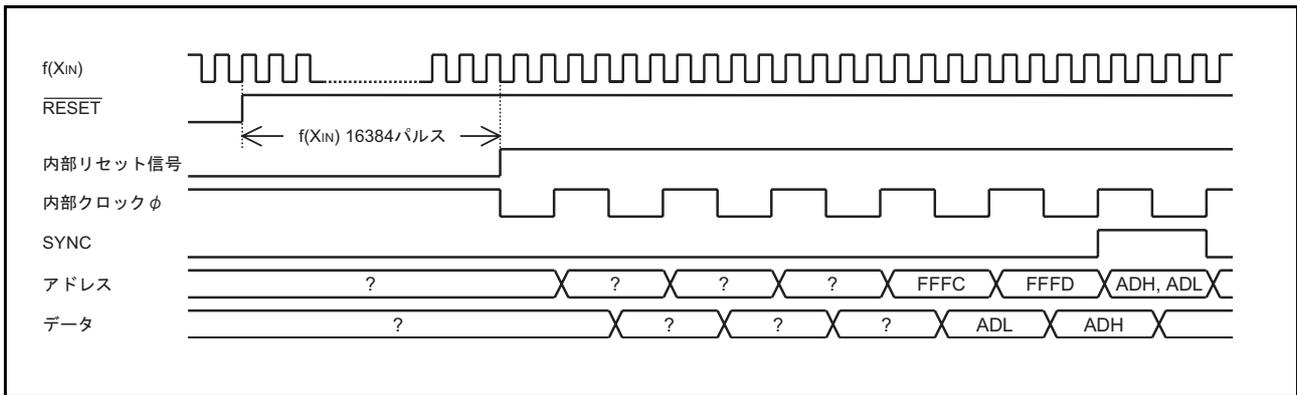


図34. リセット時のタイミング

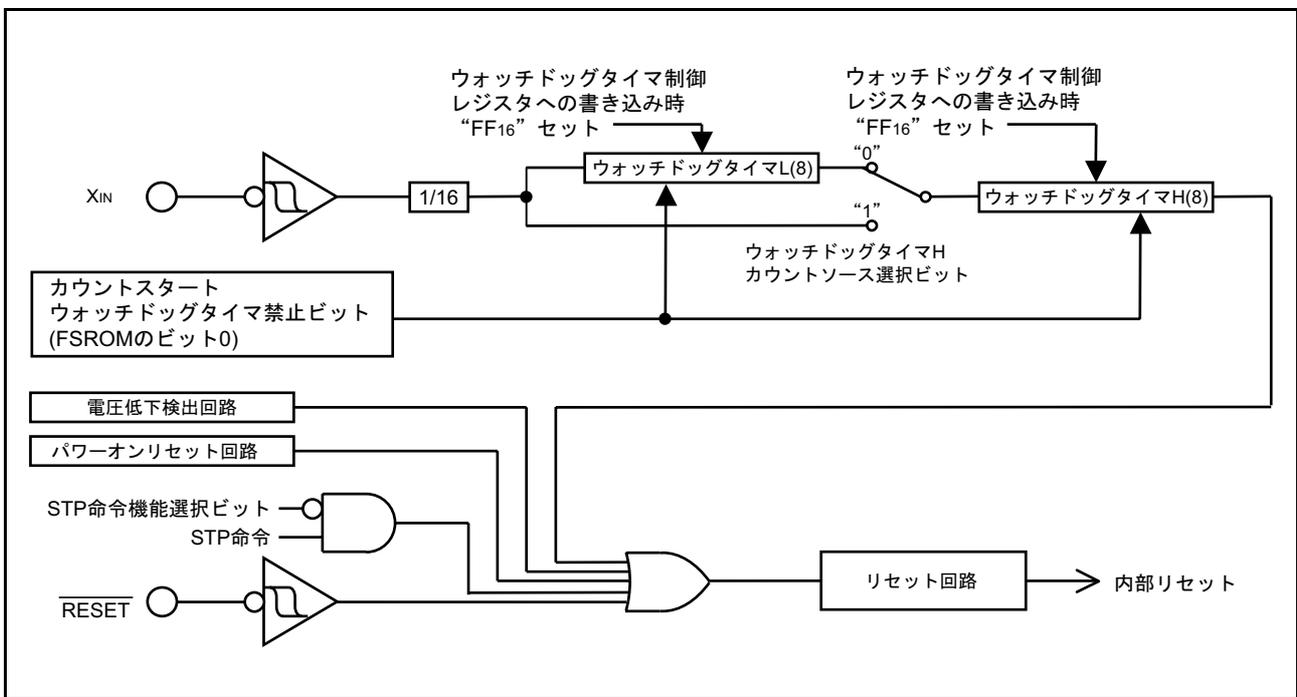


図35. ウォッチドッグタイマ、リセット回路のブロック図

パワーオンリセット回路

本製品では内蔵のパワーオンリセット回路により、電源投入時には自動的にシステムリセット（パワーオンリセット）を実行します。内蔵パワーオンリセット回路を有効に動作させるために、電源投入時の $V_{CC}=0 \sim 1.8V$ の立ち上がり時間は1ms以下に設定してください。

電圧低下検出回路

本製品は、動作中の電源電圧を監視し、一定値以下(Typ: 1.75V)になると、マイコンをシステムリセットする電圧低下検出回路を内蔵しています。なおSTP命令の実行時には、電圧低下検出回路は機能を停止して消費電流を低減します。

内蔵QzROMの機能設定ROMデータ(FFDA16番地)のビット4に“0”を設定することで、電圧低下検出回路の動作を禁止することができます。

注. エミュレータ専用MCU版:M37545RLSSには電圧低下検出回路はありません。

RESETOUT出力

パワーオンリセット、電圧低下検出回路、又はウォッチドッグタイマによるリセットが発生すると、RESET端子から“L”信号を出力するRESETOUT機能を内蔵しています。またRESET端子には内蔵プルアップトランジスタが接続されています。

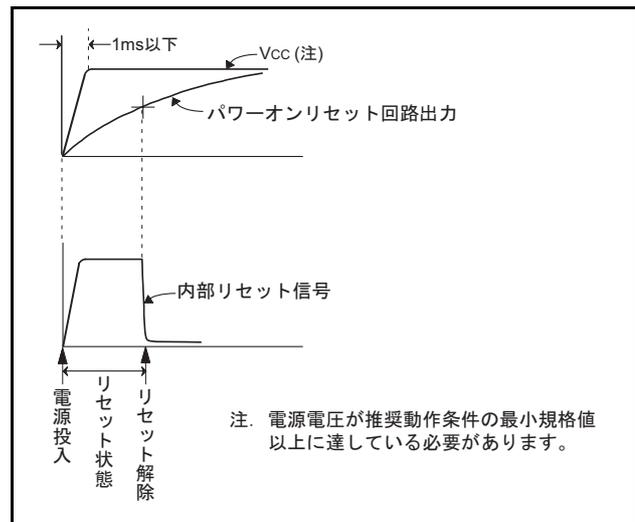


図36. パワーオンリセット回路動作波形図

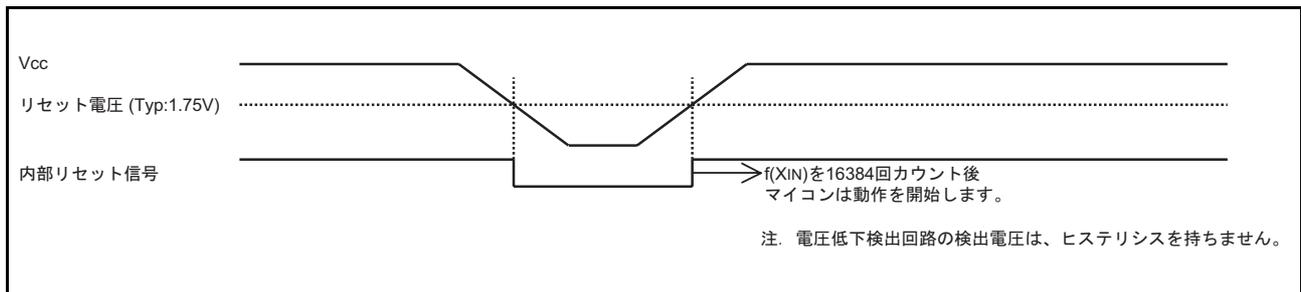


図37. 電圧低下検出回路の動作波形図

電圧低下検出回路に関する注意事項

本製品の電圧低下検出回路の検出電圧は、マイコンの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイコンの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧が V_{DET} 以下に低下せず、リセットが発生しないまま再上昇し、マイコンが暴走状態となる場合があります。

このような場合は、電源電圧を一旦 V_{DET} 以下まで低下させ、その後再上昇するようなシステム設計をしてください。

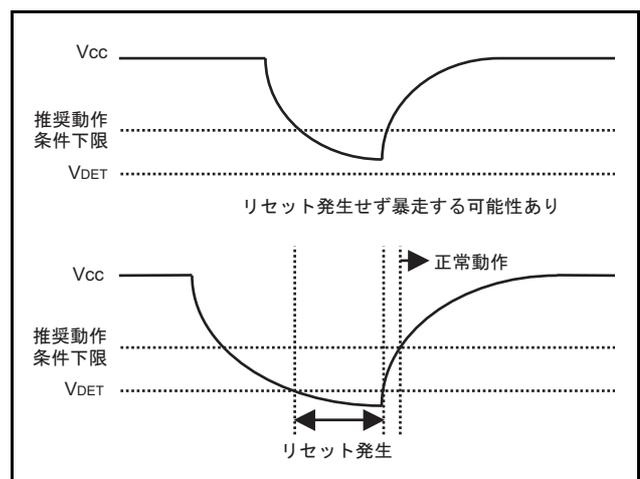


図38. V_{CC} と V_{DET}

MISRG

本製品は、電源端子として、VCC端子とRAM2の専用電源VDDR端子を備えています。VCC端子とVDDR端子の電位に差がある場合、RAM2の書き込みや読み出しが正常に行われない場合があります。したがって、電源投入時等、VCC端子とVDDR端子に電位差がある場合はMISRGレジスタ(0038₁₆番地)のビット1:RAM2ステータスフラグを確認後、RAM2への書き込み/読み出し動作を行ってください。

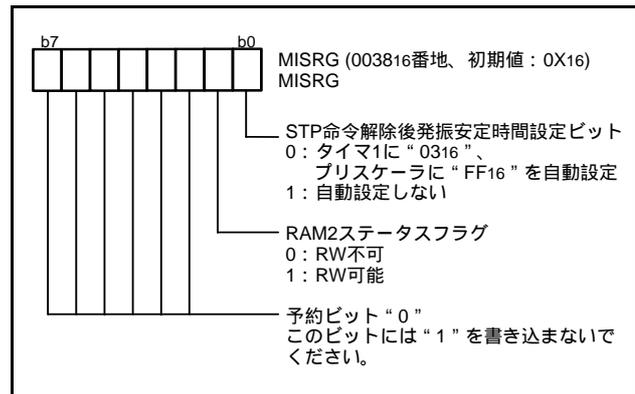


図39. MISRGの構成

	番地	レジスタの内容
(1) ポートP0方向レジスタ (P0D)	0001 ₁₆	0016
(2) ポートP1方向レジスタ (P1D)	0003 ₁₆	X X X X X X 0 0
(3) ポートP2方向レジスタ (P2D)	0005 ₁₆	0016
(4) ポートP3方向レジスタ (P3D)	0007 ₁₆	0016
(5) ポートP4方向レジスタ (P4D)	0009 ₁₆	X X X X X 0 0 0
(6) プルアップ制御レジスタ (PULL)	0016 ₁₆	0016
(7) ポート出力モード切り替えレジスタ (PMOD)	0017 ₁₆	0016
(8) キーオンウェイクアップ端子選択レジスタ (KEYSEL)	0018 ₁₆	0016
(9) キーオンウェイクアップ極性選択レジスタ (KEYEDGE)	0019 ₁₆	0016
(10) 搬送波制御レジスタ (CARCNT)	0027 ₁₆	0016
(11) プリスケラ1 (PRE1)	0028 ₁₆	FF16
(12) タイマ1 (T1)	0029 ₁₆	0316
(13) タイマカウントソース設定レジスタ (TCSS)	002A ₁₆	0016
(14) タイマ1、2、3制御レジスタ (TC123)	002B ₁₆	0616
(15) タイマ2プライマリ (T2P)	002C ₁₆	FF16
(16) タイマ2セカンダリ (T2S)	002D ₁₆	FF16
(17) タイマ3 (T3)	002E ₁₆	FF16
(18) MISRG (MISRG)	0038 ₁₆	0 0 0 0 0 0 X 0
(19) ウォッチドッグタイマ制御レジスタ (WDTCON)	0039 ₁₆	0 0 1 1 1 1 1 1
(20) 割り込みエッジ選択レジスタ (INTEDGE)	003A ₁₆	0 0 0 0 0 0 0 0
(21) CPUモードレジスタ (CPUM)	003B ₁₆	1 0 0 0 0 0 0 0
(22) 割り込み要求レジスタ1 (IREQ1)	003C ₁₆	0016
(23) 割り込み制御レジスタ1 (ICON1)	003E ₁₆	0016
(24) プロセッサステータスレジスタ	(PS)	X X X X X 1 X X
(25) プログラムカウンタ	(PCH)	FFFD ₁₆ 番地の内容
	(PCL)	FFFC ₁₆ 番地の内容

注. xは不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図40. リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

セラミック共振子/水晶発振子を使用する場合

メインクロックにセラミック共振子/水晶発振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子/水晶発振子および外部回路を最短距離で接続してください。帰還抵抗は内蔵しています。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが“0”のとき、タイマ1には“0316”、プリスケラ1には“FF16”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”のときは、タイマ1、プリスケラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用する場合、発振の立ち上がり時間に要するためです。

ストップモードでは、電圧低下検出回路は消費電流低減のために動作を停止しています。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。

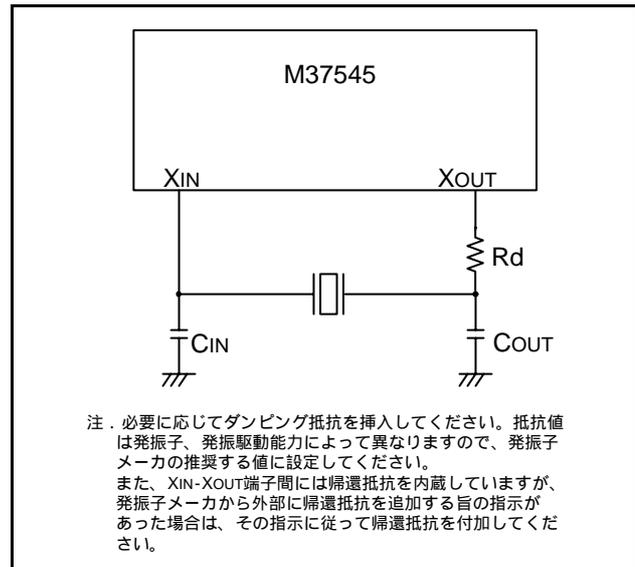


図41. セラミック共振子/水晶発振子外付け回路

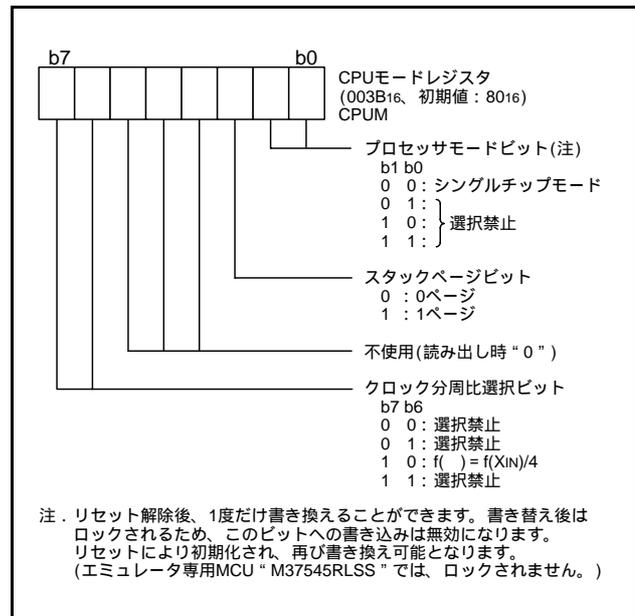


図42. CPUモードレジスタの構成

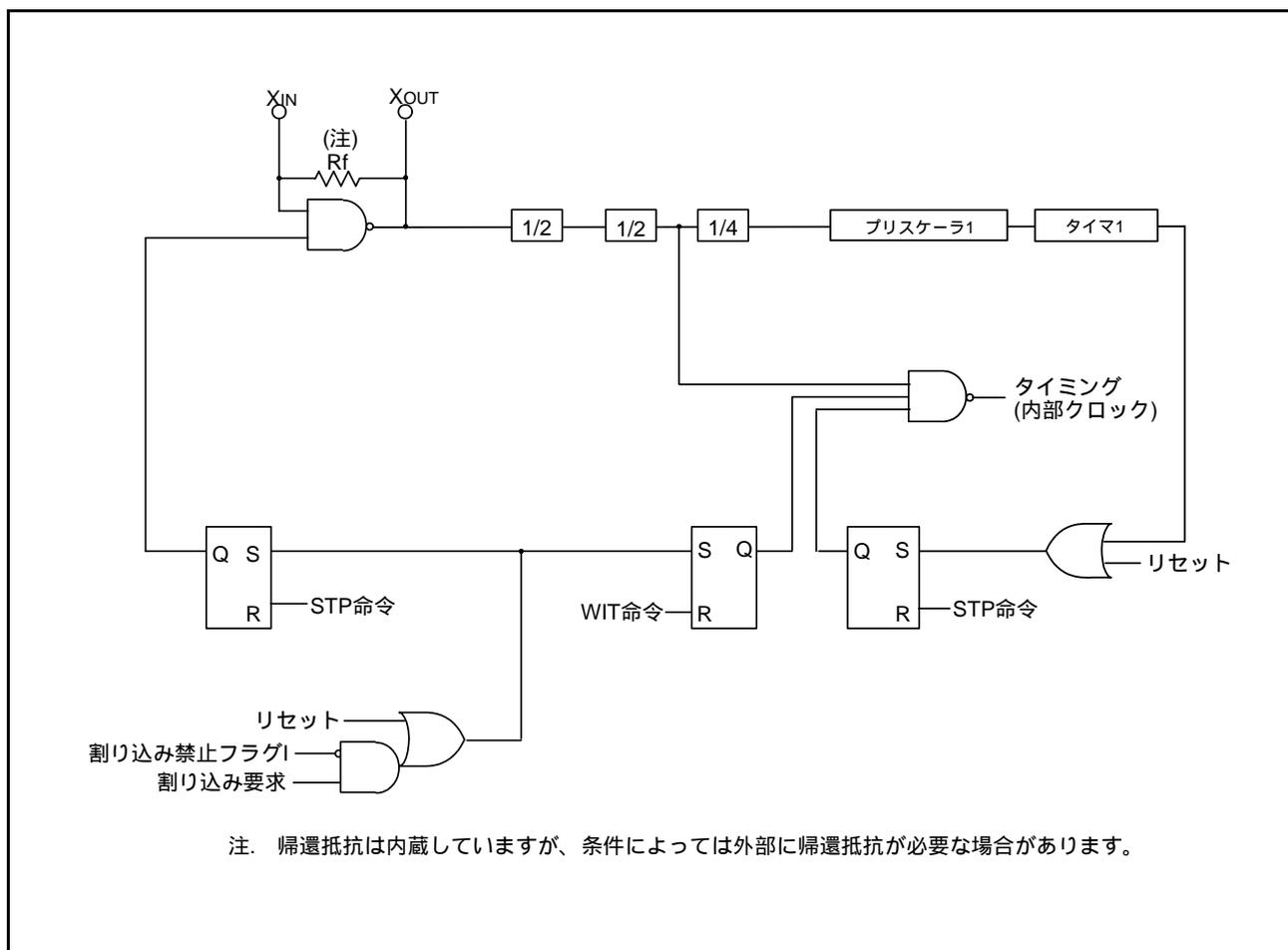


図43. システムクロック発生回路ブロック図(セラミック共振時)

QzROM書き込みモード

QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表10に端子の機能説明(QzROM書き込みモード)を、図44、図45に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例(図46、図47)を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザーズマニュアルを参照してください。

表10. 端子の機能説明(QzROM書き込みモード)

端子名	名称	入出力	機能
VCC、Vss、VDDR	電源入力	入力	VCCに1.8～3.6V、VssおよびVDDRに0Vを印加してください。
RESET	リセット入力	入力	リセット入力端子です。 XINの16サイクル以上Lレベルに保つとリセット状態になります。
XIN	クロック入力	入力	シングルチップモード時と同じ端子処理にしてください。
XOUT	クロック出力	出力	
P00～P05 P21～P27 P30～P37 P42	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
CNVSS	VPP入力	入力	QzROMの電源入力端子です。
P07	ESDA入出力	入出力	シリアルデータの入出力端子です。
P20	ESCLK入力	入力	シリアルクロックの入力端子です。
P06	ESPGMB入力	入力	リード/プログラムパルス信号の入力端子です。

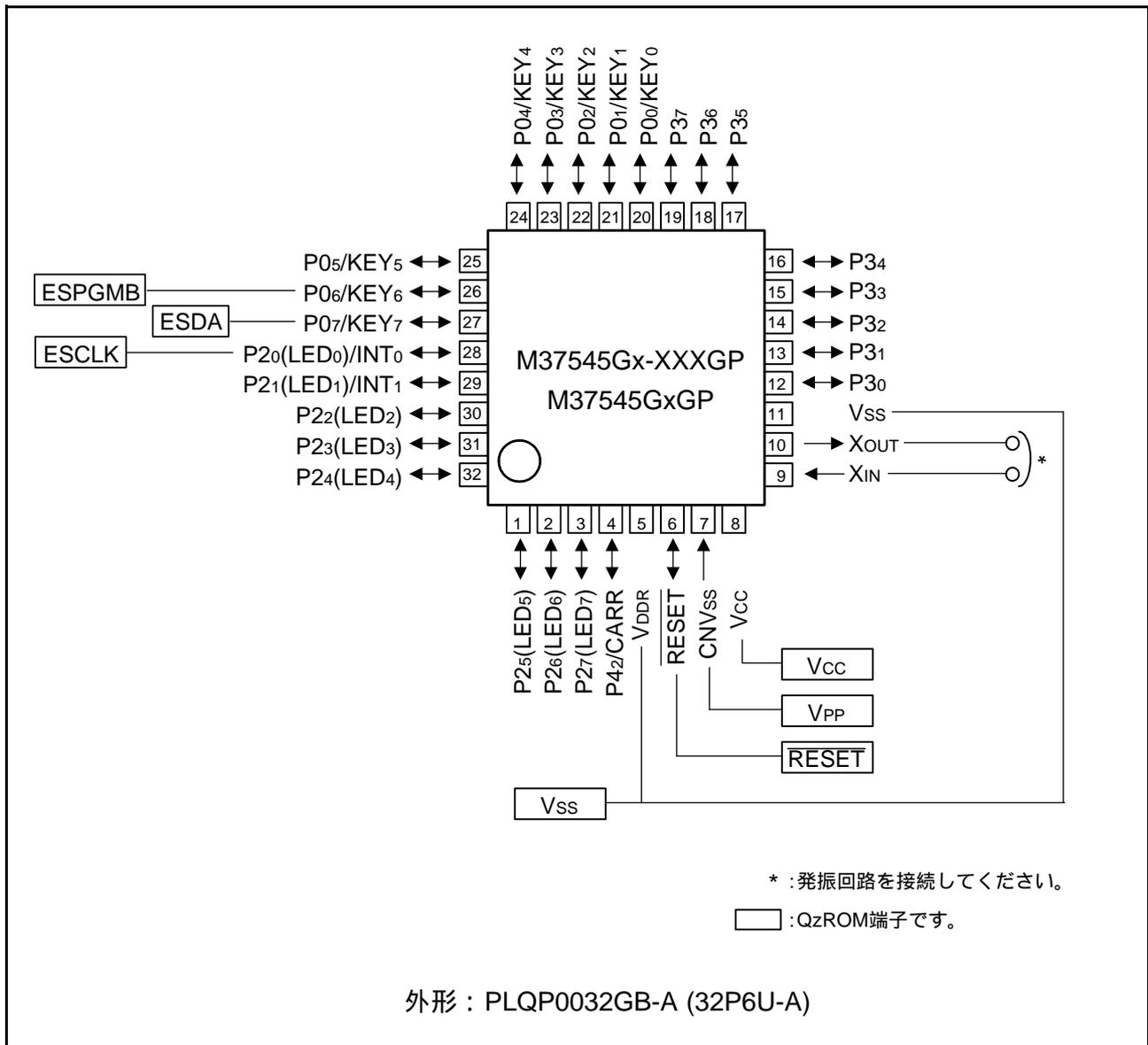


図44. 端子結線図(M37545GX-XXXGP)

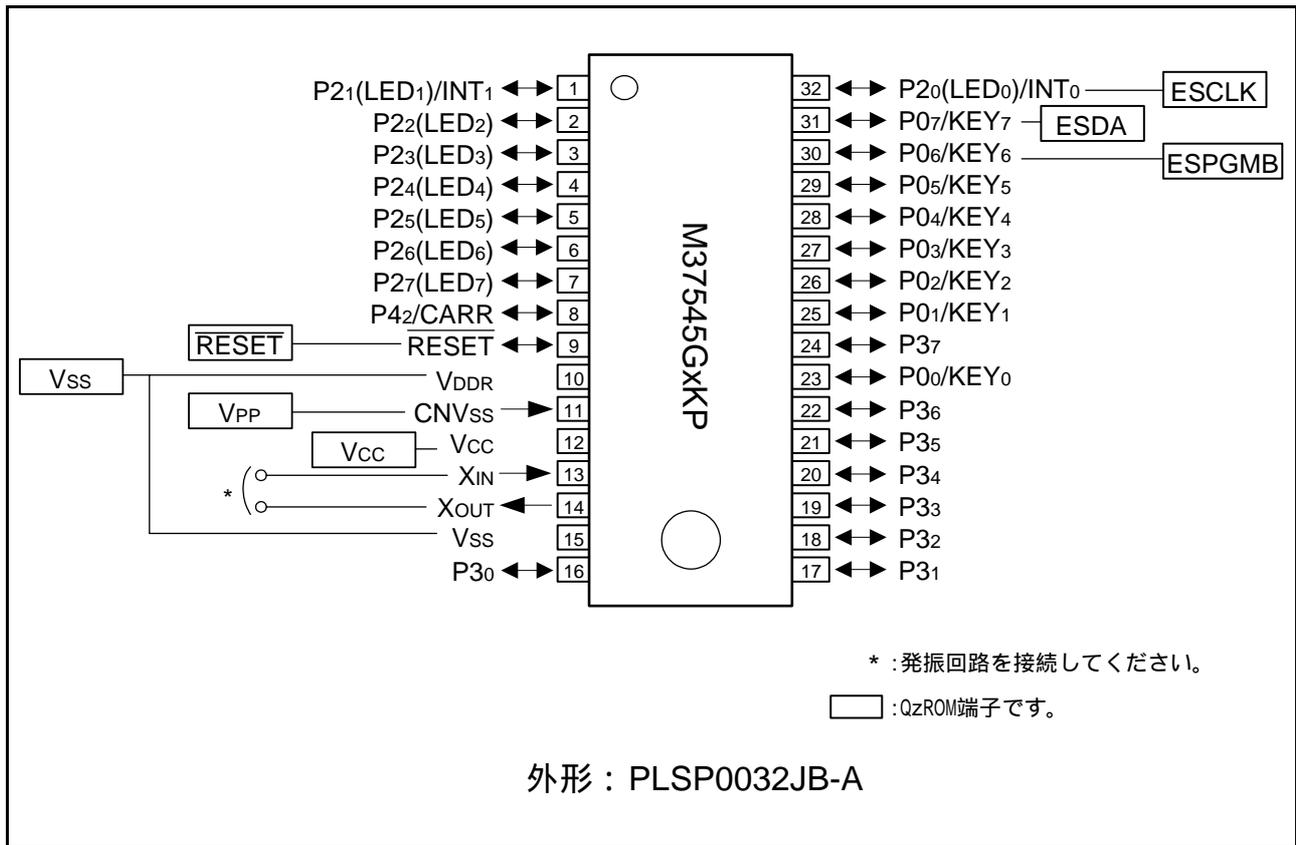


図45. 端子結線図(M37545GxKP)

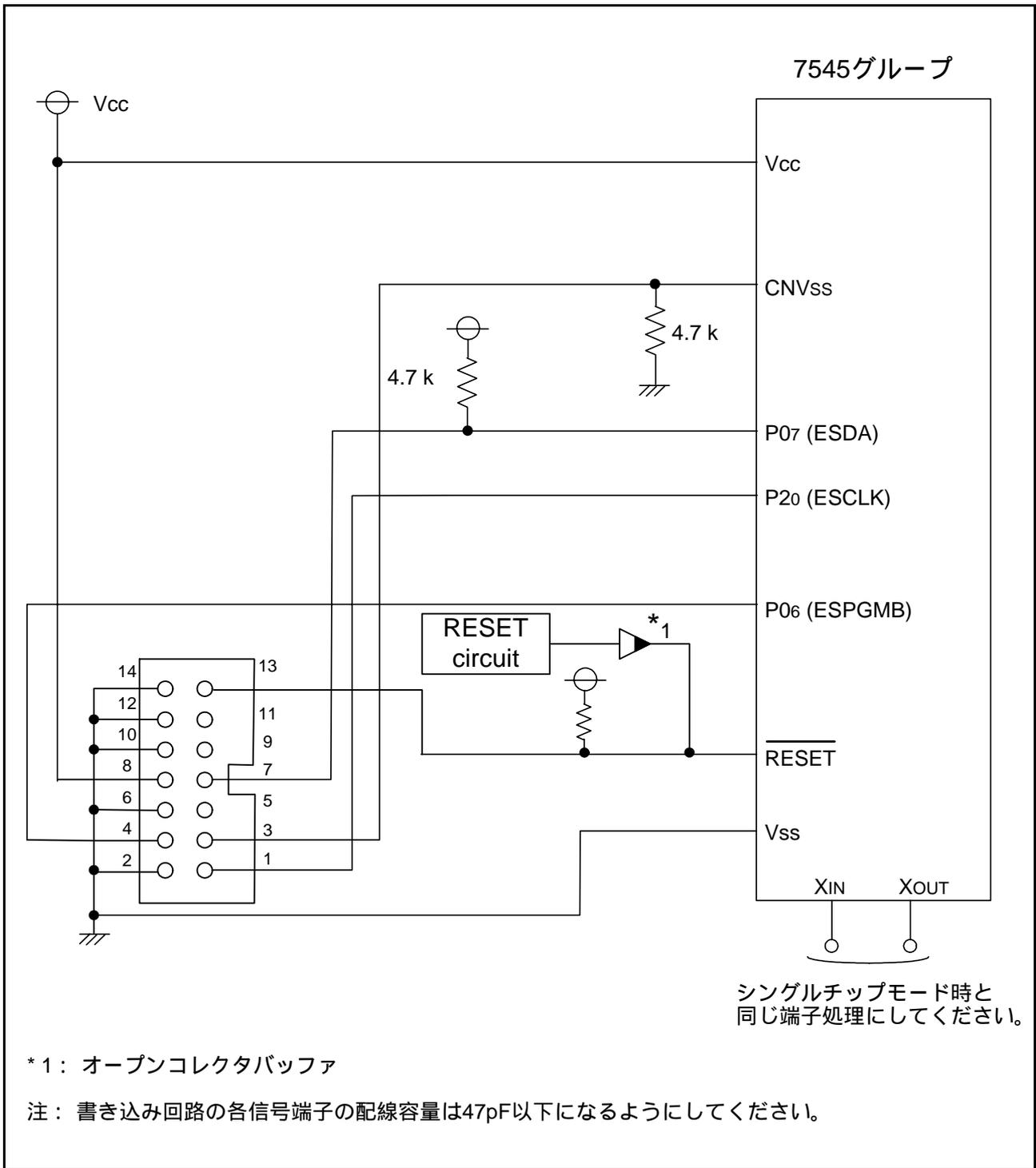


図46. E8プログラマ使用時の基板上の端子処理例

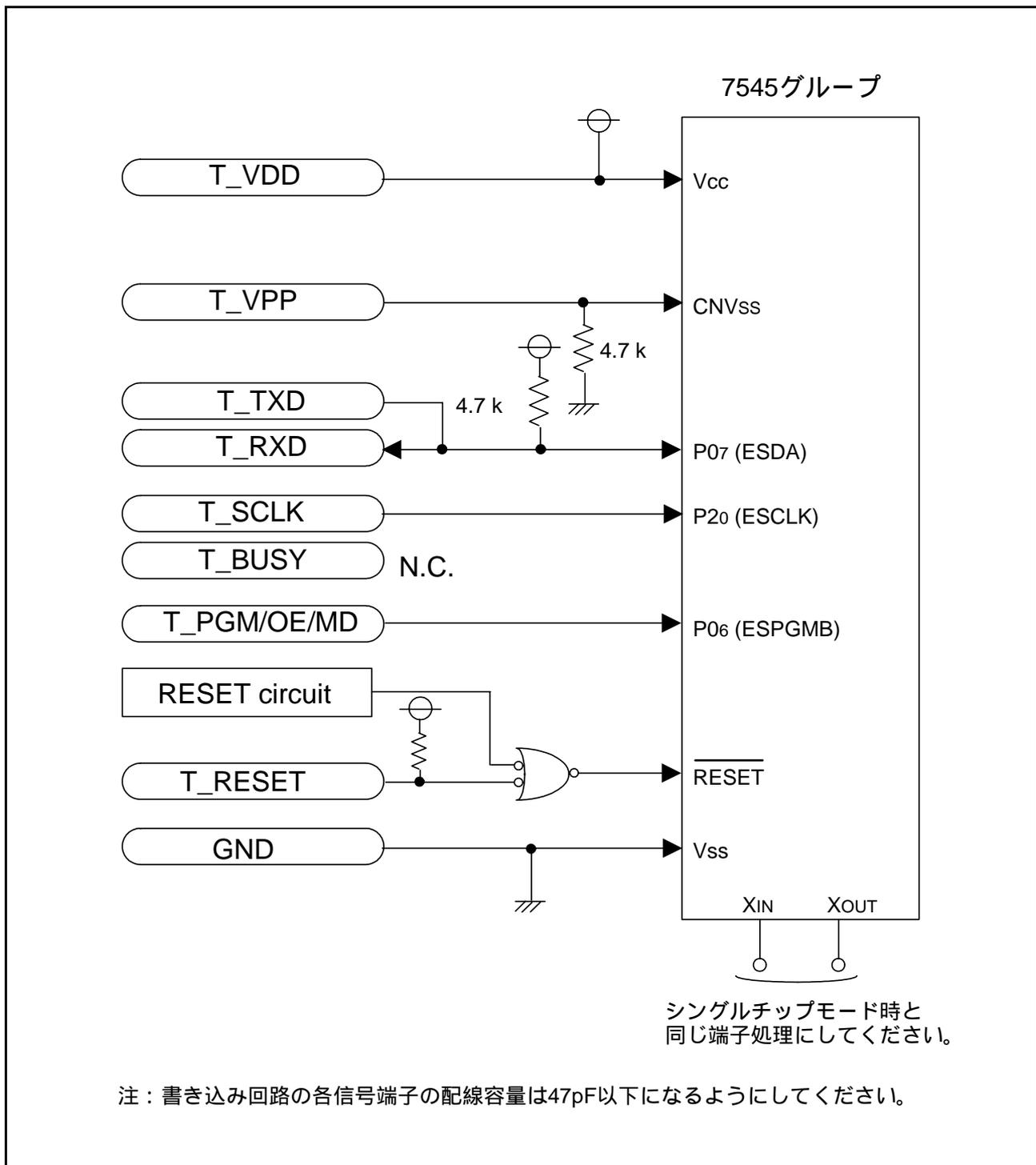


図47. 慧星電子システム製プログラマ使用時の基板上の端子処理例

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。プログラムの先頭で初期化してください。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- 10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期はXIN周期の4倍です。

(6) CPUモードレジスタ

プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後はロックされるため、このビットへの書き込みは無効となります。(エミュレータ専用MCUは除きます)

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F ~ 0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

1. 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

<理由>

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

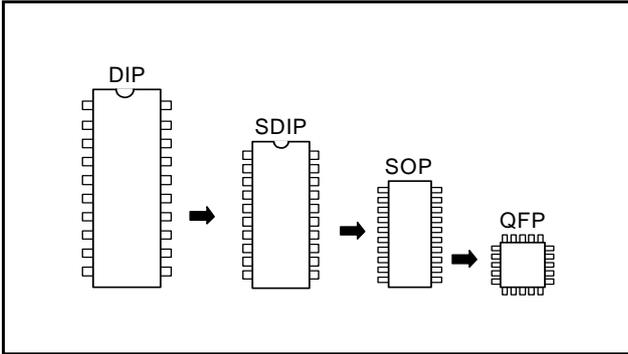


図48. パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

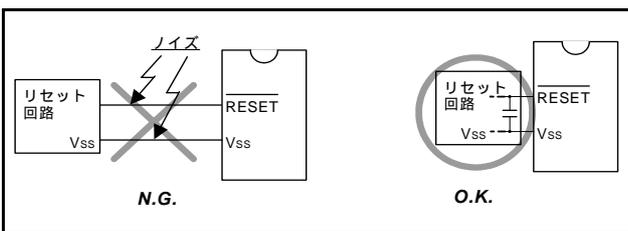


図49. リセット入力端子の配線

(3) クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

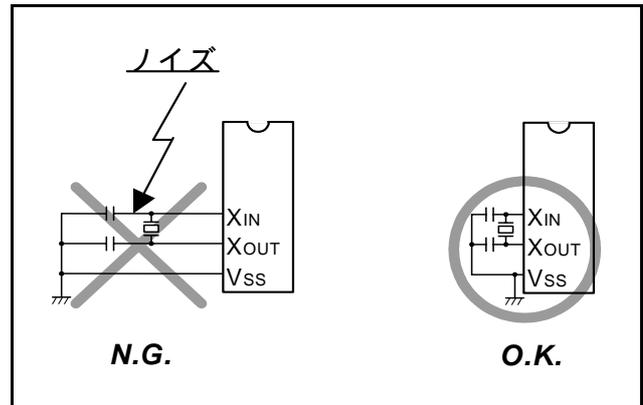


図50. クロック入出力端子の配線

(4) CNVss端子配線

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

<理由>

CNVss端子は内蔵QzROMの電源入力端子です。

QzROMへのプログラム書き込み時に、書き込み電流が流れるようにCNVss端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。CNVss端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

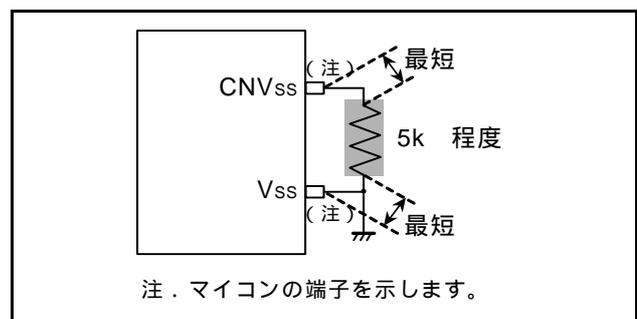


図51. QzROM版のCNVss端子の配線

2. バイパスコンデンサ挿入

(1) Vss - Vccライン間

システムの動作安定化とラッチアップ防止のため、Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

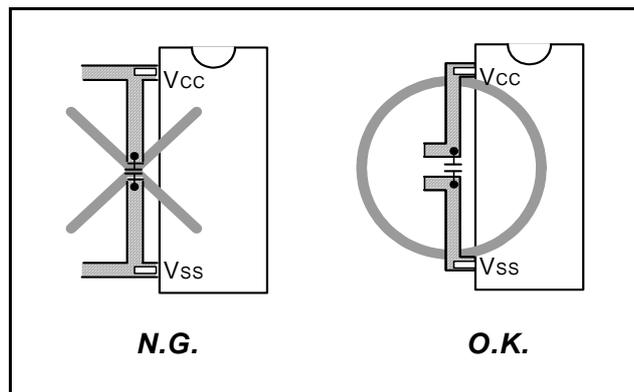


図52. Vss - Vccライン間のバイパスコンデンサ

(2) Vss - VDDRライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss - VDDRライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子 - バイパスコンデンサ間の配線長とVDDR端子 - バイパスコンデンサ間の配線長を等しくする
- Vss端子 - バイパスコンデンサ間の配線長とVDDR端子 - バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVDDRラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由してVss端子及びVDDR端子へ接続する

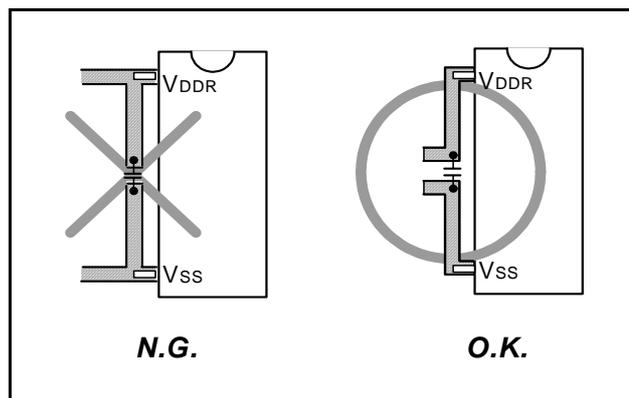


図53. Vss - VDDRライン間のバイパスコンデンサ

3. 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子及び発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

<理由>

高速にレベル変化するCARR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

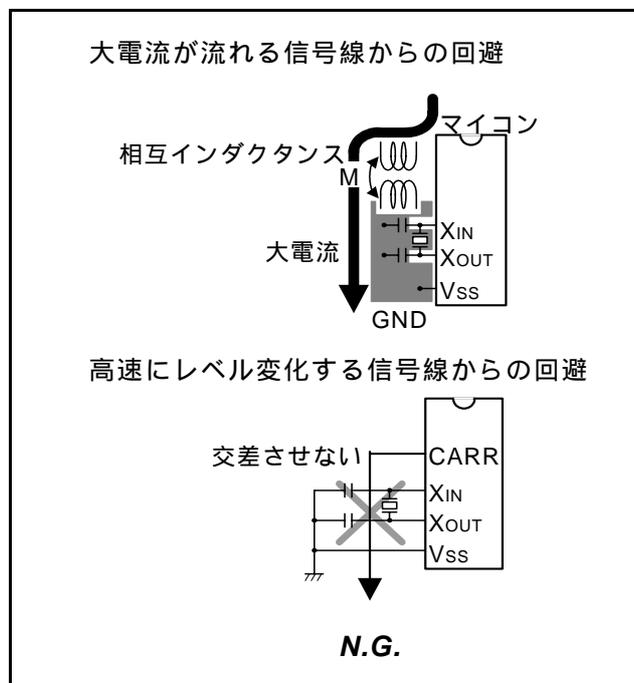


図54. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子を実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

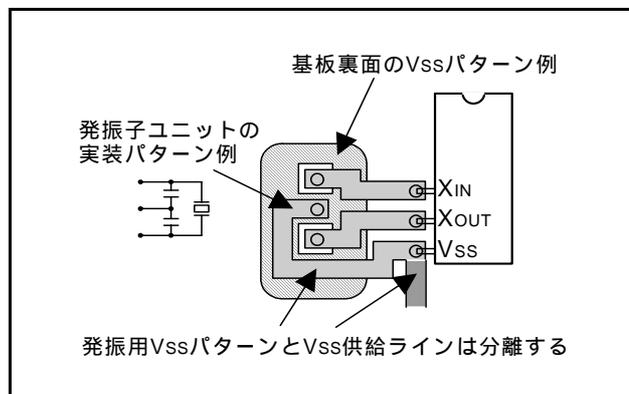


図55. 発振子の裏面のVssパターン

4. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- 入出力ポートに 100 Ω 以上の抵抗を直列に挿入してください。

ソフトウェア面

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- 一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

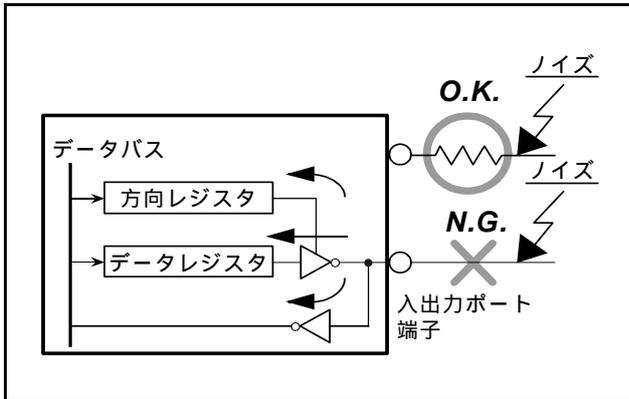


図56. 入出力ポート処理

5. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

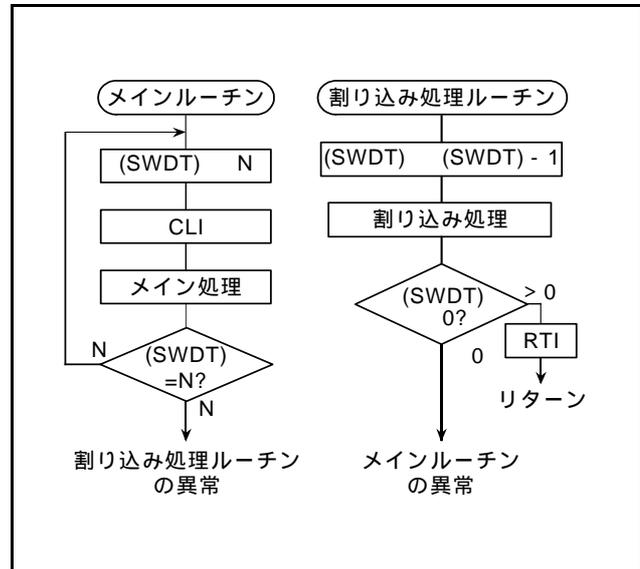


図57. ソフトウェアによるウォッチドッグタイマ

QzROM版に関する注意事項

1. ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

2. 過電圧に関する注意事項

他の端子に、Vcc端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のCNVss端子(QzROMのVpp電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

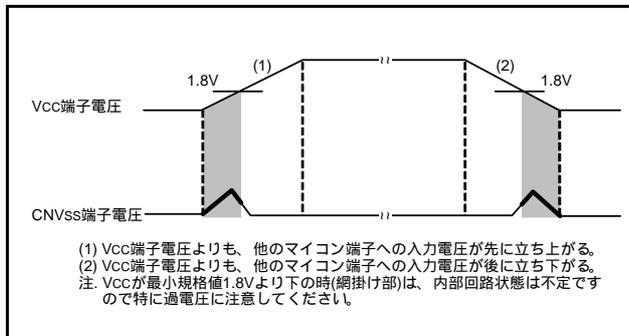


図58. タイミング図(太線の区間が該当)

3. QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ (MM) を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ (MM) を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

4. QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (<http://japan.renesas.com/homepage.jsp>) を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応していません。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は最短でVssに接続くださるようお願いいたします。

電気的特性

絶対最大定格

表 11. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧 V _{CC} 、V _{DDR}	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ 5.0	V
V _I	入力電圧 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₁ 、P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₂		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 $\overline{\text{RESET}}$ 、X _{IN}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₁ 、P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₂ 、X _{OUT} 、 $\overline{\text{RESET}}$		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	200	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	
T _{stg}	保存温度	-	- 40 ~ 125	

推奨動作条件

表 12. 推奨動作条件(指定のない場合は、Vcc = 1.8 ~ 3.6V、Ta = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
Vcc	電源電圧(4MHz時)	1.8	3.0	3.6	V	
Vss	電源電圧		0		V	
VIH	“H”入力電圧 P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P42	0.7Vcc		Vcc	V	
VIH	“H”入力電圧 RESET、XIN	0.8Vcc		Vcc	V	
VIL	“L”入力電圧 P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P42	0		0.3Vcc	V	
VIL	“L”入力電圧 RESET、CNVss	0		0.2Vcc	V	
VIL	“L”入力電圧 XIN	0		0.16Vcc	V	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P42			- 80	mA	
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07、P10 ~ P11、P30 ~ P37			80	mA	
IOL(peak)	“L”出力総尖頭電流 (注1) P20 ~ P27、P40 ~ P42			80	mA	
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P42			- 40	mA	
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07、P10 ~ P11、P30 ~ P37			40	mA	
IOL(avg)	“L”出力総平均電流 (注1) P20 ~ P27、P40 ~ P42			40	mA	
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P41	Vcc=3.0V時		- 4	mA	
IOH(peak)	“H”出力尖頭電流 (注2) P42	Vcc=3.0V時		- 20	mA	
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07、P10 ~ P11、P30 ~ P37	Vcc=3.0V時		4	mA	
IOL(peak)	“L”出力尖頭電流 (注2) P20 ~ P27、P40 ~ P42	Vcc=3.0V時		24	mA	
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、P40 ~ P41	Vcc=3.0V時		- 2	mA	
IOH(avg)	“H”出力平均電流 (注3) P42	Vcc=3.0V時		- 10	mA	
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07、P10 ~ P11、P30 ~ P37	Vcc=3.0V時		2	mA	
IOL(avg)	“L”出力平均電流 (注3) P20 ~ P27、P40 ~ P42	Vcc=3.0V時		12	mA	
f(XIN)	発振周波数 (注4) セラミック発振又は外部クロック入力時	Vcc=1.8 ~ 3.6V時		4	MHz	
VDET	電圧低下検出回路検出電圧	Ta = - 20 ~ 85	1.65	1.75	1.85	V
		Ta = 0 ~ 50	1.70	1.75	1.80	V
TDET	電圧低下検出回路の低電圧判定時間	検出電圧が、± 50V/s で検出電圧を通過時	0.2	1.2	ms	
TPON	パワーオンリセット回路有効電源立ち上がり時間	Vcc=0 ~ 1.8V		1	ms	

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 平均出力電流 IOL(avg)、IOH(avg) は100msの期間での平均値です。

注4. 発振周波数はデューティ 50%の場合です。

電気的特性

表 13. 電気的特性(1) (指定のない場合は、Vcc = 1.8 ~ 3.6V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37 (注1) P40 ~ P41	IOH= - 2.0mA VCC=3.0V	2.1			V
VOH	“H”出力電圧 P42	IOH= - 10mA VCC=3.0V	1.0			V
VOL	“L”出力電圧 P00 ~ P07、P10 ~ P11、P30 ~ P37	IOL=2mA VCC=3.0V			0.9	V
VOL	“L”出力電圧 P20 ~ P27、P40 ~ P42	IOL=12mA VCC=3.0V			1.5	V
VT+ - VT-	ヒステリシス INT0、INT1、P00 ~ P07 (注2)	VCC=3.0V		0.3		V
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$	VCC=3.0V		0.45		V
IiH	“H”入力電流 P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、 P40 ~ P42	Vi=VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 $\overline{\text{RESET}}$	Vi=VCC			5.0	μA
IiL	“L”入力電流 P00 ~ P07、P10 ~ P11、P20 ~ P27、P30 ~ P37、 P40 ~ P42	Vi=VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
RFB	XIN-XOUT間帰還抵抗値	VCC=3.0V、Vi=3.0V	700		3200	k
RPH	プルアップ抵抗値 P00 ~ P07	VCC=3.0V、Vi=0V	50	120	250	k
RPH	プルアップ抵抗値 $\overline{\text{RESET}}$	VCC=3.0V、Vi=0V	25	60	130	k
RPL	プルダウン抵抗値 $\overline{\text{RESET}}$	VCC=3.0V、Vi=3.0V		7.0		k
VRAM1	RAM1保持電圧(VCC)	クロック停止時	1.1		3.6	V
VRAM2	RAM2保持電圧(VDDR)	クロック停止時、及び電 圧低下検出リセット時	1.1			V

注1. ポート出力モード選択レジスタでCMOS出力を選択した場合です。

注2. キーオンウェイクアップ動作時のみです。

表 14. 電気的特性(2) (指定のない場合は、 $V_{CC} = 1.8 \sim 3.6V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流	f(XIN) = 4MHz、V _{CC} = 3.0V 出力トランジスタは遮断状態		0.6	1.2	mA
		f(XIN) = 4MHz、V _{CC} = 3.0V WIT命令実行時、タイマ1以外の機能停止 出力トランジスタは遮断状態		0.3	0.6	mA
		発振は停止(STP命令実行時) 出力トランジスタは遮断状態 V _{CC} V _{DDR} V _{CC} - 0.6V	T _a = 25		0.1	1.0
I _{DDR}	電圧低下検出回路によるリセット中 V _{DDR} =1.1V、1.8V V _{CC} 0V	T _a = 85			10.0	μA
		T _a = 25		0.1	1.0	μA
		T _a = 85			10.0	μA

タイミング必要条件

表 15. タイミング必要条件(指定のない場合は、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	2			μs
t _c (XIN)	外部クロック入力サイクル時間	250			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	100			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	100			ns
t _{WH} (INT ₀)	INT ₀ 、INT ₁ 入力“H”パルス幅	460			ns
t _{WL} (INT ₀)	INT ₀ 、INT ₁ 入力“L”パルス幅	460			ns

スイッチング特性

表 16. スwitchング特性(指定のない場合は、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _r (CMOS)	CMOS出力立ち上がり時間 (注1)		25	100	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注1)		25	100	ns

注1. XOUT端子を除きます。

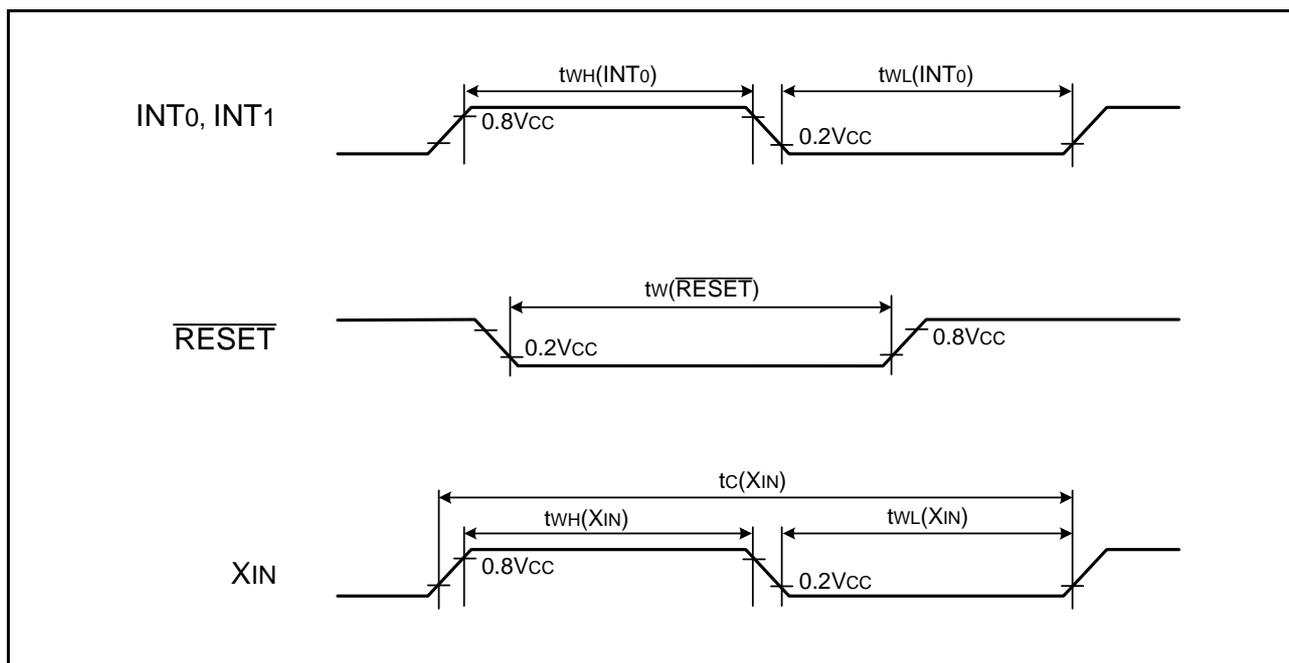
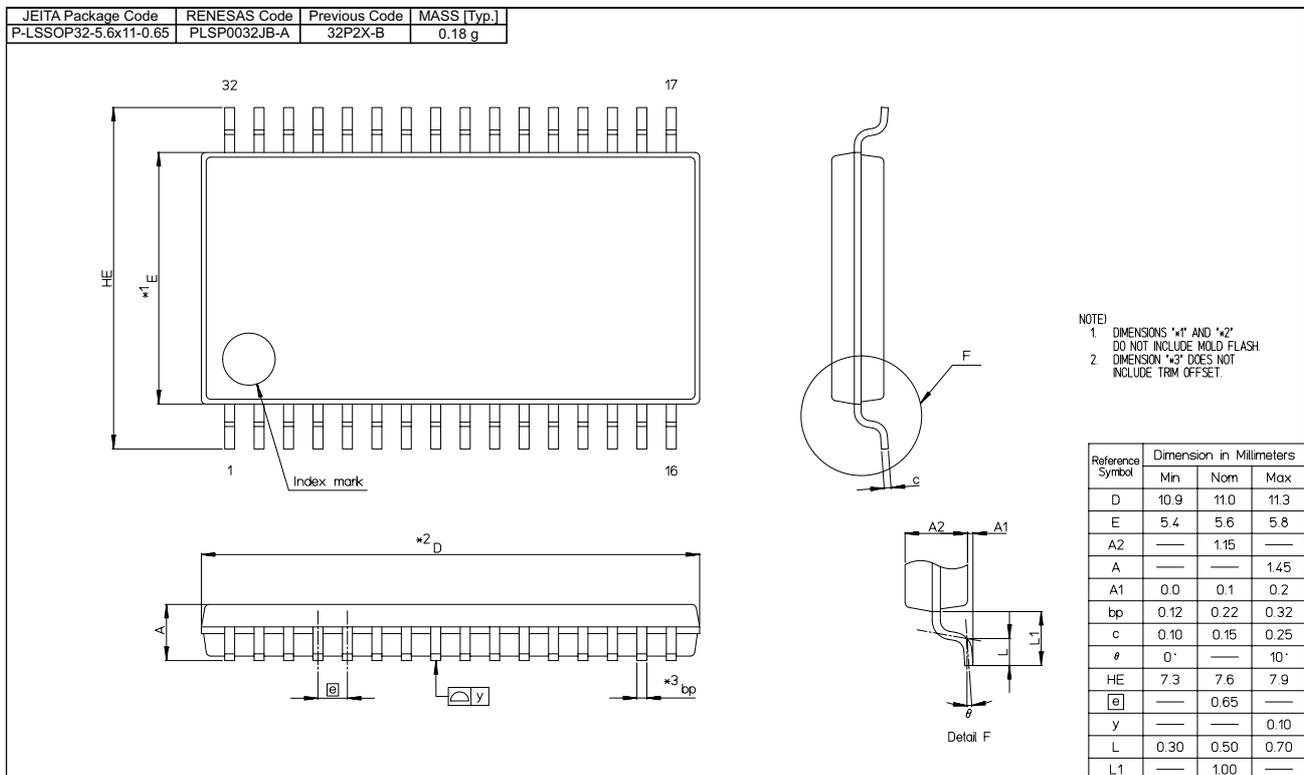
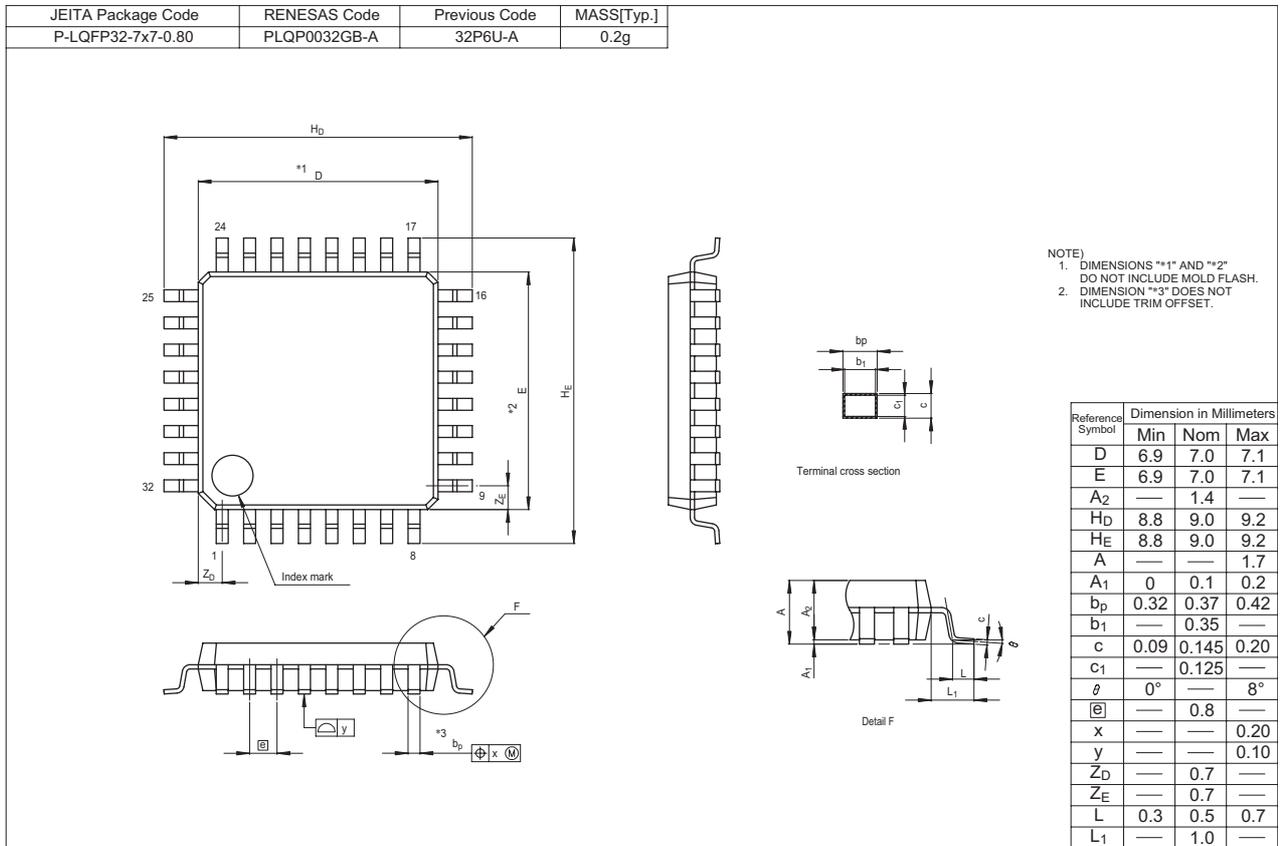


図59. タイミング図

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ (PS) のフラグを初期化しておく必要があります。

特にIフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。プログラムの先頭で初期化してください。

<理由>

プロセッサステータスレジスタ (PS) は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

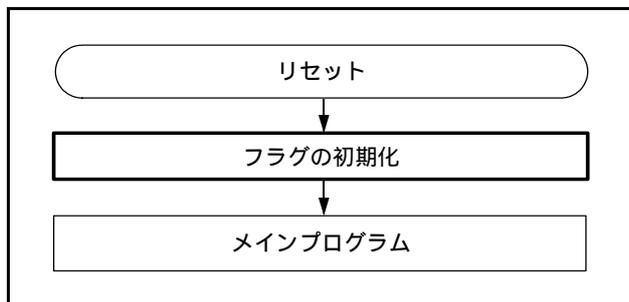


図1. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ (PS) の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

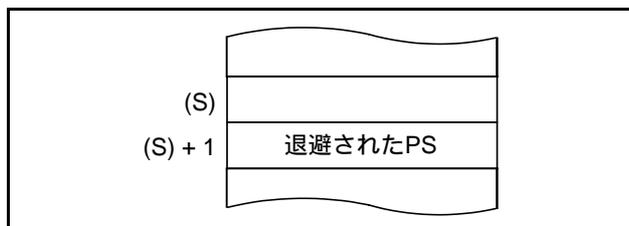


図2. PHP命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

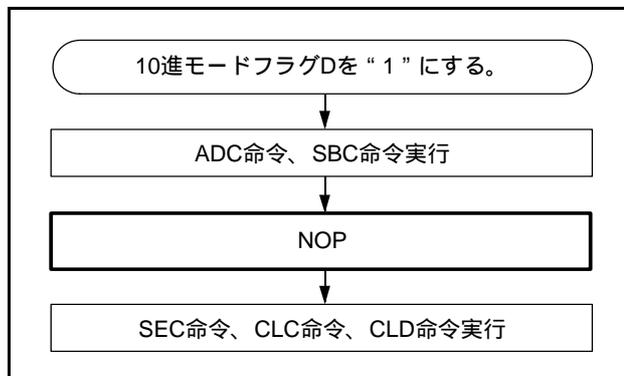


図3. 10進演算時の命令

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=“1”)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

3. JMP 命令

JMP 命令 (間接アドレッシングモード) を使用する場合、下位 8 ビットが “FF16” となるアドレスをオペランドに指定しないでください。

4. 乗除算命令

- (1) MUL、DIV 命令は、T、D フラグの影響を受けません。
- (2) 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

5. リード・モディファイ・ライト命令

読み出しができない SFR に対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)、加工して(モディファイ)、元のメモリにバイト単位で書く(ライト)命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

- (1) ビット処理命令
CLB、SEB
- (2) シフト・回転命令
ASL、LSR、ROL、ROR、RRF
- (3) 加減算命令
DEC、INC
- (4) 論理演算命令(1の補数)
COM

なお、リード・モディファイ・ライト命令ではありませんが、T フラグが “1” の場合の加減算・論理演算命令 (ADC、SBC、AND、EOR、ORA) も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができない SFR に対して実行しないでください。

<理由>

読み出しができない SFR に対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. プルアップ制御レジスタ

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

2. スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態*1 で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ (Vcc に接続) 又はプルダウン (Vss に接続) してください。

抵抗値を決定する際は、以下の2点に留意してください。

- 外付け回路
- 通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- 入力ポートに設定している場合：入力レベルを固定する。
- 出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで入力ポートに設定している場合、出力ポートレジスタが OFF 状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1 スタンバイ状態： STP 命令実行によるストップモード
WIT 命令実行によるウェイトモード

3. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*1 を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートレジスタに読み出し、書き込みを行うと次のように動作します。

- 入力モードのポート
読み出し：端子のレベルを読む。
書き込み：ポートラッチへ書く。
- 出力モードのポート
読み出し：ポートラッチを読む、又は、周辺機能の出力を読む(ポートにより仕様が異なる)。
書き込み：ポートラッチへ書く(ポートラッチの内容を端子から出力する)。

一方、ビット処理命令はリード・モディファイ・ライト命令*2 ですので、ポートレジスタにビット処理命令を実行した場合、命令で指定していないビットにも同時に読み出し及び書き込みが行われます。

指定していないビットが入力モードの場合は、端子のレベルを読み、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違う場合は、ポートラッチの内容が変化します。

指定していないビットが出力モードの場合は、基本的にはポートラッチを読みますが、周辺機能の出力を読むポートもあり、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、周辺機能の出力が違う場合は、ポートラッチの内容が変化します。

*1ビット処理命令：SEB命令、CLB命令

*2リード・モディファイ・ライト命令：
メモリをバイト単位で読み(リード)、加工して(モディファイ)、元のメモリにバイト単位で書く(ライト)命令

4. 方向レジスタ

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線(20mm以内)で次の処理をしてください。

(1) 入出力ポート

入力モードにし、端子ごとに1k ~ 10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。出力モードにする場合は、“L”又は“H”出力状態で開放してください。

- 出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ノイズやプログラムの暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1) 入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 「1. (1) 入出力ポート」の処理に比べ、ノイズの影響を受けやすくなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

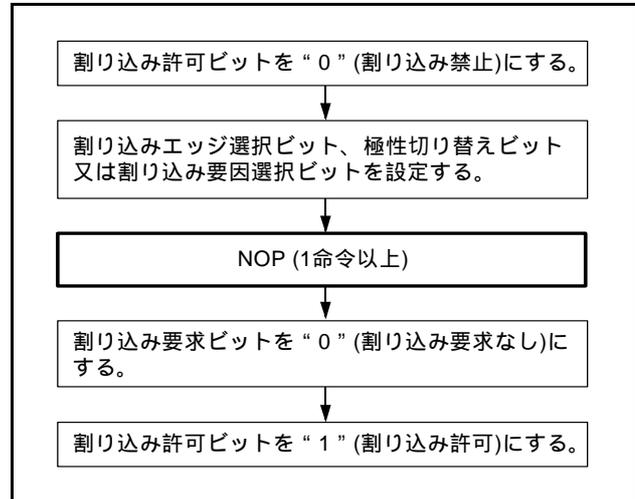


図4. 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが“1”になるときがあります。

- 外部割り込みのアクティブエッジを切り替えるとき
INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
キーオンウェイクアップ極性選択レジスタ

2. 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

<理由>

割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

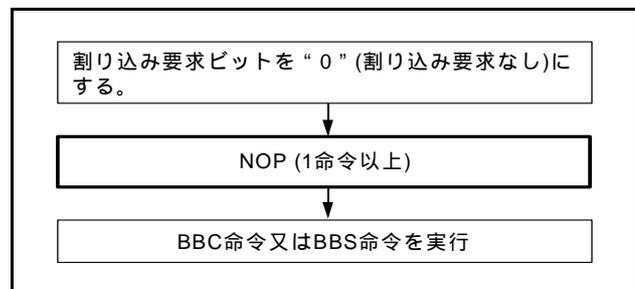


図5. 割り込み要求ビットの設定手順

タイマに関する注意事項

1. タイマラッチ又はプリスケアラッチに値 n ($0 \sim 255$) を書き込んだ場合の分周比は、 $1/(n+1)$ です。
2. タイマ2、3のカウンタソースを切り替える場合は、必ずカウンタを停止させた状態で行ってください。
3. タイマ1、2、3のカウンタ開始タイミングと動作開始時のカウンタ時間に関する注意
タイマ及びカウンタソースの動作開始タイミングによって、カウンタ開始後、最初のアンダフローまでの時間は、以降のアンダフローまでの時間と異なります。
4. タイマ2、3及び搬送波発生回路に関する注意
出力波形のタイミング調整のため、タイマカウンタ値と出力波形の間にはズレが生じ、出力波形はタイマアンダフロー後のリロードサイクルで変化します。
またタイマ割り込みは、出力波形の変化点で発生します。(割り込み発生タイミングは、タイマ1と比較してカウンタソースの半サイクル後ろになります。)

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、STP命令解除後の発振安定時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマHカウンタソース選択ビット(ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7)に“0”を設定してください。

リセット端子に関する注意事項

1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とV_{SS}端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

パワーオンリセット回路に関する注意事項

本製品に内蔵のパワーオンリセット回路は、以下の条件のときにリセットを発生します。

- ・電源電圧を、1ms以内に0Vから1.8Vまで上昇させた場合。また、以下の条件では、リセットが発生しない場合がありますので、ご注意ください。
- ・電源電圧を、0Vよりも高い電圧から上昇させた場合。
- ・電源電圧を、1msよりも長い時間で0Vから1.8Vまで上昇させた場合。

電圧低下検出回路に関する注意事項

本製品の電圧低下検出回路の検出電圧は、マイコンの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイコンの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がV_{DET}以下に低下せず、リセットが発生しないまま再上昇し、マイコンが暴走状態となる場合があります。

このような場合は、電源電圧を一旦V_{DET}以下まで低下させ、その後再上昇するようなシステム設計をしてください。

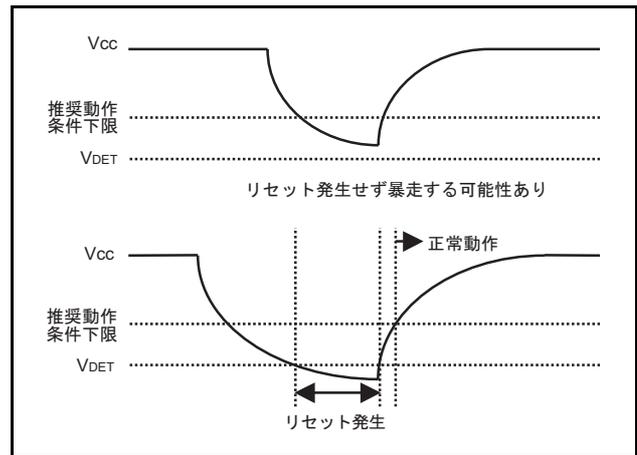


図6. VCCとVDET

クロック発生回路に関する注意事項

1. CPUモードレジスタの書き替え

プロセッサモードビット(CPUモードレジスタ(003B₁₆番地)のビット1、0)は、マイコンの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイコンのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き込みが可能です。

その後、このビットへの書き込みは無効になります。(エミュレータ専用MCU“M37545RLSS”は除きます)

また、ビット1、0以外へのリード・モディファイ・ライト命令(SEB、CLB等の命令)使用後も、これらのビットへの書き込みは無効になります。

2. セラミック共振子および水晶共振子を使用する場合

メインクロックにセラミック共振子および水晶共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子/水晶共振子および外部回路を最短距離で接続してください。

帰還抵抗は内蔵しております。

発振制御に関する注意事項

- (1) ストップモードを使用する場合は、STP命令機能選択ビット(機能設定ROMデータ(FFDA₁₆番地)のビット1)を“1”(STP命令許可)に設定してください。
- (2) STP命令解除後の発振安定時間は、STP命令解除後発振安定時間設定ビット(MISR_G(0038₁₆番地)のビット0)にて自動設定する/自動設定しないを選択することができます。“0”を選択するとタイマ1には“03₁₆”、プリスケアラ1には“FF₁₆”がSTP命令実行時に自動設定されます。“1”を選択した場合は、ご使用になる発振子の発振安定時間にあわせて待ち時間をタイマ1、プリスケアラ1に設定してください。
なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

ハードウェアに関する注意事項

1. 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC}端子、V_{DDR}端子)とGND端子(V_{SS}端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

2. CNV_{SS}端子の取扱い

CNV_{SS}端子は、プログラマブル電源端子(V_{PP}端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

QzROM版に関する注意事項

1. ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

2. QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“00₁₆”、“FF₁₆”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF₁₆”を設定してください。“FF₁₆”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

3. 過電圧に関する注意事項

他の端子に、V_{CC}端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のCNV_{SS}端子(QzROMのV_{PP}電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

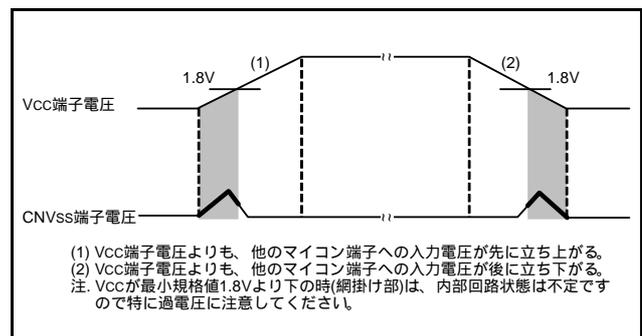


図7. タイミング図(太線の区間が該当)

4. QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (<http://japan.renesas.com/homepage.jsp>) を参照してください。なお、QzROMアイコンでは特殊字体マーキング（貴社商標など）には対応していません。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は最短でVssに接続くださるようお願いいたします。

改定記録	7545 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005/01/04	-	初版発行
1.01	2005/05/10	27 29 37 43	ウォッチドッグタイマの基本動作 “FFFA16番地” “FFDA16番地” (3)STP命令禁止ビットの動作 “FFFA16番地” “FFDA16番地” 電圧低下検出回路 “FFFA16番地” “FFDA16番地” 図50. CNTR CARR 図54. (CNTR) (INT0)
1.02	2005/07/20	全ページ 3 11 17 36 38 52	“ROMオプション機能” “機能設定ROM” 表1. 性能概要を追記 ROMコードプロテクト番地 (FFDB16番地) 注意事項を追記 未使用端子の処理方法、表7. 未使用端子の処理方法を追記 “【ROMオプションデータ】ROMOP” “【機能設定ROMデータ】FSROM” 図42 FFDC16を削除 図43 “ROMOP” “FSROM” (旧)“(4)CNVss端子の配線”を削除、“(4)VPP端子配線”を追記 QzROM書き込み発注時の提出資料、QzROM書き込み発注時の注意事項、ROMコードプロテクトに関する注意事項を追記
1.03	2005/10/21	- 30 31 36	STP命令禁止ビット STP命令機能選択ビット (3)STP命令機能選択ビットの動作 改訂 図33 ウォッチドッグタイマ、リセット回路のブロック図 下記追記 「カウントスタート(ウォッチドッグタイマ起動選択ビット(FSROM1のビット0))」 機能設定ROM領域 本文改訂 図42 予約領域 Renesas出荷検査領域 注に下記追記 「またユーザプログラムでチェックサムをとっているような場合は、この領域を外す必要があります。」 図43 FSROMのビット0、ビット1、ビット4改訂
1.04	2006/05/17	-	「開発中」表記削除
1.05	2006/05/18	6	図4 「開発中」表記削除
1.06	2007/05/25	11 12 13 19~23 21 22 23 31	機能設定ROM領域: 追記、掲載箇所移動 注意事項(5) 追記 図8 注削除 図10 追記 割り込み 本文改訂 旧図15~19を図15に統合 図16、17 追加 図18 追加 (1)ウォッチドッグタイマの初期値 説明追記 (3)STP命令機能選択ビット 改訂

改訂記録	7545 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.06	2008/02/15	1	品種追加による改訂 (メモリ容量)
		2	図2追加
		3	品種追加による改訂 (メモリ容量、パッケージ)
		6	図5追加
		8	品種追加による改訂 (メモリ容量、パッケージ、図6、表4)
		12	図9改訂
		13	機能設定ROMデータの項 周辺機能説明の参照先から「クロック発生回路」を削除
		14	図10改訂
		16	図12改訂
		21	割り込み 全面改訂
		28	図23 図題改訂
		36	図35改訂
		39	図42 改訂
		41	機能設定ROM領域 移動 (P13へ)
		41 ~ 45	QzROM書き込みモード 追記
		46	ハードウェアに関する注意事項 追記
		47	(4)CNVss端子配線 1k ~ 5k 5k 図51 改訂
		49	電気的特性 対象品種削除
		51	XIN-XOUT間帰還抵抗 シンボル改訂
		54	PLSP0032JB-Aパッケージ追加
56	図2 削除		
57	4. BRK命令削除 3. ビット処理命令による出力データの書き替え 改訂		
60	発振制御に関する注意事項(1) “0” “1” 過電圧に関する注意事項 追記		
1.07	2009/03/19	-	全頁ヘッダ開発中表示削除
		8	図6 開発中表示削除 / 表4 M37545GCKP、M37545GFKP 削除
		42、43	図44、図45 RESET $\overline{\text{RESET}}$
		46	(1)プロセッサステータスレジスタ 改訂
		51	「QzROM版に関する注意事項」追記
		58	1. プロセッサステータスレジスタ 改訂 / 図3図題 改訂
		62	QzROM書き込み発注時の注意事項 改訂 「過電圧の関する注意事項」改訂：QzROMのCNVss電源入力端子 QzROMのVPP電源入力端子

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認くださいとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません(弊社が自動車用と指定する製品を自動車に使用する場合を除きます)。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為(患部切り出し、薬剤投与等)を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計(含むハードウェアおよびソフトウェア)およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがないう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	支	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	支			

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com