

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7544グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0011-0106Z

Rev.1.06

2004.07.02

概要

7544グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、16ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特長

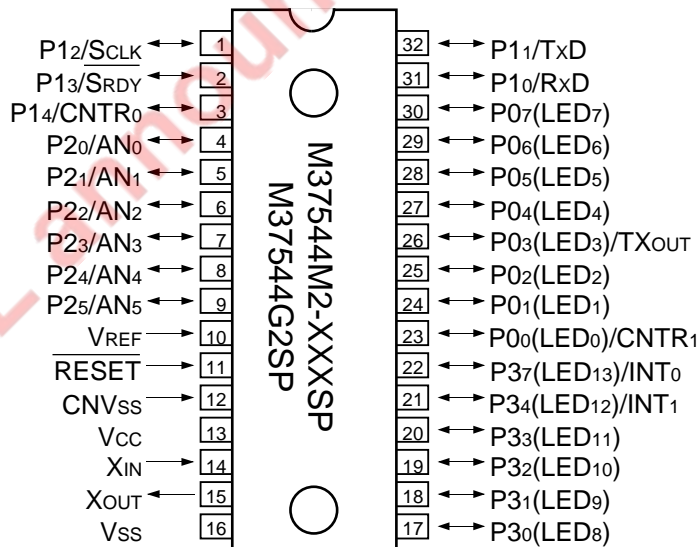
基本機械語命令	71
命令実行時間	0.25 μ s
(最短命令、発振周波数8MHz、倍速モード時)	
メモリ容量 ROM	8Kバイト
RAM	256バイト
プログラマブル入出力ポート	25本
割り込み	12要因、12ベクタ
タイマ	8ビット×2
.....	16ビット×1
シリアルI/O	8ビット×1
(UART又はクロック同期形)	
A/Dコンバータ	8ビット分解能×6チャンネル

クロック発生回路	内蔵
(オンチップオシレータによる低消費電力化も可能)	
(セラミック共振子又は水晶発振子外付け、RC発振可能)	
ウォッチドッグタイマ	16ビット×1
電源電圧	
XIN発振周波数(セラミック/水晶発振、倍速モード時)	
8MHz時	4.5~5.5V
XIN発振周波数(セラミック/水晶発振、高速モード時)	
8MHz時	4.0~5.5V
(RC発振)	
4MHz時	4.0~5.5V
消費電力	22.5mW(標準)
動作周囲温度	-20~85

応用

OA機器、FA機器、家電、民生機器など

ピン接続図(上面図)



外形 32P4B

図1. ピン接続図(32P4Bパッケージタイプ)

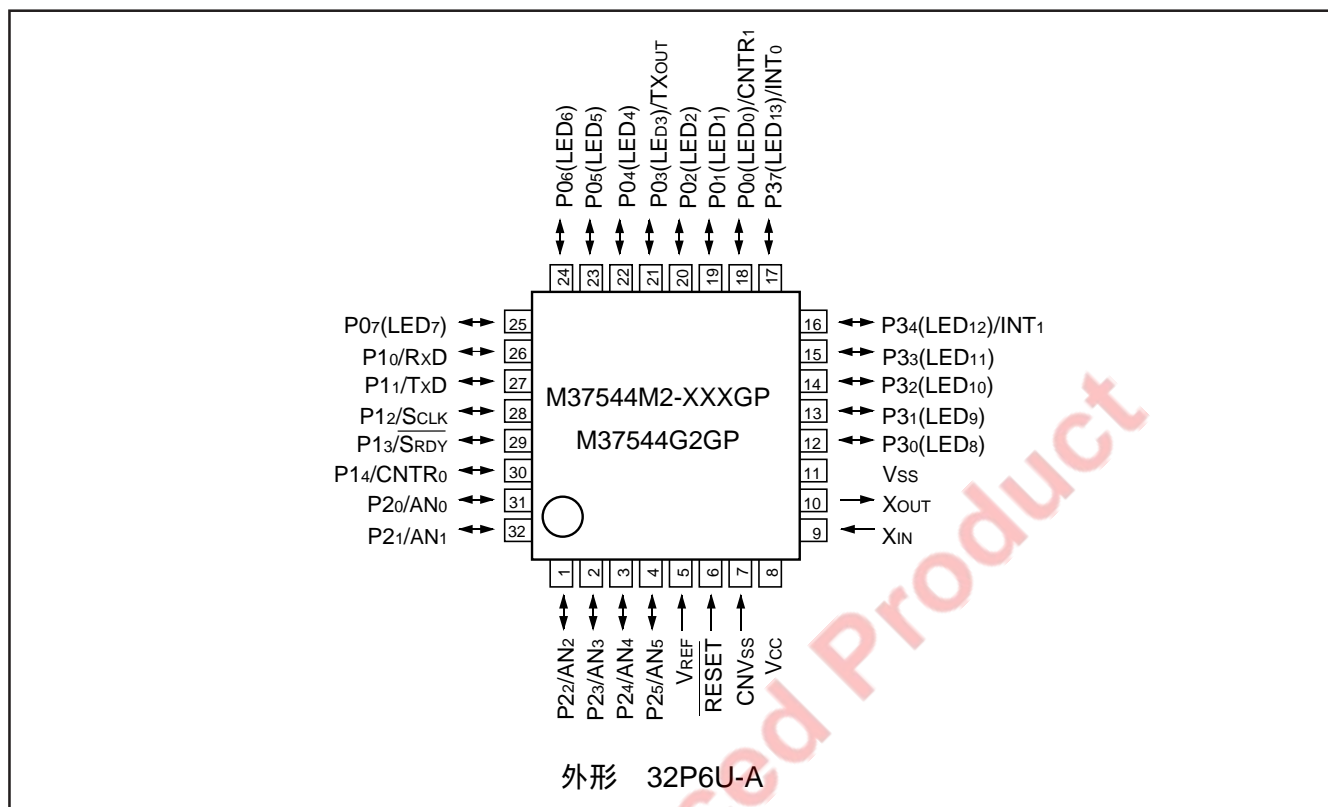


図 2 . ピン接続図 (32P6U パッケージタイプ)

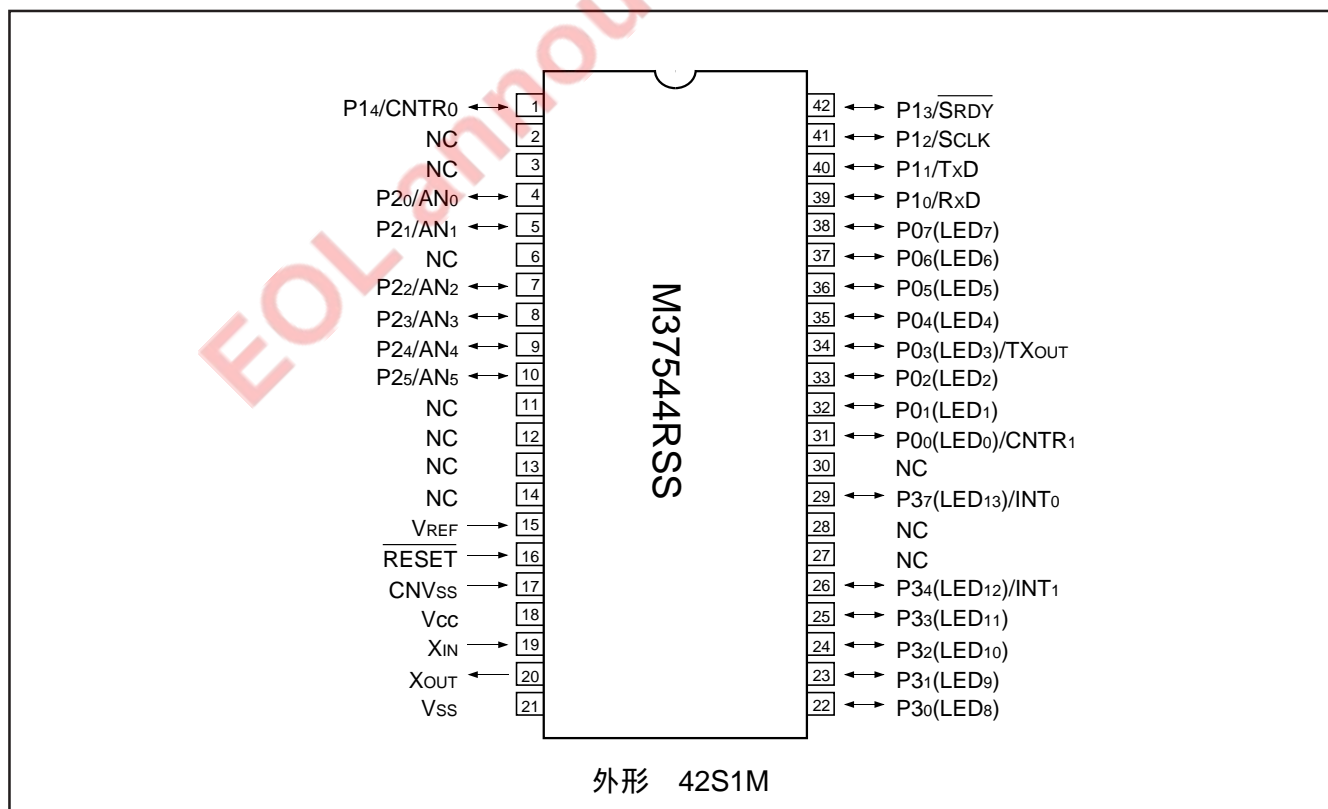


図 3 . ピン接続図 (42S1M パッケージタイプ)

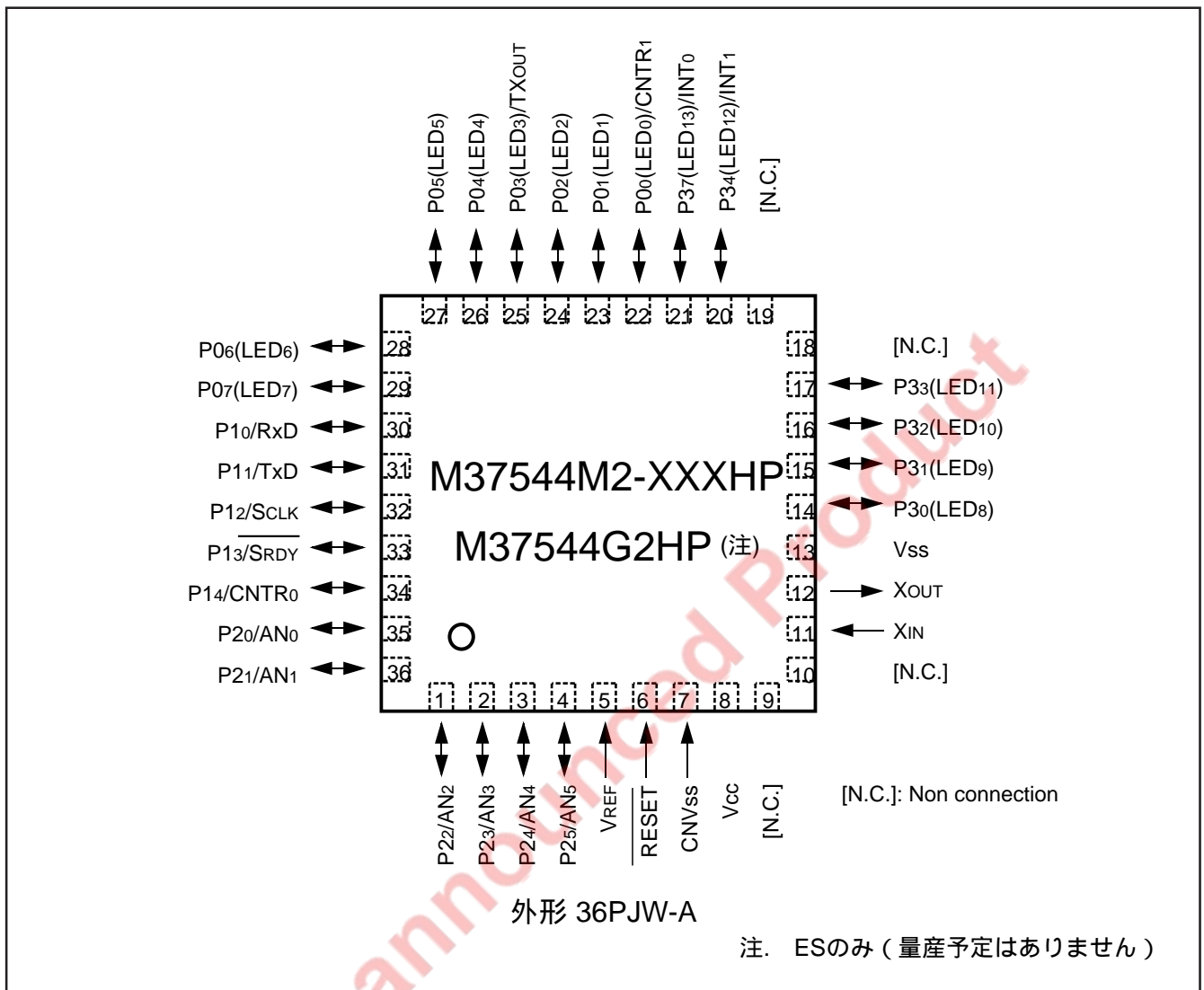


図4. ピン接続図 (36PJW-A パッケージタイプ)

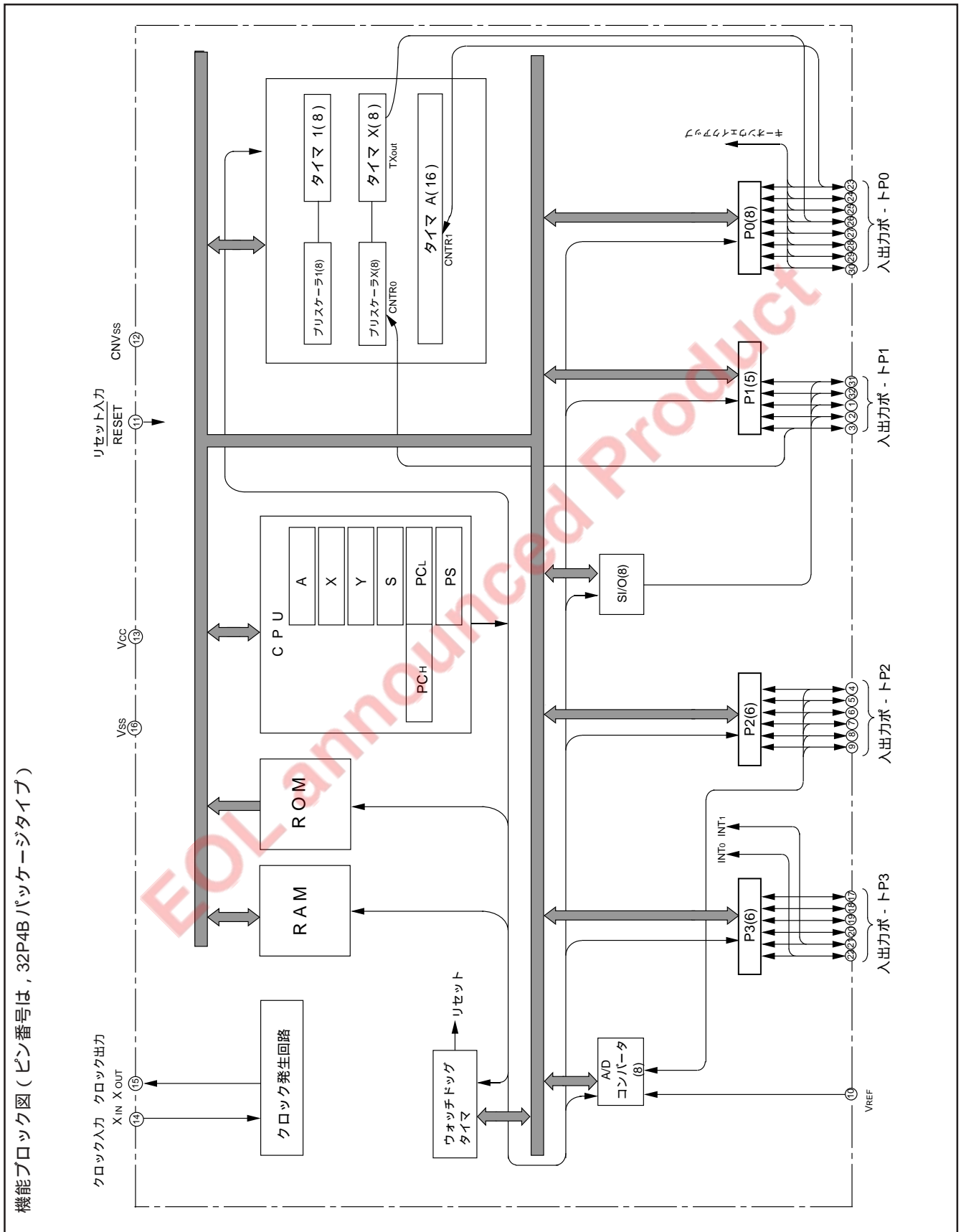


図 5 . 機能ブロック図 (32P4B パッケージタイプ)

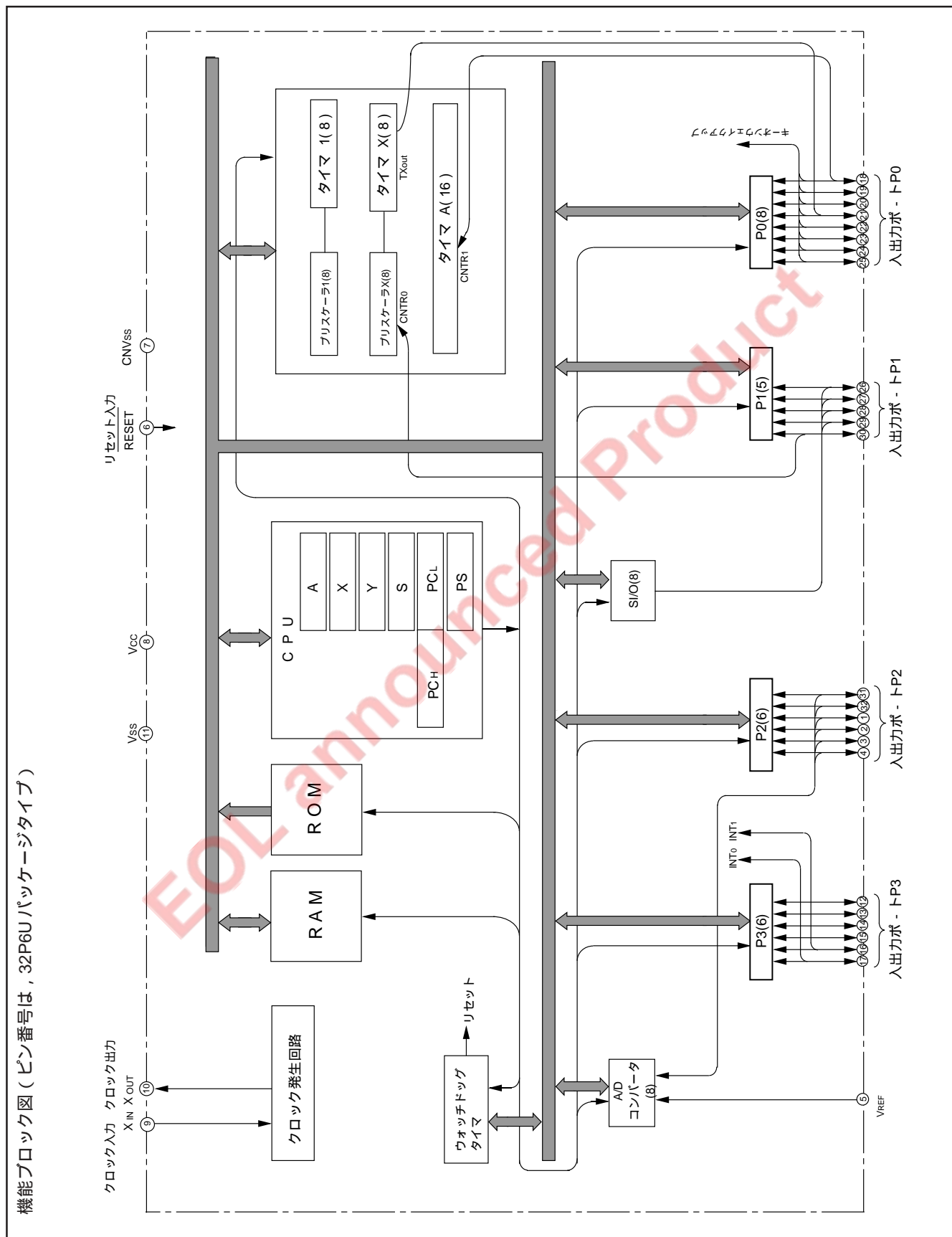


図 6 . 機能ブロック図 (32P6Uパッケージタイプ)

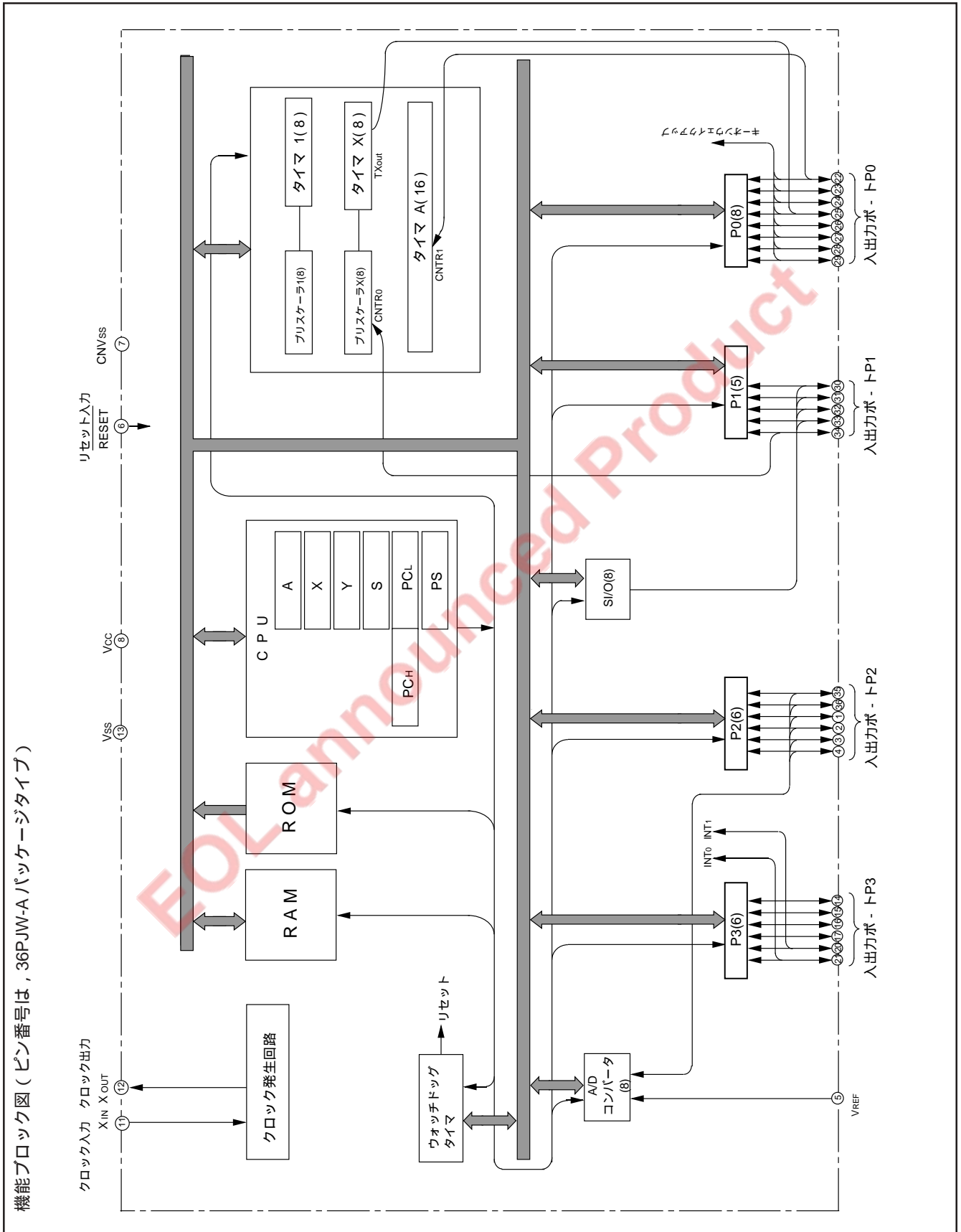


図 7. 機能ブロック図 (36PJW-Aパッケージタイプ)

端子の機能説明

表 1 . 端子の機能説明

端子名	名称	機能	ポート以外の機能
VCC, VSS	電源入力	VCC に 4.0 ~ 5.5V, VSS に 0V を印加します。	
VREF	基準電圧入力	A/D 変換器の基準電圧入力端子です。	
CNVSS	CNVSS	チップの動作モードを制御する端子で常に VSS に接続します。	
RESET	リセット入力	アクティブ“L”のリセット入力端子です。	
XIN	クロック入力	内部クロック発生回路の入出力端子で、XIN と XOUT の間にセラミック共振子又は水晶発振子を接続します。RC 発振時は、XIN と XOUT を短絡しコンデンサと抵抗を接続します。	
XOUT	クロック出力	外部クロック使用時にはクロック発振源を XIN 端子に接続し、XOUT 端子は開放にします。メインクロックをオンチップオシレータで供給する場合には、XIN 端子を VCC に接続し、XOUT 端子は開放にします。	
P00/CNTR1 P01 P02 P03/TXOUT P04 ~ P07	入出力ポート P0	8 ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS 入力レベルで、出力形式は CMOS3 ステートで、LED 駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ割り込み入力) 端子 タイマ X, タイマ A の機能端子
P10/RxD P11/TxD P12/SCLK P13/SRDY P14/CNTR0	入出力ポート P1	5 ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS 入力レベルで、出力形式は CMOS3 ステートです。 P10, P12 は CMOS/TTL レベル切り替えが可能です。	シリアル I/O 機能端子 タイマ X の機能端子
P20/AN0 ~ P25/AN5	入出力ポート P2	P0 とほぼ同等の機能を持った 6 ビットの入出力ポートです。CMOS 入力レベルで、出力形式は CMOS3 ステートです。	A/D 変換器の入力端子
P30 ~ P33 P34/INT1 P37/INT0	入出力ポート P3	6 ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS 入力レベルです。(P34, P37 については、CMOS/TTL レベルの切替えが可能です。) 出力形式は、CMOS3 ステートで、LED 駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	割り込み入力端子

グループ展開

7544グループは、次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、エミュレータ専用
MCUのサポート

メモリ容量

ROM/PROM容量 8Kバイト
RAM容量 256バイト

パッケージ

32P4B 32ピンプラスチックモールド
SDIP
32P6U-A 0.8mmピッチ32ピンプラスチック
モールドLQFP
36PJW-A 0.5mmピッチ36ピンプラスチック
モールドSSOP
42S1M 42ピンシュリンクセラミック
PIGGY BACK

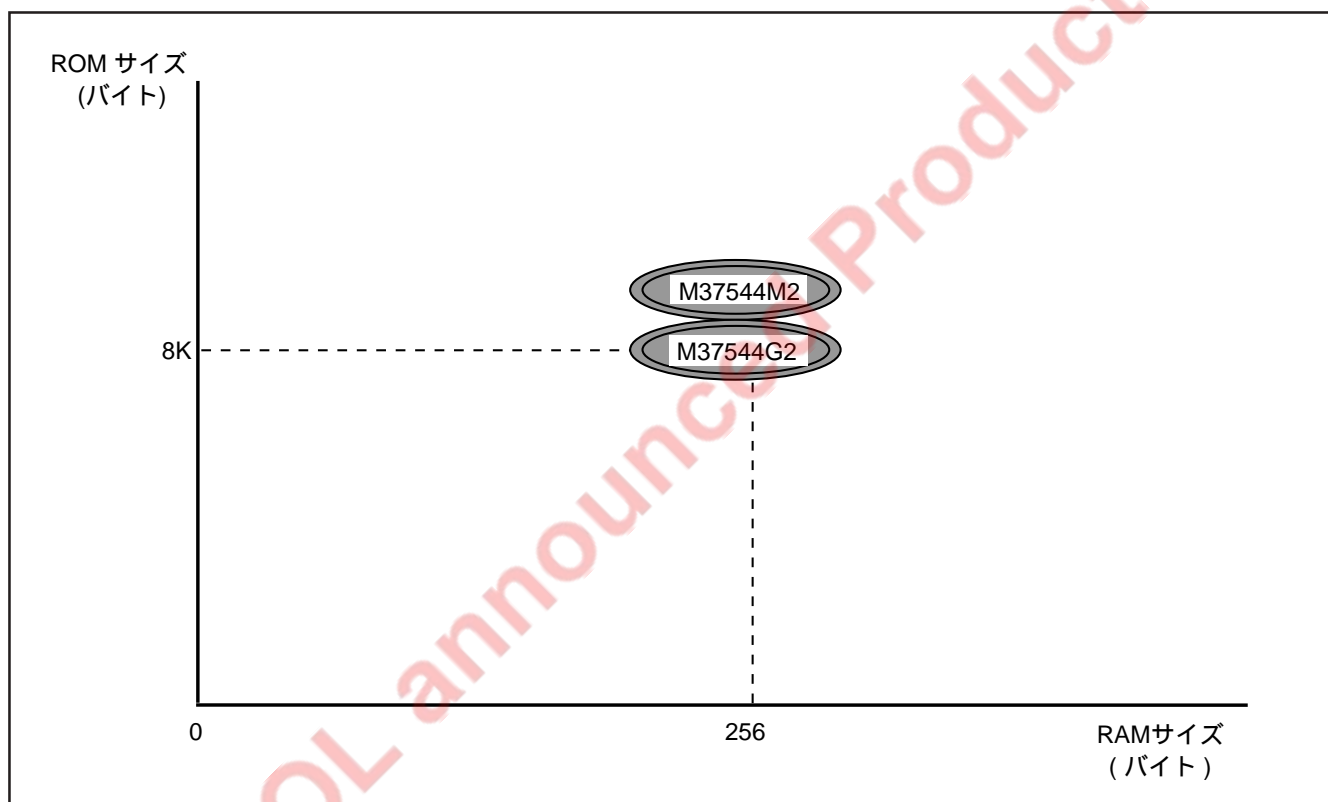


図8. ROM及びRAM展開計画

現在開発を行っている製品を下記に示します。

表2. サポート製品一覧

製品型名	(P)ROM容量 (バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37544M2-XXXSP	8192 (8062)	256	32P4B	マスクROM版
M37544M2-XXXGP			32P6U-A	マスクROM版
M37544M2-XXXHP			36PJW-A	マスクROM版
M37544G2SP			32P4B	ワンタイムPROM版 (ブランク品)
M37544G2GP			32P6U-A	ワンタイムPROM版 (ブランク品)
M37544G2HP (注)			36PJW-A	ワンタイムPROM版 (ブランク品)
M37544RSS	—————	256	42S1M	エミュレータ専用MCU

注: ESのみ (量産予定はありません)

機能ブロック動作説明

中央演算処理装置 (CPU)

7544グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。(CPUがオンチップオシレータによって動作している間は使用できません。)

中央演算装置(CPU)には6個のレジスタがあります。図9にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合“01₁₆”となります。

スタックへの退避及び復帰動作を図10に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

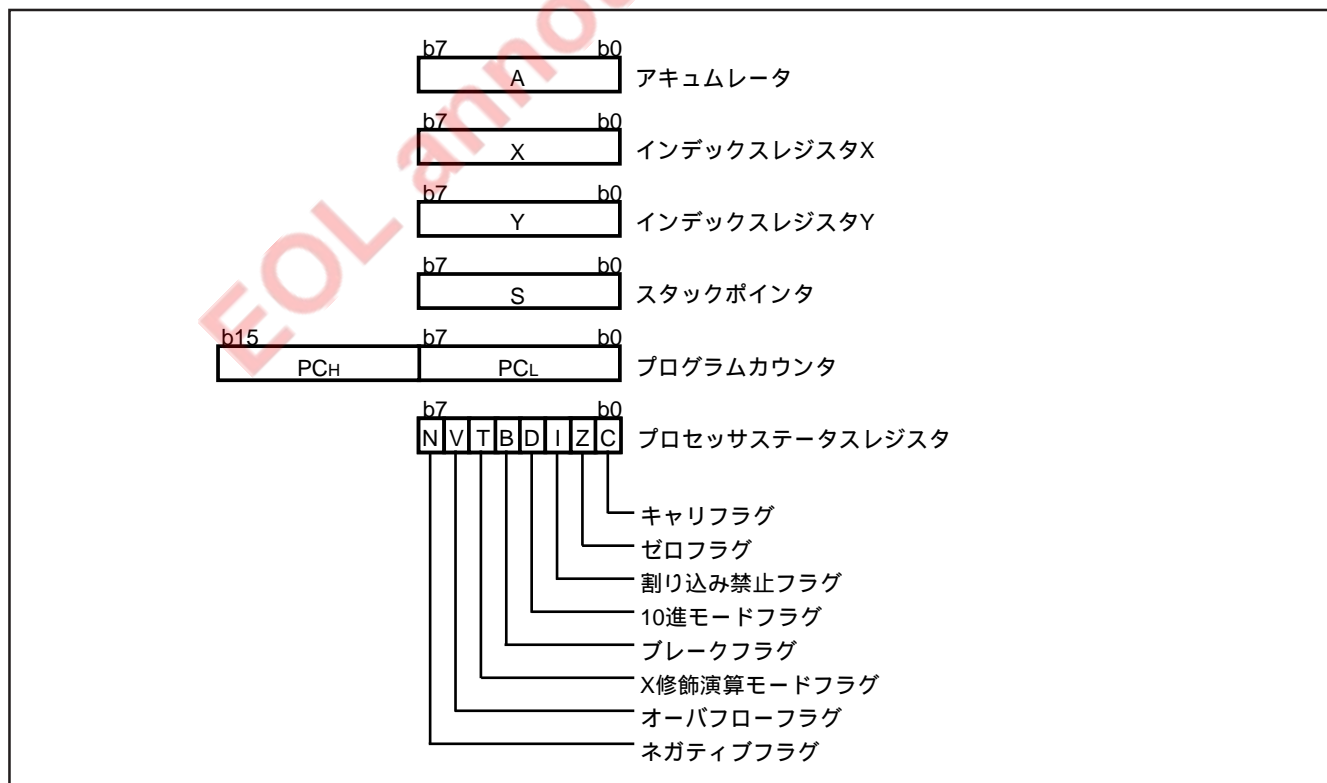


図9. 740ファミリCPUの構成

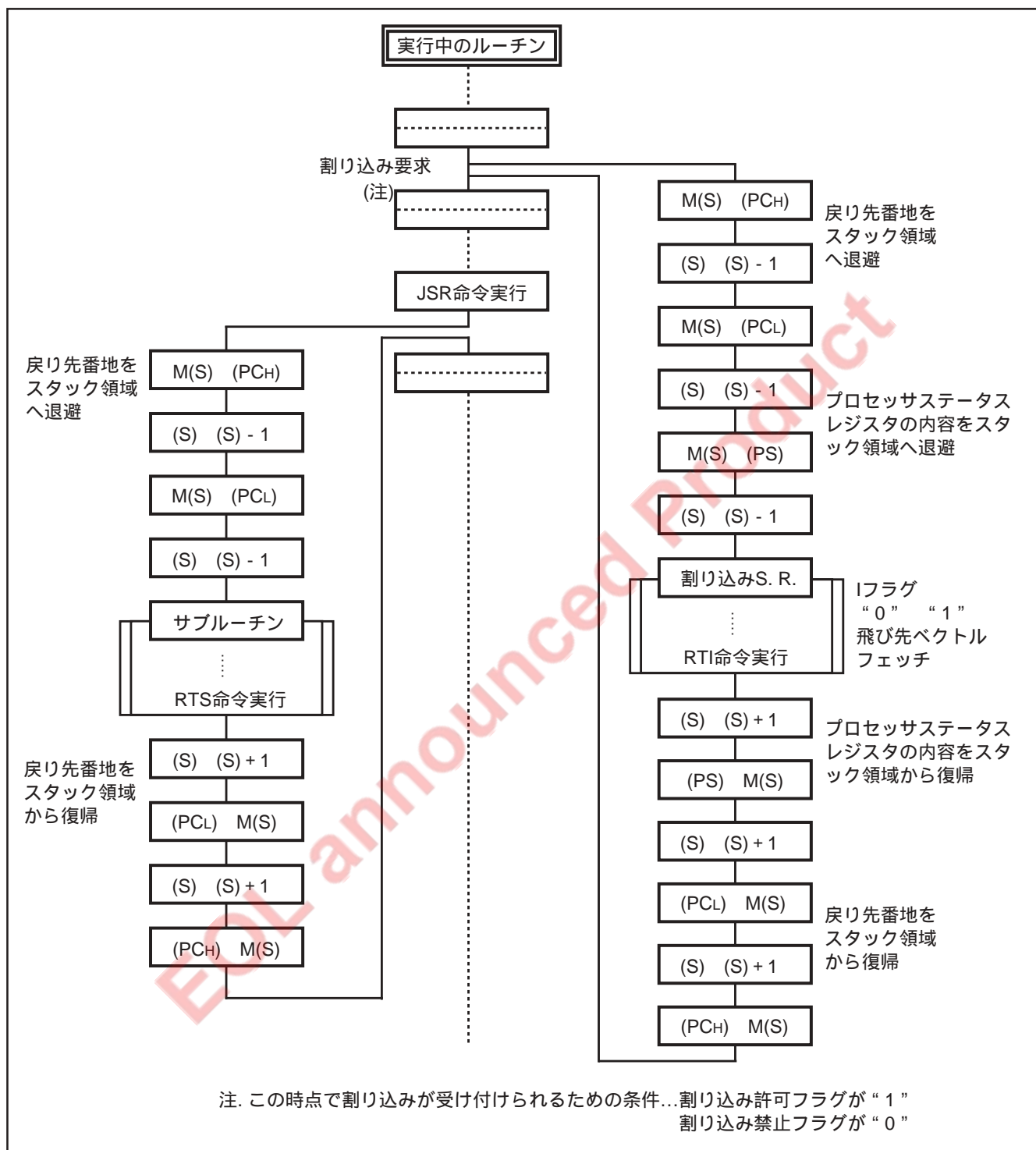


図 10 . スタックへの退避及び復帰動作

表 3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化しませんが、

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使います。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

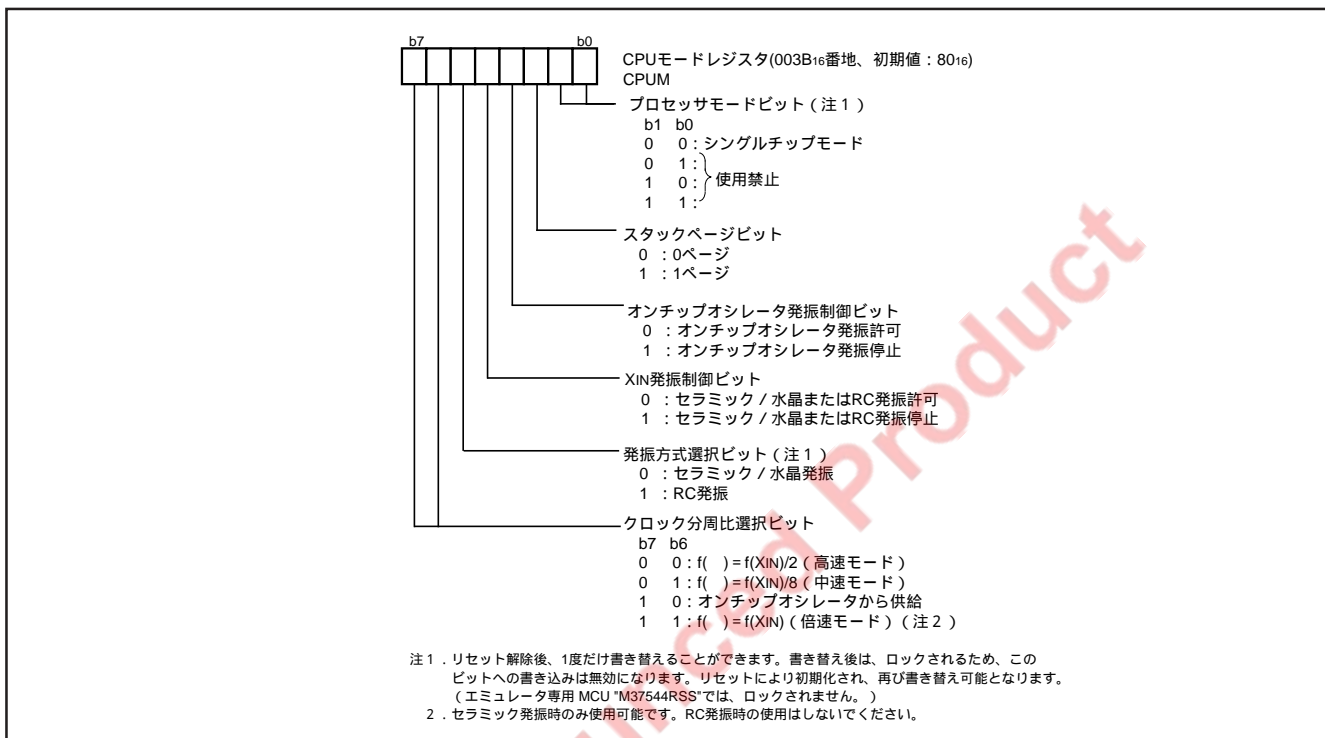


図 11 . CPU モードレジスタの構成

CPU モードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ (CPUM)の切り替えを以下の手順で行ってください。

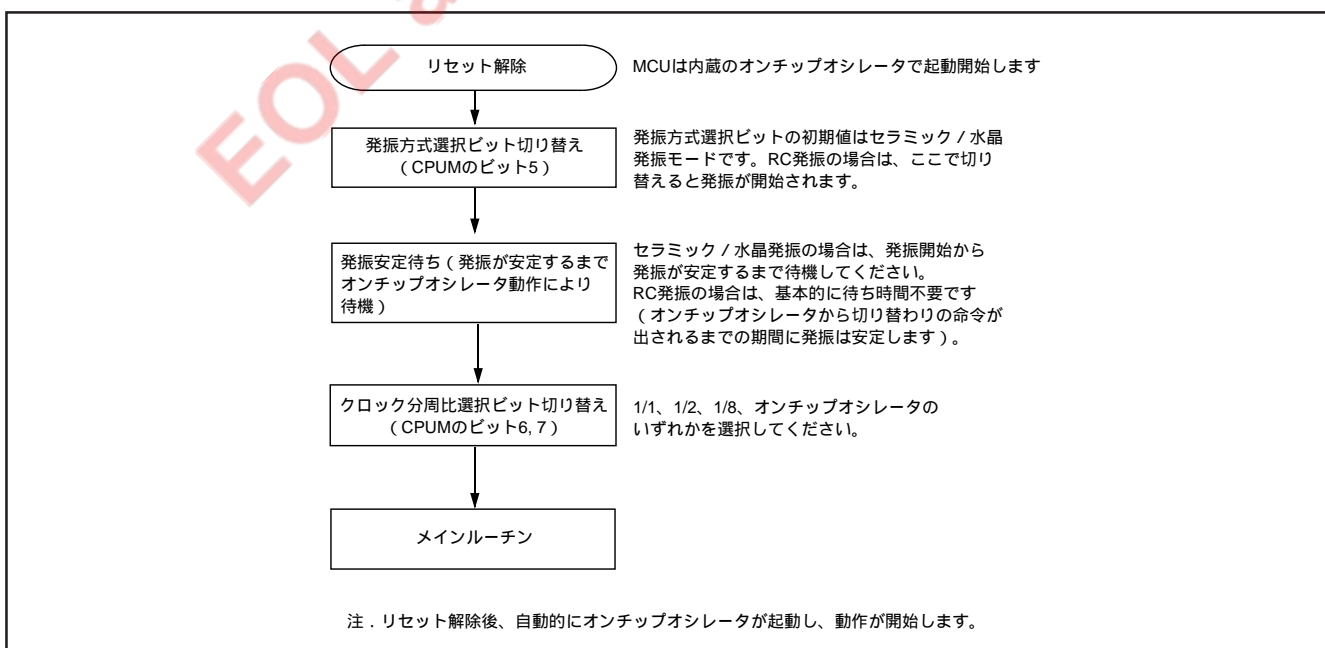


図 12 . CPU モードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定して下さい。

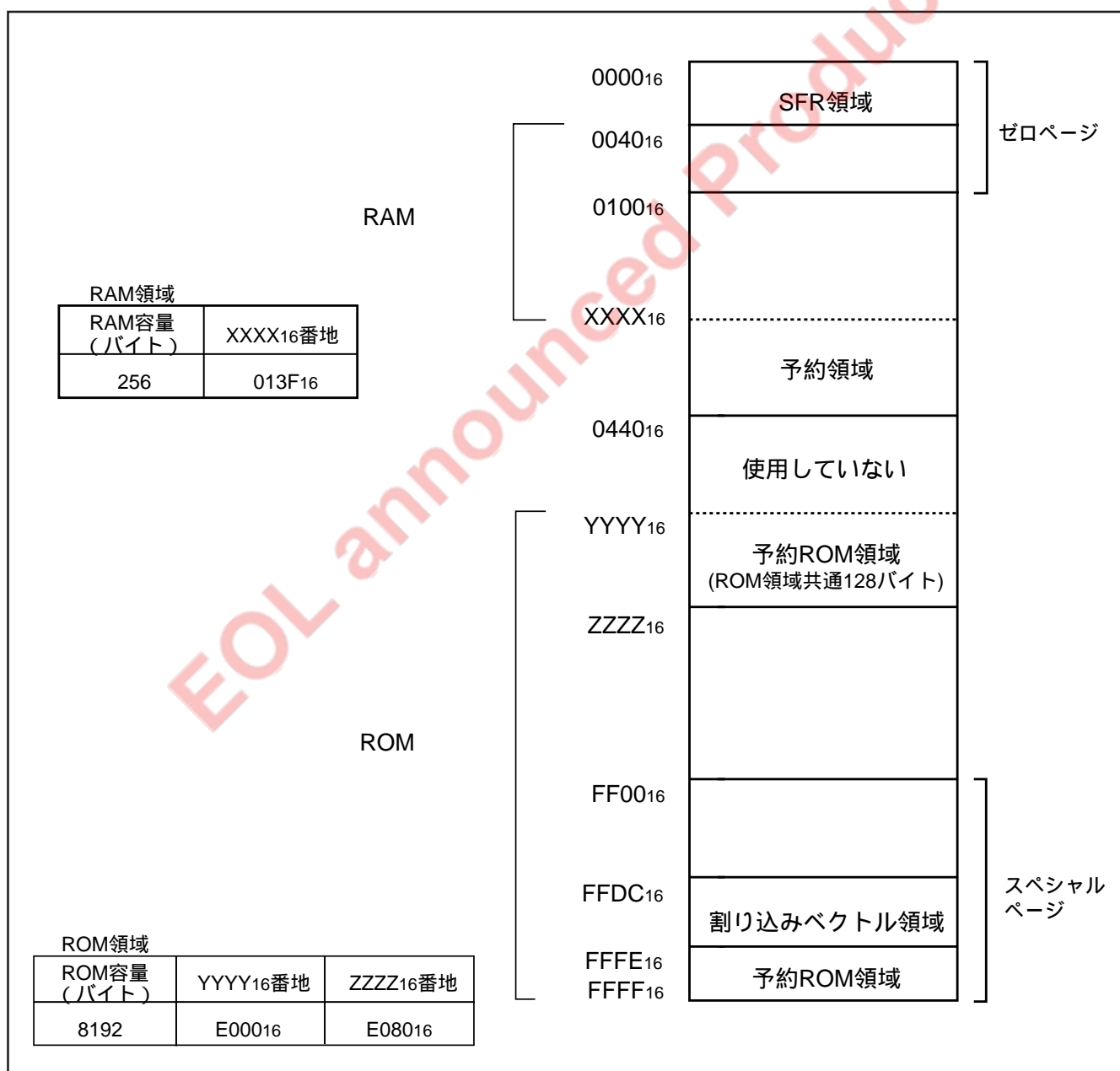


図 13. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	予約領域
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	予約領域
0002 ₁₆	ポートP1(P1)	0022 ₁₆	予約領域
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	予約領域
0004 ₁₆	ポートP2(P2)	0024 ₁₆	予約領域
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	予約領域
0006 ₁₆	ポートP3(P3)	0026 ₁₆	予約領域
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	予約領域
0008 ₁₆	予約領域	0028 ₁₆	プリスケアラ1(PRE1)
0009 ₁₆	予約領域	0029 ₁₆	タイマ1(T1)
000A ₁₆	予約領域	002A ₁₆	予約領域
000B ₁₆	予約領域	002B ₁₆	タイマXモードレジスタ(TXM)
000C ₁₆	予約領域	002C ₁₆	プリスケアラX(PREX)
000D ₁₆	予約領域	002D ₁₆	タイマX(TX)
000E ₁₆	予約領域	002E ₁₆	タイマカウントソース設定レジスタ1(TCSS1)
000F ₁₆	予約領域	002F ₁₆	タイマカウントソース設定レジスタ2(TCSS2)
0010 ₁₆	予約領域	0030 ₁₆	予約領域
0011 ₁₆	予約領域	0031 ₁₆	予約領域
0012 ₁₆	予約領域	0032 ₁₆	予約領域
0013 ₁₆	予約領域	0033 ₁₆	予約領域
0014 ₁₆	予約領域	0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆	予約領域	0035 ₁₆	A/Dレジスタ(AD)
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	予約領域
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)	0037 ₁₆	予約領域
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアルI/Oステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアルI/O制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	タイマモードレジスタ(TAM)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	タイマA(下位)(TAL)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	タイマA(上位)(TAH)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注．SFRの空き領域のメモリアクセスは行わないでください。

図 14．SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

【ポート P1P3 制御】P1P3C

ポートP10、P12、P34、P37は、ポートP1P3制御レジスタ(0017₁₆番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

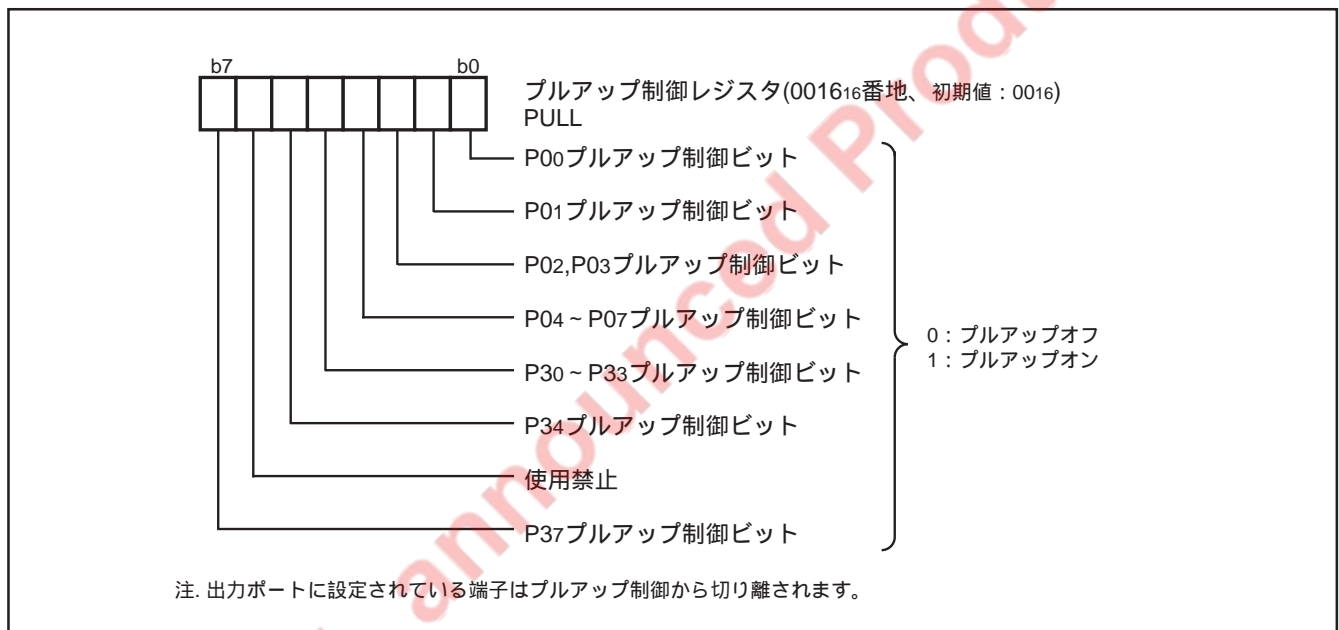


図 15 . プルアップ制御レジスタの構成

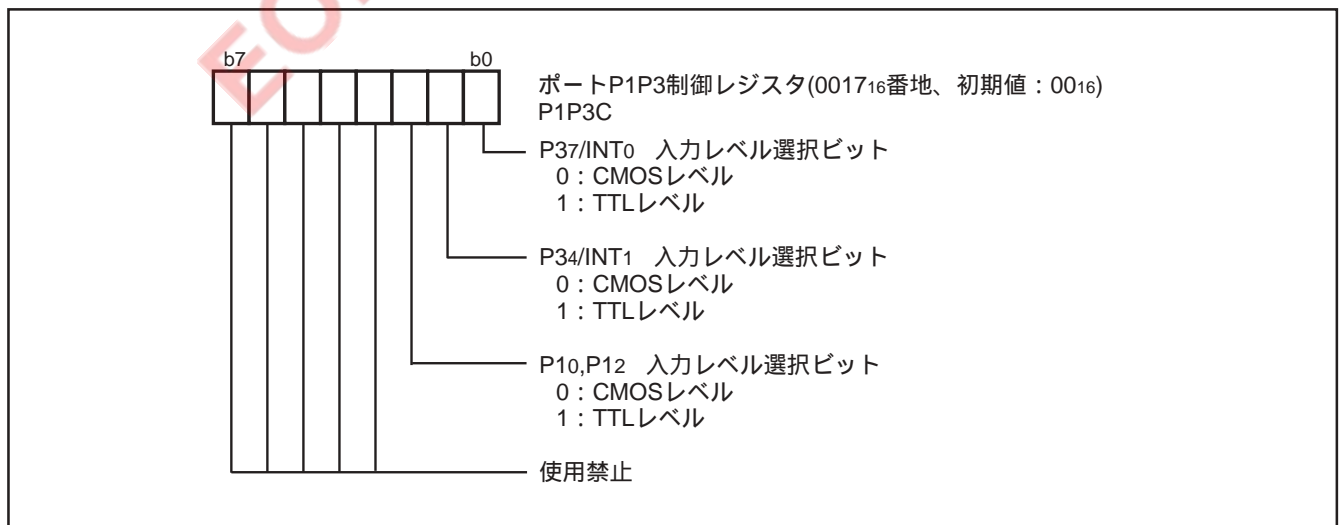


図 16 . ポート P1P3 制御レジスタの構成

表5．入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連する SFR	図番				
P00/CNTR1 P01 P02 P03/TXOUT P04 ~ P07	ポート P0	入出力 ビット単位	CMOS 入力レベル CMOS3 ステート出力 (注)	キー入力割り込み タイマ X 機能出力 タイマ A 機能入力	プルアップ制御レジスタ	(1)				
					タイマ X モードレジスタ	(2)				
					タイマ A モードレジスタ 割り込みエッジ選択レジスタ	(3)				
P10/RxD P11/TxD P12/SCLK P13/SRDY	ポート P1					シリアル I/O 機能入出力	シリアル I/O 制御レジスタ	(4)		
								ポート P1P3 制御レジスタ	(5)	
P14/CNTR0								タイマ X 機能入出力	タイマ X モードレジスタ	(8)
P20/AN0 ~ P25/AN5	ポート P2							A/D 変換入力	A/D 制御レジスタ	(9)
P30 ~ P33	ポート P3								プルアップ制御レジスタ	(10)
P34/INT1 P37/INT0								外部割り込み入力	割り込みエッジ選択レジスタ プルアップ制御レジスタ ポート P1P3 制御レジスタ	(11)

注．P10, P12, P34, P37 は CMOS/TTL 入力レベル。

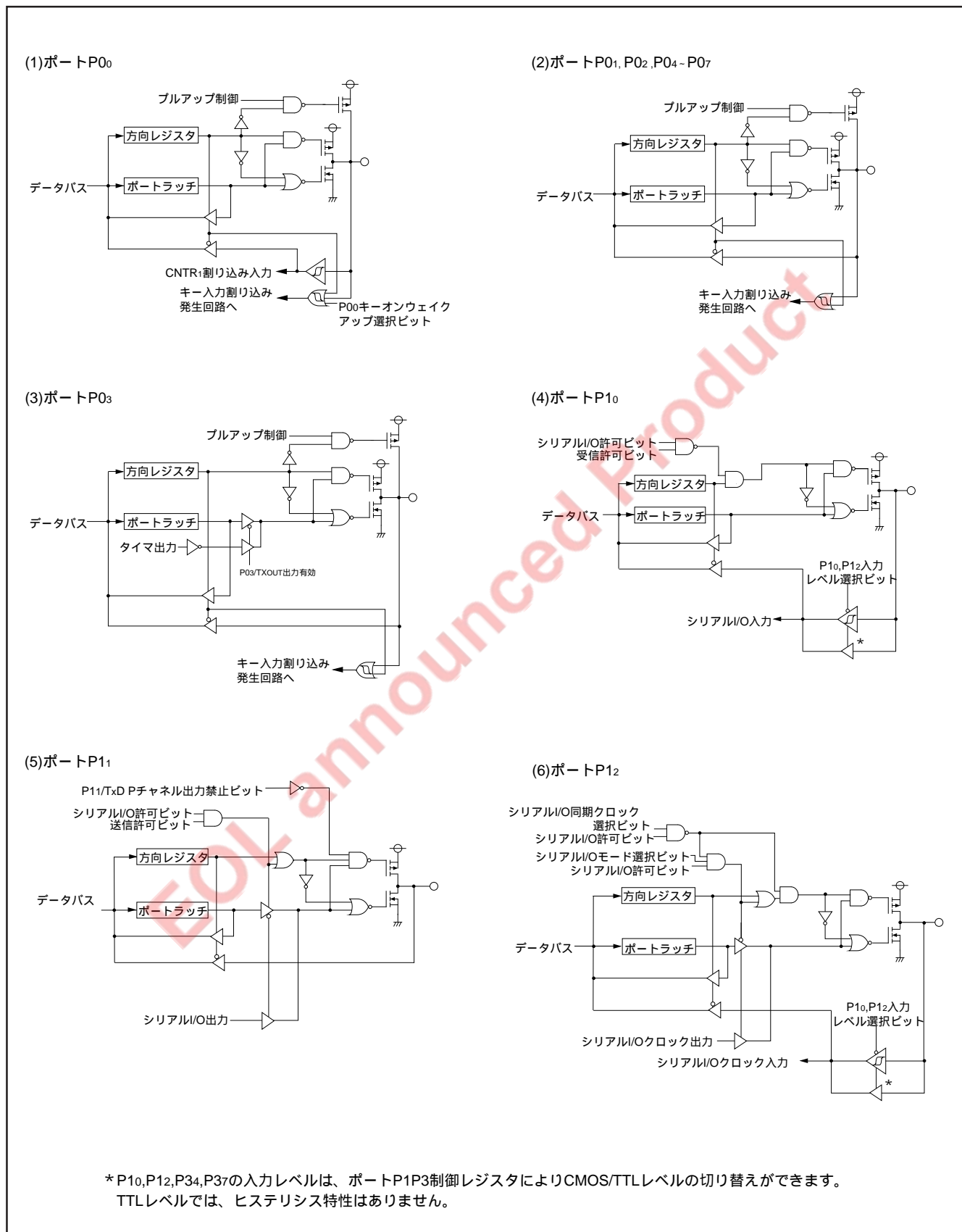


図 17 . ポートのブロック図 (1)

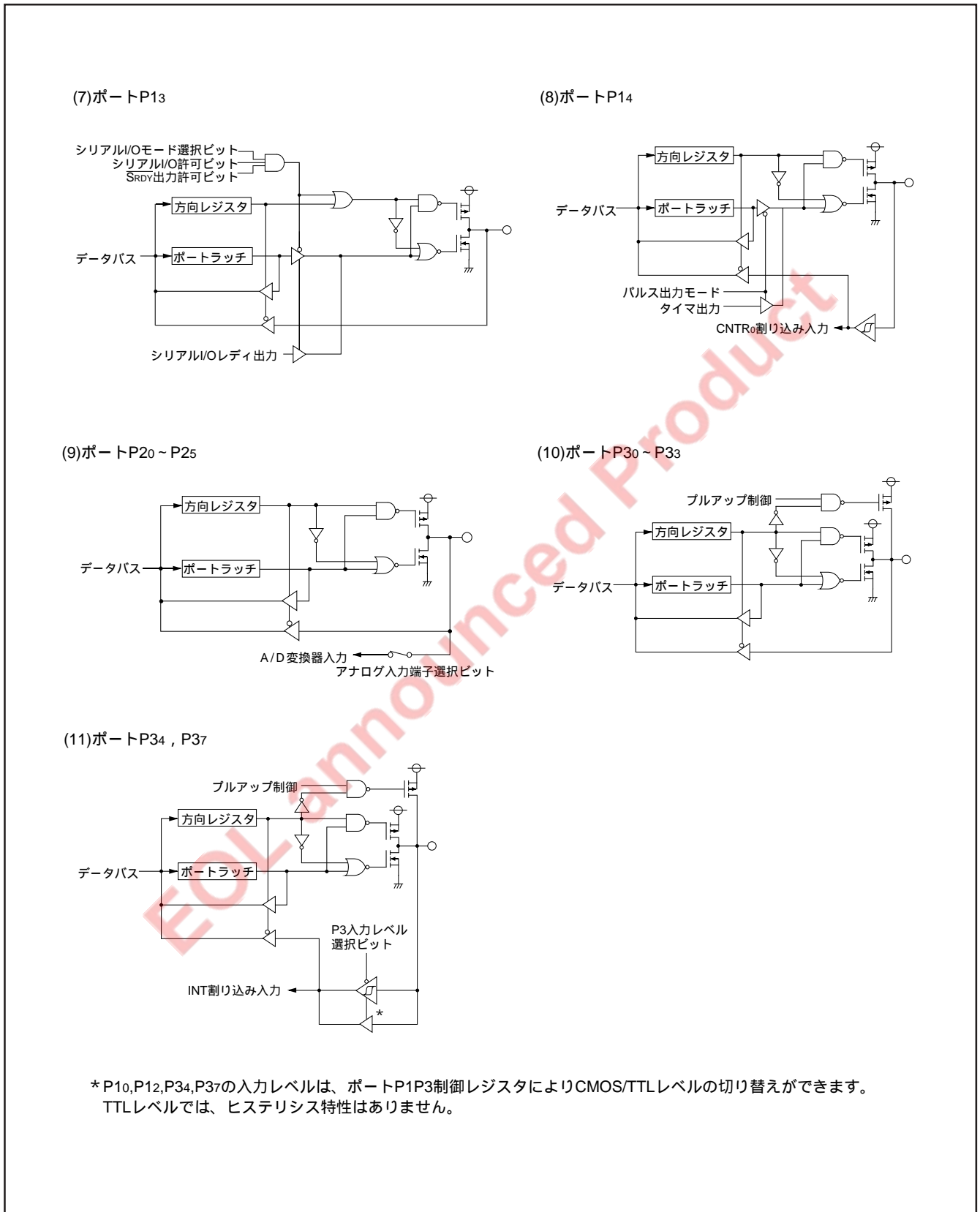


図 18 . ポートのブロック図 (2)

割り込み

割り込みはベクトル割り込みで、外部 5 要因、内部 6 要因、ソフトウェア 1 要因の 12 要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

【割り込みエッジ選択レジスタ】INTEDGE

外部割り込みINT0、INT1の有効エッジは、割り込みエッジ選択ビットによってそれぞれ選択できます。

P00端子のキーオンウェイクアップの許可/禁止は、キーオンウェイクアップ選択ビットによって選択できます。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込み(INT0、INT1、CNTR0、CNTR1)のアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
 タイマXモードレジスタ(2B16番地)
 タイマAモードレジスタ(1D16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)を設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表 6 . 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地 (注1)		割り込み要求発生条件	備考
		上位	下位		
リセット (注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
シリアル I/O 受信	2	FFFB16	FFFA16	シリアル I/O データ受信時	
シリアル I/O 送信	3	FFF916	FFF816	シリアル I/O 送信シフト完了時又は送信バッファ空き時	
INT0	4	FFF716	FFF616	INT0 入力の立ち上がり又は立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
INT1	5	FFF516	FFF416	INT1 入力の立ち上がり又は立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
キーオンウェイクアップ	6	FFF316	FFF216	ポート P0 (入力時) の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がりエッジ有効)
CNTR0	7	FFF116	FFF016	CNTR0 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	8	FFEF16	FFEE16	CNTR1 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマ X	9	FFED16	FFEC16	タイマ X アンダフロー時	
予約領域	-	FFEB16	FFEA16	使用できません。	
予約領域	-	FFE916	FFE816	使用できません。	
タイマ A	10	FFE716	FFE616	タイマ A アンダフロー時	
予約領域	-	FFE516	FFE416	使用できません。	
A/D 変換	11	FFE316	FFE216	A/D 変換終了時	
タイマ 1	12	FFE116	FFE016	タイマ 1 アンダフロー時	STP 解除タイマアンダフロー
予約領域	-	FFDF16	FFDE16	使用できません。	
BRK 命令	13	FFDD16	FFDC16	BRK 命令実行時	ノンマスクابلソフトウェア割り込み

注 1 . ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2 . リセットは最上位の優先順位を持つ割り込みとして処理されます。

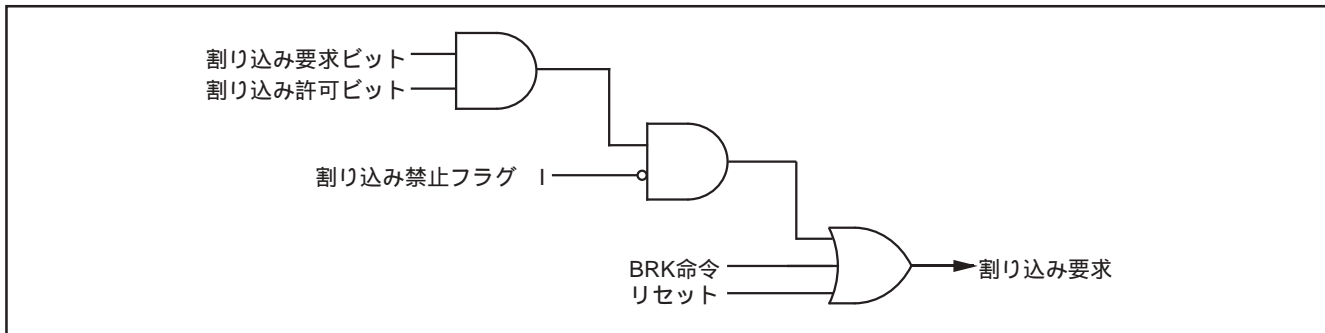


図 19 . 割り込み制御図

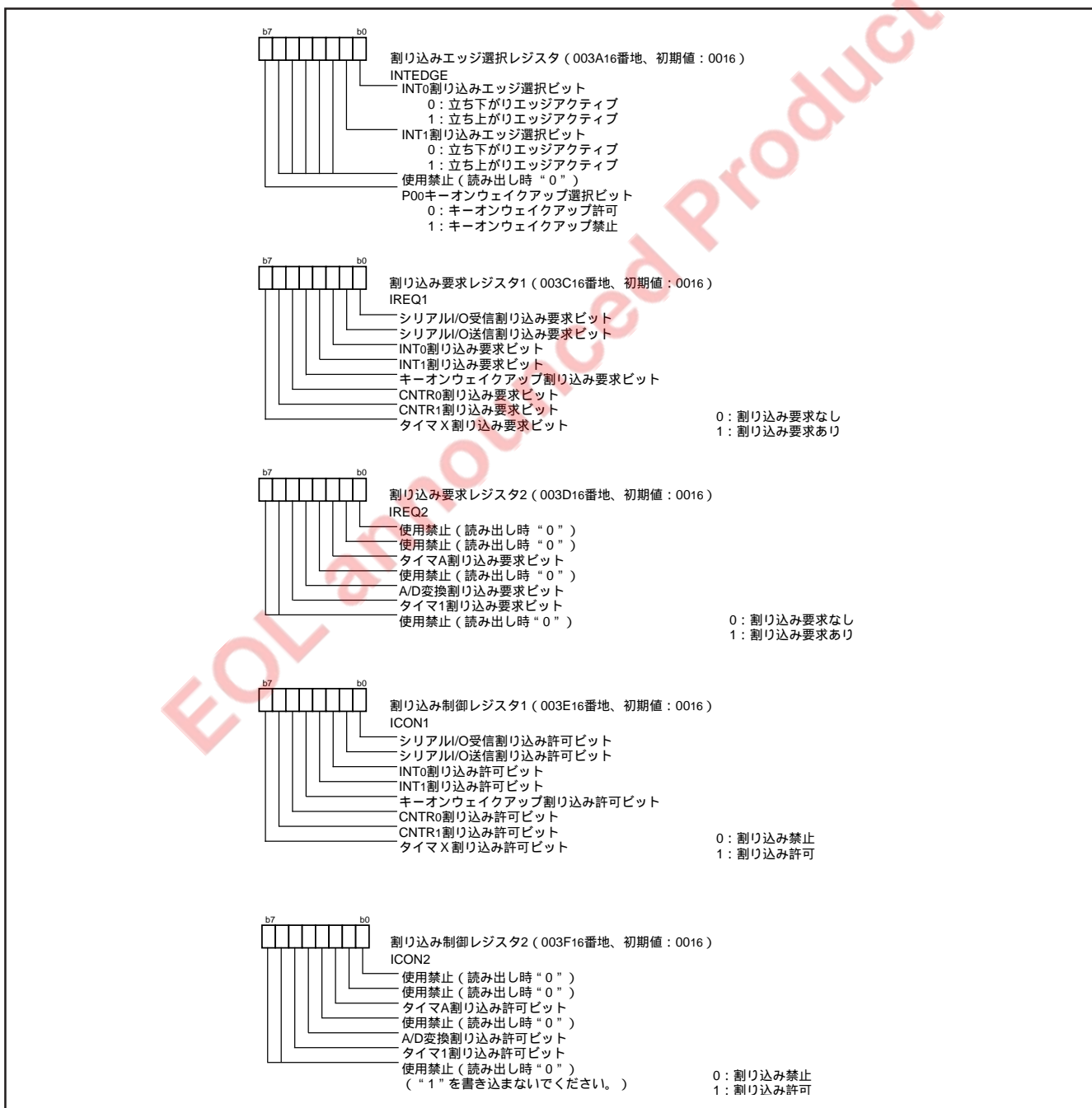


図 20 . 割り込み関係レジスタの構成

キー入力割り込み（キーオンウェイクアップ）

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求

が発生します。図はキー入力割り込みを用いた一例で、ポートP0₀～P0₃を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

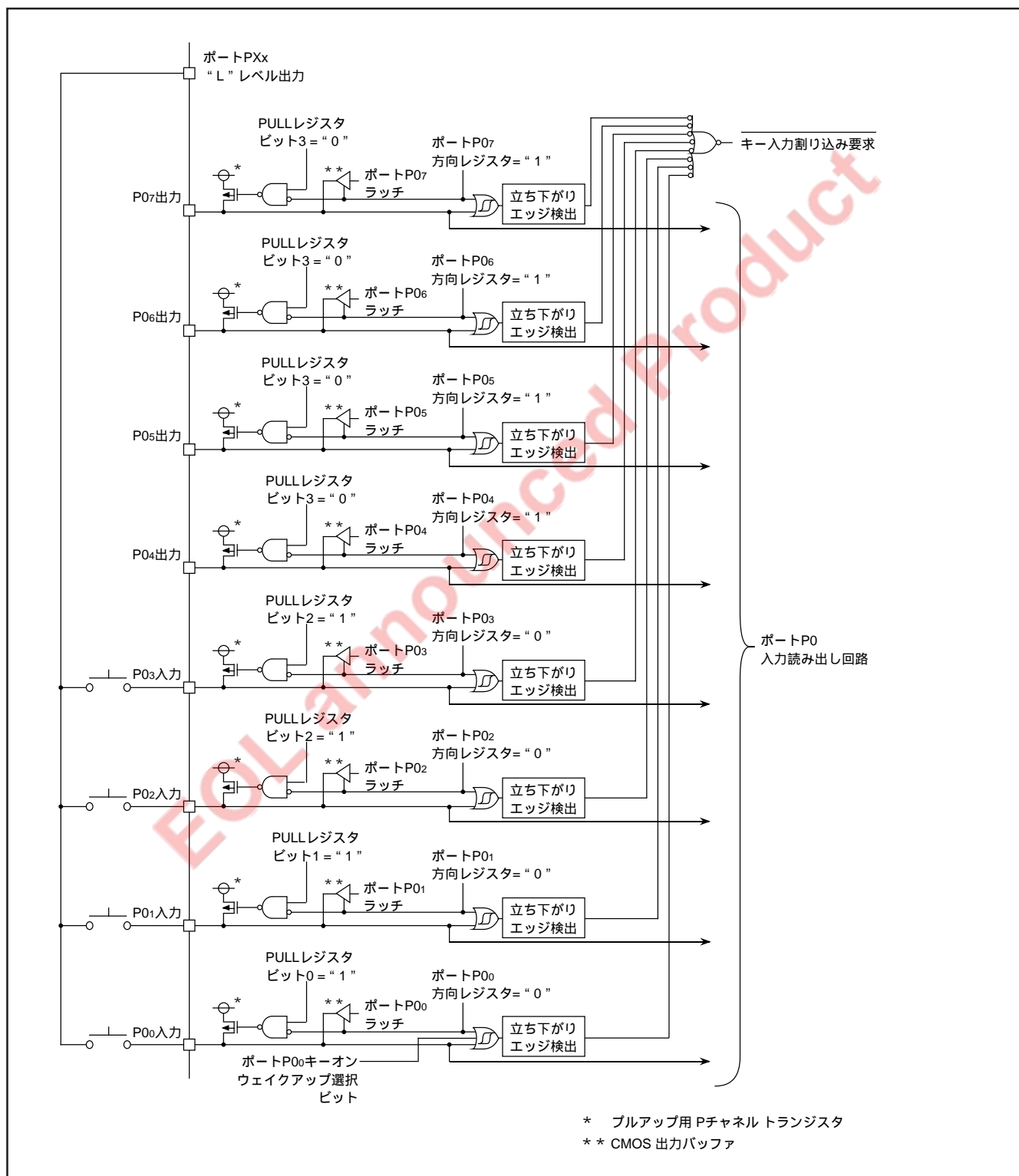


図 21 . キー入力割り込み使用時の結線例とポート P0 のブロック図

タイマ

タイマは、タイマ1、タイマA及びタイマXの3本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると、 $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“1”にセットされます。

タイマ1

タイマ1は8ビットタイマで、プリスケアラ1の出力をカウントし、タイマ1のアンダフローによって、タイマ1割り込み要求ビットをセットします。

プリスケアラ1は8ビットのプリスケアラで、タイマ1カウントソース選択ビットにより選択された信号をカウントします。

プリスケアラ1及びタイマ1には、それぞれのリロード値を保持するためのプリスケアララッチ及びタイマ1ラッチが配置されています。プリスケアラ1ラッチの値は、プリスケアラ1がアンダフローした時にプリスケアラ1に転送されます。タイマ1ラッチの値は、タイマ1がアンダフローした時にタイマ1に転送されます。

プリスケアラ1(PRE1)に書き込みを行うと、プリスケアラ1ラッチとプリスケアラ1の両方に値が書き込まれます。タイマ1(T1)に書き込みを行うと、タイマ1ラッチとタイマ1の両方に値が書き込まれます。

プリスケアラ1(PRE1)又はタイマ1(T1)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマ1は常にタイマモードで動作します。

プリスケアラ1は、タイマ1カウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラ1の内容が“0016”になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値をnとすると $1/(n+1)$ となります。

タイマ1は、プリスケアラ1のアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマ1の内容が“0016”になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。

タイマ1の分周比は、タイマ1の設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラ1の設定値をn、タイマ1の設定値をmとした場合、プリスケアラ1とタイマ1をあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

なお、タイマ1はソフトウェアによりカウントを停止することはできません。

タイマA

タイマAは16ビットタイマで、タイマAカウントソース選択ビットにより選択された信号をカウントし、タイマAのアンダフローによって、タイマA割り込み要求ビットをセットします。

タイマAはタイマA下位(TAL)、タイマA上位(TAH)で構成されます。

タイマAには、リロード値を保持するためのタイマラッチが配置されており、タイマAラッチの値は次のタイミングでタイマAに転送されます。

- ・タイマAのアンダフロー時
- ・CNTR1端子からの有効エッジの入力時(周期測定モード及びパルス幅HL連続測定モード使用時のみ)

タイマA下位(TAL)、タイマA上位(TAH)に書き込みを行うと、タイマAラッチとタイマAの両方に値が書き込まれます。タイマA下位(TAL)、タイマA上位(TAH)を読み出すと、動作モードによって次の値が読み出されます。

- ・タイマモード、イベントカウンタモード時：
タイマAのカウント値が読み出されます。
- ・周期測定モード時、パルス幅HL連続測定モード時：
測定結果が読み出されます。

タイマA下位(TAL)とタイマA上位(TAH)の書き込み、読み出しは、必ず次の順序で行ってください。

読み出し・・・タイマA上位(TAH)、タイマA下位(TAL)の順で、必ず両レジスタ共に読み出してください。

書き込み・・・タイマA下位(TAL)、タイマA上位(TAH)の順で、必ず両レジスタ共に書き込んでください。

タイマAは、タイマAモードレジスタを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

タイマAはタイマAカウントソース選択ビットにより選択された信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。タイマAの内容が“0000₁₆”になった次のカウントクロックでアンダフローし、タイマAラッチの内容がタイマAにリロードされます。分周比はタイマAの設定値をnとすると1/(n+1)となります。

(2) 周期測定モード

周期測定モードは、P0₀/CNTR₁端子に入力されるパルス周期を測定するモードです。CNTR₁端子の立ち上がり又は立ち下がりにてタイマAラッチの内容がタイマAにリロードされ、CNTR₁割り込み要求ビットが“1”にセットされた後、再びカウントを続けます。CNTR₁端子入力の有効エッジは、CNTR₁極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

CNTR₁端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

(3) イベントカウンタモード

イベントカウンタモードでは、P0₀/CNTR₁端子から入力される信号がカウントソースになることを除けば、タイマモードと同じ動作を行います。CNTR₁端子入力の有効エッジは、CNTR₁極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅HL連続測定モード

パルス幅HL連続測定モードは、P0₀/CNTR₁端子に入力されるパルス幅(“H”及び“L”レベル)を測定するモードです。CNTR₁端子に入力されるパルスの両エッジでリロード、及びCNTR₁割り込み要求ビットが“1”にセットされることを除いて、周期測定モードと同じ動作をします。

CNTR₁端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

タイマAは、いずれの動作モードでも、タイマAカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが“1”にセットされます。

注意事項

・CNTR₁割り込み極性選択

CNTR₁極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR₁極性切り替えビットが“0”のときはCNTR₁端子入力の立ち下がりエッジで、CNTR₁極性切り替えビットが“1”のときはCNTR₁端子入力の立ち上がりエッジで、CNTR₁割り込み要求ビットが“1”にセットされません。

ただし、パルス幅HL連続測定モードの場合は、CNTR₁極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりにてCNTR₁割り込み要求が発生します。

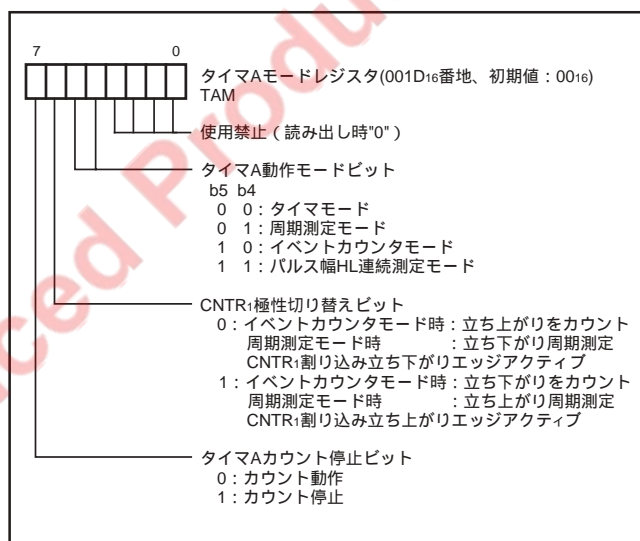


図22. タイマAモードレジスタの構成

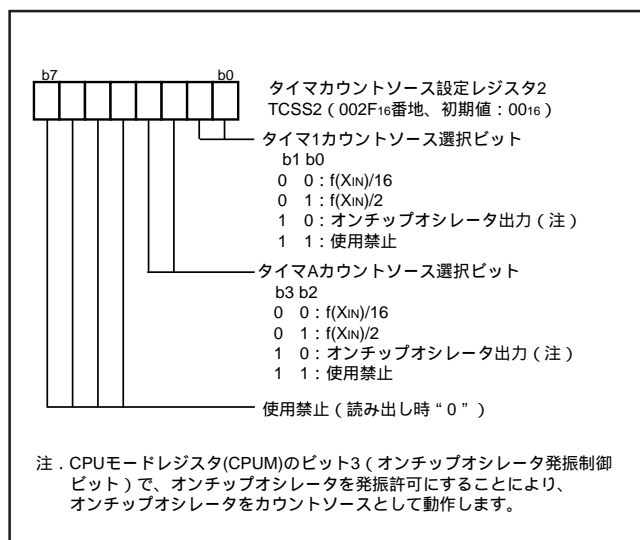


図23. タイマカウントソース設定レジスタ2の構成

タイマX

タイマXは8ビットタイマで、プリスケラXの出力をカウントし、タイマXのアンダフローによって、タイマX割り込み要求ビットをセットします。

プリスケラXは8ビットのプリスケラで、タイマXカウントソース選択ビットにより選択された信号をカウントします。

プリスケラX及びタイマXには、それぞれのリロード値を保持するためのプリスケラXラッチ及びタイマXラッチが配置されています。

プリスケラXラッチの値は、プリスケラXがアンダフローした時にプリスケラXに転送されます。タイマXラッチの値は、タイマXがアンダフローした時にタイマXに転送されます。

プリスケラX(PREX)やタイマX(TX)に書き込みを行うと、タイマX書き込み制御ビットの設定値により、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラX、タイマXの両方に値を書き込むかを選択することができます。

プリスケラX(PREX)又はタイマX(TX)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマXは、タイマXモードレジスタのタイマX動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケラXは、タイマXカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラXの内容が“00₁₆”になった次のカウントクロックでアンダフローし、プリスケラXラッチの値をプリスケラXに転送してカウントを続けます。プリスケラXの分周比は、プリスケラXの設定値をnとすると1/(n+1)となります。

タイマXは、プリスケラXのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマXの内容が“00₁₆”になった次のカウントクロックでアンダフローし、タイマXラッチの値をタイマXに転送してカウントを続けます。

タイマXの分周比は、タイマXの設定値をmとすると1/(m+1)となります。したがって、プリスケラXの設定値をn、タイマXの設定値をmとした場合、プリスケラXとタイマXをあわせた分周比は、1/((n+1) × (m+1))となります。

(2) パルス出力モード

パルス出力モードでは、タイマXがアンダフローするたびに極性の反転する波形を、CNTR₀端子から出力します。

CNTR₀端子の出力レベルはCNTR₀極性切り替えビットで選択可能です。CNTR₀極性切り替えビットが“0”のときは、CNTR₀端子の出力は“H”から開始し、CNTR₀極性切り替えビットが“1”のときは、CNTR₀端子の出力は“L”から開始します。

また、P03/TXOUT出力有効ビットを“1”に設定することによって、CNTR₀端子から出力されるパルスの反転波形を、TXOUT端子から出力することができます。

このモードを使用する場合は、それぞれの出力端子と兼用しているポートP14、P03の方向レジスタを出力モードに設定してください。

(3) イベントカウンタモード

イベントカウンタモードは、P14/CNTR₀端子に入力される信号がカウントソースになることを除けば、タイマモードと同じ動作をします。CNTR₀端子入力の有効エッジは、CNTR₀極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅測定モード

パルス幅測定モードは、P14/CNTR₀端子に入力される信号のパルス幅を測定するモードです。パルス幅測定モードでは、CNTR₀端子の入力信号のレベルによって、タイマXの動作、停止を制御します。

CNTR₀極性切り替えビットが“0”のときは、CNTR₀端子の入力信号レベルが“H”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“L”の期間はカウントを停止します。また、CNTR₀極性切り替えビットが“1”のときは、CNTR₀端子の入力信号レベルが“L”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“H”の期間はカウントを停止します。

タイマXは、いずれの動作モードでも、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

注意事項

・CNTR₀割り込み極性選択

CNTR₀極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR₀極性切り替えビットが“0”のときはCNTR₀端子入力の立ち下がりエッジで、CNTR₀極性切り替えビットが“1”のときはCNTR₀端子入力の立ち上がりエッジで、CNTR₀割り込み要求ビットが“1”にセットされます。

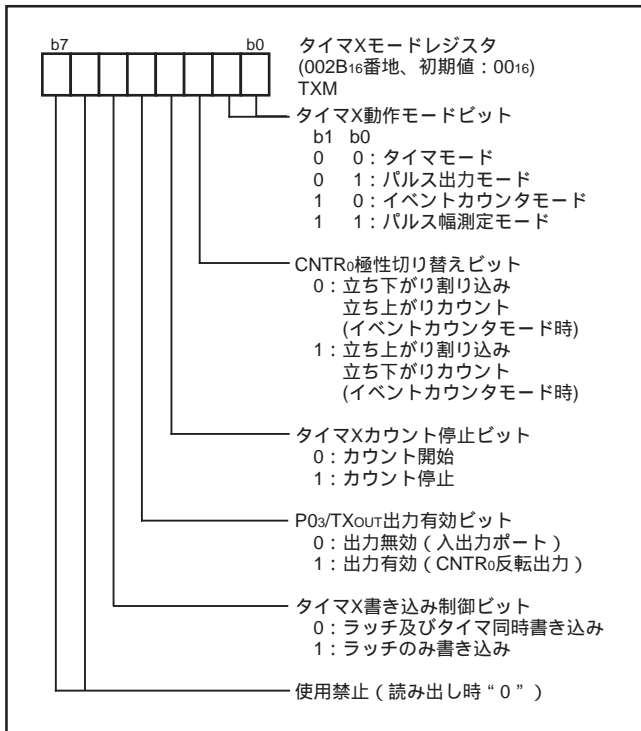


図 24 . タイマ X モードレジスタの構成

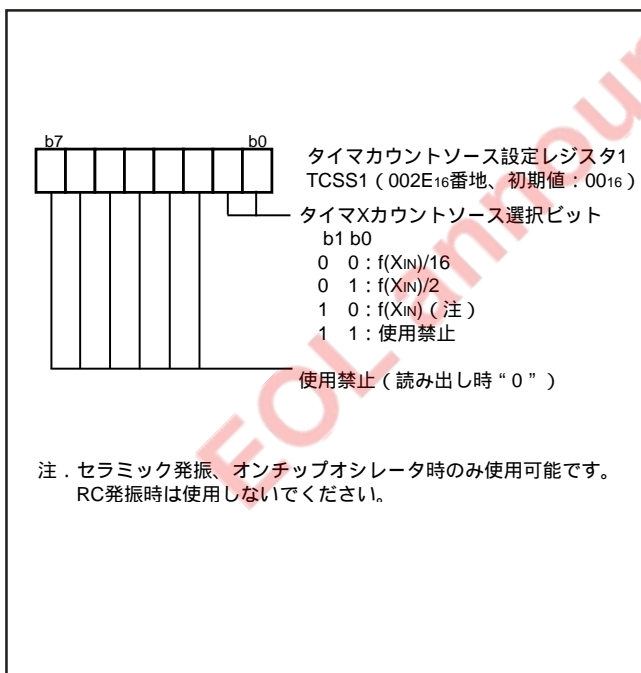


図 25 . タイマカウントソース設定レジスタ 1 の構成

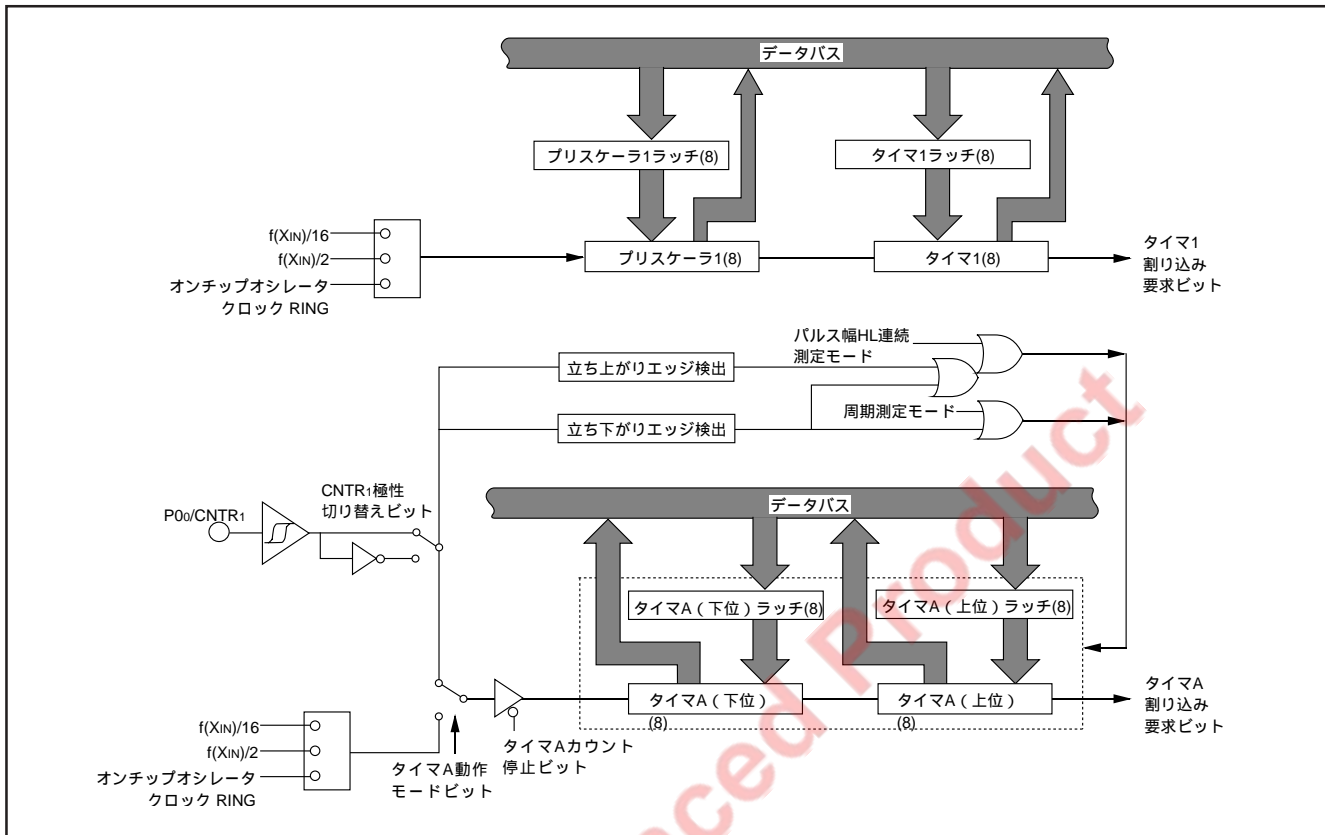


図 26 . タイマ 1 及び、タイマ A のブロック図

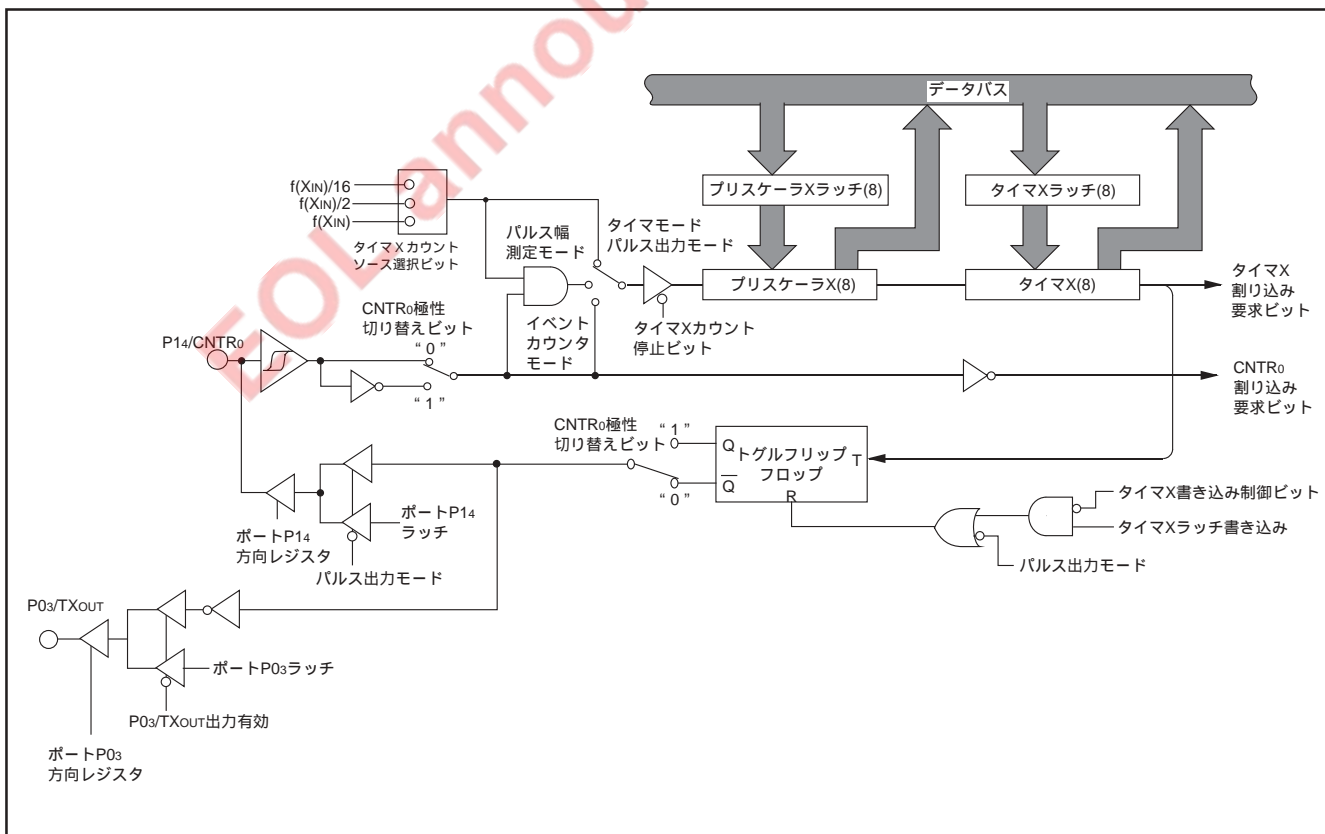


図 27 . タイマ X のブロック図

シリアル I/O

シリアル I/O

シリアル I/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアル I/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1)クロック同期形シリアル I/Oモード

シリアル I/O制御レジスタのシリアル I/Oモード選択ビット(b6)を“1”にすることによってクロック同期形シリアル I/Oが選択されます。

クロック同期形シリアル I/Oでは、シリアル I/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

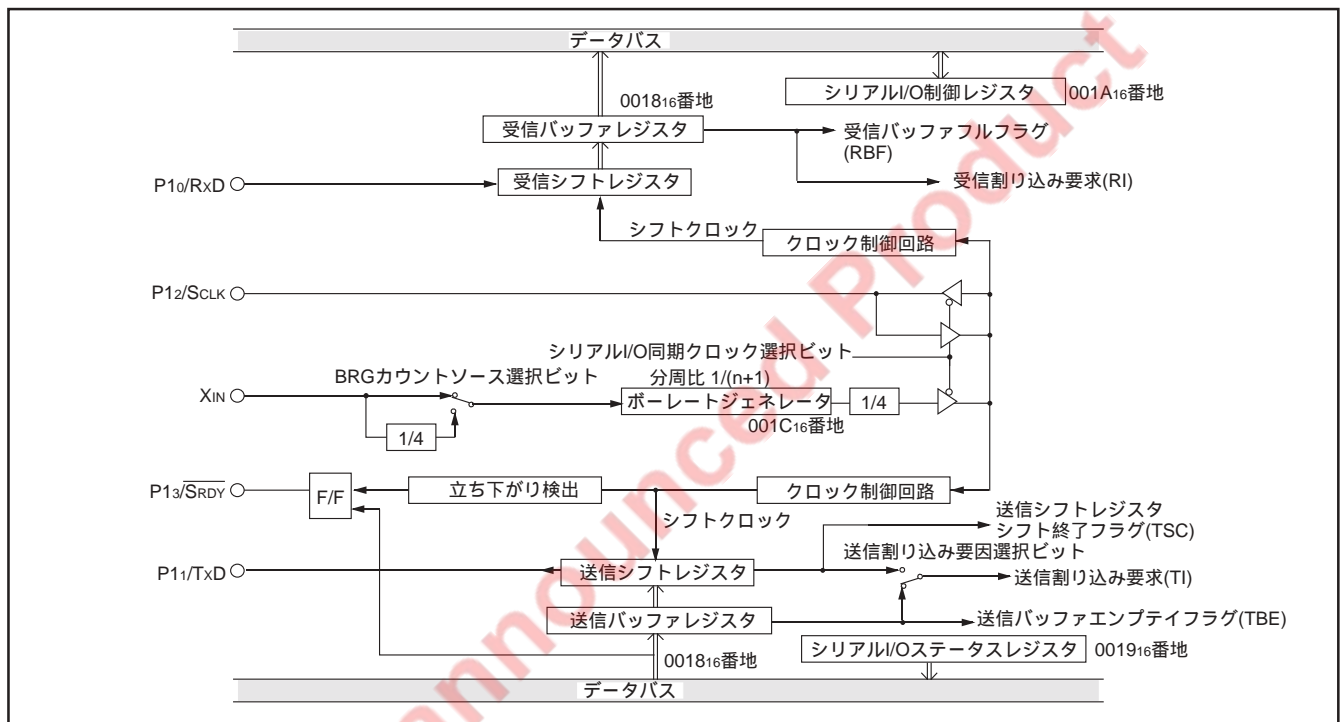


図 28 . クロック同期形シリアル I/O ブロック図

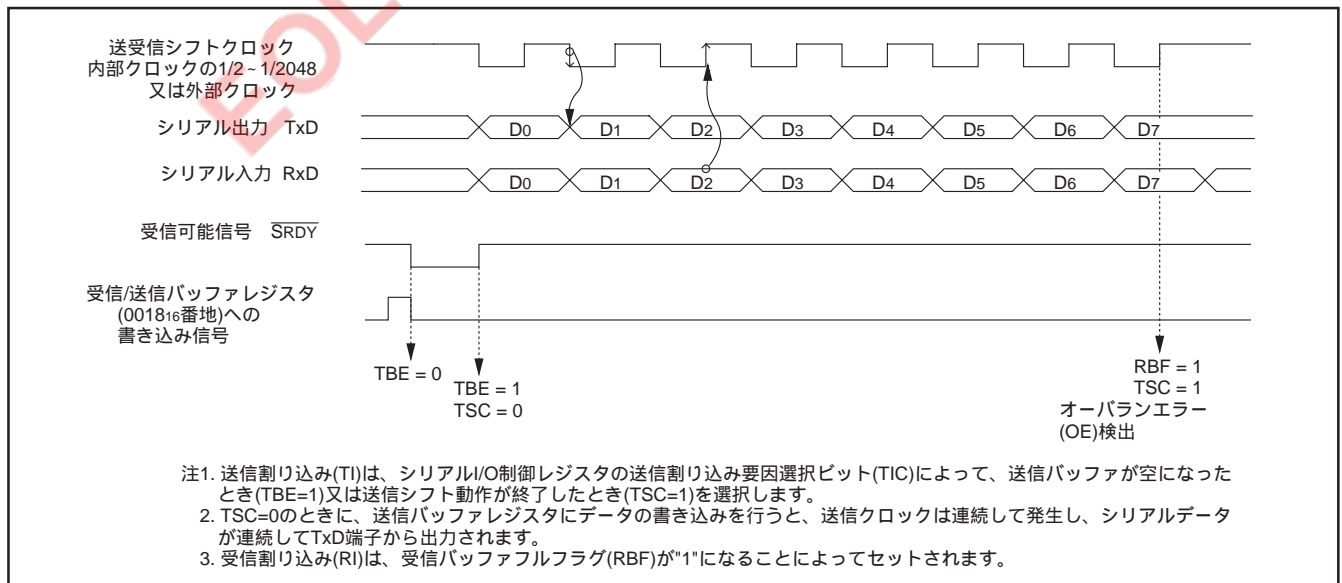


図 29 . クロック同期形シリアル I/O 動作図

(2)非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7544グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7544グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

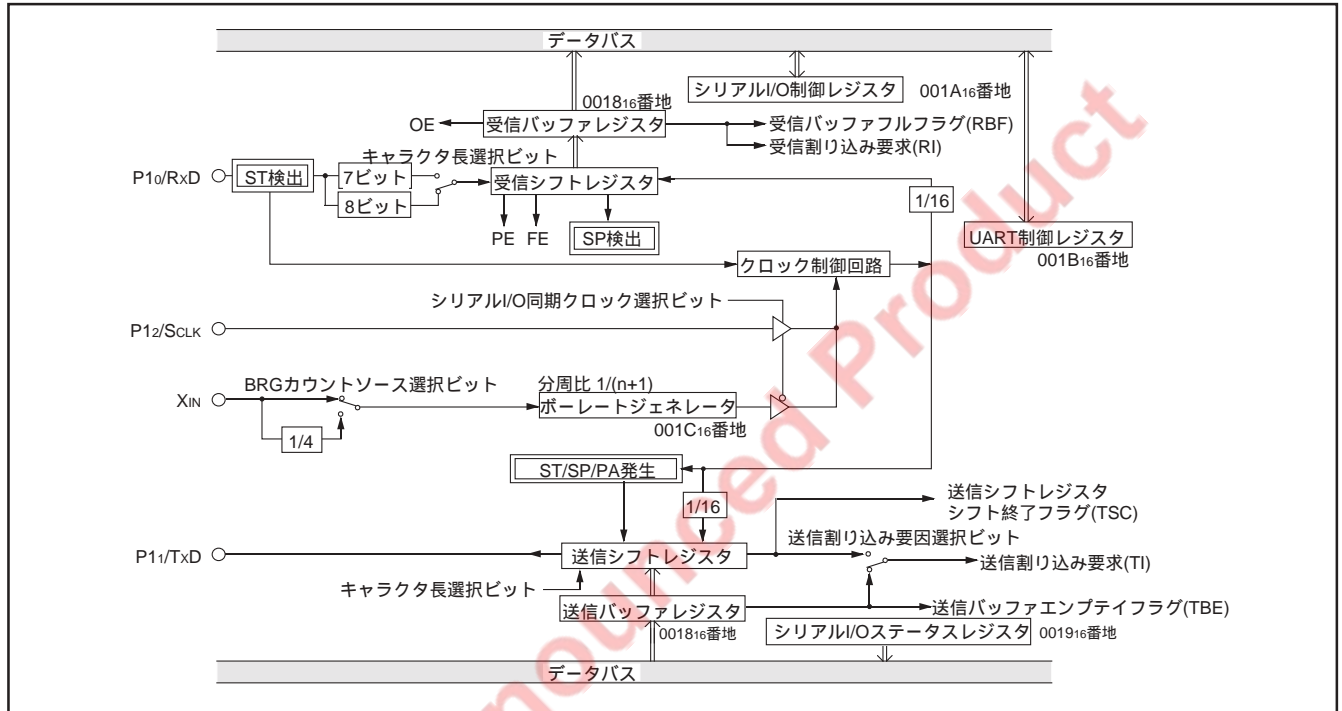


図 30 . UART 形シリアル I/O ブロック図

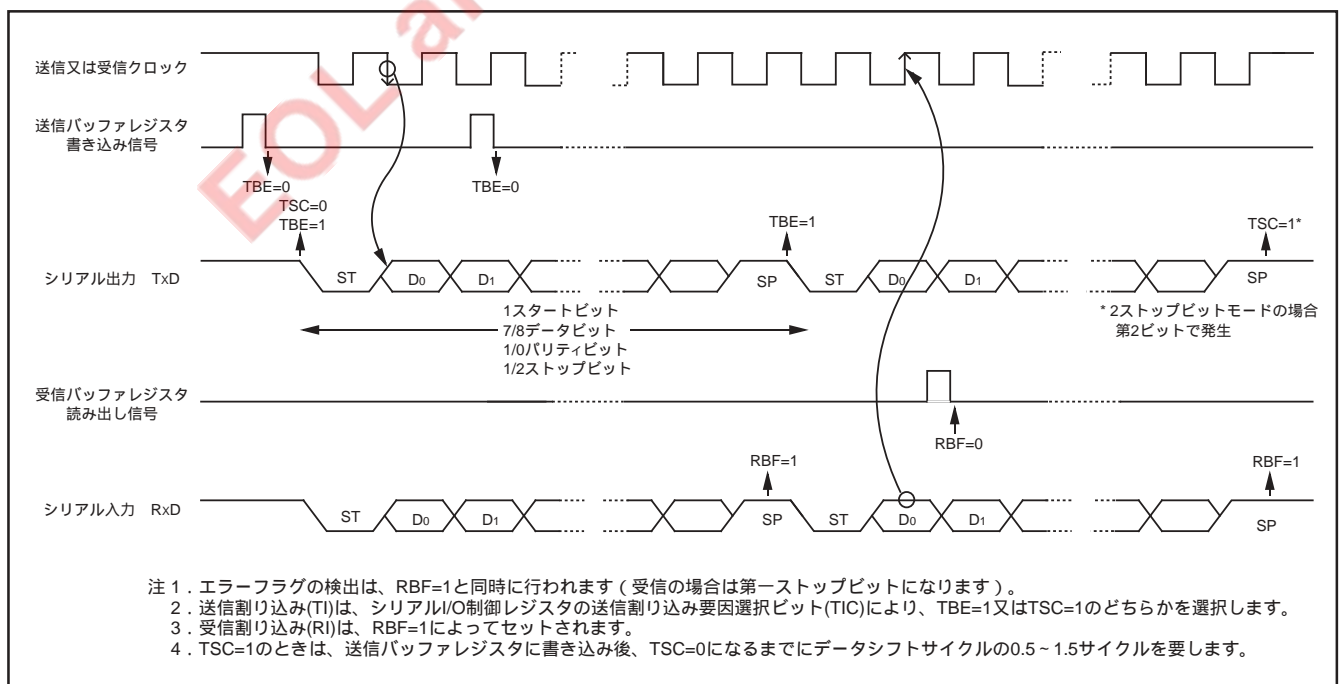


図 31 . UART 形シリアル I/O 動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

・シリアルI/O割り込み

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O許可時の入出力端子機能

シリアルI/Oモード選択ビットおよびシリアルI/O同期クロック選択ビットの設定値により、P12、P13の機能が下記のように変化します。

(1)シリアルI/Oモード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

・SRDY出力許可ビット(SRDY)の設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子はSRDY出力端子になります。

(2)シリアルI/Oモード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

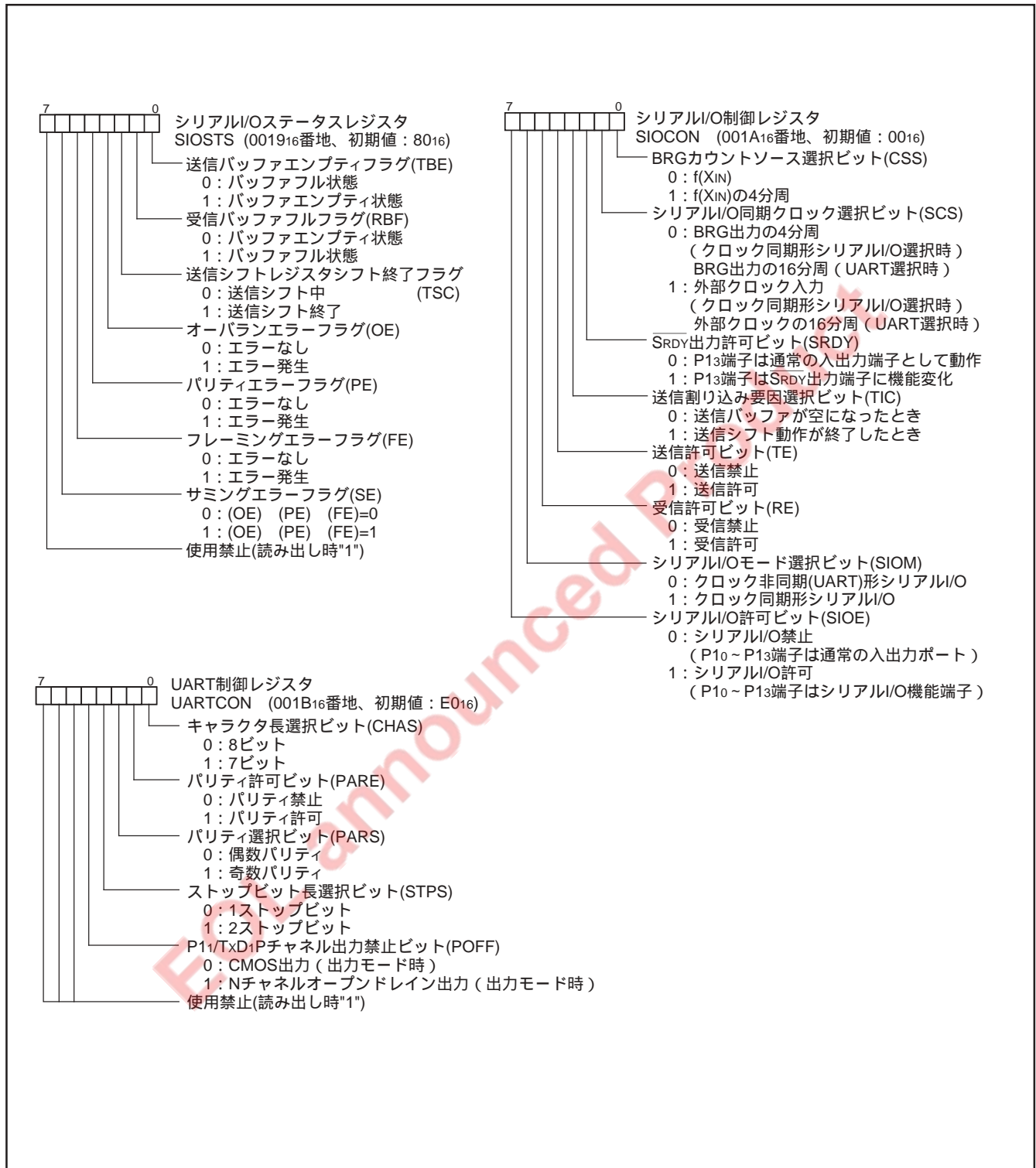


図 32 . シリアルI/O 関係レジスタの構成

A/Dコンバータ

【A/D変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。

【A/D制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{REF}間の電圧を抵抗ラダーによって、256分割し分圧出力します。A/D変換中以外は、V_{REF}端子、V_{SS}端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャンネルセレクタ】

ポートP25/AN5～P20/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(X_{IN})を500kHz以上にしてください。

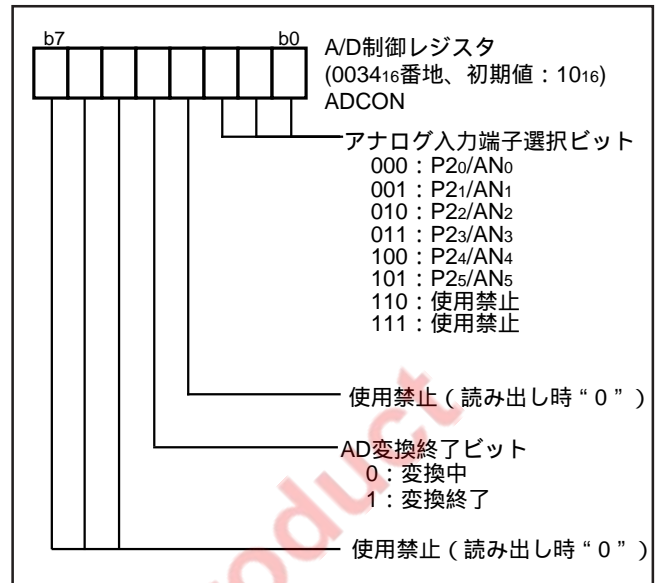


図33. A/D制御レジスタの構成

注意事項

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中はA/D変換クロックが500kHz以上になるようにf(X_{IN})の値を設定してください。

AD変換精度は、以下の使用条件では精度が低くなる場合があります。

- V_{REF}電圧をV_{CC}電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、V_{REF}電圧とV_{CC}電圧を同一に設定する場合よりも精度が低くなる場合があります。
- V_{REF}電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、V_{REF}=3.0V以上での使用を推奨します。

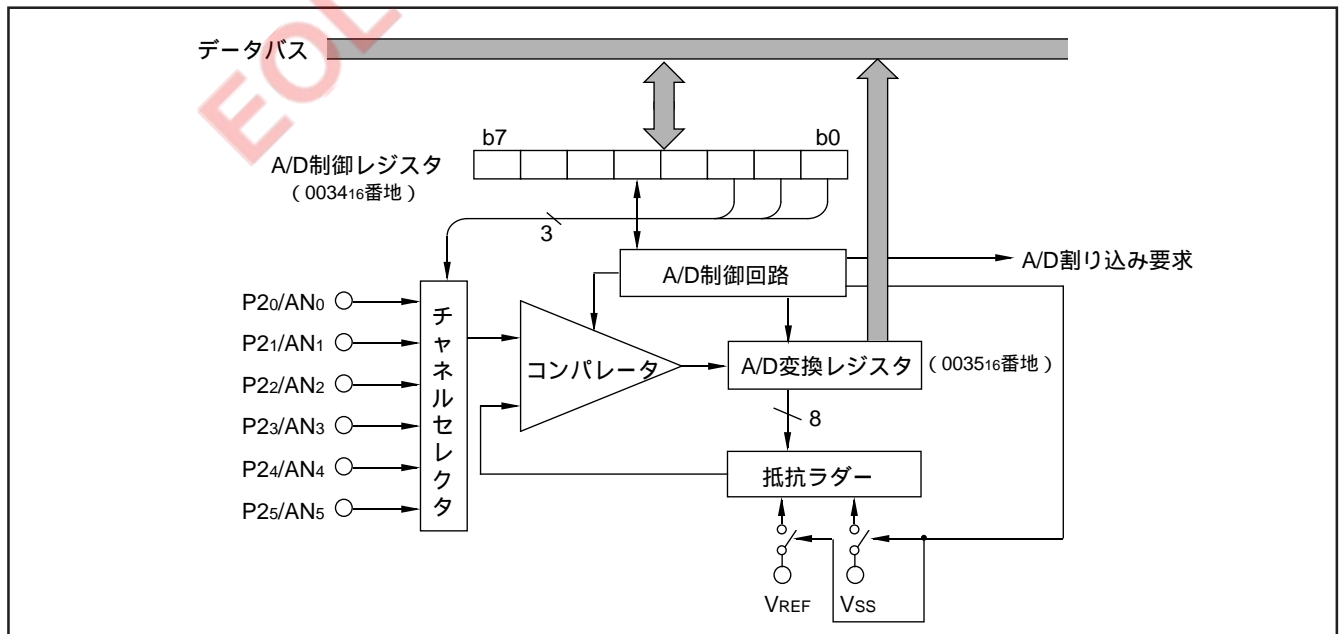


図34. A/D変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1)ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

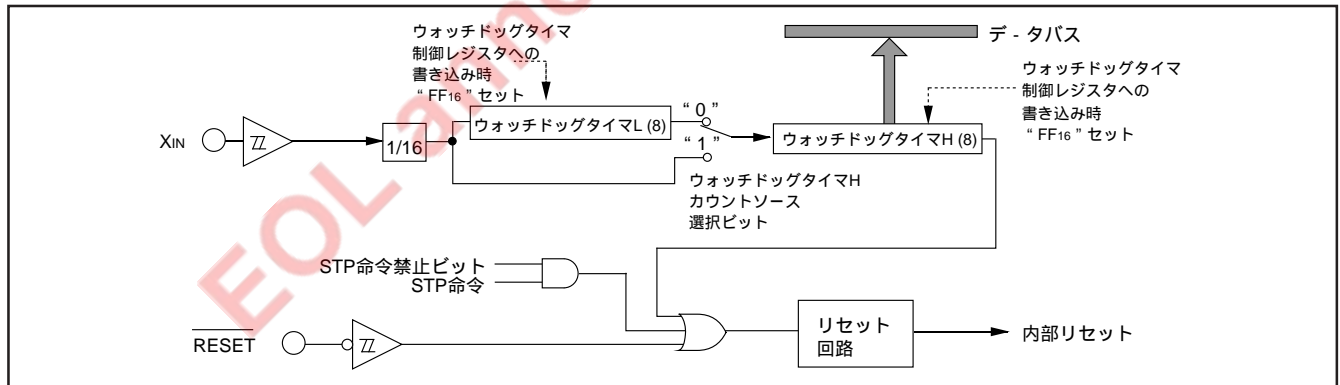


図 35 . ウォッチドッグタイマのブロック図

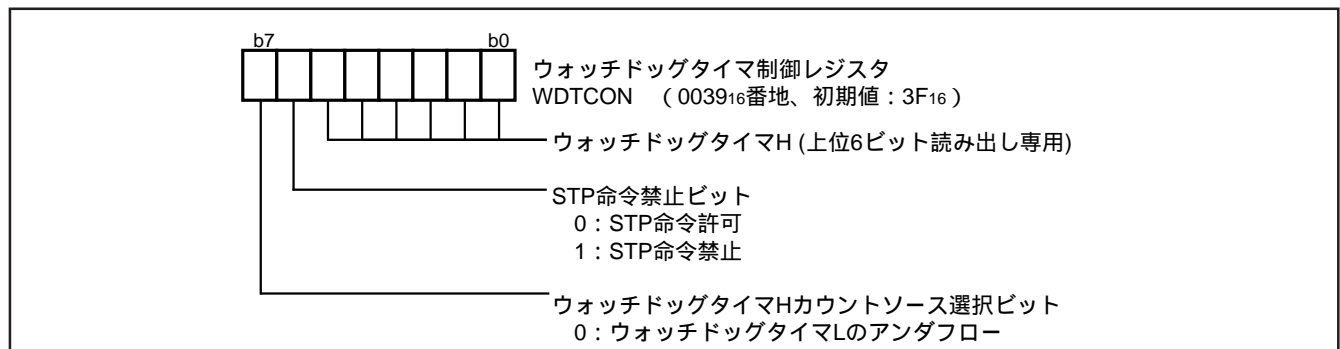


図 36 . ウォッチドッグタイマ制御レジスタの構成

(2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は(XIN)=8MHz時131.072msになります。

このビットが“1”の場合、カウントソースは(XIN)の16分周信号となります。この場合の検出時間は(XIN)=8MHz時512 μ sになります。

このビットはリセット後“0”になります。

(3)STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き替えることはできなくなります。

このビットはリセット後“0”になります。

リセット回路

電源電圧が4.5～5.5Vにあり、XINが安定発振しているとき、RESET端子を2 μ s以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

f() 8 MHz時、リセット入力電圧は、電源電圧が4.5Vを通過する時点で0.9V以下になるようにしてください。

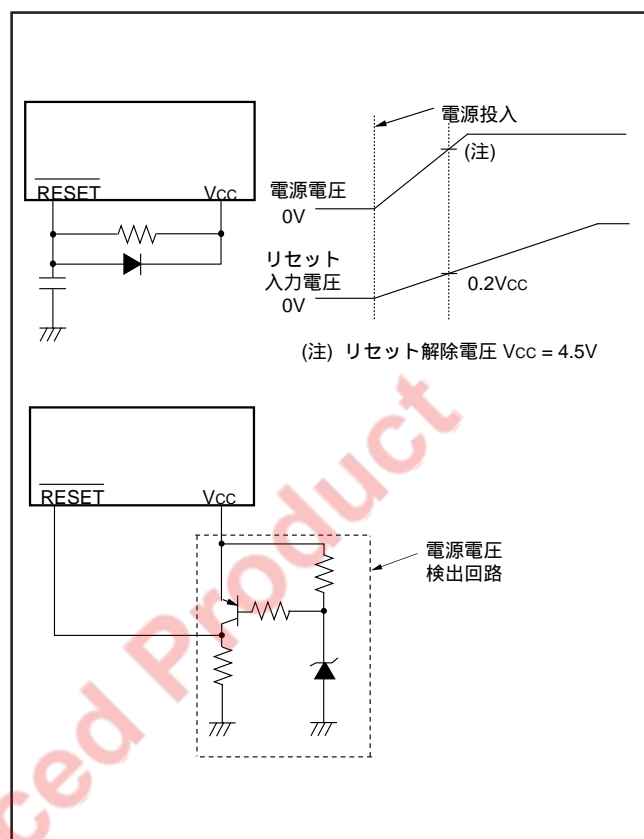
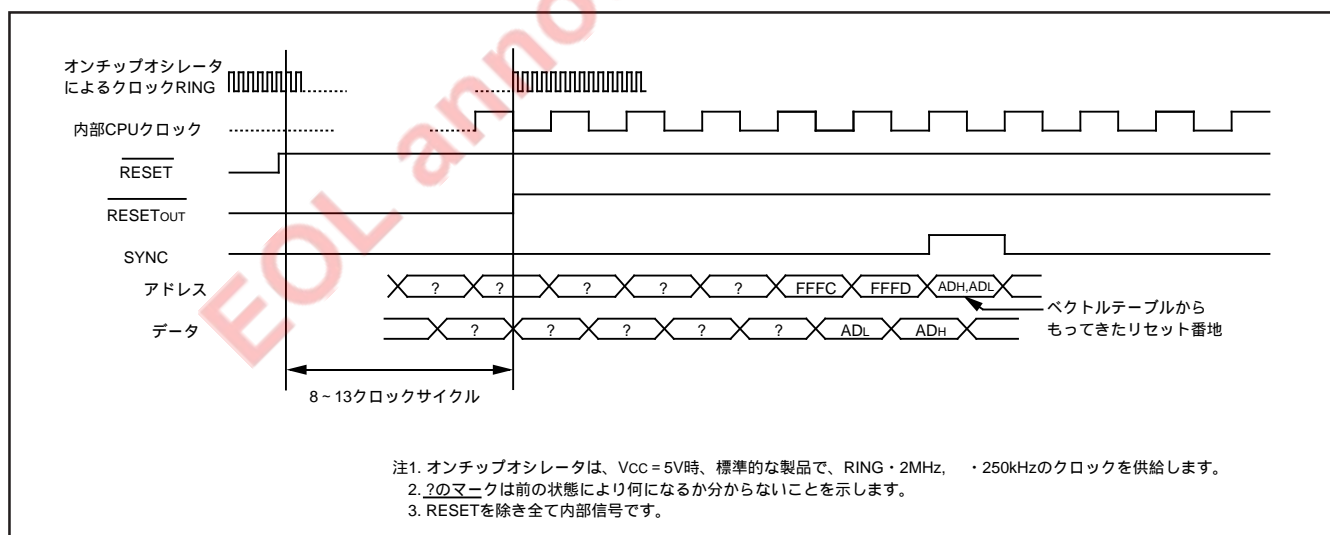


図37．リセット回路例



- 注1. オンチップオシレータは、Vcc = 5V時、標準的な製品で、RING・2MHz、 \cdot 250kHzのクロックを供給します。
 2. ?のマークは前の状態により何になるか分からないことを示します。
 3. RESETを除き全て内部信号です。

図38．リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	000116	0016
(2) ポートP1方向レジスタ	000316	x x x 0 0 0 0 0
(3) ポートP2方向レジスタ	000516	x x 0 0 0 0 0 0
(4) ポートP3方向レジスタ	000716	0 x x 0 0 0 0 0
(5) プルアップ制御レジスタ	001616	0016
(6) ポートP1P3制御レジスタ	001716	0016
(7) シリアルI/Oステータスレジスタ	001916	1 0 0 0 0 0 0 0
(8) シリアルI/O制御レジスタ	001A16	0016
(9) UART制御レジスタ	001B16	1 1 1 0 0 0 0 0
(10) タイマAモードレジスタ	001D16	0016
(11) タイマA (下位)	001E16	FF16
(12) タイマA (上位)	001F16	FF16
(13) プリスケアラ1	002816	FF16
(14) タイマ1	002916	0 0 0 0 0 0 0 1
(15) タイマXモードレジスタ	002B16	0016
(16) プリスケアラX	002C16	FF16
(17) タイマX	002D16	FF16
(18) タイマカウントソース設定レジスタ1	002E16	0016
(19) タイマカウントソース設定レジスタ2	002F16	0016
(20) A/D制御レジスタ	003416	0 0 0 1 0 0 0 0
(21) MISRG	003816	0016
(22) ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1
(23) 割り込みエッジ選択レジスタ	003A16	0016
(24) CPUモードレジスタ	003B16	1 0 0 0 0 0 0 0
(25) 割り込み要求レジスタ1	003C16	0016
(26) 割り込み要求レジスタ2	003D16	0016
(27) 割り込み制御レジスタ1	003E16	0016
(28) 割り込み制御レジスタ2	003F16	0016
(29) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(30) プログラムカウンタ	(PCH)	FFFD16番地の内容
	(PCL)	FFFC16番地の内容

注． x は不定です。
 上記以外のレジスタの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定して下さい。

図 39 . リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を、抵抗及びコンデンサを接続することによりRC発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

(1) オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子をVccに接続し、XOUT端子は開放としてください。

なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) セラミック共振子および水晶発振子を使用する場合

メインクロックにセラミック共振子および水晶発振子を使用する場合は、XIN端子とXOUT端子にセラミック/水晶発振子および外部回路を最短距離で接続してください。帰還抵抗は内蔵しております。

(3) RC 発振を使用する場合

メインクロックにRC 発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC 発振用の抵抗R およびコンデンサCの定数は、マイコンのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

(4) 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放してください。

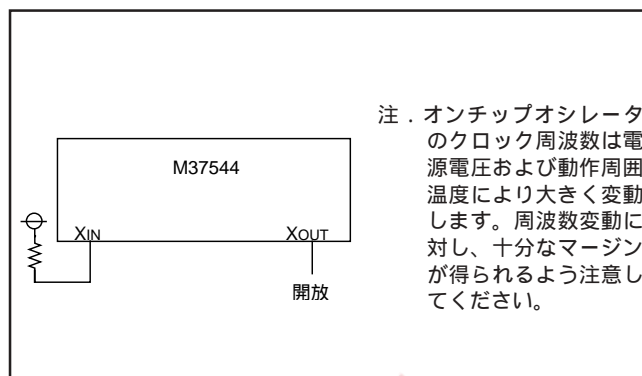


図 40．オンチップオシレータ使用時の端子処理

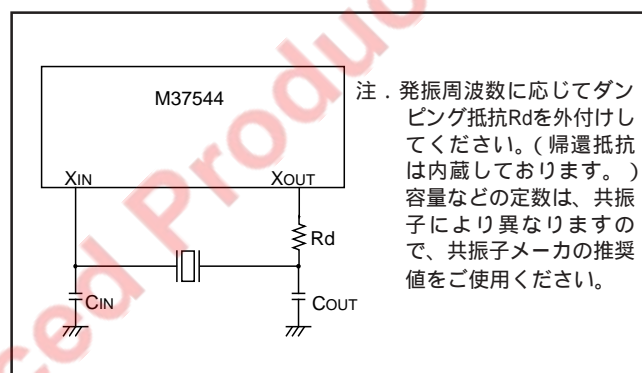


図 41．セラミック共振子および水晶発振子外付け回路

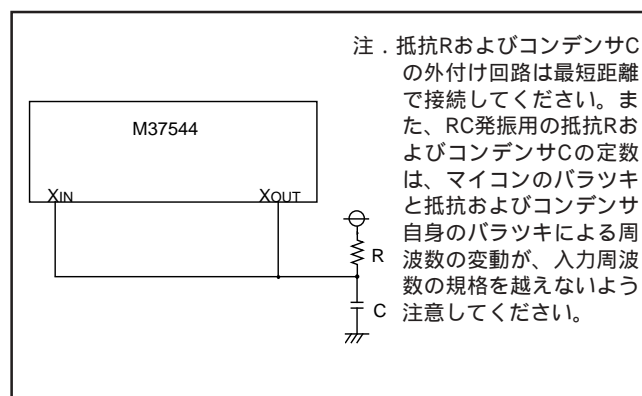


図 42．RC 外付け発振回路

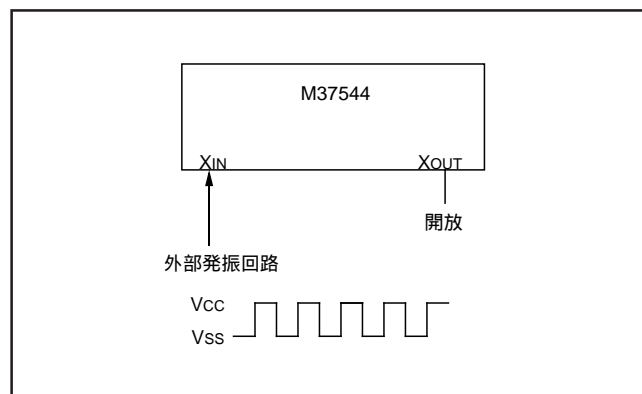


図 43．外部クロック入力回路

発振制御

(1)ストップモード

STP命令を実行すると内部クロックが「H」の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが「0」のとき、タイマ1には「01₁₆」、プリスケアラ1には「FF₁₆」が設定されます。一方、STP命令解除後発振安定時間設定ビットが「1」のときは、タイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあつた待ち時間を設定してください。プリスケアラ1の入力にはタイマ1カウントソース選択ビットにより選択した信号が接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで「H」のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック/水晶発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に「L」レベルを印加してください。

また、CPUが、オンチップオシレータによって動作している間は、STP命令は使用できません。

(2)ウェイトモード

WIT命令を実行すると、内部クロックが「H」の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを「1」にしておく必要があります。

注意事項

STP命令解除後発振安定時間設定ビットを「1」で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ1に値を設定してください。

・セラミック/水晶発振とRC発振の切り替え

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック/水晶発振又は、RC発振が有効になります。

・倍速モードについて

セラミック/水晶発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイコンの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイコンのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU「M37544RSS」は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図48の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

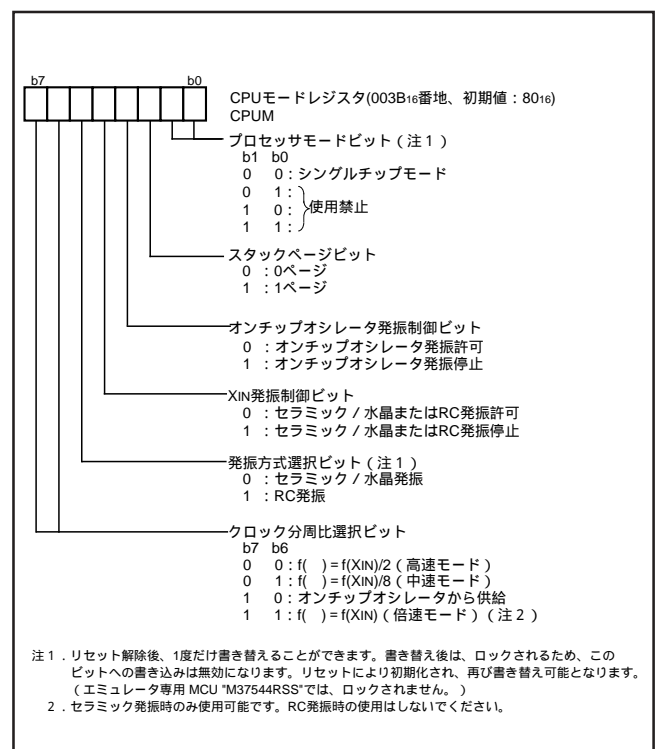


図44 . CPUモードレジスタの構成

発振停止検出回路

発振停止検出回路は、セラミック共振子又は発振回路が断線などにより停止した場合、内部リセットを発生します。内部リセット発生時、発振停止検出ステータスビットが“1”になることで、発振停止によるリセットを検出できます。

なお、発振停止検出回路を使用する場合は、内蔵オンチップオシレータを動作させる必要があります。

図48に状態遷移を示します。

発振停止検出ステータスビットは、発振停止リセットが発生した場合は初期化されず“1”を保持します。外部リセットの場合は発振停止検出ステータスビットは“0”に初期化されますので、このフラグを確認することによって、発振停止によるリセットを判断できます。

発振停止検出回路に関する注意事項

1. 発振停止検出ステータスビットは、以下の場合に初期化されます。
 - ・ 外部リセット
 - ・ セラミック又はRC発振停止検出機能有効ビットへの“0”書き込み。
2. 発振停止検出回路はエミュレータ専用MCU“M37544RSS”にはありません。

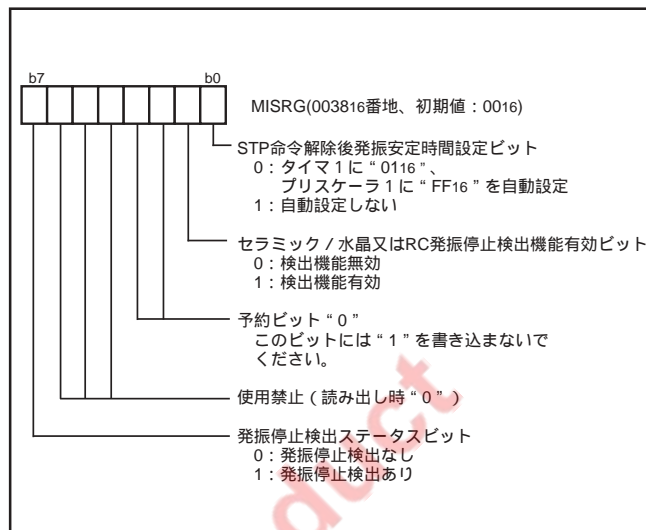


図 45 . MISRG の構成

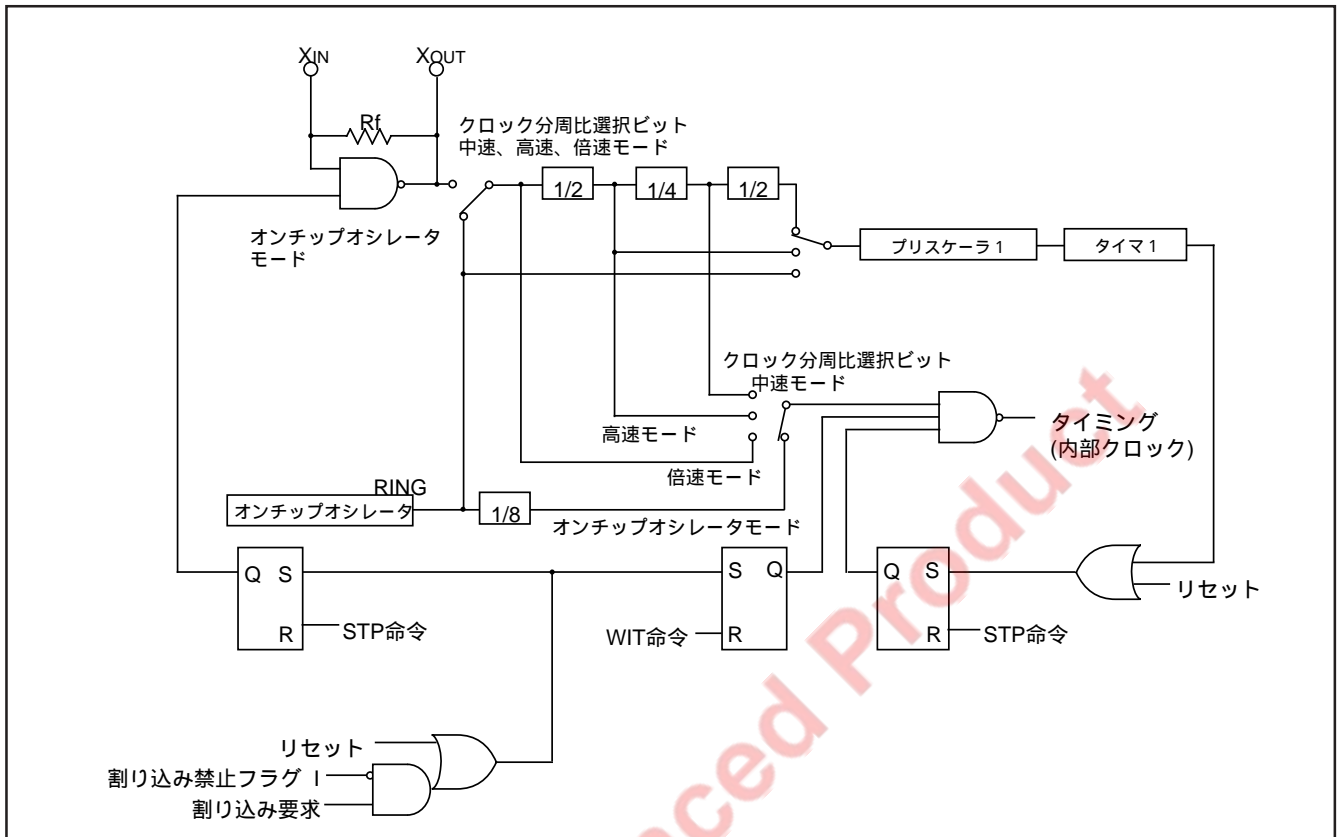


図 46 . システムクロック発生回路ブロック図 (セラミック / 水晶発振時)

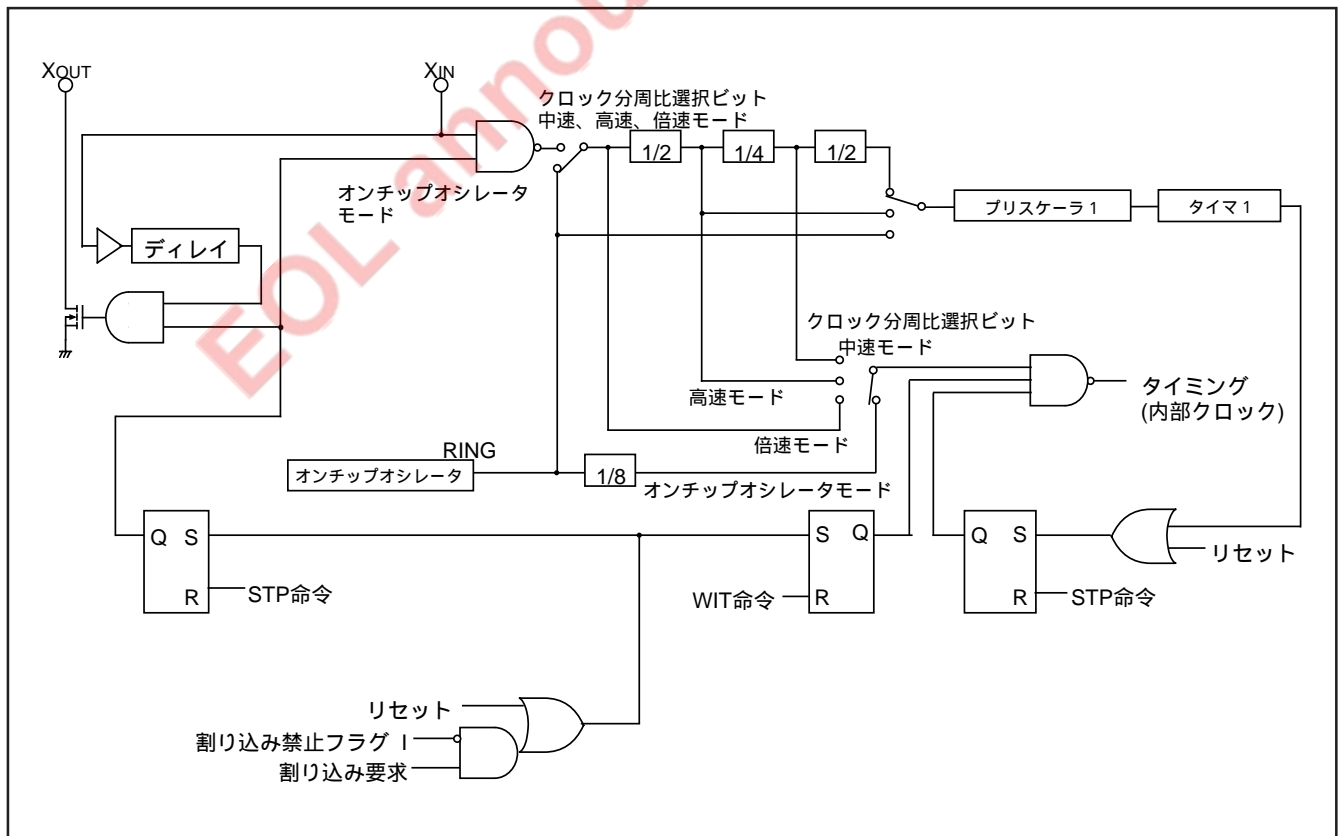


図 47 . システムクロック発生回路ブロック図 (RC 発振時)

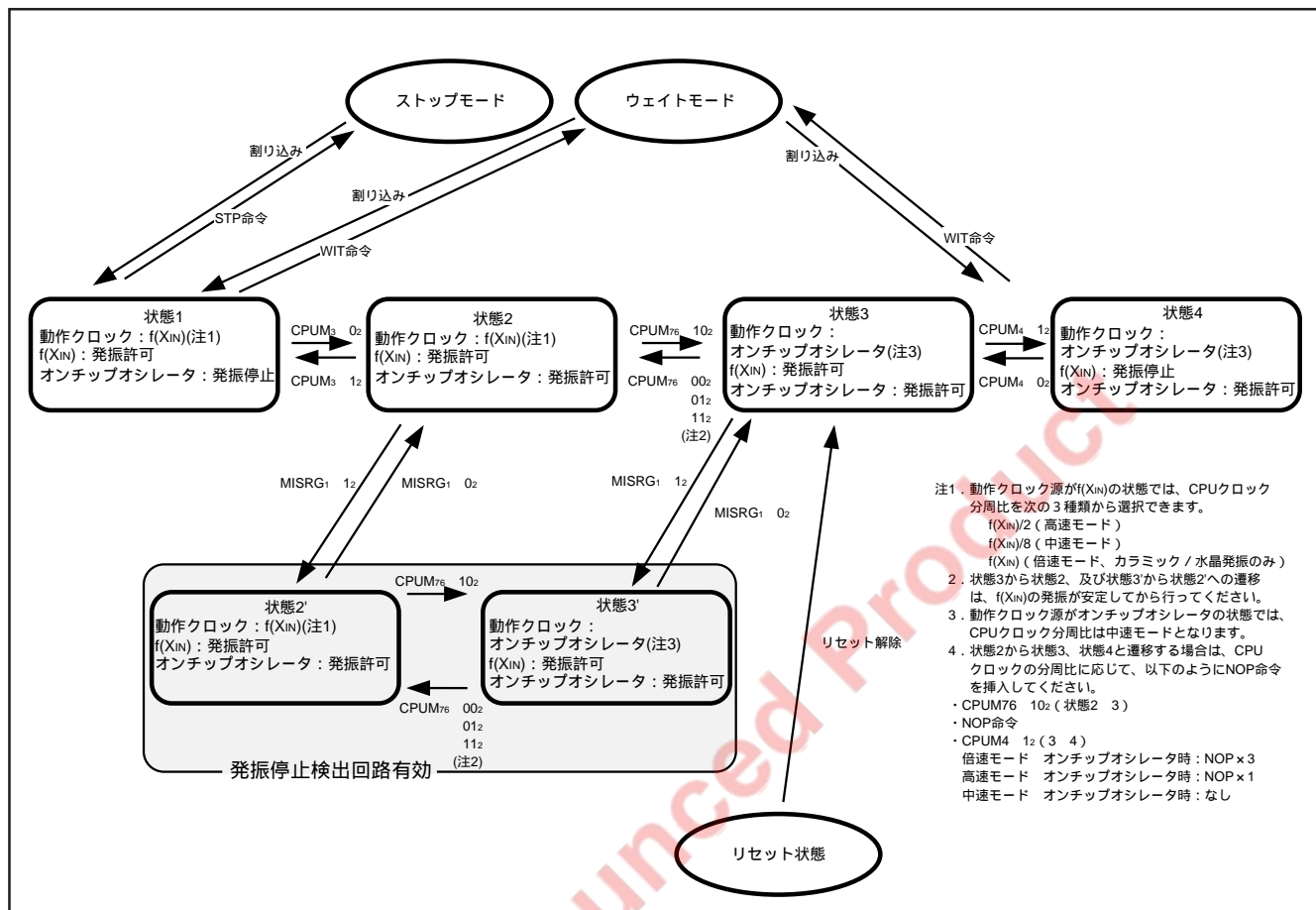


図 48 . クロック発生回路状態遷移図

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- ・10進演算を行う場合は、10進モードフラグDを"1"に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) A/D変換

A/D変換中はSTP命令を実行しないでください。

(6) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時XINと同一、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。

(7) CPUモードレジスタ

発振方式選択ビット、プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後は、ロックされるため、このビットへの書き込みは、無効になります。(エミュレータ専用MCUは除きます)

クロック分周比選択ビットの倍速モードは、セラミック/水晶発振時のみ使用可能です。RC発振時は、使用しないでください。

動作クロック源に選択しているクロックをビット3、4により停止させないでください。

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F~0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

(2) ワンタイム PROM 版

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kの抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書*
- (2)マーク指定書*

*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページROM発注(<http://www.renesas.com/jp/rom>)を参照してください。

使用上の注意事項

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

1. 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

<理由>

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

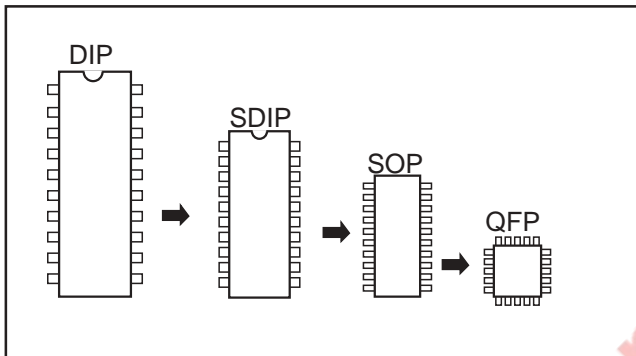


図 49 . パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

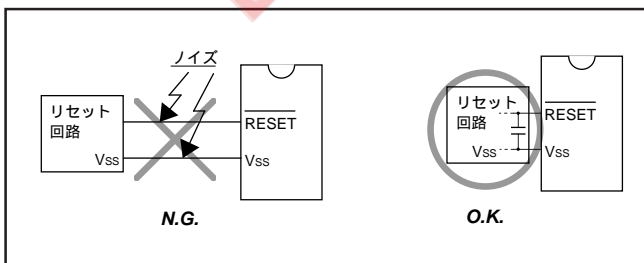


図 50 . リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

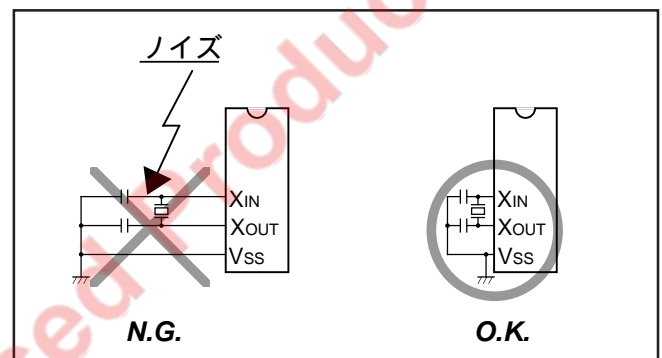


図 51 . クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

<理由>

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

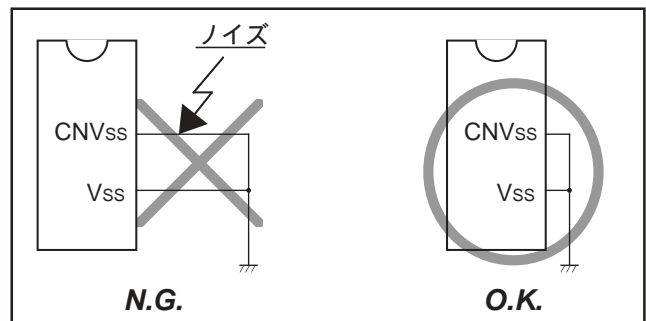


図 52 . CNVss 端子の配線

(5)ワンタイムPROM版のV_{PP}端子配線

V_{PP}端子のできるだけ近くに5k程度程度の抵抗を直列に挿入し、V_{SS}端子に接続してください。また、5k程度程度の抵抗を挿入しない場合は、V_{PP}端子とV_{SS}端子の配線は最短にしてください。

注. 5k程度程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

<理由>

ワンタイムPROM版のV_{PP}端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにV_{PP}端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。V_{PP}端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

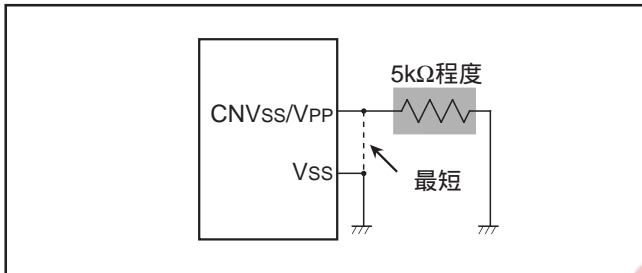


図 53 . ワンタイム PROM 版の V_{PP} 端子の配線

2. V_{SS} - V_{CC} ライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、V_{SS} - V_{CC}ライン間に0.1μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・V_{SS}端子 - バイパスコンデンサ間の配線長とV_{CC}端子 - バイパスコンデンサ間の配線長を等しくする
- ・V_{SS}端子 - バイパスコンデンサ間の配線長とV_{CC}端子 - バイパスコンデンサ間の配線長を最短とする
- ・V_{SS}ライン及びV_{CC}ラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してV_{SS}端子及びV_{CC}端子へ接続する

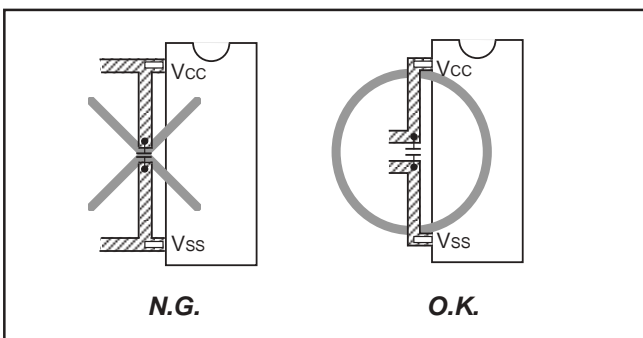


図 54 . V_{SS} - V_{CC} ライン間のバイパスコンデンサ

3. アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100~1k程度程度の抵抗を直列に接続してください。
- ・アナログ入力端子とV_{SS}端子間の、V_{SS}端子のできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びV_{SS}端子 - コンデンサ間の配線長を等しくしてください。

<理由>

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

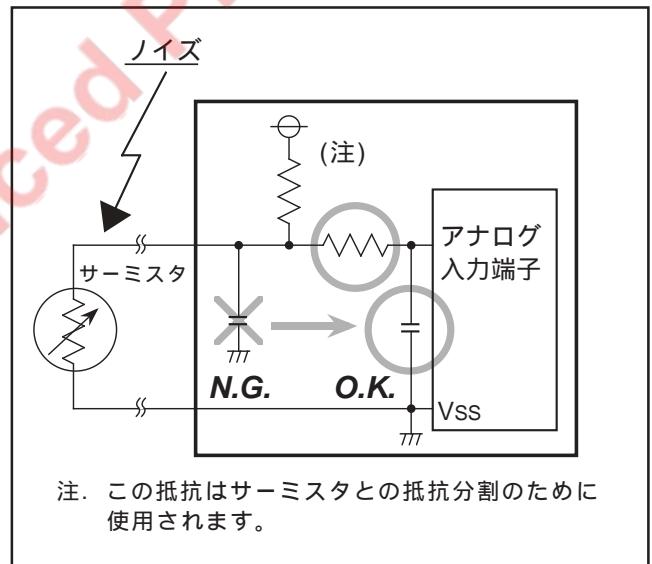


図 55 . アナログ信号線と抵抗及びコンデンサ

- ・アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

4. 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子及び発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1)大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2)高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

<理由>

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

(3)Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

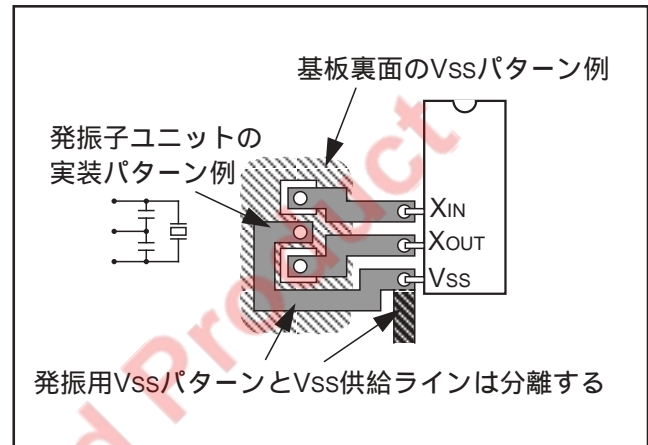


図 57 . 発振子の裏面のVssパターン

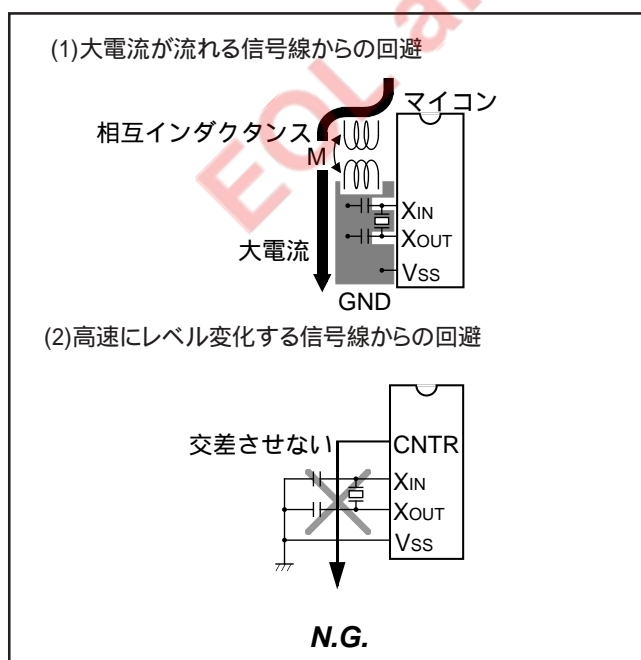


図 56 . 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

5. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プリアップ制御レジスタの再書き込みを行ってください。

注．一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。

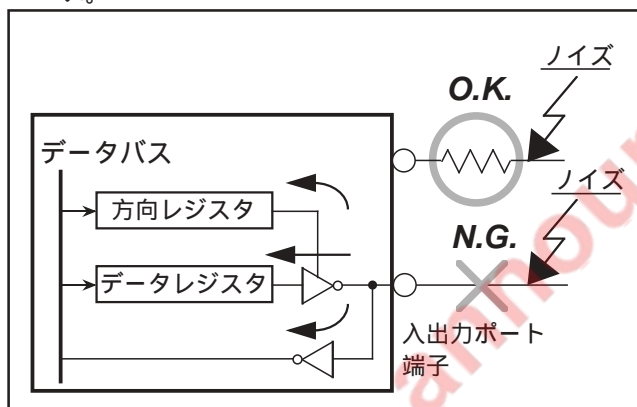


図 58. 入出力ポート処理

6. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- ・RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注．メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- ・SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- ・割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- ・SWDTの内容を1回の割り込み処理で1減算します。
- ・ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- ・SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

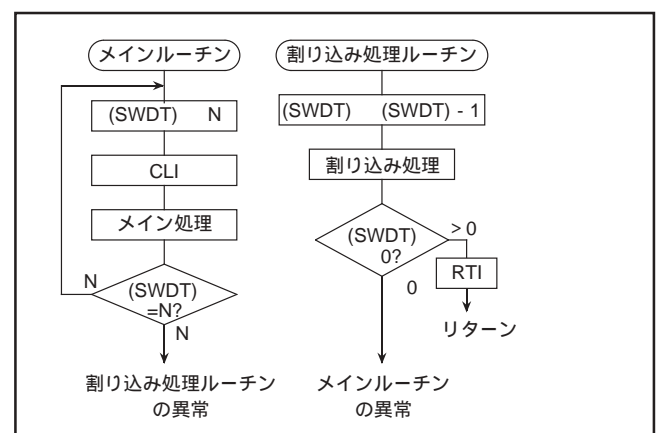


図 59. ソフトウェアによるウォッチドッグタイマ

7. メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

PROM モード (シリアル入出力)

M37544G2SP/GPIは、通常の動作モード以外にPROMモードをもちます。内蔵されているPROMへの操作(リード/プログラムなど)は、必要なコマンドコード、アドレス、データを少数のピンを使用してシリアル入出力により行います。

PROMモードの選択は、図60,61に示す結線をして電源(V_{CC})投入後、マッドドッグエントリにより行います。

PROMモードには、リード/プログラム/プログラムベリファイの3つのソフトウェアコマンドを用意しています。

シリアル通信は、クロック同期式、LSBファーストです。

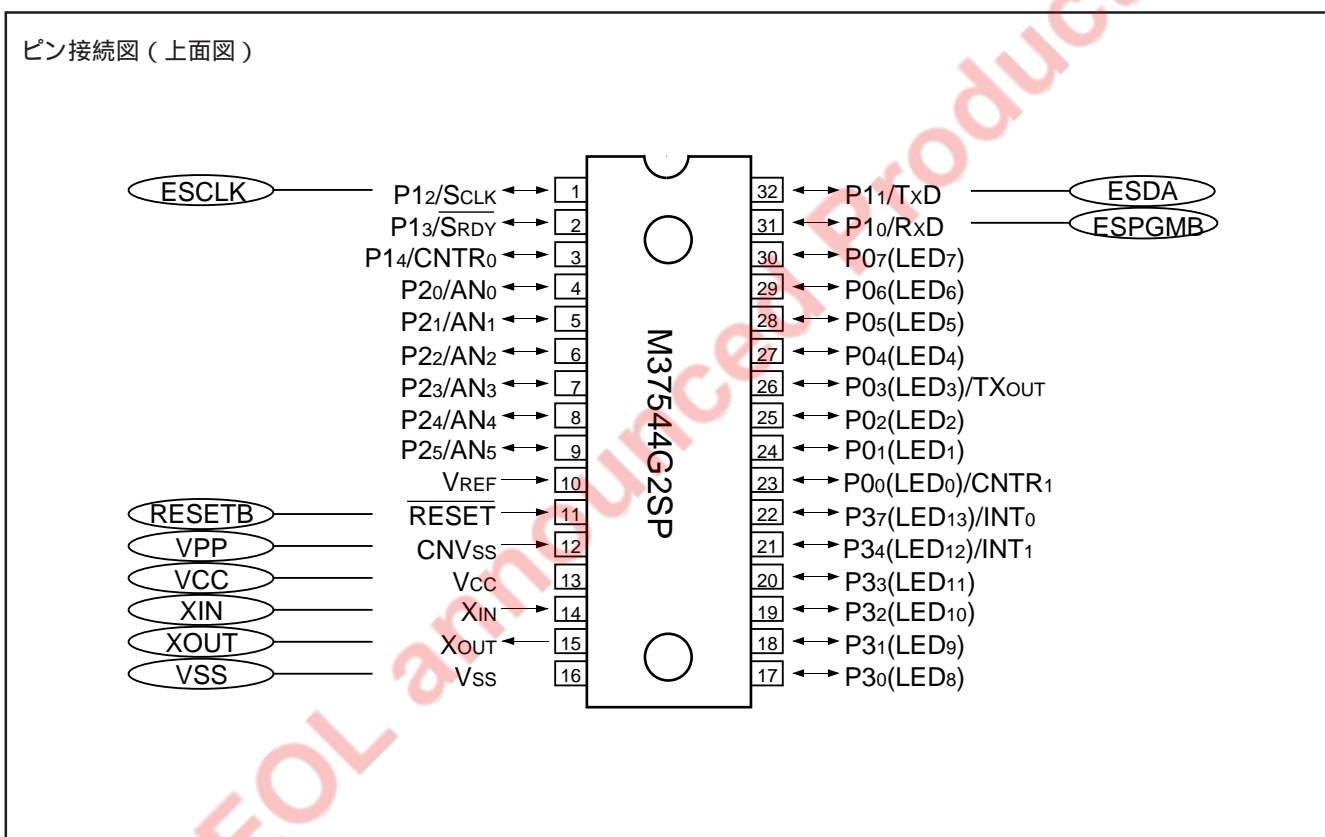


図 60 . PROM モード時ピン接続図 (32P4B パッケージタイプ)

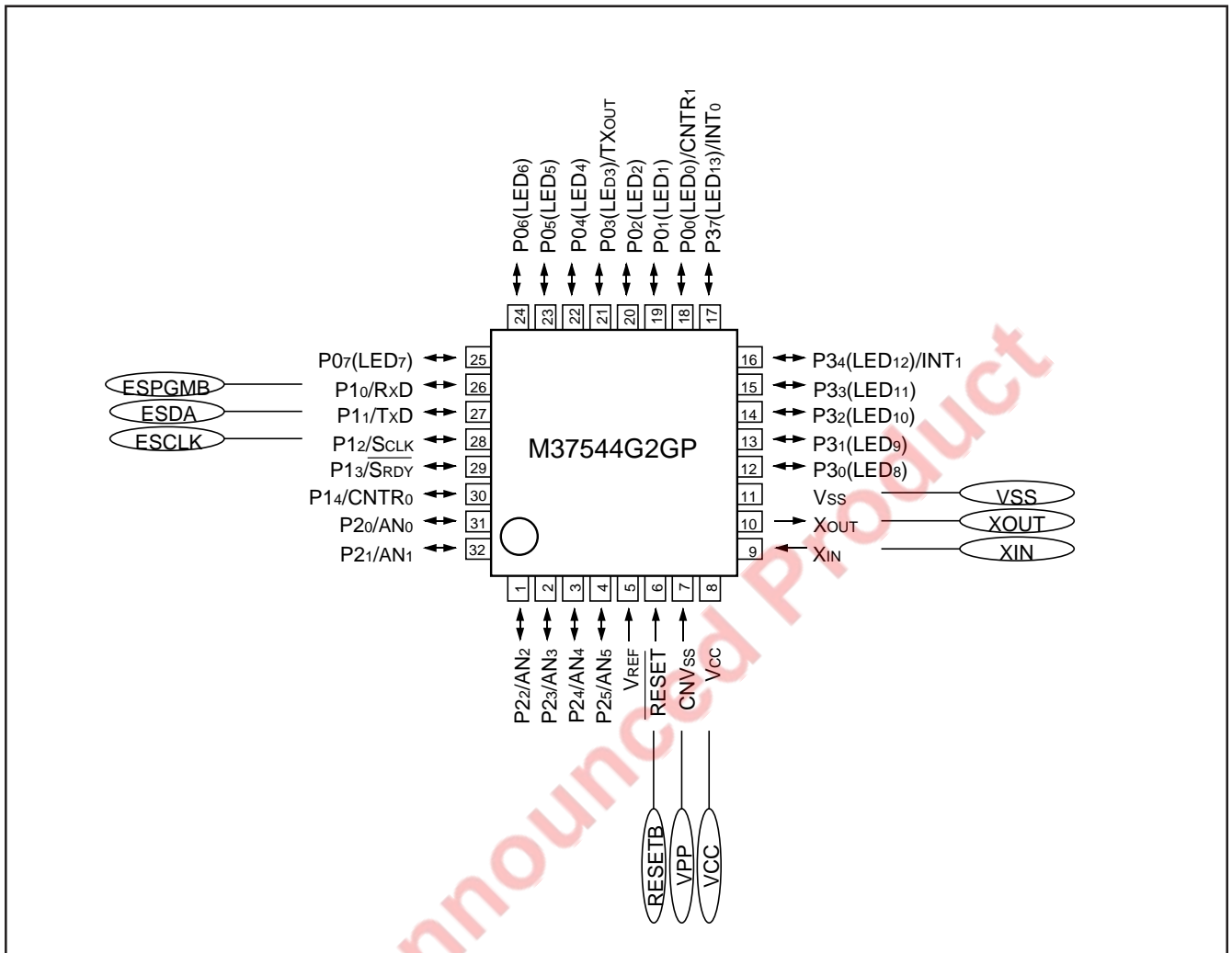


図 61 . PROM モード時ピン接続図 (32P6U-A パッケージタイプ)

取り扱い上の注意

ワンタイムPROM版は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図62に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

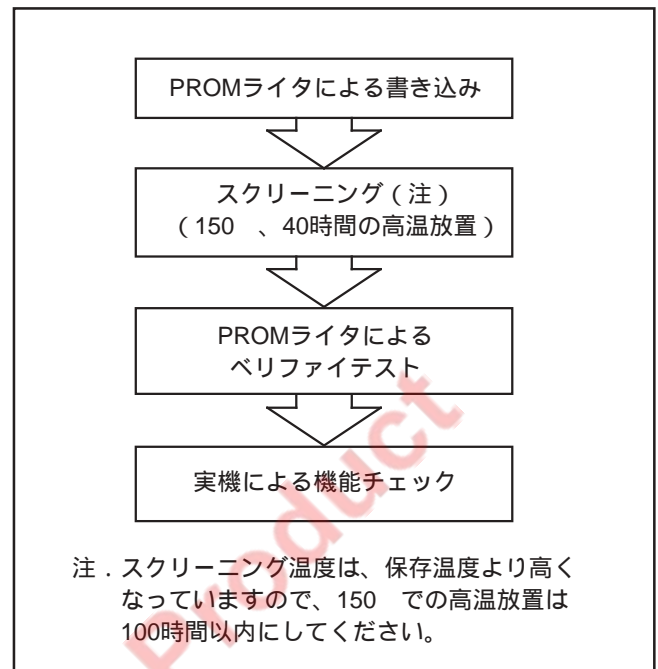


図 62．ブランク出荷品の書き込み及びテスト

ROM 書き替え禁止機能

内蔵ROMの内容を簡単に読んだり、書き換えたりできないように、シリアル書き込みモードではROMプロテクトが可能です。

ID コードチェック機能

シリアル書き込みモードで使用します。IDコード格納アドレスがblankでない場合、シリアルライターから送られてく

るIDコードとROMに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆ ~ FFDA₁₆番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムを、ROMに書き込んで下さい。

IDコードの格納アドレスの配置を図63に示します。

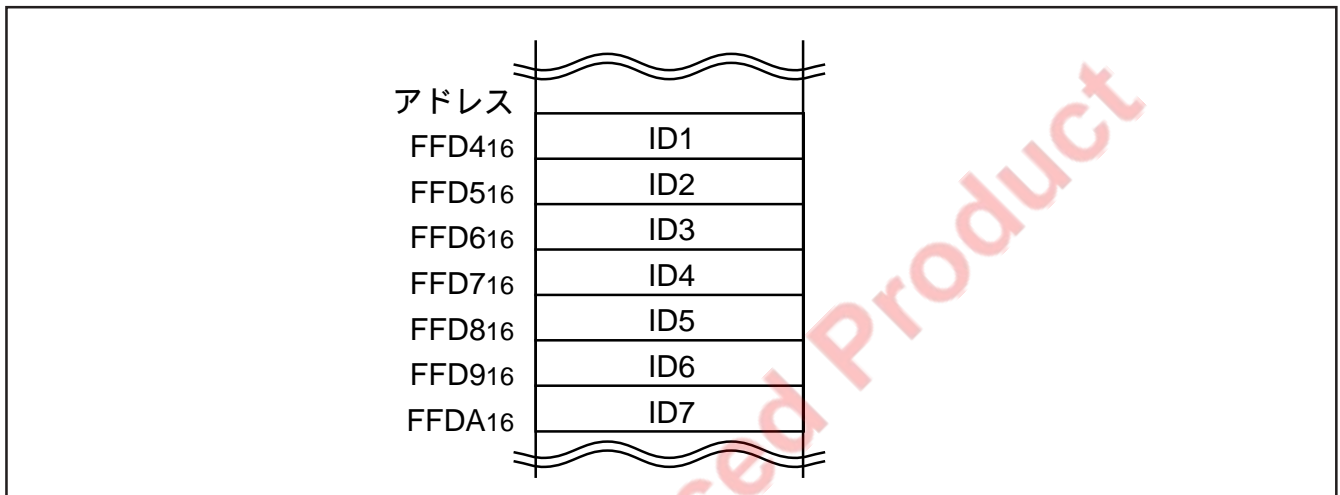


図63 . IDコードの格納アドレス

7544 グループの電気的特性

M37544M2-XXXSP/GP/HP、M37544G2SP/GP/HP(注)に対応する電気的特性です。

注：M37544G2HPはESのみです(量産予定はありません)。

(1) 絶対最大定格

表9．絶対最大定格

記号	項 目	条 件	定 格 値	単 位
Vcc	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37, VREF	Vss 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 RESET, Xin		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss (注)		- 0.3 ~ 7.0	V
Vo	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37, XOUT		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力		Ta = 25	200
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注．ワнтаイム PROM 版のみの定格です。マスク ROM 版では、Vss に接続してください。

(2) 推奨動作条件

表 10 . 推奨動作条件 (1) (指定のない場合, $V_{CC} = 4.0 \sim 5.5V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧 (セラミック発振時)	8MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		8MHz 動作時 (倍速モード)	4.5	5.0	5.5	V
	電源電圧 (RC 発振時)	4MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
VSS	電源電圧		0		V	
VREF	アナログ基準電圧	2.0		VCC	V	
V _{IH}	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37	0.8VCC		VCC	V	
V _{IH}	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P34, P37	2.0		VCC	V	
V _{IH}	“H” 入力電圧 RESET, X _{IN}	0.8VCC		VCC	V	
V _{IL}	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37	0		0.3VCC	V	
V _{IL}	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P34, P37	0		0.8	V	
V _{IL}	“L” 入力電圧 RESET, CNVSS	0		0.2VCC	V	
V _{IL}	“L” 入力電圧 X _{IN}	0		0.16VCC	V	
I _{OH} (peak)	“H” 出力総尖頭電流 (注) P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37			- 80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注) P10 ~ P14, P20 ~ P25			80	mA	
I _{OL} (peak)	“L” 出力総尖頭電流 (注) P00 ~ P07, P30 ~ P34, P37			60	mA	
I _{OH} (avg)	“H” 出力総平均電流 (注) P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37			- 40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注) P10 ~ P14, P20 ~ P25			40	mA	
I _{OL} (avg)	“L” 出力総平均電流 (注) P00 ~ P07, P30 ~ P34, P37			30	mA	

注 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は 100ms の期間内での平均値で、総尖頭電流は総和のピーク値です。

表 11．推奨動作条件 (2) (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流(注1) P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37			- 10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P10 ~ P14, P20 ~ P25			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注1) P00 ~ P07, P30 ~ P34, P37			30	mA
I _{OH} (avg)	“H”出力平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37			- 5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P10 ~ P14, P20 ~ P25,			5	mA
I _{OL} (avg)	“L”出力平均電流(注2) P00 ~ P07, P30 ~ P34, P37			15	mA
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.5 \sim 5.5V$)倍速モード			8	MHz
f(XIN)	発振周波数(注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			8	MHz
f(XIN)	発振周波数(注3) RC発振時 ($V_{CC}=4.0 \sim 5.5V$)高, 中速モード			4	MHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2．平均出力電流 I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

3．発振周波数はデューティ50%の場合です。

(3) 電気的特性

表 12 . 電気的特性 (1) (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37 (注1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 4.0 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P10 ~ P14, P20 ~ P25	IOL = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 1.0mA VCC = 4.0 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P00 ~ P07, P30 ~ P34, P37	IOL = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 10mA VCC = 4.0 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RXD, SCLK (注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.9		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P25, P30 ~ P34, P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P34, P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1 . P11に関しては, UART制御レジスタのP11/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . RXD, SCLK, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

表 13 . 電気的特性 (2) (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		3.3	8.0	mA
		f(XIN) = 8MHz, 倍速モード 出力トランジスタは遮断状態		4.8	10.0	mA
		f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		1.8	5.0	mA
		オンチップオシレータ動作モード、 $V_{CC} = 5V$, 出力トランジスタは遮断状態		250	900	μA
		f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.3	3.2	mA
		オンチップオシレータ動作モード、 $V_{CC} = 5V$ WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		140	450	μA
		A/D 変換器動作時の増量 f(XIN) = 8MHz, $V_{CC} = 5V$		0.45		mA
		発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	$T_a = 25$		0.1	1.0
$T_a = 85$				10.0	μA	

(4) A/Dコンバータ特性

表 14 . A/D コンバータ特性 (指定のない場合は , $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	bits
ABS	絶対精度誤差	$T_a = 25$, $V_{CC} = V_{REF}$			± 3	LSB
tCONV	変換時間				109	tC(XIN)
RLADDER	ラダー抵抗			37		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	135	200	μA
		$V_{REF} = 3.0V$	30	80	120	
I(AD)	A/Dポート入力電流				5.0	μA

注 . AD変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1) V_{REF} 電圧を V_{CC} 電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、 V_{REF} 電圧と V_{CC} 電圧を同一に設定する場合よりも精度が低くなる場合があります。
- (2) V_{REF} 電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、 $V_{REF}=3.0V$ 以上での使用を推奨します。

(5) タイミング必要条件

表 15 . タイミング必要条件 (指定のない場合は , $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1入力サイクル時間	2000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	800			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	800			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間(注)	800			ns
twh(SCLK)	シリアルI/Oクロック入力“H”パルス幅(注)	370			ns
twl(SCLK)	シリアルI/Oクロック入力“L”パルス幅(注)	370			ns
tsu(RxD-SCLK)	シリアルI/O入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアルI/O入力ホールド時間	100			ns

注 . シリアルI/Oに関しては、シリアルI/O制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O)の場合です。シリアルI/O制御レジスタのビット6が“0”(クロック非同期形シリアルI/O)の場合、規格値は、1/4になります。

(6) スイッチング特性

表 16 . スイッチング特性 (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル I/O クロック出力 “H” パルス幅	t _c (SCLK)/2 - 30			ns
t _{WL} (SCLK)	シリアル I/O クロック出力 “L” パルス幅	t _c (SCLK)/2 - 30			ns
t _d (SCLK-TxD)	シリアル I/O 出力遅延時間			140	ns
t _v (SCLK-TxD)	シリアル I/O 出力有効時間	- 30			ns
t _r (SCLK)	シリアル I/O クロック出力立ち上がり時間			30	ns
t _f (SCLK)	シリアル I/O クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注)		10	30	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注)		10	30	ns

注 . XOUT 端子を除きます。

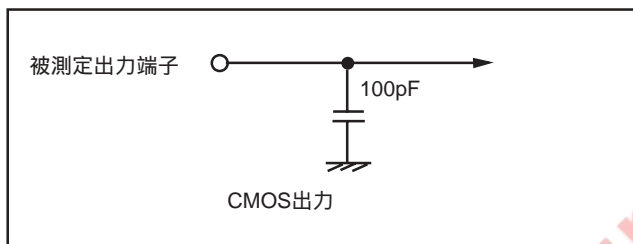


図 64 . スイッチング特性測定回路図

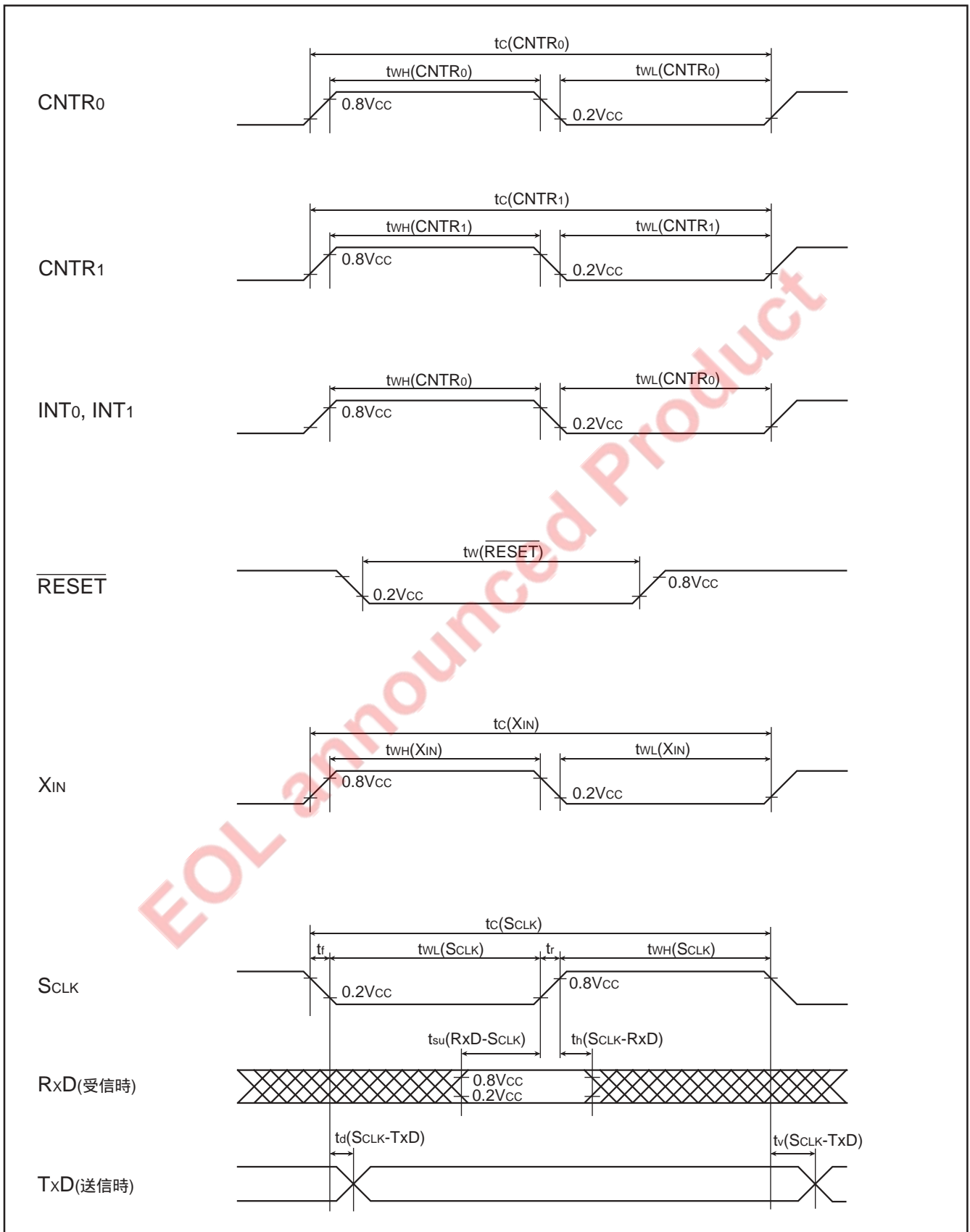


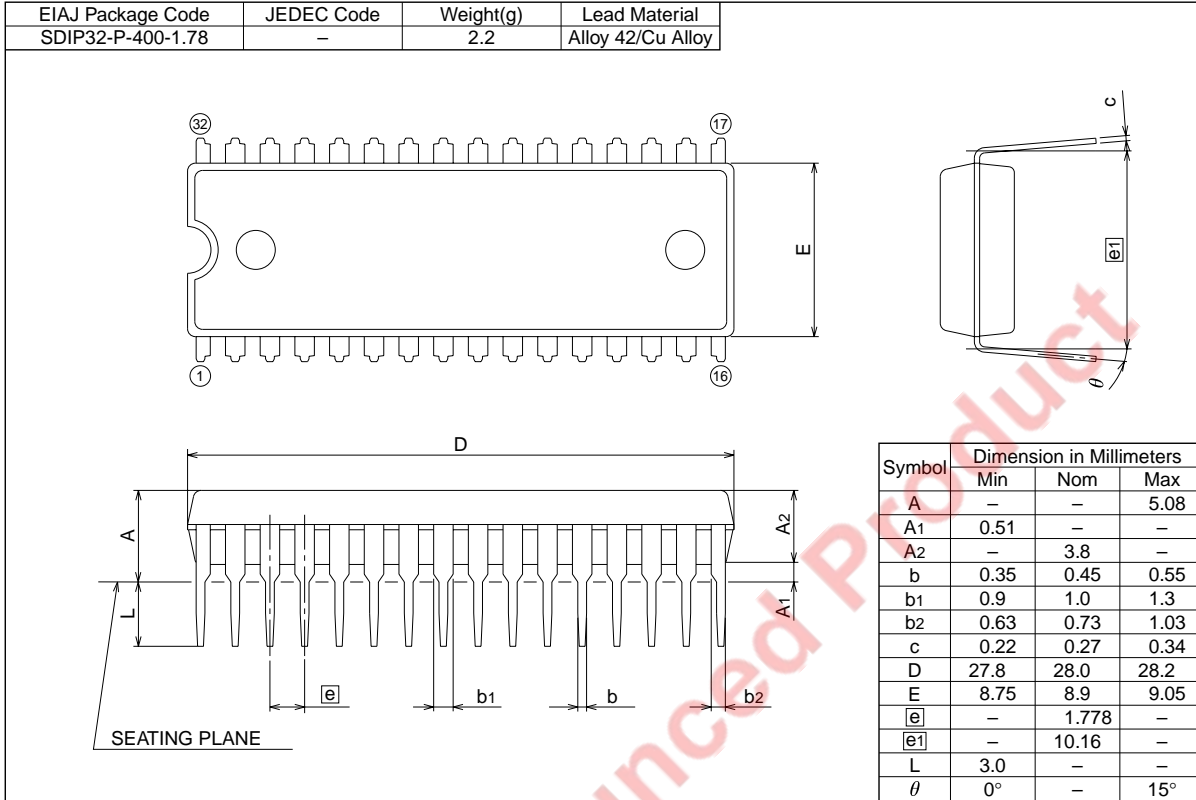
図 65 . タイミング図

パッケージ外形寸法図

32P4B

Recommended

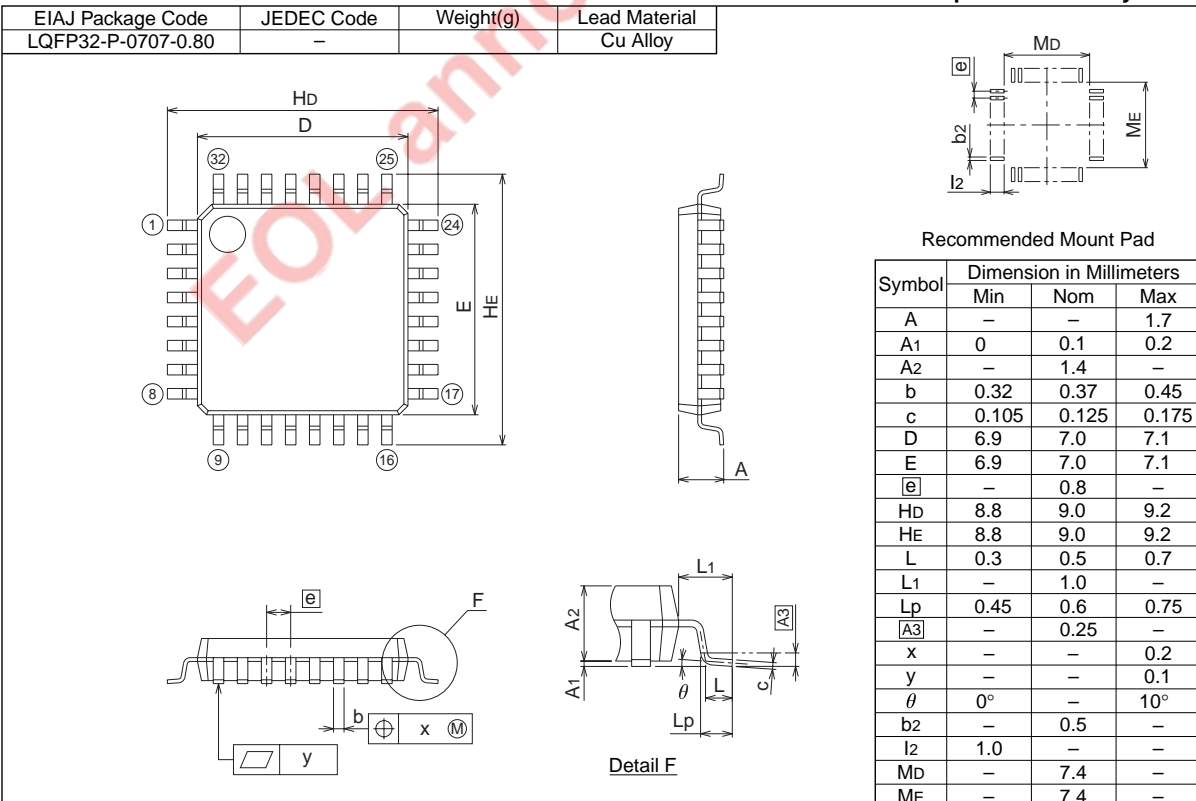
Plastic 32pin 400mil SDIP



32P6U-A

Recommended

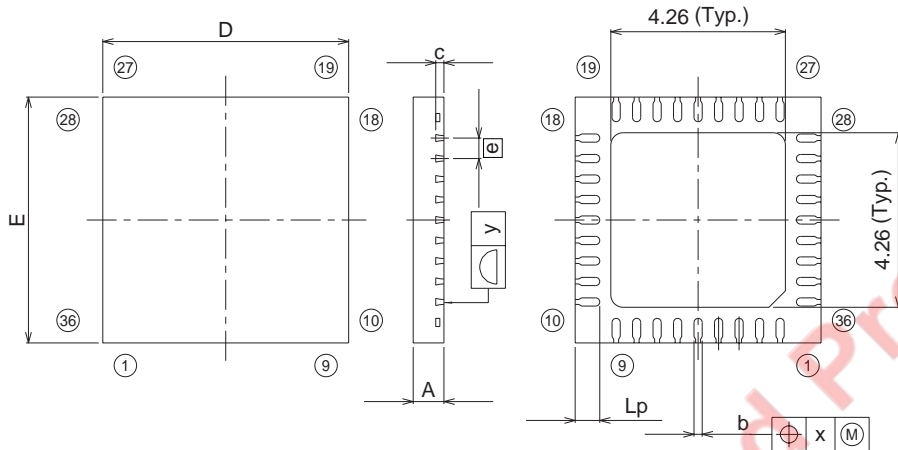
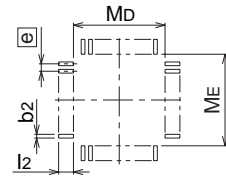
Plastic 32pin 7X7mm body LQFP



36PJW-A

Plastic 36pin 6X6mm body WQFN

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
WQFN36-P-0606-0.50	-	0.83	Cu Alloy



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	0.8
b	0.15	0.2	0.25
c	-	0.2	-
D	5.9	6.0	6.1
E	5.9	6.0	6.1
e	-	0.5	-
Lp	0.5	0.6	0.7
x	-	-	0.05
y	-	-	0.05
b2	-	0.3	-
l2	0.7	-	-
MD	-	4.8	-
ME	-	4.8	-

EOL announced Product

付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが「1」であるのを除いて、リセット直後は不定です。

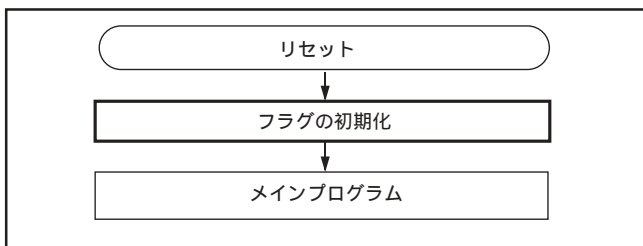


図 1. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

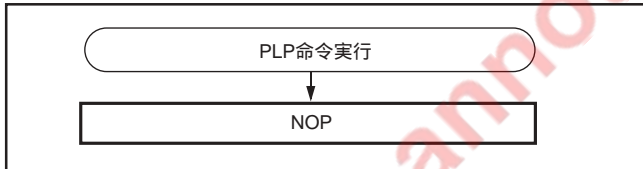


図 2. PLP 命令の実行手順



図 3. PHP 命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを「1」にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=「1」)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると「1」にセット、桁借りが発生すると「0」にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

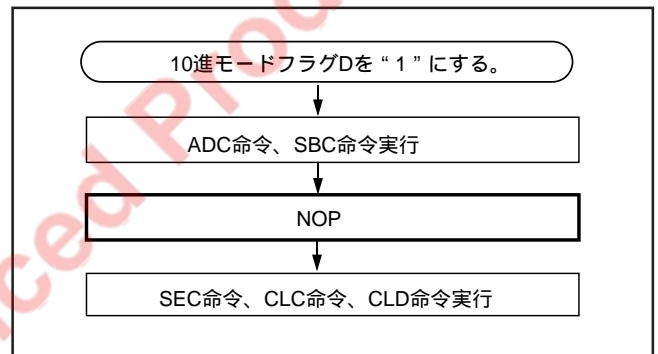


図 4.10 10進演算時のステータスフラグ

3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

4. BRK命令

(1)割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

5. 乗除算命令

(1)MUL、DIV命令は、T、Dフラグの影響を受けません。

(2)乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

6. リード・モディファイ・ライト命令

読み出しができないISFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)加工して(モディファイ)元のメモリにバイト単位で書く(ライト)命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

(1)ビット処理命令

CLB、SEB

(2)シフト・回転命令

ASL、LSR、ROL、ROR、RRF

(3)加減算命令

DEC、INC

(4)論理演算命令(1の補数)

COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが“1”の場合の加減算・論理演算命令(ADC、SBC、AND、EOR、ORA)も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないISFRに対して実行しないでください。

<理由>

読み出しができないISFRに対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. プルアップ制御レジスタ

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

2. スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(V_{CC}に接続)又はプルダウン(V_{SS}に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
 - ・通常動作時の出力レベルの変動
- また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。
- ・入力ポートに設定している場合：入力レベルを固定する。
 - ・出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで入力ポートに設定している場合、出力ポートレジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード

WIT命令実行によるウェイトモード

3. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
 - 端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
 - ・出力に設定されているビット：
 - ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
 - ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

4. 方向レジスタ

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線(20mm以内)で次の処理をしてください。

(1)入出力ポート

入力モードにし、端子ごとに1k~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、「L」又は「H」出力状態で開放してください。

- 出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。

- ノイズやプログラムの暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1)入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 「1. (1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

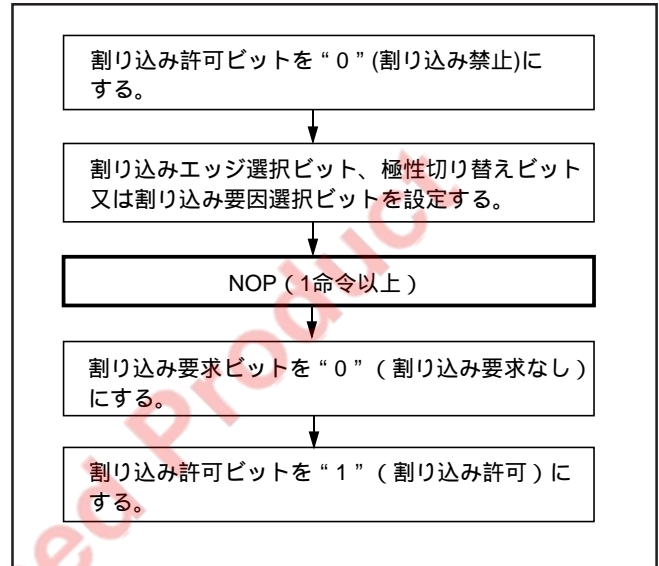


図5. 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが「1」になると場合があります。

- 外部割り込みのアクティブエッジを切り替えるとき
 - INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(3A16番地)のビット0)
 - INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
 - CNTR0極性切り替えビット
(タイマXモードレジスタ(2B16番地)のビット2)
 - CNTR1極性切り替えビット
(タイマAモードレジスタ(1D16番地)のビット6)

2. 割り込み要求ビットの判定

割り込み要求ビットを「0」にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

<理由>

割り込み要求ビットを「0」にした直後にBBC命令又はBBS命令を実行すると、「0」になる前の割り込み要求ビットの値を判定します。

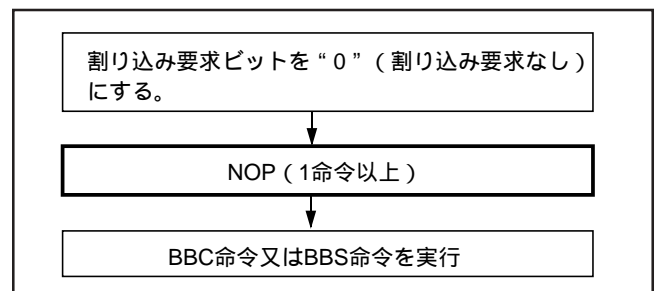


図6. 割り込み要求ビットの設定手順

タイマに関する注意事項

1. タイマラッチに値 $n(0 \sim 255)$ を書き込んだ場合の分周比は、 $1/(n+1)$ です。
2. タイマXのカウンタソースを切り替える場合は、必ずカウンタを停止させた状態で行ってください。

タイマ1に関する注意事項

1. タイマ1カウンタソース選択に関して
タイマ1カウンタソース選択ビット(タイマカウンタソース設定レジスタ $\alpha(2F_{16}$ 番地)のビット1,0)のオンチップオシレータ出力は、オンチップオシレータ発振制御ビット(CPUモードレジスタ $(3B_{16}$ 番地)のビット3)が 1 (発振許可)の時選択できません。

タイマAに関する注意事項

1. CNTR1割り込み極性選択
CNTR1極性切り替えビット(タイマAモードレジスタ $(1D_{16}$ 番地)のビット6)の設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが 0 のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが 1 のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが 1 になります。
ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりCNTR1割り込み要求が発生します。
2. 周期測定、イベントカウンタ、パルス幅HL連続測定モード
CNTR1入力端子と兼用しているポートP00の方向レジスタを入力モードに設定してください。
P00キーオンウェイクアップ選択ビット(割り込みエッジ選択レジスタ $(3A_{16}$ 番地)のビット7)を 1 (キーオンウェイクアップ禁止)に設定して、CNTR1入力端子と兼用しているP00のキーオンウェイクアップ機能を禁止してください。
3. タイマAカウンタソース選択に関して
タイマAカウンタソース選択ビット(タイマカウンタソース設定レジスタ $\alpha(2F_{16}$ 番地)のビット3,2)のオンチップオシレータ出力は、オンチップオシレータ発振制御ビット(CPUモードレジスタ $(3B_{16}$ 番地)のビット3)が 1 (発振許可)の時選択できません。

タイマXに関する注意事項

1. CNTR0割り込み極性選択
CNTR0極性切り替えビット(タイマXモードレジスタ $(2B_{16}$ 番地)のビット2)の設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが 0 のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが 1 のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが 1 になります。
2. タイマXカウンタソース選択
タイマXカウンタソース選択ビット(タイマカウンタソース設定レジスタ $\kappa(2E_{16}$ 番地)のビット1,0)の $f(X_{IN})$ (分周 $1/1$)の選択はセラミック発振、オンチップオシレータ時のみ選択可能です。
RC発振時は選択しないでください。
3. パルス出力モード
CNTR0出力端子と兼用しているポートP14の方向レジスタを出力モードに設定してください。
TXOUT端子を使用する場合、兼用しているポートP03の方向レジスタを出力モードに設定してください。
4. パルス幅測定モード
CNTR0入力端子と兼用しているポートP14の方向レジスタを入力モードに設定してください。

シリアルI/Oに関する注意事項

1. クロック同期形

(1)送信動作を停止する場合、シリアルI/O制御レジスタ(1A16番地)のシリアルI/O許可ビット(ビット7)及び送信許可ビット(ビット4)を“0”(シリアルI/O禁止及び送信禁止)にしてください。

<理由>

シリアルI/O許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、SRDY各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2)受信動作を停止する場合、シリアルI/O制御レジスタ(1A16番地)の受信許可ビット(ビット5)を“0”(受信禁止)、又はシリアルI/O許可ビット(ビット7)を“0”(シリアルI/O禁止)にしてください。

(3)送受信動作を停止する場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。(送信動作又は受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(4)同期クロックとして外部クロック入力選択時、受信側がSRDY出力を行う場合、シリアルI/O制御レジスタ(1A16番地)の受信許可ビット(ビット5)及びSRDY出力許可ビット(ビット2)とともに、送信許可ビットも“1”にしてください。

(5)SRDY信号を入力する場合は、データを送信/受信バッファレジスタに書き込む前に、使用する端子を入力モードに設定してください。

2. UART

送信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

<理由>

1. の(1)と同じです。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)にしてください。

送受信動作を停止する場合、送信許可ビットを“0”(送信禁止)に、受信許可ビットを“0”(受信禁止)にしてください。

3. クロック同期形 / UART共通

(1)シリアルI/O制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定しなおしてください。

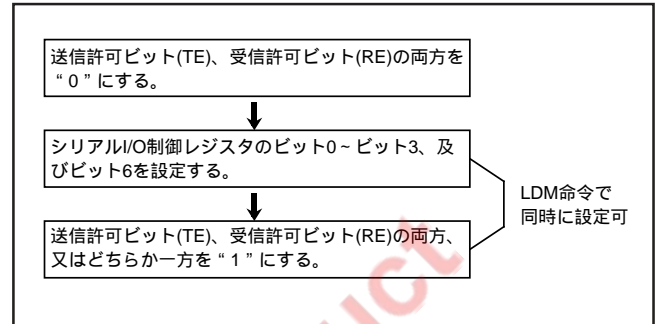


図7. シリアルI/O制御レジスタの設定手順

(2)送信シフトレジスタシフト終了フラグ(シリアルI/Oステータスレジスタ(1916番地)のビット2)は、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(3)データ送信時、同期クロックとして外部クロックを選択している場合、SCLKが“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKが“H”の状態で行ってください。

(4)送信割り込みを使用する場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
送信許可ビットを“1”にする。
一命令以上おいてからシリアルI/O送信割り込み要求ビット(割り込み要求レジスタ(3C16番地)のビット1)を“0”にする。
シリアルI/O送信割り込み許可ビット(割り込み制御レジスタ(3E16番地)のビット1)を“1”(許可)にする。

<理由>

送信許可ビットを“1”に設定すると、シリアルI/Oステータスレジスタ(1916番地)の送信バッファエンプティフラグ(ビット0)、及び送信シフトレジスタシフト終了フラグ(ビット2)は、“1”に設定されます。

したがって、送信割り込みの発生要因に、上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

(5)ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

4. シリアルI/O許可時の入出力端子機能

シリアルI/O制御レジスタ(1A16番地)のシリアルI/Oモード選択ビット(ビット6)およびシリアルI/O同期クロック選択ビット(ビット1)の設定値により、P12/SCLK、P13/SRDYの端子機能が下記のようになります。

(1)シリアルI/Oモード選択ビット “1”:

- ・クロック同期形シリアルI/O選択時
- ・シリアルI/O同期クロック選択ビットの設定
- “0”: P12端子は同期クロックの出力端子になります。
- “1”: P12端子は同期クロックの入力端子になります。
- ・SRDY出力許可ビット(SRDY)の設定
- “0”: P13端子は通常の入出力端子として使用できます。
- “1”: P13端子はSRDY出力端子になります。

(2)シリアルI/Oモード選択ビット “0”:

- ・クロック非同期(UART)形シリアルI/O選択時
- ・シリアルI/O同期クロック選択ビットの設定
- “0”: P12端子は通常の入出力端子として使用できます。
- “1”: P12端子は外部クロックの入力端子になります。
- ・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

A/D変換に関する注意事項

1. アナログ入力端子

A/D変換を正しく行うには、内部のコンデンサへの充電を所定の時間内に完了させることが必要です。この時間内にコンデンサの充電を完了させるために必要なアナログ入力源の最大出力インピーダンスは以下の通りです。

約35k (f(XIN)=8MHz時)

出力インピーダンスの最大値が上記の値を越える場合は、アナログ入力端子 - Vss間にコンデンサ(0.01μF~1μF程度)を挿入する等の対策を行い、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分なA/D変換精度が得られない場合があります。

そのため、A/D変換中は、A/D変換クロックが500kHz以上になるようにf(XIN)を設定してください。

3. A/D変換精度

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) VREF電圧をVcc電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) VREF電圧が3.0V以下の場合、低温時の精度が常温時と比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V以上での使用を推奨します。

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、STP命令解除後の発振安定時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
3. STP命令禁止ビット(ウォッチドッグタイマ制御レジスタ(3916番地)のビット6)はプログラムにより“1”にできますが“0”に書き替えることはできません。

リセット端子に関する注意事項

1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

クロック発生回路に関する注意事項

1. セラミック/水晶発振とRC発振の切り替え

リセット解除後、発振方式選択ビット(CPUモードレジスタ(3B16番地)のビット5)は“0”(セラミック/水晶発振)になっています。

RC発振を使用する場合は“1”にしてください。

2. 倍速モード

倍速モードはセラミック/水晶発振時のみ使用できます。RC発振時は、使用しないでください。

3. CPUモードレジスタの書き替え

発振方式選択ビット(CPUモードレジスタ(3B16番地)のビット5)とプロセッサモードビット(CPUモードレジスタ(3B16番地)のビット1,0)は発振方式選択や、マイコンの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイコンのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き込みが可能です。

その後、このビットへの書き込みは無効になります。

(エミュレータ専用MCU“M37544RSS”は除きます)

また、ビット5,1,0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用後も、これらのビットへの書き込みは無効になります。

4. クロック分周比、XIN 発振制御、オンチップオシレータ発振制御の切り替え

クロック発生回路は、CPUモードレジスタ(3B16番地)のクロック分周比選択ビット(ビット7,6)と、XIN 発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、クロック発生回路状態遷移図(図46)の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

5. オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子を1k ~ 10k の抵抗を介してVccに接続し、XOUT端子は開放としてください。

なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

6. セラミック共振子および水晶発振子を使用する場合

メインクロックにセラミック共振子および水晶発振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子/水晶発振子および外部回路を最短距離で接続してください。

帰還抵抗は内蔵しております。

7. RC 発振を使用する場合

メインクロックにRC 発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC 発振用の抵抗R およびコンデンサCの定数は、マイコンのパラツキと抵抗およびコンデンサ自身のパラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

8. 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放としてください。

なお発振方式選択ビット(CPUモードレジスタ(3B16番地)のビット5)は“0”(セラミック発振)を選択してください。

発振制御に関する注意事項

1. 発振停止検出回路

(1)ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

(2)XIN発振制御ビットでセラミックまたはRC発振停止を選択する場合は、発振停止検出機能を無効にしてください。

(3)エミュレータ専用MCU“ M37544RSS ”には、発振停止検出回路の機能はありません。

2. ストップモード

(1)ストップモードを使用する場合は、発振停止検出機能を無効にしてください。

(2)ストップモードを使用する場合は、STP命令禁止ビット(ウォッチドッグタイマ制御レジスタ(3916番地)のビット6)を“0”(STP命令許可)に設定してください。

(3)STP命令解除後の発振安定時間は、STP命令解除後発振安定時間設定ビット(MISR(3816番地)のビット0)にて自動設定する/自動設定しないを選択することができます。“0”を選択するとタイマ1には“0116”、プリスケアラ1には“FF16”がSTP命令実行時に自動設定されます。“1”を選択した場合は、ご使用になる発振子の発振安定時間にあわせて待ち時間をタイマ1、プリスケアラ1に設定してください。なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。

(4)クロック分周比選択ビット(CPUモードレジスタ(3B16番地)のビット7,6)でオンチップオシレータを選択している場合、STP命令は使用できません。

(5)ストップモードを使用する場合は、オンチップオシレータ発振制御ビット(CPUモードレジスタ(3B16番地)のビット3)を“1”(オンチップオシレータ発振停止)にしてください。

(6)A/D変換中は、STP命令を実行しないでください。

発振停止検出回路に関する注意事項

- 発振停止検出ステータスビットは、以下の場合に初期化されます。
 - ・外部リセット
 - ・セラミック又はRC発振停止検出機能有効ビットへの“0”書き込み。
- 発振停止検出回路はエミュレータ専用MCU“ M37544RSS ”にはありません。

ワнтаイムPROM版/マスクROM版に関する注意事項

ワнтаイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワнтаイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

ハードウェアに関する注意事項

1. 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μF ~ 0.1 μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

2. ワнтаイムPROM版

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1 ~ 10k の抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

改訂履歴

7544 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	02/11/8	-	初版発行
1.01	03/5/6	46 ~ 52	電気的特性追加
1.02	03/6/25	50	I_{CC} 電源電流 オンチップオシレータ動作モード、 オンチップオシレータモード(WIT 命令実行時) 規格値記入
		51	A/D変換器特性 規格値記入
1.03	04/2/12	17	【割り込みエッジ選択レジスタ】説明追記
		24	図 23. レジスタ名、略称に「1」追記 - タイマカウントソース設定レジスタ 1、TCSS1
		30	A/D変換器 注意事項追加
		34	図 38 XIN の端子処理 改訂
		39	ハードウェアに関する注意事項 (3)A/D変換に関する注意事項削除 マスク化発注時の提出資料 追記
		40	A/D変換器 注意事項追加
		49	表12. 電気的特性(1) V_{OH}/V_{OL} 測定条件変更 RESETパルス幅 規格値変更
		51	表14. A/D変換器特性 絶対精度誤差の測定条件追加 A/D変換器特性 注意事項追加
1.04	04/3/26	30	【コンパレータ及び制御回路】 A/D変換中の(X_{IN})値 改訂
		37	図44、図45 ビット名 改訂
		40 ~ 43	ノイズに関する注意事項 追記 (これまで掲載していました周辺機能に関する注意事項は、内容を改訂し、 巻末の付録に移動しました。)
		57 ~ 63	付録：注意事項 追加
1.05	04/6/8	36PJW-A パッケージ版追加による追記；	
		3	- 図 4 ピン接続図 (36PJW-A パッケージ) 追加
		6	- 図 7 機能ブロック図 (36PJW-A パッケージ) 追加
		8	- パッケージ：36PJW-A パッケージ 追加
			- サポート製品一覧：36PJW-A パッケージ製品情報 追加
		50	- 36PJW-A パッケージ型名 追加
		59	- 外形寸法図 追加
		8	図 8 「開発中」削除
		38	発振停止検出回路 改訂
		63	タイマ 1 に関する注意事項 追加
66	発振停止検出回路に関する注意事項、電源電圧に関する注意事項 追加		
	全ページ	用語統一 (統一用語：オンチップオシレータ、キャリフラグ等)	
1.06	04/7/2	3	図 4 ピン接続図 (36PJW-A パッケージ) 改訂
		32	【コンパレータ及び制御回路】、注意事項 改訂
		65	A/D変換に関する注意事項 2. A/D変換中のクロック周波数 改訂

株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	部	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	支	部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	支	社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	支	店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com