

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7542グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0005-0303

Rev.3.03

2008.07.11

概要

7542グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8ビットタイマ、16ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.25 μ s
(最小命令、発振周波数8MHz、倍速モード時)	
メモリ容量	
フラッシュ版 ROM	16K ~ 32K+4Kバイト
RAM	1024バイト
マスク版 ROM	8 ~ 16Kバイト
RAM	384 ~ 512バイト
RSS版 RAM	1024バイト
プログラマブル入出力ポート	29本
(32ピン版及びPWQN0036KA-Aパッケージ版では25本)	
割り込み	18要因、16ベクタ
タイマ	8ビット×2
.....	16ビット×2
アウトプットコンペア	4チャンネル
インプットキャプチャ	2チャンネル
シリアルインタフェース	8ビット×2
(UART又はクロック同期形)	
A/Dコンバータ	10ビット分解能×8チャンネル
(32ピン版及びPWQN0036KA-Aパッケージ版では、6チャンネル)	
クロック発生回路	内蔵
(オンチップオシレータによる低消費電力化も可能)	
(セラミック共振子又は水晶発振子外付け、RC発振可能)	
ウォッチドッグタイマ	16ビット×1

電源電圧

XIN発振周波数(セラミック発振、倍速モード時)	
8MHz時	4.5 ~ 5.5V
XIN発振周波数(セラミック発振、高速モード時)	
8MHz時	4.0 ~ 5.5V
4MHz時	2.4 ~ 5.5V
2MHz時	2.2 ~ 5.5V
(RC発振、高速モード、中速モード時)	
4MHz時	4.0 ~ 5.5V
2MHz時	2.4 ~ 5.5V
1MHz時	2.2 ~ 5.5V
消費電力	27.5mW(標準)
動作周囲温度	-20 ~ 85

応用

OA機器、FA機器、家電、民生機器など

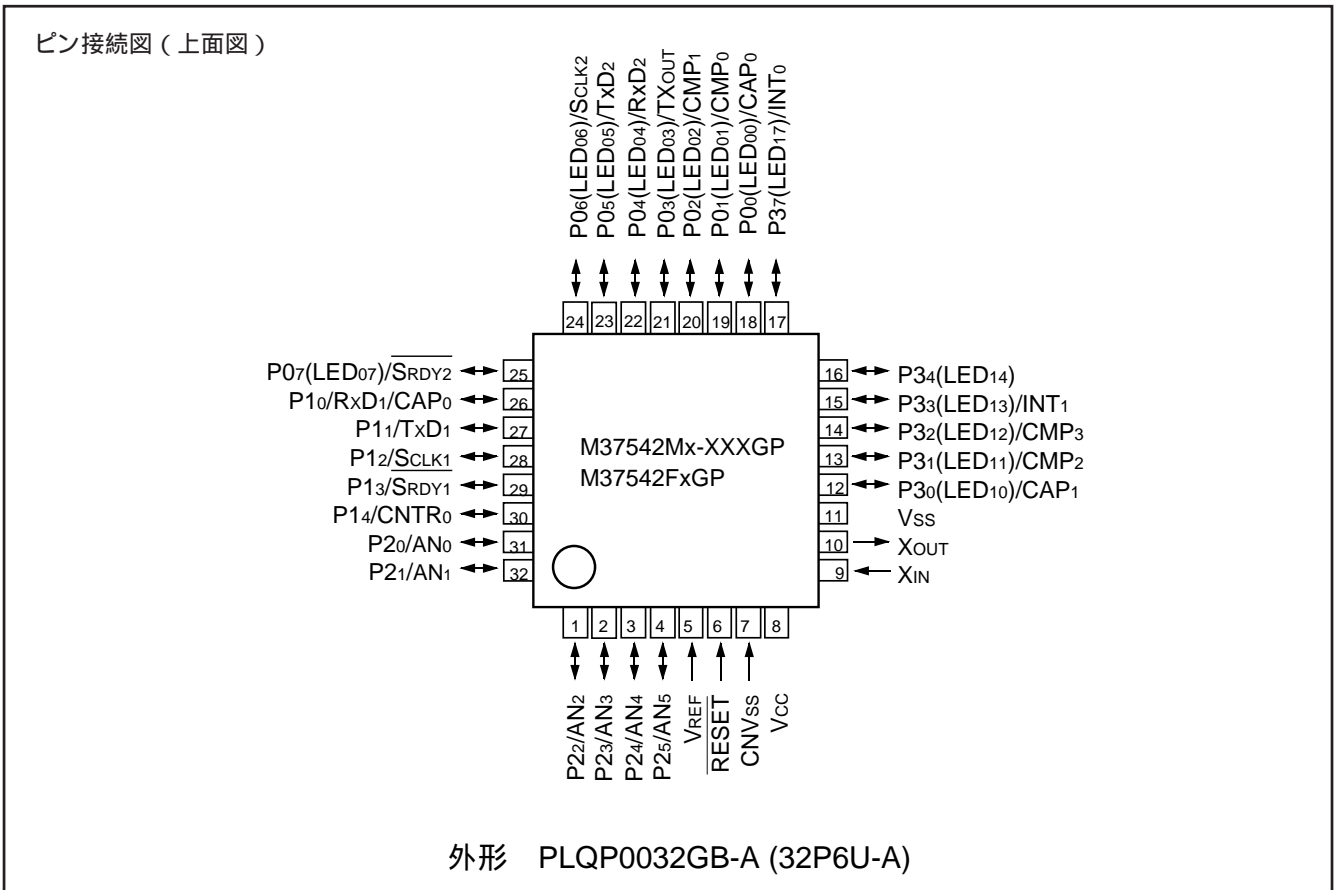


図 1 . ピン接続図 (PLQP0032GB-A パッケージ)

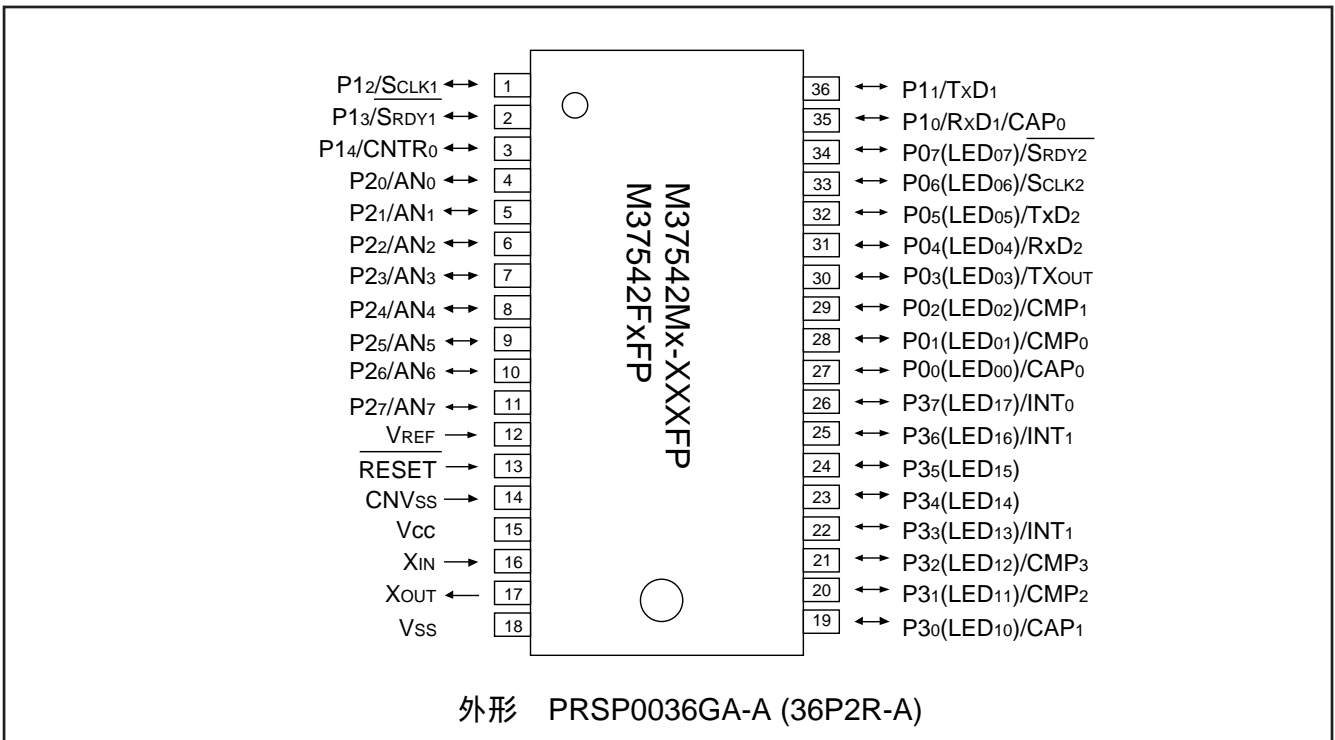


図 2 . ピン接続図 (PRSP0036GA-A パッケージ)

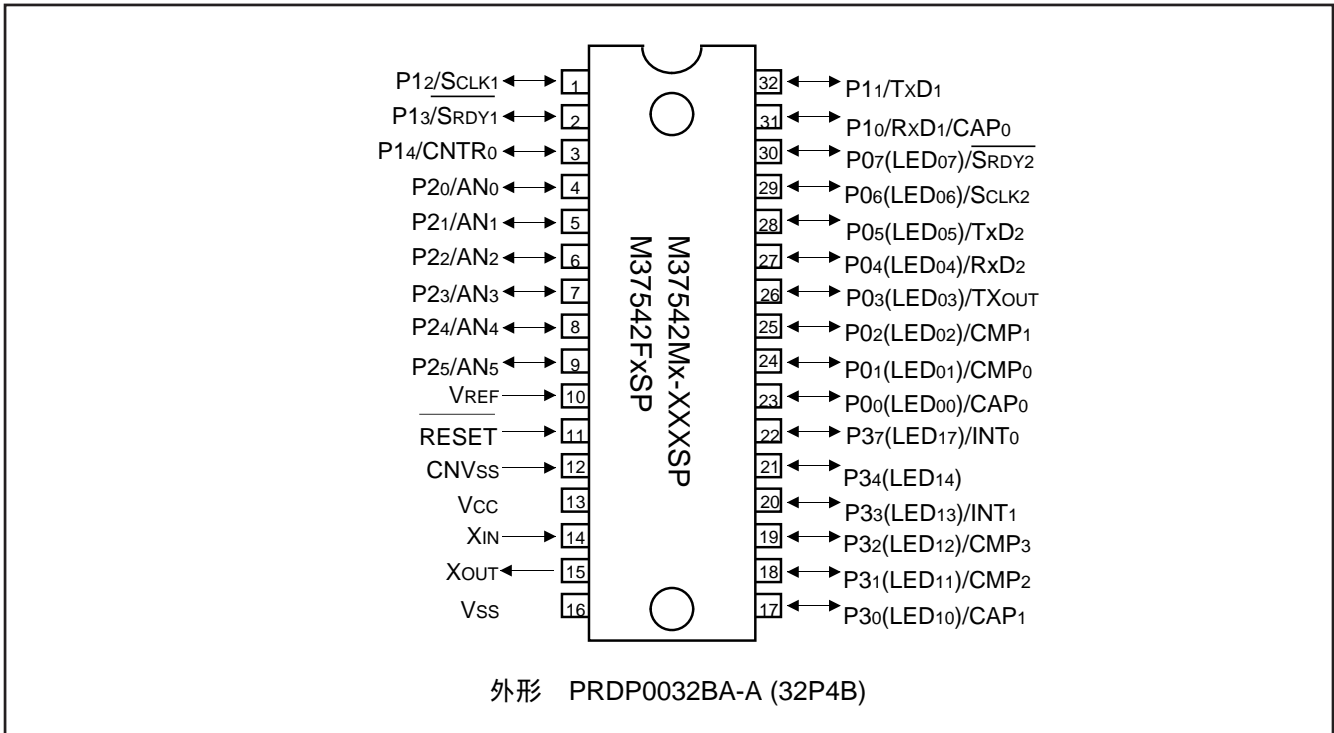


図3．ピン接続図 (PRDP0032BA-A パッケージ)

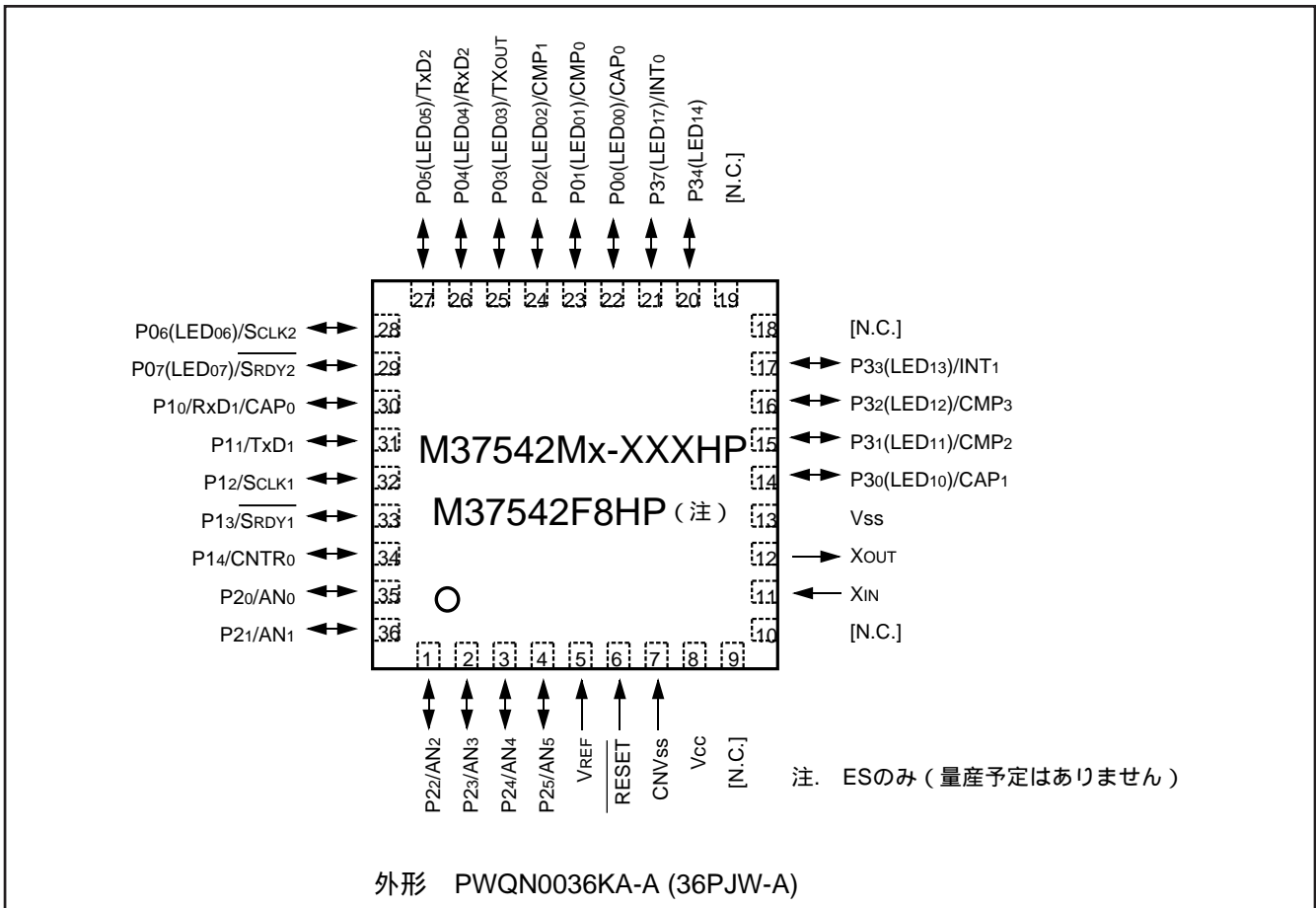


図4．ピン接続図 (PWQN0036KA-A パッケージ)

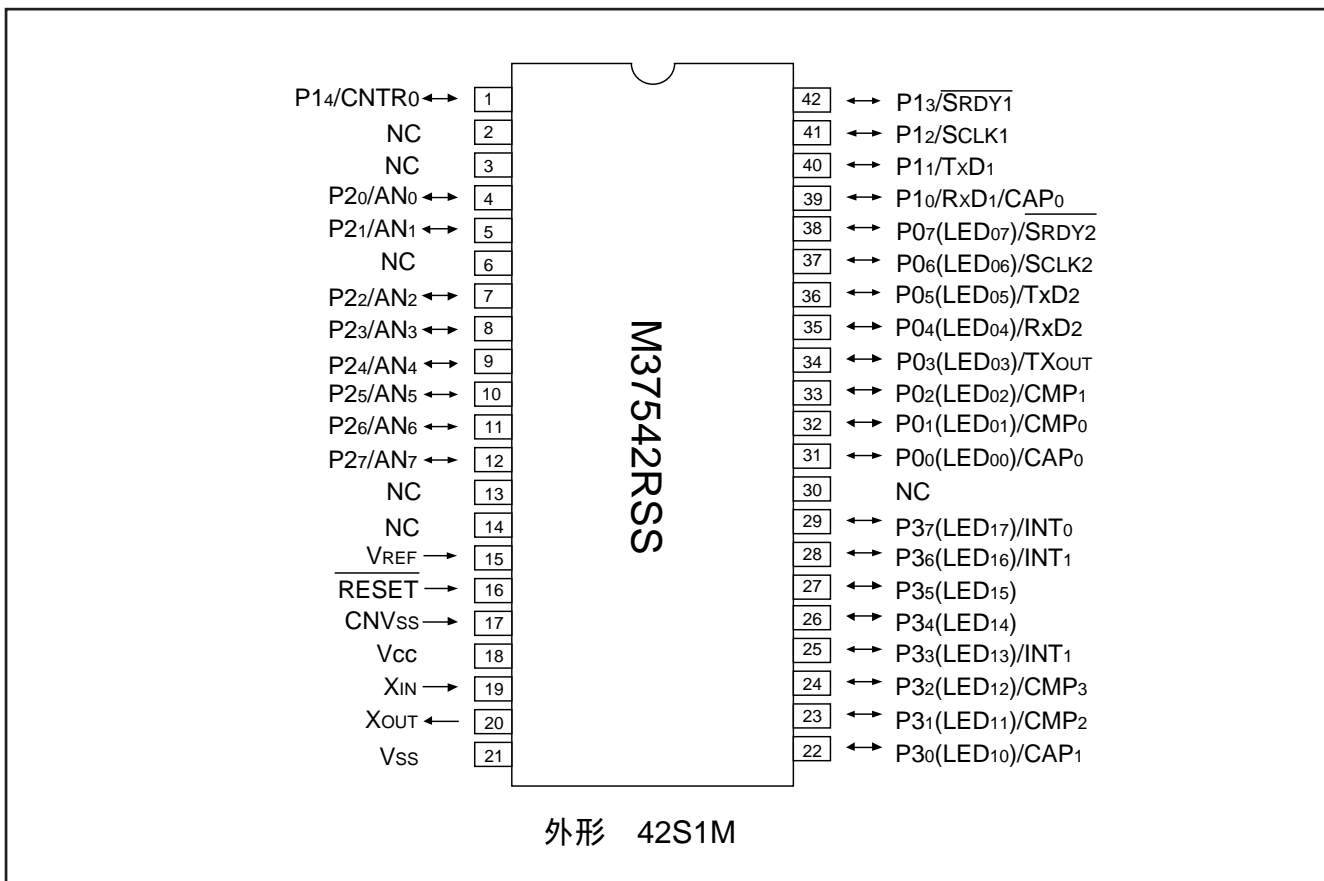


図5 . ピン接続図 (42S1M パッケージ)

表1. 性能概要

項 目			性 能	
基本命令数			71	
最小命令実行時間			0.25 μ s (発振周波数8MHz:倍速モード)	
発振周波数			8MHz(最大)	
メモリ容量	マスクROM版	ROM	8K ~ 16Kバイト	
		RAM	384 ~ 512バイト	
	FLASH ROM 版	ROM	16K ~ 32K+4Kバイト	
		RAM	1024バイト	
入出力ポート	P0, P1, P2, P3		8ビット \times 3, 5ビット \times 1 (32ピン版, PWQN0036KA-Aパッケージ版は8ビット \times 1, 6ビット \times 2, 5ビット \times 1)	
割り込み			18要因, 16ベクタ	
タイマ			8ビット \times 2, 16ビット \times 2	
アウトプットコンペア			4チャンネル	
インプットキャプチャ			2チャンネル	
シリアルインタフェース			8ビット \times 2 (UART又はクロック同期系)	
A/Dコンバータ			10ビット \times 8チャンネル (32ピン版, PWQN0036KA-Aパッケージ版は6チャンネル)	
ウォッチドッグタイマ			16ビット \times 1	
クロック発生回路			内蔵 (セラミック発振子又は水晶発振子外付け, RC発振子外付け, RC発振子可能) (オンチップオシレータによる低消費電流も可能)	
電源電圧 (セラミック発振時)	高, 中速モード	8MHz動作時	マスクROM版	4.0V ~ 5.5V
			FLASH ROM版	
		4MHz動作時	マスクROM版	2.4 ~ 5.5V
			FLASH ROM版	
		2MHz動作時	マスクROM版	2.2 ~ 5.5V
			FLASH ROM版	
	倍速モード	8MHz動作時	マスクROM版	4.5 ~ 5.5V
			FLASH ROM版	
		6.5MHz動作時	マスクROM版	4.5 ~ 5.5V
			FLASH ROM版	
		2MHz動作時	マスクROM版	2.4 ~ 5.5V
			FLASH ROM版	
1MHz動作時	マスクROM版	2.2 ~ 5.5V		
	FLASH ROM版		2.7 ~ 5.5V	
電源電圧 (RC発振時)	高, 中速モード	4MHz動作時		マスクROM版
			FLASH ROM版	
		2MHz動作時	マスクROM版	2.4 ~ 5.5V
	FLASH ROM版		2.7 ~ 5.5V	
	1MHz動作時	マスクROM版		2.2 ~ 5.5V
		FLASH ROM版	2.7 ~ 5.5V	
消費電力				マスクROM版
			FLASH ROM版	24.0mW(標準)
動作周囲温度			-20 ~ 85	
素子構造			CMOSシリコンゲート	
パッケージ			32ピンプラスチックモールドSDIP/LQFP, 36ピンプラスチックモールドSSOP/WQFN	

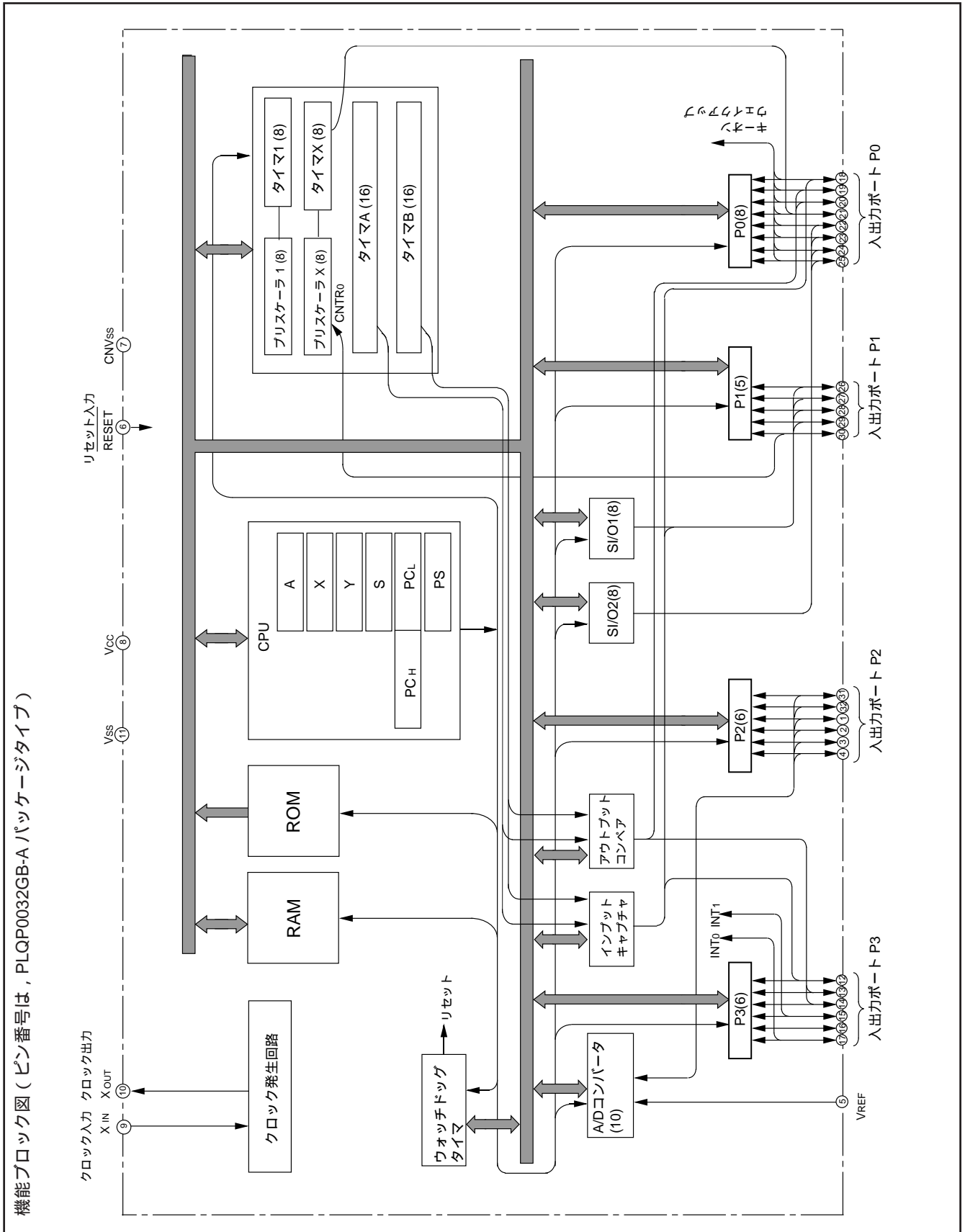


図 6 . 機能ブロック図 (PLQP0032GB-A パッケージ)

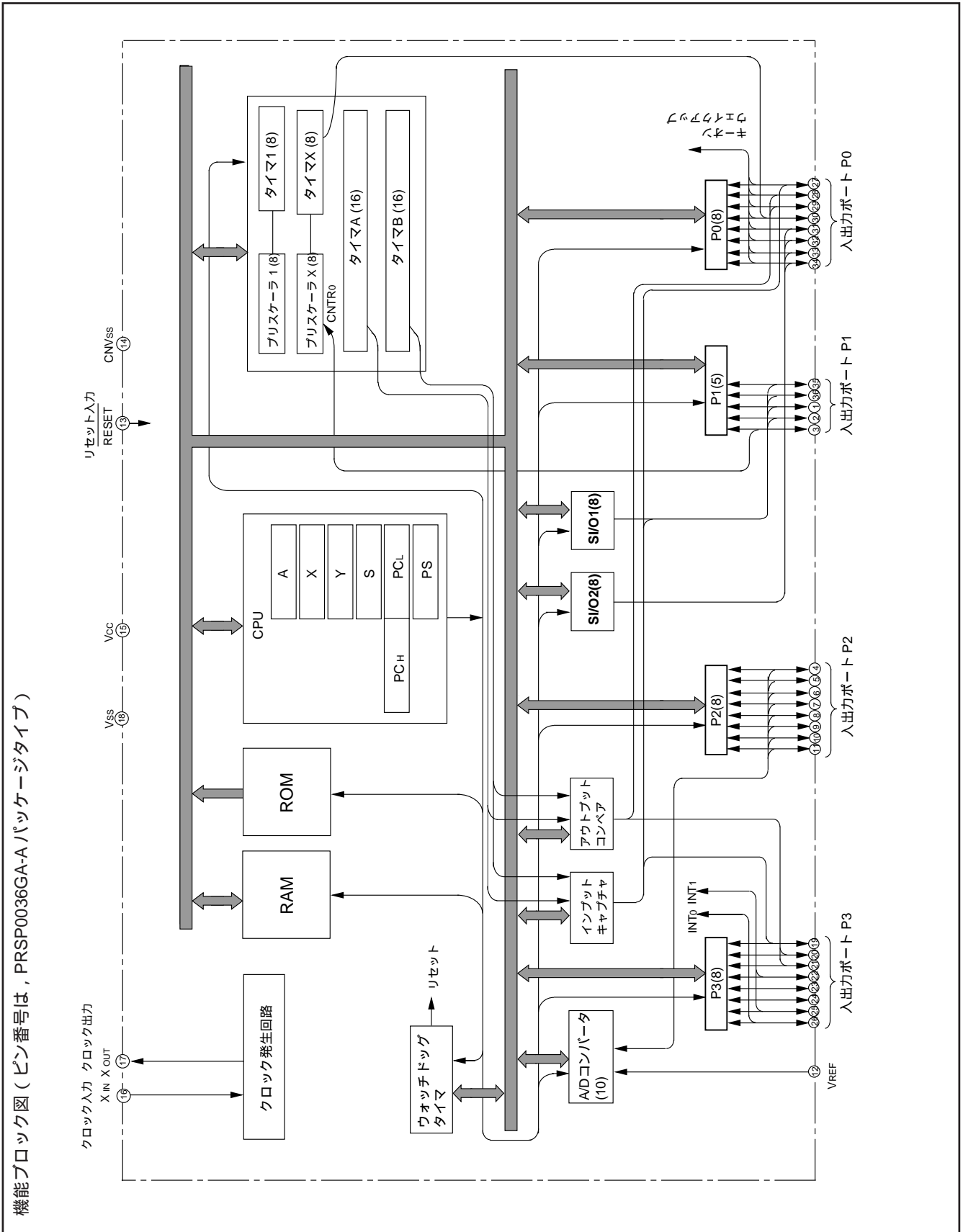


図 7 . 機能ブロック図 (PRSP0036GA-A パッケージ)

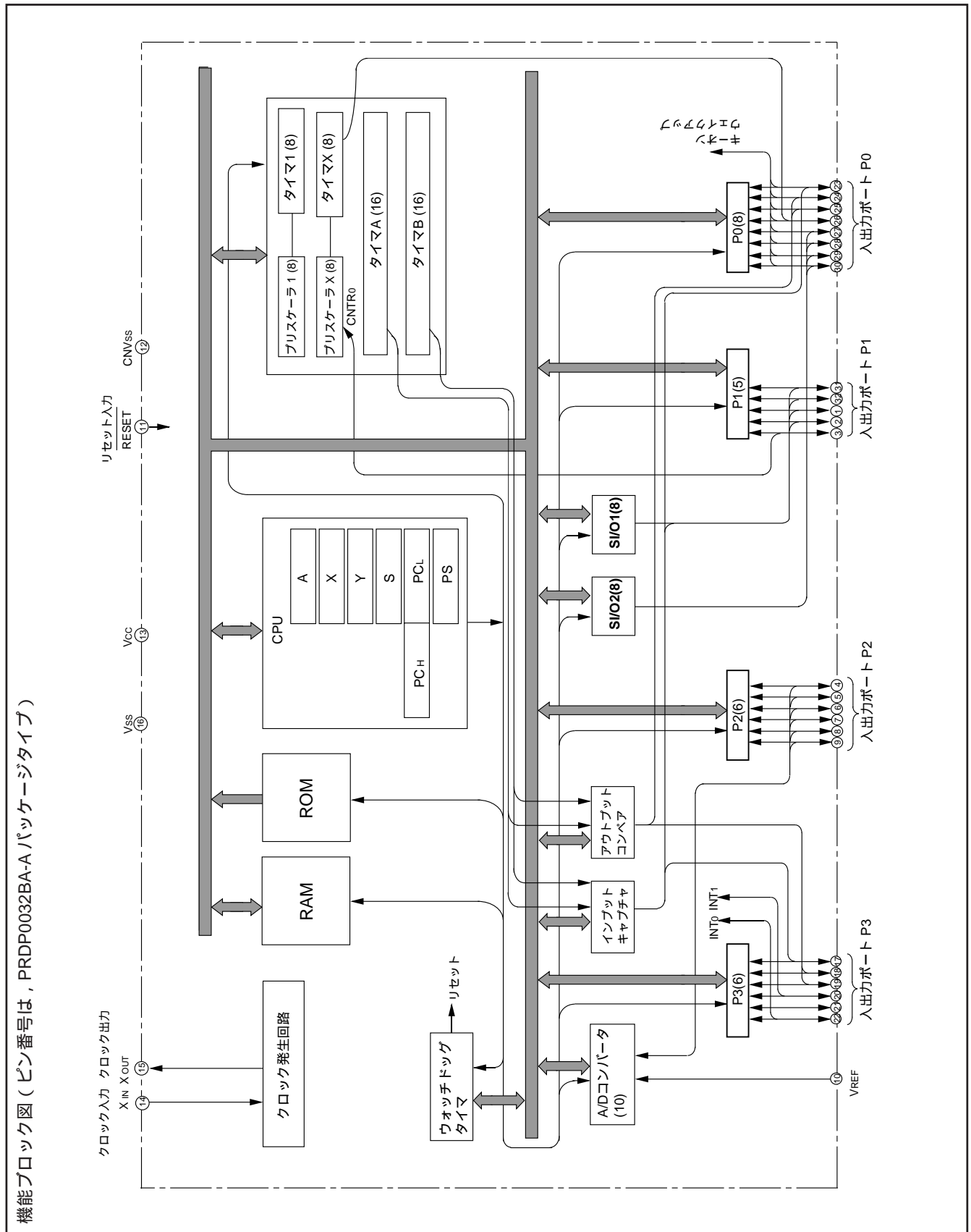


図 8 . 機能ブロック図 (PRDP0032BA-Aパッケージ)

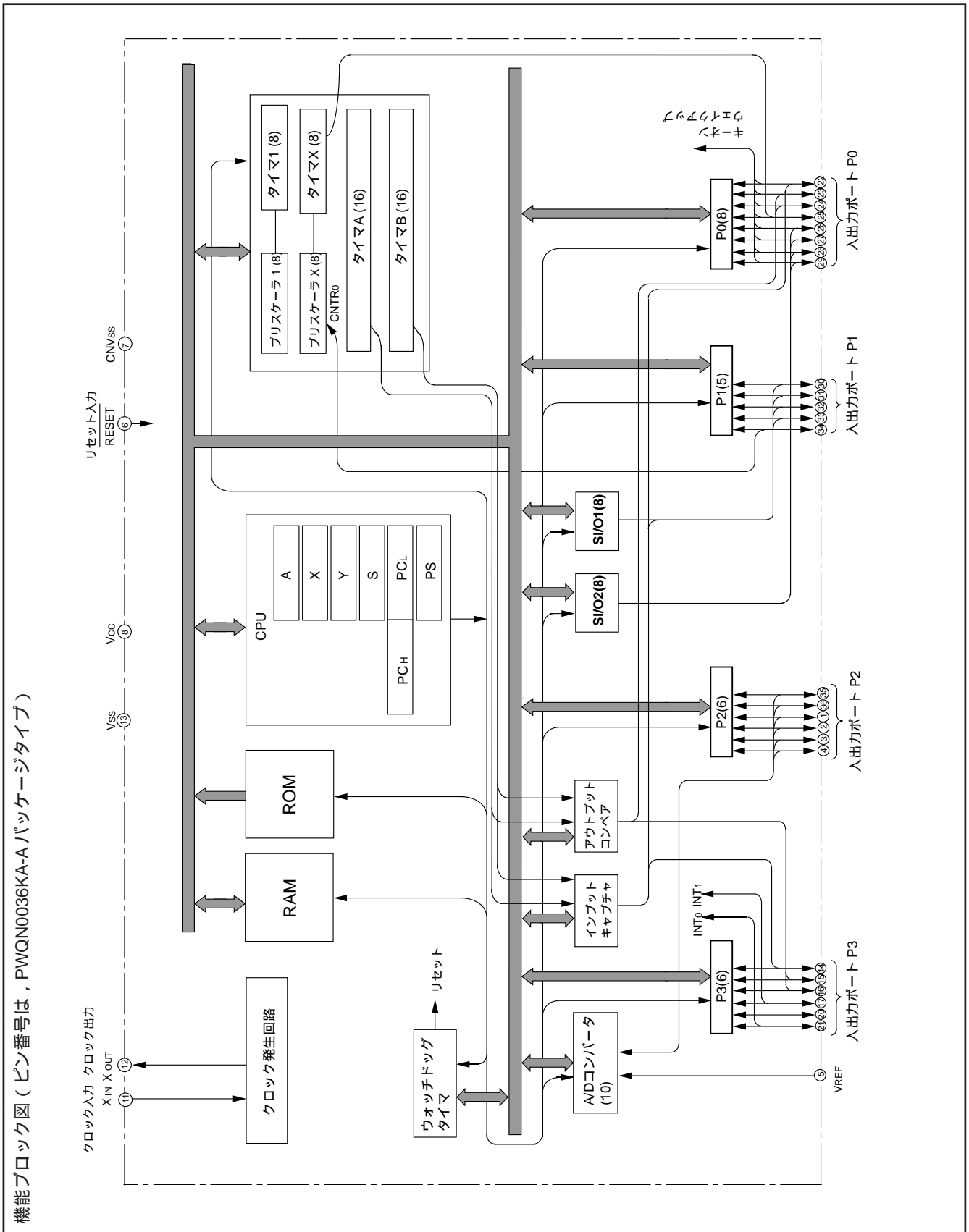


図 9 . 機能ブロック図 (PWQN0036KA-A パッケージ)

端子の機能説明

表 2 . 端子の機能説明

端子名	名称	機能		ポート以外の機能		
Vcc, Vss	電源入力	マスク ROM 版	Vcc に 2.2 ~ 5.5V, Vss に 0V を印加します。			
		FLASH ROM 版	Vcc に 2.7 ~ 5.5V, Vss に 0V を印加します。			
VREF	基準電圧入力	A/D コンバータの基準電圧入力端子です。				
CNVss	CNVss	チップの動作モードを制御する端子で常に Vss に接続します。				
RESET	リセット入力	アクティブ“L”のリセット入力端子です。				
XIN	クロック入力	内部クロック発生回路の入出力端子で, XIN と XOUT の間にセラミック共振子又は水晶共振子を接続します。RC 発振時は, XIN と XOUT を短絡しコンデンサと抵抗を接続します。 外部クロック使用時にはクロック発振源を XIN 端子に接続し, XOUT 端子は開放にします。 メインクロックをオンチップオシレータで供給する場合には, XIN 端子を Vcc に接続し, XOUT 端子は開放にします。				
XOUT	クロック出力					
P00(LED00)/CAP0 P01(LED01)/CMP0 P02(LED02)/CMP1 P03(LED03)/TXOUT P04(LED04)/RxD2 P05(LED05)/TxD2 P06(LED06)/SCLK2 P07(LED07)/SRDY2	入出力ポート P0	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。 プログラムにより, LED 駆動ポートとしても使用できます。	キャプチャ機能端子	キー入力 (キーオンウェイクアップ割り込み入力) 端子		
			コンペア機能端子			
			タイマ X 機能端子			
			シリアル I/O2 機能端子			
P10/RxD1/CAP0 P11/TxD1 P12/SCLK1 P13/SRDY1 P14/CNTR0	入出力ポート P1	5 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 P10, P12, P13 は CMOS/TTL レベル切り替えが可能です。	シリアル I/O1 機能端子			
			キャプチャ機能端子			
			シリアル I/O1 機能端子			
			タイマ X 機能端子			
P20/AN0 ~ P27/AN7	入出力ポート P2 (注 1)	P0 とほぼ同等の機能を持った 8 ビットの入出力ポートです。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。	A/D コンバータ入力端子			
P30(LED10)/CAP1 P31(LED11)/CMP2 P32(LED12)/CMP3 P33(LED13)/INT1 P34(LED14) P35(LED15) P36(LED16)/INT1 P37(LED17)/INT0	入出力ポート P3 (注 2)	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルです。(P36, P37 については, CMOS/TTL レベルの切替えが可能です。) 出力形式は, CMOS3 ステートで, このうち P30 ~ P37 の 8 ビットは LED 駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。 プログラムにより, LED 駆動ポートとしても使用できます。	キャプチャ機能端子	割り込み入力端子		
			コンペア機能端子			
			割り込み入力端子			
			割り込み入力端子			

注 1 . 32 ピン版及び PWQN0036KA-A パッケージ版では, P26/AN6, P27/AN7 端子はなく, 6 ビットの入出力ポートとなります。

2 . 32 ピン版及び PWQN0036KA-A パッケージ版では, P35, P36/INT1 端子はなく, 6 ビットの入出力ポートとなります。

グループ展開

7542グループは、次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版、エミュレータ専用MCUのサポート

メモリ容量

フラッシュメモリ容量 16K ~ 32K+4Kバイト
 マスクROM容量 8K ~ 16Kバイト
 RAM容量 384 ~ 1024バイト

パッケージ

PRDP0032BA-A 32ピンプラスチックモールドSDIP
 PLQP0032GB-A 0.8mmピッチ32ピンプラスチックモールドLQFP
 PRSP0036GA-A 0.8mmピッチ36ピンプラスチックモールドSSOP
 PWQN0036KA-A 0.5mmピッチ36ピンプラスチックモールドWQFN
 42S1M 42ピンシュリンクセラミックPIGGY BACK

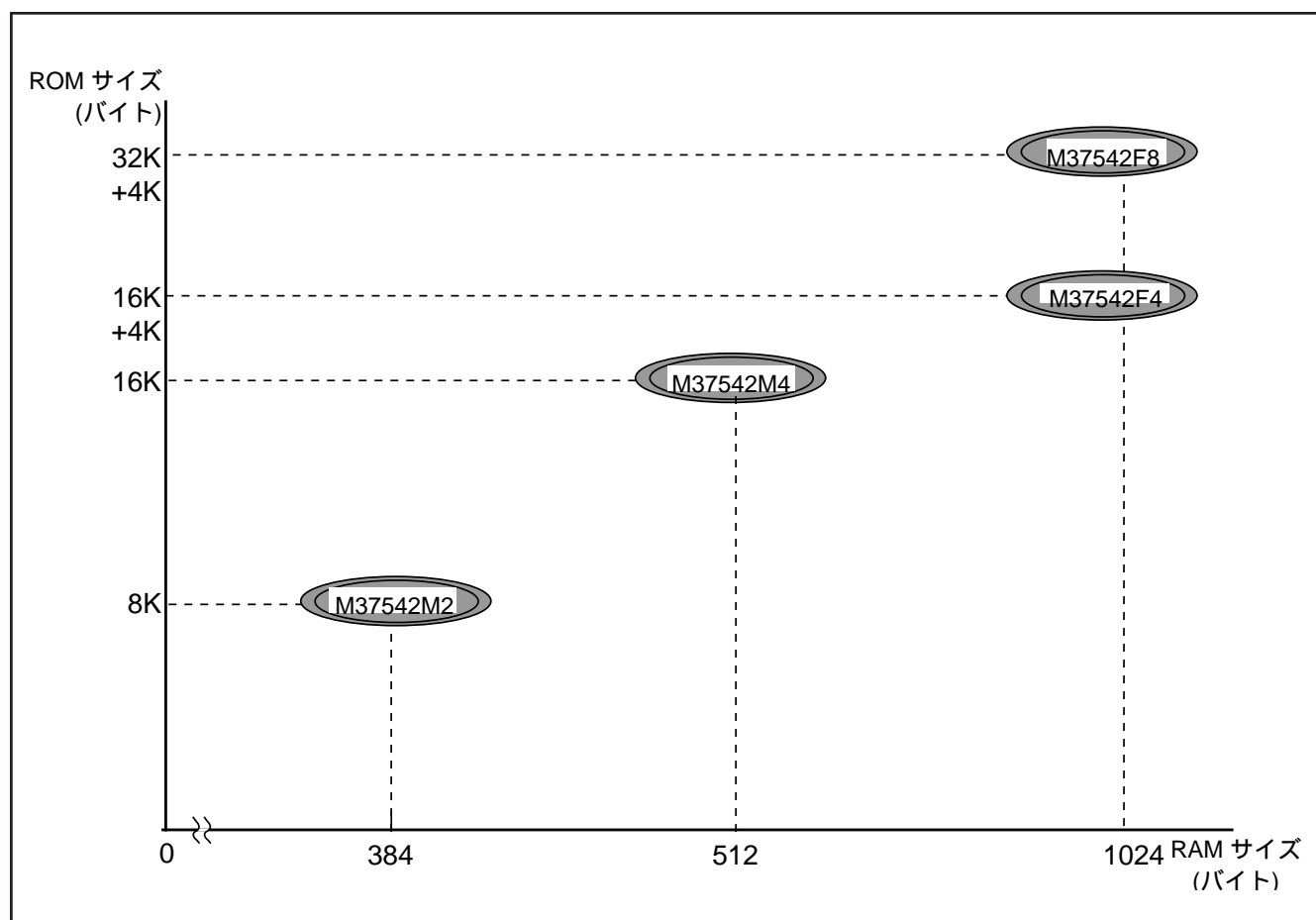


図 10 . ROM 及び RAM 展開計画

現在開発を行っている製品を下記に示します。

表3 . サポート製品一覧

製品型名	ROM 容量 (バイト) () 内はユーザ ROM 容量	RAM 容量 (バイト)	パッケージ	備 考
M37542M2-XXXSP	8192 (8062)	384	PRDP0032BA-A	マスク ROM 版
M37542M2-XXXHP			PWQN0036KA-A	マスク ROM 版
M37542M2-XXXFP			PRSP0036GA-A	マスク ROM 版
M37542M2-XXXGP			PLQP0032GB-A	マスク ROM 版
M37542M4-XXXSP	16384 (16254)	512	PRDP0032BA-A	マスク ROM 版
M37542M4-XXXHP			PWQN0036KA-A	マスク ROM 版
M37542M4-XXXFP			PRSP0036GA-A	マスク ROM 版
M37542M4-XXXGP			PLQP0032GB-A	マスク ROM 版
M37542F4SP	16384 + 4096 (注2)	1024	PRDP0032BA-A	フラッシュメモリ版
M37542F4FP			PRSP0036GA-A	フラッシュメモリ版
M37542F4GP			PLQP0032GB-A	フラッシュメモリ版
M37542F8SP	32768 + 4096 (注2)	1024	PRDP0032BA-A	フラッシュメモリ版
M37542F8FP			PRSP0036GA-A	フラッシュメモリ版
M37542F8GP			PLQP0032GB-A	フラッシュメモリ版
M37542F8HP (注1)			PWQN0036KA-A	フラッシュメモリ版
M37542RSS	—————		42S1M	エミュレータ専用 MCU

注1 : ES のみ (量産予定はありません)

注2 : ROM 容量には、ID コード領域が含まれます。

機能ブロック動作説明

中央演算処理装置 (CPU)

7542グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算装置(CPU)には6個のレジスタがあります。図11にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図12に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

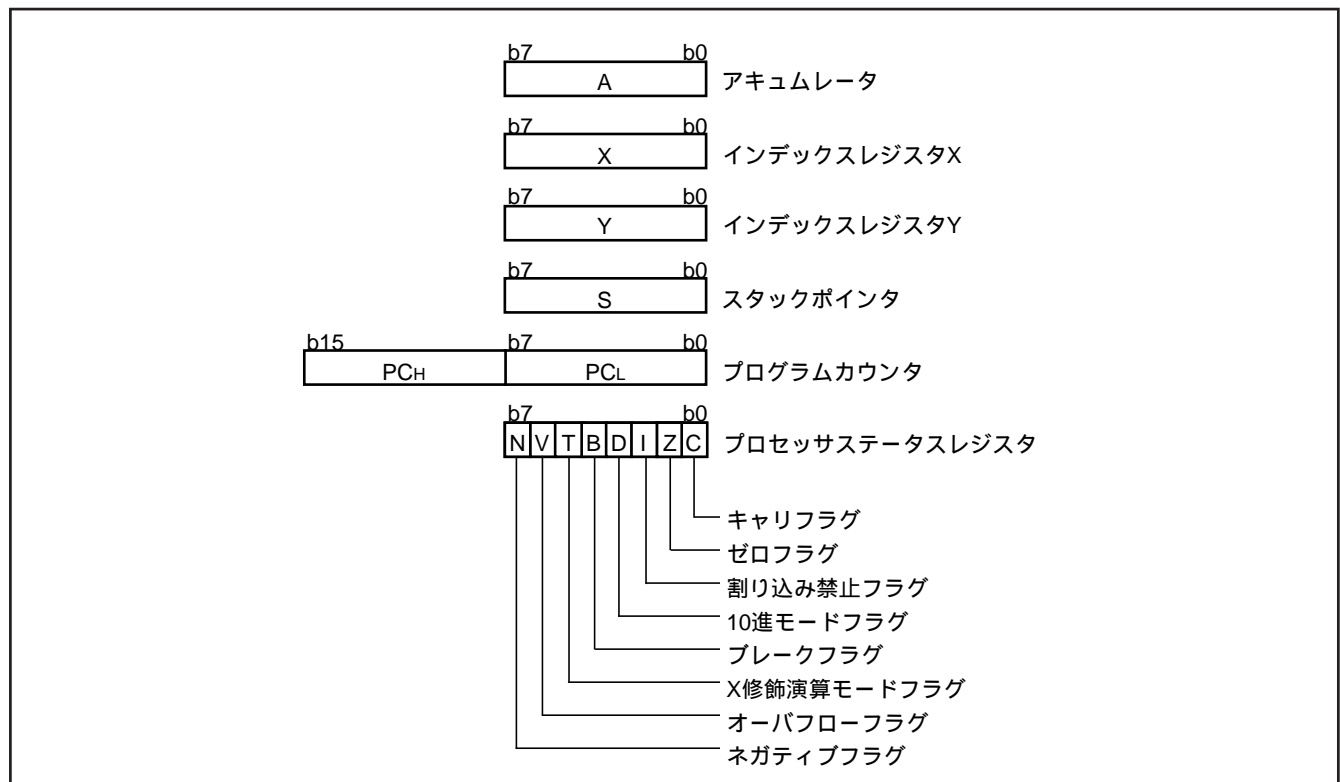


図 11 . 740 ファミリ CPU の構成

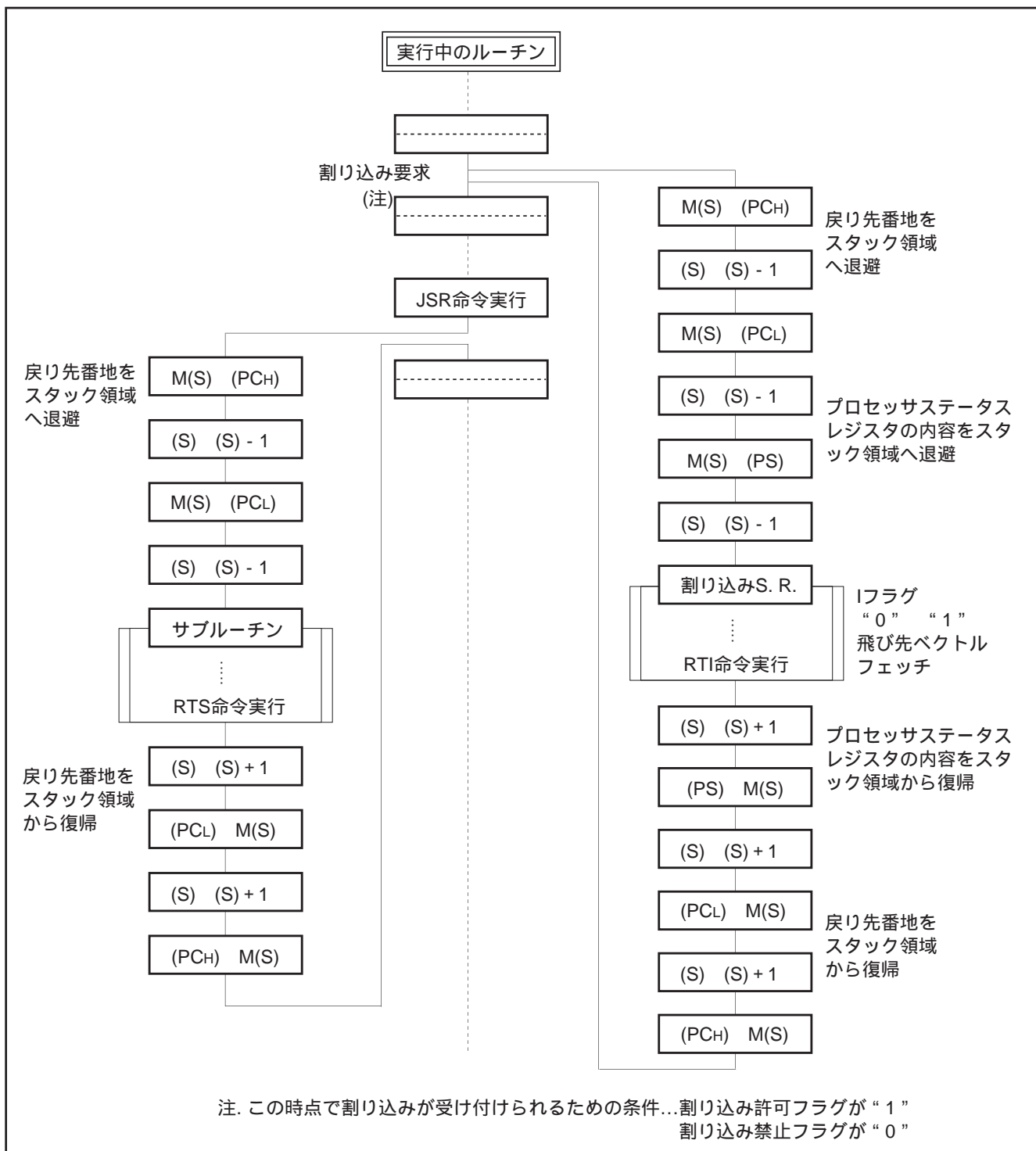


図 12 . スタックへの退避及び復帰動作

表 4 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化しませんが、

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使います。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

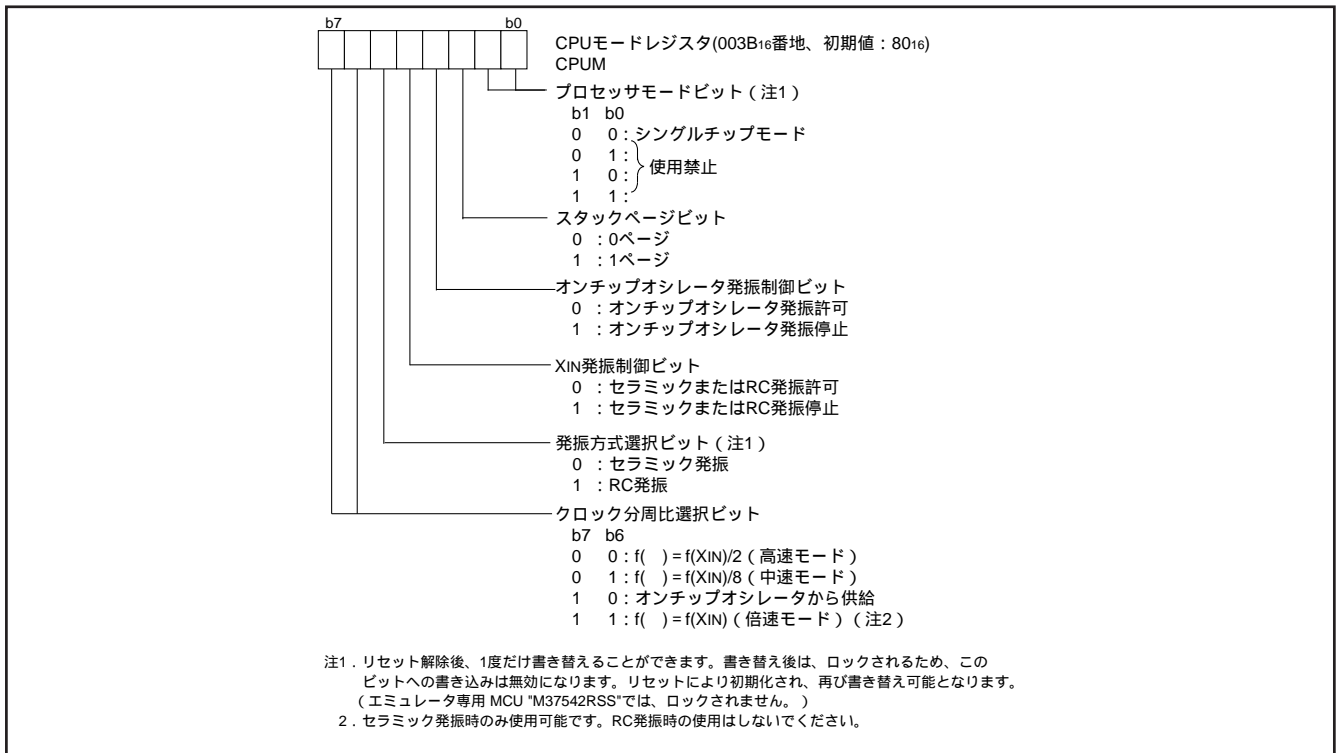


図 13 . CPU モードレジスタの構成

CPUモードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ

(CPUM)の切り替えを以下の手順で行ってください。

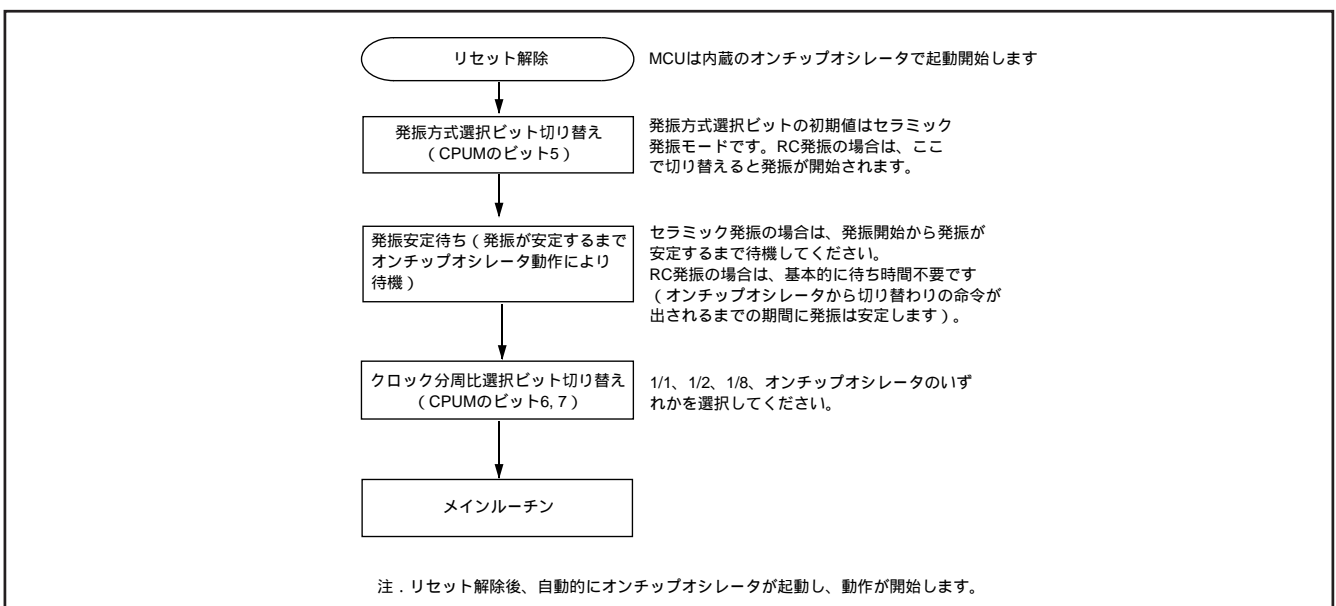


図 14 . CPU モードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。フラッシュメモリ版では、予約ROM領域のプログラム/イレースが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

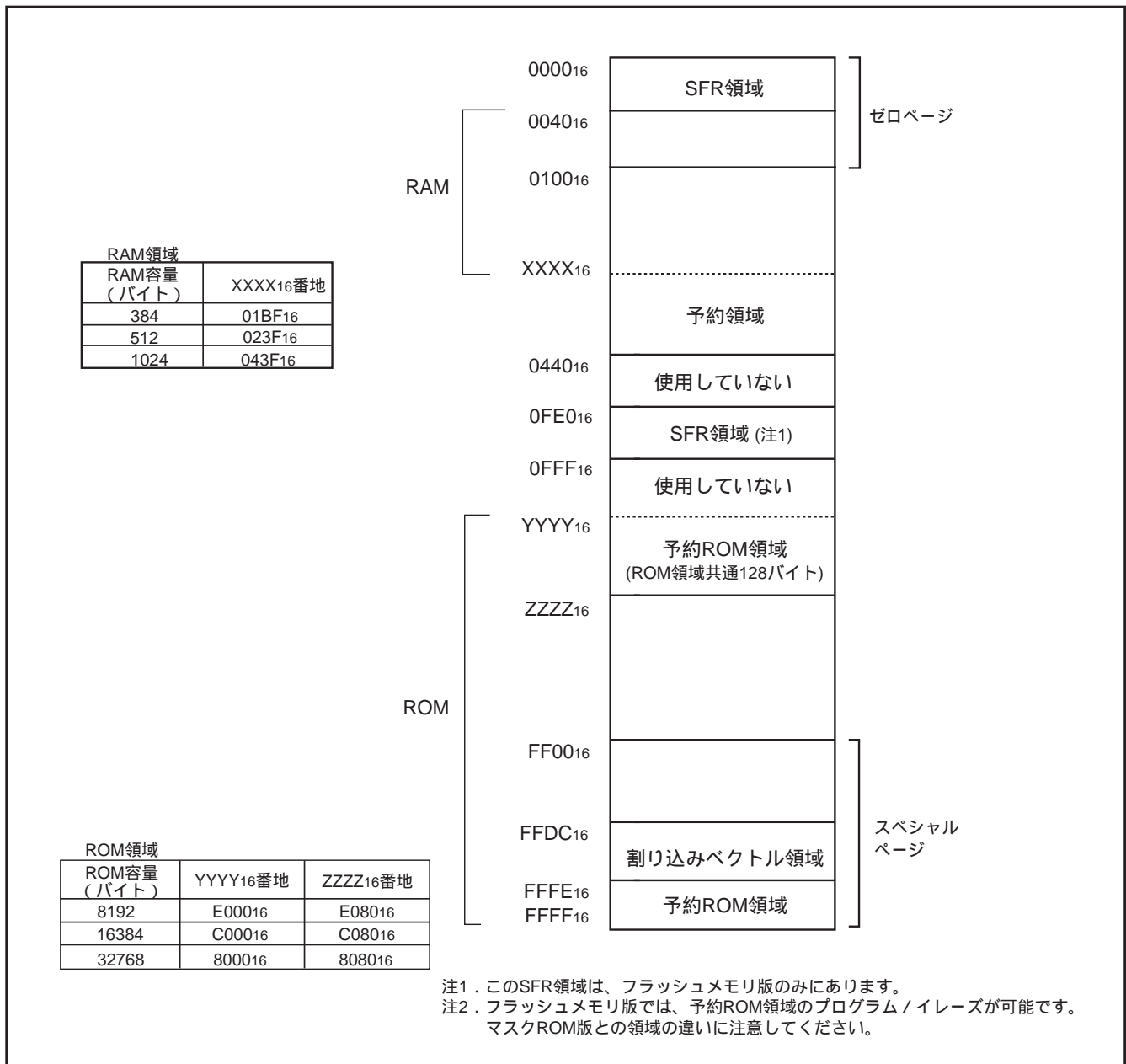


図 15 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	キャプチャモードレジスタ(CAPM)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	コンペア出力モードレジスタ(CMOM)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	キャプチャ/コンペアステータスレジスタ(CCSR)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	コンペア割り込みソース設定レジスタ(CISR)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマA(下位)(TAL)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマA(上位)(TAH)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマB(下位)(TBL)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマB(上位)(TBH)
0008 ₁₆		0028 ₁₆	プリスケアラ1(PRE1)
0009 ₁₆		0029 ₁₆	タイマ1(T1)
000A ₁₆	割り込み要因設定レジスタ(INTSET)	002A ₁₆	タイマカウントソース設定レジスタ(TCSS)
000B ₁₆	割り込み要因判別レジスタ(INTDIS)	002B ₁₆	タイマXモードレジスタ(TXM)
000C ₁₆	キャプチャレジスタ0(下位)(CAP0L)	002C ₁₆	プリスケアラX(PREX)
000D ₁₆	キャプチャレジスタ0(上位)(CAP0H)	002D ₁₆	タイマX(TX)
000E ₁₆	キャプチャレジスタ1(下位)(CAP1L)	002E ₁₆	送信/受信バッファレジスタ2(TB2/RB2)
000F ₁₆	キャプチャレジスタ1(上位)(CAP1H)	002F ₁₆	シリアル/O2ステータスレジスタ(SIO2STS)
0010 ₁₆	コンペアレジスタ(下位)(CMPL)	0030 ₁₆	シリアル/O2制御レジスタ(SIO2CON)
0011 ₁₆	コンペアレジスタ(上位)(CMPH)	0031 ₁₆	UART2制御レジスタ(UART2CON)
0012 ₁₆	キャプチャ/コンペアレジスタR/Wポインタ(CCRP)	0032 ₁₆	ポーレートジェネレータ2(BRG2)
0013 ₁₆	キャプチャソフトウェアトリガレジスタ(CSTR)	0033 ₁₆	
0014 ₁₆	コンペア設定値リロードレジスタ(CMPR)	0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆	ポートP0P3駆動能力制御レジスタ(DCCR)	0035 ₁₆	A/D変換下位レジスタ(ADL)
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	A/D変換上位レジスタ(ADH)
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)	0037 ₁₆	オンチップオシレータ分周比選択レジスタ(RODR)
0018 ₁₆	送信/受信バッファレジスタ1(TB1/RB1)	0038 ₁₆	MISRГ
0019 ₁₆	シリアル/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART1制御レジスタ(UART1CON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ1(BRG1)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	タイマA,B モードレジスタ(TABM)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	キャプチャ/コンペアポートレジスタ(CCPR)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	キャプチャ/コンペアタイマソース選択レジスタ(TMSR)	003F ₁₆	割り込み制御レジスタ2(ICON2)
		0FE0 ₁₆	フラッシュメモリ制御レジスタ0(FMCR0)注2
		0FE1 ₁₆	フラッシュメモリ制御レジスタ1(FMCR1)注2
		0FE2 ₁₆	フラッシュメモリ制御レジスタ2(FMCR2)注2

注1 . SFRの空き領域のメモリアクセスは行わないでください。
2 . このレジスタは、フラッシュメモリ版のみにあります。

図 16 . SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

注．P26/AN6、P27/AN7、P35、P36の機能は32ピン版及びPWQN0036KA-A版にはありませんので、次の設定を行ってください。

- ・INT1機能にはP33を選択してください。
- ・ポートP26、P27の方向レジスタを出力に設定してください。
- ・ポートP35、P36の方向レジスタを出力に設定してください。

【ポートP0P3 駆動能力制御レジスタ】DCCR

ポートP0P3駆動能力制御レジスタ(0015₁₆番地)を設定することによりポートP0、P3のNチャンネル出力トランジスタの駆動能力が選択できます。

【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

【ポートP1P3 制御】P1P3C

ポートP10、P12、P13、P36、P37は、ポートP1P3制御レジスタ(0017₁₆番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

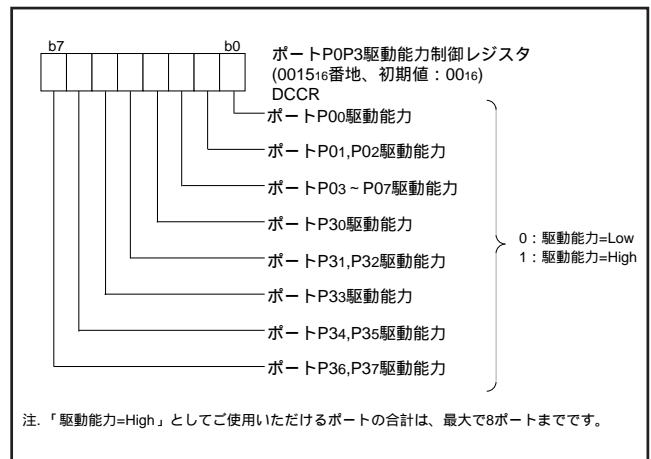


図 17．ポート P0P3 駆動能力制御レジスタの構成

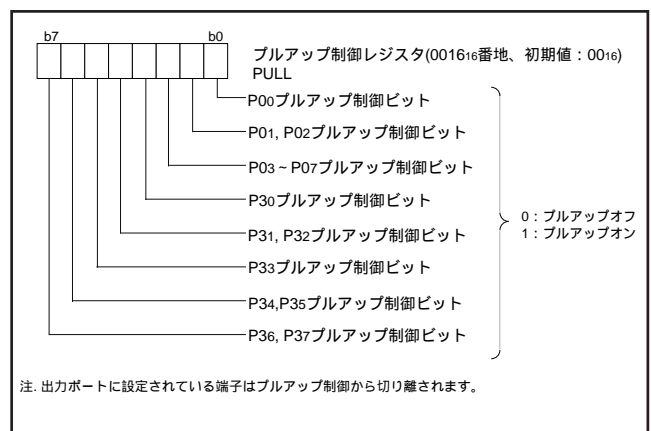


図 18．プルアップ制御レジスタの構成

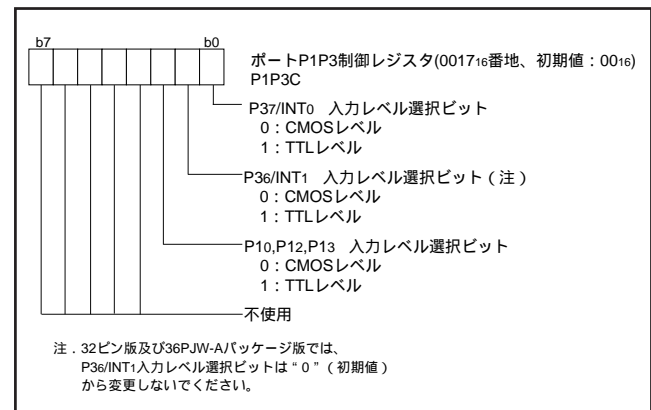


図 19．ポート P1P3 制御レジスタの構成

表 6 . 入出力ポートの機能一覧

端子名	名称	入出力形式	ポート以外の機能	各端子に関連する SFR	図番
P00(LED00)/CAP0	ポート P0	CMOS 入力レベル (注 1) CMOS3 ステート出力	キャプチャ機能入力 キー入力割り込み	キャプチャ / コンペアポートレジスタ 割り込みエッジ選択レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(1)
P01(LED01)/CMP0 P02(LED02)/CMP1			コンペア機能出力 キー入力割り込み	キャプチャ / コンペアポートレジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(2)
P03(LED03)/TXOUT			タイマ X 機能出力 キー入力割り込み	タイマ X モードレジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(3)
P04(LED04)/RxD2			シリアル I/O2 機能入出力 キー入力割り込み	シリアル I/O2 制御レジスタ 割り込みエッジ選択レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(4)
P05(LED05)/TxD2				シリアル I/O2 制御レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(5)
P06(LED06)/SCLK2				シリアル I/O2 制御レジスタ 割り込みエッジ選択レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(6)
P07(LED07)/SRDY2				シリアル I/O2 制御レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(7)
P10/RxD1/CAP0	ポート P1		シリアル I/O1 機能入力 キャプチャ機能入力	シリアル I/O1 制御レジスタ キャプチャ / コンペアポートレジスタ ポート P1P3 制御レジスタ	(8)
P11/TxD1			シリアル I/O1 機能入出力	シリアル I/O1 制御レジスタ	(9)
P12/SCLK1			シリアル I/O1 制御レジスタ ポート P1P3 制御レジスタ	(10)	
P13/SRDY1			シリアル I/O1 制御レジスタ ポート P1P3 制御レジスタ	(11)	
P14/CNTR0			タイマ X 機能入出力 外部割り込み入力	タイマ X モードレジスタ	(12)
P20/AN0 ~ P27/AN7	ポート P2 (注 2)		A/D 変換入力	A/D 制御レジスタ	(13)
P30(LED10)/CAP1	ポート P3 (注 3)		キャプチャ機能入力	キャプチャ / コンペアポートレジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(14)
P31(LED11)/CMP2 P32(LED12)/CMP3			コンペア機能出力	キャプチャ / コンペアポートレジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(15)
P33(LED13)/INT1			外部割り込み入力	割り込みエッジ選択レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(16)
				ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(17)
P34(LED14) P35(LED15)				ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ	(17)
P36(LED16)/INT1 P37(LED17)/INT0			外部割り込み入力	割り込みエッジ選択レジスタ ブルアップ制御レジスタ ポート P0P3 駆動能力制御レジスタ ポート P1P3 制御レジスタ	(18) (19)

注 1 . P10, P12, P13, P36, P37 は CMOS/TTL 入力レベル。

2 . 32 ピン版及び PWQN0036KA-A 版では、P26/AN6、P27/AN7 端子はありません。

3 . 32 ピン版及び PWQN0036KA-A 版では、P35、P36/INT1 端子はありません。

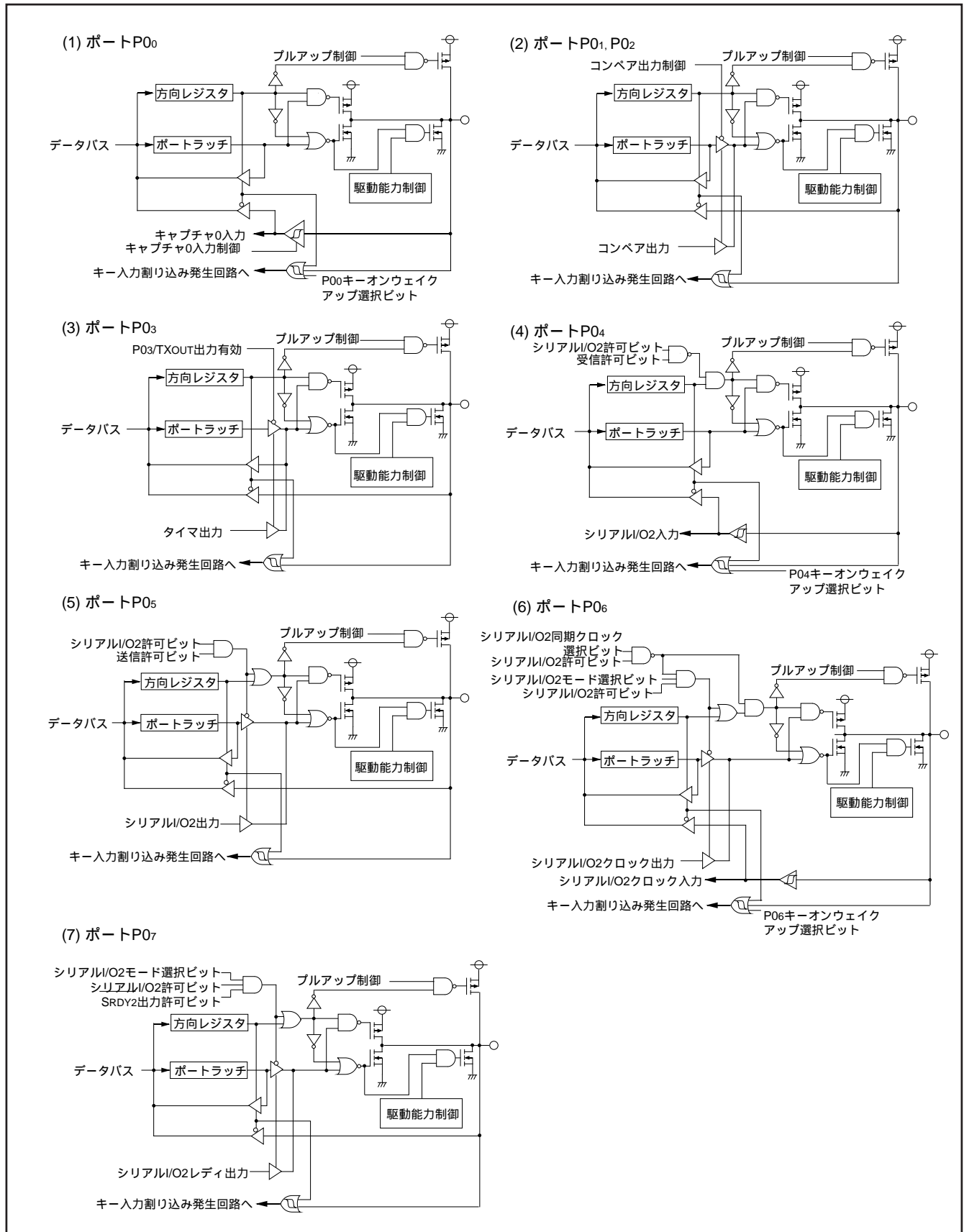


図 20 . ポートのブロック図 (1)

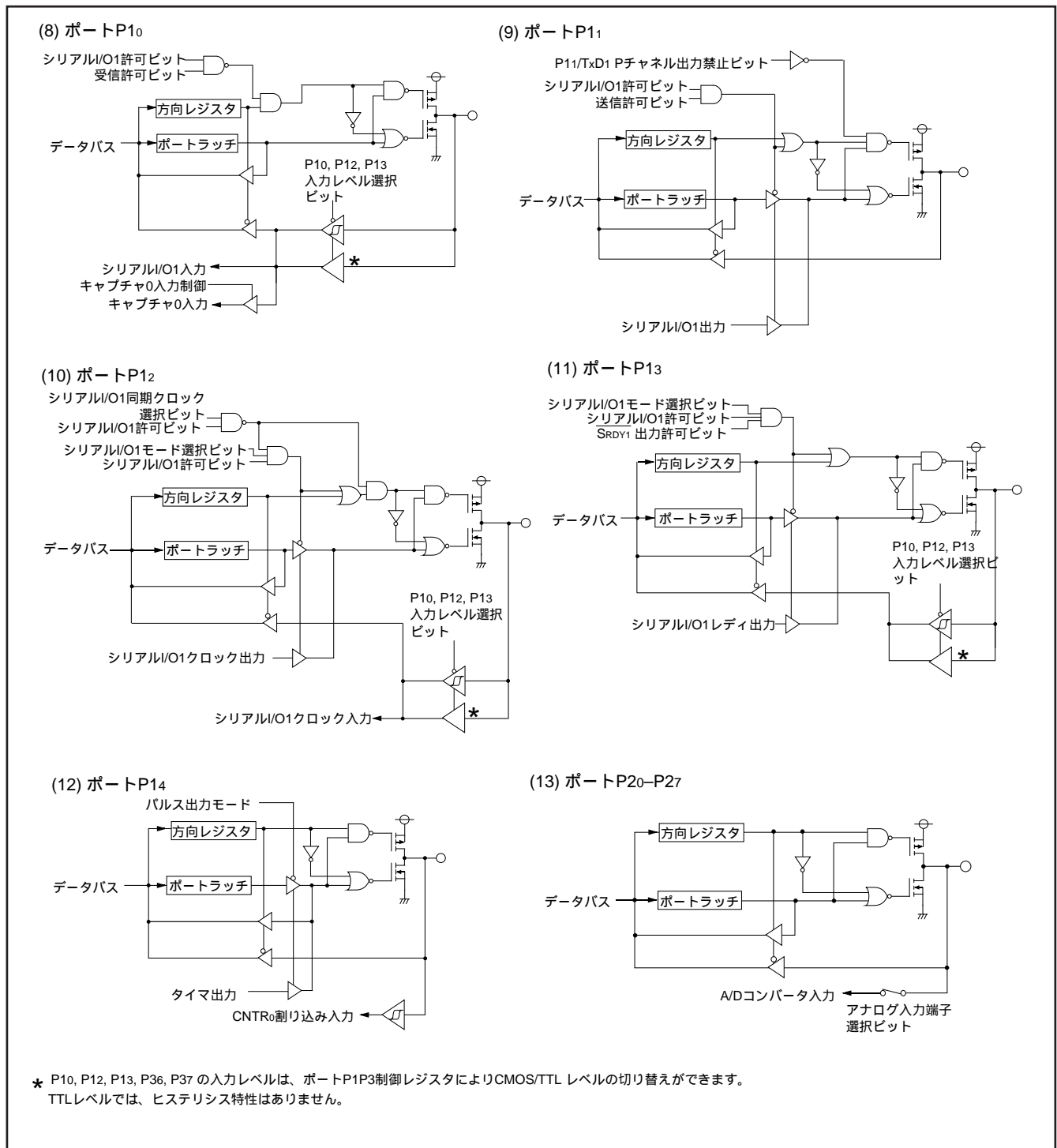


図 21 . ポートのブロック図 (2)

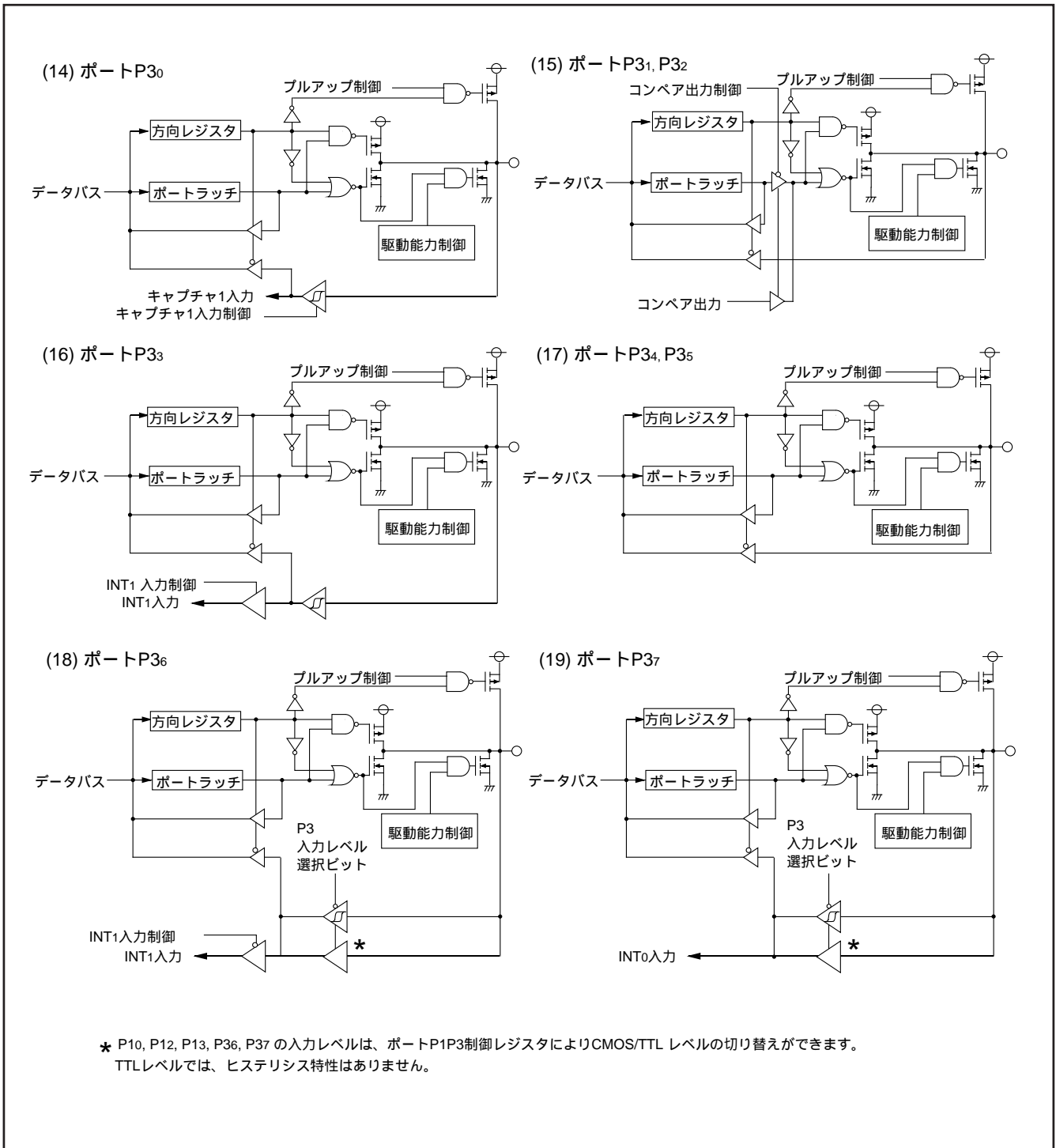


図 22 . ポートのブロック図 (3)

未使用端子の処理方法

・一般的な端子の処理方法

入出力ポート: 入力ポート又は出力ポートを選択し、それぞれの処理方法に従ってください。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)に、電源電流

が増大することがありますので、プルアップ又はプルダウンしてください(内蔵抵抗使用可)。入出力ポート、及び出力機能をもつ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(ave)}$ 又は $I_{OL(ave)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表7. 未使用端子の処理方法

端子名	処理方法1(推奨)	処理方法2	処理方法3	処理方法4	
P00/CAP0	入出力ポート	CAP機能選択時は入力ポートの処理を行ってください。	—	キー入力割り込み機能選択時は入力ポートの処理を行ってください。	
P01/CMP0		CMP0機能選択時は出力ポートの処理を行ってください。	—		
P02/CMP1		CMP1機能選択時は出力ポートの処理を行ってください。	—		
P03/TXOUT		TXOUT機能選択時は出力ポートの処理を行ってください。	—		
P04/RxD2		RxD2機能選択時は入力ポートの処理を行ってください。	—		
P05/TxD2		TxD2機能選択時は出力ポートの処理を行ってください。	—		
P06/SCLK2		外部クロック入力選択時は入力ポートの処理を行ってください。	内部クロック出力選択時は出力ポートの処理を行ってください。		
P07/SRDY2		SRDY2機能選択時は出力ポートの処理を行ってください。	—		
P10/RxD1/CAP0		RxD1機能選択時は入力ポートの処理を行ってください。	CAP機能選択時は入力ポートの処理を行ってください。		—
P11/TxD1		TxD1機能選択時は出力ポートの処理を行ってください。	—		—
P12/SCLK1		外部クロック入力選択時は入力ポートの処理を行ってください。	内部クロック出力選択時は出力ポートの処理を行ってください。		—
P13/SRDY1		SRDY1機能選択時は出力ポートの処理を行ってください。	—		—
P14/CNTR0		CNTR入力機能選択時は入力ポートの処理を行ってください。	CNTR出力機能選択時は出力ポートの処理を行ってください。		—
P20/AN0 ~ P27/AN7		AN機能選択時は入力ポートの処理を行ってください。	—		—
P30/CAP1	CAP機能選択時は入力ポートの処理を行ってください。	—	—		
P31/CMP2	CMP2機能選択時は出力ポートの処理を行ってください。	—	—		
P32/CMP3	CMP3機能選択時は出力ポートの処理を行ってください。	—	—		
P33/INT1	INT機能選択時は入力ポートの処理を行ってください。	—	—		
P34	—	—	—		
P35	—	—	—		
P36/INT1	INT機能選択時は入力ポートの処理を行ってください。	—	—		
P37/INT0	INT機能選択時は入力ポートの処理を行ってください。	—	—		
VREF	Vssに接続	—	—	—	
XIN	オンチップオシレータのみ使用時は抵抗を介してVcc接続	—	—	—	
XOUT	外部クロック入力時、オンチップオシレータのみ使用時は開放	—	—	—	

割り込み

7542グループの割り込みは、固定優先度方式のベクトル割り込みで、外部6要因、内部11要因、ソフトウェア1要因の18要因のうち16要因から割り込みを発生することが可能です。割り込み要因とベクトル番地(注1) 割り込みの優先順位を表9に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(1フラグ)によって割り込み要求の受付を制御できます。図23に割り込み制御図を示します。

次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- ・割り込み禁止フラグ..... “ 0 ”
- ・割り込み要求ビット..... “ 1 ”
- ・割り込み許可ビット..... “ 1 ”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表 8 . 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
シリアルI/O1受信	2	FFFB ₁₆	FFFA ₁₆	シリアルI/O1データ受信時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	3	FFF9 ₁₆	FFF8 ₁₆	シリアルI/O1送信シフト完了時又は送信バッファ空き時	シリアルI/O1選択時のみ有効
シリアルI/O2受信	4	FFF7 ₁₆	FFF6 ₁₆	シリアルI/O2データ受信時	シリアルI/O2選択時のみ有効
シリアルI/O2送信	5	FFF5 ₁₆	FFF4 ₁₆	シリアルI/O2送信シフト完了時又は送信バッファ空き時	シリアルI/O2選択時のみ有効
INT ₀	6	FFF3 ₁₆	FFF2 ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₁	7	FFF1 ₁₆	FFF0 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キーオンウェイクアップ/UART1バス衝突検出(注3)	8	FFEF ₁₆	FFEE ₁₆	ポートP0(入力時)の入力論理レベルの論理積の立ち下がり時/ UART1バス衝突検出時	外部割り込み (立ち下がりエッジ有効)/ UART1バス衝突検出機能有効
CNTR ₀	9	FFED ₁₆	FFEC ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キャプチャ0	10	FFEB ₁₆	FFEA ₁₆	キャプチャ0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
キャプチャ1	11	FFE9 ₁₆	FFE8 ₁₆	キャプチャ1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
コンペア	12	FFE7 ₁₆	FFE6 ₁₆	コンペア出力信号の反転時	割り込みソースチャンネルプログラマブル
タイマX	13	FFE5 ₁₆	FFE4 ₁₆	タイマXアンダフロー時	
タイマA	14	FFE3 ₁₆	FFE2 ₁₆	タイマAアンダフロー時	
タイマB	15	FFE1 ₁₆	FFE0 ₁₆	タイマBアンダフロー時	
A/D変換/タイマ1(注4)	16	FFDF ₁₆	FFDE ₁₆	A/D変換終了時/ タイマ1アンダフロー時	STP解除タイマアンダフロー
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

3. キーオンウェイクアップとUART1バス衝突検出割り込みは、割り込み要因設定レジスタにより割り込み許可設定が可能です。また、割り込み要因判別レジスタにより割り込みの要因識別が可能です。

4. A/D変換とタイマ1割り込みは、割り込み要因設定レジスタにより割り込み許可設定が可能です。また、割り込み要因判別レジスタにより割り込みの要因識別が可能です。

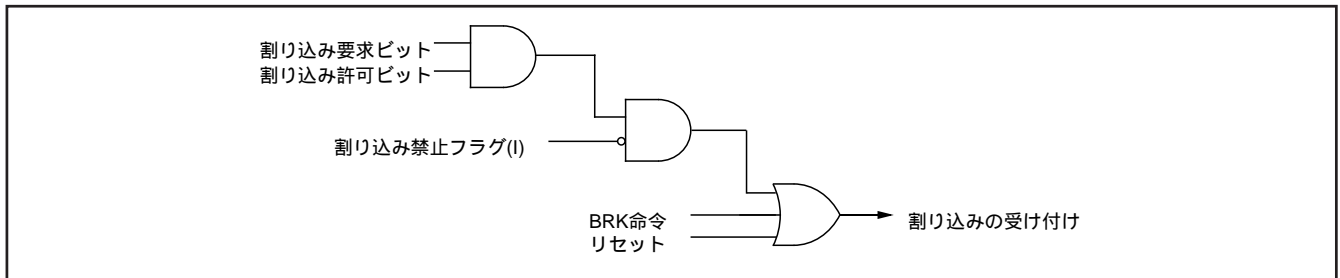


図23. 割り込み制御図

割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタを退避します。

その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求が受け付けられるまで“1”を保持します。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

割り込み許可設定

以下の割り込み要因は、割り込み要因設定レジスタ(000A₁₆番地)により、有効、無効いずれかを選択することができます。

- ・キーオンウェイクアップ
- ・UART1バス衝突検出割り込み
- ・A/D変換
- ・タイマ1割り込み

外部割り込み端子選択

外部割り込みINT1はP3₃、あるいはP3₆のいずれかを割り込みエッジ選択レジスタのINT1入力ポート選択ビット(003A₁₆番地のビット2)により選択することができます。

ただし、32ピン版及びPWQN0036KA-A版にはP3₆/INT1端子はありませんので、P3₃/INT1端子を選択してください。

P0₀、P0₄、P0₆端子のキーオンウェイクアップの許可/禁止は、キーオンウェイクアップ選択ビットによってそれぞれ選択できません。

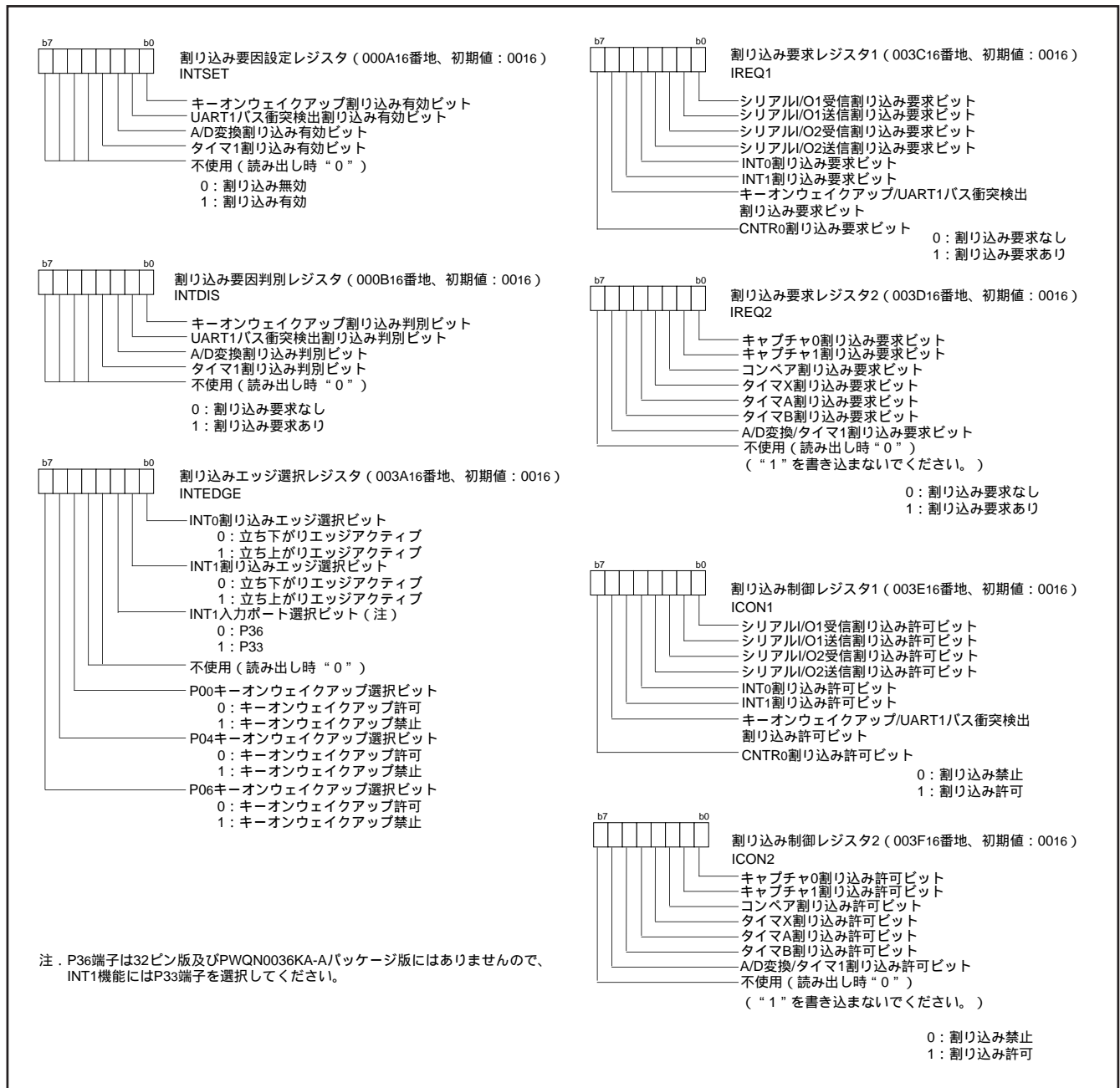


図 24 . 割り込み関係レジスタの構成

割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

(i) 割り込み要求の発生

各種の割り込み要因(外部割り込み信号入力、タイマのアンダフロー等)により割り込み要求が発生し、割り込み要求ビットが“1”になります。

(ii) 割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件(割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ)と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

(iii) 受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込み処理ルーチンを実行するまでの時間を図25、割り込みシーケンスを図26、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図27に示します。

割り込み処理実行

割り込み処理実行時、次の動作を自動的に行います。

- (1) 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- (2) この時点のプログラムカウンタ及びプロセッサステータスレジスタの内容を の順でスタック領域へ退避します。
 - プログラムカウンタ上位(PCH)
 - プログラムカウンタ下位(PCL)
 - プロセッサステータスレジスタ(PS)
- (3) 退避と同時に、対応する割り込みの飛び先番地(割り込みルーチンの先頭番地)を割り込みベクトルからプログラムカウンタへ転送します。
- (4) 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- (5) 割り込みルーチンを実行します。
- (6) RTI 命令を実行すると、スタック領域に退避していたレジスタの内容を の順に復帰し、割り込み処理前のルーチンを継続します。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定及び各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

割り込みに関する注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(003A₁₆番地)
タイマXモードレジスタ(002B₁₆番地)
キャプチャモードレジスタ(0020₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット、トリガモードビット)を設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

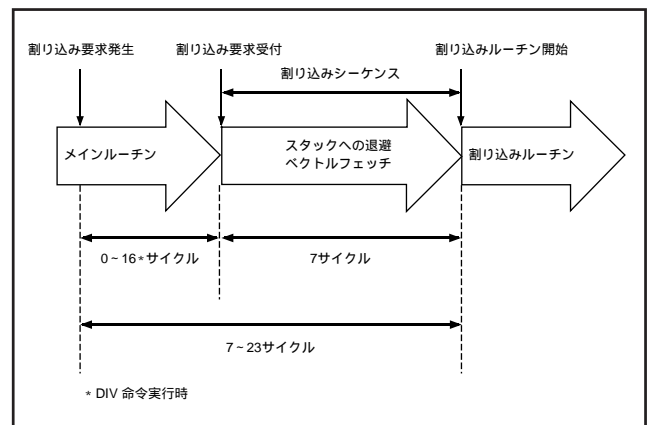


図25. 割り込み処理ルーチンを実行するまでの時間

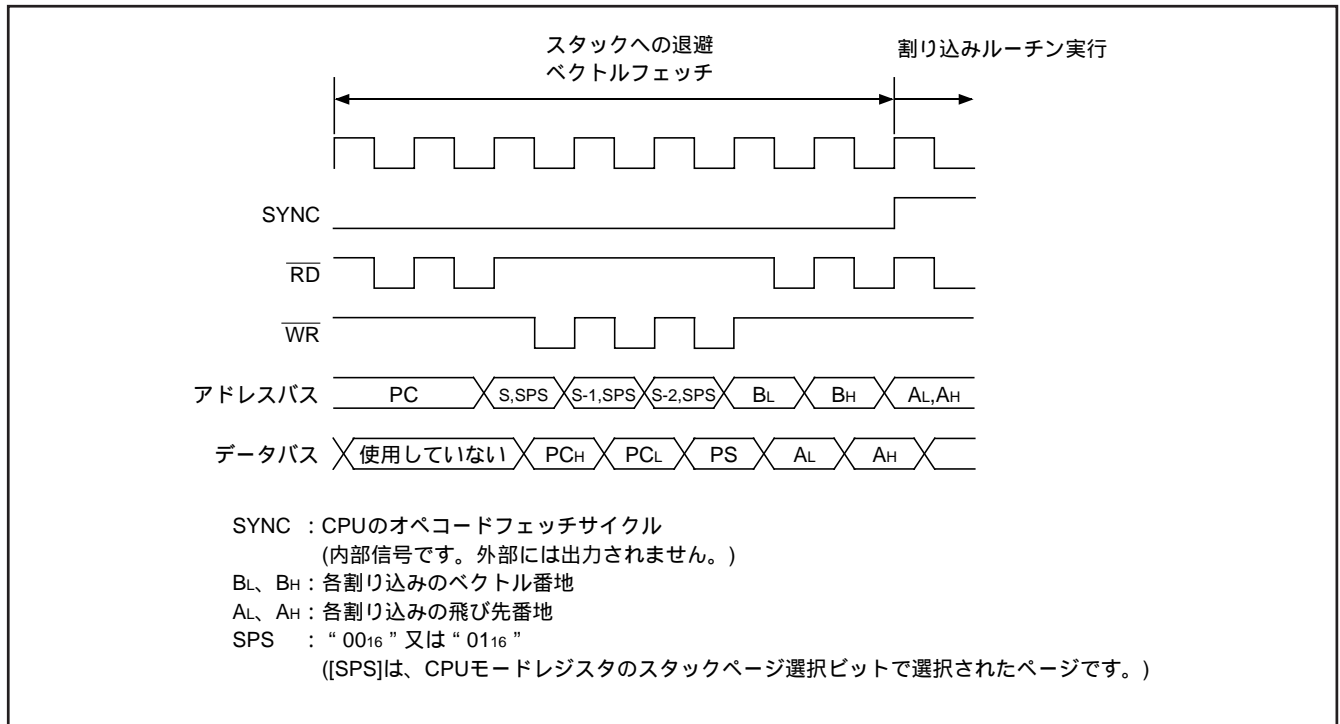


図26. 割り込みシーケンス

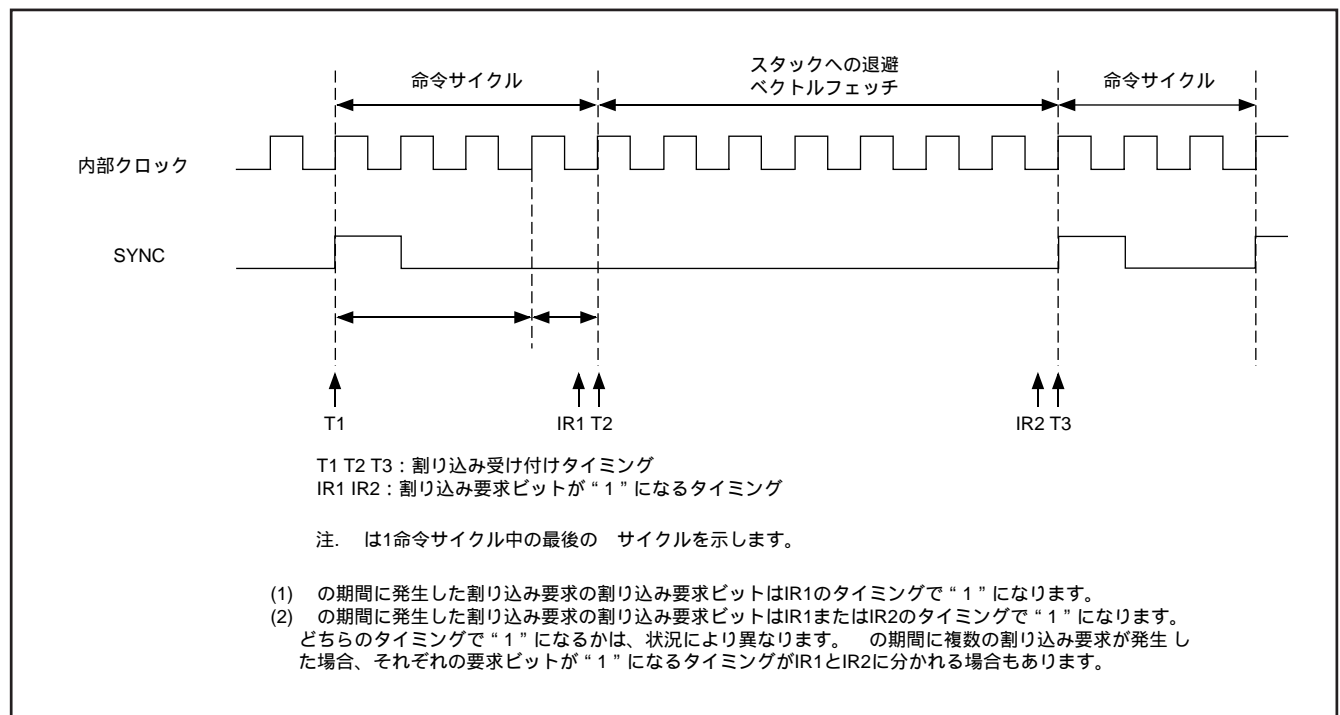


図27. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

キー入力割り込み (キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求

が発生します。図はキー入力割り込みを用いた一例で、ポートP00~P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

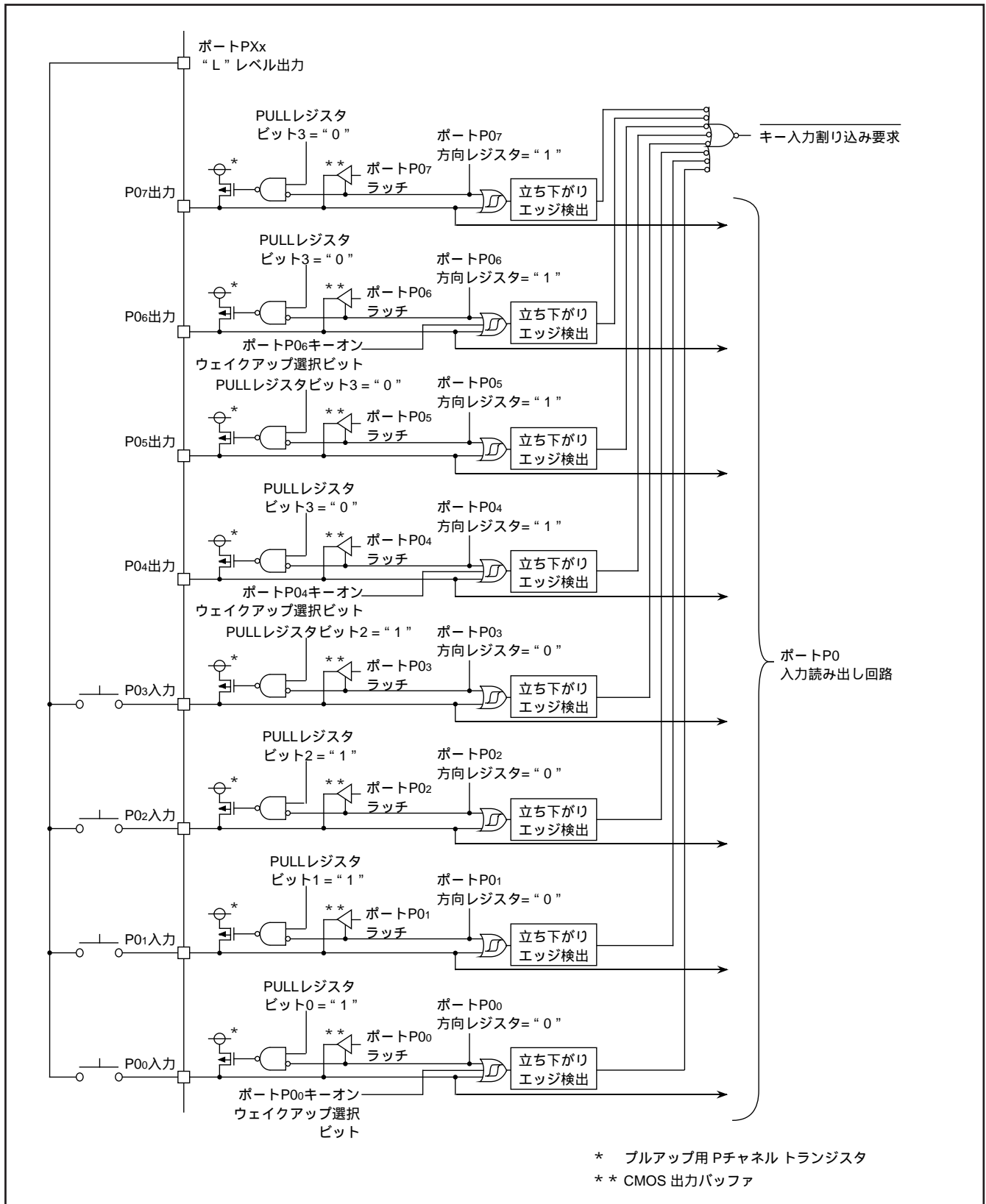


図 28 . キー入力割り込み使用時の結線例とポート P0 のブロック図

タイマ

タイマは、タイマ1、タイマA、タイマB、及びタイマXの4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容を n とすると、 $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0 になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが 1 にセットされます。

・タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B16番地)のクロック分周比選択ビット($b7, b6$)が 00 (高速モード)、 01 (中速モード)または 11 (倍速モード)のときは XIN となり、 10 (オンチップオシレータ)のときはオンチップオシレータとなります。

タイマ1

タイマ1は8ビットタイマで、プリスケアラ1の出力をカウントし、タイマ1のアンダフローによって、タイマ1割り込み要求ビットをセットします。

プリスケアラ1は8ビットのプリスケアラで、発振周波数を16分周した信号をカウントします。

プリスケアラ1及びタイマ1には、それぞれのリロード値を保持するためのプリスケアララッチ及びタイマラッチが配置されています。プリスケアララッチの値は、プリスケアラ1がアンダフローした時にプリスケアラ1に転送されます。タイマラッチの値は、タイマ1がアンダフローした時にタイマ1に転送されます。

プリスケアラ1(PRE1)に書き込みを行うと、プリスケアラ1ラッチとプリスケアラ1の両方に値が書き込まれます。タイマ1(T1)に書き込みを行うと、タイマラッチとタイマ1の両方に値が書き込まれます。

プリスケアラ1(PRE1)又はタイマ1(T1)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマ1は常にタイマモードで動作します。

プリスケアラ1は、発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を 1 減算します。プリスケアラ1の内容が 0016 になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値を n とすると $1/(n+1)$ となります。

タイマ1は、プリスケアラ1のアンダフロー信号が入力されるごとに、その内容を 1 減算します。タイマ1の内容が 0016 になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。タイマ1の分周比は、タイマ1の設定値を m とすると $1/(m+1)$ となります。したがって、プリスケアラ1の設定値を n 、タイマ1の設定値を m とした場合、プリスケアラ1とタイマ1をあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

なお、タイマ1はソフトウェアによりカウントを停止することはできません。

タイマX

タイマXは8ビットタイマで、プリスケアラXの出力をカウントし、タイマXのアンダフローによって、タイマX割り込み要求ビットをセットします。

プリスケアラXは8ビットのプリスケアラで、タイマXカウントソース選択ビットにより選択された信号をカウントします。

プリスケアラX及びタイマXには、それぞれのリロード値を保持するためのプリスケアラXラッチ及びタイマXラッチが配置されています。

プリスケアラXラッチの値は、プリスケアラXがアンダフローした時にプリスケアラXに転送されます。タイマXラッチの値は、タイマXがアンダフローした時にタイマXに転送されます。

プリスケアラX(PREX)に書き込みを行うと、プリスケアラXラッチとプリスケアラXの両方に値が書き込まれます。タイマX(TX)に書き込みを行うと、タイマXラッチとタイマXの両方に値が書き込まれます。

プリスケアラX(PREX)又はタイマX(TX)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマXは、タイマXモードレジスタのタイマX動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケラXは、タイマXカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラXの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケラXラッチの値をプリスケラXに転送してカウントを続けます。プリスケラXの分周比は、プリスケラXの設定値をnとすると $1/(n+1)$ となります。

タイマXは、プリスケラXのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマXの内容が“0016”になった次のカウントクロックでアンダフローし、タイマXラッチの値をタイマXに転送してカウントを続けます。

タイマXの分周比は、タイマXの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケラXの設定値をn、タイマXの設定値をmとした場合、プリスケラXとタイマXをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

(2) パルス出力モード

パルス出力モードでは、タイマXがアンダフローするたびに極性の反転する波形を、CNTR0端子から出力します。

CNTR0端子の出力レベルはCNTR0極性切り替えビットで選択可能です。CNTR0極性切り替えビットが“0”のときは、CNTR0端子の出力は“H”から開始し、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の出力は“L”から開始します。

また、P03/TXOUT出力有効ビットを“1”に設定することによって、CNTR0端子から出力されるパルスの反転波形を、TXOUT端子から出力することができます。

このモードを使用する場合は、それぞれの出力端子と兼用しているポートP14、P03の方向レジスタを出力モードに設定してください。

(3) イベントカウンタモード

イベントカウンタモードは、P14/CNTR0端子に入力される信号がカウントソースになることを除けば、タイマモードと同じ動作をします。CNTR0端子入力の有効エッジは、CNTR0極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅測定モード

パルス幅測定モードは、P14/CNTR0端子に入力される信号のパルス幅を測定するモードです。パルス幅測定モードでは、CNTR0端子の入力信号のレベルによって、タイマXの動作、停止を制御します。

CNTR0極性切り替えビットが“0”のときは、CNTR0端子の入力信号レベルが“H”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“L”の期間はカウントを停止します。また、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の入力信号レベルが“L”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“H”の期間はカウントを停止します。

タイマXは、いずれの動作モードでも、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

タイマXに関する注意事項

(1) CNTR0割り込み極性選択-1

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

(2) CNTR0割り込み極性選択-2

外部割り込みCNTR0の極性切り替えビットを設定する際、割り込み要求ビットが“1”になる場合があります。極性切り替えビットの設定に同期した割り込みが不要な場合には以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

極性切り替えビットを設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

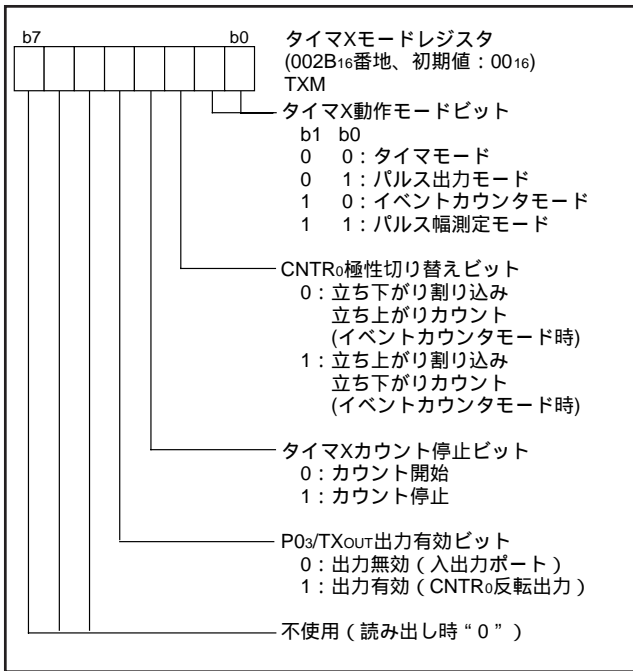


図 29. タイマXモードレジスタの構成

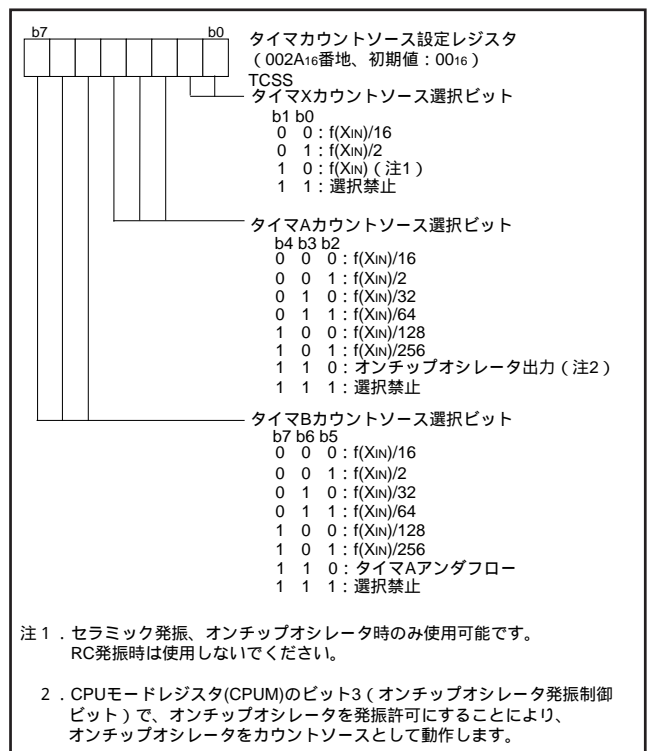


図 30. タイマカウントソース設定レジスタの構成

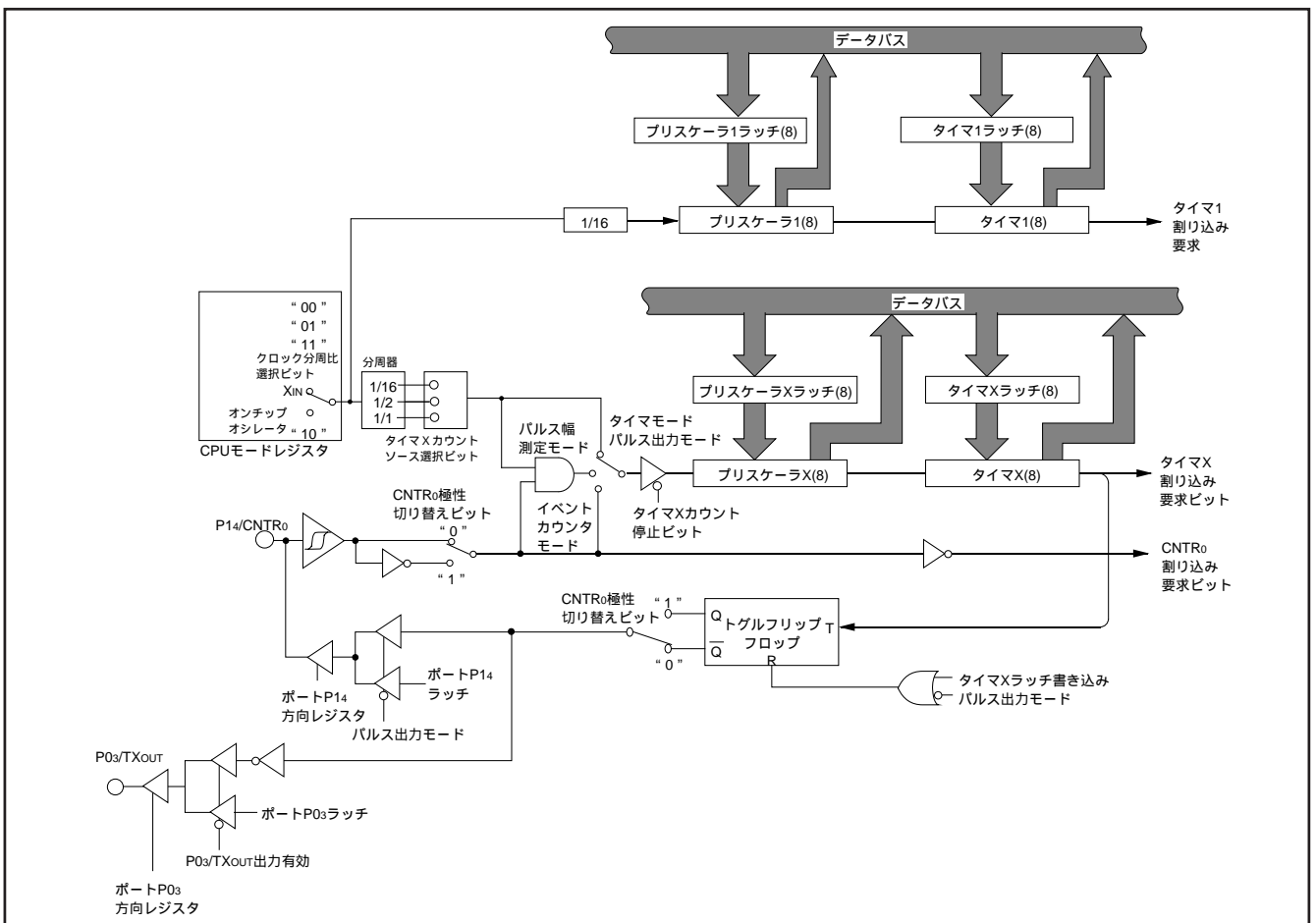


図 31. タイマ1及び、タイマXのブロック図

タイマ A,B

タイマA,Bは16ビットのタイマで、タイマカウントソース設定レジスタで選択された信号をカウントします。タイマAとタイマBは、カウントソースの設定の違いを除いて、同一の機能を持っています。

タイマAのカウントソースは、発振周波数の1/2、1/16、1/32、1/64、1/128、1/256及びオンチップオシレータ出力から選択可能です。

タイマBのカウントソースは、発振周波数の1/2、1/16、1/32、1/64、1/128、1/256及びタイマAのアンダフロー信号から選択可能です。

タイマAとタイマBの動作は同一ですので、以下、タイマAの動作について説明します。

タイマAはタイマA下位(TAL)、タイマA上位(TAH)で構成されます。タイマAは選択された信号をダウンカウントし、アンダフローによってタイマA割り込み要求ビットをセットします。

タイマAにはリロード値を保持するためのタイマAラッチが配置されており、タイマAラッチの内容は、タイマAのアンダフロー時にタイマAに転送され、カウント動作を続けます。タイマAの分周比は、タイマAの設定値をnとすると $1/(n+1)$ となります。

タイマAに書き込みを行う場合、タイマA書き込み制御ビットの設定値により、ラッチ及びタイマAの両方に書き込むか、ラッチのみに書き込むかを選択できます。

タイマAを読み出すと、タイマAのカウント値が読み出されます。

タイマA下位(TAL)とタイマA上位(TAH)の書き込み、読み出しは、必ず次の順序で行ってください。

・読み出し・・・タイマA上位(TAH)、タイマA下位(TAL)の順で、必ず両レジスタ共に読み出してください。

・書き込み・・・タイマA下位(TAL)、タイマA上位(TAH)の順で、必ず両レジスタ共に書き込んでください。

タイマA,Bは、共にアウトプットコンペアとインプットキャプチャのタイミング用タイマとして使用できます。

タイマ A, B に関する注意事項

(1)タイマ値の設定

タイマA,B書き込み制御ビットを「ラッチのみ書き込み」に設定している場合は、タイマの停止中であっても、書き込みデータはラッチのみに書き込まれます。したがって、タイマの初期設定において、タイマの停止中に値を設定する場合は、「ラッチ及びタイマ同時書き込み」を選択した状態で行ってください。

(2)タイマAの読み出し/書き込み

CPUの動作クロック源がXIN発振の場合で、タイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマAへの書き込み及び読み出しはタイマAを停止した状態で行ってください。

(3)タイマBの読み出し/書き込み

CPUの動作クロック源がXIN発振の場合で、タイマBのカウントソースにタイマAアンダフローを選択し、かつタイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマBへの書き込み及び読み出しはタイマBを停止した状態で行ってください。

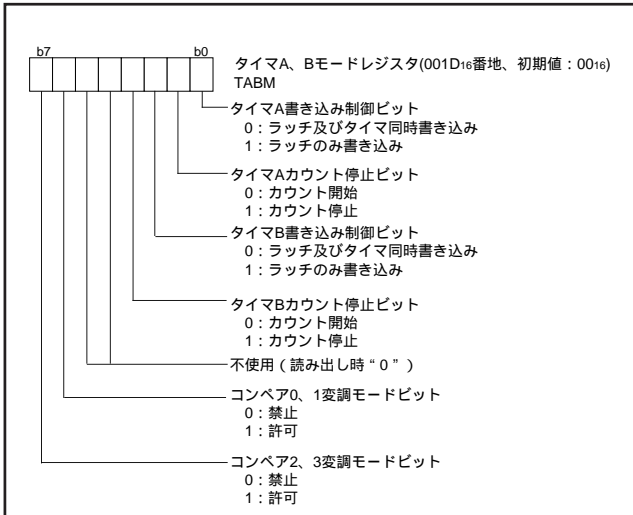


図 32 . タイマA、Bモードレジスタの構成



図 33 . タイマカウントソース設定レジスタの構成

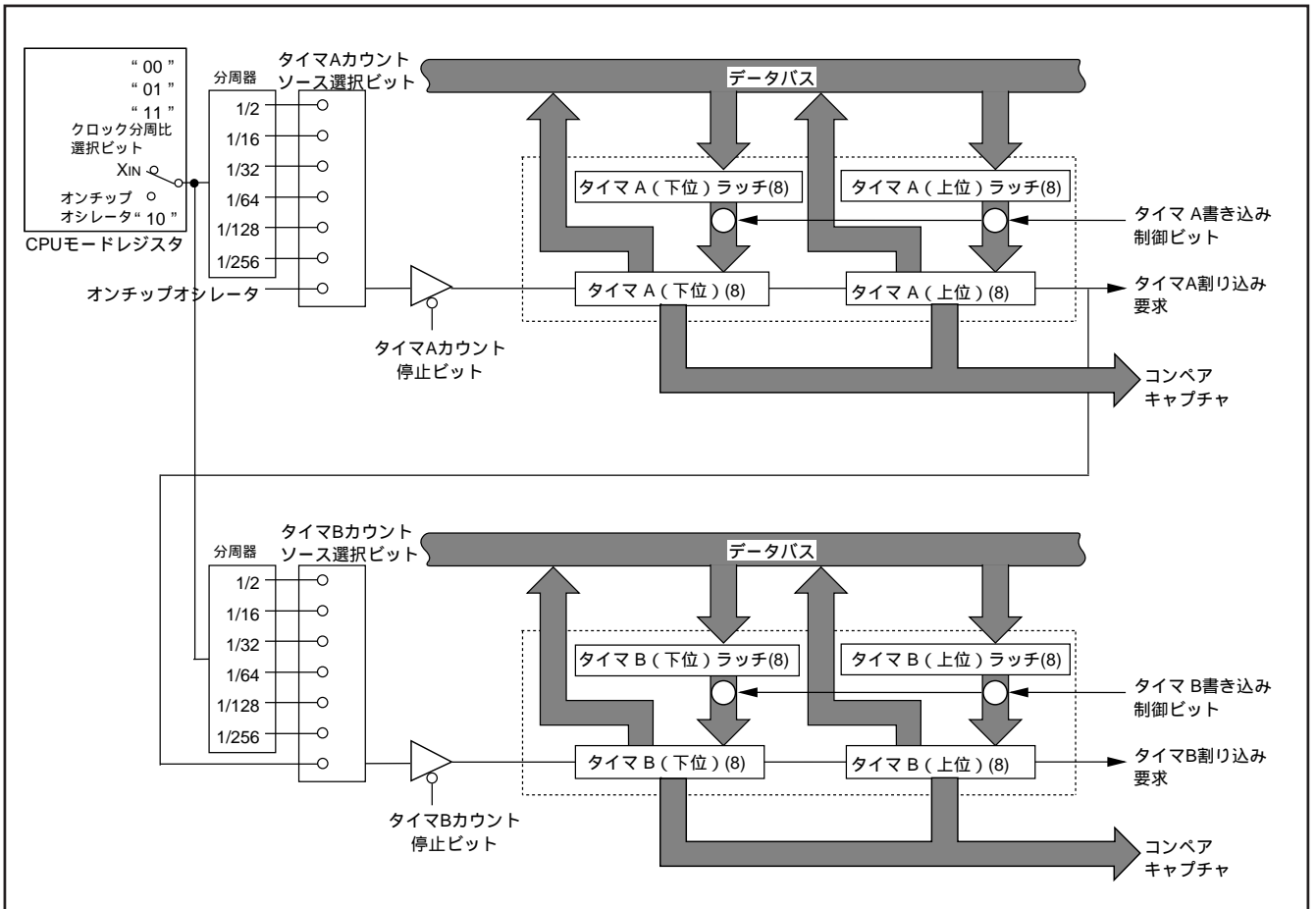


図 34 . タイマA及びタイマBのブロック図

アウトプットコンペア

7542グループはコンペア出力を4チャンネル内蔵しています。チャンネル0～3は、全て同じ機能を持っており、タイマA又はタイマBのカウント値を使用して、波形出力を行うことができます。

それぞれのコンペア出力チャンネルに使用するタイマは、コンペアx(x=0, 1, 2, 3)タイマソース選択ビットで設定します。それぞれのチャンネルに使用するタイマは、タイマA又はタイマBより任意に選択可能です。

コンペア出力を使用する場合は、コンペア出力ポート選択ビットを設定し、出力ポートの方向レジスタに“1”を設定してください。

コンペア出力の設定値は、コンペアレジスタ(下位)とコンペアレジスタ(上位)に設定します。それぞれのチャンネルに対する書き込みは、コンペアレジスタR/Wポインタで制御します。

1. タイマ動作時のコンペアレジスタへの書き込み手順

コンペアレジスタR/Wポインタに、書き込み先のコンペアチャンネルを設定する。

コンペアレジスタ(下位)とコンペアレジスタ(上位)に値を設定する。

コンペアラッチy(y=00, 01, 10, 11, 20, 21, 30, 31)リロードビットに“1”を設定する。

コンペアラッチyリロードビットに“1”を設定すると、コンペアレジスタに書き込まれた値は、それぞれのチャンネルに対応するタイマの次のアンダフロー時にコンペアラッチに転送されます。

コンペアラッチに設定した値と、対応するタイマのカウント値が一致したときにコンペア出力回路へのトリガを発生します。コンペアxトリガ有効ビットに“1”を設定している場合に、ポートからの出力波形がトリガにより反転します。コンペアxトリガ有効ビットが“0”の場合は出力波形は反転しませんので、ポート出力を“L”又は“H”に固定できます。

コンペアx出力レベルラッチを“0”に設定すると、コンペアラッチx0が一致すると“H”となり、コンペアラッチx1が一致すると“L”となる波形がポートから出力されます。

コンペア出力レベルラッチを“1”に設定すると、コンペアラッチx0が一致すると“L”となり、コンペアラッチx1が一致すると“H”となる波形がポートから出力されます。

コンペア出力の状態は、コンペアx出力ステータスビットを読み出すことで、“H”レベル又は“L”レベルを確認できます。

コンペア出力割り込みは、コンペアラッチの値とタイマカウント値が一致するタイミングで発生することができます。それぞれのコンペアラッチからの割り込み信号は、コンペアラッチy割り込みソース設定ビットで、有効又は無効に設定できます。

コンペア0, 1(2, 3)変調出力モード

コンペア変調出力モードビットに“1”を設定することによって、コンペアチャンネル0, 1、又はコンペアチャンネル2, 3の2チャンネルを使用して変調波形を出力することができます。

このモードを使用する場合には、以下の様に設定を行います。

- ・コンペア0, 1(2, 3)変調出力モードビットに“1”を設定する。
- ・タイマBのカウントソースにタイマAのアンダフローを選択する。
- ・コンペアチャンネル0(2)のタイマソースにタイマAを選択する。
- ・コンペアチャンネル1(3)のタイマソースにタイマBを選択する。

このモードでは、コンペアチャンネル0(2)を使用して作成した波形と、コンペアチャンネル1(3)で作成した波形のANDを取った波形がポートより出力されます。コンペア0, 1変調出力モードの出力波形はポートP01から、コンペア2, 3変調出力モードの出力波形はポートP31から出力されます。

アウトプットコンペアに関する注意事項

1. それぞれのコンペアチャンネルのソースとして選択しているタイマが停止している場合、コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
2. コンペアラッチx0とコンペアラッチx1には、同一の値を設定しないでください。
3. コンペアレジスタの設定値がタイマの設定値より大きい場合は、コンペア一致の信号を発生しません。したがって、出力波形は“H”又は“L”レベルに固定されます。ただし、もう一方のコンペアレジスタの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致の信号は発生しますので、コンペア一致割り込みは発生します。
4. コンペアxトリガ有効ビットに“0”(無効)を設定すると、波形出力回路への一致トリガは禁止されるので、出力波形を“H”又は“L”に固定できます。ただし、この場合でもコンペア一致の信号は発生するのでコンペア一致割り込みの発生は可能です。

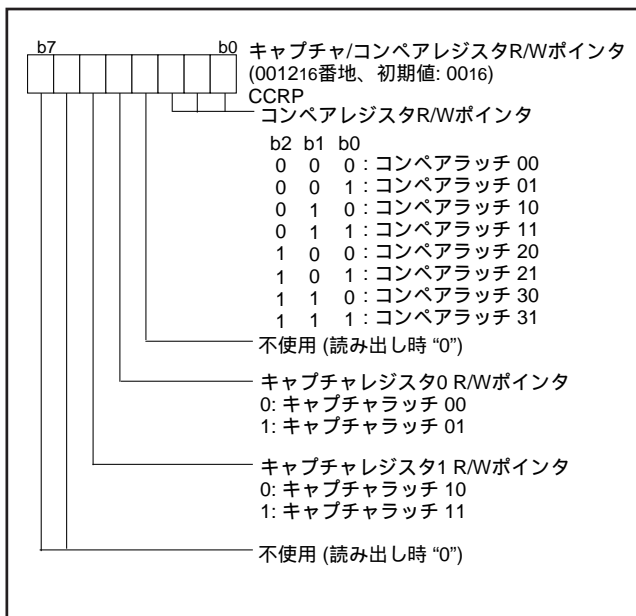


図 35 . キャプチャ/コンペアレジスタ R/W ポインタの構成

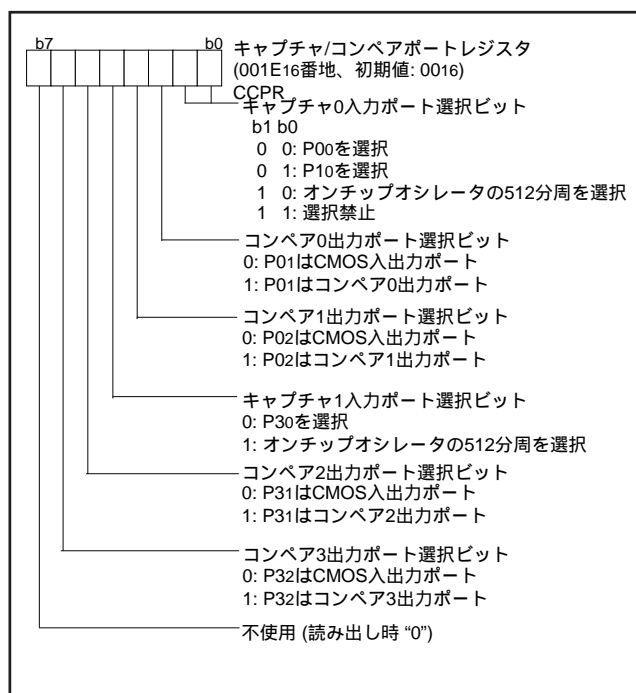


図 37 . キャプチャ/コンペアポートレジスタの構成

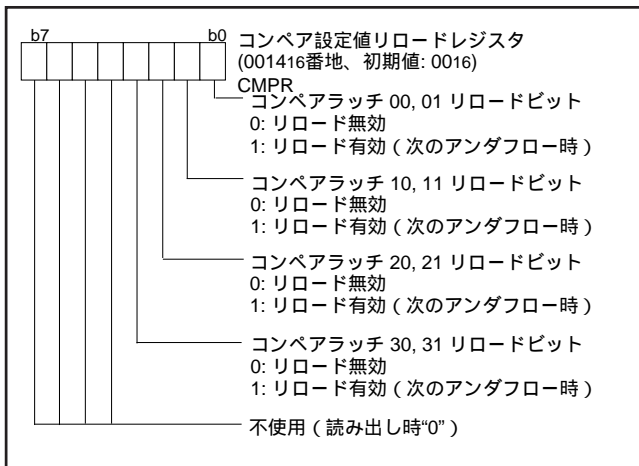


図 36 . コンペア設定値リロードレジスタの構成

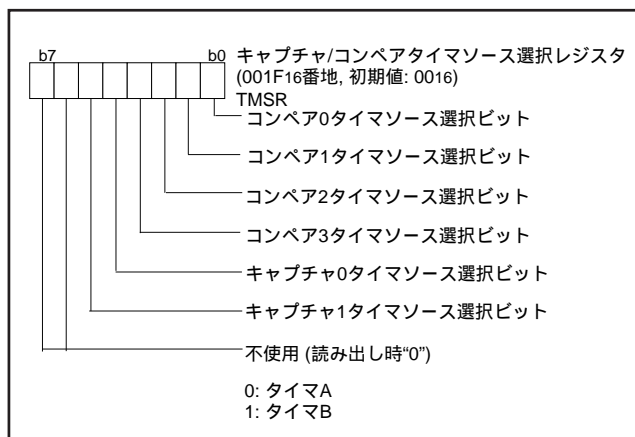


図 38 . キャプチャ/コンペアタイマソース選択レジスタの構成

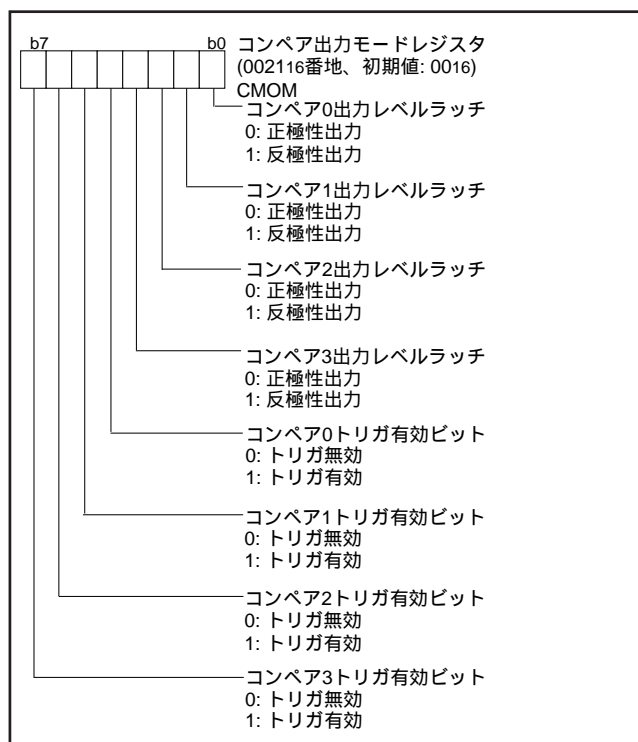


図 39 . コンペア出力モードレジスタの構成

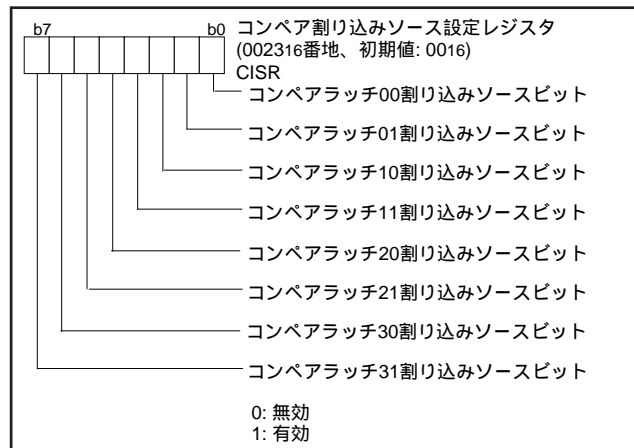


図 41 . コンペア割り込みソース設定レジスタの構成

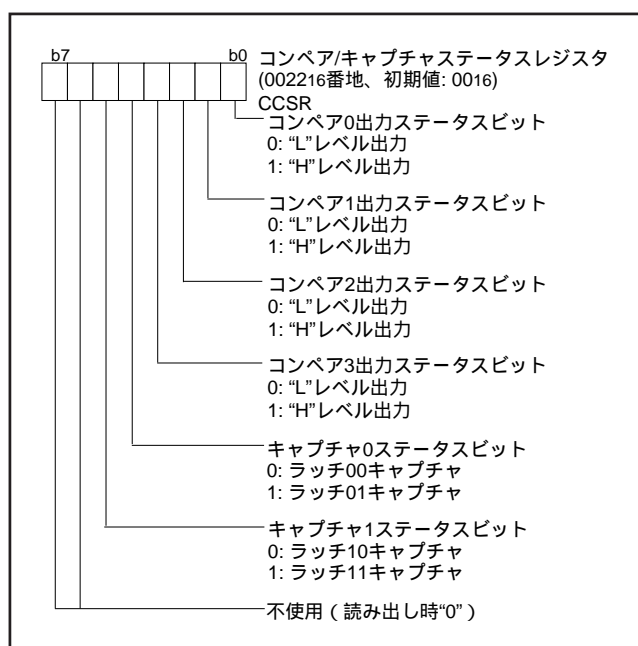


図 40 . キャプチャ/コンペアステータスレジスタの構成

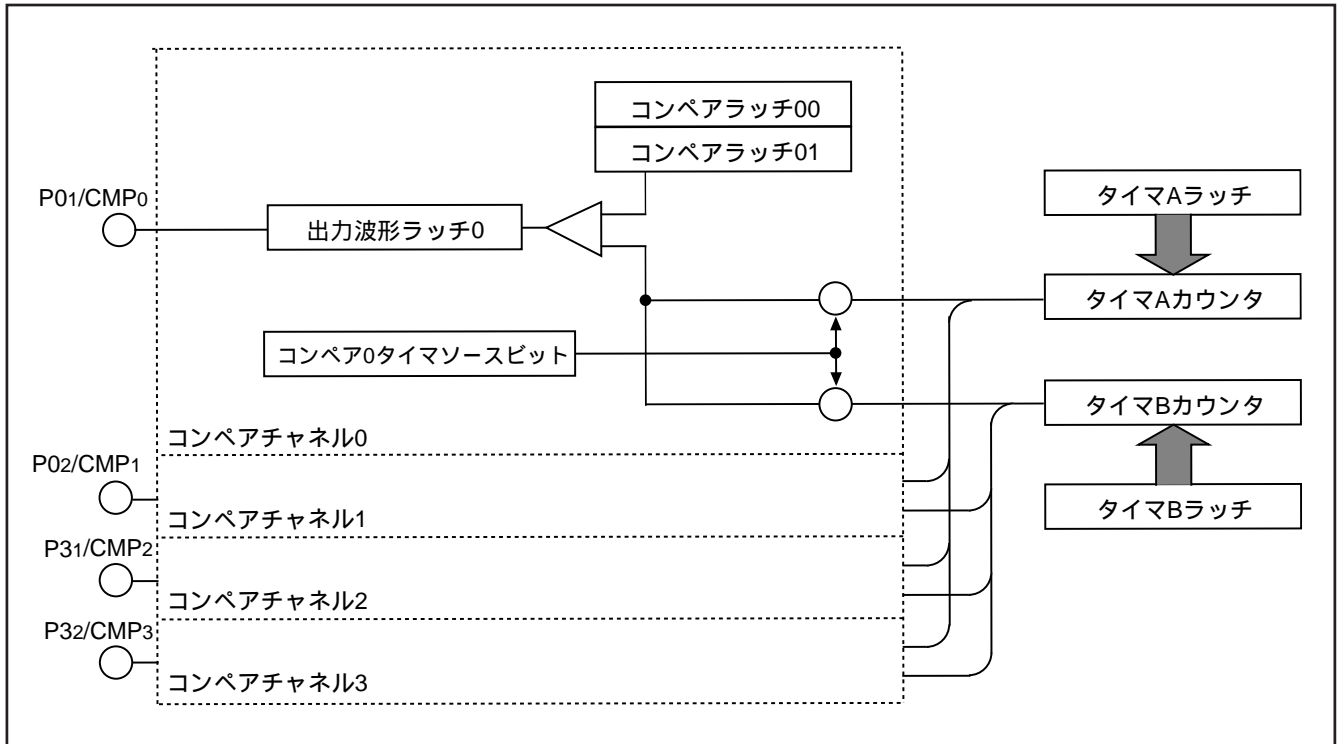


図 42 . コンペア出力回路のブロック図

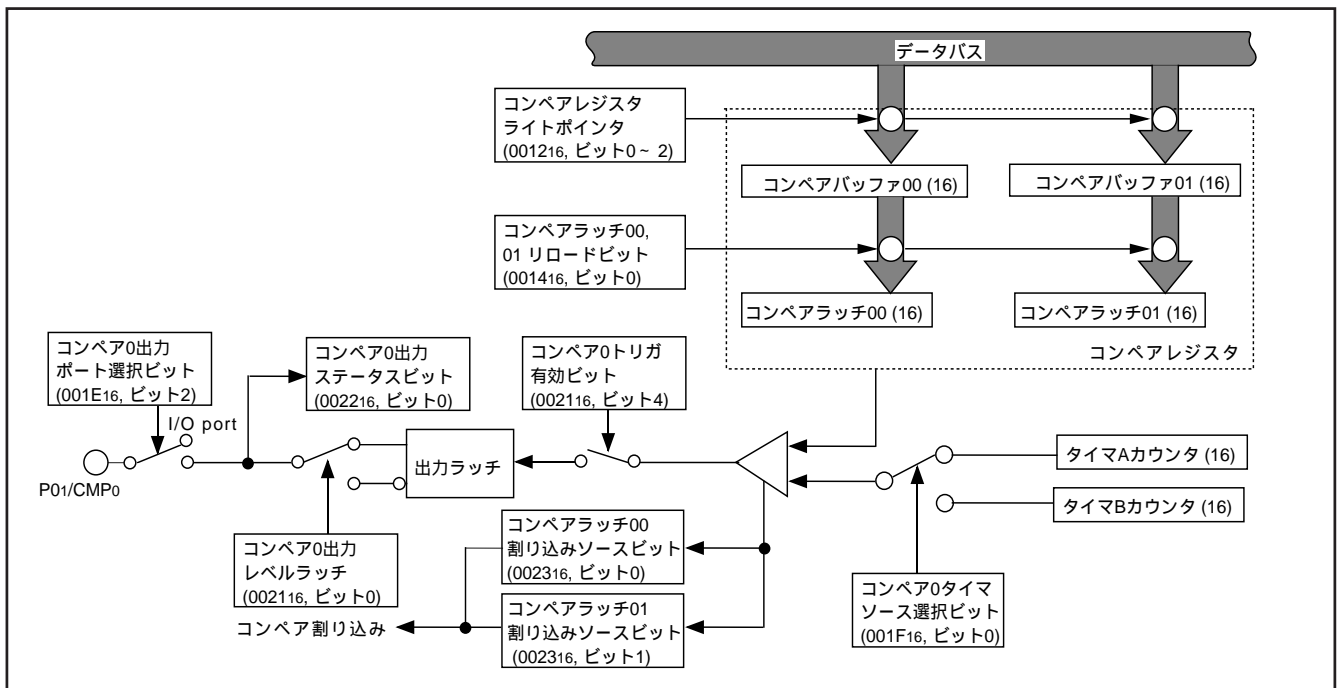


図 43 . コンペアチャンネル0のブロック図

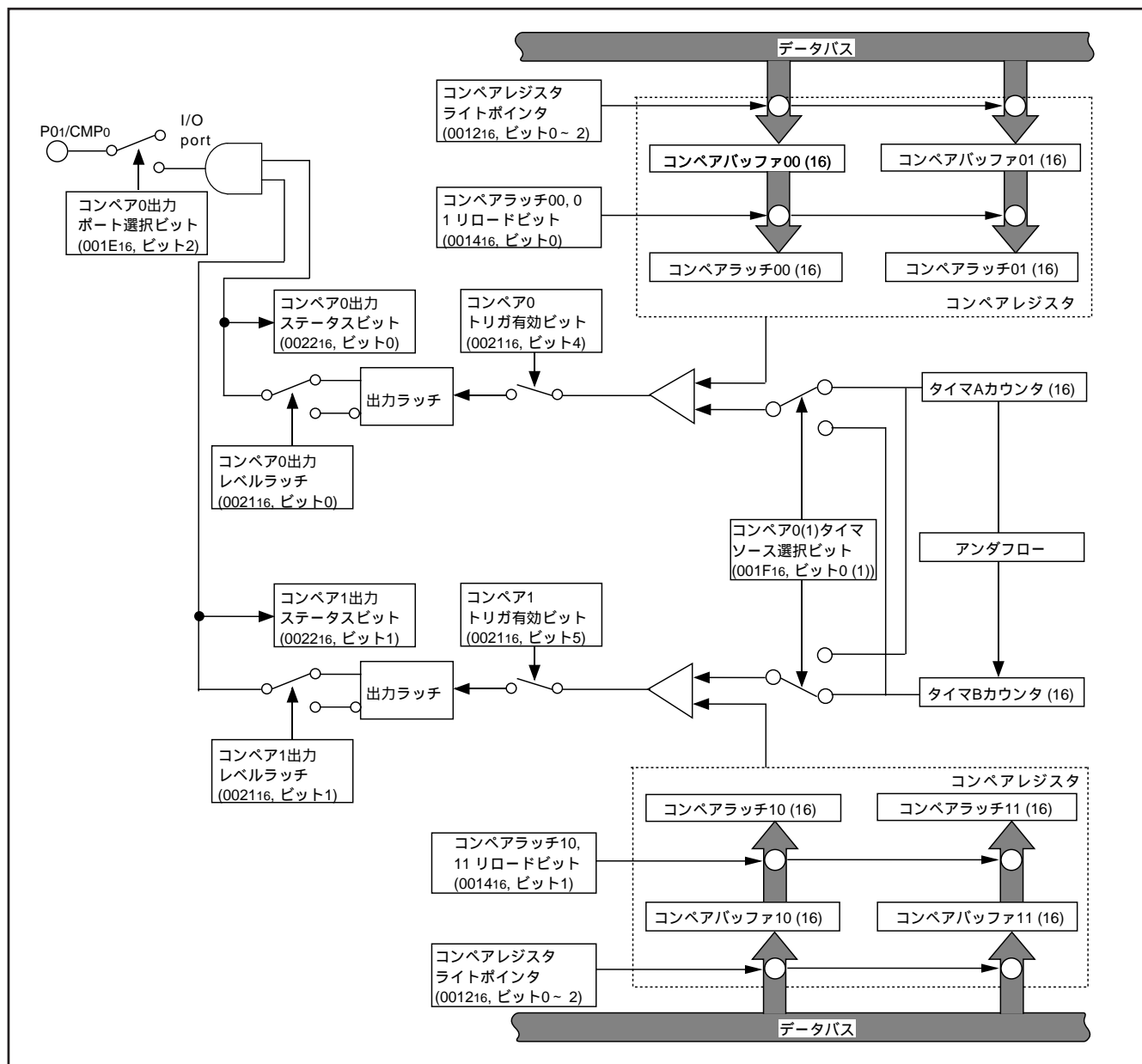


図 44 . 変調出力モード時のブロック図

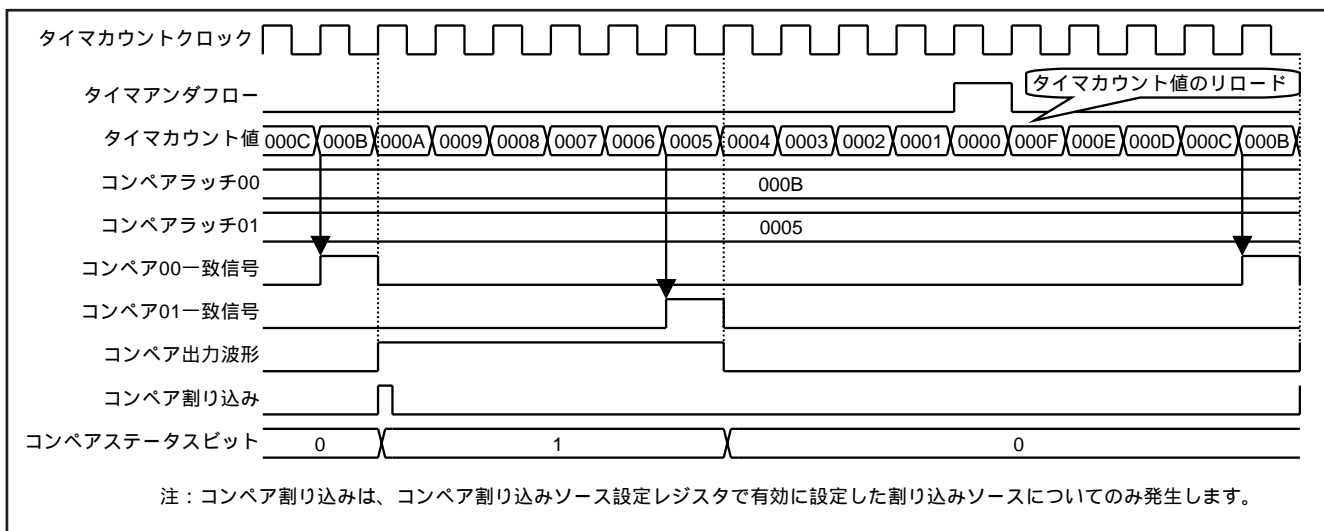


図 45 . コンペア出力波形図 (基本波形)

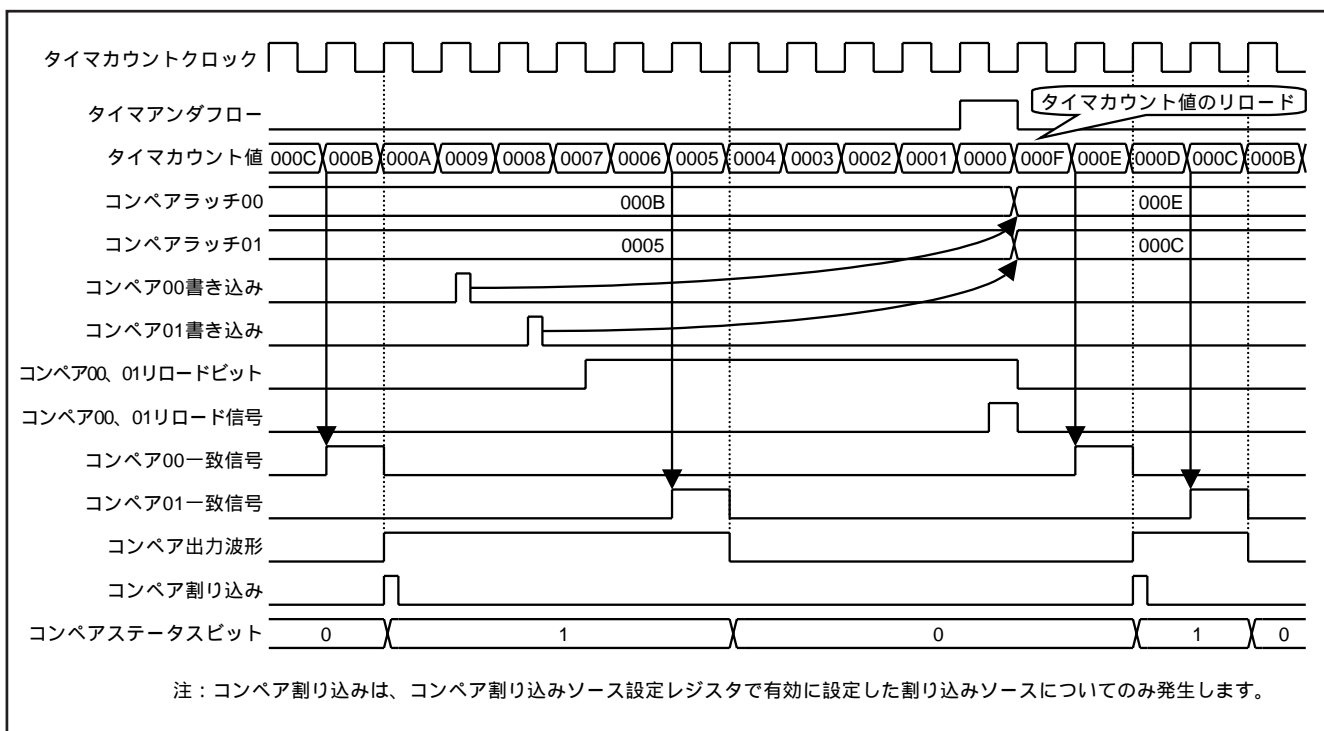


図 46 . コンペア出力波形図 (コンペアレジスタの書き込み時)

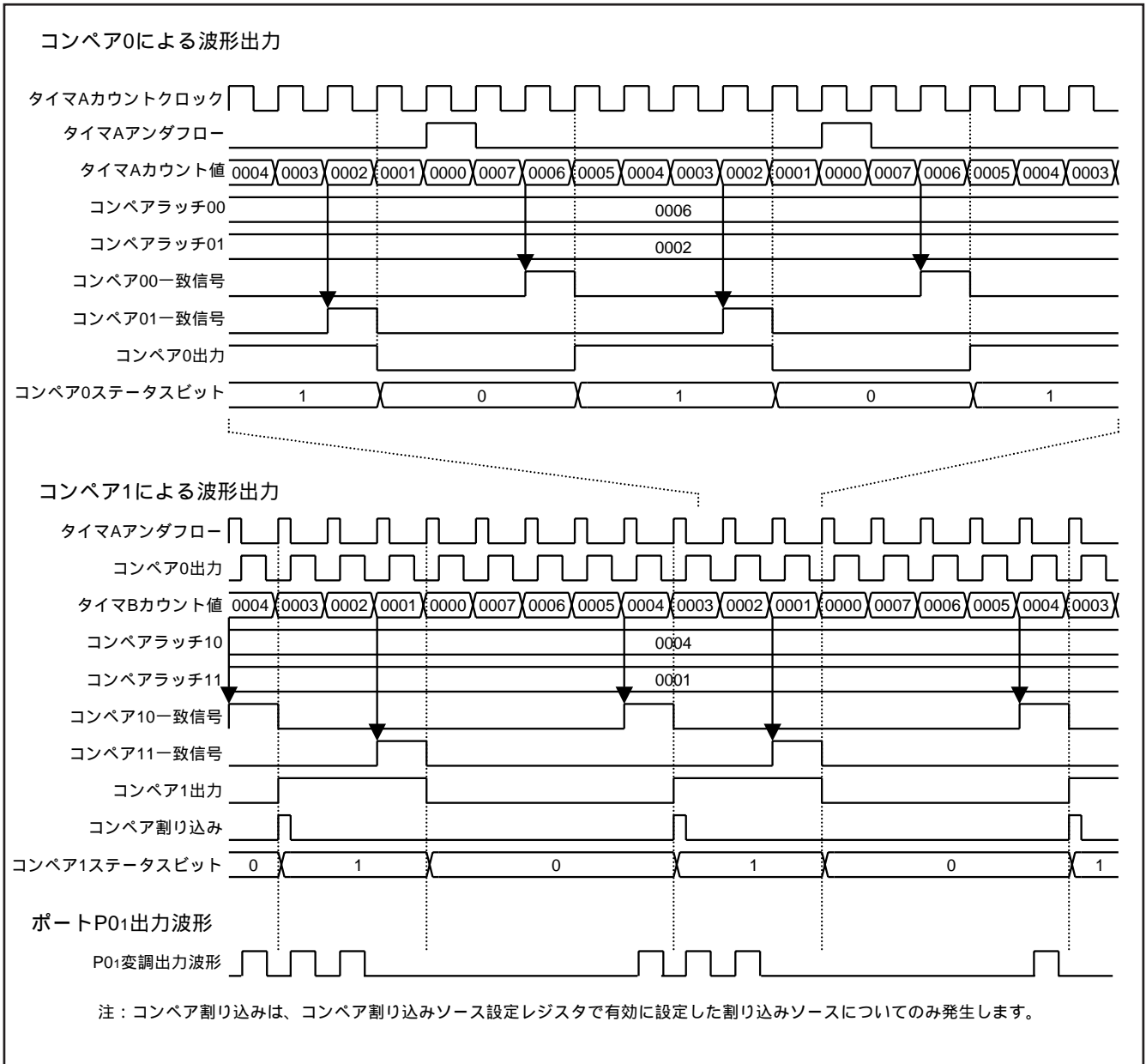


図47 . コンペア出力波形図(コンペア0、1変調出力モード)

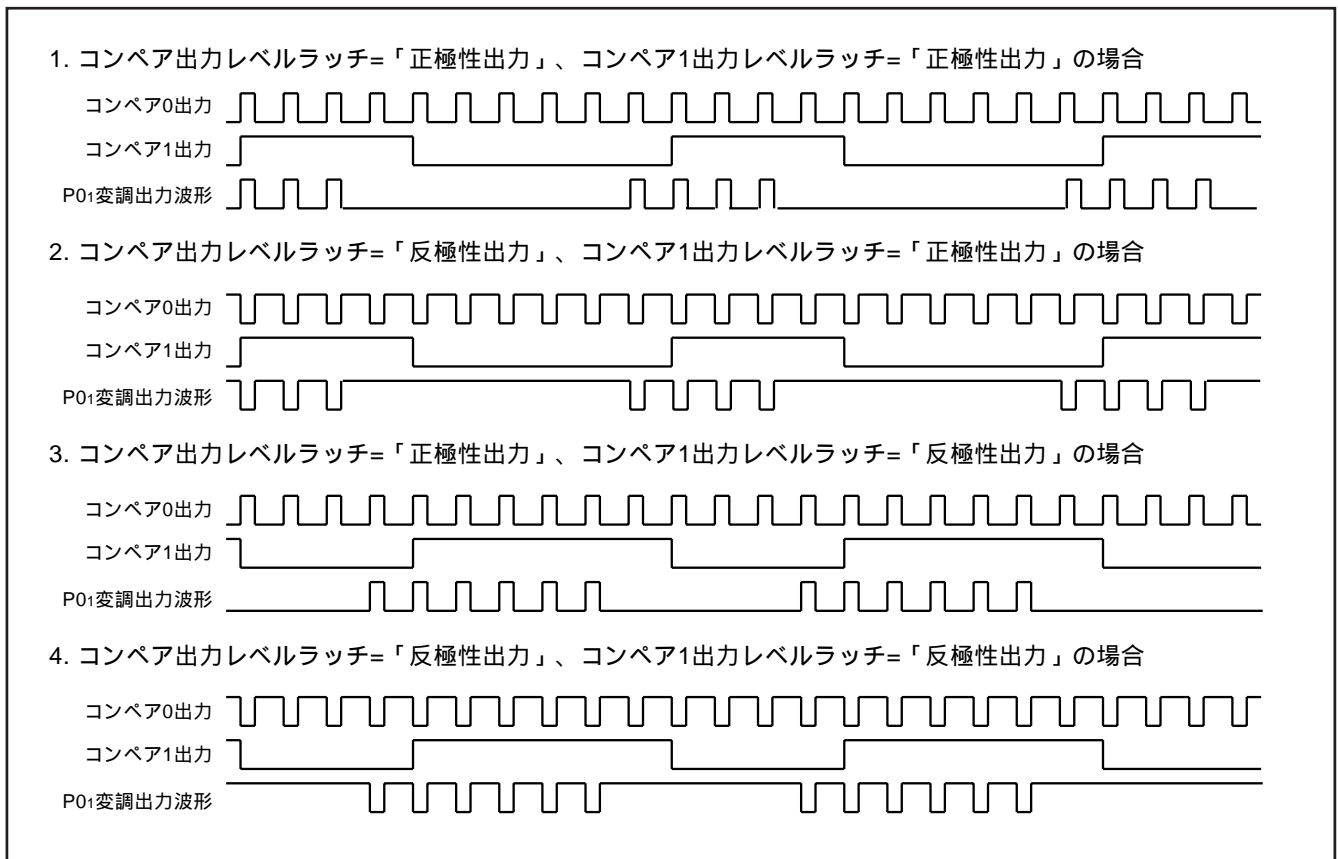


図 48 . コンペア出力波形図 (コンペア 0、1 変調出力モード : 出力レベルラッチの設定による出力波形の変化)

インプットキャプチャ

7542グループは、2チャンネルのキャプチャ入力を内蔵しています。それぞれのチャンネル(0, 1)は同じ機能を持っており、タイマA又はタイマBのカウント値をキャプチャ可能です。

それぞれのキャプチャチャンネルに使用するタイマは、キャプチャx(x=0, 1)タイマソース選択ビットで設定します。それぞれのチャンネルに使用するタイマは、タイマA又はタイマBより任意に選択可能です。

キャプチャ入力を使用する場合は、キャプチャx入力ポート選択ビットを設定し、入力するポートの方向レジスタに“0”を設定してください。

キャプチャ入力回路は、キャプチャ入力トリガが入力された時点で、選択されたタイマのカウント値をキャプチャラッチに保持します。キャプチャラッチx0には外部入力トリガの立ち上がり時のタイマカウント値が保持され、キャプチャラッチx1には外部入力トリガの立ち下がり時のタイマカウント値が保持されます。

キャプチャy(y=00, 01, 10, 11)ソフトウェアトリガビットを使用することで、キャプチャyソフトウェアトリガによるタイマカウント値の保持も可能です。キャプチャyソフトウェアトリガビットに“1”を書き込むことによって対応するキャプチャラッチにタイマカウント値を保持します。

キャプチャyソフトウェアトリガビットを読み出した場合は、“0”が読み出されます。

キャプチャラッチの状態は、キャプチャxステータスビットを読み出すことで、最新のキャプチャデータが保持されているラッチ(x0又はx1)を確認することが可能です。

キャプチャx割り込みエッジ選択ビットにより、外部入力の立ち上がり及び立ち下がり、立ち上がり、又は立ち下がり、のそれぞれで割り込みを発生させることができます。(キャプチャx割り込みエッジ選択ビットの設定値に関わらず、タイマのカウント値は立ち上がり、立ち下がりの両エッジでキャプチャラッチに保持されます。)

それぞれのキャプチャ入力にはノイズフィルタ回路を内蔵しています。ノイズフィルタ回路は、サンプリングクロックにより外部入力レベルをサンプリングし、4回連続で同一レベルであった時に有効な入力であると判断します。ノイズフィルタ回路のサンプリングクロックは、キャプチャノイズフィルタx選択ビットにより選択可能です。

キャプチャレジスタの読み出しは、キャプチャレジスタリードポイントで制御します。キャプチャレジスタからの読み出し手順は、次の様になります。

キャプチャレジスタリードポイントに読み出したいキャプチャラッチを設定する。

キャプチャレジスタ(下位)とキャプチャレジスタ(上位)を読み出す。

インプットキャプチャに関する注意事項

1. キャプチャレジスタの下位と上位を読み出している間にキャプチャトリガが入力された場合、下位と上位の値は別々のタイミングでキャプチャされた値となりますので、ソフトウェアで複数回の読み出し結果を比較する等の対策を行ってください。
2. CPUの動作クロック源がXIN発振の場合で、タイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマAはキャプチャ入力のソースタイマとして使用できません。
CPUの動作クロック源がXIN発振の場合で、タイマBのカウントソースにタイマAアンダフローを選択し、かつタイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマBはキャプチャ入力のソースタイマとして使用できません。
3. キャプチャラッチx0及びx1のキャプチャソフトウェアトリガビットに同時に“1”を書き込んだ場合、および外部トリガとソフトウェアトリガが同時にかけた場合に、キャプチャラッチx0とx1に同時にキャプチャ入力が行われると、キャプチャxステータスビットの値は不定となります。
4. 外部割り込みCAP0, CAP1の割り込みエッジ選択ビット及びノイズフィルタ選択ビットを設定する際、割り込み要求ビットが“1”になる場合があります。割り込みエッジ選択ビット又はノイズフィルタ選択ビットの設定に同期した割り込みが不要な場合には以下の手順で設定してください。
該当する割り込み許可ビットを“0”(禁止)にする。
割り込みエッジ選択ビット又はノイズフィルタ選択ビットを設定する。
一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
該当する割り込み許可ビットを“1”(許可)にする。
5. キャプチャ割り込みをストップモードからの復帰用割り込みとして使用する場合は、キャプチャxノイズフィルタ選択ビットを“00: フィルタなし”に設定してください。

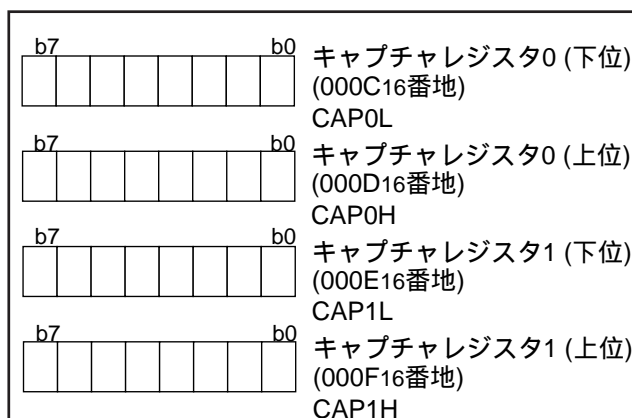


図49. キャプチャレジスタの構成

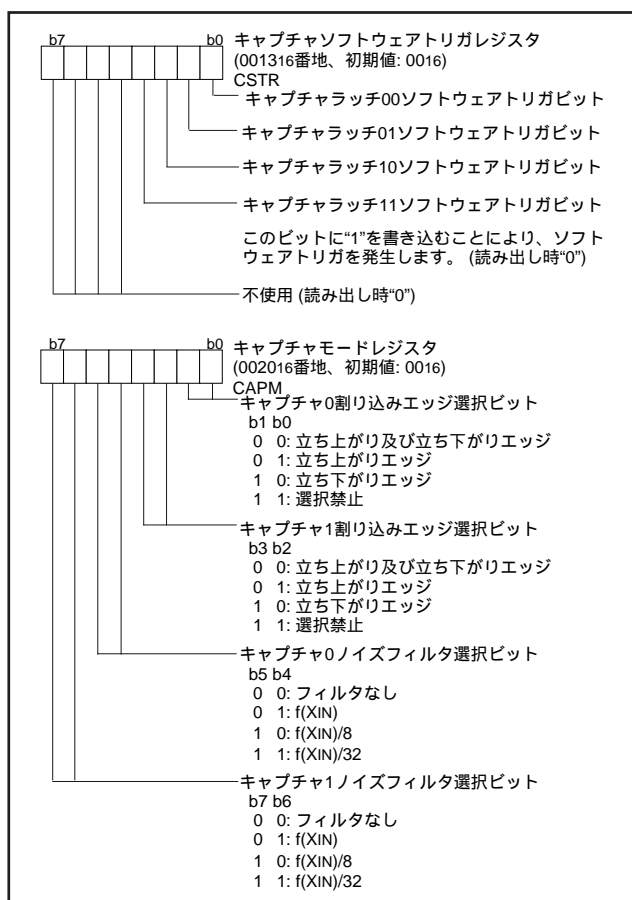


図50. キャプチャソフトウェアトリガレジスタ/キャプチャモードレジスタの構成

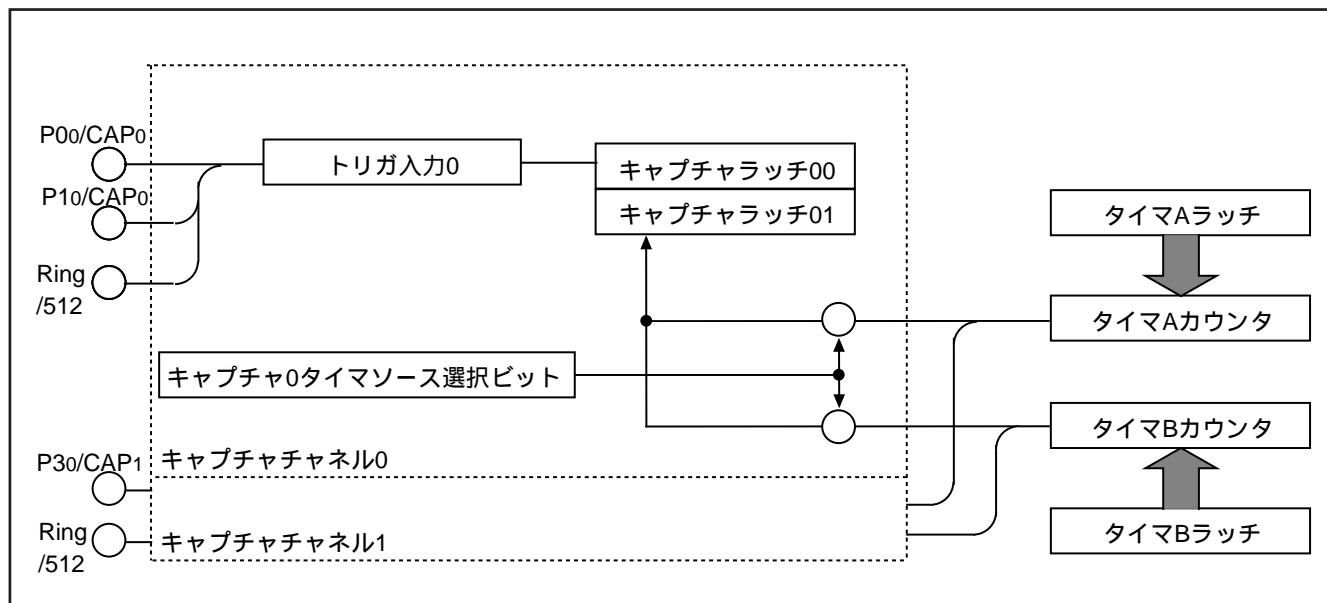


図 51 . キャプチャ入力回路のブロック図

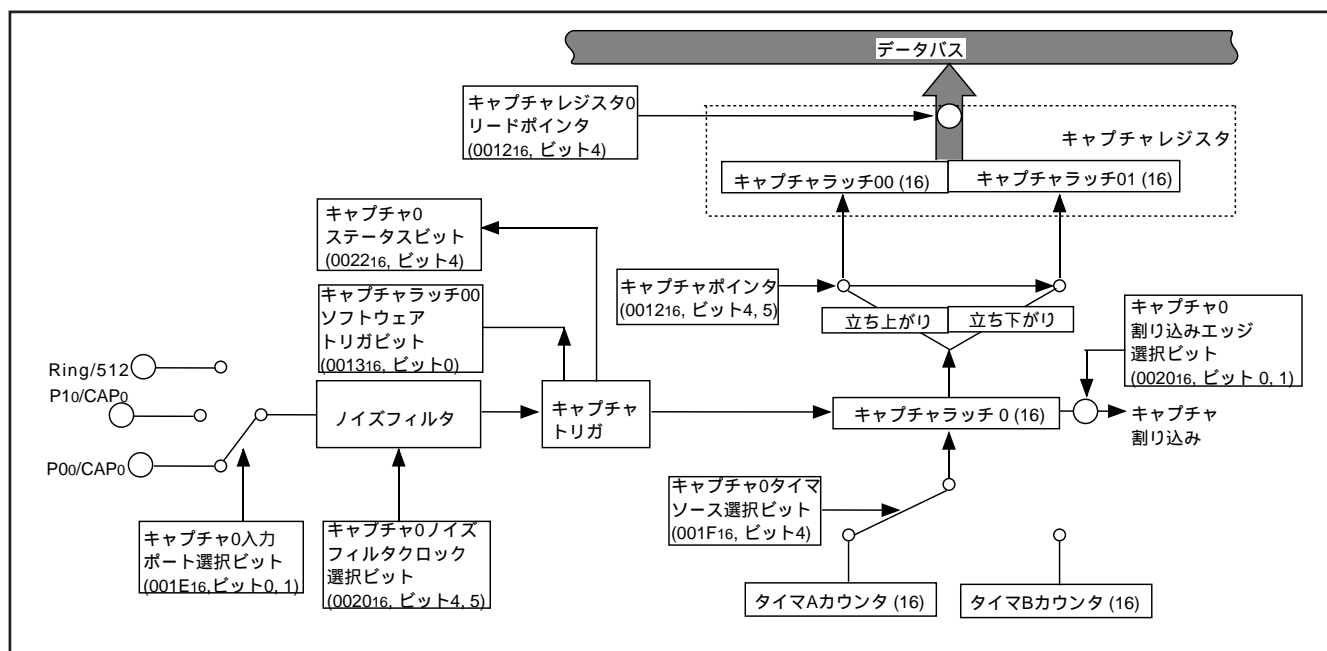


図 52 . キャプチャチャネル0のブロック図

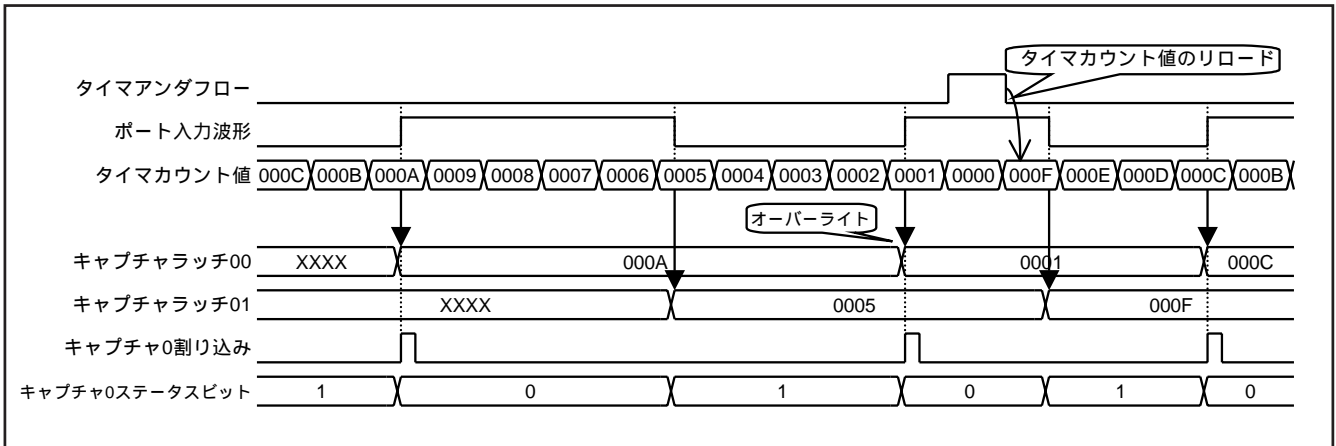


図 53 . キャプチャ入力波形図 (キャプチャ0 割り込みエッジ選択ビット : 立ち上がり選択時)

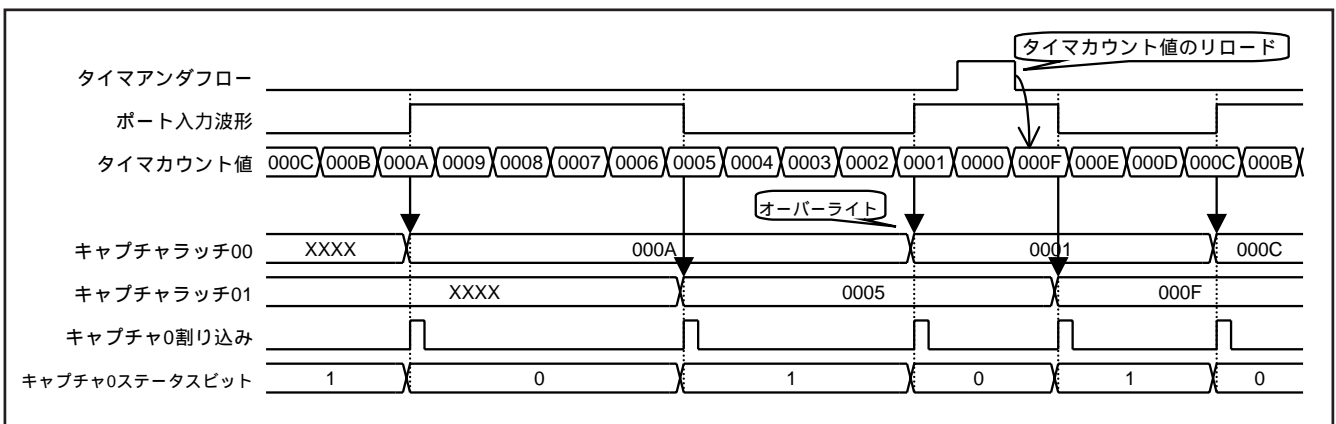


図 54 . キャプチャ入力波形図 (キャプチャ0 割り込みエッジ選択ビット : 立ち上がり及び立ち下がり選択時)

シリアルインタフェース

7542グループは、シリアルI/O1とシリアルI/O2を持っています。シリアルI/O1とシリアルI/O2は、シリアルI/O1にバス衝突検出回路があること及び、シリアルI/O2のTx/D2出力形式がCMOS出力のみであることを除き、同じ仕様です。

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形UARTのどちらでも動作可能です。また、シリアルI/O1動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1)クロック同期形シリアルI/O1モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を"1"にすることによってクロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

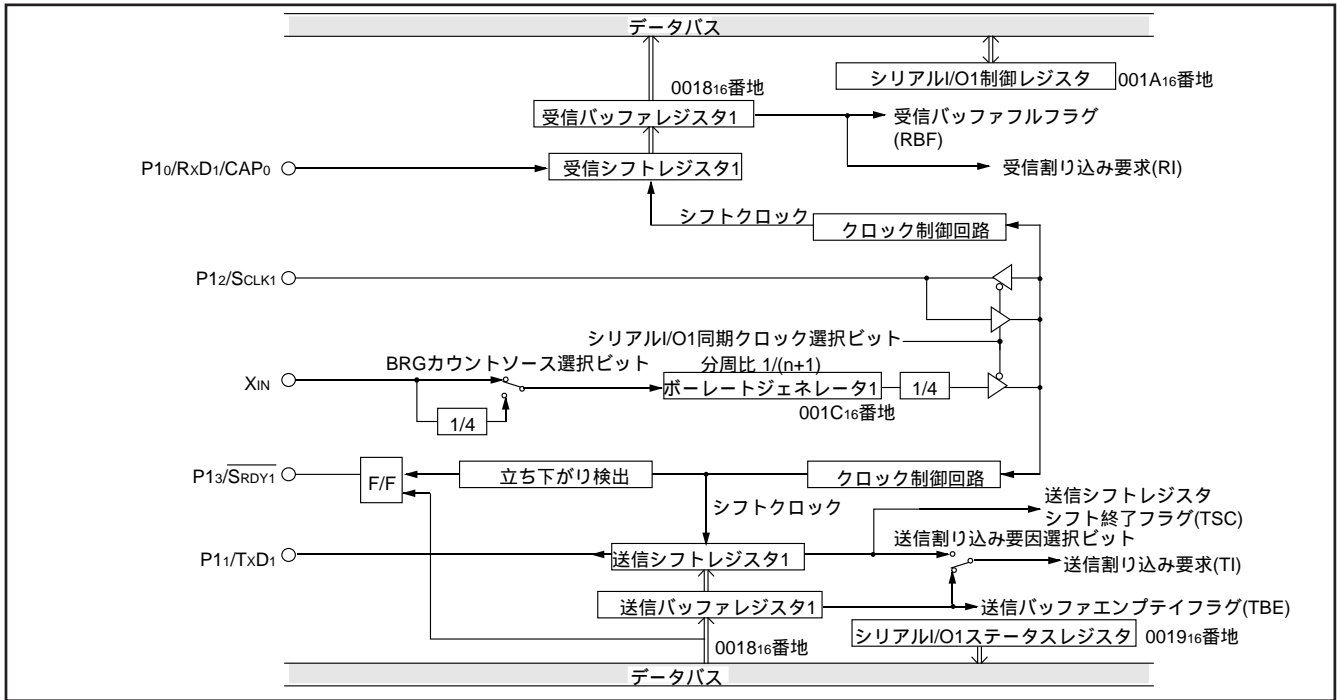


図 55 . クロック同期形シリアルI/O1 ブロック図

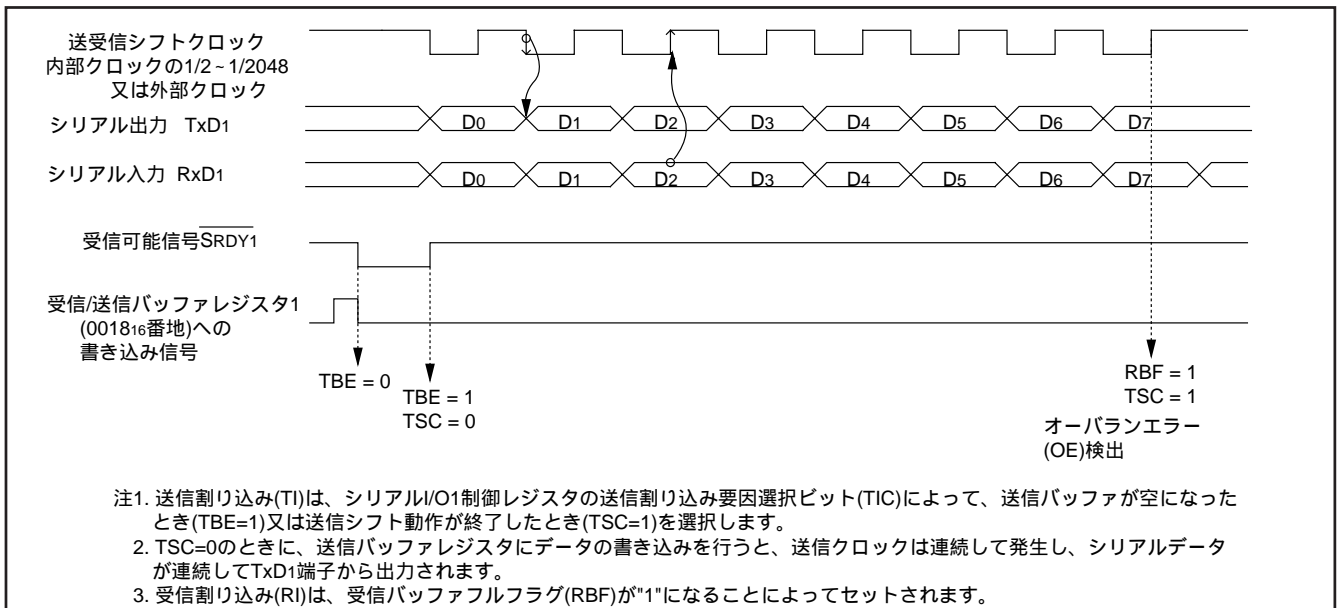


図 56 . クロック同期形シリアルI/O1 動作図

(2)非同期形シリアルI/O1(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7542グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7542グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

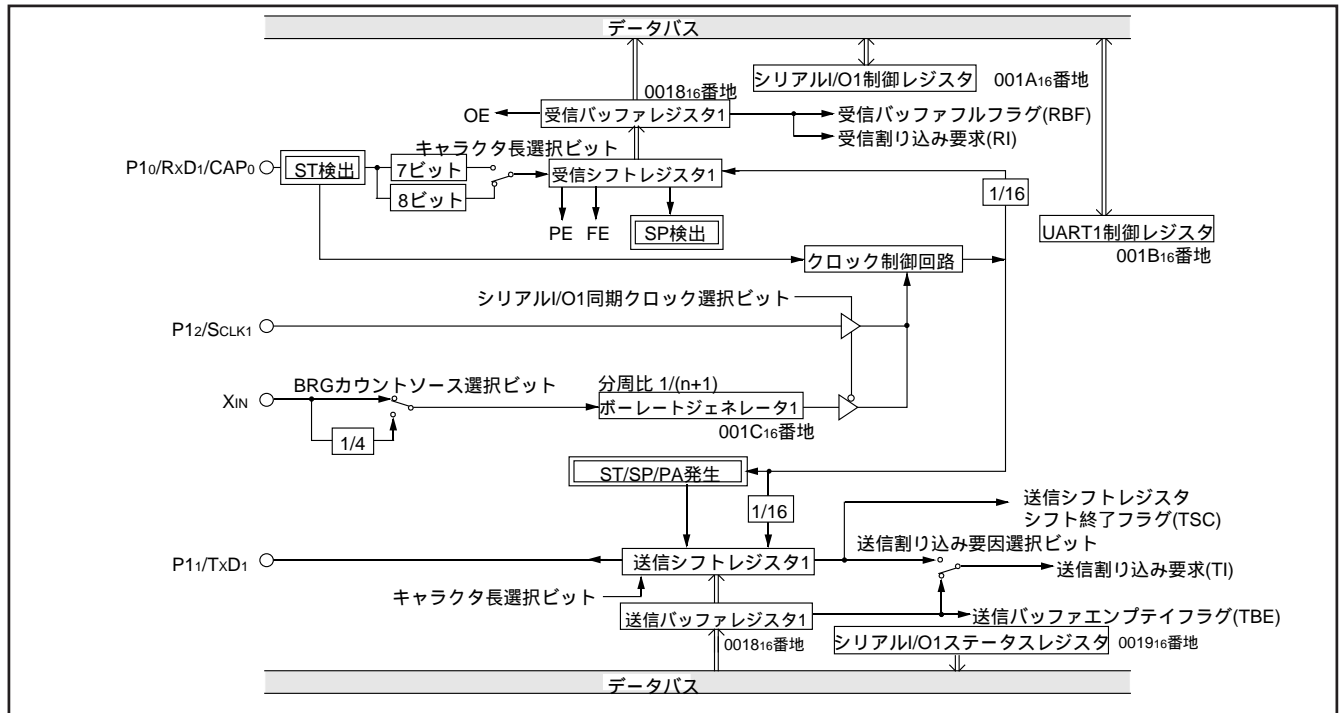


図 57 . UART 形シリアル I/O1 ブロック図

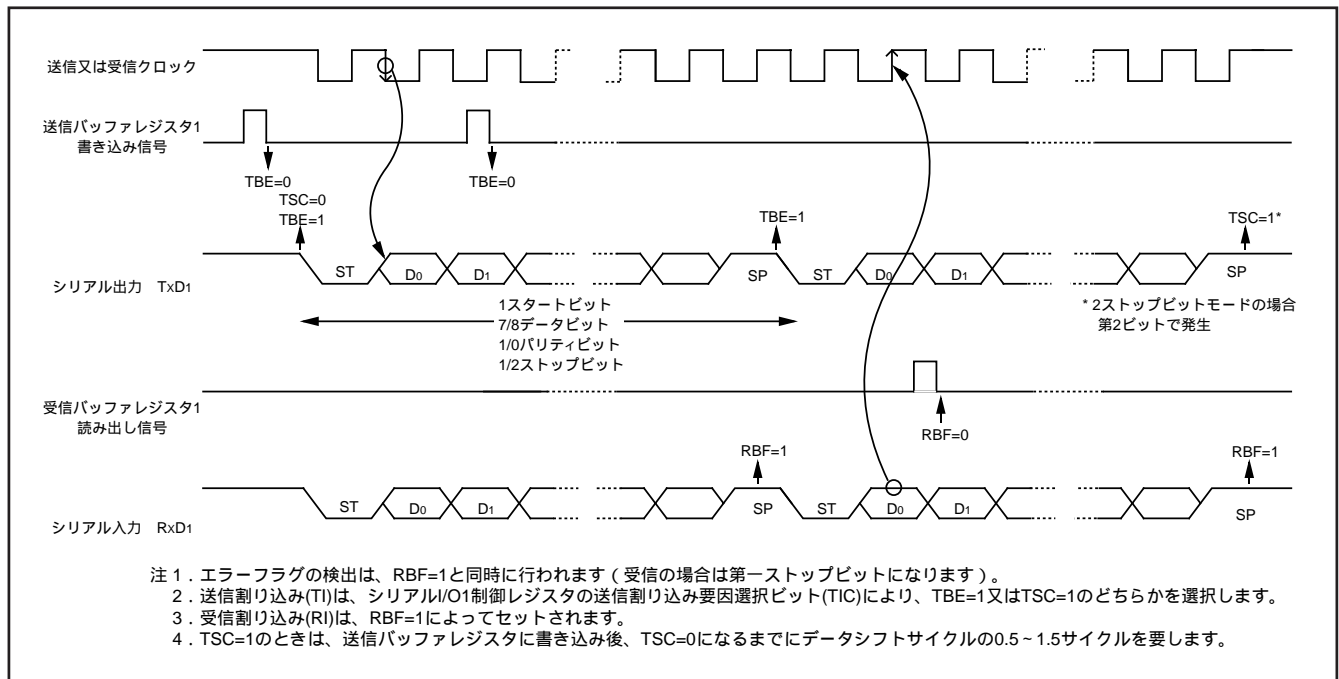


図 58 . UART 形シリアル I/O1 動作図

- 注 1. エラーフラグの検出は、RBF=1と同時に行われます(受信の場合は第一ストップビットになります)。
2. 送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
3. 受信割り込み(RI)は、RBF=1によってセットされます。
4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

【送信バッファレジスタ1/受信バッファレジスタ1】TB1/RB1

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART1制御レジスタ】UART1CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TXD1端子の出力形式などを設定します。

【ボーレートジェネレータ1】BRG1

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

シリアルI/O1に関する注意事項

・シリアルI/O1割り込み

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。

シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビットおよびシリアルI/O1同期クロック選択ビットの設定値により、P12、P13の機能が下記のように変化します。

(1)シリアルI/O1モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

・ $\overline{\text{SRDY1}}$ 出力許可ビット(SRDY)の設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子は $\overline{\text{SRDY1}}$ 出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。



図 59 . シリアルI/O1 関係レジスタの構成

バス衝突検出回路

シリアルI/O1は、UART1バス衝突検出割り込み有効ビットを設定することにより、バス衝突を検出できます。

クロック同期形又はクロック非同期形(UART)シリアルI/Oモードで送信を開始すると、送信シフトクロックの立ち上がりエッジに同期して、送信端子TxD1と受信端子RxD1の比較が行われます。比較の結果が一致しない場合、バス衝突検出割り込み要求が発生します。

送信データの衝突検出は、クロック同期形モードでは送信データのLSB及びMSB間で、UARTモードでは送信データの開始ビット及び停止ビット間で行われます。内部クロック及び外部クロックどちらの場合もバス衝突を検出できます。

図61にバス衝突検出割り込み回路のブロック図を、図62にバス衝突検出割り込みのタイミング図を示します。

バス衝突検出機能に関する注意事項

バス衝突検出機能は、シリアルI/O1が二重通信モードで動作時に使用できます。シリアルI/O1が半二重通信で動作時は、バス衝突検出割り込みを禁止してください。

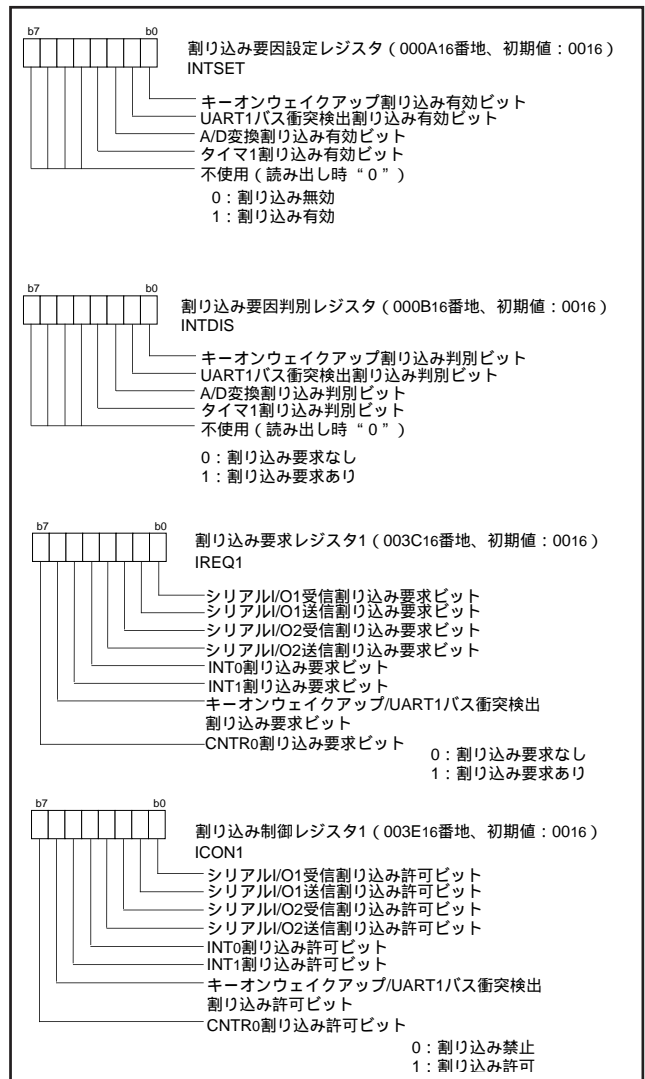


図 60 . バス衝突検出関連レジスタ

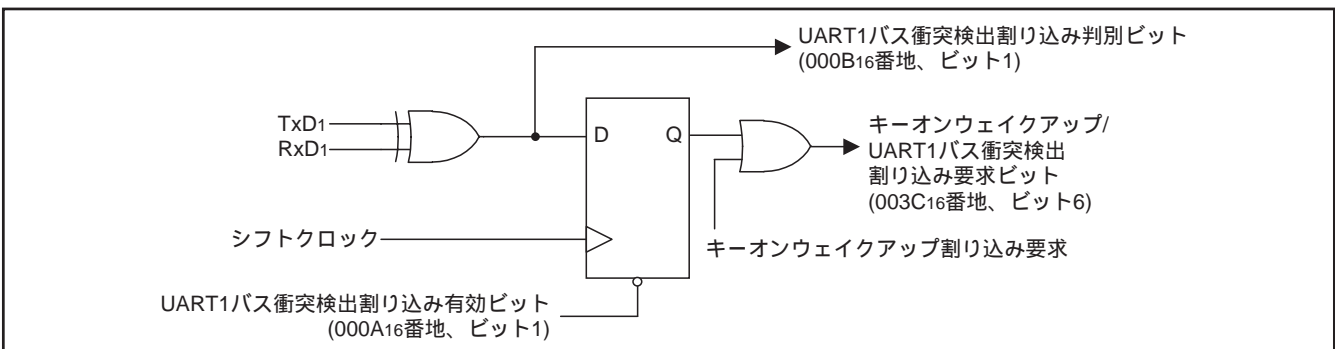


図 61 . バス衝突検出割り込み回路のブロック図

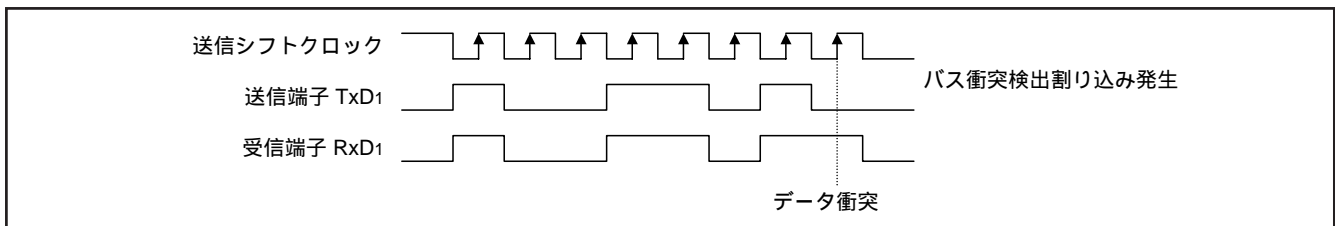


図 62 . バス衝突検出割り込みのタイミング図

シリアル I/O2

シリアル I/O2はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアル I/O2動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1)クロック同期形シリアル I/O2モード

シリアル I/O2制御レジスタのシリアル I/O2モード選択ビット(b6)を"1"にすることによってクロック同期形シリアル I/O2が選択されます。

クロック同期形シリアル I/O2では、シリアル I/O2の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

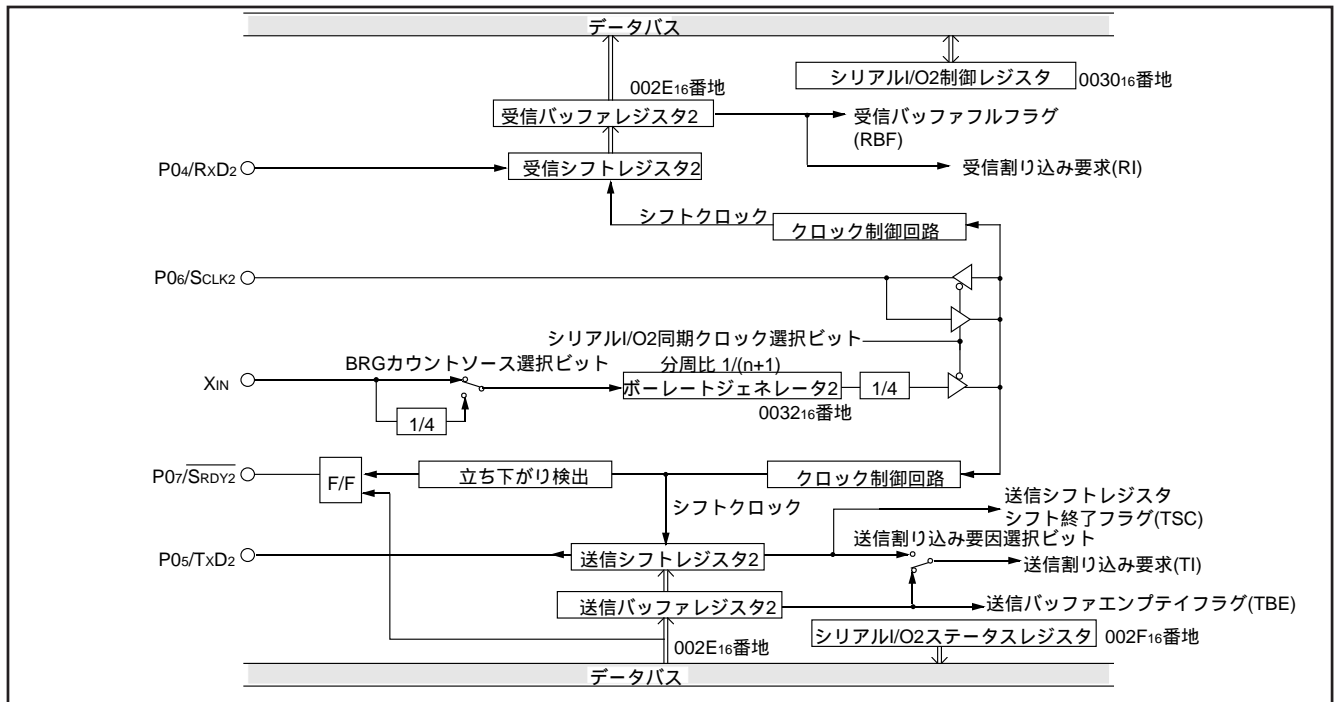


図 63 . クロック同期形シリアル I/O2 ブロック図

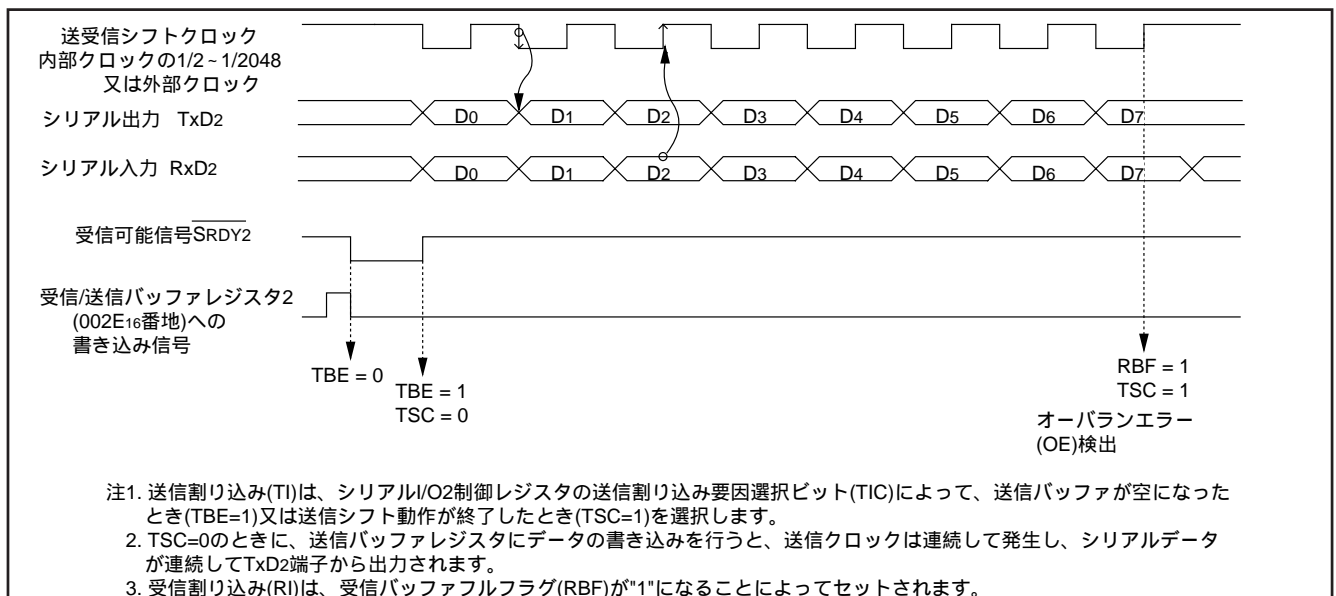


図 64 . クロック同期形シリアル I/O2 動作図

(2)非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7542グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7542グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

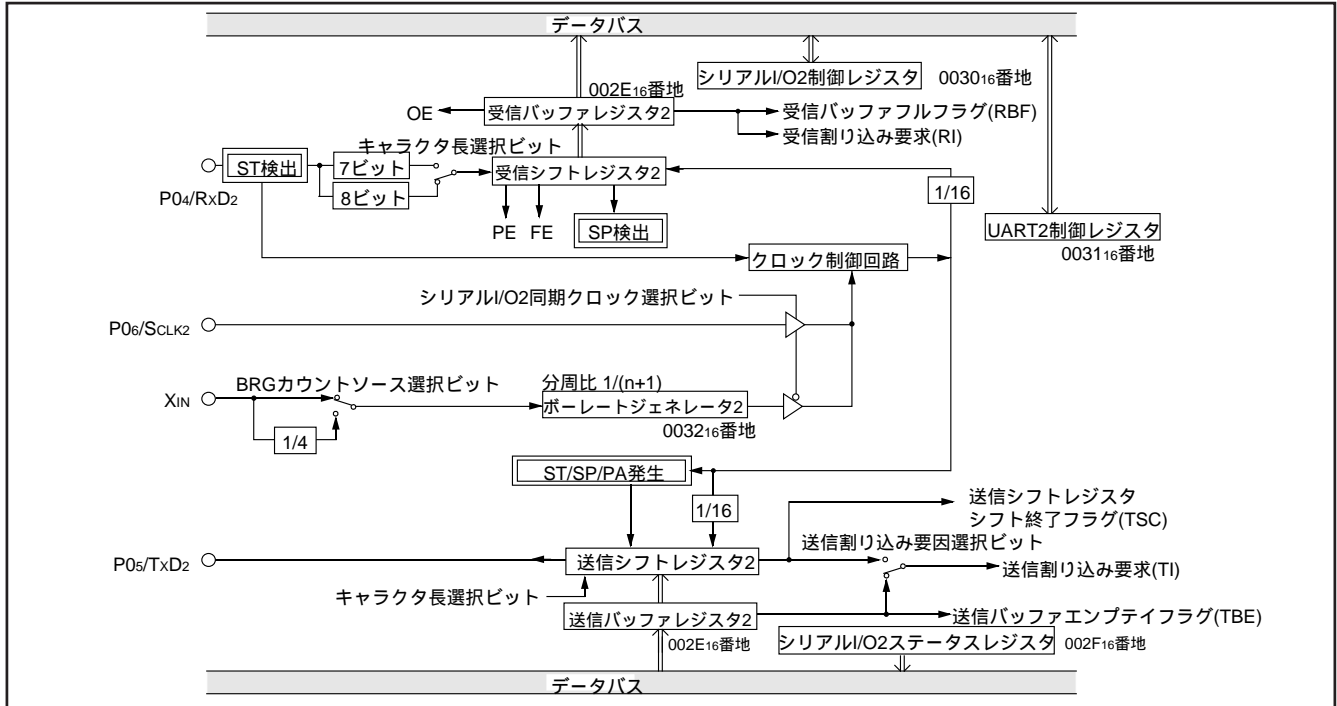


図 65 . UART 形シリアル I/O2 ブロック図

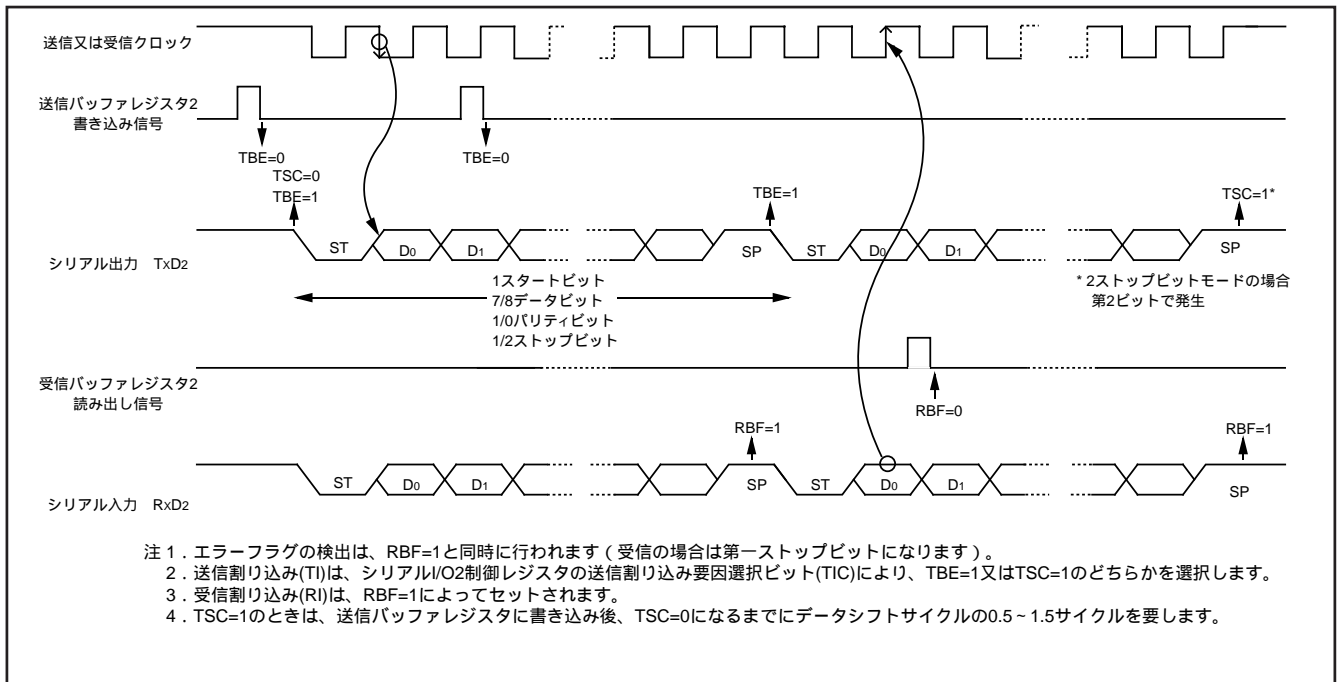


図 66 . UART 形シリアル I/O2 動作図

1. エラーフラグの検出は、RBF=1と同時にに行われます(受信の場合は第一ストップビットになります)。
2. 送信割り込み(TI)は、シリアルI/O2制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
3. 受信割り込み(RI)は、RBF=1によってセットされます。
4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

【送信バッファレジスタ2/受信バッファレジスタ2】TB2/RB2
送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBIは“ 0 ”となります。

【シリアルI/O2ステータスレジスタ】SIO2STS

シリアルI/O2の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“ 0 ”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O2ステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O2許可ビット(SIOE)に“ 0 ”を書き込むとエラーフラグを含むすべてのステータスフラグが“ 0 ”にクリアされます。

このレジスタのビット0～6はリセット時“ 0 ”に初期化されますが、シリアルI/O2制御レジスタの送信許可ビットを“ 1 ”にしたときビット2とビット0は“ 1 ”になります。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタはシリアルI/O2の各種制御を行う8ビットの選択ビットで構成されています。

【UART2制御レジスタ】UART2CON

UART選択時有効な4ビットの制御ビットで構成されたレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマットを設定します。

【ボーレートジェネレータ2】BRG2

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

シリアルI/O2に関する注意事項

・シリアルI/O2割り込み

シリアルI/O2の送信許可ビットを“ 1 ”にしたとき、シリアルI/O2送信割り込み要求ビットが“ 1 ”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O2送信割り込み許可ビットを“ 0 ”(禁止)にする。

送信許可ビットを“ 1 ”にする。

一命令以上おいてから、シリアルI/O2送信割り込み要求ビットを“ 0 ”にする。

シリアルI/O2送信割り込み許可ビットを“ 1 ”(許可)にする。

・シリアルI/O2許可時の入出力端子機能

シリアルI/O2モード選択ビットおよびシリアルI/O2同期クロック選択ビットの設定値により、P06、P07の機能が下記のように変化します。

(1)シリアルI/O2モード選択ビット “ 1 ”:

クロック同期形シリアルI/O選択時

・シリアルI/O2同期クロック選択ビットの設定

“ 0 ”: P06端子は同期クロックの出力端子になります。

“ 1 ”: P06端子は同期クロックの入力端子になります。

・SRDY2出力許可ビット(SRDY)の設定

“ 0 ”: P07端子は通常の入出力端子として使用できます。

“ 1 ”: P07端子はSRDY2出力端子になります。

(2)シリアルI/O2モード選択ビット “ 0 ”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O2同期クロック選択ビットの設定

“ 0 ”: P06端子は通常の入出力端子として使用できます。

“ 1 ”: P06端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P07端子は通常の入出力端子として使用できます。

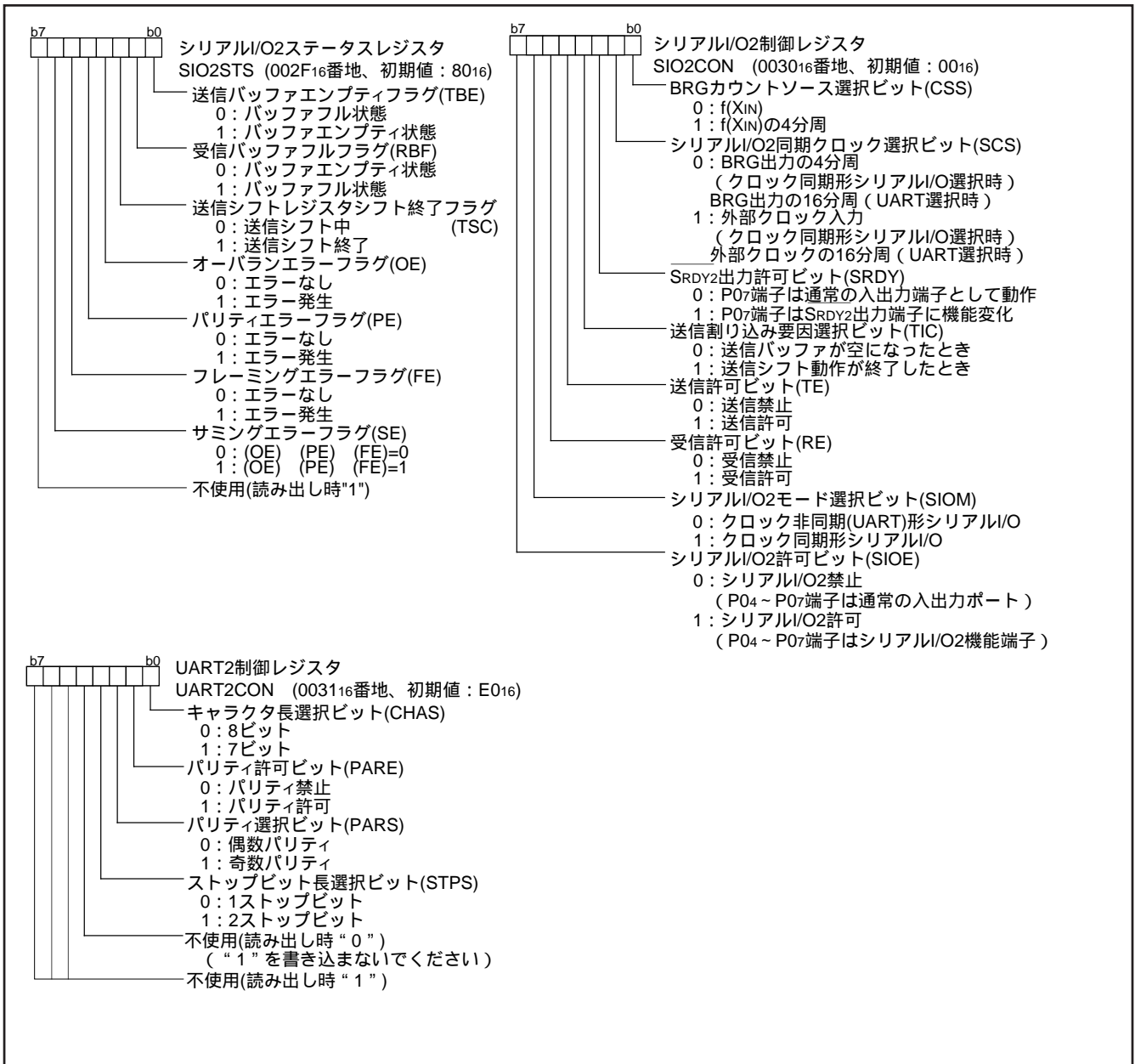


図 67 . シリアルI/O2関係レジスタの構成

A/D コンバータ

【A/D 変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。

【A/D 制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。

ビット2～ビット0はアナログ入力端子の選択ビットです。

ビット3はA/D変換クロック選択ビットで、“0”を設定するとA/D変換クロックが $f(XIN)/2$ となり、A/D変換時間は $f(XIN)$ の122サイクルとなります。“1”を設定するとA/D変換クロックが $f(XIN)$ となり、A/D変換時間は $f(XIN)$ の61サイクルとなります。

ビット4はA/D変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS} と V_{REF} 間の電圧を抵抗ラダーによって、1024分割し分圧出力します。A/D変換中以外は、 V_{REF} 端子、 V_{SS} 端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャンネルセクタ】

ポートP27/AN7～P20/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にA/D変換終了ビット及びA/D割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は、A/D変換クロックが250kHz以上になるように $f(XIN)$ の値を設定してください。

A/D 変換に関する注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) V_{REF} 電圧を V_{CC} 電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、 V_{REF} 電圧と V_{CC} 電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) V_{REF} 電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、 $V_{REF}=3.0V$ 以上での使用を推奨します。

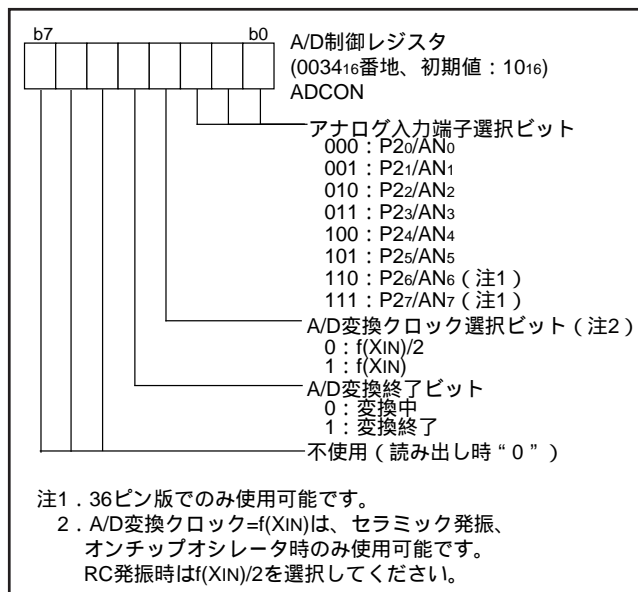


図 68．A/D 制御レジスタの構成

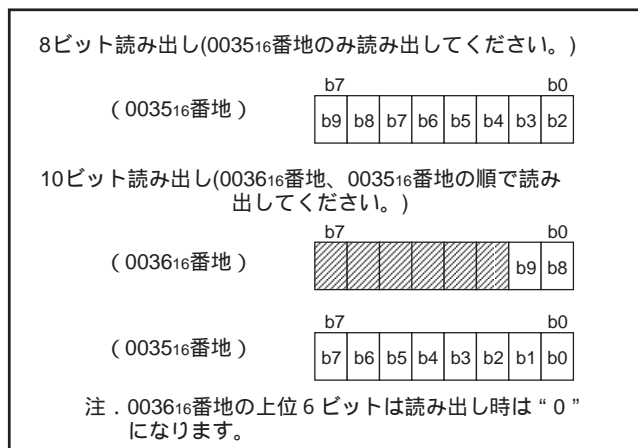


図 69．A/D 変換レジスタの構成

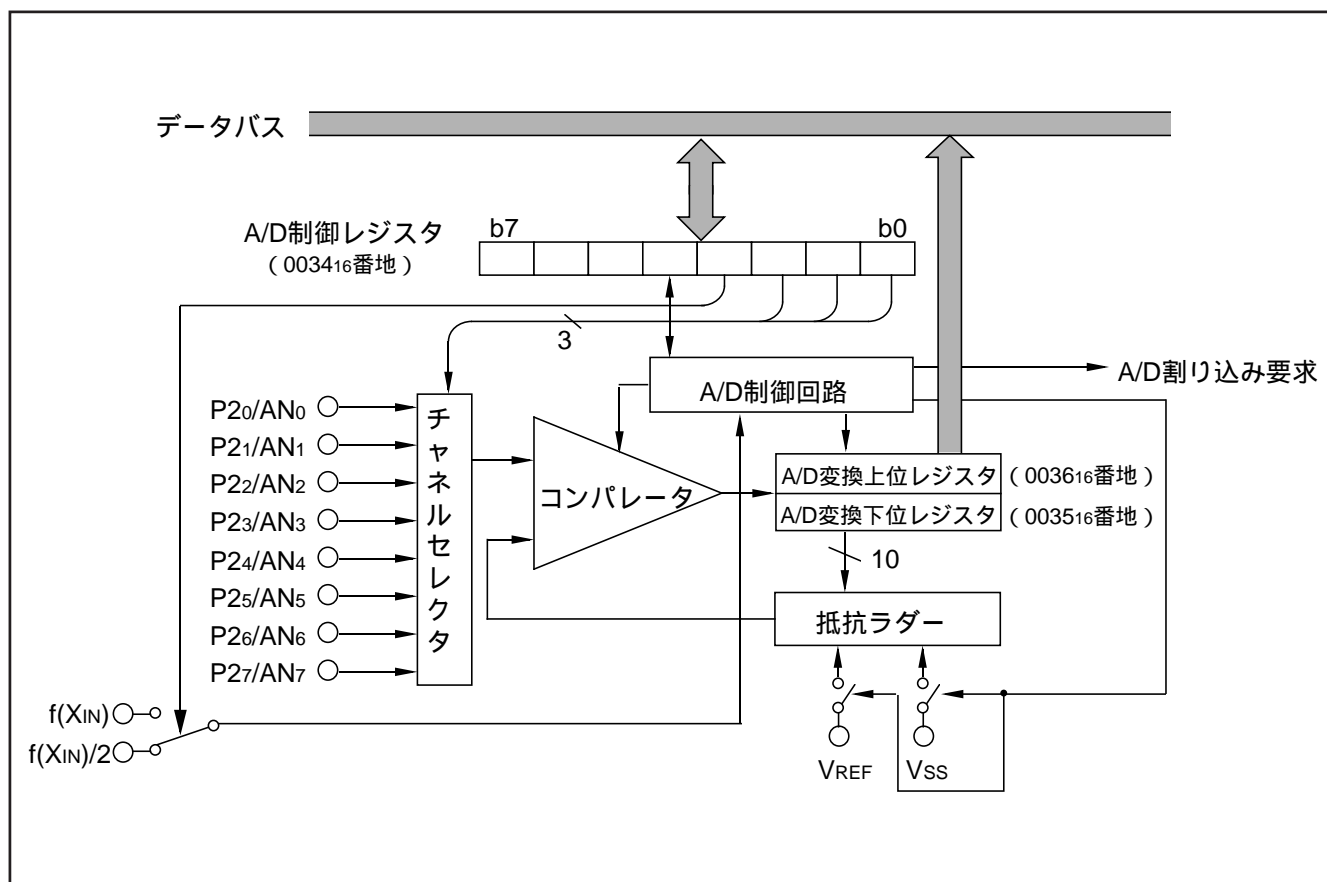


図 70 . A/D コンバータブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタに任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組めます。ウォッチドッグタイマ制御レジスタを読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令機能選択ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1)ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタへの書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

(2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタのビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=8\text{MHz}$ 時131.072msになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の16分周信号となります。検出時間は $f(XIN)=8\text{MHz}$ 時512 μs になります。

このビットはリセット後“0”になります。

(3)STP命令機能選択ビットの動作

STP命令機能選択ビットを“0”に設定すると、STP命令を実行時ストップモードに移行します。“1”を設定すると、STP命令を実行すると内部リセットを発生します。このビットはプログラムにより“1”にできますが“0”に書き替えることはできません。このビットはリセット後“0”になります。

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、STP命令解除後の発振安定時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
3. STP命令機能選択ビット(ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6)はリセット後、一度だけ書き込みが可能です。書き込み後はロックされるため、書き替えはできません。このビットはリセット後“0”になります。
4. ウォッチドッグタイマのカウントソースは、CPUモードレジスタのクロック分周比選択ビットの影響を受けます。CPUクロックに $f(XIN)$ 発振を選択している場合は $f(XIN)$ クロックが、CPUクロックにオンチップオシレータ出力を選択している場合は、オンチップオシレータ出力がウォッチドッグタイマに供給されます。

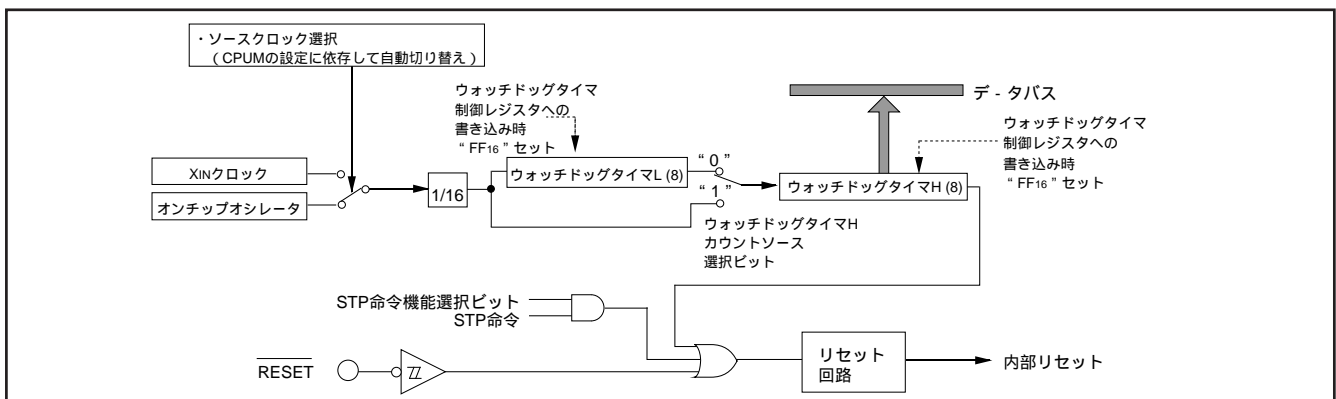


図 71. ウォッチドッグタイマのブロック図

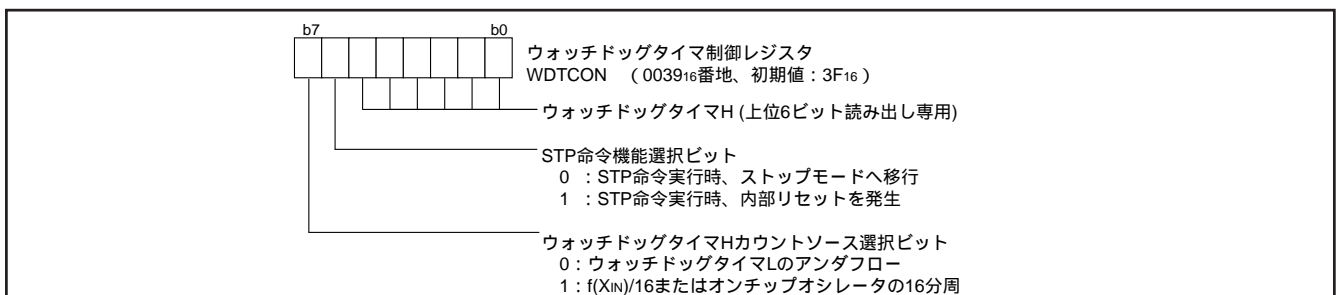


図 72. ウォッチドッグタイマ制御レジスタの構成

リセット回路

7542グループは、リセット解除後はオンチップオシレータで動作を開始します。

したがって、リセット入力電圧は、電源電圧の立ち上がりが2.2Vを通過する時点で、 $0.2V_{CC}$ (0.44V) 以下になるよう設定してください。

またCPUクロックの外付け発振子への切り替えは、電源電圧の立ち上がりが最低動作電圧を通過した後で、かつ発振が安定した後に行ってください。

注)最低動作電圧は、外付け発振子の周波数とCPUクロックの分周比によって決まります。

外付け発振子の発振安定時間は、使用される発振子の安定時間を十分に評価した上で決定してください。

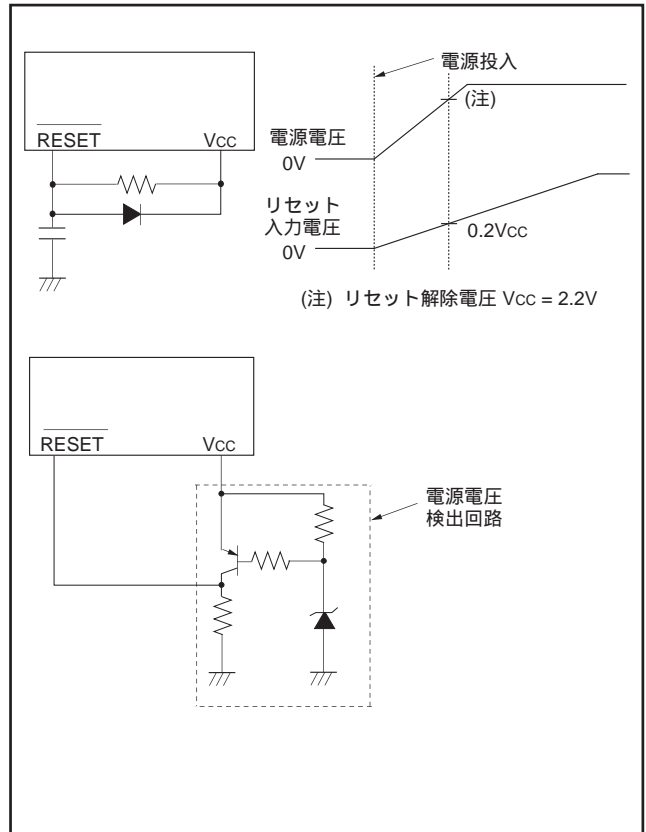


図 73 . リセット回路例

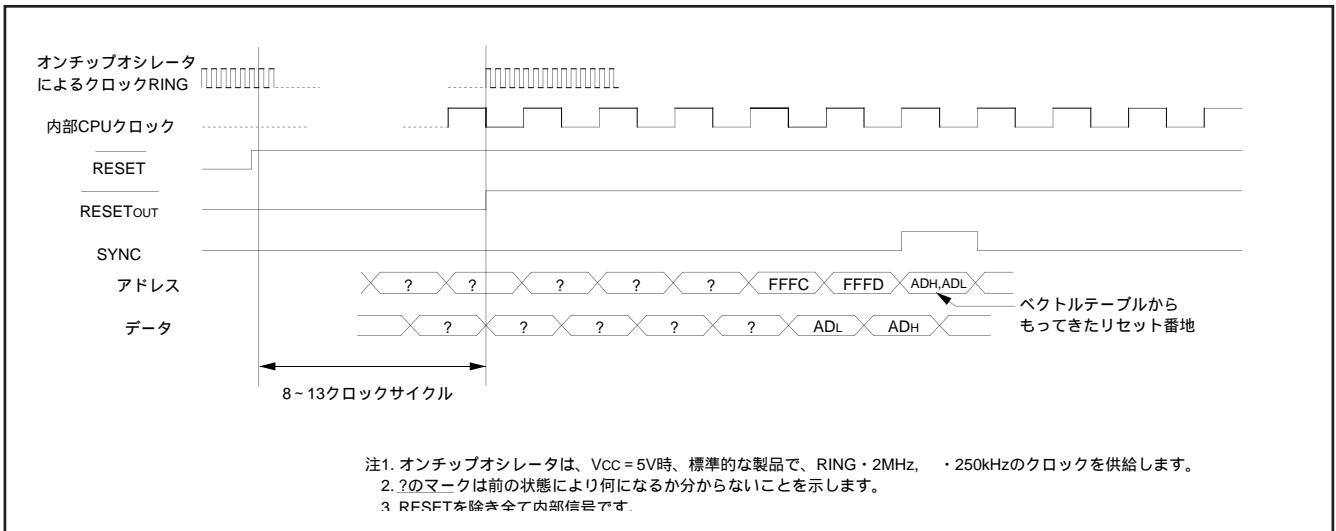


図 74 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ (P0D)	000116	0016
(2) ポートP1方向レジスタ (P1D)	000316	x x x 0 0 0 0 0
(3) ポートP2方向レジスタ (P2D)	000516	0016
(4) ポートP3方向レジスタ (P3D)	000716	0016
(5) 割り込み要因設定レジスタ (INTSET)	000A16	0016
(6) 割り込み要因判別レジスタ (INTDIS)	000B16	0016
(7) コンペアレジスタ (下位) (CMPL)	001016	0016
(8) コンペアレジスタ (上位) (CMPH)	001116	0016
(9) キャプチャ/コンペアレジスタRWポインタ (CCRP)	001216	0016
(10) キャプチャソフトウェアトリガレジスタ (CSTR)	001316	0016
(11) コンペアレジスタリロードレジスタ (CMPR)	001416	0016
(12) ポートP0P3駆動能力制御レジスタ (DCCR)	001516	0016
(13) ブルアップ制御レジスタ (PULL)	001616	0016
(14) ポートP1P3制御レジスタ (P1P3C)	001716	0016
(15) シリアルI/O1ステータスレジスタ (SIO1STS)	001916	1 0 0 0 0 0 0 0
(16) シリアルI/O1制御レジスタ (SIO1CON)	001A16	0016
(17) UART1制御レジスタ (UART1CON)	001B16	1 1 1 0 0 0 0 0
(18) タイマA、Bモードレジスタ (TABM)	001D16	0016
(19) キャプチャ/コンペアポートレジスタ (CCPR)	001E16	0016
(20) キャプチャ/コンペアタイマソース選択レジスタ (TMSR)	001F16	0016
(21) キャプチャモードレジスタ (CAPM)	002016	0016
(22) コンペア出力モードレジスタ (CMOM)	002116	0016
(23) キャプチャ/コンペアステータスレジスタ (CCSR)	002216	0016
(24) コンペア割り込みソース設定レジスタ (CISR)	002316	0016
(25) タイマA (下位) (TAL)	002416	FF16
(26) タイマA (上位) (TAH)	002516	FF16
(27) タイマB (下位) (TBL)	002616	FF16
(28) タイマB (上位) (TBH)	002716	FF16
(29) プリスケアラ1 (PRE1)	002816	FF16
(30) タイマ1 (T1)	002916	0116
(31) タイマカウントソース設定レジスタ (TCSS)	002A16	0016
(32) タイマXモードレジスタ (TXM)	002B16	0016
(33) プリスケアラX (PREX)	002C16	FF16
(34) タイマX (TX)	002D16	FF16
(35) シリアルI/O2ステータスレジスタ (SIO2STS)	002F16	1 0 0 0 0 0 0 0
(36) シリアルI/O2制御レジスタ (SIO2CON)	003016	0016
(37) UART2制御レジスタ (UART2CON)	003116	1 1 1 0 0 0 0 0
(38) A/D制御レジスタ (ADCON)	003416	0 0 0 1 0 0 0 0
(39) オンチップオシレータ分周比選択レジスタ (RODR)	003716	0 0 0 0 0 0 1 0
(40) MISRG	003816	0016
(41) ウォッチドッグタイマ制御レジスタ (WDTCON)	003916	0 0 1 1 1 1 1 1
(42) 割り込みエッジ選択レジスタ (INTEDGE)	003A16	0016
(43) CPUモードレジスタ (CPUM)	003B16	1 0 0 0 0 0 0 0
(44) 割り込み要求レジスタ1 (IREQ1)	003C16	0016
(45) 割り込み要求レジスタ2 (IREQ2)	003D16	0016
(46) 割り込み制御レジスタ1 (ICON1)	003E16	0016
(47) 割り込み制御レジスタ2 (ICON2)	003F16	0016
(48) フラッシュメモリ制御レジスタ0 (FMCR0) (注3)	0FE016	0 0 0 0 0 0 0 1
(49) フラッシュメモリ制御レジスタ1 (FMCR1) (注3)	0FE116	0 1 0 0 0 0 0 0
(50) フラッシュメモリ制御レジスタ2 (FMCR2) (注3)	0FE216	0 0 0 0 0 0 0 1
(51) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(52) プログラムカウンタ	(PCH)	FFFD16番地の内容
	(PCL)	FFFC16番地の内容

注1. x は不定です。
注2. 上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注3. このレジスタは、フラッシュメモリ版のみにあります。

図 75. リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を、抵抗及びコンデンサを接続することによりRC発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

(1) オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子をVccに接続し、XOUT端子は開放としてください。

なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) セラミック共振子を使用する場合

メインクロックにセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続してください。帰還抵抗は内蔵しております。

(3) RC 発振を使用する場合

メインクロックにRC 発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC 発振用の抵抗RおよびコンデンサCの定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

(4) 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放してください。

なおCPUモードレジスタ(003B16番地)の発振方式選択ビットは“0”(セラミック共振子)を選択してください。

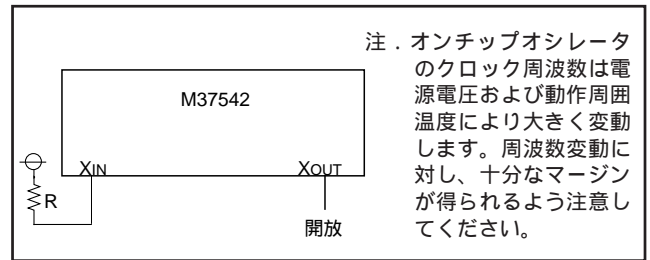


図76．オンチップオシレータ動作時のXIN、XOUT端子の処理

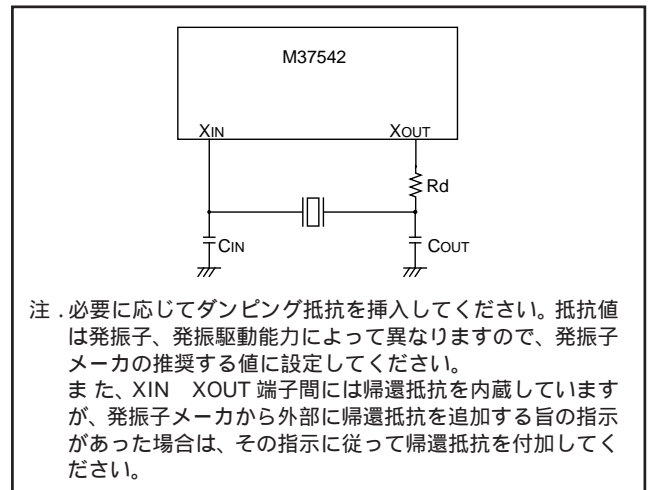


図77．セラミック共振子外付け回路

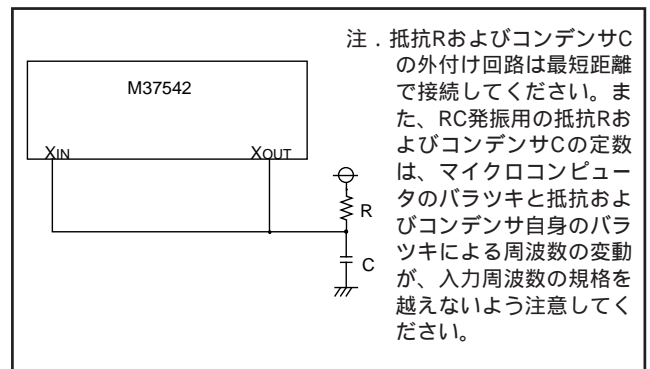


図78．RC外付け発振回路

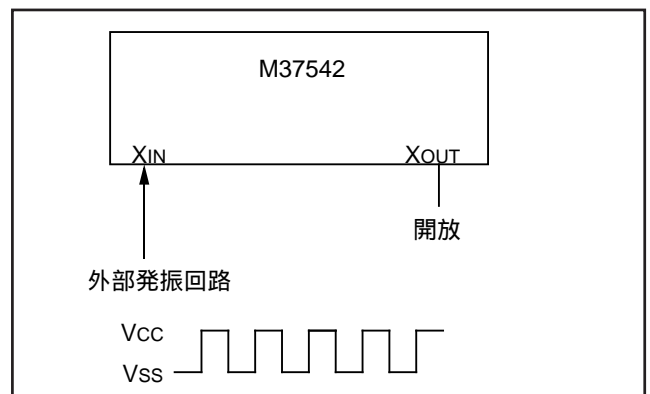


図79．外部クロック入力回路

発振制御

(1)ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが“0”のとき、タイマ1には“0116”、プリスケラ1には“FF16”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”のときは、タイマ1、プリスケラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケラ1の入力にはXINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加するか、リセット解除後、発振が安定するまでの間オンチップオシレータ動作で待ち時間を設定してください。

FLASH版では、STP命令実行時は消費電流低減のために内部電源回路を低消費電力モードに切り替えています。

STP命令からの復帰時には、内部電源回路を通常動作モードに切り替えますが、FLASHへの電源供給が開始されてFLASHが動作可能になるまでに一定の時間を要するので、FLASH版ではタイマ1を使用したSTP命令解除後発振安定時間設定機能にて、100 μ s以上の待ち時間を設定してください。

(2)ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。

クロック発生回路に関する注意事項

STP命令解除後発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケラ1に値を設定してください。

・セラミック発振とRC発振の切り替え

リセット解除後は、内蔵のオンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

・倍速モードについて

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU“M37542RSS”は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図84の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

・カウントソース(タイマ1、タイマA、タイマB、シリアルI/O1、シリアルI/O2、A/Dコンバータ、ウォッチドッグタイマ)

ウォッチドッグタイマのカウントソースは、CPUモードレジスタのクロック分周比選択ビットの影響を受けます。

CPUクロックにf(XIN)発振を選択している場合はf(XIN)クロックが、CPUクロックにオンチップオシレータ出力を選択している場合は、オンチップオシレータ出力がウォッチドッグタイマに供給されます。

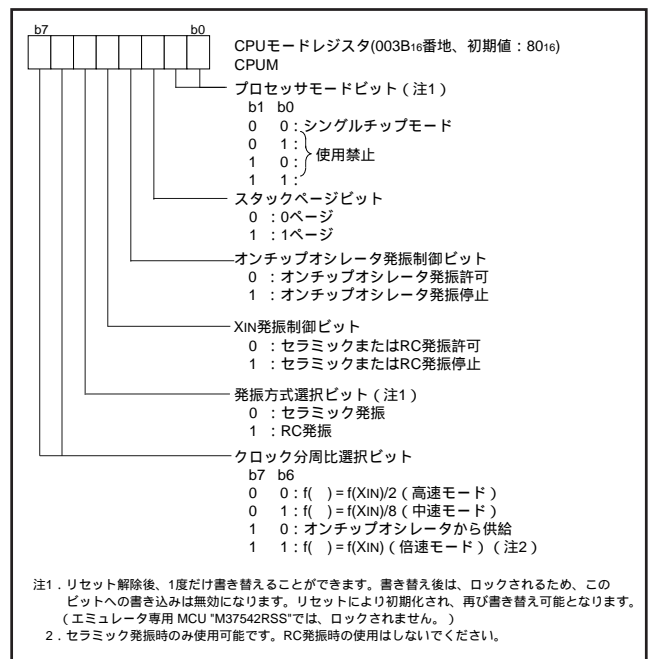


図80. CPUモードレジスタの構成

オンチップオシレータ分周比

オンチップオシレータ分周比切り替え

オンチップオシレータモードでは、オンチップオシレータ分周比選択レジスタの設定により、CPUへの供給クロックを分周なし、2分周、8分周、128分周から選択可能です。なお、周辺回路への供給クロックは、オンチップオシレータ分周比選択レジスタの設定値の影響は受けません。

オンチップオシレータに関する注意事項

1. リセット解除後は、CPUへの供給クロックはオンチップオシレータの8分周が選択されます。
2. セラミック発振又はRC発振からオンチップオシレータ動作モードに切り替えた場合は、CPUへの供給クロックはオンチップオシレータの8分周が選択されます。
3. XINクロックを使用せず、オンチップオシレータのみでマイコンを動作させる場合は、下記の設定を行ってください。
 - ・CPUモードレジスタ . . . "10010x002" (x=0又は1)
 - ・XIN端子 . . . 抵抗を介してVccに接続してください。
 - ・XOUT端子 開放してください。

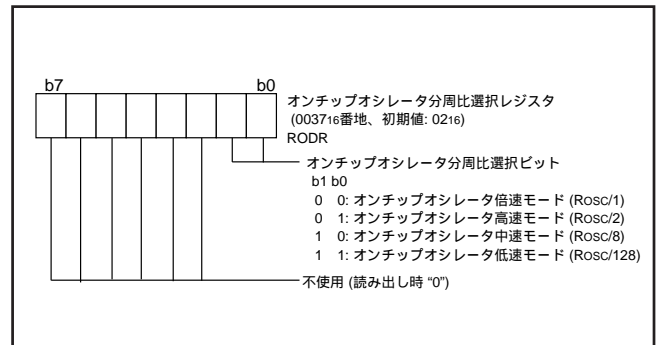


図 81 . オンチップオシレータ分周比選択レジスタの構成

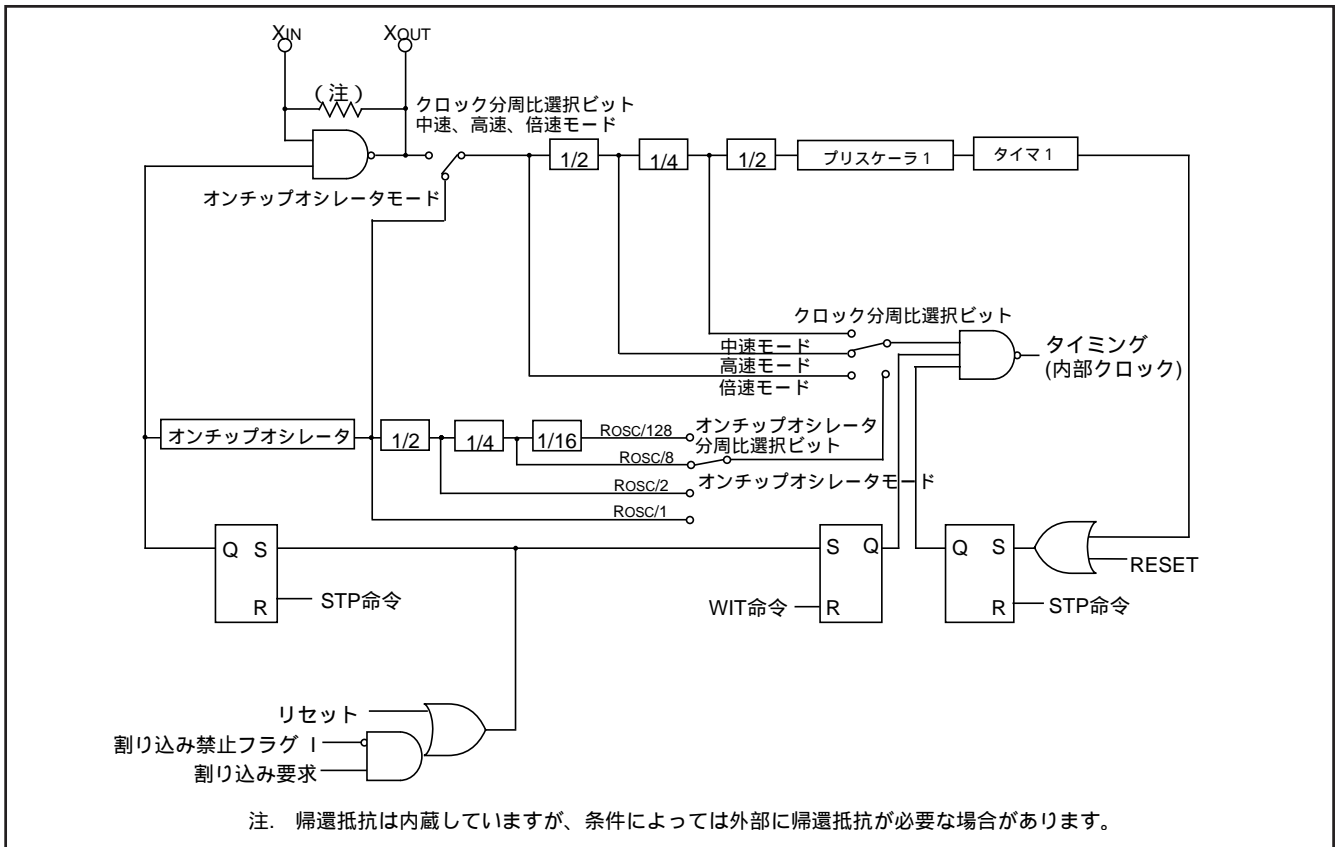


図 82 . システムクロック発生回路ブロック図 (セラミック発振時)

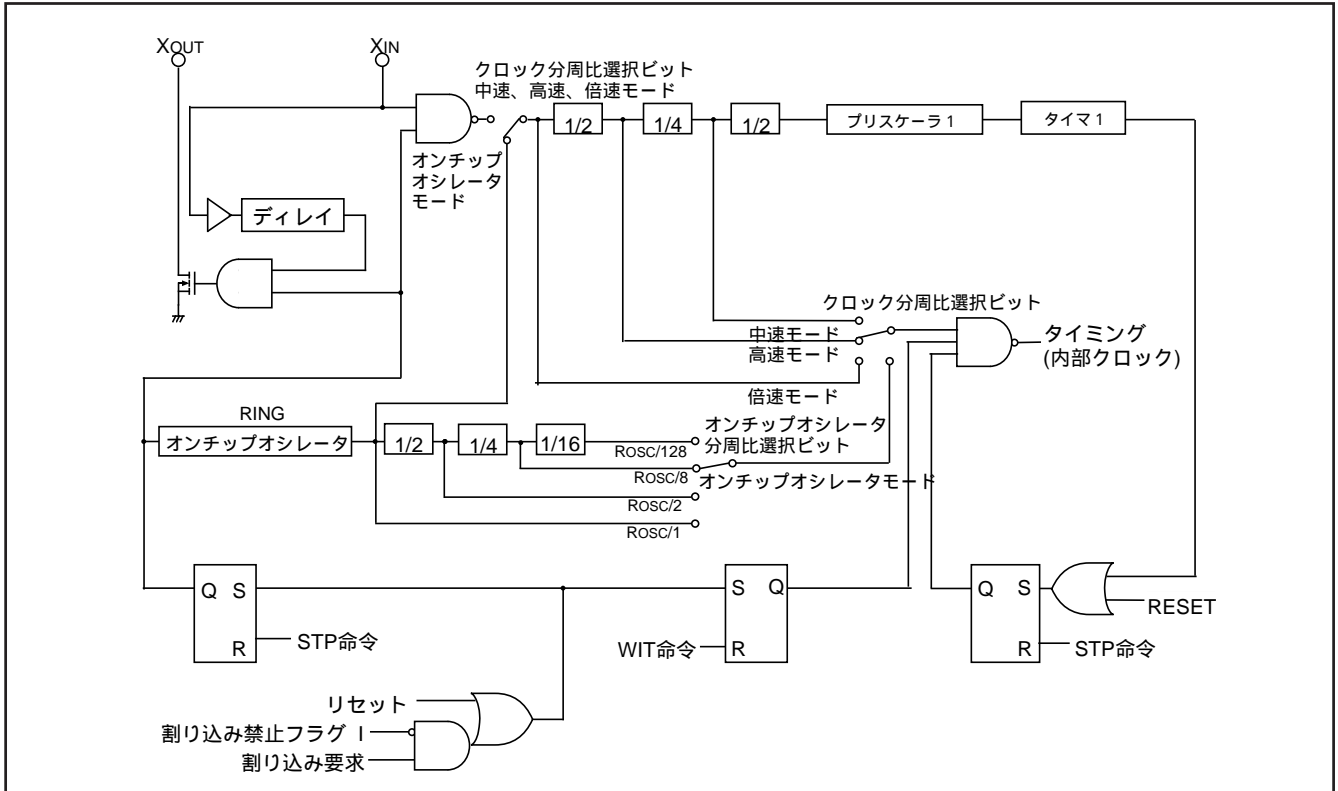
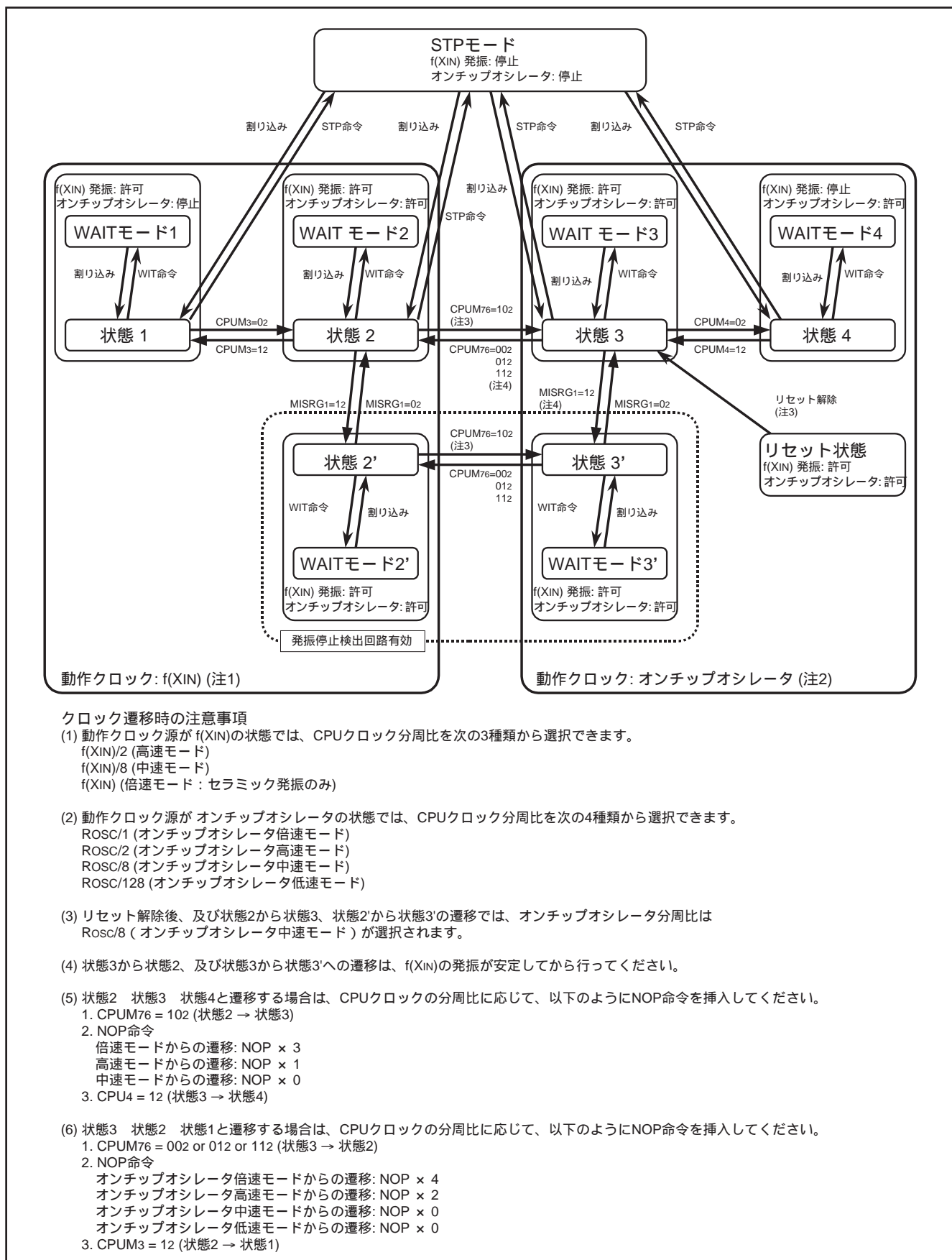


図 83 . システムクロック発生回路ブロック図 (RC 発振時)



クロック遷移時の注意事項

(1) 動作クロック源が f(XIN) の状態では、CPU クロック分周比を次の3種類から選択できます。

- f(XIN)/2 (高速モード)
- f(XIN)/8 (中速モード)
- f(XIN) (倍速モード: セラミック発振のみ)

(2) 動作クロック源が オンチップオシレータ の状態では、CPU クロック分周比を次の4種類から選択できます。

- ROSC/1 (オンチップオシレータ倍速モード)
- ROSC/2 (オンチップオシレータ高速モード)
- ROSC/8 (オンチップオシレータ中速モード)
- ROSC/128 (オンチップオシレータ低速モード)

(3) リセット解除後、及び状態2から状態3、状態2'から状態3'の遷移では、オンチップオシレータ分周比は Rosc/8 (オンチップオシレータ中速モード) が選択されます。

(4) 状態3から状態2、及び状態3から状態3'への遷移は、f(XIN) の発振が安定してから行ってください。

(5) 状態2 状態3 状態4と遷移する場合は、CPU クロックの分周比に応じて、以下のようにNOP命令を挿入してください。

1. CPUM76 = 102 (状態2 → 状態3)
2. NOP命令
 - 倍速モードからの遷移: NOP × 3
 - 高速モードからの遷移: NOP × 1
 - 中速モードからの遷移: NOP × 0
3. CPU4 = 12 (状態3 → 状態4)

(6) 状態3 状態2 状態1と遷移する場合は、CPU クロックの分周比に応じて、以下のようにNOP命令を挿入してください。

1. CPUM76 = 002 or 012 or 112 (状態3 → 状態2)
2. NOP命令
 - オンチップオシレータ倍速モードからの遷移: NOP × 4
 - オンチップオシレータ高速モードからの遷移: NOP × 2
 - オンチップオシレータ中速モードからの遷移: NOP × 0
 - オンチップオシレータ低速モードからの遷移: NOP × 0
3. CPUM3 = 12 (状態2 → 状態1)

図 84 . クロック発生回路状態遷移図

発振停止検出回路

発振停止検出回路は、セラミック発振子又は発振回路の断線などによる発振の停止を検出します。発振停止検出回路を使用する場合は、オンチップオシレータを動作させる必要があります。

発振停止検出回路は、セラミック又はRC発振停止検出機能有効ビットを“1”に設定することで有効となります。発振停止検出回路が有効な状態では、セラミック又はRC発振回路の動作状態をオンチップオシレータで監視し、発振の停止を検出した場合に発振停止検出ステータスビットが“1”になります。また、発振停止リセット許可ビットを“1”に設定することで、発振停止検出時に内部リセットが発生します。

セラミック又はRC発振停止検出機能有効ビットおよび発振停止検出ステータスビットは、発振停止リセットが発生した場合は初期化されず“1”を保持します。外部リセットの場合は“0”に初期化されますので、発振停止検出ステータスビットを確認することによって、発振停止検出リセットを判断できます。

発振停止検出ステータスビットはセラミック又はRC発振停止検出機能有効ビットへの“0”書き込みで“0”になります。発振停止検出回路を有効にするときは、一度セラミック又はRC発振停止検出機能有効ビットへ“0”を書いて発振停止検出ステータスビットを“0”にしてから、セラミック又はRC発振停止検出機能有効ビットを“1”にしてください。

発振停止を検出できるクロックは、セラミック発振、RC発振、外部クロック入力です。検出できる周波数は電気的特性を参照してください。

発振停止検出回路に関する注意事項

「図86：発振停止検出回路の状態遷移図」に記載の「状態2 a」では、XINの発振が停止した場合でもリセットが発生せず、マイコンが停止しますので、“状態2 a”への遷移は行わないでください。

発振停止検出リセット後、セラミック又はRC発振停止検出機能有効ビット、発振停止検出ステータスビットを保持したまま発振停止検出リセットを許可にすると、再度リセットが発生します。

発振停止検出ステータスビットは、以下の場合に初期化されます。

- ・外部リセット
- ・セラミック又はRC発振停止検出機能有効ビットへの“0”書き込み。

発振停止検出機能有効時、ウォッチドッグタイマのアンダフローで発振停止検出ステータスビットが“1”になる場合があります。発振停止検出リセット発生時、発振停止を再度確認してください。

発振停止検出回路はエミュレータ専用MCU「M37542RSS」にはありません。

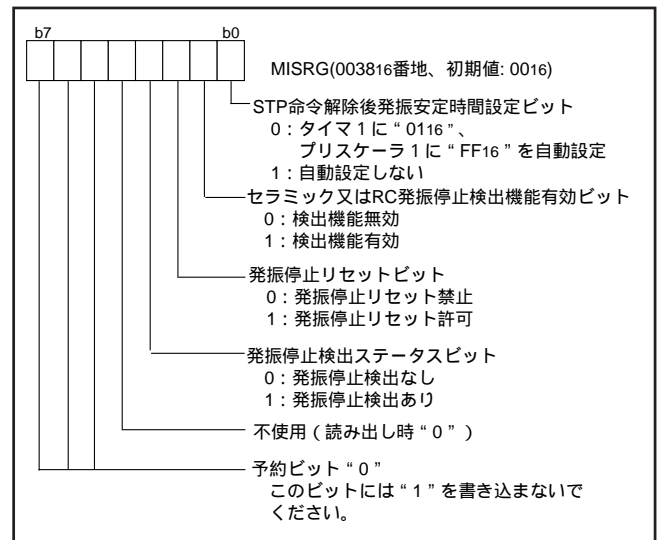
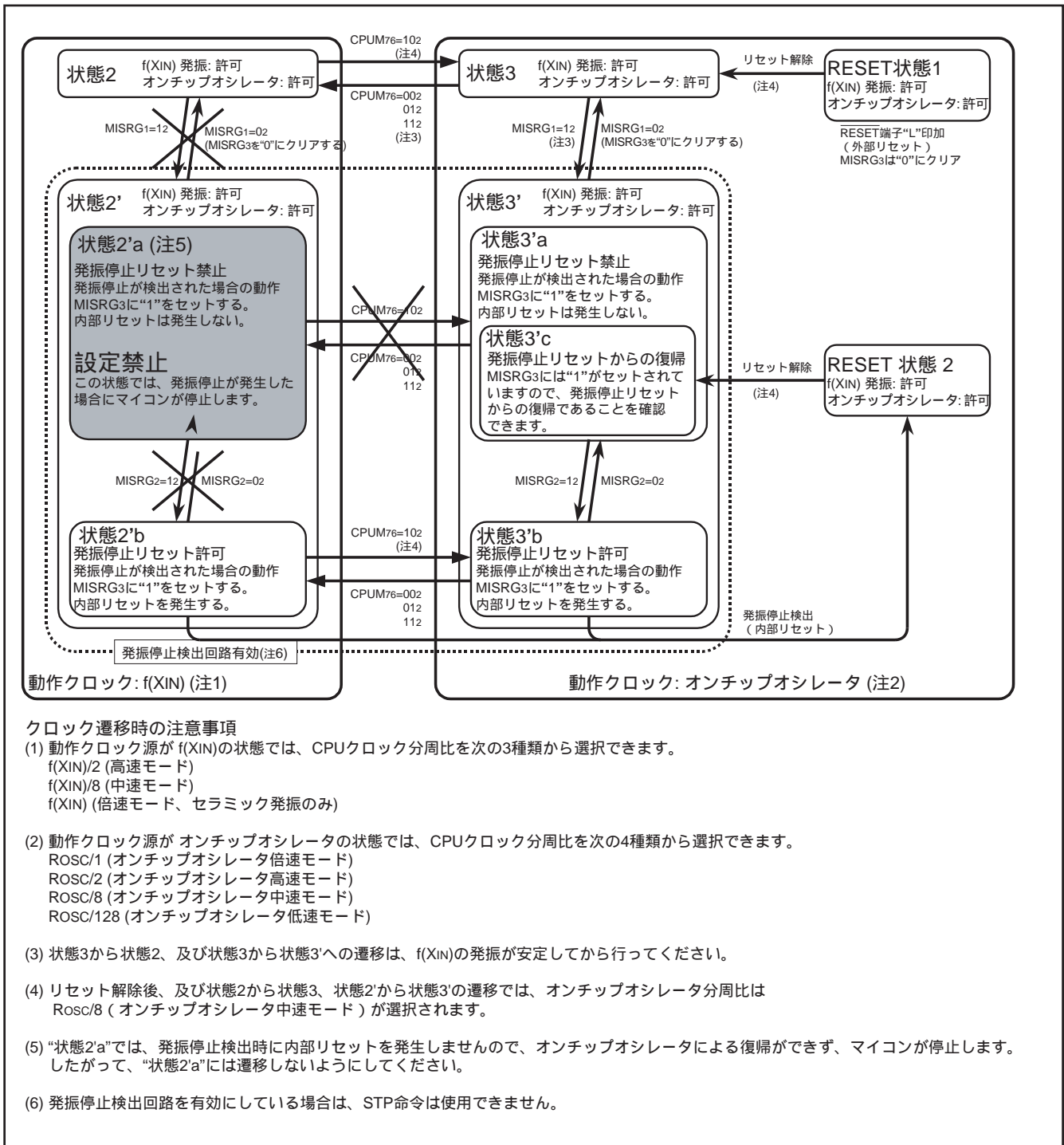


図85 . MISRG の構成



クロック移行時の注意事項

- 動作クロック源が f(XIN) の状態では、CPU クロック分周比を次の3種類から選択できます。
 - f(XIN)/2 (高速モード)
 - f(XIN)/8 (中速モード)
 - f(XIN) (倍速モード、セラミック発振のみ)
- 動作クロック源が オンチップオシレータ の状態では、CPU クロック分周比を次の4種類から選択できます。
 - ROSC/1 (オンチップオシレータ倍速モード)
 - ROSC/2 (オンチップオシレータ高速モード)
 - ROSC/8 (オンチップオシレータ中速モード)
 - ROSC/128 (オンチップオシレータ低速モード)
- 状態3 から状態2、及び状態3 から状態3' への移行は、f(XIN) の発振が安定してから行ってください。
- リセット解除後、及び状態2 から状態3、状態2' から状態3' の移行では、オンチップオシレータ分周比は Rosc/8 (オンチップオシレータ中速モード) が選択されます。
- "状態2'a" では、発振停止検出時に内部リセットを発生しませんので、オンチップオシレータによる復帰ができず、マイコンが停止します。したがって、"状態2'a" には遷移しないようにしてください。
- 発振停止検出回路を有効にしている場合は、STP 命令は使用できません。

図 86 . 発振停止検出回路の状態遷移

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが「1」であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- ・10進演算を行う場合は、10進モードフラグDを「1」に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) A/D変換

A/D変換中はSTP命令を実行しないでください。

(6) 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時XINと同一、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。

(7) CPUモードレジスタ

発振方式選択ビット、プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後は、ロックされるため、このビットへの書き込みは、無効になります。(エミュレータ専用MCUは除きます)

クロック分周比選択ビットの倍速モードは、セラミック発振時のみ使用可能です。RC発振時は、使用しないでください。

動作クロック源に選択しているクロックをビット3、4により停止させないでください。

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF~0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書*
- (2)マーク指定書*

*マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページROM発注(<http://www.renesas.com/jp/rom>)を参照してください。

使用上の注意

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

1. 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

<理由>

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

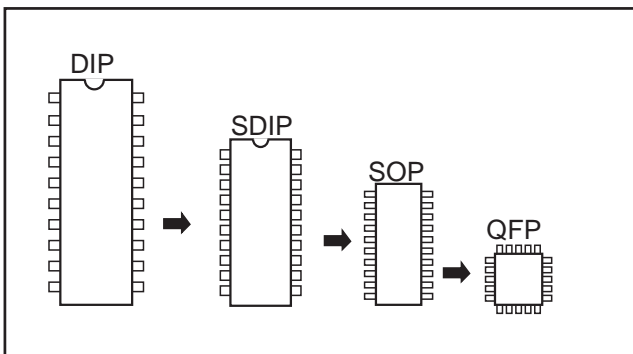


図 87 . パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

<理由>

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

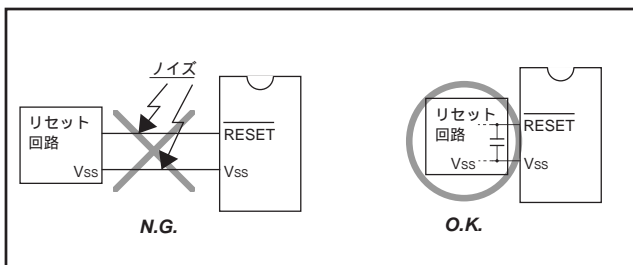


図 88 . リセット入力端子の配線

(3) クロック入出力端子の配線

- ・ クロック入出力端子に接続する配線は短くしてください。
- ・ 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・ 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

<理由>

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

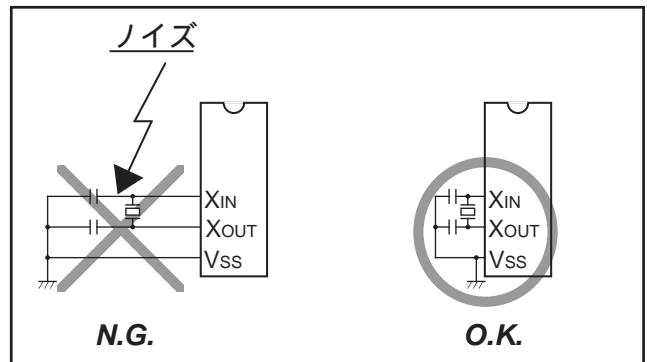


図 89 . クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

また、フラッシュメモリ版のシリアル書き換え用回路の配線は、マイコンモードで動作させる時は、ジャンパ等で切り離してください。

<理由>

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

また、フラッシュメモリ版のシリアル書き換え用回路の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。

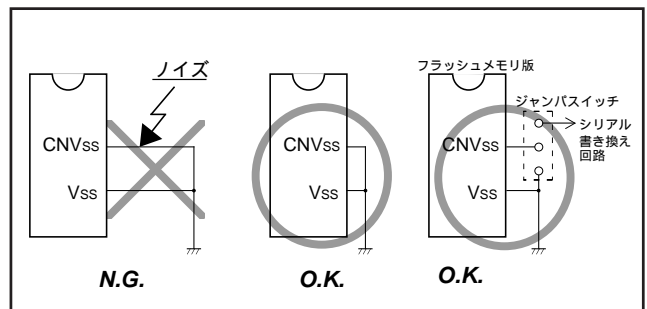


図 90 . CNVss 端子の配線

2. Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

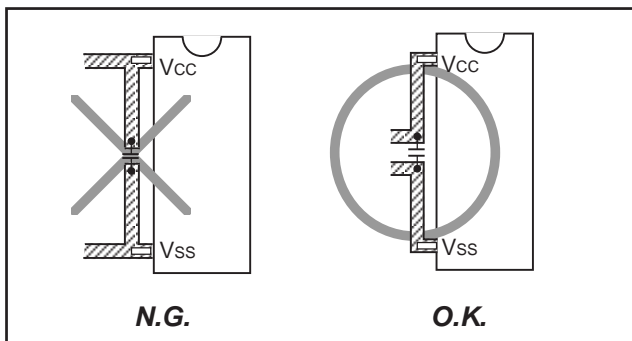


図91 . VSS - VCCライン間のバイパスコンデンサ

3. アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100 ~ 1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

<理由>

通常、アナログ入力端子(A/Dコンバータ/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれ易くなります。

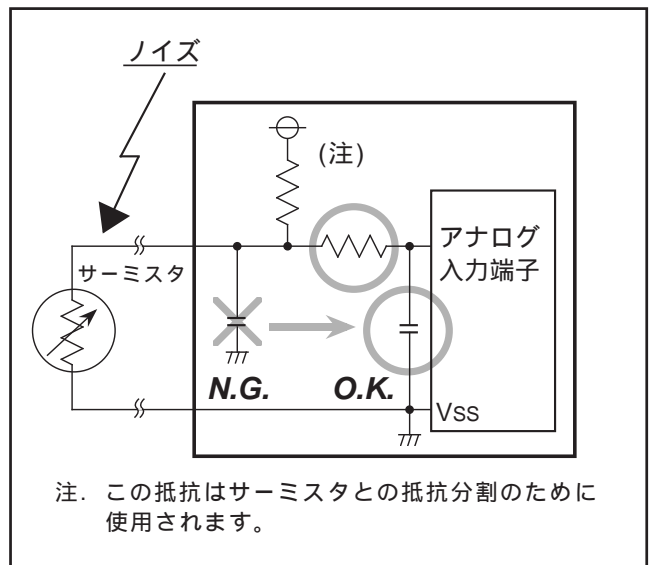


図92 . アナログ信号線と抵抗及びコンデンサ

- ・アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

4. 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

<理由>

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

(3) Vssパターンによる保護

両面基板の場合、発振子を実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

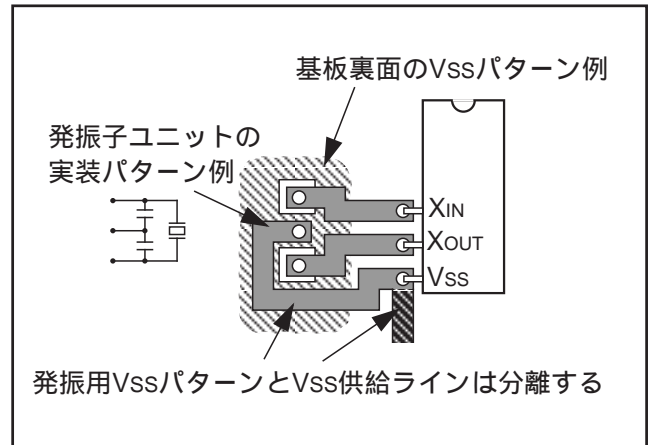


図94. 発振子の裏面のVssパターン

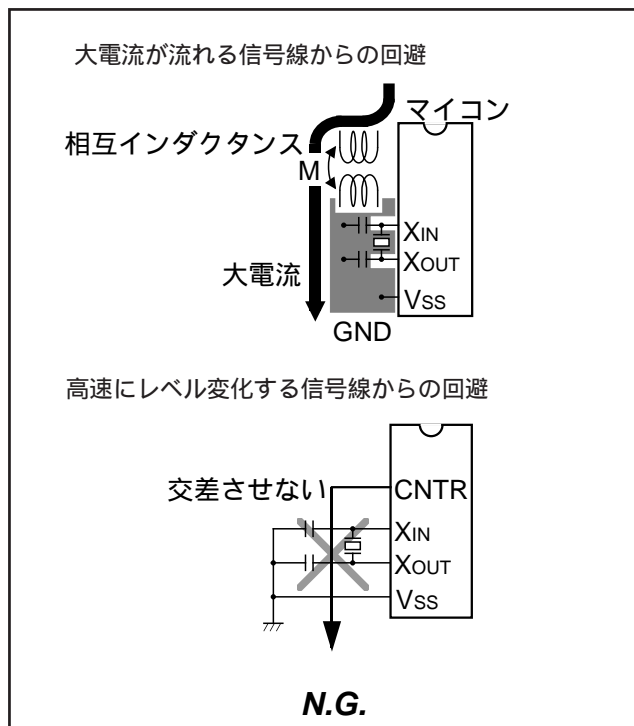


図93. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

5. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

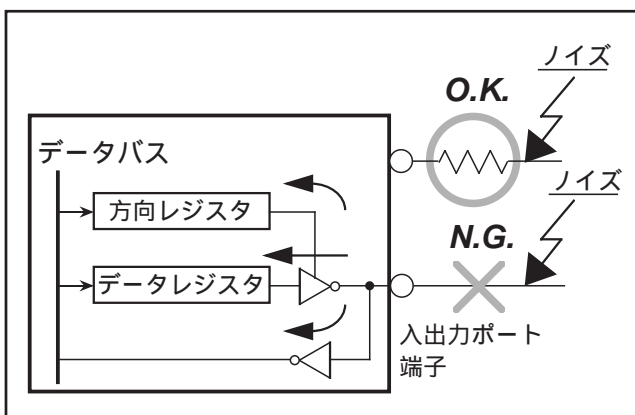


図 95 . 入出力ポート処理

6. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- ・RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注 . メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- ・SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。

- ・割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- ・SWDTの内容を1回の割り込み処理で1減算します。
- ・ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- ・SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

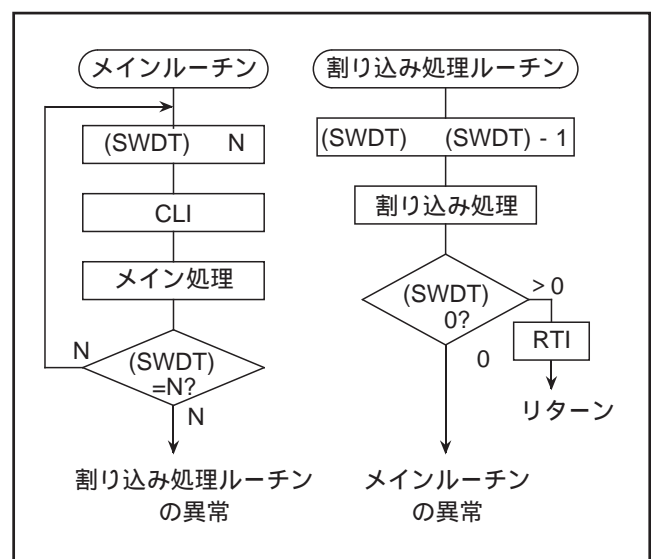


図 96 . ソフトウェアによるウォッチドッグタイマ

フラッシュメモリモード

7542グループ(フラッシュメモリ版)は、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図97に示すようにフラッシュメモリは、いくつかのブロッ

クに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

性能概要

表9に7542グループ(フラッシュメモリ版)の性能概要を示します。

表9. 7542グループ(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧		Vcc = 2.7 ~ 5.5V
プログラム/イレーズ時の温度		Ta = 0 ~ 60
プログラム/イレーズ電圧		Vcc = 2.7 ~ 5.5V
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域/ データROM領域	図97を参照してください。
	ブートROM領域 (注)	分割なし(4Kバイト)
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		5コマンド
プログラム/イレーズ回数		100
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図97に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P37(RP)端子を“L”、P32(CE)端子を“H”、P06/SCLK端子を“L”、P05/TxD2端子を“H”にした後にCNVss端子を“H”に立ち上げ、リセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFF₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図97に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

機能概要

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE0₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

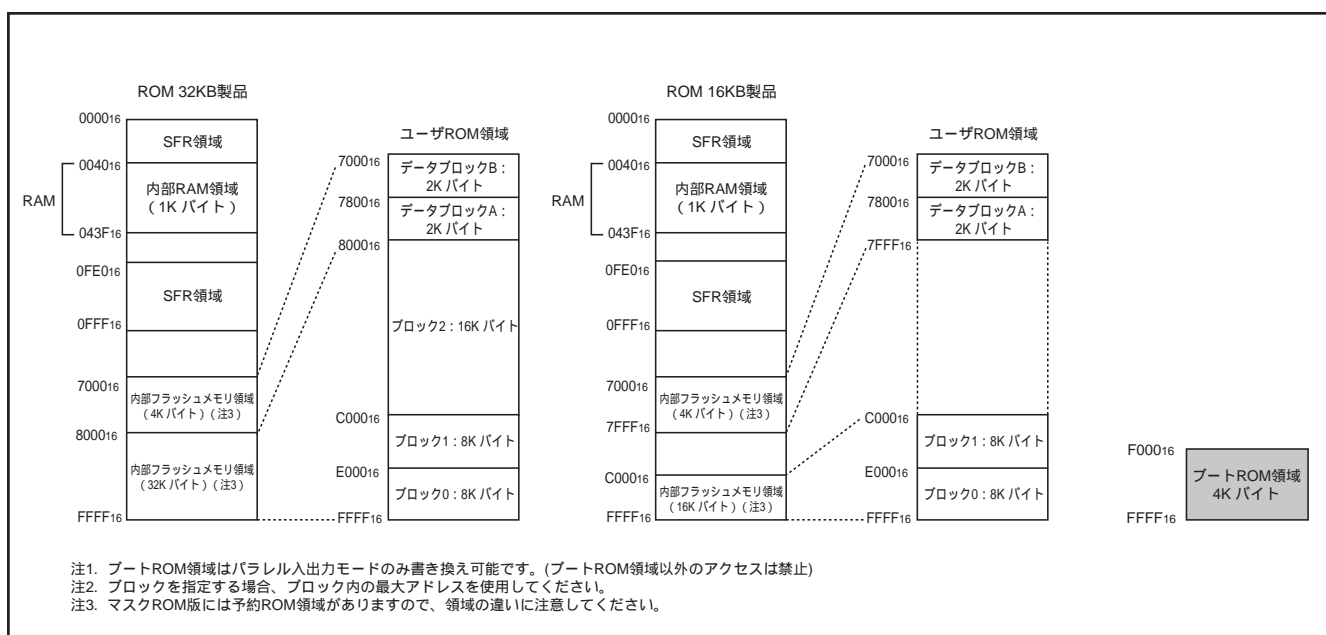


図97. 内蔵フラッシュメモリのブロック図

【フラッシュメモリ制御レジスタ】FMCR0 ~ FMCR2

図98にフラッシュメモリ制御レジスタ0を示します。

ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には「0」(ビジー)、これ以外のときには「1」(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに「1」を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に「1」を設定するには、ビット1への「0」書き込み、「1」書き込みを連続して行う必要があります。「0」設定は、「0」書き込みだけで行えます。

ビット2は8KBユーザーブロックE/W許可ビットです。このビットとフラッシュメモリ制御レジスタ2(0FE216番地)のビット4(全ユーザーブロックE/W許可ビット)を組み合わせることで、表10に示すように、CPU書き換えモード時にユーザーブロックに対してE/Wが禁止されます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが「1」の状態、このビット3に「1」を書き込むと、リセットが実行されます。リセットを解除するには、次に「0」を書き込む必要があります。

ビット5はユーザーROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに「1」を設定すると、アクセスされるROM領域がブートROMからユーザーROMに切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを「1」に設定してください。なお、ユーザーROM領域で立ち上げた場合には常にユーザーROM領域のみアクセス可能で、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードかどうかにかかわらず有効です。このビット5の書き換えは、RAM上に転送した制御プログラムで行ってください。

ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に「1」になります。プログラムエラーが発生した場合、そのブロックは使用できません。

ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に「1」になります。イレーズエラーが発生した場合、そのブロックは使用できません。

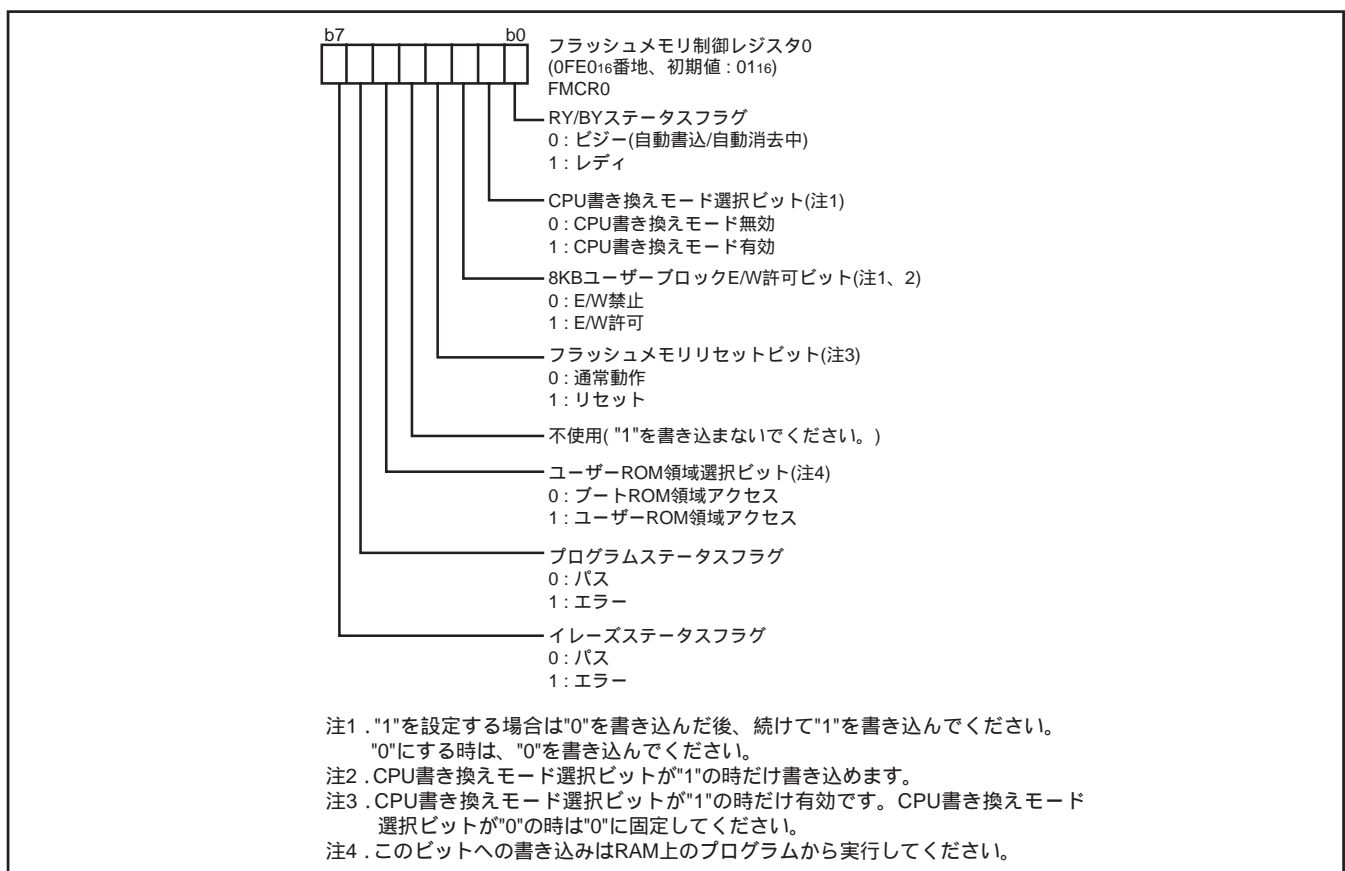


図98. フラッシュメモリ制御レジスタ0の構成

図99にフラッシュメモリ制御レジスタ1を示します。

ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。このビットに“1”を設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

図100にフラッシュメモリ制御レジスタ2を示します。

ビット4は全ユーザーブロックE/W許可ビットです。このビットを“0”に設定すると、ユーザーブロック全体(ブロック0、1、2)をE/W禁止に設定できます。これにより、データブロックのみを書き換えるプログラムでの誤書き込みを防止します。

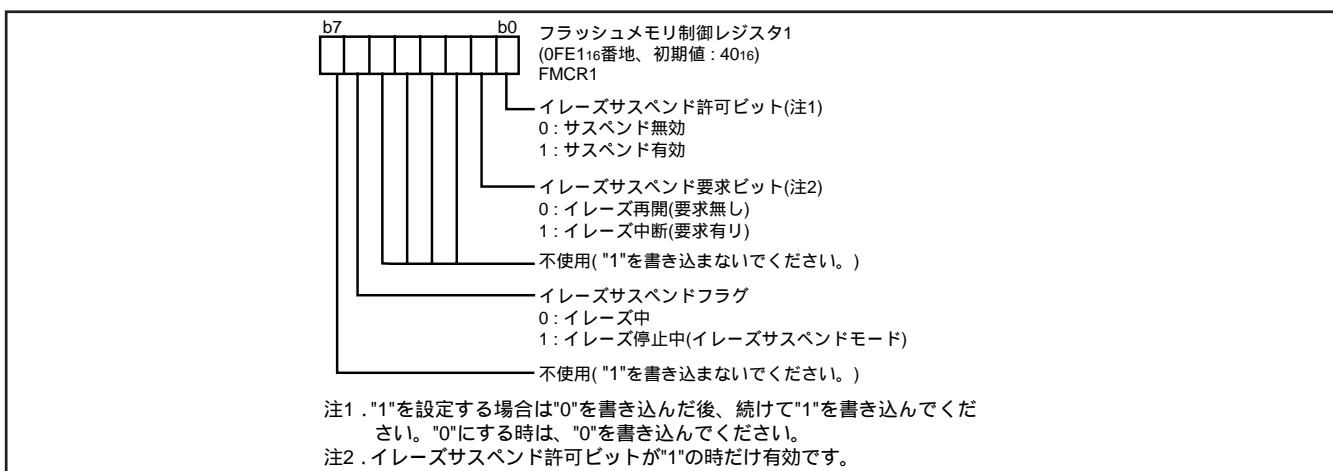


図99. フラッシュメモリ制御レジスタ1の構成

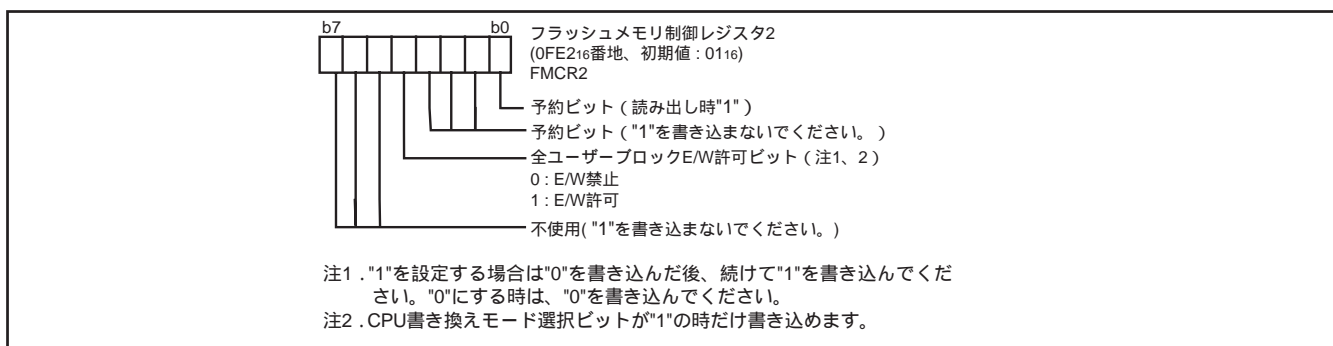


図100. フラッシュメモリ制御レジスタ2の構成

表10. 書き込み禁止機能の状態

CPU書き換えモード 選択ビット	全ユーザーブロック E/W許可ビット	8KBユーザーブロック E/W許可ビット	ブロック0: 8KB ブロック1: 8KB	ブロック2: 16KB	データブロックA: 2KB データブロックB: 2KB
0	0	0	E/W 禁止 (RESET)	E/W 禁止 (RESET)	E/W 禁止 (RESET)
0	0	1	E/W 禁止	E/W 禁止	E/W 禁止
0	1	0	E/W 禁止	E/W 禁止	E/W 禁止
0	1	1	E/W 禁止	E/W 禁止	E/W 禁止
1	0	0	E/W 禁止	E/W 禁止	E/W 許可
1	0	1	E/W 禁止	E/W 禁止	E/W 許可
1	1	0	E/W 禁止	E/W 許可	E/W 許可
1	1	1	E/W 許可	E/W 許可	E/W 許可

図101にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

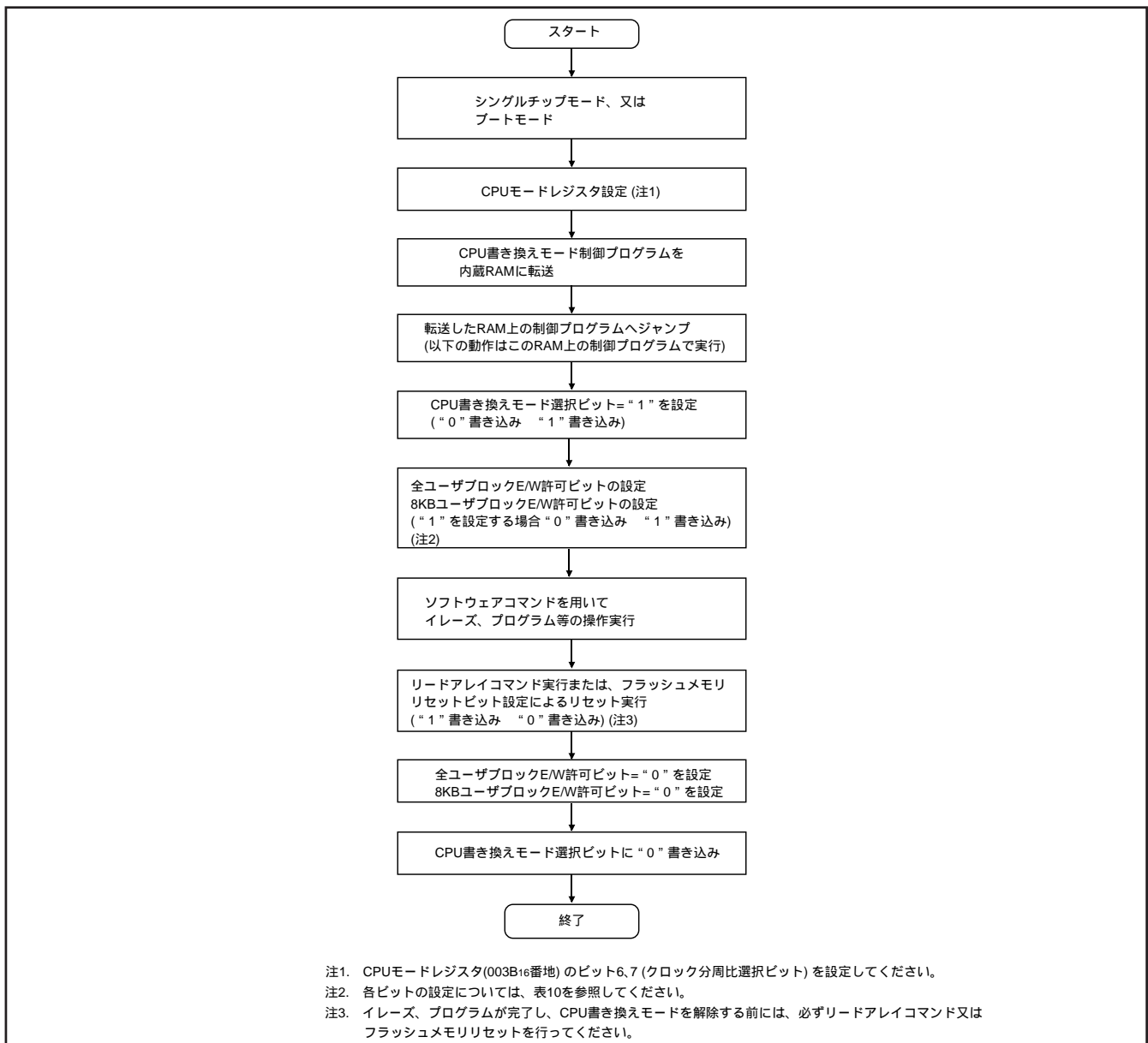


図101. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、クロック分周比選択ビット(003B16番地のビット6,7)によって、システムクロックが4.0MHz以下になるように設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNVSS = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表11にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

- ・リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0～D7)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

- ・リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

- ・クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

- ・プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0～D7)へ読

み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF16”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

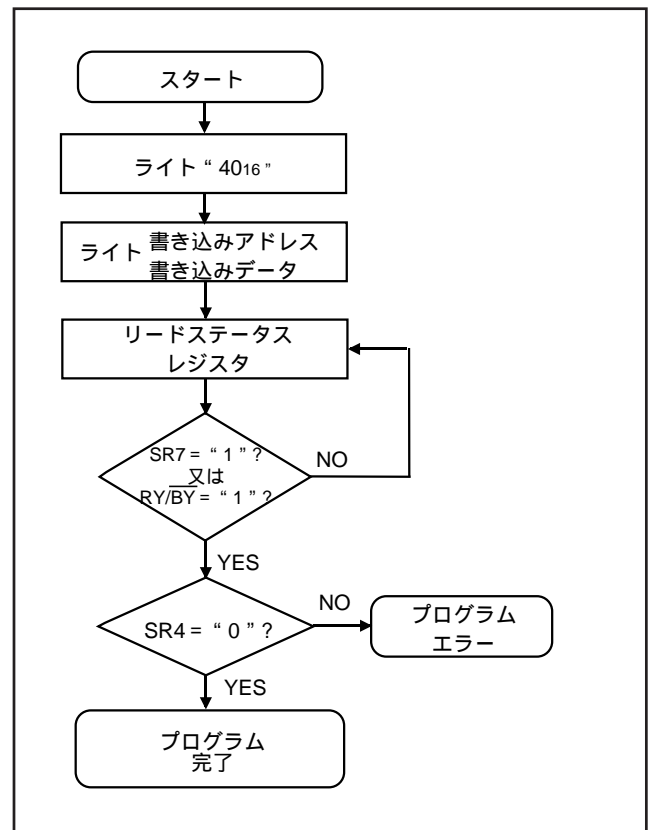


図102. プログラムフローチャート

表11. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D7～D0)	モード	アドレス	データ (D7～D0)
リードアレイ	1	ライト	X (注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA (注2)	WD (注2)
ブロックイレーズ	2	ライト	X	2016	ライト	BA (注3)	D016

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス, WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

・ブロックイレーズ(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 20₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、又はRY/B \bar{Y} ステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで継続されます。

RY/B \bar{Y} ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

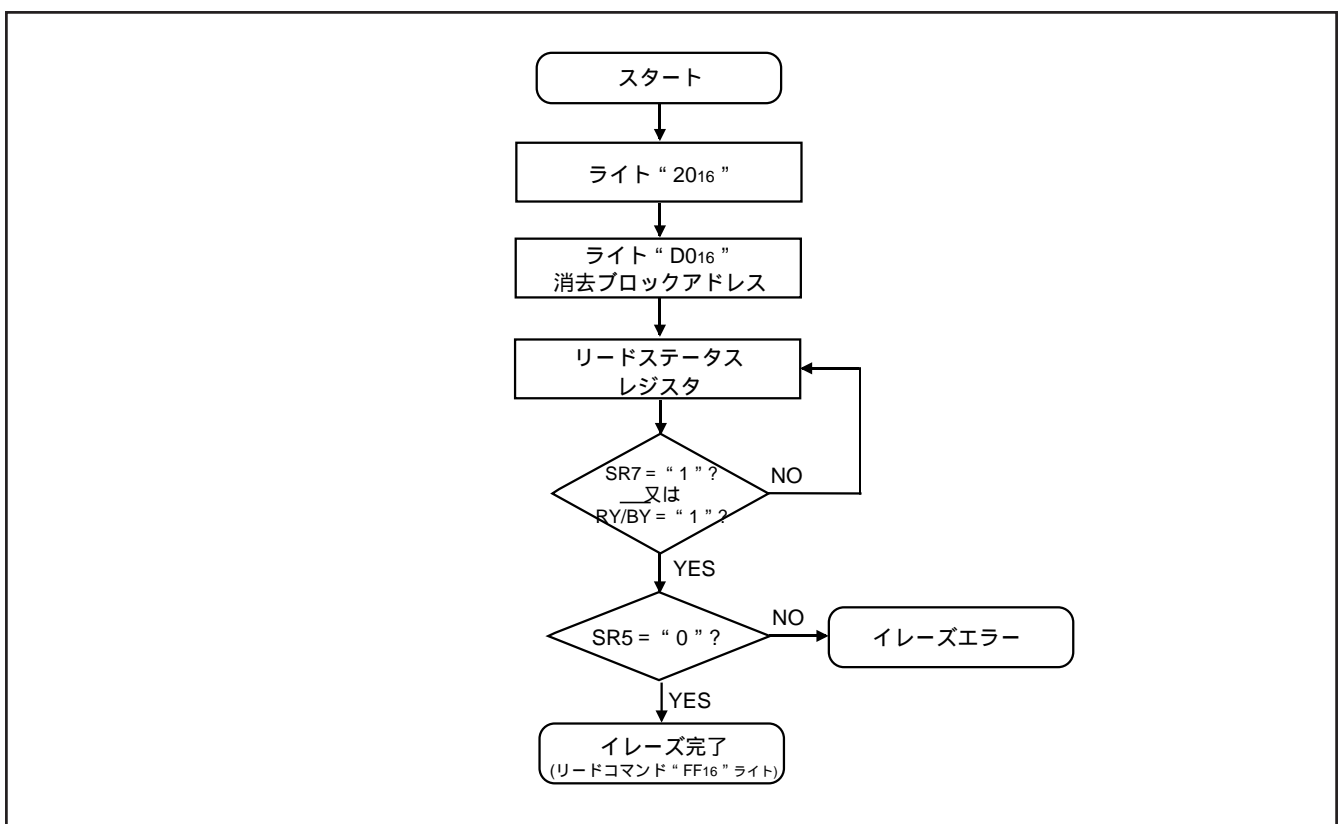


図103. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1)リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2)プログラム開始又はイレーズ開始から、リードアレイクマンド(FF₁₆)入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

- (1)クリアステータスレジスタコマンド(50₁₆)をライトしたとき
- 表12にステータスレジスタの各ビットの定義を示します。
リセット解除後、ステータスレジスタは、“80₁₆”になります。

・シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

・イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。
イレーズステータスはクリアされると“0”になります。

・プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。
プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレイクマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表12. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。

図104にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

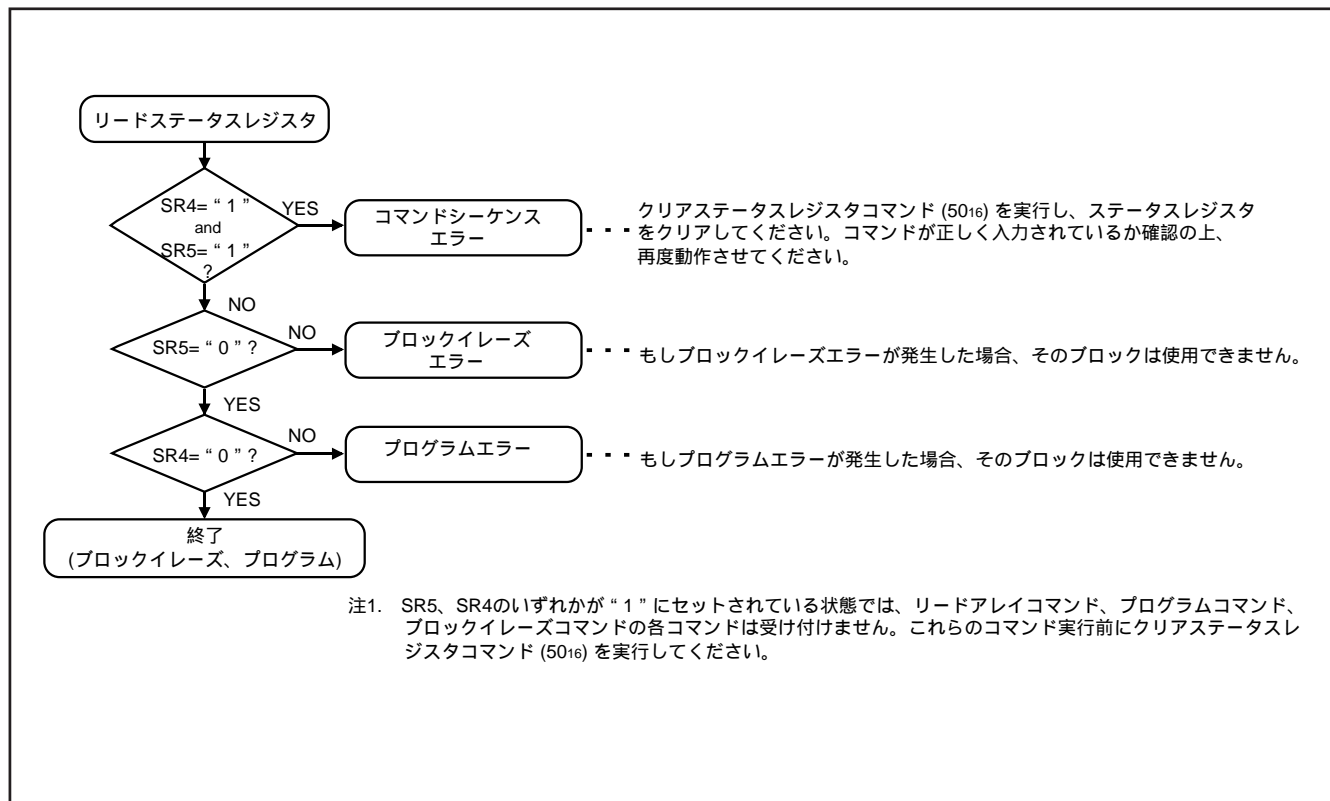


図104. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出し又は書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

・ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図105に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出し又は書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モードなど、他のモードで書き換えてください。

なお、ROMコードプロテクト制御番地(FFDB₁₆番地)だけの書き換えはできません。書き換えの際にはROMコードプロテクト制御番地を含むユーザROM領域(ブロック0)全体を書き換えてください。

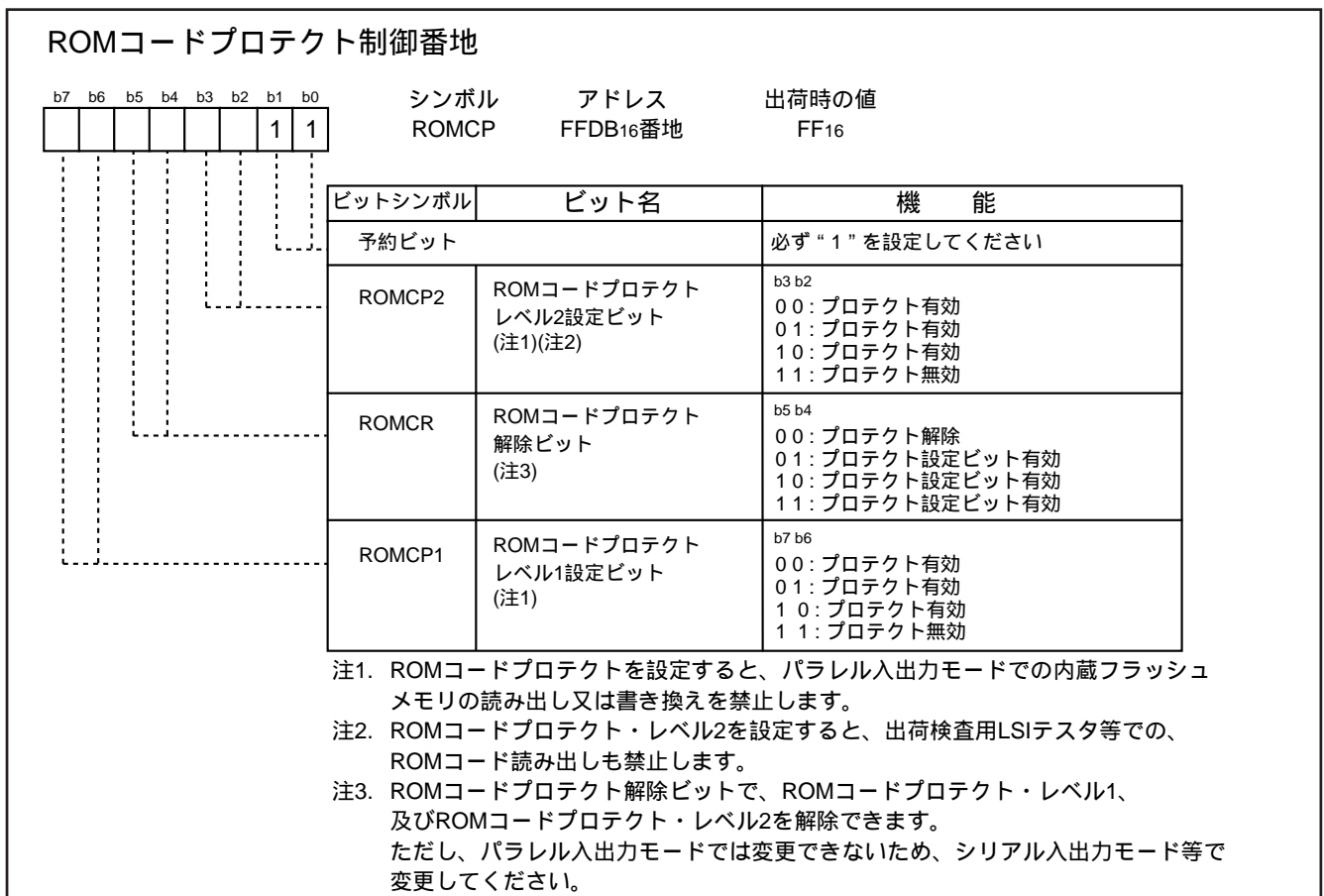


図105. ROMコードプロテクト制御番地の構成

・IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライタから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4₁₆～FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

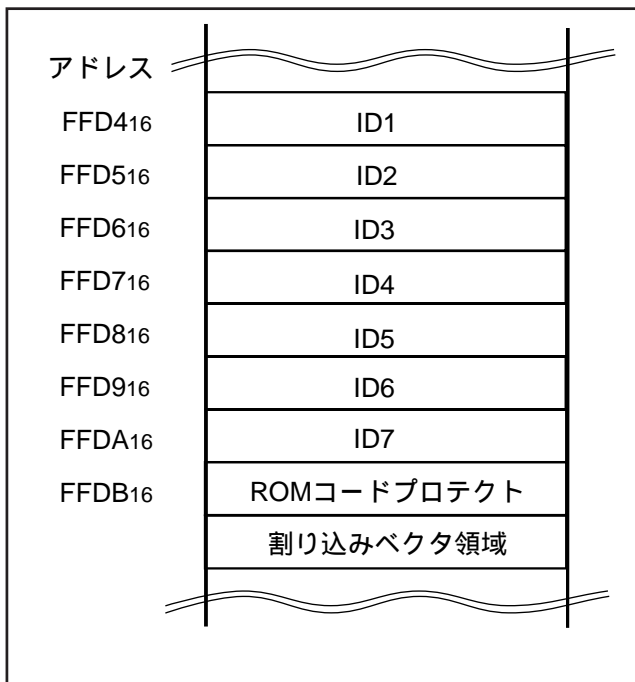


図106. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

7542グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

・ ユーザROM領域とブートROM領域

パラレル入出力モードでは、図97に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P37(RP)端子を“L”、P32(CE)端子を“H”、P06/SCLK2端子を“L”、P05/TxD2端子を“H”にした後に、CNVss端子を“H”に立ち上げ、リセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。

標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード1とクロック非同期形シリアルの標準シリアル入出力モード2があります。

表13に標準シリアル入出力モード1の端子の機能説明を、図107～図109に標準シリアル入出力モード1の端子結線図を示します。

表14に標準シリアル入出力モード2の端子の機能説明を、図112～図114に標準シリアル入出力モード2の端子結線図を示します。

標準シリアル入出力モードでは、図97に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するかを判定します。IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

(1)標準シリアル入出力モード1

表13．端子の機能説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
Vcc,Vss	電源入力	入力	Vccには2.7V～5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”に立ち上げてください。
RESET	リセット入力	入力	リセット入力端子です。CNVss端子を“H”に立ち上げた後にRESETを“H”にすると、マイコンが動作を始めます。
XIN	クロック入力	入力	XIN端子,XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。 (オンチップオシレータのみで動作させる場合は、外付け回路は不要です。)
XOUT	クロック出力	出力	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00～P03	入出力ポートP0	入出力	“H”を入力、“L”を入力、又は開放してください。
P04	RxD入力	入力	シリアルデータの入力端子です。
P05	TxD出力	出力	シリアルデータの出力端子です。
P06	SCLK入力	入力	シリアルクロックの入力端子です。
P07	BUSY出力	出力	BUSY信号の出力端子です。
P10～P14	入出力ポートP1	入出力	“H”を入力、“L”を入力、又は開放してください。
P20～P27	入出力ポートP2	入出力	“H”を入力、“L”を入力、又は開放してください。
P30, P31, P33～P36	入出力ポートP3	入出力	“H”を入力、“L”を入力、又は開放してください。
P32	CE入力	入力	“H”を入力してください。
P37	RP入力	入力	“L”を入力してください。

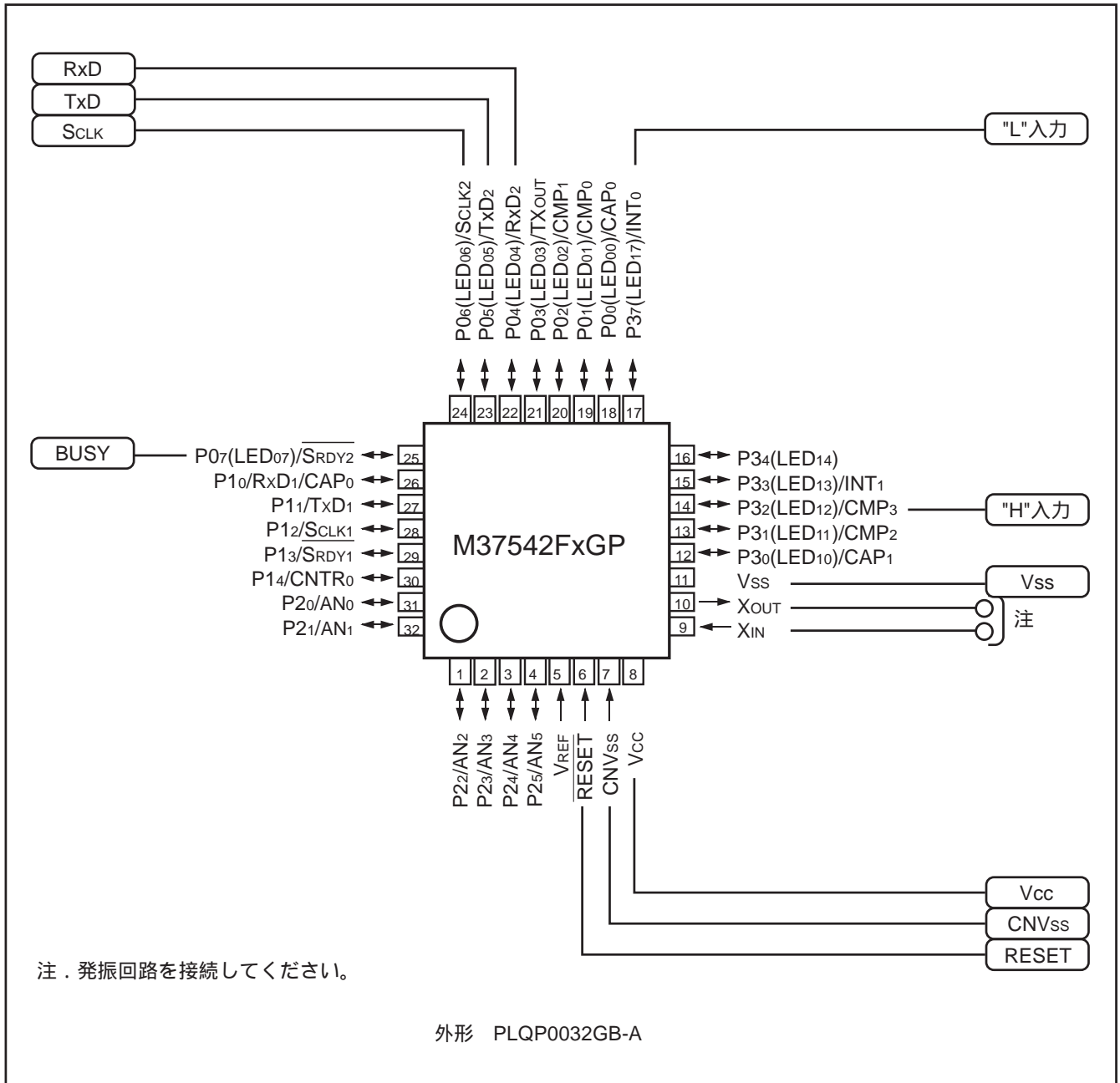


図107. 標準シリアル入出力モード1時の端子結線図(PLQP0032GB-A)

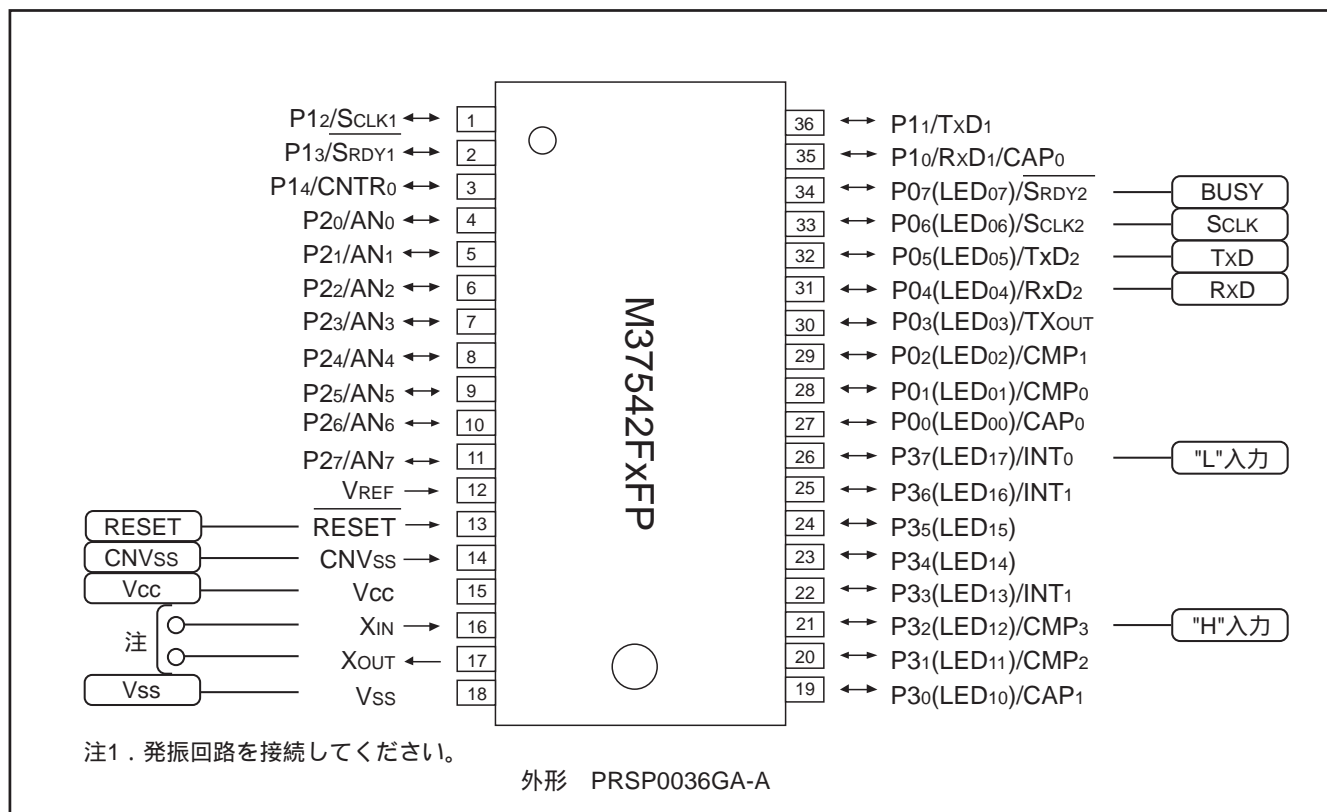


図108. 標準シリアル入出力モード1時の端子結線図(PRSP0036GA-A)

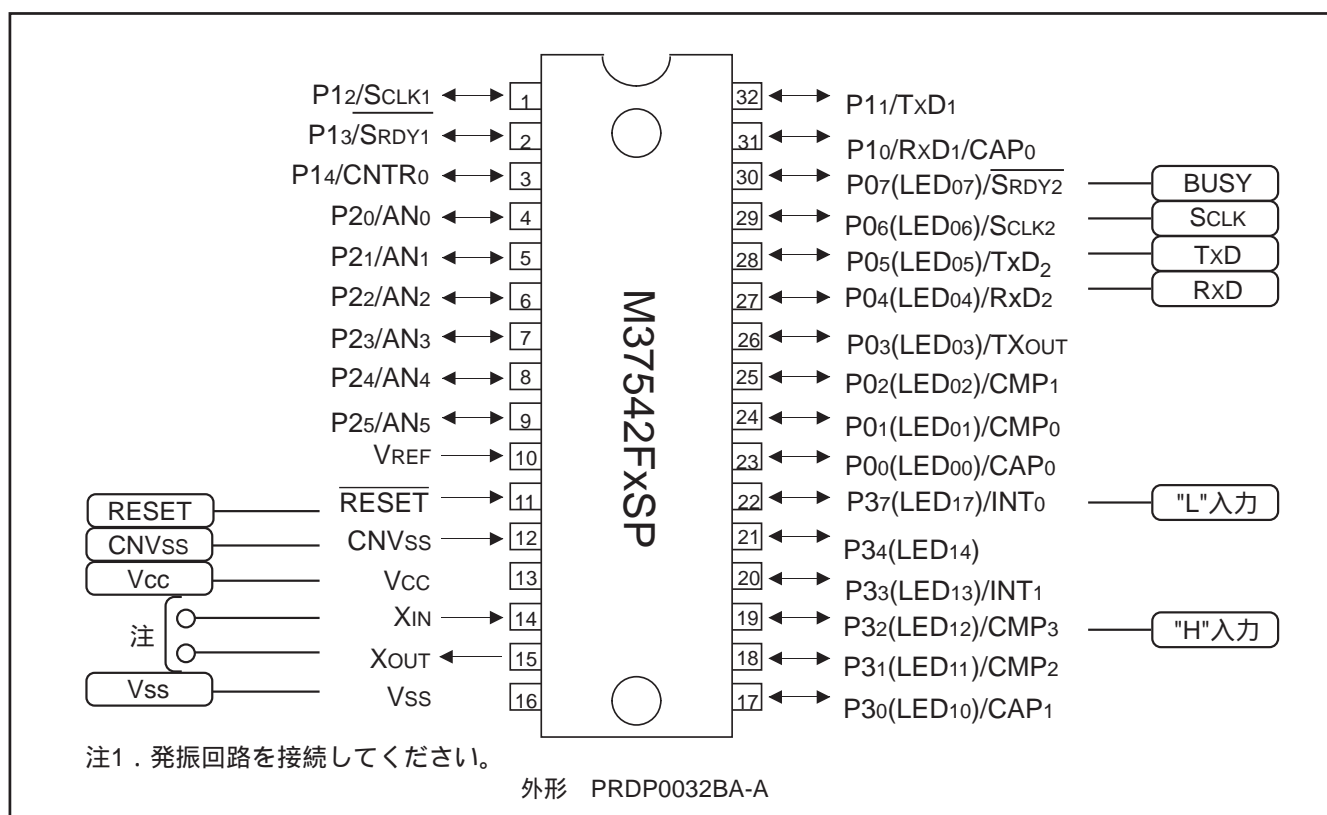


図109. 標準シリアル入出力モード1時の端子結線図(PRDP0032BA-Aパッケージ)

・標準シリアル入出力モード1の接続回路例

図110に標準シリアル入出力モード1を使用する場合の、
ユーザシステム基板での制御端子処理例を示します。

ライタによって制御する端子の処理方法が違います。

詳しくはライタの取り扱い説明書を参照してください。

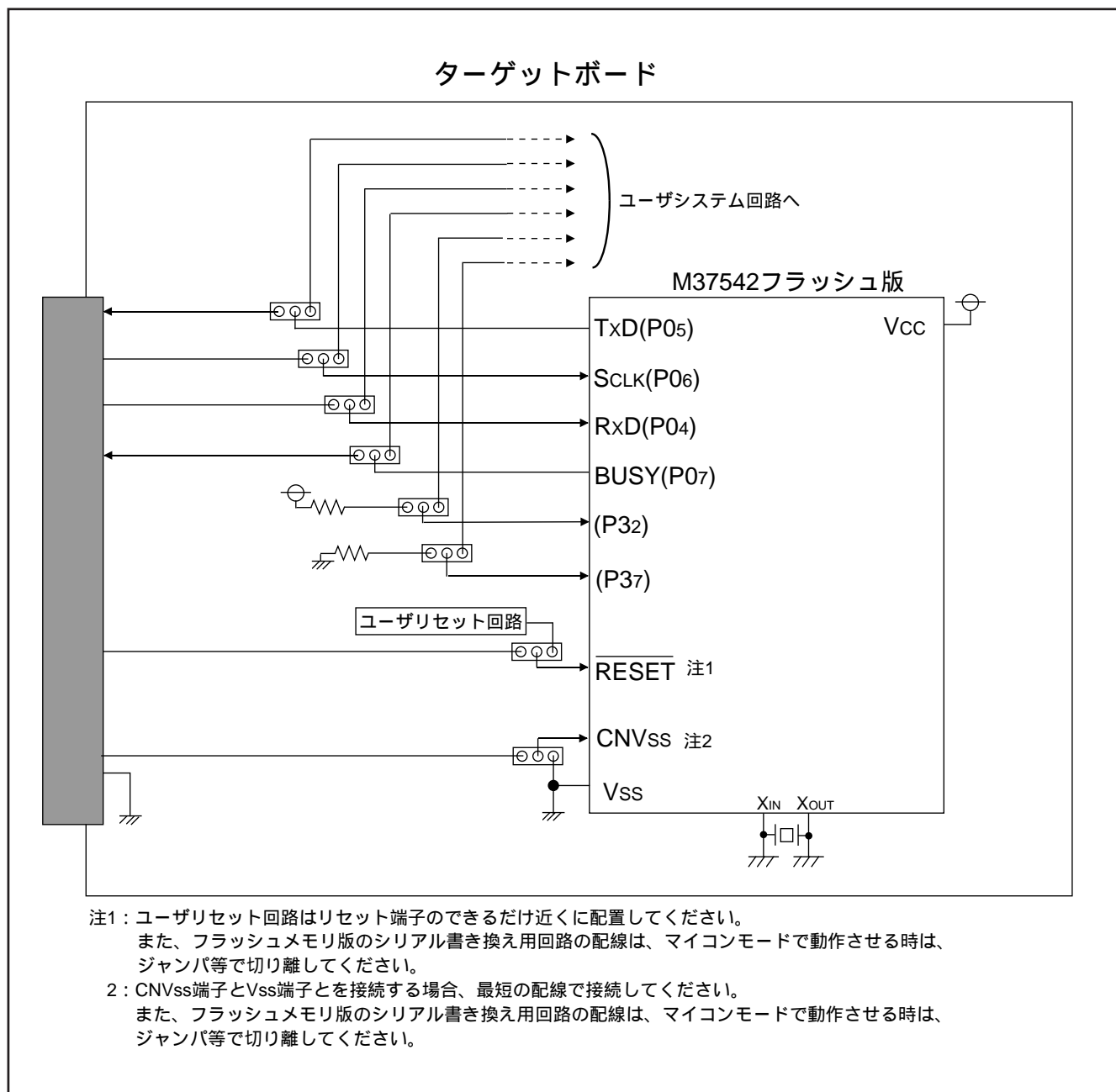


図110. 標準シリアル入出力モード1の制御端子処理例

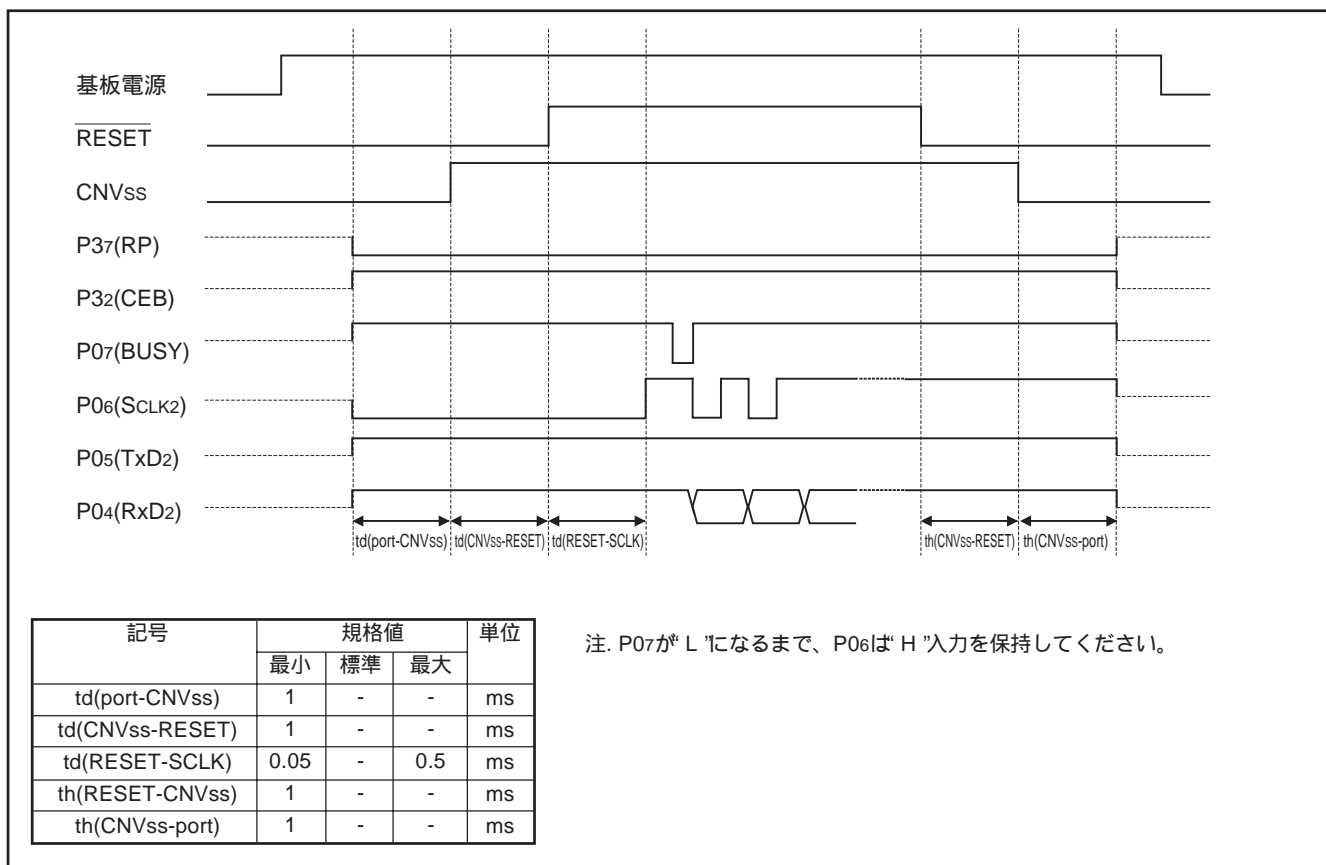


図111. 標準シリアル入出力モード1時の動作波形図

(2)標準シリアル入出力モード2

表14．端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
Vcc,Vss	電源入力	入力	Vccには2.7V～5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”に立ち上げてください。
RESET	リセット入力	入力	リセット入力端子です。CNVss端子を“H”に立ち上げた後にRESETを“H”にすると、マイコンが動作を始めます。
XIN	クロック入力	入力	XIN端子,XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。 (オンチップオシレータのみで動作させる場合は、外付け回路は不要です。)
XOUT	クロック出力	出力	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00～P03	入出力ポートP0	入出力	“H”を入力、“L”を入力、又は開放してください。
P04	RxD入力	入力	シリアルデータの入力端子です。
P05	TxD出力	出力	シリアルデータの出力端子です。
P06	SCLK入力	入力	“L”を入力してください。
P07	BUSY出力	出力	BUSY信号の出力端子です。
P10～P14	入出力ポートP1	入出力	“H”を入力、“L”を入力、又は開放してください。
P20～P27	入出力ポートP2	入出力	“H”を入力、“L”を入力、又は開放してください。
P30, P31, P33～P36	入出力ポートP3	入出力	“H”を入力、“L”を入力、又は開放してください。
P32	CE入力	入力	“H”を入力してください。
P37	RP入力	入力	“L”を入力してください。

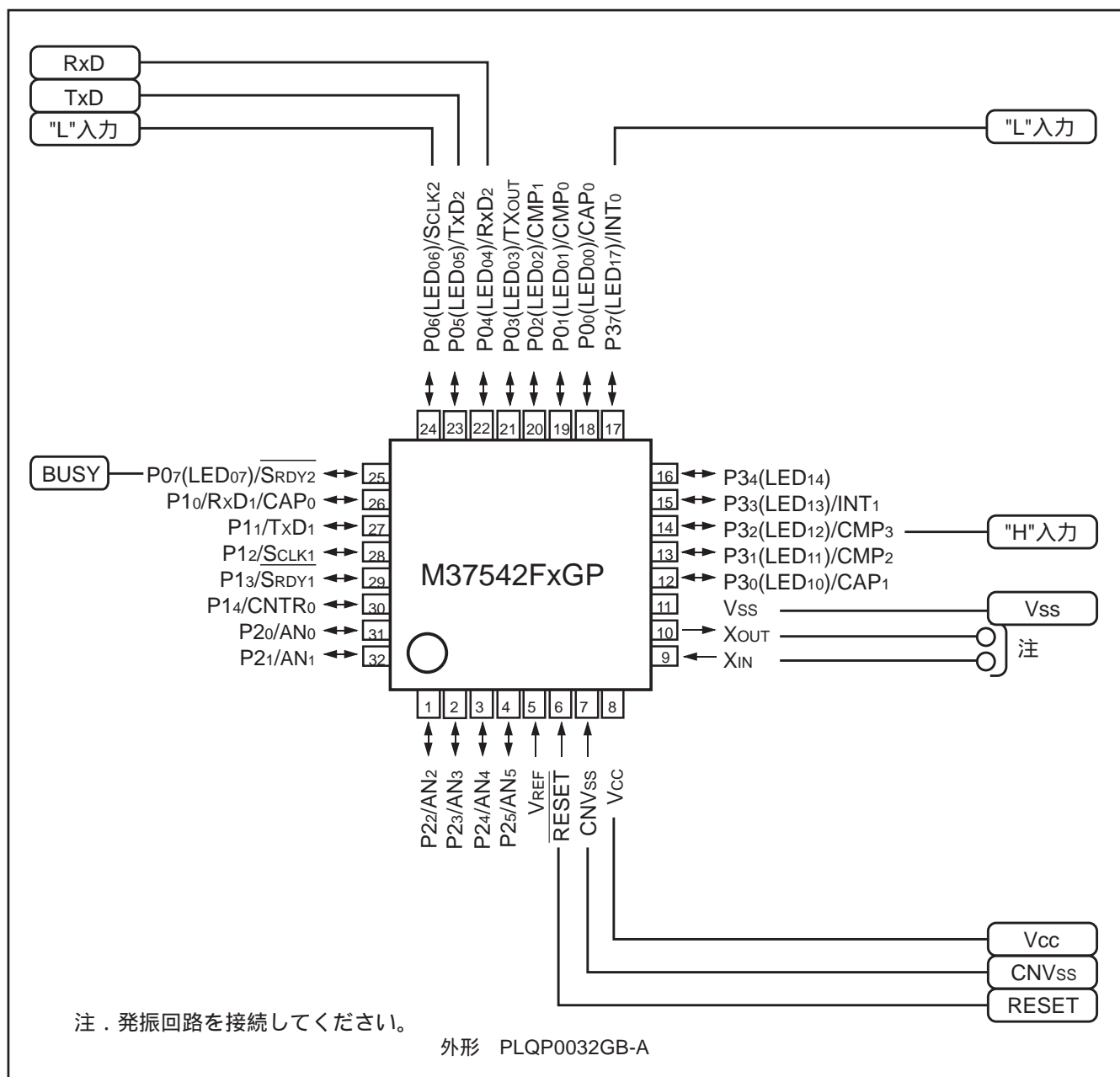


図112. 標準シリアル入出力モード2時の端子結線図(PLQP0032GB-Aパッケージ)

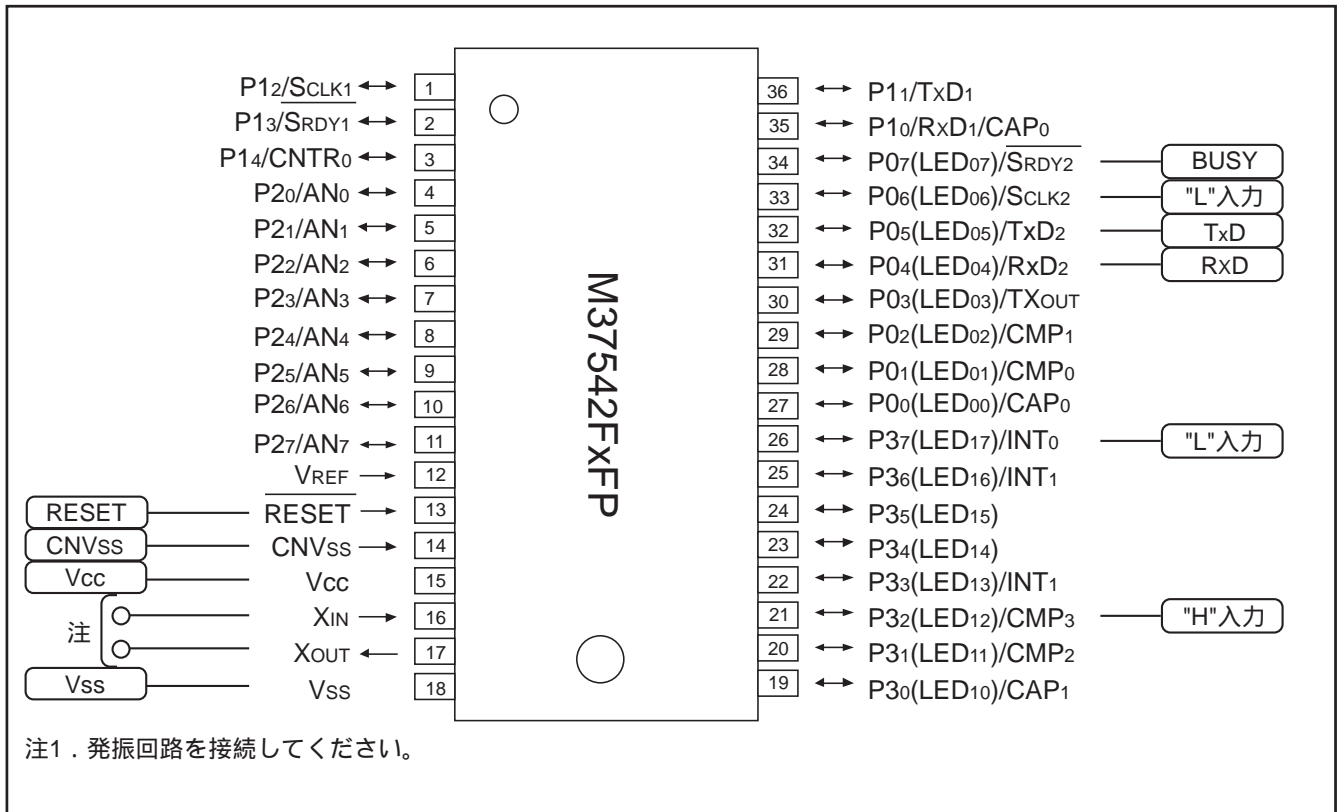


図113. 標準シリアル入出力モード2時の端子結線図(PRSP0036GA-Aパッケージ)

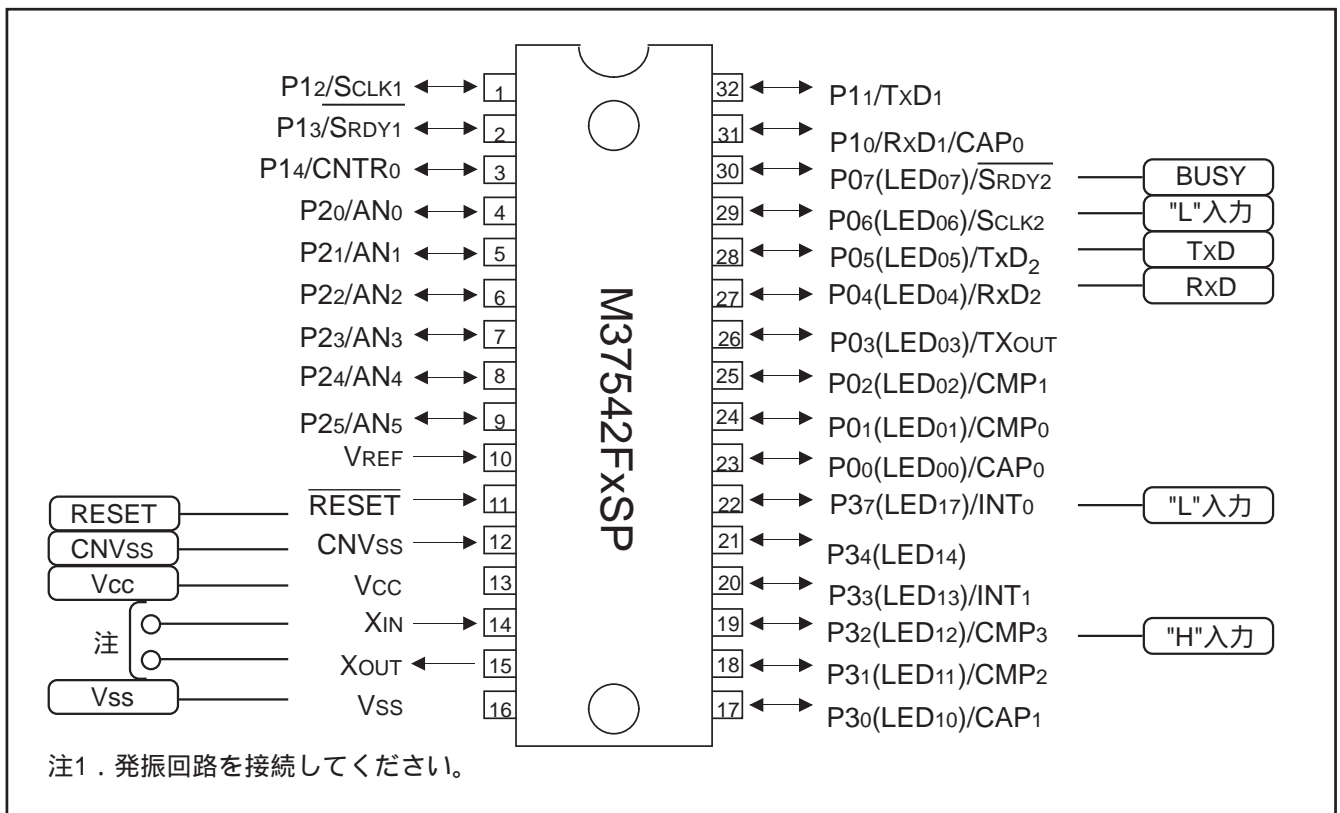


図114. 標準シリアル入出力モード2時の端子結線図(PRDP0032BA-Aパッケージ)

・標準シリアル入出力モード2の接続回路例

図115に標準シリアル入出力モード2を使用する場合の、
 ユーザシステム基板上的の制御端子処理例を示します。
 ライタによって制御する端子の処理方法が違います。
 詳しくはライタの取り扱い説明書を参照してください。

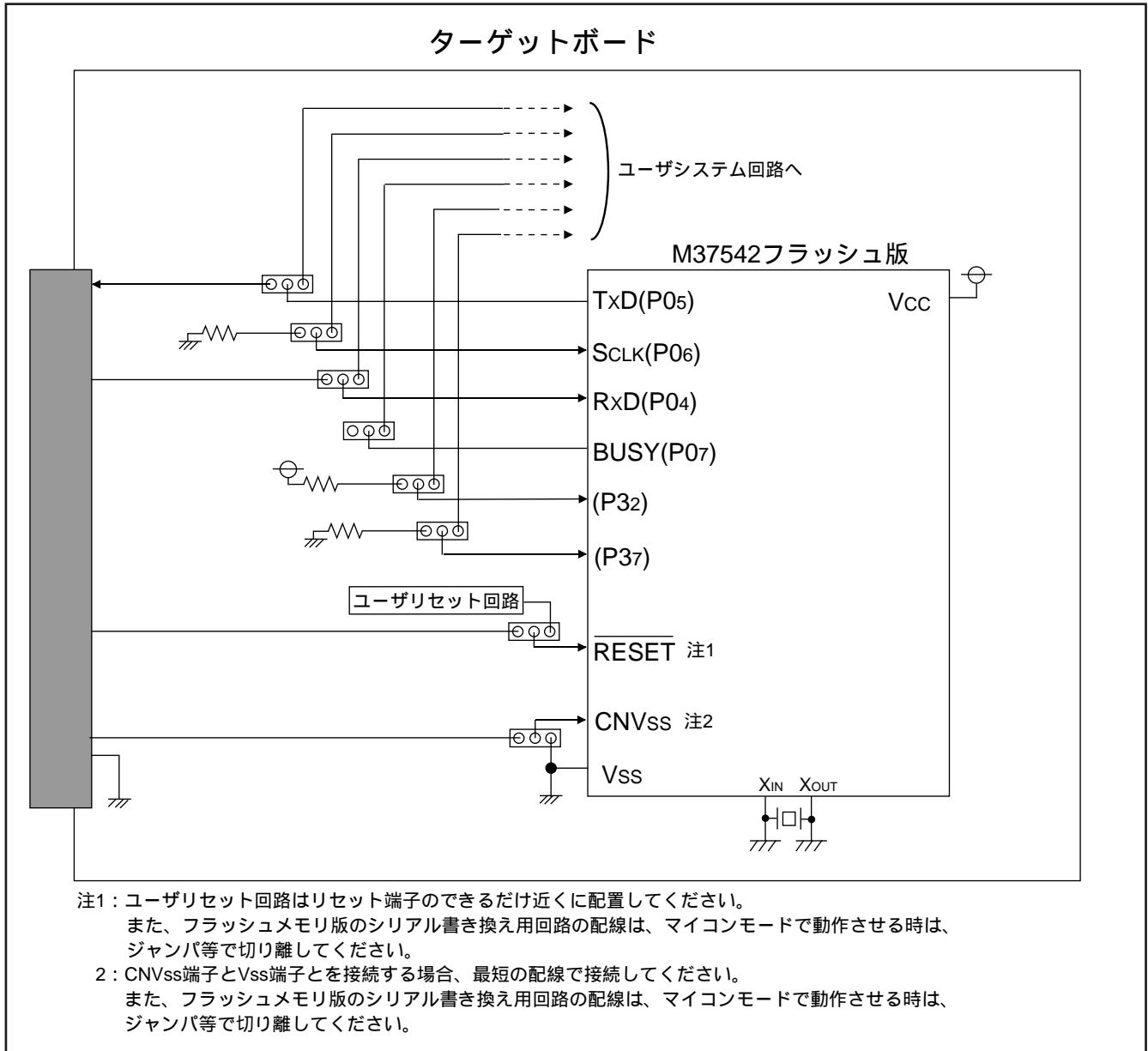


図115. 標準シリアル入出力モード2の制御端子処理例

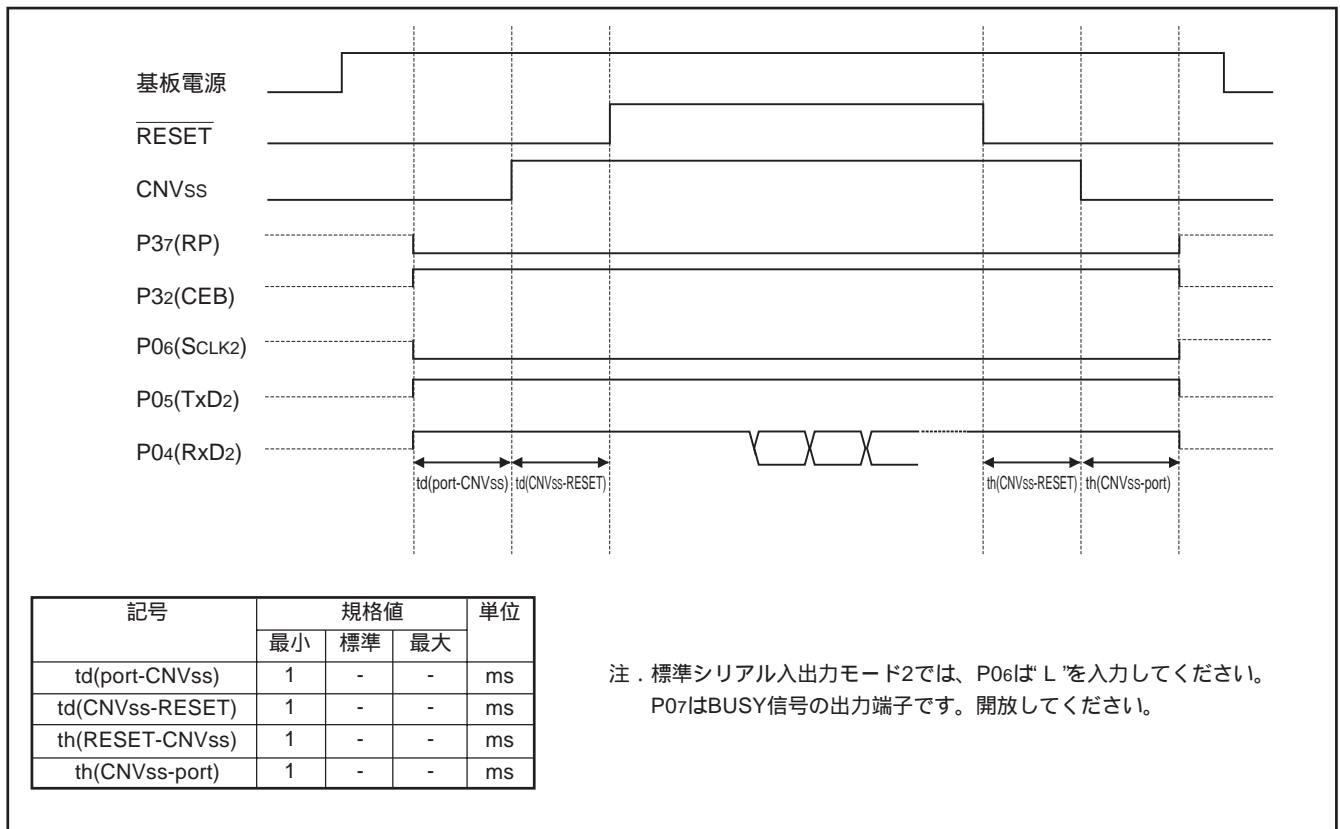


図113. 標準シリアル入出力モード2時の動作波形図

電気的特性

(1) 絶対最大定格

表 15 . 絶対最大定格

記号	項 目	条 件	定 格 値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, VREF	Vss 端子を基準にして測定する。入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVSS		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, XOUT		- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300 (注1)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注 1 . PLQP0032GB-A パッケージ品では、200mW です。

(2) 推奨動作条件

表 16 . 推奨動作条件 (1)

(指定のない場合 , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.2 ~ 5.5V , Vss = 0V、Ta = - 20 ~ 85)

記号	項目		規格値			単位		
			最小	標準	最大			
Vcc	電源電圧 (セラミック発振時)	(高、中速モード)	8MHz 動作時	マスク ROM 版	4.0	5.0	5.5	V
				FLASH ROM 版				
		4MHz 動作時	マスク ROM 版	2.4	5.0	5.5	V	
			FLASH ROM 版					2.7
		2MHz 動作時	マスク ROM 版	2.2	5.0	5.5	V	
			FLASH ROM 版					2.7
		(倍速モード)	8MHz 動作時	マスク ROM 版	4.5	5.0	5.5	
				FLASH ROM 版				
	6.5MHz 動作時		マスク ROM 版	4.0	5.0	5.5	V	
			FLASH ROM 版					
	2MHz 動作時		マスク ROM 版	2.4	5.0	5.5	V	
			FLASH ROM 版					2.7
	1MHz 動作時	マスク ROM 版	2.2	5.0	5.5	V		
		FLASH ROM 版					2.7	5.0
電源電圧 (RC 発振時)	(高、中速モード)	4MHz 動作時	マスク ROM 版	4.0	5.0	5.5		
			FLASH ROM 版					
	2MHz 動作時	マスク ROM 版	2.4	5.0	5.5	V		
		FLASH ROM 版					2.7	5.0
1MHz 動作時	マスク ROM 版	2.2	5.0	5.5	V			
	FLASH ROM 版					2.7	5.0	5.5
Vss	電源電圧			0				
VREF	アナログ基準電圧		2.0		Vcc	V		
VIH	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37		0.8Vcc		Vcc	V		
VIH	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注 1)		2.0		Vcc	V		
VIH	“H” 入力電圧 RESET, XIN		0.8Vcc		Vcc	V		
VIL	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37		0		0.2Vcc	V		
VIL	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注 1)		0		0.8	V		
VIL	“L” 入力電圧 RESET, CNVss		0		0.2Vcc	V		
VIL	“L” 入力電圧 XIN		0		0.16Vcc	V		
IOH(peak)	“H” 出力総尖頭電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37				- 80	mA		
IOL(peak)	“L” 出力総尖頭電流 (注 2) P10 ~ P14, P20 ~ P27,				80	mA		
IOL(peak)	“L” 出力総尖頭電流 (注 2) P00 ~ P07, P30 ~ P37				80	mA		
IOH(avg)	“H” 出力総平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37				- 40	mA		
IOL(avg)	“L” 出力総平均電流 (注 2) P10 ~ P14, P20 ~ P27				40	mA		
IOL(avg)	“L” 出力総平均電流 (注 2) P00 ~ P07, P30 ~ P37				40	mA		

注 1 . Vcc=4.0 ~ 5.5V 時の場合です。

2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表 17 . 推奨動作条件 (2)

(指定のない場合 , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.2 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“ H ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
IOL(peak)	“ L ” 出力尖頭電流 (注 1) P00 ~ P07, P30 ~ P37 (駆動能力 = “ L ” 選択時) P10 ~ P14, P20 ~ P27			10	mA
IOL(peak)	“ L ” 出力尖頭電流 (注 1) P00 ~ P07, P30 ~ P37 (駆動能力 = “ H ” 選択時)			30	mA
IOH(avg)	“ H ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
IOL(avg)	“ L ” 出力平均電流 (注 2) P00 ~ P07, P30 ~ P37 (駆動能力 = “ L ” 選択時) P10 ~ P14, P20 ~ P27			5	mA
IOL(avg)	“ L ” 出力平均電流 (注 2) P00 ~ P07, P30 ~ P37 (駆動能力 = “ H ” 選択時)			15	mA
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 倍速モード	マスク ROM 版 : Vcc = 4.5 ~ 5.5V FLASH ROM 版 : Vcc = 4.5 ~ 5.5V		8	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 倍速モード	マスク ROM 版 : Vcc = 4.0 ~ 5.5V FLASH ROM 版 : Vcc = 4.0 ~ 5.5V		6.5	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 倍速モード	マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V		2	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 倍速モード	マスク ROM 版 : Vcc = 2.2 ~ 5.5V		1	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 高 , 中速モード	マスク ROM 版 : Vcc = 4.0 ~ 5.5V FLASH ROM 版 : Vcc = 4.0 ~ 5.5V		8	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 高 , 中速モード	マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V		4	MHz
f(XIN)	発振周波数 (注 3) セラミック発振又は外部クロック入力時 高 , 中速モード	マスク ROM 版 : Vcc = 2.2 ~ 5.5V		2	MHz
f(XIN)	発振周波数 (注 3) RC 発振時 高 , 中速モード	マスク ROM 版 : Vcc = 4.0 ~ 5.5V FLASH ROM 版 : Vcc = 4.0 ~ 5.5V		4	MHz
f(XIN)	発振周波数 (注 3) RC 発振時 高 , 中速モード	マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V		2	MHz
f(XIN)	発振周波数 (注 3) RC 発振時 高 , 中速モード	マスク ROM 版 : Vcc = 2.2 ~ 5.5V		1	MHz

注 1 . 出力尖頭電流は 1 ポートごとに流れる電流のピーク値を規定します。

2 . 平均出力電流 IOL(avg) , IOH(avg)は 100ms の期間での平均値です。

3 . 発振周波数はデューティ 50% の場合です。

(3) 電気的特性

表 18 . 電気的特性 (1)

(指定のない場合 , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.2 ~ 5.5V , Vss = 0V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“ H ” 出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注 1)	IOH = - 5mA Vcc = 4.0 ~ 5.5V	Vcc - 1.5			V
		IOH = - 1.0mA マスク ROM 版 : Vcc = 2.2 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V	Vcc - 1.0			V
VOL	“ L ” 出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “ L ” 選択時) P10 ~ P14, P20 ~ P27	IoL = 5mA Vcc = 4.0 ~ 5.5V			1.5	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスク ROM 版 : Vcc = 2.2 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V			1.0	V
VOL	“ L ” 出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “ H ” 選択時)	IoL = 15mA Vcc = 4.0 ~ 5.5V			2.0	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスク ROM 版 : Vcc = 2.2 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, INT0, INT1, CAP0, CAP1 (注 2) P00 ~ P07 (注 3)			0.4		V
VT+ - VT-	ヒステリシス RxD0, SCLK0, RxD1, SCLK1			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“ H ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vcc (端子はフローティング。プルアップ トランジスタは切り離し状態)			5.0	μ A
IiH	“ H ” 入力電流 RESET	Vi = Vcc			5.0	μ A
IiH	“ H ” 入力電流 XIN	Vi = Vcc		4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vss (端子はフローティング。プルアップ トランジスタは切り離し状態)			- 5.0	μ A
IiL	“ L ” 入力電流 RESET	Vi = Vss			- 5.0	μ A
IiL	“ L ” 入力電流 XIN	Vi = Vss		- 4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P30 ~ P37	Vi = Vss (プルアップトランジスタ接続時)		- 0.2	- 0.5	mA
VRAM	RAM 保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	Vcc = 5.0V、Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	Vcc = 5.0V、Ta = 25	62.5	125	187.5	kHz

注 1 . P11 に関しては、UART1 制御レジスタの P11/TxD1 P チャネル出力禁止ビット (001B16 番地のビット 4) が “ 0 ” の場合です。

2 . RxD1, SCLK1, INT0, INT1 (P36 選択時) については、ポート P1P3 制御レジスタのビット 0, 1, 2 が “ 0 ” (CMOS レベル) の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

表 19 . 電氣的特性 (2)

(指定のない場合は , FLASH ROM 版 : $V_{CC} = 2.7 \sim 5.5V$, マスク ROM 版 : $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I _{CC}	電源電流	f(X _{IN}) = 8MHz, 出力トランジスタは遮断状態	倍速モード	マスク ROM 版	5.5	9.0	mA
				FLASH ROM 版	4.8	7.5	mA
			高速モード	マスク ROM 版	3.5	6.5	mA
				FLASH ROM 版	3.0	5.5	mA
		中速モード	マスク ROM 版	2.0	5.0	mA	
			FLASH ROM 版	1.7	4.2	mA	
		f(X _{IN}) = 2MHz マスク ROM 版 : $V_{CC} = 2.2V$ FLASH ROM 版 : $V_{CC} = 2.7V$ 出力トランジスタは遮断状態	高速モード	マスク ROM 版	0.4	1.2	mA
				FLASH ROM 版	1.0	2.8	mA
		オンチップオシレータ動作モード、 出力トランジスタは遮断状態	1/1 分周	マスク ROM 版	1.5	3.2	mA
				FLASH ROM 版	1.4	2.4	mA
			1/2 分周	マスク ROM 版	0.9	2.2	mA
				FLASH ROM 版	1.0	1.9	mA
			1/8 分周	マスク ROM 版	0.35	1.0	mA
				FLASH ROM 版	0.65	1.3	mA
			1/128 分周	マスク ROM 版	0.2	0.6	mA
				FLASH ROM 版	0.55	1.0	mA
		f(X _{IN}) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態	マスク ROM 版	1.6	3.2	mA	
			FLASH ROM 版	1.2	2.6	mA	
		f(X _{IN}) = 2MHz マスク ROM 版 : $V_{CC} = 2.2V$ FLASH ROM 版 : $V_{CC} = 2.7V$ WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態	マスク ROM 版	0.2		mA	
			FLASH ROM 版	0.6		mA	
オンチップオシレータ動作モード、 WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態	マスク ROM 版	0.2	0.6	mA			
	FLASH ROM 版	0.12	0.4	mA			
A/D コンバータ動作時の増量 f(X _{IN}) = 8MHz, $V_{CC} = 5V$	マスク ROM 版	0.5		mA			
	FLASH ROM 版	0.5		mA			
発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25	マスク ROM 版	0.1	1.0	μA		
		FLASH ROM 版	0.55	3.0	μA		
	Ta = 85	マスク ROM 版		10	μA		
		FLASH ROM 版		10	μA		

注 . A/D コンバータ動作時の増量には、基準電源入力電流 (I_{VREF}) を含みます。

(4) A/Dコンバータ特性

表 20 . A/D コンバータ特性

(指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				10	bits
—	絶対精度	$T_a = 25$, $V_{CC} = V_{REF} = 2.7 \sim 5.5V$	マスクROM版		± 3	LSB
FLASHROM版			± 4			
tCONV	変換時間	A/D変換クロック = $f(XIN)/2$			122	tC(XIN)
		A/D変換クロック = $f(XIN)$			61	
RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA
		$V_{REF} = 3.0V$	30	90	120	
II(AD)	A/Dポート入力電流				5.0	μA

注 . A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1) V_{REF} 電圧を V_{CC} 電圧よりも低く設定している場合、マイクロコンピュータ内部のアナログ回路がノイズの影響を受けやすくなります。
 V_{REF} 電圧と V_{CC} 電圧を同一に設定する場合よりも、精度が低くなる場合があります。
- (2) V_{REF} 電圧が3.0V以下でかつ低温で使用する場合、常温時に比べてA/D変換の精度が極端に低くなる場合があります。
低温で使用するシステムでは、 $V_{REF} = 3.0V$ 以上での使用を推奨します。

(5) フラッシュメモリの電気的特性

表 21 . フラッシュメモリの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注1)		100			回
—	バイトプログラム時間			50	400	μs
—	ブロックイレーズ時間	2Kバイトブロック		0.2	9	s
		8Kバイトブロック		0.4	9	s
		16Kバイトブロック		0.7	9	s
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
—	イレーズサスペンドリクエスト間隔		10			ms
—	プログラム/イレーズ電圧		2.7		5.5	V
—	リード電圧		2.7		5.5	V
—	プログラム/イレーズ時の温度		0		60	
—	データ保存時間	$T_a = 55$	20			年

注1 . プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回($n=100$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、2KバイトのブロックAについて、それぞれ異なる番地に1バイト書き込みを2048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください。(上書き禁止)

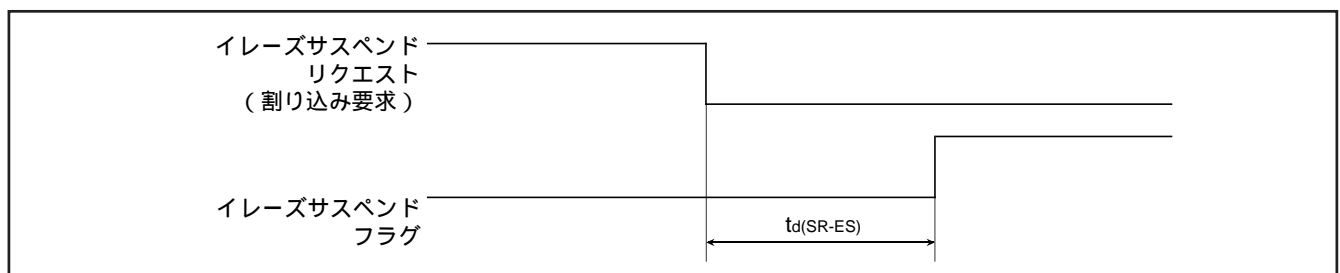


図 117 . 消去動作からイレーズサスペンドへの遷移時間

(6) タイミング必要条件

表 22 . タイミング必要条件 (1)

(指定のない場合は , FLASH ROM 版 : Vcc = 4.0 ~ 5.5V , マスク ROM 版 : Vcc = 4.0 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
twh(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“H”パルス幅 (注1)	80			ns
twl(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“L”パルス幅 (注1)	80			ns
tc(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力サイクル時間 (注2)	800			ns
twh(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力“H”パルス幅 (注2)	370			ns
twl(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力“L”パルス幅 (注2)	370			ns
tsu(RxD1-SCLK1)	シリアルI/O1、シリアルI/O2入力セットアップ時間	220			ns
th(SCLK1-RxD1)	シリアルI/O1、シリアルI/O2入力ホールド時間	100			ns

注1 . CAP0, CAP1 については、ノイズフィルタを使用しない場合です。

- 2 . シリアルI/O1 に関しては、シリアルI/O1 制御レジスタ (001A16 番地) のビット6 が “1” (クロック同期形シリアルI/O) の場合です。
シリアルI/O1 制御レジスタのビット6 が “0” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。
シリアルI/O2 に関しては、シリアルI/O2 制御レジスタ (003016 番地) のビット6 が “1” (クロック同期形シリアルI/O) の場合です。
シリアルI/O2 制御レジスタのビット6 が “0” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。

表 23 . タイミング必要条件 (2)

(指定のない場合は , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.4 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力“H”パルス幅	100			ns
twl(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR0)	CNTR0入力サイクル時間	500			ns
twh(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“H”パルス幅 (注1)	230			ns
twl(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“L”パルス幅 (注1)	230			ns
tc(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力サイクル時間 (注2)	2000			ns
twh(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力“H”パルス幅 (注2)	950			ns
twl(SCLK1)	シリアルI/O1、シリアルI/O2クロック入力“L”パルス幅 (注2)	950			ns
tsu(RxD1-SCLK1)	シリアルI/O1、シリアルI/O2入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアルI/O1、シリアルI/O2入力ホールド時間	200			ns

注1 . CAP0, CAP1 については、ノイズフィルタを使用しない場合です。

- 2 . シリアルI/O1 に関しては、シリアルI/O1 制御レジスタ (001A16 番地) のビット6 が “1” (クロック同期形シリアルI/O) の場合です。
シリアルI/O1 制御レジスタのビット6 が “0” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。
シリアルI/O2 に関しては、シリアルI/O2 制御レジスタ (003016 番地) のビット6 が “1” (クロック同期形シリアルI/O) の場合です。
シリアルI/O2 制御レジスタのビット6 が “0” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。

表 24 . タイミング必要条件 (3)

(指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$) (本規格値は、マスクROM版のみの規格です。)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	500			ns
twh(XIN)	外部クロック入力“H”パルス幅	200			ns
twl(XIN)	外部クロック入力“L”パルス幅	200			ns
tc(CNTR0)	CNTR0 入力サイクル時間	1000			ns
twh(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“H”パルス幅 (注1)	460			ns
twl(CNTR0)	CNTR0, INT0, INT1, CAP0, CAP1 入力“L”パルス幅 (注1)	460			ns
tc(SCLK1)	シリアルI/O1、シリアルI/O2 クロック入力サイクル時間 (注2)	4000			ns
twh(SCLK1)	シリアルI/O1、シリアルI/O2 クロック入力“H”パルス幅 (注2)	1900			ns
twl(SCLK1)	シリアルI/O1、シリアルI/O2 クロック入力“L”パルス幅 (注2)	1900			ns
tsu(RxD1-SCLK1)	シリアルI/O1、シリアルI/O2 入力セットアップ時間	800			ns
th(SCLK1-RxD1)	シリアルI/O1、シリアルI/O2 入力ホールド時間	400			ns

注1 . CAP0, CAP1 については、ノイズフィルタを使用しない場合です。

- 2 . シリアルI/O1 に関しては、シリアルI/O1 制御レジスタ (001A16 番地) のビット6 が “ 1 ” (クロック同期形シリアルI/O) の場合です。
シリアルI/O1 制御レジスタのビット6 が “ 0 ” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。
シリアルI/O2 に関しては、シリアルI/O2 制御レジスタ (003016 番地) のビット6 が “ 1 ” (クロック同期形シリアルI/O) の場合です。
シリアルI/O2 制御レジスタのビット6 が “ 0 ” (クロック非同期形シリアルI/O) の場合、規格値は、1 / 4 になります。

(7) スイッチング特性

表 25 . スイッチング特性 (1)

(指定のない場合は , FLASH ROM 版 : Vcc = 4.0 ~ 5.5V , マスク ROM 版 : Vcc = 4.0 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ H ” パルス幅	tc(SCLK1)/2 - 30			ns
tWL(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ L ” パルス幅	tc(SCLK1)/2 - 30			ns
td(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力遅延時間			140	ns
tv(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力有効時間	- 30			ns
tr(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち上がり時間			30	ns
tf(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち下がり時間			30	ns
tr(CMOS)	CMOS 出力立ち上がり時間 (注 1)		10	30	ns
tf(CMOS)	CMOS 出力立ち下がり時間 (注 1)		10	30	ns

注 1 . XOUT 端子を除きます。

表 26 . スイッチング特性 (2)

(指定のない場合は , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.4 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ H ” パルス幅	tc(SCLK1)/2 - 50			ns
tWL(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ L ” パルス幅	tc(SCLK1)/2 - 50			ns
td(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力遅延時間			350	ns
tv(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力有効時間	- 30			ns
tr(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち上がり時間			50	ns
tf(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち下がり時間			50	ns
tr(CMOS)	CMOS 出力立ち上がり時間 (注 1)		20	50	ns
tf(CMOS)	CMOS 出力立ち下がり時間 (注 1)		20	50	ns

注 1 . XOUT 端子を除きます。

表 27 . スイッチング特性 (3) (指定のない場合は , Vcc = 2.2 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ H ” パルス幅	tc(SCLK1)/2 - 70			ns
tWL(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力 “ L ” パルス幅	tc(SCLK1)/2 - 70			ns
td(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力遅延時間			450	ns
tv(SCLK1-TxD1)	シリアル I/O1、シリアル I/O2 出力有効時間	- 30			ns
tr(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち上がり時間			70	ns
tf(SCLK1)	シリアル I/O1、シリアル I/O2 クロック出力立ち下がり時間			70	ns
tr(CMOS)	CMOS 出力立ち上がり時間 (注 1)		25	70	ns
tf(CMOS)	CMOS 出力立ち下がり時間 (注 1)		25	70	ns

注 1 . XOUT 端子を除きます。

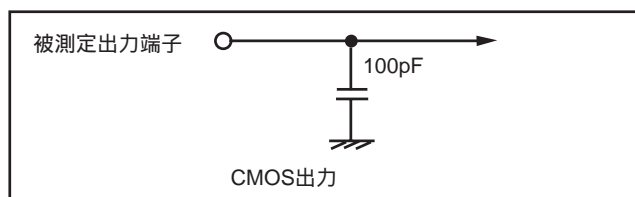


図 118 . スイッチング特性測定回路図

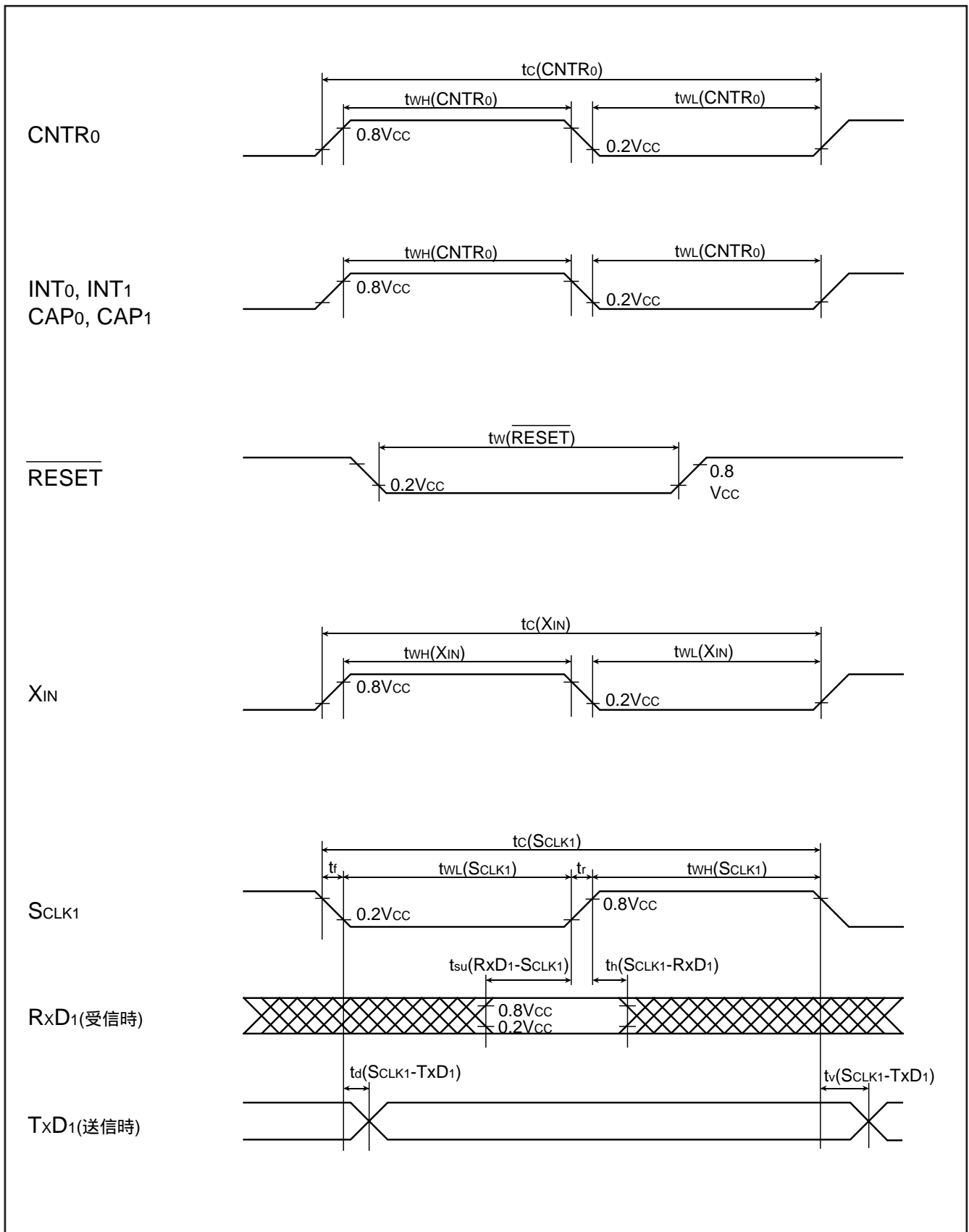
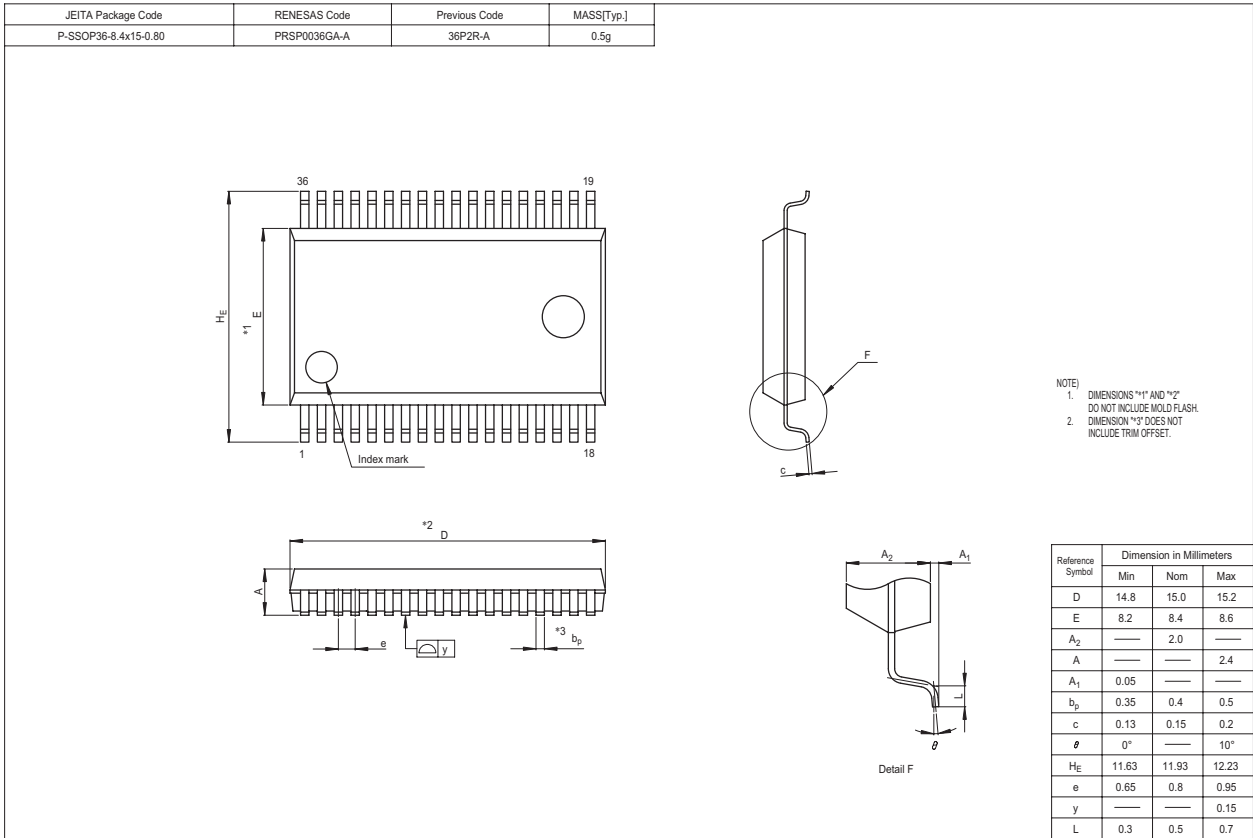
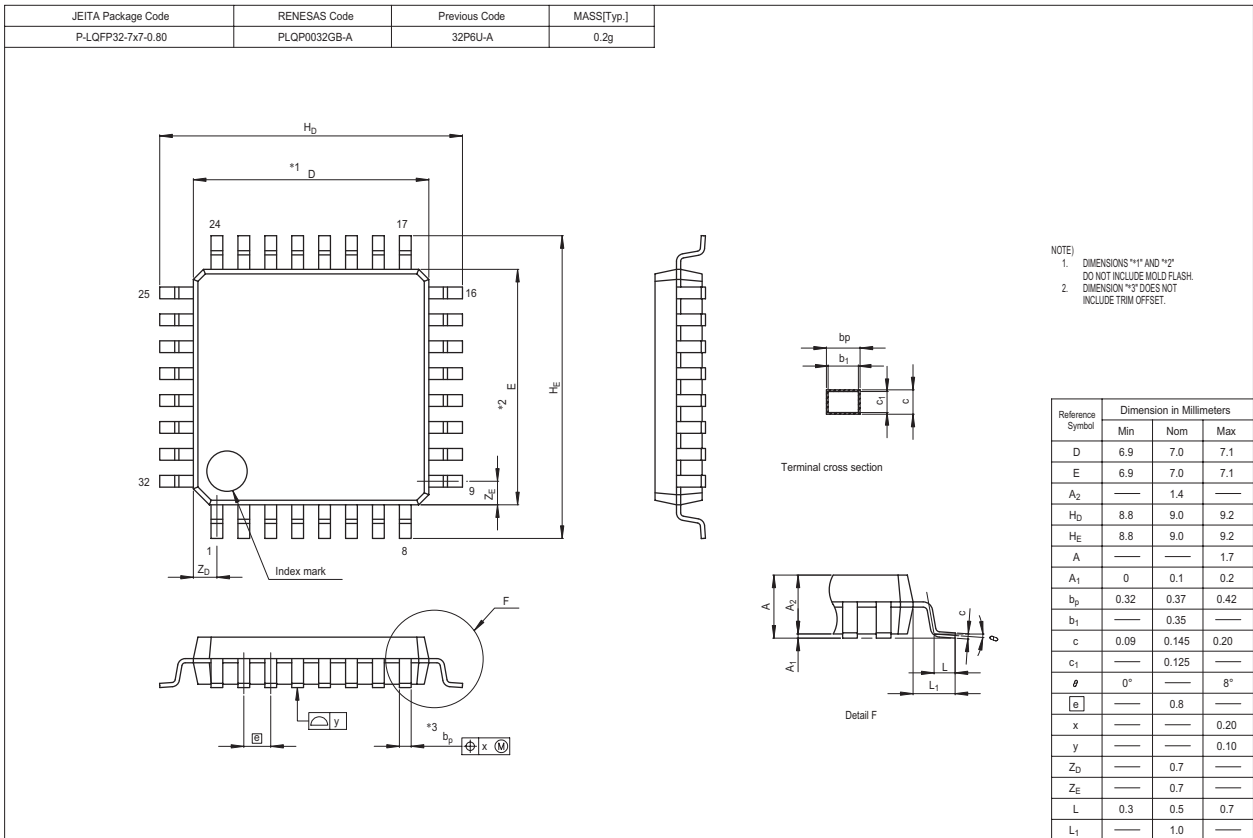
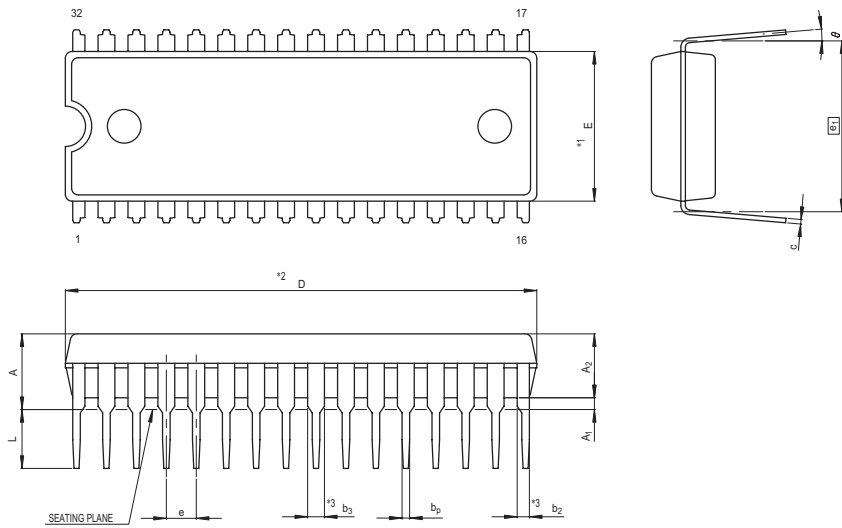


図 119 . タイミング図

パッケージ外形寸法図



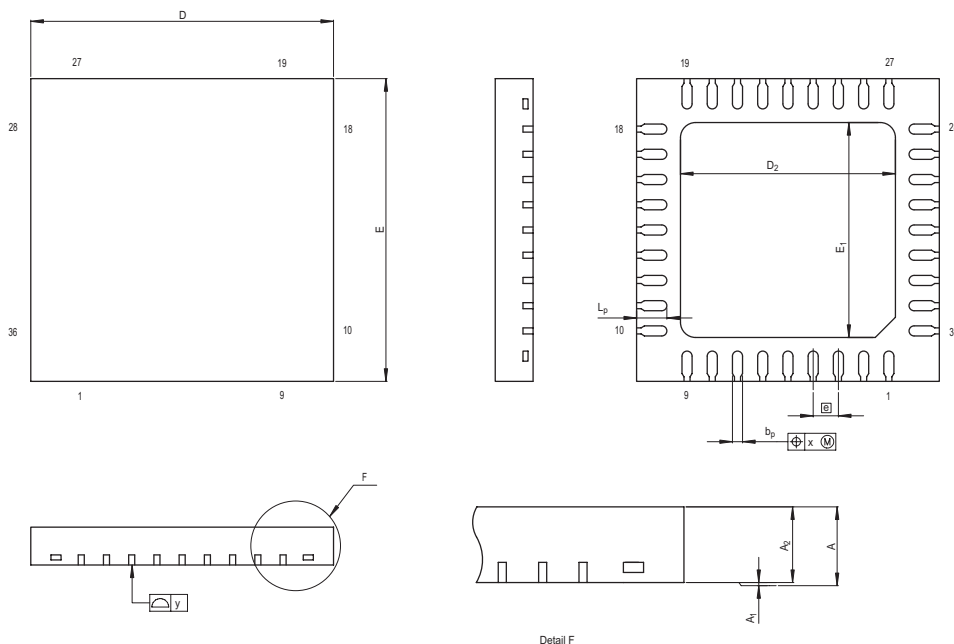
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SDIP32-8.9x28-1.78	PRDP0032BA-A	32P4B	2.2g



NOTE)
 1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
[E1]	9.86	10.16	10.46
D	27.8	28.0	28.2
E	8.75	8.9	9.05
A	—	—	5.08
A ₁	0.51	—	—
A ₂	—	3.8	—
b _p	0.35	0.45	0.55
b ₂	0.63	0.73	1.03
b ₃	0.9	1.0	1.3
c	0.22	0.27	0.34
φ	0°	—	15°
e	1.528	1.778	2.028
L	3.0	—	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-HWQFN36-6x6-0.50	PWQN0036KA-A	36PJW-A	0.07g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.9	6.0	6.1
E	5.9	6.0	6.1
A ₂	—	0.75	—
A	—	—	0.8
A ₁	0	0	0.05
b _p	0.15	0.2	0.25
[E]	—	0.5	—
L _p	0.5	0.6	0.7
x	—	—	0.05
y	—	—	0.05
D ₂	—	4.26	—
E ₁	—	4.26	—

付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

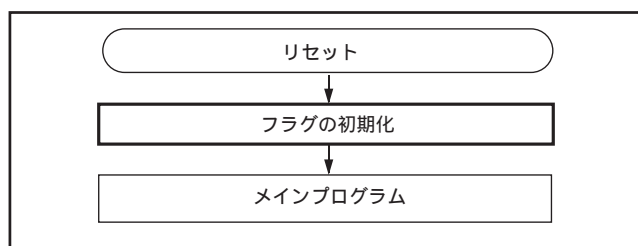


図 1. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

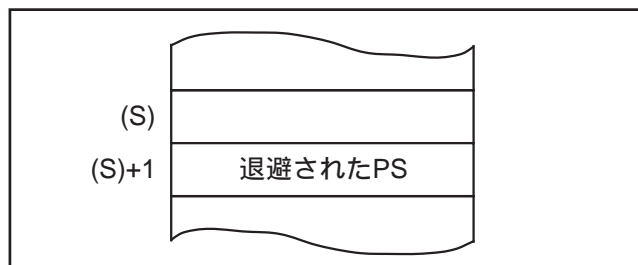


図 2. PHP 命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=“1”)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

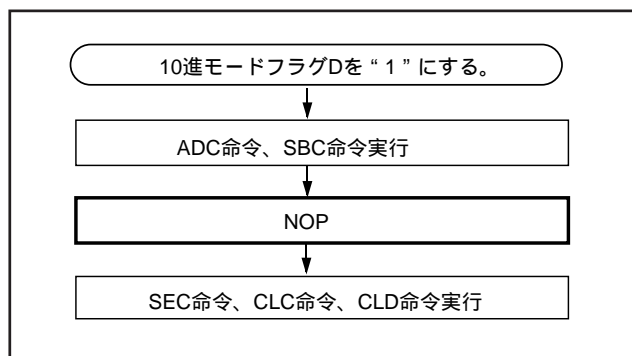


図 3. 10進演算時のステータスフラグ

3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

4. 乗除算命令

(1)MUL、DIV命令は、T、Dフラグの影響を受けません。

(2)乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

5. リード・モディファイ・ライト命令

読み出しができないISFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)加工して(モディファイ)元のメモリにバイト単位で書く(ライト)命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

(1)ビット処理命令

CLB、SEB

(2)シフト・回転命令

ASL、LSR、ROL、ROR、RRF

(3)加減算命令

DEC、INC

(4)論理演算命令(1の補数)

COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが“1”の場合の加減算・論理演算命令(ADC、SBC、AND、EOR、ORA)も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないISFRに対して実行しないでください。

<理由>

読み出しができないISFRに対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. 32ピン版及びPWQN0036KA-Aパッケージ版での設定

(1)ポートP26、P27、P35、P36の方向レジスタを出力に設定してください。

(2)INT1機能はINT1入力ポート選択ビット(割り込みエッジ選択レジスタ(3A16番地)のビット2)でP33を選択してください。

(3)P36/INT1入力レベル選択ビット(ポートP1P3制御レジスタ(1716番地)のビット1)は必ず“0”にしてください。

2. ポートP0P3 駆動能力制御レジスタ

「駆動能力=High」としてご使用できるポートの合計は、最大で8本です。

3. プルアップ制御レジスタ

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

4. スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(V_{CC} に接続)又はプルダウン(V_{SS} に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで入力ポートに設定している場合、出力レジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

5. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

6. 方向レジスタ

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線(20mm以内)で次の処理をしてください。

(1)入出力ポート

入力モードにし、端子ごとに1k~10kの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやプログラムの暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1)入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

- ・初段回路によっては電源電流が増加する場合があります。
- ・「1. (1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

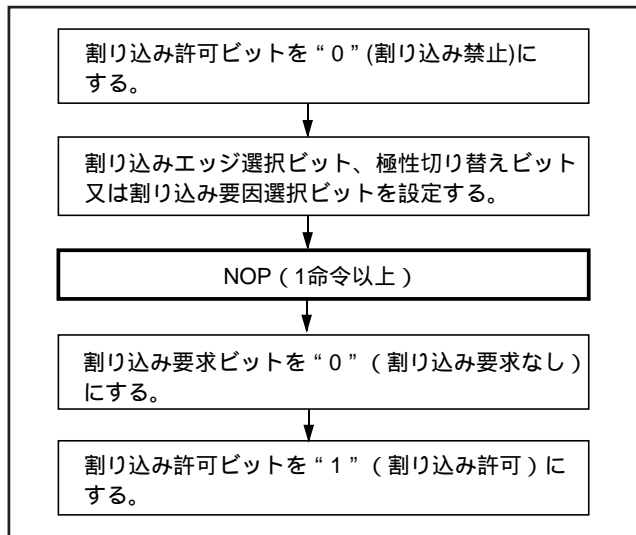


図4. 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが“1”になるとことがあります。

- ・ 外部割り込みのアクティブエッジを切り替えるとき
 - INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(3A16番地)のビット0)
 - INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
 - CNTR0極性切り替えビット
(タイムXモードレジスタ(2B16番地)のビット2)
 - キャプチャ0割り込みエッジ選択ビット
(キャプチャモードレジスタ(2016番地)のビット1,0)
 - キャプチャ1割り込みエッジ選択ビット
(キャプチャモードレジスタのビット3,2)

2. 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

<理由>

割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

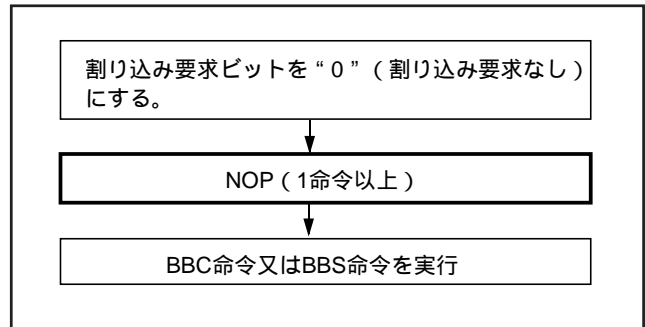


図5. 割り込み要求ビットの設定手順

3. 割り込み判別ビット

割り込み判別ビットを“0”にする場合は、LDM命令を使用してください。

```
LDM #%0000XXXX, $0B
```

X: クリアしたい割り込み判別ビットの場合は“0”、その他の割り込み判別ビットの場合は“1”とします。

(例)キーオンウェイクアップ割り込み判別ビットをクリアする場合

```
LDM #%00001110, $0B
```

4. 割り込み判別ビット及び割り込み要求ビット

キーオンウェイクアップ、UART1バス衝突検出、A/D変換およびタイム1割り込みに関しては、割り込み要因設定レジスタ(0A16番地)の各割り込み有効ビットが“0”(無効)でも、割り込み要求が発生すると、割り込み要因判別レジスタ(0B16番地)の各割り込み判別ビットが“1”(割り込み発生)になります。

しかし、割り込み要求ビット(3C16番、3D16番地)は変化しません。

タイマに関する注意事項

1. タイマラッチに値(0 ~ 255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
2. タイマX、A及びBのカウントソースを切り替える場合は、必ずそれぞれのタイマのカウントを停止させた状態で行ってください。

タイマXに関する注意事項

1. CNTR0割り込み極性選択
CNTR0極性切り替えビット(タイマXモードレジスタ(2B16番地)のビット2)の設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが 0 のときはCNTR0端子入力の立ち下がりがエッジで、CNTR0極性切り替えビットが 1 のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが 1 になります。
2. タイマXカウントソース選択
タイマXカウントソース選択ビット(タイマカウントソース設定レジスタ(2A16番地)のビット1,0)のf(XIN)(分周1/1)の選択はセラミック発振、オンチップオシレータ時のみ選択可能です。
RC発振時は選択しないでください。
3. パルス出力モード
CNTR0出力端子と兼用しているポートP14の方向レジスタを出力モードに設定してください。
TXOUT端子を使用する場合、兼用しているポートP03の方向レジスタを出力モードに設定してください。
4. パルス幅測定モード
CNTR0入力端子と兼用しているポートP14の方向レジスタを入力モードに設定してください。

タイマA、Bに関する注意事項

1. タイマ値の設定
タイマA書き込み制御ビット(タイマA、Bモードレジスタ(1D16番地)のビット0)を「ラッチのみ書き込み」に設定している場合は、タイマのカウント動作中・停止中でもデータはラッチのみに設定されます。したがって、タイマの初期設定において、タイマの停止中に値を設定する場合は、「ラッチ及びタイマ同時書き込み」を選択した状態で行ってください。また、タイマB書き込み制御ビット(タイマA、Bモードレジスタのビット2)も同様です。
2. タイマAの読み出し/書き込み
クロック分周比選択ビット(CPUモードレジスタ(3B16番地)のビット7,6)でXIN発振選択時タイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマAへの書き込み及び読み出しはタイマAを停止した状態で行ってください。
3. タイマBの読み出し/書き込み
クロック分周比選択ビットでXIN発振選択時タイマBのカウントソースにタイマAアンダフローを選択し、かつタイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマBへの書き込み及び読み出しはタイマBを停止した状態で行ってください。

アウトプットコンペアに関する注意事項

1. それぞれのコンペアチャンネルのソースとして選択しているタイマが停止している場合、コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
2. コンペアラッチx0(x=0, 1, 2, 3)とコンペアラッチx1には、同一の値を設定しないでください。
3. コンペアレジスタの設定値がタイマの設定値より大きい場合は、コンペア一致信号を発生しません。したがって、出力波形は「H」又は「L」レベルに固定されます。ただし、もう一方のコンペアレジスタの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致信号は発生しますので、対応するコンペアラッチ(y=00, 01, 10, 11, 20, 21, 30, 31)割り込みソースビットで有効に設定してあればコンペア割り込み要求が発生します。
4. コンペアxトリガ有効ビットに 0 (無効)を設定すると、波形出力回路への一致トリガは禁止されるので、出力波形は「H」又は「L」に固定されます。ただし、コンペア一致信号は発生しますので対応するコンペアラッチ(y=00, 01, 10, 11, 20, 21, 30, 31)割り込みソースビットで有効に設定してあればコンペア一致割り込み要求が発生します。

インプットキャプチャに関する注意事項

1. キャプチャレジスタの下位と上位を読み出している間にキャプチャトリガが入力された場合、下位と上位の値は別々のタイミングでキャプチャされた値となりますので、ソフトウェアで複数回の読み出し結果を比較する等の対策を行ってください。
2. クロック分周比選択ビット(CPUモードレジスタ(3B16番地)のビット7,6)でXIN発振選択時、タイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマAはキャプチャ入力ソースタイマとして使用できません。
クロック分周比選択ビットでXIN発振選択時、タイマBのカウントソースにタイマAアンダフローを選択し、かつタイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマBはキャプチャ入力ソースタイマとして使用できません。
3. 以下のようにキャプチャラッチ00と01に同時にキャプチャ入力が行われると、キャプチャ0ステータスビット(コンペア/キャプチャステータスレジスタ(2216番地)のビット4)の値は不定となります(キャプチャ1についても同様です)。
 - ・キャプチャラッチ00ソフトウェアトリガビット(キャプチャソフトウェアトリガレジスタ(1316番地)のビット0)とキャプチャラッチ01ソフトウェアトリガビット(キャプチャソフトウェアトリガレジスタのビット1)に同時に 1 を書き込んだ場合
 - ・キャプチャラッチ00の外部トリガとキャプチャラッチ01のソフトウェアトリガが同時にかかった場合
 - ・キャプチャラッチ01の外部トリガとキャプチャラッチ00のソフトウェアトリガが同時にかかった場合
4. キャプチャ割り込みをストップモードからの復帰用割り込みとして使用する場合は、キャプチャ0ノイズフィルタ選択ビット(キャプチャモードレジスタ(2016番地)のビット5,4)を 00 :フィルタなしに設定してください(キャプチャ1についても同様です)。

シリアルI/O_i(i=1,2)に関する注意事項

1. クロック同期形

(1)送信動作を停止する場合、シリアルI/O_i(i=1,2)許可ビット及び送信許可ビットを“0”(シリアルI/O_i禁止及び送信禁止)にしてください。

<理由>

シリアルI/O_i許可ビットだけを“0”(シリアルI/O_i禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLK_i、SRDY_i各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O_i許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

(2)受信動作を停止する場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/O_i許可ビットを“0”(シリアルI/O_i禁止)にしてください。

(3)送受信動作を停止する場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。(送信動作又は受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)と同様に、シリアルI/O_i許可ビットを“0”(シリアルI/O_i禁止)にしても送信回路を初期化できません。

(4)同期クロックとして外部クロック入力選択時、受信側がSRDY_i出力を行う場合、受信許可ビット及びSRDY_i出力許可ビットとともに、送信許可ビットも“1”にしてください。

(5)SRDY_i信号を入力する場合は、データを送信/受信バッファレジスタに書き込む前に、使用する端子を入力モードに設定してください。

2. UART

送信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

<理由>

1. の(1)と同じです。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)にしてください。

送受信動作を停止する場合、送信許可ビットを“0”(送信禁止)に、受信許可ビットを“0”(受信禁止)にしてください。

3. クロック同期形 / UART共通

(1)シリアルI/O_i(i=1,2)制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定しなおしてください。

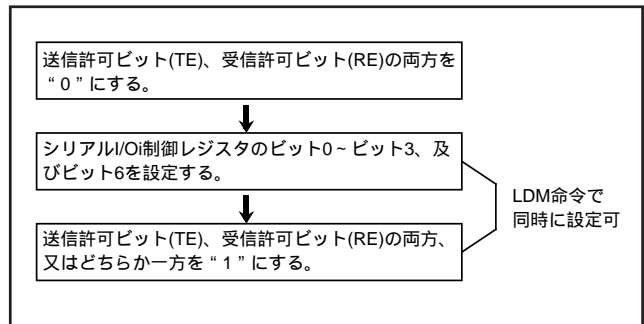


図6. シリアルI/O制御レジスタの再設定手順

(2)送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(3)データ送信時、同期クロックとして外部クロックを選択している場合、SCLK_iが“H”の状態を送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK_iが“H”の状態で行ってください。

(4)送信割り込みを使用する場合は、以下の手順で設定してください。

シリアルI/O_i送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてからシリアルI/O_i送信割り込み要求ビットを“0”にする。

シリアルI/O_i送信割り込み許可ビットを“1”(許可)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に、上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

(5)ポーレートジェネレータ(BRG_i)への書き込みは、送受信停止中に行ってください。

シリアルI/O1に関する注意事項

1. シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビット(シリアルI/O1制御レジスタ(1A16番地)のビット6)およびシリアルI/O1同期クロック選択ビット(シリアルI/O1制御レジスタのビット1)の設定値により、P12/SCLK1、P13/SRDY1の端子機能が下記ようになります。

(1)シリアルI/O1モード選択ビット “1”:

- ・クロック同期形シリアルI/O選択時
- ・シリアルI/O1同期クロック選択ビットの設定
- “0”: P12端子は同期クロックの出力端子になります。
- “1”: P12端子は同期クロックの入力端子になります。
- ・SRDY1出力許可ビット(SRDY)の設定
- “0”: P13端子は通常の入出力端子として使用できます。
- “1”: P13端子はSRDY1出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

- ・クロック非同期(UART)形シリアルI/O選択時
- ・シリアルI/O1同期クロック選択ビットの設定
- “0”: P12端子は通常の入出力端子として使用できます。
- “1”: P12端子は外部クロックの入力端子になります。
- ・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

バス衝突検出機能に関する注意事項

シリアルI/O1を半二重通信で使用する場合はバス衝突検出割り込みを禁止してください。

シリアルI/O2に関する注意事項

1. シリアルI/O2許可時の入出力端子機能

シリアルI/O2モード選択ビット(シリアルI/O2制御レジスタ(3016番地)のビット6)およびシリアルI/O2同期クロック選択ビット(シリアルI/O2制御レジスタのビット1)の設定値により、P06/SCLK2、P07/SRDY2の端子機能が下記ようになります。

(1)シリアルI/O2モード選択ビット “1”:

- ・クロック同期形シリアルI/O選択時
- ・シリアルI/O2同期クロック選択ビットの設定
- “0”: P06端子は同期クロックの出力端子になります。
- “1”: P06端子は同期クロックの入力端子になります。
- ・SRDY2出力許可ビット(SRDY)の設定
- “0”: P07端子は通常の入出力端子として使用できます。
- “1”: P07端子はSRDY2出力端子になります。

(2)シリアルI/O2モード選択ビット “0”:

- ・クロック非同期(UART)形シリアルI/O選択時
- ・シリアルI/O2同期クロック選択ビットの設定
- “0”: P06端子は通常の入出力端子として使用できます。
- “1”: P06端子は外部クロックの入力端子になります。
- ・クロック非同期(UART)形シリアルI/O選択時は、P07端子は通常の入出力端子として使用できます。

A/D変換に関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、0.01 μ F ~ 1 μ Fの外付けのコンデンサを付加してください。さらに、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分なA/D変換精度が得られない場合があります。

そのため、A/D変換中は、A/D変換クロックが250kHz以上になるように(XIN)を設定してください。

3. A/D変換クロック選択

RC発振時はA/D変換クロック選択ビット(A/D制御レジスタ(3416番地)のビット3)を“0”(f(XIN)/2)にしてください。

セラミック発振、オンチップオシレータ使用時は“1”(f(XIN))も選択できます。

4. アナログ入力端子選択

アナログ入力端子のP26/AN6、P27/AN7はPRSP0036GA-Aパッケージ版でのみ使用可能です。

5. A/D変換レジスタの読み出し

A/D変換レジスタの読み出しは、8ビット読み出しの場合A/D変換下位レジスタ(3516番地)のみ読み出ししてください。10ビット読み出しの場合、A/D変換上位レジスタ(3616番地)、A/D変換下位レジスタ(3516番地)の順で読み出しください。

その際A/D変換上位レジスタ(3616番地)のビット2~ビット7は読み出し時の値は“0”になります。

6. A/D変換精度

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) V_{REF} 電圧を V_{CC} 電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、 V_{REF} 電圧と V_{CC} 電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) V_{REF} 電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、 V_{REF} =3.0V以上での使用を推奨します。

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、STP命令解除後の発振安定時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
3. STP命令機能選択ビット(ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6)はリセット後、一度だけ書き込みが可能です。書き込み後はロックされるため、書き替えはできません。このビットはリセット後'0'になります。
4. カウントソースにf(XIN)を分周したものを選択し、CPUモードレジスタのクロック分周比選択ビットでオンチップオシレータを選択すると、タイマのカウントソースはf(XIN)からオンチップオシレータ出力に置き換わります。

リセット端子に関する注意事項

1. コンデンサの接続
リセット信号が緩やかに立ち上がる場合は、RESET端子とV_{SS}端子の間に、セラミックコンデンサなどの高周波特性の良い11000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。
 - ・コンデンサの配線長は最短にしてください。
 - ・ユーザサイドで応用製品の動作確認を十分行ってください。
- <理由>
RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

クロック発生回路に関する注意事項

1. セラミック発振とRC発振の切り替え
リセット解除後、発振方式選択ビット(CPUモードレジスタ(3B₁₆番地)のビット5)は'0'(セラミック発振)になっています。
RC発振を使用する場合は'1'にしてください。
2. 倍速モード
倍速モードはセラミック発振時のみ使用できます。
RC発振時は、使用しないでください。
3. CPUモードレジスタの書き替え
CPUモードレジスタ(3B₁₆番地)の発振方式選択ビット(ビット5)とプロセッサモードビット(ビット1,0)は発振方式選択や、マイコンの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイコンのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き込みが可能です。
その後、このビットへの書き込みは無効になります。
(エミュレータ専用MCU[®] M37542RSS[™]は除きます)
また、ビット5,1,0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用後も、これらのビットへの書き込みは無効になります。

4. クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替え
クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7,6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、クロック発生回路状態遷移図(図84)の状態遷移を実現できます。
切り替えにあたっては、クロック発生回路状態遷移の制限事項に注意してください。

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7,6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、クロック発生回路状態遷移図(図84)の状態遷移を実現できます。

切り替えにあたっては、クロック発生回路状態遷移の制限事項に注意してください。

5. オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子を1k \sim 10kの抵抗を介してV_{CC}に接続し、XOUT端子は開放としてください。

なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

6. セラミック共振子を使用する場合

メインクロックにセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続してください。

発振周波数に応じてダンピング抵抗R_dを外付けしてください。(帰還抵抗は内蔵しております。)容量などの定数は、共振子により異なりますので、共振子メーカーの推奨値をご使用ください。

7. RC発振を使用する場合

メインクロックにRC発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC発振用の抵抗RおよびコンデンサCの定数は、マイコンのパラキと抵抗およびコンデンサ自身のパラキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

8. 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放してください。

なお発振方式選択ビットは'0'(セラミック発振)を選択してください。

9. カウントソース(タイマ1、タイマA、タイマB、シリアルI/O1、シリアルI/O2、A/Dコンバータ、ウォッチドッグタイマ)

ウォッチドッグタイマのカウントソースは、CPUモードレジスタのクロック分周比選択ビットの影響を受けます。

CPUクロックにf(XIN)発振を選択している場合はf(XIN)クロックが、CPUクロックにオンチップオシレータ出力を選択している場合は、オンチップオシレータ出力がウォッチドッグタイマに供給されます。

発振制御に関する注意事項

- 発振停止検出回路
 - ストップモードを使用する場合は、発振停止検出機能を無効にしてください。
 - XIN発振制御ビット(CPUモードレジスタ(3B16番地)のビット4)でセラミックまたはRC発振停止を選択する場合は、発振停止検出機能を無効にしてください。
- ストップモード
 - ストップモードを使用する場合は、発振停止検出機能を無効にしてください。
 - ストップモードを使用する場合は、STP命令機能選択ビット(ウォッチドッグタイマ制御レジスタ(3916番地)のビット6)を“0”(STP命令許可)に設定してください。
 - STP命令解除後の発振安定時間は、STP命令解除後発振安定時間設定ビット(MISR(3816番地)のビット0)にて自動設定する/自動設定しないを選択することができます。“0”を選択するとタイマ1には“0116”、プリスケアラ1には“FF16”がSTP命令実行時に自動設定されます。“1”を選択した場合は、ご使用になる発振子の発振安定時間にあわせて待ち時間をタイマ1、プリスケアラ1に設定してください。
なお、タイマ1をご使用の場合は、ストップモードからの復帰後、タイマ1、プリスケアラ1の値を再設定してください。
 - A/D変換中は、STP命令を実行しないでください。

オンチップオシレータに関する注意事項

クロック分周比選択ビット(CPUモードレジスタ(3B16番地)のビット7,6)をXINからオンチップオシレータへ切り替えた場合、オンチップオシレータ分周比選択ビット(オンチップオシレータ分周比選択レジスタ(3716番地)のビット7,6)は“102”(オンチップ中速モード(ROSC/8))になります。

発振停止検出回路に関する注意事項

- 発振停止検出によるリセットでは次のビットは初期化されず値を保持します。
 - セラミック又はRC発振停止検出機能有効ビット(MISR(3816番地)のビット1)
 - 発振停止検出ステータスビット(MISRのビット3)
- 発振停止検出ステータスビットは、以下の場合に初期化(“0”)されます。
 - 外部リセット
 - セラミック又はRC発振停止検出機能有効ビット(MISRのビット1)への“0”書き込み。
- 発振停止検出回路はエミュレータ専用MCU‘ M37542RSS’にはありません。

フラッシュメモリ版のCPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

- 動作速度

CPU書き換えモード中は、クロック分周比選択ビット(CPUモードレジスタ(3B16番地)のビット7,6)によって、システムクロックが4.0MHZ以下になるように設定してください。
- 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。
- 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。
- ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常に初期化されるので、アンダフローによる内部リセットは発生しません。
- リセット

常に受け付けます。リセット解除時、CNVss = “H”の場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。

マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

ハードウェアに関する注意事項

電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF~0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

改訂記録

7542 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2002.11.26	-	初版発行
2.00	2003.04.21	1 8 9 10 28 38 39 58 69 ~ 87 88 ~ 97	メモリ容量 改訂 メモリサイズ フラッシュメモリ 改訂 図8 ROMサイズ 改訂 表2 ROM容量 改訂 「4.STP 命令が使用可能です。」の後の説明削除 図26 ポート P03 方向レジスタ 改訂 図42 コンペア出力波形図：P01 変調出力波形 変更 図43 コンペア出力波形図：P01 変調出力波形 変更 発振制御 (1)ストップモード FLASH に関する説明追記 フラッシュメモリに関する説明追記 電気的特性追記
2.01	2003.12.01	1 8 9 15 28 30 35 36 42 53 56 61 64 67 71 72 73 74 88 ~ 106	特長： 割り込み、電源電圧、消費電力 改訂 図8 「開発中」の表記 改訂 表2 フラッシュメモリ版のROM容量 改訂 図14 フラッシュメモリ制御レジスタ2 追記 図26 「CPUモードレジスタ」追記、「タイマ1割り込み要求」の表記 改訂 図29 「CPUモードレジスタ」追記 図37、図38 端子名 追記 図39 端子名 追記 図46、図47 端子名 追記 A-D変換器 改訂 図70 フラッシュメモリ制御レジスタ2 追記 図79 (5)、(6) NOP 命令 改訂 マスク化発注時の提出資料 改訂 A-D変換 改訂 フラッシュメモリ制御レジスタ0(ビット2)の説明、図83 改訂 フラッシュメモリ制御レジスタ2の説明、図85、表8 追記 図86 改訂 表9 改訂 電気的特性(一般品)改訂、電気的特性(広動作温度範囲版)追加
2.02	2004.01.06	1 10 82 85 86 87 94 96	概要 命令実行時間 改訂、注2 削除 【スタックポイント】(S) 本文中の図の参照指示 改訂 表12にP07(BUSY出力)を追加 図95 P07にBUSYを追加 図96、図97 P07にBUSYを追加 図98、図99 CNVssの動作波形 改訂 表19、表20 タイミング必要条件(一般品) 指定のない場合のFLASH ROM版及びマスクROM版のVCC 改訂 表22、表23 スイッチング特性(一般品) 指定のない場合のFLASH ROM版及びマスクROM版のVCC 改訂

改訂記録

7542 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.03	2004.02.10	3 8 9 10 11 18 19 23 26 84 89 94 95 104 105	36PJW-A パッケージ版追加による追記 ; - 図 4 ピン接続図 (36PJW-A パッケージ) 追加 - 図 9 機能ブロック図 (36PJW-A パッケージ) 追加 - 端子の機能説明 : 注 2、3 改訂 - パッケージ : 36PJW-A パッケージ 追加 - サポート製品一覧 : 36PJW-A パッケージ製品情報 追加 - 入出力ポート、図 19 : 注意事項 改訂 - 表 5 : 注意事項 改訂 - INTEDGE : 36PJW-A パッケージ情報 追加 - 図 24 : 注意事項 改訂 表 12 : P00 ~ P03、P07 (誤) P00 ~ P033 (正) 図 100、図 101 : td(CNVss-port)(誤) th(CNVss-port)(正) 表 17 : FLASH ROM の lcc 値 追記 表 18 : FLASH ROM の絶対精度値 追記 表 29 : FLASH ROM の lcc 追記 表 30 : FLASH ROM の絶対精度値 追記
2.04	2004.03.24	10 11 55 62 67 ~ 70 90 110 111 ~ 119	パッケージ 36PJW-A 説明 改訂 表 2 : M37542M2-XXXHP 追記 【A-D 制御レジスタ】ADCON 説明文 改訂 図 79、図 80 ビット名 改訂 ノイズに関する注意事項 追記 (これまで掲載していました周辺機能に関する注意事項は、内容を改訂し、巻末の付録に移動しました。) 2 行目 型名表記 改訂 36PJW-A パッケージ追加 付録 : 注意事項集 追加
2.05	2004.06.08	1 3 11 55 72 90 91 118 120 全ページ	プログラブル入出力ポート、 A/D 変換器 : 36PJW-A パッケージ版追記 図 4 : 1 ~ 3 ピン改訂、M37542F8HP に注意事項 追記 表 2 : M37542F8HP に注意事項 追記 A/D 変換に関する注意事項 追記 表 7 : プログラム / イレーズ回数 改訂 図 110 : 表改訂及び注意事項追記 M37542F8HP に注意事項 追記 A/D 変換に関する注意事項 : 6.A-D 変換精度 追記 発振停止検出回路に関する注意事項 : ポートレジスタ Pi(i=0 ~ 3)の各ビット (Pi(0016, 0216, 0416, 0616 番地)のビット 0 ~ 7) 削除 電源電圧に関する注意事項 追記 用語統一 (統一用語 : オンチップオシレータ、発振停止検出ステータスビット、キャリフラグ等)

改訂記録

7542 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.06	2004.08.23	75	図 97 : ビット 0 ~ ビット 3 改訂
		81	内蔵フラッシュメモリ書き換え禁止機能 説明 一部改訂
		84	標準シリアル入出力モード 説明 一部改訂
		85 ~ 94	構成を標準シリアル入出力モード 1 と標準シリアル入出力モード 2 に分けました。
		88	図 107 : 標準シリアル入出力モード 1 の制御端子処理例 追記
		93	図 112 : 標準シリアル入出力モード 2 の制御端子処理例 追記
3.00	2005.07.01	1	フラッシュ版の ROM サイズ 改訂
		2	図 1 : M37542F8GP M37542FxGP
			図 2 : M37542F8FP M37542FxFP
		3	図 3 : M37542F8SP M37542FxSP
		5	表 1 : 性能概要 追記
		10	表 2 : Vcc, Vss の機能 改訂
		11	フラッシュメモリ容量 改訂、図 10 M37542F4 追記
		12	表 3 : M37542F4GP、M37542F4FP、M37542F4SP 追記
		21	図 20 : (5)ポート P0 ₅ 改訂
		24	未使用端子の処理方法 追記
		48	シリアル I/O 説明 一部追記
		55	【UART2 制御レジスタ】 説明 一部改訂
		56	図 64 : UART2 制御レジスタ 改訂
		59	図 69 : ウォッチドッグタイマ H カウントソース選択ビット 一部追記
		62	クロック発生回路 説明 一部追記
			図 74 : 注記 改訂
		65	図 79 : 注記 追記
		74	表 9 : プログラム / イレーズ時の温度 追記
		75	図 94 : ROM16KB 製品 追記
		88	図 104 : M37542F8GP M37542FxGP
		89	図 105 : M37542F8FP M37542FxFP
			図 106 : M37542F8SP M37542FxSP
		93	図 109 : M37542F8GP M37542FxGP
		94	図 110 : M37542F8FP M37542FxFP
			図 111 : M37542F8SP M37542FxSP
		97	M37542F4GP、M37542F4FP、M37542F4SP 追記、表 15 : 「条件」一部追記
		100	表 18 : 注 1 改訂
		102	表 21、図 114 : 追加
		107	表 28 : 「条件」一部追記
		110	表 31 : 注 1 改訂
112	表 34、図 117 : 追加		
116 ~ 124	125 保証品の電気的特性追記		
127	(2)プロセッサステータスレジスタの参照方法 説明 一部削除		
	図 2 : 改訂		
-	パッケージ型名 改訂 パッケージ型名掲載ページ		

改訂記録

7542 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.01	2005.10.14	- 59 63 134	名称変更：STP 命令禁止ビット STP 命令機能選択ビット (3) STP 命令機能選択ビットの動作 説明改訂 ウォッチドッグタイマに関する注意事項 追記 図 68 ウォッチドッグタイマのブロック図 改訂 図 69 ウォッチドッグタイマ制御レジスタの構成 ビット 6、ビット 7 改訂 クロック発生回路に関する注意事項：カウントソースに関する注意 追記 ウォッチドッグタイマに関する注意事項：4. カウントソースに関する注意 追記 クロック発生回路に関する注意事項：9. カウントソースに関する注意 追記
3.02	2006.08.30	12 17 24 59 73 75 128 133	表 3 ROM 容量の改訂と注 2 追記 ROM 説明追記 図 15 メモリ配置図 注 2 追記 表 7 未使用端子の処理方法 XIN と XOUT 追記 ウォッチドッグタイマ 説明追記 5. 入出力ポート処理の注 削除 図 94 ・内蔵フラッシュメモリのブロック図 改訂 ・注 3 追記 BRK 命令 削除 1. アナログ入力端子 説明改訂
3.03	2008.07.11	1 2 5 10 11 12 21 22 25 ~ 29 40 41 49 58 59 68	・広動作温度範囲版、125 保証品を削除 ・割り込みを全面改訂 ・発振停止検出回路を全面改訂 動作周囲温度 広動作温度範囲版、125 保証品を削除 概要、特長「シリアル I/O」 「シリアルインタフェース」 応用「自動車」削除 図 1、2 広動作温度範囲版、125 保証品を削除 表 1 動作周囲温度 広動作温度範囲版、125 保証品を削除 「シリアル I/O」 「シリアルインタフェース」 表 2 広動作温度範囲版、125 保証品に関する注意文言（注 1）を削除 「A/D 変換器」 「A/D コンバータ」 図 10 広動作温度範囲版、125 保証品を削除 表 3 広動作温度範囲版、125 保証品を削除 図 20 ポート P03 結線改訂 図 21 ポート P11、ポート P14 結線改訂 ポート P20 ~ P27 「A/D 変換器」 「A/D コンバータ」 割り込み 全面改訂 図 43 バッファ改訂 図 45 バッファ改訂 見出し「シリアル I/O」 「シリアルインタフェース」 「A/D 変換器」 「A/D コンバータ」 図 70 図題「A/D 変換器」 「A/D コンバータ」 発振停止検出回路 全面改訂

改訂記録

7542 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.03	2008.07.11	72	「A/D変換器」「A/Dコンバータ」
		79	図98 注意番号改訂
		88	表13 「A/D変換器」「A/Dコンバータ」
		89	図107 広動作温度範囲版、125 保証品を削除
		90	図108 広動作温度範囲版、125 保証品を削除
		93	表13 「A/D変換器」「A/Dコンバータ」
		94	図112 広動作温度範囲版、125 保証品を削除
		95	図113 広動作温度範囲版、125 保証品を削除
		98 ~ 107	「一般品」表現削除、「A/D変換器」「A/Dコンバータ」 広動作温度範囲版、125 保証品の電気的特性を削除
		110	付図2「PLP命令の実行手順」削除

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなまじく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com