

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

7542 群

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RCJ03B0002-0302

Rev.3.02

2007.12.20

概 要

7542 群是采用了 740 族内核技术的 8 位单片机。

内置串行 I/O、8 位定时器、16 位定时器、A/D 转换器，最适于家电、OA 设备。

特 点

- 基本机器指令.....71
- 指令执行时间.....0.25μs
(在最短指令、振荡频率 8MHz、倍速模式时)
- 存储容量
 - 闪存版 ROM16K~32K+4K 字节
 - RAM1024 字节
 - 掩模型版 ROM8~16K 字节
 - RAM384~512 字节
 - RSS 版 RAM1024 字节
- 可编程输入/输出端口.....29 个
(32 引脚版和 PWQN0036KA-A 封装版有 25 个)
- 中断.....18 个源、16 个向量
- 定时器.....8 位×2
 16 位×2
- 输出比较.....4 个通道
- 输入捕捉.....2 个通道
- 串行 I/O.....8 位×2
(UART 或者时钟同步)
- A/D 转换器.....10 位分辨率×8 个通道
(32 引脚版和 PWQN0036KA-A 封装版有 6 个通道)
- 时钟发生电路.....内置
(还能通过内部振荡器实现低功耗)
(能外接陶瓷谐振器或者晶体谐振器、能 RC 振荡)
- 看门狗定时器.....16 位×1
- 电源电压
 - XIN 振荡频率 (在陶瓷振荡、倍速模式时)
 - 为 8MHz 时.....4.5~5.5V
 - XIN 振荡频率 (在陶瓷振荡、高速模式时)
 - 为 8MHz 时.....4.0~5.5V
 - 为 4MHz 时.....2.4~5.5V
 - 为 2MHz 时.....2.2~5.5V
 - (在 RC 振荡、高速模式、中速模式时)
 - 为 4MHz 时.....4.0~5.5V
 - 为 2MHz 时.....2.4~5.5V
 - 为 1MHz 时.....2.2~5.5V
- 功耗.....27.5mW (标准)
- 工作环境温度.....-20~85°C
(工作温度范围扩大版为 -40~85°C)
(125°C 保证品为 -40~125°C (注))

应 用

OA 设备、FA 设备、家电、民用设备、汽车等。

注. 55°C~85°C 的总时间限定为 6000hr 以内, 85°C~125°C 的总时间限定为 1000hr 以内。

引脚连接图（俯视图）

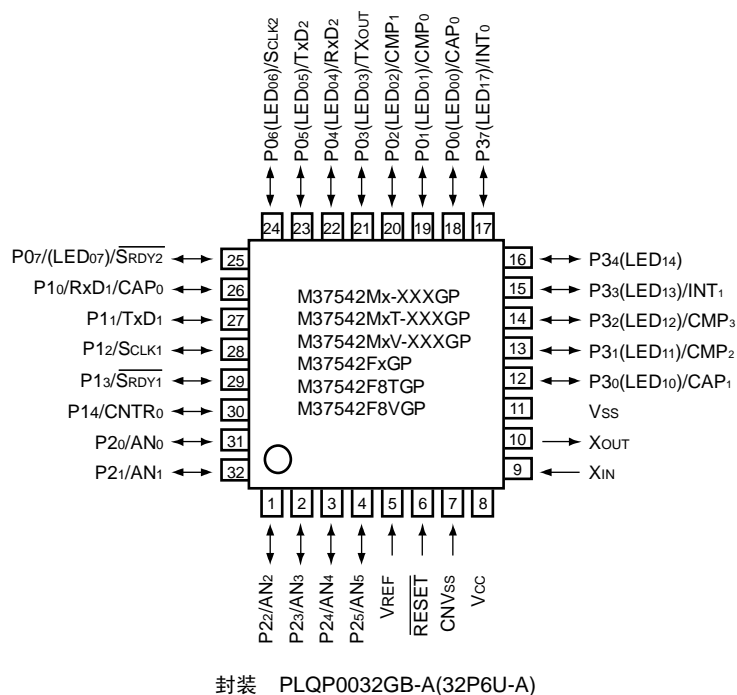


图 1 引脚连接图（PLQP0032GB-A 封装）

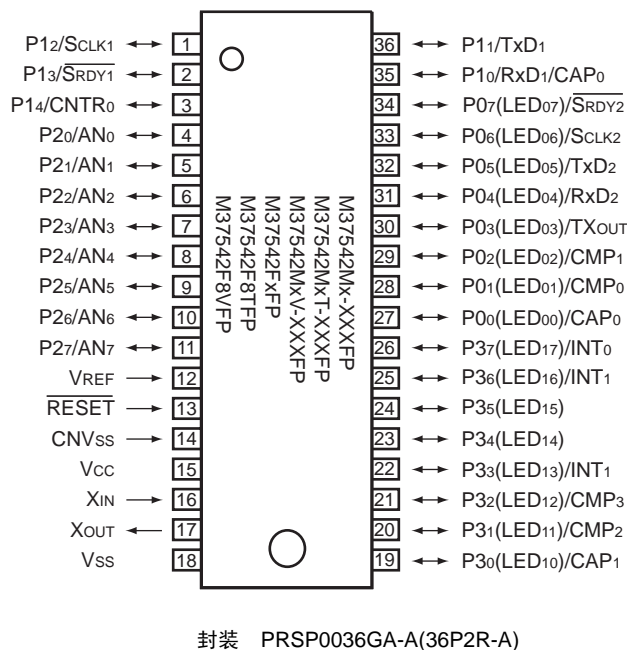


图 2 引脚连接图（PRSP0036GA-A 封装）

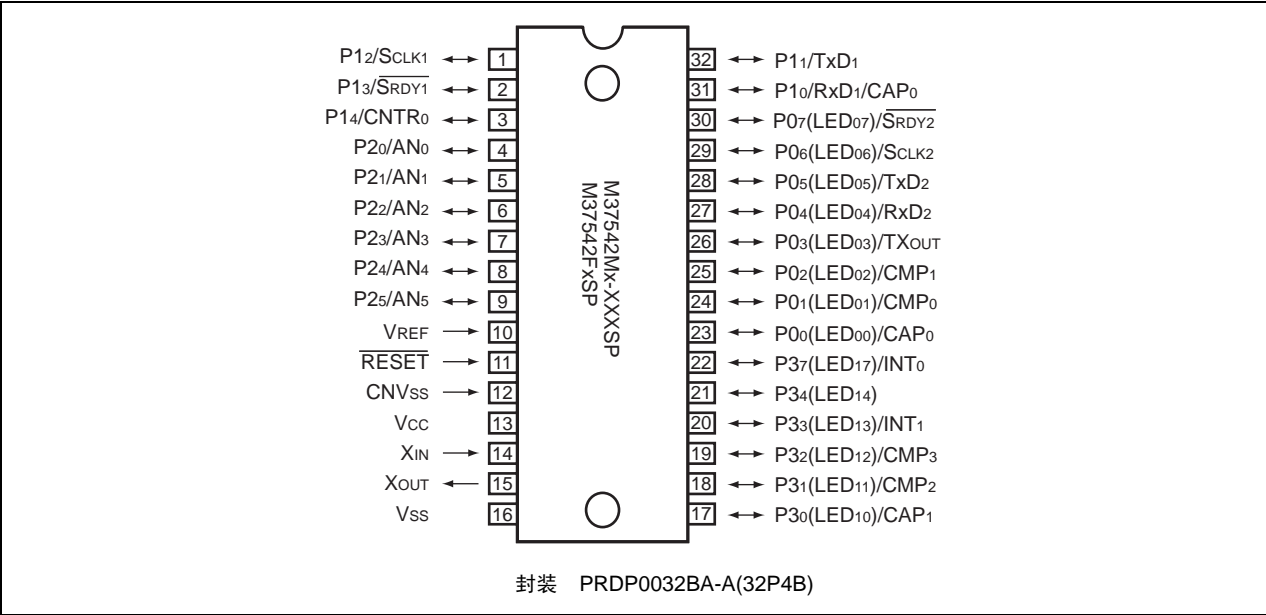


图 3 引脚连接图 (PRDP0032BA-A 封装)

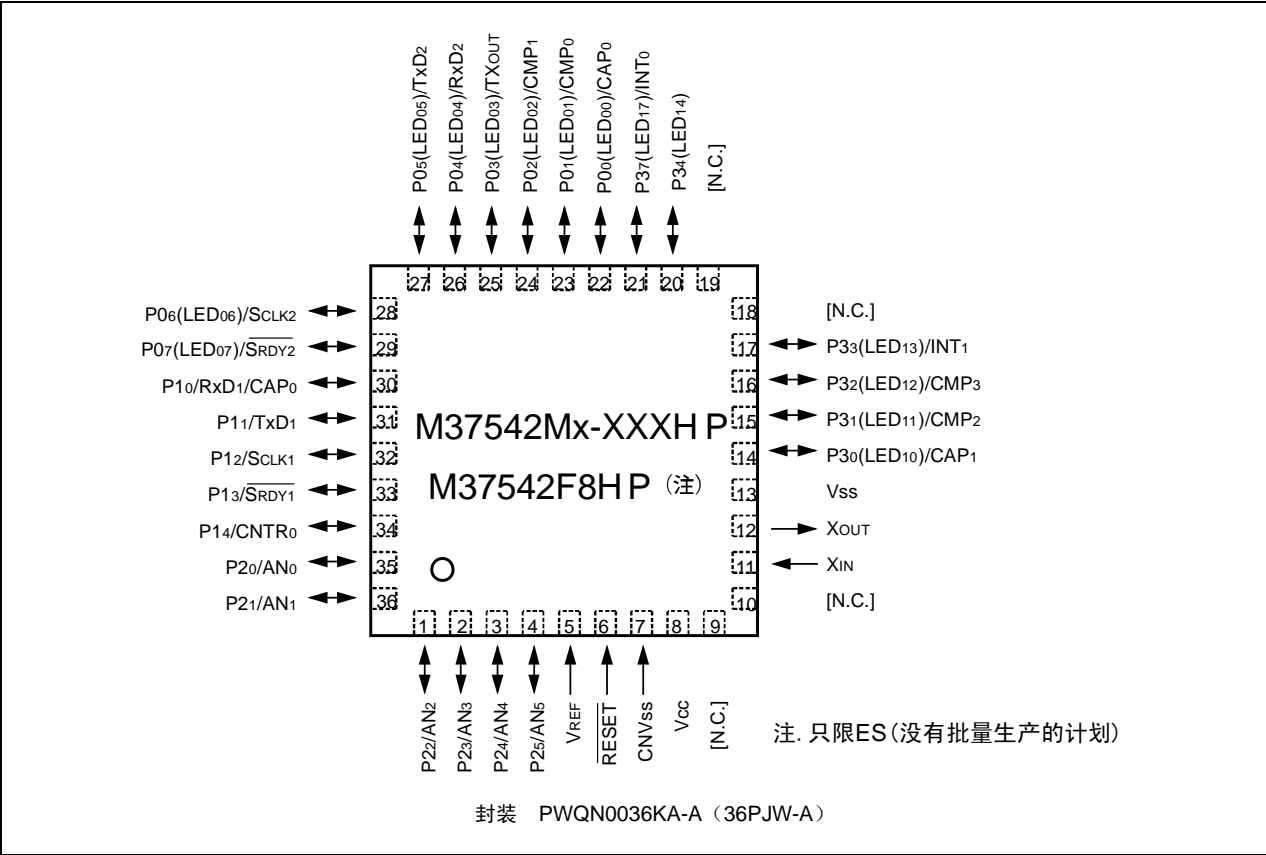


图 4 引脚连接图 (PWQN0036KA-A 封装)

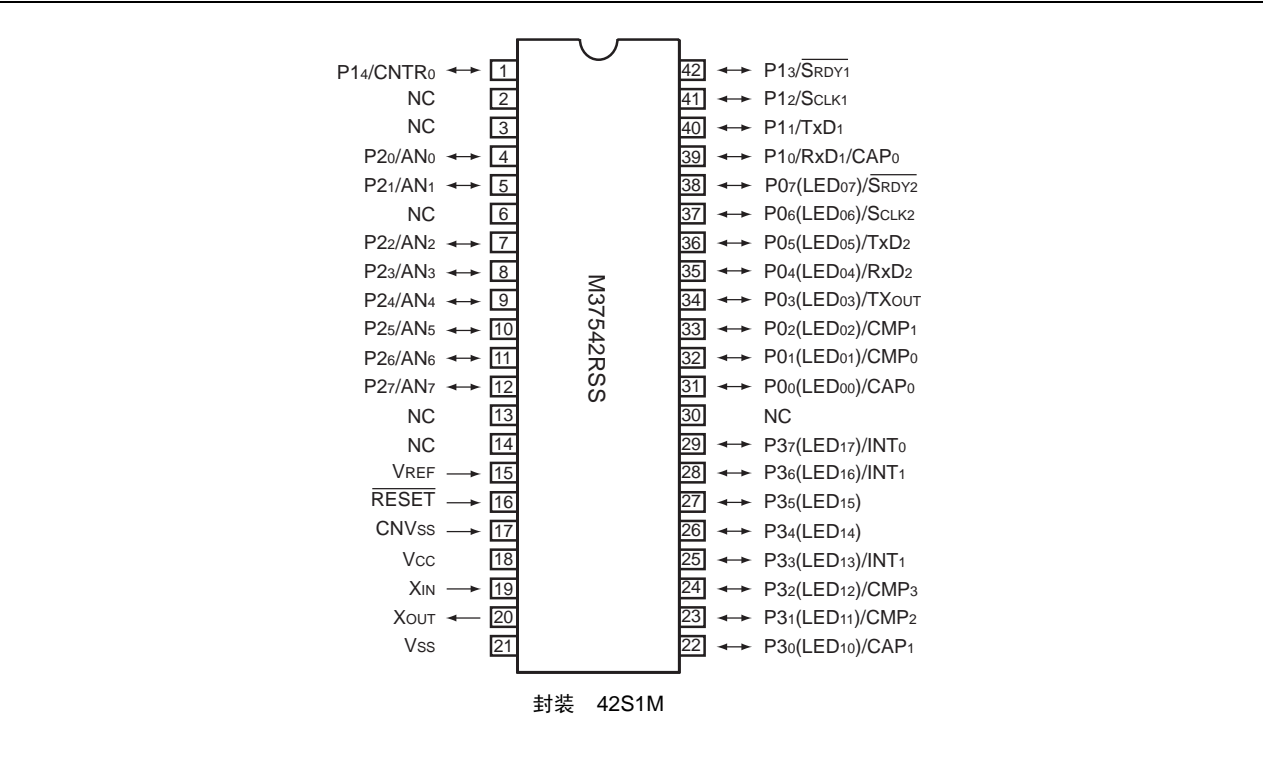


图 5 引脚连接图（42S1M 封装）

表 1 性能概要

项 目				性 能	
基本指令数				71	
最小指令执行时间				0.25μs（振荡频率 8MHz：倍速模式）	
振荡频率				8MHz（最大）	
存储器容量	掩模型 ROM 版	ROM		8K~16K 字节	
		RAM		384~512 字节	
	FLASH ROM 版	ROM		16K~32K+4K 字节	
		RAM		1024 字节	
输入/输出端口	P0、P1、P2、P3			8 位×3、5 位×1 （32 引脚版和 PWQN0036KA-A 封装版为 8 位×1、6 位×2、5 位×1）	
中断				18 个源、16 个向量	
定时器				8 位×2、16 位×2	
输出比较				4 个通道	
输入捕捉				2 个通道	
串行 I/O				8 位×2（UART 或者时钟同步）	
A/D 转换器				10 位×8 个通道 （32 引脚版和 PWQN0036KA-A 封装版为 6 个通道）	
看门狗定时器				16 位×1	
时钟发生电路				内置 （可外接陶瓷振荡器或者晶体谐振器和 RC 谐振器，可 RC 振荡） （可通过内部振荡器实现低消耗电流）	
电源电压 （陶瓷振荡时）	高、中速模式	8MHz 运行时	掩模型 ROM 版	4.0V~5.5V	
			FLASH ROM 版		
		4MHz 运行时	掩模型 ROM 版	2.4~5.5V	
			FLASH ROM 版	2.7~5.5V	
		2MHz 运行时 （注 1）	掩模型 ROM 版	2.2~5.5V	
			FLASH ROM 版	2.7~5.5V	
	倍速模式	8MHz 运行时	掩模型 ROM 版	4.5~5.5V	
			FLASH ROM 版		
		6.5MHz 运行时	掩模型 ROM 版	4.5~5.5V	
			FLASH ROM 版		
2MHz 运行时	掩模型 ROM 版	2.4~5.5V			
	FLASH ROM 版	2.7~5.5V			
	1MHz 运行时 （注 1）	掩模型 ROM 版	2.2~5.5V		
		FLASH ROM 版	2.7~5.5V		
电源电压 （RC 振荡时）	高、中速模式	4MHz 运行时	掩模型 ROM 版	4.5~5.5V	
			FLASH ROM 版		
		2MHz 运行时	掩模型 ROM 版	2.4~5.5V	
			FLASH ROM 版	2.7~5.5V	
		1MHz 运行时 （注 1）	掩模型 ROM 版	2.2~5.5V	
			FLASH ROM 版	2.7~5.5V	
功耗			掩模型 ROM 版	27.5mW（典型）	
			FLASH ROM 版	24.0mW（典型）	
工作环境温度	一般产品			-20~85℃	
	工作温度范围扩大版			-40~85℃	
	125℃ 保证产品			-40~125℃（注 2）	
组件结构				CMOS 硅栅	
封装				32 引脚塑模 SDIP/LQFP	
				36 引脚塑模 SSOP/WQFN	

【注】 1. 工作温度范围扩大版及和125°C保证产品没有此规格。

2. 工作环境温度55°C~85°C的总时间限定为6000个小时以内，85°C~125°C的总时间限定为1000个小时以内。

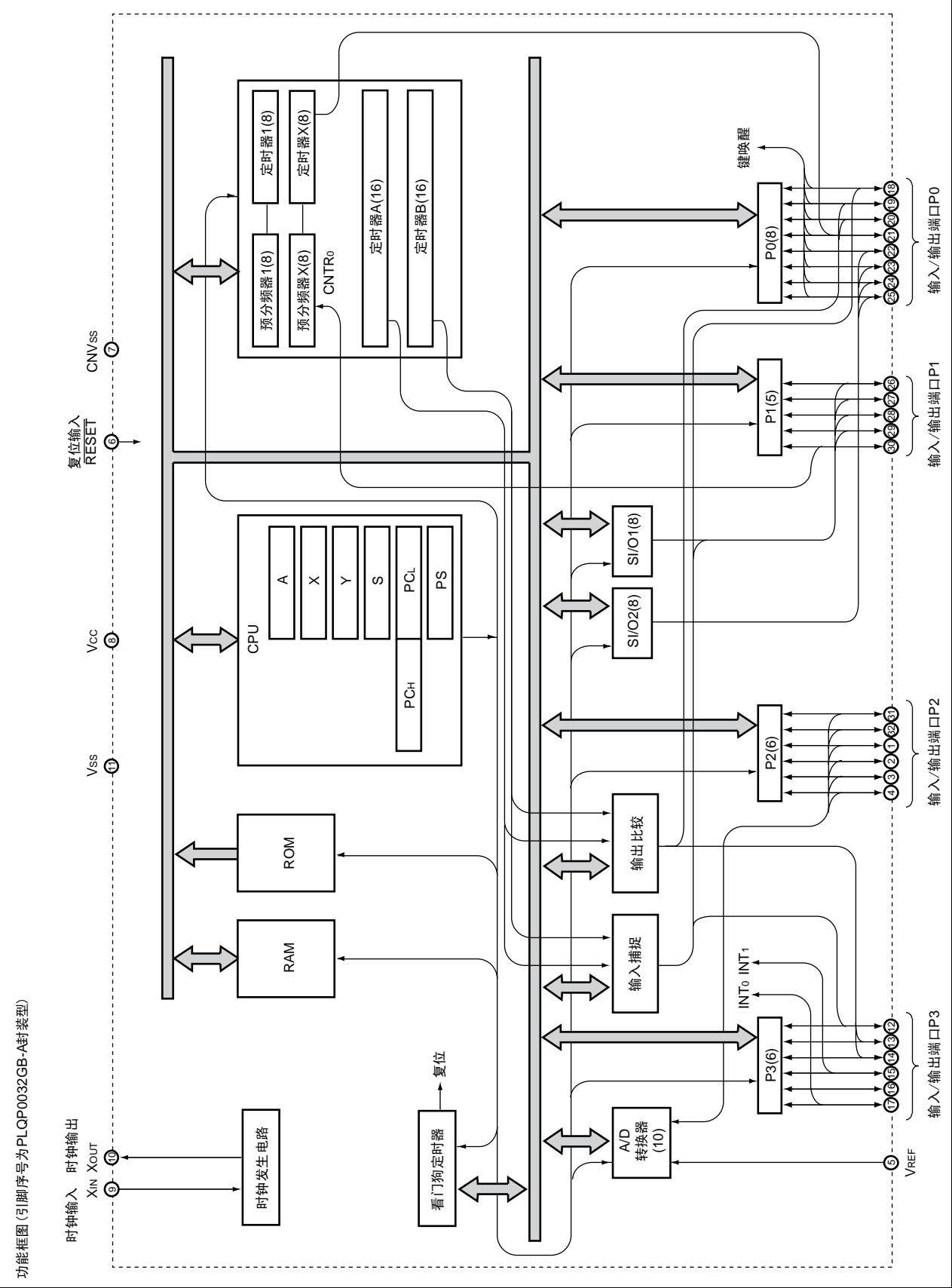


图 6 功能框图 (PLQP0032GB-A 封装)

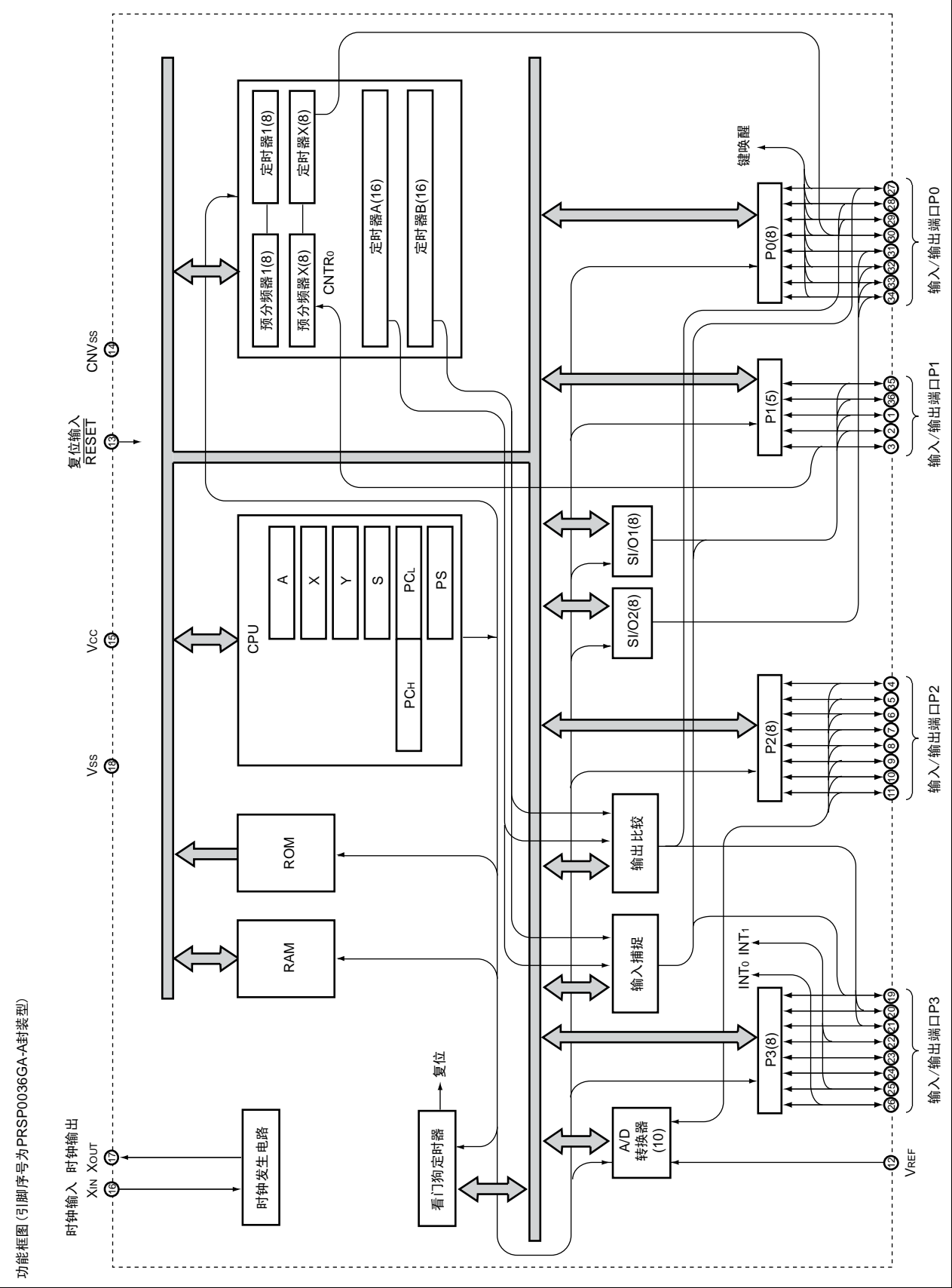


图 7 功能框图 (PRSP0036GA-A 封装)

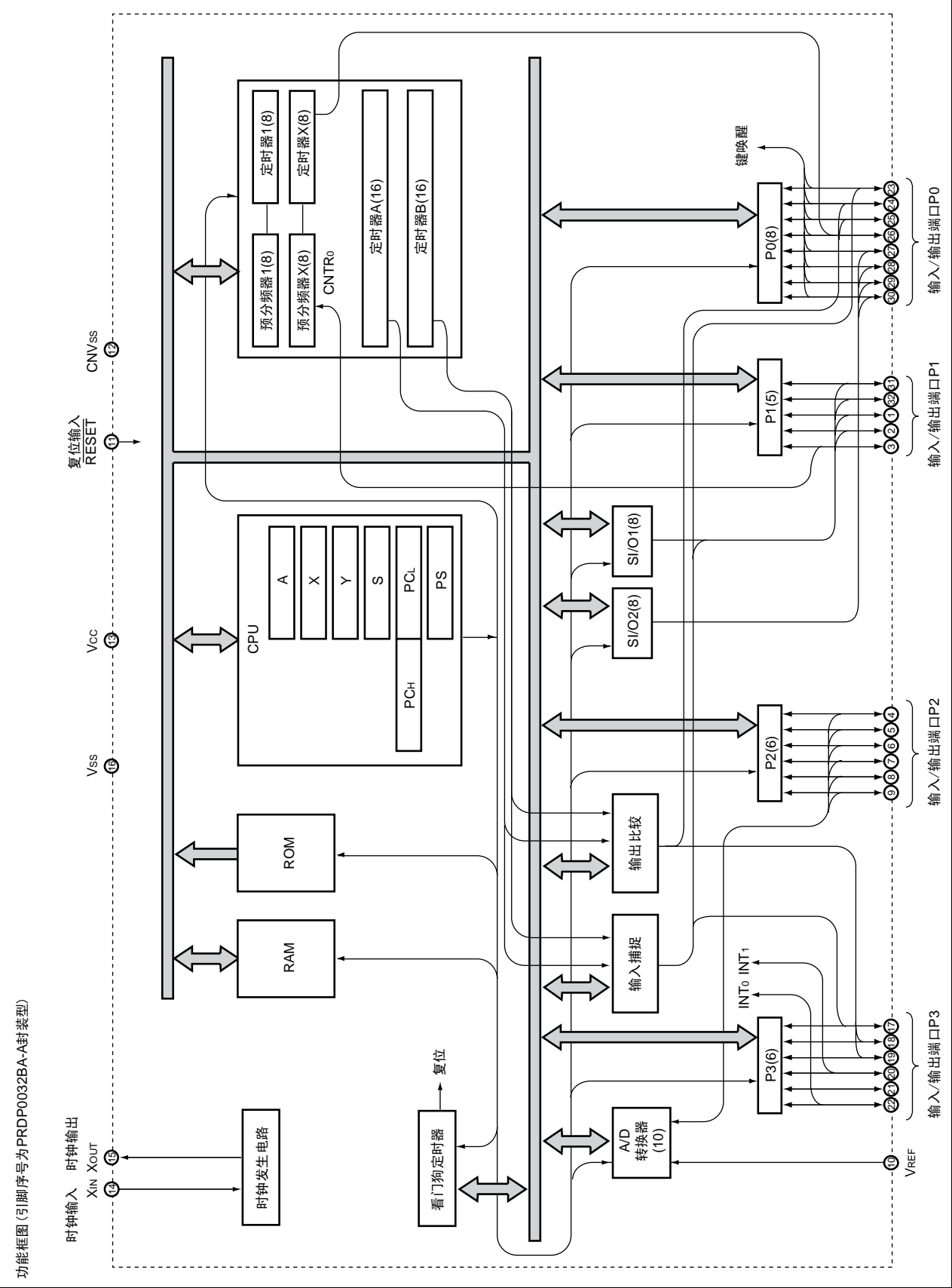


图 8 功能框图 (PRDP0032BA-A 封装)

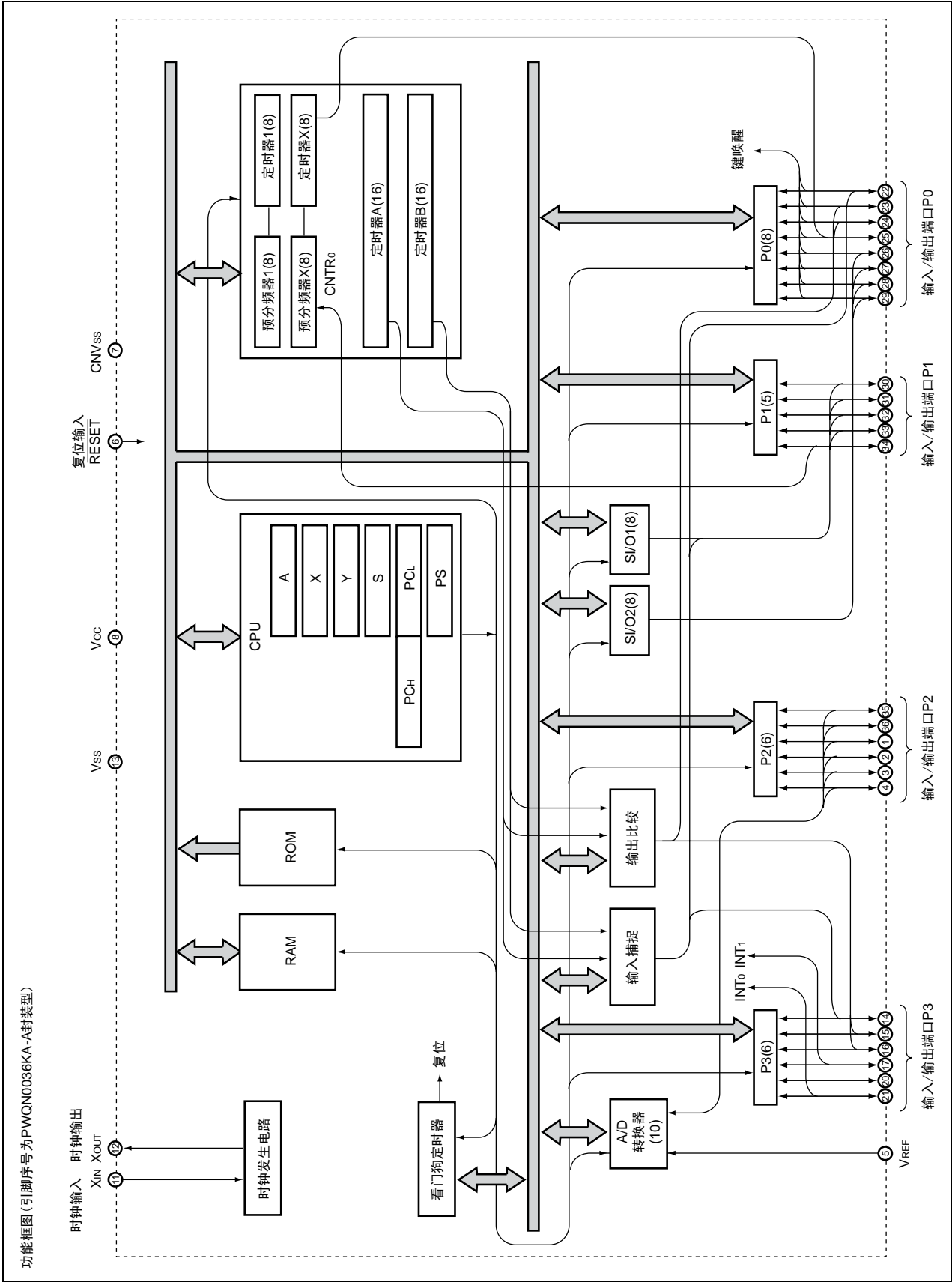


图 9 功能框图 (PWQN0036KA-A 封装)

引脚的功能说明

表 2 引脚的功能说明

引脚名	名 称	功 能		端口以外的功能		
Vcc,Vss	电源输入	掩模型ROM版（注1）	给Vcc外加2.2～5.5V，给Vss外加0V。			
		FLASH ROM版	给Vcc外加2.7～5.5V，给Vss外加0V。			
VREF	基准电压输入	A/D转换器的基准电压输入引脚。				
CNVss	CNVss	控制芯片运行模式的引脚，总是与Vss连接。				
RESET	复位输入	低电平有效的复位输入引脚。				
XIN	时钟输入	内部时钟发生电路的输入/输出引脚，在XIN和XOUT之间，连接陶瓷谐振器或者晶体谐振器。RC振荡时，将XIN和XOUT短路，连接电容和电阻。 在使用外部时钟时，将时钟振荡源连接到XIN引脚，XOUT引脚置为开路。 在用内部振荡器供给主时钟时，将XIN引脚连接到VCC，XOUT引脚置为开路。				
XOUT	时钟输出					
P00(LED00)/CAP0	输入/输出端口P0	8位输入/输出端口。能通过程序，以位单位进行输入/输出的指定。输入电平为CMOS输入电平，输出形式为CMOS三态。 能通过程序，选择使用/不使用内部上拉电阻。也能通过程序，作为LED驱动端口使用。	捕捉功能引脚	键输入（键唤醒中断输入）引脚		
P01(LED01)/CMP0			比较功能引脚			
P02(LED02)/CMP1						
P03(LED03)/TXOUT			定时器X功能引脚			
P04(LED04)/RxD2			串行I/O2功能引脚			
P05(LED05)/TxD2						
P06(LED06)/SCLK2						
P07(LED07)/ $\overline{\text{SRDY2}}$						
P10/RxD1/CAP0	输入/输出端口P1	5位输入/输出端口。能通过程序，以位单位进行输入/输出的指定。输入电平为CMOS输入电平，输出形式是为CMOS三态。 P10、P12、P13能进行CMOS/TTL电平转换。	串行I/O1功能引脚	捕捉功能引脚		
P11/TxD1			捕捉功能引脚			
P12/SCLK1			串行I/O1功能引脚			
P13/ $\overline{\text{SRDY1}}$						
P14/CNTR0			定时器X功能引脚			
P20/AN0～P27/AN7	输入/输出端口P2（注2）	具有和P0几乎相同功能的8位输入/输出端口。输入电平为CMOS输入电平，输出形式为CMOS三态。	A/D转换器的输入引脚			
P30(LED10)/CAP1	输入/输出端口P3（注3）	8位输入/输出端口。能通过程序，以位单位进行输入/输出的指定。输入电平为CMOS输入电平（P36、P37能进行CMOS/TTL电平转换）。输出形式为CMOS三态，其中P30～P37的8位能进行用于LED驱动的大电流输出。 能通过程序，选择使用/不使用内部上拉电阻。也能通过程序，作为LED驱动端口使用。	捕捉功能引脚	中断输入引脚		
P31(LED11)/CMP2			比较功能引脚			
P32(LED12)/CMP3						
P33(LED13)/INT1						
P34(LED14)						
P35(LED15)						
P36(LED16)/INT1			中断输入引脚			
P37(LED17)/INT0						

【注】 1. 在扩大工作温度范围版 (−40~85°C) 和125°C保证品 (−40~125°C) 情况下, VCC=2.4~5.5V。

2. 32引脚版和PWQN0036KA-A封装版没有P26/AN6、P27/AN7引脚, 为6位输入/输出端口。

3. 32引脚版和PWQN0036KA-A封装版没有P35、P36/INT1引脚, 为6位输入/输出端口。

群展开

7542 群按下面的计划展开。

存储器种类

掩模型 ROM 版、闪存版、仿真器专用 MCU 的支持。

存储容量

闪存容量.....16K~32K+4K字节
掩模型ROM容量.....8K~16K字节
RAM 容量.....384~1024 字节

封装

PRDP0032BA-A.....32引脚塑模SDIP
PLQP0032GB-A.....0.8mm节距32引脚塑模LQFP
PRSP0036GA-A.....0.8mm节距36引脚塑模SSOP
PWQN0036KA-A.....0.5mm节距36引脚塑模WQFN
42S1M.....42引脚收缩陶瓷PIGGY BACK

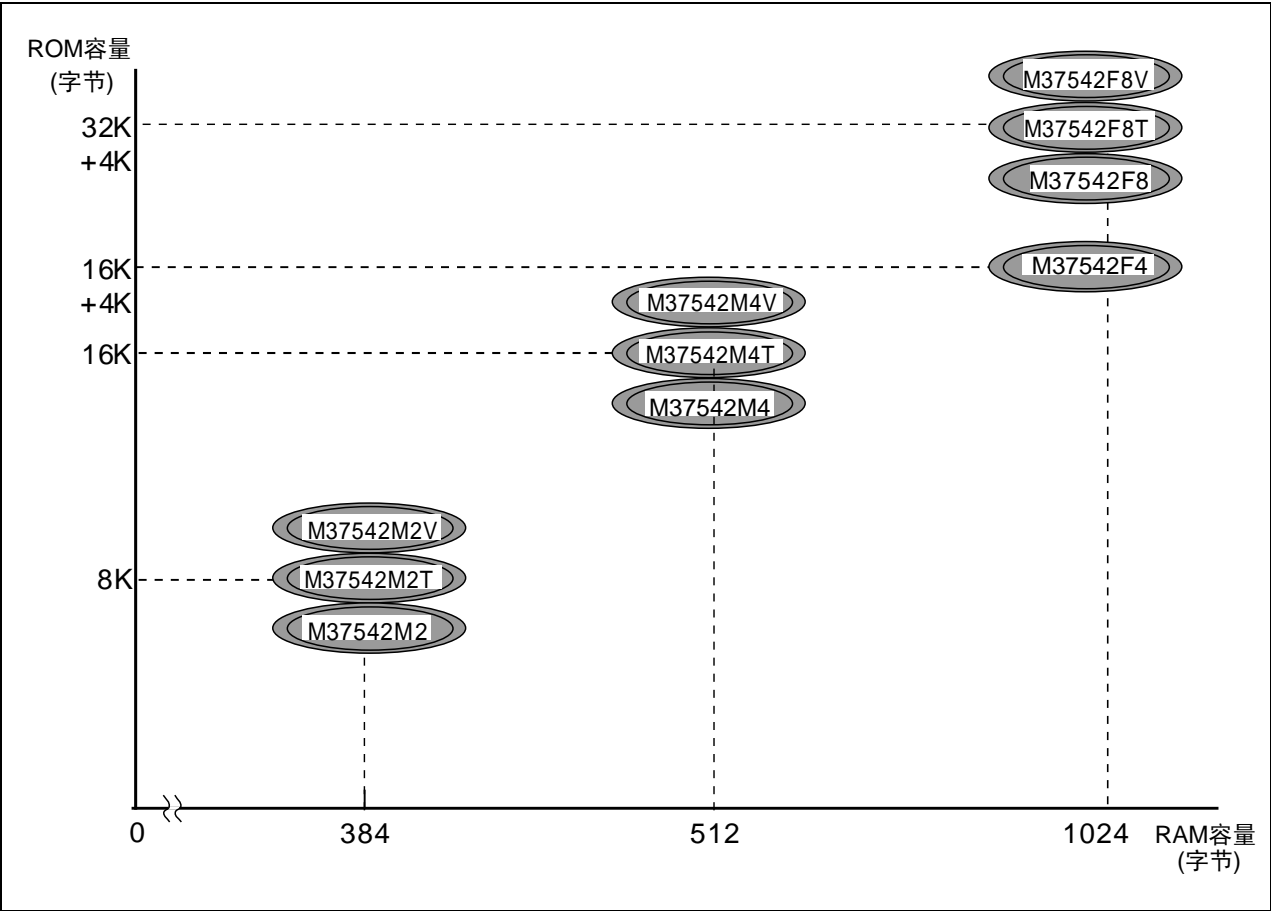


图 10 ROM 和 RAM 展开计划

现在正在开发的产品如下：

表3 支持产品一览表

产品型号	ROM容量（字节） （）内是用户ROM容量	RAM容量 （字节）	封装	备 注
M37542M2-XXXSP	8192 (8062)	384	PRDP0032BA-A	掩模型ROM版
M37542M2-XXXHP			PWQN0036KA-A	掩模型ROM版
M37542M2-XXXFP			PRSP0036GA-A	掩模型ROM版
M37542M2T-XXXFP				掩模型ROM版（工作温度范围扩大版）
M37542M2V-XXXFP				掩模型ROM版（125°C保证产品）
M37542M2-XXXGP			PLQP0032GB-A	掩模型ROM版
M37542M2T-XXXGP				掩模型ROM版（工作温度范围扩大版）
M37542M2V-XXXGP				掩模型ROM版（125°C保证产品）
M37542M4-XXXSP	16384 (16254)	512	PRDP0032BA-A	掩模型ROM版
M37542M4-XXXHP			PWQN0036KA-A	掩模型ROM版
M37542M4-XXXFP			PRSP0036GA-A	掩模型ROM版
M37542M4T-XXXFP				掩模型ROM版（工作温度范围扩大版）
M37542M4V-XXXFP				掩模型ROM版（125°C保证产品）
M37542M4-XXXGP			PLQP0032GB-A	掩模型ROM版
M37542M4T-XXXGP				掩模型ROM版（工作温度范围扩大版）
M37542M4V-XXXGP				掩模型ROM版（125°C保证产品）
M37542F4SP	16384+4096 (注2)	1024	PRDP0032BA-A	闪存版
M37542F4FP			PRSP0036GA-A	闪存版
M37542F4GP			PLQP0032GB-A	闪存版
M37542F8SP	32768+4096 (注2)	1024	PRDP0032BA-A	闪存版
M37542F8FP			PRSP0036GA-A	闪存版
M37542F8TFP				闪存版（工作温度范围扩大版）
M37542F8VFP				闪存版（125°C保证产品）
M37542F8GP			PLQP0032GB-A	闪存版
M37542F8TGP				闪存版（工作温度范围扩大版）
M37542F8VGP				闪存版（125°C保证产品）
M37542F8HP（注1）			PWQN0036KA-A	闪存版
M37542RSS	—	1024	42S1M	仿真器专用MCU

【注】 1. 只限ES（没有批量生产的计划）

2. ROM容量中包含ID码区。

功能块运行说明

中央运算处理器（CPU）

7542群具有和740族共同的CPU。关于各指令的运行，请参照740族寻址方式和机器指令一览表、或者740族软件手册。

关于产品种类依存的指令如下：

- 1. 没有FST、SLW指令。
- 2. 能使用MUL、DIV指令。
- 3. 能使用WIT指令。
- 4. 能使用STP指令。

中央运算处理器（CPU）有 6 个寄存器。CPU 的寄存器结构如图 11 所示。

【累加器】（A）

累加器是8位寄存器。以此寄存器为中心执行运算、传送等数据处理。

【变址寄存器X】（X）

变址寄存器X是8位寄存器。在变址寻址方式，使用此寄存器进行寻址。

【变址寄存器Y】（Y）

变址寄存器Y是8位寄存器。在变址寻址方式，使用此寄存器进行寻址。

【堆栈指针】（S）

堆栈指针是8位寄存器。在调用子程序或者中断时，此寄存器指向保存寄存器的存储位置（堆栈）的起始地址。

用此寄存器指定堆栈的低8位地址。高8位地址由堆栈页选择位的内容决定。此位是“0”时，高8位为“0016”，此位是“1”时，高8位为“0116”。

堆栈的保存和恢复运行如图12所示。对这里所示以外的必要的寄存器必须用程序保存（参照表4）。

【程序计数器】（PC）

程序计数器是由PCH和PCL构成的16位计数器。PCH和PCL都是8位结构。程序计数器指定下一个要执行的程序存储地址。

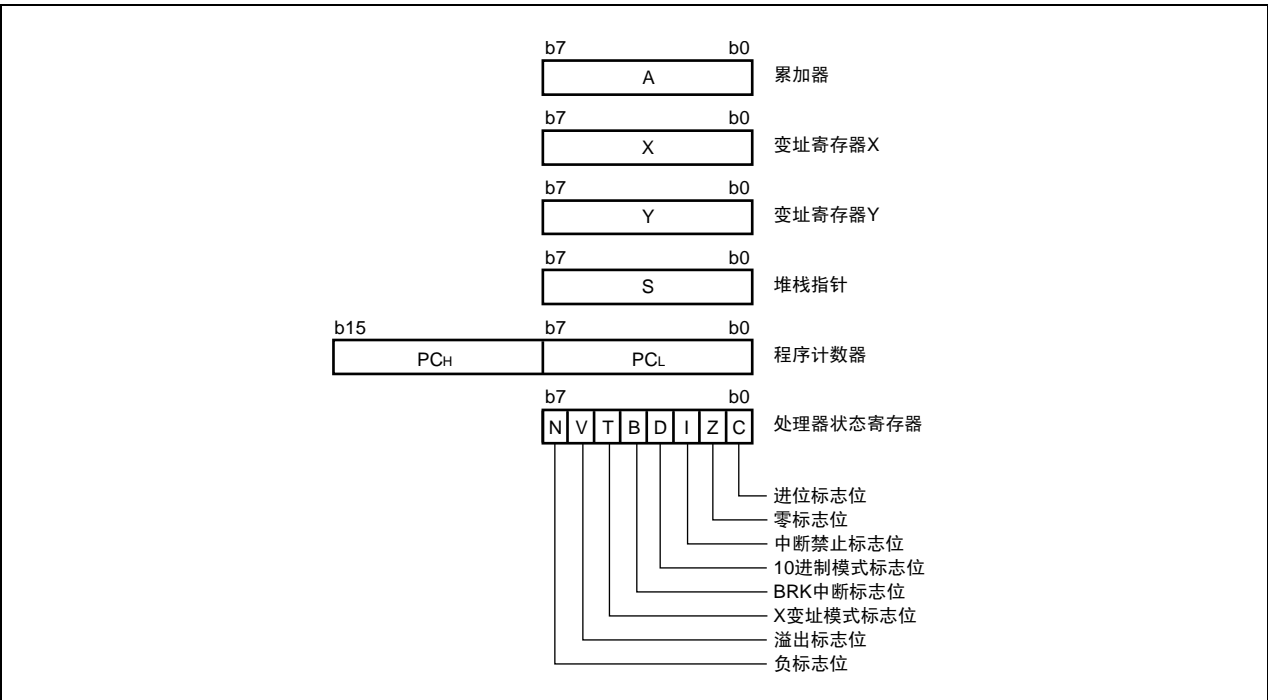


图 11 740 族的 CPU 结构

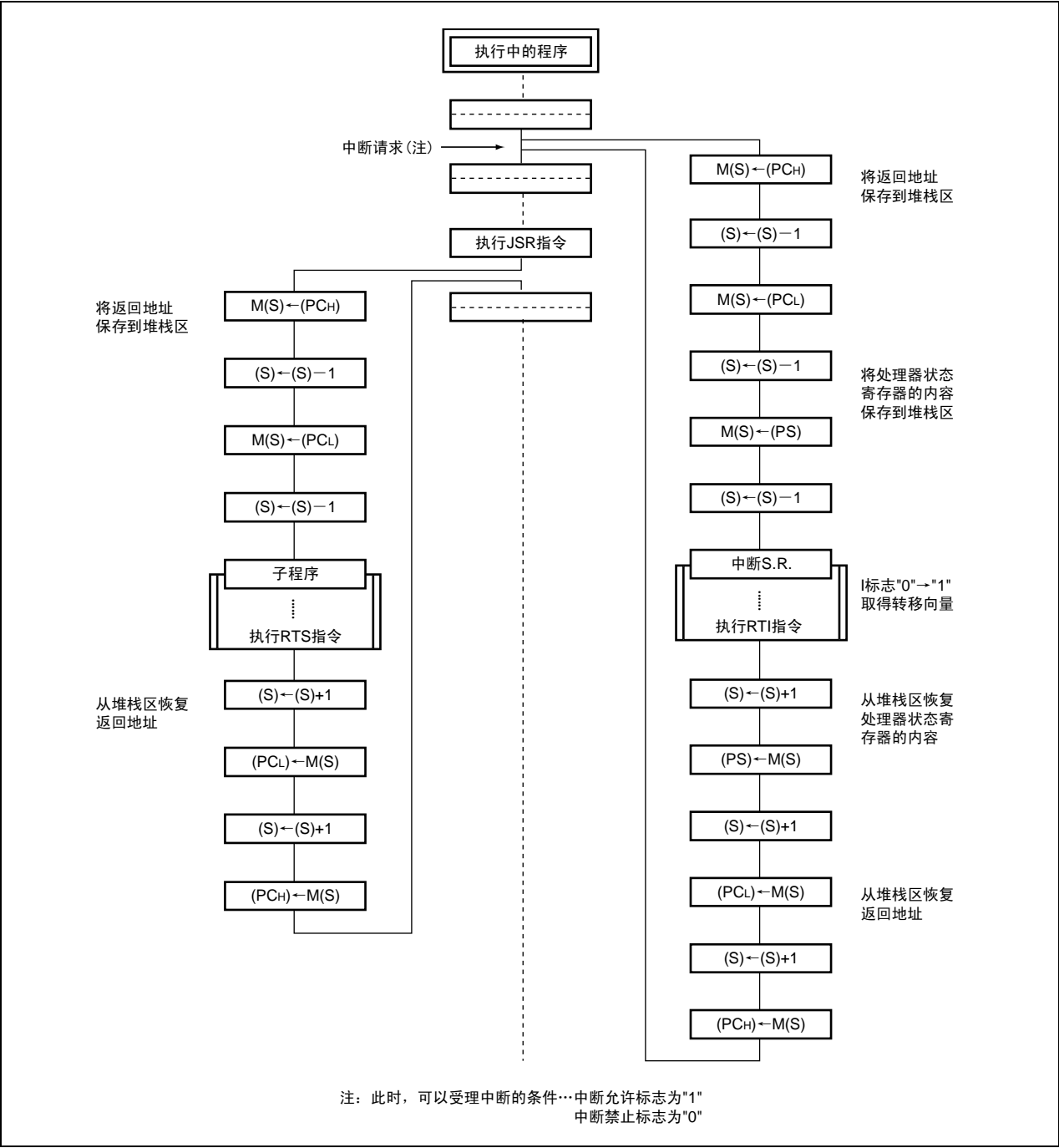


图 12 堆栈的保存和恢复运行

表4 累加器和处理器状态寄存器的保存指令以及恢复指令

	保存到堆栈的指令	从堆栈恢复的指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

【处理器状态寄存器】（PS）

处理器状态寄存器是8位寄存器，由保持刚进行运算后的状态的5个标志和决定MCU运行的3个标志构成。C、Z、V以及N标志能用于转移指令的检测，在10进制模式时，Z、V以及N标志无效。

• bit0: 进位标志位（C）

保持来自运算处理后的算术逻辑运算器的进位或者借位。执行移位指令或者循环指令也改变此标志。

• bit1: 零标志位（Z）

在运算处理或者数据传送的结果为“0”时，此标志被置位；结果不为“0”时，此标志被清除。

• bit2: 中断禁止标志位（I）

用于禁止除了BRK指令以外的所有中断的标志。此标志为“1”时，为中断禁止状态。

• bit3: 10进制运算标志位（D）

决定用2进制还是用10进制进行加减运算的标志。此标志为“1”时，把1字节作为2位的10进制数进行运算。自动进行10进制调整，但是，只有ADC指令和SBC指令能进行10进制运算。

• bit4: 中断标志位（B）

用于识别是否用BRK指令中断的标志。用BRK指令中断时，标志内容自动置“1”，除此以外的中断时将此位清“0”，然后保存到堆栈。

• bit5: X变址模式标志位（T）

此标志为“0”时，在累加器和存储器之间进行运算；此标志为“1”时，能不通过累加器，而直接在存储器与存储器之间进行运算。

• bit6: 溢出标志位（V）

在把1字节作为带符号的2进制数进行加减运算时，使用此标志。在加减运算结果超过+127或-128时，此标志被置位。另外，在执行BIT指令的情况下，被BIT指令执行的存储器的bit6存入此标志。

• bit7: 负标志位（N）

在运算处理或者数据传送的结果为负时，此标志被置位。另外，在执行了BIT指令的情况下，被BIT指令执行的存储器的bit7存入此标志。

表5 进行置位或者清除处理器状态寄存器各标志的指令

	C标志	Z标志	I标志	D标志	B标志	T标志	V标志	N标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPU模式寄存器】CPUM

在CPU模式寄存器中分配了堆栈页选择位等，此寄存器被分配在地址003B16。

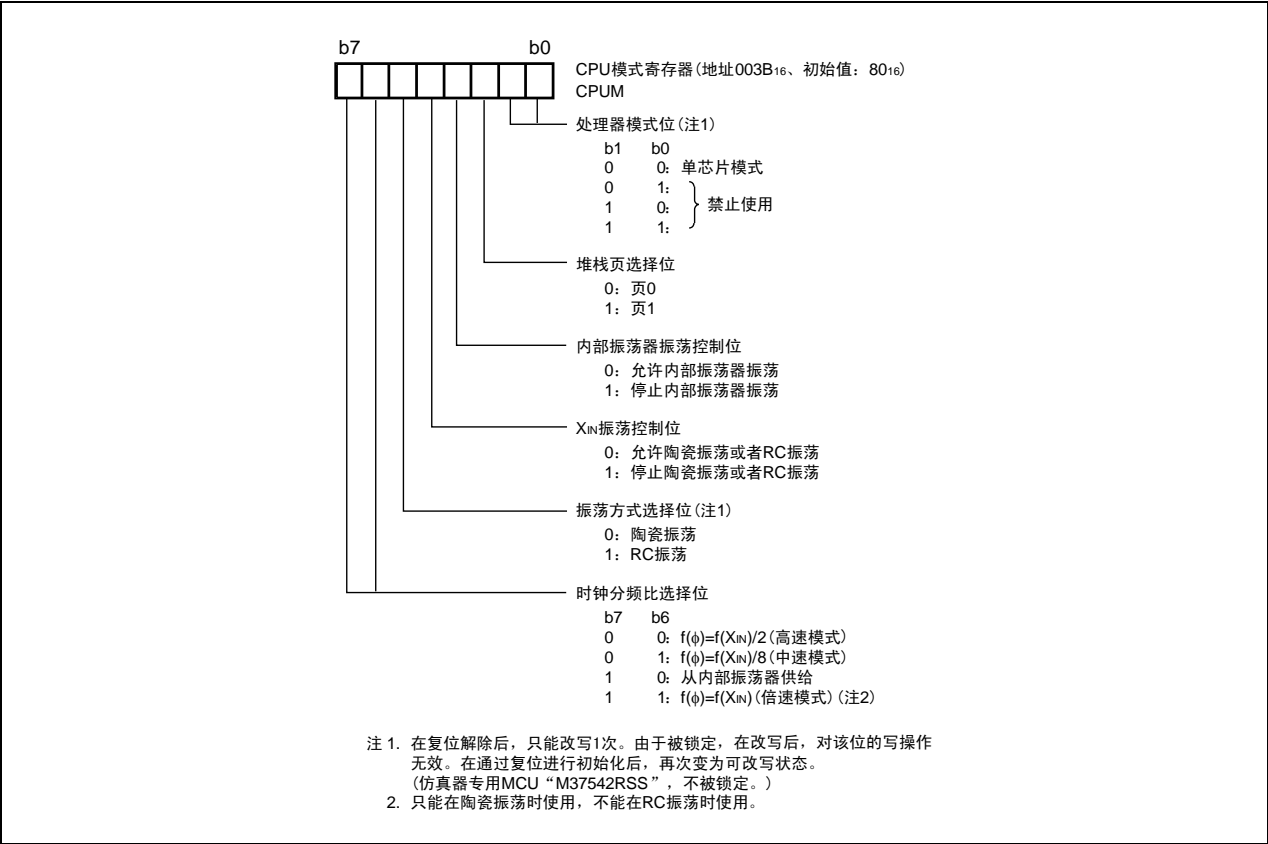


图 13 CPU 模式寄存器的结构

CPU 模式寄存器的转换步骤

在复位解除后的程序开头，必须按以下步骤转换 CPU 模式寄存器（CPUM）：

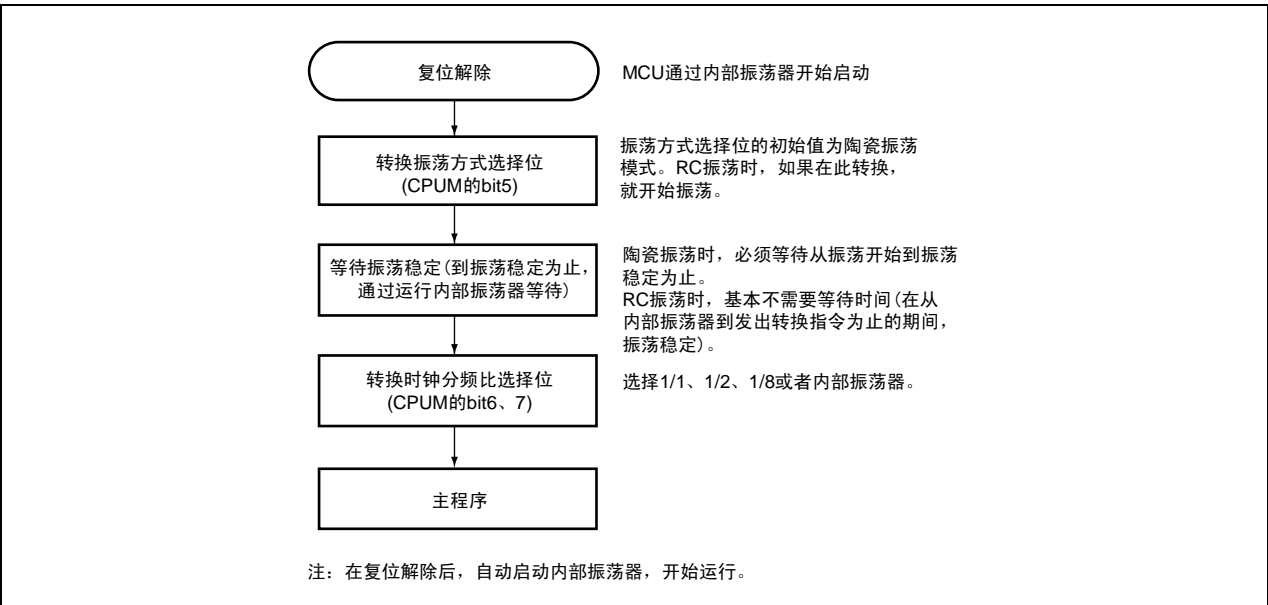


图 14 CPU 模式寄存器的转换步骤

存储器

●SFR区

此区域在页0内，配置了输入/输出端口、定时器等控制寄存器。

●RAM

用于数据保存、子程序调用以及中断时的堆栈等。

●ROM

最前 128 字节和最后 2 字节是用于检查产品的保留区，除此以外是用户区。在闪存版中可对保留 ROM 区进行编程/擦除。

●中断向量区

复位和中断的向量地址保存区。

●页0

通过使用页0寻址方式，能用2字节存取的区域。

●专用页

通过使用专用页寻址方式，能用2字节存取的区域。

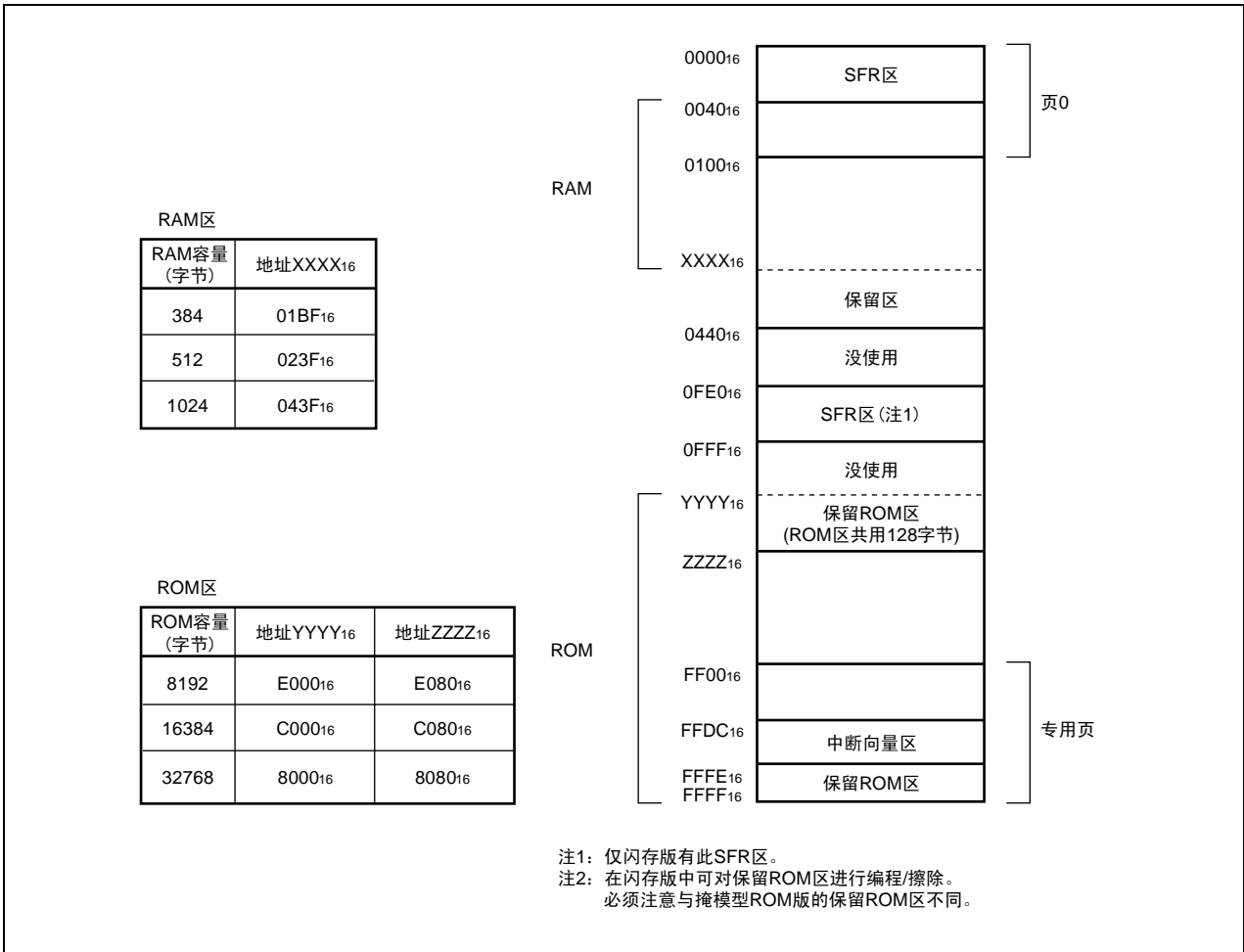


图 15 存储器的分配图

0000 ₁₆	端口P0(P0)	0020 ₁₆	捕捉模式寄存器(CAPM)
0001 ₁₆	端口P0方向寄存器(P0D)	0021 ₁₆	比较输出模式寄存器(CMOM)
0002 ₁₆	端口P1(P1)	0022 ₁₆	捕捉/比较状态寄存器(CCSR)
0003 ₁₆	端口P1方向寄存器(P1D)	0023 ₁₆	比较中断源设定寄存器(CISR)
0004 ₁₆	端口P2(P2)	0024 ₁₆	定时器A(低位)(TAL)
0005 ₁₆	端口P2方向寄存器(P2D)	0025 ₁₆	定时器A(高位)(TAH)
0006 ₁₆	端口P3(P3)	0026 ₁₆	定时器B(低位)(TBL)
0007 ₁₆	端口P3方向寄存器(P3D)	0027 ₁₆	定时器B(高位)(TBH)
0008 ₁₆		0028 ₁₆	预分频器1(PRE1)
0009 ₁₆		0029 ₁₆	定时器1(T1)
000A ₁₆	中断源设定寄存器(INTSET)	002A ₁₆	定时器计数源设定寄存器(TCSS)
000B ₁₆	中断源识别寄存器(INTDIS)	002B ₁₆	定时器X模式寄存器(TXM)
000C ₁₆	捕捉寄存器0(低位)(CAP0L)	002C ₁₆	预分频器X(PREX)
000D ₁₆	捕捉寄存器0(高位)(CAP0H)	002D ₁₆	定时器X(TX)
000E ₁₆	捕捉寄存器1(低位)(CAP1L)	002E ₁₆	发送/接收缓冲寄存器2(TB2/RB2)
000F ₁₆	捕捉寄存器1(高位)(CAP1H)	002F ₁₆	串行I/O2状态寄存器(SIO2STS)
0010 ₁₆	比较寄存器(低位)(CMPL)	0030 ₁₆	串行I/O2控制寄存器(SIO2CON)
0011 ₁₆	比较寄存器(高位)(CMPH)	0031 ₁₆	UART2控制寄存器(UART2CON)
0012 ₁₆	捕捉/比较寄存器R/W指针(CCRP)	0032 ₁₆	波特率发生器2(BRG2)
0013 ₁₆	捕捉软件触发寄存器(CSTR)	0033 ₁₆	
0014 ₁₆	比较设定值重加载寄存器(CMPR)	0034 ₁₆	A/D控制寄存器(ADCON)
0015 ₁₆	端口P0P3驱动能力控制寄存器(DCCR)	0035 ₁₆	A/D转换低位寄存器(ADL)
0016 ₁₆	上拉控制寄存器(PULL)	0036 ₁₆	A/D转换高位寄存器(ADH)
0017 ₁₆	端口P1P3控制寄存器(P1P3C)	0037 ₁₆	内部振荡器分频比选择寄存器(RODR)
0018 ₁₆	发送/接收缓冲寄存器1(TB1/RB1)	0038 ₁₆	MISRG
0019 ₁₆	串行I/O1状态寄存器(SIO1STS)	0039 ₁₆	看门狗定时器控制寄存器(WDTCON)
001A ₁₆	串行I/O1控制寄存器(SIO1CON)	003A ₁₆	中断边沿选择寄存器(INTEDGE)
001B ₁₆	UART1控制寄存器(UART1CON)	003B ₁₆	CPU模式寄存器(CPUM)
001C ₁₆	波特率发生器1(BRG1)	003C ₁₆	中断请求寄存器1(IREQ1)
001D ₁₆	定时器A、B模式寄存器(TABM)	003D ₁₆	中断请求寄存器2(IREQ2)
001E ₁₆	捕捉/比较端口寄存器(CCPR)	003E ₁₆	中断控制寄存器1(ICON1)
001F ₁₆	捕捉/比较定时器源选择寄存器(TMSR)	003F ₁₆	中断控制寄存器2(ICON2)
		0FE0 ₁₆	闪存控制寄存器0(FMCR0)注2
		0FE1 ₁₆	闪存控制寄存器1(FMCR1)注2
		0FE2 ₁₆	闪存控制寄存器2(FMCR2)注2

注1: 不能存取SFR的空区域的存储器。
2: 仅闪存版有此寄存器。

图 16 SFR (特殊功能寄存器) 存储器映像

输入/输出端口

【方向寄存器】PiD

输入/输出端口具有方向寄存器，能以位单位设定作为输入端口还是作为输出端口使用。如果将方向寄存器置“1”，该引脚就为输出端口；如果清“0”，就为输入端口。

在从被设定成输出端口的引脚读取时，读到的不是引脚的值而是端口锁存器的内容。设定成输入端口的引脚为浮动状态，能读取引脚的值。对被设定成输出端口的引脚进行写时，数据虽然被写到端口锁存器，但是引脚仍为浮动状态。

注：由于32引脚版和PWQN0036KA-A封装版没有P26/AN6、P27/AN7、P35、P36的功能，必须进行以下设定：

- 对INT1功能，必须选择P33。
- 必须将端口P26、P27的方向寄存器设定成输出。
- 必须将端口P35、P36的方向寄存器设定成输出。

【端口P0P3驱动能力控制寄存器】DCCR

通过设定端口P0P3驱动能力控制寄存器（地址0015₁₆），能选择端口P0、P3的N沟道输出晶体管的驱动能力。

【上拉控制】PULL

通过设定上拉控制寄存器（地址0016₁₆），端口P0、P3能由程序进行上拉控制。但是，被设定成输出端口的引脚从此控制分离，不进行上拉。

【端口P1P3控制】P1P3C

通过设定端口P1P3控制寄存器（地址0017₁₆），端口P10、P12、P13、P36、P37能由程序选择CMOS输入电平或者TTL输入电平。

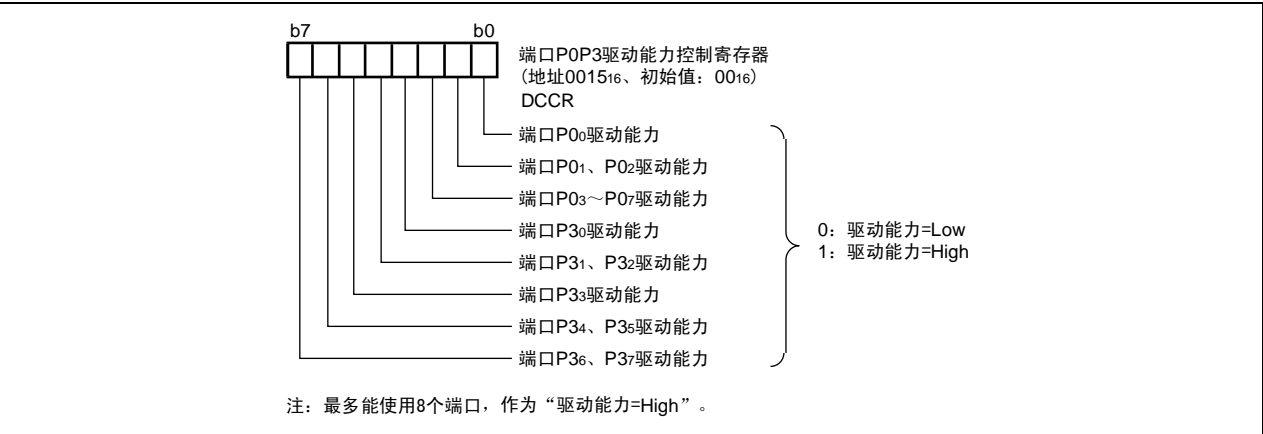


图17 端口P0P3驱动能力控制寄存器的结构

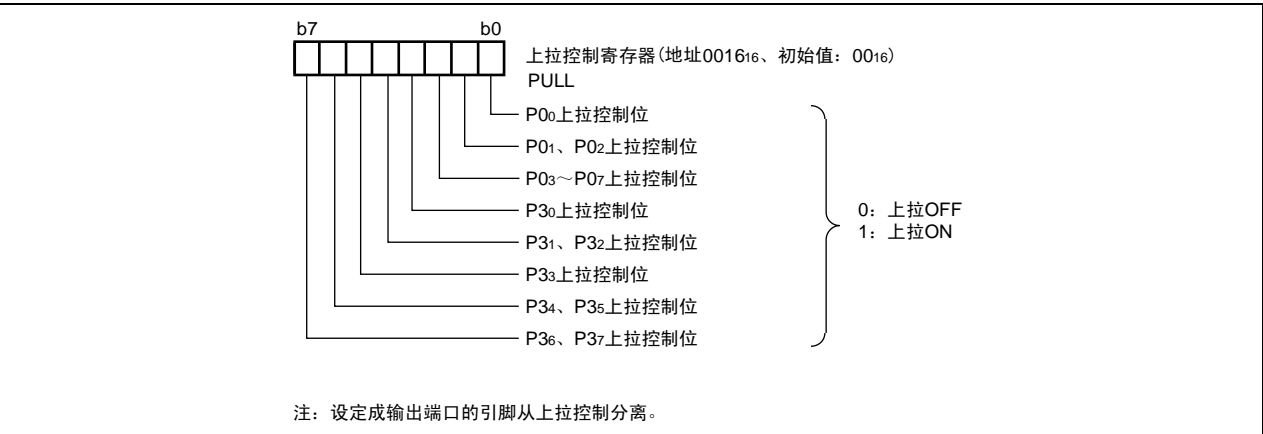


图18 上拉控制寄存器的结构

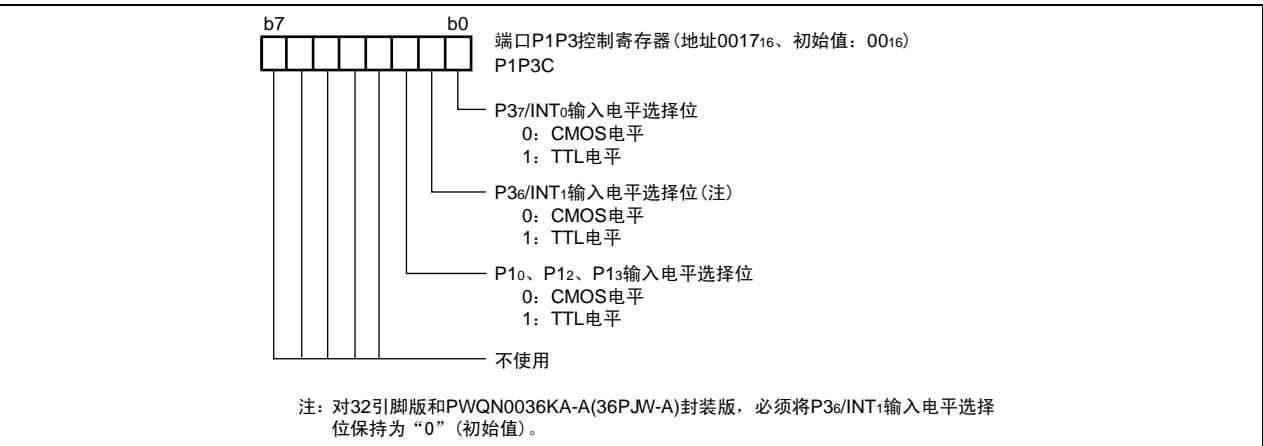


图 19 端口 P1P3 控制寄存器的结构

表6 输入/输出端口功能一览表

引脚名	名称	输入/输出形式	除端口以外的功能	与各引脚相关的SFR	图示号
P00(LED00)/CAP0	端口P0	CMOS输入电平 (注1) CMOS三态输出	捕捉功能输入 键输入中断	捕捉/比较端口寄存器 中断边沿选择寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(1)
P01(LED01)/CMP0 P02(LED02)/CMP1			比较功能输出 键输入中断	捕捉/比较端口寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(2)
P03(LED03)/TXOUT			定时器X功能输出 键输入中断	定时器X模式寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(3)
P04(LED04)/RxD2			串行I/O2功能输入/输出 键输入中断	串行I/O2控制寄存器 中断边沿选择寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(4)
P05(LED05)/TxD2				串行I/O2控制寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(5)
P06(LED06)/SCLK2				串行I/O2控制寄存器 中断边沿选择寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(6)
P07(LED07)/ $\overline{\text{SRDY2}}$				串行I/O2控制寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(7)
P10/RxD1/CAP0	端口P1		串行I/O1功能输入 捕捉功能输入	串行I/O1控制寄存器 捕捉/比较端口寄存器 端口P1P3控制寄存器	(8)
P11/TxD1			串行I/O1功能输入/输出	串行I/O1控制寄存器	(9)
P12/SCLK1				串行I/O1控制寄存器 端口P1P3控制寄存器	(10)
P13/ $\overline{\text{SRDY1}}$				串行I/O1控制寄存器 端口P1P3控制寄存器	(11)
P14/CNTR0			定时器X功能输入/输出 外部中断输入	定时器X模式寄存器	(12)
P20/AN0~P27/AN7	端口P2 (注2)		A/D转换输入	A/D控制寄存器	(13)
P30(LED10)/CAP1	端口P3 (注3)		捕捉功能输入	捕捉/比较端口寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(14)
P31(LED11)/CMP2 P32(LED12)/CMP3			比较功能输出	捕捉/比较端口寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(15)
P33(LED13)/INT1			外部中断输入	中断边沿选择寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器	(16)
P34(LED14) P35(LED15)				上拉控制寄存器 端口P0P3驱动能力控制寄存器	(17)
P36(LED16)/INT1 P37(LED17)/INT0			外部中断输入	中断边沿选择寄存器 上拉控制寄存器 端口P0P3驱动能力控制寄存器 端口P1P3控制寄存器	(18) (19)

【注】 1. P10、P12、P13、P36、P37为CMOS/TTL输入电平。

2. 32引脚版和PWQN0036KA-A封装版没有P26/AN6、P27/AN7引脚。

3. 32引脚版和PWQN0036KA-A封装版没有P35、P36/INT1引脚。

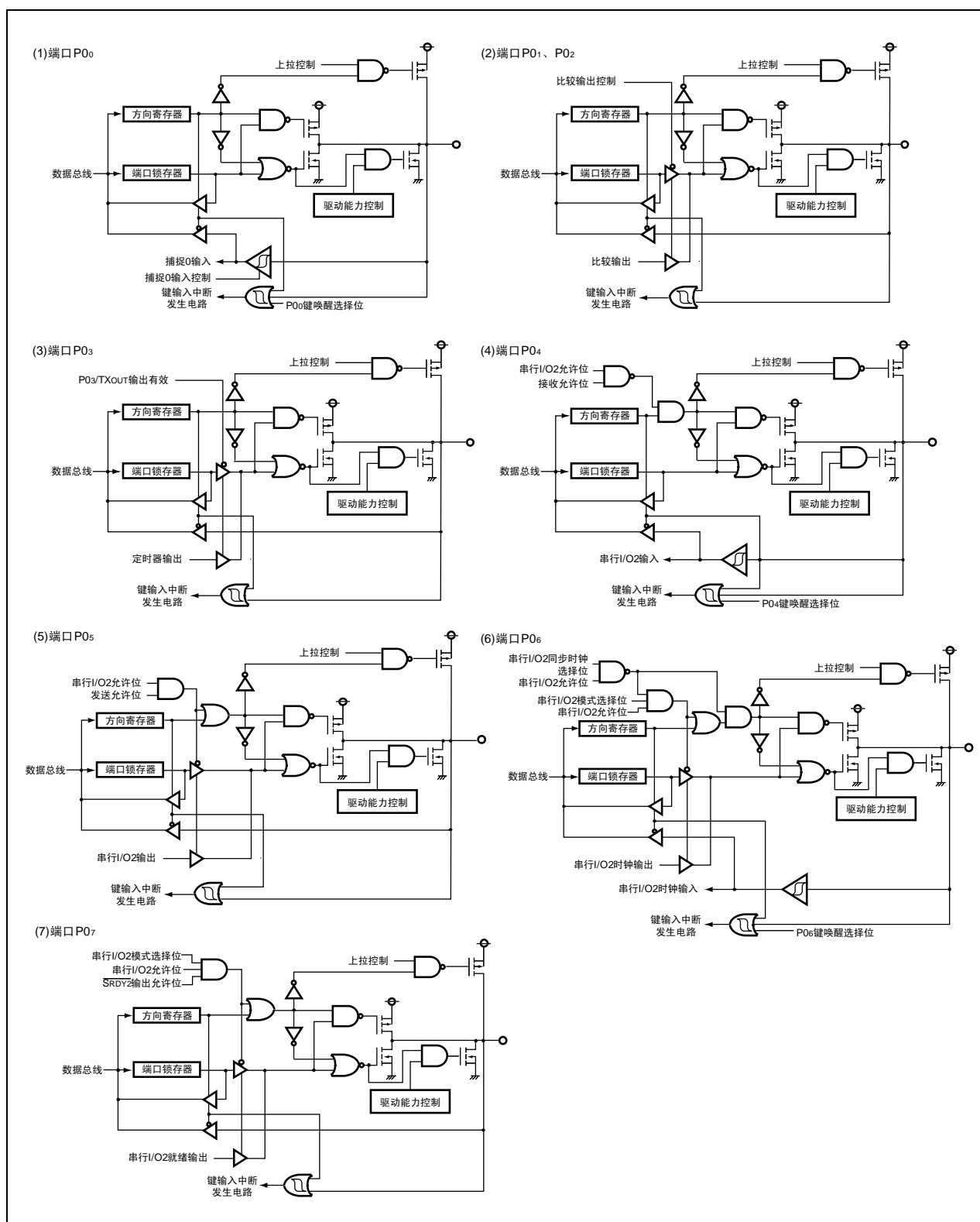


图 20 端口框图 (1)

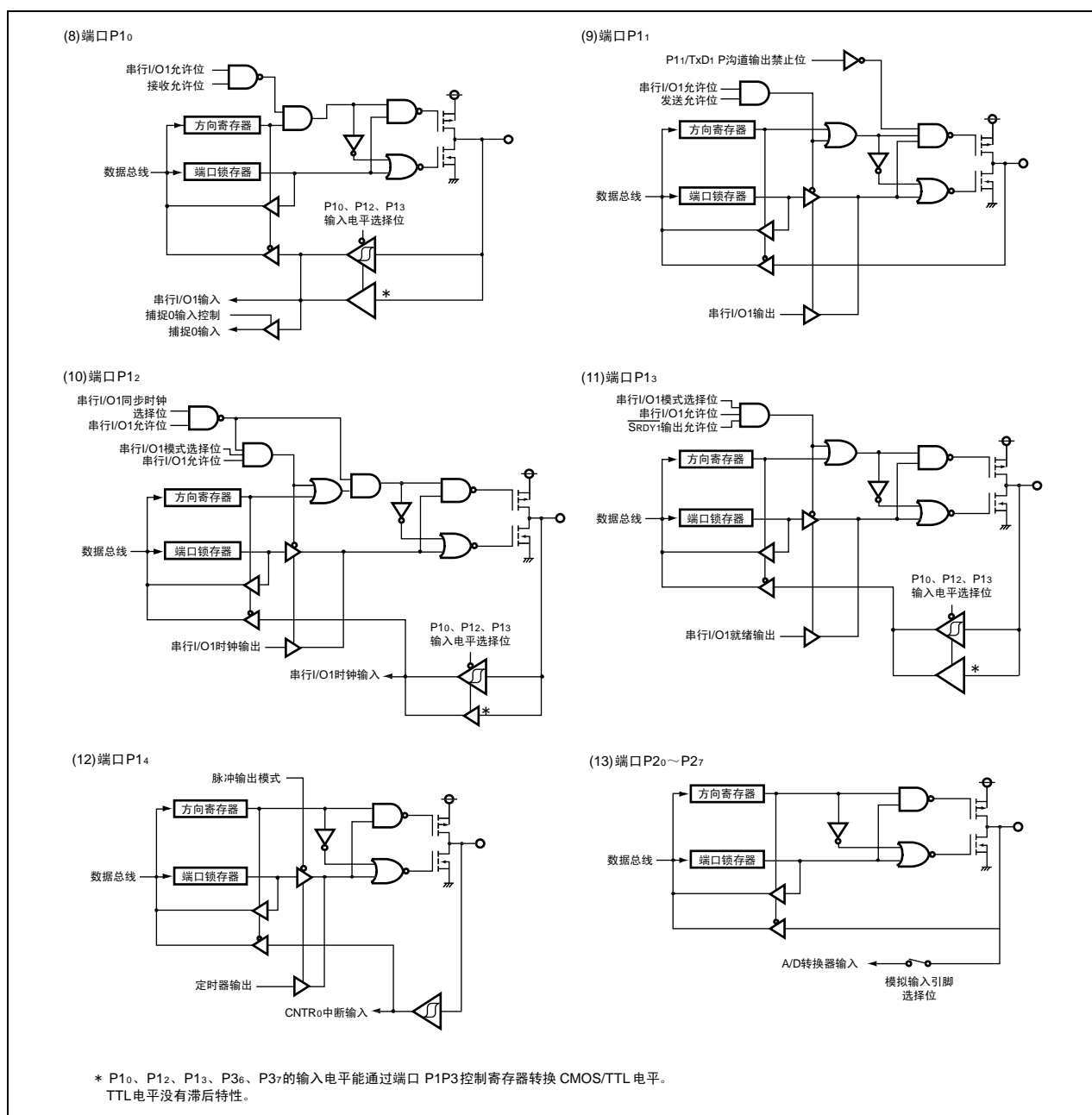


图 21 端口框图 (2)

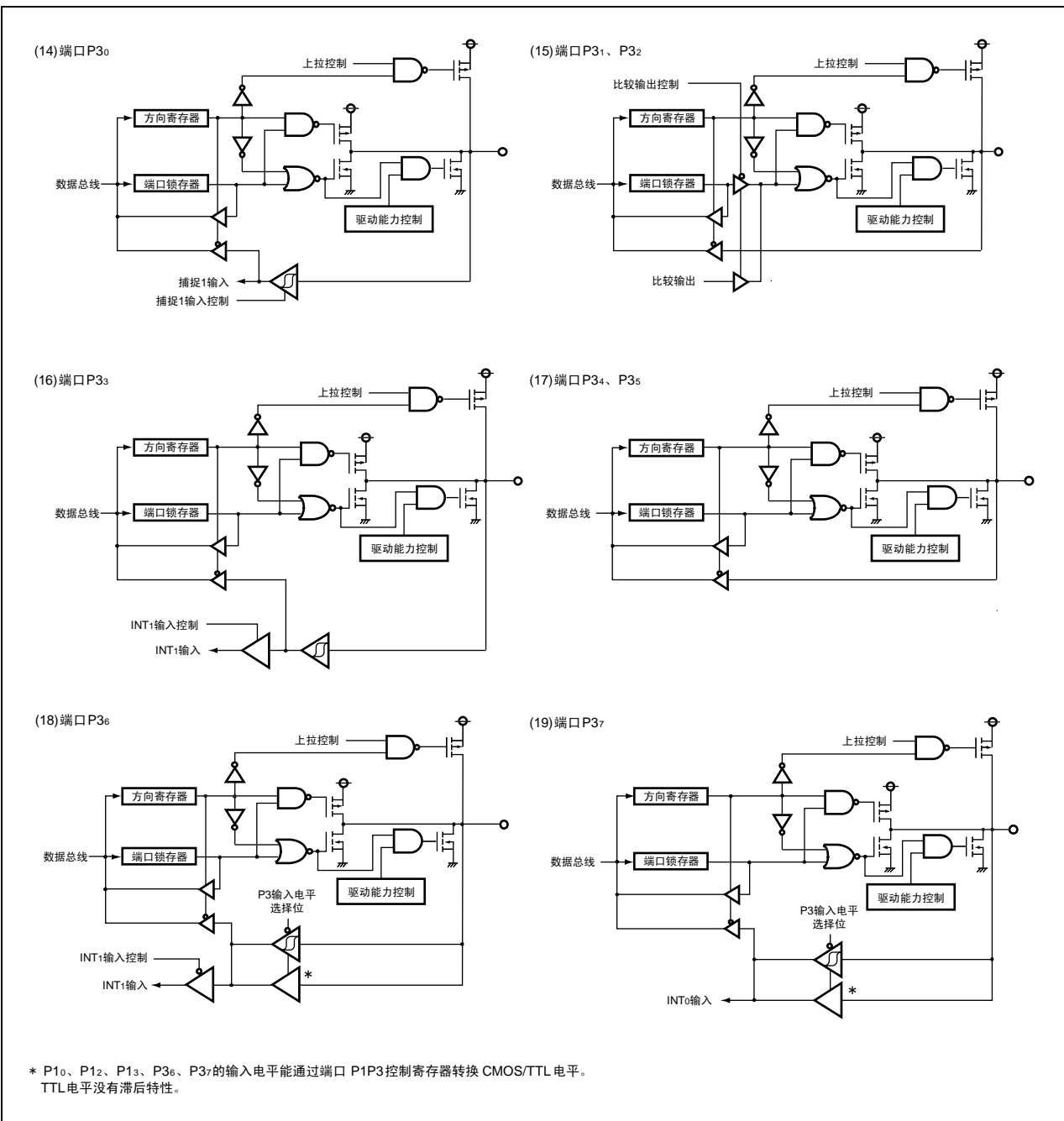


图 22 端口框图 (3)

●未使用引脚的处理方法

• 一般的引脚处理方法

输入/输出端口： 必须根据各自的处理方法选择输入端口或者输出端口。

输出端口： 必须置为开路。

输入端口： 在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其是在期待低消耗电流的状态下（在执行 STP、WIT 指令时），有可能增大电源电流，所以必须上拉或者下拉（可使用内部电阻）。在将具有输入/输出端口和输出功能的引脚作为输入端口处理未使用引脚时，设想到由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH(ave)}$ 或者 $I_{OL(ave)}$ 的电阻来处理引脚。

表 7 未使用引脚的处理方法

引脚名	处理方法 1（推荐）	处理方法 2	处理方法 3	处理方法 4
P00/CAP0	输入/输出端口	在选择 CAP 功能时，必须进行输入端口的处理。	—	在选择键输入功能时，必须进行输入端口的处理。
P01/CMP0		在选择 CMP0 功能时，必须进行输出端口的处理。	—	
P02/CMP1		在选择 CMP1 功能时，必须进行输出端口的处理。	—	
P03/TXOUT		在选择 TXOUT 功能时，必须进行输出端口的处理。	—	
P04/RxD2		在选择 RxD2 功能时，必须进行输入端口的处理。	—	
P05/TxD2		在选择 TxD2 功能时，必须进行输出端口的处理。	—	
P06/SCLK2		在选择输入外部时钟时，必须进行输入端口的处理。	在选择内部时钟输出时，必须进行输出端口的处理。	
P07/ $\overline{\text{SRDY}}2$		在选择 $\overline{\text{SRDY}}2$ 功能时，必须进行输出端口的处理。	—	
P10/RXD1/CAP0		在选择 RxD1 功能时，必须进行输入端口的处理。	在选择 CAP 功能时，必须进行输入端口的处理。	—
P11/TxD1		在选择 TxD1 功能时，必须进行输出端口的处理。	—	—
P12/SCLK1		在选择输入外部时钟时，必须进行输入端口的处理。	在选择内部时钟输出时，必须进行输出端口的处理。	—
P13/ $\overline{\text{SRDY}}1$		在选择 $\overline{\text{SRDY}}1$ 功能时，必须进行输出端口的处理。	—	—
P14/CNTR0		在选择 CNTR 输入功能时，必须进行输入端口的处理。	在选择 CNTR 输出功能时，必须进行输出端口的处理。	—
P20/AN0~P27/AN7		在选择 AN 功能时，必须进行输入端口的处理。	—	—
P30/CAP1		在选择 CAP 功能时，必须进行输入端口的处理。	—	—
P31/CMP2		在选择 CMP2 功能时，必须进行输出端口的处理。	—	—
P32/CMP3		在选择 CMP3 功能时，必须进行输出端口的处理。	—	—
P33/INT1		在选择 INT 功能时，必须进行输入端口的处理。	—	—
P34		—	—	—
P35		—	—	—
P36/INT1		在选择 INT 功能时，必须进行输入端口的处理。	—	—
P37/INT0		在选择 INT 功能时，必须进行输入端口的处理。	—	—
VREF	连接 Vss	—	—	—
XIN	仅在使用内部振荡器时经由电阻连接到 VCC。	—	—	—
XOUT	仅在使用输入外部时钟、内部振荡器时置为开路。	—	—	—

中断

中断是向量中断，能由6个外部源、11个内部源、1个软件源的共18个源发生。

●中断控制

除了BRK指令中断以外的各个中断具有中断请求位和中断允许位，并且受中断禁止标志的影响。在中断允许位和中断请求位为“1”，并且中断禁止标志为“0”时，可接受中断。

中断请求位能通过程序清除，但是不能置位。中断允许位能通过程序置位和清除。

没有禁止复位和BRK指令中断的标志或者位。对于除此以外的中断，如果中断禁止标志被置位，就不能被接受。

在多个中断请求同时发生的情况下，接受高优先级的中断。

●中断运行

如果接受中断，就进行以下处理：

1. 自动保存程序计数器和处理器状态寄存器。
2. 置中断禁止标志位，清除中断请求位。
3. 将中断转移地址存入程序计数器。

【中断源设定寄存器】INTSET

是在给2种中断源分配了相同中断向量的情况下，设定各中断有效/无效的寄存器。

在2种中断都为有效中断的情况下，通过下列所示的中断源识别寄存器，识别发生哪个中断请求。

【中断源识别寄存器】INTDIS

是判别在给2种中断源分配了相同中断向量的情况下所发生的中断源的寄存器。

有关唤醒、UART1总线冲突检测、A/D转换以及定时器1中断，如果发生中断请求，就与由中断源设定寄存器设定的中断有效/无效状态无关，将中断识别位置“1”。但是，在中断源设定寄存器的中断有效位为“0”（无效）时，中断控制寄存器的中断请求位不被置“1”。

另外，由于中断识别位不能通过中断自动清“0”，因此必须通过程序清除。中断识别位能通过程序清“0”，但是不能置“1”。

【中断边沿选择寄存器】INTEDGE

能通过中断边沿选择位，分别选择外部中断INT0、INT1的有效边沿。

外部中断INT1能通过INT1输入端口选择位，选择外部输入引脚P33/INT1或者P36/INT1。

但是，由于32引脚版和PWQN0036KA-A封装版没有P36/INT1引脚，所以必须选择P33/INT1引脚。

能通过键唤醒选择位，分别选择允许/禁止P00、P04、P06引脚的键唤醒。

■有关中断的注意事项

(1) 在以下情况，中断请求位可能被置“1”。

- 在转换外部中断（INT0、INT1、CNTR0、CAP0、CAP1）的有效边沿时，

对象寄存器：中断边沿选择寄存器（地址3A16）

定时器X模式寄存器（地址2B16）

捕捉模式寄存器（地址2016）

当不需要发生与这些设定同步的中断时，必须按以下步骤设定：

- ①将该中断允许位清“0”（禁止）。
- ②设定中断边沿选择位（极性转换位、触发模式位）。
- ③在执行一条或一条以上的指令后，将该中断请求位清“0”。
- ④将该中断允许位置“1”（允许）。

(2) 在清除中断识别位时，必须使用 LDM 指令。

LDM #0n,\$0B

n: 给要清除的中断识别位设定“0”，给其它中断识别位设定“1”。

（例）在清除键唤醒中断识别位时

LDM #00001110B, \$0B

表8 中断向量地址和优先级

中断源	优先级	向量地址 (注1)		中断请求的发生条件	备 注
		高位	低位		
复位 (注2)	1	FFFD ₁₆	FFFC ₁₆	在复位时	非屏蔽
串行I/O1接收	2	FFFB ₁₆	FFFA ₁₆	在串行I/O1接收数据时	只在选择串行I/O1时有效
串行I/O1发送	3	FFF9 ₁₆	FFF8 ₁₆	在串行I/O1发送移位结束时, 或者在发送缓冲器空时	只在选择串行I/O1时有效
串行I/O2接收	4	FFF7 ₁₆	FFF6 ₁₆	在串行I/O2接收数据时	只在选择串行I/O2时有效
串行I/O2发送	5	FFF5 ₁₆	FFF4 ₁₆	在串行I/O2发送移位结束时, 或者在发送缓冲器空时	只在选择串行I/O2时有效
INT ₀	6	FFF3 ₁₆	FFF2 ₁₆	在检测到INT ₀ 输入的上升沿或者下降沿时	外部中断 (极性可编程)
INT ₁	7	FFF1 ₁₆	FFF0 ₁₆	在检测到INT ₁ 输入的上升沿或者下降沿时	外部中断 (极性可编程)
键唤醒/UART1 总线冲突检测 (注3)	8	FFEF ₁₆	FFEE ₁₆	在端口P0 (输入时) 的输入逻辑电平的逻辑与下降时/在检测到UART1总线冲突时	外部中断 (下降沿有效) /UART1总线冲突检测功能有效
CNTR ₀	9	FFED ₁₆	FFEC ₁₆	在检测到CNTR ₀ 输入的上升沿或者下降沿时	外部中断 (极性可编程)
捕捉0	10	FFEB ₁₆	FFEA ₁₆	在检测到捕捉0输入的上升沿或者下降沿时	外部中断 (极性可编程)
捕捉1	11	FFE9 ₁₆	FFE8 ₁₆	在检测到捕捉1输入的上升沿或者下降沿时	外部中断 (极性可编程)
比较	12	FFE7 ₁₆	FFE6 ₁₆	在反转比较输出信号时	中断源通道可编程
定时器X	13	FFE5 ₁₆	FFE4 ₁₆	在定时器X下溢时	
定时器A	14	FFE3 ₁₆	FFE2 ₁₆	在定时器A下溢时	
定时器B	15	FFE1 ₁₆	FFE0 ₁₆	在定时器B下溢时	
A/D转换/定时器1 (注4)	16	FFDF ₁₆	FFDE ₁₆	在A/D转换结束时/在定时器1下溢时	STP解除定时器下溢
BRK指令	17	FFDD ₁₆	FFDC ₁₆	在执行BRK指令时	非屏蔽软件中断

- 【注】 1. 向量地址指向中断转移地址的保存地址。
 2. 复位作为具有最高优先级的中断被处理。
 3. 键唤醒和UART1总线冲突检测中断, 能通过中断源设定寄存器进行中断允许的设定, 并且能通过中断源识别寄存器, 识别中断源。
 4. A/D转换和定时器1中断, 能通过中断源设定寄存器进行中断允许的设定, 并且能通过中断源识别寄存器, 识别中断源。

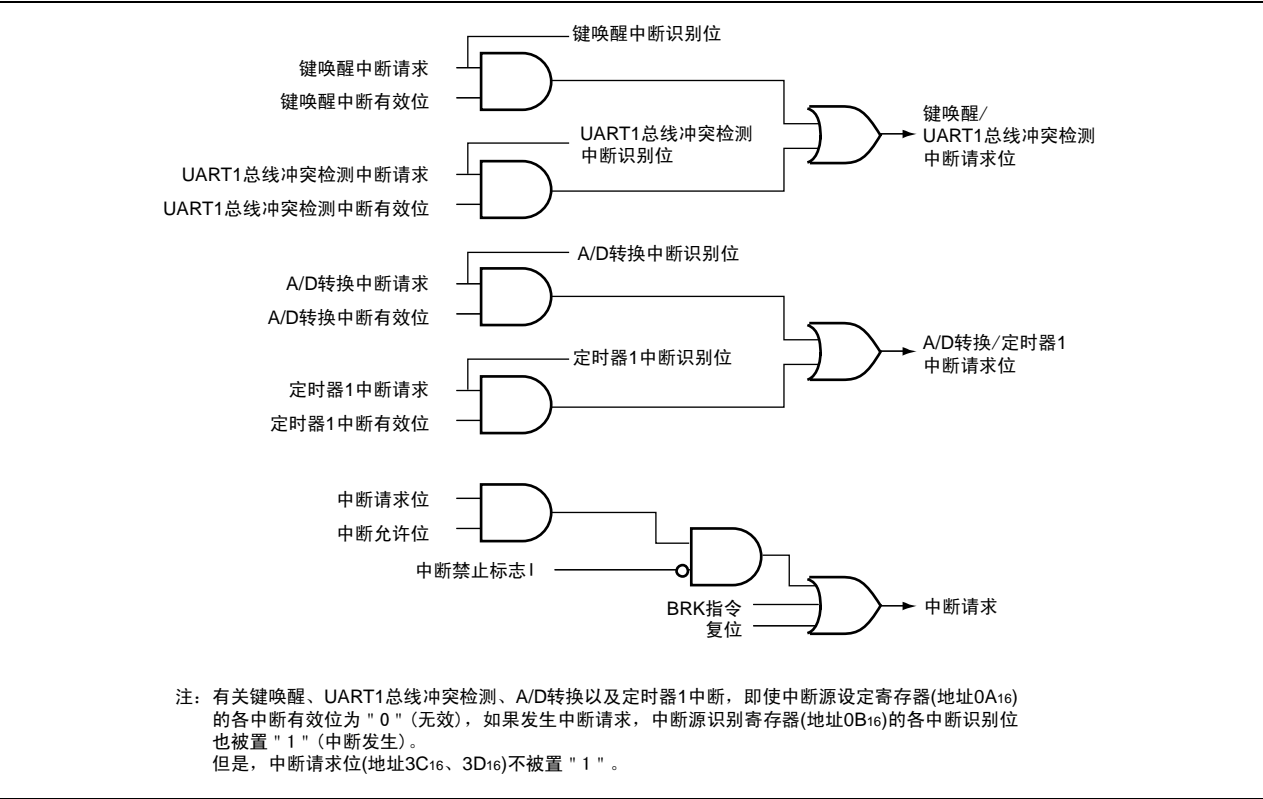


图 23 中断控制图

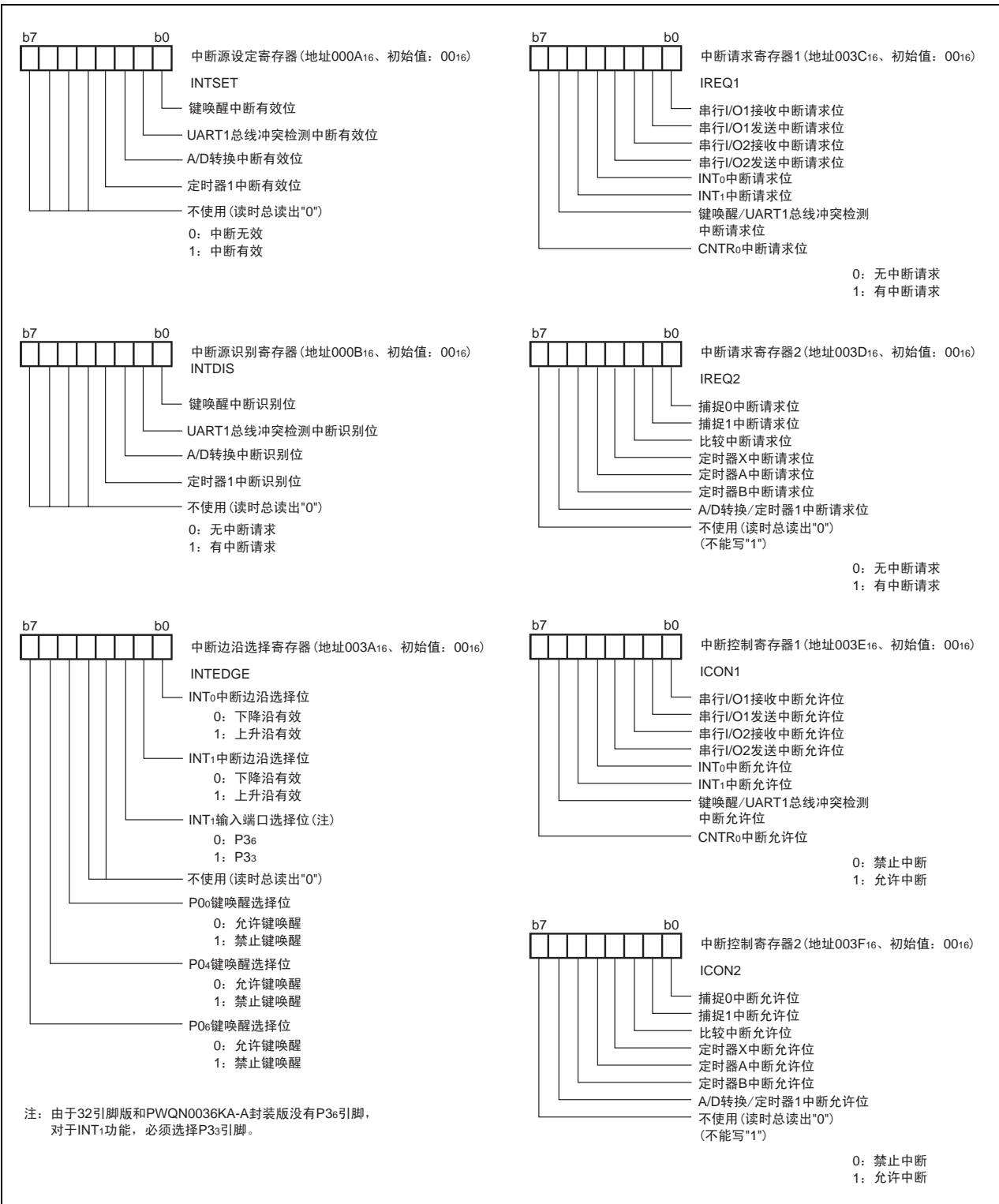


图 24 与中断相关的寄存器结构

键输入中断（键唤醒）

如果给端口P0中任何一个被设定成输入的引脚外加“L”电平的电压，也就是说，如果输入电平的逻辑与从“1”变为“0”，就产生键输入中断请求。图25是使用键输入中断的一个例子，将端口P00~P03作为输入，构成“L”电平有效的键矩阵，通过按键产生中断。

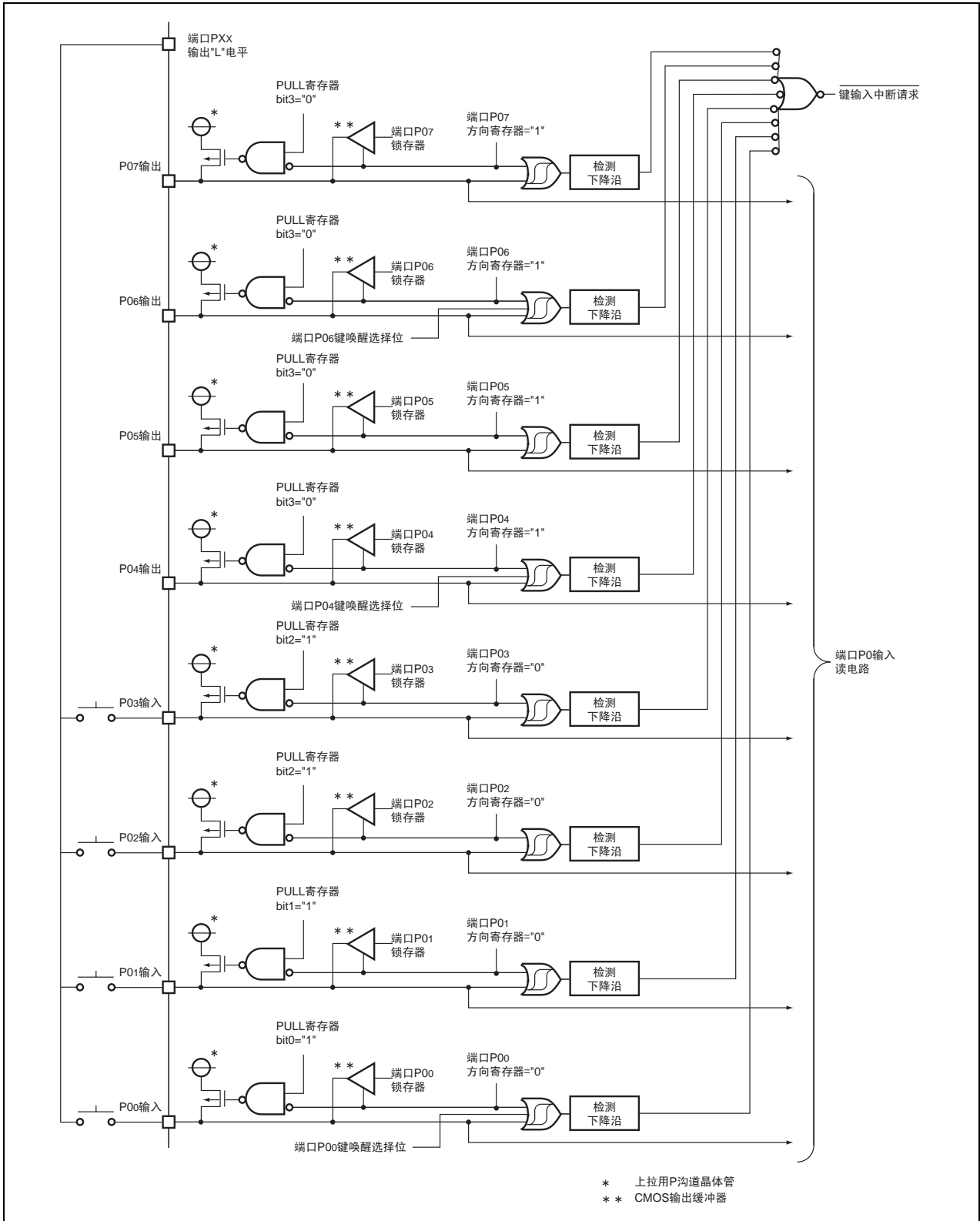


图 25 使用键输入中断时的接线例子和端口 P0 的框图

定时器

定时器有4个：定时器1、定时器A、定时器B以及定时器X。

如果定时器锁存器或者预分频器锁存器的内容为 n ，所有定时器和预分频器的分频比就为 $1/(n+1)$ 。

定时器采用减量计数方式，在计数器的内容变为“0”后的下一个计数脉冲发生下溢，把定时器锁定器的内容再次加载到定时器。另外，如果定时器下溢，对应各定时器的中断请求位就被置“1”。

- 用于定时器的分频器

在CPU模式寄存器（地址003B₁₆）的时钟分频比选择位（b7、b6）为“00”（高速模式）、“01”（中速模式）或者“11”（倍速模式）时，分频器的计数源为XIN；在“10”（内部振荡器）时，为内部振荡器。

●定时器1

定时器1是8位定时器，对预分频器1的输出进行计数，通过定时器1的下溢，将定时器1中断请求位置位。

预分频器1是8位预分频器，对振荡频率16分频后的信号进行计数。

给预分频器1和定时器1配置了用于保持各自重加载值的预分频器1锁存器和定时器1锁存器。在预分频器1下溢时，预分频器1锁存器的值被传送给预分频器1。在定时器1下溢时，定时器1锁存器的值被传送给定时器1。

如果给预分频器1（PRE1）写值，值就被同时写到预分频器1锁存器和预分频器1。如果给定时器1（T1）写值，值就被同时写到定时器1锁存器和定时器1。

如果读预分频器1（PRE1）或者定时器1（T1），就读取各自的计数值。

定时器1总是以定时器模式运行。

预分频器1对振荡频率16分频后的信号进行计数，每当输入计数时钟时，将其内容减“1”。在预分频器1内容变为“00₁₆”后的下一个计数时钟发生下溢，预分频器1锁存器的值被传送到预分频器1，继续计数。如果预分频器1的设定值为 n ，预分频器1的分频比就为 $1/(n+1)$ 。

每当输入预分频器1下溢信号时，定时器1的内容减“1”。在定时器1的内容变为“00₁₆”后的下一个计数时钟发生下溢，定时器1锁存器的值被传送给定时器1，继续计数。

如果定时器1的设定值为 m ，定时器1的分频比就为 $1/(m+1)$ 。因此，在假设预分频器1的设定值为 n 、定时器1的设定值为 m 的情况下，预分频器1和定时器1合在一起的分频比就为 $1/((n+1) \times (m+1))$ 。

另外，定时器1不能通过软件停止计数。

●定时器X

定时器X是8位定时器，对预分频器X的输出进行计数，通过定时器X的下溢，将定时器X中断请求位置位。

预分频器X是8位预分频器，对由定时器X计数源选择位选择的信号进行计数。

给预分频器X和定时器X配置了用于保持各自重加载值的预分频器X锁存器和定时器X锁存器。

在预分频器X下溢时，预分频器X锁存器的值被传送到预分频器X。在定时器X下溢时，定时器X锁存器的值被传送到定时器X。

如果给预分频器X（PREX）写值，值就被同时写到预分频器X锁存器和预分频器X。如果给定时器X（TX）写值，值就被同时写到定时器X锁存器和定时器X。

如果读预分频器X（PREX）或者定时器X（TX），就读取各自的计数值。

通过设定定时器X模式寄存器的定时器X运行模式位，定时器X能选择4种运行模式：

（1）定时器模式

预分频器X对由定时器X计数源选择位选择的计数源进行计数，每当输入计数时钟时，将其内容减“1”。在预分频器X的内容变为“00₁₆”后的下一个计数时钟发生下溢，预分频器X锁存器的值被传送给预分频器X，继续计数。如果预分频器X的设定值为 n ，预分频器X的分频比就为 $1/(n+1)$ 。

每当输入预分频器X的下溢信号时，定时器X将其内容减“1”。在定时器X的内容变为“00₁₆”后的下一个计数时钟发生下溢，定时器X锁存器的值被传送到定时器X，继续计数。

如果定时器X的设定值为 m ，定时器X的分频比就为 $1/(m+1)$ 。因此，在假设预分频器X的设定值为 n 、定时器X的设定值为 m 的情况下，预分频器X和定时器X合在一起的分频比就为 $1/((n+1) \times (m+1))$ 。

（2）脉冲输出模式

在脉冲输出模式，每当定时器X下溢时，就从CNTRO₀引脚输出极性的反转波形。

能通过CNTR0极性转换位，选择CNTR0引脚的输出电平。在CNTR0极性转换位为“0”时，CNTR0引脚的输出从“H”开始；在CNTR0极性转换位为“1”时，CNTR0引脚的输出从“L”开始。

另外，通过将P03/TXOUT输出有效位设定成“1”，能将CNTR0引脚输出的脉冲反转波形从TXOUT引脚输出。
在使用此模式的情况下，必须将和各个输出引脚兼用的端口P14、P03的方向寄存器设定成输出模式。

(3) 事件计数器模式

事件计数器模式，除了输入到P14/CNTR0引脚的信号变为计数源以外，和定时器模式的运行相同。CNTR0引脚输入的有效边沿能通过CNTR0极性转换位，选择上升沿或者下降沿。

(4) 脉冲宽度测定模式

脉冲宽度测定模式是测定输入到P14/CNTR0引脚的信号的脉冲宽度的模式。在脉冲宽度测定模式，根据CNTR0引脚输入信号的电平，控制定时器X的运行和停止。

当CNTR0极性转换位为“0”时，在CNTR0引脚的输入信号电平为“H”期间，对由定时器X计数源选择位选择的信号进行计数；在“L”期间停止计数。另外，当CNTR0极性转换位为“1”时，在CNTR0引脚输入信号电平为“L”期间，对由定时器X计数源选择位选择的信号进行计数；在“H”期间停止计数。

定时器X无论在哪种运行模式，都能通过将定时器X计数停止位设定成“1”来停止计数。另外，如果定时器X下溢，定时器X中断请求位就被置“1”。

■有关定时器X的注意事项

(1) CNTR0中断极性选择-1

由于CNTR0极性转换位的设定值，中断极性同时受到影响。当CNTR0极性转换位为“0”时，在CNTR0引脚输入的下降沿，CNTR0中断请求位被置“1”；当CNTR0极性转换位为“1”时，在CNTR0引脚输入的上升沿，CNTR0中断请求位被置“1”。

(2) CNTR0中断极性选择-2

在设定外部中断CNTR0的极性转换位时，中断请求位可能为“1”。当不需要发生与极性转换位的设定同步的中断时，必须按照以下步骤设定：

- ①将该中断允许位清“0”（禁止）。
- ②设定极性转换位。
- ③在执行一条或一条以上的指令后，将该中断请求位清“0”。
- ④将该中断允许位置“1”（允许）。

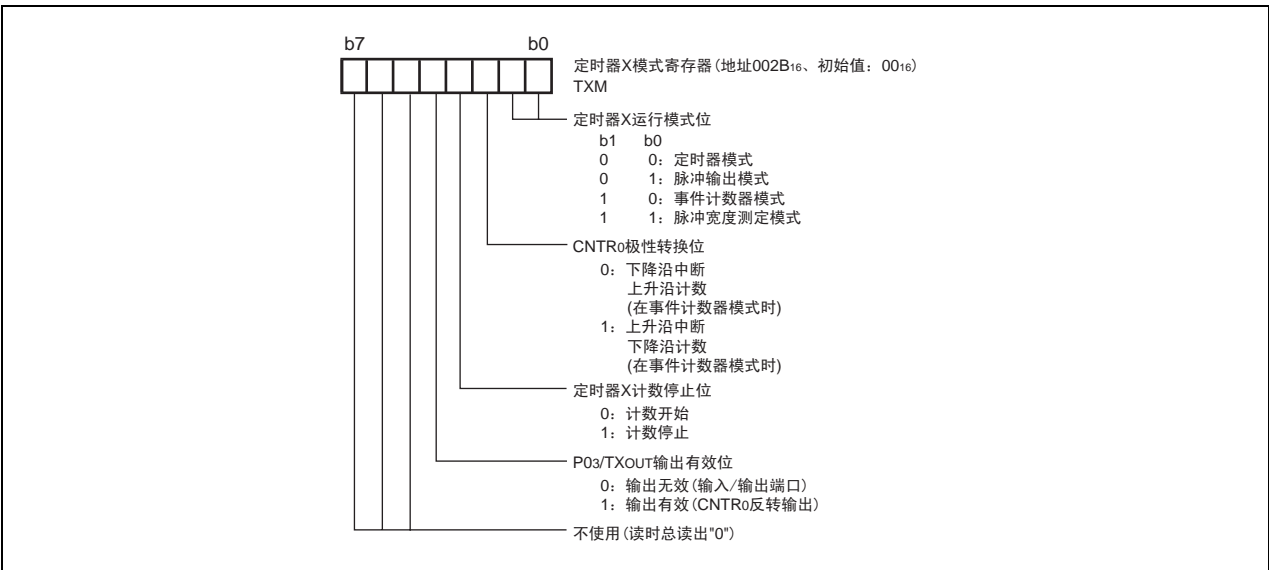


图26 定时器X模式寄存器的结构

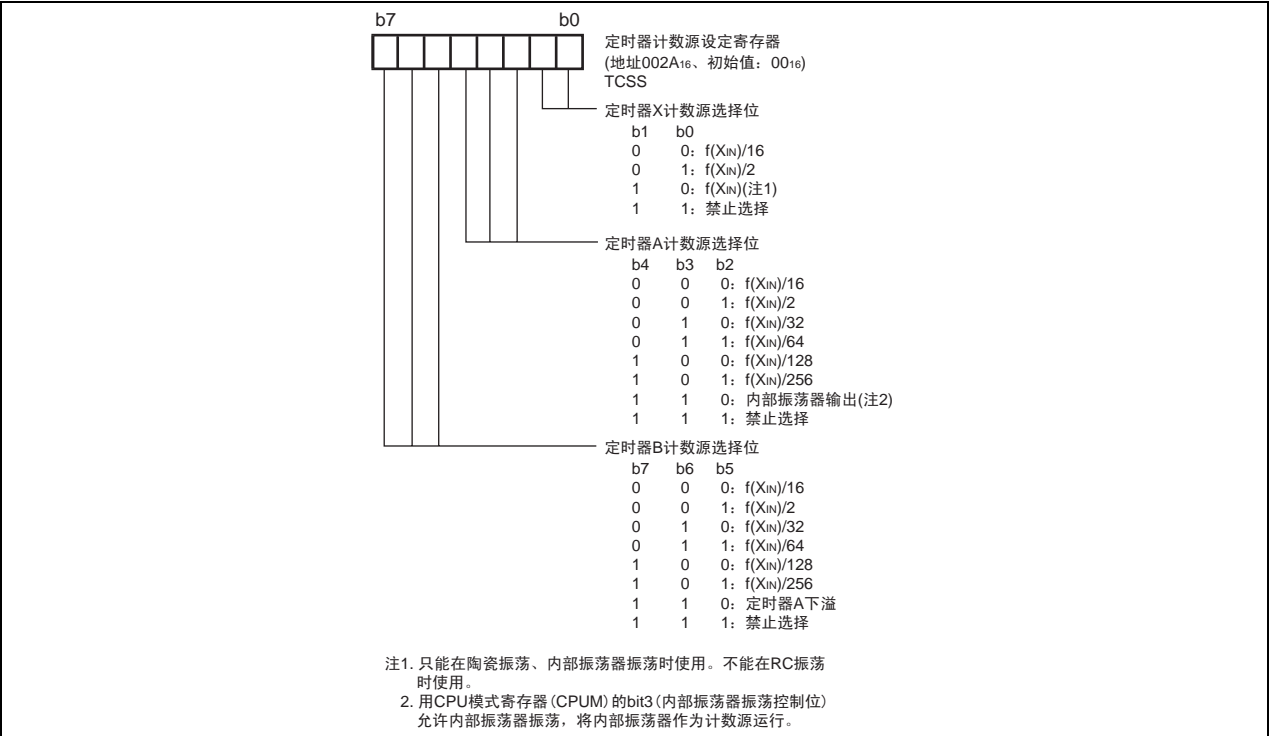


图27 定时计数器源设定寄存器的结构

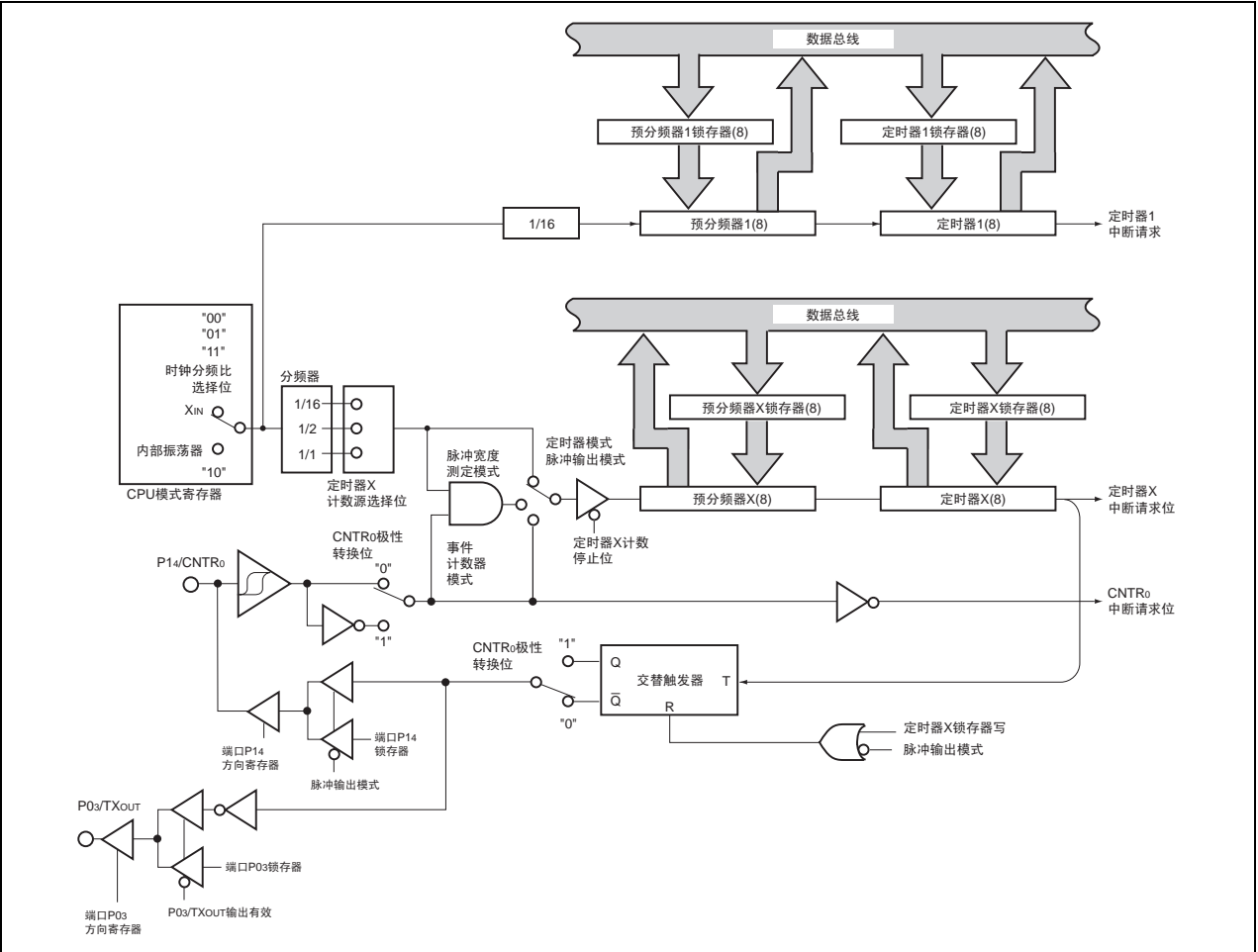


图28 定时器1和定时器X的框图

●定时器A、B

定时器A、B是16位定时器，对由定时器计数源设定寄存器选择的信号进行计数。定时器A和定时器B除了计数源の設定不同以外，具有相同的功能。

定时器A的计数源能从振荡频率的1/2、1/16、1/32、1/64、1/128、1/256以及内部振荡器输出中选择。

定时器B的计数源能从振荡频率的1/2、1/16、1/32、1/64、1/128、1/256以及定时器A的下溢信号中选择。

由于定时器A和定时器B的运行相同，因此在下面只对定时器A的运行进行说明：

定时器A由定时器A的低位（TAL）、和定时器A的高位（TAH）构成。定时器A对选择的信号进行减量计数，通过下溢，将定时器A中断请求位置位。

给定时器A配置了用于保持重加载值的定时器A锁存器，在定时器A下溢时，定时器A锁存器的内容被传送给定时器A，继续计数运行。如果定时器A的设定值为n，定时器A的分频比就为1/(n+1)。

如果给定时器A写值，根据定时器A写控制位的设定值，能选择将值同时写到锁存器和定时器A，还是只将值写到锁存器。

如果读定时器A，定时器A的计数值就被读出。

必须按以下顺序读写定时器A的低位（TAL）和定时器A的高位（TAH）：

读：必须按定时器A的高位（TAH）、定时器A的低位（TAL）的顺序，读取2个寄存器。

写：必须按定时器A的低位（TAL）、定时器A的高位（TAH）的顺序，写入2个寄存器写。

定时器A、B都能作为输出比较定时和输入捕捉定时的定时器使用。

■有关定时器A、B的注意事项

（1）定时器值的设定

在将定时器A、B写控制位设定成“只进行锁存器写”的情况下，即使定时器处于停止中，写资料也只写到锁存器。因此，对于定时器的初始设定，在定时器停止期间设定值时，必须在选择了“锁存器和定时器同时写”的状态下进行。

（2）定时器A的读/写

在CPU的运行时钟源为XIN振荡的情况下，当定时器A的计数源选择内部振荡器输出时，对定时器A的读写必须在停止定时器A的状态下进行。

（3）定时器B的读/写

在CPU的运行时钟源为XIN振荡的情况下，当定时器B的计数源选择定时器A下溢且定时器A的计数源选择内部振荡器输出时，对定时器B的读写必须在停止定时器B的状态下进行。

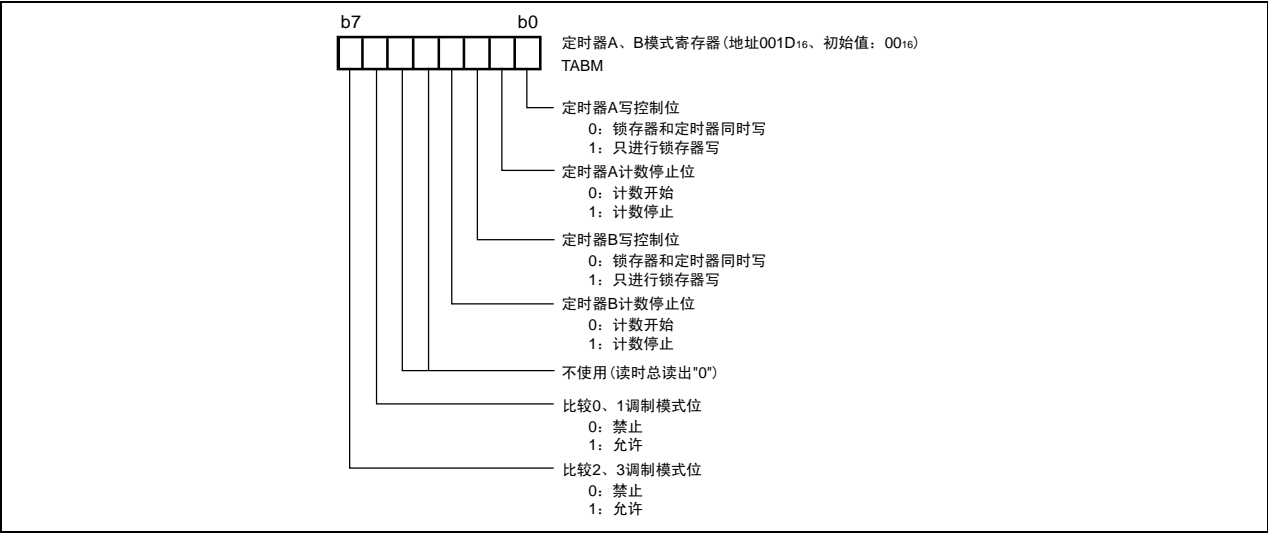


图 29 定时器 A、B 模式寄存器的结构

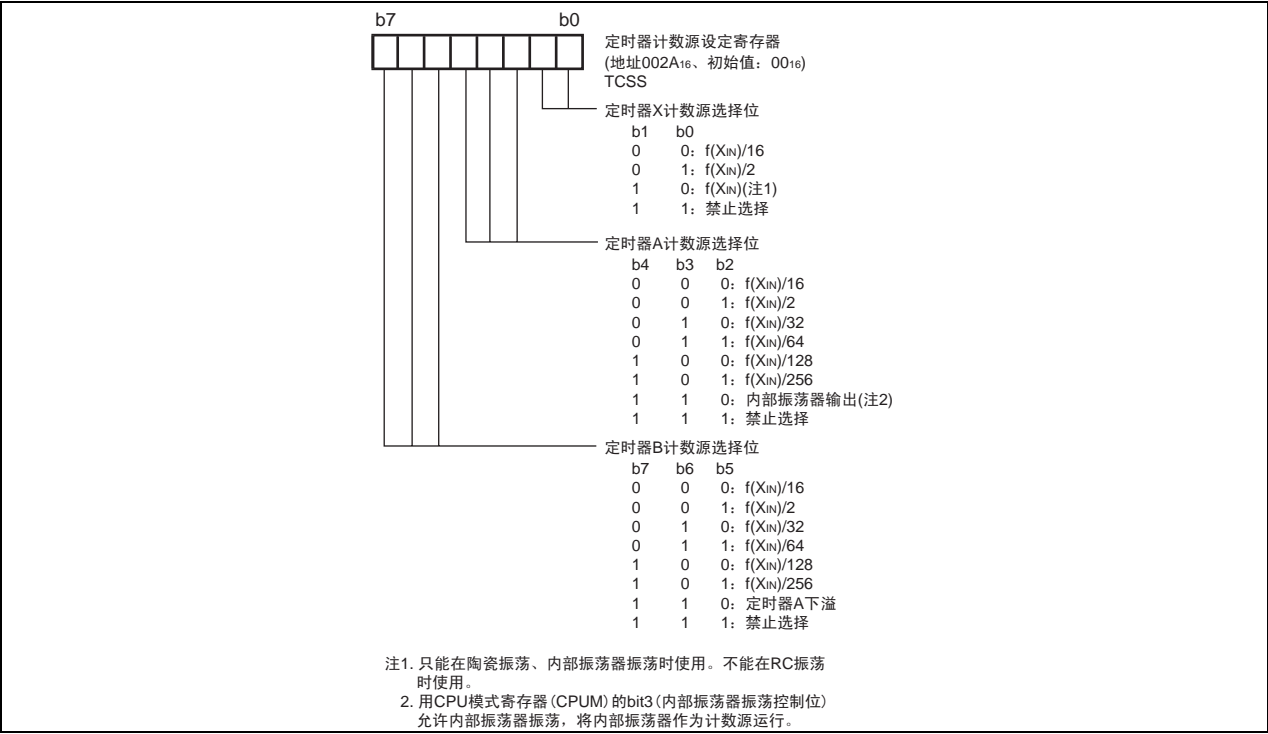


图 30 定时器计数源设定寄存器的结构

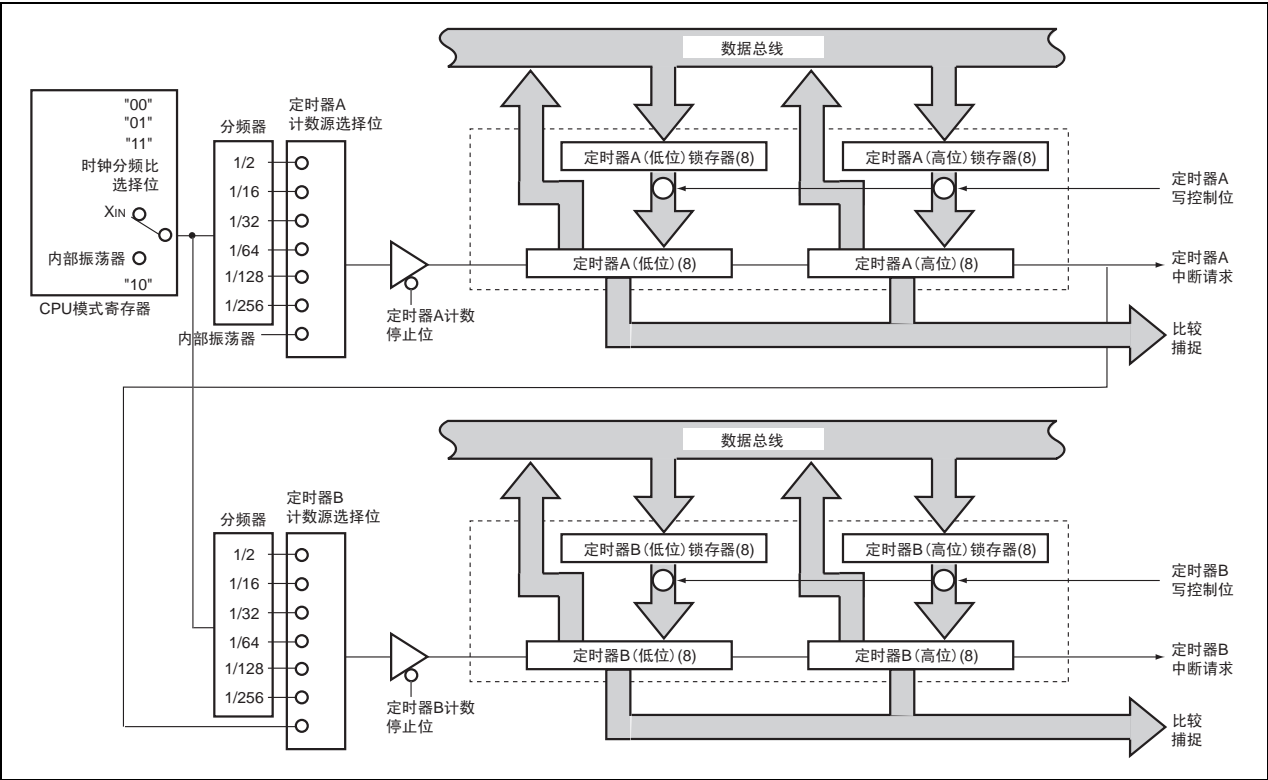


图 31 定时器 A 和定时器 B 的框图

输出比较

7542群内置4个比较输出通道。通道0~3具有相同的功能，能使用定时器A或者定时器B的计数值输出波形。

各比较输出通道所使用的定时器由比较x（x=0、1、2、3）定时器源选择位进行设定。各通道所使用的定时器能从定时器A或者定时器B任意选择。

在使用比较输出时，必须设定比较输出端口选择位，并且给输出端口的方向寄存器设定“1”。

给比较寄存器的低位和比较寄存器的高位设定比较输出的设定值，用比较寄存器R/W指针控制对各个通道的写。

1. 在定时器运行时，对比较寄存器的写步骤

- ①给比较寄存器R/W指针设定要写的比较通道。
- ②给比较寄存器的低位和比较寄存器的高位设定值。
- ③给比较锁存器y（y=00、01、10、11、20、21、30、31）的重加载位设定“1”。

如果给比较锁存器y重加载位设定“1”，就在对应各通道的定时器的下一个下溢时，写在比较寄存器中的值被传送到比较锁存器。

当比较锁存器的设定值和对应该定时器的计数值一致时，发生比较输出电路的触发。在将比较x触发有效位设定成“1”时，通过触发反转来自端口的输出波形。由于在比较x触发有效位为“0”时不反转输出波形，因此能将端口输出固定成“L”或者“H”。

在将比较x输出电平锁存器设定成“0”时，如果比较锁存器x0一致，就从端口输出“H”的波形；如果比较锁存器x1一致，就从端口输出“L”的波形。

在将比较x输出电平锁存器设定成“1”时，如果比较锁存器x0一致，就从端口输出“L”的波形；如果比较锁存器x1一致，就从端口输出“H”的波形。

比较输出的状态能通过读取比较x输出状态位，确认是“H”电平还是“L”电平。

在比较锁存器的值和定时器计数值一致时，能产生比较输出中断。来自各比较锁存器的中断信号能通过比较锁存器y中断源设定位，将其设定成有效或者无效。

●比较0、1（2、3）调制输出模式

能通过给比较调制输出模式位设定“1”，使用比较通道0、1或者使用比较通道2、3的2个通道来输出调制波形。

在使用此模式时，进行以下设定：

- 给比较0、1（2、3）调制输出模式位设定“1”。
- 定时器B的计数源选择定时器A的下溢。
- 比较通道0（2）的定时器源选择定时器A。
- 比较通道1（3）的定时器源选择定时器B。

在此模式下，从端口输出使用比较通道0（2）作成的波形和使用比较通道1（3）作成的波形的“与”波形。比较0、1调制输出模式的输出波形从端口P0i输出，比较2、3调制输出模式的输出波形从端口P3i输出。

■有关输出比较的注意事项

1. 在作为各比较通道的源所选择的定时器处于停止的情况下，当给比较寄存器写值时，该值也被传送到比较锁存器。
2. 不能给比较锁存器x0和比较锁存器x1设定相同的值。
3. 在比较寄存器的设定值大于定时器的设定值的情况下，不产生比较一致信号。因此，输出波形固定成“H”电平或者“L”电平。但是，在比较寄存器的设定值小于定时器的设定值的情况下，由于产生小设定值的比较一致信号，因此产生比较一致中断。
4. 如果给比较x触发有效位设定“0”（无效），由于对波形输出电路的一致触发被禁止，因此能将输出波形固定成“H”电平或者“L”电平。但是，即使在这种情况下也产生比较一致信号，因此产生比较一致中断。

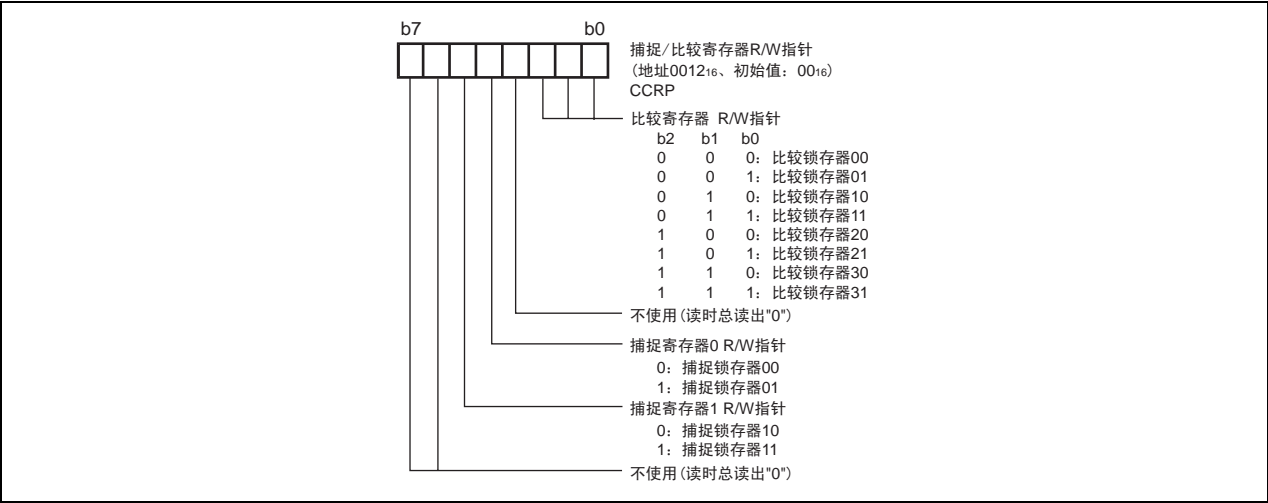


图 32 捕捉/比较寄存器 R/W 指针的结构

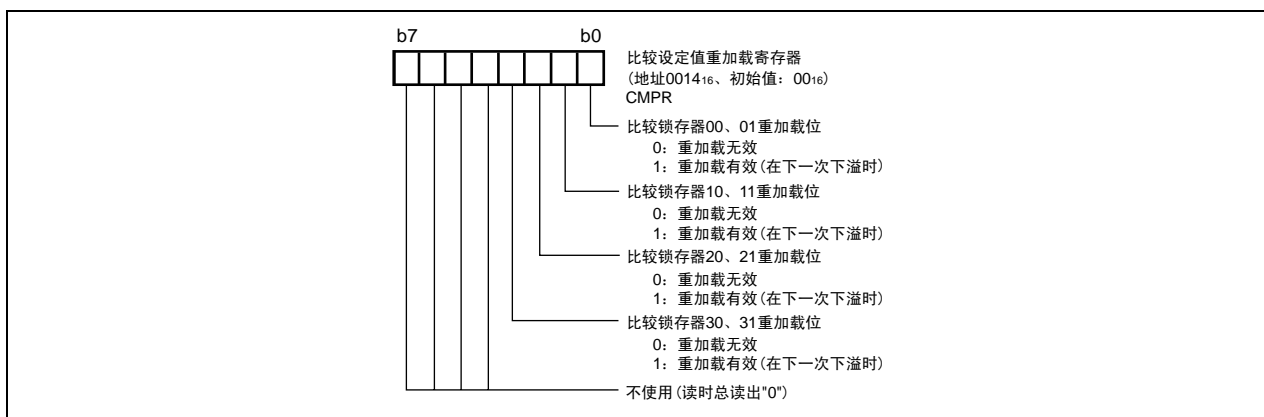


图 33 比较设定值重加载寄存器的结构

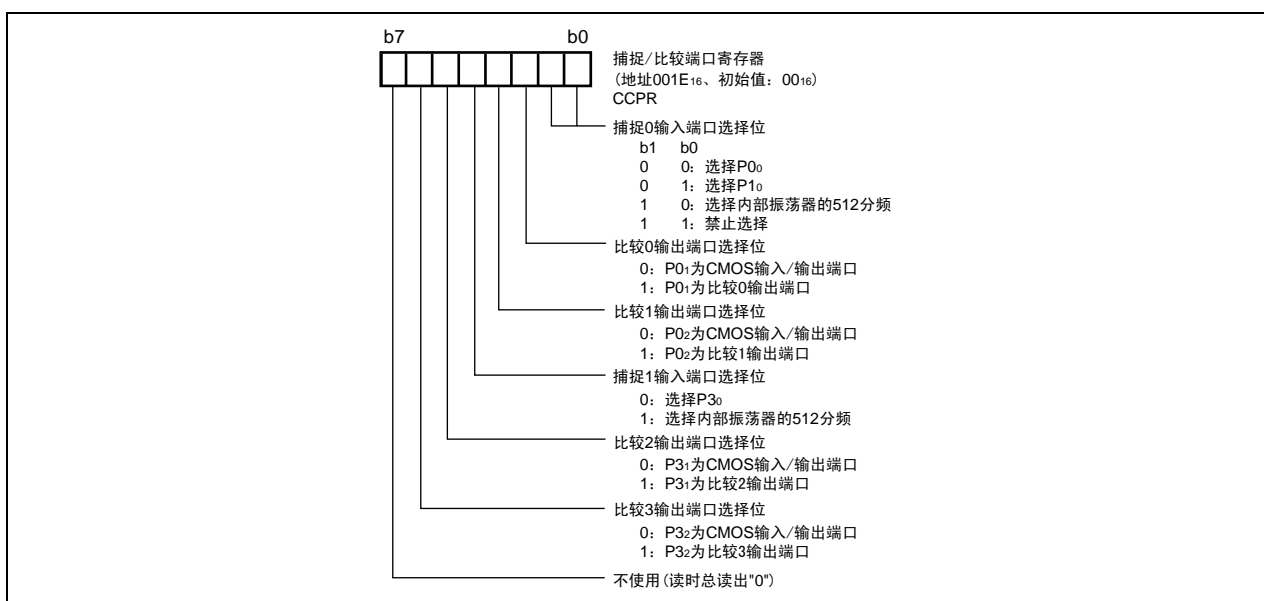


图 34 捕捉/比较端口寄存器的结构

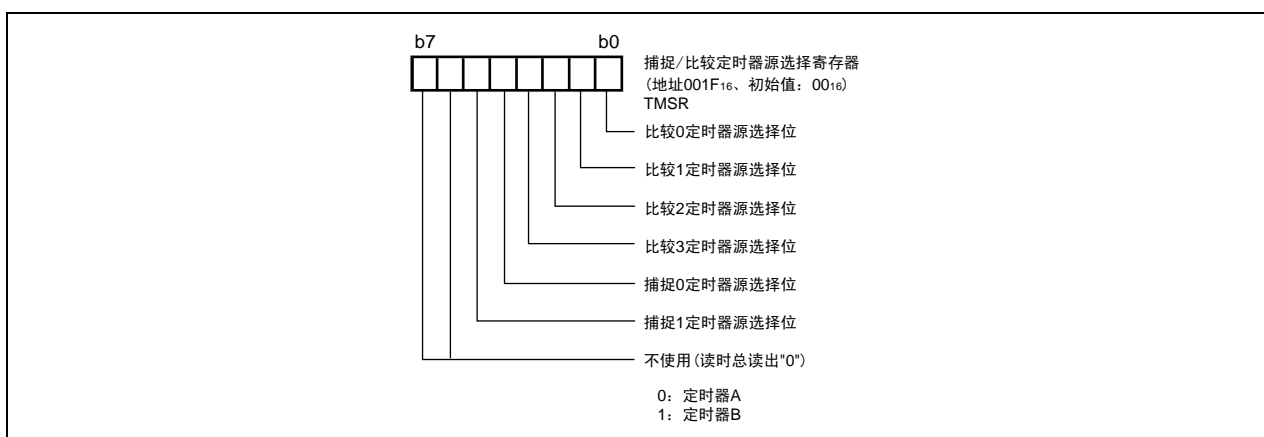


图 35 捕捉/比较定时器源选择寄存器的结构

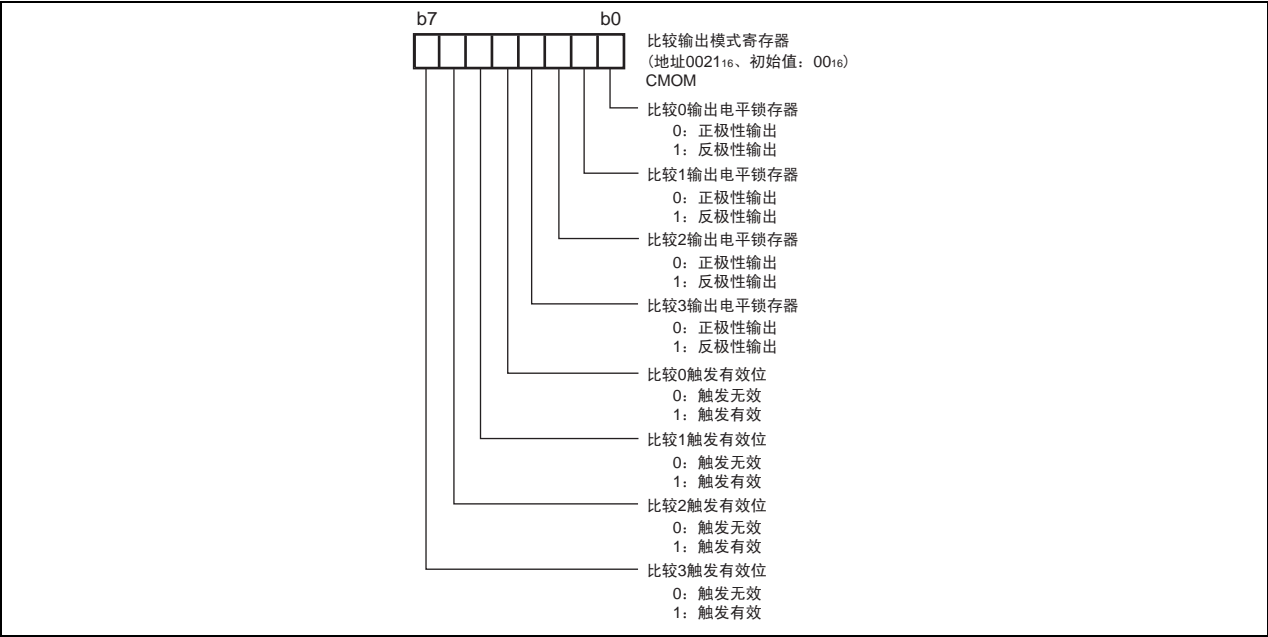


图 36 比较输出模式寄存器的结构

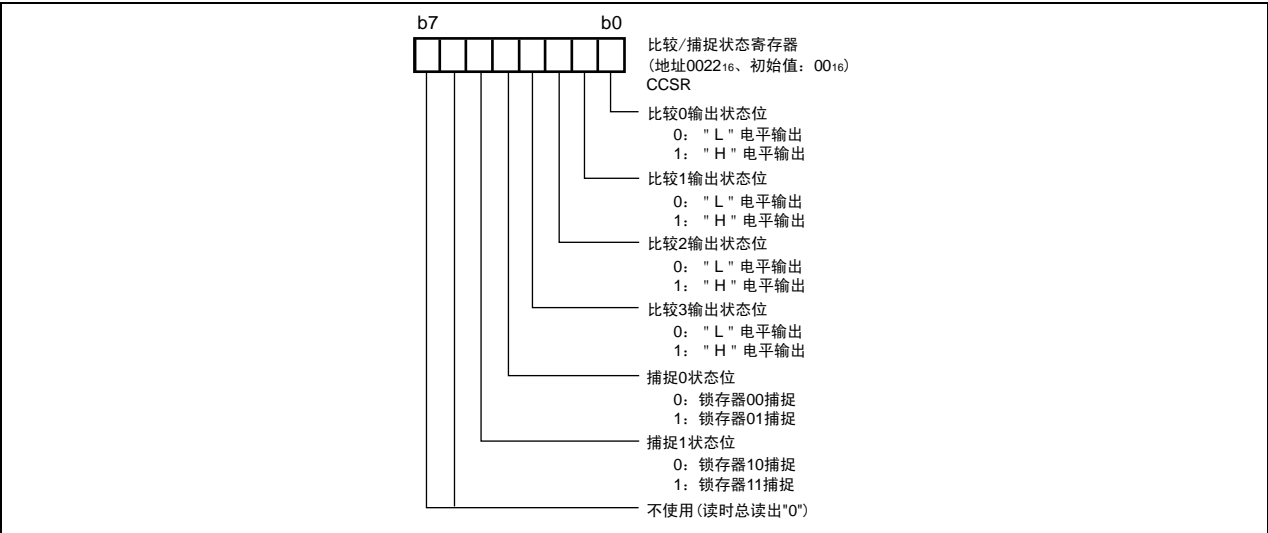


图 37 捕捉/比较状态寄存器的结构

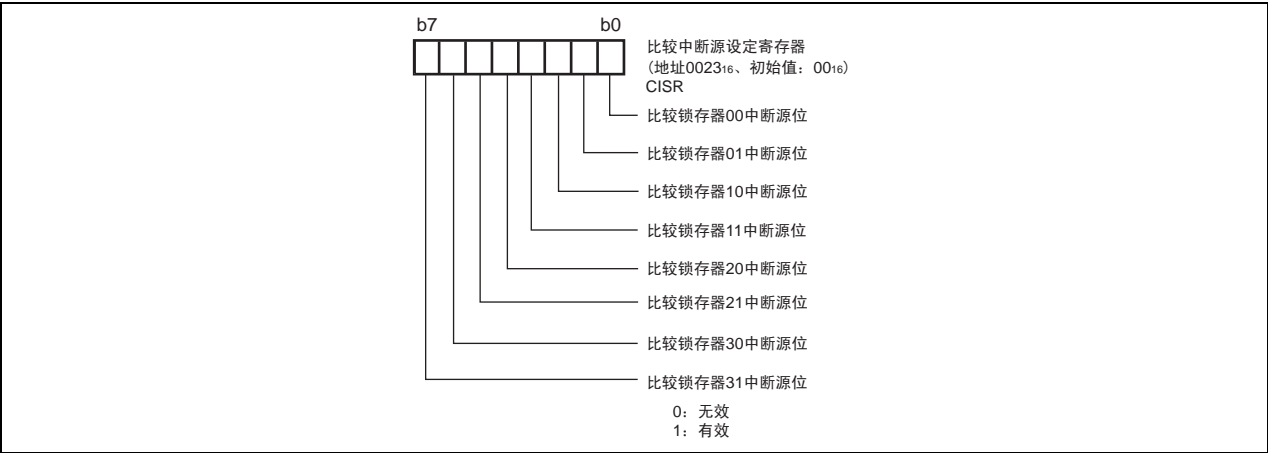


图 38 比较中断源设定寄存器的结构

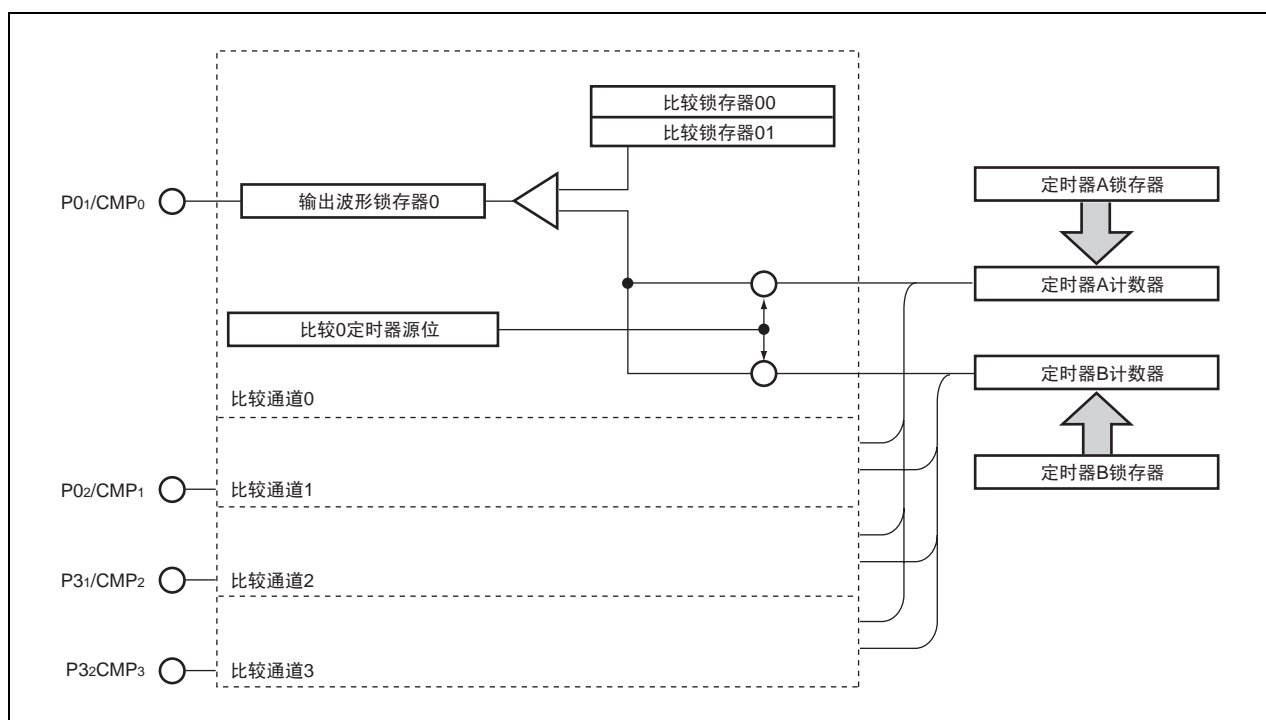


图 39 比较输出电路的框图

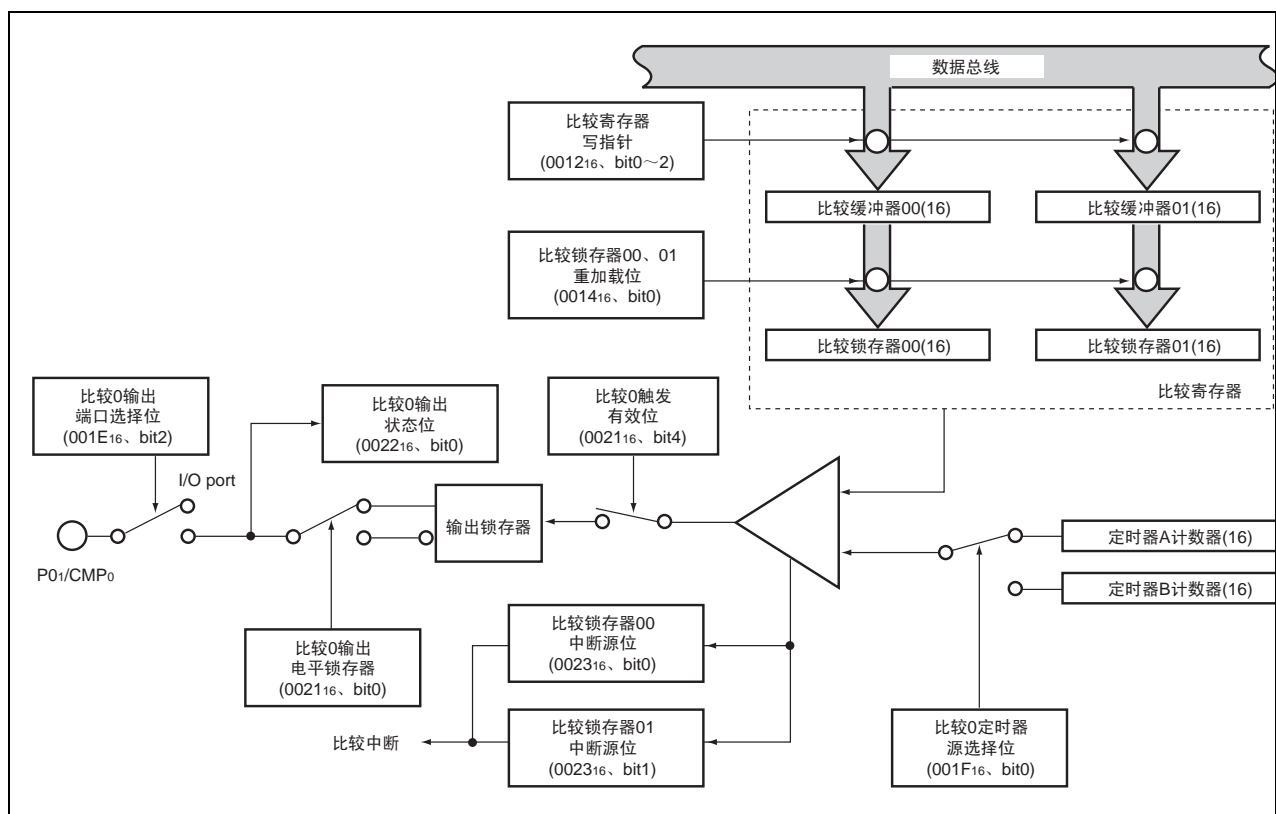


图 40 比较通道 0 的框图

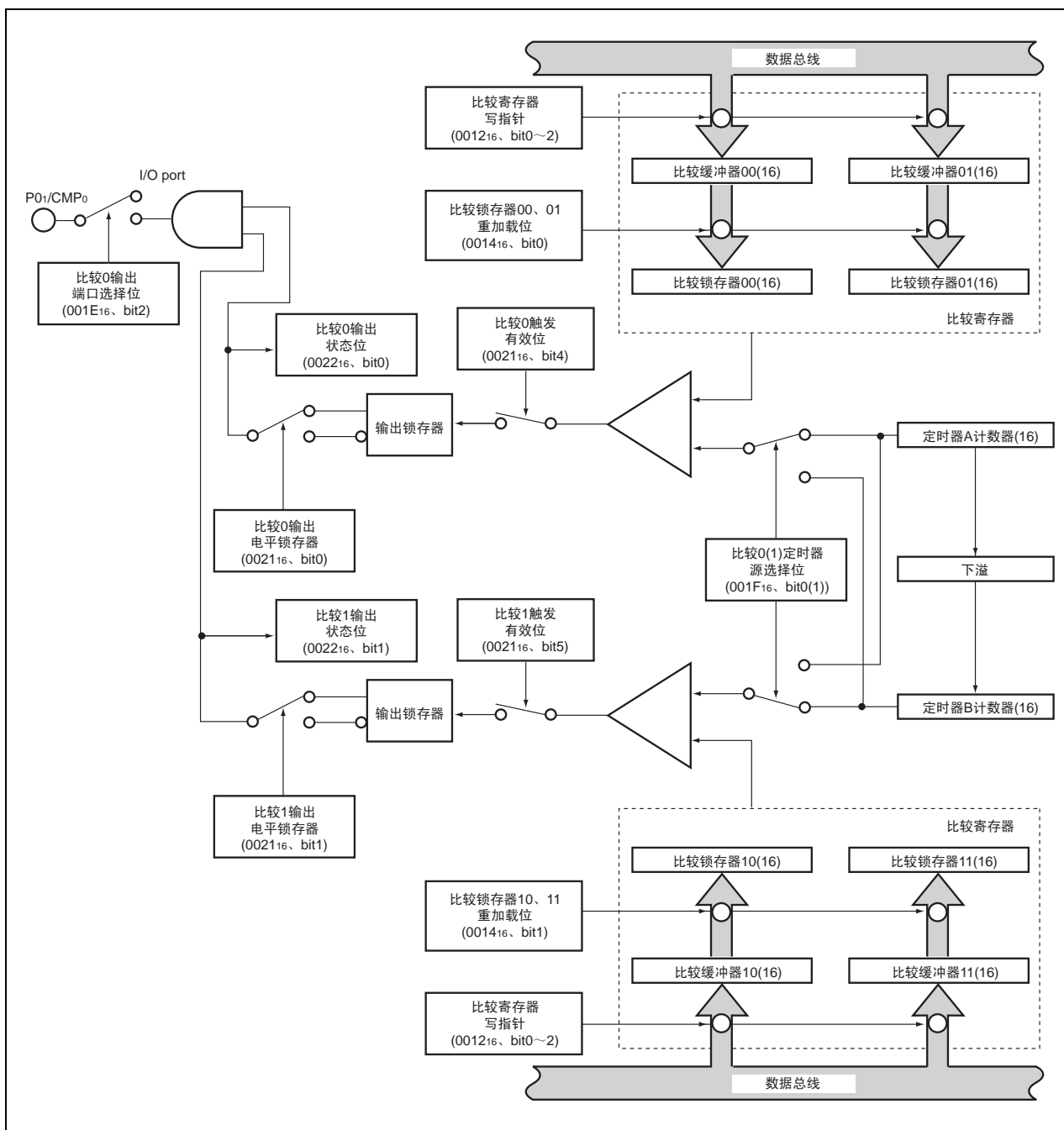


图 41 调制输出模式时的框图

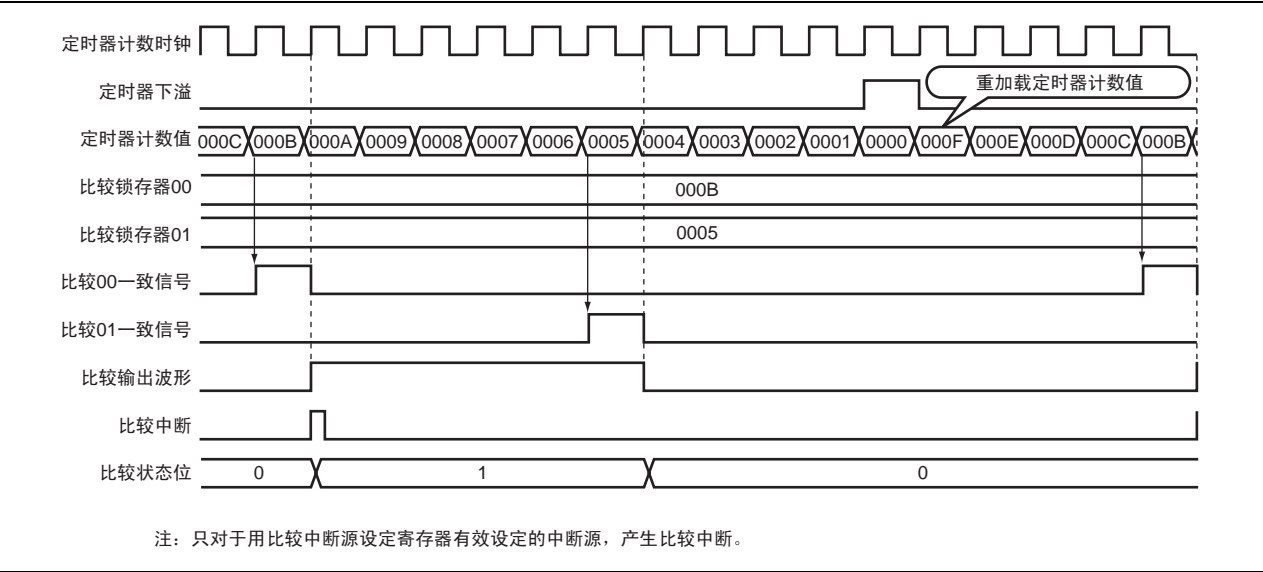


图 42 比较输出波形图（基本波形）

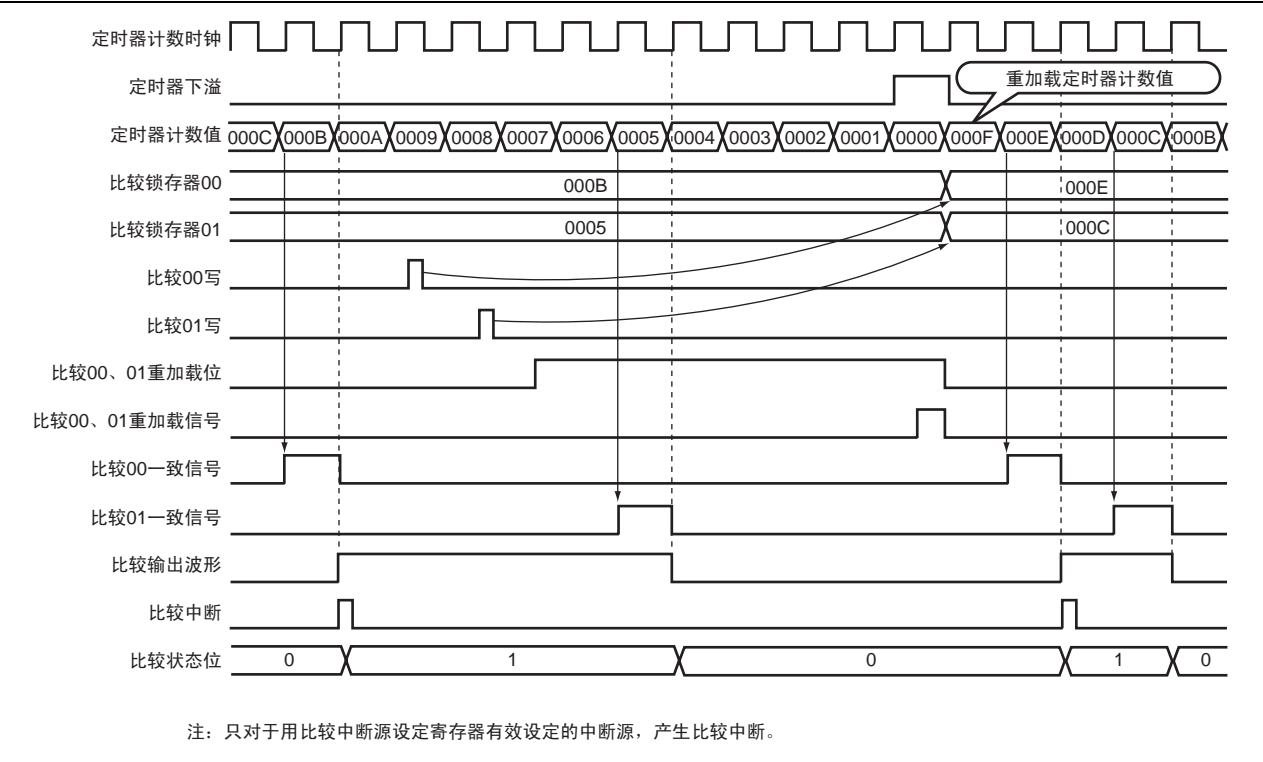


图 43 比较输出波形图（写比较寄存器时）

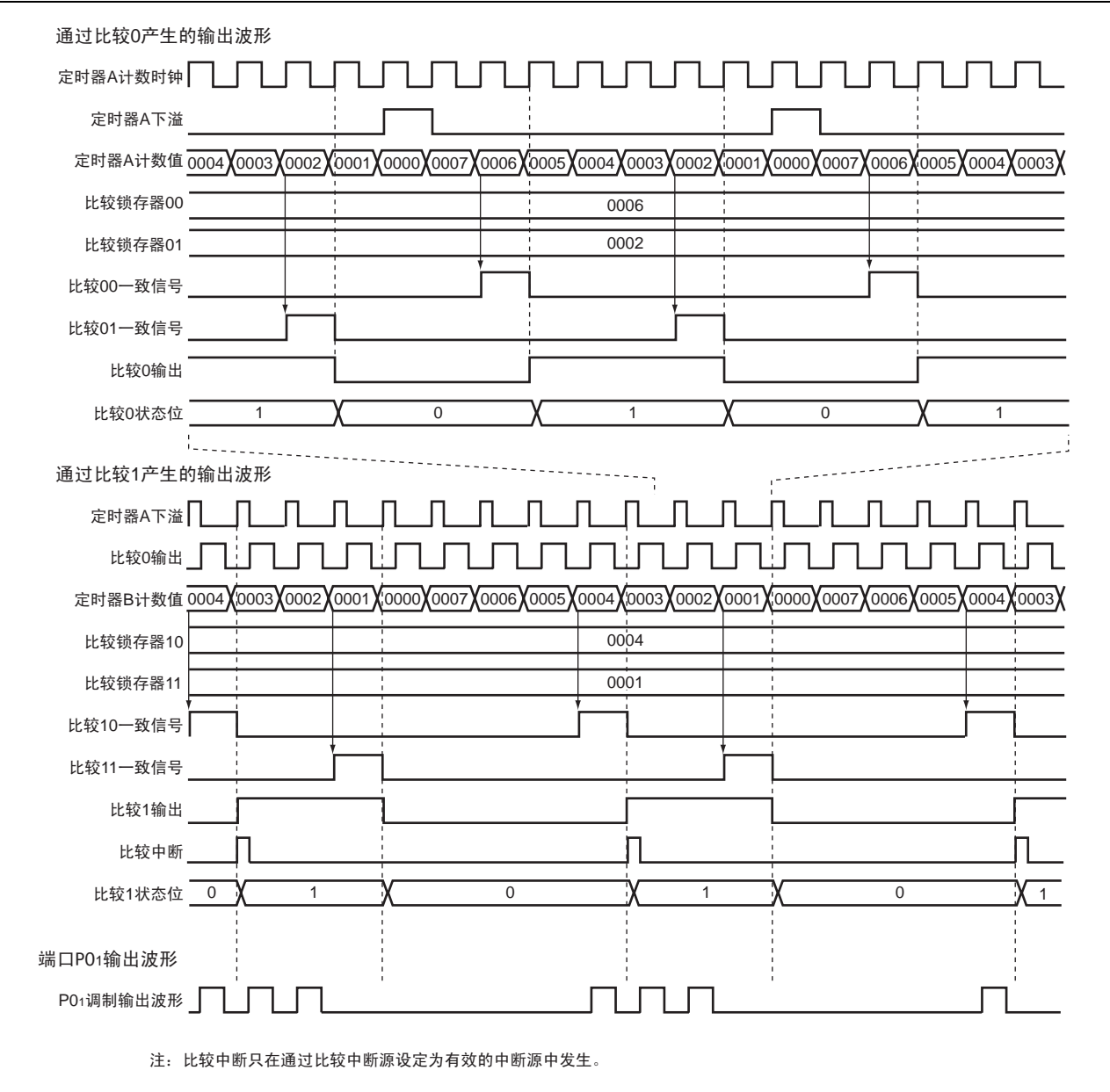


图 44 比较输出波形图（比较 0、1 调制输出模式）

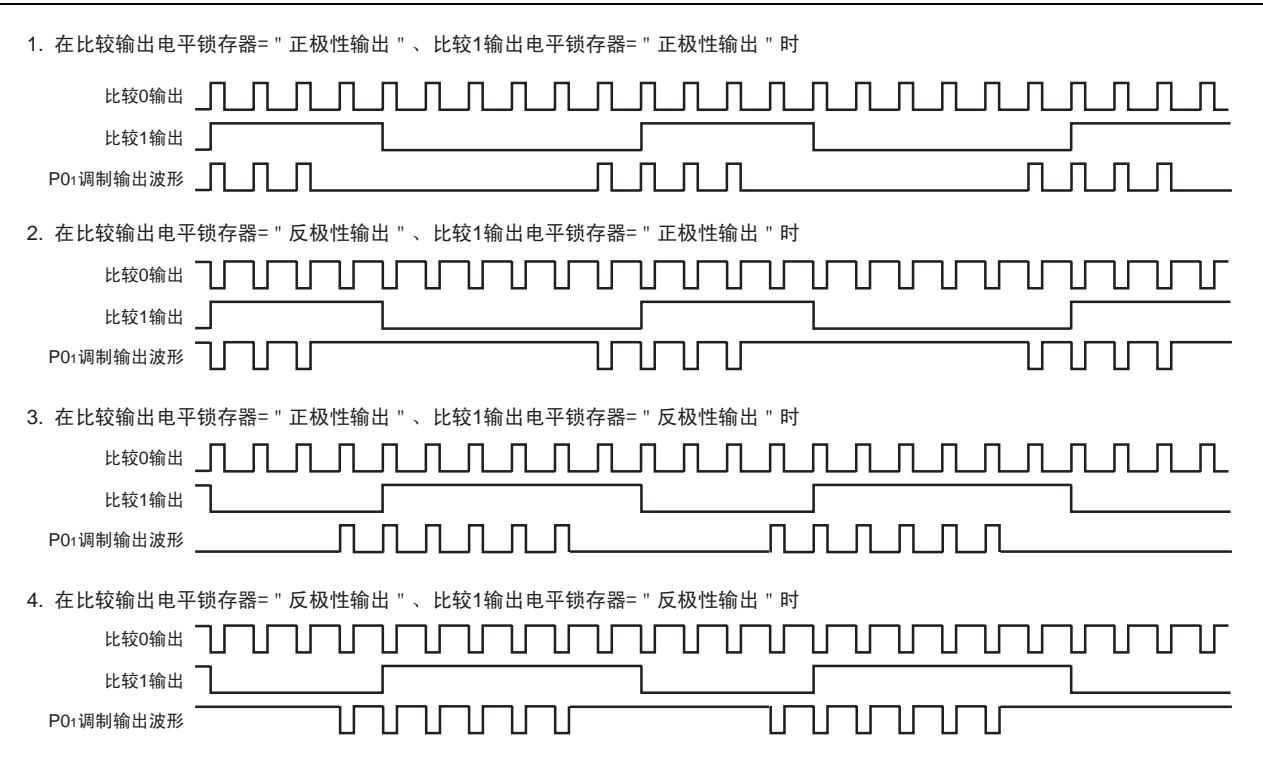


图 45 比较输出波形图（比较 0、1 调制输出模式：由设定输出电平锁存器产生的输出波形变化）

输入捕捉

7542群内置2个通道的捕捉输入。各通道（0、1）具有相同的功能，能捕捉定时器A或者定时器B的计数值。

各捕捉通道所使用的定时器由捕捉x（x=0、1）定时器源选择位进行设定。各通道所使用的定时器能从定时器A或者定时器B任意选择。

在使用捕捉输入时，必须设定捕捉x输入端口选择位，并且给输入端口的方向寄存器设定“0”。

捕捉输入电路在捕捉输入触发被输入时，将选择的定时器的计数值保存到捕捉锁存器。捕捉锁存器x0保存外部输入触发上升时的定时器计数值，捕捉锁存器x1保存外部输入触发下降时的定时器计数值。

通过使用捕捉y（y=00、01、10、11）的软件触发位，也能保存根据捕捉y软件触发产生的定时器计数值。通过给捕捉软件触发位写“1”，将定时器计数值保存到对应的捕捉锁存器。

在读取捕捉y软件触发位时，读出“0”。

通过读取捕捉x状态位，从捕捉锁存器的状态能确认保存最新捕捉资料的锁存器（x0或者x1）。

通过捕捉x中断边沿选择位，能在外部输入的上升沿和下降沿、或者上升沿、或者下降沿，产生中断（与捕捉x中断边沿选择位的设定值无关，在上升和下降两边沿，将定时器的计数值保存到捕捉锁存器）。

各捕捉输入内置噪声滤波电路。噪声滤波电路通过采样时钟，采样外部输入电平，在连续4次采样的电平相同时，判断为有效输入。能通过捕捉噪声滤波器x选择位来选择噪声滤波电路的采样时钟。

通过捕捉寄存器读指标，控制捕捉寄存器的读。从捕捉寄存器读的步骤如下：

- ①给捕捉寄存器读指针设定要读的捕捉锁存器。
- ②读捕捉寄存器的低位和捕捉寄存器的高位。

■有关输入捕捉的注意事项

1. 在读捕捉寄存器的低位和高位期间，当输入捕捉触发时，由于低位和高位的值为在不同时序捕捉的值，因此必须采取用软件比较多次读结果等对策。
2. 在CPU的运行时钟源为XIN振荡的情况下，当定时器A的计数源选择内部振荡器输出时，定时器A不能作为捕捉输入的源定时器使用。
在CPU的运行时钟源为XIN振荡的情况下，当定时器B的计数源选择定时器A下溢且定时器A的计数源选择内部振荡器输出时，定时器B不能作为捕捉输入的源定时器使用。
3. 在给捕捉锁存器x0和x1的捕捉y软件触发位同时写“1”时，或者在外部触发和软件触发同时产生时，如果给捕捉锁存器x0和x1同时进行捕捉输入，捕捉x状态位的值就不定。
4. 在设定外部中断CAP0、CAP1的中断边沿选择位和噪声滤波器选择位时，中断请求位可能为“1”。当不需要发生与中断边沿选择位或者噪声滤波器选择位的设定同步的中断时，必须按照以下步骤设定：
 - ①将该中断允许位清“0”（禁止）。
 - ②设定中断边沿选择位或者噪声滤波器选择位。
 - ③在执行一条或一条以上的指令后，将该中断请求位清“0”。
 - ④将该中断允许位置“1”（允许）。
5. 在将捕捉中断用于从停止模式返回的中断时，必须将捕捉x噪声滤波器选择位设定成“00：没有滤波器”。

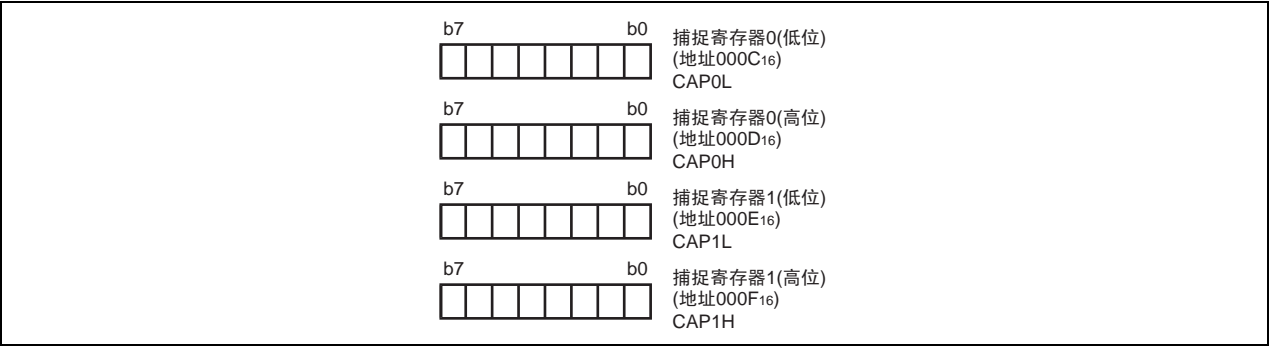


图 46 捕捉寄存器的结构

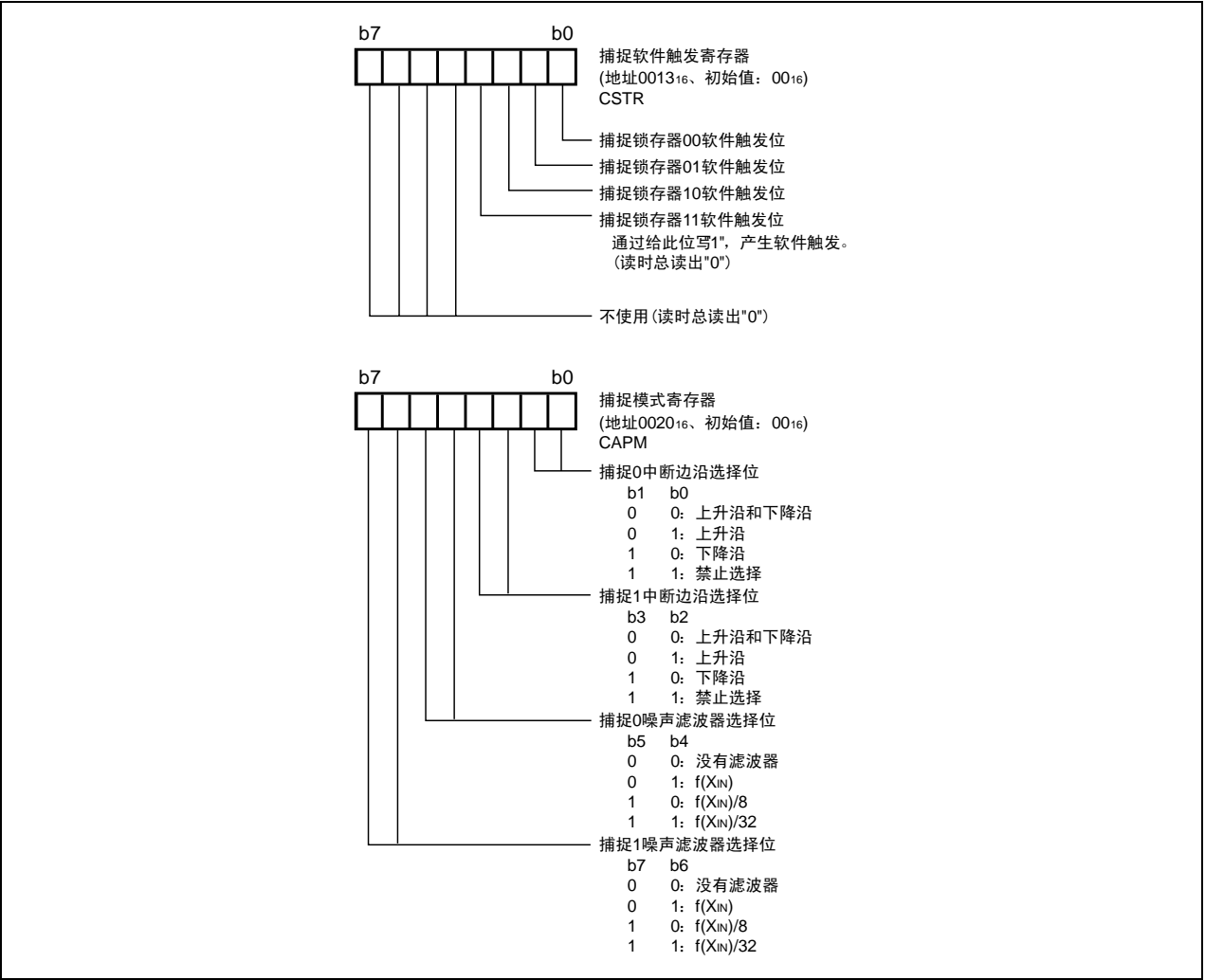


图 47 捕捉软件触发寄存器/捕捉模式寄存器的结构

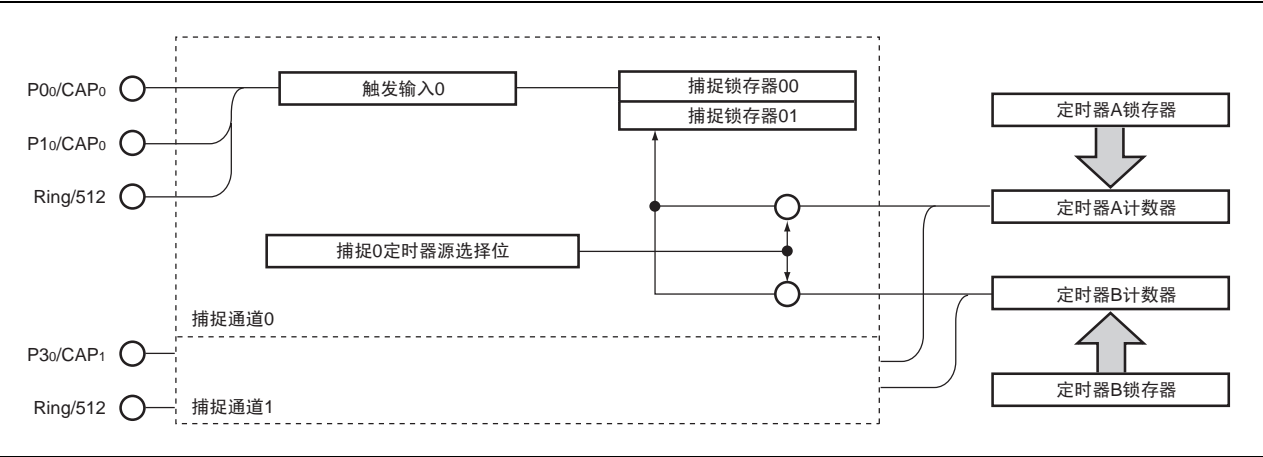


图 48 捕捉输入电路的框图

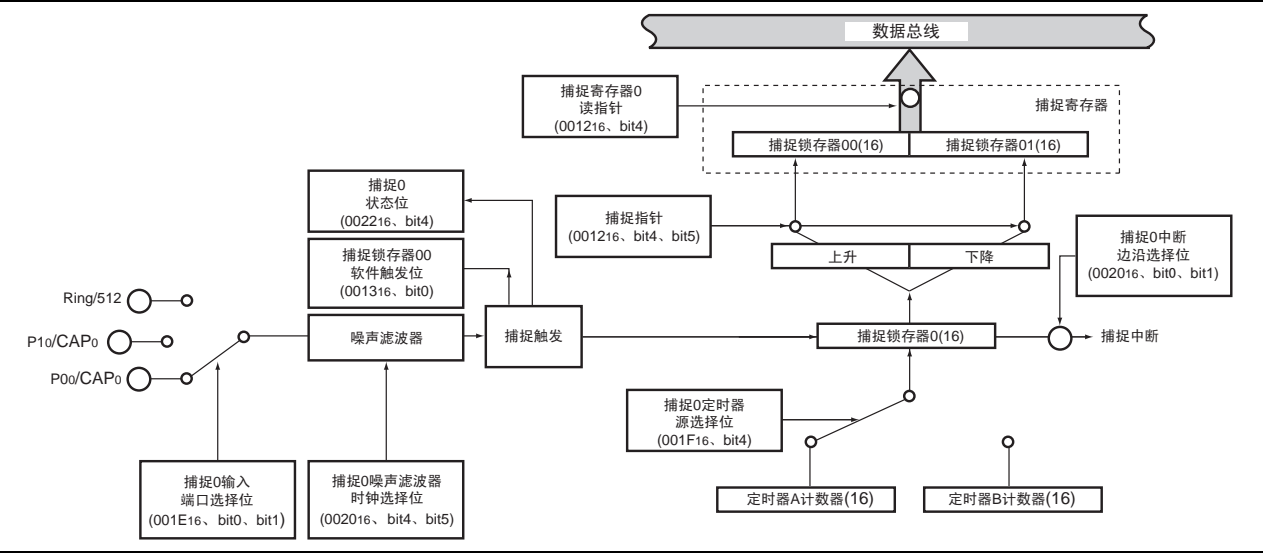


图 49 捕捉通道 0 的框图

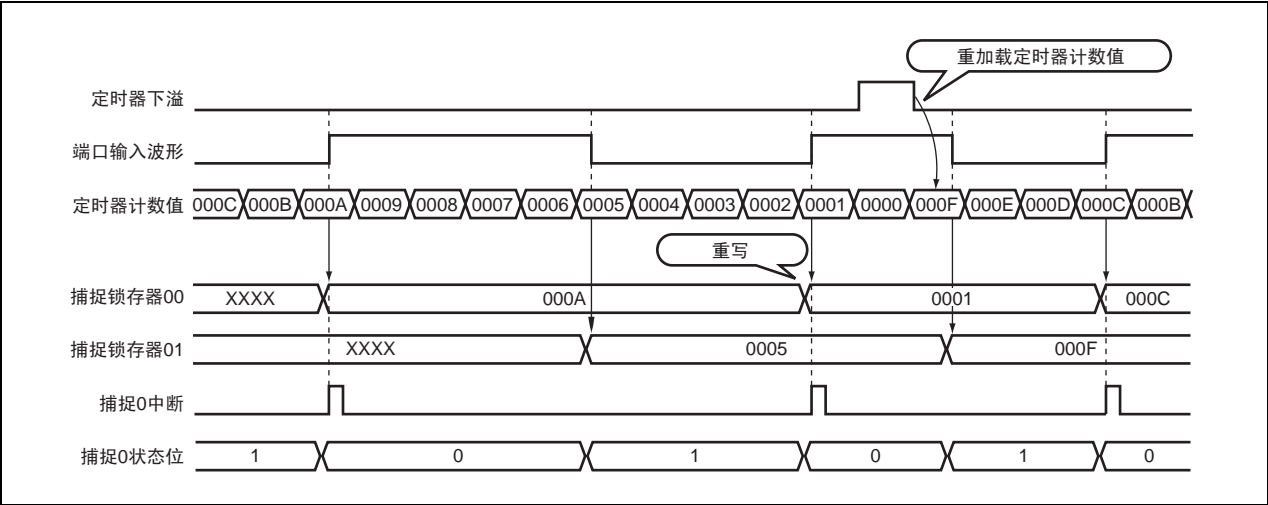


图 50 捕捉输入波形图（捕捉 0 中断边沿选择位：在选择上升沿时）

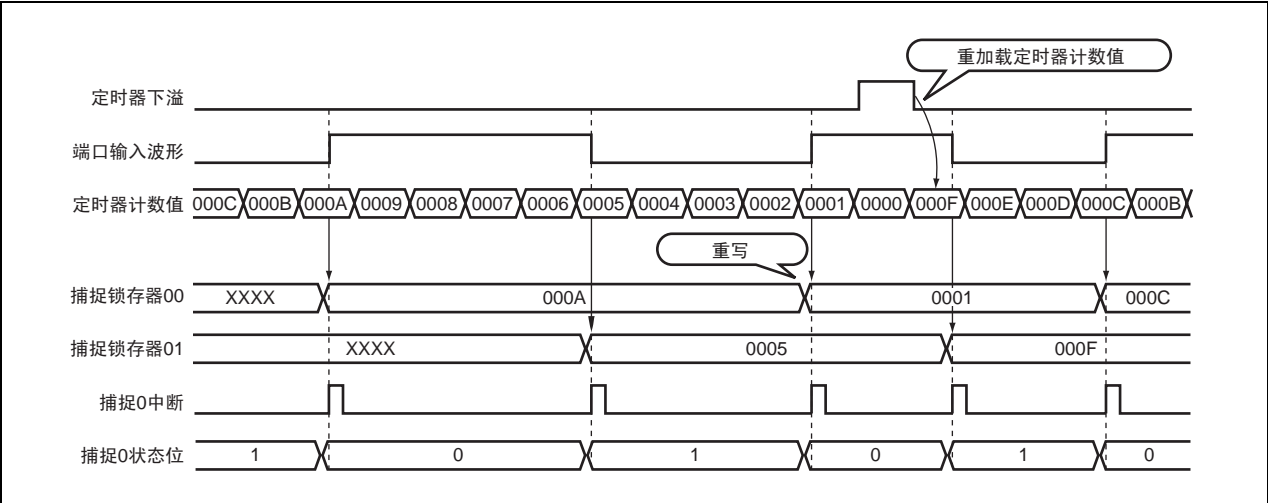


图 51 捕捉输入波形图（捕捉 0 中断边沿选择位：在选择上升沿和下降沿时）

串行I/O

7542群具有串行I/O1和串行I/O2。

除了串行I/O1有总线冲突检测电路和串行I/O2的Tx/D2的输出形式为COMS输出以外，串行I/O1和串行I/O2为相同规格。

● 串行I/O1

串行I/O1无论在时钟同步模式还是在异步模式（UART）都能运行。同时，备有串行I/O1运行时的波特率发生专用定时器（波特率发生器）。

（1）时钟同步串行I/O1模式

通过将串行I/O1控制寄存器的串行I/O1模式选择位（b6）置“1”，选择时钟同步串行I/O1。

在时钟同步串行I/O1，对于串行I/O1运行时钟，发送侧单片机和接收侧单片机使用同一时钟。在使用内部时钟作为运行时钟的情况下，通过给发送/接收缓冲寄存器的写信号，开始发送和接收。

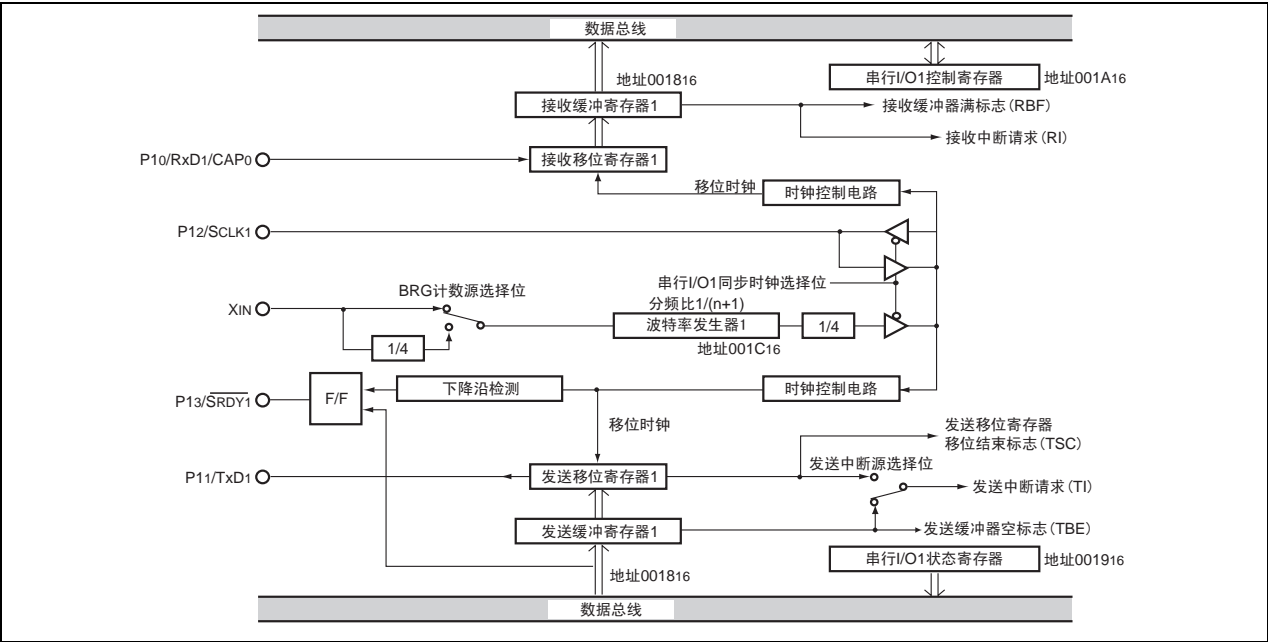


图52 时钟同步串行I/O1框图

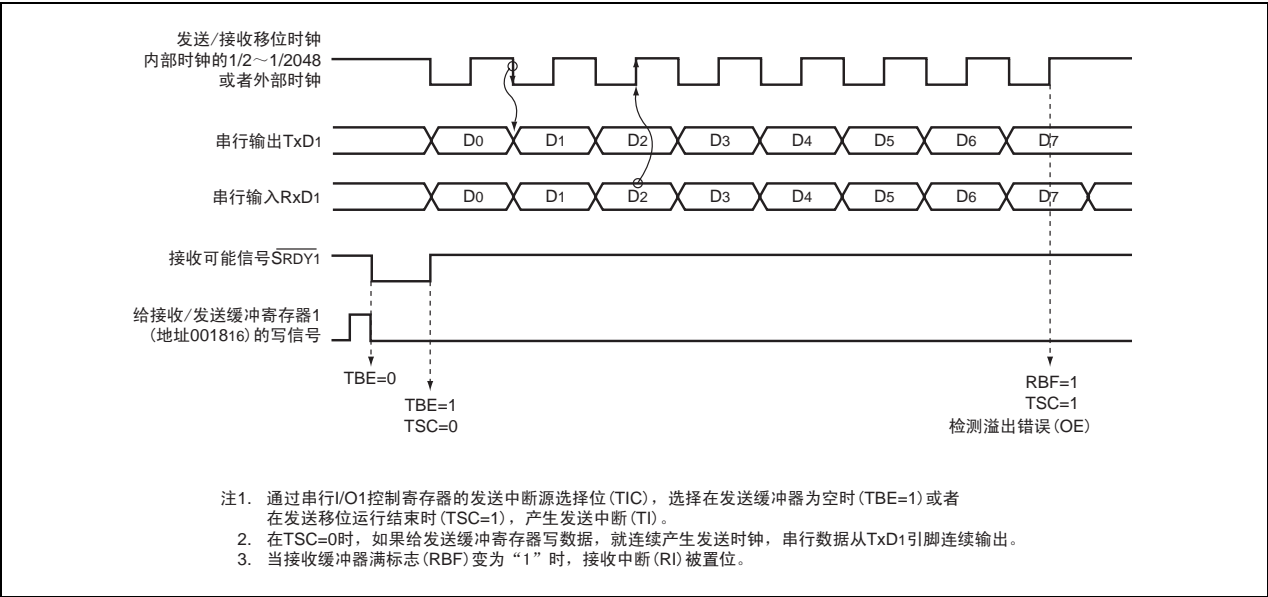


图53 时钟同步串行I/O1运行图

(2) 异步串行I/O1 (UART) 模式

通过将串行I/O1控制寄存器的串行I/O1模式选择位 (b6) 清“0”，选择UART。

7542群能够选择8种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

7542群对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，具有各自的缓冲寄存器（存储器里的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据和读接收数据。另外，能通过这些缓冲寄存器，预先写下一个要发送的数据，或者连续接收2字节的接收数据。

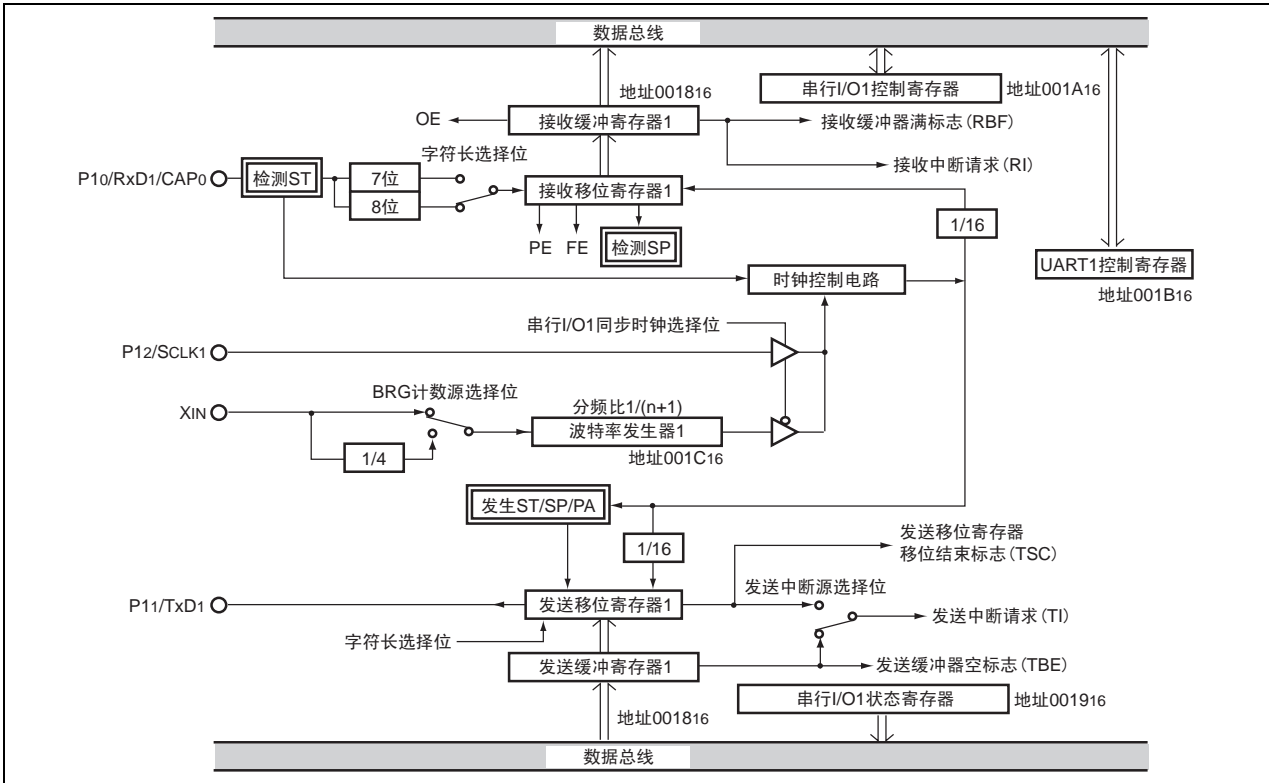


图54 UART串行I/O1框图

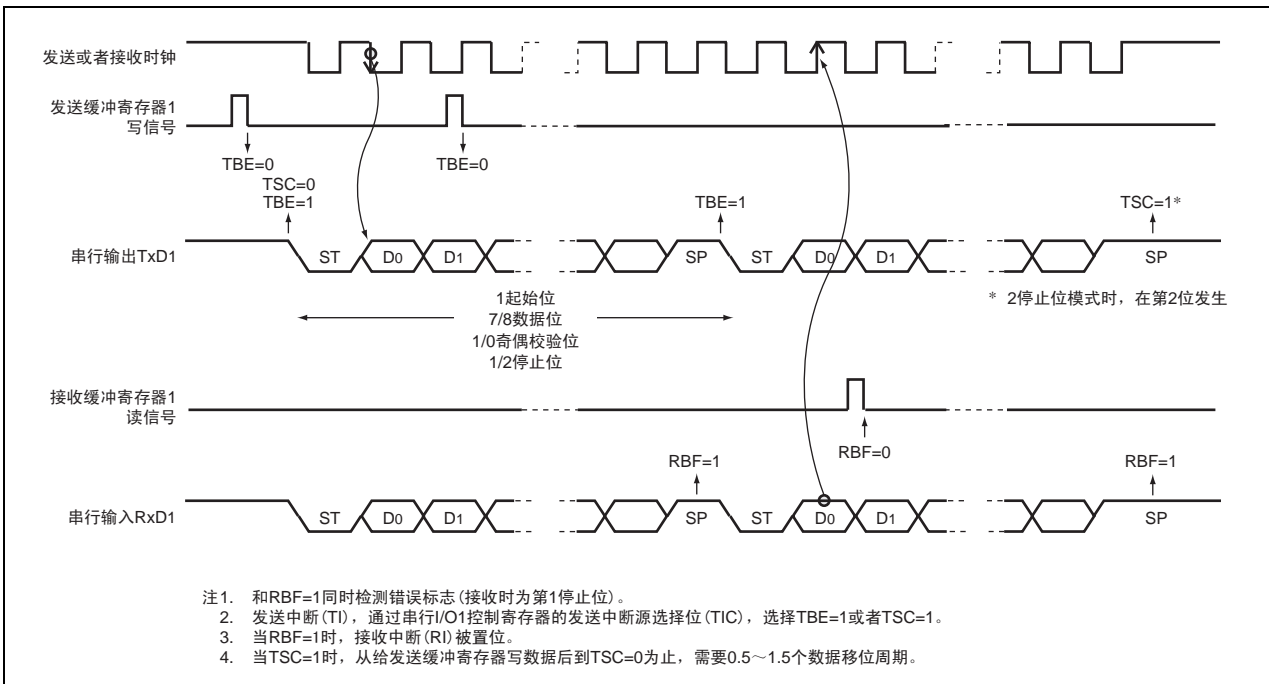


图55 UART串行I/O1运行图

【发送缓冲寄存器1/接收缓冲寄存器1】TB1/RB1

发送缓冲寄存器和接收缓冲寄存器被分配了相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为7位时，保存在接收缓冲寄存器的接收数据的MSB为“0”。

【串行I/O1状态寄存器】SIO1STS

是由表示串行I/O1运行状态的标志和各种错误标志构成的7位只读寄存器。bit4～bit6的3位只在选择UART模式时有效。

如果读取接收缓冲寄存器的内容，接收缓冲器满标志就被清“0”。

在将数据从接收移位寄存器传送到接收缓冲寄存器、将接收缓冲器满标志置位的同时，进行错误检测。通过对串行I/O1状态寄存器的写，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行I/O1允许位（SIOE）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然在复位时，此寄存器的bit0～bit6被初始化成“0”，但是，在将串行I/O1控制寄存器的发送允许位置成“1”时，bit2和bit0变为“1”。

【串行I/O1控制寄存器】SIO1CON

串行I/O1控制寄存器由进行串行I/O1各种控制的8位选择位构成。

【UART1控制寄存器】UART1CON

是由在选择UART时有有效的4位控制位和总是有效的1位控制位构成的5位寄存器。通过此寄存器的内容，设定发送和接收串行数据时的数据格式、P11/TxD1引脚的输出形式等。

【波特率发生器1】BRG1

决定串行传送的位速率。

它是具有重加载寄存器的8位计数器，通过设定n值，以 $1/(n+1)$ 的分频比分频计数源。

■有关串行I/O1的注意事项

• 串行I/O1中断

在将串行I/O1发送允许位置“1”时，串行I/O1发送中断请求位变为“1”。当不需要发生与发送允许同步的中断时，必须按以下步骤设定：

- ①将串行I/O1发送中断允许位清“0”（禁止）。
- ②将发送允许位置“1”。
- ③在执行一条或一条以上的指令后，将串行I/O1发送中断请求位清“0”。
- ④将串行I/O1发送中断允许位置“1”（允许）。

• 串行I/O1允许时的输入/输出引脚功能

根据串行I/O1模式选择位和串行I/O1同步时钟选择位的设定值，P12、P13的功能发生如下的变化：

(1) 串行I/O1模式选择位→“1”：

在选择时钟同步串行I/O时，

- 串行I/O1同步时钟选择位的设定
 - “0”：P12引脚成为同步时钟的输出引脚。
 - “1”：P12引脚成为同步时钟的输入引脚。
- $\overline{\text{SRDY1}}$ 输出允许位（SRDY）的设定
 - “0”：P13引脚能作为通常的输入/输出引脚使用。
 - “1”：P13引脚成为 $\overline{\text{SRDY1}}$ 输出引脚。

(2) 串行I/O1模式选择位→“0”：

在选择时钟异步（UART）串行I/O时，

- 串行I/O1同步时钟选择位的设定
 - “0”：P12引脚能作为通常的输入/输出引脚使用。
 - “1”：P12引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行I/O时，P13引脚能作为通常的输入/输出引脚使用。

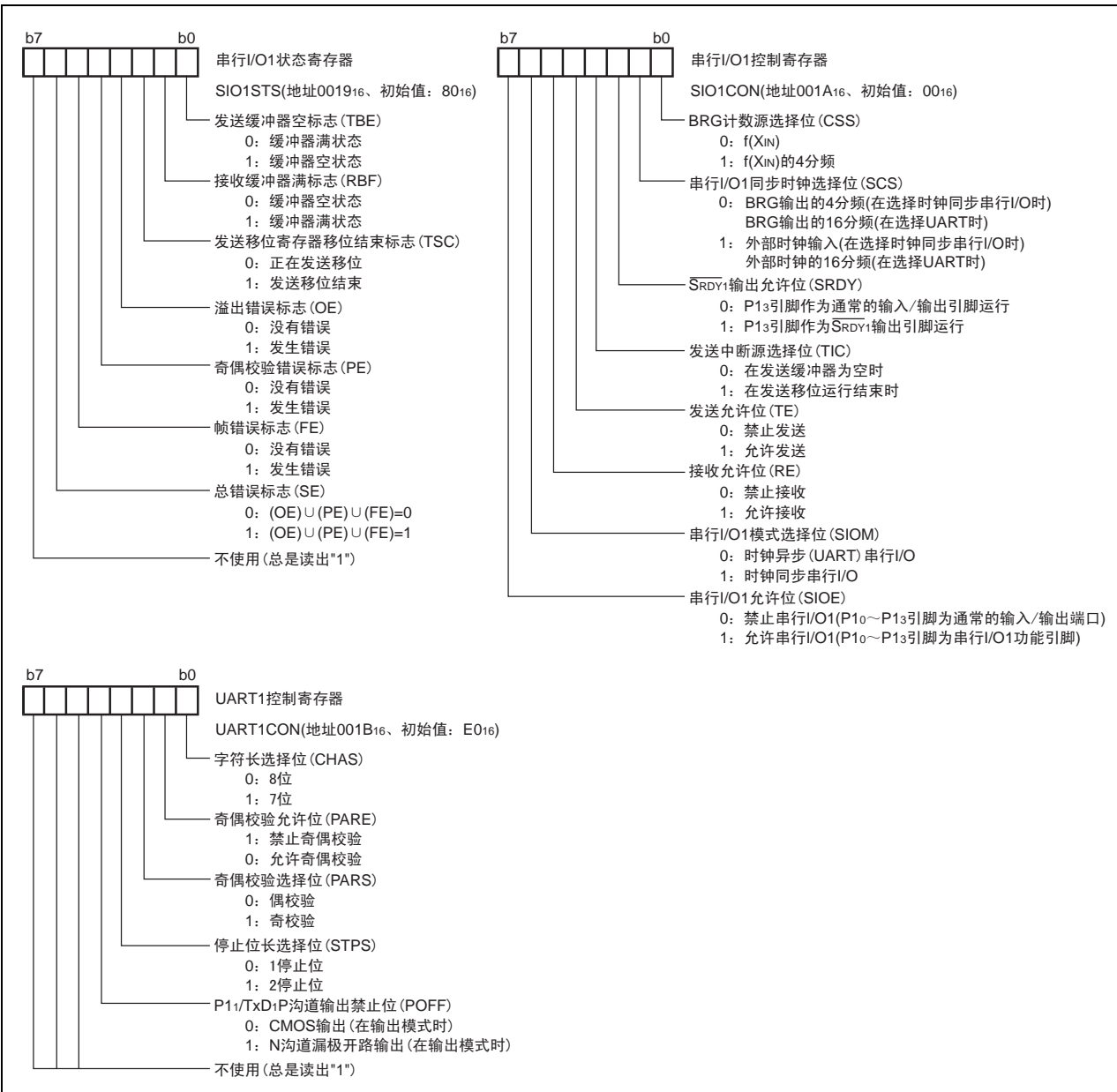


图 56 与串行 I/O1 相关的寄存器结构

●总线冲突检测电路

串行I/O1能通过设定UART1总线冲突检测中断有效位，检测总线冲突。

如果在时钟同步或者时钟异步 (UART) 串行I/O模式下开始发送，就与发送移位时钟的上升沿同步，进行发送引脚TxD₁和接收引脚RxD₁的比较。在比较结果不一致的情况下，发出总线冲突检测中断请求。

在时钟同步模式，发送数据的冲突检测在发送数据的LSB和MSB之间进行；在UART模式，发送数据的冲突检测在发送数据的开始位和停止位之间进行。无论内部时钟还是外部时钟的情况，都能检测总线冲突。

总线冲突检测中断电路的框图如图58所示，总线冲突检测中断的时序图如图59所示。

■有关总线冲突检测功能的注意事项

在串行I/O1以双工通信模式运行时，能使用总线冲突检测功能。在串行I/O1以半双工通信运行时，必须禁止总线冲突检测中断。

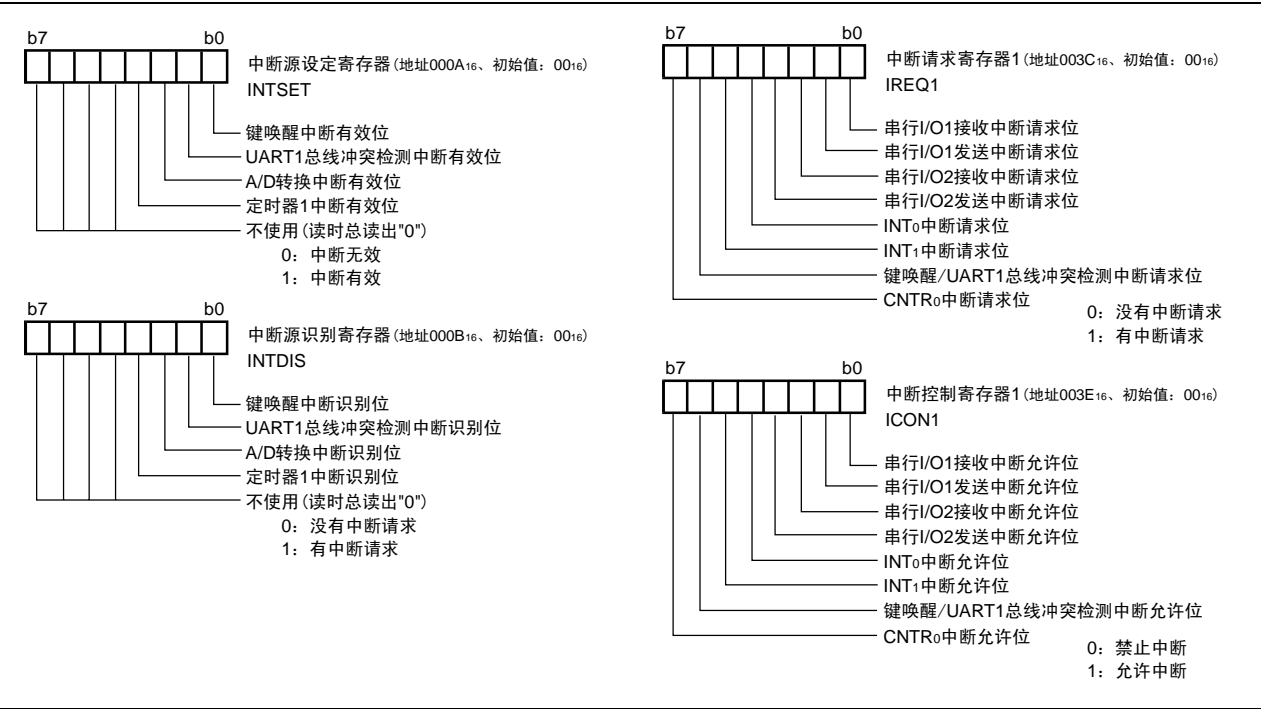


图57 与总线冲突检测相关的寄存器

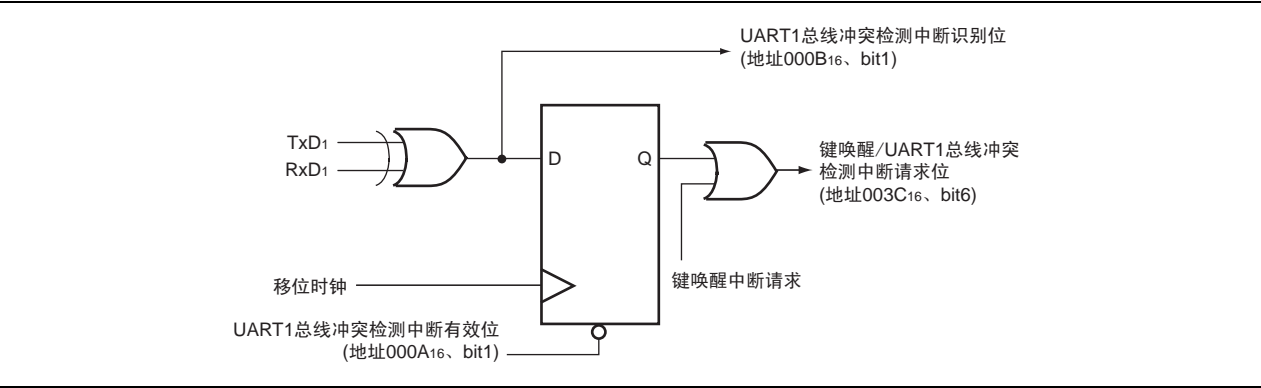


图58 总线冲突检测中断电路的框图

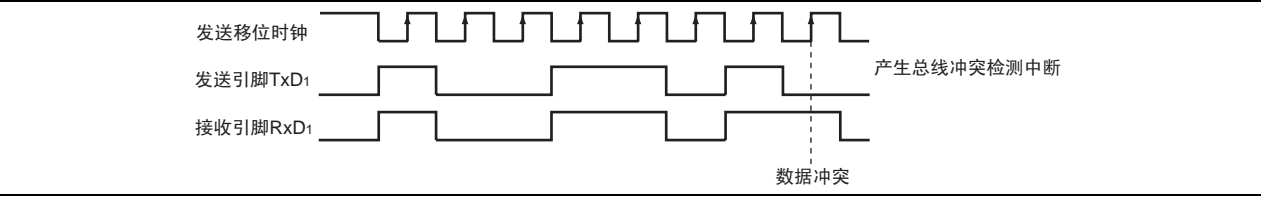


图59 总线冲突检测中断的时序图

● 串行I/O2

串行I/O2无论在时钟同步模式还是在异步模式（UART）都能运行。同时，备有串行I/O2运行时的波特率发生专用定时器（波特率发生器）。

（1）时钟同步串行I/O2模式

通过将串行I/O2控制寄存器的串行I/O2模式选择位（b6）置“1”，选择时钟同步串行I/O2。

在时钟同步串行I/O2，对于串行I/O2运行时钟，发送侧单片机和接收侧单片机使用同一时钟。作为运行时钟，在使用内部时钟的情况下，通过给发送/接收缓冲寄存器的写信号，开始发送和接收。

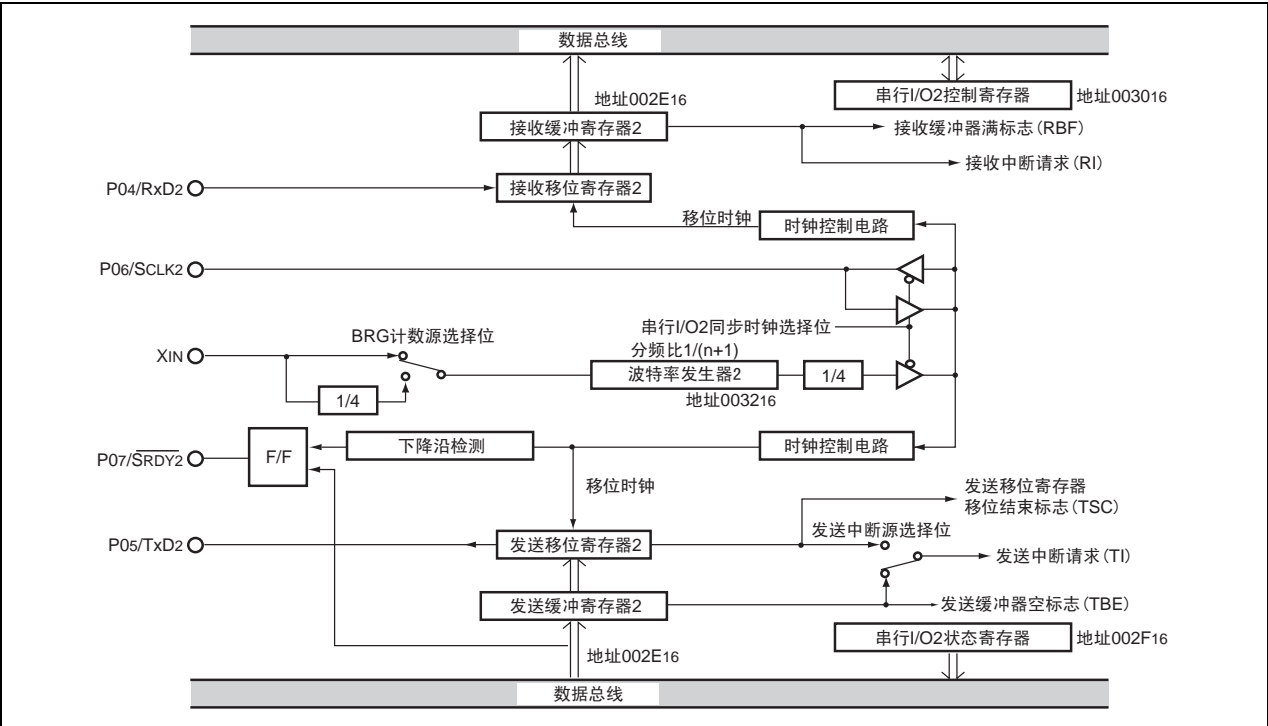


图60 时钟同步串行I/O2框图

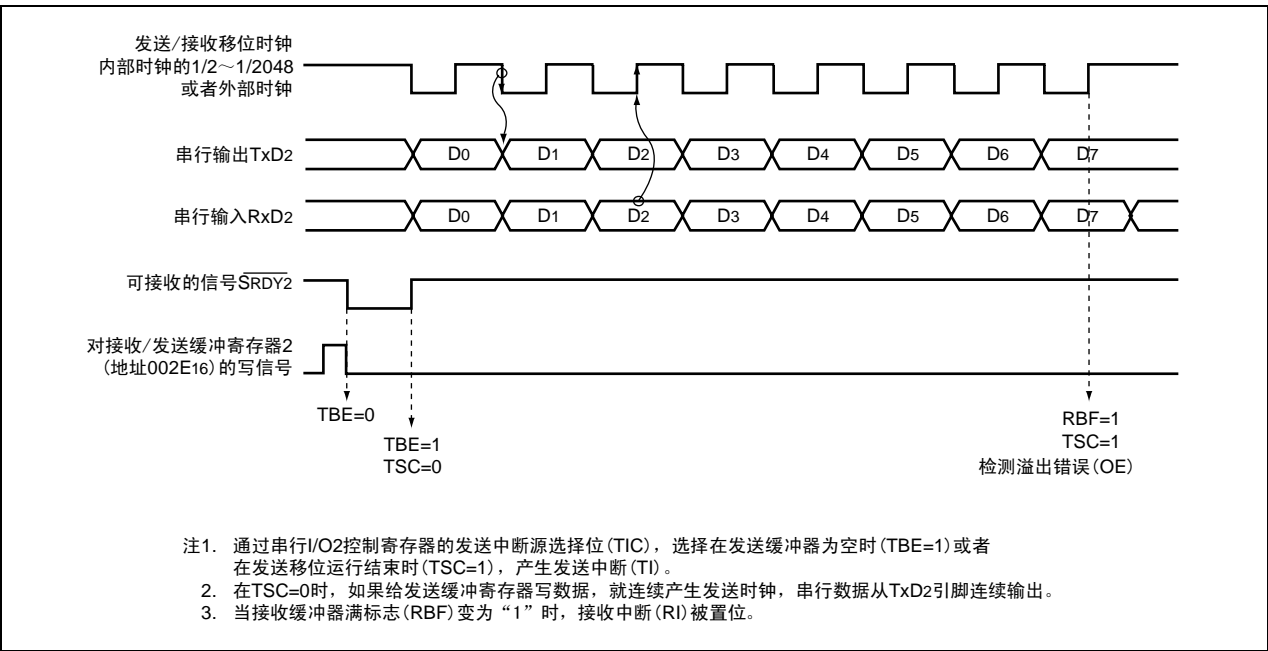


图61 时钟同步串行I/O2运行图

(2) 异步串行I/O2 (UART) 模式

通过将串行I/O2控制寄存器的串行I/O2模式选择位 (b6) 清“0”，选择UART。

7542群能够选择8种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

7542群对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，具有各自的缓冲寄存器（存储器里的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据和读接收数据。另外，能通过这些缓冲寄存器，预先写下一个要发送的数据，或者连续接收2字节的接收数据。

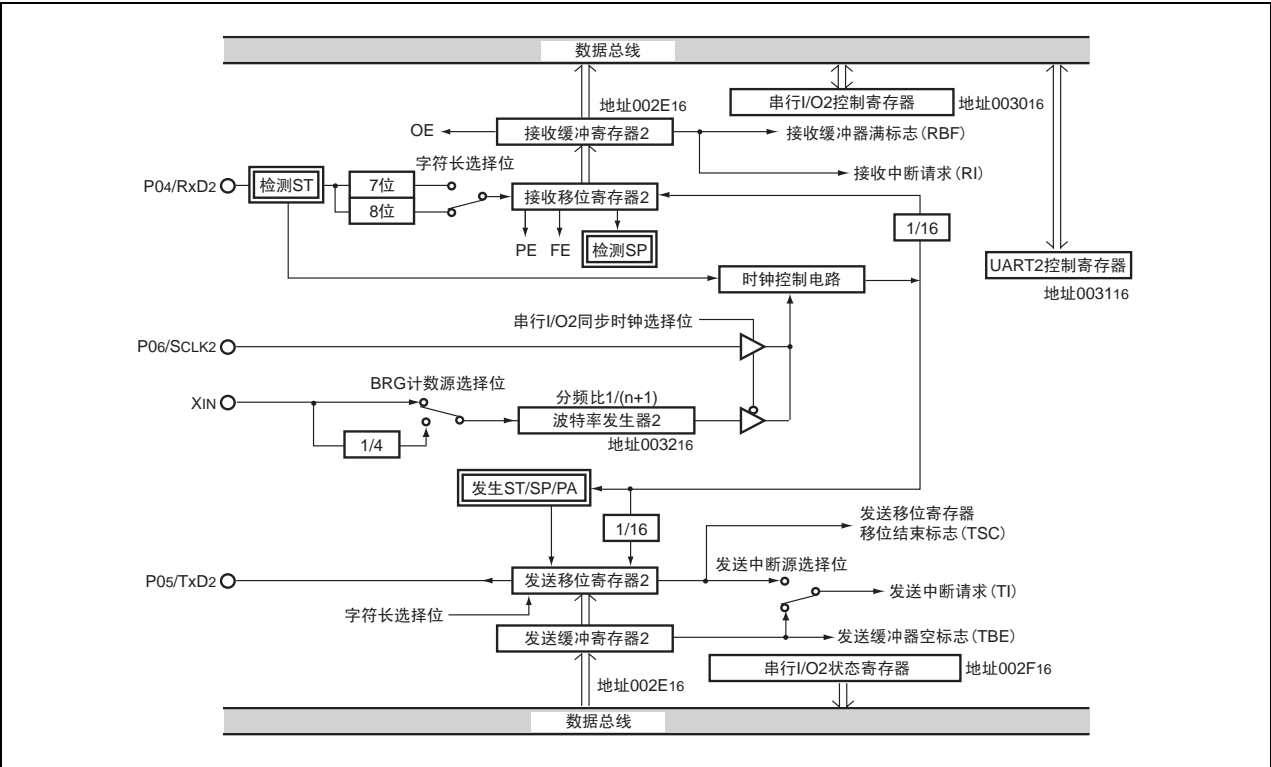


图 62 UART 串行 I/O2 框图

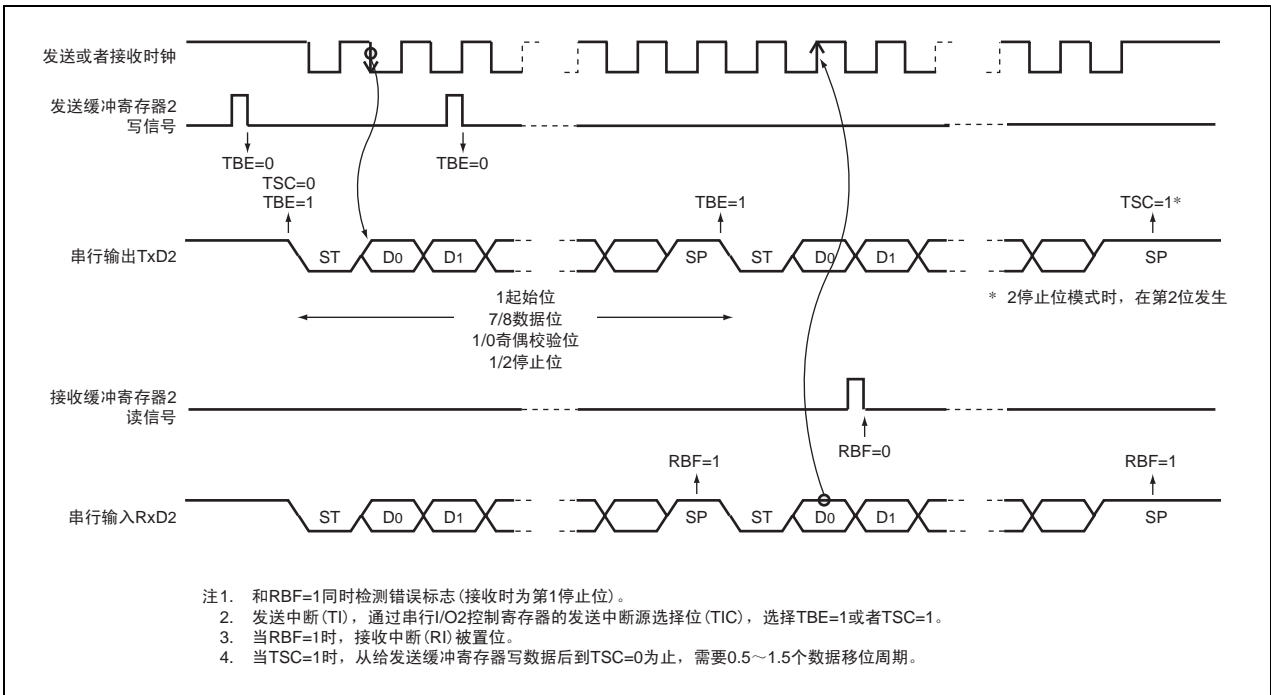


图63 UART串行I/O2运行图

【发送缓冲寄存器2/接收缓冲寄存器2】TB2/RB2

发送缓冲寄存器和接收缓冲寄存器被分配了相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为7位时，保存在接收缓冲寄存器的接收数据的MSB为“0”。

【串行I/O2状态寄存器】SIO2STS

是由表示串行I/O2运行状态的标志和各种错误标志构成的7位只读寄存器。bit4～bit6的3位只在选择UART模式时有效。

如果读取接收缓冲寄存器的内容，接收缓冲器满标志就被清“0”。

在将数据从接收移位寄存器传送到接收缓冲寄存器、将接收缓冲器满标志置位的同时，进行错误检测。通过对串行I/O2状态寄存器的写，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行I/O2允许位（SIOE）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然在复位时，此寄存器的bit0～bit6被初始化成“0”，但是，在将串行I/O2控制寄存器的发送允许位置“1”时，bit2和bit0变为“1”。

【串行I/O2控制寄存器】SIO2CON

串行I/O2控制寄存器由进行串行I/O2各种控制的8位选择位构成。

【UART2控制寄存器】UART2CON

是由选择UART时的有效4位控制位构成的寄存器。通过此寄存器的内容，设定发送和接收串行数据时的数据格式。

【波特率发生器2】BRG2

决定串行传送的位速率。

它是具有重加载寄存器的8位计数器，通过设定n值，以 $1/(n+1)$ 的分频比分频计数源。

■有关串行I/O2的注意事项

- 串行I/O2中断

在将串行I/O2发送允许位置“1”时，串行I/O2发送中断请求位变为“1”。当不需要发生与发送允许同步的中断时，必须按以下步骤设定：

- ①将串行I/O2发送中断允许位清“0”（禁止）。
- ②将发送允许位置“1”。
- ③在执行一条或一条以上的指令后，将串行I/O2发送中断请求位清“0”。
- ④将串行I/O2发送中断允许位置“1”（允许）。

- 串行I/O2允许时的输入/输出引脚功能

根据串行I/O2模式选择位和串行I/O2同步时钟选择位的设定值，P06、P07 的功能发生如下的变化：

- (1) 串行I/O2模式选择位→“1”：

在选择时钟同步串行I/O时，

- 串行I/O2同步时钟选择位的设定
 - “0”：P06引脚成为同步时钟的输出引脚。
 - “1”：P06引脚成为同步时钟的输入引脚。
- $\overline{\text{SRDY}}$ 2输出允许位（SRDY）的设定
 - “0”：P07引脚能作为通常的输入/输出引脚使用。
 - “1”：P07引脚成为 $\overline{\text{SRDY}}$ 2输出引脚。

- (2) 串行I/O2模式选择位→“0”：

在选择时钟异步（UART）串行I/O时，

- 串行I/O2同步时钟选择位的设定
 - “0”：P06引脚能作为通常的输入/输出引脚使用。
 - “1”：P06引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行I/O时，P07引脚能作为通常的输入/输出引脚使用。

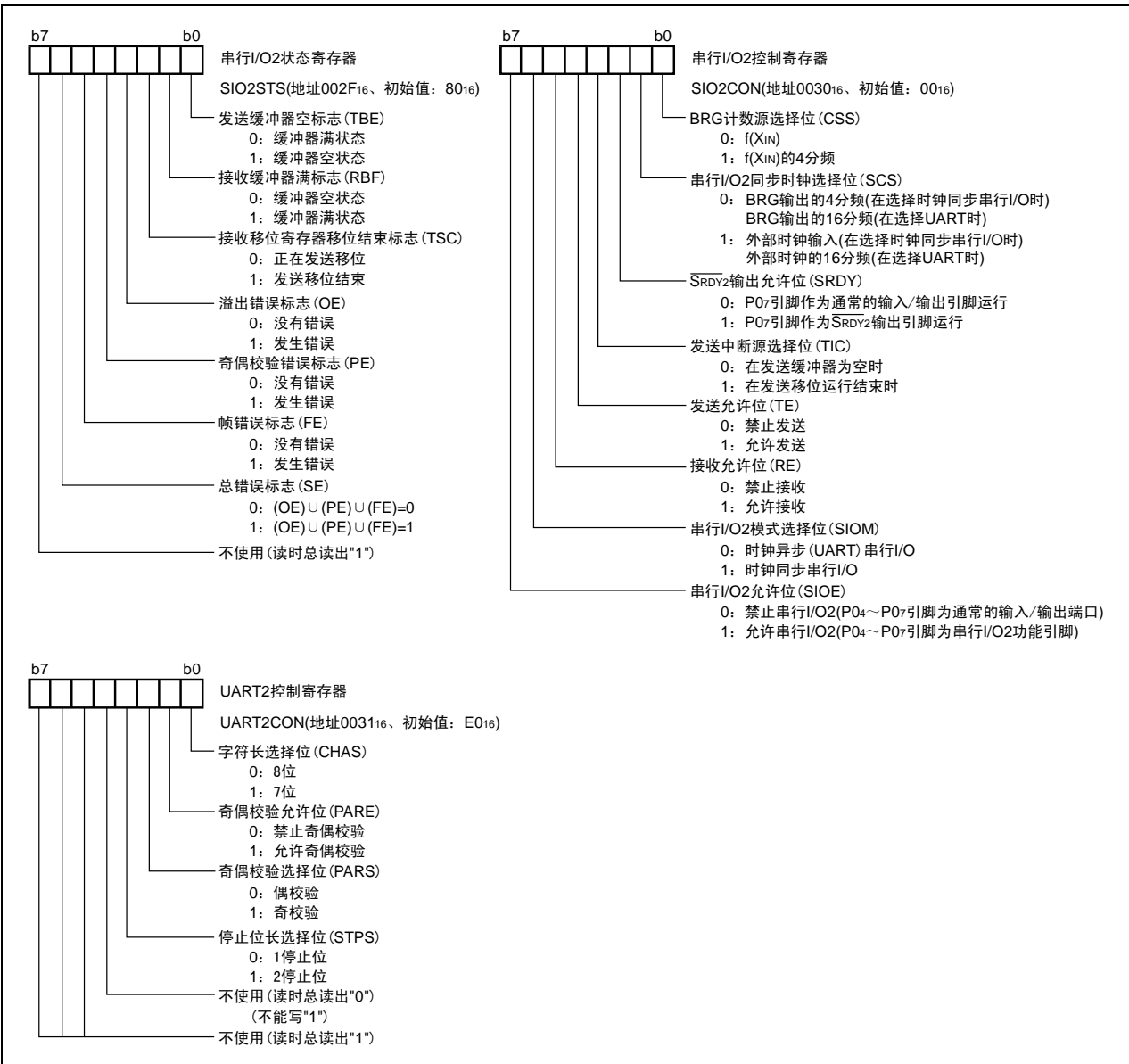


图 64 与串行 I/O2 相关的寄存器结构

A/D转换器

【A/D转换寄存器】AD

保存A/D转换结果的只读寄存器。

【A/D控制寄存器】ADCON

用于控制A/D转换器的寄存器。

bit2~bit0是模拟输入引脚的选择位。

bit3是A/D转换时钟选择位，如果清“0”，A/D转换时钟就为 $f(X_{IN})/2$ ，A/D转换时间为 $f(X_{IN})$ 的122个周期；如果置“1”，A/D转换时钟就为 $f(X_{IN})$ ，A/D转换时间为 $f(X_{IN})$ 的61个周期。

bit4是A/D转换结束位，在A/D转换期间为“0”，如果A/D转换结束，就变为“1”。通过给此位写“0”，开始A/D转换。

【比较电压发生器】

通过梯形电阻，将VSS和VREF之间的电压进行1024分割并输出。除了在A/D转换期间以外，由于和VREF引脚、VSS引脚分离，因此没有电流流到梯形电阻。

【通道选择器】

从端口P27/AN7~P20/AN0中选择1个通道，输入到比较器。

【比较器和控制电路】

进行模拟输入电压和比较电压的比较，将其结果保存到A/D转换寄存器。另外，在A/D转换结束时，将A/D转换结束位和A/D中断请求位置“1”。由于比较器由电容耦合构成，因此在设定 $f(X_{IN})$ 的值时必须使A/D转换中的A/D转换时钟不低于250kHz。

■有关A/D转换的注意事项

在以下的使用条件时可能会降低A/D转换精度：

- (1) 如果VREF电压低于Vcc电压，单片机内部的模拟电路容易受到噪声的影响，因此与VREF电压和Vcc电压相同时相比，转换精度可能下降。
- (2) VREF电压不超过3.0V且在低温环境中使用时，与常温时的转换精度相比，低温时的转换精度可能会大幅度降低。如果预计在低温环境中使用，建议 $V_{REF} \geq 3.0V$ 。

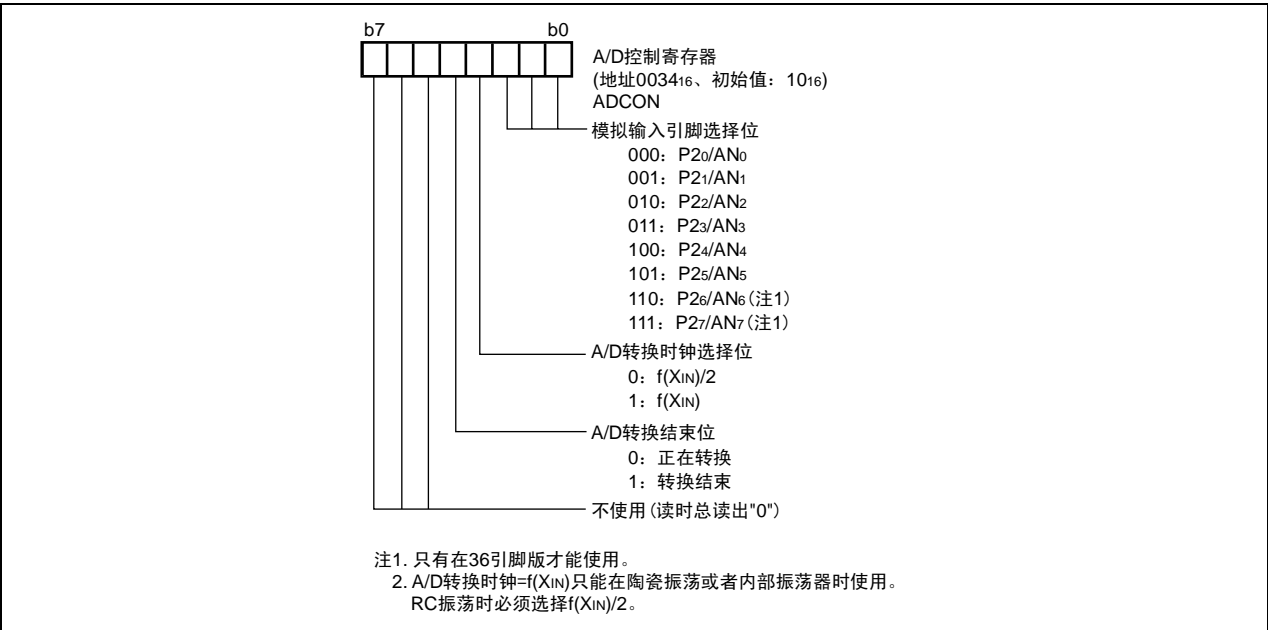


图65 A/D控制寄存器的结构

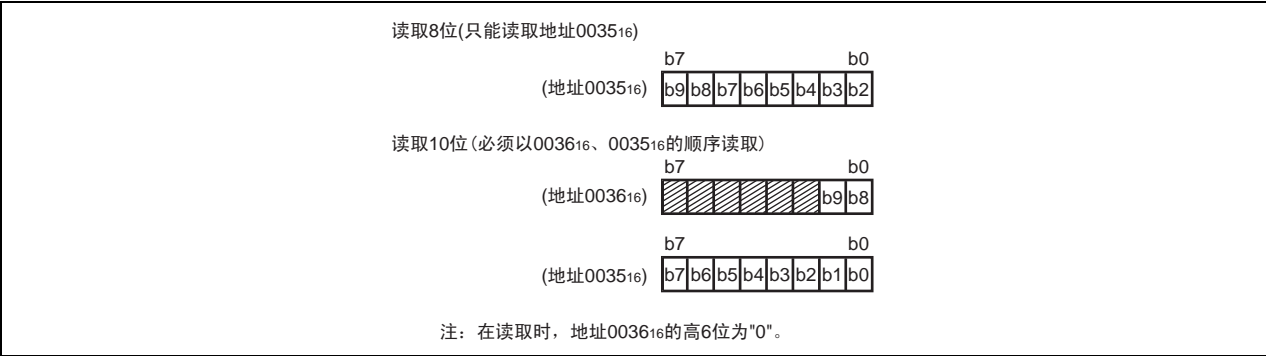


图66 A/D转换寄存器的结构

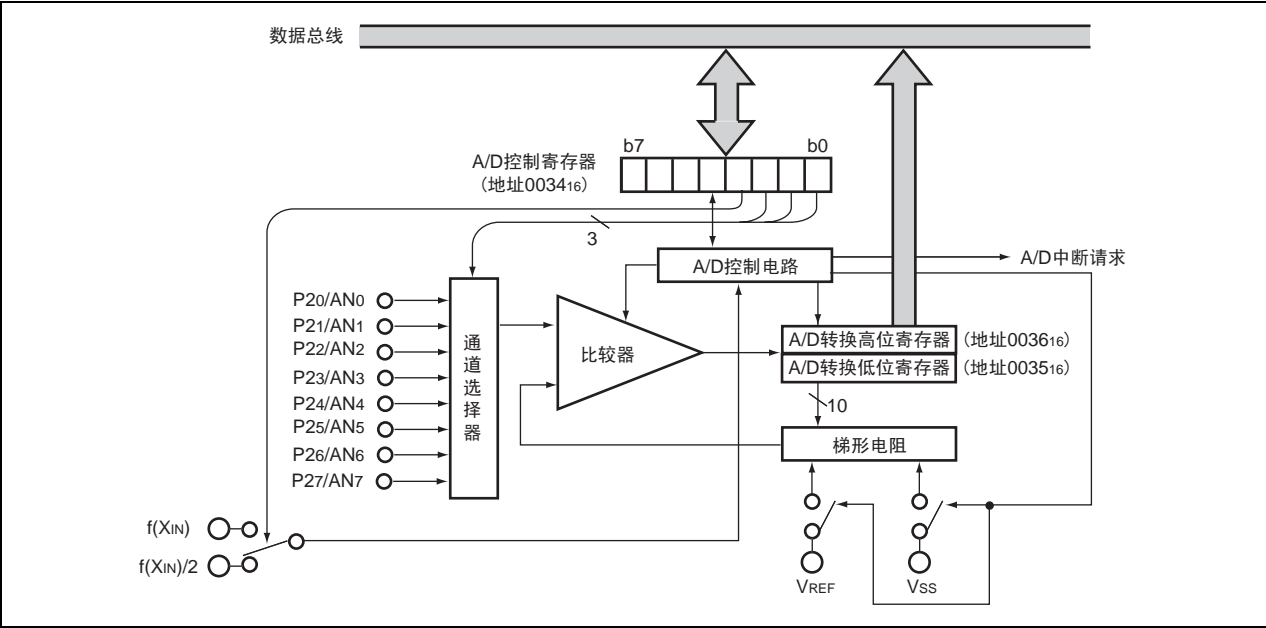


图67 A/D转换器框图

看门狗定时器

看门狗定时器提供由于失控等原因而造成的程序不能正常运行时返回复位状态的手段。

看门狗定时器是由8位看门狗定时器H和8位看门狗定时器L构成的16位计数器。

●看门狗定时器的基本运行

复位后，在不对看门狗定时器控制寄存器写操作时，看门狗定时器处于停止状态。通过给看门狗定时器控制寄存器写任意值，开始减量计数；通过看门狗定时器H下溢，发生内部复位。因此，通常编写的程序必须在下溢前对看门狗定时器控制寄存器进行写操作。在读取看门狗定时器控制寄存器时，将读取看门狗定时器H的计数器高6位、STP指令功能选择位以及看门狗定时器H计数源选择位的值。

(1) 看门狗定时器的初始值

通过复位或者对看门狗定时器控制寄存器的写操作，将看门狗定时器H设定成“FF16”，将看门狗定时器L设定成“FF16”。

(2) 看门狗定时器H计数源选择位的运行

能通过看门狗定时器控制寄存器的bit7，选择看门狗定时器H的计数源。

当此位为“0”时，计数源为看门狗定时器L的下溢信号。在 $f(XIN)=8MHz$ 时，检测时间为131.072ms。

当此位为“1”时，计数源为 $f(XIN)$ 的16分频信号。此时，在 $f(XIN)=8MHz$ 时，检测时间为512 μs 。

在复位后，此位为“0”。

(3) STP指令功能选择位的运行

如果将STP指令功能选择位设定为“0”，执行STP指令进入停止模式。在设定为“1”时执行STP指令，就发生内部复位。如果此位一旦置“1”，就不能通过程序改写成“0”。在复位后，此位为“0”。

■有关看门狗定时器的注意事项

1. 由于在等待模式时看门狗定时器运行，为了防止发生下溢，请对看门狗定时器控制寄存器进行写操作。
2. 虽然在停止模式时看门狗定时器不运行，但是在 STP 指令解除后的振荡稳定时间内运行。为了防止在此期间发生下溢，请在执行 STP 指令前对看门狗定时器控制寄存器进行写操作。
3. STP 指令功能选择位（看门狗定时器控制寄存器（地址 003916）的 bit6）在复位后，只能进行一次写操作。写完后由于被锁定，不能进行改写。在复位后，此位为“0”。
4. 看门狗定时器的计数源受 CPU 模式寄存器的时钟分频比选择位的影响。当 CPU 时钟选择 $f(XIN)$ 振荡时， $f(XIN)$ 时钟由看门狗定时器供给；当 CPU 时钟选择内部振荡器输出时，内部振荡器输出由看门狗定时器供给。

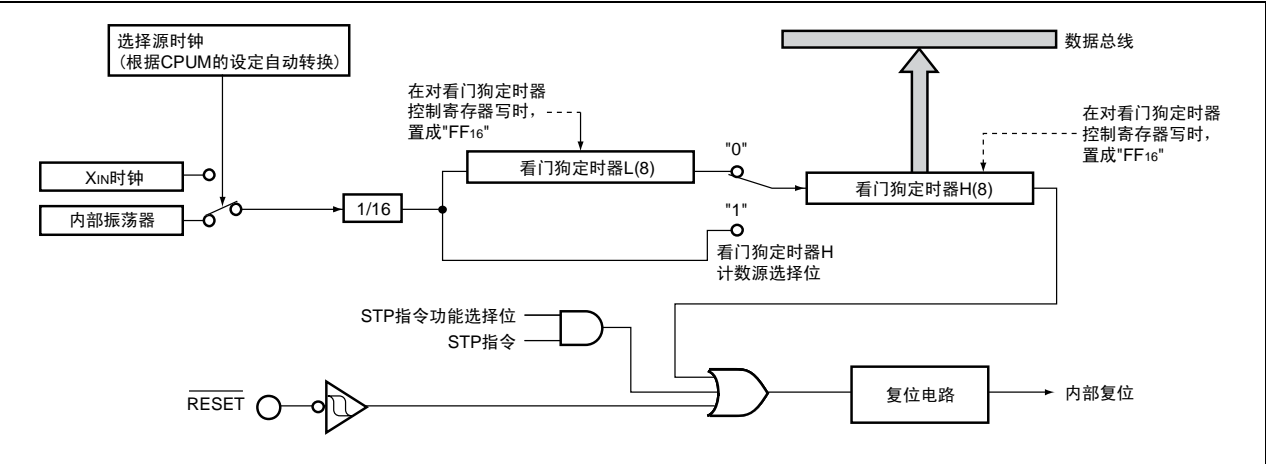


图68 看门狗定时器的框图

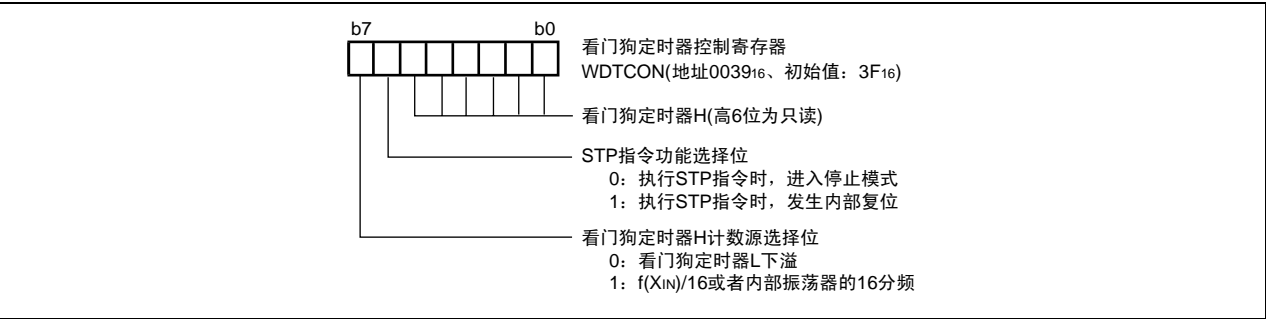


图69 看门狗定时器控制寄存器的结构

复位电路

7542群在复位解除后由内部振荡器开始运行。
因此，在电源电压的上升超过2.2V时，必须设定复位输入电压为不超过0.2V_{CC}（0.44V）。
另外，必须在电源电压的上升超过了最低运行电压，并且在振荡稳定后，将CPU时钟转换到外部谐振器。

注：最低运行电压根据外部谐振器频率和CPU时钟的分频比决定。
必须在充分评估所使用的谐振器的稳定时间后，再决定外部谐振器的振荡稳定时间。

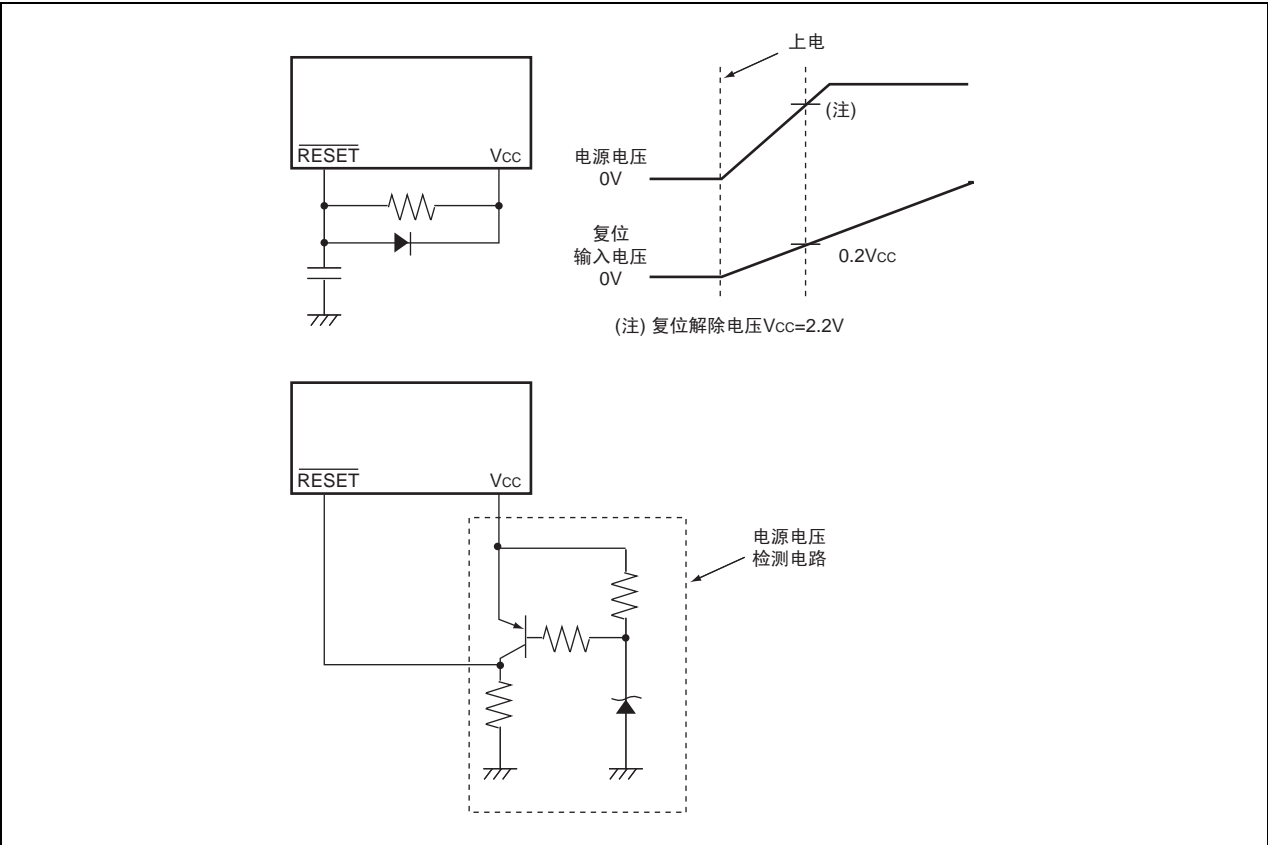


图70 复位电路例子

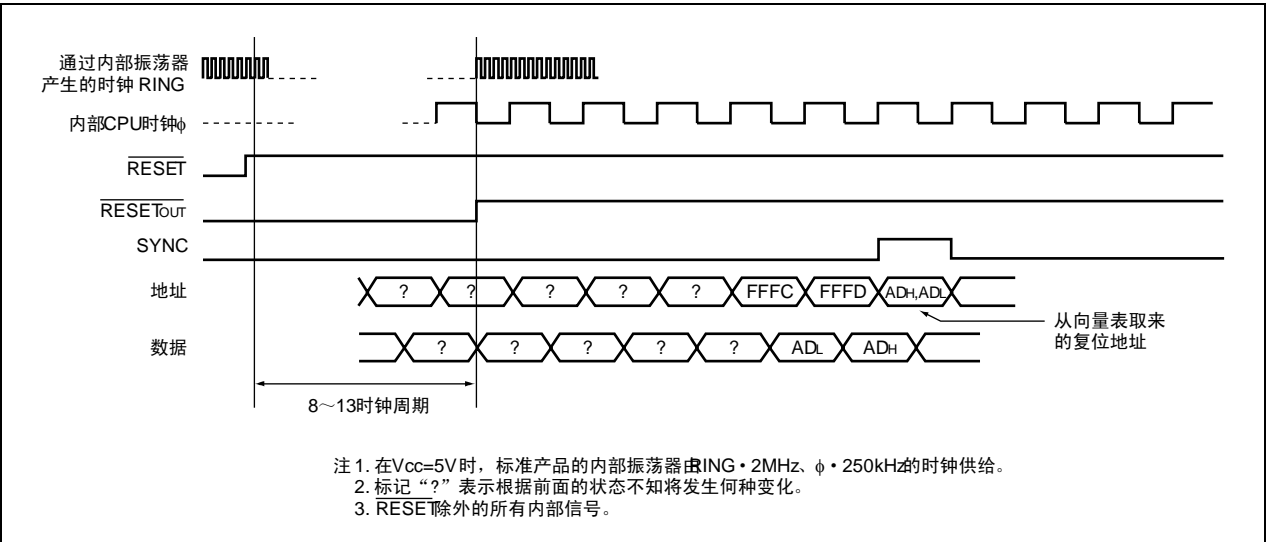


图71 复位时的时序图

	地址	寄存器内容
(1) 端口P0方向寄存器(P0D)	0001 ₁₆	00 ₁₆
(2) 端口P1方向寄存器(P1D)	0003 ₁₆	X X X 0 0 0 0 0
(3) 端口P2方向寄存器(P2D)	0005 ₁₆	00 ₁₆
(4) 端口P3方向寄存器(P3D)	0007 ₁₆	00 ₁₆
(5) 中断源设定寄存器(INTSET)	000A ₁₆	00 ₁₆
(6) 中断源识别寄存器(INTDIS)	000B ₁₆	00 ₁₆
(7) 比较寄存器(低位)(CMPL)	0010 ₁₆	00 ₁₆
(8) 比较寄存器(高位)(CMPH)	0011 ₁₆	00 ₁₆
(9) 捕捉/比较寄存器R/W指针(CCRP)	0012 ₁₆	00 ₁₆
(10) 捕捉软件触发寄存器(CSTR)	0013 ₁₆	00 ₁₆
(11) 比较寄存器重加载寄存器(CMPR)	0014 ₁₆	00 ₁₆
(12) 端口P0P3驱动能力控制寄存器(DCCR)	0015 ₁₆	00 ₁₆
(13) 上拉控制寄存器(PULL)	0016 ₁₆	00 ₁₆
(14) 端口P1P3控制寄存器(P1P3C)	0017 ₁₆	00 ₁₆
(15) 串行I/O1状态寄存器(SIO1STS)	0019 ₁₆	1 0 0 0 0 0 0 0
(16) 串行I/O1控制寄存器(SIO1CON)	001A ₁₆	00 ₁₆
(17) UART1控制寄存器(UART1CON)	001B ₁₆	1 1 1 0 0 0 0 0
(18) 定时器A、B模式寄存器(TABM)	001D ₁₆	00 ₁₆
(19) 捕捉/比较端口寄存器(CCPR)	001E ₁₆	00 ₁₆
(20) 捕捉/比较定时器源选择寄存器(TMSR)	001F ₁₆	00 ₁₆
(21) 捕捉模式寄存器(CAPM)	0020 ₁₆	00 ₁₆
(22) 比较输出模式寄存器(CMOM)	0021 ₁₆	00 ₁₆
(23) 捕捉/比较状态寄存器(CCSR)	0022 ₁₆	00 ₁₆
(24) 比较中断源设定寄存器(CISR)	0023 ₁₆	00 ₁₆
(25) 定时器A(低位)(TAL)	0024 ₁₆	FF ₁₆
(26) 定时器A(高位)(TAH)	0025 ₁₆	FF ₁₆
(27) 定时器B(低位)(TBL)	0026 ₁₆	FF ₁₆
(28) 定时器B(高位)(TBH)	0027 ₁₆	FF ₁₆
(29) 预分频器1(PRE1)	0028 ₁₆	FF ₁₆
(30) 定时器1(T1)	0029 ₁₆	01 ₁₆
(31) 定时器计数源设定寄存器(TCSS)	002A ₁₆	00 ₁₆
(32) 定时器X模式寄存器(TXM)	002B ₁₆	00 ₁₆
(33) 预分频器X(PREX)	002C ₁₆	FF ₁₆
(34) 定时器X(TX)	002D ₁₆	FF ₁₆
(35) 串行I/O2状态寄存器(SIO2STS)	002F ₁₆	1 0 0 0 0 0 0 0
(36) 串行I/O2控制寄存器(SIO2CON)	0030 ₁₆	00 ₁₆
(37) UART2控制寄存器(UART2CON)	0031 ₁₆	1 1 1 0 0 0 0 0
(38) A/D控制寄存器(ADCON)	0034 ₁₆	0 0 0 1 0 0 0 0
(39) 内部振荡器分频比选择寄存器(RODR)	0037 ₁₆	0 0 0 0 0 0 0 1
(40) MISRG	0038 ₁₆	00 ₁₆
(41) 看门狗定时器控制寄存器(WDTCON)	0039 ₁₆	0 0 1 1 1 1 1 1
(42) 中断边沿选择寄存器(INTEDGE)	003A ₁₆	00 ₁₆
(43) CPU模式寄存器(CPUM)	003B ₁₆	1 0 0 0 0 0 0 0
(44) 中断请求寄存器1(IREQ1)	003C ₁₆	00 ₁₆
(45) 中断请求寄存器2(IREQ2)	003D ₁₆	00 ₁₆
(46) 中断控制寄存器1(ICON1)	003E ₁₆	00 ₁₆
(47) 中断控制寄存器2(ICON2)	003F ₁₆	00 ₁₆
(48) 闪存控制寄存器0(FMCR0)(注3)	0FE0 ₁₆	0 0 0 0 0 0 0 1
(49) 闪存控制寄存器1(FMCR1)(注3)	0FE1 ₁₆	0 1 0 0 0 0 0 0
(50) 闪存控制寄存器2(FMCR2)(注3)	0FE2 ₁₆	0 0 0 0 0 0 0 1
(51) 处理器状态寄存器	(PS)	X X X X X 1 X X
(52) 程序计数器	(PC _H)	地址FFFD ₁₆ 的内容
	(PC _L)	地址FFFC ₁₆ 的内容

注1. X不定。
 2. 在复位时, 上述以外的寄存器和RAM的内容不定, 所以必须设定初始值。
 3. 仅闪存版有此寄存器。

图 72 复位时的内部状态

时钟发生电路

在XIN和XOUT之间，能通过连接谐振器形成振荡电路，或者通过连接电阻和电容形成RC振荡电路。使用谐振器时的电容等常数因谐振器不同而不同，所以必须使用谐振器制造厂家的推荐值。

在XIN和XOUT引脚之间内置了反馈电阻（根据不同条件有时需要外接反馈电阻）。

(1) 内部振荡器的运行

在由内部振荡器供给主时钟的情况下，必须将XIN引脚接到VCC，将XOUT引脚置为开路。

另外，必须注意，因为内部振荡器的时钟频率由于电源电压和工作环境温度会发生很大变动，所以在设计应用产品时，对这种频率变动，必须确保具有充分容限。

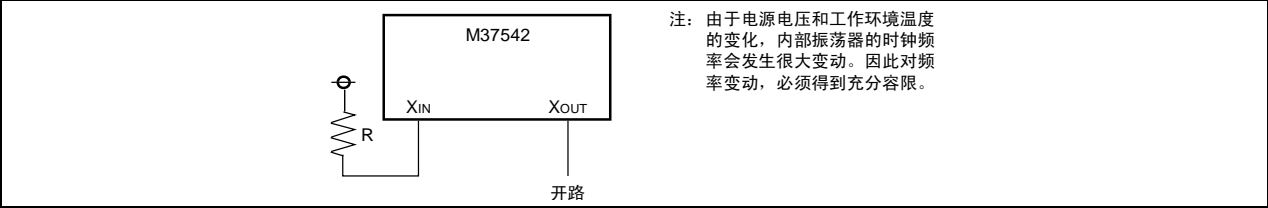


图73 内部振荡器运行时的XIN、XOUT引脚的处理

(2) 使用陶瓷谐振器时

在对主时钟使用陶瓷谐振器的情况下，必须以最短距离将陶瓷谐振器和外部电路连接到XIN引脚和XOUT引脚。内置了反馈电阻。

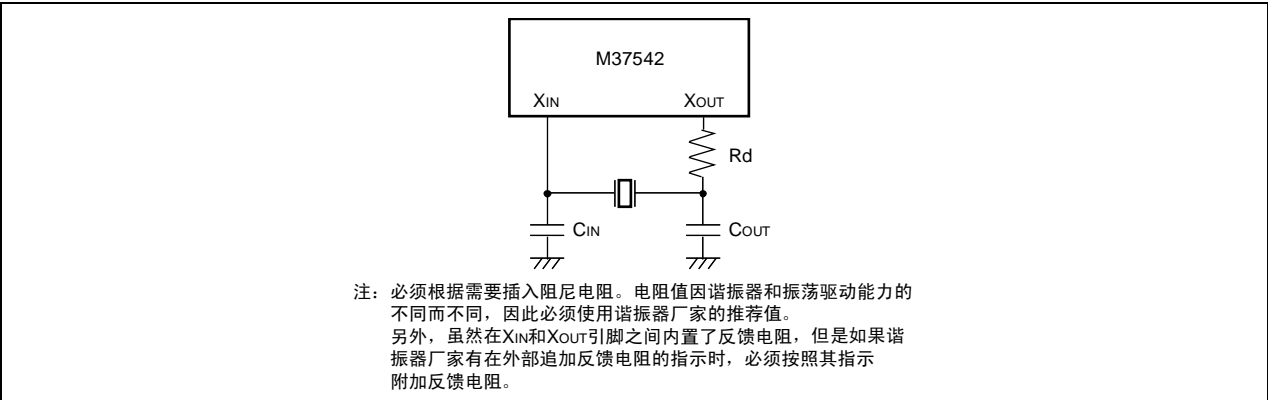


图74 陶瓷谐振器外接电路

(3) 使用RC振荡时

在对主时钟使用RC振荡的情况下，必须使XIN引脚和XOUT引脚短路，以最短距离连接电阻R和电容C外接电路。

另外，必须注意RC振荡用的电阻R和电容C的常数不能使由单片机的电特性偏差、电阻和电容自身的电特性偏差引起的频率变动超过输入频率的规格。

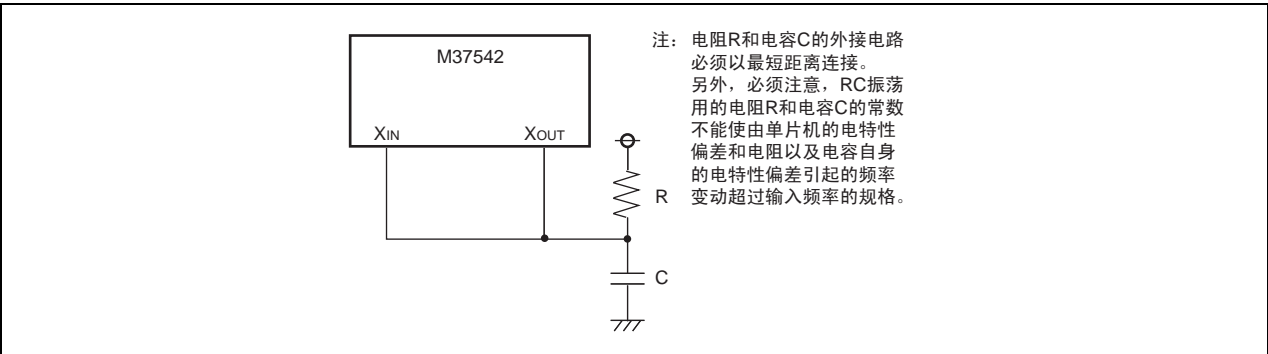


图75 RC外接振荡电路

(4) 使用外部时钟时

在对主时钟使用外部时钟信号的情况下，必须将时钟发生源连接到XIN引脚，将XOUT引脚置为开路。

另外，CPU模式寄存器（地址003B16）的振荡方式选择位必须选择“0”（陶瓷振荡）。

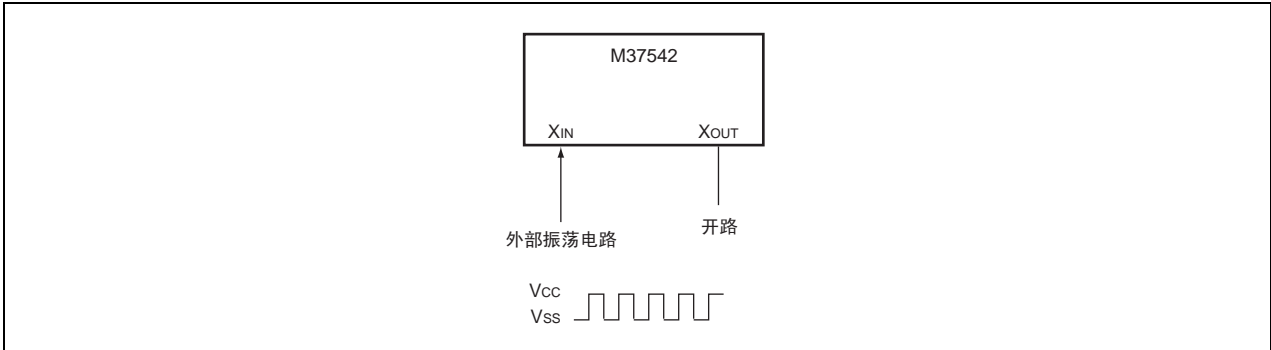


图76 输入外部时钟电路

●振荡控制

(1) 停止模式

如果执行STP指令，内部时钟 ϕ 就在“H”状态停止，并且停止XIN的振荡。此时，在解除STP指令后，当振荡稳定时间设定为“0”时，定时器1被设定成“0116”，预分频器1被设定成“FF16”。一方面，在解除STP指令后，当振荡稳定时间设定为“1”时，由于没有给定定时器1和预分频器1设定任何值，因此必须设定符合使用的谐振器的振荡稳定时间的等待时间。XIN的16分频被强制连接到预分频器1的输入。如果接受外部中断，就重新开始振荡，但是，在定时器1下溢前，内部时钟 ϕ 保持“H”状态，在定时器1下溢后，开始供给内部时钟 ϕ 。这是由于在使用陶瓷振荡等时，启动振荡需要时间的缘故。在通过复位重新开始振荡时，由于不产生等待时间，因此在到振荡稳定为止期间，必须给RESET引脚外加“L”电平，或者在从复位解除后到振荡稳定为止的期间，通过内部振荡器的运行设定等待时间。

对于FLASH版，在执行STP指令时，为了降低消耗电流，将内部电源电路转换成低功耗模式。

从STP指令返回时，虽然将内部电源电路转换成通常运行模式，但是由于从给FLASH供给电源开始到FLASH能够运行为止需要一定的时间，因此对于FLASH版，必须在解除使用了定时器1的STP指令后，用振荡稳定时间设定功能设定不低于100 μ s的等待时间。

(2) 等待模式

如果执行WIT指令，内部时钟 ϕ 就在“H”状态停止，但是振荡器不停止振荡。如果接受复位或者中断，就解除内部时钟 ϕ 的停止状态。由于振荡器没有停止振荡，因此能立即执行指令。

在解除STP或者WIT状态时，为了能接受中断，必须在执行STP或者WIT指令前，先将所对应的中断允许位置“1”。

■有关时钟发生电路的注意事项

解除STP指令后，在振荡稳定时间设定被置“1”的情况下，必须在充分评价所使用的谐振器的振荡稳定时间后，对定时器1和预分频器1设定值。

• 陶瓷振荡和RC振荡的转换

在复位解除后，根据内部振荡器开始运行。此时，通过改变CPU模式寄存器的bit5，陶瓷振荡或者RC振荡有效。

• 关于倍速模式

在陶瓷振荡时，能使用倍速模式。在RC振荡时，不能使用。

• 关于改写CPU模式寄存器

CPU模式寄存器的bit5、bit1和bit0是控制振荡方式选择的位和控制单片机运行模式的位。为避免由失控等误写引起的单片机死锁，这些位在复位解除后只能改写一次。在改写后，由于被锁定，对该位的写操作变为无效（仿真器专用的MCU“M37542RSS”除外）。

另外，对bit5、bit1和bit0以外的位，使用读/修改/写指令（SEB、CLB等指令）时，也会锁定这些位。

- 关于时钟分频比、XIN振荡控制以及内部振荡器振荡控制的转换
- 根据CPU模式寄存器的十种分频比选择位（bit7、bit6）、XIN振荡控制位（bit4）以及内部振荡器振荡控制位（bit3）的设定值，时钟发生电路能实现如图81所示的状态转移。
- 转换时，必须注意图中的转移限制事项。
- 计数源（定时器1、定时器A、定时器B、串行I/O1、串行I/O2、A/D转换器、看门狗定时器）
- 看门狗定时器的计数源受CPU模式寄存器的时钟分频比选择位的影响。当CPU时钟选择f(XIN)振荡时，f(XIN)时钟由看门狗定时器供给；当CPU时钟选择内部振荡器输出时，内部振荡器输出由看门狗定时器供给。

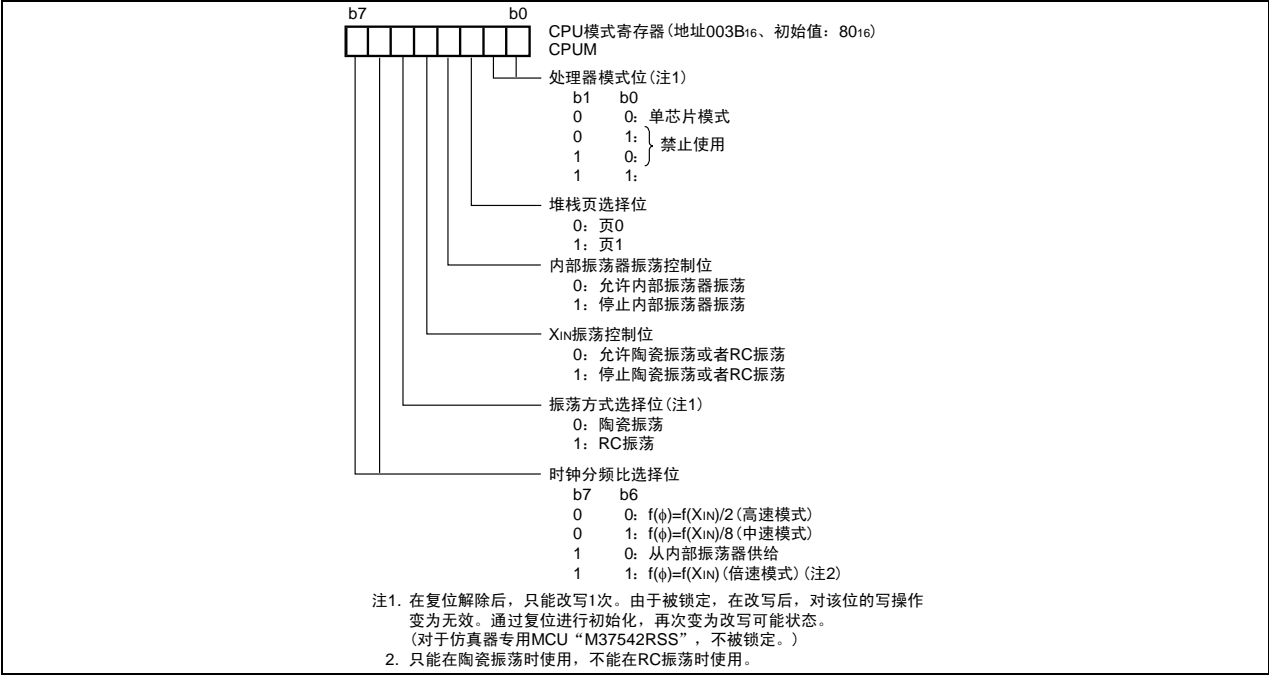


图77 CPU模式寄存器的结构

●内部振荡器分频比

转换内部振荡器的分频比。

在内部振荡器模式，通过设定内部振荡器分频比选择寄存器，能从无分频、2分频、8分频、128分频中选择供给CPU的时钟。另外，供给外围电路的时钟不受内部振荡器分频比选择寄存器设定值的影响。

■有关内部振荡器的注意事项

1. 在复位解除后，对于供给CPU的时钟，选择内部振荡器的8分频时钟。
2. 在从陶瓷振荡或者RC振荡转换成内部振荡器运行模式时，对于供给CPU的时钟，选择内部振荡器的8分频时钟。
3. 在不使用XIN时钟而只用内部振荡器来运行单片机的情况下，必须进行以下设定：
 - CPU模式寄存器... “10010x002”（x=0或者1）
 - XIN引脚... 必须经由电阻连接到VCC。
 - XOUT引脚... 必须置为开路。

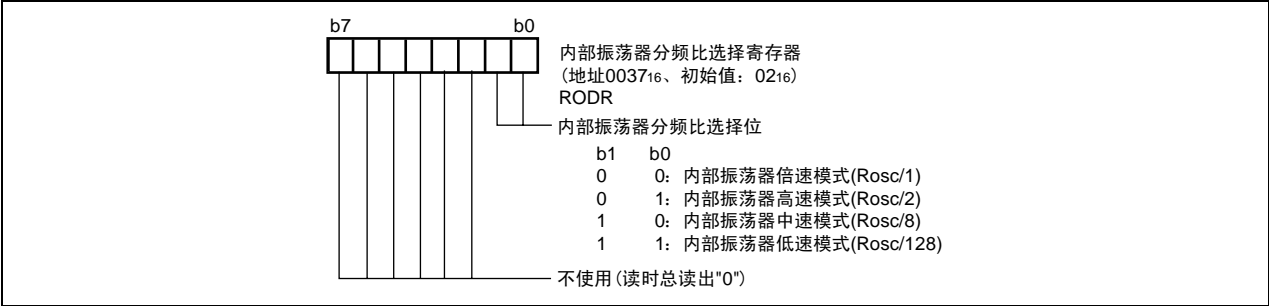


图78 内部振荡器分频比选择寄存器的结构

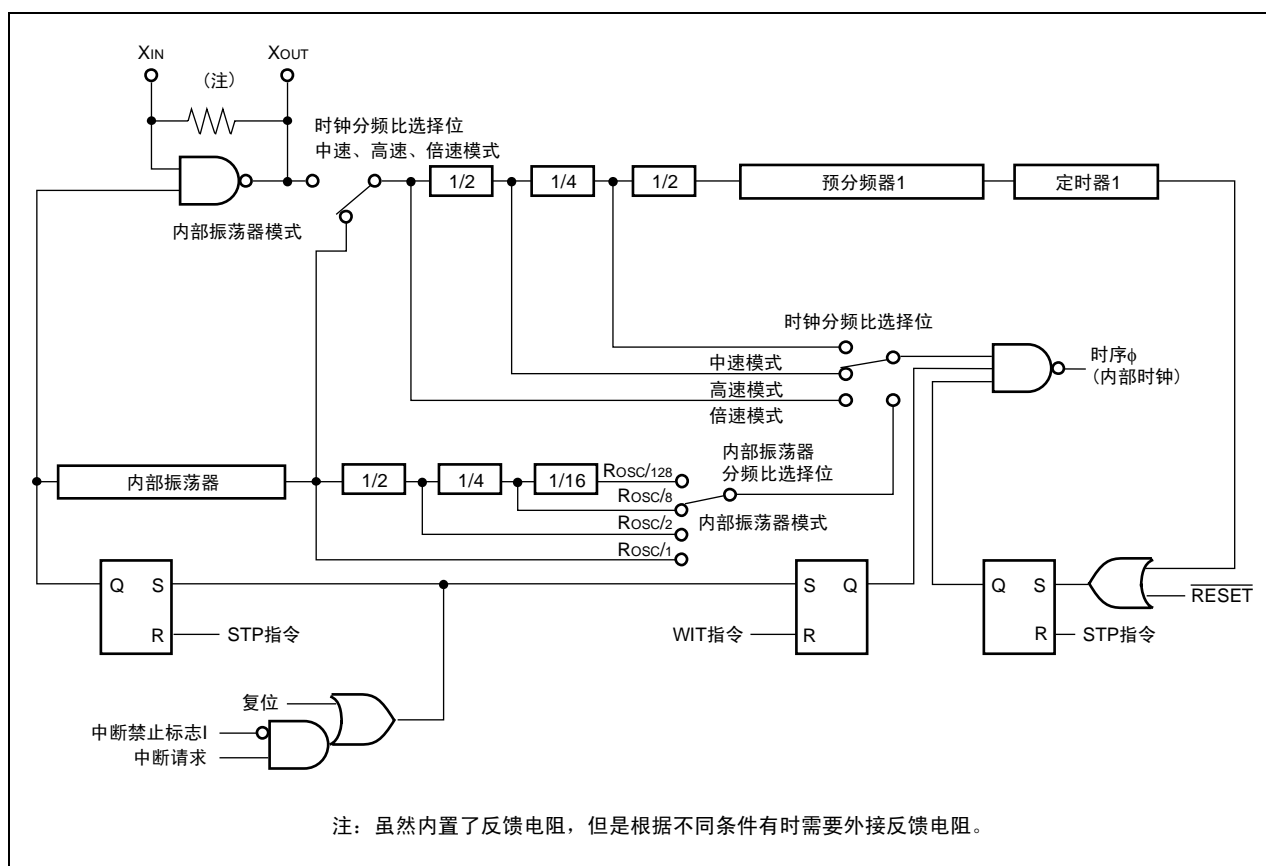


图79 系统时钟发生电路框图（在陶瓷振荡时）

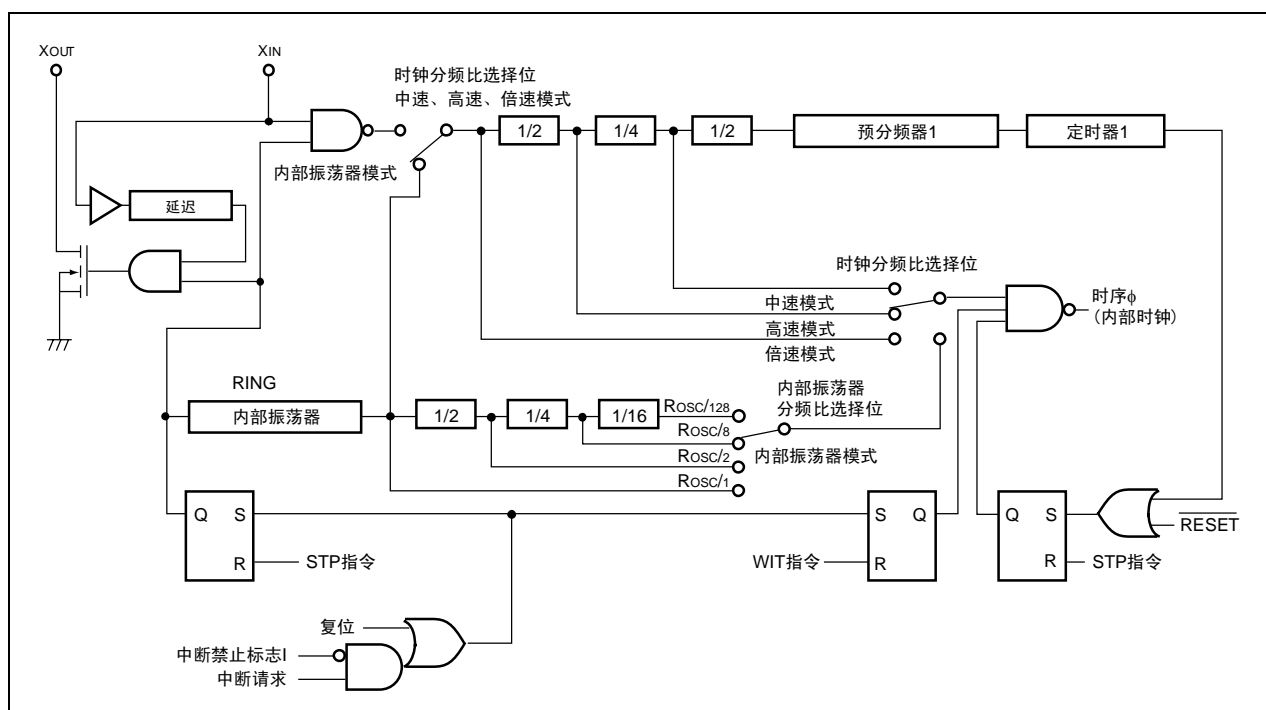


图80 系统时钟发生电路框图（在RC振荡时）

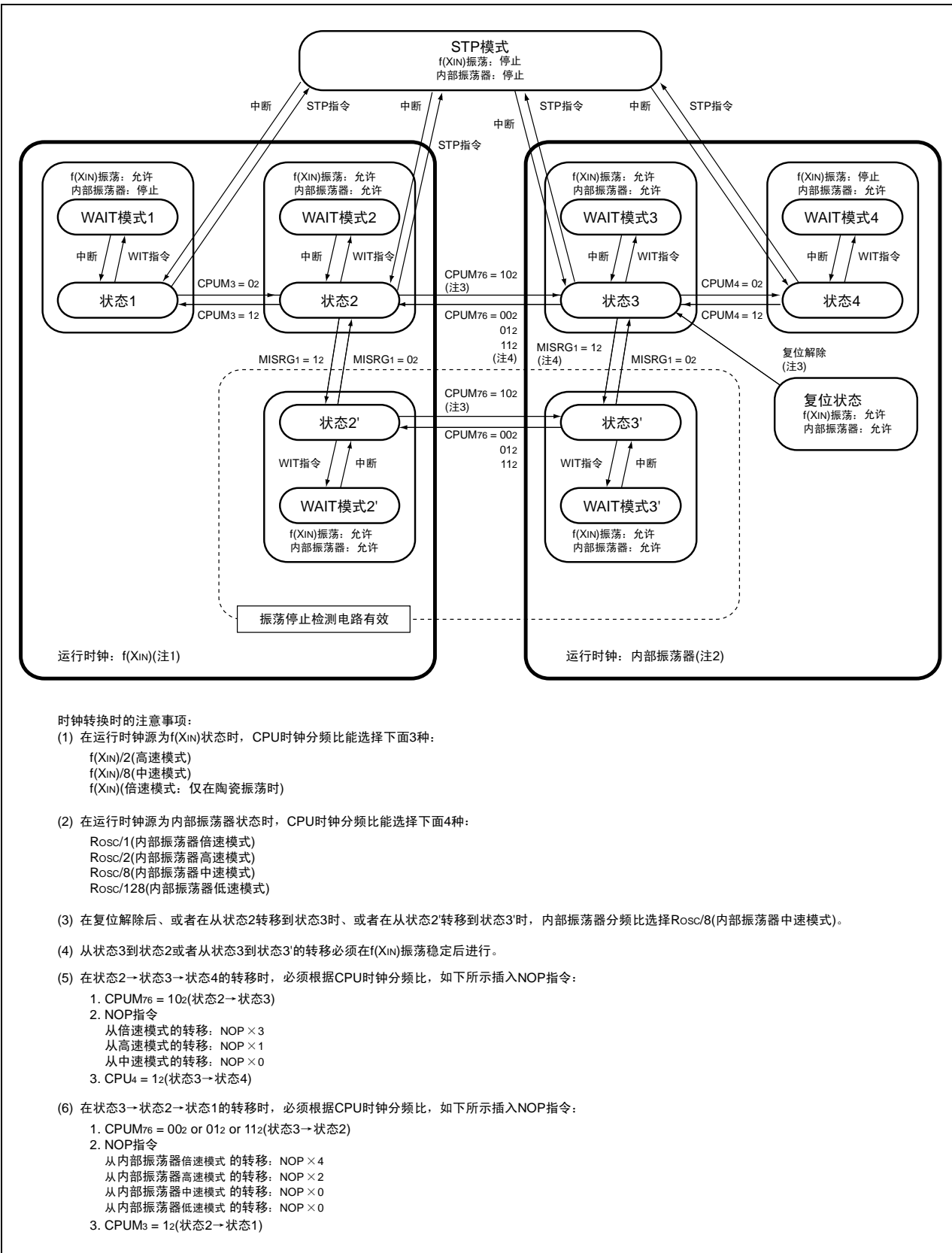


图 81 时钟发生电路状态转移图

●振荡停止检测电路

振荡停止检测电路检测由于陶瓷谐振器或者振荡电路的断线等所引起的振荡停止。在使用振荡停止检测电路时，必须使内部振荡器运行。

通过将陶瓷振荡或者RC振荡停止检测功能有效位设定成“1”，振荡停止检测电路变为有效。在振荡停止检测电路为有效状态下，通过内部振荡器监视陶瓷振荡或者RC振荡电路的运行状态，当检测到振荡停止时，振荡停止检测状态位变为“1”。另外，通过将振荡停止复位允许位设定成“1”，在检测到振荡停止时产生内部复位。

在发生振荡停止复位时，振荡停止检测状态位不被初始化而是保持“1”。在外部复位时，由于振荡停止检测状态位被初始化成“0”，因此通过确认此位，能判断因振荡停止而产生的复位。

■有关振荡停止检测电路的注意事项

1. 由于在“图83 振荡停止检测电路的状态转移图”所记载的“状态2'a”，即使X1N的振荡停止，也不产生复位，并且单片机停止，因此不能转移到“状态2'a”。
2. 由于陶瓷振荡或者RC振荡停止检测功能有效位在振荡停止复位时不被初始化，因此在从由振荡停止引起的复位返回后，振荡停止检测电路仍为有效。
3. 振荡停止检测状态位在以下的情况被初始化：
 - 外部复位
 - 给陶瓷振荡或者RC振荡停止检测功能有效位写“0”。
4. 仿真器专用MCU“M37542RSS”没有振荡停止检测电路。

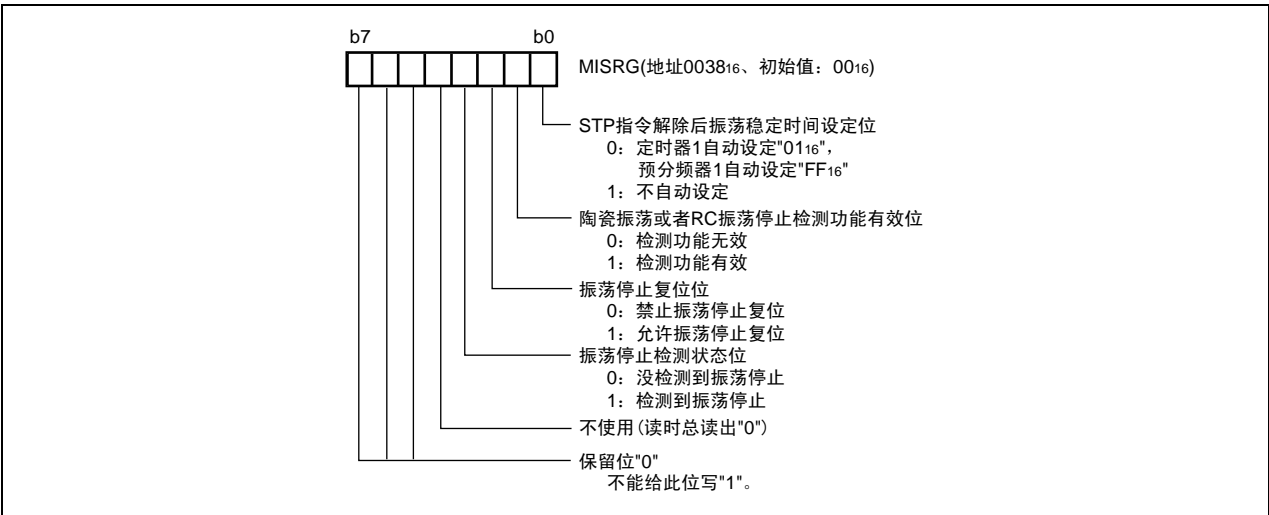


图 82 MISRG 的结构

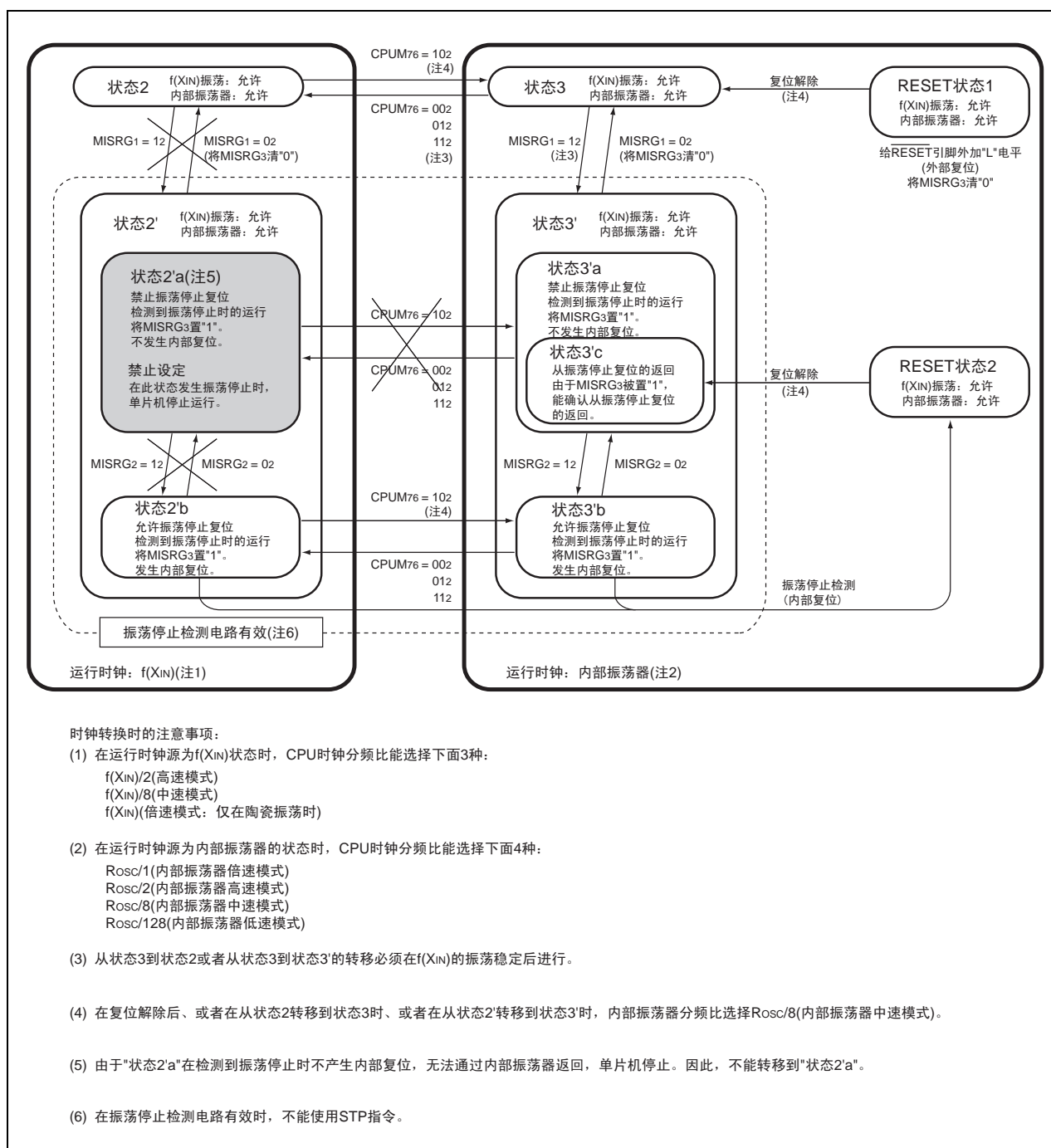


图 83 振荡停止检测电路的状态转移图

编程时的注意事项

(1) 处理器状态寄存器

处理器状态寄存器（PS）除了中断禁止标志I为“1”以外，刚复位后的值不定。因此，必须对影响程序执行的标志进行初始化。

尤其是影响运算本身的T标志、D标志，必须初始化。

(2) 中断

如果在用程序改变中断请求位的内容后立即执行BBC、BBS指令，也只能执行改变前的内容，因此为了执行改变后的内容，必须在执行一条或一条以上的指令后进行。

(3) 十进制运算

- 在十进制运算时，将十进制模式标志D置“1”，然后执行ADC指令或者SBC指令，此时，必须从ADC指令或者SBC指令后执行一条或一条以上的指令之后，执行SEC指令、CLC指令或者CLD指令。
- 在十进制模式，N（负）、V（溢出）以及Z（零）标志无效。

(4) 端口

不能读取端口方向寄存器的值。也就是说，不能使用LDA指令、及T标志为“1”时的存储器运算指令、将方向寄存器的值作为寻址值的寻址模式以及BBC、BBS等位测试指令。另外，也不能使用CLB、SEB等位操作指令、及方向寄存器的读/修改/写指令（ROR指令等）。必须使用LDM、STA等指令设定方向寄存器。

(5) A/D转换

在A/D转换期间，不能执行STP指令。

(6) 指令执行时间

指令执行时间请参照《740族软件手册》，通过所记载的周期数乘以内部时钟 ϕ 的周期得到。内部时钟 ϕ 的周期在倍速模式时和XIN相同，在高速模式时为XIN周期的2倍，在中速模式时为XIN周期的8倍。

(7) CPU模式寄存器

振荡方式选择位、处理器模式位在复位解除后只能进行一次改写。由于改写后被锁定，所以对该位的写操作无效（仿真器专用的MCU除外）。

时钟分频比选择位的倍速模式只能在陶瓷振荡时使用，在RC振荡时不能使用。

不能通过bit3和bit4来停止运行时钟源所选择的时钟。

有关硬件的注意事项

(1) 电源引脚的使用

为了防止闩锁现象，必须在使用时将高频特性良好的电容作为旁路电容外接到组件的电源引脚（Vcc引脚）和GND引脚（Vss引脚）之间。旁路电容建议使用 $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和GND引脚之间。

掩模化订货时的提交资料

在掩模型ROM版的掩模化订货时，必须提交以下资料：

(1) 掩模化确认书*

(2) 记号指定书*

* 关于掩模化确认书和记号指定书，请参照瑞萨科技的ROM订货网页（<http://www.renesas.com/en/rom>）。

使用时的注意事项

有关噪声的注意事项

请按如下的处理，进行防止噪声的系统设计和充分的评价。

1. 缩短布线的长度

(1) 封装

为了缩短总布线的长度，请尽可能采用小型封装的单片机。

<理由>

单片机的封装影响布线的长度，与 DIP 相比，使用小型 QFP 等可缩短总布线的长度，不易受噪声的影响。

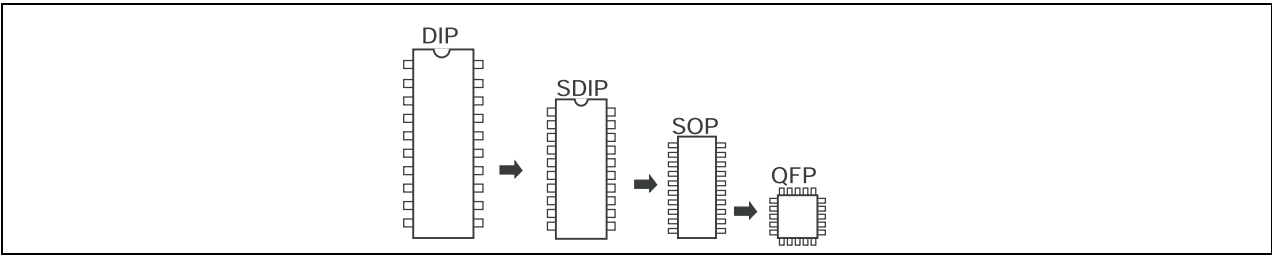


图 84 封装的选择

(2) 复位引脚的布线

缩短连接复位引脚的布线。特别是连接在复位引脚和 Vss 引脚之间的电容必须用尽可能短（20mm 以内）的布线连接。

<理由>

因为时序必要条件规定了输入到复位引脚的脉冲宽度，所以，如果比规定宽度短的脉冲噪声输入到复位引脚，就在单片机内部完全进入初始化状态前复位被解除，导致程序失控。

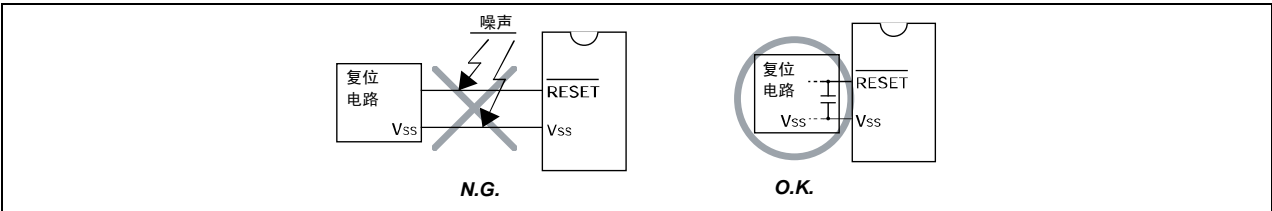


图 85 复位输入引脚的布线

(3) 时钟输入/输出引脚的布线

- 请缩短连接时钟输入/输出引脚的布线。
- 请用最短（20mm 以内）的布线将连接谐振器的电容的接地端引线和单片机 Vss 引脚连接。
- 将用于振荡的 Vss 布线作为振荡电路专用布线，与其它 Vss 布线分离。

<理由>

如果有噪声侵入时钟输入/输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声引起单片机 Vss 电平和谐振器 Vss 电平之间的电位差，正确的时钟就不能输入到单片机。

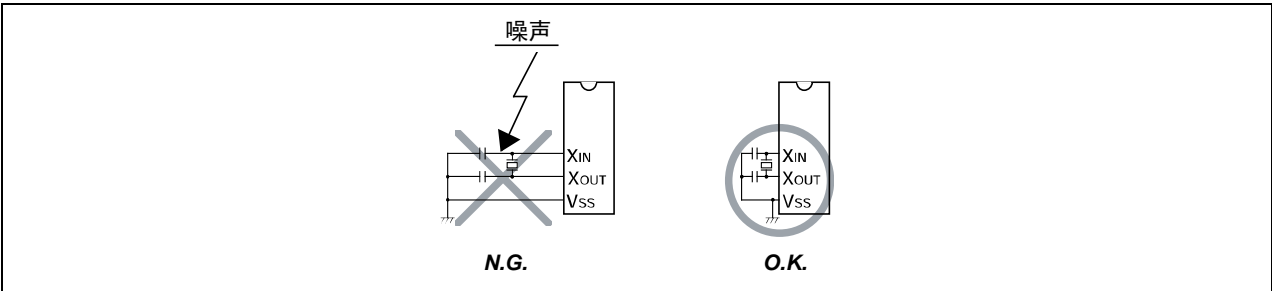


图 86 时钟输入/输出引脚的布线

(4) CNVss 引脚的布线

在将 CNVss 引脚和 Vss 引脚连接时，请用最短的布线连接。

另外，在单片机模式运行时，请用跨接线将等闪存版的串行改写电路的布线切断。

<理由>

CNVss 引脚的电平影响单片机的处理器模式。在将 CNVss 引脚和 Vss 引脚连接的情况下，如果因噪声引起 CNVss 引脚电平和 Vss 引脚电平之间的电位差，处理器模式就不稳定，导致误动作和失控。

另外，闪存版的串行改写电路的布线有可能成为将噪声引入单片机内部的天线。

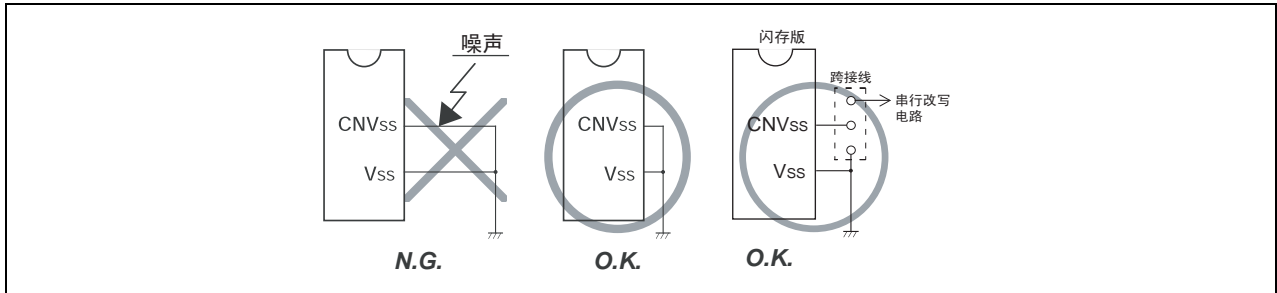


图 87 CNVss 引脚的布线

2. 在 Vss—Vcc 的布线之间插入旁路电容

必须用以下的方法在 Vss—Vcc 的布线之间插入 0.1μF 左右的旁路电容。

- Vss 引脚—旁路电容间的布线长度和 Vcc 引脚—旁路电容间的布线长度相等
- 尽量缩短 Vss 引脚—旁路电容之间的布线长度和 Vcc 引脚—旁路电容之间的布线长度
- Vss 布线和 Vcc 布线使用比其它的信号线粗的布线
- 电源布线经由旁路电容连接到 Vss 引脚和 Vcc 引脚

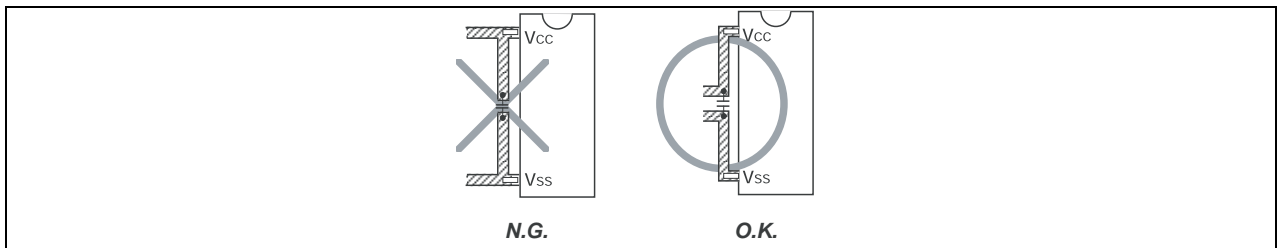


图 88 Vss—Vcc 布线间的旁路电容

3. 模拟输入引脚的布线处理

- 请在模拟输入引脚和模拟信号线之间（尽可能靠近单片机的位置）串联插入 100~1kΩ 左右的电阻。
- 请在模拟输入引脚和 Vss 引脚之间（尽可能靠近 Vss 引脚的位置）插入容量为 1000pF 左右的电容，并且模拟输入引脚—电容间的布线长度和 Vss 引脚—电容间的布线长度必须相等。

<理由>

通常，传感器的输出信号输入到模拟输入引脚（A/D 转换器/比较器输入引脚等）。在很多情况下，传感器被配置在远离单片机电路板的位置，导致连到模拟输入引脚的接线必然很长。因为这样长的接线变成将噪声引入单片机内部的天线，所以容易将噪声引入模拟输入引脚。

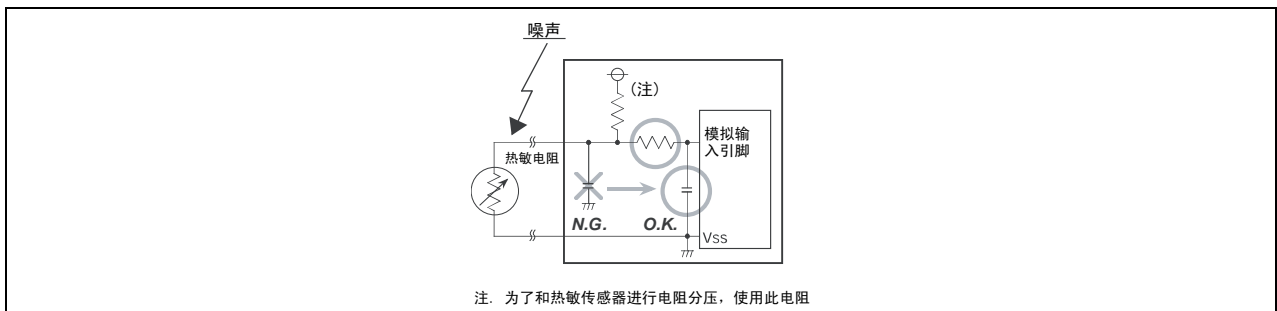


图 89 模拟信号线、电阻和电容

- 模拟输入引脚连接电压比较器的电容。因此，在模拟输入引脚连接高阻抗的模拟信号源时，根据 A/D 转换时的充放电电流有时可能得不到充分精度。为了获得更稳定的 A/D 转换结果，请减小模拟信号源的阻抗或者在模拟输入引脚连接平滑电容。

4. 对谐振器的考虑

必须考虑不能让其它信号影响产生单片机运行的基本时钟的谐振器。

(1) 避开大电流信号线

请尽可能将超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

<理由>

在使用单片机的系统中存在控制马达、LED 和热敏头等的信号线。在这些信号线有大电流流过时，由于相互的电感而产生噪声。

(2) 避开高速电平变化信号线

请尽可能将高速电平变化的信号线远离谐振器和谐振器的布线。

另外，高速电平变化的信号线不能和时钟信相关的信号线及其它易受噪声影响的信号线交叉。

<理由>

高速电平变化的 CNTR 引脚等的信号根据上升或者下降时的电平变化，容易影响其它信号线。特别是在和时钟相关的信号线交叉时，时钟的波形发生紊乱，导致误动作和失控。

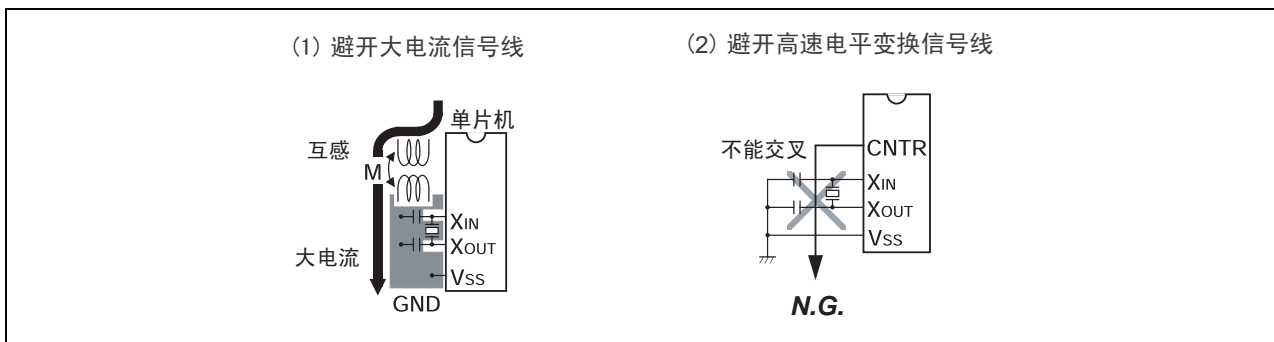


图 90 大电流信号线的布线和高速电平变化信号线的布线

(3) 用 Vss 布线保护

在双面电路板的情况下，必须将安装谐振器的面（安装面）的背面（焊接面）且与谐振器相同位置设计成 Vss 布线。此 Vss 布线必须用最短的布线与单片机的 Vss 引脚连接，并且独立于其它 Vss 布线。

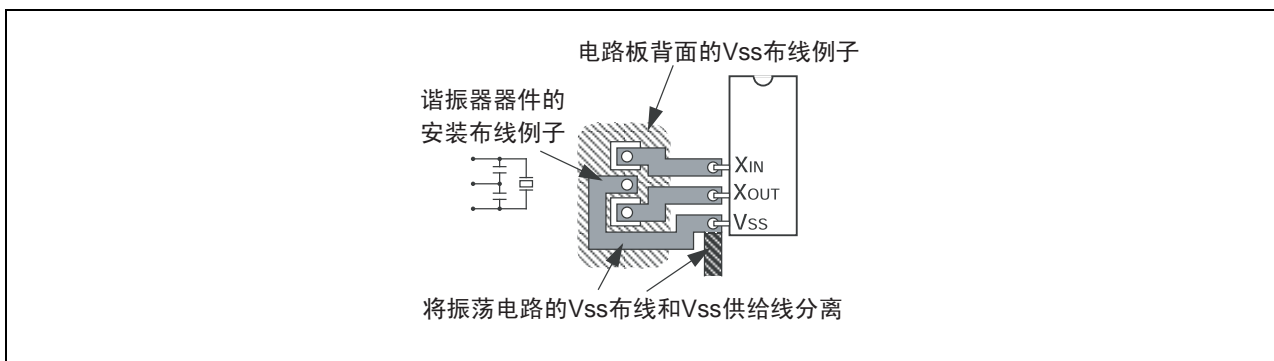


图 91 谐振器背面的 Vss 布线

5. 输入/输出端口的处理

输入/输出端口必须按下列要点用硬件和软件对应：

<硬件方面>

- 必须在输入/输出端口串联插入不低于 100Ω 的电阻。

<软件方面>

- 对于输入端口，必须用程序多次读取输入端口，确认电平的一致。
- 对于输出端口，由于存在因噪声而引起输出数据反转的可能性，所以必须以固定周期对数据寄存器进行重写。
- 必须以固定周期对方向寄存器 and 上拉控制寄存器进行重写。

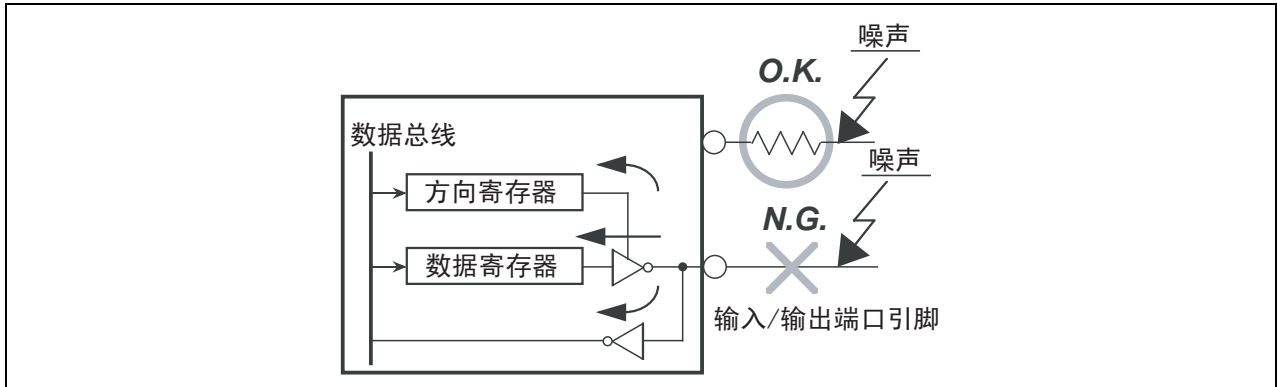


图 92 输入/输出端口的处理

6. 通过软件实现看门狗定时器功能

在由噪声等引起单片机失控时，能用软件看门狗定时器检测失控，并且让其返回到正常运行。此方法与用硬件看门狗定时器检测失控的方法具有同等效果或更好的效果。软件看门狗定时器的例子如下所示：

在此例中，主程序监视中断处理程序的运行，中断处理程序监视主程序的运行，在检测到异常时让单片机恢复到正常运行状态。

但是，此例的前提是在主程序的 1 个周期中进行多次中断处理。

<主程序>

- 将 1 字节的 RAM 分配给软件看门狗定时器 (SWDT)，在主程序的每 1 个周期给 SWDT 写一次初始值 N。初始值 N 满足以下条件：

$$N+1 \geq \text{在主程序的 1 个周期中进行的中断处理次数}$$

注：由于主程序的周期根据中断处理等发生变化，因此必须给初始值 N 设定充裕的值。

- 通过将 SWDT 的内容和设定初始值 N 后的中断处理次数进行比较，监视中断处理程序的运行。
- 如果在中断处理后 SWDT 的内容不发生变化，就将中断处理程序判断为异常运行，进行向程序初始化转移等的恢复处理。

<中断处理程序>

- 每 1 次中断处理，SWDT 的内容减 1。
- 以几乎固定的周期（固定的中断处理次数）将 SWDT 的内容返回到初始值 N，来确认主程序的正常动作。
- SWDT 的内容不被设定成初始值 N 而继续减 1，如果 SWDT 的内容小于等于 0，就将主程序判断为异常运行，进行向程序初始化转移等的恢复处理。

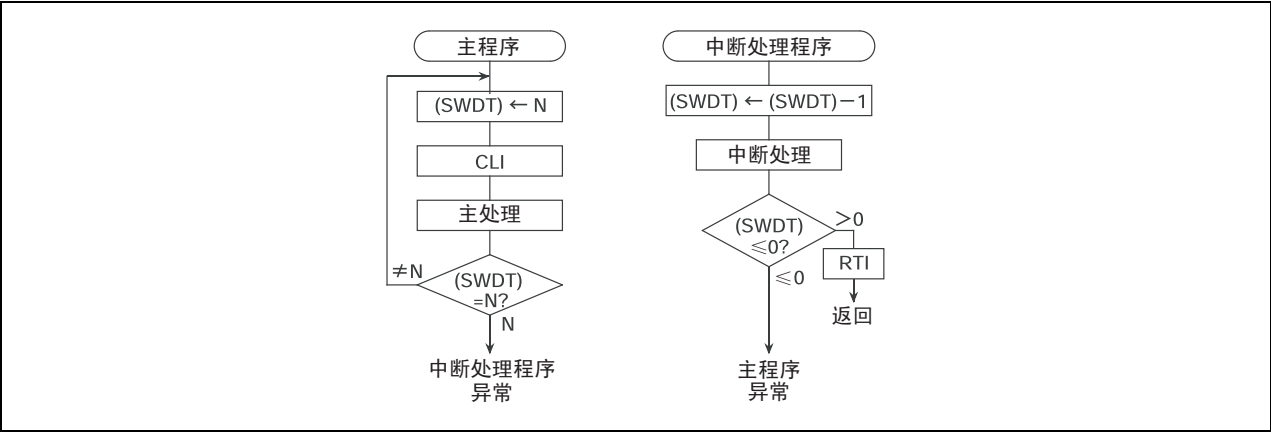


图 93 软件看门狗定时器

闪存模式

7542群（闪存版）内置能用单电源改写的闪存。对此闪存，作为用于读、编程、擦除等操作的闪存模式，备有用编程器进行闪存操作的并行输入/输出模式、标准串行输入/输出模式以及由中央运算处理装置（CPU）操作闪存的CPU改写模式的3种模式。关于各模式，将在下一页以后说明。

如图94所示，闪存被分成几块，能按各块进行擦除。

另外，内置的闪存除了有保存通常单片机运行的控制程序的用户ROM区以外，还有用于保存在CPU改写模式和标准串行输入/输出模式的改写控制程序的引导ROM区。发货时，虽然在此引导ROM区存有标准串行输入/输出模式的控制程序，但是用户也能写入适合了系统的改写控制程序。此引导ROM区只能在并行输入/输出模式进行改写。

●性能概要

7542群（闪存版）的性能概要如表9所示。

表9 7542群（闪存版）的性能概要

项 目		性 能
电源电压		Vcc=2.7~5.5V
编程/擦除时的温度		Ta=0~60°C
编程/擦除电压		Vcc=2.7~5.5V
闪存模式		3种模式（并行输入/输出、标准串行输入/输出、CPU改写）
擦除块分割	用户ROM区/数据ROM区	请参照图94。
	引导ROM区（注）	无分割（4K字节）
编程方式		字节单位
擦除方式		块擦除
编程/擦除控制方式		由软件命令进行的程序/擦除控制
命令数		5种命令
编程/擦除次数		100次
ROM码保护		与并行输入/输出模式、标准串行输入/输出模式对应

【注】 出货时，在引导ROM区存有标准串行输入/输出模式的控制程序。此区域只能在并行输入/输出模式进行擦除和写操作。

●引导模式

必须预先在并行输入/输出模式，将CPU改写模式的控制程序写到用户ROM区或者引导ROM区（在给引导ROM区写时，不能使用标准串行输入/输出模式。）。

引导ROM区如图94所示。

在将CNVss引脚置“L”来解除复位时，变为通常的单片机模式，CPU使用用户ROM区的控制程序运行。

在将P37（RP）引脚置“L”、P32（CE）引脚置“H”、P06/SCLK引脚置“L”、P05/TxD2引脚置“H”后，当将CNVss引脚上升到“H”并且解除复位时，用引导ROM区的控制程序开始运行（程序的开始地址保存在地址FFFC16和FFFD16）。此模式称为引导模式。用引导ROM区上的控制程序也能改写用户ROM区。

●块地址

块地址为各块的最大地址。在块擦除命令使用此地址。

●CPU改写模式

CPU改写模式是通过中央运算处理装置（CPU）的控制，对内部闪存操作（读、编程、擦除等）的模式。

在CPU改写模式，只能改写如图94所示的用户ROM区，不能改写引导ROM区。编程、块擦除的命令只能用于用户ROM区和各块区域。

能将CPU改写模式的控制程序保存在用户ROM区或者保存在引导ROM区。在CPU改写模式，由于不能从CPU读闪存，因此改写控制程序必须在被传送到内部RAM后，在RAM中执行。

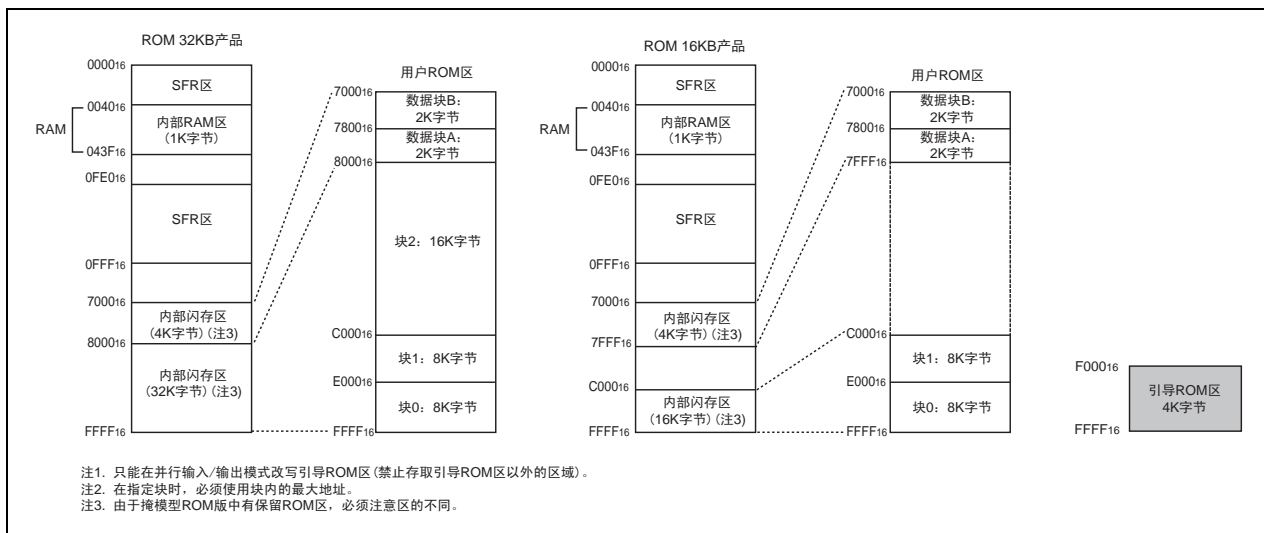


图 94 内部闪存的框图

●功能概要

CPU改写模式能在单芯片模式和引导模式执行，并且只进行用户ROM区的改写。

在CPU改写模式，CPU通过执行软件命令，对内部闪存进行擦除、编程、读等操作。此控制程序必须预先传送到RAM后，在RAM中执行。

通过给CPU改写模式选择位（地址0FE016的bit1）写“1”，转移到CPU改写模式，成为能接受软件命令的状态。

通过读取状态寄存器，能检查编程或者擦除的正常/错误结束等状态。

【闪存控制寄存器】FMCR0~FMCR2

闪存控制寄存器0如图95所示。

bit0为RY/BY状态标志，是表示闪存运行状况的只读位。在编程、擦除运行中为“0”（忙），此外为“1”（就绪）。

bit1是CPU改写模式选择位。通过将此位设定成“1”，变为CPU改写模式，可接受软件命令。在CPU改写模式，CPU不能直接存取内部闪存。因此，对bit1的写必须通过传送到RAM的控制程序进行。在给bit1设定“1”时，必须对bit1连续写“0”和写“1”；在给bit1设定“0”时，只对bit1写“0”。

bit2为8KB用户块E/W允许位，通过此位和闪存控制寄存器2（地址0FE216）的bit4（全用户块E/W允许位）的组合设定，在CPU改写模式时对如表10所示的用户块禁止E/W。

bit3为闪存复位位，是用于复位内部闪存控制电路的位。在结束CPU改写模式时，或者在闪存的存取发生异常时使用。在CPU改写模式选择位为“1”的状态下，如果对bit3写“1”，就执行复位。解除复位时，必须写“0”。

bit5是用户ROM区选择位，只有在引导模式时有效。在引导模式，如果对此位设定“1”，被存取的ROM区就从引导ROM转换到用户ROM。在引导模式使用CPU改写模式时，必须对此位设定“1”。另外，在用户ROM区启动时，总是只能存取用户ROM区，并且此位无效。如果是引导模式，与是否为CPU改写模式无关，此位的功能有效。bit5的改写必须通过传送到RAM的控制程序进行。

bit6是编程状态标志，在对闪存的写发生异常结束时变为“1”。在发生编程错误时，不能使用此块。

bit7是擦除状态标志，在闪存的擦除发生异常结束时变为“1”。在发生擦除错误时，不能使用此块。

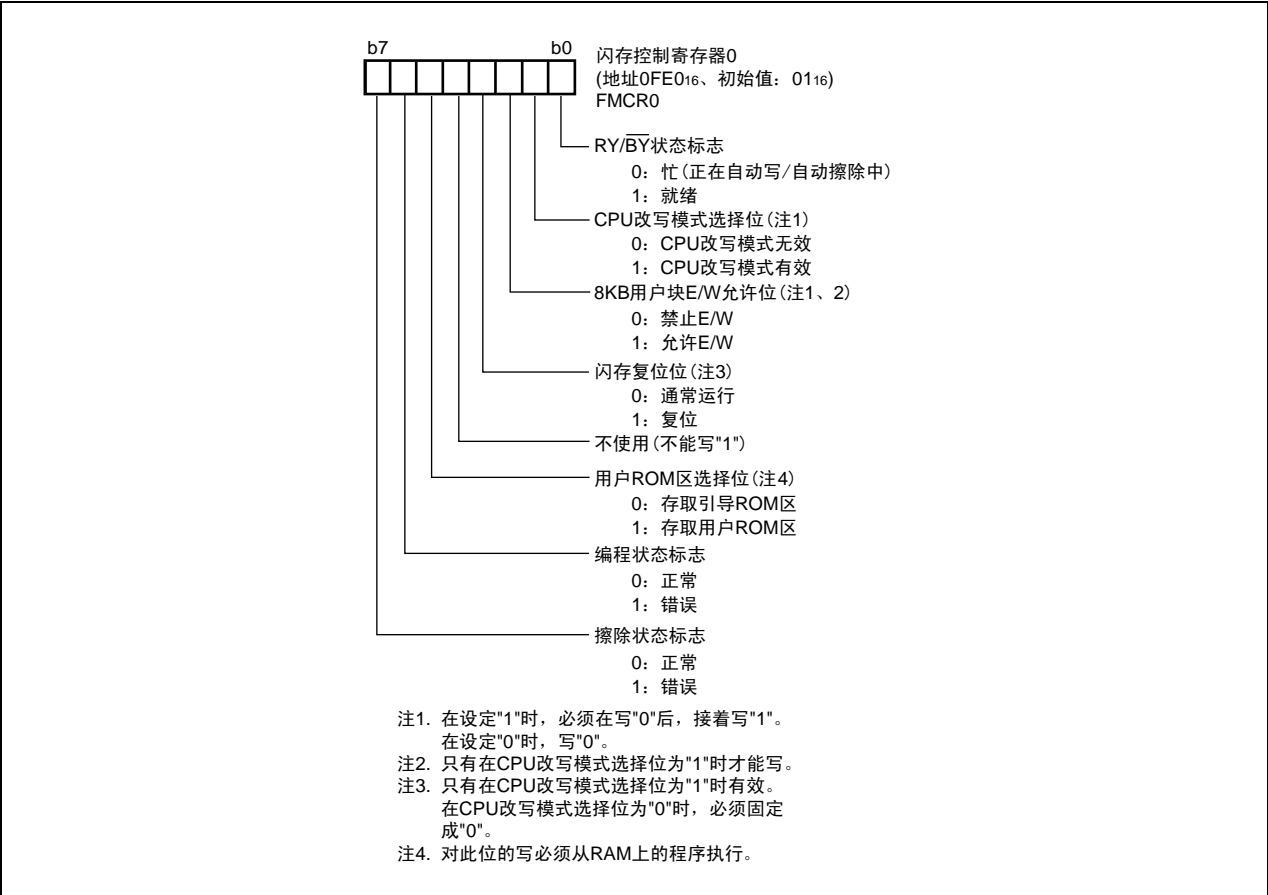


图 95 闪存控制寄存器 0 的结构

闪存控制寄存器1如图96所示。

bit0是擦除挂起允许位。通过对此位设定“1”，能使用在执行块擦除命令时暂时中断擦除处理的擦除挂起模式。在对此位置“1”时，必须对bit0连续写“0”和写“1”；在清“0”时，只写“0”。

bit1 是擦除挂起请求位。如果在擦除挂起允许位为“1”的状态下对此位写“1”，就中止擦除处理。

bit6 是擦除挂起标志，在擦除闪存时此位为“0”。

闪存控制寄存器2如图97所示。

bit4 是全用户块 E/W 允许位。如果将此位置“0”，就能将全部的用户块（块 0、块 1、块 2）设定成禁止 E/W。从而，能防止程序只改写数据块的误写。

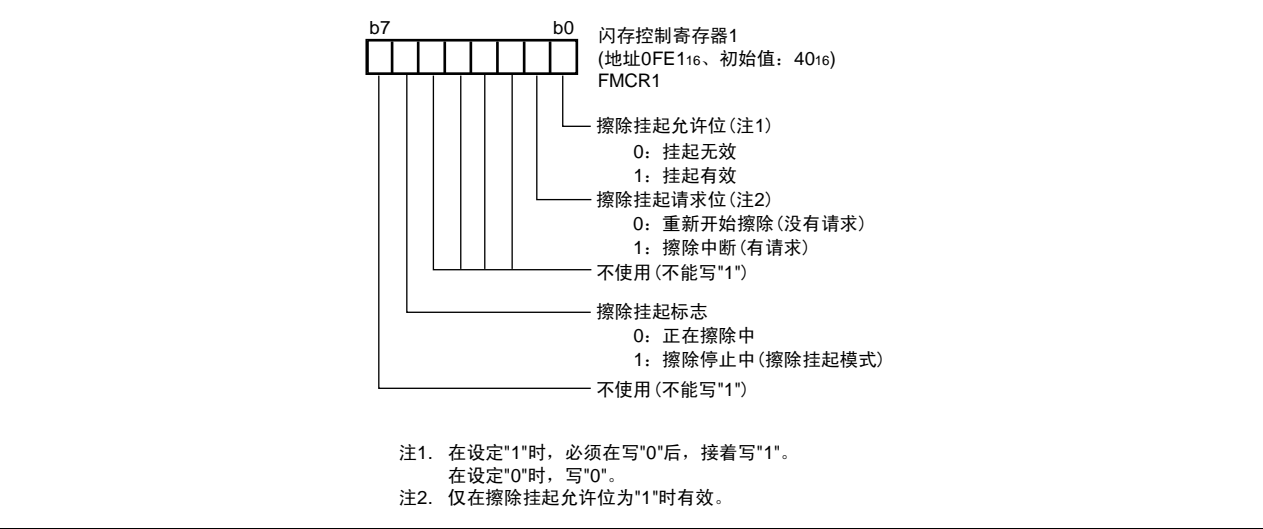


图 96 闪存控制寄存器 1 的结构

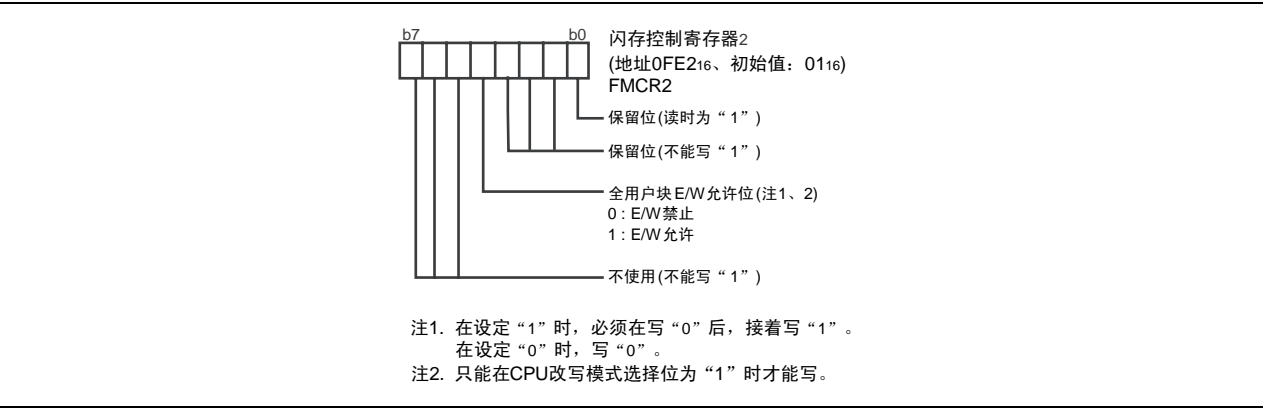


图 97 闪存控制寄存器 2 的结构

表10 写禁止功能的状态

CPU改写模式 选择位	全用户块E/W 允许位	8KB用户块E/W 允许位	块0: 8KB 块1: 8KB	块2: 16KB	数据块A: 2KB 数据块B: 2KB
0	0	0	E/W禁止 (RESET)	E/W禁止 (RESET)	E/W禁止 (RESET)
0	0	1	E/W禁止	E/W禁止	E/W禁止
0	1	0	E/W禁止	E/W禁止	E/W禁止
0	1	1	E/W禁止	E/W禁止	E/W禁止
1	0	0	E/W禁止	E/W禁止	E/W允许
1	0	1	E/W禁止	E/W禁止	E/W允许
1	1	0	E/W禁止	E/W允许	E/W允许
1	1	1	E/W允许	E/W允许	E/W允许

CPU 改写模式的设定/解除流程图如图 98 所示。必须根据该流程图进行操作。

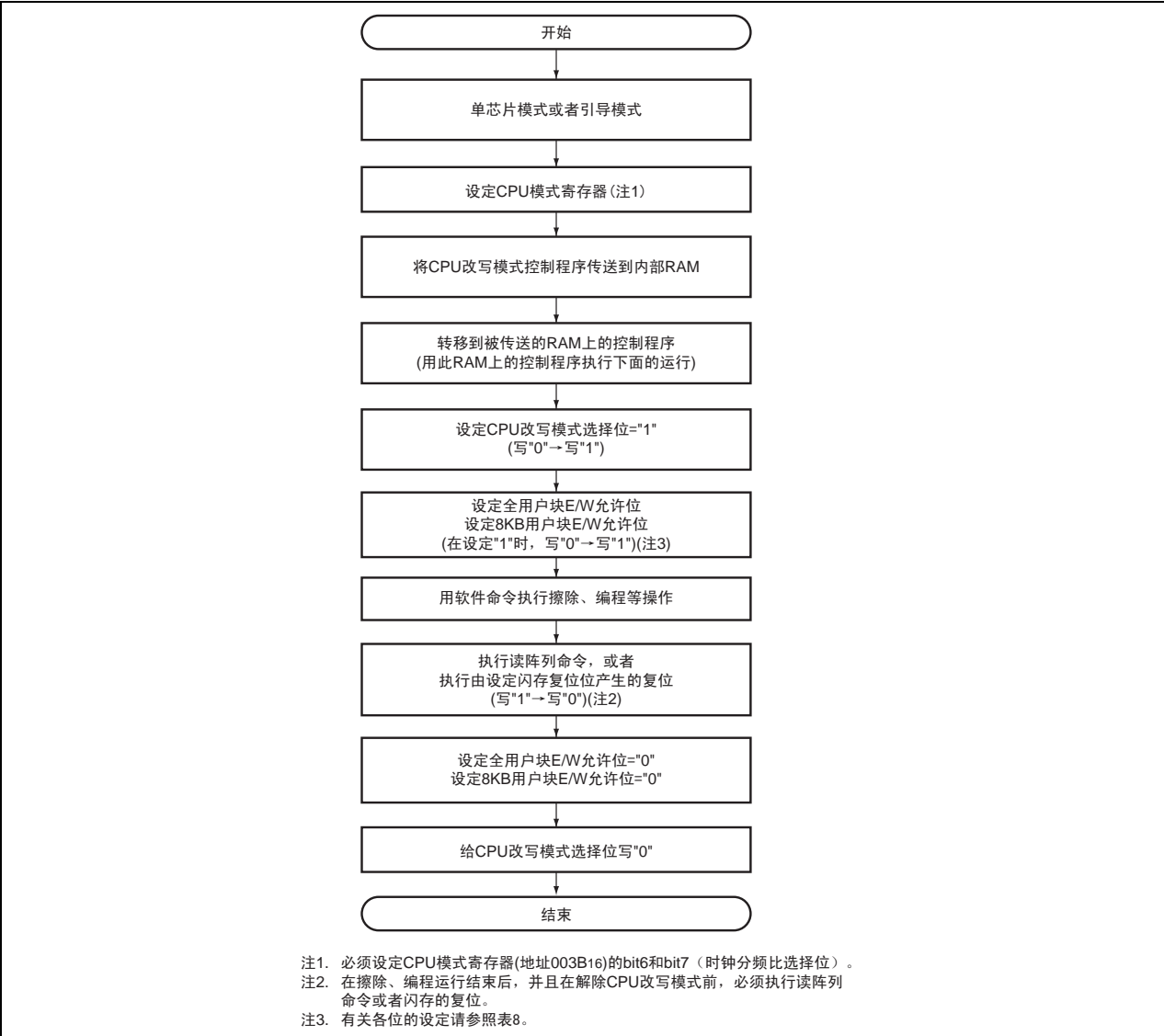


图 98 CPU 改写模式的设定/解除流程图

■CPU改写模式的注意事项

在使用CPU改写模式改写闪存的情况下, 有以下注意事项:

(1) 运行速度

在CPU改写模式中, 必须通过时钟分频比选择位 (地址003B16的bit6和bit7), 将系统时钟 ϕ 设定为不超过4.0MHz。

(2) 使用禁止指令

在CPU改写模式中, 不能使用访问闪存内部数据的指令。

(3) 中断

在CPU改写模式中, 由于访问闪存内部的数据, 不能使用中断。

(4) 看门狗定时器

在已经启动看门狗定时器的情况下, 由于在编程或者擦除期间, 看门狗定时器总是被清除, 因此不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时, 并且在CNVss=H的情况下, 由于用引导模式启动, 因此从被保存在引导ROM区的地址FFFC16和FFFD16中的地址开始执行程序。

● 软件命令

软件命令一览表如表11所示。

表11 软件命令一览表（CPU改写模式）

命 令	周期数	第1总线周期			第2总线周期		
		模式	地址	数据 (D7~D0)	模式	地址	数据 (D7~D0)
读阵列	1	写	X (注4)	FF ₁₆			
读状态寄存器	2	写	X	70 ₁₆	读	X	SRD (注1)
清除状态寄存器	1	写	X	50 ₁₆			
编程	2	写	X	40 ₁₆	写	WA (注2)	WD (注2)
块擦除	2	写	X	20 ₁₆	写	BA (注3)	D0 ₁₆

- 【注】 1. SRD=状态寄存器数据
 2. WA=写地址、WD=写数据
 3. BA=擦除块地址（必须输入各块的最大地址。）
 4. X是用户ROM区内的任意地址

在对CPU改写模式选择位设定“1”后，通过执行软件命令，指定擦除、编程等。

以下说明各软件命令的内容：

• 读阵列命令（FF₁₆）

如果在第1总线周期写命令码“FF₁₆”，就变为读阵列模式。如果在下一个总线周期以后输入读地址，指定地址的内容就被读到数据总线（D0~D7）。

读阵列模式被保持到写其它命令为止。

• 读状态寄存器命令（70₁₆）

如果在第1总线周期写命令码“70₁₆”，就通过第2总线周期的读，将状态寄存器的内容读到数据总线（D0~D7）。

关于状态寄存器在下一节说明。

• 清除状态寄存器命令（50₁₆）

是在表示状态寄存器的错误结束位（SR4、SR5）被置位后，用于清除这些位的命令。在第1总线周期写命令码“50₁₆”。

• 编程命令（40₁₆）

如果在第1总线周期写命令码“40₁₆”，就变为编程模式。如果继续在第2总线周期写编程的地址和数据，就开始编程运行（数据的编程和验证）。

能通过读状态寄存器或者读RY/ $\overline{\text{BY}}$ 状态标志，确认编程结束。在开始编程的同时，自动变为读状态寄存器模式，并将状态寄存器的内容读到数据总线（D0~D7）。状态寄存器的bit7（SR7）在开始编程的同时变为“0”，在结束时返回到“1”。读状态寄存器模式被保持到下一次写读阵列命令（FF₁₆）为止。

RY/ $\overline{\text{BY}}$ 状态标志和状态寄存器的bit7相同，在编程期间为“0”，在结束后变为“1”。在编程结束后，能通过读取状态寄存器，知道编程结果。

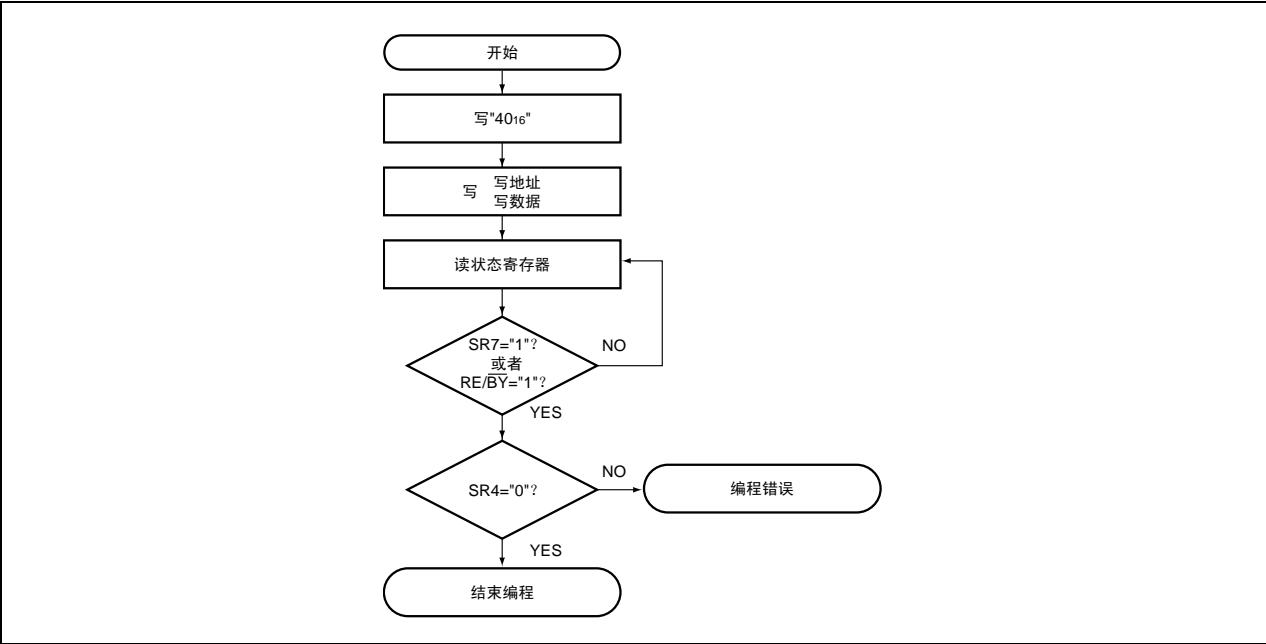


图 99 编程流程图

• 块擦除 (2016/D016)

如果在第1总线周期写命令码“2016”后，继续在第2总线周期写确认命令码“D016”和块地址，就对指定的块开始块擦除运行（擦除和擦除验证）。

能通过读状态寄存器或者读 $\overline{RY}/\overline{BY}$ 状态标志，确认块擦除的结束。在开始块擦除的同时，自动变为读状态寄存器模式，并且能读取状态寄存器的内容。状态寄存器的bit7（SR7）在开始块擦除的同时变为“0”，在结束时返回到“1”。此时的读状态寄存器模式被保持到下一次读写阵列命令（FF16）为止。

$\overline{RY}/\overline{BY}$ 状态标志和状态寄存器的bit7相同，在擦除期间为“0”，在结束后变为“1”。

在块擦除结束后，能通过读取状态寄存器，知道块擦除的结果。详细内容请参照状态寄存器的章节。

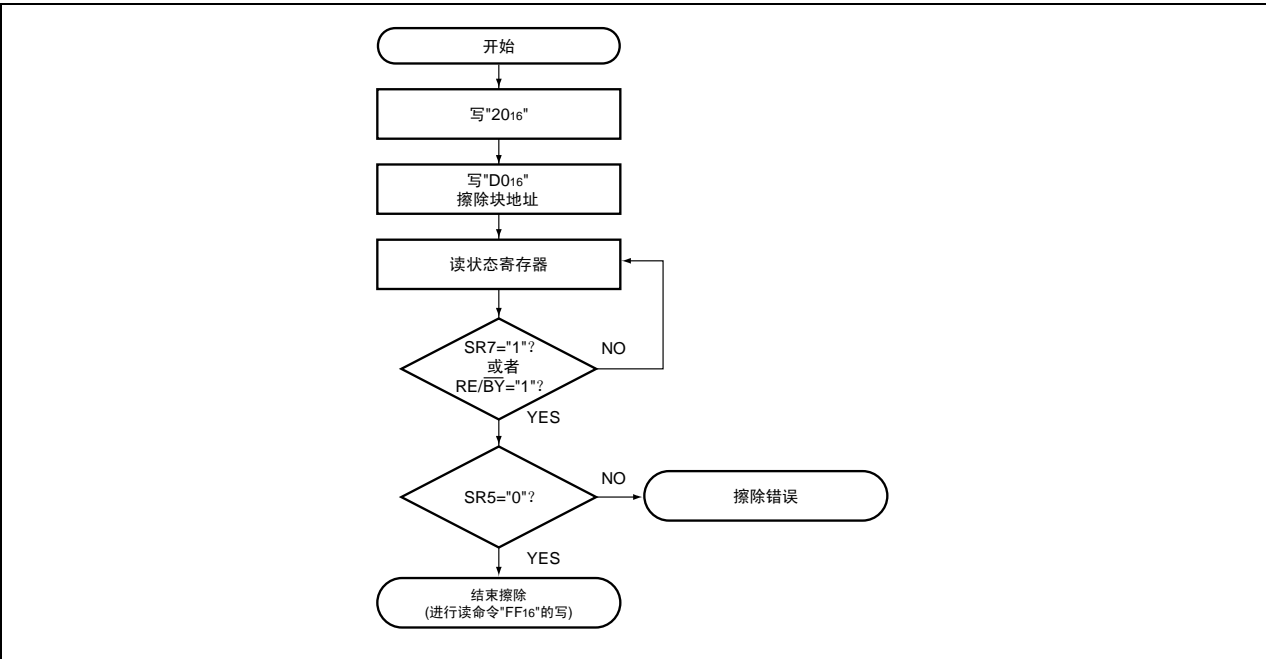


图 100 擦除流程图

●状态寄存器

状态寄存器是表示闪存的运行状态和擦除、编程的正常/错误结束等状态 of 寄存器，在具备以下的条件时能读取状态寄存器：

- (1) 在进行读状态寄存器命令 (70₁₆) 的写后，读取了用户ROM区内的任意地址时
- (2) 在从编程开始或者擦除开始到输入读阵列命令 (FF₁₆) 为止的期间，读取了用户ROM区的任意地址时

另外，在具备以下的条件时，清除状态寄存器：

- (1) 在写清除状态寄存器命令 (50₁₆) 时状态寄存器各位的定义如表12所示。在复位解除后，状态寄存器变为 “80₁₆”。

表12 状态寄存器各位的定义

SRD的各位	状态名	定义	
		“1”	“0”
SR7 (bit7)	顺序状态	就绪	忙
SR6 (bit6)	保留	—	—
SR5 (bit5)	擦除状态	错误结束	正常结束
SR4 (bit4)	编程状态	错误结束	正常结束
SR3 (bit3)	保留	—	—
SR2 (bit2)	保留	—	—
SR1 (bit1)	保留	—	—
SR0 (bit0)	保留	—	—

• 顺序状态 (SR7)

顺序状态表示闪存的运行状况，在接通电源时被置 “1” (就绪)；在编程和擦除运行中被清 “0” (忙)。在这些运行结束的同时被置 “1”。

• 擦除状态 (SR5)

擦除状态表示擦除的运行状况，在发生擦除错误时被置 “1”。
在清除时，擦除状态变为 “0”。

• 编程状态 (SR4)

编程状态表示编程的运行状况，在发生编程错误时被置 “1”。
在清除时，编程状态变为 “0”。

在SR5或者SR4被置成 “1” 的状态下，不接受读阵列命令、编程命令以及块擦除命令。在执行这些命令前，必须执行清除状态寄存器命令，清除状态寄存器。

另外，在没有正确输入命令时，SR5和SR4双方都被置 “1”。

●全状态检查

通过全状态的检查，能知道擦除、编程的执行结果。

全状态检查流程图和各错误发生时的处理方法如图101所示。

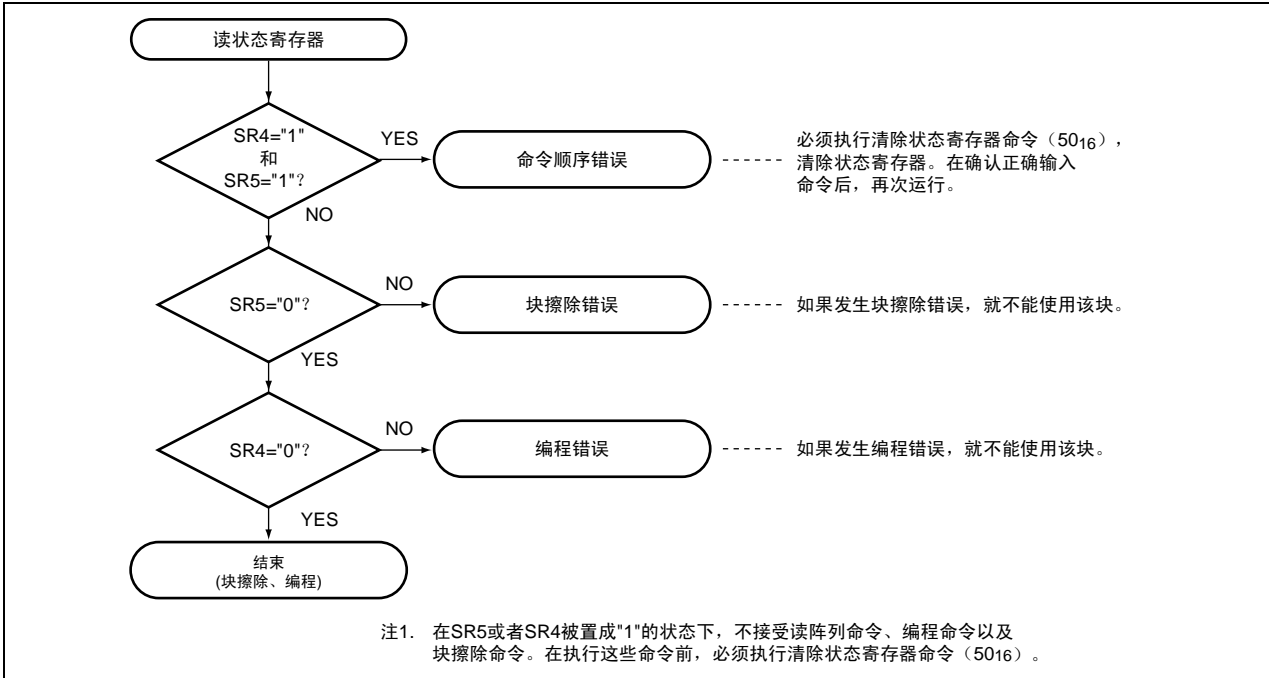


图 101 全状态检查流程图和各错误发生时的处理方法

●禁止内部闪存改写功能

为了不能随意读取或者改写内部闪存的内容，在并行输入/输出模式，内置ROM码保护功能；在标准串行输入/输出模式，内置ID码检查功能。

• ROM码保护功能

ROM码保护是在使用并行输入/输出模式时，通过ROM码保护控制地址（地址FFDB16），禁止读取或者改写内部闪存内容的功能。ROM码保护控制地址（地址FFDB16）的结构如图102所示（此地址存在于用户ROM区。）。)

在由2位构成的ROM码保护位中，无论给其中的哪一位设定“0”，ROM码保护都被设定，禁止读取或者改写内部闪存的内容。ROM码保护有级1和级2两级，如果选择级2，也不能进行由用于发货检查的LSI测试器等进行的读操作。在选择级1和级2双方的情况下，级2被选择。

如果给ROM码保护解除位设定“00”，就解除ROM码保护，并能读取或者改写内部闪存内容。一旦设定ROM码保护，就不能在并行输入/输出模式改变ROM码保护解除位的内容，必须在串行输入/输出模式等其它模式，改写ROM码保护解除位的内容。

另外，不能只改写ROM码保护控制地址（地址FFDB16）的内容。改写时，必须改写整个包含ROM码保护控制地址的用户ROM区（块0）。

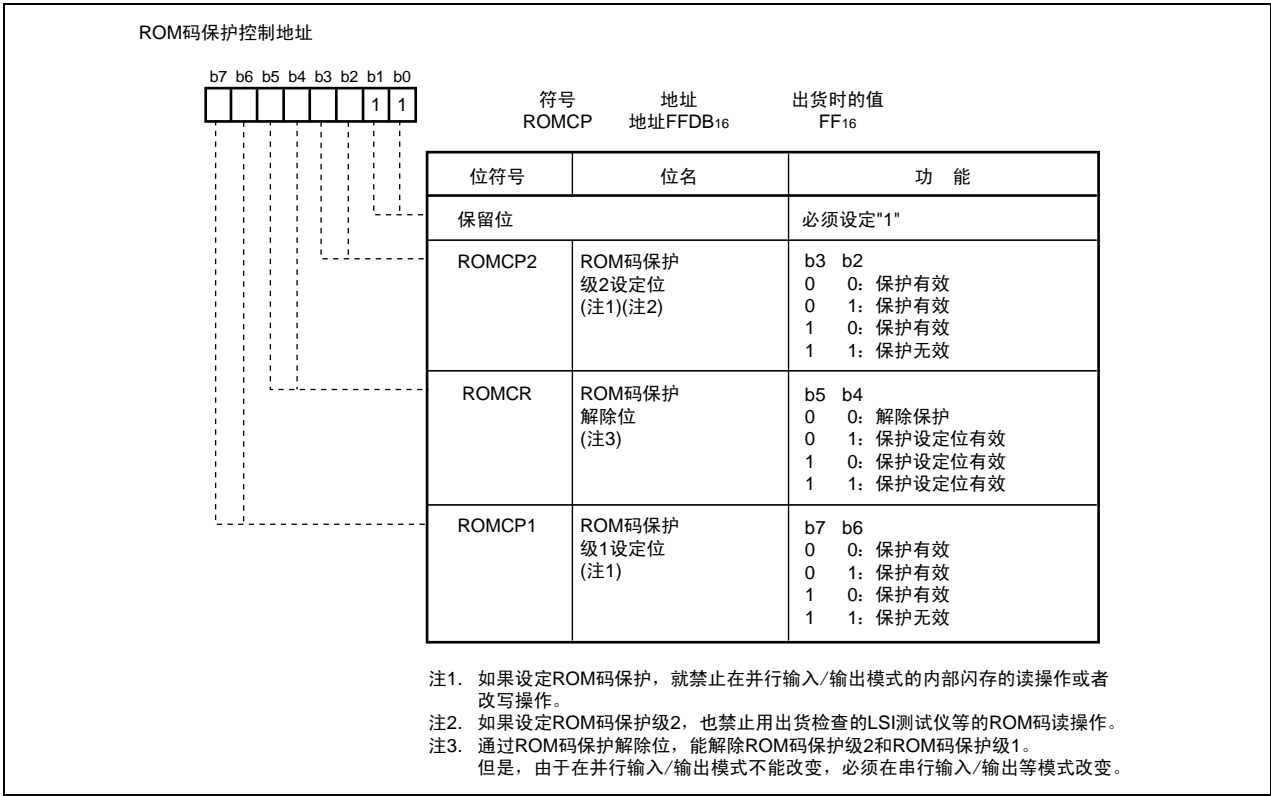


图 102 ROM 码保护控制地址的结构

• ID码检查功能

ID码检查是在使用标准串行输入/输出模式时，并且在闪存的内容不为空的情况下，判断从串行编程器送来的ID码和写在闪存中的ID码是否一致的功能。如果码不一致，就不接受从串行编程器送来的命令。ID码各为8位数据，被分配在地址FFD4₁₆~FFDA₁₆。必须将给这些地址预先设定ID码的程序写入闪存。

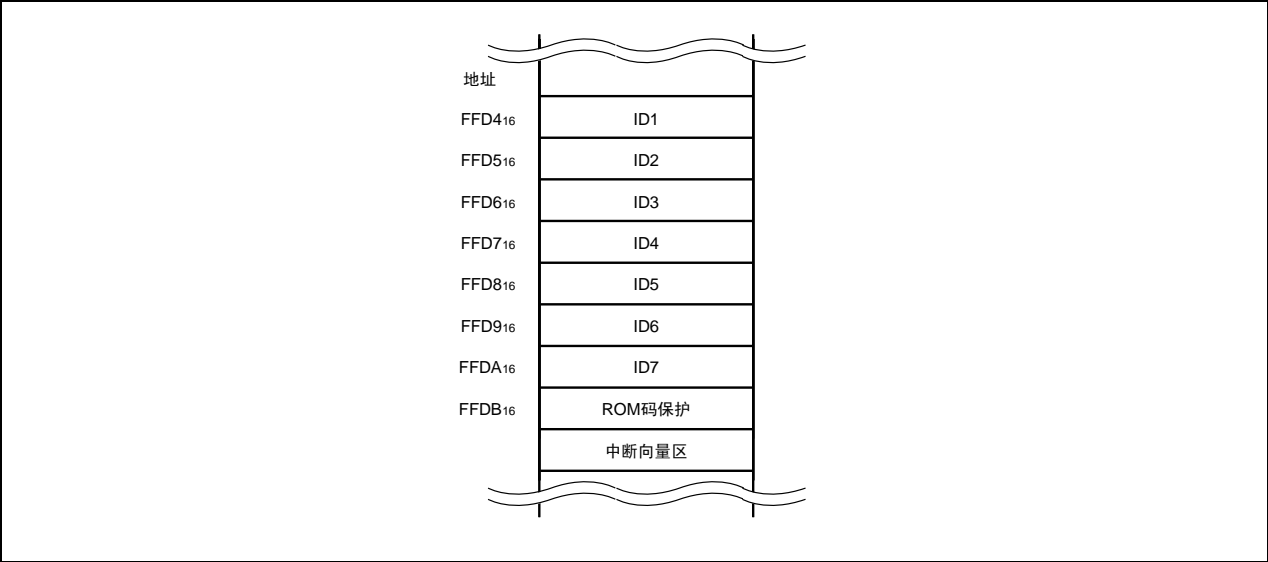


图 103 ID 码的保存地址

● 并行输入/输出模式

并行输入/输出模式是在对闪存的操作（读、编程以及擦除等）时，并行输入/输出所必需的软件命令、地址以及数据的模式。

必须使用支持7542群（闪存版）的专用外部装置（编程器）。使用方法的详细内容，请参照各编程器厂家的使用说明书。

• 用户ROM区和引导ROM区

在并行输入/输出模式，能改写如图94所示的用户ROM区和引导ROM区。闪存的操作方法和两区域相同。

引导ROM区为4K字节，被分配在地址F000₁₆~FFFF₁₆。编程、块擦除只能在此范围内进行（禁止对此范围外的存取）。

引导ROM区的擦除块只有4K字节单位的一个块。在发货时，在此引导ROM区存有标准串行输入/输出模式的控制软件。因此，在标准串行输入/输出模式使用此控制软件时，不必写引导ROM区。

●标准串行输入/输出模式

标准串行输入/输出模式是串行输入/输出对于内部闪存的操作（读、编程以及擦除等）所需要的软件命令、地址以及数据的模式，使用专用串行编程器。

标准串行输入/输出模式和并行输入/输出模式不同，CPU控制闪存的改写（使用CPU改写模式）和改写数据的串行输入等。通过将P37（RP）引脚置“L”、P32（CE）引脚置“H”、P06/SCLK2引脚置“L”以及P05/TxD2引脚置“H”后，再将CNVss引脚上升到“H”，解除复位，来启动标准串行输入/输出模式（在通常的单片机模式，必须将CNVss设定成“L”）。

在发货时，在引导ROM区存有此控制程序。因此，必须注意：在并行输入/输出模式改写引导ROM区时，无法使用标准串行输入/输出模式。

标准串行输入/输出模式有时钟同步串行的标准串行输入/输出模式1和异步的标准串行输入/输出模式2。

标准串行输入/输出模式1的引脚功能说明如表13所示，标准串行输入/输出模式1的引脚连接图如图104～图106所示。

标准串行输入/输出模式2的引脚功能说明如表14所示，标准串行输入/输出模式2的引脚连接图如图109～图111所示。

在标准串行输入/输出模式，只能改写如图94所示的用户ROM区，不能改写引导ROM区。

标准串行输入/输出模式具有7字节的ID码。在闪存的内容不为空的情况下，判断从编程器送来的ID码是否与写在闪存中的ID码一致。如果ID码的内容不一致，就不接受从编程器送来的命令。

(1) 标准串行输入/输出模式1

表13 引脚的功能说明（闪存标准串行输入/输出模式1）

引脚名	名 称	输入/输出	功 能
VCC、VSS	电源输入	输入	必须给VCC外加2.7V~5.5V、给VSS外加0V。
CNVSS	CNVSS	输入	在进行端口的输入设定后，必须上升到“H”。
RESET	复位输入	输入	复位输入引脚。如果在CNVss引脚上升到“H”后将RESET置成“H”，单片机就开始运行。
XIN	时钟输入	输入	必须给XIN引脚、XOUT引脚连接振荡电路。关于连接方法，请参照“时钟发生电路”（只用内部振荡器运行时，不需要外接电路。）。)
XOUT	时钟输出	输出	
VREF	基准电压输入	输入	必须输入A/D转换器的基准电压。
P00~P03	输入/输出端口P0	输入/输出	必须输入“H”、“L”，或者置为开路。
P04	RxD输入	输入	串行数据的输入引脚。
P05	TxD输出	输出	串行数据的输出引脚。
P06	SCLK输入	输入	串行时钟的输入引脚。
P07	BUSY输出	输出	BUSY信号的输出引脚。
P10~P14	输入/输出端口P1	输入/输出	必须输入“H”、“L”，或者开路。
P20~P27	输入/输出端口P2	输入/输出	必须输入“H”、“L”，或者开路。
P30、P31、P33~P36	输入/输出端口P3	输入/输出	必须输入“H”、“L”，或者开路。
P32	CE输入	输入	必须输入“H”。
P37	RP输入	输入	必须输入“L”。

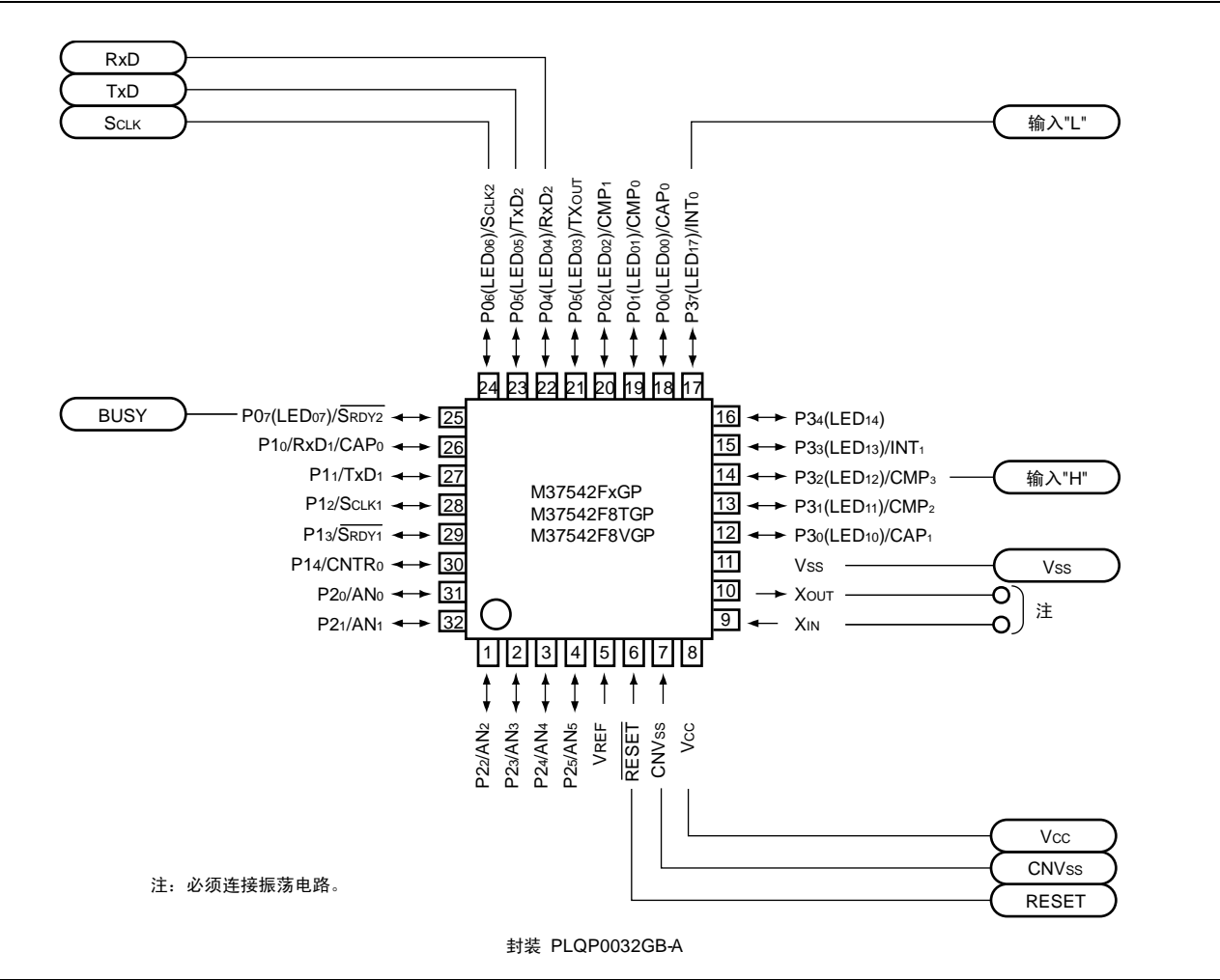


图104 标准串行输入/输出模式1时的引脚连接图（PLQP0032GB-A封装）

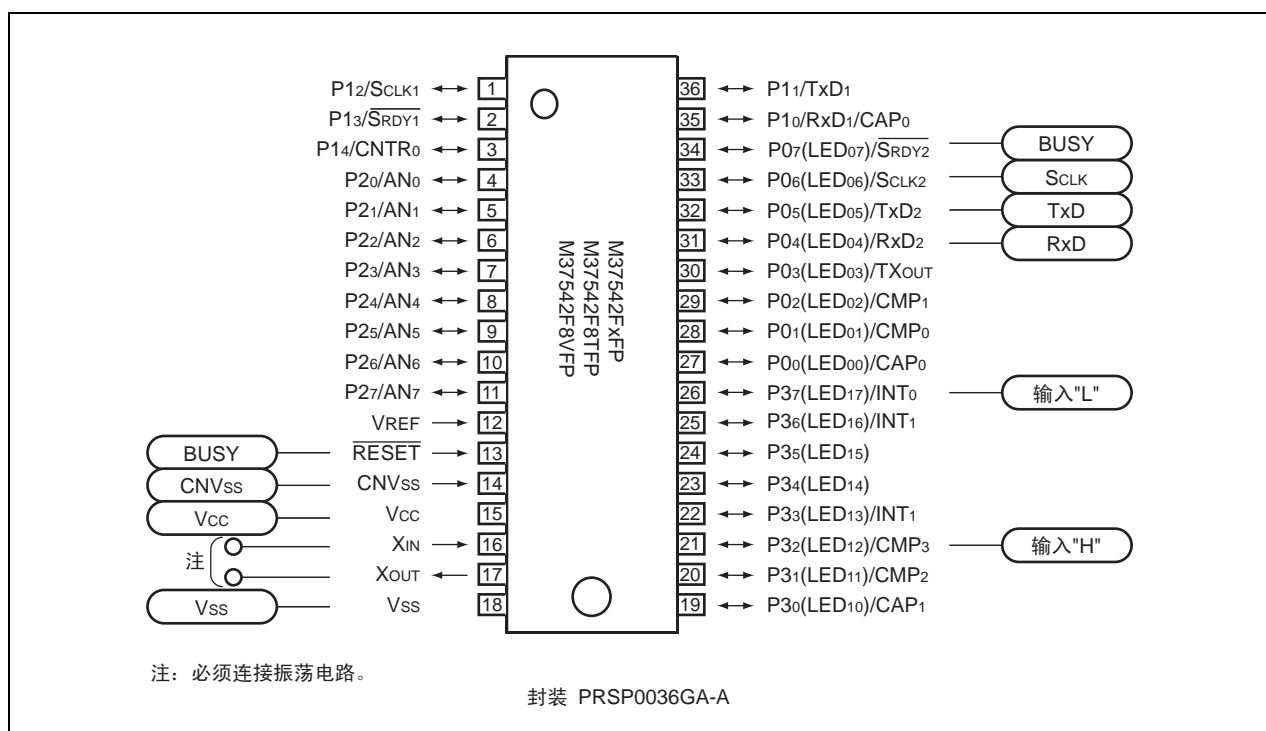


图105 标准串行输入/输出模式1时的引脚连接图（PRSP0036GA-A封装）

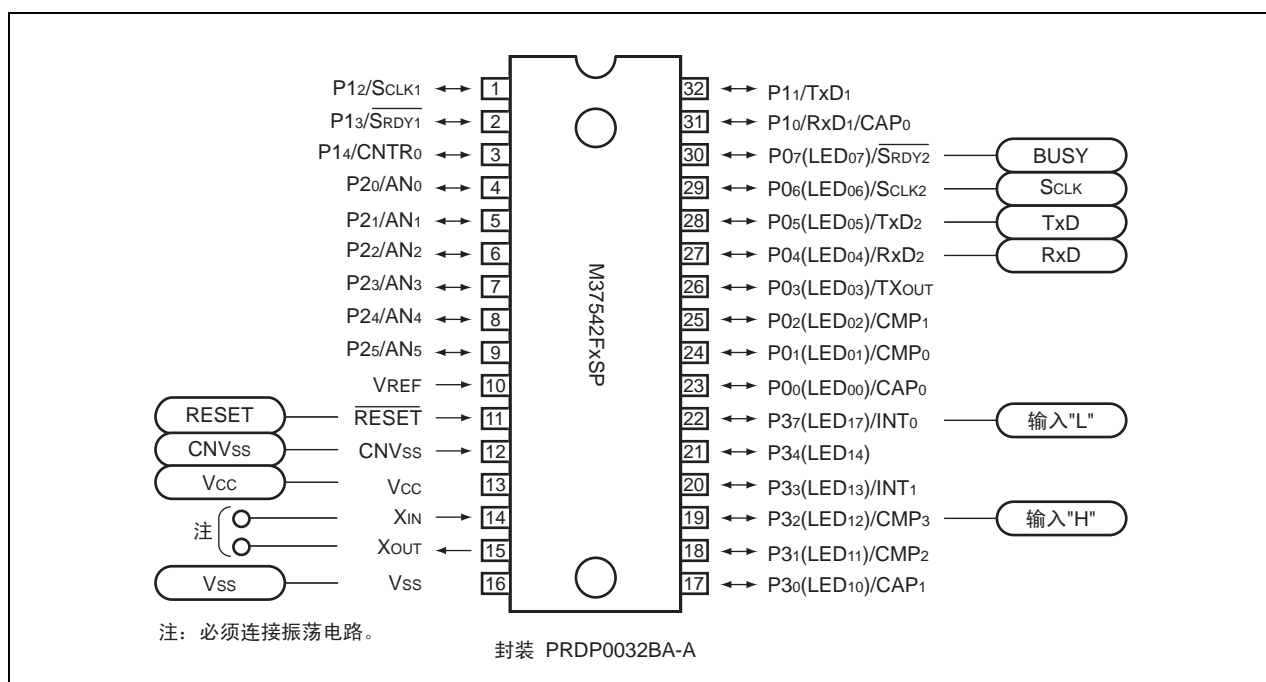


图106 标准串行输入/输出模式1时的引脚连接图（PRDP0032BA-A封装）

• 标准串行输入/输出模式1的连接电路的例子

使用标准串行输入/输出模式1时，在用户系统电路板上控制引脚的处理例子如图107所示。
根据编程器控制引脚的处理方法不同。详细内容请参照编程器的使用说明书。

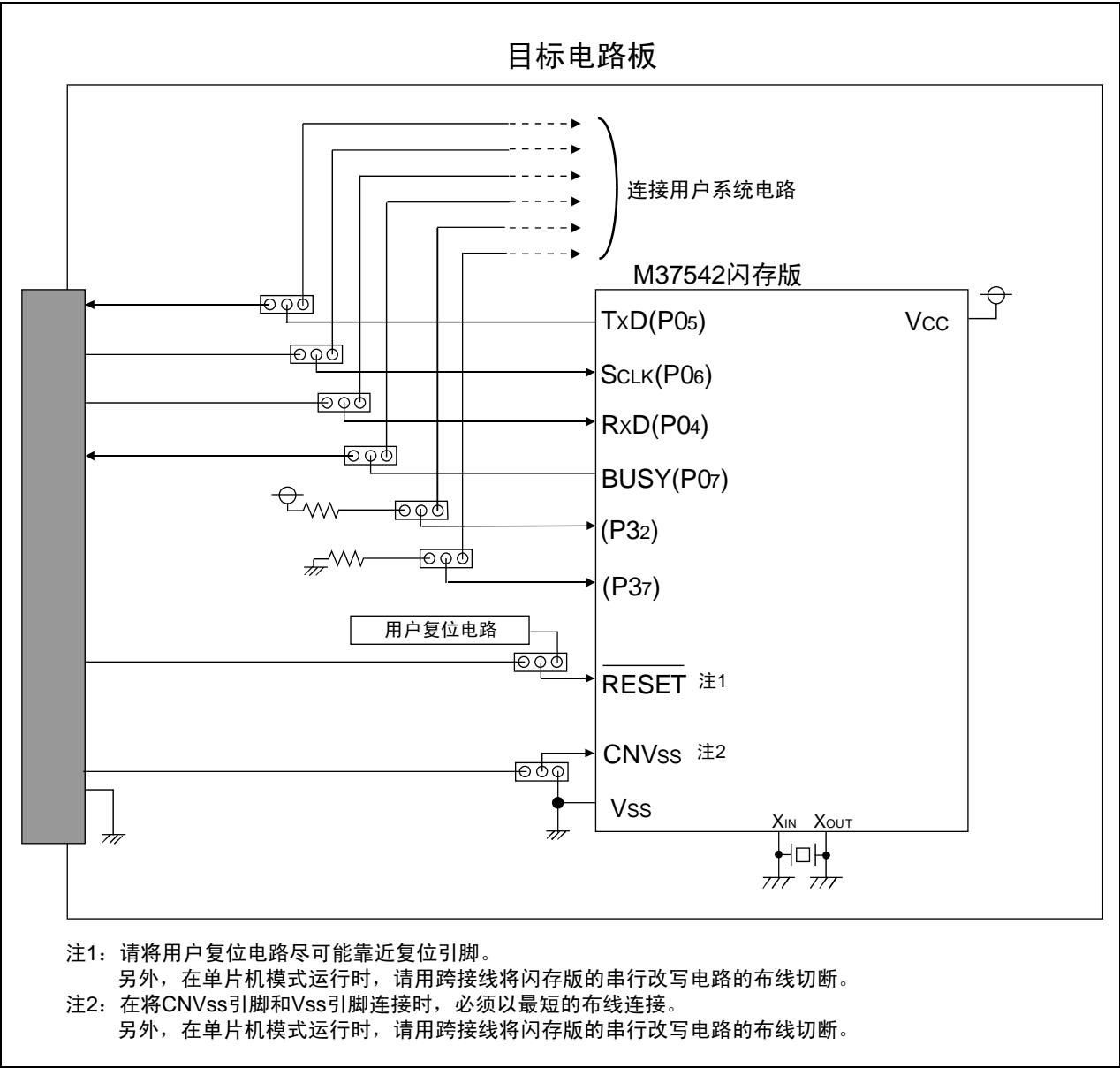


图107 标准串行输入/输出模式1的控制引脚的处理例子

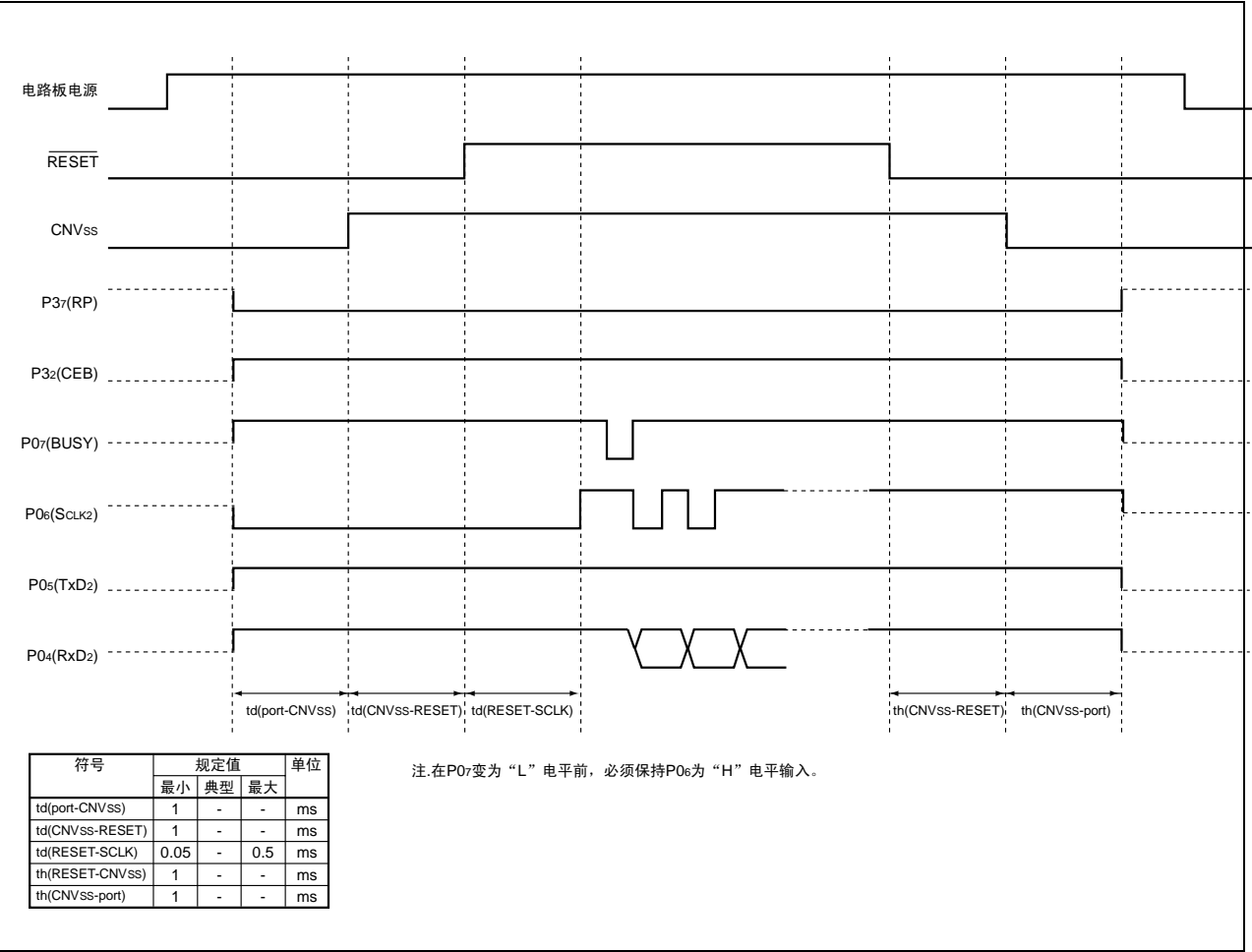


图108 标准串行输入/输出模式1时的运行波形图

(2) 标准串行输入/输出模式2

表14 引脚的功能说明（闪存标准串行输入/输出模式2）

引脚名	名 称	输入/输出	功 能
VCC、VSS	电源输入	输入	必须给VCC外加2.7V~5.5V，给VSS外加0V。
CNVSS	CNVSS	输入	进行端口输入设定后，必须上升到“H”。
RESET	复位输入	输入	复位输入引脚。如果在CNVss引脚上升到“H”后将RESET置成“H”，单片机就开始运行。
XIN	时钟输入	输入	必须给XIN引脚、XOUT引脚连接振荡电路。关于连接方法，请参照“时钟发生电路”（只用内部振荡器运行时，不需要外接电路。）。
XOUT	时钟输出	输出	
VREF	基准电压输入	输入	必须输入A/D转换器的基准电压。
P00~P03	输入/输出端口P0	输入/输出	必须输入“H”、“L”，或者置为开路。
P04	RxD输入	输入	串行数据的输入引脚。
P05	TxD输出	输出	串行数据的输出引脚。
P06	SCLK输入	输入	必须输入“L”。
P07	BUSY输出	输出	BUSY信号的输出引脚。
P10~P14	输入/输出端口P1	输入/输出	必须输入“H”、“L”，或者开路。
P20~P27	输入/输出端口P2	输入/输出	必须输入“H”、“L”，或者开路。
P30、P31、P33~P36	输入/输出端口P3	输入/输出	必须输入“H”、“L”，或者开路。
P32	CE输入	输入	必须输入“H”。
P37	RP输入	输入	必须输入“L”。

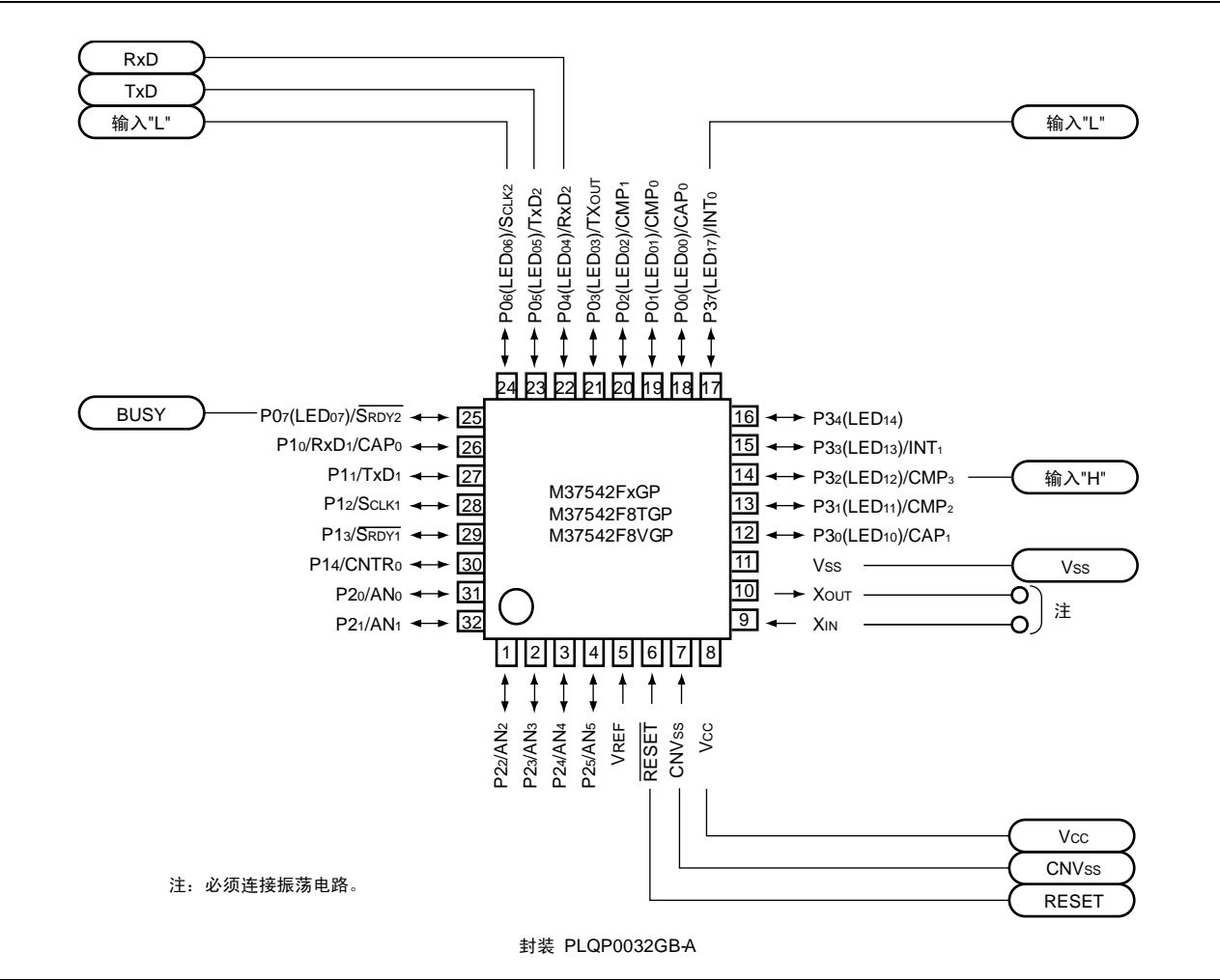


图109 标准串行输入/输出模式2时的引脚连接图（PLQP0032GB-A封装）

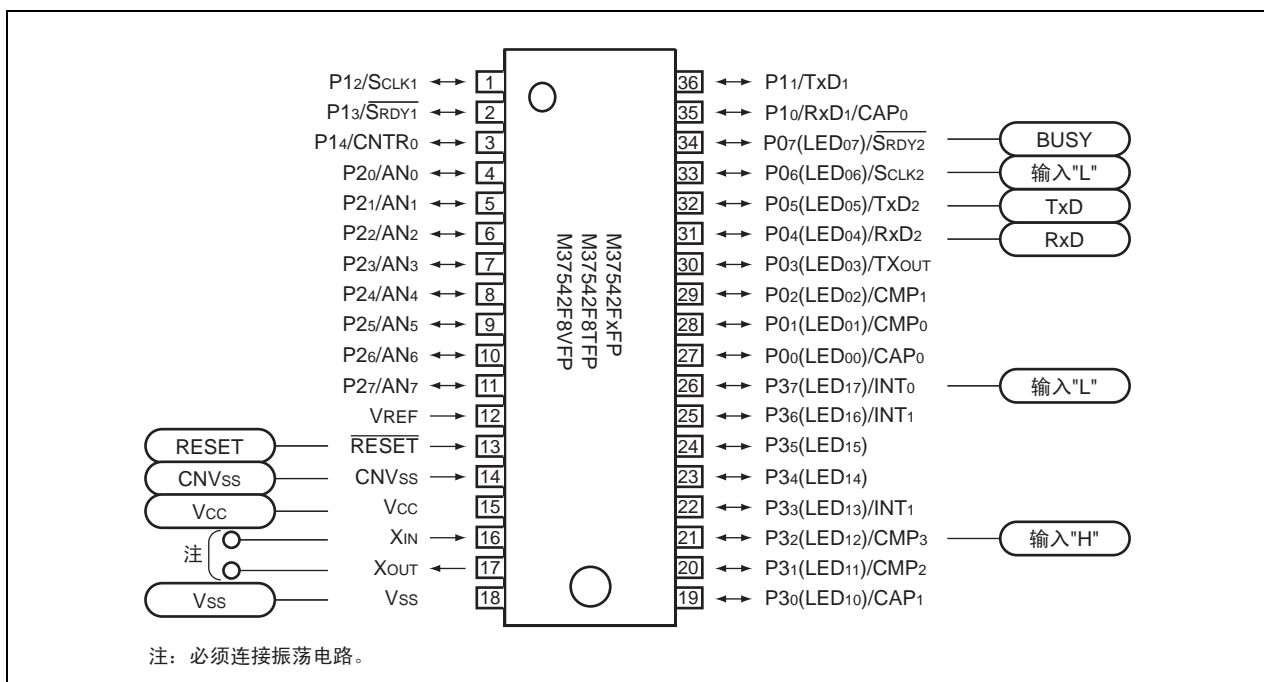


图110 标准串行输入/输出模式2时的引脚连接图（PRSP0036GA-A封装）

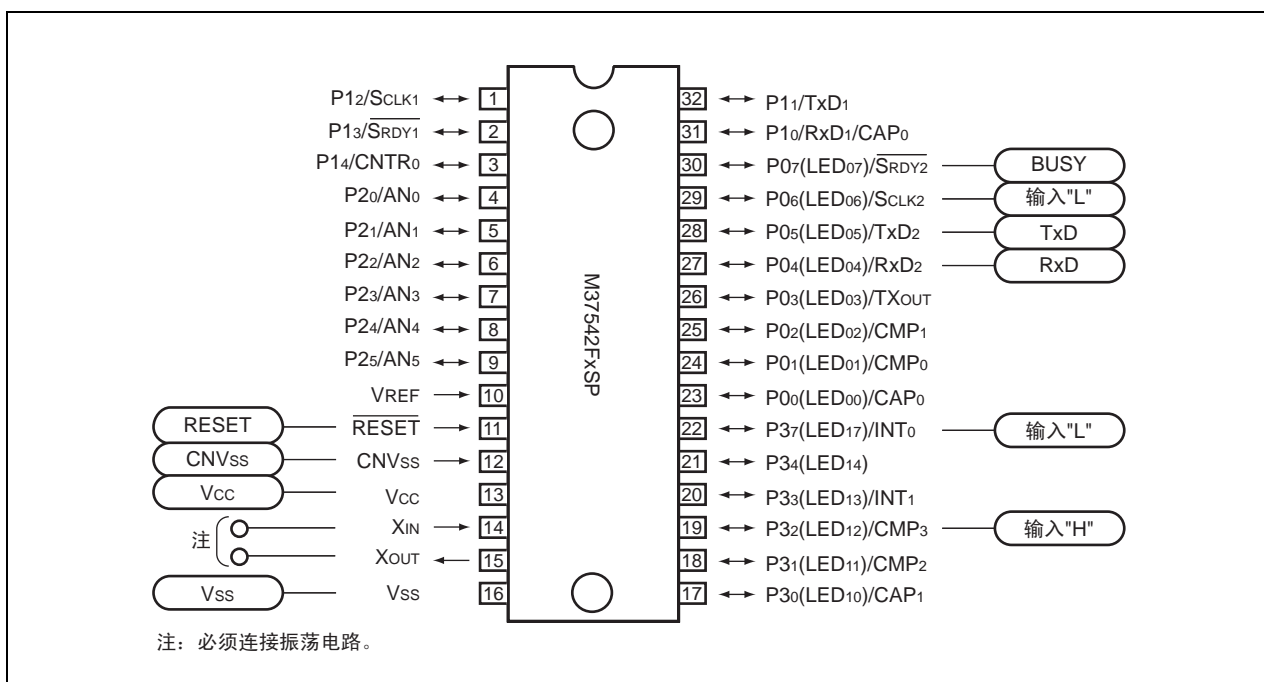


图111 标准串行输入/输出模式2时的引脚连接图（PRDP0032BA-A封装）

• 标准串行输入/输出模式2的连接电路的例子

使用标准串行输入/输出模式2时，在用户系统电路板上控制引脚的处理例子如图112所示。
根据编程器控制引脚的处理方法不同。详细内容请参照编程器的使用说明书。

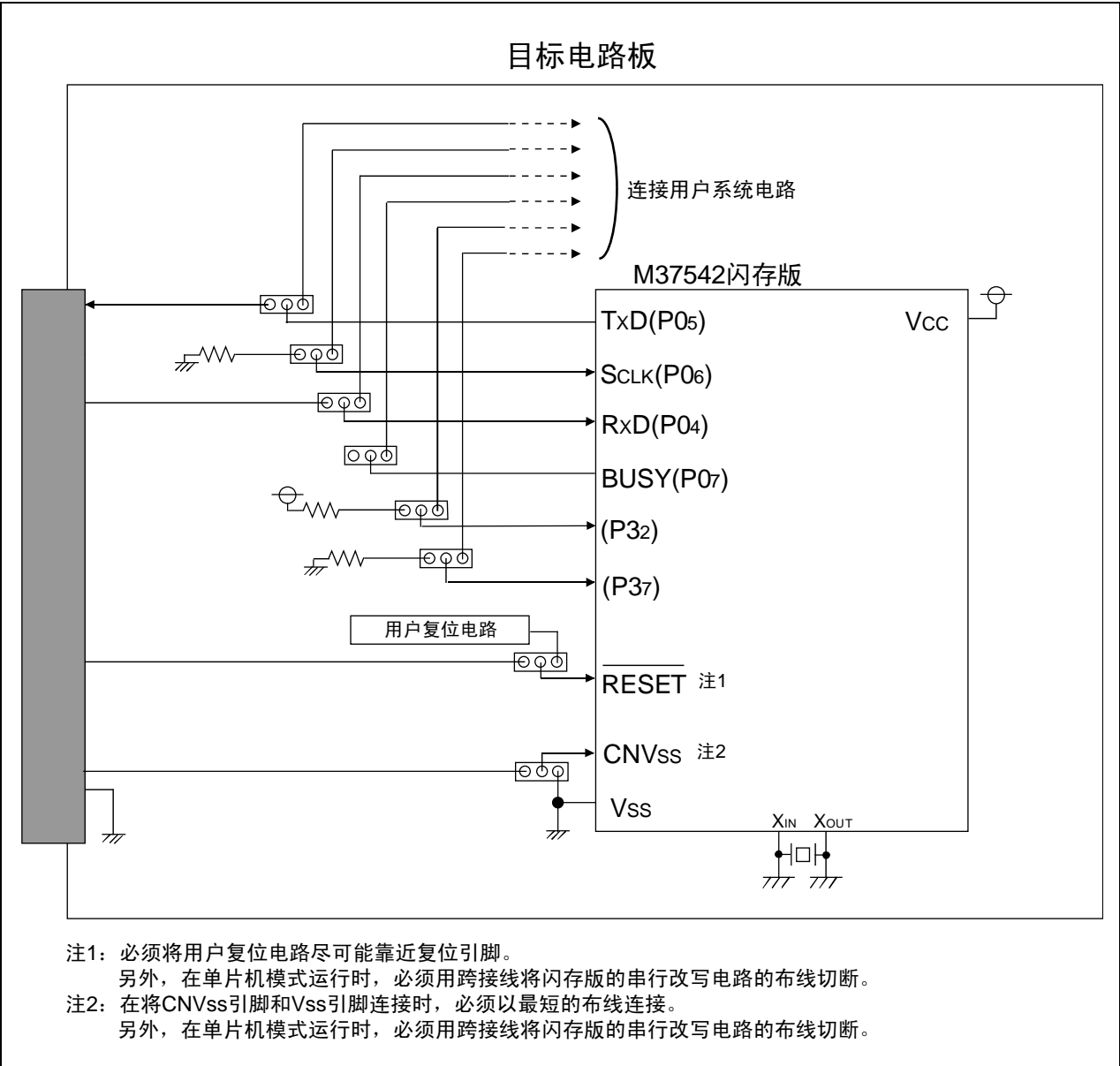


图112 标准串行输入/输出模式2的控制引脚的处理例子

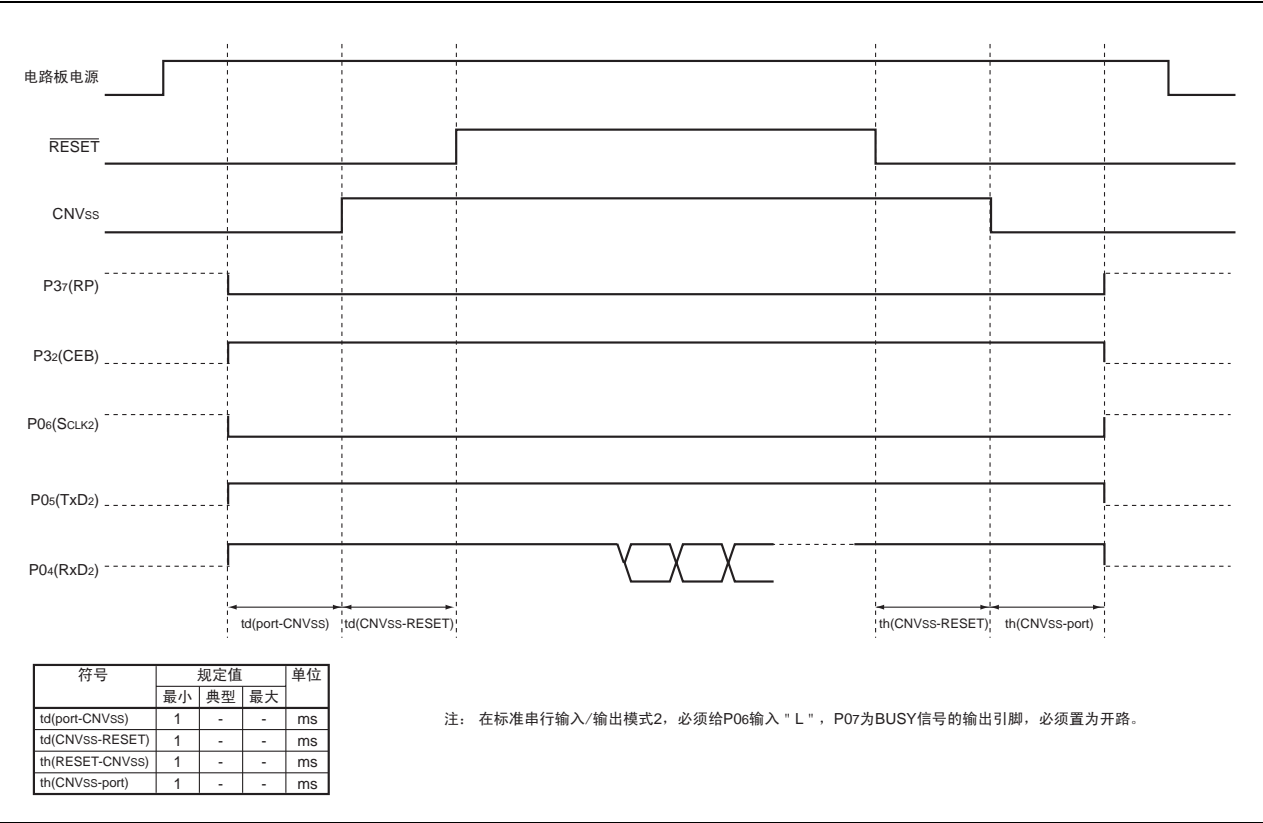


图113 标准串行输入/输出模式2时的运行波形图

7542 群（一般产品）的电特性

对应 M37542M4/M2-XXXXFP/SP/GP/HP、M37542F8FP/SP/GP/HP（注）和 M37542F4FP/SP/GP 的电特性。
注：M37542F8HP 只限 ES（没有批量生产的计划）。

（1）绝对最大额定值（一般产品）

表 15 绝对最大额定值（一般产品）

符号	项 目	条 件	额 定 值	单位
VCC	电源电压	以Vss引脚为基准测定。 在测定输入电压时，输出晶体管为截止状态。	-0.3~6.5	V
Vi	输入电压 P00~P07、P10~P14、P20~P27、 P30~P37、VREF		-0.3~Vcc+0.3	V
Vi	输入电压 RESET、XIN		-0.3~Vcc+0.3	V
Vi	输入电压 CNVss		-0.3~Vcc+0.3	V
Vo	输出电压 P00~P07、P10~P14、P20~P27、 P30~P37、XOUT		-0.3~Vcc+0.3	V
Pd	功耗	Ta=25°C	300（注1）	mW
Topr	工作环境温度		-20~85	°C
Tstg	保存温度		-40~125	°C

【注】 1. PLQP0032GB-A 封装产品为 200mW。

(2) 推荐运行条件 (一般产品)

表 16 推荐运行条件 (1) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目				规 格 值			单位
					最小	典型	最大	
Vcc	电源电压 （陶瓷振荡时）	（高、中速模式）	8MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			4MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.2	5.0	5.5	V
				FLASH ROM版				
		（倍速模式）	8MHz运行时	掩模型ROM版	4.5	5.0	5.5	V
				FLASH ROM版				
			6.5MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
			1MHz运行时	掩模型ROM版	2.2	5.0	5.5	V
				FLASH ROM版				
	电源电压 （RC振荡时）	（高、中速模式）	4MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
		2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V	
			FLASH ROM版					
		1MHz运行时	掩模型ROM版	2.2	5.0	5.5	V	
			FLASH ROM版					
VSS	电源电压					0		V
VREF	仿真基准电压				2.0		Vcc	V
VIH	“H” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0.8Vcc		Vcc	V
VIH	“H” 输入电压 （在选择TTL输入电平时） P10、P12、P13、P36、P37（注 1）				2.0		Vcc	V
VIH	“H” 输入电压 RESET、XIN				0.8Vcc		Vcc	V
VIL	“L” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0		0.2Vcc	V
VIL	“L” 输入电压 （在选择TTL输入电平时） P10、P12、P13、P36、P37（注 1）				0		0.8	V
VIL	“L” 输入电压 RESET、CNVss				0		0.2Vcc	V
VIL	“L” 输入电压 XIN				0		0.16Vcc	V
Σ IOH(peak)	总峰值 “H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						—80	mA
Σ IOL(peak)	总峰值 “L” 输出电流（注2） P10~P14、P20~P27						80	mA
Σ IOL(peak)	总峰值 “L” 输出电流（注2） P00~P07、P30~P37						80	mA
Σ IOH(avg)	总平均 “H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						—40	mA
Σ IOL(avg)	总平均 “L” 输出电流（注2） P10~P14、P20~P27						40	mA
Σ IOL(avg)	总平均 “L” 输出电流（注2） P00~P07、P30~P37						40	mA

【注】 1. 在VCC= 4.0V~5.5V的情况下。

2. 总输出电流为流向所有适合端口的电流总和。总平均电流是在100ms期间的平均值, 总峰值电流为电流峰值的总和。

表 17 推荐运行条件 (2) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
IOH(peak)	峰值“H”输出电流 (注1) P00~P07、P10~P14、P20~P27、P30~P37			-10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“H”时)			30	mA
IOH(avg)	平均“H”输出电流 (注2) P00~P07、P10~P14、P20~P27、P30~P37			-5	mA
IOL(avg)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			5	mA
IOL(avg)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“H”时)			15	mA
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.5\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.5\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		6.5	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$		1	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$		2	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$		1	MHz

【注】 1. 峰值输出电流规定每一个端口流过的电流峰值。

2. 平均输出电流 IOL(avg)、IOH(avg) 是在 100ms 期间的平均值。

3. 振荡频率是占空比为 50% 的情况。

(3) 电特性 (一般产品)

表 18 电特性 (1) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
VOH	“H” 输出电压 P00~P07、P10~P14、 P20~P27、P30~P37 (注 1)	$I_{OH}=-5mA$ $V_{CC}=4.0\sim 5.5V$	$V_{CC}-1.5$			V
		$I_{OH}=-1.0mA$ 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$	$V_{CC}-1.0$			V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“L” 时) P10~P14、P20~P27	$I_{OL}=5mA$ $V_{CC}=4.0\sim 5.5V$			1.5	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim 5.5V$			0.3	V
		$I_{OL}=1.0mA$ 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$			1.0	V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“H” 时)	$I_{OL}=15mA$ $V_{CC}=4.0\sim 5.5V$			2.0	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim 5.5V$			0.3	V
		$I_{OL}=10mA$ 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$			1.0	V
VT+ - VT-	滞后 CNTR0、INT0、INT1、CAP0、CAP1 (注 2) P00~P07 (注 3)			0.4		V
VT+ - VT-	滞后 RxD1、SCLK1、RxD2、SCLK2			0.5		V
VT+ - VT-	滞后 RESET			0.5		V
I _{IH}	“H” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_I=V_{CC}$ (引脚为浮动状态。上拉晶体管为分离状态)			5.0	μA
I _{IH}	“H” 输入电流 RESET	$V_I=V_{CC}$			5.0	μA
I _{IH}	“H” 输入电流 XIN	$V_I=V_{CC}$		4.0		μA
I _{IL}	“L” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_I=V_{SS}$ (引脚为浮动状态。上拉晶体管为分离状态)			-5.0	μA
I _{IL}	“L” 输入电流 RESET	$V_I=V_{SS}$			-5.0	μA
I _{IL}	“L” 输入电流 XIN	$V_I=V_{SS}$		-4.0		μA
I _{IL}	“L” 输入电流 P00~P07、P30~P37	$V_I=V_{SS}$ (在连接上拉晶体管时)		-0.2	-0.5	mA
VRAM	RAM 保持电压	在时钟停止时	2.0		5.5	V
ROSC	内部振荡器的振荡频率	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	1000	2000	3000	kHz
DOSC	振荡停止检测电路的检测频率	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	62.5	125	187.5	kHz

【注】 1. 有关P11, 是在UART1控制寄存器的P11/TxD1 P沟道输出禁止位 (地址001B16的bit4) 为“0”的情况。

2. 关于RxD1、SCLK1、INT0、INT1 (在选择P36时), 只在端口P1P3控制寄存器的bit0、bit1、bit2为“0” (CMOS电平) 时, 持有滞后。

3. 只在键唤醒运行时。

表 19 电特性 (2) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	测 定 条 件			规 格 值			单位
					最小	典型	最大	
I _{CC}	电源电流	f(XIN)=8MHz, 输出晶体管为截止状态	倍速模式	掩模型 ROM 版		5.5	9.0	mA
				FLASH ROM 版		4.8	7.5	mA
			高速模式	掩模型 ROM 版		3.5	6.5	mA
				FLASH ROM 版		3.0	5.5	mA
			中速模式	掩模型 ROM 版		2.0	5.0	mA
				FLASH ROM 版		1.7	4.2	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.2V$ FLASH ROM版: $V_{CC}=2.7V$ 输出晶体管为截止状态	高速模式	掩模型 ROM 版		0.4	1.2	mA
				FLASH ROM 版		1.0	2.8	mA
		内部振荡器运行模式, 输出晶体管为截止状态	1/1分频	掩模型 ROM 版		1.5	3.2	mA
				FLASH ROM 版		1.4	2.4	mA
			1/2分频	掩模型 ROM 版		0.9	2.2	mA
				FLASH ROM 版		1.0	1.9	mA
			1/8分频	掩模型 ROM 版		0.35	1.0	mA
				FLASH ROM 版		0.65	1.3	mA
			1/128分频	掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.55	1.0	mA
		f(XIN)=8MHz, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		1.6	3.2	mA
				FLASH ROM 版		1.2	2.6	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.2V$ FLASH ROM版: $V_{CC}=2.7V$ 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2		mA
				FLASH ROM 版		0.6		mA
		内部振荡器运行模式, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.12	0.4	mA
		A/D转换器运行时的增量 f(XIN)=8MHz、 $V_{CC}=5V$		掩模型 ROM 版		0.5		mA
				FLASH ROM 版		0.5		mA
		振荡停止 (在执行STP指令时) 输出晶体管为截止状态	$T_a=25^{\circ}C$	掩模型 ROM 版		0.1	1.0	μA
				FLASH ROM 版		0.55	3.0	μA
			$T_a=85^{\circ}C$	掩模型 ROM 版			10	μA
				FLASH ROM 版			10	μA

【注】 A/D 转换器运行时的增量包含基准电源输入电流 (I_{VREF})。

(4) A/D 转换器特性（一般产品）

表 20 A/D 转换器特性（一般产品）
（在没有指定的情况下，VCC=2.7~5.5V，VSS=0V，Ta=-20~85°C）

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	分辨率				10	bits
—	绝对精度	Ta=25°C, VCC=VREF=2.7~5.5V			±3	LSB
					±4	
tCONV	转换时间	A/D 转换时钟=f(XIN)/2			122	tc(XIN)
		A/D 转换时钟=f(XIN)			61	
RLADDER	梯形电阻			55		kΩ
IVREF	基准电源输入电流	VREF=5.0V	50	150	200	μA
		VREF=3.0V	30	90	120	
II(AD)	A/D 端口输入电流				5.0	μA

- 【注】 在以下的使用条件时可能会降低 A/D 转换精度：
- (1) 如果 VREF 电压低于 VCC 电压，单片机内部的模拟电路容易受到噪声的影响，因此与 VREF 电压和 VCC 电压相同时相比，转换精度可能下降。
 - (2) VREF 电压不超过 3.0V 且在低温环境中使用时，与常温时的转换精度相比，低温时的转换精度可能会大幅度降低。如果预计在低温环境中使用，建议 VREF≥3.0V。

(5) 闪存的电特性（一般产品）

表 21 闪存电特性（一般产品）

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	编程/擦除次数（注1）		100			次
—	字节编程时间			50	400	μs
—	块擦除时间	2K 字节块		0.2	9	s
		8K 字节块		0.4	9	s
		16K 字节块		0.7	9	s
td(SR-ES)	从擦除运行到擦除挂起的转移时间				8	ms
—	擦除挂起的请求间隔		10			ms
—	编程/擦除电压		2.7		5.5	V
—	读电压		2.7		5.5	V
—	编程/擦除时的温度		0		60	°C
—	数据保存时间	Ta = 55°C	20			年

- 【注】 1. 编程/擦除次数的定义：
编程/擦除次数为每一块的擦除次数。在编程/擦除次数为 n 次（n=100）时，每一块可分别进行 n 次擦除。比如，在对 2K 字节块 A 的各不相同地址分别进行了 2048 次的 1 字节写操作后擦除此块，编程/擦除次数就为 1 次。但是，对于 1 次的擦除，在同一地址不能进行多次的写操作（禁止重写）。

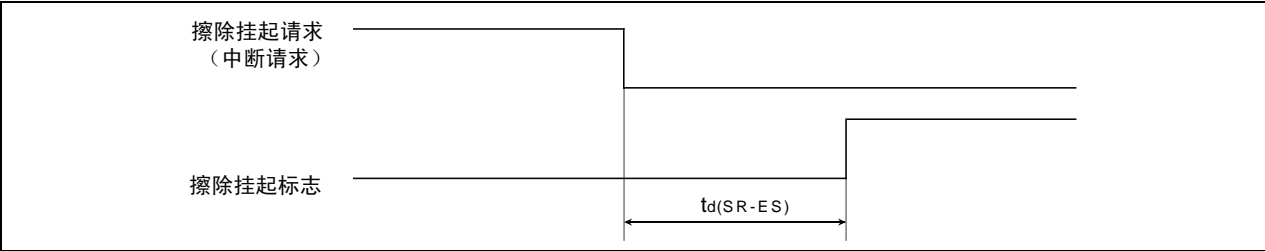


图 114 从擦除运行到擦除挂起的转移时间

(6) 时序的必要条件 (一般产品)

表 22 时序的必要条件 (1) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	125			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	50			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	50			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	200			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	80			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	80			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	800			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	370			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	370			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	220			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	100			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

表 23 时序的必要条件 (2)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	250			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	100			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	100			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	500			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	230			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	230			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	2000			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	950			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	950			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	400			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	200			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

表 24 时序的必要条件 (3) (一般产品)

(在没有指定的情况下, $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$) (本规格值只为掩模型 ROM 版的规格值)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_W(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_C(XIN)$	输入外部时钟周期时间	500			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	200			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	200			ns
$t_C(CNTR_0)$	CNTR ₀ 输入周期时间	1000			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	460			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	460			ns
$t_C(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	4000			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	1900			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	1900			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	800			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	400			ns

【注】 1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。
 在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。
 关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。
 在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

(7) 开关特性 (一般产品)

表 25 开关特性 (1) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	$t_c(SCLK1)/2-30$			ns
$t_{WL}(SCLK1)$	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	$t_c(SCLK1)/2-30$			ns
$t_d(SCLK1-TxD1)$	串行I/O1、串行I/O2输出延迟时间			140	ns
$t_v(SCLK1-TxD1)$	串行I/O1、串行I/O2输出有效时间	-30			ns
$t_r(SCLK1)$	串行I/O1、串行I/O2时钟输出上升时间			30	ns
$t_f(SCLK1)$	串行I/O1、串行I/O2时钟输出下降时间			30	ns
$t_r(CMOS)$	CMOS输出上升时间 (注1)		10	30	ns
$t_f(CMOS)$	CMOS输出下降时间 (注1)		10	30	ns

【注】1. XOUT 引脚除外。

表 26 开关特性 (2) (一般产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	$t_c(SCLK1)/2-50$			ns
$t_{WL}(SCLK1)$	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	$t_c(SCLK1)/2-50$			ns
$t_d(SCLK1-TxD1)$	串行I/O1、串行I/O2输出延迟时间			350	ns
$t_v(SCLK1-TxD1)$	串行I/O1、串行I/O2输出有效时间	-30			ns
$t_r(SCLK1)$	串行I/O1、串行I/O2时钟输出上升时间			50	ns
$t_f(SCLK1)$	串行I/O1、串行I/O2时钟输出下降时间			50	ns
$t_r(CMOS)$	CMOS输出上升时间 (注1)		20	50	ns
$t_f(CMOS)$	CMOS输出下降时间 (注1)		20	50	ns

【注】1. XOUT 引脚除外。

表 27 开关特性 (3) (一般产品)

(在没有指定的情况下, $V_{CC}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	$t_c(SCLK1)/2-70$			ns
$t_{WL}(SCLK1)$	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	$t_c(SCLK1)/2-70$			ns
$t_d(SCLK1-TxD1)$	串行I/O1、串行I/O2输出延迟时间			450	ns
$t_v(SCLK1-TxD1)$	串行I/O1、串行I/O2输出有效时间	-30			ns
$t_r(SCLK1)$	串行I/O1、串行I/O2时钟输出上升时间			70	ns
$t_f(SCLK1)$	串行I/O1、串行I/O2时钟输出下降时间			70	ns
$t_r(CMOS)$	CMOS输出上升时间 (注1)		25	70	ns
$t_f(CMOS)$	CMOS输出下降时间 (注1)		25	70	ns

【注】1. XOUT 引脚除外。

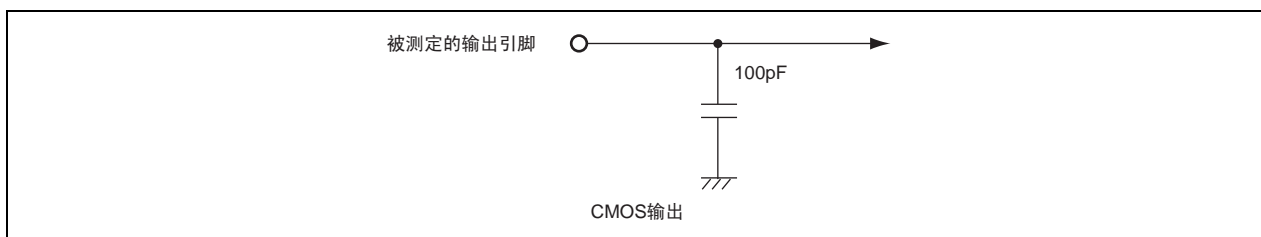


图 115 开关特性测定电路图 (一般产品)

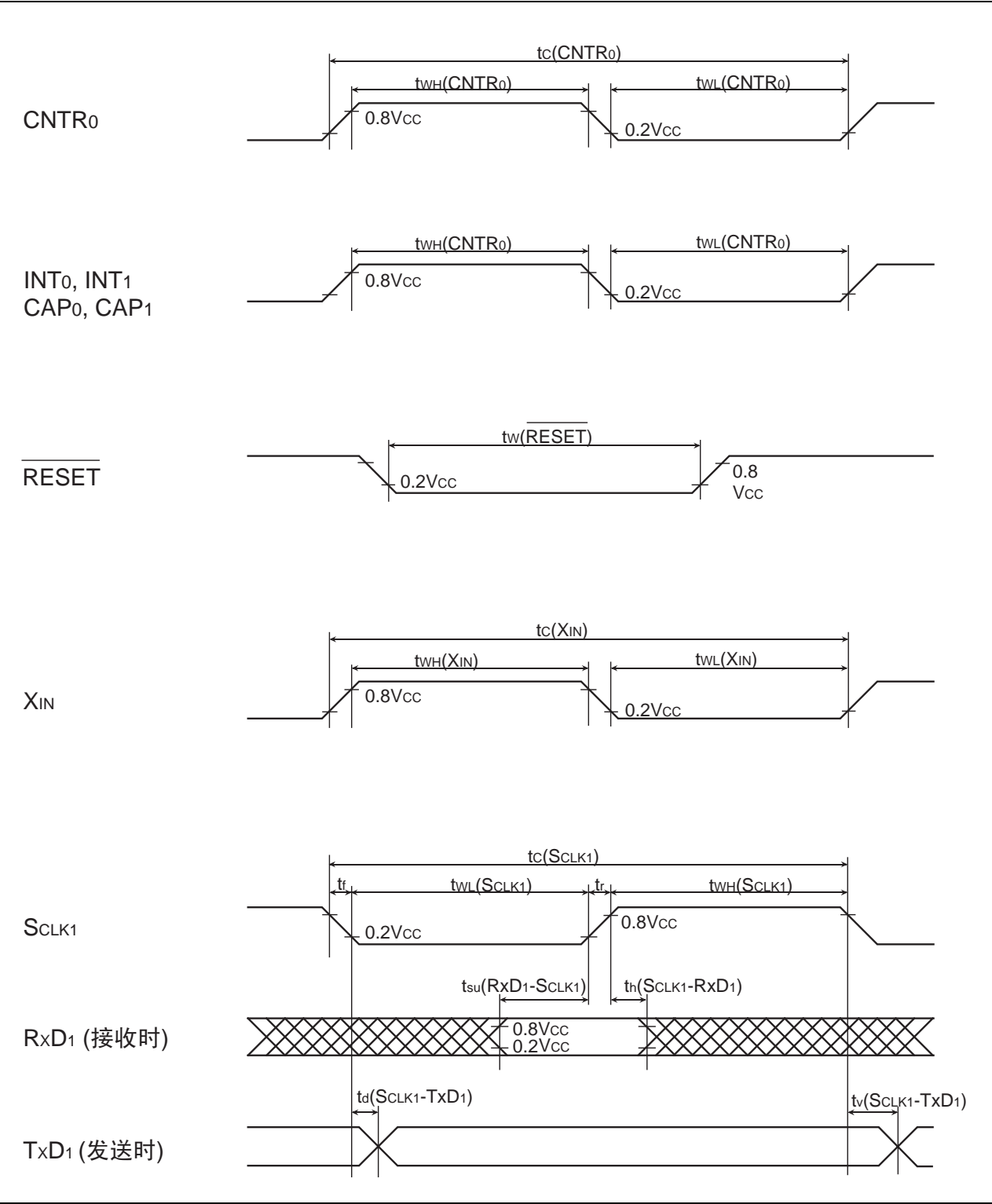


图 116 时序图（一般产品）

7542 群（工作温度范围扩大版）的电特性

对应 M37542M4T/M2T-XXXXFP/GP 和 M37542F8TFP/GP 的电特性。

（1）绝对最大额定值（工作温度范围扩大版）

表 28 绝对最大额定值（工作温度范围扩大版）

符号	项 目	条 件	额 定 值	单位
VCC	电源电压	以 VSS 引脚为基准测定。 在测定输入电压时，输出 晶体管为截止状态。	-0.3~6.5	V
VI	输入电压 P00~P07、P10~P14、P20~P27、 P30~P37、VREF		-0.3~VCC+0.3	V
VI	输入电压 $\overline{\text{RESET}}$ 、XIN		-0.3~VCC+0.3	V
VI	输入电压 CNVSS		-0.3~VCC+0.3	V
VO	输出电压 P00~P07、P10~P14、P20~P27、 P30~P37、XOUT		-0.3~VCC+0.3	V
Pd	功耗	Ta=25°C	300（注1）	mW
Topr	工作环境温度		-40~85	°C
Tstg	保存温度		-65~150	°C

【注】 1. PLQP0032GB-A 封装产品为 200mW。

(2) 推荐运行条件 (工作温度范围扩大版)

表 29 推荐运行条件 (1) (工作温度范围扩大版)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim85^{\circ}C$)

符号	项 目				规 格 值			单位
					最小	典型	最大	
VCC	电源电压 （陶瓷振荡时）	（高、中速模式）	8MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			4MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
		（倍速模式）	8MHz运行时	掩模型ROM版	4.5	5.0	5.5	V
				FLASH ROM版				
			6.5MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
	电源电压 （RC振荡时）	（高、中速模式）	4MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
VSS	电源电压					0		V
VREF	仿真基准电压				2.0		Vcc	V
VIH	“H” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0.8Vcc		Vcc	V
VIH	“H” 输入电压（在选择TTL输入电平时） P10、P12、P13、P36、P37（注1）				2.0		Vcc	V
VIH	“H” 输入电压 RESET、XIN				0.8Vcc		Vcc	V
VIL	“L” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0		0.2Vcc	V
VIL	“L” 输入电压（在选择TTL输入电平时） P10、P12、P13、P36、P37（注1）				0		0.8	V
VIL	“L” 输入电压 RESET、CNVss				0		0.2Vcc	V
VIL	“L” 输入电压 XIN				0		0.16Vcc	V
ΣIOH(peak)	总峰值“H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						－80	mA
ΣIOL(peak)	总峰值“L” 输出电流（注2） P10~P14、P20~P27						80	mA
ΣIOL(peak)	总峰值“L” 输出电流（注2） P00~P07、P30~P37						80	mA
ΣIOH(avg)	总平均“H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						－40	mA
ΣIOL(avg)	总平均“L” 输出电流（注2） P10~P14、P20~P27						40	mA
ΣIOL(avg)	总平均“L” 输出电流（注2） P00~P07、P30~P37						40	mA

【注】 1. 在 $V_{CC}=4.0V\sim5.5V$ 时的情况下。

2. 总输出电流为流向所有适合端口的电流总和。总平均电流是在100ms期间的平均值, 总峰值电流为电流峰值的总和。

表 30 推荐运行条件 (2) (工作温度范围扩大版)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
IOH(peak)	峰值“H”输出电流 (注1) P00~P07、P10~P14、P20~P27、P30~P37			-10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“H”时)			30	mA
IOH(avg)	平均“H”输出电流 (注2) P00~P07、P10~P14、P20~P27、P30~P37			-5	mA
IOL(avg)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			5	mA
IOL(avg)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“H”时)			15	mA
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.5\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.5\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		6.5	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz

- 【注】 1. 峰值输出电流规定每一个端口流过的电流峰值。
 2. 平均输出电流 IOL(avg)、IOH(avg) 是在 100ms 期间的平均值。
 3. 振荡频率是占空比为 50% 的情况。

(3) 电特性 (工作温度范围扩大版)

表 31 电特性 (1) (工作温度范围扩大版)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim85^{\circ}C$)

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
VOH	“H” 输出电压 P00~P07、P10~P14、 P20~P27、P30~P37 (注 1)	$I_{OH}=-5mA$ $V_{CC}=4.0\sim5.5V$	$V_{CC}-1.5$			V
		$I_{OH}=-1.0mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$	$V_{CC}-1.0$			V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“L” 时) P10~P14、P20~P27	$I_{OL}=5mA$ $V_{CC}=4.0\sim5.5V$			1.5	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim5.5V$			0.3	V
		$I_{OL}=1.0mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$			1.0	V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“H” 时)	$I_{OL}=15mA$ $V_{CC}=4.0\sim5.5V$			2.0	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim5.5V$			0.3	V
		$I_{OL}=10mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$			1.0	V
VT+ - VT-	滞后 CNTR0、INT0、INT1、CAP0、CAP1 (注2) P00~P07 (注3)			0.4		V
VT+ - VT-	滞后 RxD1、SCLK1、RxD2、SCLK2			0.5		V
VT+ - VT-	滞后 RESET			0.5		V
IiH	“H” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_i=V_{CC}$ (引脚为浮动状态。上拉晶体管为分离状态)			5.0	μA
IiH	“H” 输入电流 RESET	$V_i=V_{CC}$			5.0	μA
IiH	“H” 输入电流 XIN	$V_i=V_{CC}$		4.0		μA
IiL	“L” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_i=V_{SS}$ (引脚为浮动状态。上拉晶体管为分离状态)			-5.0	μA
IiL	“L” 输入电流 RESET	$V_i=V_{SS}$			-5.0	μA
IiL	“L” 输入电流 XIN	$V_i=V_{SS}$		-4.0		μA
IiL	“L” 输入电流 P00~P07、P30~P37	$V_i=V_{SS}$ (在连接上拉晶体管时)		-0.2	-0.5	mA
VRAM	RAM 保持电压	在时钟停止时	2.0		5.5	V
ROSC	内部振荡器的振荡频率	$V_{CC}=5.0V$ 、 $T_a=25^{\circ}C$	1000	2000	3000	kHz
DOSC	振荡停止检测电路的检测频率	$V_{CC}=5.0V$ 、 $T_a=25^{\circ}C$	62.5	125	187.5	kHz

- 【注】 1. 有关P11, 是在UART1控制寄存器的P11/TXD1 P沟道输出禁止位 (地址001B16的bit4) 为“0”的情况。
2. 关于RxD1、SCLK1、INT0、INT1 (在选择P36时), 只在端口P1P3控制寄存器的bit0、bit1、bit2为“0” (CMOS电平) 时, 持有滞后。
3. 仅限键唤醒运行时。

表 32 电特性 (2) (工作温度范围扩大版)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 85^{\circ}C$)

符号	项 目	测 定 条 件			规 格 值			单位
					最小	典型	最大	
I _{CC}	电源电流	f(XIN)=8MHz, 输出晶体管为截止状态	倍速模式	掩模型 ROM 版		5.5	9.0	mA
				FLASH ROM 版		4.8	7.5	mA
			高速模式	掩模型 ROM 版		3.5	6.5	mA
				FLASH ROM 版		3.0	5.5	mA
			中速模式	掩模型 ROM 版		2.0	5.0	mA
				FLASH ROM 版		1.7	4.2	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.4V$ FLASH ROM版: $V_{CC}=2.7V$ 输出晶体管为截止状态	高速模式	掩模型 ROM 版		0.4	1.2	mA
				FLASH ROM 版		1.0	2.8	mA
		内部振荡器运行模式, 输出晶体管为截止状态	1/1分频	掩模型 ROM 版		1.5	3.2	mA
				FLASH ROM 版		1.4	2.4	mA
			1/2分频	掩模型 ROM 版		0.9	2.2	mA
				FLASH ROM 版		1.0	1.9	mA
			1/8分频	掩模型 ROM 版		0.35	1.0	mA
				FLASH ROM 版		0.65	1.3	mA
			1/128分频	掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.55	1.0	mA
		f(XIN)=8MHz, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		1.6	3.2	mA
				FLASH ROM 版		1.2	2.6	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.4V$ FLASH ROM版: $V_{CC}=2.7V$ 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2		mA
				FLASH ROM 版		0.6		mA
		内部振荡器运行模式, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.12	0.4	mA
		A/D转换器运行时的增量 f(XIN)=8MHz、 $V_{CC}=5V$		掩模型 ROM 版		0.5		mA
				FLASH ROM 版		0.5		mA
		振荡停止 (在执行STP指令时) 输出晶体管为截止状态	T _a =25°C	掩模型 ROM 版		0.1	1.0	μA
				FLASH ROM 版		0.55	3.0	μA
			T _a =85°C	掩模型 ROM 版			10	μA
				FLASH ROM 版			10	μA

【注】 A/D 转换器运行时的增量包含基准电源输入电流 (I_{VREF})。

(4) A/D 转换器特性（工作温度范围扩大版）

表 33 A/D 转换器特性（工作温度范围扩大版）
（在没有指定的情况下，VCC=2.7~5.5V，VSS=0V，Ta=-40~85°C）

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	分辨率				10	bits
—	绝对精度	Ta=25°C, VCC=VREF=2.7~5.5V			±3	LSB
					±4	
tCONV	转换时间	A/D 转换时钟=f(XIN)/2			122	tc(XIN)
		A/D 转换时钟=f(XIN)			61	
RLADDER	梯形电阻			55		kΩ
IVREF	基准电源输入电流	VREF=5.0V	50	150	200	μA
		VREF=3.0V	30	90	120	
II(AD)	A/D 端口输入电流				5.0	μA

【注】 在以下的使用条件时可能会降低 A/D 转换精度：

- （1）如果 VREF 电压低于 VCC 电压，单片机内部的模拟电路容易受到噪声的影响，因此与 VREF 电压和 VCC 电压相同时相比，转换精度可能下降。
- （2）VREF 电压不超过 3.0V 且在低温环境中使用时，与常温时的转换精度相比，低温时的转换精度可能会大幅度降低。如果预计在低温环境中使用，建议 VREF≥3.0V。

(5) 闪存的电特性（工作温度范围扩大版）

表 34 闪存电特性（工作温度范围扩大版）

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	编程/擦除次数（注1）		100			次
—	字节编程时间			50	400	μs
—	块擦除时间	2K 字节块		0.2	9	s
		8K 字节块		0.4	9	s
		16K 字节块		0.7	9	s
td(SR-ES)	消除运行到擦除挂起的转移时间				8	ms
—	擦除挂起的请求间隔		10			ms
—	编程/擦除电压		2.7		5.5	V
—	读电压		2.7		5.5	V
—	编程/擦除时的温度		0		60	°C
—	数据保存时间	Ta = 55°C	20			年

【注】 1. 编程/擦除次数的定义：

编程/擦除次数为每一块的擦除次数。在编程/擦除次数为 n 次（n=100）时，每一块可分别进行 n 次擦除。比如，在对 2K 字节块 A 的各不相同地址分别进行了 2048 次的 1 字节写操作后擦除此块，编程/擦除次数就为 1 次。但是，对于 1 次的擦除，在同一地址不能进行多次的写操作（禁止重写）。

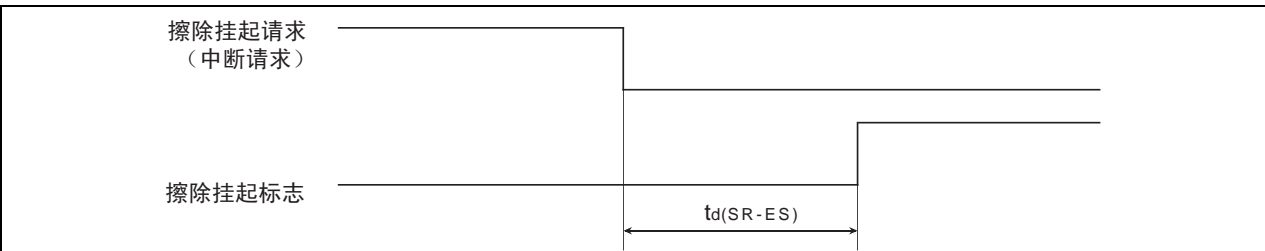


图 117 从擦除运行到擦除挂起的转移时间

(6) 时序的必要条件 (扩大工作温度版)

表 35 时序的必要条件 (1) (扩大工作温度版)

(在没有指定时, FLASH ROM 版: $V_{CC}=4.0\sim5.5V$, 掩模型 ROM 版: $V_{CC}=4.0\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	125			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	50			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	50			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	200			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	80			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	80			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	800			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	370			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	370			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	220			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	100			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

表 36 时序的必要条件 (2) (扩大工作温度版)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim85^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	250			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	100			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	100			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	500			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	230			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	230			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	2000			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	950			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	950			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	400			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	200			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

(7) 开关特性（扩大工作温度版）

表 37 开关特性（1）（扩大工作温度版）

（在没有指定时，FLASH ROM 版：V_{CC}=4.0~5.5V，掩模型 ROM 版：V_{CC}=4.0~5.5V，V_{SS}=0V、T_a=-40~85°C）

符号	项 目	规 格 值			单位
		最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	t _C (SCLK1)/2-30			ns
t _{WL} (SCLK1)	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	t _C (SCLK1)/2-30			ns
t _d (SCLK1- TxD1)	串行I/O1、串行I/O2输出延迟时间			140	ns
t _v (SCLK1- TxD1)	串行I/O1、串行I/O2输出有效时间	-30			ns
t _r (SCLK1)	串行I/O1、串行I/O2时钟输出上升时间			30	ns
t _f (SCLK1)	串行I/O1、串行I/O2时钟输出下降时间			30	ns
t _r (CMOS)	CMOS输出上升时间（注1）		10	30	ns
t _f (CMOS)	CMOS输出下降时间（注1）		10	30	ns

【注】1. XOUT 引脚除外。

表 38 开关特性（2）（扩大工作温度版）

（在没有指定时，FLASH ROM 版：V_{CC}=2.7~5.5V，掩模型 ROM 版：V_{CC}=2.4~5.5V，V_{SS}=0V、T_a=-40~85°C）

符号	项 目	规 格 值			单位
		最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	t _C (SCLK1)/2-50			ns
t _{WL} (SCLK1)	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	t _C (SCLK1)/2-50			ns
t _d (SCLK1- TxD1)	串行I/O1、串行I/O2输出延迟时间			350	ns
t _v (SCLK1- TxD1)	串行I/O1、串行I/O2输出有效时间	-30			ns
t _r (SCLK1)	串行I/O1、串行I/O2时钟输出上升时间			50	ns
t _f (SCLK1)	串行I/O1、串行I/O2时钟输出下降时间			50	ns
t _r (CMOS)	CMOS输出上升时间（注1）		20	50	ns
t _f (CMOS)	CMOS输出下降时间（注1）		20	50	ns

【注】1. XOUT 引脚除外。

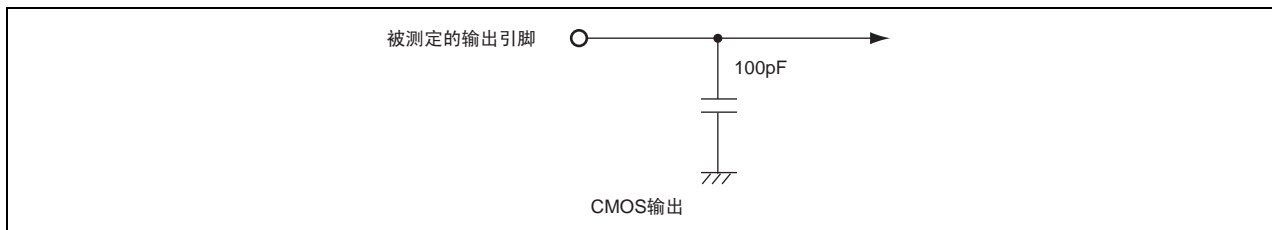


图 118 开关特性测定电路图（工作温度范围扩大版）

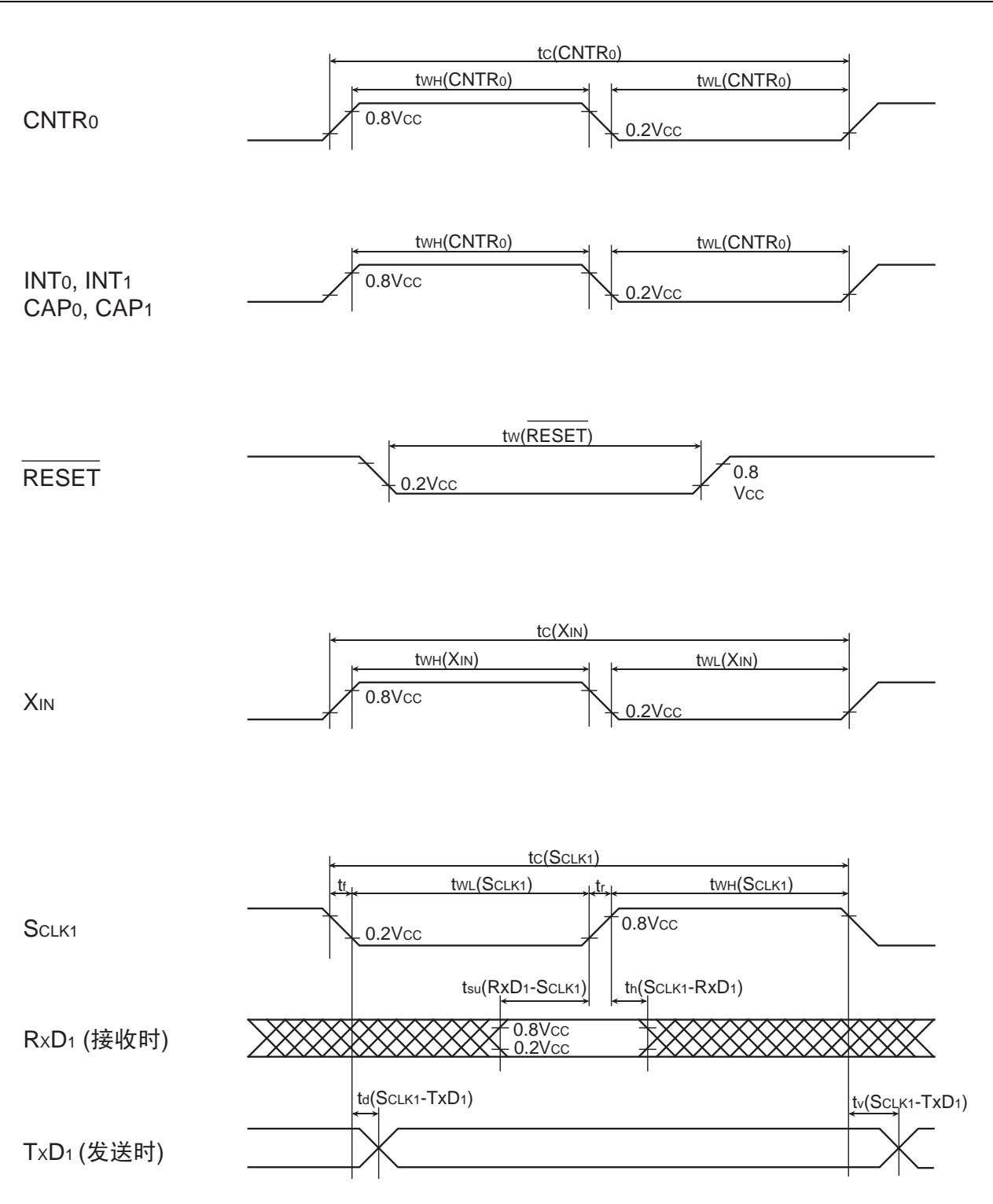


图 119 时序图（工作温度范围扩大版）

7542 群（125°C 保证产品）的电特性

对应 M37542M4T/M2V-XXXXFP/GP 和 M37542F8VFP/GP 的电特性。

（1）绝对最大额定值（125°C 保证产品）

表 39 绝对最大额定值（125°C 保证产品）

符号	项 目	条 件	额 定 值	单位
VCC	电源电压	以 VSS 引脚为基准测定。 在测定输入电压时，输出 晶体管为截止状态。	-0.3~6.5	V
Vi	输入电压 P00~P07、P10~P14、P20~P27、 P30~P37、VREF		-0.3~VCC+0.3	V
Vi	输入电压 $\overline{\text{RESET}}$ 、XIN		-0.3~VCC+0.3	V
Vi	输入电压 CNVSS		-0.3~VCC+0.3	V
Vo	输出电压 P00~P07、P10~P14、P20~P27、 P30~P37、XOUT		-0.3~VCC+0.3	V
Pd	功耗	Ta=25°C	300（注1）	mW
Topr	工作环境温度		-40~125（注2）	°C
Tstg	保存温度		-65~150	°C

- 【注】 1. PLQP0032GB-A 封装产品为 200mW。
2. 工作环境温度 55~85°C 的总时间为 6000 小时以内，85~125°C 的总时间为 1000 小时以内。

(2) 推荐运行条件 (125°C 保证产品)

表 40 推荐运行条件 (1) (125°C 保证产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^\circ C$)

符号	项 目				规 格 值			单位
					最小	典型	最大	
VCC	电源电压 （陶瓷振荡时）	（高、中速模式）	8MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			4MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
		（倍速模式）	8MHz运行时	掩模型ROM版	4.5	5.0	5.5	V
				FLASH ROM版				
			6.5MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
	电源电压 （RC振荡时）	（高、中速模式）	4MHz运行时	掩模型ROM版	4.0	5.0	5.5	V
				FLASH ROM版				
			2MHz运行时	掩模型ROM版	2.4	5.0	5.5	V
				FLASH ROM版				
VSS	电源电压					0		V
VREF	仿真基准电压				2.0		Vcc	V
VIH	“H” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0.8Vcc		Vcc	V
VIH	“H” 输入电压（在选择TTL输入电平时） P10、P12、P13、P36、P37（注1）				2.0		Vcc	V
VIH	“H” 输入电压 RESET、XIN				0.8Vcc		Vcc	V
VIL	“L” 输入电压 P00~P07、P10~P14、P20~P27、P30~P37				0		0.2Vcc	V
VIL	“L” 输入电压（在选择TTL输入电平时） P10、P12、P13、P36、P37（注1）				0		0.8	V
VIL	“L” 输入电压 RESET、CNVss				0		0.2Vcc	V
VIL	“L” 输入电压 XIN				0		0.16Vcc	V
ΣIOH(peak)	总峰值“H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						－80	mA
ΣIOL(peak)	总峰值“L” 输出电流（注2） P10~P14、P20~P27						80	mA
ΣIOL(peak)	总峰值“L” 输出电流（注2） P00~P07、P30~P37						80	mA
ΣIOH(avg)	总平均“H” 输出电流（注2） P00~P07、P10~P14、P20~P27、P30~P37						－40	mA
ΣIOL(avg)	总平均“L” 输出电流（注2） P10~P14、P20~P27						40	mA
ΣIOL(avg)	总平均“L” 输出电流（注2） P00~P07、P30~P37						40	mA

【注】 1. 在 $V_{CC}=4.0V\sim5.5V$ 时的情况下。

2. 总输出电流为流向所有适合端口的电流总和。总平均电流是在100ms期间的平均值, 总峰值电流为电流峰值的总和。

表 41 推荐运行条件 (2) (125°C 保证产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 125^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
IOH(peak)	峰值“H”输出电流 (注1) P00~P07、P10~P14、P20~P27、P30~P37			-10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			10	mA
IOL(peak)	峰值“L”输出电流 (注1) P00~P07、P30~P37 (在选择驱动能力=“H”时)			30	mA
IOH(ave)	平均“H”输出电流 (注2) P00~P07、P10~P14、P20~P27、P30~P37			-5	mA
IOL(ave)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“L”时) P10~P14、P20~P27			5	mA
IOL(ave)	平均“L”输出电流 (注2) P00~P07、P30~P37 (在选择驱动能力=“H”时)			15	mA
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.5\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.5\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		6.5	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 倍速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		8	MHz
f(XIN)	振荡频率 (注3) 在陶瓷振荡或者输入外部时钟时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=4.0\sim 5.5V$ FLASH ROM 版: $V_{CC}=4.0\sim 5.5V$		4	MHz
f(XIN)	振荡频率 (注3) 在RC振荡时 高、中速模式	掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$		2	MHz

- 【注】 1. 峰值输出电流规定每一个端口流过的电流峰值。
 2. 平均输出电流 IOL(ave)、IOH(ave) 是在 100ms 期间的平均值。
 3. 振荡频率是占空比为 50% 的情况。

(3) 电特性 (125°C 保证产品)

表 42 电特性 (1) (125°C 保证产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^\circ C$)

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
VOH	“H” 输出电压 P00~P07、P10~P14、 P20~P27、P30~P37 (注 1)	$I_{OH}=-5mA$ $V_{CC}=4.0\sim5.5V$	$V_{CC}-1.5$			V
		$I_{OH}=-1.0mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$	$V_{CC}-1.0$			V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“L” 时) P10~P14、P20~P27	$I_{OL}=5mA$ $V_{CC}=4.0\sim5.5V$			1.5	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim5.5V$			0.3	V
		$I_{OL}=1.0mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$			1.0	V
VOL	“L” 输出电压 P00~P07、P30~P37 (在选择驱动能力=“H” 时)	$I_{OL}=15mA$ $V_{CC}=4.0\sim5.5V$			2.0	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0\sim5.5V$			0.3	V
		$I_{OL}=10mA$ 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$ FLASH ROM 版: $V_{CC}=2.7\sim5.5V$			1.0	V
VT+ - VT-	滞后 CNTR0、INT0、INT1、CAP0、CAP1 (注2) P00~P07 (注3)			0.4		V
VT+ - VT-	滞后 RxD1、SCLK1、RxD2、SCLK2			0.5		V
VT+ - VT-	滞后 RESET			0.5		V
I _{IH}	“H” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_I=V_{CC}$ (引脚为浮动状态。上拉晶体管为分离状态)			5.0	μA
I _{IH}	“H” 输入电流 RESET	$V_I=V_{CC}$			5.0	μA
I _{IH}	“H” 输入电流 XIN	$V_I=V_{CC}$		4.0		μA
I _{IL}	“L” 输入电流 P00~P07、P10~P14、 P20~P27、P30~P37	$V_I=V_{SS}$ (引脚为浮动状态。上拉晶体管为分离状态)			-5.0	μA
I _{IL}	“L” 输入电流 RESET	$V_I=V_{SS}$			-5.0	μA
I _{IL}	“L” 输入电流 XIN	$V_I=V_{SS}$		-4.0		μA
I _{IL}	“L” 输入电流 P00~P07、P30~P37	$V_I=V_{SS}$ (在连接上拉晶体管时)		-0.2	-0.5	mA
VRAM	RAM 保持电压	在时钟停止时	2.0		5.5	V
ROSC	内部振荡器的振荡频率	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	1000	2000	3000	kHz
DOSC	振荡停止检测电路的检测频率	$V_{CC}=5.0V$ 、 $T_a=25^\circ C$	62.5	125	187.5	kHz

- 【注】 1. 有关P11, 是在UART1控制寄存器的P11/TxD1 P沟道输出禁止位 (地址001B16的bit4) 为“0”的情况。
2. 关于RxD1、SCLK1、INT0、INT1 (在选择P36时), 只在端口P1P3控制寄存器的bit0、bit1、bit2为“0” (CMOS电平) 时, 持有滞后。
3. 只在键唤醒运行时。

表 43 电特性 (2) (125°C 保证产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim 5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 125^\circ C$)

符号	项 目	测 定 条 件			规 格 值			单位
					最小	典型	最大	
I _{CC}	电源电流	f(XIN)=8MHz, 输出晶体管为截止状态	倍速模式	掩模型 ROM 版		5.5	9.0	mA
				FLASH ROM 版		4.8	7.5	mA
			高速模式	掩模型 ROM 版		3.5	6.5	mA
				FLASH ROM 版		3.0	5.5	mA
			中速模式	掩模型 ROM 版		2.0	5.0	mA
				FLASH ROM 版		1.7	4.2	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.4V$ FLASH ROM版: $V_{CC}=2.7V$ 输出晶体管为截止状态	高速模式	掩模型 ROM 版		0.4	1.2	mA
				FLASH ROM 版		1.0	2.8	mA
		内部振荡器运行模式, 输出晶体管为截止状态	1/1分频	掩模型 ROM 版		1.5	3.2	mA
				FLASH ROM 版		1.4	2.4	mA
			1/2分频	掩模型 ROM 版		0.9	2.2	mA
				FLASH ROM 版		1.0	1.9	mA
			1/8分频	掩模型 ROM 版		0.35	1.0	mA
				FLASH ROM 版		0.65	1.3	mA
			1/128分频	掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.55	1.0	mA
		f(XIN)=8MHz, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		1.6	3.2	mA
				FLASH ROM 版		1.2	2.6	mA
		f(XIN)=2MHz 掩模型ROM版: $V_{CC}=2.4V$ FLASH ROM版: $V_{CC}=2.7V$ 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2		mA
				FLASH ROM 版		0.6		mA
		内部振荡器运行模式, 在执行WIT指令时, 停止定时器1以外的功能 输出晶体管为截止状态		掩模型 ROM 版		0.2	0.6	mA
				FLASH ROM 版		0.12	0.4	mA
		A/D转换器运行时的增量 f(XIN)=8MHz、 $V_{CC}=5V$		掩模型 ROM 版		0.5		mA
				FLASH ROM 版		0.5		mA
		振荡停止 (在执行STP指令时) 输出晶体管为截止状态	T _a =25°C	掩模型 ROM 版		0.1	1.0	μA
				FLASH ROM 版		0.55	3.0	μA
			T _a =125°C	掩模型 ROM 版			50	μA
				FLASH ROM 版			50	μA

【注】 A/D 转换器运行时的增量包含基准电源输入电流 (I_{VREF})。

(4) A/D 转换器特性 (125°C 保证产品)

表 44 A/D 转换器特性 (125°C 保证产品)

(在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 125^{\circ}C$)

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	分辨率				10	bits
—	绝对精度	$T_a=25^{\circ}C$, $V_{CC}=V_{REF}=2.7\sim 5.5V$	掩模型 ROM 版		± 3	LSB
			FLASH ROM 版		± 4	
tCONV	转换时间	A/D 转换时钟 = $f(XIN)/2$			122	tc(XIN)
		A/D 转换时钟 = $f(XIN)$			61	
RLADDER	梯形电阻			55		k Ω
IVREF	基准电源输入电流	$V_{REF}=5.0V$	50	150	200	μA
		$V_{REF}=3.0V$	30	90	120	
II(AD)	A/D 端口输入电流				5.0	μA

【注】在以下的使用条件时可能会降低 A/D 转换精度:

- (1) 如果 V_{REF} 电压低于 V_{CC} 电压, 单片机内部的模拟电路就容易受噪声的影响, 因此与 V_{REF} 电压和 V_{CC} 电压相同时相比, 转换精度可能下降。
- (2) V_{REF} 电压不超过 3.0V 时, 低温时的转换精度与常温时的转换精度相比, 可能会大幅度下降。如果在低温使用, 建议 $V_{REF} \geq 3.0V$ 。

(5) 闪存电特性 (125°C 保证产品)

表 45 闪存电特性 (125°C 保证产品)

符号	项 目	测 定 条 件	规 格 值			单位
			最小	典型	最大	
—	编程/擦除次数 (注1)		100			次
—	字节编程时间			50	400	μs
—	块擦除时间	2K 字节块		0.2	9	s
		8K 字节块		0.4	9	s
		16K 字节块		0.7	9	s
td(SR-ES)	从擦除运行到擦除挂起的转移时间				8	ms
—	擦除挂起的请求间隔		10			ms
—	编程/擦除电压		2.7		5.5	V
—	读电压		2.7		5.5	V
—	编程/擦除时的温度		0		60	$^{\circ}C$
—	数据保存时间	$T_a = 55^{\circ}C$	20			年

【注】1. 编程/擦除次数的定义:

编程/擦除次数为每一块的擦除次数。在编程/擦除次数为 n 次 ($n=100$) 时, 每一块可分别进行 n 次擦除。比如, 在对 2K 字节块 A 的各不相同地址分别进行了 2048 次的 1 字节写操作后擦除此块, 编程/擦除次数就为 1 次。但是, 对于 1 次的擦除, 在同一地址不能进行多次的写操作 (禁止重写)。

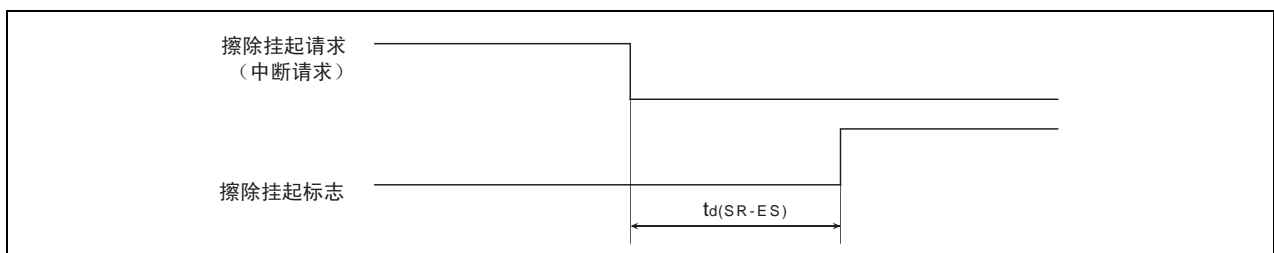


图 120 从擦除运行到擦除挂起的转移时间

(6) 时序的必要条件 (125°C 保证产品)

表 46 时序的必要条件 (1) (125°C 保证产品)

(在没有指定时, FLASH ROM 版: $V_{CC}=4.0\sim5.5V$, 掩模型 ROM 版: $V_{CC}=4.0\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^\circ C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	125			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	50			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	50			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	200			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	80			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	80			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	800			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	370			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	370			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	220			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	100			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

表 47 时序的必要条件 (2) (125°C 保证品)

(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^\circ C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入“L”脉冲宽度	2			μs
$t_c(XIN)$	输入外部时钟周期时间	250			ns
$t_{WH}(XIN)$	输入外部时钟“H”脉冲宽度	100			ns
$t_{WL}(XIN)$	输入外部时钟“L”脉冲宽度	100			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	500			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“H”脉冲宽度 (注1)	230			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入“L”脉冲宽度 (注1)	230			ns
$t_c(SCLK_1)$	串行I/O1、串行I/O2时钟输入周期时间 (注2)	2000			ns
$t_{WH}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“H”脉冲宽度 (注2)	950			ns
$t_{WL}(SCLK_1)$	串行I/O1、串行I/O2时钟输入“L”脉冲宽度 (注2)	950			ns
$t_{su}(RXD_1-SCLK_1)$	串行I/O1、串行I/O2输入准备时间	400			ns
$t_h(SCLK_1-RXD_1)$	串行I/O1、串行I/O2输入保持时间	200			ns

【注】1. 关于CAP₀、CAP₁, 为不使用噪声滤波器的情况。

2. 关于串行I/O1, 是在串行I/O1控制寄存器 (地址001A16) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O1控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

关于串行I/O2, 是在串行I/O2控制寄存器 (地址003016) 的bit6为“1” (时钟同步串行I/O) 的情况。

在串行I/O2控制寄存器的bit6为“0” (时钟异步串行I/O) 的情况下, 规格值为1/4。

(7) 开关特性 (125°C 保证产品)

表 48 开关特性 (1) (125°C 保证产品)
(在没有指定时, FLASH ROM 版: $V_{CC}=4.0\sim5.5V$, 掩模型 ROM 版: $V_{CC}=4.0\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	t _C (SCLK1)/2-30			ns
t _{WL} (SCLK1)	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	t _C (SCLK1)/2-30			ns
t _d (SCLK1- TxD1)	串行I/O1、串行I/O2输出延迟时间			140	ns
t _v (SCLK1- TxD1)	串行I/O1、串行I/O2输出有效时间	-30			ns
t _r (SCLK1)	串行I/O1、串行I/O2时钟输出上升时间			30	ns
t _f (SCLK1)	串行I/O1、串行I/O2时钟输出下降时间			30	ns
t _r (CMOS)	CMOS输出上升时间 (注1)		10	30	ns
t _f (CMOS)	CMOS输出下降时间 (注1)		10	30	ns

【注】 1. XOUT 引脚除外。

表 49 开关特性 (2) (125°C 保证产品)
(在没有指定时, FLASH ROM 版: $V_{CC}=2.7\sim5.5V$, 掩模型 ROM 版: $V_{CC}=2.4\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim125^{\circ}C$)

符号	项 目	规 格 值			单位
		最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1、串行I/O2时钟输出“H”脉冲宽度	t _C (SCLK1)/2-50			ns
t _{WL} (SCLK1)	串行I/O1、串行I/O2时钟输出“L”脉冲宽度	t _C (SCLK1)/2-50			ns
t _d (SCLK1- TxD1)	串行I/O1、串行I/O2输出延迟时间			350	ns
t _v (SCLK1- TxD1)	串行I/O1、串行I/O2输出有效时间	-30			ns
t _r (SCLK1)	串行I/O1、串行I/O2时钟输出上升时间			50	ns
t _f (SCLK1)	串行I/O1、串行I/O2时钟输出下降时间			50	ns
t _r (CMOS)	CMOS输出上升时间 (注1)		20	50	ns
t _f (CMOS)	CMOS输出下降时间 (注1)		20	50	ns

【注】 1. XOUT 引脚除外。

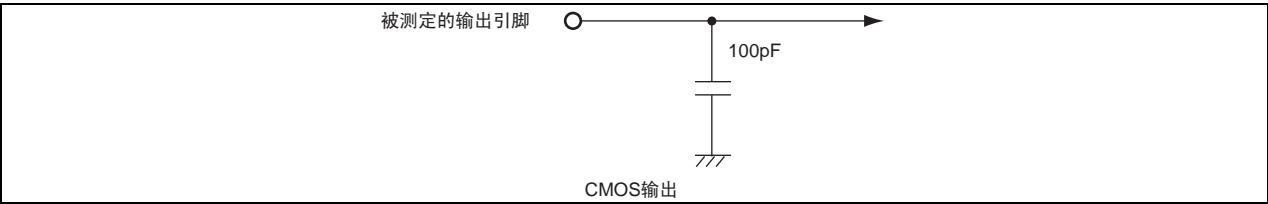


图 121 开关特性测定电路图 (125°C 保证产品)

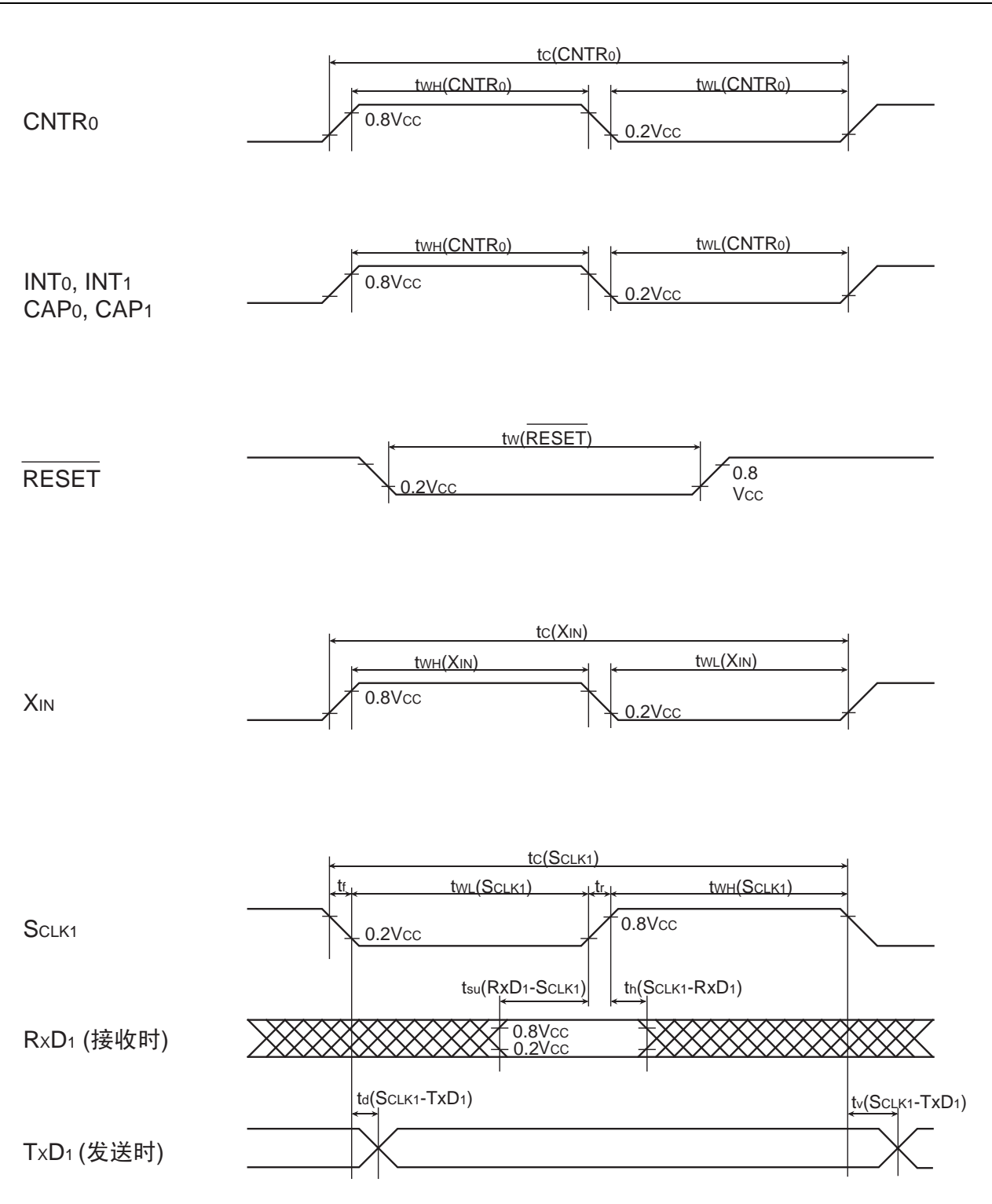
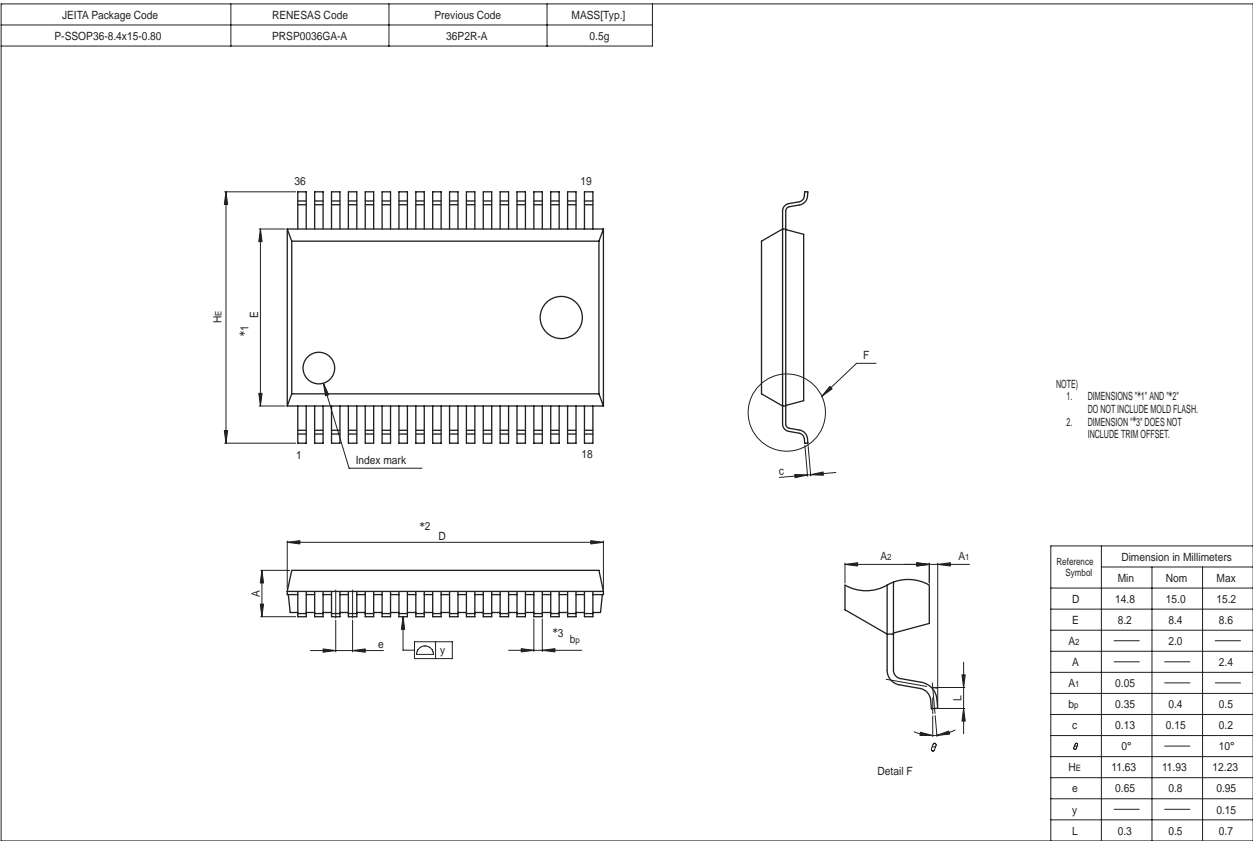
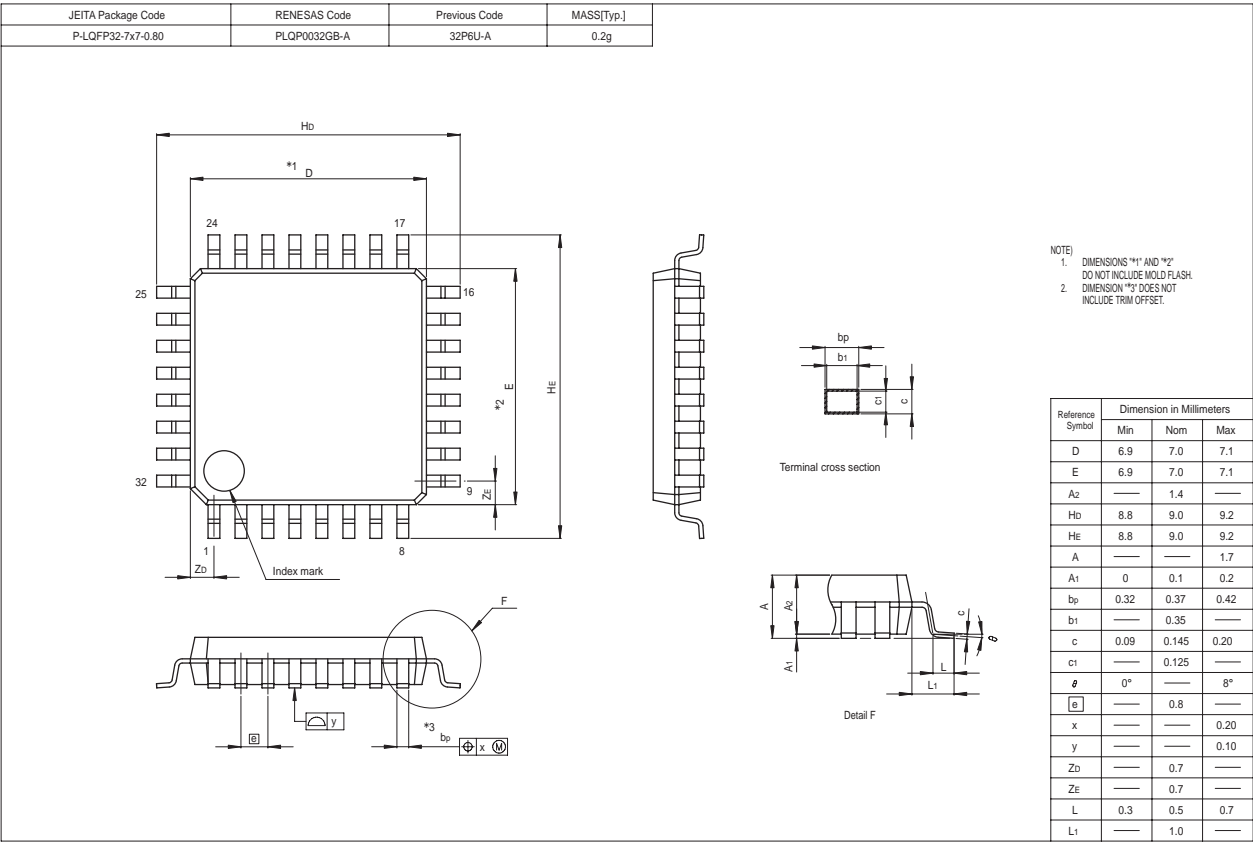
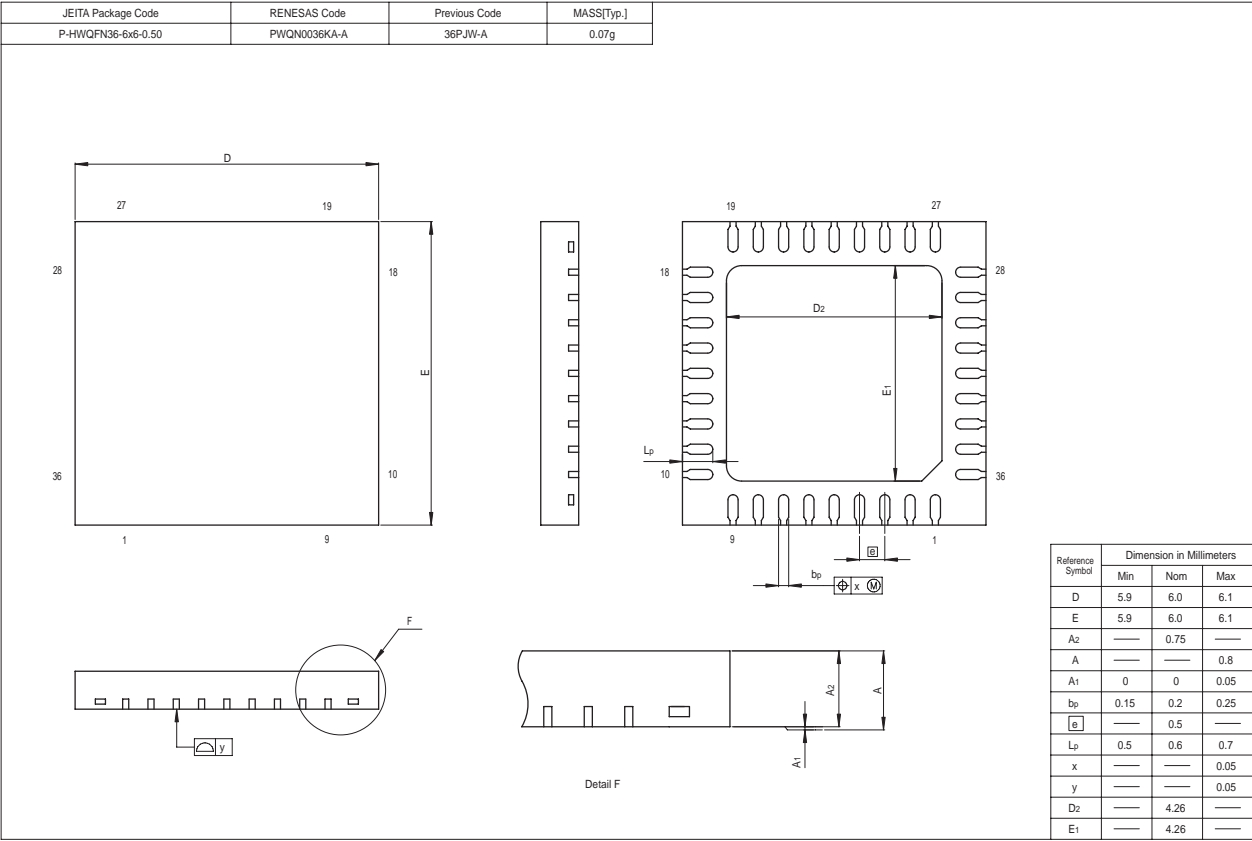
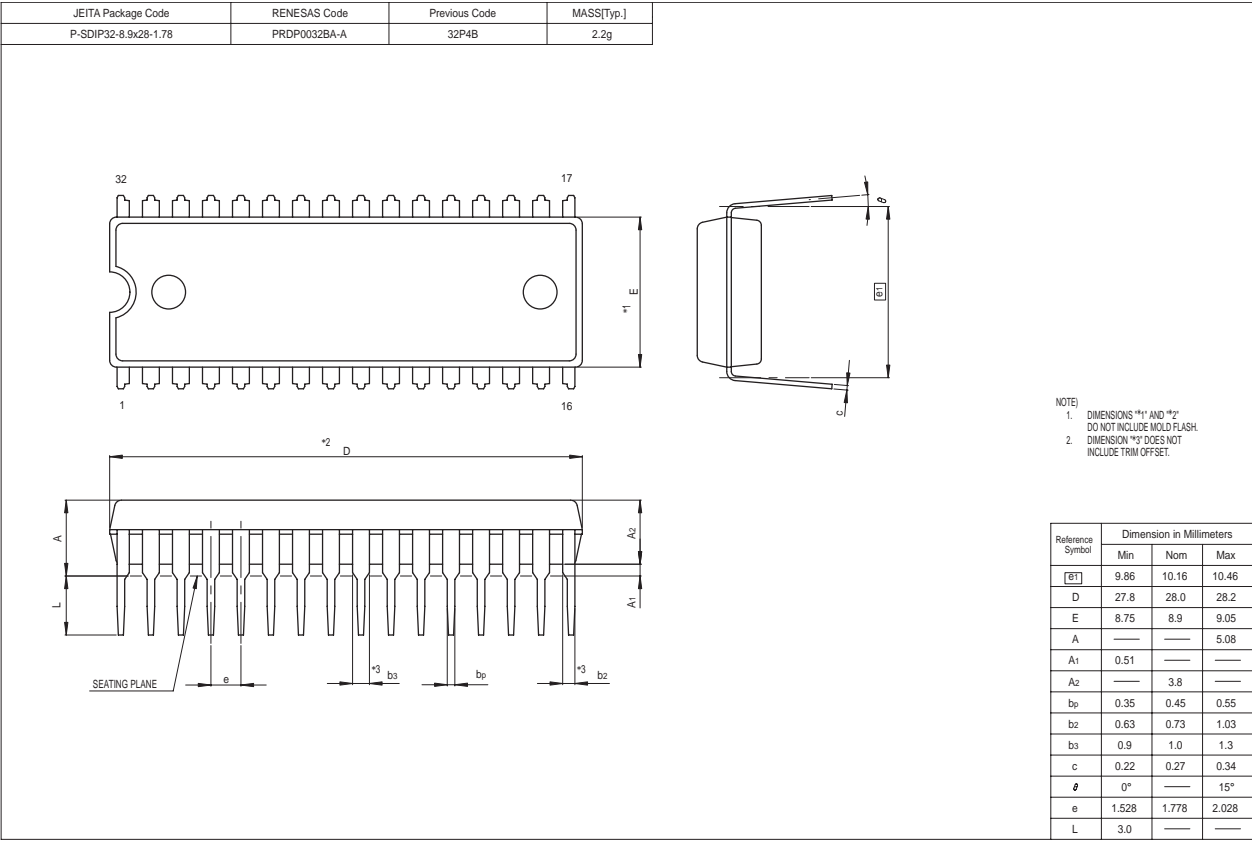


图 122 时序图 (125°C 保证产品)

封装外形尺寸图





附录

有关编程的注意事项

1. 处理器状态寄存器

(1) 处理器状态寄存器的初始化

有必要对影响程序执行的处理器状态寄存器（PS）的标志进行初始化。
特别是T标志和D标志直接影响到运算本身，因此必须对其初始化。
<理由>
处理器状态寄存器（PS）除了 I 标志为“1”以外，复位后的值不定。

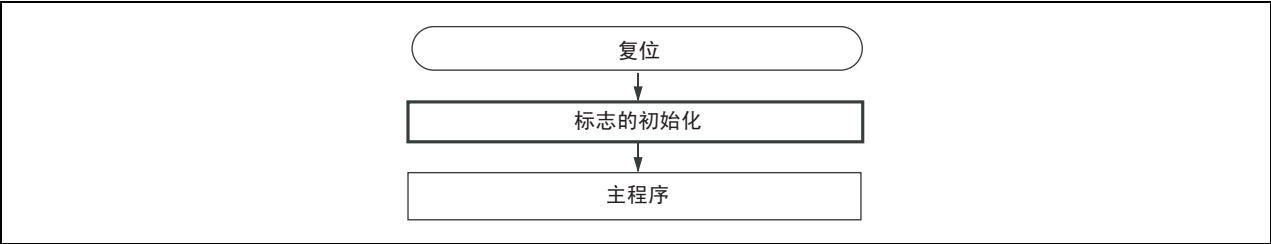


图 1 处理器状态寄存器的标志的初始化

(2) 处理器状态寄存器的参照方法

在要参照处理器状态寄存器（PS）的内容时，请在执行一次PHP指令后读取（S）+1的内容。如果需要，通过PLP指令的执行恢复被保存的PS。



图 2 PLP 指令的执行步骤

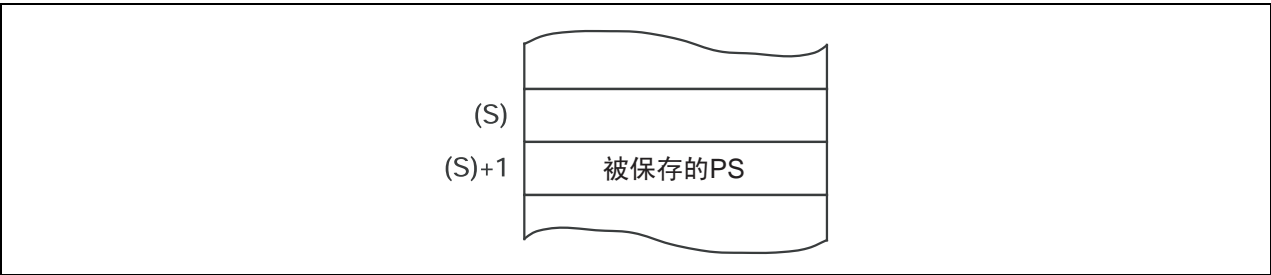


图 3 执行 PHP 指令后的堆栈存储器的内容

2. 十进制运算

(1) 十进制运算时的指令

在十进制运算时，通过 SED 指令将十进制模式标志 D 置“1”，然后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后执行一条指令之后，执行 SEC 指令、CLC 指令或者 CLD 指令。

(2) 十进制运算时的状态标志

在十进制模式（D 标志 = “1”）时执行 ADC、SBC 指令后，状态标志中的 N、V 和 Z 的 3 个标志变为无效。

另外，C（进位）标志在运算结果发生进位时被置“1”，在发生借位时被清“0”，因此 C（进位）标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志初始化。

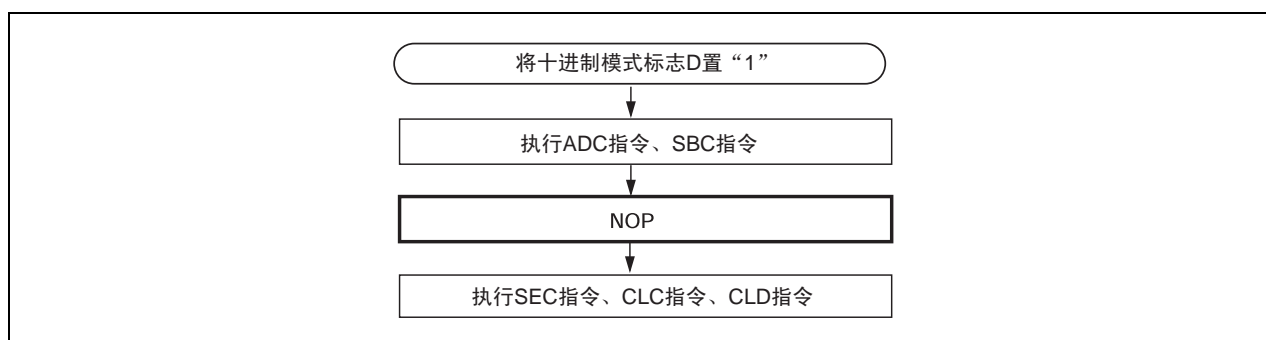


图4 十进制运算时的状态标志

3. JMP指令

在使用JMP指令（间接寻址方式）时，不能将低8位为“FF₁₆”的地址指定为操作数。

4. 乘除运算指令

- （1）MUL、DIV指令不受T、D标志的影响。
- （2）在执行乘除运算指令时，处理器状态寄存器的内容不变。

5. 读/修改/写指令

对不能读取的SFR不可执行读/修改/写指令。

读/修改/写指令是以字节单位对存储器进行读/修改/写的指令。

在740族中，以下所示的指令为读/修改/写指令

- （1）位处理指令
CLB、SEB
- （2）移位、循环指令
ASL、LSR、ROL、ROR、RRF
- （3）加减运算指令
DEC、INC
- （4）逻辑运算指令（1的补码）
COM

另外，虽然加减运算指令、逻辑运算指令（ADC、SBC、AND、EOR、ORA）不是读/修改/写指令，但是在T标志为“1”时这些指令和读/修改/写指令同样的运行。因此，对不能读的SFR不可执行这些指令。

<理由>

如果对不能读的SFR执行这些指令，就会出现如下情况：

由于SFR为不能读的寄存器，因此读取的值不定，如果修改并且写此不定的值，写入的值就变为不可预测的值。

有关外围功能的注意事项

有关输入/输出端口的注意事项

1. 32引脚版和PWQN0036KA-A封装版的设定

- (1) 必须将端口P26、P27、P35和P36的方向寄存器设定成输出。
- (2) 对于INT1功能，必须通过INT1输入端口选择位（中断边沿选择寄存器（地址3A16）的bit2）选择P33。
- (3) 必须将P36/INT1输入电平选择位（端口P1P3控制寄存器（地址1716）的bit1）清“0”。

2. 端口POP3驱动能力控制寄存器

作为“驱动能力=High”能使用的端口的最大个数为8个。

3. 上拉控制寄存器

将内部上拉电阻的各端口用作输出端口使用时，对应端口的上拉控制位将变为无效，并且分离上拉电阻。

<理由>

上拉控制只有在各方向寄存器为输入模式时有效。

4. 在待机状态的使用

在待机状态*1以低功耗为目的使用时，不能将输入端口和输入/输出端口的输入电平置为不定状态。

此时，必须用电阻上拉（连接Vcc）或者下拉（连接Vss）端口。

在决定电阻值时，请注意以下2点：

- 外接电路
 - 通常运行时的输出电平的变动
- 另外，在使用内部上拉电阻时，必须注意电流值的偏差。
- 设定成输入端口时：固定输入电平。
 - 设定成输出端口时：不要将电流流向外部。

<理由>

在由方向寄存器将端口设定成输入端口时输出晶体管为 OFF 状态，因此端口为高阻抗状态。所以，根据外接电路，电平可能出现不定的状态。

如果输入端口和输入/输出端口的输入电平出现不定的状态，被输入到单片机内部的输入缓冲区的电位就变为不稳定状态，可能会发生电源电流的流动。

*1 待机状态：通过 STP 指令执行的停止模式
通过 WIT 指令执行的等待模式

5. 通过位处理指令改写输出数据

在使用位处理指令*2改写输入/输出端口的端口锁存器时，可能会改变未指定位的值。

<理由>

位处理指令为读/修改/写形式的指令，能以字节单位进行读和写。因此，对输入/输出端口的端口锁存器的某一位执行此指令时，将对此端口锁存器的所有位进行以下的处理：

- 设定为输入的位：CPU读取引脚的值，进行位处理后写入此位。
- 设定为输出的位：CPU读取端口锁存器的位的值，进行位处理后写入此位。

但是，必须注意以下几点：

- 即使将设定为输出的端口改变为输入端口，端口锁存器中的输出数据也被保持。
- 在位处理指令没有对设定为输入的端口锁存器的位进行指定时，如果引脚和端口锁存器的内容不同，位的值就可能发生变化。

*2位处理指令：SEB指令、CLB指令

6. 方向寄存器

不能读取端口方向寄存器的值。也就是说，不能使用LDA指令、T标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址模式以及BBC、BBS等位测试指令。另外，也不能使用CLB和SEB等位操作指令、方向寄存器的读/修改/写指令（ROR等指令）。必须使用LDM、STA等指令设定方向寄存器。

有关处理未使用引脚的注意事项

1. 未使用引脚的正确处理

必须尽可能用短的布线（20mm以内）处理以下的单片机引脚：

（1）输入/输出端口

在设定成输入模式时，必须用1k~10kΩ的电阻将各引脚连接到Vcc或者Vss。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。

在设定成输出模式时，必须用“L”或者“H”输出状态将各引脚置成开路。

- 在设定成输出模式且置成开路的情况下，从复位后到由程序将端口切换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口变为输入模式时电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和程序失控等引起方向寄存器变化的情况，通过用程序定期重新设定方向寄存器，进一步提高程序的信赖度。

2. 处理时的注意事项

（1）在将输入/输出端口设定为输入模式时

[1] 必须置成开路。

<理由>

- 根据初级电路，电源电流可能会增大。
- 与“1. （1）输入/输出端口”的处理相比，容易受噪声影响。

[2] 不能直接连接 Vcc 或者 Vss

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，有可能发生短路的情况。

[3] 不能用一个电阻将多个端口一起连接到 Vcc 或者 Vss

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，端口间有可能发生短路的情况。

有关中断的注意事项

1. 改变相关寄存器的设定

在选择外部中断的有效边沿以及选择多个中断源共享的中断向量的中断源时，如果要禁止与这些设定同步产生的中断，必须按以下的步骤进行设定：

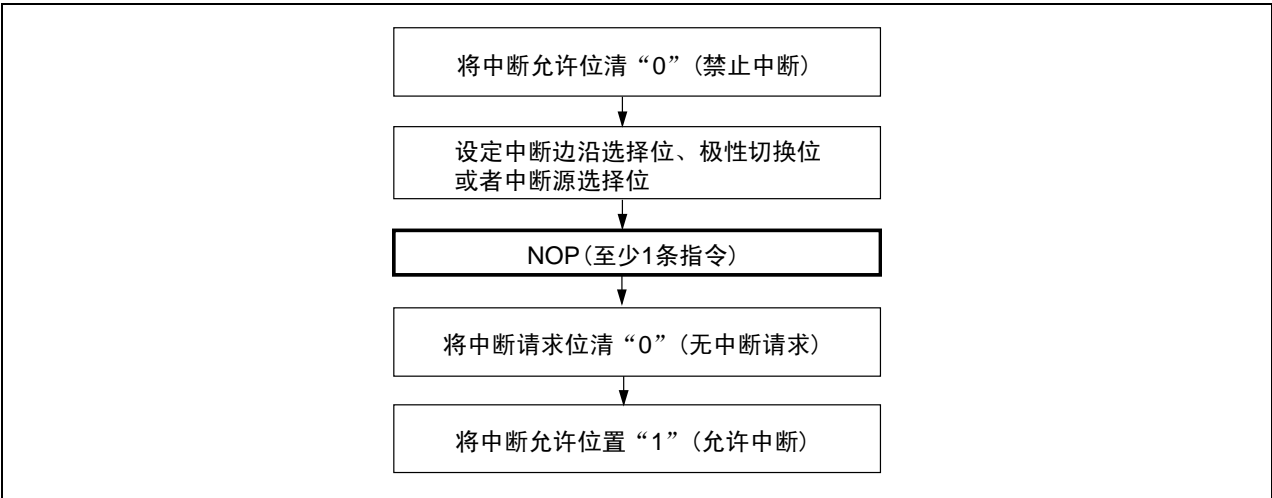


图 5 相关寄存器的设定步骤

<理由>

在以下的情况下，对应中断的中断请求位有可能变为“1”。

- 切换外部中断的有效边沿时

INT0 中断边沿选择位（中断边沿选择寄存器（地址 3A16）的 bit0）

INT1 中断边沿选择位（中断边沿选择寄存器的 bit1）

CNTR0 极性转换位（定时器 X 模式寄存器（地址 2B16）的 bit2）

捕捉 0 中断边沿选择位（捕捉模式寄存器（地址 2016）的 bit1 和 bit0）

捕捉 1 中断边沿选择位（捕捉模式寄存器的 bit3 和 bit2）

2. 中断请求位的判断

在将中断请求位清“0”后立即通过BBC指令或者BBS指令判断此位时，必须按以下的步骤进行判断：

<理由>

如果在将中断请求位清“0”后立即执行BBC指令或者BBS指令，就判断清“0”前的中断请求位的值。

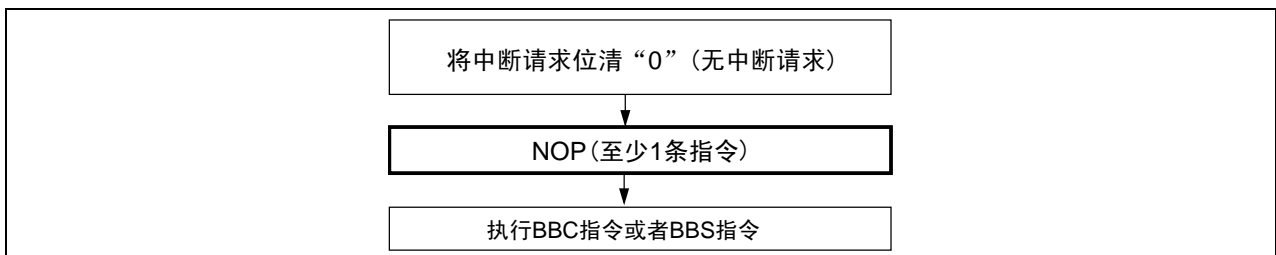


图 6 中断请求位的设定步骤

3. 中断识别位

在将中断识别位清“0”时，必须使用 LDM 指令。

LDM #0000XXXX, \$0B

X: 要清除的中断识别位为“0”，其它中断识别位为“1”。

（例）在清除键唤醒中断识别位时

LDM #00001110, \$0B

4. 中断识别位和中断请求位

对于键唤醒、UART1总线冲突检测、A/D转换以及定时器1中断，即使中断源设定寄存器（地址0A16）的各中断有效位为“0”（无效），如果发生中断请求，中断源识别寄存器（地址0B16）的各中断识别位也为“1”（发生中断）。

但是，中断请求位（地址3C16、地址3D16）不变化。

有关定时器的注意事项

1. 将值n（0~255）写到定时锁存器时的分频比为1/(n+1)。
2. 切换定时器 X、A 和 B 的计数源时，必须在分别停止各定时器计数的状态下进行。

有关定时器 X 的注意事项

1. CNTR0 中断极性选择

在对 CNTR0 极性转换位（定时器 X 模式寄存器（地址 2B16）的 bit2）设定值的同时中断极性也受影响。如果在 CNTR0 极性转换位为“0”，就在 CNTR0 引脚输入的下降沿 CNTR0 中断请求位变为“1”；如果 CNTR0 极性转换为“1”时，就在 CNTR0 引脚输入的上升沿，CNTR0 中断请求位变为“1”。

2. 定时器 X 计数源选择

只能在陶瓷振荡或者使用内部振荡器时选择定时器 X 计数源选择位（定时器计数源设定寄存器 1（地址 2A16）的 bit1 和 bit0）的 f(XIN)（1/1 分频）。

在 RC 振荡时，不能选择。

3. 脉冲输出模式

必须将与 CNTR0 输出引脚兼用的端口 P14 的方向寄存器设定成输出模式。

在使用 TXOUT 引脚时，必须将兼用的端口 P03 的方向寄存器设定成输出模式。

4. 脉宽测定模式

请与 CNTR0 输入引脚兼用的端口 P14 的方向寄存器设定成输入模式。

有关定时器A、B的注意事项

1. 定时器值的设定

在将定时器A写控制位（定时器A、B模式寄存器（地址1D16）的bit0）设定成“只进行锁存器写”的情况下，即使定时器处于计数运行中或者停止中，数据也只设定到锁存器。因此，对于定时器的初始设定，在定时器停止期间设定值时，必须在选择了“锁存器和定时器同时写”的状态下进行。另外，定时器B写控制位（定时器A、B模式寄存器的bit2）也相同。

2. 定时器A的读/写

在选择XIN振荡的情况下，当定时器A的计数源通过时钟分频比选择位（CPU模式寄存器（地址3B16）的bit7和bit6）选择内部振荡器输出时，对定时器A的读写必须在停止定时器A的状态下进行。

3. 定时器B的读/写

在选择XIN振荡的情况下，当定时器B的计数源通过时钟分频比选择位选择定时器A下溢且定时器A的计数源选择内部振荡器输出时，对定时器B的读写必须在停止定时器B的状态下进行。

有关输出比较的注意事项

1. 在作为各比较通道的源而选择的定时器处于停止的情况下，给比较寄存器写值的同时该值也被传送到比较锁存器。
2. 不能给比较锁存器x0（x=0、1、2、3）和比较锁存器x1设定相同的值。
3. 在比较寄存器的设定值大于定时器的设定值的情况下，不产生比较匹配信号。因此，输出波形固定成“H”电平或者“L”电平。但是，在比较寄存器的设定值小于定时器的设定值的情况下，由于产生小设定值的比较匹配信号，因此只要将对应的比较锁存器y（y=00、01、10、11、20、21、30、31）中断源位设定成有效，就产生比较中断请求。
4. 如果给比较x触发有效位设定“0”（无效），就禁止输出给波形输出电路的一致触发信号。因此，输出波形固定成“H”电平或者“L”电平。但是，由于产生比较匹配信号，因此只要将对应的比较锁存器y（y=00、01、10、11、20、21、30、31）中断源位设定成有效，就产生比较中断请求。

有关输入捕捉的注意事项

1. 在读捕捉寄存器的低位和高位期间，当输入捕捉触发时，由于低位和高位的值为在不同时序捕捉的值，因此必须采取用软件比较多次读结果等对策。
2. 在选择XIN振荡的情况下，当通过时钟分频比选择位（CPU模式寄存器（地址3B16）的bit7和bit6）给定时器A的计数源选择内部振荡器输出时，定时器A不能作为捕捉输入的源定时器使用。
在选择XIN振荡的情况下，当通过时钟分频比选择位给定时器B的计数源选择定时器A下溢且给定时器A的计数源选择内部振荡器输出时，定时器B不能作为捕捉输入的源定时器使用。
3. 如果给捕捉锁存器00和01同时进行如下的捕捉输入，捕捉0状态位（比较/捕捉状态寄存器（地址2216）的bit4）的值就不定（捕捉1也相同）。
 - 在给捕捉锁存器00的软件触发位（捕捉软件触发寄存器（地址1316）的bit0）和捕捉锁存器01的软件触发位（捕捉软件触发寄存器的bit1）同时写“1”时
 - 在捕捉锁存器00的外部触发和捕捉锁存器01的软件触发同时产生时
 - 在捕捉锁存器01的外部触发和捕捉锁存器00的软件触发同时产生时
4. 在将捕捉中断用于从停止模式返回的中断时，必须将捕捉0噪声滤波器选择位（捕捉模式寄存器（地址2016）的bit5和bit4）设定成“00：没有滤波器”（捕捉1也相同）。

有关串行 I/O_i (i=1、2) 的注意事项

1. 时钟同步

(1) 在停止发送运行时，必须将串行 I/O_i (i=1、2) 允许位和发送允许位清“0”（禁止串行 I/O_i 和禁止发送）。

<理由>

即使只将串行 I/O_i 允许位清“0”（禁止串行 I/O_i），发送运行也不停止，并且发送电路也不进行初始化，内部的发送运行继续进行（由于 TxDi、RxDi、SCLKi、 $\overline{\text{SRDY}}_i$ 各引脚的功能为输入/输出端口功能，因此不向外部输出发送数据）。如果在这样的状态下对发送缓冲寄存器写数据，就开始单片机内部的移位运行，该数据被传送到发送移位寄存器。此时，如果将串行 I/O_i 允许位置“1”，就会在内部将移位中途将内部移位中的数据输出到 TxDi 引脚而导致出错。

(2) 在停止接收运行时，必须将接收允许位清“0”（禁止接收）或者将串行 I/O_i 允许位清“0”（禁止串行 I/O_i）。

(3) 在停止发送/接收运行时，必须将发送允许位和接收允许位同时清“0”（禁止发送/接收）（不能只停止发送运行或只停止接收运行）。

<理由>

由于在时钟同步串行 I/O 模式时发送和接收使用同样的时钟。因此，如果只禁止其中一方的运行，发送和接收就不能同步进行，而发生错位。

在时钟同步串行 I/O 模式，即使只进行接收，发送电路的时钟电路也在运行。因此，即使只将发送允许位清“0”（禁止发送），发送电路也不停止运行。另外，与（1）相同，即使将串行 I/O_i 允许位清“0”（禁止串行 I/O_i），也无法对发送电路进行初始化。

(4) 在选择外部时钟输入作为同步时钟的情况下，必须在接收侧进行 $\overline{\text{SRDY}}_i$ 输出时将接收允许位、 $\overline{\text{SRDY}}_i$ 输出允许位和发送允许位同时置“1”。

(5) 在输入 $\overline{\text{SRDY}}_i$ 信号时，必须在对发送/接收缓冲寄存器写数据前将使用的引脚设定为输入模式。

2. UART

在停止发送运行时，必须将发送允许位清“0”（禁止发送）。

<理由>

与 1. 的（1）相同。

在停止接收运行时，必须将接收允许位清“0”（禁止接收）。

在停止发送/接收运行时，必须将发送允许位清“0”（禁止发送）以及将接收允许位清“0”（禁止接收）。

3. 时钟同步/UART 模式的共同注意事项

(1) 在重新设定串行 I/O_i (i=1、2) 控制寄存器时，必须将发送允许位和接收允许位清“0”，在复位发送和接收电路后重新设定。

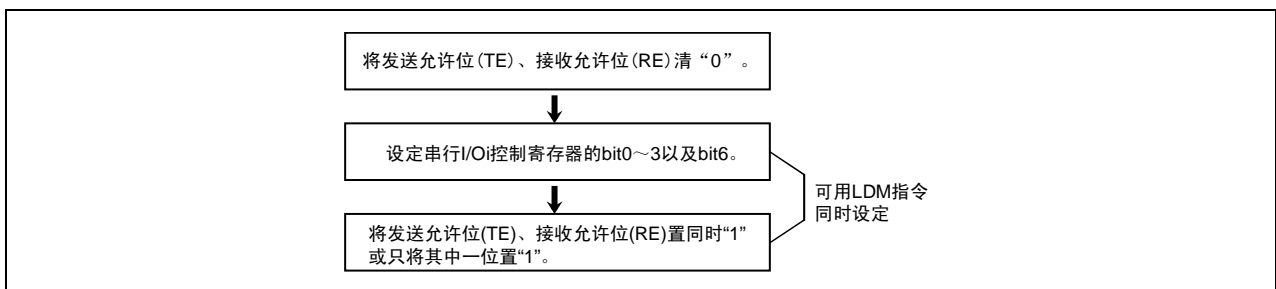


图 7 串行 I/O_i 控制寄存器的重新设定步骤

(2) 发送移位寄存器的移位结束标志从“1”到“0”的变化比移位时钟迟 0.5~1.5 个时钟。因此，在对发送缓冲器写发送数据后，通过参照发送移位寄存器的移位结束标志控制数据发送时，必须注意这个延迟。

(3) 在数据发送时选择外部时钟作为同步时钟的情况下，必须在 SCLKi 为“H”的状态下将发送允许位置“1”。另外，也必须在 SCLKi 为“H”的状态下写发送缓冲寄存器。

(4) 在使用发送中断时，必须按以下的步骤设定：

- ①将串行 I/Oi 发送中断允许位清“0”（禁止）。
- ②将发送允许位置“1”。
- ③在执行一条或一条以上的指令后，将串行 I/Oi 发送中断请求位清“0”。
- ④将串行 I/Oi 发送中断允许位置“1”（允许）。

<理由>

如果将发送允许位置“1”，发送缓冲器空标志和发送移位寄存器的移位结束标志就被置“1”。

因此，对于发送中断的发生源，无论选择上面哪一个标志置“1”的时序，都会发生中断请求，并且发送中断请求位被置位。

(5) 对波特率发生器（BRGi）的写操作必须在发送和接收停止时进行。

有关串行I/O1的注意事项

1. 串行I/O1允许时的输入/输出引脚功能

根据串行I/O1模式选择位（串行I/O1控制寄存器（地址1A16）的bit6）和串行I/O1同步时钟选择位（串行I/O1控制寄存器的bit1）的设定值，P12/SCLK1、P13/ $\overline{\text{SRDY}}1$ 的功能发生如下的变化：

(1) 串行I/O1模式选择位→“1”：

在选择时钟同步串行I/O时，

- 串行I/O1同步时钟选择位的设定
 - “0”：P12引脚成为同步时钟的输出引脚。
 - “1”：P12引脚成为同步时钟的输入引脚。
- $\overline{\text{SRDY}}1$ 输出允许位（SRDY）的设定
 - “0”：P13引脚能作为通常的输入/输出引脚使用。
 - “1”：P13引脚成为 $\overline{\text{SRDY}}1$ 输出引脚。

(2) 串行I/O1模式选择位→“0”：

在选择时钟异步（UART）串行I/O时，

- 串行I/O1同步时钟选择位的设定
 - “0”：P12引脚能作为通常的输入/输出引脚使用。
 - “1”：P12引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行I/O时，P13引脚能作为通常的输入/输出引脚使用。

有关总线冲突检测功能的注意事项

在半双工通信模式使用串行 I/O1 时，必须禁止总线冲突检测中断。

有关串行I/O2的注意事项

1. 串行I/O2允许时的输入/输出引脚功能

根据串行I/O2模式选择位（串行I/O2控制寄存器（地址3016）的bit6）和串行I/O2同步时钟选择位（串行I/O2控制寄存器的bit1）的设定值，P06/SCLK2、P07/ $\overline{\text{SRDY}}2$ 的功能发生如下的变化：

(1) 串行I/O2模式选择位→“1”：

在选择时钟同步串行I/O时，

- 串行I/O2同步时钟选择位的设定
 - “0”：P06引脚成为同步时钟的输出引脚。
 - “1”：P06引脚成为同步时钟的输入引脚。
- $\overline{\text{SRDY}}2$ 输出允许位（SRDY）的设定
 - “0”：P07引脚能作为通常的输入/输出引脚使用。
 - “1”：P07引脚成为 $\overline{\text{SRDY}}2$ 输出引脚。

(2) 串行I/O2模式选择位→“0”：

在选择时钟异步（UART）串行I/O时，

- 串行I/O2同步时钟选择位的设定
 - “0”：P06引脚能作为通常的输入/输出引脚使用。
 - “1”：P06引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行I/O时，P07引脚能作为通常的输入/输出引脚使用。

有关 A/D 转换的注意事项

1. 模拟输入引脚

必须减小模拟输入的信号源的阻抗。或者在模拟输入引脚上连接 $0.01\mu\text{F} \sim 1\mu\text{F}$ 的外接电容。并且用户必须充分确认应用产品的运行。

<理由>

模拟输入引脚内置了用于模拟电压比较的电容。因此，如果来自高阻抗信号源的信号输入到模拟输入引脚，就会产生充放电噪声，无法获得充分的 A/D 转换精度。

2. A/D 转换中的时钟频率

比较器由电容耦合构成，如果时钟频率低，电荷就会丢失，可能得不到充分的 A/D 转换精度。

因此，在设定 $f(\text{XIN})$ 的值时必须使 A/D 转换中的 A/D 转换时钟不低于 250kHz。

3. A/D 转换时钟选择

在 RC 振荡时，必须将 A/D 转换时钟选择位（A/D 控制寄存器（地址 34₁₆）的 bit3）置“0”（ $f(\text{XIN})/2$ ）。

在陶瓷振荡或者使用内部振荡器时，也能选择“1”（ $f(\text{XIN})$ ）。

4. 模拟输入引脚选择

模拟输入引脚的 P26/AN6、P27/AN7 只能在 PRSP0036GA-A 封装使用。

5. A/D 转换寄存器的读取

在读取 A/D 转换寄存器时，如果以 8 位读取，就必须读取 A/D 转换低位寄存器（地址 35₁₆）。如果以 10 位读取，就必须按 A/D 转换高位寄存器（地址 36₁₆）、A/D 转换低位寄存器（地址 35₁₆）的顺序读取。

6. A/D 转换精度

在以下的使用条件时可能会降低 A/D 转换精度：

- （1）如果 VREF 电压低于 Vcc 电压，单片机内部的模拟电路容易受到噪声的影响，因此与 VREF 电压和 Vcc 电压相同时相比，转换精度可能下降。
- （2）VREF 电压不超过 3.0V 且在低温环境中使用时，与常温时的转换精度相比，低温时的转换精度可能会大幅度降低。如果预计在低温环境中使用，建议 $\text{VREF} \geq 3.0\text{V}$ 。

有关看门狗定时器的注意事项

1. 由于在等待模式时看门狗定时器运行，为了防止发生下溢，必须对看门狗定时器控制寄存器进行写操作。
2. 虽然在停止模式时看门狗定时器不运行，但是在 STP 指令解除后的振荡稳定时间内运行。为了防止在此期间发生下溢，必须在执行 STP 指令前对看门狗定时器控制寄存器进行写操作。
3. STP 指令功能选择位（看门狗定时器控制寄存器（地址 0039₁₆）的 bit6）在复位后，只能进行一次写。写完后由于被锁定，不能进行改写。在复位后，此位为“0”。
4. 给计数源选择分频后的 $f(\text{XIN})$ ，如果通过 CPU 模式寄存器的时钟分频比选择位选择内部振荡器时，定时器的计数源由 $f(\text{XIN})$ 转到内部振荡器输出。

有关复位引脚的注意事项

1. 电容的连接

当复位信号缓慢上升时，请在 $\overline{\text{RESET}}$ 引脚和 Vss 引脚之间连接陶瓷电容等不低于 1000pF 的高频特性良好的电容。

在使用电容时，必须注意以下 2 点：

- 使电容的布线长度为最短。
- 用户必须充分确认应用产品的运行。

<理由>

如果几 ns 到几十 ns 的冲击性噪声侵入 $\overline{\text{RESET}}$ 输入引脚，单片机就可能产生误动作。

有关时钟发生电路的注意事项

1. 陶瓷/晶体振荡和 RC 振荡的切换

在复位解除后，振荡方式选择位（CPU 模式寄存器（地址 3B16）的 bit5）为“0”（陶瓷振荡）。

在使用 RC 振荡时必须置“1”。

2. 倍速模式

倍速模式只能用于陶瓷振荡时。

在 RC 振荡时不能使用。

3. CPU 模式寄存器的改写

CPU 模式寄存器（地址 3B16）的振荡方式选择位（bit5）和处理器模式位（bit1 和 bit0）是选择振荡方式以及控制单片机运行模式的位。为了防止由失控等误写引起的单片机死锁，这些位在复位解除后只能改写一次。

此后，这些位的写操作就变为无效（仿真器专用 MCU “M37542RSS” 除外）。

另外，在对 bit5、bit1 和 bit0 以外的位使用读/修改/写指令（SEB、CLB 等指令）后，这些位的写操作也变为无效。

4. 时钟分频比、XIN 振荡控制、内部振荡器振荡控制的切换

根据 CPU 模式寄存器的时钟分频比选择位（bit7 和 bit6）、XIN 振荡控制位（bit4）和内部振荡器振荡控制位（bit3）的设定值，时钟发生电路可实现如图 81 所示的状态转移。

在转换时，必须注意图中的转移限制事项。

5. 内部振荡器的运行

在由内部振荡器提供主时钟时，必须将 XIN 引脚经由 $1\text{k}\Omega\sim 10\text{k}\Omega$ 的电阻连接到 VCC，并且将 XOUT 引脚置为开路。

另外，内部振荡器的时钟频率根据电源电压和工作环境温度会发生很大的变化，因此在设计应用产品时，必须对此频率变动取得充分容限。

6. 在使用陶瓷谐振器时

在主时钟使用陶瓷谐振器时，必须用最短的距离将陶瓷谐振器和外接电路连接到 XIN 引脚和 XOUT 引脚。

必须根据振荡频率外接阻尼电阻 R_d （没有内置反馈电阻）。电容等的常数因谐振器的不同而不同，所以请使用谐振器厂家的推荐值。

7. 在使用 RC 振荡时

在主时钟使用 RC 振荡时，必须将 XIN 引脚和 XOUT 引脚短路，并且用最短距离连接电阻 R 和电容 C 的外接电路。

另外，必须注意用于 RC 振荡的电阻 R 和电容 C 的常数不能使因单片机的电特性偏差以及电容自身的电特性偏差而引起的频率变动超过规定的输入频率。

8. 在使用外部时钟时

在主时钟使用外部时钟信号时，必须将时钟发生源连接到 XIN 引脚，并且将 XOUT 引脚置为开路。

另外，必须将振荡方式选择位选择为“0”（陶瓷振荡）。

9. 计数源（定时器1、定时器A、定时器B、串行I/O1、串行I/O2、A/D转换器、看门狗定时器）

看门狗定时器的计数源受CPU模式寄存器的时钟分频比选择位的影响。当CPU时钟选择f(XIN)振荡时，f(XIN)时钟由看门狗定时器供给；当CPU时钟选择内部振荡器输出时，内部振荡器输出由看门狗定时器供给。

有关振荡控制的注意事项

1. 振荡停止检测电路

- (1) 在使用停止模式时，必须将振荡停止检测功能设定为无效。
- (2) 在用 XIN 振荡控制位（CPU 模式寄存器（地址 3B16）的 bit4）选择陶瓷振荡或者 RC 振荡停止时，必须将振荡停止检测功能设定为无效。

2. 停止模式

- (1) 在使用停止模式时，必须将振荡停止检测功能设定为无效。
- (2) 在使用停止模式时，必须将 STP 指令功能选择位（看门狗定时器控制寄存器（地址 3916）的 bit6）清“0”（允许 STP 指令）。
- (3) 能通过 STP 指令解除后振荡稳定时间设定位（MISRG（地址 3816）的 bit0），选择自动设定/不自动设定 STP 指令解除后的振荡稳定时间。在执行 STP 指令时，如果振荡稳定时间设定位为“0”，就自动将定时器 1 设定成“0116”，并且将预分频器 1 设定成“FF16”；如果振荡稳定时间设定位为“1”，就必须按所使用的振荡器的振荡稳定时间给定时器 1 和预分频器 1 设定等待时间。另外，在使用定时器 1 时，必须在从停止模式返回后，重新设定定时器 1 和预分频器 1 的值。
- (4) 在 A/D 转换中，不能执行 STP 指令。

有关内部振荡器的注意事项

在将时钟分频比选择位（CPU 模式寄存器（地址 3B16）的 bit7 和 bit6）切换到内部振荡器时，内部振荡器分频比选择位（内部振荡器分频比选择寄存器（地址 3716）的 bit7 和 bit6）变为“102”（内部振荡器中速模式（ROSC/8））。

有关振荡停止检测电路的注意事项

- 1. 在通过振荡停止检测进行复位时，以下的位不被初始化而保持原来的值：：
 - 陶瓷振荡或者 RC 振荡停止检测功能有效位（MISRG（地址 3816）的 bit1）
 - 振荡停止检测状态位（MISRG 的 bit3）
- 2. 振荡停止检测状态位在以下的情况下被初始化（“0”）：
 - 外部复位时
 - 对陶瓷振荡或者 RC 振荡停止检测功能有效位（MISRG 的 bit1）写“0”时
- 3. 仿真器专用 MCU “M37542RSS” 没有振荡停止检测电路。

有关闪存版 CPU 改写模式的注意事项

在使用 CPU 改写模式改写闪存时，有以下注意事项：

1. 运行速度

在 CPU 改写模式中，必须通过时钟分频比选择位（CPU 模式寄存器（地址 3B16）的 bit7 和 bit6）将系统时钟 ϕ 设定为不超过 4.0MHz。

2. 禁止使用的指令

在 CPU 改写模式中，不能使用参照闪存内部数据的指令。

3. 中断

在 CPU 改写模式中，由于参照闪存内部数据，所以不能使用中断。

4. 看门狗定时器

在已启动了看门狗定时器的情况下，由于在编程或者擦除时看门狗定时器总是被初始化，所以不发生由下溢引起的内部复位。

5. 复位

总是接受复位。如果在复位解除时 CNVss=“H”，就以引导模式启动。因此，从保存在引导 ROM 区的地址 FFFC16、FFFD16 中的地址开始执行程序。

有关闪存版/掩模型 ROM 版的不同点的注意事项

闪存版和掩模型 ROM 版根据制造工艺、内部 ROM、存储器容量、布线模式等的不同，在电特性的范围内的特性值、动作界限、噪声耐量、噪声辐射量、振荡电路常数等有可能不同。

在转换到掩模型 ROM 版时，必须进行和闪存版同等的系统评价试验。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件的值时，单片机可能无法正常运行，处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统，系统设计时必须考虑即使在电源电压低于推荐运行条件时的不稳定运行状态下也能保证系统正常的单片机复位等对策。

有关硬件的注意事项

电源引脚的处理

为了防止闩锁现象，必须在使用时将高频特性良好的电容作为旁路电容外接在组件的电源引脚（Vcc引脚）和GND引脚（Vss引脚）之间。旁路电容建议使用0.01μF~0.1μF的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间。

修订记录	7542 群数据表
------	-----------

Rev.	发行日	修订内容	
		页	修订处
1.00	2003.09.10	—	初版发行
2.00	2005.03.10	1	修改了●指令执行时间、●中断、●电源电压、●功耗的内容，删除了“注 2”。
		3	在●可编程输入/输出端口、●A/D 转换器中追加了“36PJW-A 封装版”
		8	追加了“图 4 引脚连接图（36PJW-A 封装版）”
		9	追加了“图 9 功能框图（36PJW-A 封装版）”
		10	在注 2 和注 3 中追加了“36PJW-A 封装版”
		11	追加了“封装：36PJW-A 封装版”
		17	修改了“在开发中”的标记
		18	在表 2 中修改了闪存的 ROM 容量，并且追加了“36PJW-A 封装版”产品信息和“注”
		19	在图 16 中追加了“闪存控制寄存器 2”
		23	在注的文中追加了“36PJW-A 封装版”
		26	在图 19 的注中追加了“36PJW-A 封装版”
		30	在表 5 的注中追加了“36PJW-A 封装版”
		32	在文中（INTEDGE）追加了“36PJW-A 封装版”
		37	在图 24 的注中追加了“36PJW-A 封装版”
		38	在图 28 中追加了“CPU 模式寄存器”并修改了“定时器 1 中断请求”
		44	在图 31 中追加了“CPU 模式寄存器”
		45	在图 39、40 中追加了引脚名
		54	在图 41 中追加了引脚名
		55	在图 48、49 中追加了引脚名
		56	在图 50 中追加了引脚名
		59	修改了“【A/D 控制寄存器】ADCON”文的内容
		63	追加了“■有关 A/D 转换的注意事项”的内容和图 65 中的内容
		64	修改了图 67
		67	在图 72 中追加了“闪存控制寄存器 2”
		68~72	修改了图 79、80 中的位名
		74	修改了图 81 中的（5）和（6）的 NOP 指令
		75	修改了“掩模化订货时的提交资料”文的内容
		76	追加了“有关噪声的注意事项”的内容
		77	（修改了前一版的“有关外围功能的注意事项”的内容，并且将修改后的内容放在最后的附录中）
		80	修改了“闪存控制寄存器 0”位 2 的内容，并且追加了“闪存控制寄存器 2”的内容
		81	追加了图 97
		82~87	追加了表 8 以及修改了图 98
		84	修改了表 9
		85	修改了“●禁止内部闪存改写功能”的一部分内容
		86	修改了“●标准串行输入/输出模式”的一部分内容
		87	将结构分成了“标准串行输入/输出模式 1”和“标准串行输入/输出模式 2”二部分，并且追加了“标准串行输入/输出模式 1 的连接电路例子”和“标准串行输入/输出模式 2 的连接电路例子”、图 107 和图 112
		88~106	修改了图 108 中的 CNVss 的运行波形
		108	在表 12 中追加了“P07（BUSY）输出”且修改了“P00~P03、P07（误）→P00~P03（正）”，在图 109 中给 P07 追加了“BUSY”
		109~120	在图 110、111 中给 P07 追加了“BUSY”
			修改了图 113 中的 CNVss 的运行波形
			修改了“电特性（一般产品）”的内容和追加了“电特性（扩大工作温度范围版）”
			追加了“36PJW-A 封装”
			追加了“附录”

3.00	2006.03.15	1 2 3 5 10 11 12 21 24 48 55 56 59 62 65 74 75 88 89 图 106: M37542F8SP→M37542FxSP 93 94 图 111: M37542F8SP→M37542FxSP 在图 41 中追加了引脚名 97 100 102 107 110 112 116~124 127 -	修改了闪存版的 ROM 容量 图 1: M37542F8GP→M37542FxGP 图 2: M37542F8FP→M37542FxFP 图 3: M37542F8SP→M37542FxSP 追加了表 1: 性能概要 修改了表 2: Vcc, Vss 的功能 修改了闪存版的 ROM 容量, 在图 10 中追加了 M37542F4 在表 3 中追加了 M37542F4GP、M37542F4FP、M37542F4SP 修改了图 20: (5)端口 P0 ₅ 追加了未使用引脚的处理方法 追加了一部分串行 I/O 的说明 修改了一部分【UART2 控制寄存器】的说明 修改了图 64: UART2 控制寄存器的内容 在图 69 中追加了一部分监视定时器 H 计数源选择位的内容 追加了一部分时钟发生电路的说明, 修改了图 74 的注 追加了图 79 的注 在表 9 中追加了编程/擦除时的温度 在图 94 中追加了 ROM16KB 产品 图 104: M37542F8GP→M37542FxGP 图 105: M37542F8FP→M37542FxFP 图 106: M37542F8SP→M37542FxSP 图 109: M37542F8GP→M37542FxGP 图 110: M37542F8FP→M37542FxFP 图 111: M37542F8SP→M37542FxSP 在图 41 中追加了引脚名 追加了 M37542F4GP、M37542F4FP、M37542F4SP, 在表 15 中追加了一部分条件的内容 修改了表 18 的注 1 追加了表 21 和图 114 在表 28 中追加了一部分条件的内容 修改了表 31 的注 1 追加了表 34 和图 117 追加了 125°C 保证产品的电特性 删除了 (2) 处理器状态寄存器的参照方法的一部分说明 修改了图 2 修改了封装型号 → 各记载封装型号的页
3.02	2007.12.20	12 17 24 59 60 65 74 76 129 136 137 138	追加了表 3 的注 2 “ROM”中追加了“在闪存版中可对保留 ROM 区进行编程/擦除。” 追加了图 15 的注 2 追加了表 7 中的“XIN”和“XOUT”的引脚名 删除了“看门狗定时器的基本运行”中的“(003916)”并追加了“STP 指令功能选择位” 修改了“(3) STP 指令禁止位的运行”的内容并追加了“有关看门狗定时器的注意事项” 修改了图 68 和图 69 的部分内容 追加了“计数源(定时器 1、定时器 A、定时器 B、串行 I/O1、串行 I/O2、A/D 转换器、看门狗定时器)”的全部内容 删除了“5. 输入/输出端口的处理”中“注”的内容 修改了图 94 的内容 删除了“BRK 指令”的全部内容 修改了“模拟输入引脚”的内容 修改了“有关看门狗定时器的注意事项”中“3”的内容和追加了“4” 追加了“9.计数源(定时器 1、定时器 A、定时器 B、串行 I/O1、串行 I/O2、A/D 转换器、看门狗定时器)”的全部内容 将“有关振荡控制的注意事项”中“STP指令禁止位”修改为“STP指令功能选择位”

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计：

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1）生命维持装置。
 - 2）生命维持装置。
 - 3）用于治疗（切除患部、给药等）的装置。
 - 4）其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510