

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

7540グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、16ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.34 μ s
(最短命令、発振周波数6MHz、倍速モード時)	
メモリ容量 ROM	8 ~ 32Kバイト
RAM	384 ~ 768バイト
プログラマブル入出力ポート	29本
(32ピン版では25本)	
割り込み	15要因、15ベクタ
(32ピン版では、14要因、14ベクタ)	
タイマ	8ビット \times 4
.....	16ビット \times 1
シリアルI/O1	8ビット \times 1
(UART又はクロック同期形)	
シリアルI/O α (注1)	8ビット \times 1
(クロック同期形)	
A/Dコンバータ	10ビット分解能 \times 8チャンネル
(32ピン版では、6チャンネル)	
クロック発生回路	内蔵
(オンチップオシレータによる低消費電力化も可能)	
(セラミック共振子又は水晶発振子外付け、RC発振可能)	
ウォッチドッグタイマ	16ビット \times 1
電源電圧	
XIN発振周波数(セラミック発振、倍速モード時)	
6MHz時	4.5 ~ 5.5V
XIN発振周波数(セラミック発振、高速モード時)	
8MHz時	4.0 ~ 5.5V
4MHz時	2.4 ~ 5.5V
2MHz時	2.2 ~ 5.5V
(RC発振、高速モード、中速モード時)	
4MHz時	4.0 ~ 5.5V
2MHz時	2.4 ~ 5.5V
1MHz時	2.2 ~ 5.5V
消費電力	ワンタイムPROM版 : 30mW(標準)
.....	マスクROM版 : 22.5mW(標準)
動作周囲温度	- 20 ~ 85
(広動作温度範囲版は - 40 ~ 85)	
(125 保証品は - 40 ~ 125 (注2))	

応用

OA機器、FA機器、家電、民生機器、自動車など

注1 . シリアルI/O2が使用できる条件

- ・シリアルI/O1を使用していない時
- ・シリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の16分周を選択した場合

2 . 55 以上85 以下の総時間は6000hr以内、
85 以上125 以下の総時間は1000hr以内
の限定があります。

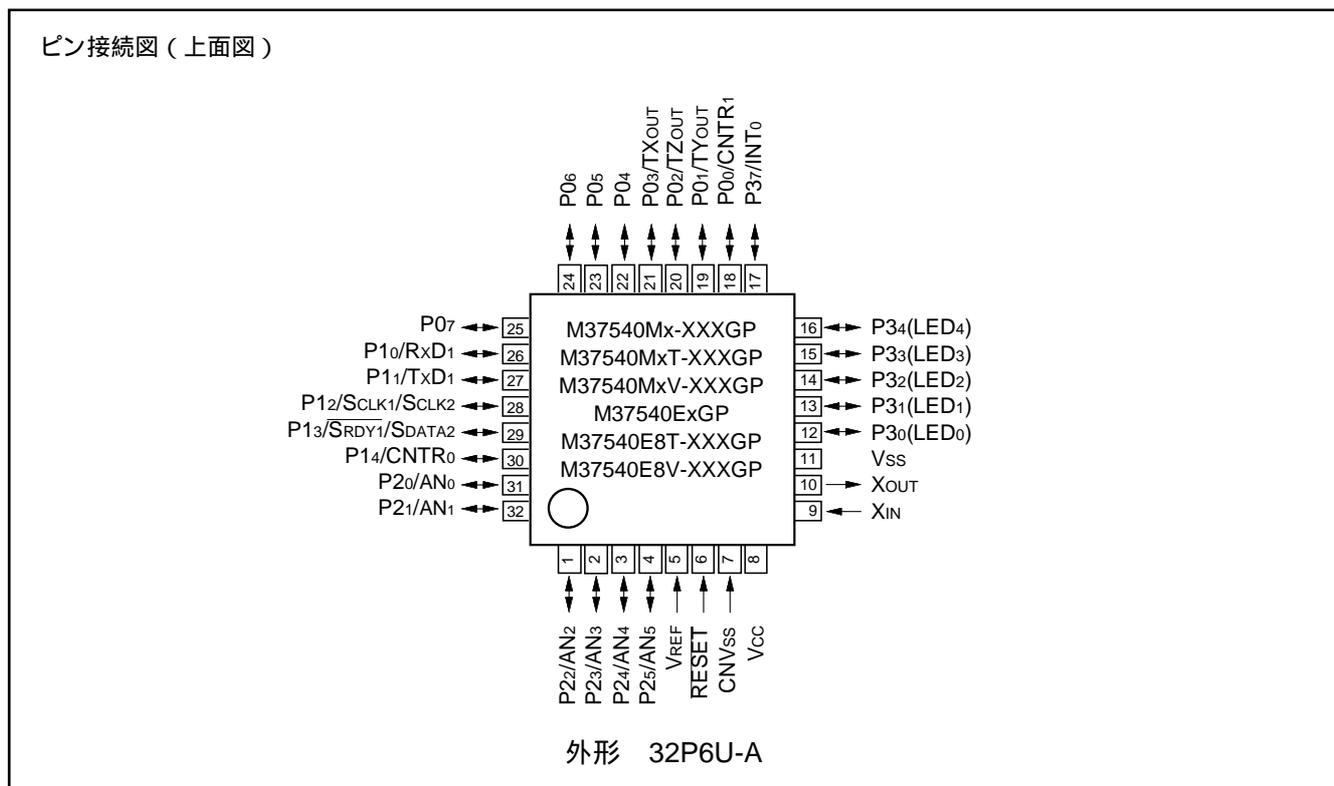


図 1 . ピン接続図 (32P6U パッケージタイプ)

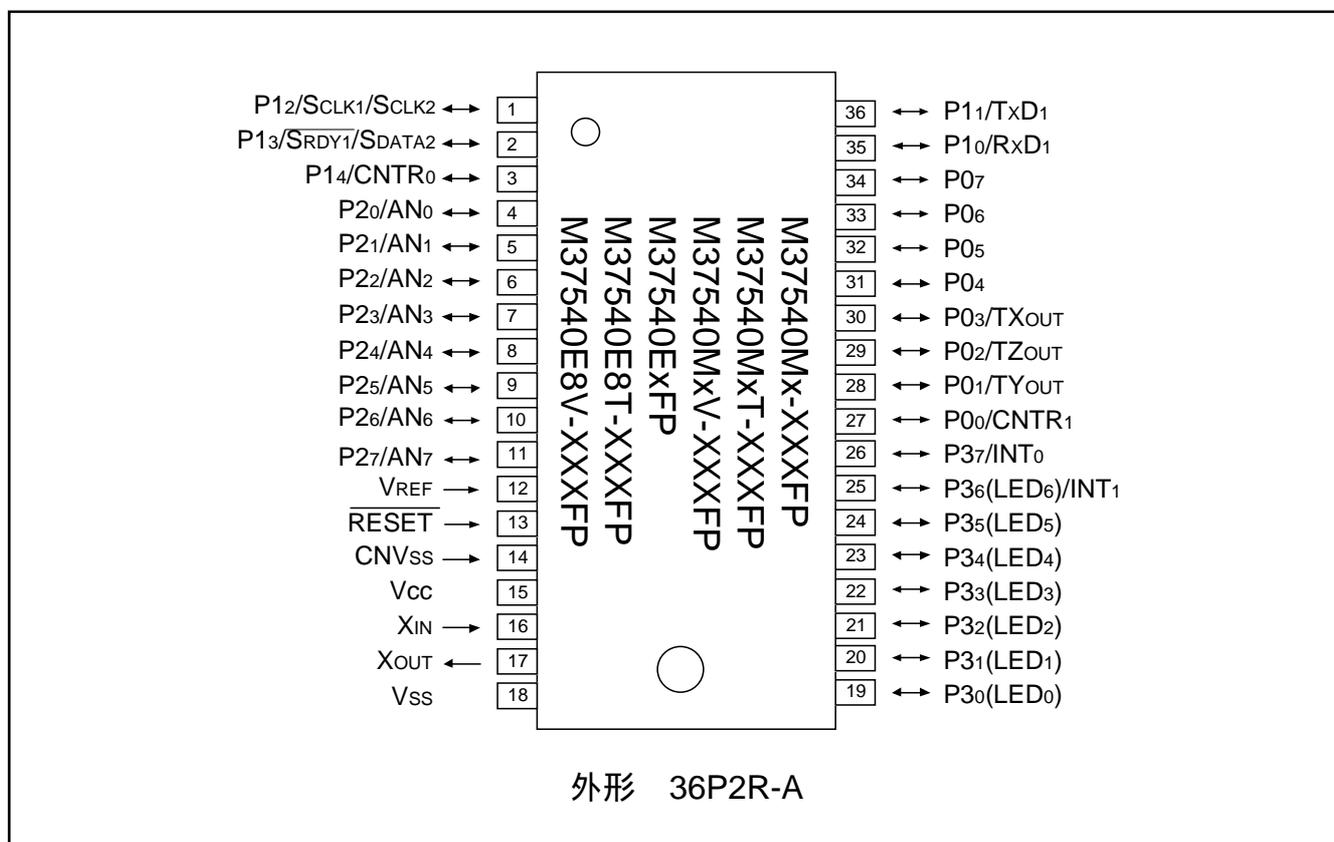


図 2 . ピン接続図 (36P2R パッケージタイプ)

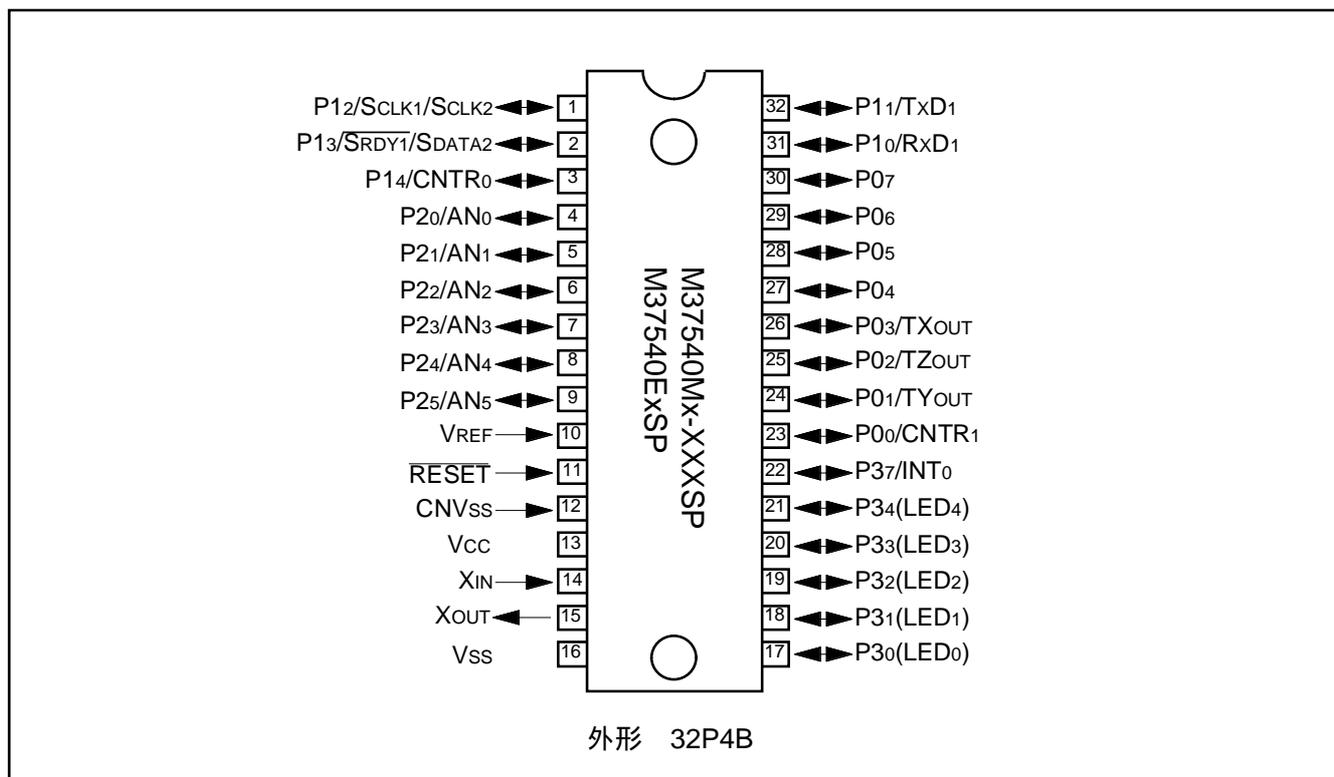


図 3 . ピン接続図 (32P4B パッケージタイプ)

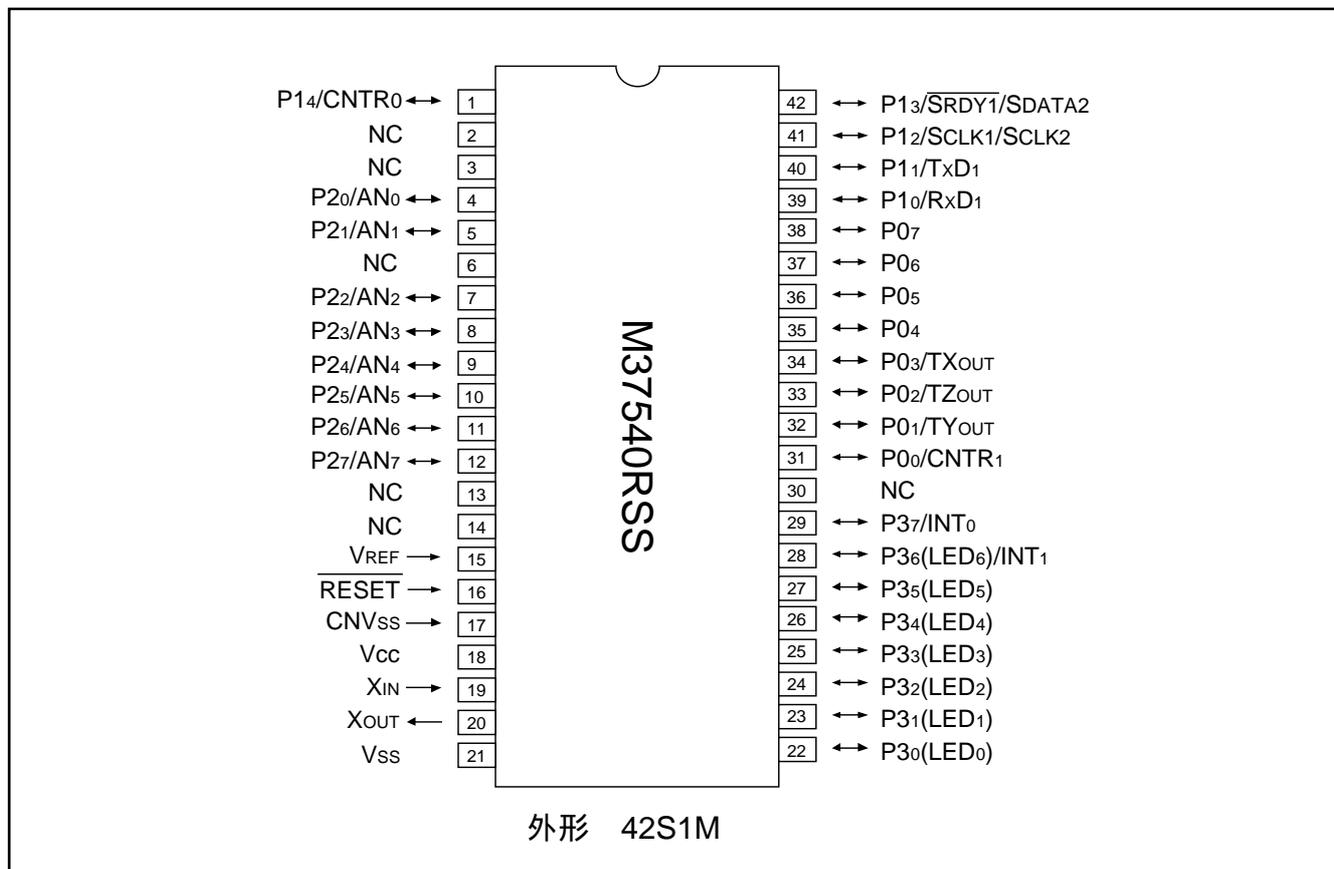


図 4 . ピン接続図 (42S1M パッケージタイプ)

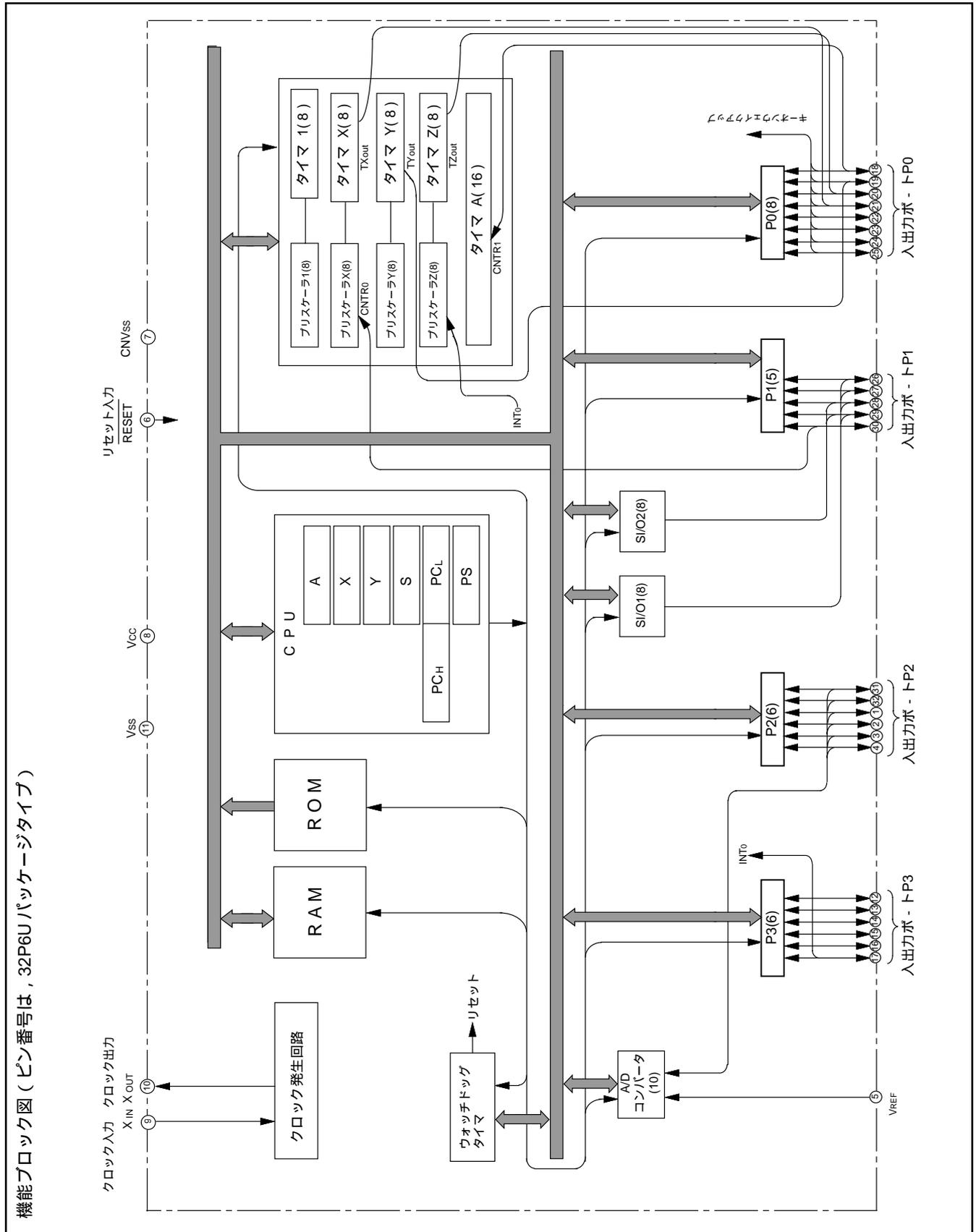


図5 . 機能ブロック図 (32P6Uパッケージタイプ)

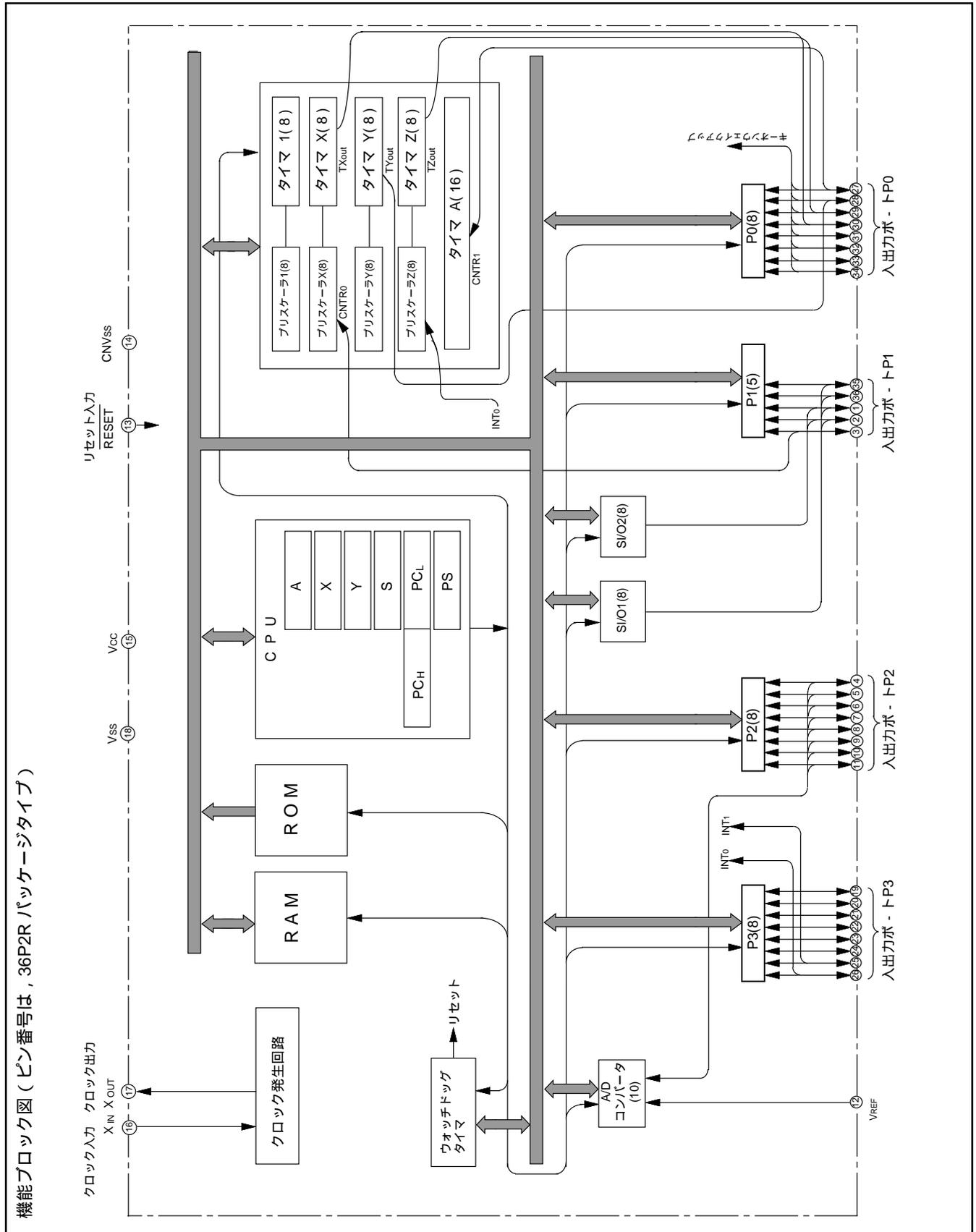


図6 . 機能ブロック図 (36P2R パッケージタイプ)

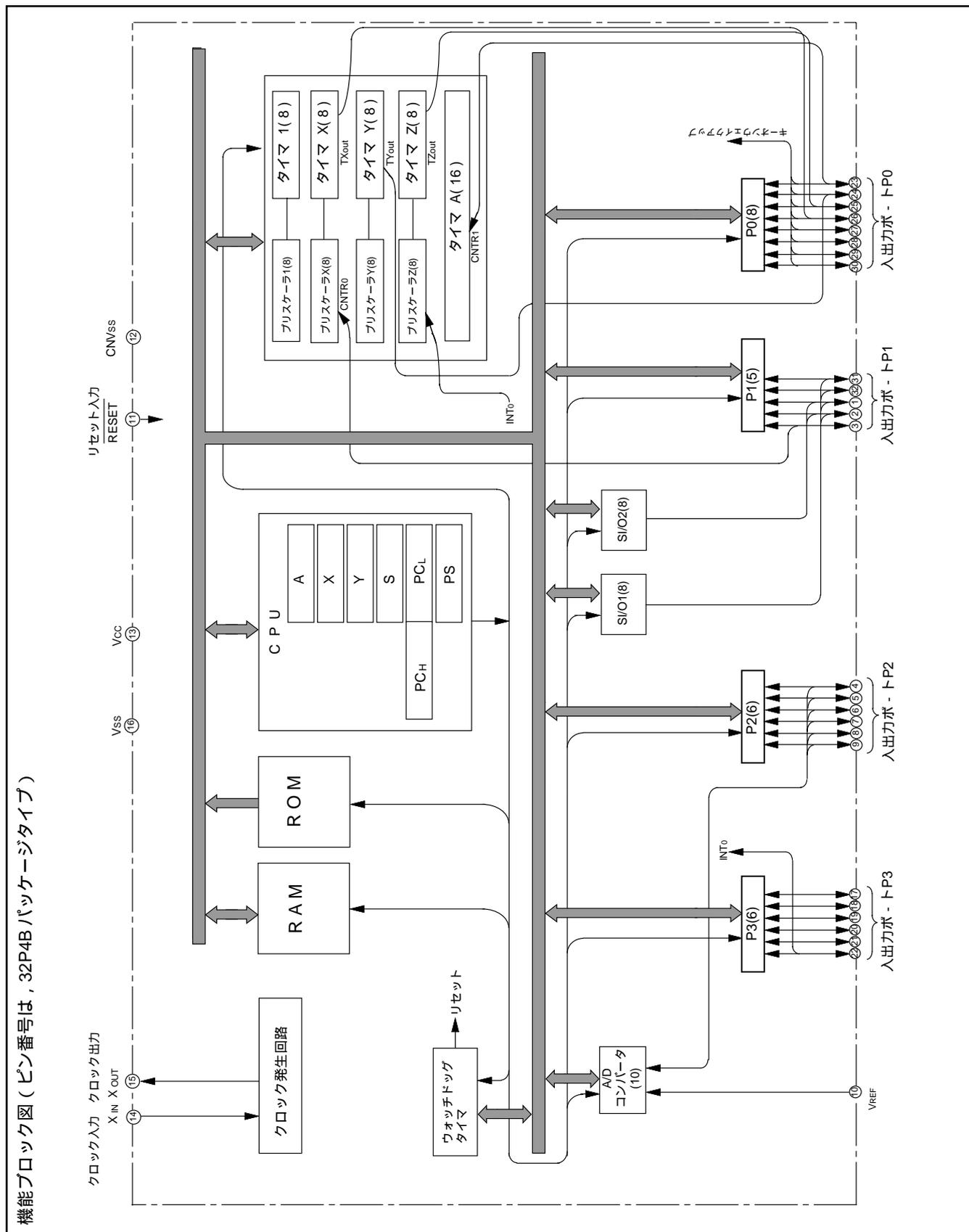


図 7 . 機能ブロック図 (32P4B パッケージタイプ)

端子の機能説明

表 1 . 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
Vcc, Vss	電源入力 (注 1)	Vcc に 2.2 ~ 5.5V, Vss に 0V を印加します。	
VREF	基準電圧入力	A/D コンバータの基準電圧入力端子です。	
CNVss	CNVss	チップの動作モードを制御する端子で常に Vss に接続します。	
RESET	リセット入力	アクティブ “L” のリセット入力端子です。	
XIN	クロック入力	内部クロック発生回路の入出力端子で, XIN と XOUT の間にセラミック共振子又は水晶発振子を接続します。RC 発振時は, XIN と XOUT を短絡しコンデンサと抵抗を接続します。 外部クロック使用時にはクロック発振源を XIN 端子に接続し, XOUT 端子は開放にします。 メインクロックをオンチップオシレータで供給する場合には, XIN 端子を Vss に接続し, XOUT 端子は開放にします。	
XOUT	クロック出力		
P00/CNTR1 P01/TYOUT P02/TZOUT P03/TXOUT P04 ~ P07	入出力ポート P0	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ割り込み入力) 端子 タイマ X, タイマ Y, タイマ Z, タイマ A の機能端子
P10/RxD1 P11/TxD1	入出力ポート P1	5 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルで, 出力形式は CMOS3 ステートです。 P10, P12, P13 は CMOS/TTL レベル切り替えが可能です。	シリアル I/O1 機能端子
P12/SCLK1/SCLK2 P13/SRDY1/SDATA2			シリアル I/O1 機能端子 シリアル I/O2 機能端子
P14/CNTR0			タイマ X の機能端子
P20/AN0 ~ P27/AN7	入出力ポート P2 (注 2)	P0 とほぼ同等の機能を持った 8 ビットの入出力ポートです。CMOS 入力レベルで, 出力形式は CMOS3 ステートです。	A/D コンバータの入力端子
P30 ~ P35	入出力ポート P3 (注 3)	8 ビットの入出力ポートです。プログラムにより, ビット単位で入出力の指定が可能です。入力レベルは, CMOS 入力レベルです。(P36, P37 については, CMOS/TTL レベルの切替えが可能です。) 出力形式は, CMOS3 ステートで, このうち P30 ~ P36 の 7 ビットは LED 駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	割り込み入力端子
P36/INT1 P37/INT0			

注 1 . 広動作温度範囲版 (- 40 ~ 85) 及び、125 保証品 (- 40 ~ 125) の場合は、Vcc = 2.4 ~ 5.5V です。

2 . 32 ピン版では、P26/AN6、P27/AN7 端子はなく、6 ビットの入出力ポートとなります。

3 . 32 ピン版では、P35、P36/INT1 端子はなく、6 ビットの入出力ポートとなります。

グループ展開

7540グループは、次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、エミュレータ専用MCUのサポート

メモリ容量

ROM/PROM容量 8K ~ 32Kバイト

RAM容量 384 ~ 768バイト

パッケージ

32P4B 32ピンプラスチックモールドSDIP

32P6U-A 0.8mmピッチ32ピンプラスチックモールドLQFP

36P2R-A 0.8mmピッチ36ピンプラスチックモールドSSOP

42S1M 42ピンシュリンクセラミックPIGGY BACK

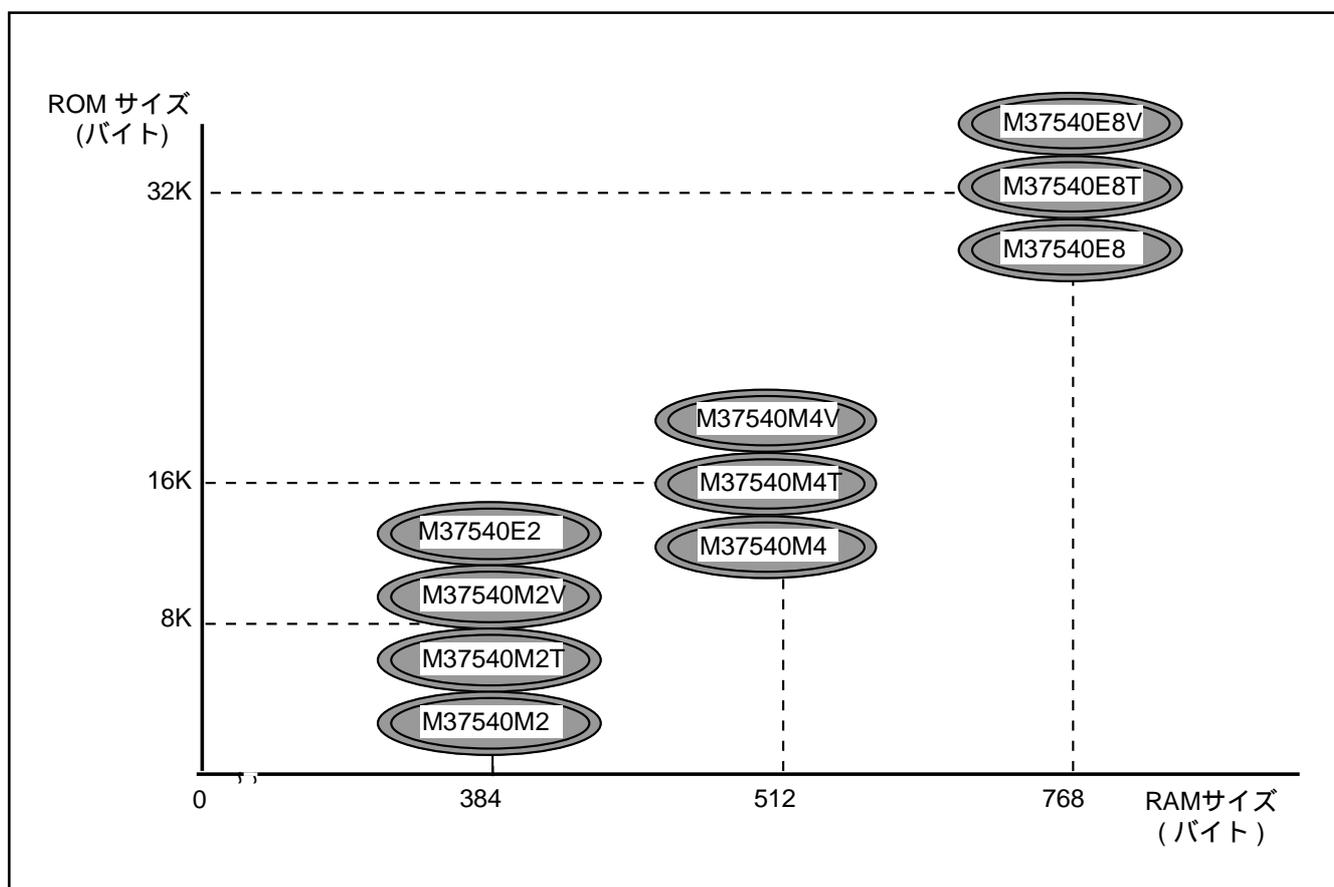


図8 . ROM及びRAM展開計画

現在開発を行っている製品を下記に示します。

表 2 . サポート製品一覧

製品型名	(P)ROM 容量 (バイト) ()内はユーザ ROM 容量	RAM 容量 (バイト)	パッケージ	備 考
M37540M2-XXXSP	8192 (8062)	384	32P4B	マスク ROM 版
M37540M2-XXXFP			36P2R-A	マスク ROM 版
M37540M2T-XXXFP				マスク ROM 版 (広動作温度範囲版)
M37540M2V-XXXFP			32P6U-A	マスク ROM 版 (125 保証品)
M37540M2-XXXGP				マスク ROM 版
M37540M2T-XXXGP				マスク ROM 版 (広動作温度範囲版)
M37540M2V-XXXGP			マスク ROM 版 (125 保証品)	
M37540M4-XXXSP	16384 (16254)	512	32P4B	マスク ROM 版
M37540M4-XXXFP			36P2R-A	マスク ROM 版
M37540M4T-XXXFP				マスク ROM 版 (広動作温度範囲版)
M37540M4V-XXXFP			32P6U-A	マスク ROM 版 (125 保証品)
M37540M4-XXXGP				マスク ROM 版
M37540M4T-XXXGP				マスク ROM 版 (広動作温度範囲版)
M37540M4V-XXXGP			マスク ROM 版 (125 保証品)	
M37540E2SP	8192 (8062)	384	32P4B	ワンタイム PROM 版 (ブランク品)
M37540E2FP			36P2R-A	ワンタイム PROM 版 (ブランク品)
M37540E2GP			32P6U-A	ワンタイム PROM 版 (ブランク品)
M37540E8SP	32768 (32638)	768	32P4B	ワンタイム PROM 版 (ブランク品)
M37540E8FP			36P2R-A	ワンタイム PROM 版 (ブランク品)
M37540E8T-XXXFP				ワンタイム PROM 版 (書き込み出荷、広動作温度範囲版)
M37540E8V-XXXFP			32P6U-A	ワンタイム PROM 版 (書き込み出荷、125 保証品)
M37540E8GP				ワンタイム PROM 版
M37540E8T-XXXGP				ワンタイム PROM 版 (書き込み出荷、広動作温度範囲版)
M37540E8V-XXXGP			ワンタイム PROM 版 (書き込み出荷、125 保証品)	
M37540RSS	—————	768	42S1M	エミュレータ専用 MCU

機能ブロック動作説明

中央演算処理装置 (CPU)

7540グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。(オンチップオシレータが動作している間は使用できません。)

中央演算装置(CPU)には6個のレジスタがあります。図9にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図9に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

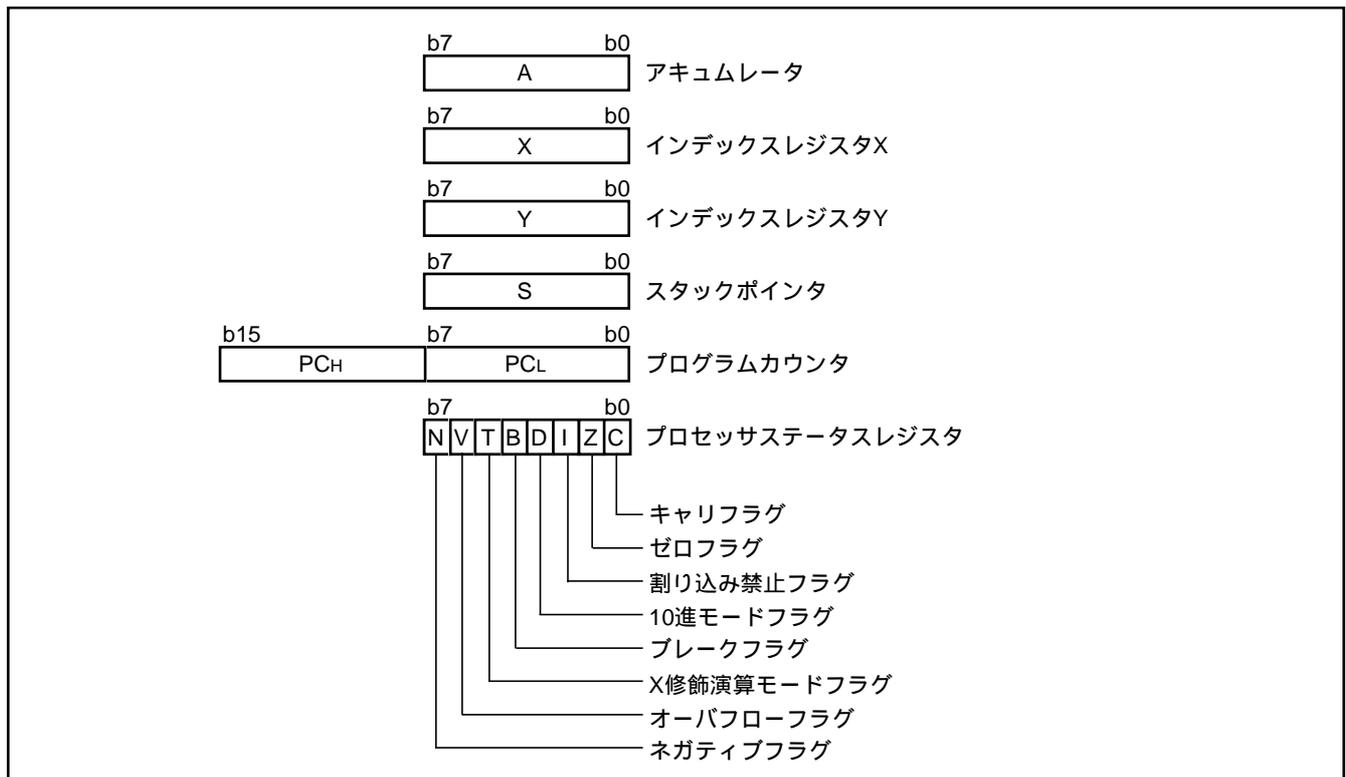


図9 . 740ファミリCPUの構成

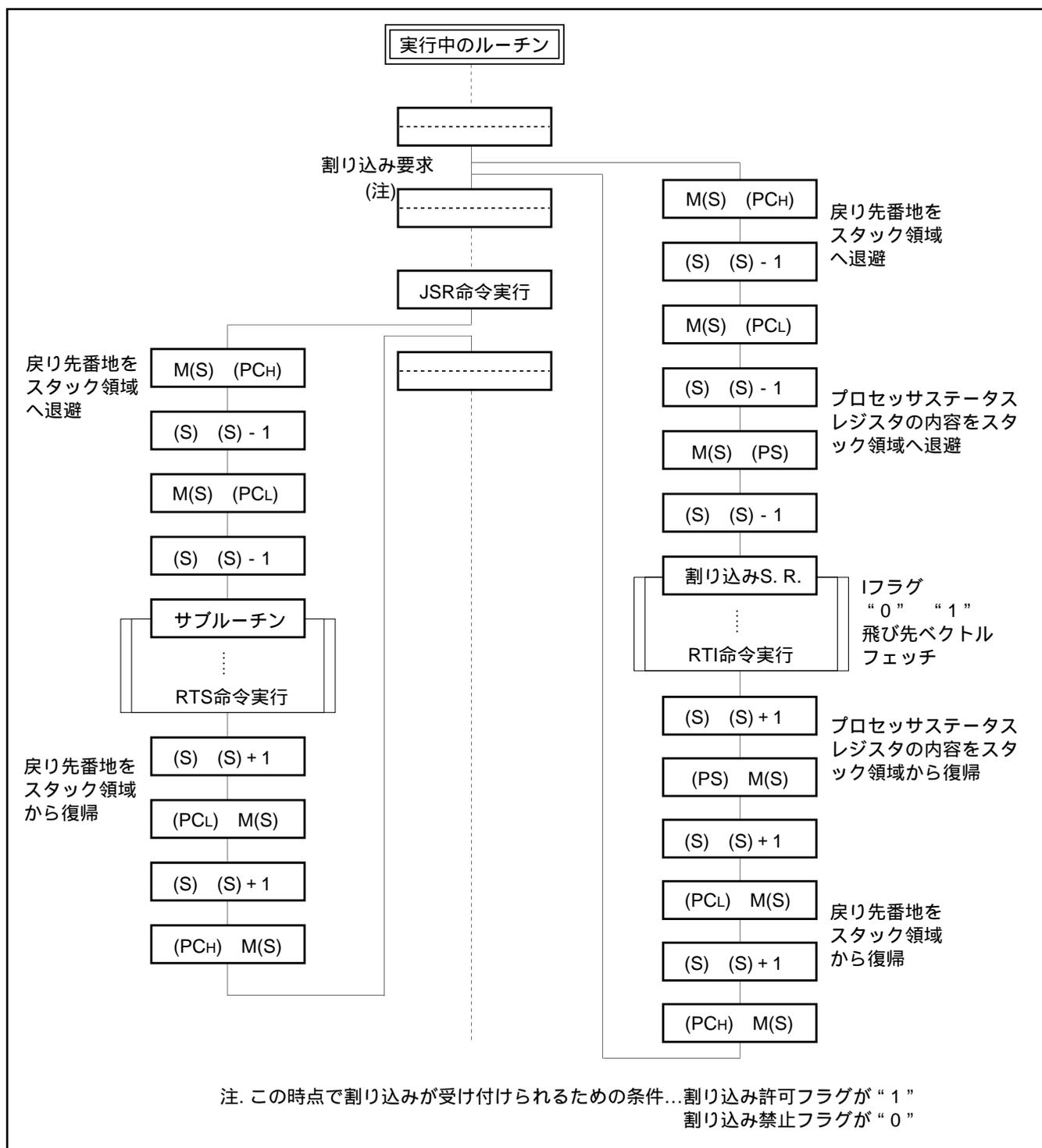


図 10 . スタックへの退避及び復帰動作

表 3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

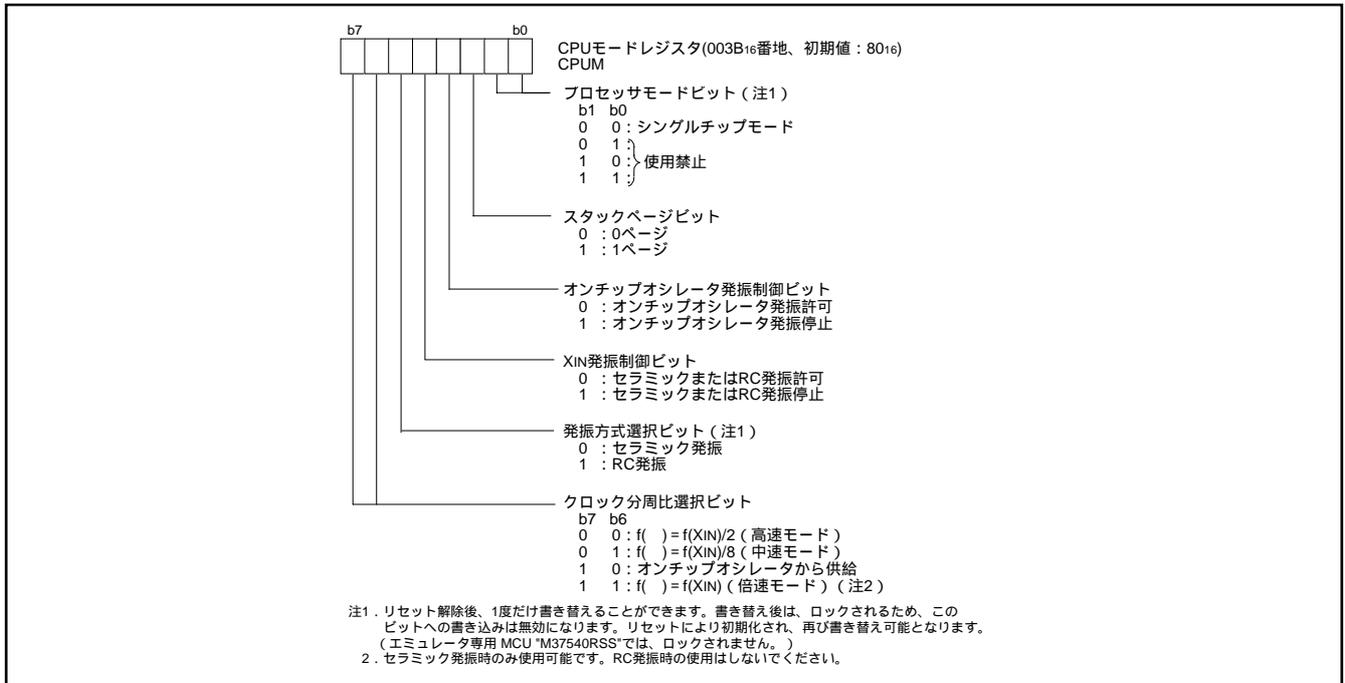


図 11 . CPU モードレジスタの構成

CPU モードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ (CPUM)の切り替えを以下の手順で行ってください。

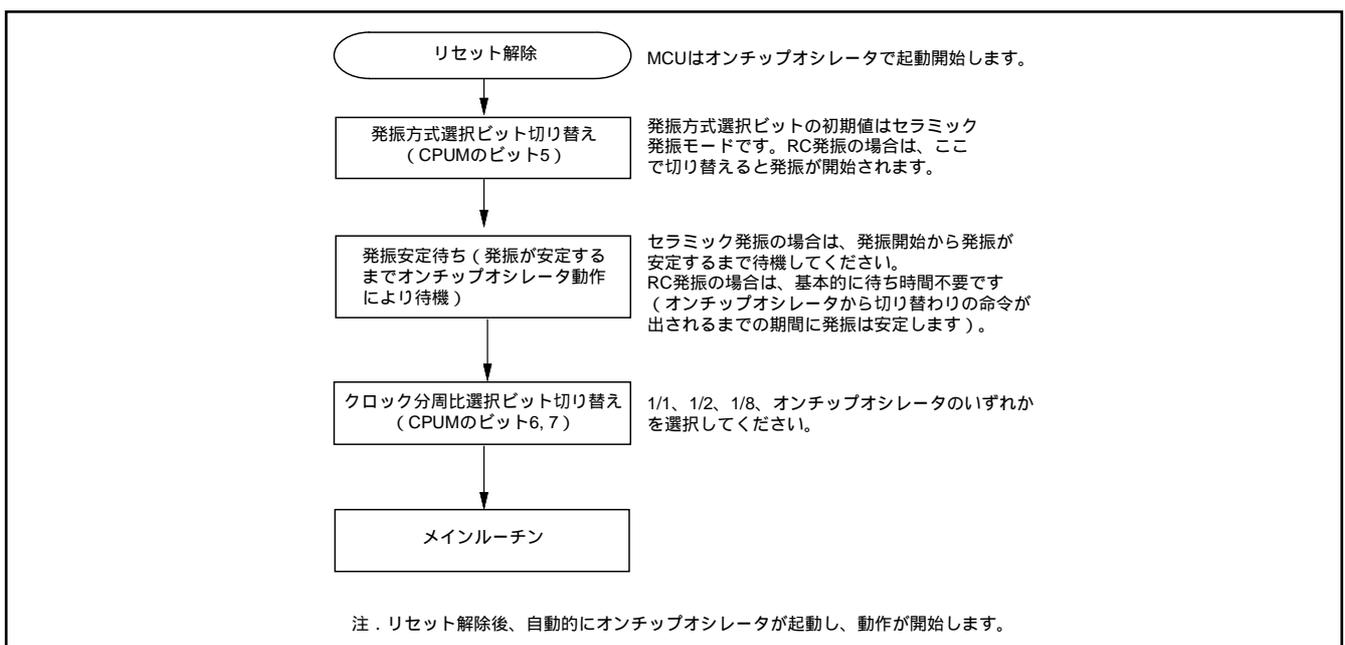


図 12 . CPU モードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

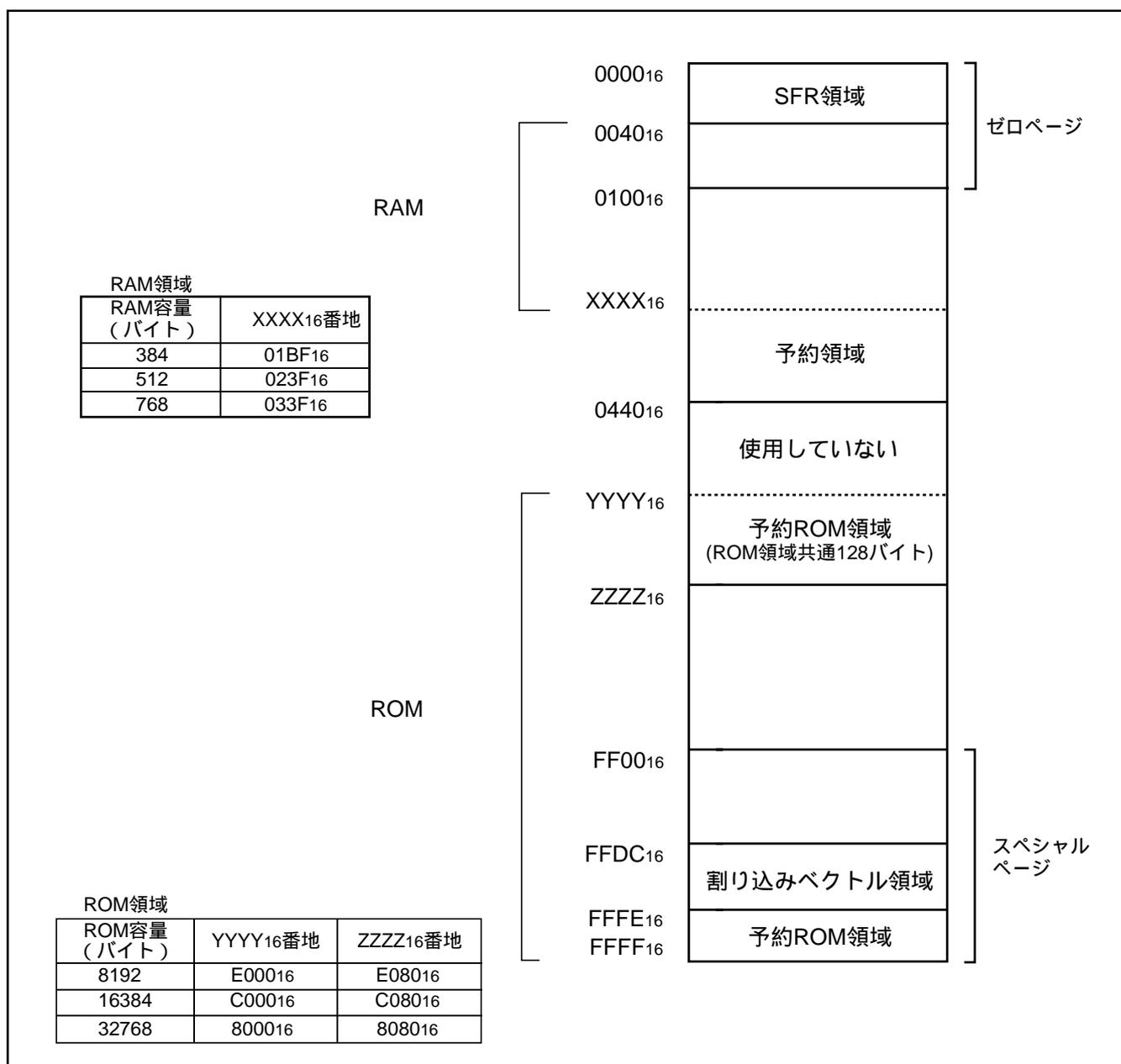


図 13 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマY,Zモードレジスタ(TYZM)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	プリスケアラY(PREY)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマYセカンダリ(TYS)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマYプライマリ(TYP)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマY,Z波形出力制御レジスタ(PUM)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	プリスケアラZ(PREZ)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマZセカンダリ(TZS)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマZプライマリ(TZP)
0008 ₁₆		0028 ₁₆	プリスケアラ1(PRE1)
0009 ₁₆		0029 ₁₆	タイマ1(T1)
000A ₁₆		002A ₁₆	ワンショット開始レジスタ(ONS)
000B ₁₆		002B ₁₆	タイマXモードレジスタ(TXM)
000C ₁₆		002C ₁₆	プリスケアラX(PREX)
000D ₁₆		002D ₁₆	タイマX(TX)
000E ₁₆		002E ₁₆	タイマカウントソース設定レジスタ(TCSS)
000F ₁₆		002F ₁₆	
0010 ₁₆		0030 ₁₆	シリアルI/O2制御レジスタ(SIO2CON)
0011 ₁₆		0031 ₁₆	シリアルI/O2レジスタ(SIO2)
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆		0035 ₁₆	A/D変換下位レジスタ(ADL)
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	A/D変換上位レジスタ(ADH)
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)	0037 ₁₆	
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	タイマAモードレジスタ(TAM)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	タイマA(下位)(TAL)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	タイマA(上位)(TAH)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注．SFRの空き領域のメモリアクセスは行わないでください。

図 14 . SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

注1. 32ピン版では、P26/AN6、P27/AN7、P35及びP36はありません。したがって、次の設定が必要です。

ポートP26及びP27の方向レジスタを出力に設定
ポートP35及びP36の方向レジスタを出力に設定

【ポートP1P3制御】P1P3C

ポートP10、P12、P13、P36、P37は、ポートP1P3制御レジスタ(0017₁₆番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

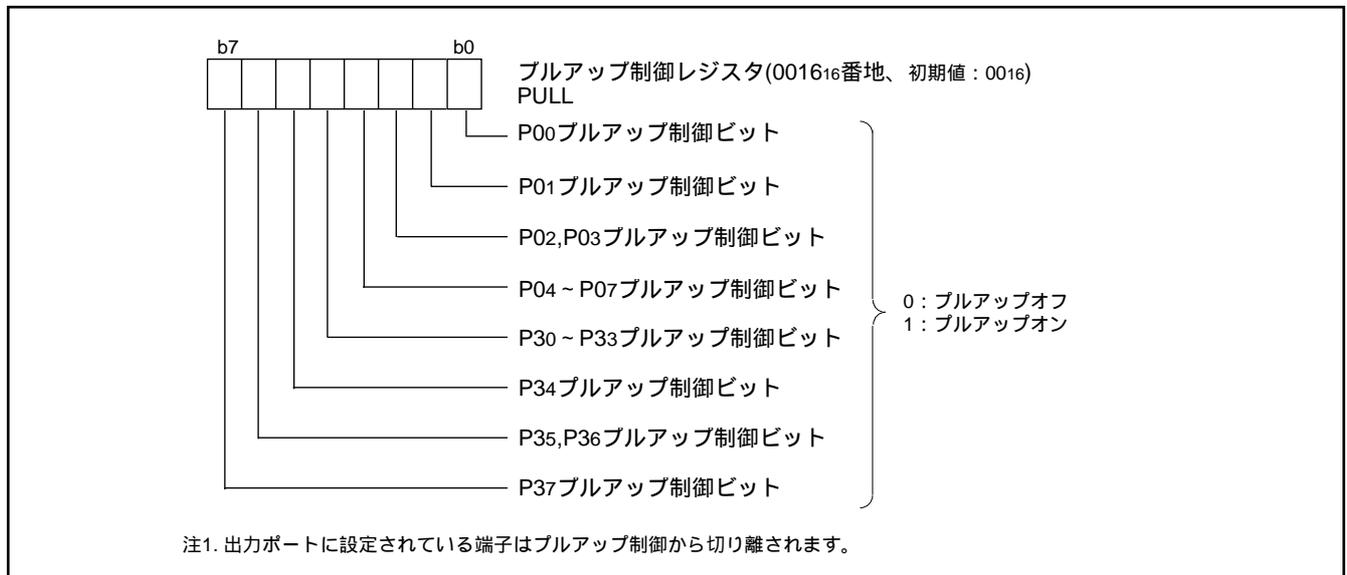


図 15 . プルアップ制御レジスタの構成

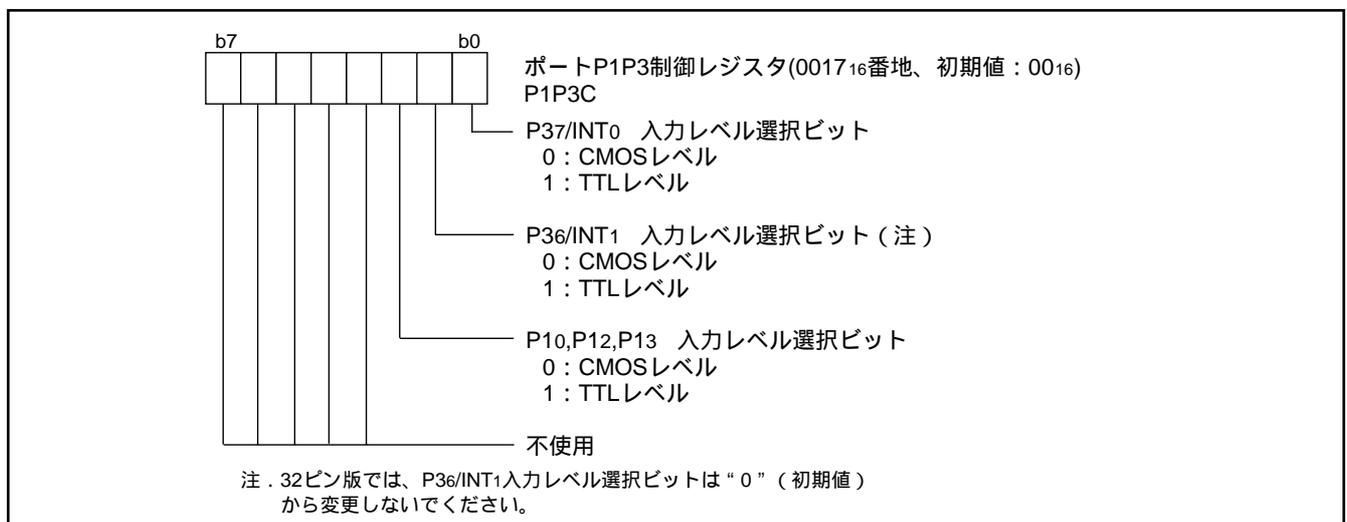


図 16 . ポート P1P3 制御レジスタの構成

表5 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連する SFR	図番
P00/CNTR1 P01/TYOUT P02/TZOUT P03/TXOUT P04 ~ P07	ポート P0	入出力 ビット単位	CMOS 入力レベル CMOS3 ステート出力 (注1)	キー入力割り込み タイマ X 機能出力 タイマ Y 機能出力 タイマ Z 機能出力 タイマ A 機能入力	プルアップ制御レジスタ タイマ Y モードレジスタ タイマ Z モードレジスタ タイマ X モードレジスタ タイマ Y, Z 波形出力制御レジスタ タイマ A モードレジスタ	(1) (2) (3) (4)
P10/RxD1 P11/TxD1	ポート P1			シリアル I/O1 機能入出力	シリアル I/O1 制御レジスタ	(5) (6)
P12/SCLK1/ SCLK2 P13/SRDY1/ SDATA2				シリアル I/O2 機能入出力	シリアル I/O1 制御レジスタ シリアル I/O2 制御レジスタ	(7) (8)
P14/CNTR0				タイマ X 機能入出力	タイマ X モードレジスタ	(9)
P20/AN0 ~ P27/AN7				ポート P2 (注2)	A/D 変換入力	A/D 制御レジスタ
P30 ~ P35	ポート P3 (注3)					(11)
P36/INT1 P37/INT0				外部割り込み入力	割り込みエッジ選択レジスタ	(12)

- 注1 . P10, P12, P13, P36, P37 は CMOS/TTL 入力レベル。
 2 . 32 ピン版では、P26/AN6、P27/AN7 端子はありません。
 3 . 32 ピン版では、P35、P36/INT1 端子はありません。

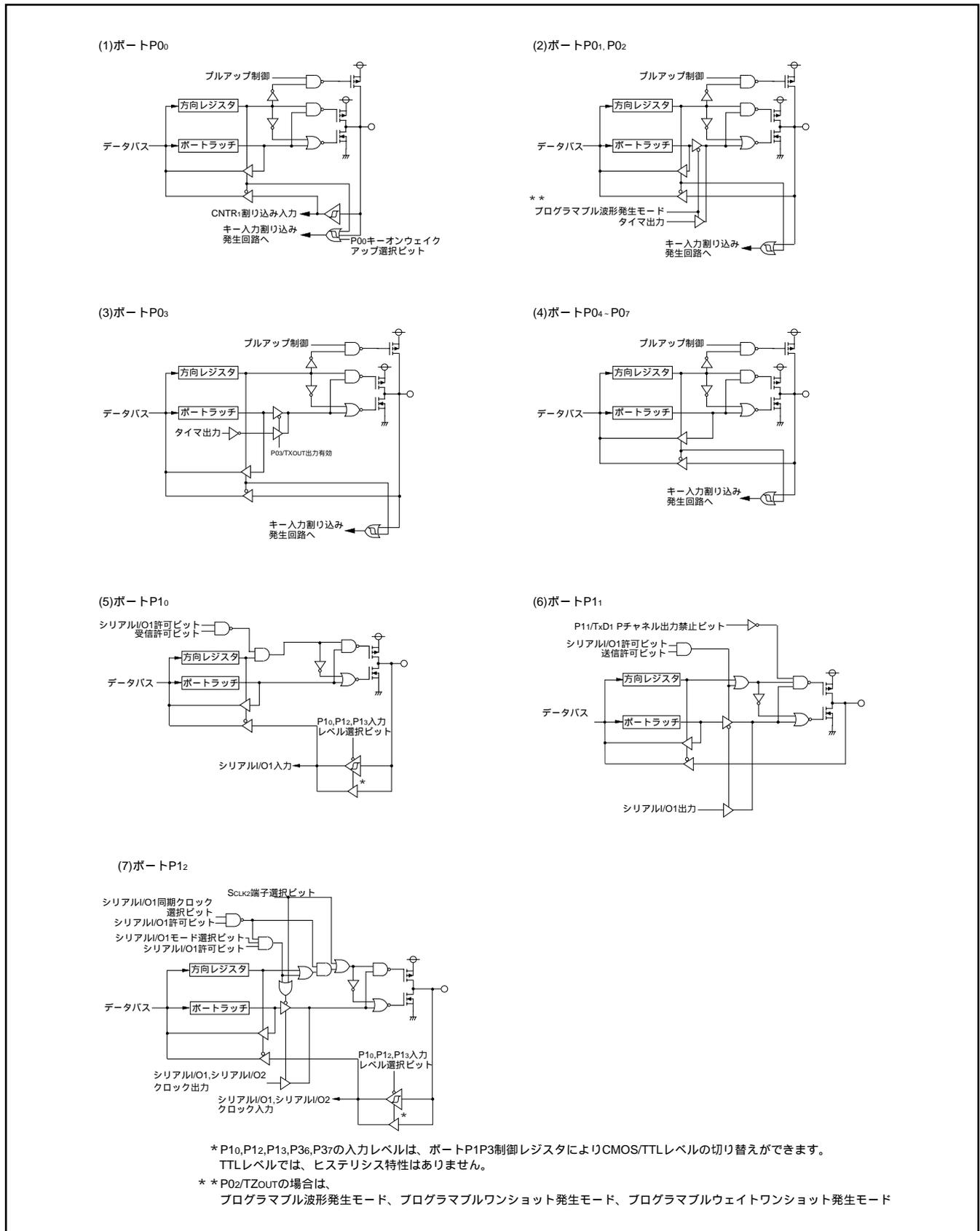


図 17 . ポートのブロック図 (1)

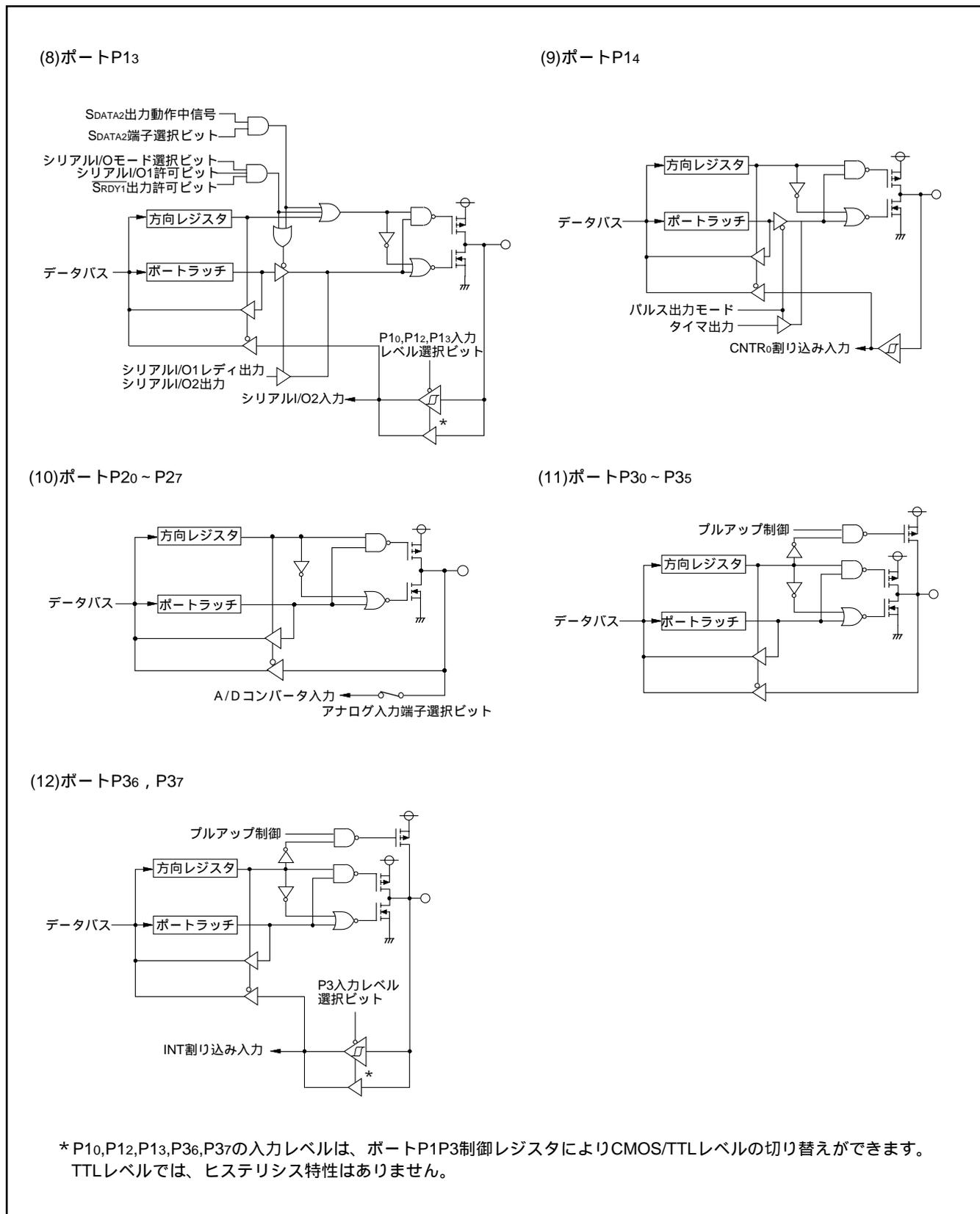


図 18 . ポートのブロック図 (2)

割り込み

割り込みはベクトル割り込みで、外部 5 要因、内部 9 要因、ソフトウェア 1 要因の 15 要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできませんが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込み(INT0、INT1、CNTR0、CNTR1)のアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
 タイマXモードレジスタ(2B16番地)
 タイマAモードレジスタ(1D16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)を設定する。
一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表 6 . 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地 (注1)		割り込み要求発生条件	備考
		上位	下位		
リセット (注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
シリアルI/O1 受信	2	FFFB ₁₆	FFFA ₁₆	シリアルI/O1 データ受信時	シリアルI/O1 選択時のみ有効
シリアルI/O1 送信	3	FFF9 ₁₆	FFF8 ₁₆	シリアルI/O1 送信シフト完了時又は送信バッファ空き時	シリアルI/O1 選択時のみ有効
INT ₀	4	FFF7 ₁₆	FFF6 ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁ (注3)	5	FFF5 ₁₆	FFF4 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
キーオンウェイクアップ	6	FFF3 ₁₆	FFF2 ₁₆	ポート P0 (入力時) の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がりエッジ有効)
CNTR ₀	7	FFF1 ₁₆	FFF0 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₁	8	FFE _F 16	FFE _E 16	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマ X	9	FFED ₁₆	FFEC ₁₆	タイマ X アンドアフロー時	
タイマ Y	10	FFEB ₁₆	FFEA ₁₆	タイマ Y アンドアフロー時	
タイマ Z	11	FFE9 ₁₆	FFE8 ₁₆	タイマ Z アンドアフロー時	
タイマ A	12	FFE7 ₁₆	FFE6 ₁₆	タイマ A アンドアフロー時	
シリアルI/O2 割り込み	13	FFE5 ₁₆	FFE4 ₁₆	送信又は受信シフト終了時	
A/D 変換	14	FFE3 ₁₆	FFE2 ₁₆	A/D 変換終了時	
タイマ 1	15	FFE1 ₁₆	FFE0 ₁₆	タイマ 1 アンドアフロー	STP 解除タイマアンドアフロー
予約領域	16	FFDF ₁₆	FFDE ₁₆	使用できません。	
BRK 命令	17	FFDD ₁₆	FFDC ₁₆	BRK 命令実行時	ノンマスクابلソフトウェア割り込み

- 注 1 . ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2 . リセットは最上位の優先順位を持つ割り込みとして処理されます。
 3 . 36 ピン版でのみ使用可能な割り込みです。

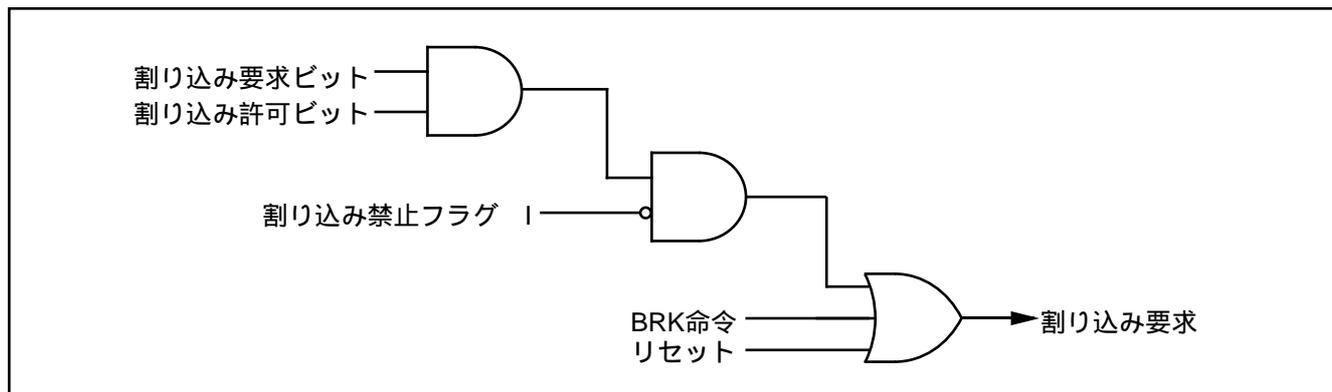


図 19 . 割り込み制御図

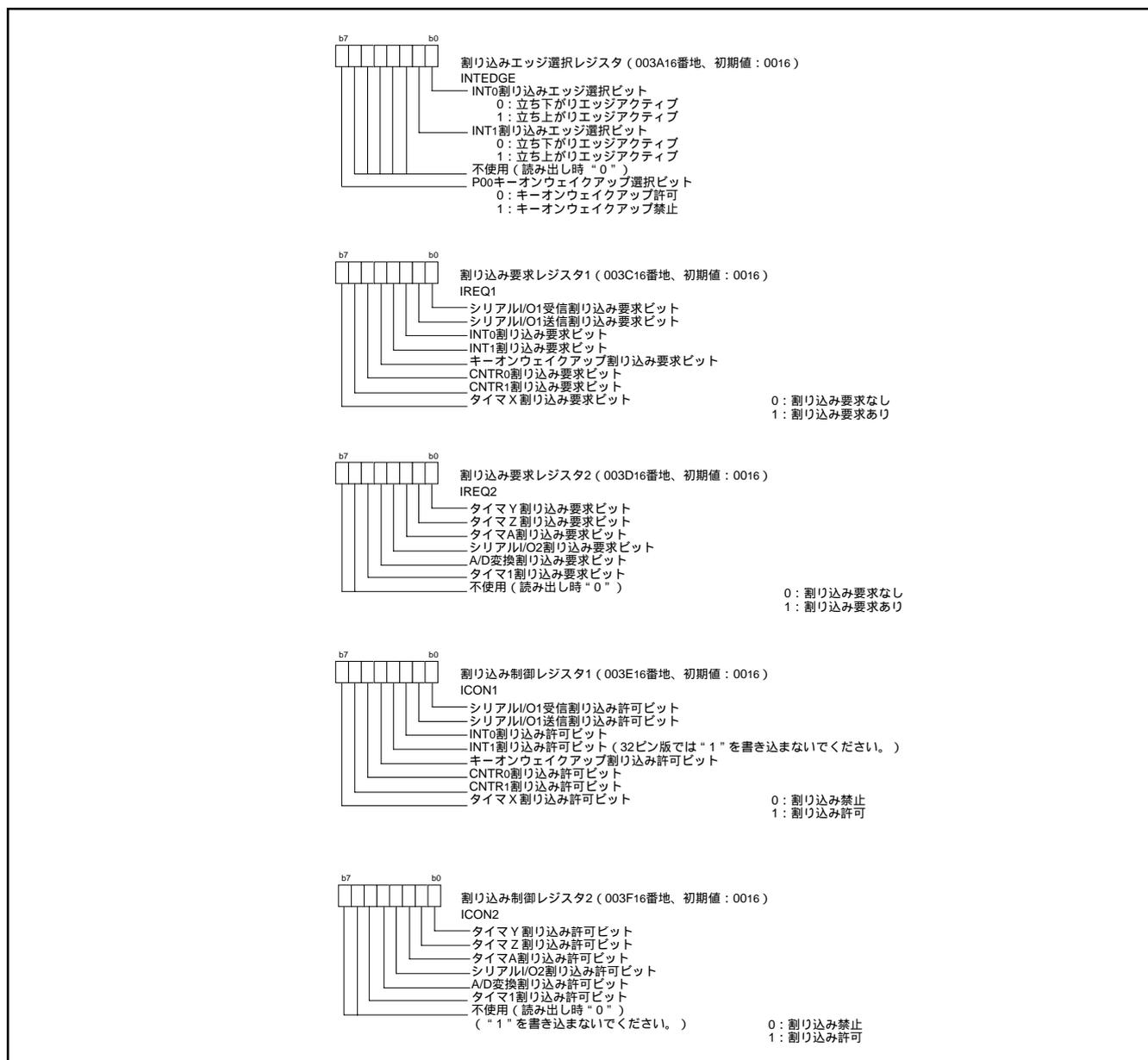


図 20 . 割り込み関係レジスタの構成

キー入力割り込み (キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求

が発生します。図はキー入力割り込みを用いた一例で、ポートP00～P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

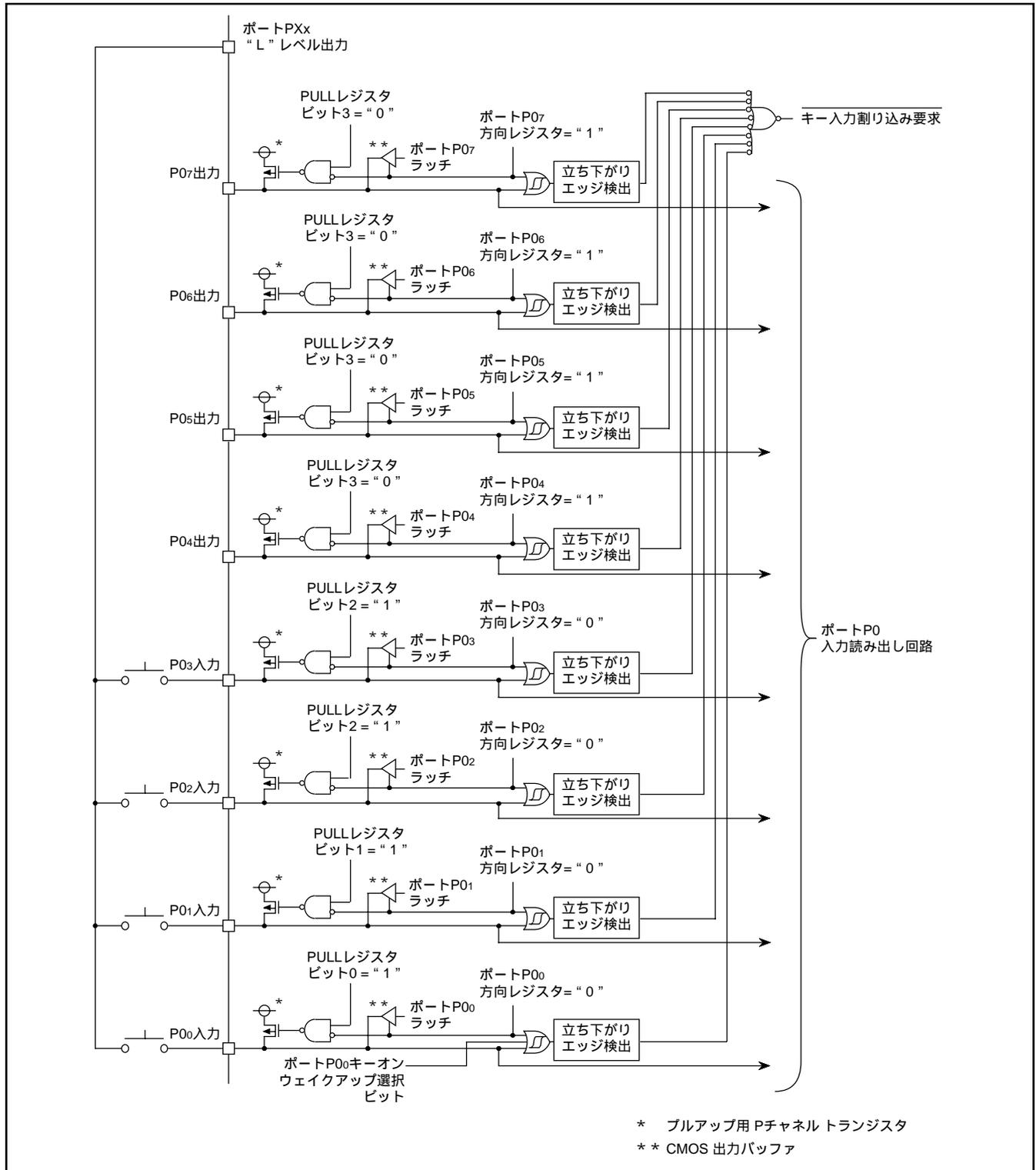


図 21 . キー入力割り込み使用時の結線例とポート P0 のブロック図

タイマ

タイマは、タイマ1、タイマA、タイマX、タイマY及びタイマZの5本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると、 $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“1”にセットされます。

タイマ1

タイマ1は8ビットタイマで、プリスケアラ1の出力をカウントし、タイマ1のアンダフローによって、タイマ1割り込み要求ビットをセットします。

プリスケアラ1は8ビットのプリスケアラで、発振周波数を16分周した信号をカウントします。

プリスケアラ1及びタイマ1には、それぞれのリロード値を保持するためのプリスケアラ1ラッチ及びタイマ1ラッチが配置されています。プリスケアラ1ラッチの値は、プリスケアラ1がアンダフローした時にプリスケアラ1に転送されます。タイマ1ラッチの値は、タイマ1がアンダフローした時にタイマ1に転送されます。

プリスケアラ1(PRE1)に書き込みを行うと、プリスケアラ1ラッチとプリスケアラ1の両方に値が書き込まれます。タイマ1(T1)に書き込みを行うと、タイマ1ラッチとタイマ1の両方に値が書き込まれます。

プリスケアラ1(PRE1)又はタイマ1(T1)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマ1は常にタイマモードで動作します。

プリスケアラ1は、発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、プリスケアラ1ラッチの値をプリスケアラ1に転送してカウントを続けます。プリスケアラ1の分周比は、プリスケアラ1の設定値をnとすると $1/(n+1)$ となります。

タイマ1は、プリスケアラ1のアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマ1の内容が“00₁₆”になった次のカウントクロックでアンダフローし、タイマ1ラッチの値をタイマ1に転送してカウントを続けます。

タイマ1の分周比は、タイマ1の設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラ1の設定値をn、タイマ1の設定値をmとした場合、プリスケアラ1とタイマ1をあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

なお、タイマ1はソフトウェアによりカウントを停止することはできません。

タイマA

タイマAは16ビットタイマで、発振周波数を16分周した信号をカウントし、タイマAのアンダフローによって、タイマA割り込み要求ビットをセットします。

タイマAはタイマA下位(TAL)、タイマA上位(TAH)で構成されます。

タイマAには、リロード値を保持するためのタイマAラッチが配置されており、タイマAラッチの値は次のタイミングでタイマAに転送されます。

- ・タイマAのアンダフロー時
- ・CNTR1端子からの有効エッジの入力時(周期測定モード及びパルス幅HL連続測定モード使用時のみ)

タイマA下位(TAL)、タイマA上位(TAH)に書き込みを行うと、タイマAラッチとタイマAの両方に値が書き込まれます。タイマA下位(TAL)、タイマA上位(TAH)を読み出すと、動作モードによって次の値が読み出されます。

- ・タイマモード、イベントカウンタモード時：
タイマAのカウント値が読み出されます。
- ・周期測定モード時、パルス幅HL連続測定モード時：
測定結果が読み出されます。

タイマA下位(TAL)とタイマA上位(TAH)の書き込み、読み出しは、必ず次の順序で行ってください。

読み出し・・・タイマA上位(TAH)、タイマA下位(TAL)の順で、必ず両レジスタ共に読み出してください。

書き込み・・・タイマA下位(TAL)、タイマA上位(TAH)の順で、必ず両レジスタ共に書き込んでください。

タイマAは、タイマAモードレジスタを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

タイマAは発振周波数を16分周した信号をカウントし、カウントクロックが入力されるごとに、その内容を 2^1 減算します。タイマAの内容が 0000_{16} になった次のカウントクロックでアンダフローし、タイマAラッチの内容がタイマAにリロードされます。分周比はタイマAの設定値をnとすると $1/(n+1)$ となります。

(2) 周期測定モード

周期測定モードは、P00/CNTR1端子に入力されるパルス周期を測定するモードです。CNTR1端子の立ち上がり又は立ち下がりによってタイマAラッチの内容がタイマAにリロードされ、CNTR1割り込み要求ビットが 1 にセットされた後、再びカウントを続けます。CNTR1端子入力の有効エッジは、CNTR1極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

CNTR1端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

(3) イベントカウンタモード

イベントカウンタモードでは、P00/CNTR1端子から入力される信号がカウントソースになることを除けば、タイマモードと同じ動作を行います。CNTR1端子入力の有効エッジは、CNTR1極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅HL連続測定モード

パルス幅HL連続測定モードは、P00/CNTR1端子に入力されるパルス幅("H"及び"Lレベル)を測定するモードです。CNTR1端子に入力されるパルスの両エッジでリロード、及びCNTR1割り込み要求ビットが 1 にセットされることを除いて、周期測定モードと同じ動作をします。

CNTR1端子からのトリガ入力を受け付けた時のカウント値は、タイマAを1度読み出すまで保持されます。

タイマAは、いずれの動作モードでも、タイマAカウント停止ビットを 1 に設定することにより、カウントを停止することが可能です。また、タイマAがアンダフローすると、タイマA割り込み要求ビットが 1 にセットされます。

注意事項

・CNTR1割り込み極性選択

CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが 0 のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが 1 のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが 1 にセットされません。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりによってCNTR1割り込み要求が発生します。

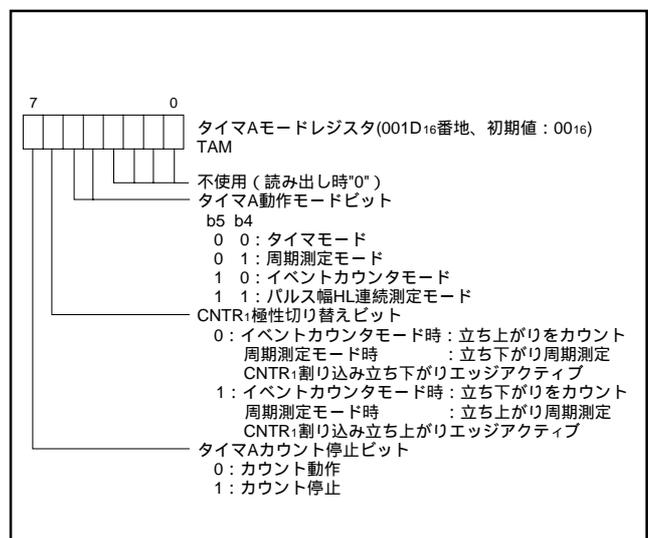


図22. タイマAモードレジスタの構成

タイマX

タイマXは8ビットタイマで、プリスケアラXの出力をカウントし、タイマXのアンダフローによって、タイマX割り込み要求ビットをセットします。

プリスケアラXは8ビットのプリスケアラで、タイマXカウントソース選択ビットにより選択された信号をカウントします。

プリスケアラX及びタイマXには、それぞれのリロード値を保持するためのプリスケアラXラッチ及びタイマXラッチが配置されています。

プリスケアラXラッチの値は、プリスケアラXがアンダフローした時にプリスケアラXに転送されます。タイマXラッチの値は、タイマXがアンダフローした時にタイマXに転送されます。

プリスケアラX(PREX)に書き込みを行うと、プリスケアラXラッチとプリスケアラXの両方に値が書き込まれます。タイマX(TX)に書き込みを行うと、タイマXラッチとタイマXの両方に値が書き込まれます。

プリスケアラX(PREX)又はタイマX(TX)の読み出しを行うと、それぞれのカウント値が読み出されます。

タイマXは、タイマXモードレジスタのタイマX動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケアラXは、タイマXカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケアラXの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケアラXラッチの値をプリスケアラXに転送してカウントを続けます。プリスケアラXの分周比は、プリスケアラXの設定値をnとすると $1/(n+1)$ となります。

タイマXは、プリスケアラXのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマXの内容が“0016”になった次のカウントクロックでアンダフローし、タイマXラッチの値をタイマXに転送してカウントを続けます。

タイマXの分周比は、タイマXの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケアラXの設定値をn、タイマXの設定値をmとした場合、プリスケアラXとタイマXをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

(2) パルス出力モード

パルス出力モードでは、タイマXがアンダフローするたびに極性の反転する波形を、CNTR0端子から出力します。

CNTR0端子の出力レベルはCNTR0極性切り替えビットで選択可能です。CNTR0極性切り替えビットが“0”のときは、CNTR0端子の出力は“H”から開始し、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の出力は“L”から開始します。

また、P03/TXOUT出力有効ビットを“1”に設定することによって、CNTR0端子から出力されるパルスの反転波形を、TXOUT端子から出力することができます。

このモードを使用する場合は、それぞれの出力端子と兼用しているポートP14、P03の方向レジスタを出力モードに設定してください。

(3) イベントカウンタモード

イベントカウンタモードは、P14/CNTR0端子に入力される信号がカウントソースになることを除けば、タイマモードと同じ動作をします。CNTR0端子入力の有効エッジは、CNTR0極性切り替えビットで立ち上がり又は立ち下がりを選択することができます。

(4) パルス幅測定モード

パルス幅測定モードは、P14/CNTR0端子に入力される信号のパルス幅を測定するモードです。パルス幅測定モードでは、CNTR0端子の入力信号のレベルによって、タイマXの動作、停止を制御します。

CNTR0極性切り替えビットが“0”のときは、CNTR0端子の入力信号レベルが“H”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“L”の期間はカウントを停止します。また、CNTR0極性切り替えビットが“1”のときは、CNTR0端子の入力信号レベルが“L”の期間はタイマXカウントソース選択ビットにより選択された信号をカウントし、“H”の期間はカウントを停止します。

タイマXは、いずれの動作モードでも、タイマXカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマXがアンダフローすると、タイマX割り込み要求ビットが“1”にセットされます。

注意事項

・CNTR0割り込み極性選択

CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが“0”のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが“1”のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが“1”にセットされます。

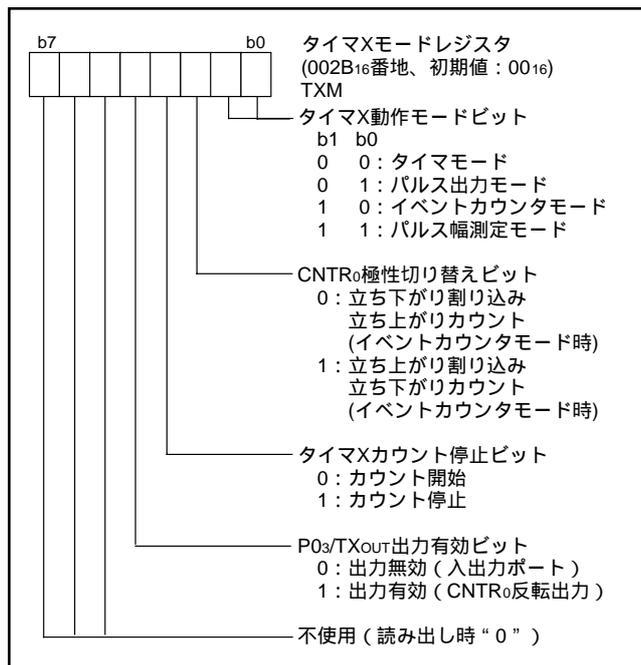


図 23 . タイマ X モードレジスタの構成

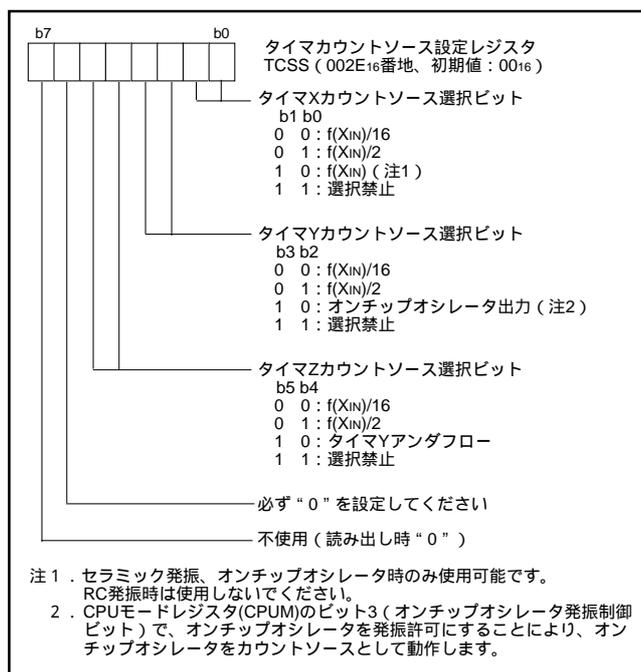


図 24 . タイマカウントソース設定レジスタの構成

タイマY

タイマYは8ビットタイマで、プリスケラYの出力をカウントし、タイマYのアンダフローによって、タイマY割り込み要求ビットをセットします。

プリスケラYは8ビットのプリスケラで、タイマYカウントソース選択ビットにより選択された信号をカウントします。

プリスケラYには、リロード値を保持するためのプリスケラYラッチが配置されています。タイマYにはリロード値を保持するためのタイマYプライマリラッチとタイマYセカンダリラッチが配置されています。

プリスケラYラッチの値は、プリスケラYがアンダフローした時にプリスケラYに転送されます。タイマYプライマリラッチとタイマYセカンダリラッチの内容は、タイマYがアンダフローした時にタイマYに転送されます。なお、タイマYプライマリラッチ又はタイマYセカンダリラッチのどちらの値がタイマYに転送されるかは、タイマYの動作モードによって決まります。

プリスケラY (PREY) やタイマYプライマリ (TYP)、タイマYセカンダリ (TYS) に書き込みを行うと、タイマY書き込み制御ビットの設定値により、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラY、タイマYの両方に値を書き込むかを選択することができます。なお、タイマY書き込み制御ビットの設定は、使用する動作モードによって制限がありますので、それぞれの動作モードの注意事項に従ってください。

プリスケラY (PREY) の読み出しを行うと、プリスケラYのカウント値が読み出されます。タイマYプライマリ (TYP) の読み出しを行うと、タイマYのカウント値が読み出されます。タイマYのカウント値は、タイマYプライマリラッチまたはタイマYセカンダリラッチの、どちらの値をカウントしている場合でも、タイマYプライマリ (TYP) を読み出すことによって読み出されます。タイマYセカンダリ (TYS) を読み出すと、不定値が読み出されます。

タイマYは、タイマY、ZモードレジスタのタイマY動作モードビットを設定することにより、2つの動作モードを選択することができます。

(1) タイマモード

プリスケラYはタイマYカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラYの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケラYラッチの値をプリスケラYに転送してカウントを続けます。プリスケラYの分周比は、プリスケラYの設定値をnとすると $1/(n+1)$ となります。

タイマYは、プリスケラYのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマYの内容が“0016”になった次のカウントクロックでアンダフローし、タイマYプライマリラッチの値をタイマYに転送してカウントを続けます。(タイマモードでは、タイマYプライマリラッチの内容をカウントします。このモードではタイマYセカンダリは使用しません。)

タイマYの分周比は、タイマYの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケラYの設定値をn、タイマYプライマリの設定値をmとした場合、プリスケラYとタイマYをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

タイマモードでは、タイマY書き込み制御ビットの設定により、プリスケラYとタイマYプライマリの、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラY、タイマYの両方に値を書き込むかを選択することができます。

(2) プログラマブル波形発生モード

プログラマブル波形発生モードでは、タイマYプライマリとタイマYセカンダリの設定値を交互にカウントし、タイマYがアンダフローするたびに極性の反転する波形をTYOUT端子から出力します。

このモードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TYOUTと兼用しているポートP01の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイマYアウトプットレベルラッチで設定します。タイマYアウトプットレベルラッチに“0”を設定すると、タイマYプライマリの設定値による“H”期間とタイマYセカンダリの設定値による“L”期間を交互に出力します。タイマYアウトプットレベルラッチに“1”を設定すると、タイマYプライマリの設定値による“L”期間とタイマYセカンダリの設定値による“H”期間を交互に出力します。

また、このモードではタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“1”を設定することによって、波形出力のプライマリ期間、セカンダリ期間を、それぞれカウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

波形拡張制御ビットを使用時、出力される波形の周波数とデューティは以下のようになります。

波形周波数：

$$FYOUT = \frac{2 \times TMYCL}{2 \times (TYP+1) + 2 \times (TYS+1) + (EXPYP + EXPYS)}$$

デューティ：

$$DYOUT = \frac{2 \times (TYP+1) + EXPYP}{(2 \times (TYP+1) + EXPYP) + (2 \times (TYS+1) + EXPYS)}$$

TMYCL：タイマYカウントソース(周波数)

TYP:タイマYプライマリ(8bit)

TYS：タイマYセカンダリ(8bit)

EXPYP：タイマYプライマリ波形拡張制御ビット(1bit)

EXPYS：タイマYセカンダリ波形拡張制御ビット(1bit)

プログラマブル波形発生モードでは、タイマYプライマリ、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの値を変更すると、出力波形が必ず波形周期の最初(タイマYプライマリ波形期間)から変更されるように制御されます。

カウント値を変更する場合は、タイマYセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイマYプライマリを設定してください。設定値は、タイマYプライマリを書き込んだ次の波形周期の最初に一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマYプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。

・タイマYプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマY波形拡張制御ビットによる波形拡張機能は、プリスケラYに“0016”を設定した時のみ使用可能です。プリスケラYに“0016”以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに“0”を設定してください。

・タイマY書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマYは、いずれの動作モードでも、タイマYカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが“1”にセットされます。

タイマYは、タイマYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

タイマZ

タイマZは8ビットタイマで、プリスケラZの出力をカウントし、タイマZのアンダフローによって、タイマZ割り込み要求ビットをセットします。

プリスケラZは8ビットのプリスケラで、タイマZカウントソース選択ビットにより選択された信号をカウントします。

プリスケラZには、リロード値を保持するためのプリスケラZラッチが配置されています。タイマZにはリロード値を保持するためのタイマZプライマリラッチとタイマZセカンダリラッチが配置されています。

プリスケラZラッチの値は、プリスケラZがアンダフローした時にプリスケラZに転送されます。タイマZプライマリラッチとタイマZセカンダリラッチの内容は、タイマZがアンダフローした時にタイマZに転送されます。なお、タイマZプライマリラッチまたはタイマZセカンダリラッチのどちらの値がタイマZに転送されるかは、タイマZの動作モードによって決まります。

プリスケラZ (PREZ) やタイマZプライマリ (TZP)、タイマZセカンダリ (TZS) に書き込みを行うと、タイマZ書き込み制御ビットの設定値により、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラZ、タイマZの両方に値を書き込むかを選択することができます。なお、タイマZ書き込み制御ビットの設定は、使用する動作モードによって制限がありますので、それぞれの動作モードの注意事項に従ってください。

プリスケラZ (PREZ) の読み出しを行うと、プリスケラZのカウント値が読み出されます。タイマZプライマリ (TZP) の読み出しを行うと、タイマZのカウント値が読み出されず。タイマZのカウント値は、タイマZプライマリラッチまたはタイマZセカンダリラッチの、どちらの値をカウントしている場合でも、タイマZプライマリ (TZP) を読み出すことによって読み出されます。タイマZセカンダリ (TZS) を読み出すと、不定値が読み出されます。

タイマZは、タイマY、ZモードレジスタのタイマZ動作モードビットを設定することにより、4つの動作モードを選択することができます。

(1) タイマモード

プリスケラZはタイマZカウントソース選択ビットで選択されたカウントソースをカウントし、カウントクロックが入力されるごとに、その内容を“1”減算します。プリスケラZの内容が“0016”になった次のカウントクロックでアンダフローし、プリスケラZラッチの値をプリスケラZに転送してカウントを続けます。プリスケラZの分周比は、プリスケラZの設定値をnとすると $1/(n+1)$ となります。

タイマZは、プリスケラZのアンダフロー信号が入力されるごとに、その内容を“1”減算します。タイマZの内容が“0016”になった次のカウントクロックでアンダフローし、タイマZプライマリラッチの値をタイマZに転送してカウントを続けます。(タイマモードでは、常にタイマZプライマリラッチの内容をカウントします。このモードではタイマZセカンダリは使用しません。)

タイマZの分周比は、タイマZの設定値をmとすると $1/(m+1)$ となります。したがって、プリスケラZの設定値をn、タイマZプライマリの設定値をmとした場合、プリスケラZとタイマZをあわせた分周比は、 $1/((n+1) \times (m+1))$ となります。

タイマモードでは、タイマZ書き込み制御ビットの設定により、プリスケラZとタイマZプライマリの、それぞれのラッチのみに値を書き込むか、あるいはそれぞれのラッチとプリスケラZ、タイマZの両方に値を書き込むかを選択することができます。

(2) プログラマブル波形発生モード

プログラマブル波形発生モードでは、タイマZプライマリとタイマZセカンダリの設定値を交互にカウントし、タイマZがアンダフローするたびに極性の反転する波形を、TZOUT端子から出力します。

このモードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイマZアウトプットレベルラッチで設定します。タイマZアウトプットレベルラッチに“0”を設定すると、タイマZプライマリの設定値による“H”期間とタイマZセカンダリの設定値による“L”期間を交互に出力します。タイマZアウトプットレベルラッチに“1”を設定すると、タイマZプライマリの設定値による“L”期間とタイマZセカンダリの設定値による“H”期間を交互に出力します。

また、このモードでは、タイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“1”を設定することによって、波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

波形拡張制御ビットを使用した場合、出力される波形の周波数とデューティは以下ようになります。

波形周波数：

$$FZOUT = \frac{2 \times TMZCL}{2 \times (TZP+1) + 2 \times (TZS+1) + (EXPZP+EXPZS)}$$

デューティ：

$$DZOUT = \frac{2 \times (TZP+1) + EXPZP}{(2 \times (TZP+1) + EXPZP) + (2 \times (TZS+1) + EXPZS)}$$

TMZCL：タイマZカウントソース(周波数)

TZP:タイマZプライマリ(8bit)

TZS：タイマZセカンダリ(8bit)

EXPZP：タイマZプライマリ波形拡張制御ビット(1bit)

EXPZS：タイマZセカンダリ波形拡張制御ビット(1bit)

プログラマブル波形発生モードでは、タイマZプライマリ、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの値を変更すると、出力波形が必ず波形周期の最初(タイマZプライマリ波形期間)から変更されるように制御されます。

カウント値を変更する場合は、タイマZセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイマZプライマリを設定してください。設定値は、タイマZプライマリを書き込んだ次の波形周期の最初に一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

(3) プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、ソフトウェアまたは外部入力トリガにより、タイマZプライマリ設定値によるワンショットパルスをTZOUT端子から出力します。このモードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。このモードではタイマZセカンダリは使用しません。

出力する波形の極性はタイマZアウトブットレベルラッチで設定します。タイマZアウトブットレベルラッチに“0”を設定すると、タイマZプライマリの設定値の期間“H”パルスを出し、タイマZアウトブットレベルラッチに“1”を設定すると、タイマZプライマリの設定値の期間“L”パルスを出しします。

また、このモードでは、タイマZプライマリ波形拡張制御ビットに“1”を設定することによって、ワンショットパルス出力の期間を、カウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

プログラマブルワンショット発生モードでは、カウント値の設定後、タイマZカウント停止ビットに“0”を書き込むことによって、ソフトウェアまたは外部INT0端子からのトリガを受け付けられる状態になります。(タイマZカウント停止ビットに“0”を書き込んだ段階では、タイマZは停止しています。)

タイマZワンショット開始ビットに“1”を書き込むか、あるいはINT0端子ワンショットトリガ制御ビットに“1”を書き込んでINT0端子トリガを有効にし、INT0端子に有効トリガを入力すると、タイマZはカウントを開始すると同時にTZOUT端子の出力を反転します。また、タイマZがアンダフローすると、再度TZOUT端子の出力を反転し、タイマZは停止します。なお、ワンショット開始ビットは、INT0端子トリガを受け付けた時にもハードウェアで“1”に変化します。INT0端子の有効トリガのエッジは、INT0端子ワンショットトリガ極性選択ビットで立ち下がりトリガ、または立ち上がりトリガを選択することができます。

ワンショットパルスの出力期間に、タイマZワンショット開始ビットに“0”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラマブルワンショット発生モードでは、カウント値を変更する場合は、タイマZプライマリ波形拡張制御ビット、タイマZプライマリの順に設定してください。設定値は、タイマZプライマリを書き込んだ次のワンショットパルスから一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブルワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

(4) プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは、ソフトウェアまたはINT0端子への外部入力トリガにより、タイマZプライマリ設定値によるウェイトの後、タイマZセカンダリ設定値によるワンショットパルスはTZOUT端子から出力します。

このモードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。また、TZOUTと兼用しているポートP02の方向レジスタを出力モードに設定してください。

出力する波形の極性は、タイマZアウトプットレベルラッチで設定します。タイマZアウトプットレベルラッチに“0”を設定すると、タイマZプライマリの設定値の期間ウェイトの後、タイマZセカンダリの設定値の期間“H”パルスを出力し、タイマZアウトプットレベルラッチに“1”を設定すると、タイマZプライマリの設定値の期間ウェイトの後、タイマZセカンダリの設定値の期間“L”パルスを出力します。

また、このモードでは、タイマZプライマリ波形拡張制御ビットと、タイマZセカンダリ波形拡張制御ビットに“1”を設定することによって、ウェイト期間とワンショットパルス出力の期間を、カウントソースの0.5サイクル分、拡張することができます。これにより、より細かい分解能の波形を出力することができます。

プログラマブルウェイトワンショット発生モードでは、カウント値の設定後、タイマZカウント停止ビットに“0”を書き込むことによって、ソフトウェアまたはINT0端子からのトリガを受け付けられる状態になります。(タイマZカウント停止ビットに“0”を書き込んだ段階では、タイマZは停止しています。)

タイマZワンショット開始ビットに“1”を書き込むか、あるいはINT0端子ワンショットトリガ制御ビットに“1”を書き込んでINT0端子トリガを有効にし、INT0端子に有効トリガを入力すると、タイマZはカウントを開始します。タイマZがタイマZプライマリをカウントしている期間は、TZOUT端子の出力を初期値のまま保持します。アンダフローが発生すると、タイマZセカンダリをリロードすると同時にTZOUT端子の出力を反転します。次にタイマZがアンダフローすると、再度TZOUT端子の出力を反転し、タイマZは停止します。なお、ワンショット開始ビットは、INT0端子トリガを受け付けた時にもハードウェアで“1”に変化します。INT0端子の有効トリガのエッジは、INT0端子ワンショットトリガ極性選択ビットで立ち下がりトリガ、又は立ち上がりトリガを選択することができます。

ウェイト期間およびワンショットパルスの出力期間に、タイマZワンショット開始ビットに“0”を書き込むことによって、ワンショットパルス出力を強制的に終了することができます。

プログラマブルウェイトワンショット発生モードでは、カウント値を変更する場合は、タイマZセカンダリ、プライマリ波形拡張制御ビット、セカンダリ波形拡張制御ビットを設定し、最後にタイマZプライマリを設定してください。設定値はタイマZプライマリを書き込んだ次のウェイト期間から一括して反映されます。(タイマ停止中の書き込みの場合も、最後にタイマZプライマリを書き込む必要があります。)

注意事項

・カウント設定値の変更

プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZは、いずれの動作モードでも、タイマZカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマZがアンダフローすると、タイマZ割り込み要求ビットが“1”にセットされます。

タイマZは、タイマZカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

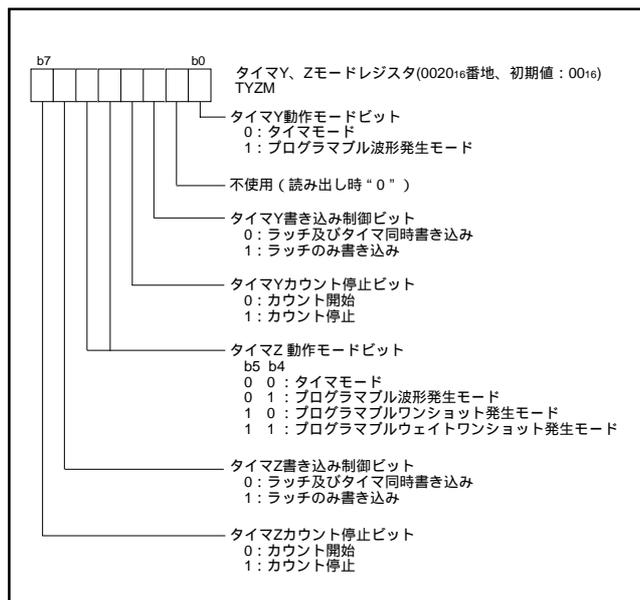


図 25 . タイマY、Zモードレジスタの構成

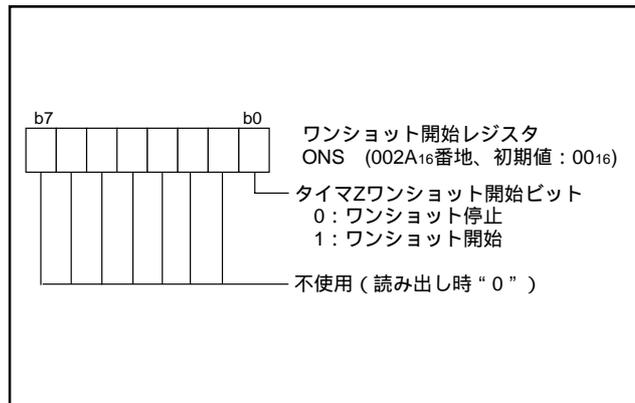


図 27 . ワンショット開始レジスタの構成

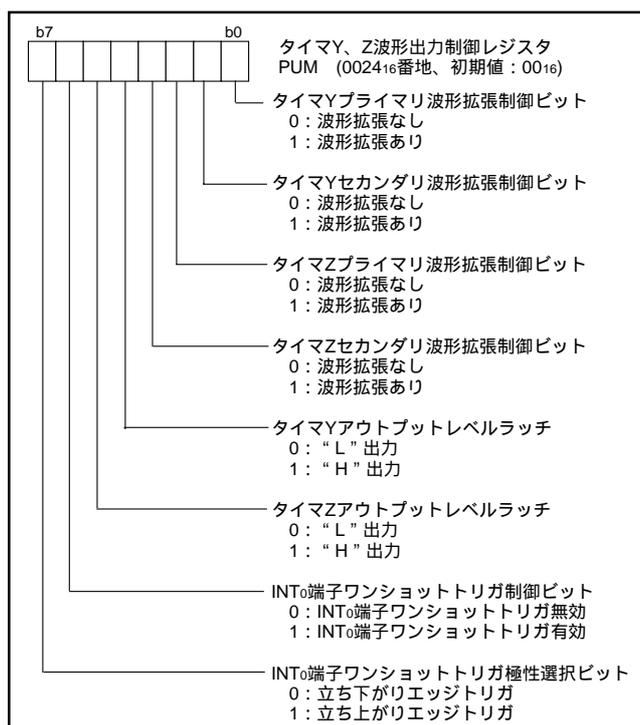


図 26 . タイマY、Z波形出力制御レジスタの構成

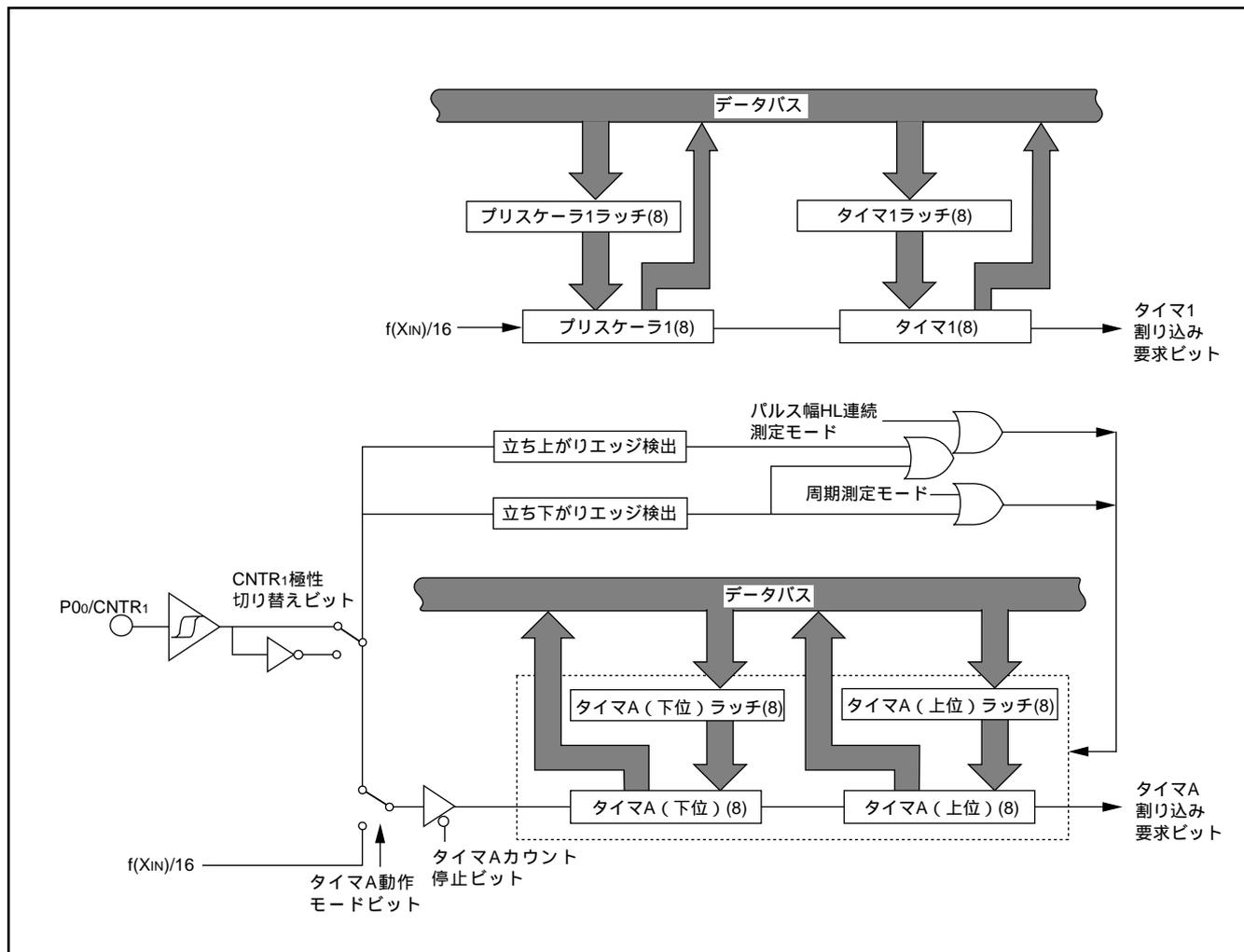


図 28 . タイマ1 及び、タイマA のブロック図

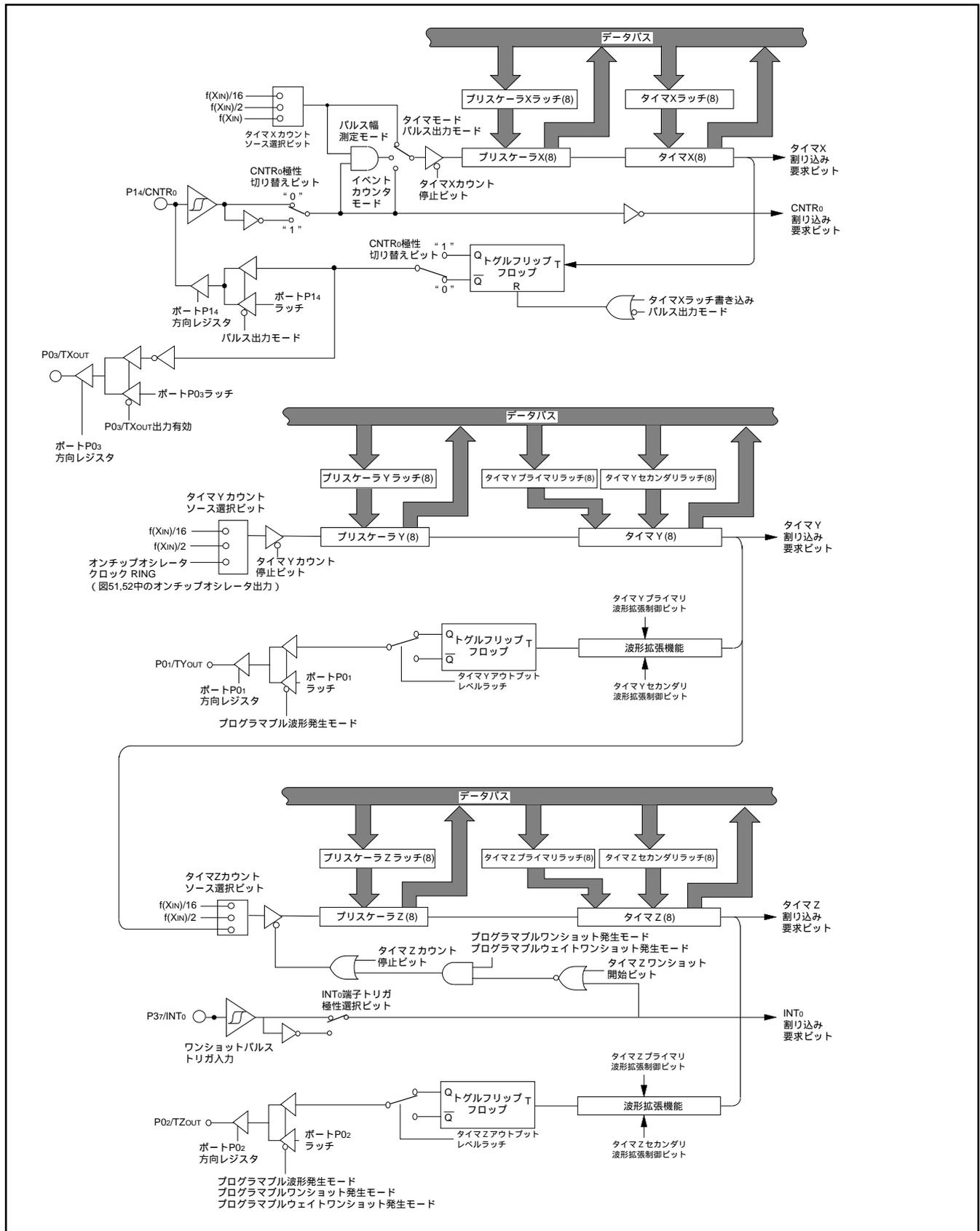


図 29 . タイマ X , タイマ Y 及びタイマ Z のブロック図

シリアルI/O

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1)クロック同期形シリアルI/O1モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を"1"にすることによってクロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

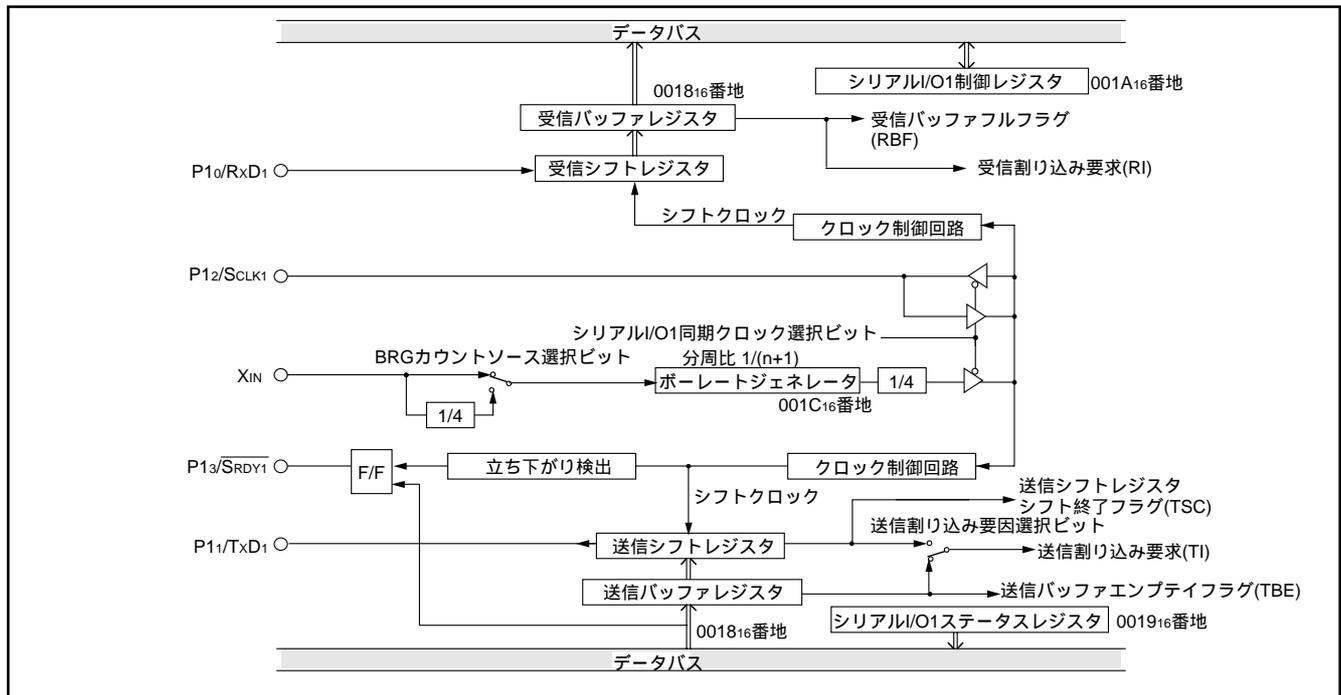


図 30 . クロック同期形シリアルI/O1 ブロック図

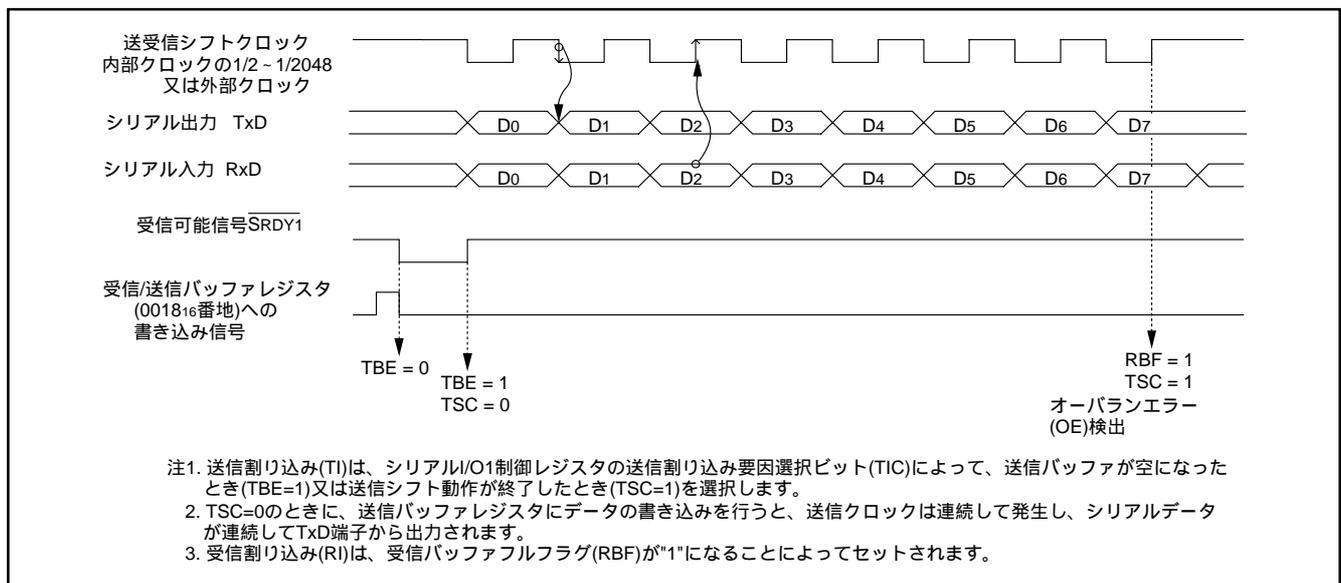


図 31 . クロック同期形シリアルI/O1 動作図

(2)非同期形シリアルI/O1(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

7540グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

7540グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

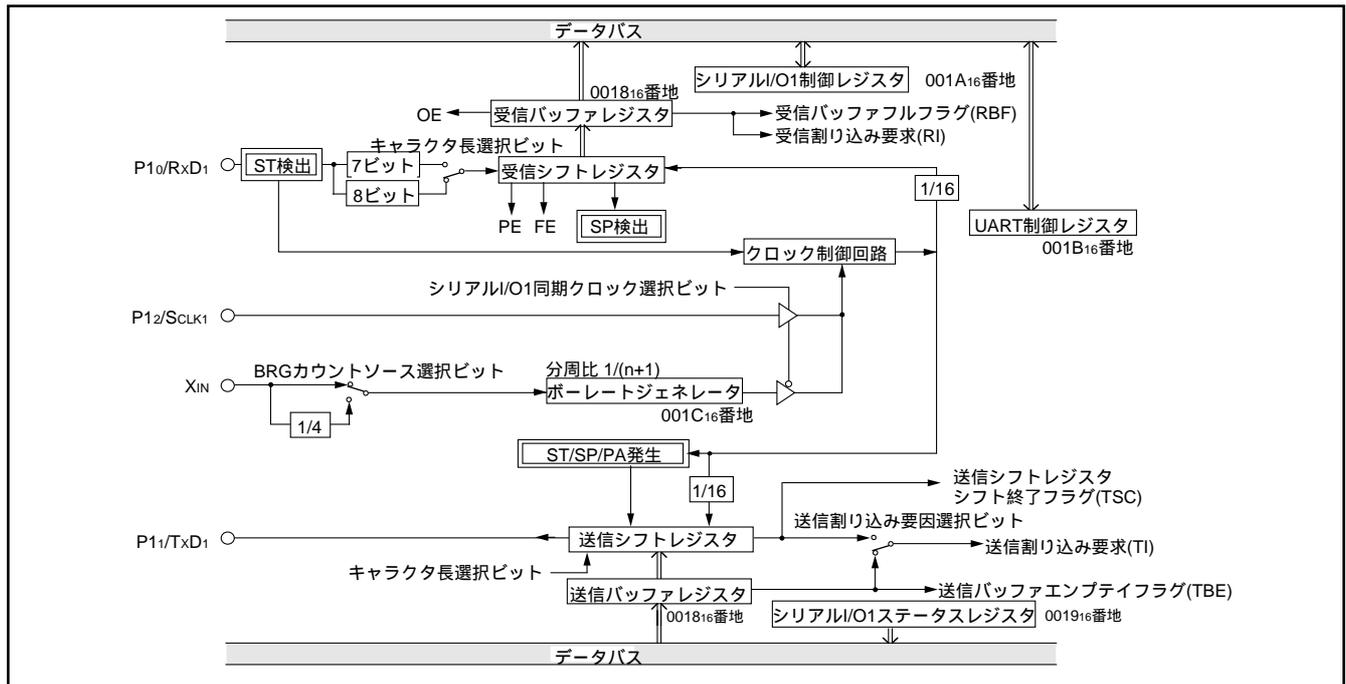
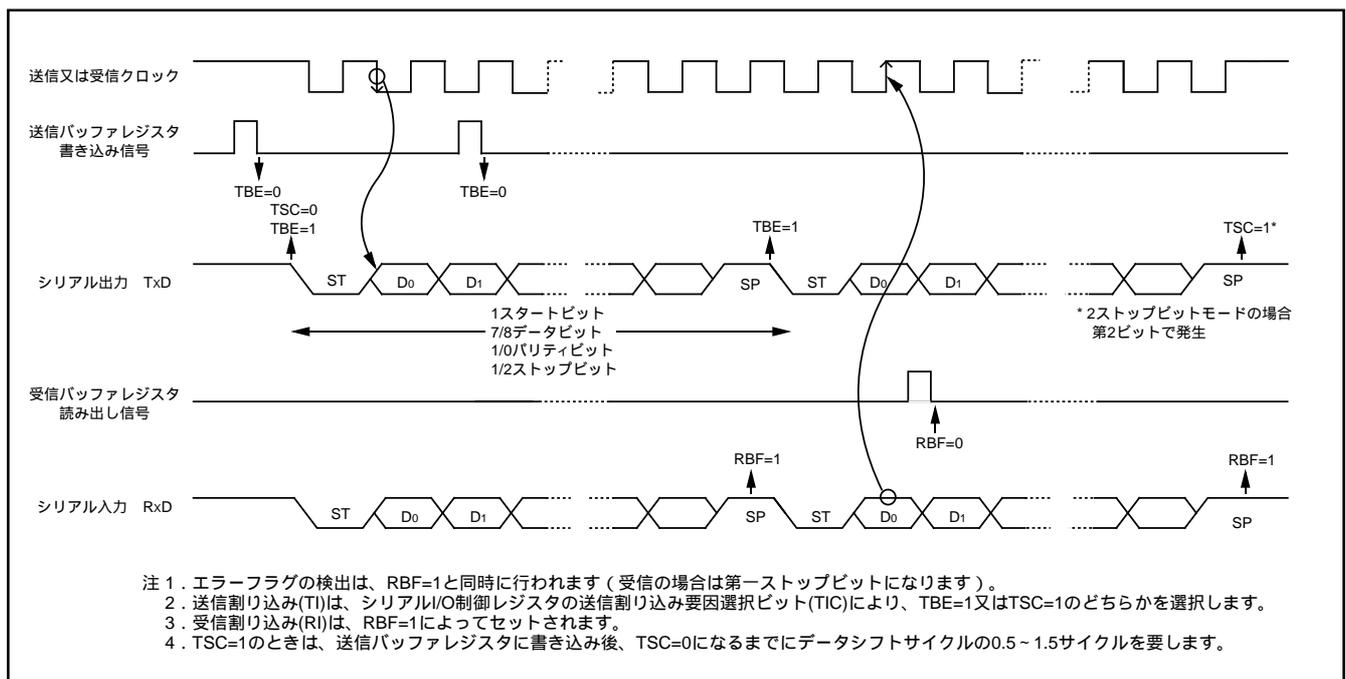


図 32 . UART 形シリアル I/O1 ブロック図



注 1 . エラーフラグの検出は、RBF=1と同時にされます(受信の場合は第一ストップビットになります)。
 2 . 送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
 3 . 受信割り込み(RI)は、RBF=1によってセットされます。
 4 . TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図 33 . UART 形シリアル I/O 動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TXD1端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

・シリアルI/O割り込み

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビットおよびシリアルI/O1同期クロック選択ビットの設定値により、P12、P13の機能が下記のように変化します。

(1)シリアルI/O1モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は同期クロックの出力端子になります。

“1”: P12端子は同期クロックの入力端子になります。

・SRDY1出力許可ビット(SRDY)の設定

“0”: P13端子は通常の入出力端子として使用できます。

“1”: P13端子はSRDY出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”: P12端子は通常の入出力端子として使用できます。

“1”: P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

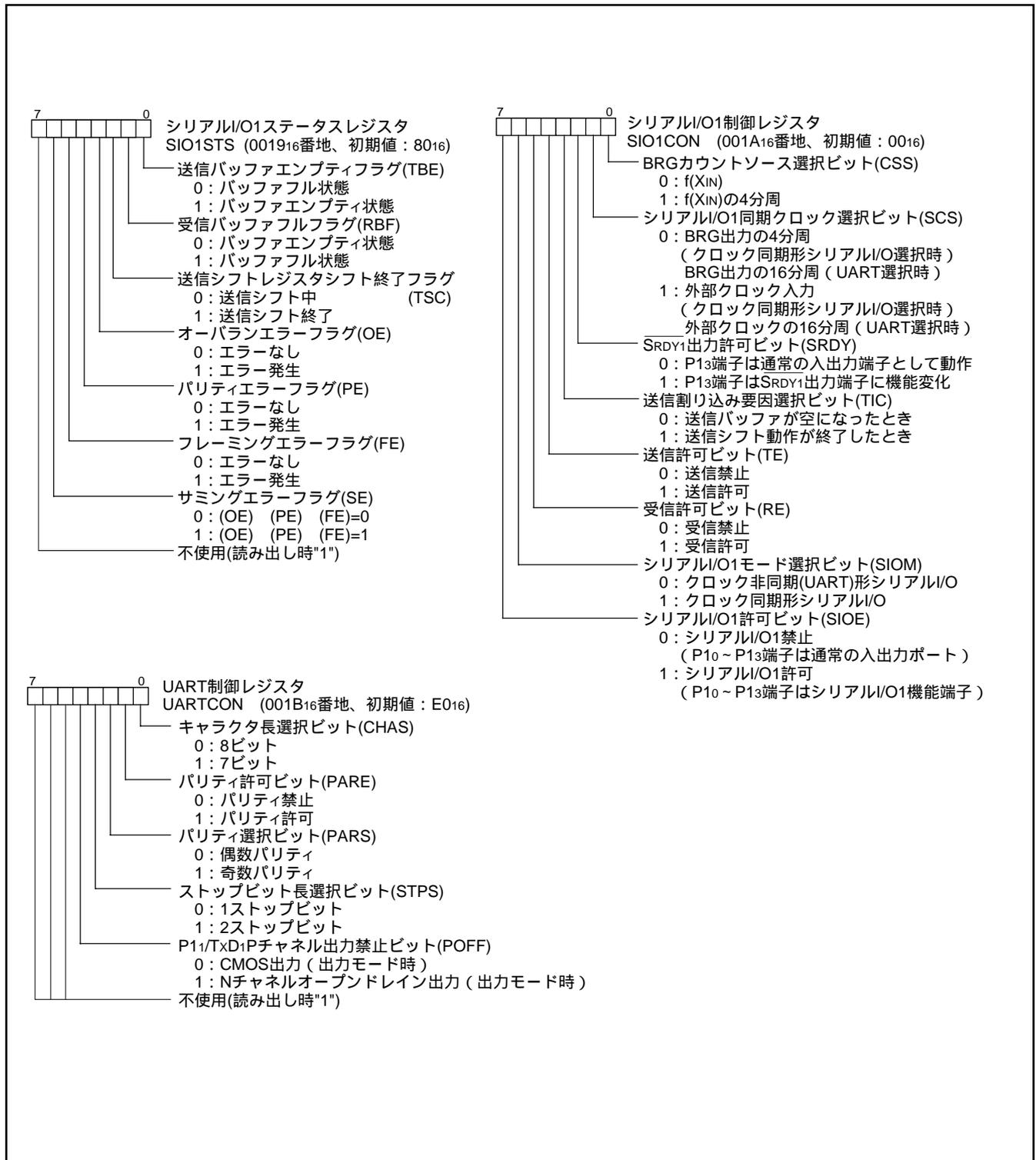


図 34 . シリアル I/O1 関係レジスタの構成

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

シリアルI/O2は、シリアルI/O1を使用しない場合、及びシリアルI/O1をUARTとして使用し、かつ同期クロックにBRG出力の1/6分周を選択した場合のみ使用可能です。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

受信するために、ビット3に“0”を設定してください。受信時、シフト終了後にシリアルI/O2レジスタへダミーデータを書き込むことによってビット7をクリアします。

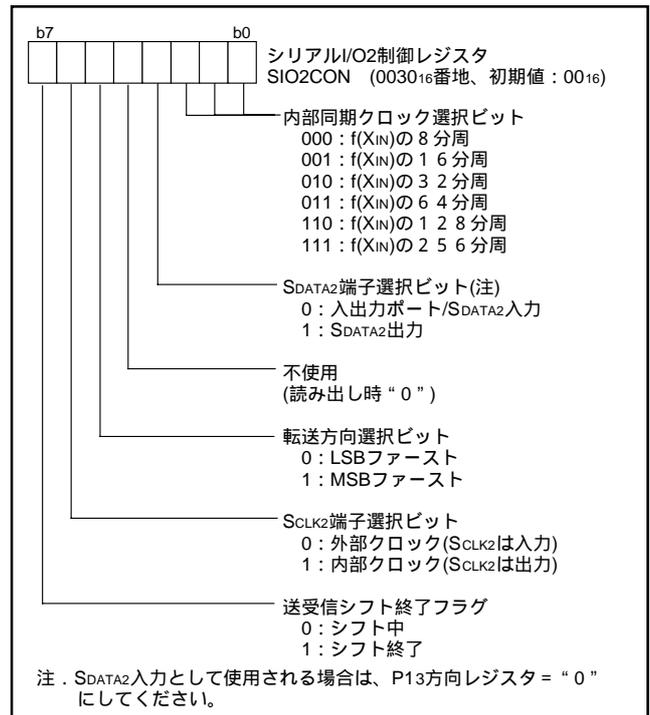


図35. シリアルI/O2制御レジスタの構成

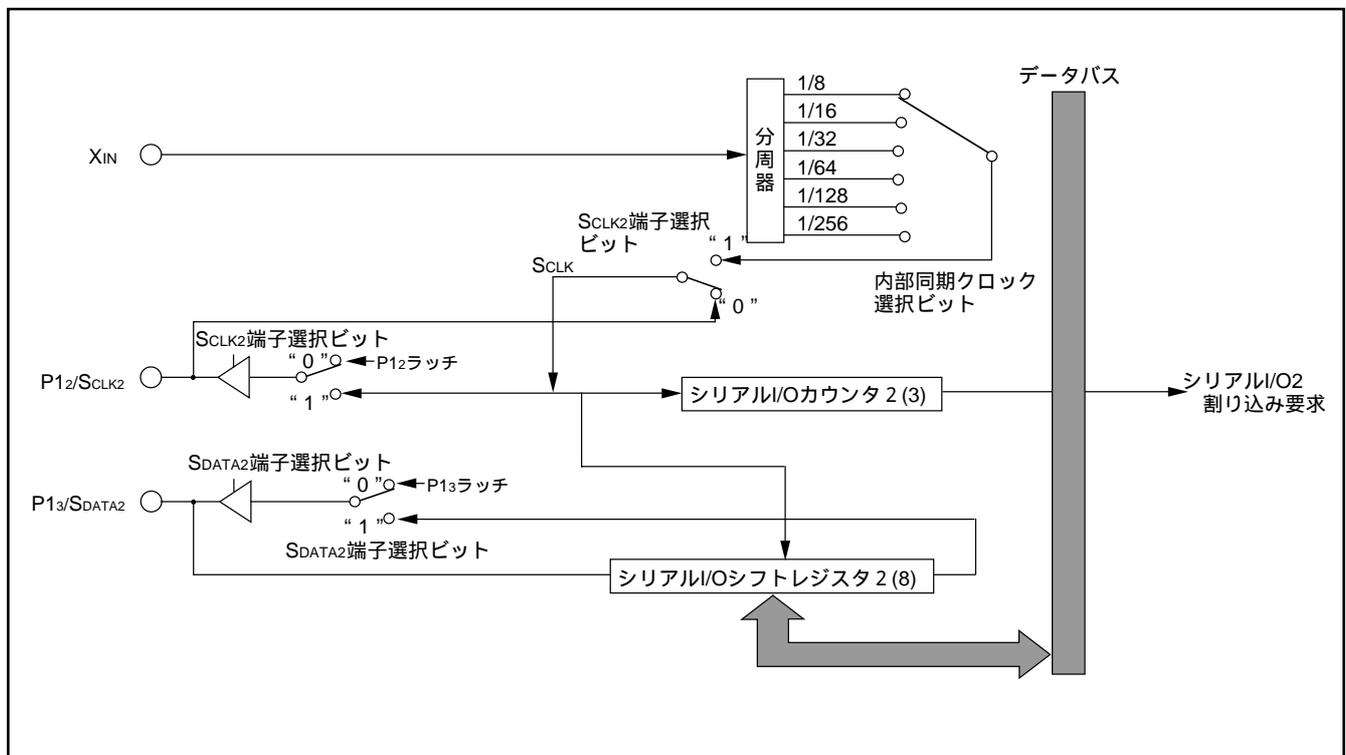


図36. シリアルI/O2ブロック図

(1)シリアルI/O2の動作

シリアルI/O2レジスタ(0031₁₆番地)に書き込みを行うとシリアルI/O2カウンタが7にセットされます。

書き込み後、転送クロックが“H”から“L”に変化すると、SDATA2端子からデータが出力されます。また、転送クロックが“L”から“H”に変化するとSDATA2端子からデータが取り込まれると同時にシリアルI/O2レジスタの内容が1ビットシフトされます。

転送クロック源に内部クロックを選択している場合、転送クロックを8回カウントすると次のような動作が行われます。

- ・シリアルI/Oカウンタ2は“0”にクリア。
- ・転送クロックは“H”で停止。
- ・割り込み要求ビットがセット。
- ・シフト終了フラグがセット。

また、データ転送終了後SDATA2端子がハイインピーダンス状態になります(図37参照)。

転送クロック源に外部クロックを選択している場合、転送クロックを8回カウントすると割り込み要求ビットはセットされますが、転送クロックは停止しませんので、外部でクロックを制御してください。また、データ転送完了後はSDATA2端子はハイインピーダンス状態になりませんので注意が必要です。

また、受信完了後、シリアルI/O2レジスタを読み出すことにより、送受信シフト終了フラグは、クリアされます。送信時は、シリアルI/O2レジスタへの書き込みにより、送受信シフト終了フラグがクリアされ、送信が始まります。

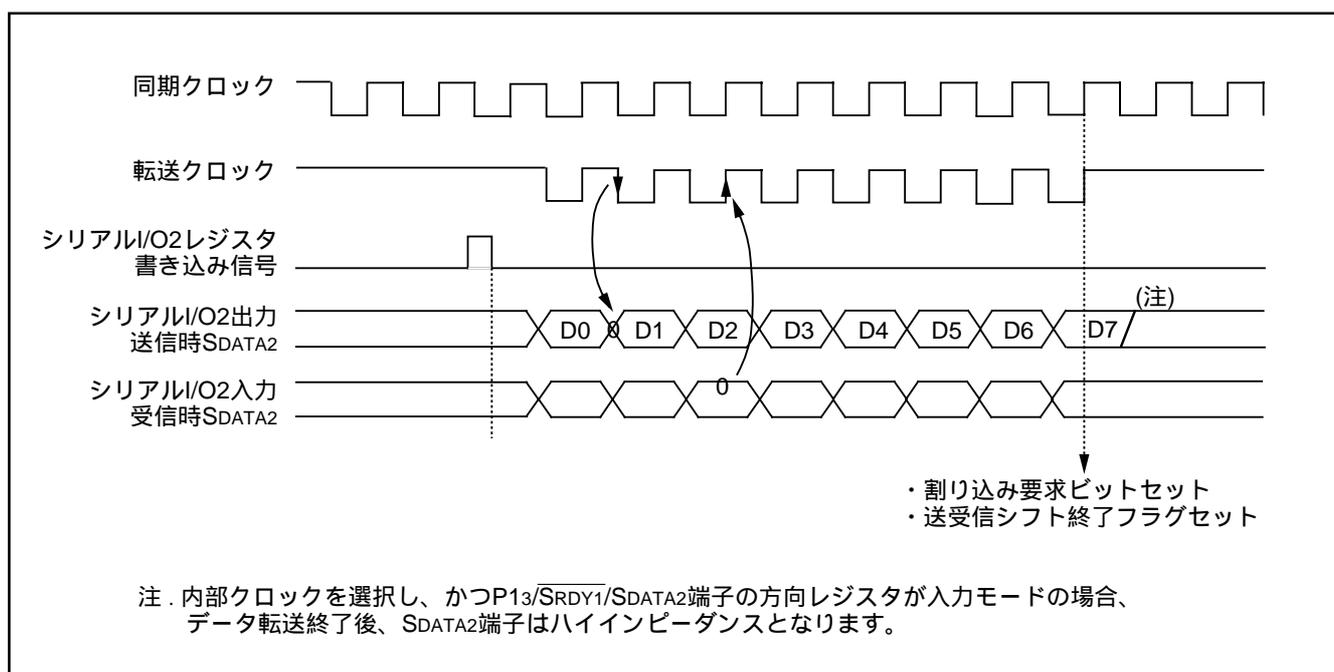


図 37 . シリアルI/O2 タイミング (LSB ファーストの場合)

A/D コンバータ

【A/D 変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。

【A/D制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{REF}間の電圧を抵抗ラダーによって、1024分割し分圧出力します。A/D変換中以外は、V_{REF}端子、V_{SS}端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャンネルセクタ】

ポートP27/AN7～P20/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は(X_{IN})を500kHz以上にしてください。

A/D変換に関する注意事項

A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) V_{REF}電圧をV_{CC}よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、V_{REF}電圧とV_{CC}電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) V_{REF}電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、V_{REF}=3.0V異常での使用を推奨します。

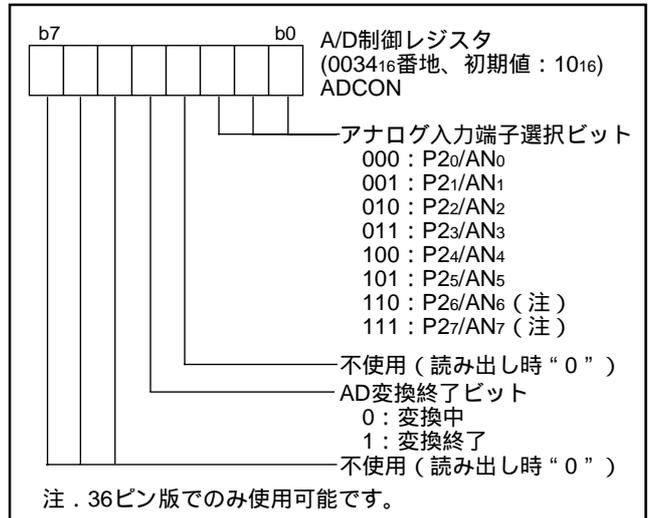


図38．A/D 制御レジスタの構成

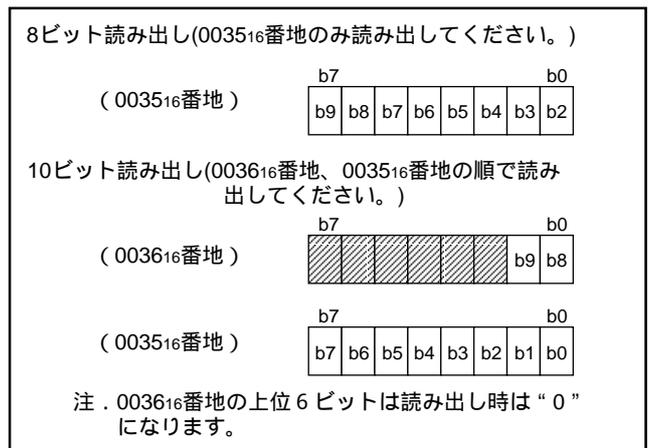


図39．A/D 変換レジスタの構成

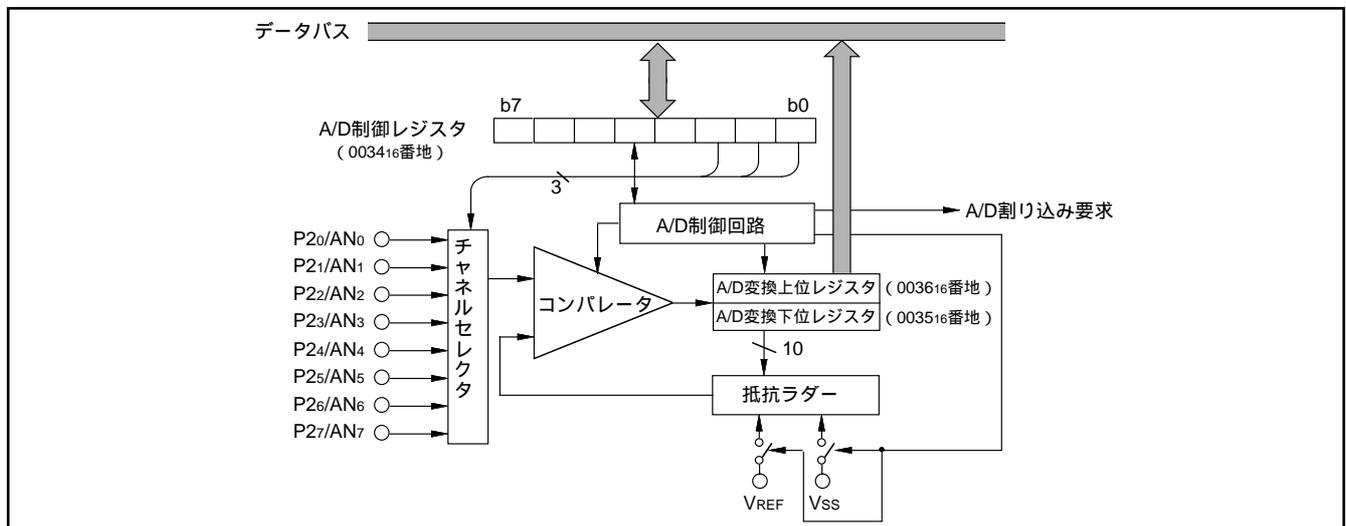


図40．A/D 変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウンタダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1)ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

(2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN) = 8\text{MHz}$ 時131.072msになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の16分周信号となります。この場合の検出時間は $f(XIN) = 8\text{MHz}$ 時512 μs になります。

このビットはリセット後“0”になります。

(3)STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き替えることはできなくなります。

このビットはリセット後“0”になります。

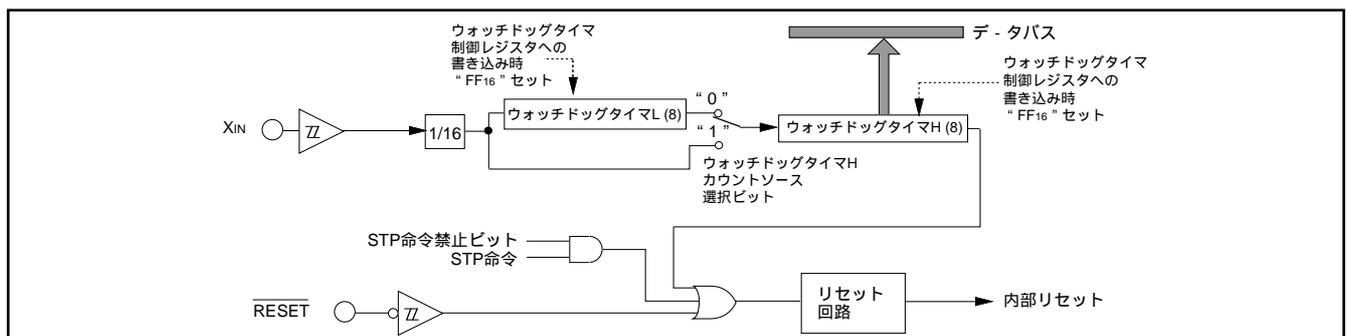


図 41 . ウォッチドッグタイマのブロック図

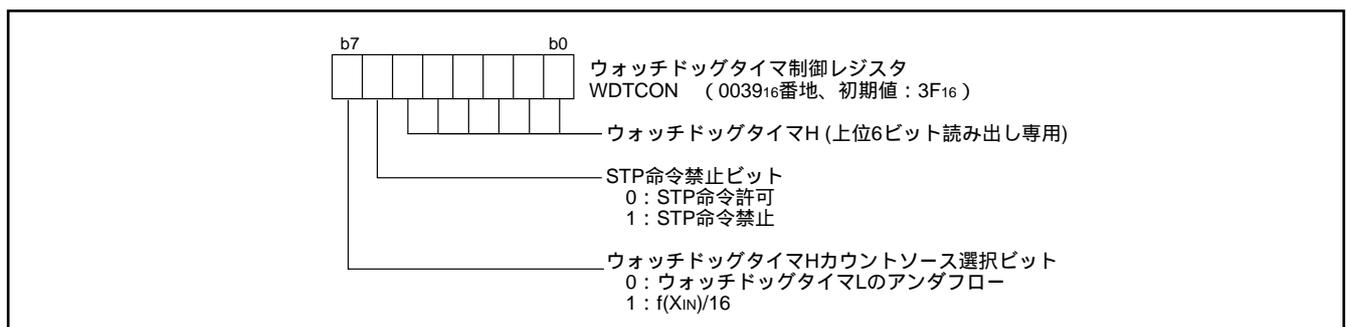


図 42 . ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.2～5.5Vにあり、XINが安定発振しているとき、RESET端子を“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

- f () 6 MHz時、リセット入力電圧は、電源電圧が4.5Vを通過する時点で0.9V以下になるようにしてください。
- f () 4 MHz時、リセット入力電圧は、電源電圧が4.0Vを通過する時点で0.8V以下になるようにしてください。
- f () 2 MHz時、リセット入力電圧は、電源電圧が2.4Vを通過する時点で0.48V以下になるようにしてください。
- f () 1 MHz時、リセット入力電圧は、電源電圧が2.2Vを通過する時点で0.44V以下になるようにしてください。

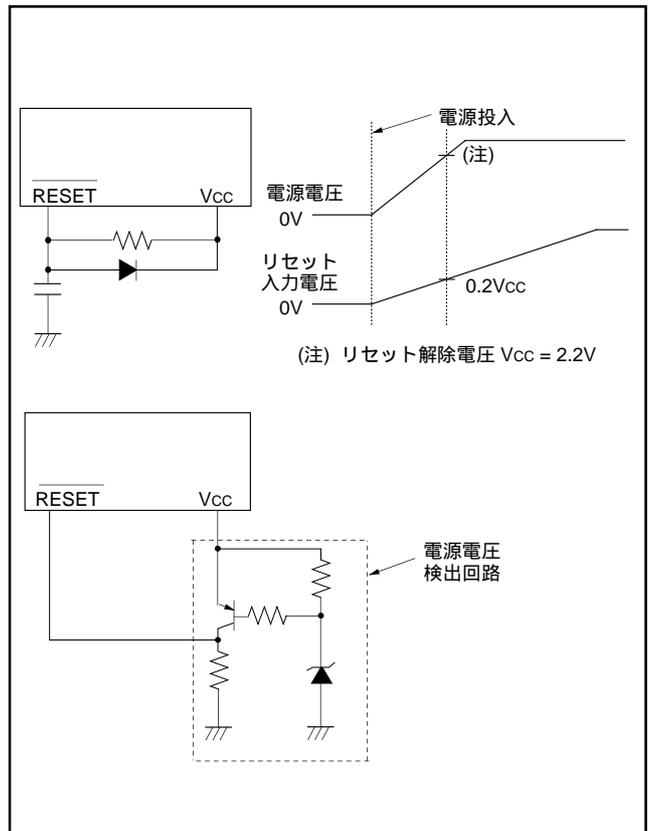


図43 . リセット回路例

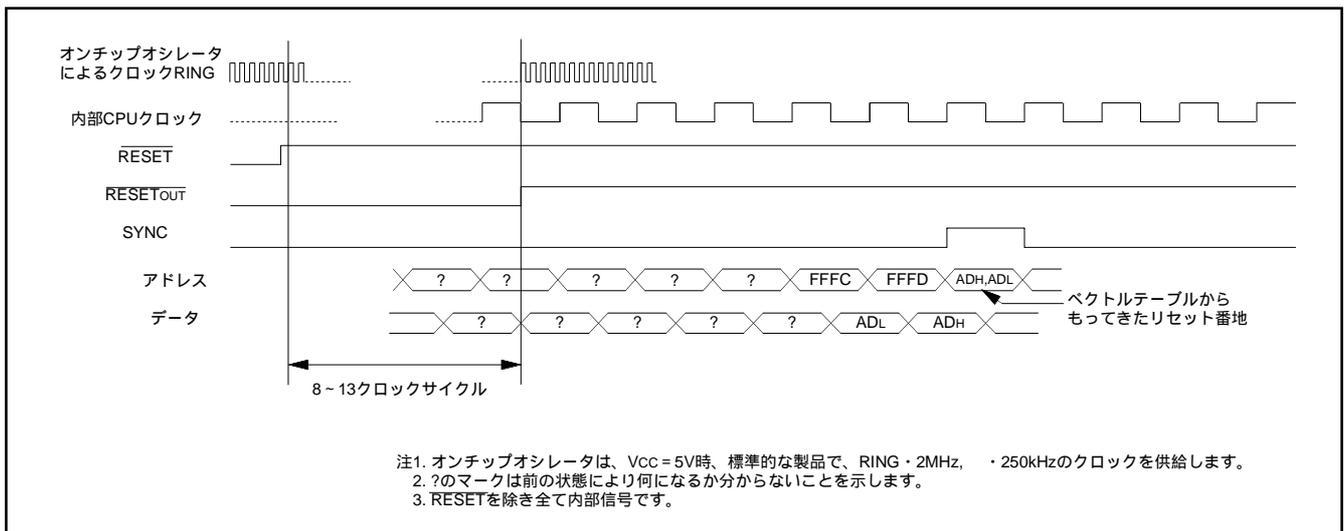


図44 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	000116	0016
(2) ポートP1方向レジスタ	000316	x x x 0 0 0 0 0
(3) ポートP2方向レジスタ	000516	0016
(4) ポートP3方向レジスタ	000716	0016
(5) プルアップ制御レジスタ	001616	0016
(6) ポートP1P3制御レジスタ	001716	0016
(7) シリアルI/O1ステータスレジスタ	001916	1 0 0 0 0 0 0 0
(8) シリアルI/O1制御レジスタ	001A16	0016
(9) UART制御レジスタ	001B16	1 1 1 0 0 0 0 0
(10) タイマAモードレジスタ	001D16	0016
(11) タイマA (下位)	001E16	FF16
(12) タイマA (上位)	001F16	FF16
(13) タイマY、Zモードレジスタ	002016	0016
(14) プリスケーラY	002116	FF16
(15) タイマYセカンダリ	002216	FF16
(16) タイマYプライマリ	002316	FF16
(17) タイマY、Z波形出力制御レジスタ	002416	0016
(18) プリスケーラZ	002516	FF16
(19) タイマZセカンダリ	002616	FF16
(20) タイマZプライマリ	002716	FF16
(21) プリスケーラ1	002816	FF16
(22) タイマ1	002916	0116
(23) ワンショット開始レジスタ	002A16	0016
(24) タイマXモードレジスタ	002B16	0016
(25) プリスケーラX	002C16	FF16
(26) タイマX	002D16	FF16
(27) タイマカウントソース設定レジスタ	002E16	0016
(28) シリアルI/O2制御レジスタ	003016	0016
(29) シリアルI/O2レジスタ	003116	0016
(30) A/D制御レジスタ	003416	1016
(31) MISRG	003816	0016
(32) ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1
(33) 割り込みエッジ選択レジスタ	003A16	0016
(34) CPUモードレジスタ	003B16	1 0 0 0 0 0 0 0
(35) 割り込み要求レジスタ1	003C16	0016
(36) 割り込み要求レジスタ2	003D16	0016
(37) 割り込み制御レジスタ1	003E16	0016
(38) 割り込み制御レジスタ2	003F16	0016
(39) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(40) プログラムカウンタ	(PCH)	FFFD16番地の内容
	(PCL)	FFFC16番地の内容

注 . x は不定です。

図 45 . リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を、抵抗及びコンデンサを接続することによりRC発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

(1) オンチップオシレータ動作

メインクロックをオンチップオシレータで供給する場合は、XIN端子をVssに接続し、XOUT端子は開放としてください。

なお、オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) セラミック共振子を使用する場合

メインクロックにセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続してください。帰還抵抗は内蔵しております。

(3) RC 発振を使用する場合

メインクロックにRC 発振を使用する場合は、XIN端子とXOUT端子を短絡し、抵抗R、コンデンサCの外付け回路を最短距離で接続してください。

なお、RC 発振用の抵抗R およびコンデンサCの定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の規格を越えないよう注意してください。

(4) 外部クロックを使用する場合

メインクロックに外部クロック信号を使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放してください。

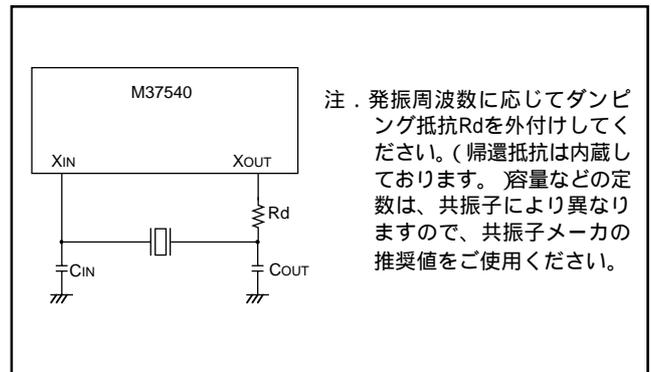


図46．セラミック共振子外付け回路

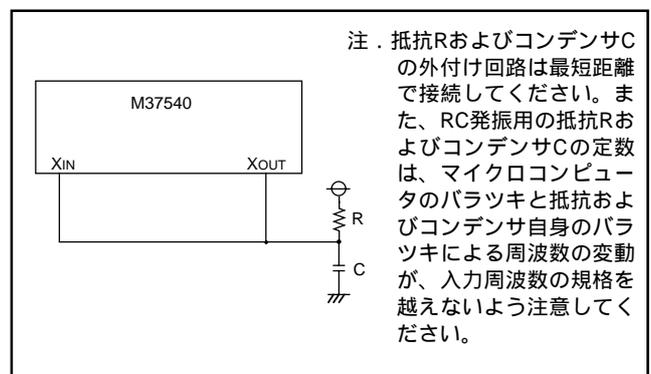


図47．RC 外付け発振回路

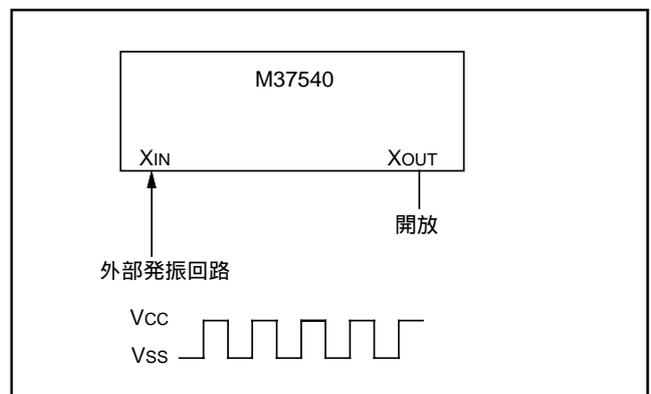


図48．外部クロック入力回路

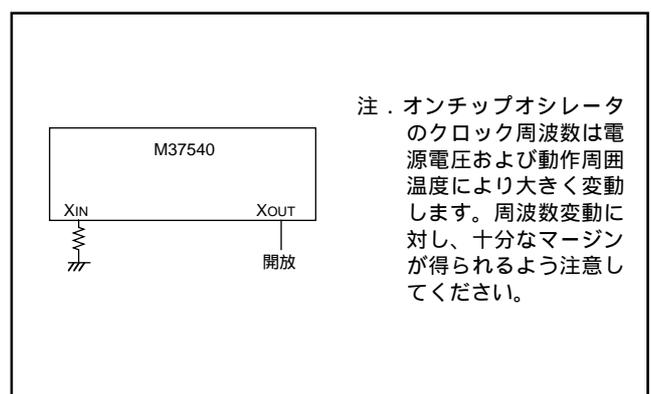


図49．オンチップオシレータ動作時のXIN、XOUT 端子の処理

発振制御

(1)ストップモード

STP命令を実行すると内部クロックが \bar{H} の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが $\bar{0}$ のとき、タイマ1には 0116 、プリスケアラ1には $FF16$ が設定されます。一方、STP命令解除後発振安定時間設定ビットが $\bar{1}$ のときは、タイマ1、プリスケアラ1には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ1の入力にはXINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで \bar{H} のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に \bar{L} レベルを印加してください。

また、CPUが、オンチップオシレータによって動作している間は、STP命令は使用できません。

(2)ウェイトモード

WIT命令を実行すると、内部クロックが \bar{H} の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを $\bar{1}$ にしておく必要があります。

注意事項

STP命令解除後発振安定時間設定ビットを $\bar{1}$ で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ1に値を設定してください。

・セラミック発振とRC発振の切り替え

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

・倍速モードについて

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU“M37540RSS”は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図53の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

発振停止検出回路（注）

発振停止検出回路は、セラミック共振子又は発振回路が断線などにより停止した場合、内部リセットを発生します。内部リセット発生時、発振停止検出ステータスビットが“1”になることで、発振停止によるリセットを検出できます。

なお、発振停止検出回路を使用する場合は、オンチップオシレータを動作させる必要があります。

図53に状態遷移を示します。

注．エミュレータ専用MCU[®] M37540RSS[™]には、発振停止検出回路の機能は含まれておりません。

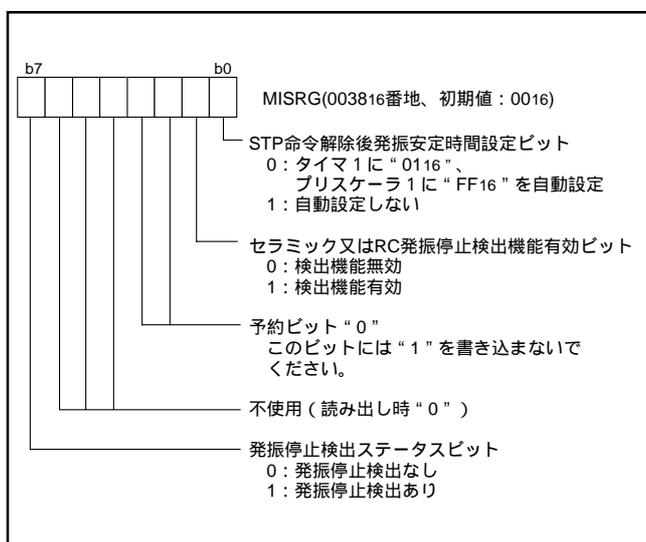


図 50 . MISRG の構成

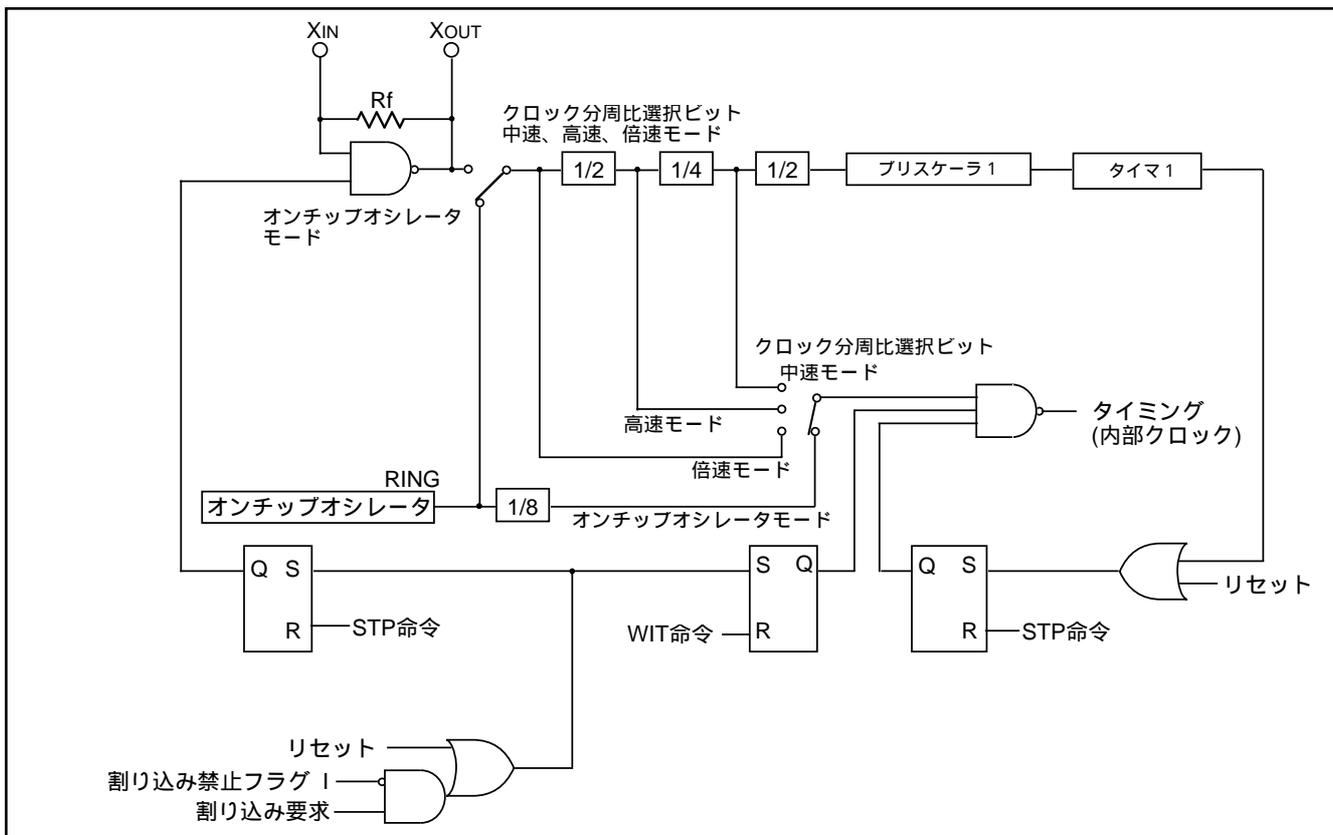


図 51 . システムクロック発生回路ブロック図 (セラミック発振時)

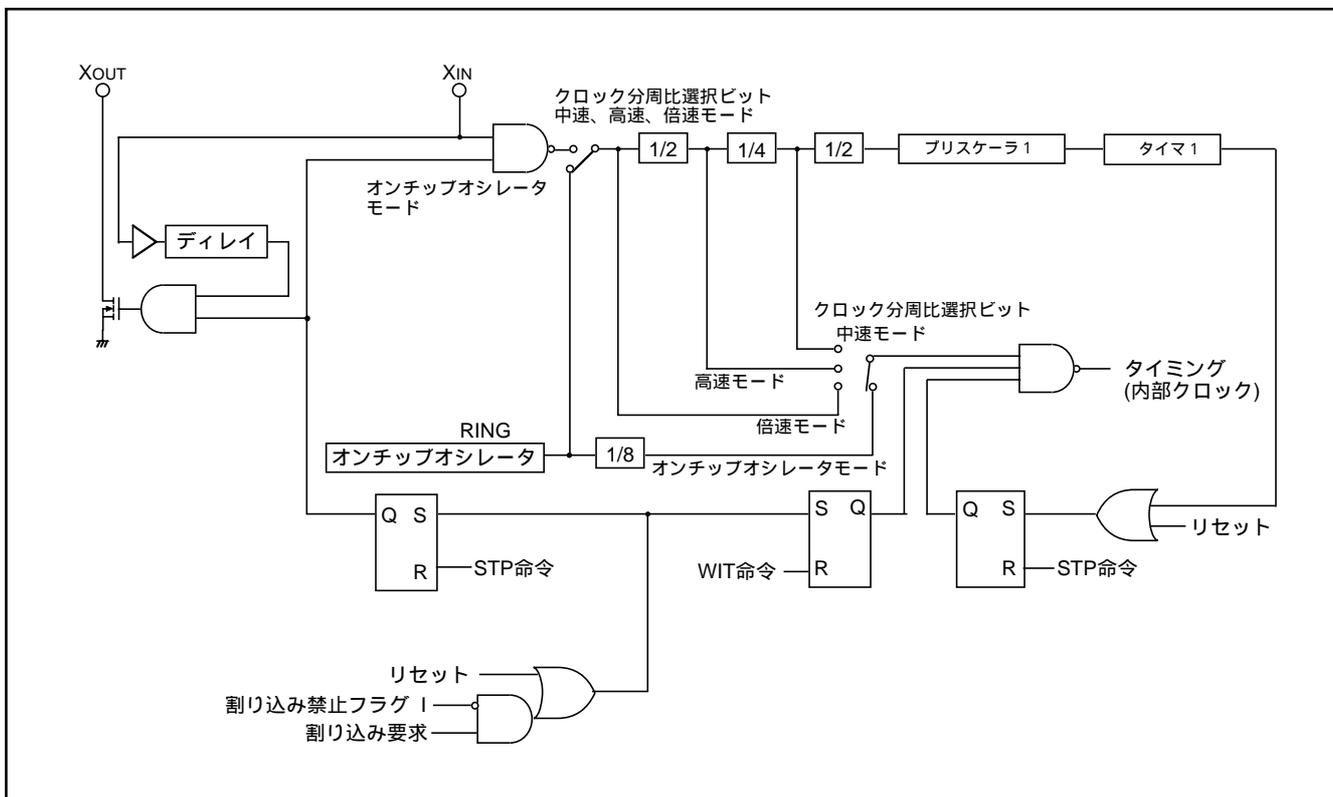


図 52 . システムクロック発生回路ブロック図 (RC 発振時)

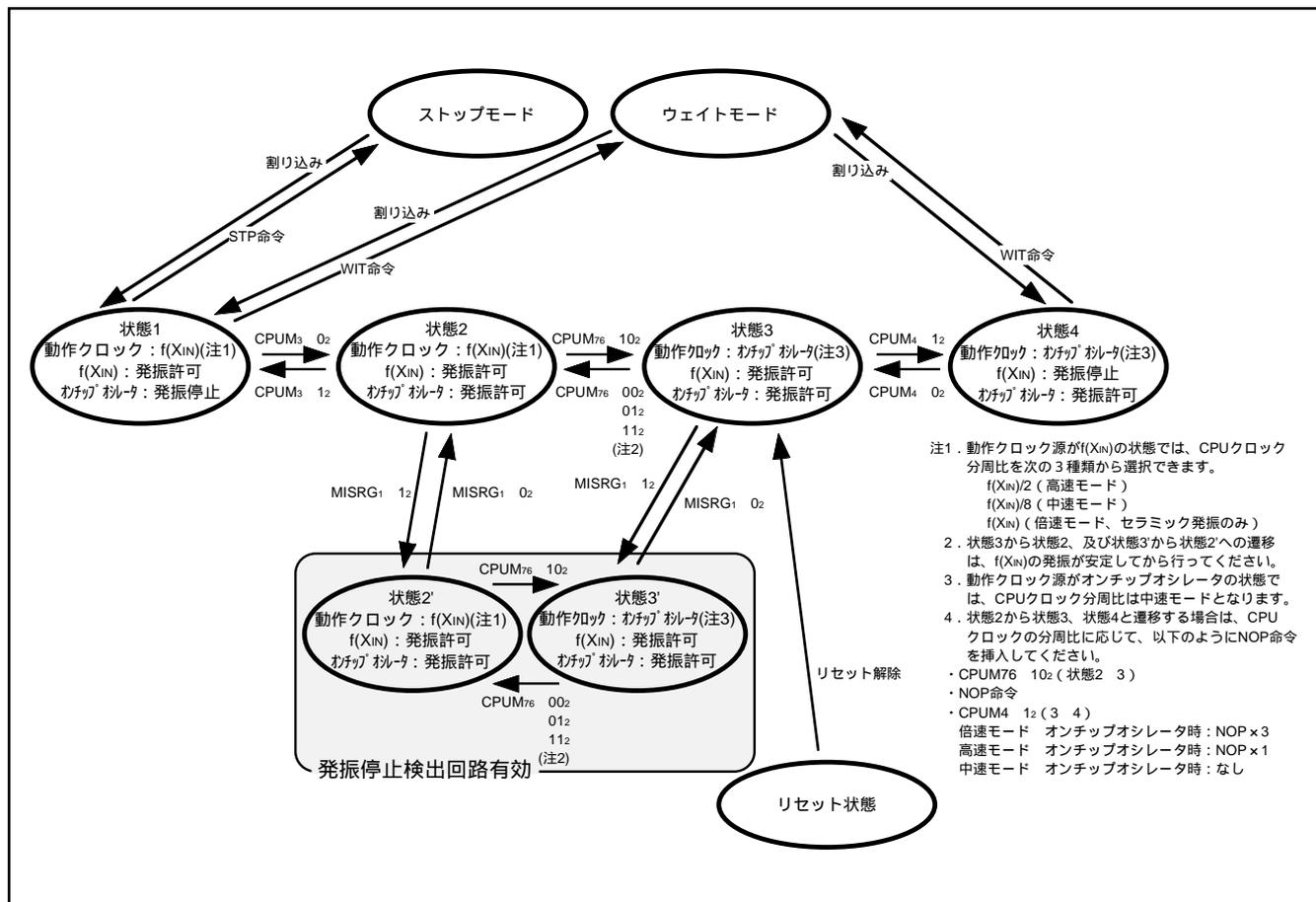


図 53 . クロック発生回路状態遷移図

プログラミング上の注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

(2) 割り込み

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

(3) 10進演算

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

(4) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(5) A/D変換

また、A/D変換中はSTP命令を実行しないでください。

(6) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時XINと同一、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。

(7) CPUモードレジスタ

発振方式選択ビット、プロセッサモードビットは、リセット解除後1度だけ書き替えることができます。書き替え後は、ロックされるため、このビットへの書き込みは、無効になります。(エミュレータ専用MCUは除きます)

クロック分周比選択ビットの倍速モードは、セラミック発振時のみ使用可能です。RC発振時は、使用しないでください。

動作クロック源に選択しているクロックをビット3、4により停止させないでください。

ハードウェアに関する注意事項

(1) 電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F~0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

(2) ワンタイムPROM版

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kの抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

周辺機能に関する注意事項

割り込み

次の場合、割り込み要求ビットが $\#1$ になる場合があります。

- 外部割り込み (INT0、INT1、CNTR0、CNTR1) のアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
 タイマXモードレジスタ (2B16番地)
 タイマAモードレジスタ (1D16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを 0 (禁止)にする。
 割り込みエッジ選択ビット (極性切り替えビット)を設定する。
 一命令以上おいてから、該当する割り込み要求ビットを 0 にする。
 該当する割り込み許可ビットを 1 (許可)にする。

タイマ

- タイマラッチに値 n ($0 \sim 255$)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- タイマX、Y及びZのカウントソースを切り替える場合は、必ずそれぞれのタイマのカウントを停止させた状態で行ってください。

タイマA

- CNTR1割り込み極性選択
 CNTR1極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR1極性切り替えビットが 0 のときはCNTR1端子入力の立ち下がりエッジで、CNTR1極性切り替えビットが 1 のときはCNTR1端子入力の立ち上がりエッジで、CNTR1割り込み要求ビットが 1 にセットされます。

ただし、パルス幅HL連続測定モードの場合は、CNTR1極性切り替えビットの値にかかわらず、端子の立ち上がり、及び立ち下がりCNTR1割り込み要求が発生します。

タイマX

- CNTR0割り込み極性選択
 CNTR0極性切り替えビットの設定値により、同時に割り込み極性も影響を受けます。CNTR0極性切り替えビットが 0 のときはCNTR0端子入力の立ち下がりエッジで、CNTR0極性切り替えビットが 1 のときはCNTR0端子入力の立ち上がりエッジで、CNTR0割り込み要求ビットが 1 にセットされます。

タイマY：プログラマブル波形発生モード

- カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマYプライマリを設定することによって、タイマYセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマYプライマリの設定値を変更する必要がない場合でも、既に設定している値を再度タイマYプライマリに書き込む必要があります。

- タイマYプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマYプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

- 波形拡張機能の使用について

タイマY波形拡張制御ビットによる波形拡張機能は、プリスケラYに 0016 を設定した時のみ使用可能です。プリスケラYに 0016 以外の値を設定している場合は、必ずタイマYプライマリ波形拡張制御ビットとタイマYセカンダリ波形拡張制御ビットに 0 を設定してください。

- タイマY書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマY書き込み制御ビットに 1 を設定し、“ラッチのみ書き込み”を選択してください。

タイマYは、いずれの動作モードでも、タイマYカウント停止ビットを 1 に設定することにより、カウントを停止することが可能です。また、タイマYがアンダフローすると、タイマY割り込み要求ビットが 1 にセットされます。

タイマYは、タイマYカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

タイマZ：プログラマブル波形発生モード

・カウント設定値の変更

プログラマブル波形発生モードでは、カウント設定値を変更すると、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブル波形発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブル波形発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZ：プログラマブルワンショット発生モード

・カウント設定値の変更

プログラマブルワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZプライマリ拡張制御ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZ：プログラマブルウェイトワンショット発生モード

・カウント設定値の変更

プログラマブルウェイトワンショット発生モードでは、カウント設定値を変更する場合は、タイマZプライマリを設定することによって、タイマZセカンダリ、プライマリ及びセカンダリ波形拡張ビットの設定値も有効になります。したがって、タイマZプライマリの設定値を変更する必要がない場合でも、すでに設定している値を再度タイマZプライマリに書き込む必要があります。

・タイマZプライマリへの書き込みタイミング

プログラマブルウェイトワンショット発生モードで波形出力中に設定値を変更する場合は、タイマZプライマリへの書き込みとセカンダリ期間のタイマのアンダフローが重ならないように、ソフトウェアで対策を行ってください。

・波形拡張機能の使用について

タイマZ波形拡張制御ビットによる波形拡張機能は、プリスケラZに“0016”を設定した時のみ使用可能です。プリスケラZに“0016”以外の値を設定している場合は、必ずタイマZプライマリ波形拡張制御ビットとタイマZセカンダリ波形拡張制御ビットに“0”を設定してください。また、カウントソースにタイマYアンダフローを選択した場合にも、波形拡張機能は使用できません。

・タイマZ書き込みモードについて

プログラマブルウェイトワンショット発生モードを使用する場合は、必ずタイマZ書き込み制御ビットに“1”を設定し、“ラッチのみ書き込み”を選択してください。

タイマZは、いずれの動作モードでも、タイマZカウント停止ビットを“1”に設定することにより、カウントを停止することが可能です。また、タイマZがアンダフローすると、タイマZ割り込み要求ビットが“1”にセットされます。

タイマZは、タイマZカウント停止ビットでカウントを停止させると、その時点でラッチの値をリロードします。(タイマ停止中、タイマの読み出しを行うとラッチの値が読み出されます。タイマの値は、タイマの動作中でなければ読み出せません。)

A/D変換

1. 比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は $f(XIN)$ を500kHz以上にしてください。

2. A/D変換精度は、以下の使用条件では精度が低くなる場合があります。

(1) VREF電圧をVccよりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、VREF電圧とVcc電圧を同一に設定する場合よりも精度が低くなる場合があります。

(2) VREF電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、VREF=3.0V異常での使用を推奨します。

シリアルI/O

・シリアルI/O割り込み

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O1許可時の入出力端子機能

シリアルI/O1モード選択ビットおよびシリアルI/O1同期クロック選択ビットの設定値によりP12、P13の機能が下記のように変化します。

(1)シリアルI/O1モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”：P12端子は同期クロックの出力端子になります。

“1”：P12端子は同期クロックの入力端子になります。

・SRDY1出力許可ビット(SRDY)の設定

“0”：P13端子は通常の入出力端子として使用できます。

“1”：P13端子はSRDY出力端子になります。

(2)シリアルI/O1モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O1同期クロック選択ビットの設定

“0”：P12端子は通常の入出力端子として使用できます。

“1”：P12端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P13端子は通常の入出力端子として使用できます。

クロック発生回路

STP命令解除後発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ1に値を設定してください。

・セラミック発振とRC発振の切り替え

リセット解除後は、オンチップオシレータにより動作を始めます。この時、CPUモードレジスタのビット5を変更することにより、セラミック発振又は、RC発振が有効になります。

・倍速モードについて

セラミック発振時は、倍速モードが使用できます。RC発振時は、使用しないでください。

・CPUモードレジスタの書き替えについて

CPUモードレジスタのビット5, 1, 0は、発振方式選択や、マイクロコンピュータの動作モードの制御を行うビットです。暴走等の誤書き込みによる、マイクロコンピュータのデッドロックを防止するため、これらのビットは、リセット解除後1度だけ書き替えが可能です。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。(エミュレータ専用MCU “M37540RSS” は除きます)

また、ビット5, 1, 0以外へのリード・モディファイ・ライト命令(SEB,CLB等の命令)使用時も、これらのビットにはロックがかかります。

・クロック分周比、XIN発振制御、オンチップオシレータ発振制御の切り替えについて

クロック発生回路は、CPUモードレジスタのクロック分周比選択ビット(ビット7, 6)と、XIN発振制御ビット(ビット4)、オンチップオシレータ発振制御ビット(ビット3)の設定値により、図52の状態遷移を実現できます。

切り替えにあたっては、図中の遷移の制限事項に注意してください。

・オンチップオシレータ動作

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時に電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書 *
- (2)マーク指定書 *
- (3)ROMのデータ EPROM 3 セット
又はフロッピーディスク 1 枚

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- (1)ROM書き込み確認書 *
- (2)マーク指定書 *
- (3)ROMのデータ EPROM 3 セット
又はフロッピーディスク 1 枚

* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページ

ROM発注(<http://www.renesas.com/jp/rom>)を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表7. 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
32P4B	PCA7435SPG02
32P6U-A	PCA7435GPG03
36P2R-A	PCA7435FPG02

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図54に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

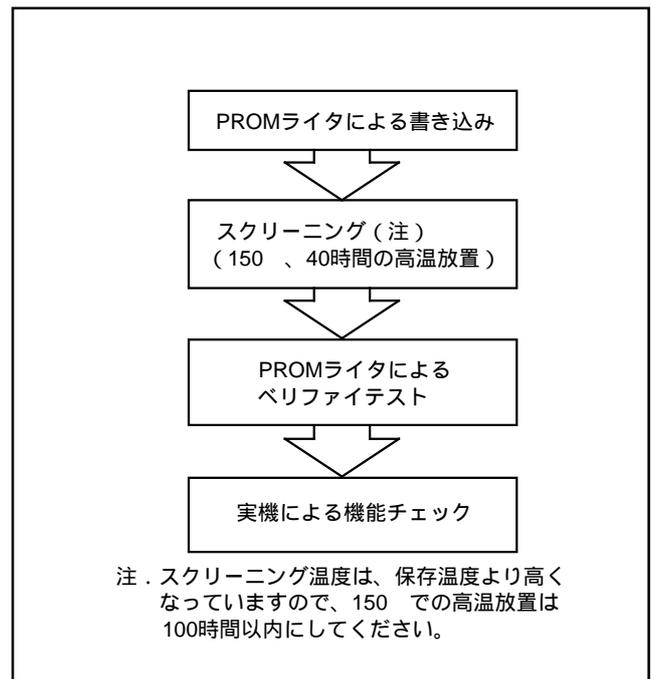


図54. ワンタイムPROM版書き込みとテスト

7540 グループ（一般品）の電気的特性

M37540M2-XXXFP/SP/GP、M37540M4-XXXFP/SP/GP、M37540E2FP/SP/GP、M37540E8FP/SP/GPに対応する電気的特性です。

(1) 絶対最大定格（一般品）

表 8 . 絶対最大定格（一般品）

記号	項 目	条 件	定 格 値	単 位
VCC	電源電圧	Vss 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 6.5 (注 1)	V
Vi	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, VREF		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss (注 2)		- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, XOUT		- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300 (注 3)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注 1 . マスク ROM 版の定格値です。ワンタイム PROM 版の定格値は - 0.3 ~ 7.0V です。

注 2 . ワンタイム PROM 版のみの定格です。マスク ROM 版では、Vss に接続してください。

注 3 . 32P6U パッケージ品では、200mW です。

(2) 推奨動作条件(一般品)

表9. 推奨動作条件(1)(一般品)(指定のない場合, Vcc = 2.2 ~ 5.5V, Ta = -20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧 (セラミック発振時)	8MHz動作時(高、中速モード)	4.0	5.0	5.5	V
		4MHz動作時(高、中速モード)	2.4	5.0	5.5	V
		2MHz動作時(高、中速モード)	2.2	5.0	5.5	V
		6MHz動作時(倍速モード)	4.5	5.0	5.5	V
		4MHz動作時(倍速モード)	4.0	5.0	5.5	V
		2MHz動作時(倍速モード)	2.4	5.0	5.5	V
		1MHz動作時(倍速モード)	2.2	5.0	5.5	V
	電源電圧 (RC発振時)	4MHz動作時(高、中速モード)	4.0	5.0	5.5	V
		2MHz動作時(高、中速モード)	2.4	5.0	5.5	V
		1MHz動作時(高、中速モード)	2.2	5.0	5.5	V
VSS	電源電圧		0		V	
VREF	アナログ基準電圧	2.0		Vcc	V	
VIH	“H”入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8Vcc		Vcc	V	
VIH	“H”入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37(注1)	2.0		Vcc	V	
VIH	“H”入力電圧 RESET, XIN	0.8Vcc		Vcc	V	
VIL	“L”入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3Vcc	V	
VIL	“L”入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37(注1)	0		0.8	V	
VIL	“L”入力電圧 RESET, CNVss	0		0.2Vcc	V	
VIL	“L”入力電圧 XIN	0		0.16Vcc	V	
I _{OH} (peak)	“H”出力総尖頭電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
I _{OL} (peak)	“L”出力総尖頭電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
I _{OL} (peak)	“L”出力総尖頭電流(注2) P30 ~ P36			60	mA	
I _{OH} (avg)	“H”出力総平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
I _{OL} (avg)	“L”出力総平均電流(注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
I _{OL} (avg)	“L”出力総平均電流(注2) P30 ~ P36			30	mA	

注1. Vcc=4.0 ~ 5.5V時の場合です。

注2. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表 10 . 推奨動作条件 (2) (一般品) (指定のない場合は , $V_{CC} = 2.2 \sim 5.5V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力尖頭電流 (注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P30 ~ P36			30	mA
IOH(avg)	“H”出力平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
IOL(avg)	“L”出力平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
IOL(avg)	“L”出力平均電流 (注2) P30 ~ P36			15	mA
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.5 \sim 5.5V$) 倍速モード			6	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 倍速モード			4	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 倍速モード			2	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.2 \sim 5.5V$) 倍速モード			1	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			8	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			4	MHz
f(XIN)	発振周波数 (注3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.2 \sim 5.5V$) 高, 中速モード			2	MHz
f(XIN)	発振周波数 (注3) RC 発振時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			4	MHz
f(XIN)	発振周波数 (注3) RC 発振時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			2	MHz
f(XIN)	発振周波数 (注3) RC 発振時 ($V_{CC}=2.2 \sim 5.5V$) 高, 中速モード			1	MHz

注 1 . 出力尖頭電流は 1 ポートごとに流れる電流のピーク値を規定します。

2 . 平均出力電流 IOL(avg), IOH(avg)は 100ms の期間での平均値です。

3 . 発振周波数はデューティ 50% の場合です。

(3) 電気的特性 (一般品)

表 11 . 電気的特性 (1) (一般品) (指定のない場合は , $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 2.2 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	IOL = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 1.0mA VCC = 2.2 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P30 ~ P36	IOL = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 10mA VCC = 2.2 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SCLK2, SDATA2 (注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1 . P11に関しては, UART制御レジスタのP11/TxD1 Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . RxD1, SCLK1, SCLK2, SDATA2, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

表 12 . 電氣的特性 (2) (一般品) (指定のない場合は , Vcc = 2.2 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
ICC	電源電流	ワンタイム PROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		5.0	8.0	mA
			f(XIN) = 2MHz, Vcc = 2.2V, 高速モード 出力トランジスタは遮断状態		0.5	1.5	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		6.0	10.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、Vcc = 5V, 出力トランジスタは遮断状態		350	1000	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, Vcc = 2.2V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、Vcc = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, Vcc = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25	0.1	1.0	μA
				Ta = 85		10	μA
		マスク ROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		3.5	6.5	mA
			f(XIN) = 2MHz, Vcc = 2.2V, 高速モード 出力トランジスタは遮断状態		0.4	1.2	mA
			f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		4.5	8.0	mA
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA
			オンチップオシレータ動作モード、Vcc = 5V, 出力トランジスタは遮断状態		300	900	μA
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA
			f(XIN) = 2MHz, Vcc = 2.2V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA
			オンチップオシレータ動作モード、Vcc = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA
			A/D 変換器動作時の増量 f(XIN) = 8MHz, Vcc = 5V		0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25	0.1	1.0	μA
				Ta = 85		10	μA

(4) A/Dコンバータ特性(一般品)

表 13 . A/D コンバータ特性 (一般品)

(指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	———	分解能				10	bits
	———	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	———	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	
マスク ROM 版	———	分解能				10	bits
	———	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	———	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	

(5) タイミング必要条件(一般品)

表 14 . タイミング必要条件 (1) (一般品) (指定のない場合は , Vcc = 4.0 ~ 5.5V , Vss = 0V , Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1入力サイクル時間	2000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	800			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	800			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	200			ns

注 . シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表 15 . タイミング必要条件 (2) (一般品)

(指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 " L " パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力 " H " パルス幅	100			ns
twl(XIN)	外部クロック入力 " L " パルス幅	100			ns
tc(CNTR0)	CNTR0 入力サイクル時間	500			ns
twh(CNTR0)	CNTR0, INT0, INT1 入力 " H " パルス幅	230			ns
twl(CNTR0)	CNTR0, INT0, INT1 入力 " L " パルス幅	230			ns
tc(CNTR1)	CNTR1 入力サイクル時間	4000			ns
twh(CNTR1)	CNTR1 入力 " H " パルス幅	1600			ns
twl(CNTR1)	CNTR1 入力 " L " パルス幅	1600			ns
tc(SCLK1)	シリアル I/O1 クロック入力サイクル時間 (注)	2000			ns
twh(SCLK1)	シリアル I/O1 クロック入力 " H " パルス幅 (注)	950			ns
twl(SCLK1)	シリアル I/O1 クロック入力 " L " パルス幅 (注)	950			ns
tsu(RxD1-SCLK1)	シリアル I/O1 入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアル I/O1 入力ホールド時間	200			ns
tc(SCLK2)	シリアル I/O2 クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアル I/O2 クロック入力 " H " パルス幅	950			ns
twl(SCLK2)	シリアル I/O2 クロック入力 " L " パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアル I/O2 入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアル I/O2 入力ホールド時間	400			ns

注 . シリアル I/O1 に関しては、シリアル I/O1 制御レジスタ (001A16 番地) のビット 6 が " 1 " (クロック同期形シリアル I/O1) の場合です。
シリアル I/O1 制御レジスタのビット 6 が " 0 " (クロック非同期形シリアル I/O1) の場合、規格値は、1 / 4 になります。

表 16 . タイミング必要条件 (3) (一般品)

(指定のない場合は , $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 " L " パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	500			ns
twh(XIN)	外部クロック入力 " H " パルス幅	200			ns
twl(XIN)	外部クロック入力 " L " パルス幅	200			ns
tc(CNTR0)	CNTR0 入力サイクル時間	1000			ns
twh(CNTR0)	CNTR0, INT0, INT1 入力 " H " パルス幅	460			ns
twl(CNTR0)	CNTR0, INT0, INT1 入力 " L " パルス幅	460			ns
tc(CNTR1)	CNTR1 入力サイクル時間	8000			ns
twh(CNTR1)	CNTR1 入力 " H " パルス幅	3200			ns
twl(CNTR1)	CNTR1 入力 " L " パルス幅	3200			ns
tc(SCLK1)	シリアル I/O1 クロック入力サイクル時間 (注)	4000			ns
twh(SCLK1)	シリアル I/O1 クロック入力 " H " パルス幅 (注)	1900			ns
twl(SCLK1)	シリアル I/O1 クロック入力 " L " パルス幅 (注)	1900			ns
tsu(RxD1-SCLK1)	シリアル I/O1 入力セットアップ時間	800			ns
th(SCLK1-RxD1)	シリアル I/O1 入力ホールド時間	400			ns
tc(SCLK2)	シリアル I/O2 クロック入力サイクル時間	4000			ns
twh(SCLK2)	シリアル I/O2 クロック入力 " H " パルス幅	1900			ns
twl(SCLK2)	シリアル I/O2 クロック入力 " L " パルス幅	1900			ns
tsu(SDATA2-SCLK2)	シリアル I/O2 入力セットアップ時間	800			ns
th(SCLK2-SDATA2)	シリアル I/O2 入力ホールド時間	800			ns

注 . シリアル I/O1 に関しては、シリアル I/O1 制御レジスタ (001A16 番地) のビット 6 が " 1 " (クロック同期形シリアル I/O1) の場合です。
シリアル I/O1 制御レジスタのビット 6 が " 0 " (クロック非同期形シリアル I/O1) の場合、規格値は、1 / 4 になります。

(6) スイッチング特性 (一般品)

表 17 . スイッチング特性 (1) (一般品) (指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TXD1)	シリアルI/O1出力遅延時間			140	ns
t _v (SCLK1-TXD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 30			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 30			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			140	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		10	30	ns

注1 . XOUT端子を除きます。

表 18 . スイッチング特性 (2) (一般品) (指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TXD1)	シリアルI/O1出力遅延時間			350	ns
t _v (SCLK1-TXD1)	シリアルI/O1出力有効時間	- 30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアルI/O2出力遅延時間			350	ns
t _v (SCLK2-SDATA2)	シリアルI/O2出力有効時間	0			ns
t _r (SCLK2)	シリアルI/O2クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間(注1)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間(注1)		20	50	ns

注1 . XOUT端子を除きます。

表 19 . スイッチング特性 (3) (一般品) (指定のない場合は , $V_{CC} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	t _c (SCLK1)/2 - 70			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	t _c (SCLK1)/2 - 70			ns
t _d (SCLK1-TXD1)	シリアル I/O1 出力遅延時間			450	ns
t _v (SCLK1-TXD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			70	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			70	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	t _c (SCLK2)/2 - 70			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	t _c (SCLK2)/2 - 70			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			450	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			70	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			70	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		25	70	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		25	70	ns

注 1 . XOUT 端子を除きます。

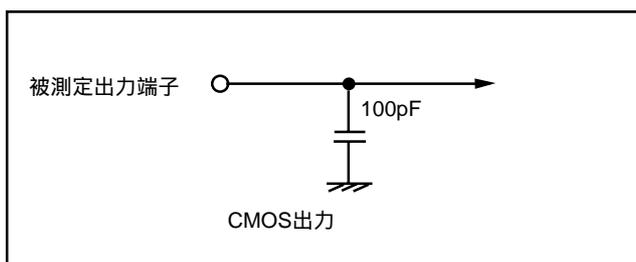


図 55 . スイッチング特性測定回路図 (一般品)

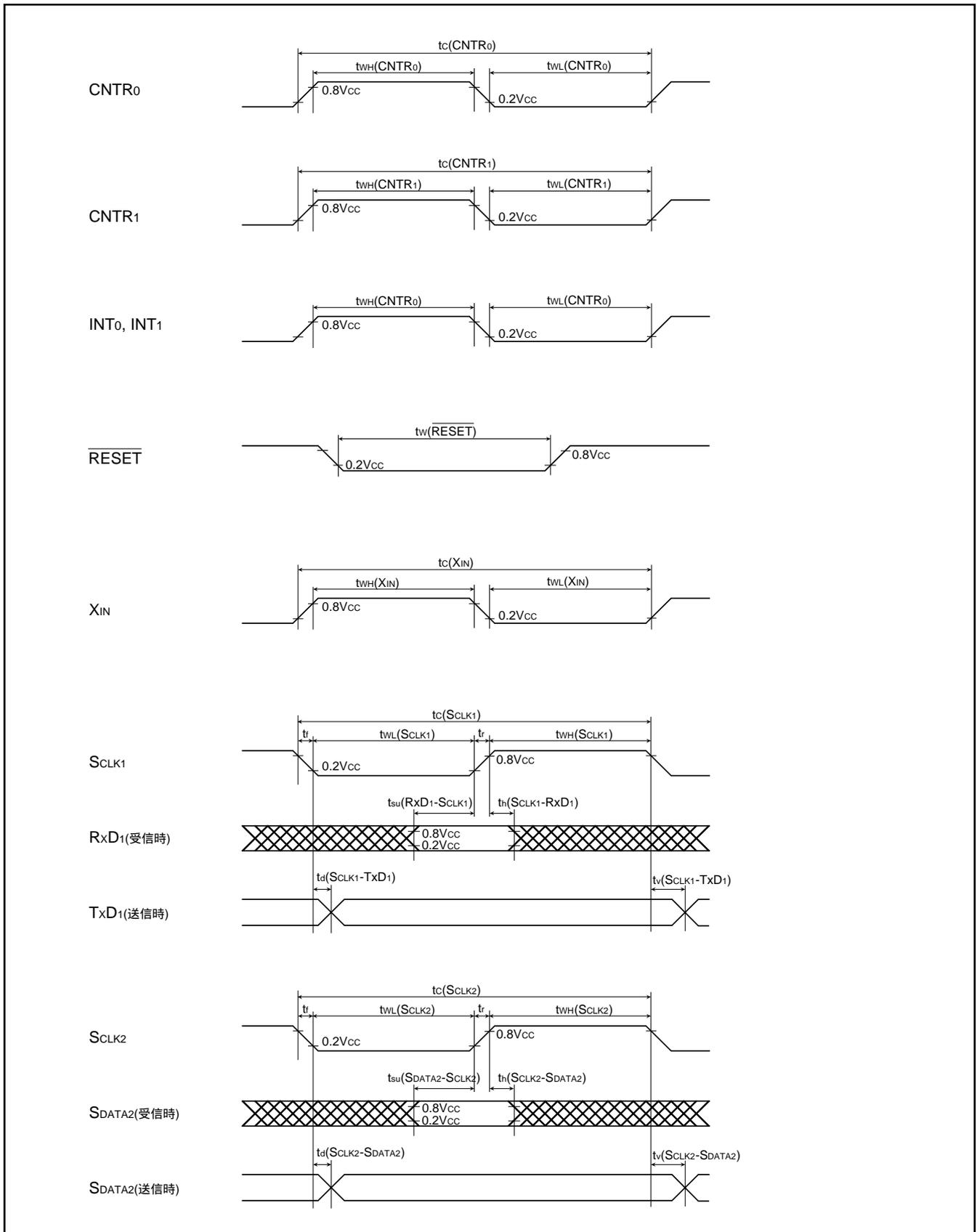


図 56 . タイミング図 (一般品)

7540 グループ (広動作温度範囲版) の電気的特性

M37540M2T-XXXXFP/GP、M37540M4T-XXXXFP/GP、M37540E8T-XXXXFP/GPに対応する電気的特性です。

(1) 絶対最大定格(広動作温度範囲版)

表20．絶対最大定格(広動作温度範囲版)

記号	項 目	条 件	定 格 値	単 位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 6.5 (注1)	V
V _I	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, V _{REF}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET, X _{IN} , CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300 (注2)	mW
T _{opr}	動作周囲温度		- 40 ~ 85	
T _{stg}	保存温度		- 65 ~ 150	

注1．マスクROM版の定格値です。ワンタイムPROM版の定格値は - 0.3 ~ 7.0Vです。

注2．32P6Uパッケージ品では、200mWです。

(2) 推奨動作条件(広動作温度範囲版)

表 21 . 推奨動作条件 (1)(広動作温度範囲版) (指定のない場合, Vcc = 2.4 ~ 5.5V, Ta = - 40 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧 (セラミック発振時)	8MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		4MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
		6MHz 動作時 (倍速モード)	4.5	5.0	5.5	V
		4MHz 動作時 (倍速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (倍速モード)	2.4	5.0	5.5	V
	電源電圧 (RC 発振時)	4MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
VSS	電源電圧		0		V	
VREF	アナログ基準電圧	2.0		Vcc	V	
VIH	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8Vcc		Vcc	V	
VIH	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注 1)	2.0		Vcc	V	
VIH	“H” 入力電圧 RESET, XIN	0.8Vcc		Vcc	V	
VIL	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3Vcc	V	
VIL	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注 1)	0		0.8	V	
VIL	“L” 入力電圧 RESET, CNVss	0		0.2Vcc	V	
VIL	“L” 入力電圧 XIN	0		0.16Vcc	V	
IOH(peak)	“H” 出力総尖頭電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
IOL(peak)	“L” 出力総尖頭電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
IOL(peak)	“L” 出力総尖頭電流 (注 2) P30 ~ P36			60	mA	
IOH(avg)	“H” 出力総平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
IOL(avg)	“L” 出力総平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
IOL(avg)	“L” 出力総平均電流 (注 2) P30 ~ P36			30	mA	

注 1 . Vcc=4.0 ~ 5.5V 時の場合です。

注 2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は 100ms の期間内での平均値で、総尖頭電流は総和のピーク値です。

表 22 . 推奨動作条件 (2) (広動作温度範囲版) (指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“ H ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注 1) P30 ~ P36			30	mA
I _{OH} (avg)	“ H ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注 2) P30 ~ P36			15	mA
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.5 \sim 5.5V$) 倍速モード			6	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 倍速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 倍速モード			2	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			8	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) RC 発振時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) RC 発振時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			2	MHz

注 1 . 出力尖頭電流は 1 ポートごとに流れる電流のピーク値を規定します。

2 . 平均出力電流 I_{OL}(avg), I_{OH}(avg)は 100ms の期間での平均値です。

3 . 発振周波数はデューティ 50% の場合です。

(3) 電気的特性(広動作温度範囲版)

表 23 . 電気的特性 (1) (広動作温度範囲版) (指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 2.4 ~ 5.5V	VCC - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	IOI = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOI = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOI = 1.0mA VCC = 2.4 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P30 ~ P36	IOI = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOI = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOI = 10mA VCC = 2.4 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SCLK2, SDA2 (注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1 . P11に関しては, UART制御レジスタのP11/TXD1Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . RxD1, SCLK1, SCLK2, SDA2, INT0, INT1については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

表 24 . 電氣的特性 (2) (広動作温度範囲版) (指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	測定条件		規格値			単位	
				最小	標準	最大		
I _{CC}	電源電流	ワントタイム PROM 版	f(X _{IN}) = 8MHz, 高速モード 出力トランジスタは遮断状態			5.0	8.0	mA
			f(X _{IN}) = 2MHz, V _{CC} = 2.4V, 高速モード 出力トランジスタは遮断状態			0.5	1.5	mA
			f(X _{IN}) = 6MHz, 倍速モード 出力トランジスタは遮断状態			6.0	10.0	mA
			f(X _{IN}) = 8MHz, 中速モード 出力トランジスタは遮断状態			2.0	5.0	mA
			オンチップオシレータ動作モード、V _{CC} = 5V, 出力トランジスタは遮断状態			350	1000	μA
			f(X _{IN}) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			1.6	3.2	mA
			f(X _{IN}) = 2MHz, V _{CC} = 2.4V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			0.2		mA
			オンチップオシレータ動作モード、V _{CC} = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			150	450	μA
			A/D 変換器動作時の増量 f(X _{IN}) = 8MHz, V _{CC} = 5V			0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態		T _a = 25	0.1	1.0	μA
				T _a = 85		10	μA	
		マスク ROM 版	f(X _{IN}) = 8MHz, 高速モード 出力トランジスタは遮断状態			3.5	6.5	mA
			f(X _{IN}) = 2MHz, V _{CC} = 2.4V, 高速モード 出力トランジスタは遮断状態			0.4	1.2	mA
			f(X _{IN}) = 6MHz, 倍速モード 出力トランジスタは遮断状態			4.5	8.0	mA
			f(X _{IN}) = 8MHz, 中速モード 出力トランジスタは遮断状態			2.0	5.0	mA
			オンチップオシレータ動作モード、V _{CC} = 5V 出力トランジスタは遮断状態			300	900	μA
			f(X _{IN}) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			1.6	3.2	mA
			f(X _{IN}) = 2MHz, V _{CC} = 2.4V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			0.2		mA
			オンチップオシレータ動作モード、V _{CC} = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態			150	450	μA
			A/D 変換器動作時の増量 f(X _{IN}) = 8MHz, V _{CC} = 5V			0.5		mA
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態		T _a = 25	0.1	1.0	μA
					T _a = 85		10	μA

(4) A/Dコンバータ特性(広動作温度範囲版)

表 25 . A/D コンバータ特性 (広動作温度範囲版) (指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	
マスク ROM 版	————	分解能				10	bits
	————	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	————	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				5.0	μA	

(5) タイミング必要条件(広動作温度範囲版)

表 26 . タイミング必要条件 (1)(広動作温度範囲版)

(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1入力サイクル時間	2000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	800			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	800			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	200			ns

注 . シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表 27 . タイミング必要条件 (2) (広動作温度範囲版)

(指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力“H”パルス幅	100			ns
twl(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR0)	CNTR0入力サイクル時間	500			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	230			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	230			ns
tc(CNTR1)	CNTR1入力サイクル時間	4000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	1600			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	1600			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	2000			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	950			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	950			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	400			ns

注 . シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A₁₆番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

(6) スイッチング特性(広動作温度範囲版)

表 28 . スイッチング特性 (1) (広動作温度範囲版)

(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TXD1)	シリアル I/O1 出力遅延時間			140	ns
t _v (SCLK1-TXD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	tc(SCLK2)/2 - 30			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	tc(SCLK2)/2 - 30			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			140	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		10	30	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		10	30	ns

注 1 . XOUT 端子を除きます。

表 29 . スイッチング特性 (2) (広動作温度範囲版)

(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TXD1)	シリアル I/O1 出力遅延時間			350	ns
t _v (SCLK1-TXD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	tc(SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	tc(SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			350	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		20	50	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		20	50	ns

注 1 . XOUT 端子を除きます。

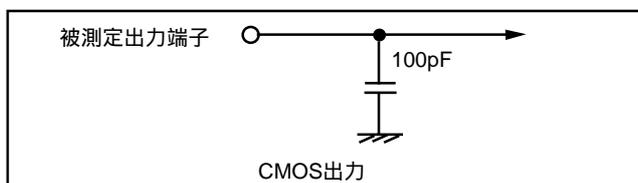


図 57 . スイッチング特性測定回路図 (広動作温度範囲版)

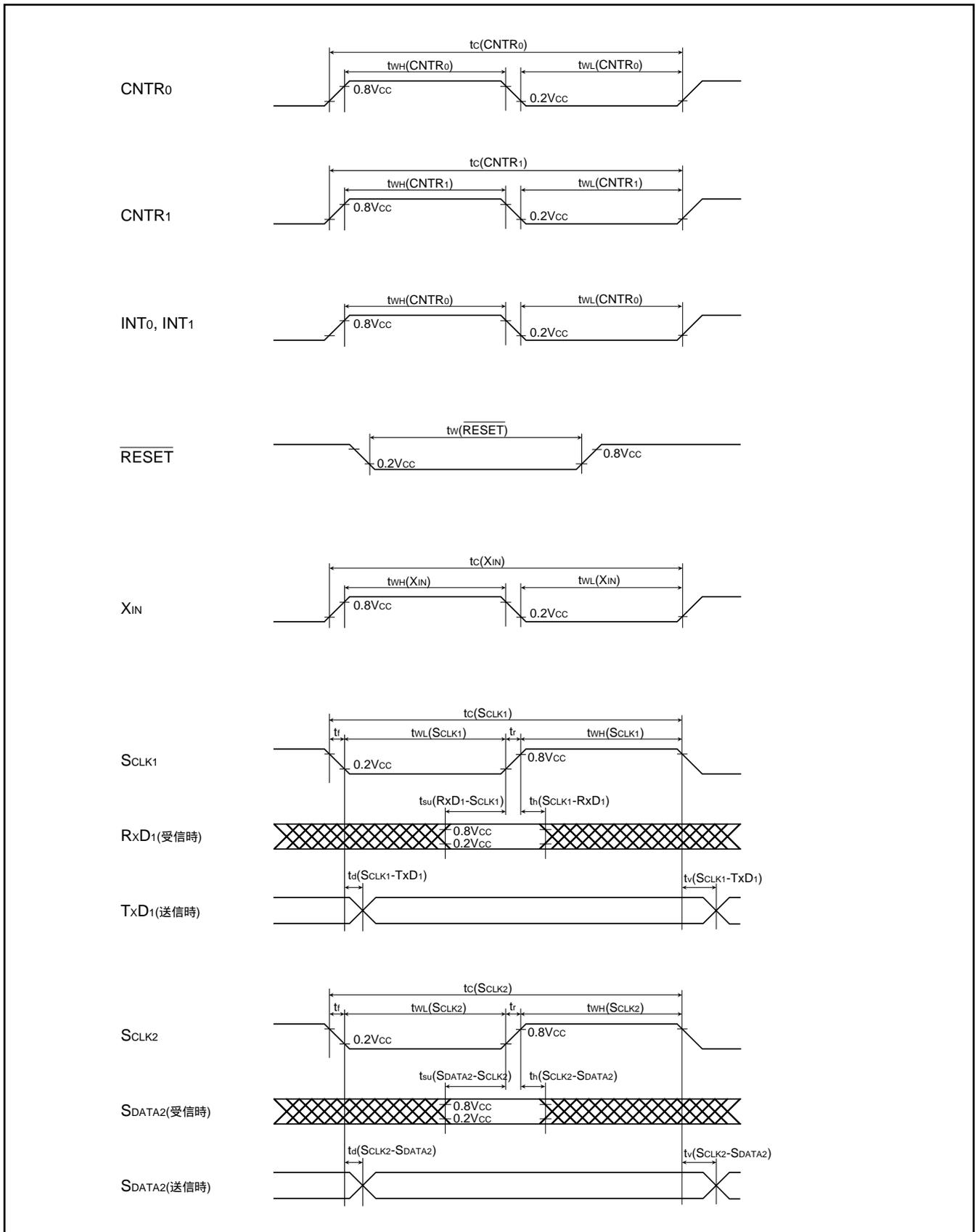


図 58 . タイミング図 (広動作温度範囲版)

7540 グループ (125 保証品) の電気的特性

M37540M2V-XXXFP/GP、M37540M4V-XXXFP/GP、M37540E8V-XXXFP/GPに対応する電気的特性です。

(1) 絶対最大定格 (125 保証品)

表 30 . 絶対最大定格 (125 保証品)

記号	項 目	条 件	定 格 値	単 位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 6.5 (注1)	V
V _I	入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, V _{REF}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET, X _{IN} , CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37, X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300 (注2)	mW
T _{opr}	動作周囲温度		- 40 ~ 125 (注3)	
T _{stg}	保存温度		- 65 ~ 150	

注1 . マスク ROM 版の定格値です。ワンタイム PROM 版の定格値は - 0.3 ~ 7.0V です。

2 . 32P6U パッケージ品では、200mW です。

3 . 動作周囲温度 55 ~ 85 の総時間は 6000 時間以内、85 ~ 125 の総時間は 1000 時間以内です。

(2) 推奨動作条件(125 保証品)

表 31 . 推奨動作条件 (1)(125 保証品) (指定のない場合 , $V_{CC} = 2.4 \sim 5.5V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (セラミック発振時)	8MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		4MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
		4MHz 動作時 (倍速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (倍速モード)	2.4	5.0	5.5	V
	電源電圧 (RC 発振時)	4MHz 動作時 (高、中速モード)	4.0	5.0	5.5	V
		2MHz 動作時 (高、中速モード)	2.4	5.0	5.5	V
V _{SS}	電源電圧		0		V	
V _{REF}	アナログ基準電圧	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	2.0		V _{CC}	V	
V _{IH}	“H” 入力電圧 RESET, X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 入力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	0		0.3V _{CC}	V	
V _{IL}	“L” 入力電圧 (TTL 入力レベル選択時) P10, P12, P13, P36, P37 (注1)	0		0.8	V	
V _{IL}	“L” 入力電圧 RESET, CNV _{SS}	0		0.2V _{CC}	V	
V _{IL}	“L” 入力電圧 X _{IN}	0		0.16V _{CC}	V	
I _{OH(peak)}	“H” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 80	mA	
I _{OL(peak)}	“L” 出力総尖頭電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			80	mA	
I _{OL(peak)}	“L” 出力総尖頭電流 (注2) P30 ~ P36			60	mA	
I _{OH(avg)}	“H” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 40	mA	
I _{OL(avg)}	“L” 出力総平均電流 (注2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			40	mA	
I _{OL(avg)}	“L” 出力総平均電流 (注2) P30 ~ P36			30	mA	

注1 . V_{CC}=4.0 ~ 5.5V 時の場合です。

2 . 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は 100ms の期間内での平均値で、総尖頭電流は総和のピーク値です。

表 32 . 推奨動作条件 (2) (125 保証品) (指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“ H ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注 1) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注 1) P30 ~ P36			30	mA
I _{OH} (avg)	“ H ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37			- 5	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注 2) P00 ~ P07, P10 ~ P14, P20 ~ P27, P37			5	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注 2) P30 ~ P36			15	mA
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 倍速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 倍速モード			2	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			8	MHz
f(X _{IN})	発振周波数 (注 3) セラミック発振又は外部クロック入力時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) RC 発振時 ($V_{CC}=4.0 \sim 5.5V$) 高, 中速モード			4	MHz
f(X _{IN})	発振周波数 (注 3) RC 発振時 ($V_{CC}=2.4 \sim 5.5V$) 高, 中速モード			2	MHz

注 1 . 出力尖頭電流は 1 ポートごとに流れる電流のピーク値を規定します。

2 . 平均出力電流 I_{OL}(avg) , I_{OH}(avg)は 100ms の期間での平均値です。

3 . 発振周波数はデューティ 50% の場合です。

(3) 電気的特性 (125 保証品)

表 33 . 電気的特性 (1) (125 保証品) (指定のない場合は , VCC = 2.4 ~ 5.5V , VSS = 0V , Ta = - 40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“ H ” 出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注 1)	IOH = - 5mA VCC = 4.0 ~ 5.5V	VCC - 1.5			V
		IOH = - 1.0mA VCC = 2.4 ~ 5.5V	VCC - 1.0			V
VOL	“ L ” 出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P37	IOL = 5mA VCC = 4.0 ~ 5.5V			1.5	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 1.0mA VCC = 2.4 ~ 5.5V			1.0	V
VOL	“ L ” 出力電圧 P30 ~ P36	IOL = 15mA VCC = 4.0 ~ 5.5V			2.0	V
		IOL = 1.5mA VCC = 4.0 ~ 5.5V			0.3	V
		IOL = 10mA VCC = 2.4 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0, INT1 (注 2) P00 ~ P07 (注 3)			0.4		V
VT+ - VT-	ヒステリシス RxD1, SCLK1, SCLK2, SDA2 (注 2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“ H ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VCC (端子はフローティング。 プルアップトランジスタ は切り離し状態)			5.0	μ A
IiH	“ H ” 入力電流 RESET	Vi = VCC			5.0	μ A
IiH	“ H ” 入力電流 XIN	Vi = VCC		4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = VSS (端子はフローティング。 プルアップトランジスタ は切り離し状態)			- 5.0	μ A
IiL	“ L ” 入力電流 RESET, CNVSS	Vi = VSS			- 5.0	μ A
IiL	“ L ” 入力電流 XIN	Vi = VSS		- 4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P30 ~ P37	Vi = VSS (プルアップトランジスタ 接続時)		- 0.2	- 0.5	mA
VRAM	RAM 保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	VCC = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	VCC = 5.0V, Ta = 25	62.5	125	187.5	kHz

注 1 . P11 に関しては , UART 制御レジスタの P11/TXD1 P チャネル出力禁止ビット (001B16 番地のビット 4) が “ 0 ” の場合です。

2 . RxD1 , SCLK1 , SCLK2 , SDA2 , INT0 , INT1 については , ポート P1P3 制御レジスタのビット 0 , 1 , 2 が “ 0 ” (CMOS レベル) の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

表 34 . 電氣的特性 (2) (125 保証品) (指定のない場合は , Vcc = 2.4 ~ 5.5V , Vss = 0V , Ta = - 40 ~ 125)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Icc	電源電流	ワンタイム PROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		5.0	8.0	mA	
			f(XIN) = 2MHz, Vcc = 2.4V, 高速モード 出力トランジスタは遮断状態		0.5	1.5	mA	
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA	
			オンチップオシレータ動作モード、Vcc = 5V, 出力トランジスタは遮断状態		350	1000	μA	
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA	
			f(XIN) = 2MHz, Vcc = 2.4V, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA	
			オンチップオシレータ動作モード、Vcc = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA	
			A/D 変換器動作時の増量 f(XIN) = 8MHz, Vcc = 5V		0.5		mA	
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25		0.1	1.0	μA
				Ta = 125			50	μA
		マスク ROM 版	f(XIN) = 8MHz, 高速モード 出力トランジスタは遮断状態		3.5	6.5	mA	
			f(XIN) = 2MHz, Vcc = 2.4V, 高速モード 出力トランジスタは遮断状態		0.4	1.2	mA	
			f(XIN) = 8MHz, 中速モード 出力トランジスタは遮断状態		2.0	5.0	mA	
			オンチップオシレータ動作モード、Vcc = 5V 出力トランジスタは遮断状態		300	900	μA	
			f(XIN) = 8MHz, WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		1.6	3.2	mA	
			f(XIN) = 2MHz, Vcc = 2.4V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		0.2		mA	
			オンチップオシレータ動作モード、Vcc = 5V WIT 命令実行時、タイマ 1 以外の機能停止 出力トランジスタは遮断状態		150	450	μA	
			A/D 変換器動作時の増量 f(XIN) = 8MHz, Vcc = 5V		0.5		mA	
			発振は停止 (STP 命令実行時) 出力トランジスタは遮断状態	Ta = 25		0.1	1.0	μA
				Ta = 125			50	μA

(4) A/Dコンバータ特性(125 保証品)

表 35 . A/D コンバータ特性 (125 保証品)(指定のない場合は, $V_{CC} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

	記号	項目	測定条件	規格値			単位
				最小	標準	最大	
ワンタイム PROM 版	———	分解能				10	bits
	———	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	———	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 0.9	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	5	20	mV
			$V_{CC} = V_{REF} = 3.072V$	0	3	15	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5115	5125	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3069	3075	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				7.0	μA	
マスク ROM 版	———	分解能				10	bits
	———	直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 3	LSB
	———	微分非直線性誤差	$T_a = 25$, $V_{CC} = 2.7 \sim 5.5V$			± 1.5	LSB
	VOT	ゼロトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	0	15	35	mV
			$V_{CC} = V_{REF} = 3.072V$	0	9	21	
	VFST	フルスケールトランジション電圧	$V_{CC} = V_{REF} = 5.12V$	5105	5125	5150	mV
			$V_{CC} = V_{REF} = 3.072V$	3060	3075	3090	
	tCONV	変換時間				122	tc(XIN)
	RLADDER	ラダー抵抗			55		k
IVREF	基準電源入力電流	$V_{REF} = 5.0V$	50	150	200	μA	
		$V_{REF} = 3.0V$	30	70	120		
II(AD)	A/Dポート入力電流				7.0	μA	

(5) タイミング必要条件(125 保証品)

表 36 . タイミング必要条件 (1) (125 保証品)

(指定のない場合は , $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	125			ns
twh(XIN)	外部クロック入力“H”パルス幅	50			ns
twl(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR0)	CNTR0入力サイクル時間	200			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	80			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	80			ns
tc(CNTR1)	CNTR1入力サイクル時間	2000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	800			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	800			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	370			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	200			ns

注 . シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A16番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

表 37 . タイミング必要条件 (2) (125 保証品)

(指定のない場合は , $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	外部クロック入力サイクル時間	250			ns
twh(XIN)	外部クロック入力“H”パルス幅	100			ns
twl(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR0)	CNTR0入力サイクル時間	500			ns
twh(CNTR0)	CNTR0, INT0, INT1入力“H”パルス幅	230			ns
twl(CNTR0)	CNTR0, INT0, INT1入力“L”パルス幅	230			ns
tc(CNTR1)	CNTR1入力サイクル時間	4000			ns
twh(CNTR1)	CNTR1入力“H”パルス幅	1600			ns
twl(CNTR1)	CNTR1入力“L”パルス幅	1600			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注)	2000			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注)	950			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注)	950			ns
tsu(RxD1-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD1)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SDATA2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
th(SCLK2-SDATA2)	シリアルI/O2入力ホールド時間	400			ns

注 . シリアルI/O1に関しては、シリアルI/O1制御レジスタ(001A₁₆番地)のビット6が“1”(クロック同期形シリアルI/O1)の場合です。
シリアルI/O1制御レジスタのビット6が“0”(クロック非同期形シリアルI/O1)の場合、規格値は、1/4になります。

(6) スイッチング特性 (125 保証品)

表 38 . スイッチング特性 (1) (125 保証品)

(指定のない場合は, $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TXD1)	シリアル I/O1 出力遅延時間			140	ns
t _v (SCLK1-TXD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	tc(SCLK2)/2 - 50			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	tc(SCLK2)/2 - 50			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			140	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			30	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		10	30	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		10	30	ns

注 1 . XOUT 端子を除きます。

表 39 . スイッチング特性 (2) (125 保証品)

(指定のない場合は, $V_{CC} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 125$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアル I/O1 クロック出力 “H” パルス幅	tc(SCLK1)/2 - 80			ns
t _{WL} (SCLK1)	シリアル I/O1 クロック出力 “L” パルス幅	tc(SCLK1)/2 - 80			ns
t _d (SCLK1-TXD1)	シリアル I/O1 出力遅延時間			350	ns
t _v (SCLK1-TXD1)	シリアル I/O1 出力有効時間	- 30			ns
t _r (SCLK1)	シリアル I/O1 クロック出力立ち上がり時間			50	ns
t _f (SCLK1)	シリアル I/O1 クロック出力立ち下がり時間			50	ns
t _{WH} (SCLK2)	シリアル I/O2 クロック出力 “H” パルス幅	tc(SCLK2)/2 - 80			ns
t _{WL} (SCLK2)	シリアル I/O2 クロック出力 “L” パルス幅	tc(SCLK2)/2 - 80			ns
t _d (SCLK2-SDATA2)	シリアル I/O2 出力遅延時間			350	ns
t _v (SCLK2-SDATA2)	シリアル I/O2 出力有効時間	0			ns
t _r (SCLK2)	シリアル I/O2 クロック出力立ち上がり時間			50	ns
t _f (SCLK2)	シリアル I/O2 クロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS 出力立ち上がり時間 (注 1)		20	50	ns
t _f (CMOS)	CMOS 出力立ち下がり時間 (注 1)		20	50	ns

注 1 . XOUT 端子を除きます。

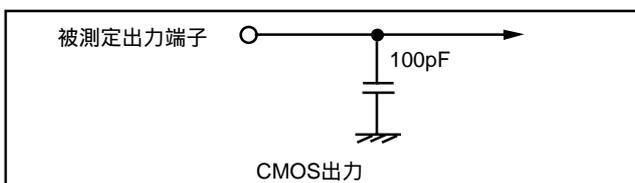


図 59 . スイッチング特性測定回路図 (広動作温度範囲版)

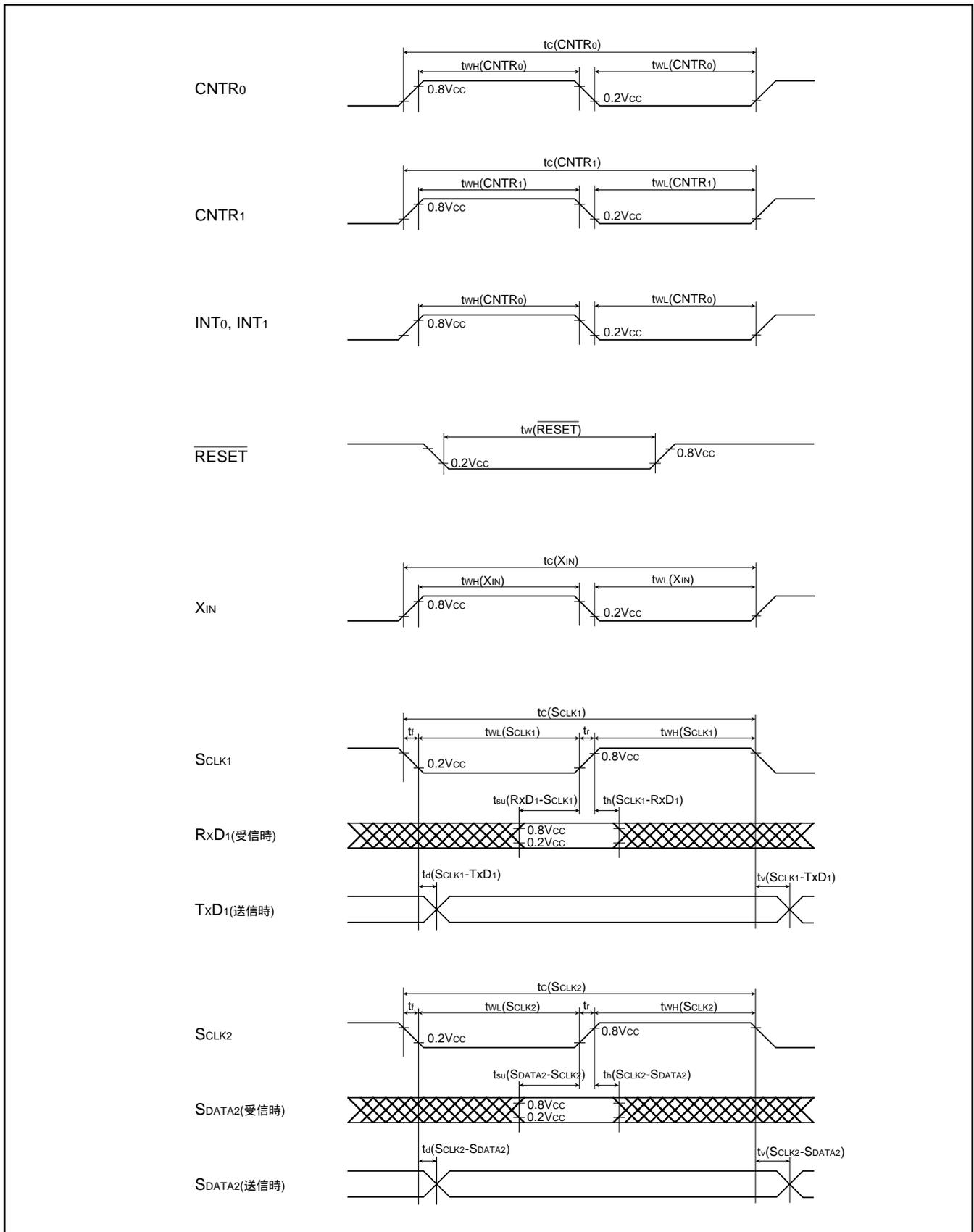


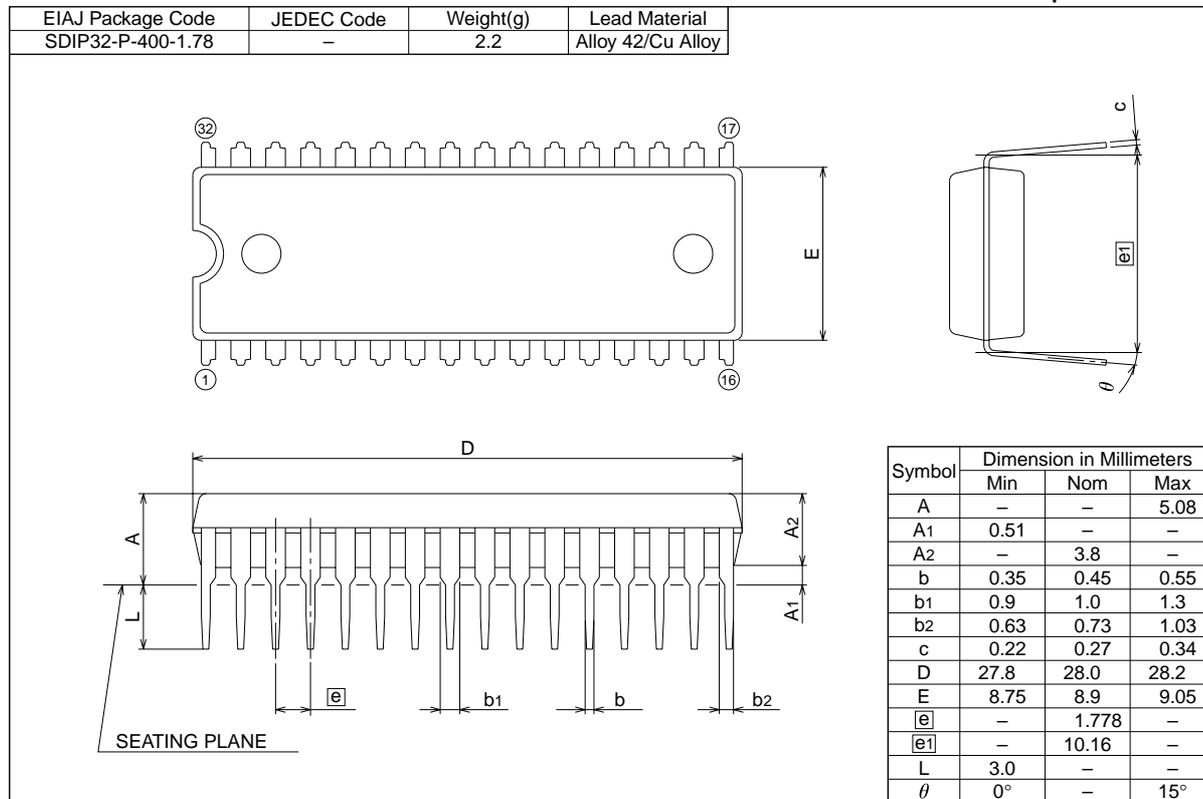
図 60 . タイミング図 (125 保証品)

パッケージ外形寸法図

32P4B

Recommended

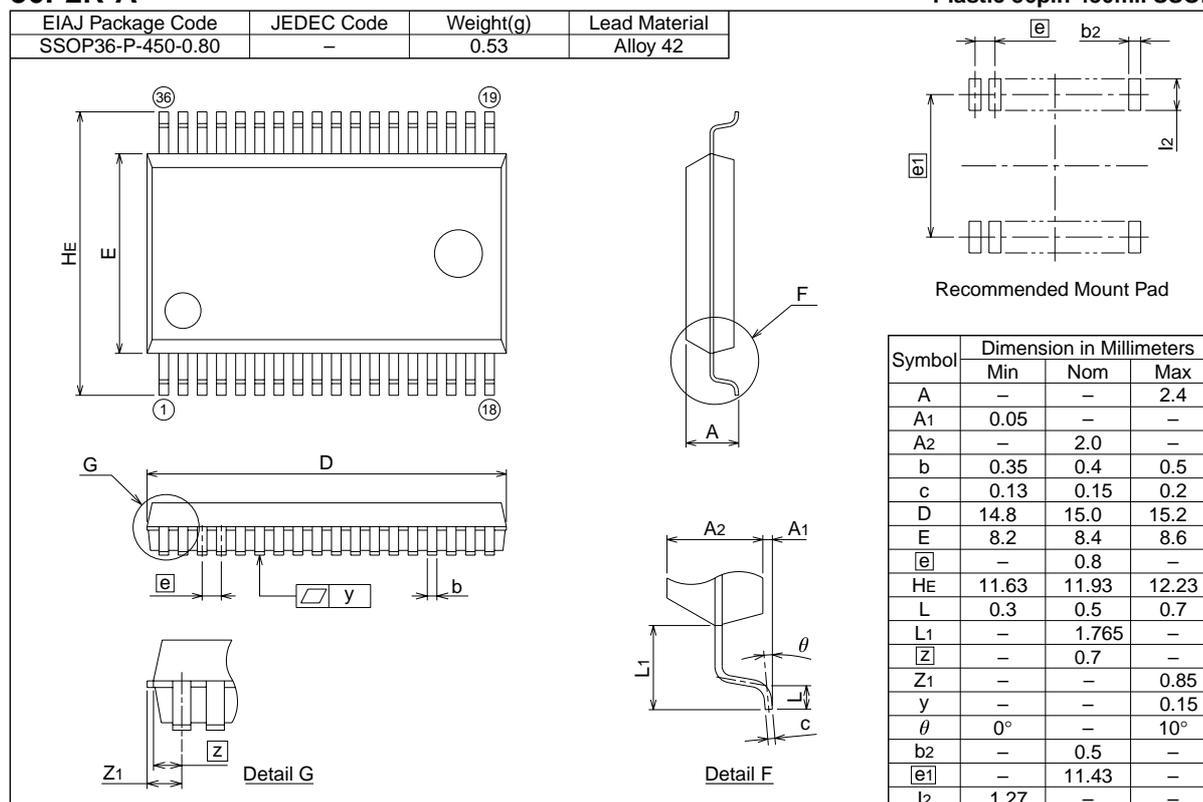
Plastic 32pin 400mil SDIP



36P2R-A

Recommended

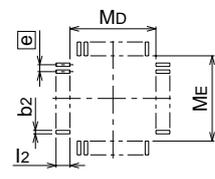
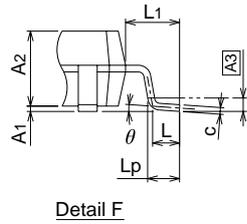
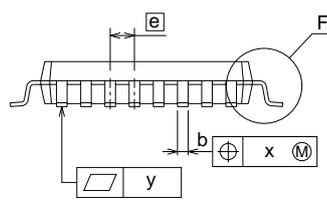
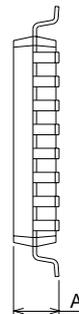
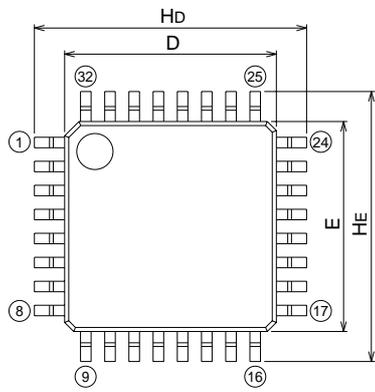
Plastic 36pin 450mil SSOP



32P6U-A Recommended

Plastic 32pin 7X7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP32-P-0707-0.80	-		Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.32	0.37	0.45
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.8	-
Hd	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.2
y	-	-	0.1
theta	0°	-	10°
b2	-	0.5	-
l2	1.0	-	-
Md	-	7.4	-
ME	-	7.4	-

株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	営	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	部	営	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	国	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	山	支	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

改訂履歴	7540 和文データシート
------	---------------

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	991115
2.0	<p>1 ページ：特長</p> <p>命令実行時間 改訂</p> <p>0.50μs (最短命令、発振周波数 8MHz 時)(旧)</p> <p>0.34μs (最短命令、発振周波数 6MHz 時、倍速モード時)(新)</p> <p>電源電圧 追加</p> <p>XIN 発振周波数 (セラミック発振、倍速モード時) 6MHz 時4.5 ~ 5.5V</p> <p>消費電力 追加・改訂</p> <p>ワンタイム PROM 版：30mW (標準)、マスク ROM 版：22.5mW (標準)</p> <p>図 1 . ピン接続図 改訂</p> <p>外形 32P6B-A (旧) 32P6U-A (新) 型名「M37540M4T-XXXGP」追加</p> <p>2 ページ：図 2 . ピン接続図 型名「M37540M4T-XXXGP」追加</p> <p>3 ページ：図 4 . ピン接続図 (M37540RSS、外形 42S1M) 追加</p> <p>4 ページ：図 5 . 機能ブロック図 改訂 外形 32P6B (旧) 32P6U (新)</p> <p>7 ページ：端子の機能説明 注 1 ~ 注 3 追加</p> <p>8 ページ：パッケージ 改訂</p> <p>32P6B-A.....0.8mm ピッチプラスチックモールド QFP (旧)</p> <p>32P6U-A.....0.8mm ピッチプラスチックモールド LQFP (新)</p> <p>36P2R-A.....0.8mm ピッチプラスチックモールド SOP (旧)</p> <p>36P2R-A.....0.8mm ピッチプラスチックモールド SSOP (新)</p> <p>9 ~ 11 ページ：CPU の構成、スタックへの退避及び復帰動作の説明 追加</p> <p>12 ページ：</p> <p>図 11 CPU モードレジスタ初期値 追加</p> <p>図 12 「クロック分周比選択ビットの切り替え」横の説明 改訂</p> <p>15 ページ：</p> <p>図 15 プルアップ制御レジスタの初期値 追加</p> <p>図 16 ポート P1P3 制御レジスタの初期値 追加</p> <p>16 ページ：表 5 ポート P0 のポート以外の機能、注 2、3 追加</p> <p>17 ページ：図 17 ポート P0 改訂</p>	000929

改訂履歴

7540 和文データシート

Rev. No.	改訂内容	Rev. date
2.0 (続)	<p>18 ページ：図 18 注釈 追記</p> <p>20 ページ： 図 20 割り込み関係レジスタの初期値、ICON1 の INT1 割り込み許可ビットに注意事項 追加</p> <p>21 ページ：図 21 キー入力割り込み時のポートブロック図 P00 に「ポート P00 キーオンウェイクアップ選択ビット」 追加</p> <p>22 ~ 31 ページ：タイマの説明 全面改訂</p> <p>32 ページ：図 25 ~ 26 タイマ関係レジスタの初期値 追加</p> <p>34 ページ：図 26 参照指示の図番 変更 図 47、48 (旧) 図 50、51 (新)</p> <p>37 ページ： ・SIO1STS の説明 改訂 シリアル I/O1 許可ビット(b7)(旧) シリアル I/O1 許可ビット(SIOE)(新) すべてのビット(旧) ビット 0 ~ 6 (新) 送信許可ビット(b4)(旧) 送信許可ビット(新)</p> <p>・UARTCON の説明 改訂 P11/TXD1、P12/SCLK1 端子(旧) P11/TXD1 端子(新)</p> <p>38 ページ：図 34 シリアル I/O1 関係レジスタの初期値 追加</p> <p>39 ページ：図 35 シリアル I/O2 関係レジスタの初期値 追加</p> <p>40 ページ：図 37 注意事項 改訂</p> <p>41 ページ：図 38 A/D 制御レジスタの初期値 追加</p> <p>42 ページ：図 42 ウォッチドッグタイマ制御レジスタの初期値 追加</p> <p>43 ページ：リセット回路 $f(\phi)$ 6MHz 時の説明 追加</p> <p>44 ページ：図 44 (7)シリアル I/O1 ステータスレジスタ、(8)シリアル I/O1 制御レジスタの内容 改訂</p> <p>46 ページ：図 49 MISRG b1 と b7 改訂、初期値追加</p> <p>47 ページ：図 50 XOUT 端子の抵抗削除</p> <p>48 ページ：発振停止検出回路の説明 追加、図 52 クロック発生回路状態遷移図 改訂</p> <p>49 ページ：ポートに関するプログラミング上の注意事項 32 ピン版に関する説明 削除</p> <p>52 ~ 72 ページ：電気的特性 全面改訂</p> <p>74 ページ：パッケージ 改訂 32P6B-A (旧) 32P6U-A (新)</p>	000929

改訂履歴

7540 和文データシート

Rev. No.	改訂内容	Rev. date
3.0	<p>全ページ：「開発中 本製品は開発品ですので後日規格等を変更する場合があります」削除</p> <p>1ページ：メモリ容量 ROM/RAM容量 改訂、電源電圧 RC発振時のモード追記 動作周囲温度 125 保証品について追記 注意事項 改訂</p> <p>2ページ：図1、図2 型名 改訂</p> <p>3ページ：図3 型名 改訂</p> <p>7ページ：表1 XIN、XOUT 端子 機能 説明追記、注1 125 保証品について追記</p> <p>8ページ：メモリ容量 ROM/RAM容量 改訂、パッケージ表記 改訂、図8 改訂</p> <p>9ページ：表2 改訂</p> <p>14ページ：図13 ROM/RAM領域 追記</p> <p>19ページ：図18 (9)ポートP14 改訂</p> <p>20ページ：注意事項 改訂</p> <p>24ページ： タイマ1 プリスケラ1は、発振周波数を16分周した信号をカウントし、</p> <p>25ページ：(1)タイマモード タイマAは発振周波数を16分周した信号をカウントし、</p> <p>26ページ： タイマX タイマXは、タイマXモードレジスタの<u>タイマX動作モードビット</u>を設定することにより、 (1)タイマモード プリスケラXは、<u>タイマXカウントソース選択ビット</u>で選択されたカウントソースを</p> <p>28ページ： タイマY タイマYは、タイマYモードレジスタの<u>タイマY動作モードビット</u>を設定することにより、 (1)タイマモード プリスケラYは、<u>タイマYカウントソース選択ビット</u>で選択されたカウントソースを</p> <p>29ページ：タイマの読み出しに関する説明 追記</p> <p>30ページ： タイマZ タイマZは、タイマZモードレジスタの<u>タイマZ動作モードビット</u>を設定することにより、 (1)タイマモード プリスケラZは、<u>タイマZカウントソース選択ビット</u>で選択されたカウントソースを</p> <p>33ページ：タイマの読み出しに関する説明 追記</p> <p>39ページ：注意事項 追記</p> <p>47ページ：クロック発生回路 次の説明を追記 (1)オンチップオシレータ動作、(2)セラミック共振子を使用する場合、 (3)RC発振を使用する場合、(4)外部クロックを使用する場合 図46 抵抗及び注意事項 追記、図47 注意事項 追記、図49 新規追加</p>	020601

改訂履歴

7540 和文データシート

Rev. No.	改訂内容	Rev. date
3.0 (続)	<p>49 ページ： 発振停止検出回路 注意事項追記</p> <p>50 ページ：図 51、図 52 一部改訂</p> <p>51 ページ：図 53 注 4 追記</p> <p>52 ~ 55 ページ：注意事項一覧 追記、改訂</p> <p>56 ページ：マスク化発注時の提出資料 改訂、ROM 書き込み発注時の提出資料 追記 表 7 PCA7435GP03</p> <p>57 ページ：7540 グループ（一般品）の電気的特性 ・型名 追記、表 8 注意事項 改訂</p> <p>62 ページ：表 13 ワンタイム PROM 版およびマスク ROM 版のラダー抵抗値 55 35 レイアウト変更</p> <p>69 ページ：7540 グループ（広動作温度範囲版）の電気的特性 ・型名 追記、表 20 注意事項 改訂</p> <p>73 ページ：表 24 ワンタイム PROM 版の特性値追記、 マスク ROM 版 次の測定条件から、「Vcc=5V」削除 ・f(XIN)=6MHz ・f(XIN)=8MHz、中速モード ・f(XIN)=8MHz、WIT 命令実行時</p> <p>74 ページ：表 25 ワンタイム PROM 版の特性値追記、マスク ROM 版のラダー抵抗値 55 35</p> <p>79 ~ 88 ページ：125 保証品の電気的特性 新規追加</p>	020601
3.1	<p>62 ページ：表 13、74 ページ：表 25、84 ページ：表 35 A/D 変換器特性のラダー抵抗（標準値）の誤りを修正。 従来どおり（Rev.2.0 以前）標準 55k から変更なし。</p>	020701
4.00	<p>全ページ：用語統一（統一用語：オンチップオシレータ、A/D コンバータ等）</p> <p>8 ページ：図 8 「開発中」削除</p> <p>9 ページ：表 2 「開発中」削除</p> <p>10 ページ：中央演算処理装置（CPU）品種に依存する命令の 4 番目 改訂</p> <p>16 ページ：【プルアップ制御】注意事項 追記、図 15 注 2 削除</p> <p>18 ページ：図 17（2）ポート P01、P02、（6）ポート P11 改訂</p> <p>36 ページ：図 29 P03/TXOUT、P01/TYOUT、P02/TZOUT 改訂</p> <p>43 ページ：A/D 変換に関する注意事項 追記</p> <p>47 ページ：図 49 XIN 端子の処理に抵抗追加</p> <p>55 ページ：A/D 変換、クロック発生回路 ・オンチップオシレータ動作 追記</p> <p>56 ページ：ワンタイム PROM 版 / マスク ROM 版に関する注意事項、 電源電圧に関する注意事項 追記 マスク化発注時の提出資料、ROM 書き込み発注時の提出資料 改訂</p> <p>90 ページ：32P6U-A 外形寸法図 改訂</p>	040621