

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7517グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0088-0101Z

Rev.1.01

2004.08.02

概要

7517グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8ビットタイマ、I²C-BUSインタフェース、10ビットA/Dコンバータ、電流積算回路を内蔵しており、バッテリーバック用マイコンとして最適です。

特長

基本機械語命令	71
命令実行時間	1.0 μs (最短命令、発振周波数4MHz時)
メモリ容量 ROM	32Kバイト
RAM	1Kバイト
プログラブル入出力ポート	36本
割り込み	19要因、16ベクタ
タイマ	8ビット×4
シリアルI/O1	8ビット×1 (UART又はクロック同期形)
シリアルI/O2	8ビット×1 (クロック同期形)
マルチマスタI ² C-BUSインタフェース	1系統 (オプション)
PWM	8ビット×1
A/Dコンバータ	10ビット分解能×10チャンネル
電流積算回路	1チャンネル
過電流検出回路	1系統

クロック発生回路	4回路内蔵 (セラミック共振子又は水晶共振子外付け、高速オンチップオシレータ発振回路及び32kHzRC発振回路内蔵)
ウォッチドッグタイマ	16ビット×1
電源電圧	
高速モード時	3.0 ~ 3.6V (発振周波数4MHz時)
中速モード時	3.0 ~ 3.6V (発振周波数8MHz時、中速モード選択時)
低速モード時	3.0 ~ 3.6V (発振周波数32kHz時)
消費電力	
高速モード時	8.25mW (発振周波数4MHz時、電源電圧3.3V)
低速モード時	660 μW (発振周波数32kHz時、電源電圧3.3V)
動作周囲温度	- 20 ~ 85

応用

バッテリーバックなど

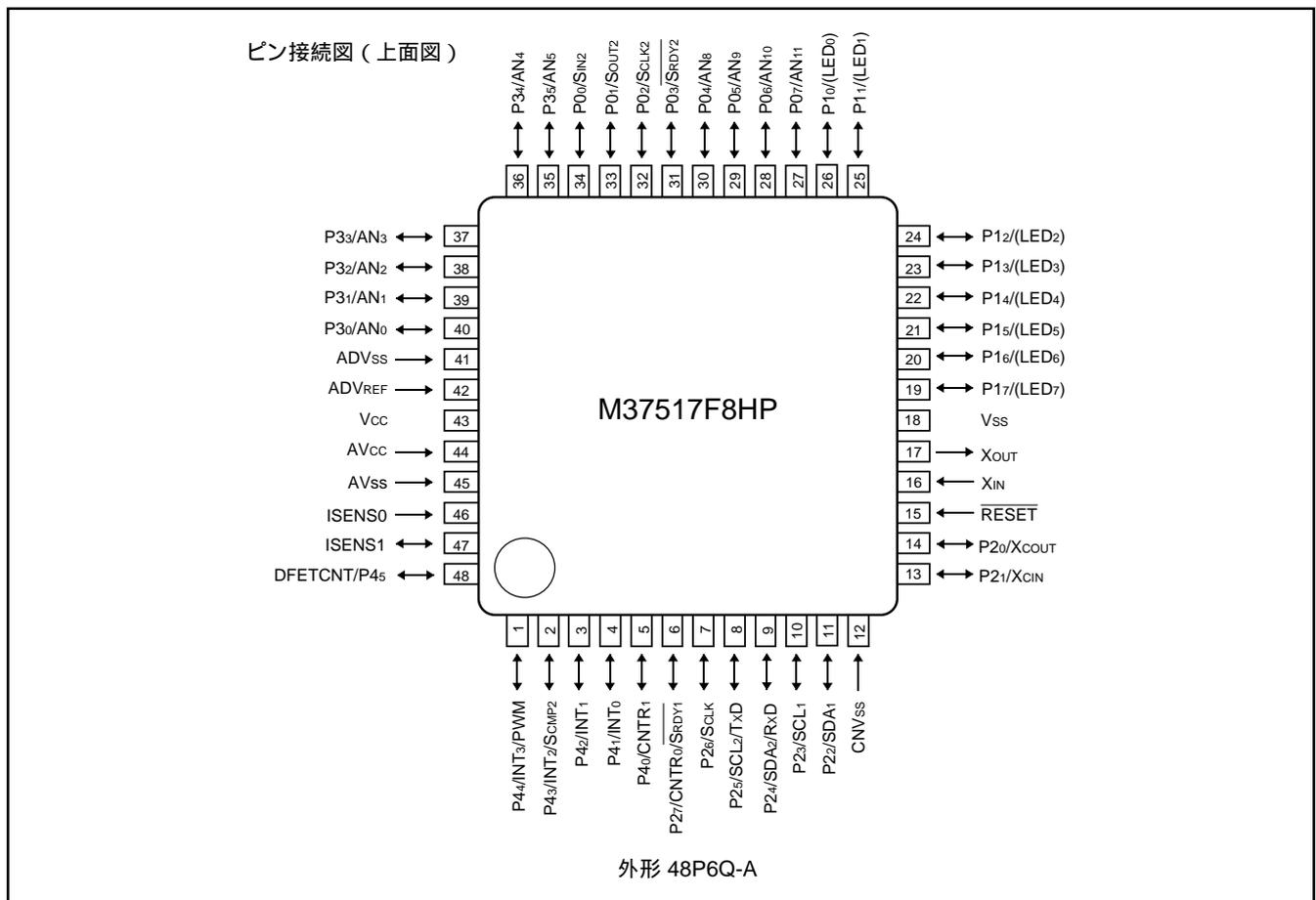


図1 . M37517F8HPのピン接続図

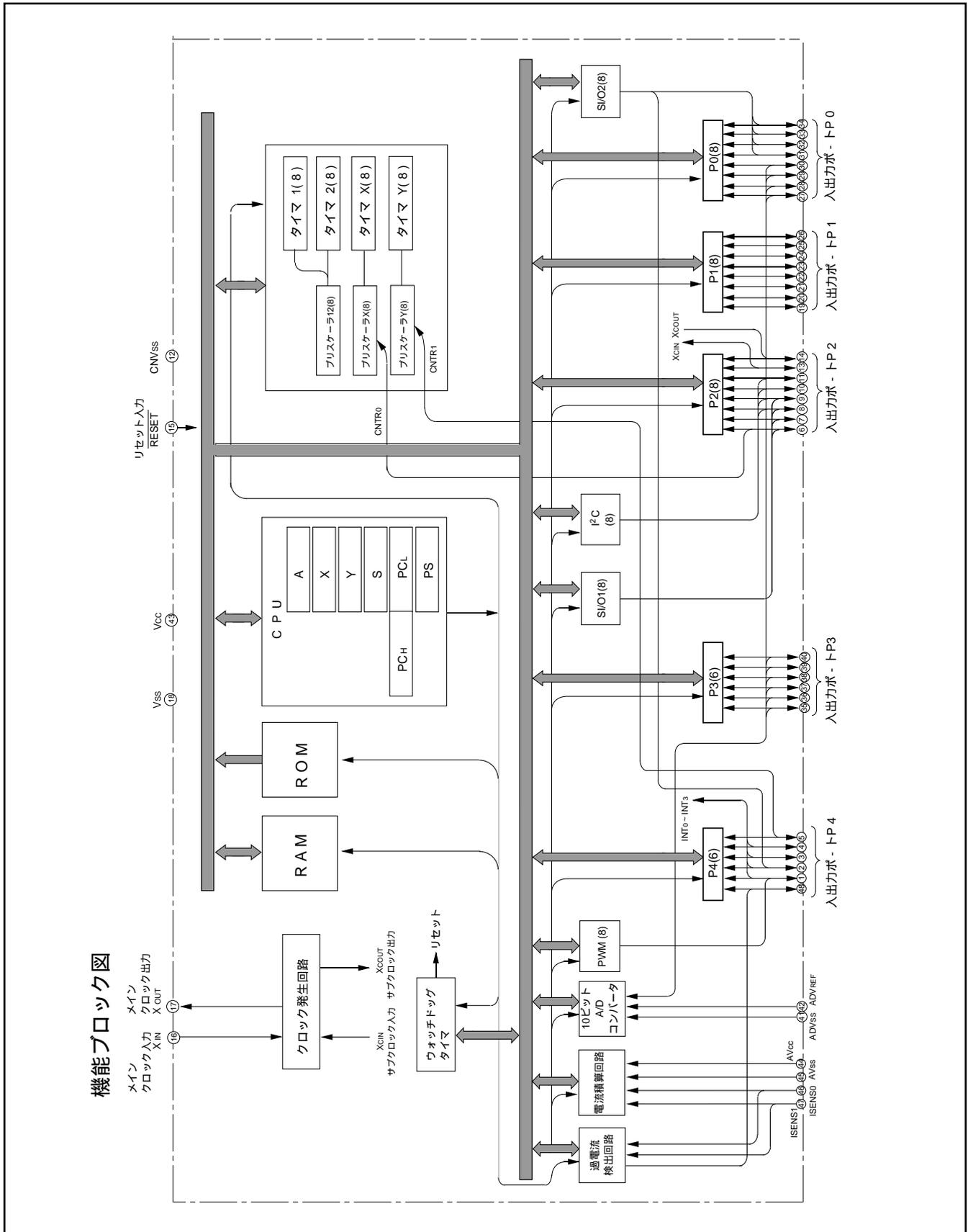


図2. 機能ブロック図

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに3.3V, Vssに0Vを印加します。	
AVcc AVss ADVss	アナログ電源入力	AVccに3.3V, AVss, ADVssに0Vを印加します。	
ADVREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
CNVss	CNVss	チップの動作モードを制御する端子で通常はVssに接続します。	
RESET	リセット入力	アクティブL ^o のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、外付けの共振子による発振を行うときは、XINとXOUTの間にセラミック共振子又は水晶発振子を接続します。内蔵のCR発振回路を使用する場合はXIN, XOUT端子は開放してください。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。P10～P17の8ビットはLED駆動出力用の大電流出力が可能です。	シリアル/O2機能端子
P04/AN8～ P07/AN11			A/Dコンバータ入力端子
P10～P17	入出力ポートP1		
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、P22～P25はI ² C-BUSインタフェース機能端子として使用した場合、CMOS/SMBUS入力レベルの切り替えが可能です。出力形式は、P20, P21, P24～P27がCMOS3ステートで、このうちP24, P25はI ² C-BUSインタフェース機能端子として使用した場合は、Nチャンネルオープンドレインとなります。また、P22, P23はNチャンネルオープンドレインです。	サブクロック発生入出力端子 (共振子を接続します。)
P22/SDA1 P23/SCL1			I ² C-BUSインタフェース機能端子
P24/SDA2/RxD P25/SCL2/TxD			I ² C-BUSインタフェース機能端子 / シリアル/O1機能端子
P26/SCLK			シリアル/O1機能端子
P27/CNTR0/ SRDY1			シリアル/O1機能端子 / タイマX機能端子
P30/AN0～ P35/AN5	入出力ポートP3	P0とほぼ同等の機能を持った6ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/Dコンバータ入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った6ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 / SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子 / PWM出力端子
P45/DFETCNT			過電流検出回路機能端子
ISENS0 ISENS1	アナログ入力	電流積算回路及び過電流積算回路の入力端子です。検出抵抗の両端に接続し、ISENS0をGND側に接続します。	

機能ブロック動作説明

中央演算処理装置(CPU)

7517グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下の通りです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットなどが割り当てられています。

このレジスタは003B16番地に配置されています。

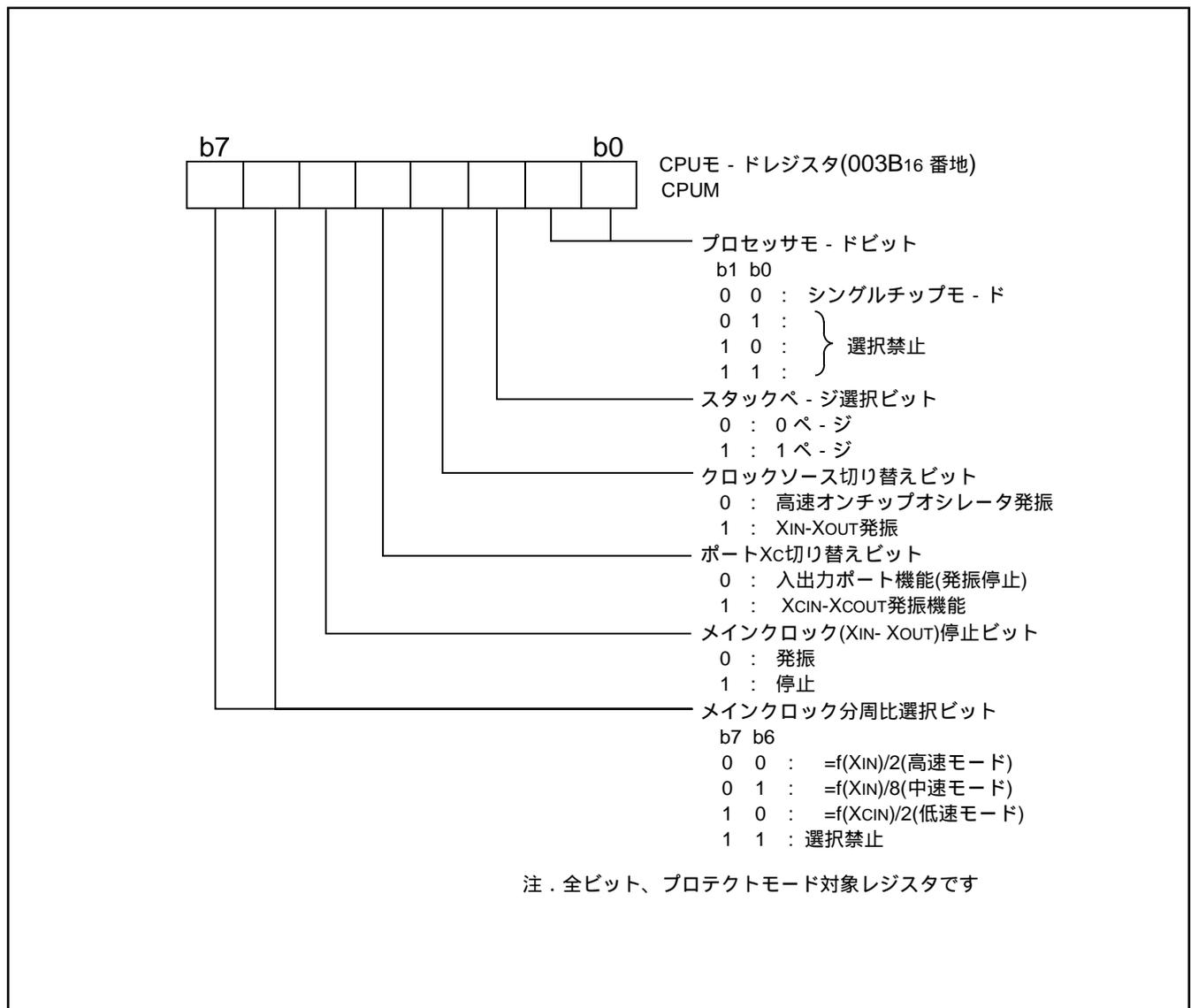


図3. CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

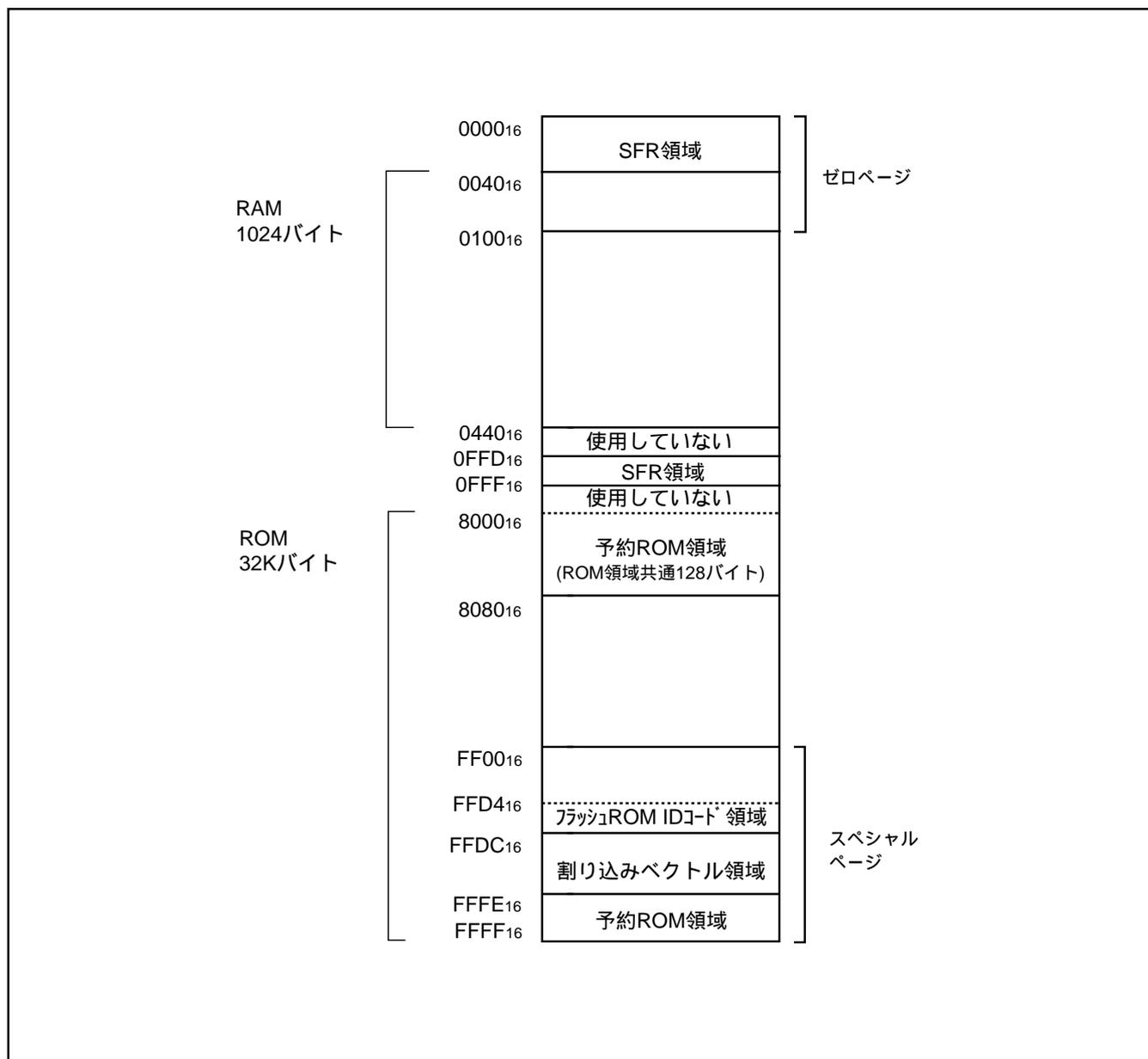


図4. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケアラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケアラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケアラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	SFRプロテクト制御レジスタ(PRREG)
000A ₁₆	放電カウンタラッチ下位レジスタ(DCHARGEL)	002A ₁₆	予約
000B ₁₆	放電カウンタラッチ上位レジスタ(DCHARGEH)	002B ₁₆	I ² Cデータシフトレジスタ(S0)
000C ₁₆	充電カウンタラッチ下位レジスタ(CHARGEL)	002C ₁₆	I ² Cアドレスレジスタ(S0D)
000D ₁₆	充電カウンタラッチ上位レジスタ(CHARGEH)	002D ₁₆	I ² Cステータスレジスタ(S1)
000E ₁₆	電流積算制御レジスタ(CINFCON)	002E ₁₆	I ² Cコントロールレジスタ(S1D)
000F ₁₆	短絡電流検出制御レジスタ(SCDCON)	002F ₁₆	I ² Cクロックコントロールレジスタ(S2)
0010 ₁₆	過電流検出制御レジスタ(OCDCON)	0030 ₁₆	I ² Cスタート/ストップコンディション制御レジスタ(S2D)
0011 ₁₆	電流検出時間設定レジスタ(OCDTIME)	0031 ₁₆	I ² C追加機能レジスタ(S3)
0012 ₁₆	ウェイクアップ電流検出制御レジスタ1(WUDCON1)	0032 ₁₆	32kHz発振制御レジスタ0(32KOSCC0)
0013 ₁₆	電流検出ステータスレジスタ(OCST1)	0033 ₁₆	32kHz発振制御レジスタ1(32KOSCC1)
0014 ₁₆	ウェイクアップ電流検出制御レジスタ2(WUDCON2)	0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	A/D変換下位レジスタ(ADL)
0016 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	A/D変換上位レジスタ(ADH)
0017 ₁₆	シリアル/O2レジスタ(SIO2)	0037 ₁₆	MISRG2
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケアラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0FFD ₁₆			予約
0FFE ₁₆			フラッシュメモリ制御レジスタ(FCON)
0FFF ₁₆			予約

図5 . SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表2. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力	シリアル/O2制御レジスタ	(1)
					(2)	
P04/AN8 ~ P07/AN11				A/D変換入力	A/D制御レジスタ, MISRG2	(3)
P10 ~ P17	ポートP1					(4)
P20/XCOUT, P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ MISRG2	(5)
P22/SDA1, P23/SCL1			CMOS入力レベル CMOS/SMBUS入力レベル (I ² C-BUSインタフェース 機能選択時) Nチャンネルオープンドレ イン出力	I ² C-BUSインタフェース 機能入出力	I ² Cコントロールレジスタ	(7)
P24/SDA2/RxD, P25/SCL2/TxD			CMOS入力レベル CMOS/SMBUS入力レベル (I ² C-BUSインタフェース 機能選択時) CMOS3ステート出力 Nチャンネルオープンドレ イン出力 (I ² C-BUSインタ フェース機能選択時)	I ² C-BUSインタフェース 機能入出力/ シリアル/O1機能入出力	I ² Cコントロールレジスタ シリアル/O1制御レジスタ	(8)
P26/SCLK			CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力	シリアル/O1制御レジスタ	(9)
P27/CNTR0/ SRDY1				シリアル/O1機能入出力 タイマX機能入出力	シリアル/O1制御レジスタ タイマXYモードレジスタ	(10)
P30/AN0 ~ P35/AN5	ポートP3			A/D変換入力	A/D制御レジスタ, MISRG2	(11)
P40/CNTR1	ポートP4			タイマY機能入出力	タイマXYモードレジスタ	(12)
P41/INT0 P42/INT1				外部割り込み入力	割り込みエッジ選択レジスタ	(13)
P43/INT2/ScMP2				外部割り込み入力 ScMP2出力	割り込みエッジ選択レジスタ シリアル/O2制御レジスタ	(14)
P44/INT3/PWM				外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ PWM制御レジスタ	(15)
P45/DFETCNT				過電流検出回路出力	短絡電流検出制御レジスタ 過電流検出制御レジスタ ウェイクアップ電流検出 制御レジスタ	(16)
						(17)
						(18)
						(19)

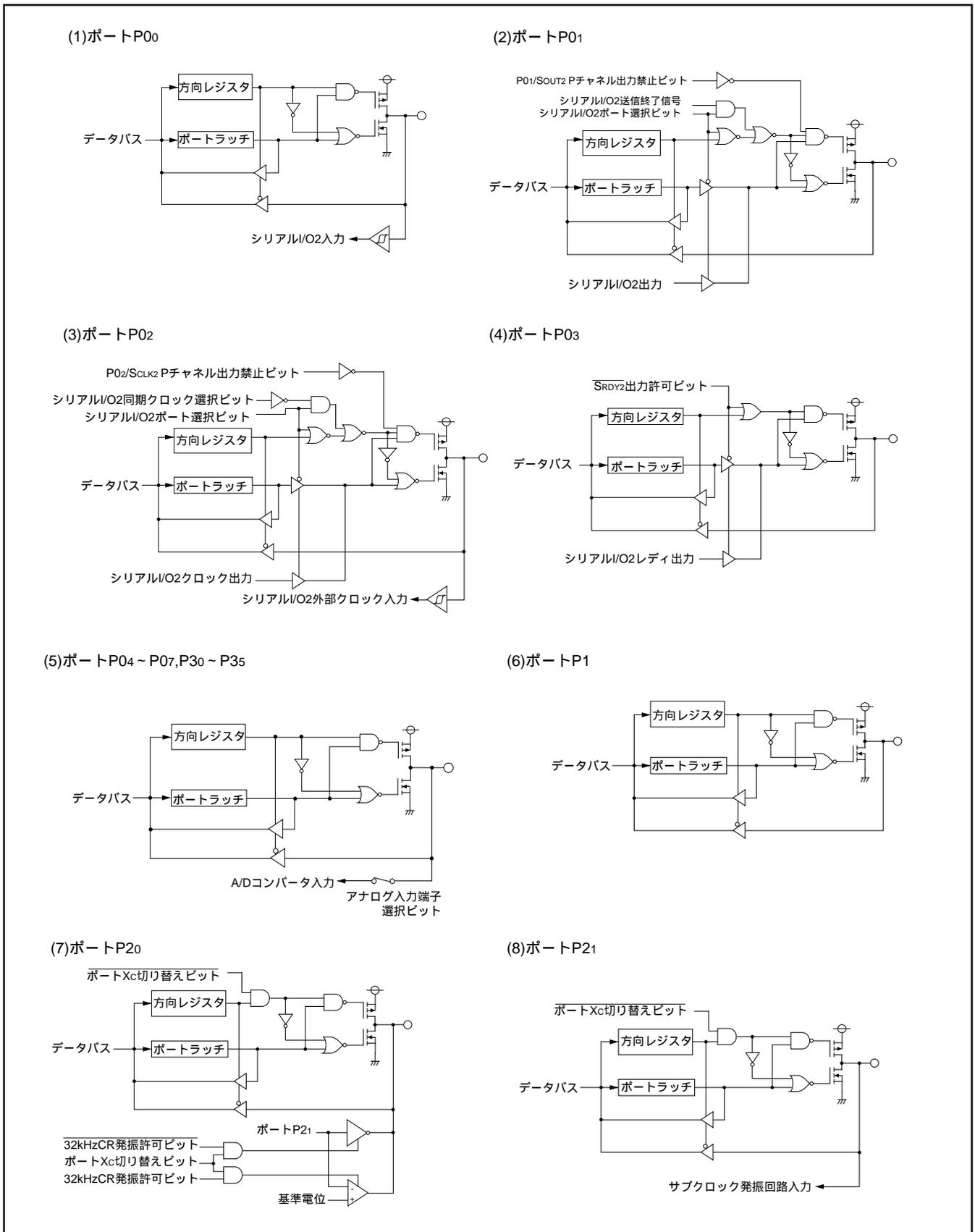


図6 . ポートのブロック図(1)

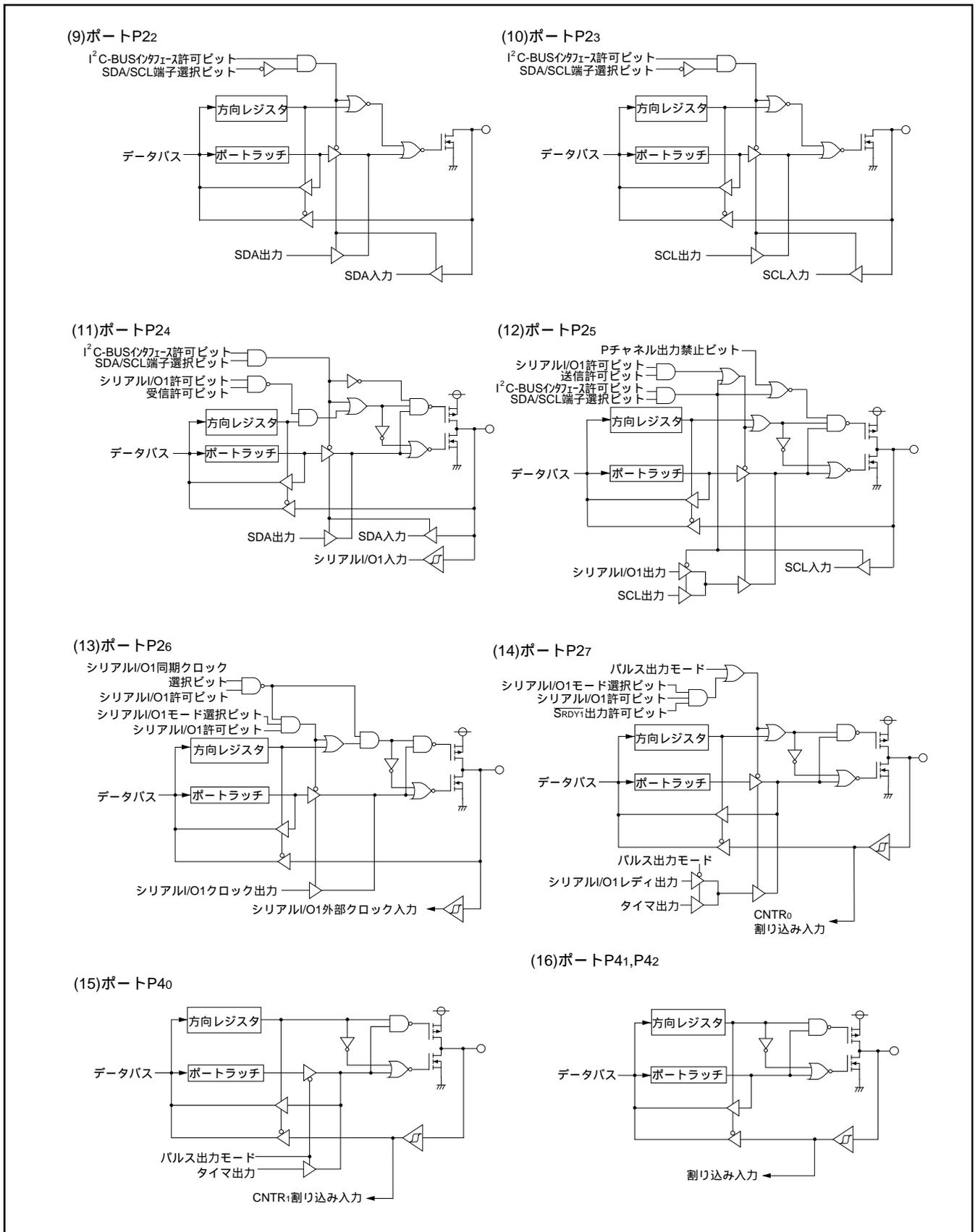


図7. ポートのブロック図(2)

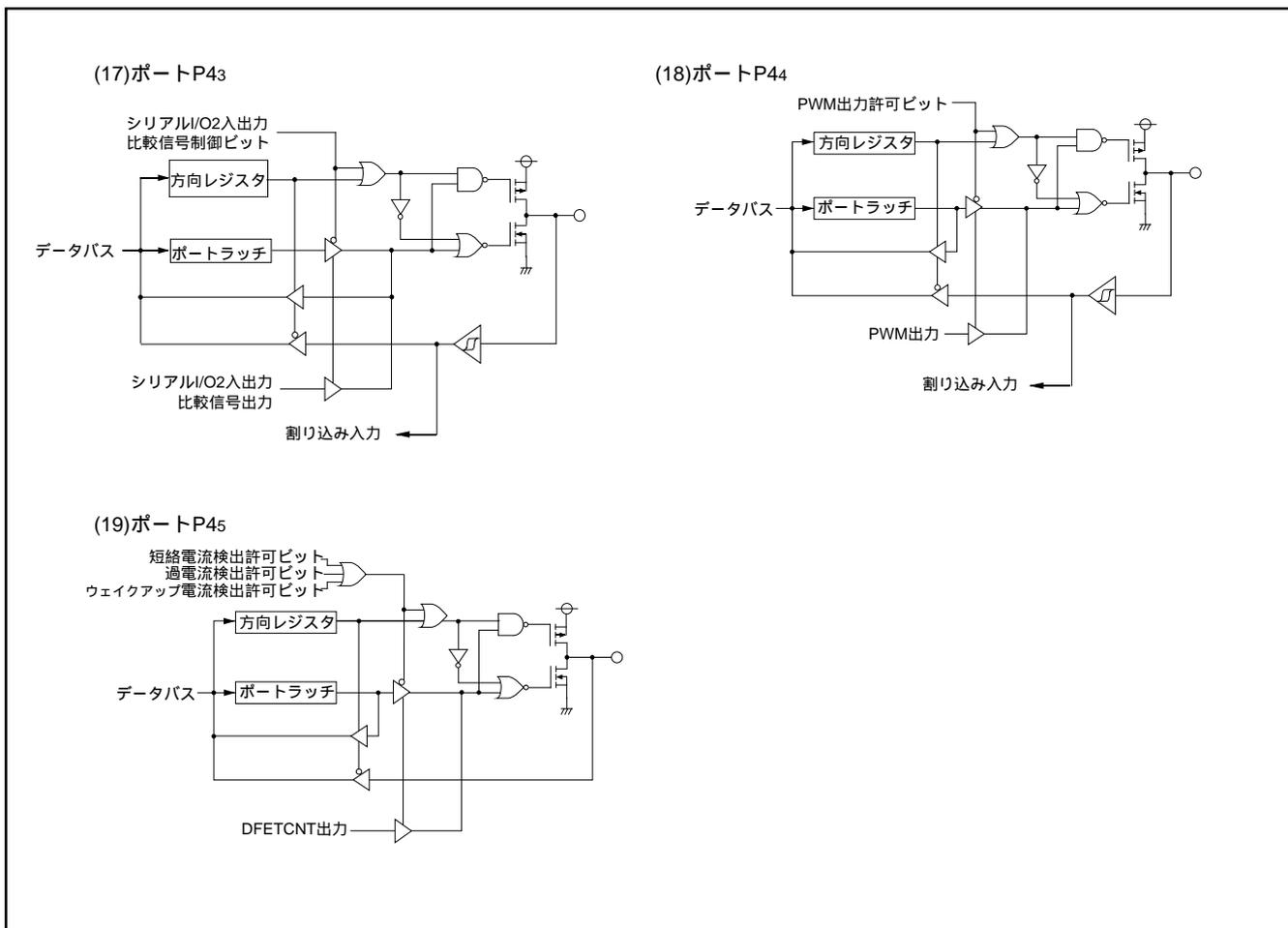


図8 . ポートのブロック図(3)

割り込み

割り込みはベクトル割り込みで、外部7要因、内部11要因、ソフトウェア1要因の19要因のうち、16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

表3. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
SCL, SDA	3	FFF916	FFF816	SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT3	6	FFF316	FFF216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアル/O2				シリアル/O2データ送受信終了時	シリアル/O2選択時のみ有効
I ² C	7	FFF116	FFF016	データ送受信終了時	
タイマX	8	FFEF16	FFEE16	タイマXアンダフロー時	
タイマY	9	FFED16	FFEC16	タイマYアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	
シリアル/O1受信	12	FFE716	FFE616	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE516	FFE416	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
過電流検出				過電流検出回路の短絡電流検出又は過電流検出又はウェイクアップ電流検出時	短絡電流検出許可又は過電流検出許可又はウェイクアップ電流検出許可時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
逐次比較方式A/D変換	16	FFDF16	FFDE16	A/D変換終了時	
電流積算				電流積算周期終了時又はカリブレーション終了時	電流積算許可時のみ有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります

■注意事項

外部割り込み(INT0～INT3、SCL/SDA、CNTR0、CNTR1)のアクティブエッジを設定する際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタ(SCL/SDAの場合はSCL/SDA割り込み端子極性ビット、CNTR0、CNTR1の場合はタイマXYモードレジスタ)を設定した後、割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

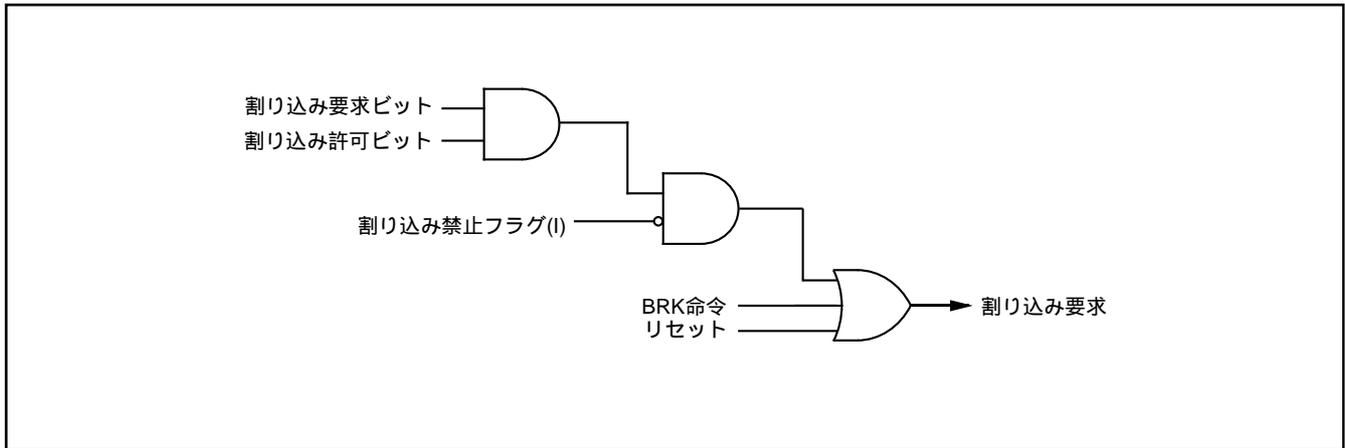


図9．割り込み制御図

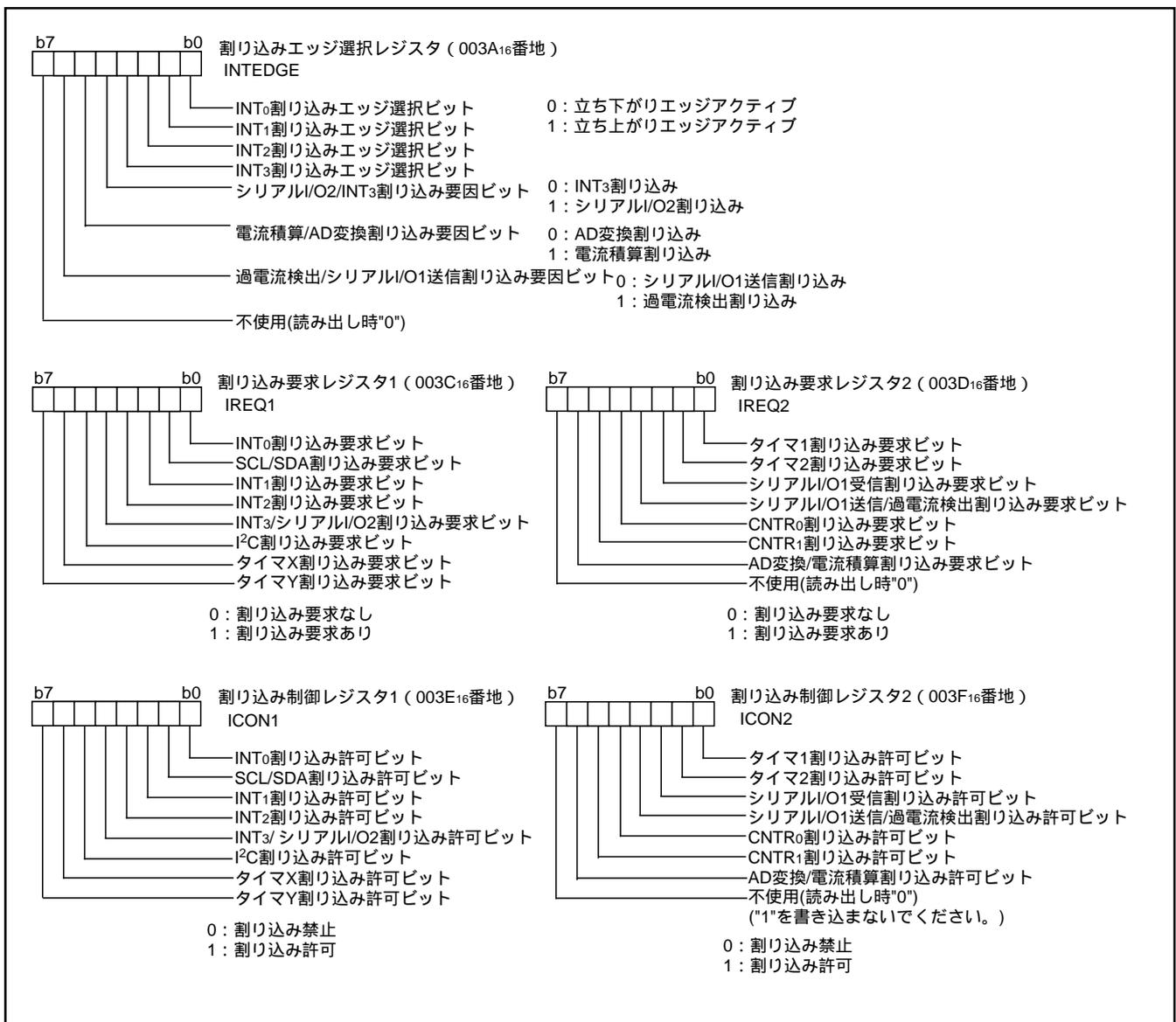


図10．割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

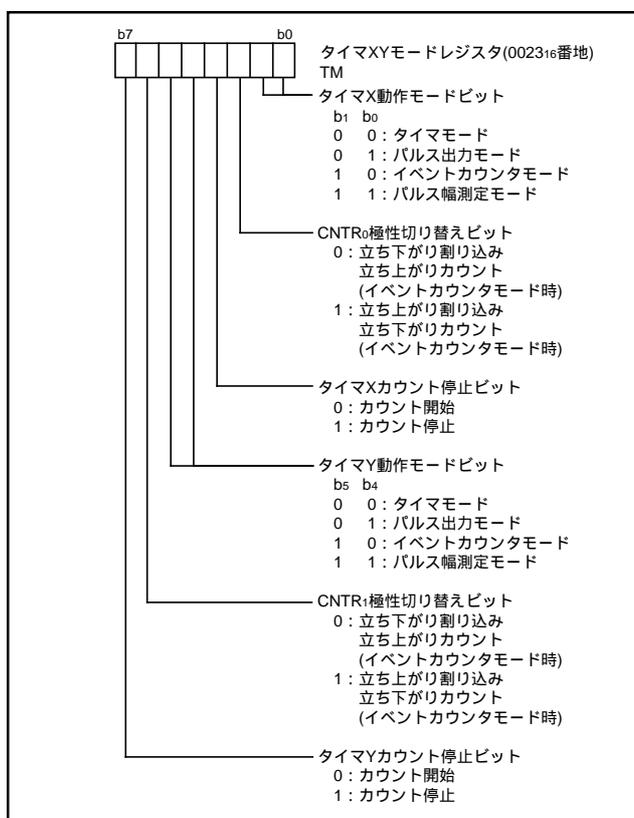


図11. タイマXYモードレジスタの構成

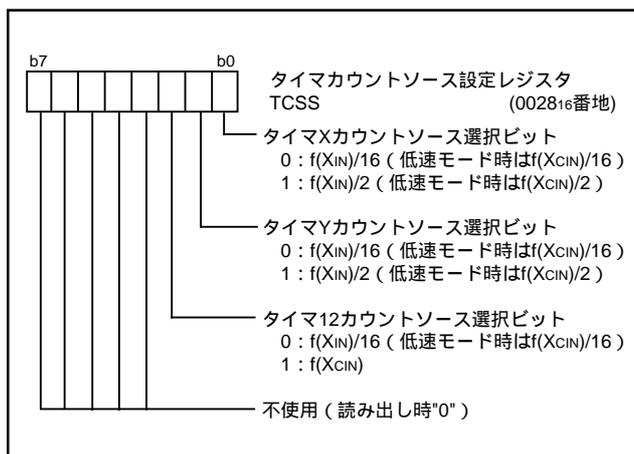


図12. タイマカウントソース設定レジスタ

注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

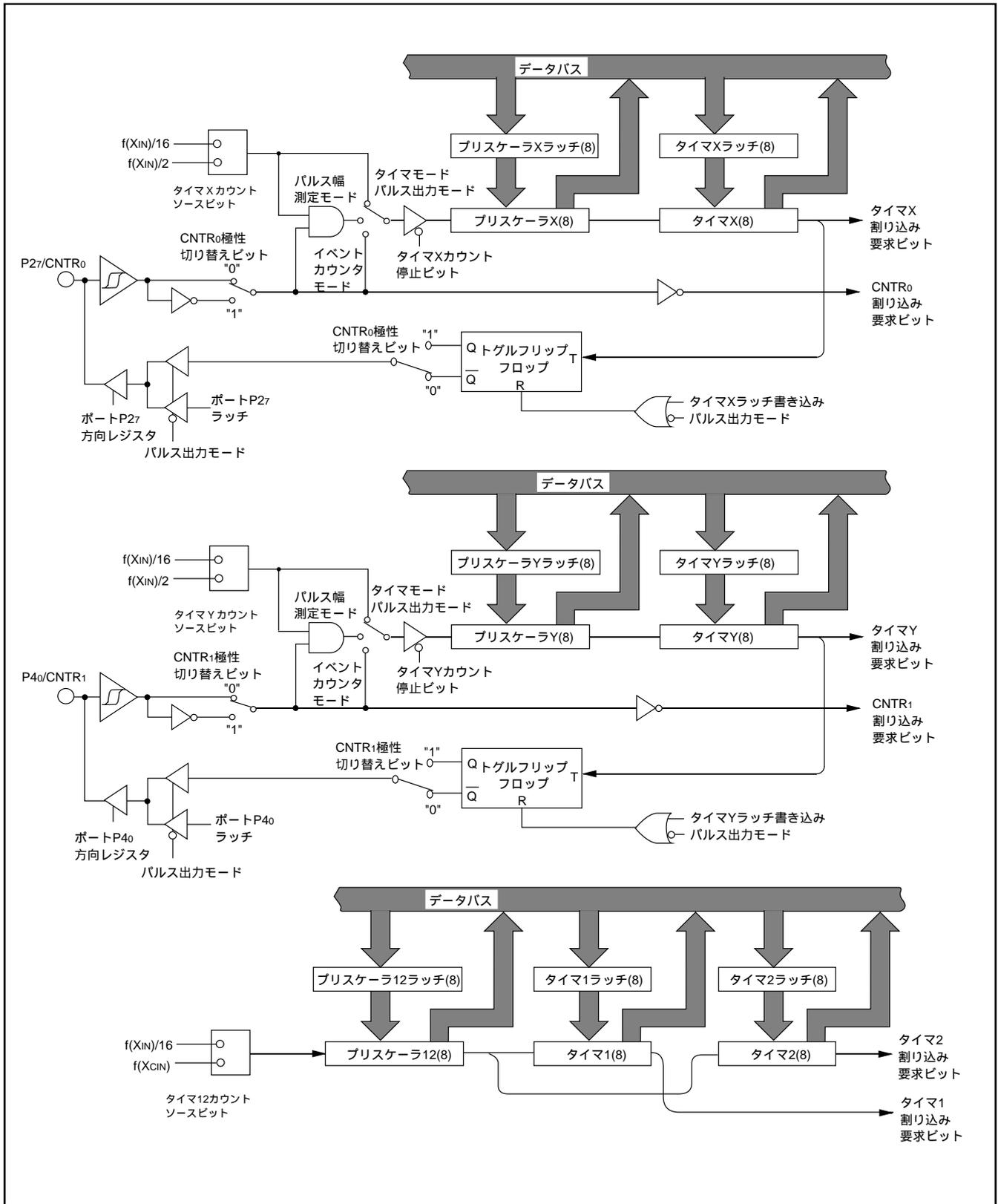


図13. タイマX, タイマY, タイマ1及びタイマ2のブロック図

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

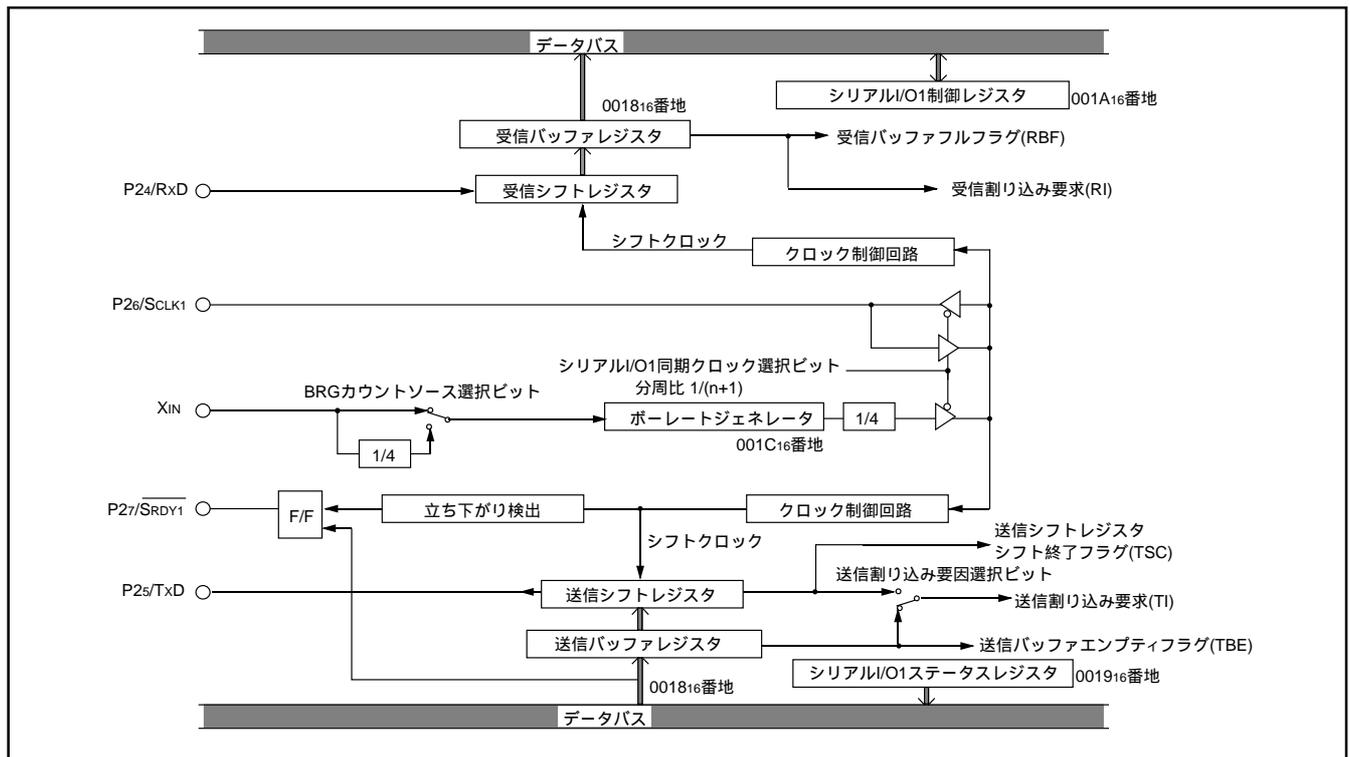


図14. クロック同期形シリアルI/O1ブロック図

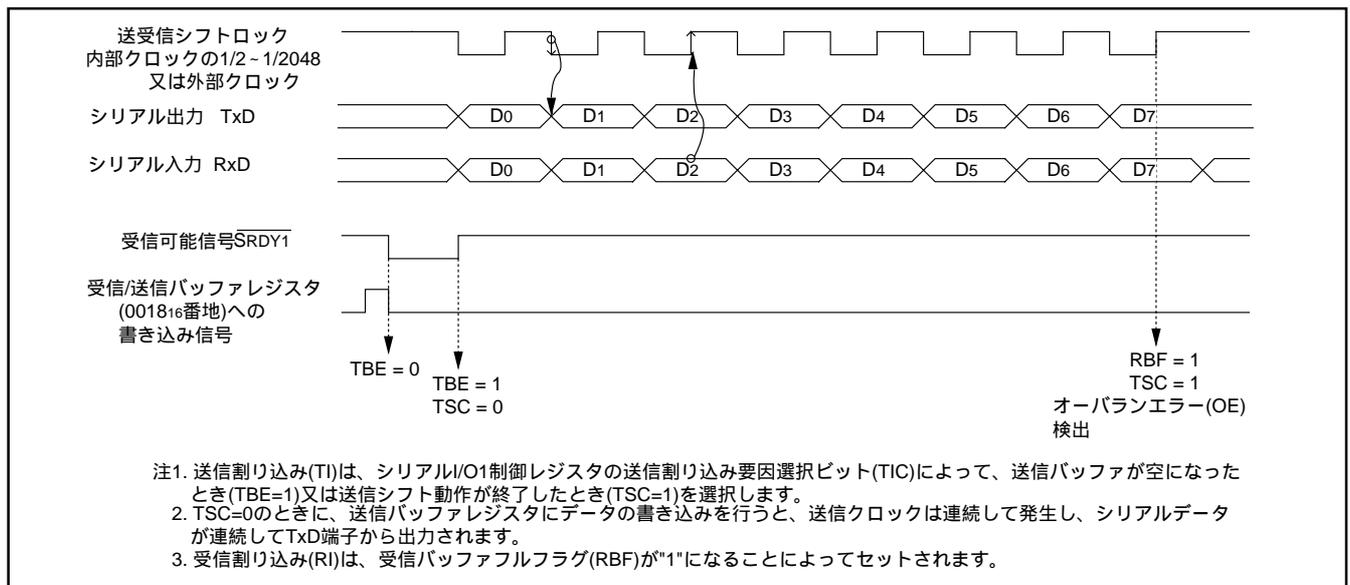


図15. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、

受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます

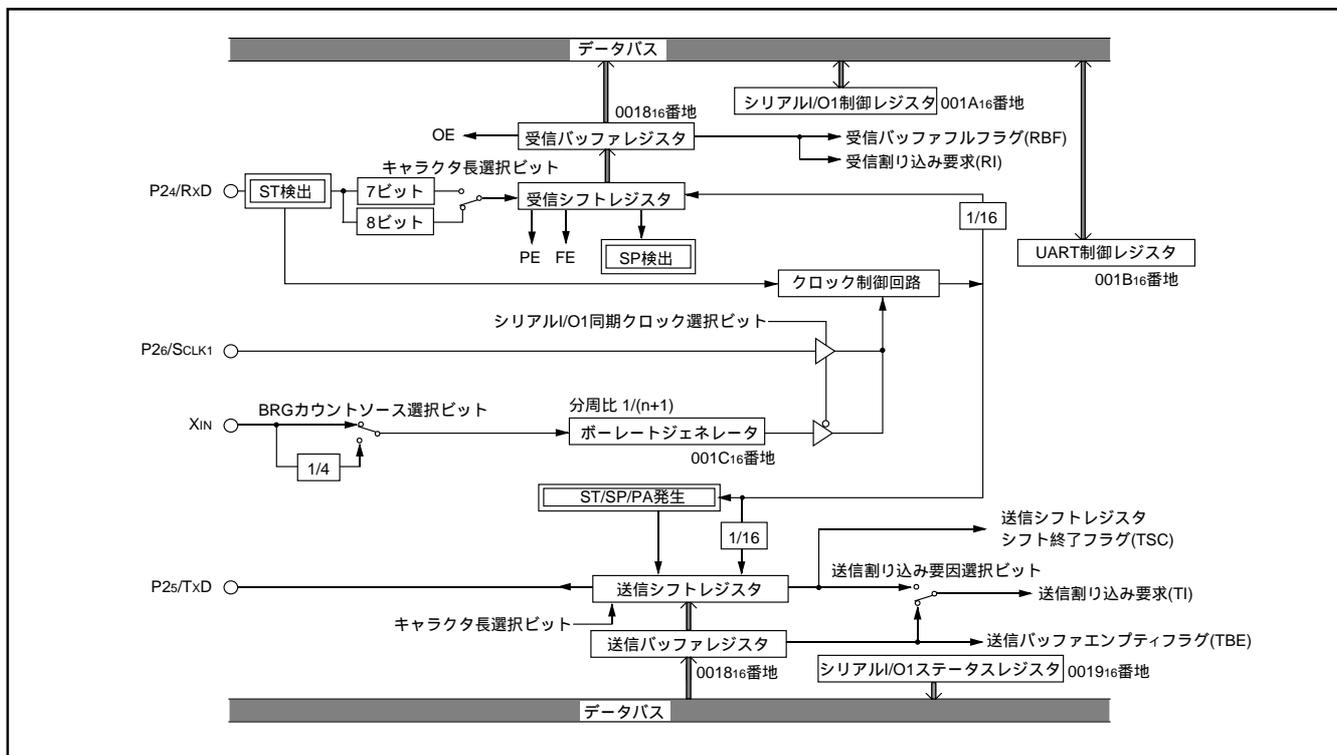
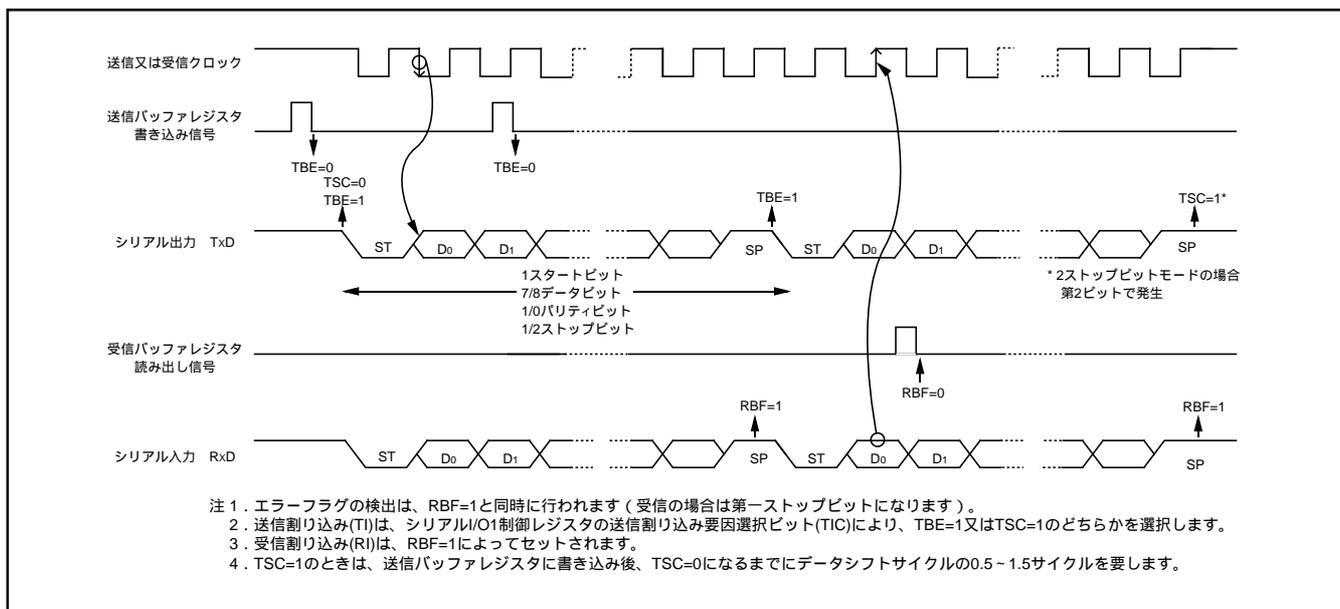


図16 . UART形シリアルI/O1ブロック図



- 注1. エラーフラグの検出は、RBF=1と同時にに行われます(受信の場合は第一ストップビットになります)。
- 注2. 送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
- 注3. 受信割り込み(RI)は、RBF=1によってセットされます。
- 注4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図17 . UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4~6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P2s/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/O1を使用する場合は、I²C-BUSインタフェース許可ビットを“0”にするか、SDA/SCL端子選択ビットを“0”にしてください。

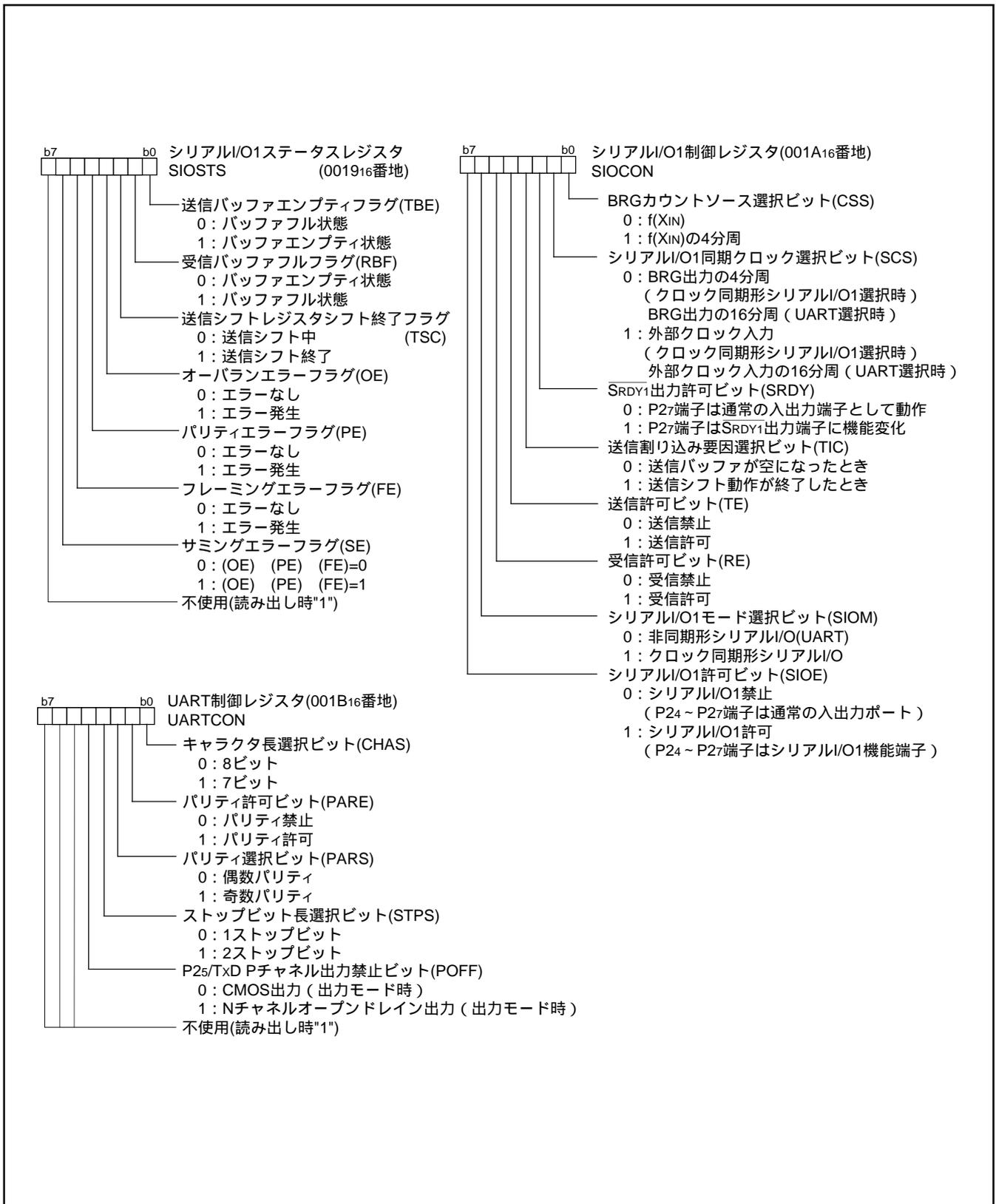


図18 . シリアルI/O1関係レジスタの構成

シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロック又は外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT₂、SCLK₂については、シリアルI/O2制御レジスタ1のP0₁/SOUT₂、P0₂/SCLK₂ Pチャネル出力禁止ビット(b7)により、CMOS出力又はNチャネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT₂端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT₂端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT₂端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK₂が“H”の状態ですリアルI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT₂端子はアクティブ状態になります。

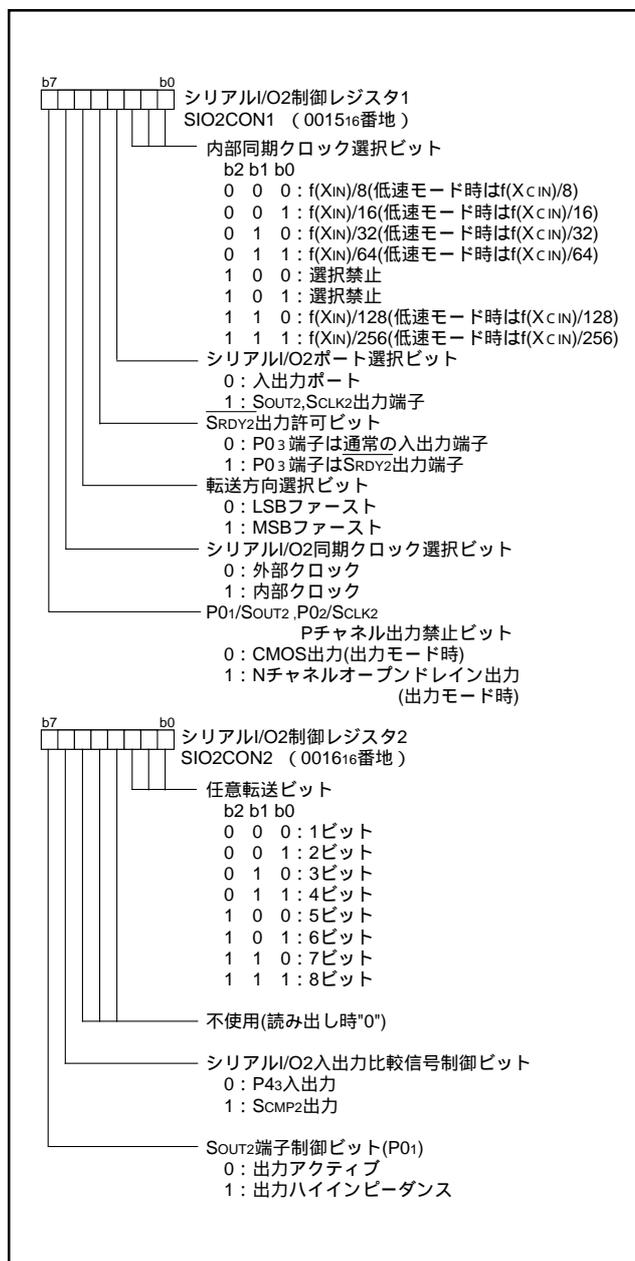
内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1~8ビット)を転送後割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり同期して、送信端子SOUT₂と受信端子SIN₂の状態を比較し、SCMP₂信号を出力することができます。SOUT₂端子の出力レベルとSIN₂端子への入力レベルが同一であれば、SCMP₂端子から“L”、異なれば“H”を出力します。また、この時INT₂割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1
SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。



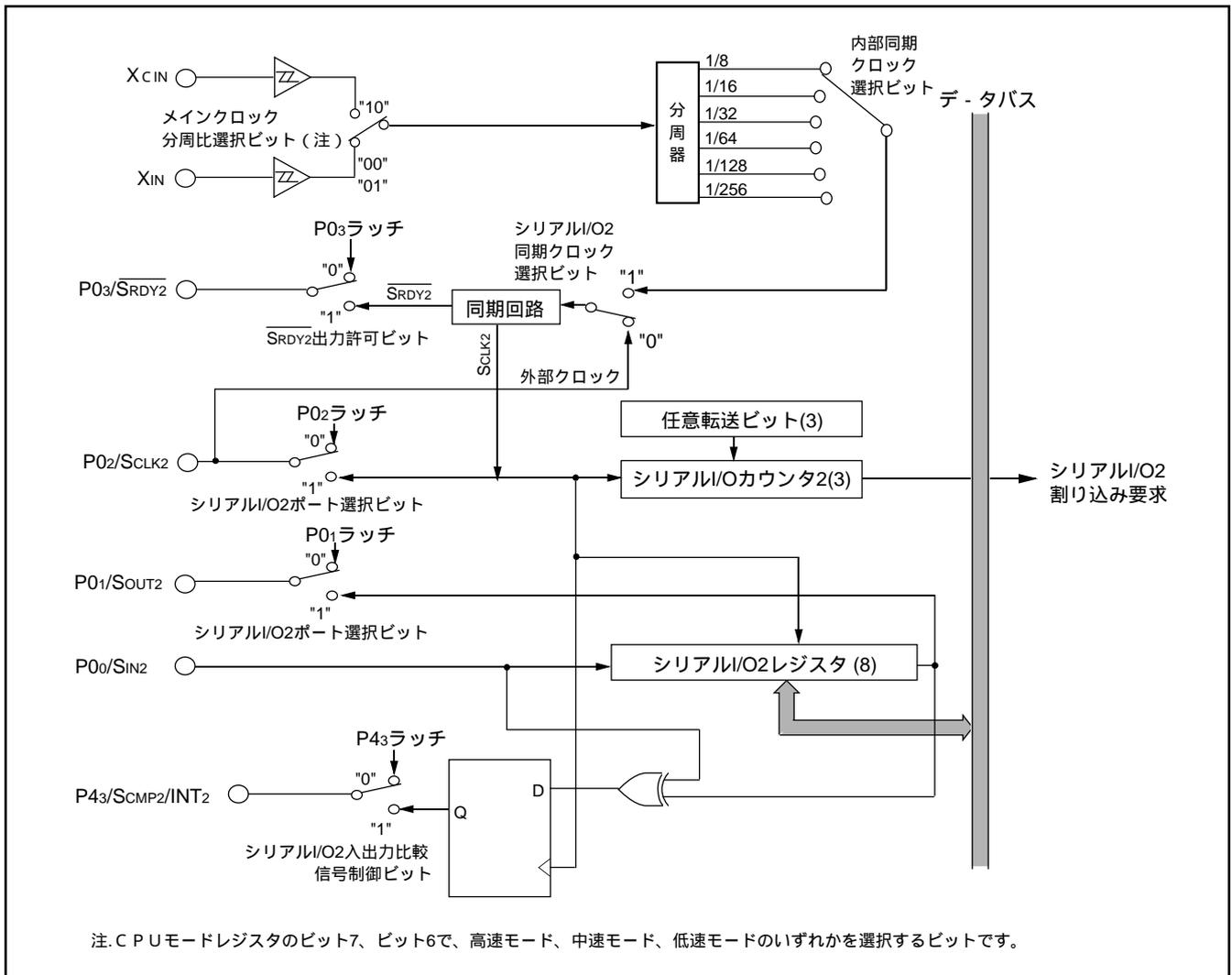


図20 . シリアル/O2ブロック図

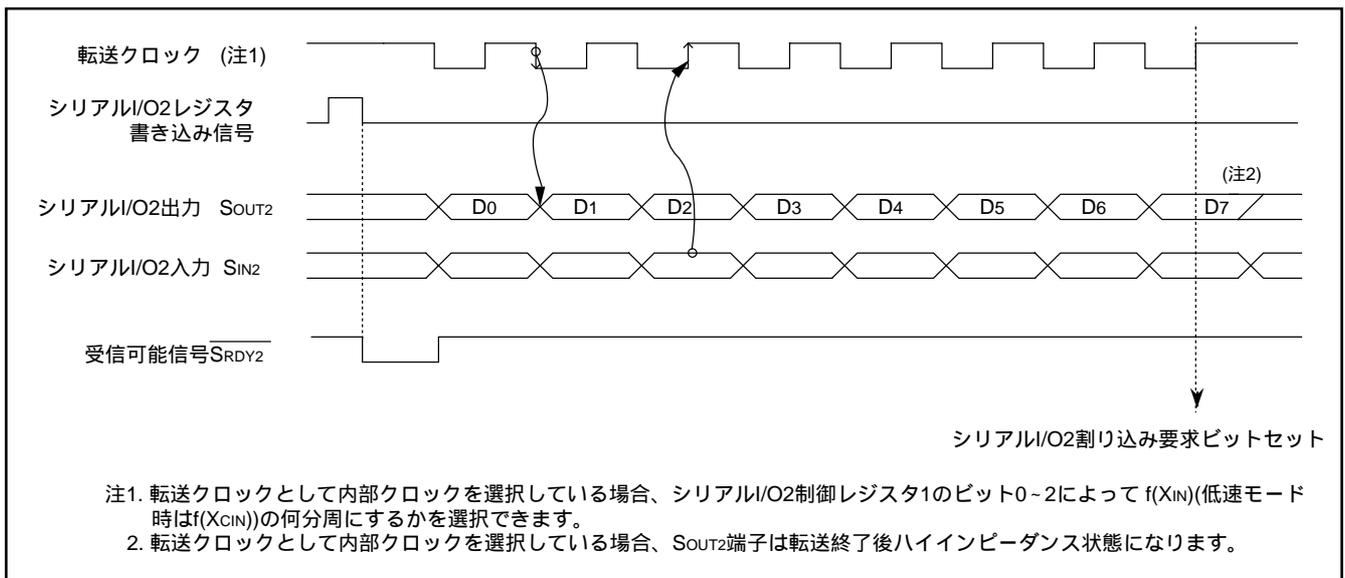


図21 . シリアル/O2タイミング図

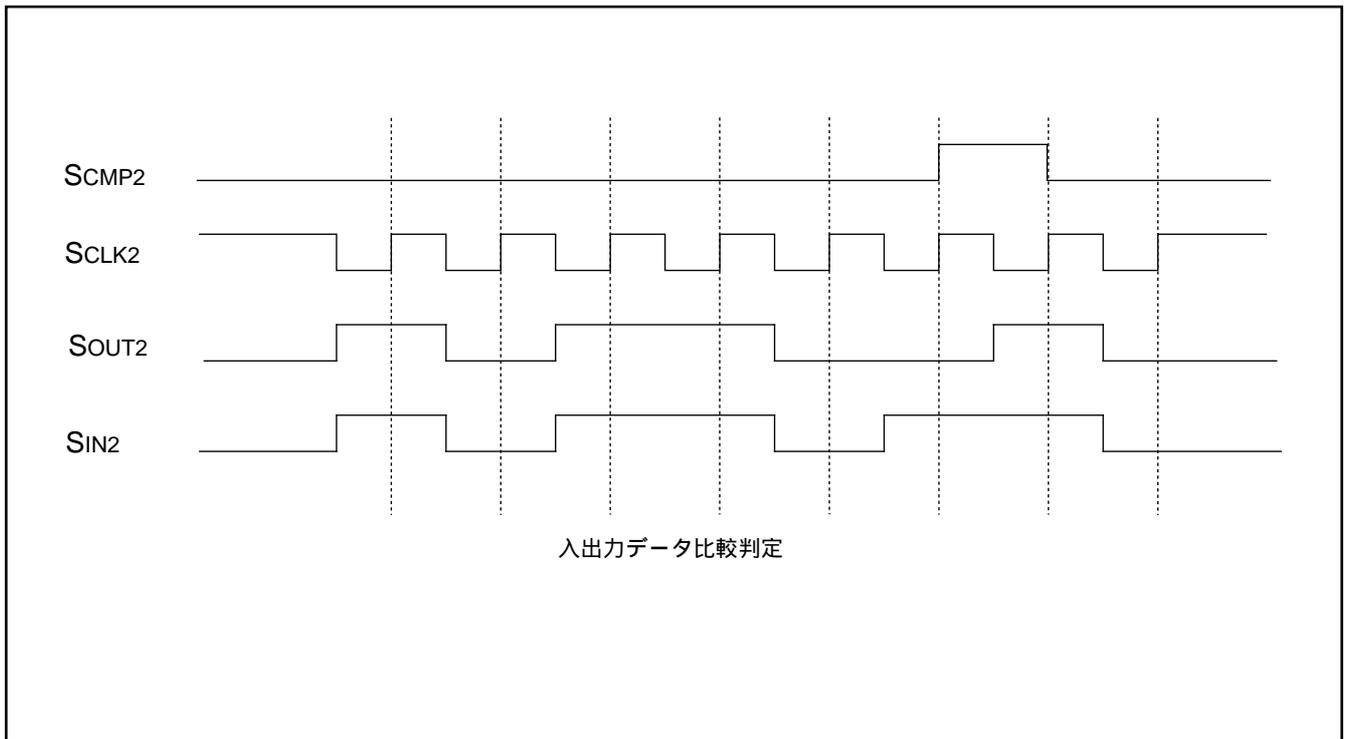


図22 . SCMP2出力の動作

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニクス機能を有しており、マルチマスタのシリアル通信に対応できます。

図23にマルチマスタI²C-BUSインタフェースのブロック図、表4にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、φを1MHz以上にしてください。

表4. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz, (φ = 4 MHz時)

システムクロック φ: = f(XIN)/2(高速モード)

φ: = f(XIN)/8(中速モード)

注. I²C-BUSインタフェースとポート(SCL₁, SCL₂, SDA₁, SDA₂)の接続を制御する機能(I²Cコントロールレジスタ[002E]16番地)のビット6の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

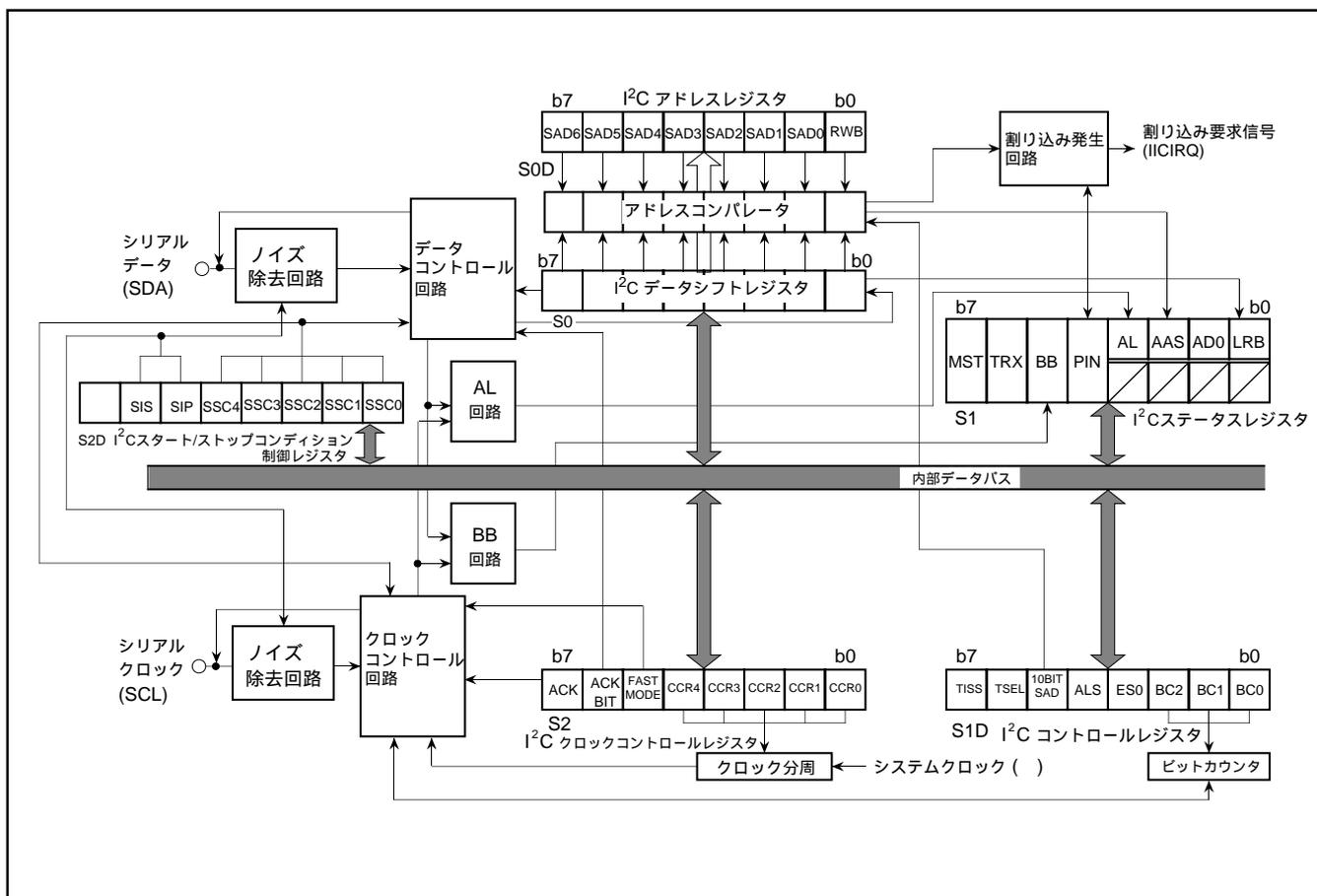


図23. マルチマスタI²C-BUSインタフェースのブロック図

*: Purchase of Renesas Technology Corporation's I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:002B₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短で2マシンサイクルを要します。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(S1D:002E₁₆番地)のI²C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(S1:002D₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

I²Cアドレスレジスタ

I²Cアドレスレジスタ(S0D:002C₁₆番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1)ビット0:リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6 ~ SAD0 + RWB)が比較されます。RWBビットはストップコンディションを検出すると、自動的に“0”になります。

(2)ビット1～ビット7:スレーブアドレス(SAD0 ~ SAD6)
スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

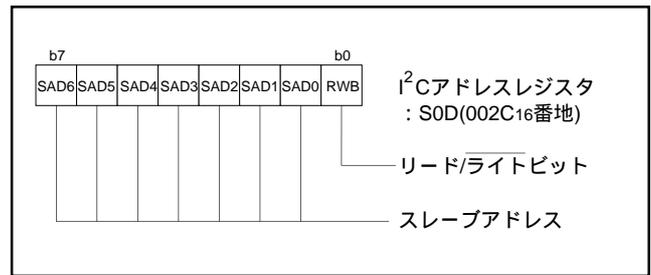


図24 . I²Cアドレスレジスタの構成

I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(S2:002F₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0～ビット4: SCL周波数制御ビット(CCR0～ CCR4)

SCL周波数を制御するビットです。表5を参照してください。

(2)ビット5: SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、メインクロック分周比を2でご使用ください。

(3)ビット6: アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態アドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり、一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

*アッククロック: 確認応答用のクロック

(4)ビット7: アッククロックビット(ACK)

データ転送の確認応答であるアックノリジメントのモードを指定するビットです。“0”の場合、アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする)データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

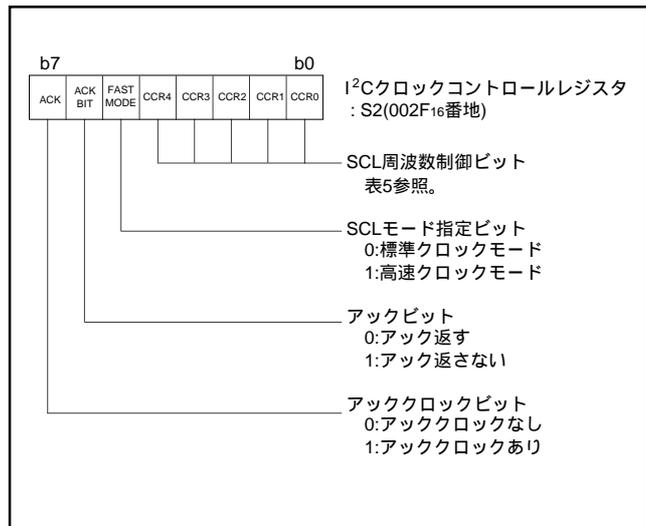


図25. I²Cクロックコントロールレジスタの構成

表5. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数($\phi = 4$ MHz時, 単位: kHz)(注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

- 注1. SCLクロック出力のデューティは50%です。高速クロックモード CCR値=5のみ35～45%になります。(400kHz, $\phi = 4$ MHz時)また、クロックの“H”の期間は標準クロックモードで+2～-4マシサイクル、高速クロックモードで+2～-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。
2. $\phi = 4$ MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は ϕ をより低い周波数で使用ください。
3. SCL周波数の計算式は次のとおりです。
 $\phi / (8 \times \text{CCR値})$ 標準クロックモード
 $\phi / (4 \times \text{CCR値})$ 高速クロックモード(CCR値 = 5)
 $\phi / (2 \times \text{CCR値})$ 高速クロックモード(CCR値 = 5)
 CCR値=0～2は ϕ の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。

I²Cコントロールレジスタ

I²Cコントロールレジスタ(S1D:002E₁₆番地)はデータ通信フォーマットの制御を行うレジスタです。

(1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:002F₁₆番地のビット7)による指定があればアックロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0=“0”のとき、次のように処理されます。

I²Cステータスレジスタ(S1:002D₁₆番地)のPIN=“1”

BB=“0”、AL=“0”に設定される。

I²Cデータシフトレジスタ(S0:002B₁₆番地)への書き込みは禁止される。

(3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「I²Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4)ビット5:アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

(5)ビット6:SDA/SCL端子選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの入出力端子を選択するビットです。図26を参照してください。

(6)ビット7:I²C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

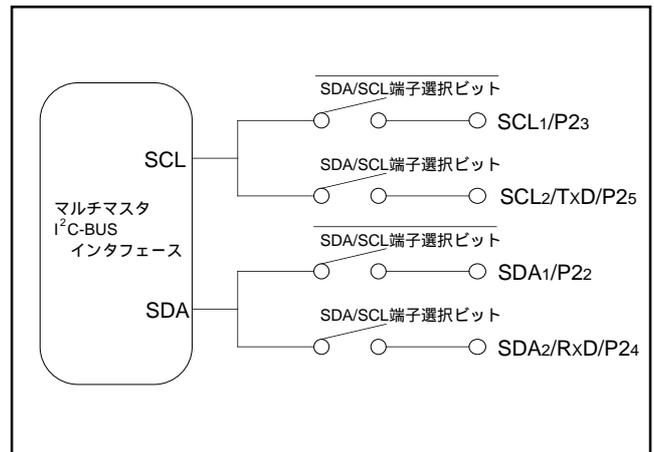


図26 . SDA/SCL端子選択ビットによる接続ポート制御

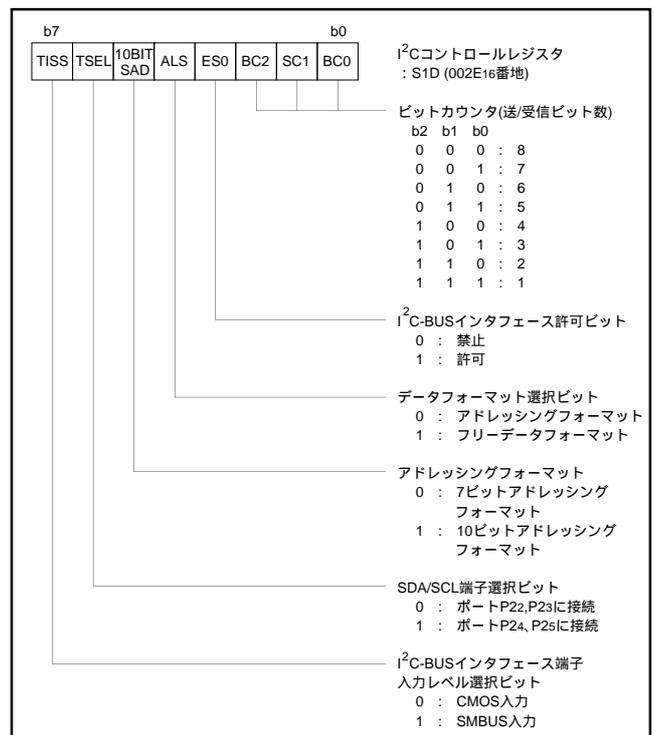


図27 . I²Cコントロールレジスタのビット構成

I²Cステータスレジスタ

I²Cステータスレジスタ(S1:002D16番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“00002”を書き込みください。

(1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アックロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(S0:002B16番地)に書き込み命令を実行すると“0”になります。

(2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

*ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

(3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(S0D:002C16番地)に格納されている上位7ビットのスレーブアドレスと一致した場合。
 - ・ジェネラルコールを受信した場合
- スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。
- ・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合のI²Cデータシフトレジスタ(S0:002B16番地)への書き込み、又はリセットにより“0”になります。

(4)ビット3:アービトレーションロスト*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーショ

ンを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

*アービトレーションロスト: マスタとしての通信が不許可となった状態。

(5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アックロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”の時、SCLは“0”に保たれクロックの発生は禁止されます。図29に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

・I²Cデータシフトレジスタ(S0:002B16番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

・ES0ビットが“0”のとき

・リセット時

・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

・1バイトのデータ受信完了直後

・スレーブ受信の際、ALS=0で、スレーブアドレス一致又はジェネラルコールアドレス受信完了直後

・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

(6)ビット5:バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)のスタート/ストップコンディション設定ビット(SSC4~SSC0)の条件に従います。また、I²Cコントロールレジスタ(S1D:002E16番地)のES0ビット(ビット3)が“0”の時、及びリセット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

(7)ビット6:通信モード指定ビット

(転送方向指定ビット:TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・ALS=“0”かつスレープで、R/Wビット受信が“1”の場合

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・MST=“0”で、スタートコンディションを検出した場合
- ・MST=“0”でアック応答が返ってこなかったことを検出した場合
- ・リセット時

(8)ビット7:通信モード指定ビット

(マスタ/スレープ指定ビット:MST)

データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・リセット時

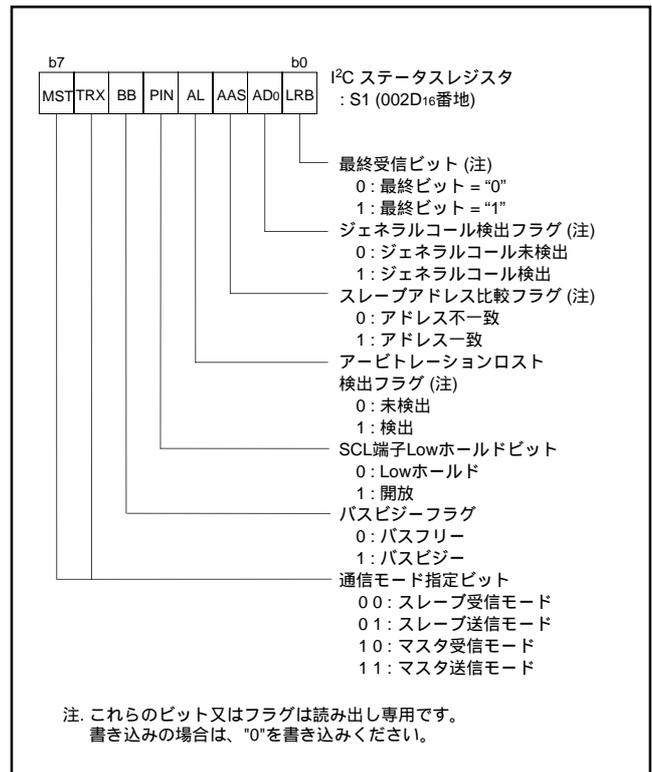
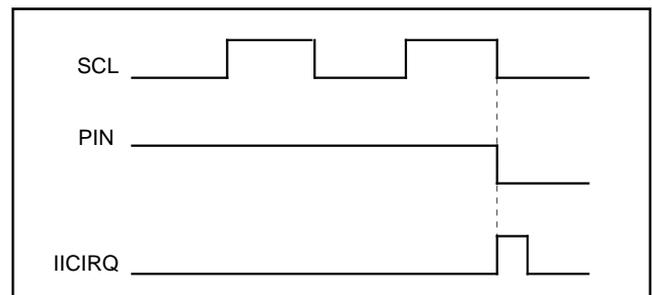
図28. I²Cステータスレジスタの構成

図29. 割り込み要求信号の発生タイミング

注 スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

スタートコンディション発生方法

I²Cコントロールレジスタ(S1D:002E₁₆番地)のES0ビットが“1”、BBフラグが“0”の状態、I²Cデータシフトレジスタ(S0:002B₁₆番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(S1:002D₁₆番地)のMST、TRX、BBビットに“1”書き込みを同時に行くとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図30のスタートコンディション発生タイミング図と表6のスタートコンディション発生タイミング表を参照してください。

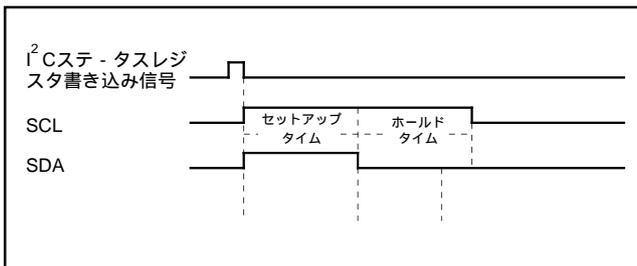


図30 . スタートコンディション発生タイミング図

表6.スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs (20サイクル)	2.5 μs (10サイクル)
ホールド時間	5.0 μs (20サイクル)	2.5 μs (10サイクル)

注 . = 4MHz時の絶対時間 ()内は のサイクル数

ストップコンディションの発生方法

I²Cコントロールレジスタ(S1D:002E₁₆番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(S1:002D₁₆番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図31のストップコンディション発生タイミング図と表7のストップコンディション発生タイミング表を参照してください。

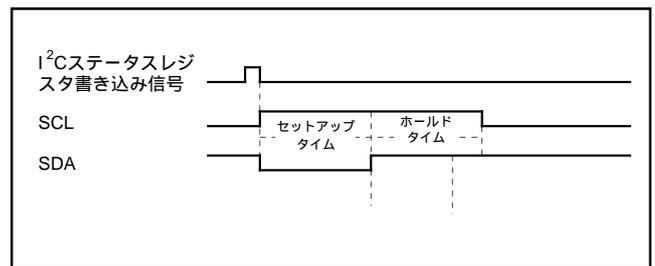


図31 . ストップコンディション発生タイミング図

表7.ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs (20サイクル)	3.0 μs (12サイクル)
ホールド時間	4.5 μs (18サイクル)	2.5 μs (10サイクル)

注 . = 4MHz時の絶対時間 ()内は のサイクル数。

スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図32、図33と表8に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表8のSCL開放条件、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表8のBBフラグセット/リセット時間を参照してください。

注 スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQが発生します。

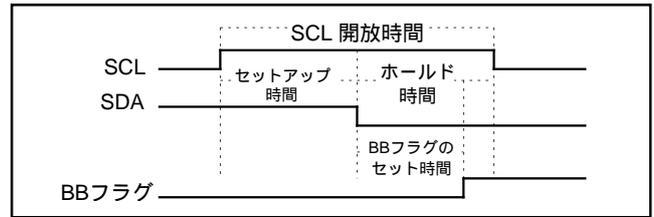


図32．スタートコンディション検出のタイミング図

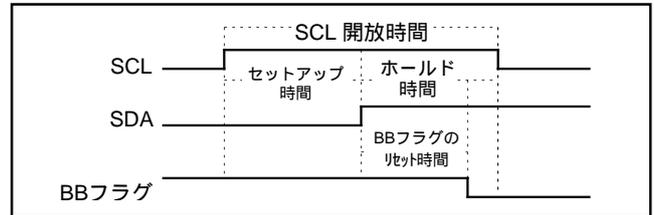


図33．ストップコンディション検出のタイミング図

表8．スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル (6.25 μs)	4サイクル (1.0 μs)
セットアップ時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (1.0 μs)
ホールド時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (0.5 μs)
BBフラグセット/ リセット時間	$\frac{\text{SSC値}-1}{2}$ +2サイクル (3.375 μs)	3.5サイクル (0.875 μs)

注．単位はシステムクロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進法表記した値です。SSC値=0及び奇数となる設定は禁止です。

()内は =4MHz時、I²Cスタート/ストップコンディション制御レジスタに"1816"を設定した場合の時間の一例です。

I²Cスタート/ストップコンディション制御レジスタ

I²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

(1)ビット0～ビット4:スタート/ストップコンディション 設定ビット (SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数f(XIN)や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表9を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表9に示します。

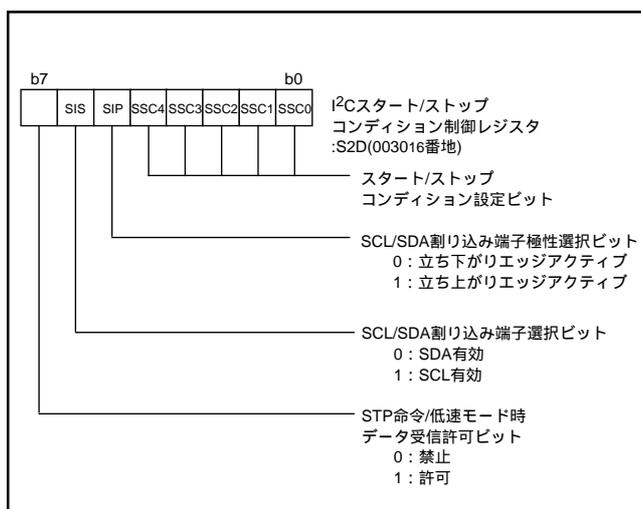


図34. I²Cスタート/ストップコンディション制御レジスタの構成

(2)ビット5:SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

(3)ビット6:SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

(4)ビット7:STP命令/低速モード時データ受信許可ビット

このビットを“1”にすると、CPUがSTP命令あるいは低速モードで動作中、他のデバイスがマスタとしてスタートコンディションが発生したときにアドレスデータを受信することができます。スタートコンディションのSDA端子の立ち下がりを検出するとCRオンチップオシレータ発振回路が発振を開始し、アドレスデータを受信します。アドレス受信の最終ビット受信後、(アックビットありの場合はアックビット終了後)、SCL/SDA割り込みが発生し(同時にI²C割り込みも発生)、SCL端子Lowホールドビット(PIN)が“L”になり、SCL端子をLowホールドします。この間にXINの発振を立ち上げ、安定発振した後は通常のI²C動作を行うことができます。

スタートコンディションのホールド時間を満たさない入力を検出した場合、SCL/SDA割り込みが発生します。

注 .SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビット(ES0)の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みの要因としてSCL又はSDA端子の立ち上がり及び立ち下がりエッジを使用する場合、上記のビットを“0”にリセットした後、割り込みを許可してください。

表9. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発振周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロック (MHz)	スタート/ストップ コンディション 制御レジスタ	SCL開放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
8	2	4	XXX11010	6.75 μs (27サイクル)	3.375 μs (13.5サイクル)	3.375 μs (13.5サイクル)
			XXX11000	6.25 μs (25サイクル)	3.125 μs (12.5サイクル)	3.125 μs (12.5サイクル)
8	8	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)
4	2	2	XXX01100	6.5 μs (13サイクル)	3.25 μs (6.5サイクル)	3.25 μs (6.5サイクル)
			XXX01010	5.5 μs (11サイクル)	2.75 μs (5.5サイクル)	2.75 μs (5.5サイクル)
2	2	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)

注 .スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

I²C追加機能レジスタ

(1)ビット0:タイムアウトモードビット(TOM)

タイムアウトモードを“1”に設定すると約125ms($f(XIN)=8\text{MHz}$ 時)の間バスビジー状態が続くとタイムアウトフラグが“1”になりタイムアウト割り込みが発生します。通信の途中でリスタートコンディションが発生するとタイムアウト時間計測用のカウンタがクリアされます。

(2)ビット1:タイムアウトフラグ(TOF)

タイムアウトが発生するとこのビットが“1”になります。このビットに“1”を書き込むと“0”にクリアされ、タイムアウト時間計測用のカウンタがクリアされます。

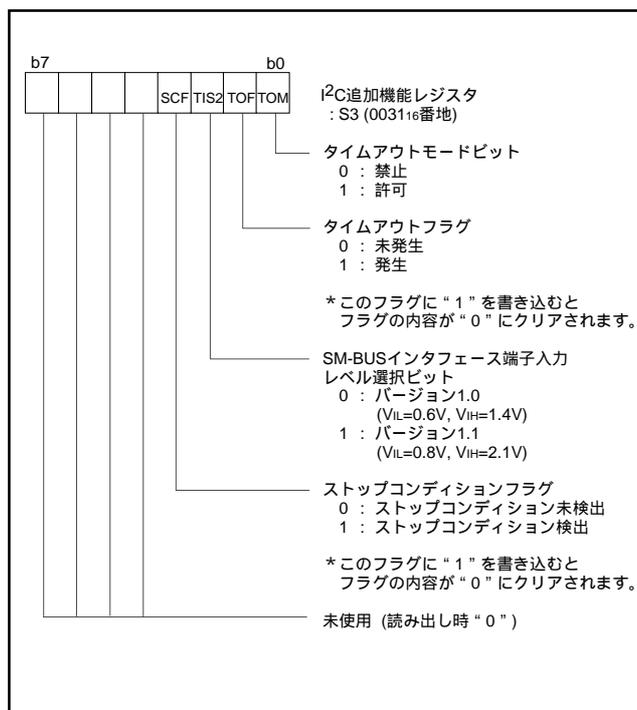
(3)ビット2:SM-BUSインタフェース端子入力レベル選択ビット(TIS2)

SM-BUSインタフェース端子の入力レベルを選択するビットです。このビットを“0”に設定するとSMBUS Ver.1.0対応に、“1”に設定するとSMBUS Ver.1.1対応に入力レベルが設定されます。

(4)ストップコンディションフラグ(SCF)

ストップコンディションが発生した場合に“1”になります。このフラグはリセット時、I²C-BUSインタフェース許可ビットが“0”のとき、及びこのビットに“1”を書き込んだ場合に“0”にクリアされます。

このビットはI²C-BUSインタフェース端子入力レベル選択ビットが“1”の場合のみ有効です。

図35 . I²C追加機能レジスタ

アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(S0D:002C₁₆番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(S0D:002C₁₆番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図36の(1)、(2)を参照してください。

(2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(S0D:002C₁₆番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I²Cアドレス

レジスタ(S0D:002C₁₆番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(S1:002D₁₆番地)のAASビットが“1”にセットされます。2バイト目アドレスデータは、I²Cデータシフトレジスタ(S0:002B₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(S0D:002C₁₆番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/WのデータとI²Cアドレスレジスタ(S0D:002C₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図36の(3)、(4)を参照してください。

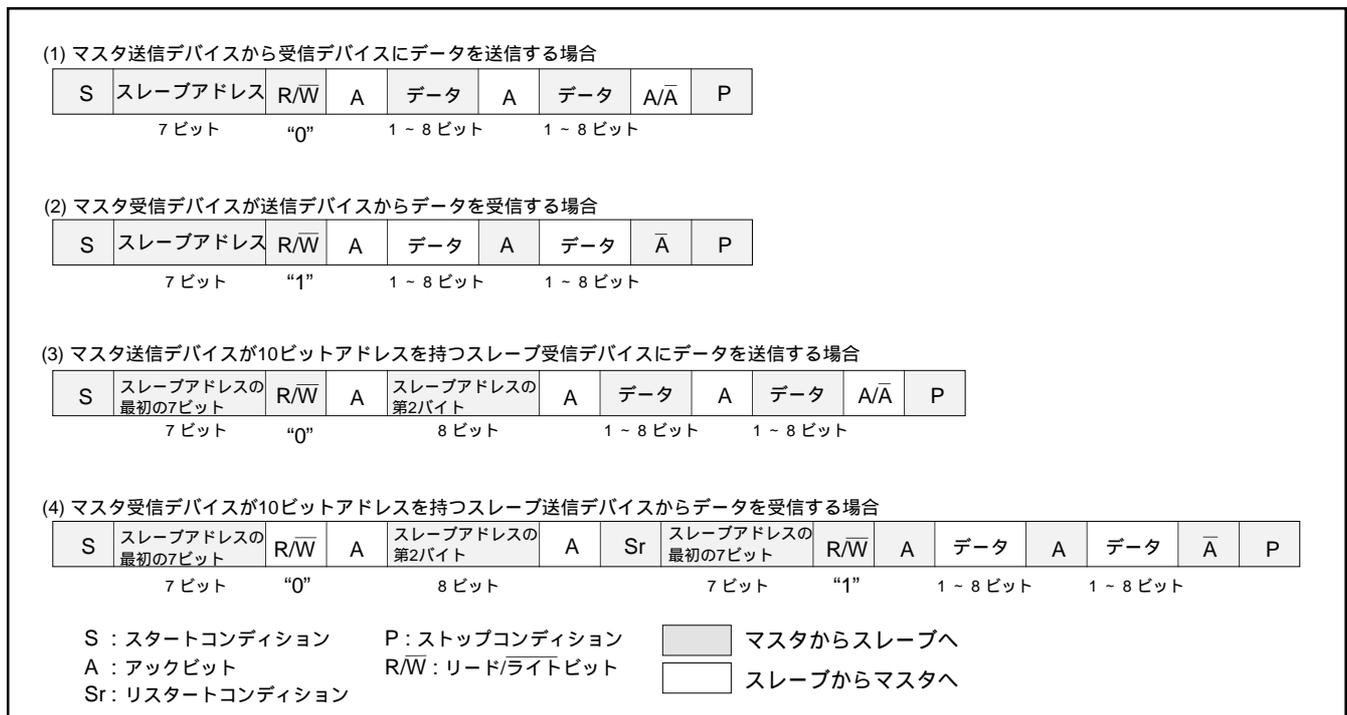


図36 . アドレスデータ通信フォーマット

マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“85₁₆”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(S1:002D₁₆番地)のBBフラグによりバスフリー状態を確認します。
- (6) I²Cデータシフトレジスタ(S0:002B₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(S1:002D₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(S0:002B₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(S1:002D₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“25₁₆”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
・上記以外の場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(S0:002B₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

マルチマスタ²C-BUSインタフェースの注意事項

(1)リード・モディファイ・ライト命令の使用について

SEB、CLBなどのリード・モディファイ・ライト命令をマルチマスタ²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・**I²Cデータシフトレジスタ(S0:002B16番地)**

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・**I²Cアドレスレジスタ(S0D:002C16番地)**

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

・**I²Cステータスレジスタ(S1:002D16番地)**

すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・**I²Cコントロールレジスタ(S1D:002E16番地)**

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0～BC2)が、H/Wによって変化するためです。

・**I²Cクロックコントロールレジスタ(S2:002F16番地)**

リード・モディファイ・ライト命令は使用可能です。

・**I²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)**

リード・モディファイ・ライト命令は使用可能です。

(2)マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は以降に記します。)

```

:
LDA  ~                (スレーブアドレス値の取り出し)
SEI                      (割り込みの禁止)
BBS  5,S1,BUSBUSY      (BBフラグ確認及び分岐処理)
BUSFREE:
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (スタートコンディション発生トリガ)
CLI                      (割り込みの許可)
:
BUSBUSY:
CLI                      (割り込みの許可)
:

```

BBフラグの確認及び分岐処理はBBS 5,\$002D, ~ のBranch on Bit Setを必ず使用してください。

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$2B、STX \$2BあるいはSTY \$2Bのゼロページアドレス命令を必ず使用してください。

前記 の分岐命令と のスタ命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3)リスタートコンディション発生手順について

手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが⁰のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1          (スレーブ受信モードにする)
LDA  ~                (スレーブアドレス値の取り出し)
SEI                      (割り込みの禁止)
STA  S0                (スレーブアドレス値の書き込み)
LDM  #$F0,S1          (リスタートコンディション発生トリガ)
CLI                      (割り込みの許可)
:

```

PINビットが⁰の状態、スレーブ受信モードにしてください。

PINビットには¹を書き込まないでください。

BBビットへの書き込みに⁰又は¹の指定はありません。

TRXビットが⁰になり、SDA端子が開放されます。

スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4)I²Cステータスレジスタへの書き込みについて

同時にPINビットを⁰から¹、MSTビット及びTRXビットを¹から⁰にする命令実行をしないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になります。PINビットが¹のときに、MSTビット及びTRXビットを¹から⁰にする命令実行をしても、同様の状態になることがあります。

(5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが⁰になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケータによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケータの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(XIN)} \\ &= 31.875 \times (n+1) \mu s \end{aligned}$$

(f(XIN) = 8MHzの場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu s \end{aligned}$$

(f(XIN) = 8MHzの場合)

・PWMの動作

PWM制御レジスタのビットα(PWM許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケータを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

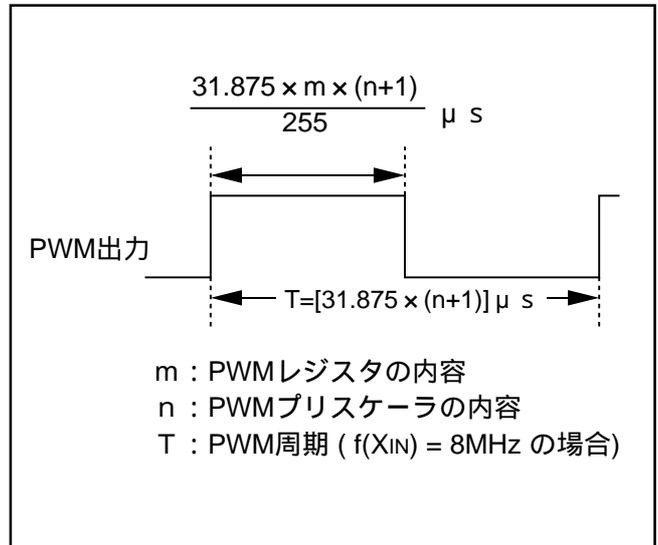


図37 . PWM周期のタイミング図

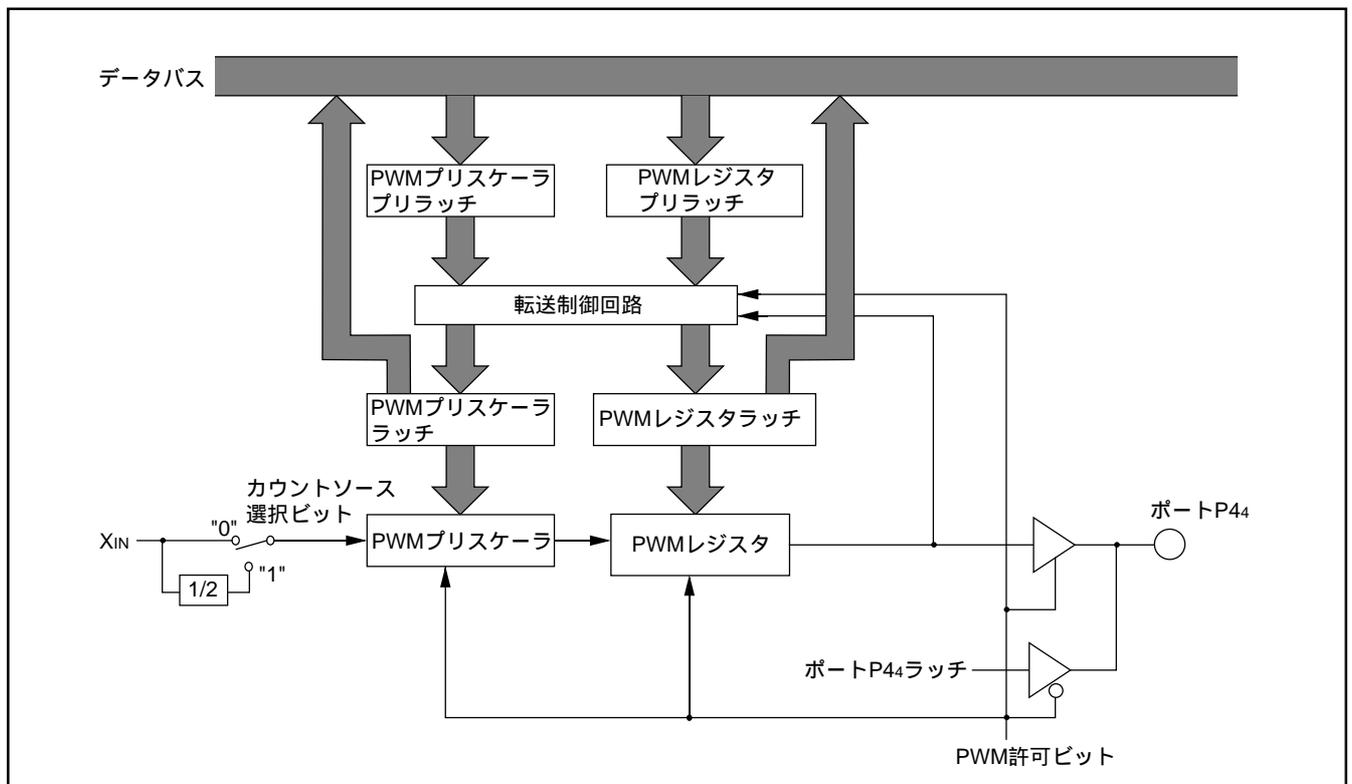


図38 . PWMブロック図

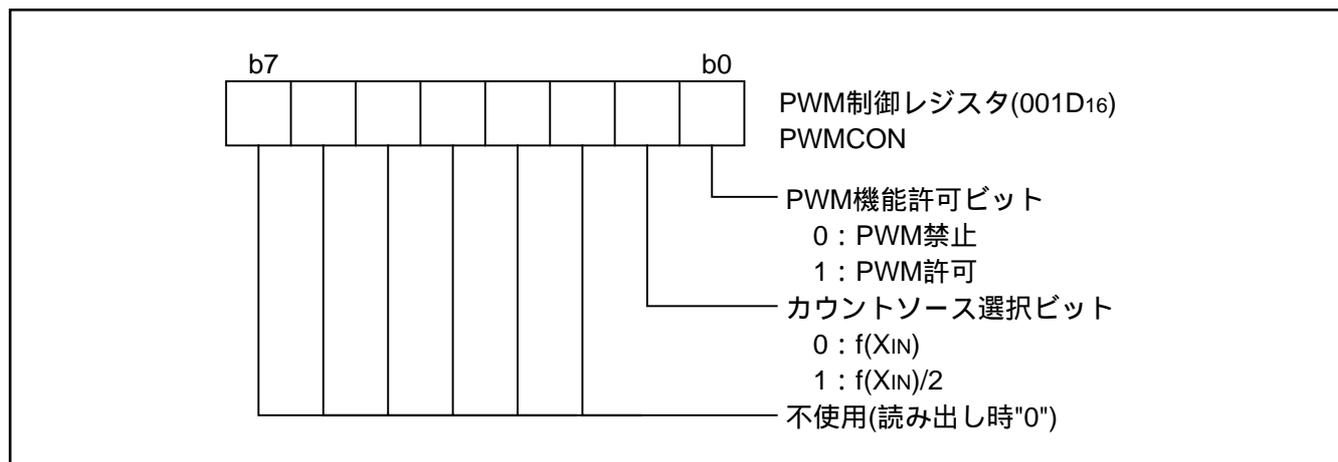


図39 . PWM制御レジスタの構成

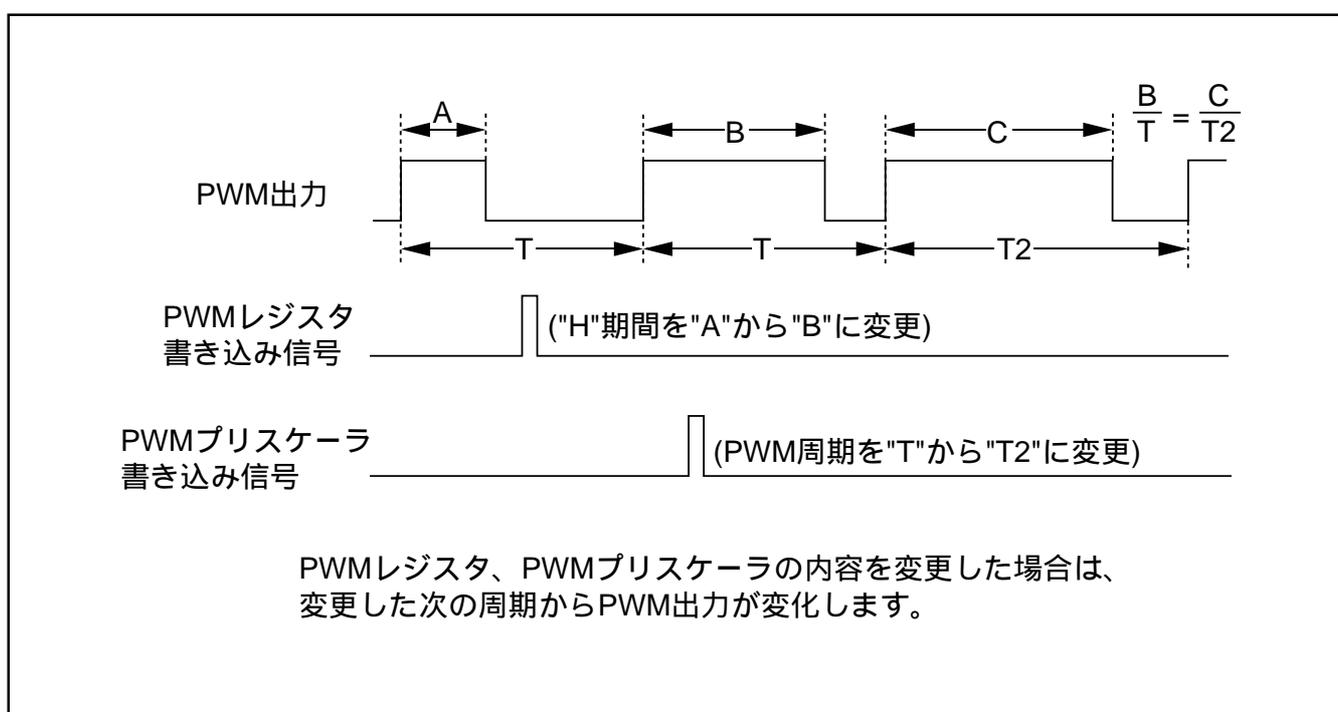


図40 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWMOUT端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・カウントソース選択ビット="0"、n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- ・カウントソース選択ビット="1"、n = プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

A/Dコンバータ(逐次比較型)

【A/D変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセクタ】

ポートP07/AN11～P04/AN8、ポートP35/AN5～P30/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、高速及び中速モードでA/D変換中は $f(X_{IN})$ を500kHz以上にしてください。低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので $f(X_{IN})$ 及び $f(X_{CIN})$ 下限周波数の制限はありません。

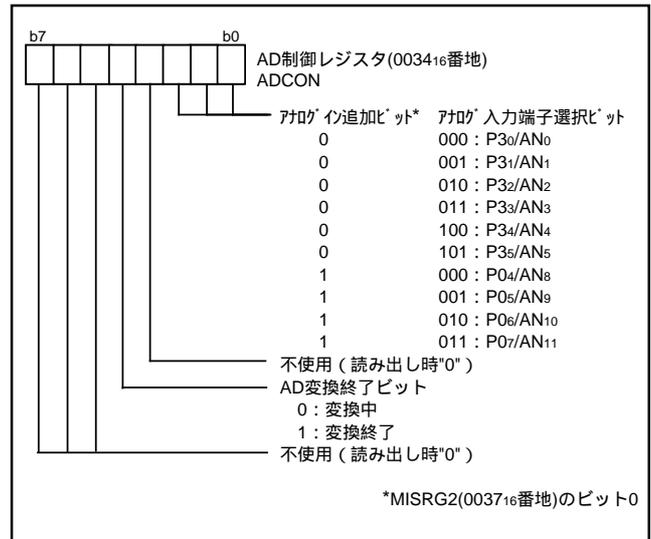


図41. A/D制御レジスタの構成

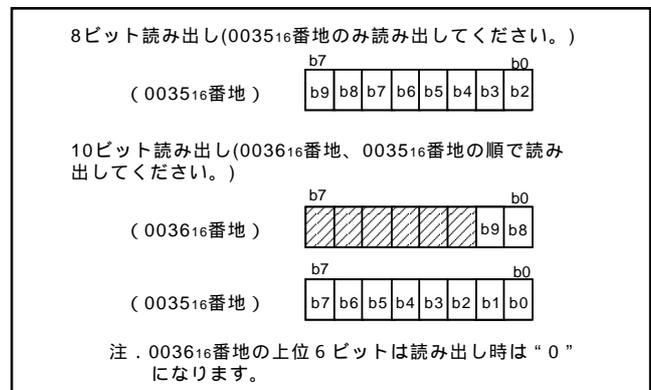


図42. A/D変換レジスタの構成

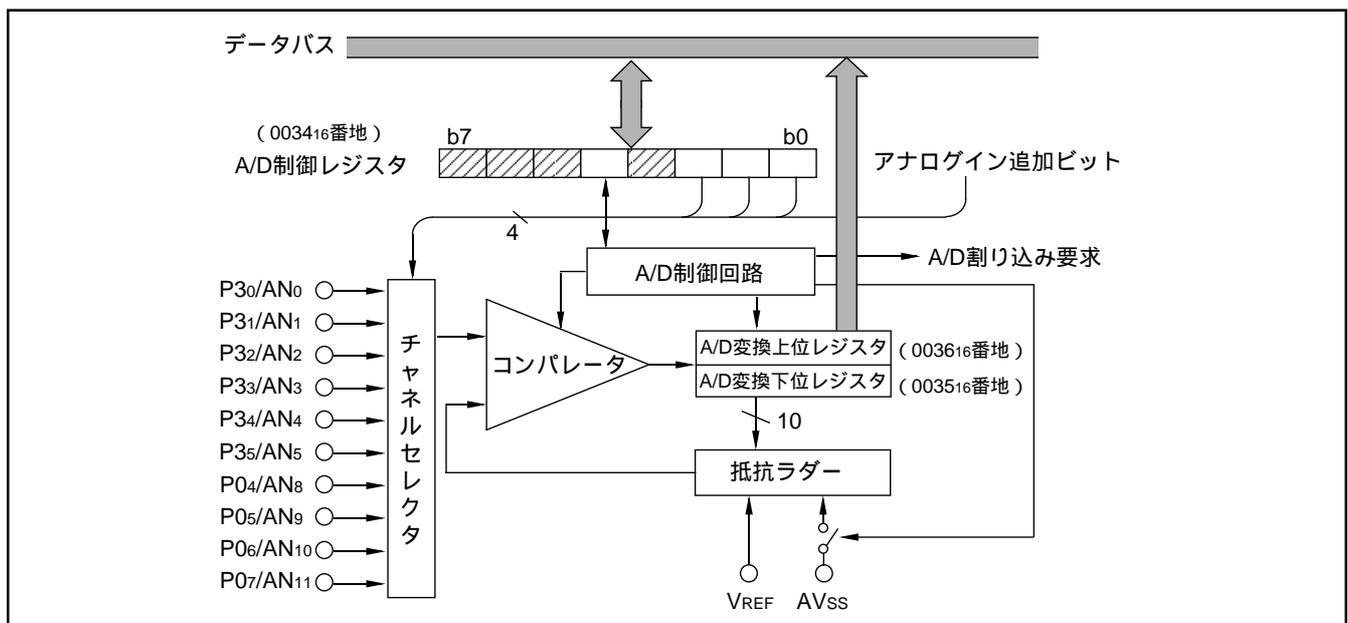


図43. A/Dコンバータのブロック図

電流積算回路

電流積算回路はISENS1端子とISENS0端子間に接続された10mΩの検出抵抗に流れる電流を積算していく回路です。

ISENS1端子とISENS0端子間には検出抵抗に流れた電流の電位差が入力され、その電位差を内蔵された積分回路により電位差に相当する電荷量として積算していきます。積分回路出力はコンパレータに接続されていて、1mA相当の電荷量を計測します。

電流積算回路は電流積算許可ビットを「1」にすることで動作を開始します。

電流積算モード

電流積算制御レジスタの電流積算モードビットを「0」に設定するとレベルシフト回路の入力はISENS1端子及びISENS0端子に接続され、ISENS1端子とISENS0端子間に発生する電位差の測定を行います。ISENS1端子、ISENS0端子の電位はレベルシフト回路によりAVcc/2に持ち上げられ、積分回路に入力されます。これによりISENS1端子に負の電位を入力することも可能となり、検出抵抗に流れる充電、放電の両極性の電流を検出することができます。

積分回路出力はコンパレータに接続されています。積分回路では入力された電位に相当する電荷を積算していき、基準電位まで達すると、コンパレータ出力が「H」となり、コンパレータ出力に接続されたカウンタが1カウント増加します。また同時に積分回路にたまった電荷を放電させ、次の入力を始めます。カウンタ回路は積算周期の125msの間、コンパレータ出力が「H」となる数をカウンタしていき、125msタイマにより125msに達するとカウンタ回路のカウント数をカウンタラッチに格納し、カウント値をクリアし新しいカウントを始めます。また、このとき同時に積算周期割り込みとして電流積算割り込みが発生します。

コンパレータ及びカウンタ回路は、それぞれ充電用と放電用の2系統あり、放電時には放電カウンタのみ、充電時には充電カウンタのみカウントします。

積分回路及びコンパレータは約1mAの電流を測定するように設定されています。これによりカウンタラッチのラッチカウント数を読むことで積算周期内に流れた電流を計測することができます。

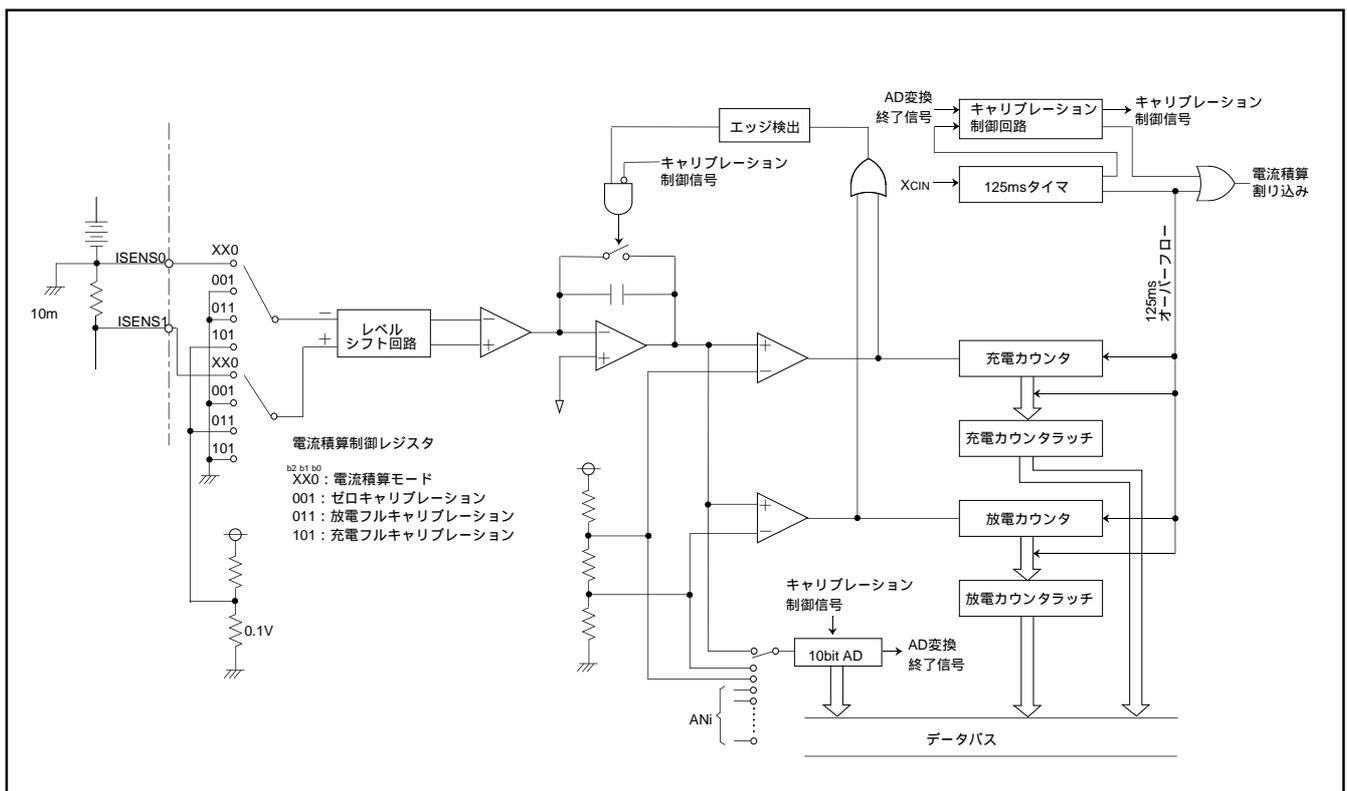


図44. 電流積算回路ブロック図

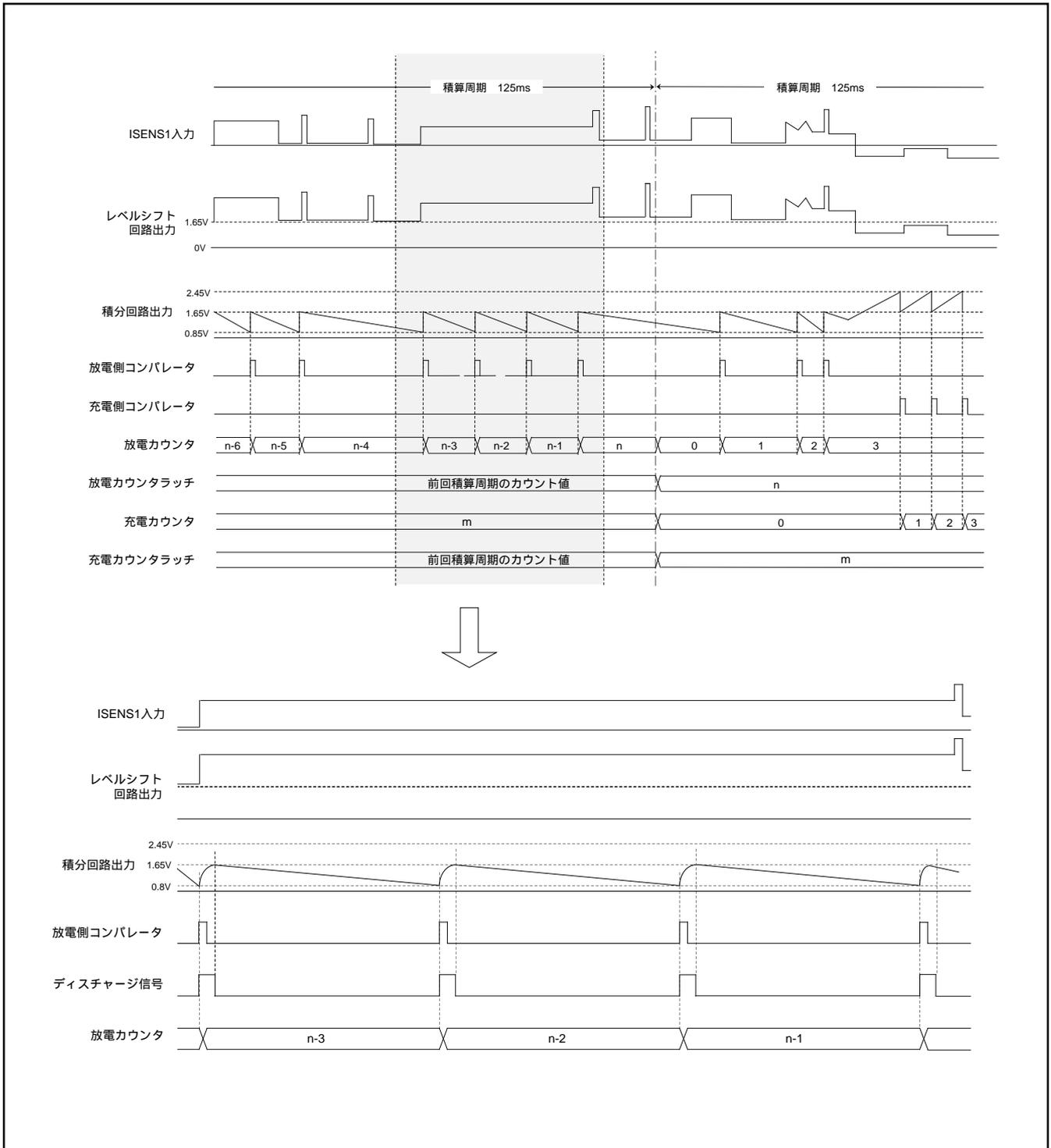


図45 . 電流積算タイミング図

キャリブレーションモード

電流積算制御レジスタの電流積算モードフラグを“1”に設定すると、キャリブレーションモードとなり、レベルシフト回路への入力には内部基準電源のAVss又は0.1Vに接続されます。キャリブレーション選択ビットが“00”の場合レベルシフト回路の正側入力及びGND側入力にはAVssが接続されゼロキャリブレーションを行います。キャリブレーション選択ビットが“01”の場合はレベルシフト回路の正側入力には0.1Vの基準電位が、GND側入力にはAVssが接続され、放電側のフルキャリブレーションを行います。キャリブレーション選択ビットが

“10”の場合はレベルシフト回路の正側入力にはAVssがGND側入力には0.1Vの基準電位が接続され、充電側のフルキャリブレーションを行います。

キャリブレーション時間はキャリブレーション時間選択ビットにより、15.625ms、31.25ms、62.5ms、125.0msの中から選択できます。キャリブレーションは電流積算モードビットを“1”に設定すると、次の積算周期の始まりからスタートします。キャリブレーションは積分回路のコンデンサに残っている電荷を放電した後、キャリブレーション時間ビットにより選択された時間の電流積算を行っていきます。

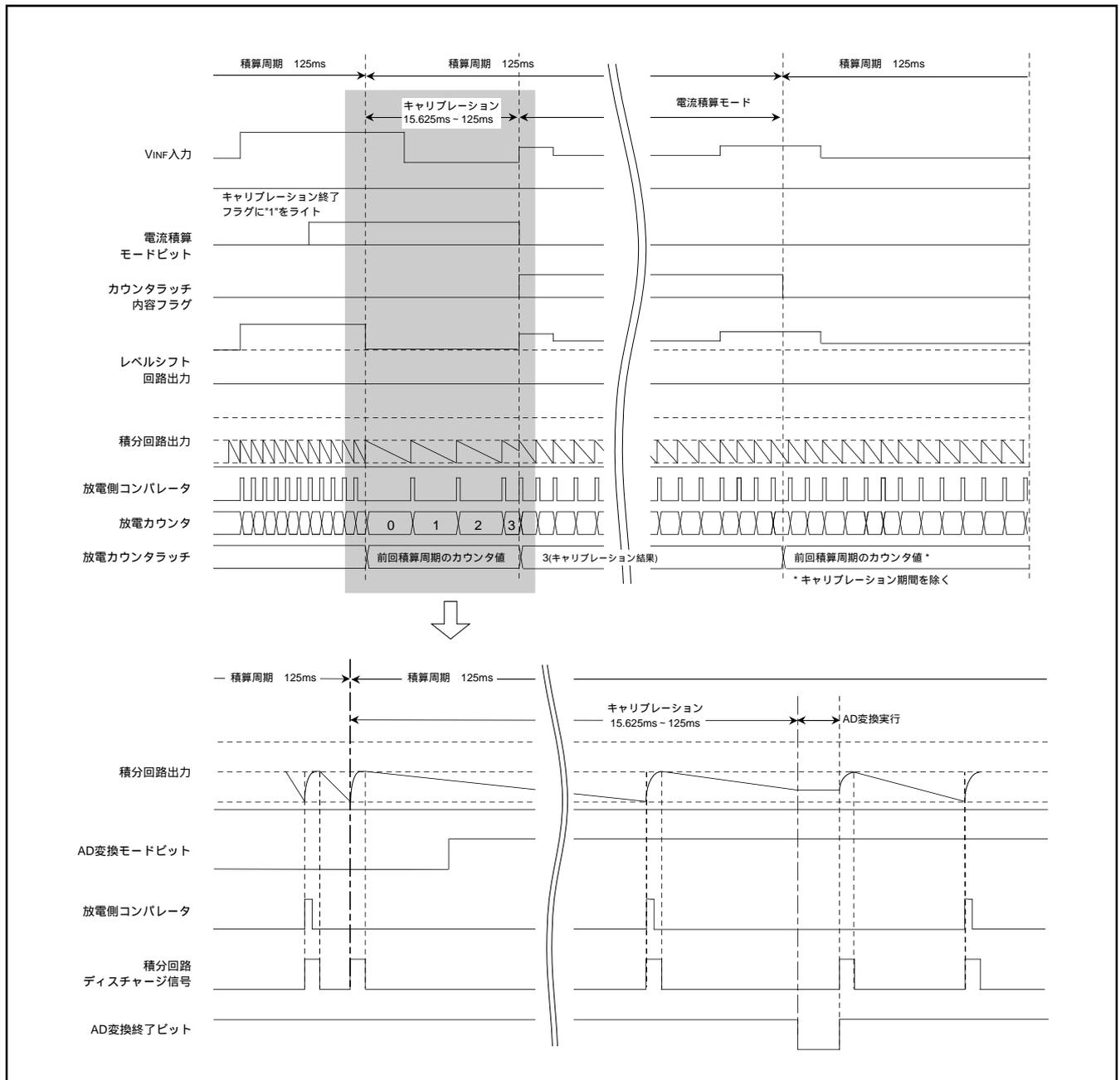


図46 . キャリブレーションタイミング図(AD変換接続モード時)

設定されたキャリブレーション時間が経過すると放電あるいは充電カウンタによりカウントされた値がそれぞれのカウンタラッチにラッチされ、電流積算モードビットが「0」にクリアされてキャリブレーションモードから電流積算モードに切り替わり、このとき電流積算割り込みが発生します。電流積算モードの積算周期割り込みがキャリブレーションによる割り込みかは、カウンタラッチ内容フラグを読み出すことで判断できます。カウンタラッチ内容フラグはカウンタラッチの内容が電流積算モードでの値かキャリブレーションモードでの値かを示します。カウンタラッチの内容は次の電流積算あるいはキャリブレーションが終了すると自動的に新しいデータが上書きされますので注意してください。

キャリブレーションモード時の注意事項

- ・電流積算回路を許可した後、初回の積算周期はキャリブレーションモードで動作させることが出来ません。
- ・キャリブレーションモードで動作中はキャリブレーション選択ビット、およびキャリブレーション時間選択ビットの値を変更しないでください。
- ・キャリブレーション時間を125msに設定した場合、キャリブレーションが完了した次の積算周期は、キャリブレーションモードで動作させることが出来ません。

AD変換接続モード

AD変換接続ビットを「1」にすると電流積算あるいはキャリブレーション終了時の積分回路に残された電荷の電位を内蔵のAD変換器で測定することができます。これにより測定のカウント値の端数も測定可能となります。AD変換接続ビットが「1」の場合、電流積算あるいはキャリブレーションの積算終了後直ちにAD変換器入力に自動的に積分器出力に接続され、AD変換がスタートします。電流積算割り込みはAD変換終了後発生します。その後、積算回路に残った電荷が放電され、次の積算がスタートします。AD変換終了後、AD変換器入力は自動的に以前の設定に戻ります。

- ・キャリブレーションモードに設定後はキャリブレーションモードでの積算周期が完了するまで電流積算回路を禁止にしないでください。

電流積算モードビットに「1」をセットした後、キャリブレーションモードでの積算周期完了前に電流積算を禁止した場合、電流積算を再許可した初回の積算周期は電流積算モードビットの設定にかかわらず、キャリブレーションモードで動作する場合があります。

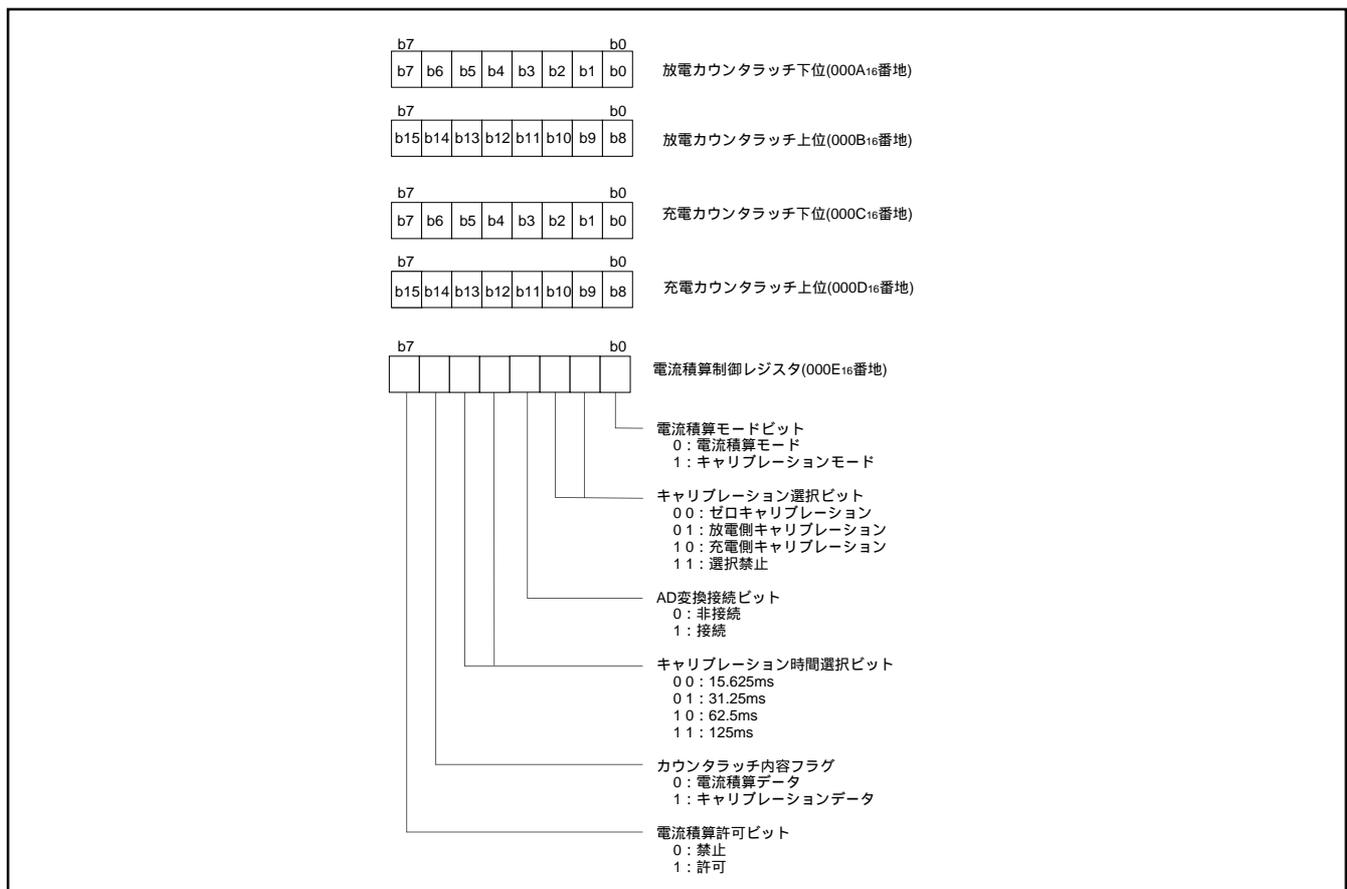


図47. 電流積算レジスタ

電流積算回路の注意事項

電流積算回路を許可から禁止に設定を変更する際、意図しない誤割り込みを発生する場合があります。ソフトウェアにて以下のいずれかの対策をお願いします。

- (1)電流積算回路を禁止にするタイミングを制御する方法
- ・電流積算モード時、電流積算回路を禁止にする設定変更は、125ms周期で動作するクロック信号が \bar{H} の期間に行ってください。
 - ・キャリブレーションモード時、電流積算回路を禁止にする設定変更は、キャリブレーション時間選択ビットで設定した時間周期で動作するクロック信号が \bar{H} の期間に行ってください。

各クロック信号が \bar{H} 期間の識別方法を表10に示します。

- (2)電流積算回路の禁止設定後の割り込みを無効にする方法
- ・電流積算回路を禁止にする設定を変更後、約61.0 μ s待つて割り込み要求フラグをクリアしてください。
- (3)割り込み要求の真偽を確認する方法
- ・電流積算割り込み内で電流積算許可ビットをチェックし、禁止の場合割り込み処理をスキップしてください。

・電流積算回路は電流積算許可ビットを $\bar{1}$ にセットした後、低速クロック1~2サイクル後に積算動作を開始します。また、電流積算許可ビットを $\bar{0}$ にクリアした後、低速クロック1~2サイクルは内部回路の初期化をします。この期間に電流積算回路を再許可しないでください。

AD変換接続モード時の注意事項

- ・積分回路のAD変換中は、他のAD変換は実行しないでください。
- ・キャリブレーション完了時にAD変換モードを使用する場合、キャリブレーション開始前にAD変換接続ビットを $\bar{1}$ にセットしないでください。
- ・積分回路のAD変換完了直後のカウント値は、不正確な場合があります。AD変換接続モードは、初期校正時などAD変換完了直後のカウント値が必要ない場合にのみ使用してください。

表10．モード切り替えタイミング

電流積算モード		前積算周期の割り込み発生から約62.5msの期間
キャリブレーションモード	125ms設定	前積算周期の割り込み発生から約31.25msの期間
	15.26ms設定	前積算周期の割り込み発生から約15.625msの期間
	31.25ms設定	前積算周期の割り込み発生から約7.8127msの期間
	62.5ms設定	前積算周期の割り込み発生から約7.8127msの期間

過電流検出回路

過電流検出回路はISENS1端子とISENS0端子間に接続された10m の検出抵抗に流れる短絡電流などの過大電流を検出し、バッテリーの放電制御FETをOFFにして放電を停止させる回路です。また、低消費電流時、電流積算動作を停止中、1A程度の電流が流れた場合に割り込みを発生させるウェイクアップ電流検出回路も内蔵されています。

短絡電流検出回路

10m の検出抵抗接続時、10Aから47.5Aの短絡電流を検出します。短絡電流検出制御レジスタ(000F16番地)の短絡電流検出許可ビットを“1”に設定すると、短絡電流検出回路が動作を開始します。比較電圧は短絡電流検出制御レジスタ(000F16番地)の短絡電流検出電圧設定ビットで、検出時間は電流検出時間設定レジスタ(001116番地)の短絡電流検出時間設定ビットで設定してください。

検出抵抗の電位差が比較電圧を超えて設定検出時間以上続くと短絡電流検出フラグ(001316番地のビット2)が“1”になり過電流検出割り込みが発生します。

短絡電流検出による割り込みの許可は短絡電流割り込み許可ビット(000F16番地のビット4)で制御できます。また、このときにFET制御許可ビット(000F16番地のビット6)が“1”の場合、DFETCNT端子からFET制御信号が出力されます。FET制御信号の極性はFET制御極性切り替えビット(000F16番地のビット5)で設定してください。

短絡電流検出の解除は短絡電流検出リスタートビット(001316番地のビット6)に“1”を書き込んでください。

過電流検出回路

10m の検出抵抗接続時、5Aから20.5Aの過電流を検出します。過電流制御レジスタ(001016番地)の過電流検出許可ビットを“1”に設定すると過電流検出回路が動作を開始します。比較電圧は過電流検出電圧設定ビットで、検出時間は電流検出時間設定レジスタ(001116番地)の過電流検出時間設定ビットで設定してください。

検出抵抗の電位差が比較電圧を超えて設定検出時間以上続くと、過電流検出フラグ(001316番地のビット1)が“1”になり過電流検出割り込みが発生します。過電流検出による割り込みの許可は過電流割り込み許可ビット(001016番地のビット5)で制御できます。またこのときにFET制御許可ビット(001016番地のビット6)が“1”の場合、DFETCNT端子からFET制御信号が出力されます。

過電流検出の解除は過電流検出リスタートビット(001316番地のビット5)に“1”を書き込んでください。

ウェイクアップ電流検出回路

10m の検出抵抗接続時、1Aの電流を検出します。ウェイクアップ電流検出制御レジスタ(001216番地)のウェイクアップ電流検出許可ビットを“1”に設定すると、ウェイクアップ電流検出回路が動作を開始します。検出電圧は、10倍に増幅されコンパレータで比較されます。検出時間は3.9msごとに16回サンプリングして62.5msの間1A以上電流が流れるとウェイクアップ電流検出フラグ(001316番地のビット0)が“1”になり、過電流検出割り込みが発生します。ウェイクアップ電流検出による割り込みの許可はウェイクアップ電流検出割り込み許可ビット(001216番地のビット6)により制御できます。

ウェイクアップ電流検出の解除はウェイクアップ電流検出リスタートビット(001316番地のビット4)に“1”を書き込んでください。

増幅器やコンパレータのオフセット調整はウェイクアップ電流検出コンパレート電圧設定ビットによりキャリブレーションしてください。

ウェイクアップ電流検出キャリブレーション許可ビット(001416番地のビット5)を“1”に設定するとキャリブレーションモードになります。キャリブレーションモードにするとウェイクアップ電流検出回路への検出抵抗入力力がGNDレベル入力となり、ウェイクアップ電流検出コンパレート電圧設定ビットの設定により0V入力時のコンパレータのしきい値を測定することができます。その後、実際のウェイクアップ電流検出のしきい値は、0V入力時のコンパレータのしきい値に1A分の0.1Vを加えた値に設定してください。

SFRプロテクト制御レジスタ

SFRプロテクト制御レジスタ(002916番地)はマイコンの暴走などによりSFRが簡単に書き換えることができないようにプロテクトするレジスタです。SFRプロテクト制御レジスタのビットが“0”の場合、そのビットに対応するレジスタに対し書き込みプロテクトがかけられます。プロテクトの対象となっているレジスタに書き込みを行う場合、対応するSFRプロテクト制御レジスタのビットに“1”を書き込んだ後、続けて書き込んでください。他のアドレスに書き込みを行うとSFRプロテクト制御レジスタの内容は“00”にクリアされます。

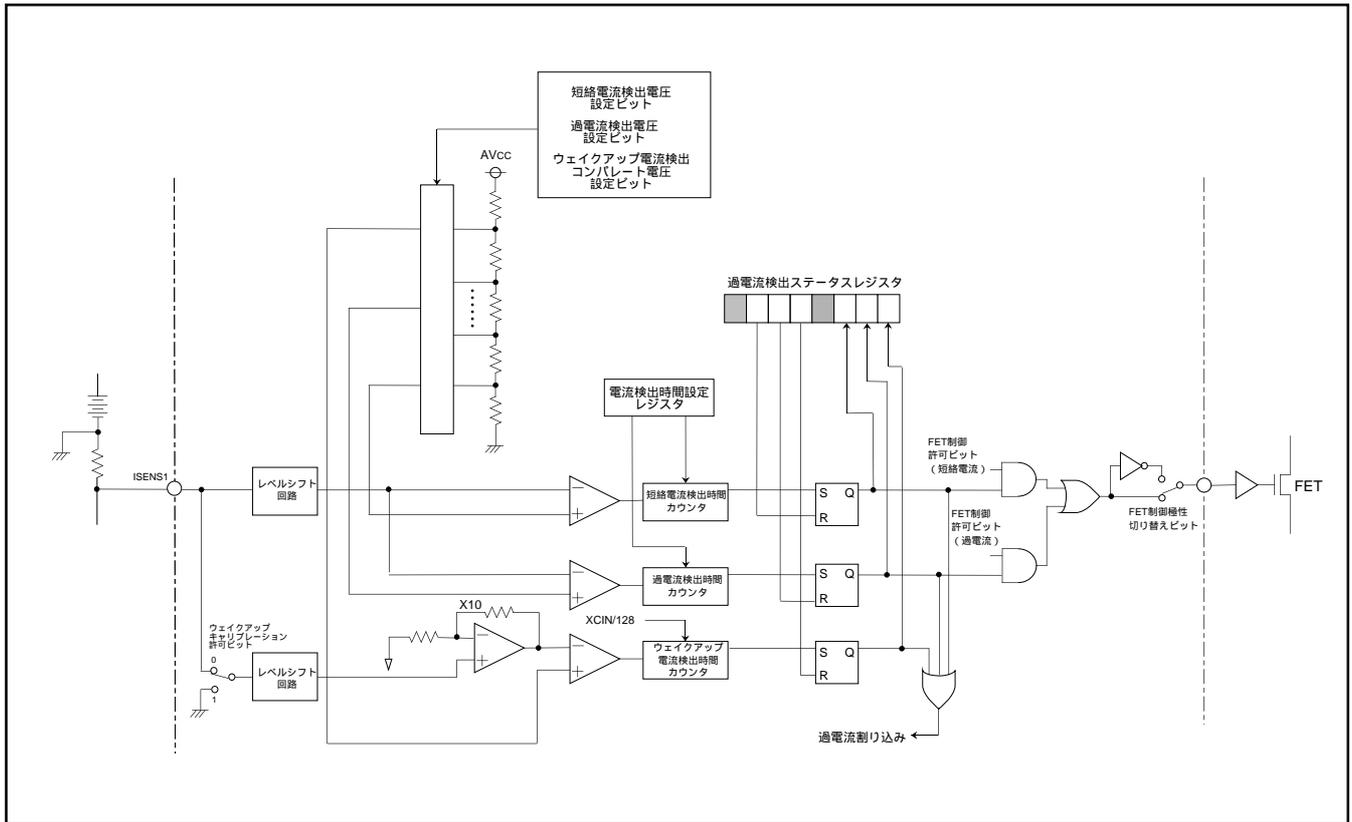


図48 . 過電流検出回路ブロック図

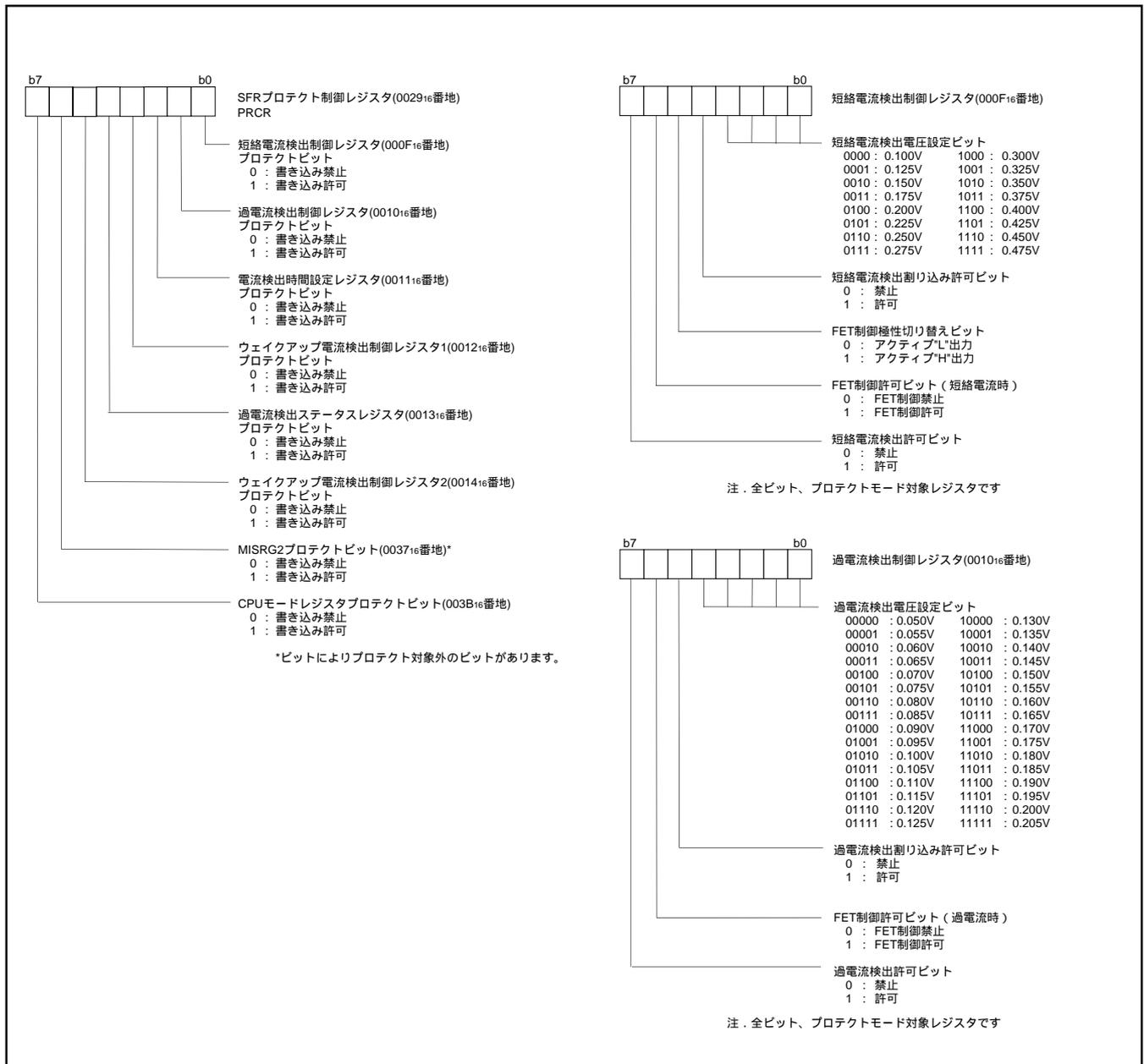


図49 . 過電流検出回路レジスタ(1)

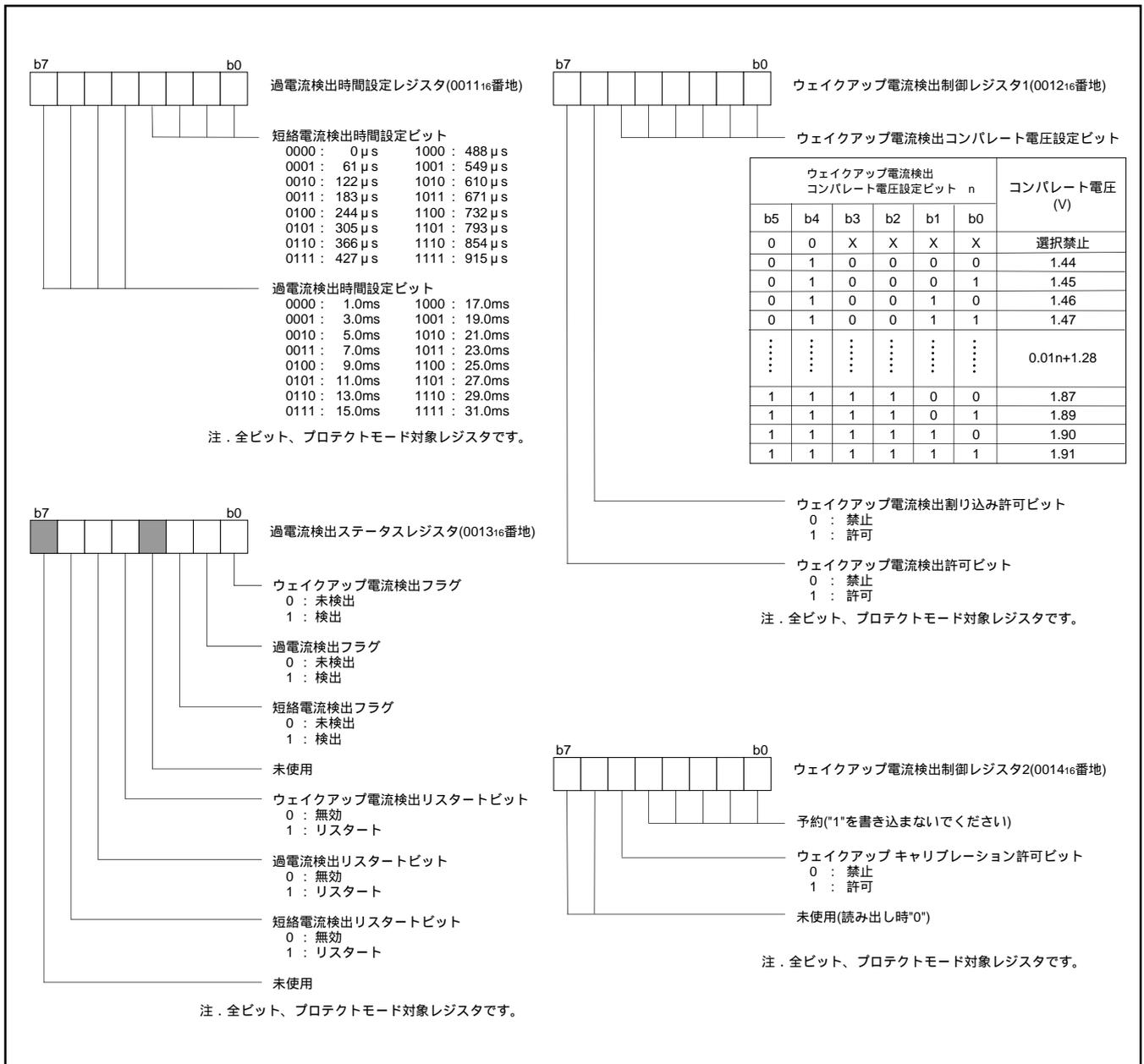


図50. 過電流検出回路レジスタ(2)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)$ = 4MHz時262.144ms、 $f(XCIN)$ = 32kHz時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ (又は $f(XCIN)$)の16分周信号となります。この場合の検出時間は $f(XIN)$ = 4MHz時1024 μ s、 $f(XCIN)$ = 32kHz時128msになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

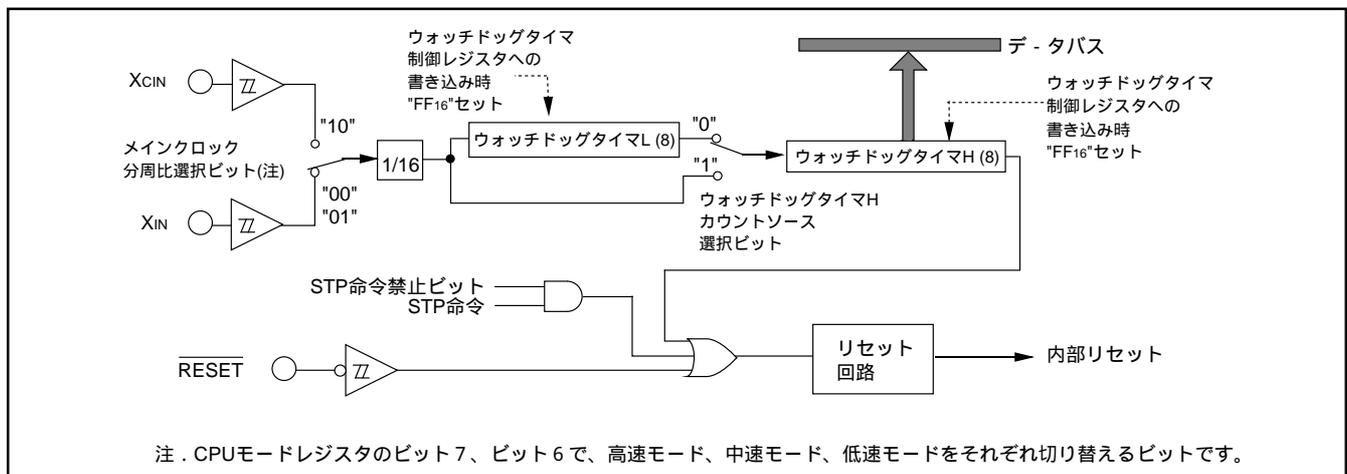


図51．ウォッチドッグタイマのブロック図

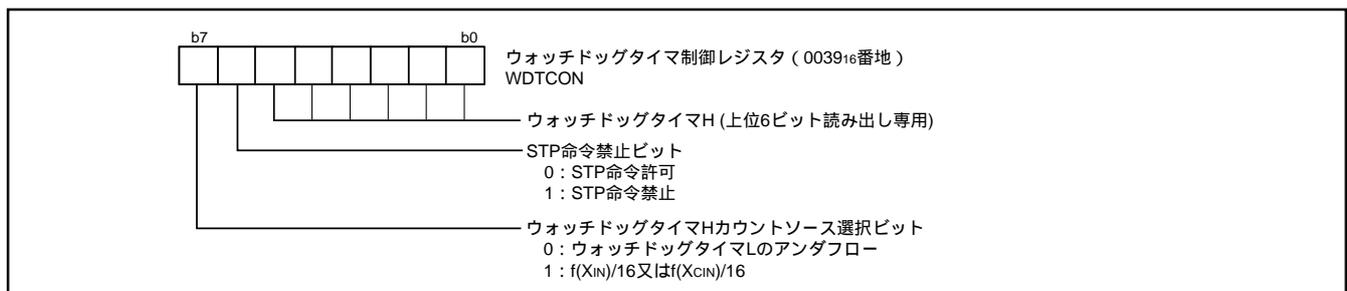


図52．ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～3.6Vにあり、XINが安定発振しているとき、RESET端子をXIN 20サイクル以上「L」レベルに保つとリセット状態になり、その後RESET端子を「H」レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

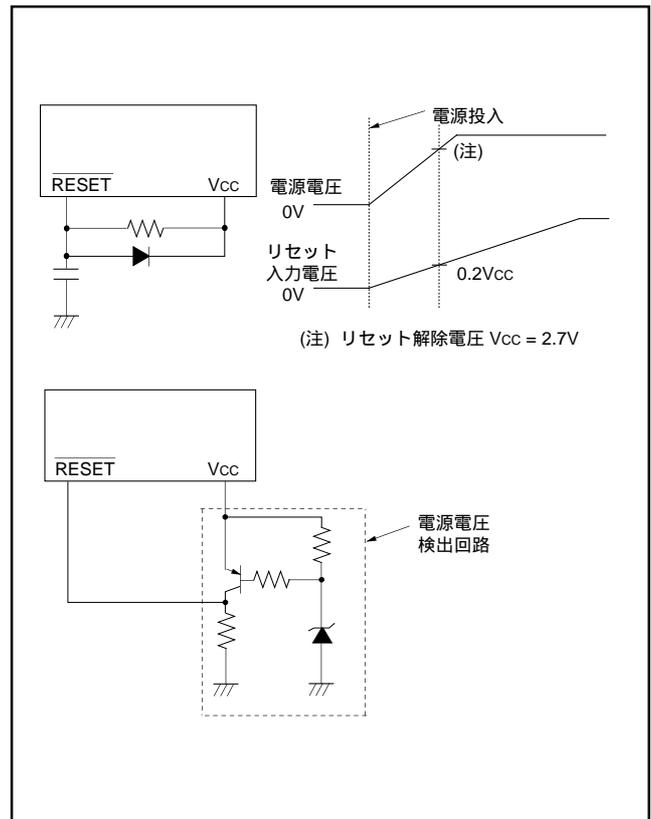


図53．リセット回路例

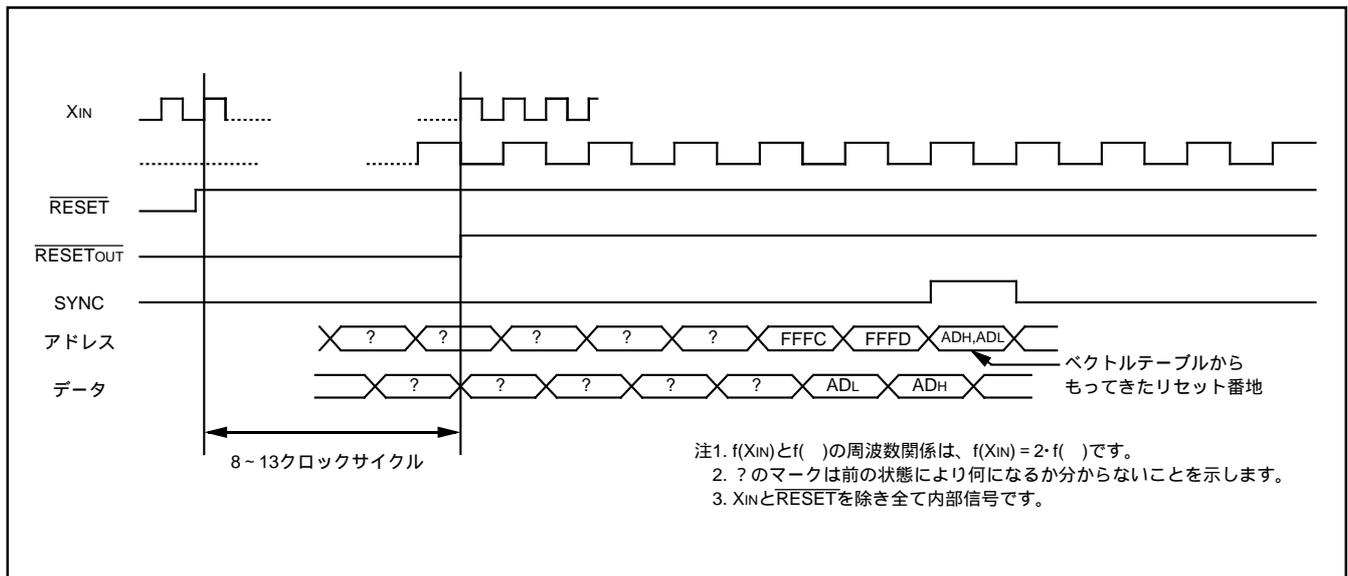


図54．リセット時のタイミング図

- 注1. $f(XIN)$ と $f(\quad)$ の周波数関係は、 $f(XIN) = 2 \cdot f(\quad)$ です。
- 注2. ?のマークは前の状態により何になるか分からないことを示します。
- 注3. XINとRESETを除き全て内部信号です。

	番地	レジスタの内容
(1) ポートP0方向レジスタ	000116	0016
(2) ポートP1方向レジスタ	000316	0016
(3) ポートP2方向レジスタ	000516	0016
(4) ポートP3方向レジスタ	000716	0016
(5) ポートP4方向レジスタ	000916	0016
(6) 放電カウンタラッチ下位レジスタ	000A16	0016
(7) 放電カウンタラッチ上位レジスタ	000B16	0016
(8) 充電カウンタラッチ下位レジスタ	000C16	0016
(9) 充電カウンタラッチ上位レジスタ	000D16	0016
(10) 電流積算制御レジスタ	000E16	0016
(11) 短絡電流検出制御レジスタ	000F16	0016
(12) 過電流検出制御レジスタ	001016	0016
(13) 電流検出時間設定レジスタ	001116	0016
(14) ウェイクアップ電流検出制御レジスタ1	001216	0016
(15) 過電流検出ステータスレジスタ	001316	0016
(16) ウェイクアップ電流検出制御レジスタ2	001416	0016
(17) シリアルI/O2制御レジスタ1	001516	0016
(18) シリアルI/O2制御レジスタ2	001616	0 0 0 0 0 1 1 1
(19) シリアルI/O1ステータスレジスタ	001916	1 0 0 0 0 0 0 0
(20) シリアルI/O1制御レジスタ	001A16	0016
(21) UART制御レジスタ	001B16	1 1 1 0 0 0 0 0
(22) PWM制御レジスタ	001D16	0016
(23) プリスケアラ12	002016	FF16
(24) タイマ1	002116	0116
(25) タイマ2	002216	0016
(26) タイマXYモードレジスタ	002316	0016
(27) プリスケアラX	002416	FF16
(28) タイマX	002516	FF16
(29) プリスケアラY	002616	FF16
(30) タイマY	002716	FF16
(31) タイマカウントソース設定レジスタ	002816	0016
(32) SFRプロテクト制御レジスタ	002916	0016
(33) I ² Cアドレスレジスタ	002C16	0016
(34) I ² Cステータスレジスタ	002D16	0 0 0 1 0 0 0 X
(35) I ² Cコントロールレジスタ	002E16	0016
(36) I ² Cクロックコントロールレジスタ	002F16	0016
(37) I ² Cスタート/ストップコンディション制御レジスタ	003016	0 0 0 X X X X X
(38) 32kHz発振制御レジスタ0	003216	0016
(39) 32kHz発振制御レジスタ1	003316	0016
(40) A/D制御レジスタ	003416	0 0 0 1 0 0 0 0
(41) MISRG2	003716	0016
(42) MISRG	003816	0016
(43) ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1
(44) 割り込みエッジ選択レジスタ	003A16	0016
(45) CPUモードレジスタ	003B16	0 1 1 0 0 0 0 0
(46) 割り込み要求レジスタ1	003C16	0016
(47) 割り込み要求レジスタ2	003D16	0016
(48) 割り込み制御レジスタ1	003E16	0016
(49) 割り込み制御レジスタ2	003F16	0016
プロセスステータスレジスタ	(PS)	X X X X X 1 X X
プログラムカウンタ	(PCH)	FFF16番地の内容
	(PCL)	FFFC16番地の内容

注. x は不定です。

図55. リセット時の内部状態

クロック発生回路

7517グループは、外付けの共振子の不要な高速オンチップオシレータ発振回路、32kHz RC発振回路、及びXINとXOUT、XCINとXCOUTの間に外付けの共振子を接続して使用する発振回路の4つの発振回路を内蔵しています。高速CR発振とXIN-XOUT発振はCPUモードレジスタのクロックソース切り替えビット(b2)、MISR2の高速CR発振停止ビット(b2)、及びXIN切り替え禁止ビット(b4)により切り替えの制御が可能です。電源投入直後は高速オンチップオシレータ発振回路が発振を開始します。XIN-XOUTの共振子による発振を行う場合はCPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(b5)によりXIN-XOUTを発振させた後、クロックソース切り替えビットによりクロックを切り替えて使用してください。XIN-XOUT発振が不要な場合は、XIN、XOUT端子は開放にして使用してください。

XIN切り替え禁止ビットを「1」(切り替え不可)に設定すると、それ以降クロックソース切り替えビットが無効となり、XIN-XOUT発振での動作ができなくなります。このビットは、いったん「1」に設定するとプログラムで「0」に書き換えることができなくなります。

32kHz RC発振回路あるいはXCIN-XCOUT発振は、ポートXC切り替えビット(003B16番地のビット4)を「1」に設定することで発振を開始します。32kHz RC発振回路及びXCIN-XCOUT発振の選択は32kHz RC発振許可ビット(003716番地のビット4)により選択してください。

外付けの共振子を使用する場合はXINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

高速オンチップオシレータ発振クロック又はXIN端子に加わった周波数の8分周したものが内部クロック となります。リセット解除後はこのモードになります。

(2) 高速モード

高速オンチップオシレータ発振クロック又はXIN端子に加わった周波数の2分周したものが内部クロック になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロック になります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、MISR2の高速オンチップオシレータ発振停止ビット(b2)やCPUモードレジスタのメインクロック停止ビット(b5)を「1」にすることによりメインクロックの高速オンチップオシレータ発振やXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを「0」にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け共振子による発振をさせてください。

●32kHz RC発振回路

32kHz RC発振回路許可ビット(003716番地のビット4)を「1」に設定した後、ポートXC切り替えビット(003B16番地のビット4)を「1」にすると内蔵の32kHz RC発振回路が発振を開始します。内蔵の32kHz RC発振を使用する場合はXCIN-XCOUT間に82kΩの抵抗とXCIN-GND間に120pFのコンデンサを接続してください。

外付け抵抗の抵抗値とコンデンサの容量値のばらつきによる周波数のずれは32kHz発振制御レジスタ0,1に値を書くことにより発振周波数の調整ができます。

発振周波数の調整は512分割の抵抗ラダーで行われ、約50Hzのステップで周波数調整が可能です。発振周波数の理論値は次式で計算できます。

$$f_{32CR} = \frac{1}{2CR \ln(1+2R1/R2)}$$

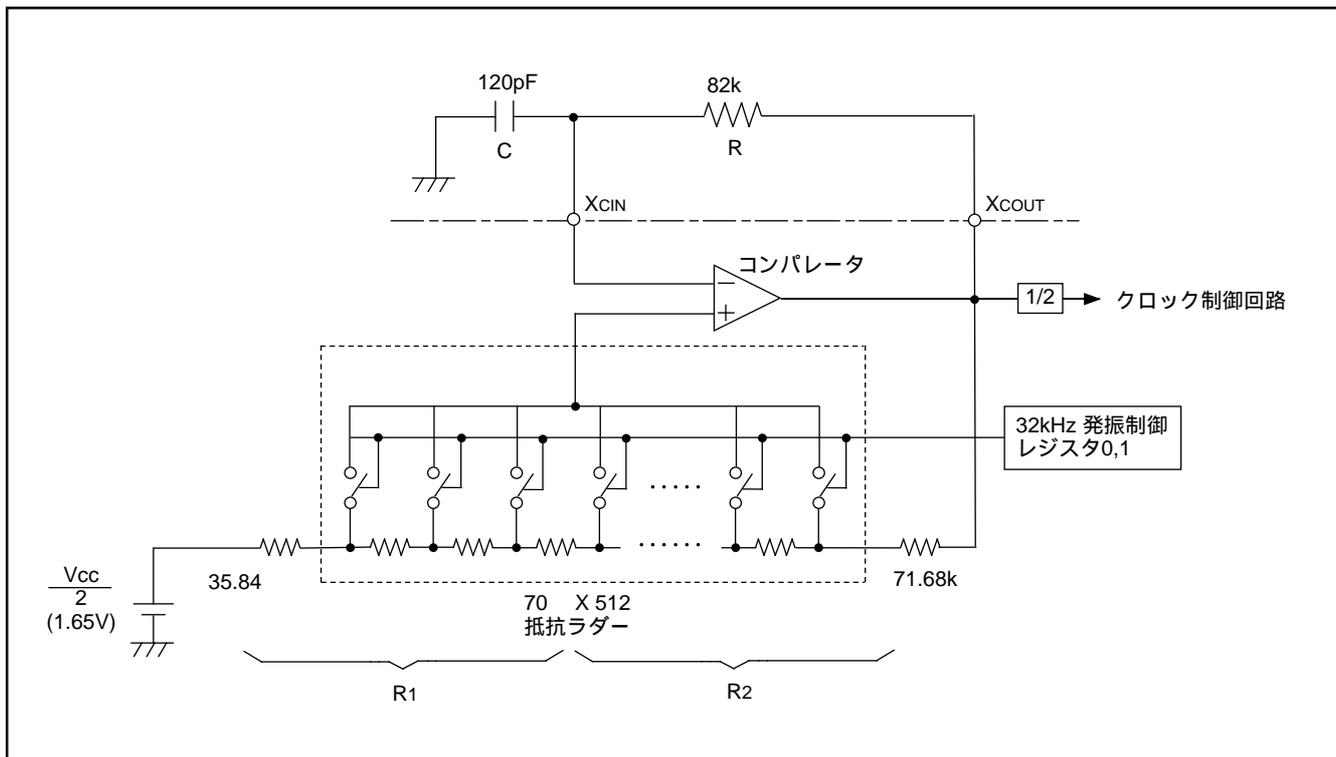


図56 . 32kHz CR発振回路ブロック図

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが「H」の状態で停止し、高速オンチップオシレータ発振クロック又はXIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビットが「0」のとき、タイマ1には「0116」、プリスケラ12には「FF16」が設定されます。一方、STP命令解除後の発振安定時間設定ビットが「1」のときは、タイマ1、プリスケラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケラ12の入力には高速オンチップオシレータ発振クロック、XIN又はXCINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで「H」のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に「L」レベルを印加してください。

メインクロックとして高速オンチップオシレータ発振クロックを使用した場合は発振立ち上がり時間はほとんど必要ありません。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが「H」の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを「1」にしておく必要があります。また、STP状態の解除の場合、プリスケラ12、タイマ1はCR発振クロック又はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを「0」にしてください。

■注意事項

外付け共振器を用いてXIN-XOUT発振使用時、STP命令解除後の発振安定時間設定ビットを「1」で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケラ12に値を設定してください。

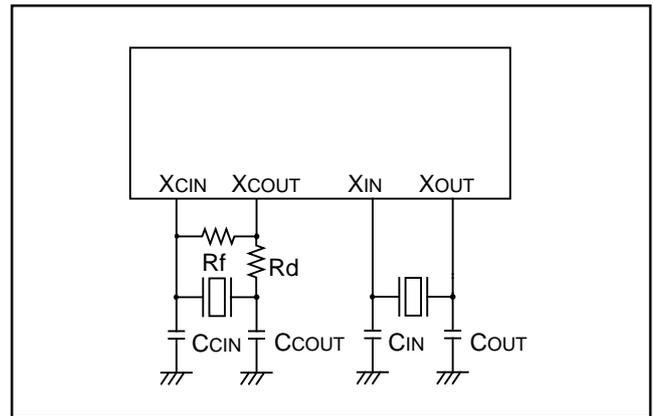


図57．セラミック共振器外付け回路

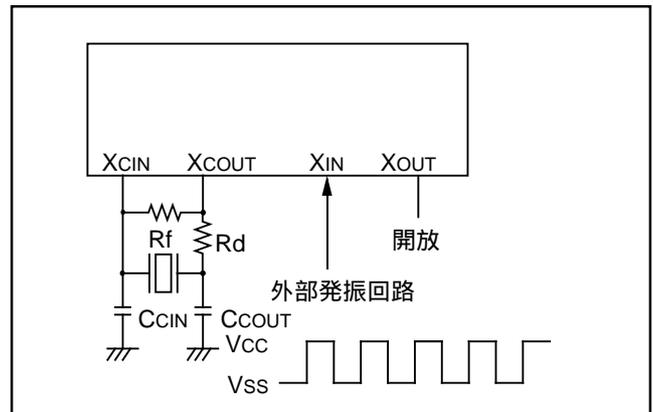


図58．外部クロック入力回路

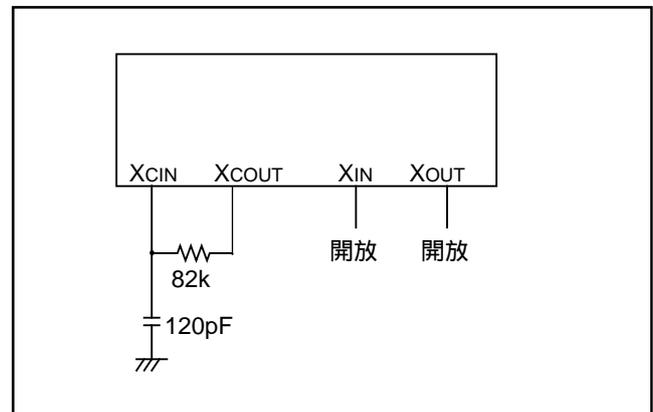


図59．高速オンチップオシレータ発振及び32kHz RC発振使用時の回路

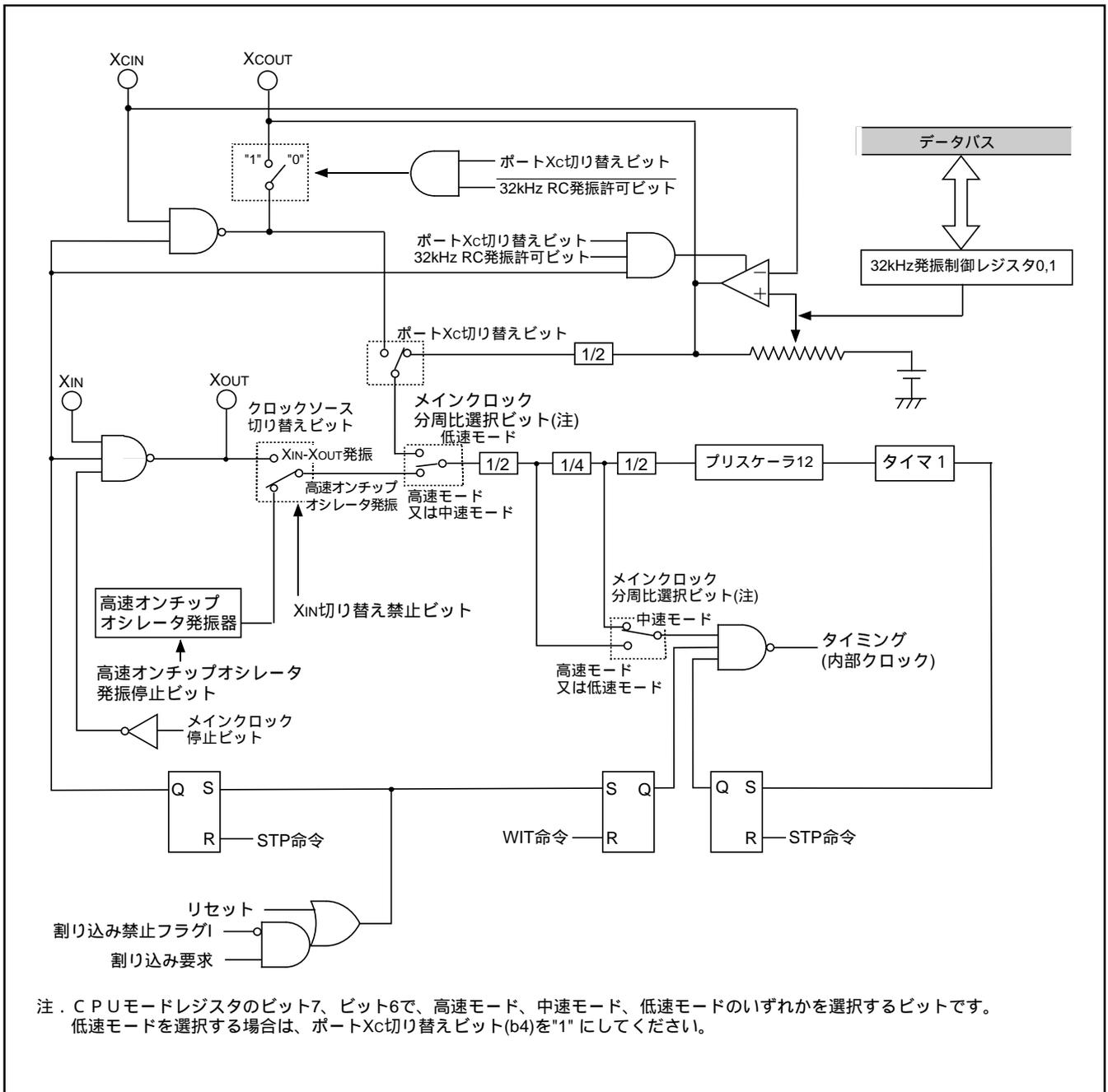


図60. システムクロック発生回路ブロック図(シングルチップモード)

中速モード自動切り替え設定ビットについての注意

低速モードで動作中、中速モード自動切り替え設定ビットを“1”にすると、SCL又はSDA端子の立ち上がり、あるいは立ち下がりエッジを検出することにより、自動的にX_{IN}発振をスタートさせ、中速モードに切り替わります。低速モードから中速モードに切り替わるタイミングは、中速モード自動切り

替え待ち時間設定ビットにより、低速モードで4.5~5.5サイクル、あるいは6.5~7.5サイクルに設定できるので、ご使用になるX_{IN}の発振子の発振開始特性により選択してください。

中速モード自動切り替え開始ビットは、低速モードで動作中、このビットに“1”を書き込むことにより、自動的にX_{IN}発振をスタートさせ、中速モードに切り替えるビットです。

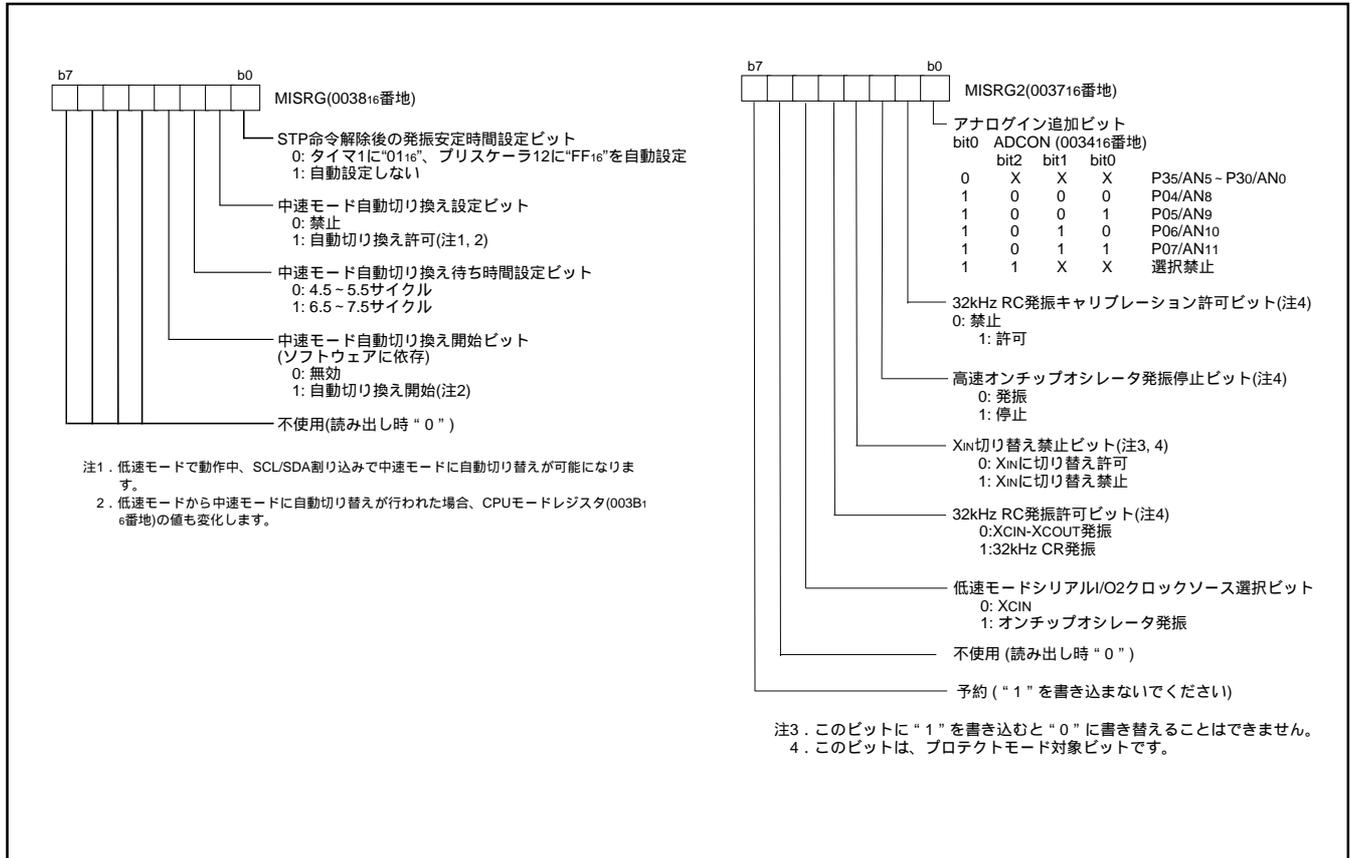


図61. MISRG、MISRG2の構成

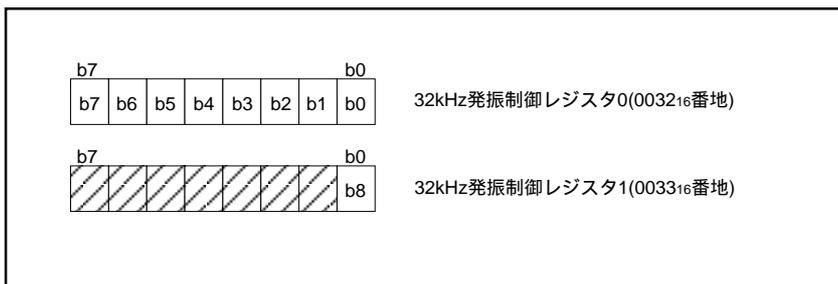
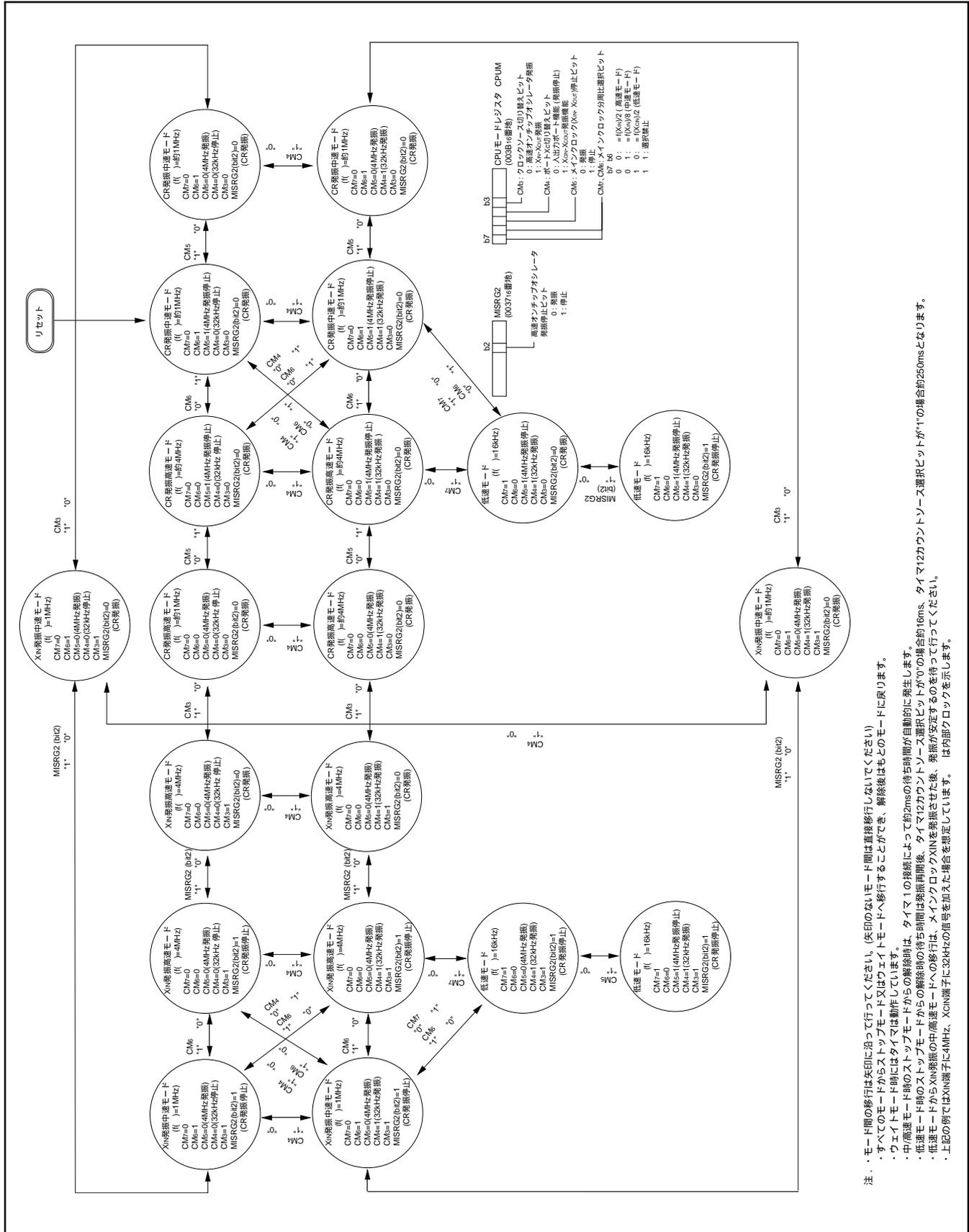


図62. 32kHz発振制御レジスタ



注．．．モード間の移行は矢印に沿って行ってください。(矢印のないモード間は直接移行しないでください)
 ・すべてのモードからストップモード又はウェイトモードへ移行することができ、解除後は元のモードに戻ります。
 ・ウェイトモード時にはタイマは動作していません。
 ・中高速モード時のストップモードからの解除時は、タイマ1の接続によって約2msの待ち時間が自動的に発生します。
 ・低速モード時のストップモードからの解除時の待ち時間は発振開始後、タイマ12カウントソース選択ビットが"0"の場合約16ms、タイマ12カウントソース選択ビットが"1"の場合約250msとなります。
 ・低速モードからXIN発振の中/高速モードへの移行は、メインクロックXINを発振させた後、発振が安定するのを待って行ってください。
 ・上記の例ではXIN端子に4MHz、XIN端子に32kHzの信号を加えた場合を示しています。 は内部クロックを示します。

図63．システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが $\overline{1}$ であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを $\overline{1}$ に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが $\overline{1}$ の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルインタフェースに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも $\overline{1}$ に設定してください。

また、シリアルI/O1では、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが \overline{H} の時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は $f(X_{IN})$ 500kHz以上にしてください。

また、A/D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードでは X_{IN} 周期の2倍です。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間、及び電源端子(V_{CC} 端子)とアナログ電源入力端子(AV_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

フラッシュメモリモード

性能概要

表11にM37517F8(フラッシュメモリ版)の性能概要を示します。

表11. M37517F8(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧		V _{CC} = 2.7 ~ 5.5V (注1) V _{CC} = 2.7 ~ 3.6V (注2)
プログラム/イレーズ電圧		4.5 ~ 5.5V f(X _{IN}) = 8MHz
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト) (注3)
プログラム方式		バイト単位
イレーズ方式		一括消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応

- 注1. プログラム/イレーズ時の電源電圧は、V_{CC} = 4.5 ~ 5.5Vで書き込んでください。
 2. プログラム/イレーズ時の電源電圧は、V_{CC} = 3.0 ~ 3.6Vでの書き込みも可能です。
 3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

M37517F8は、5V単一電源又はV_{PP}=5V、V_{CC}=3.3V～5Vにおいて2電源での書き換えが可能なNEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図64に示すようにM37517F8のフラッシュメモリは、ユーザROM領域とブートROM領域の2つのブロックに分かれています。内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

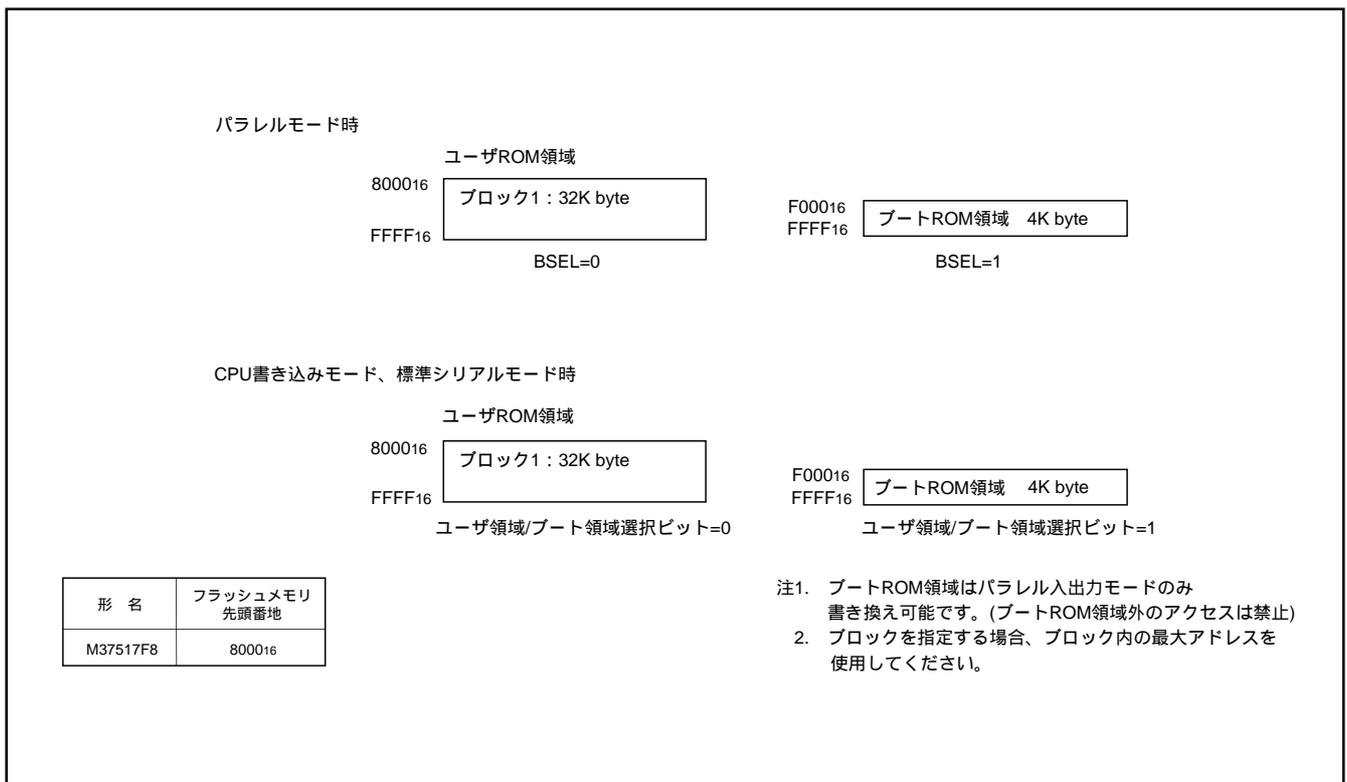


図64. 内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図64に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、ここで実行させる必要があります。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図64に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P41/INT0端子を“H”、CNVss端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。M37517F8の場合、1ブロックのみの構成となります。

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドをライトすることにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要がありますので注意してください。

CPU書き換えモードへは、CNVss端子に5V ± 0.5Vを印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図65にフラッシュメモリ制御レジスタを示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。自動書き込み、自動消去の動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります(パラレル入出力モードのRY/BY端子と同等の機能)。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスできません。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグで、このビットを読むことによりCPU書き換えモードにエントリしていることを確認することができます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット4はユーザROM領域/ブートROM領域選択ビットで、“1”をセットする事でブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビットの操作はRAM上のプログラムで行う必要があります。図66にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

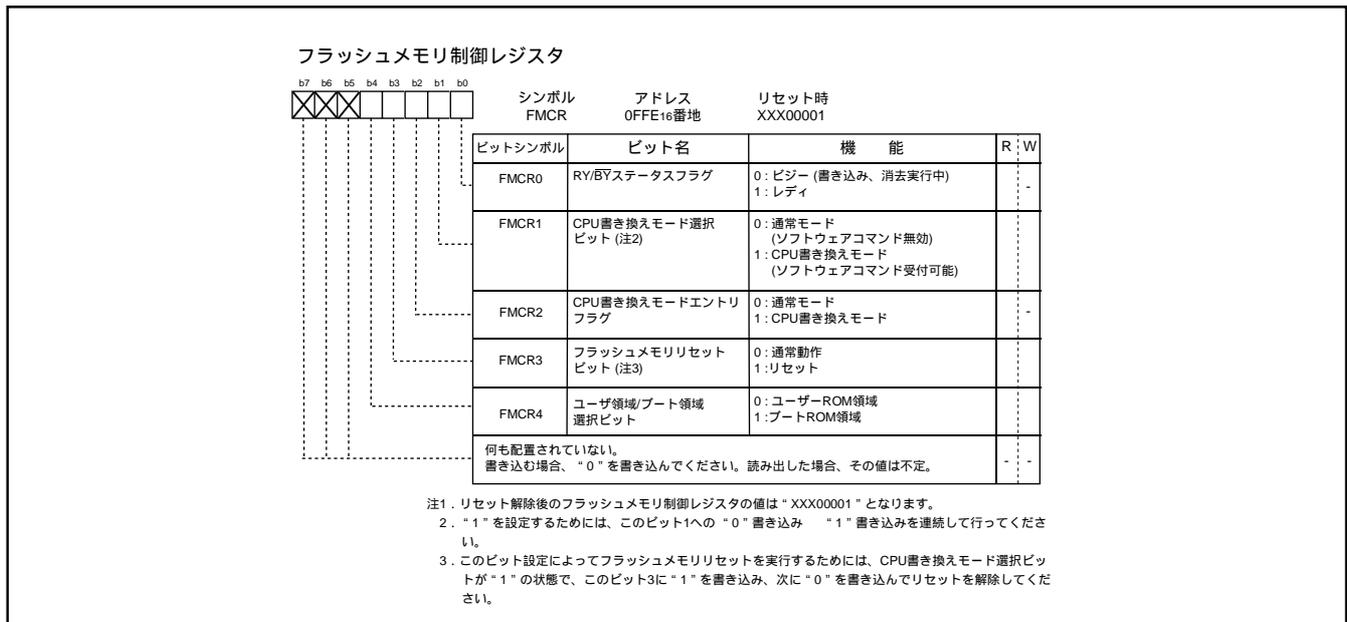


図65 . フラッシュメモリ制御レジスタの構成

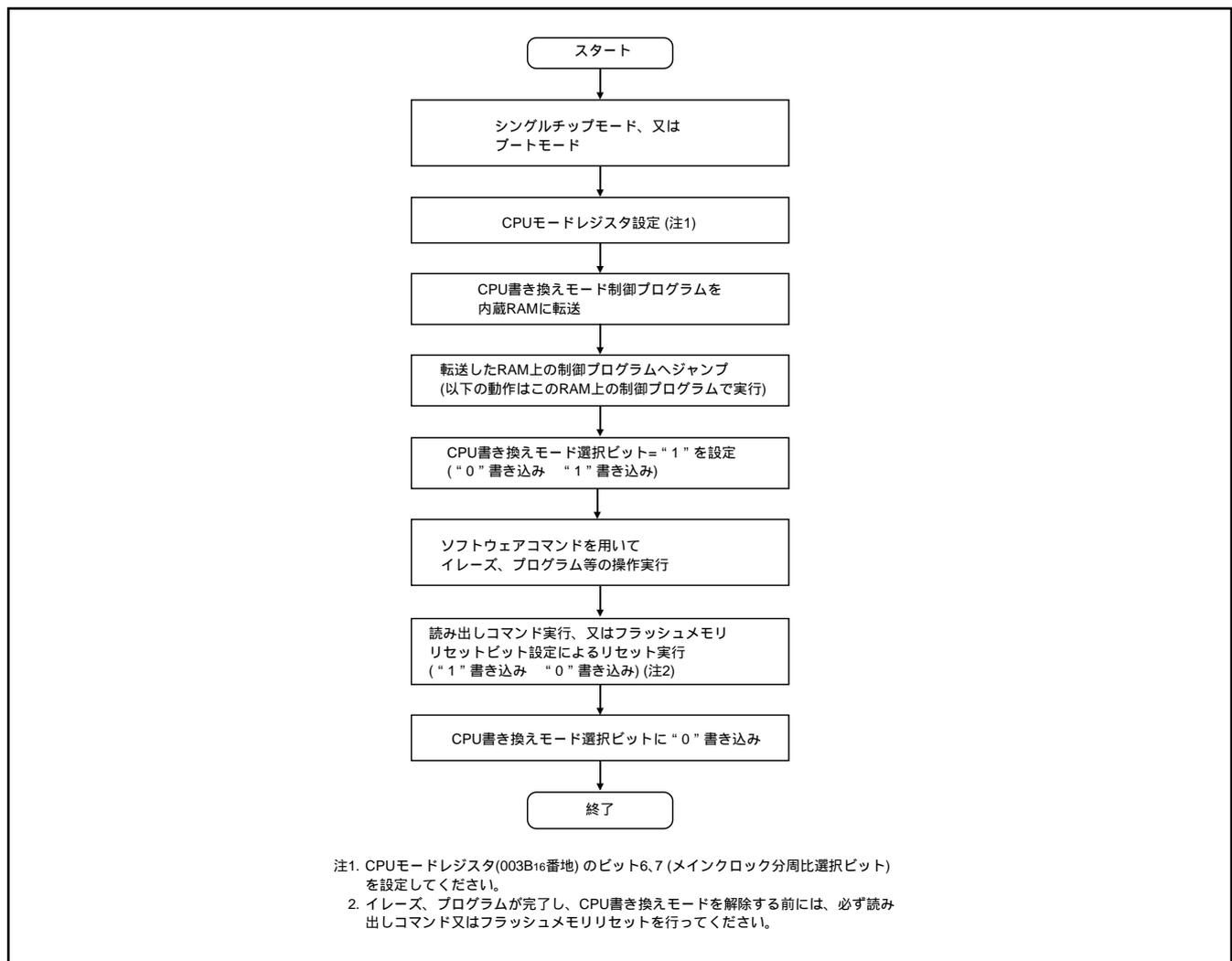


図66 . CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロックが4.0MHz以下になるように設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS} = “H” の場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表12にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D₀~D₇)へ読み出されます。読み出しモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR1、SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリード又はR_Y/B_Yステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンド(“FF”)をライトするまで継続されます。R_B/B_Yステータスフラグはステータスレジスタビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタのビット4(SR4)を読み出すことによりプログラムの結果を知ることができます。

表12. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D ₀ ~D ₇)	モード	アドレス	データ(D ₀ ~D ₇)
リードアレイ	1	ライト	X (注4)	FF ₁₆			
リードステータスレジスタ	2	ライト	X	70 ₁₆	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 ₁₆			
プログラム	2	ライト	X	40 ₁₆	ライト	WA (注2)	WD (注2)
イレーズ全ブロック	2	ライト	X	20 ₁₆	ライト	X	20 ₁₆
ブロックイレーズ	2	ライト	X	20 ₁₆	ライト	BA (注3)	D0 ₁₆

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス, WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

イレーズ全ブロック(2016/2016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“2016”を入力するとイレーズ全ブロック動作(消去前書き込み、消去、消去ベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズ(2016/D016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“D016”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(消去前書き込み、消去、消去ベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はRY/BY信号状態によって確認できます。自動一括消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次に読み出しコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

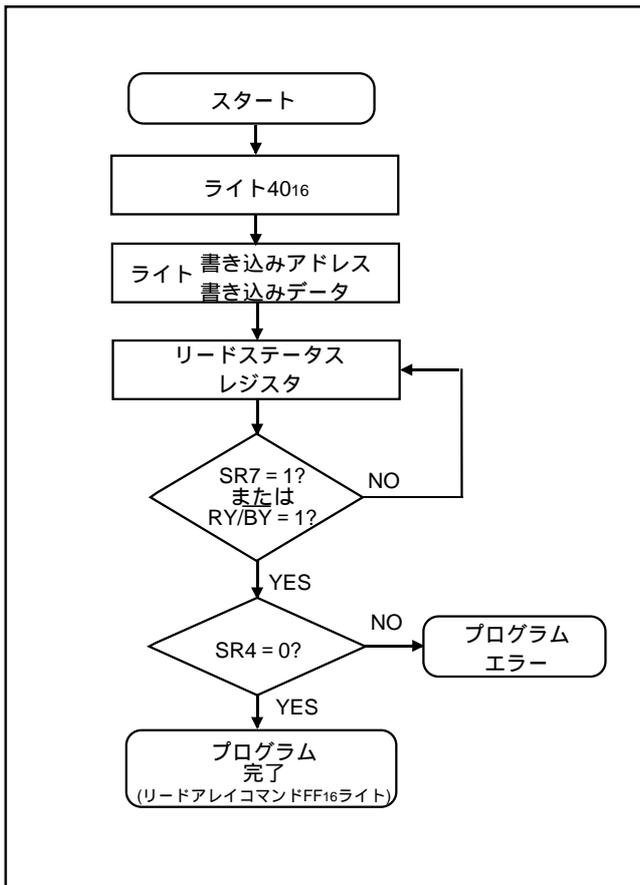


図67 . 自動書き込みフローチャート

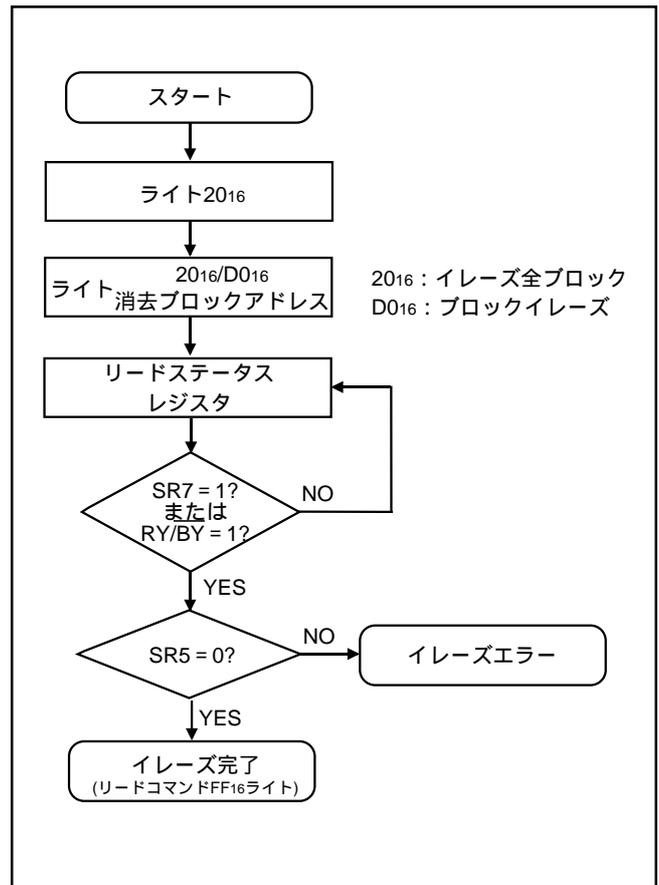


図68 . イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードモードにおいて、リードステータスレジスタコマンド(70₁₆)をライトした後、任意のアドレスを読み出したとき
- (2) プログラム開始又はイレーズ開始から、リードアレイコマンド(FF₁₆)入力までの期間

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50₁₆)をライトしたとき
 - (2) 電源をオフにしたとき
- 表T-3にステータスレジスタの各ビットの定義を示します。
リセット解除後、ステータスレジスタは、“80₁₆”になります。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

表13. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。

図69にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

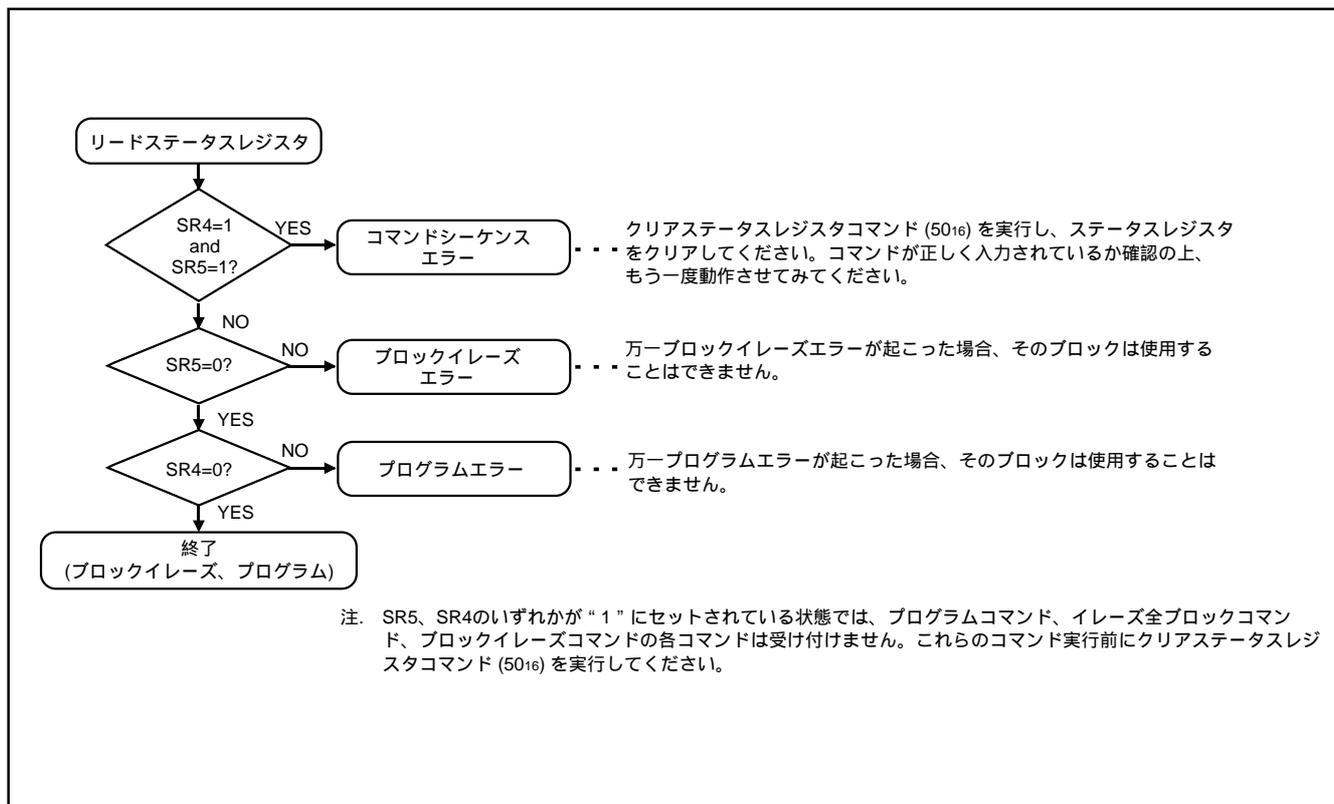


図69. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB16番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(FFDB16番地)の構成を図70に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

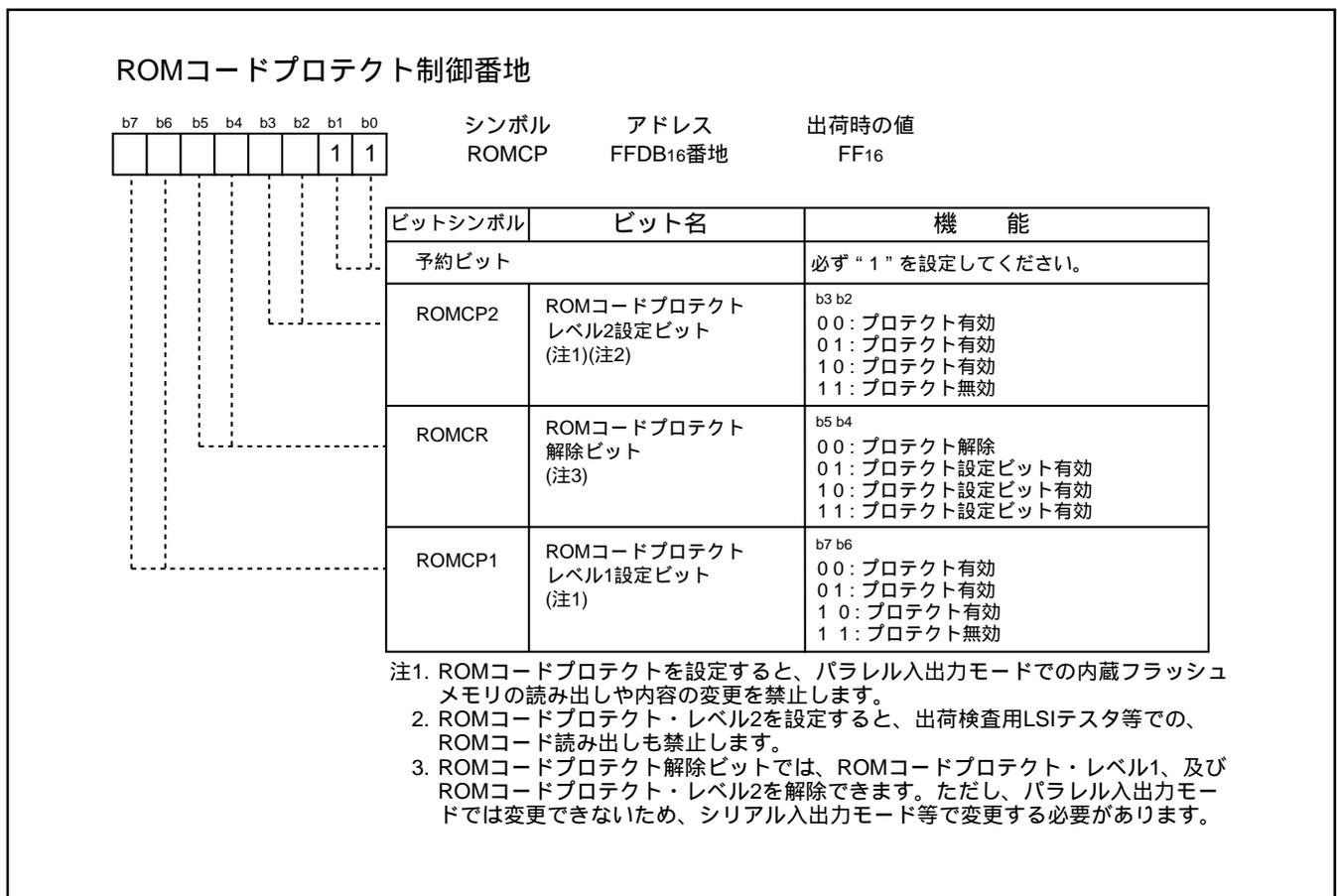


図70. ROMコードプロテクトの構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクではない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリ

アルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆～FFDA₁₆番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

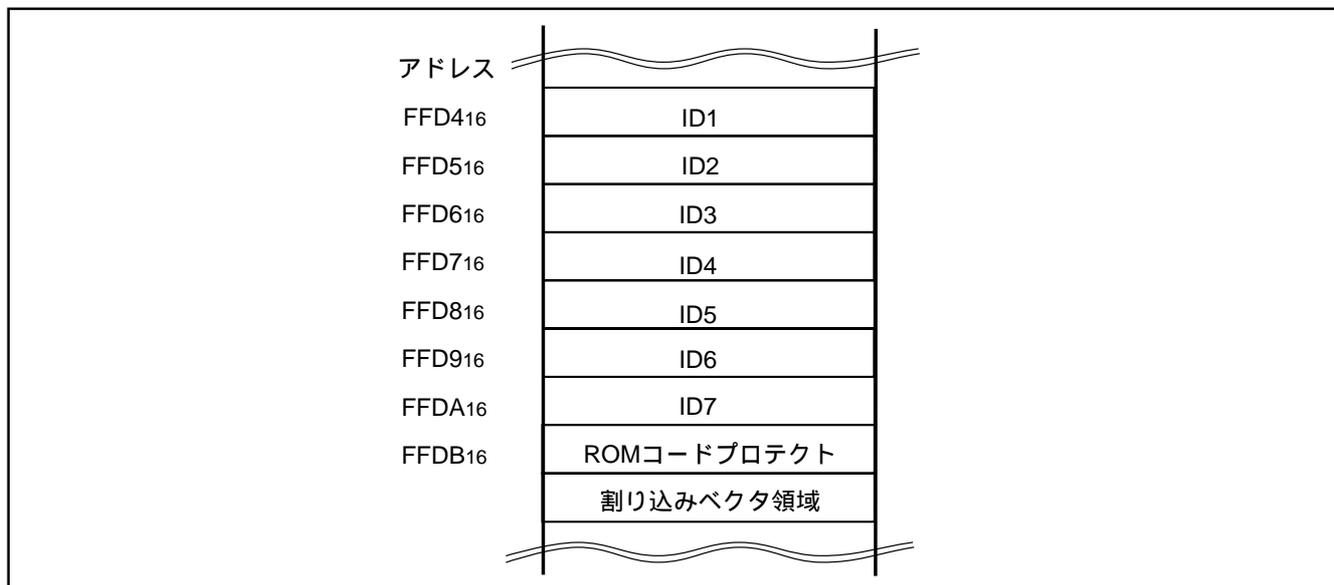


図71. IDコードの格納アドレス

(2) パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M37517F8をサポートしている専用の外部装置(ライター)をご使用ください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図64に示すユーザROM領域、及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図64に示します。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

(3) 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P26(SCLK)端子、P41(INT0)端子を“H”、CNVss端子を“H”(Vcc=4.5~5.5V時はVccに接続、Vcc=2.7~4.5V時はVpp端子として外部からVpp=4.5~5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図72に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/O1の端子SCLK、RxD、TxD、SRDY1(BUSY)の4本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD端子はCMOS出力です。SRDY1(BUSY)端子は、受信準備が完了すると“L”となり、受信動作を開始すると“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図64に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードでは、7バイトのIDコードを使用します。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければシリアルライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(シリアルI/O1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK端子に入力する転送クロック立ち上がりに同期して、RxD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、TxD端子から外部に出力します。

TxD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレース、プログラム実行中等のビジー期間中には、SRDY1(BUSY)端子が“H”となります。したがって、次の転送は、必ずSRDY1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレースの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表14. 端子の機能説明(標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
AVcc	アナログ電源入力	入力	Vccに接続してください。
AVss	アナログ電源入力	入力	Vssに接続してください。
CNVss	CNVss	入力	Vcc=4.5~5.5V時はVcc接続してください。Vcc=2.7~4.5V時はVppに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
ADVss	アナログ電源入力		Vssに接続してください。
ADVREF	AD基準電圧入力	入力	開放又はADの基準電圧を入力してください。
P00~P07	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放してください。
P10~P17	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放してください。
P20~P23	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放してください。
P24	RXD入力	入力	シリアルデータの入力端子です。
P25	TXD出力	出力	シリアルデータの出力端子です。
P26	SCLK入力	入力	シリアルクロックの入力端子です。
P27	BUSY出力	出力	BUSY信号の出力端子です。
P30~P35	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放してください。
P40, P42~P45	入力ポートP4	入力	“H”を入力、“L”を入力、又は開放してください。
P41	入力ポートP4	入力	リセット解除時のみ“H”を入力してください。
ISENS0 ISENS1	アナログ電源入力	入力	検出抵抗に接続します。ISENS0はGND側に接続します。

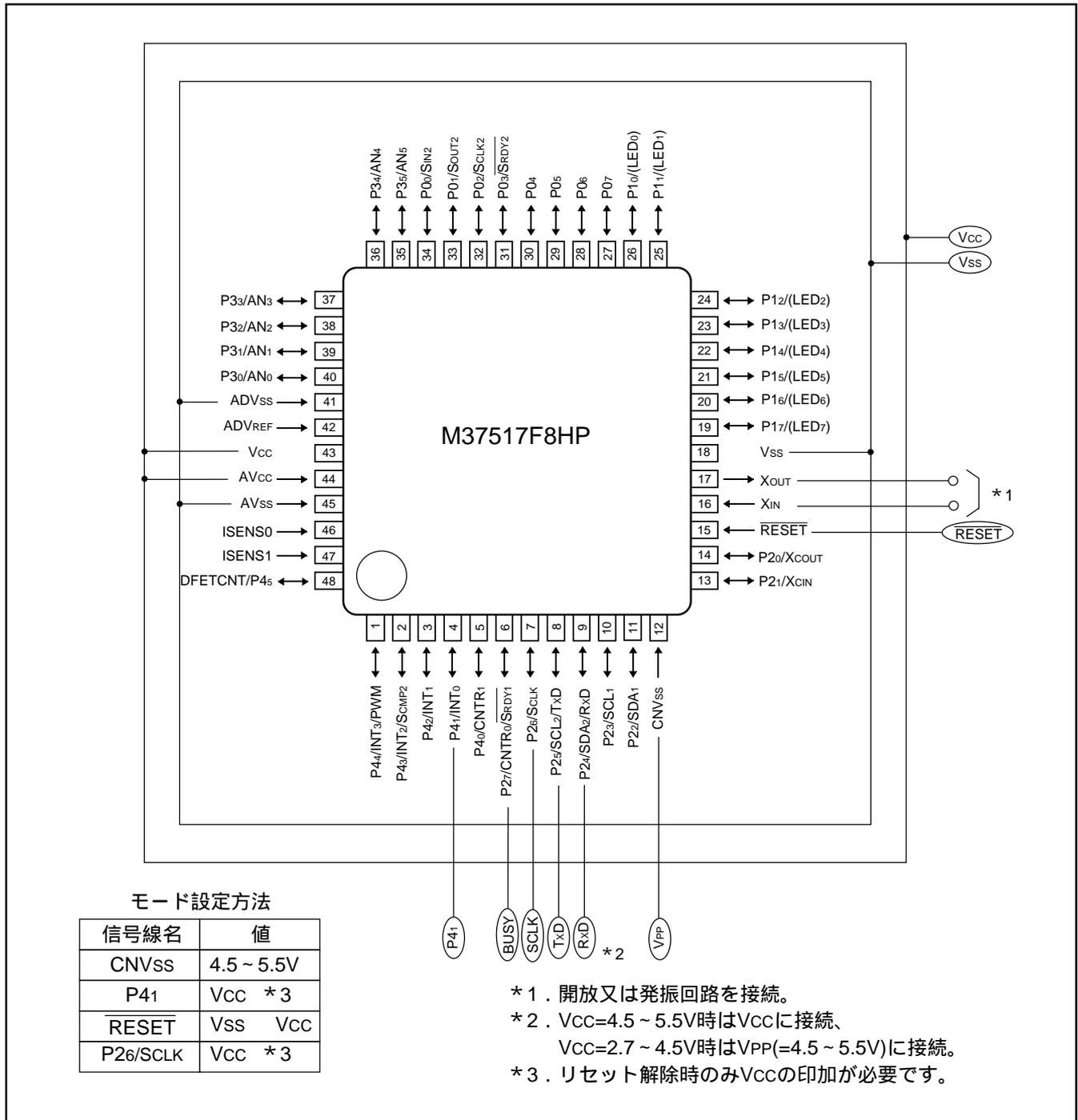


図72 . シリアル入出力モード時の端子結線図

ソフトウェアコマンド

表15にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェ

アコマンドは、基本的にはパラレル入出力モードのものと同じですが、ブロックイレーズ機能を削除し、IDチェック機能、ダウンロード機能、バージョン情報出力機能の3コマンドを追加しています。

表15. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID未照合
1	ページリード	FF16	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	4116	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	イレーズ全ブロック	A716	D016						受付不可
4	リードステータスレジスタ	7016	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	5016							受付不可
6	IDチェック機能	F516	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
7	ダウンロード機能	FA16	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	~必要回数		受付不可
8	バージョン情報出力機能	FB16	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	~9バイト目 バージョン データ出力	受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。

2. SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。
3. ブランク品に対しては全コマンドの受付が可能です。
4. アドレス上位(A16 ~ A23)は常に“0016”です。

以下に各ソフトウェアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でリードアレイコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード “FF16” を転送します。

(2) 2バイト目、3バイト目の転送でアドレスA8～A15、アドレスA16～A23(“0016”)を転送します。

(3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A15、アドレスA16～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します。

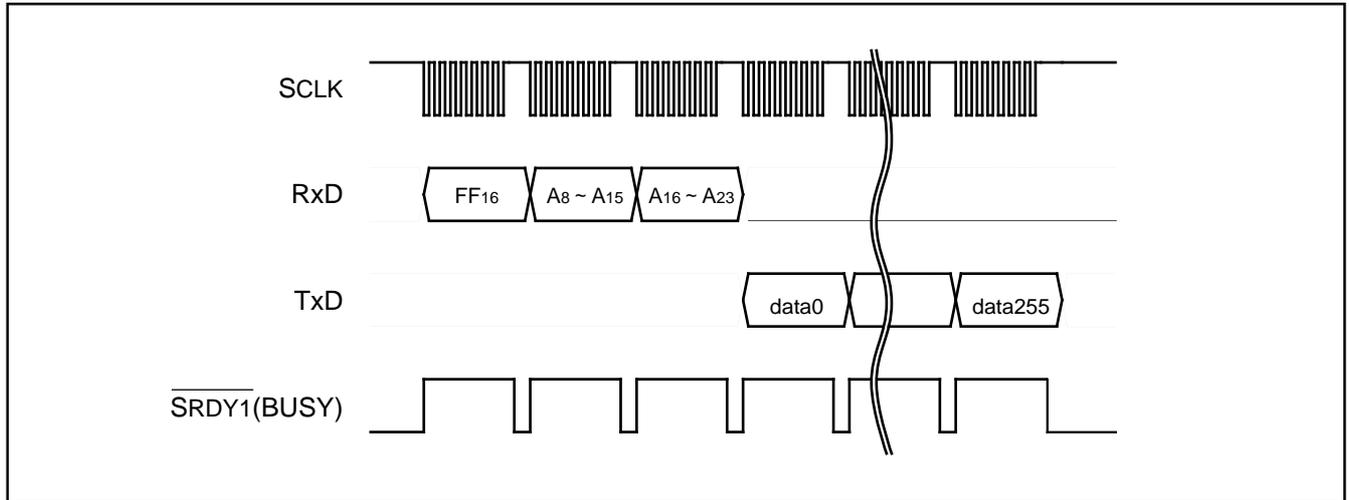


図73 . ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード “7016” を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3/4バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4、5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード “5016” を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、SRDY1(BUSY)信号は “H” から “L” に変化します。

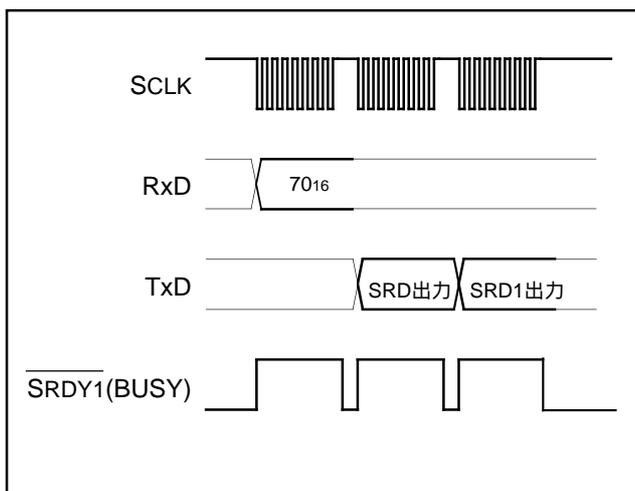


図74 . リードステータスレジスタコマンド時のタイミング

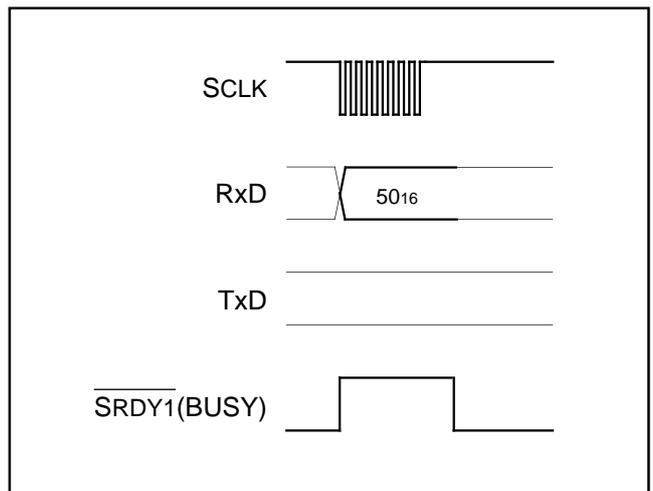


図75 . クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でアドレスA₈~A₁₅、アドレスA₁₆~A₂₃(“00₁₆”)を転送します。
- (3) 4バイト目以降、ライトデータ(D₀~D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了するとSRDY₁(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“A7₁₆”を転送します。
- (2) 2バイト目の転送で確認コマンド“D0₁₆”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了するとSRDY₁(BUSY)信号が“H”から“L”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

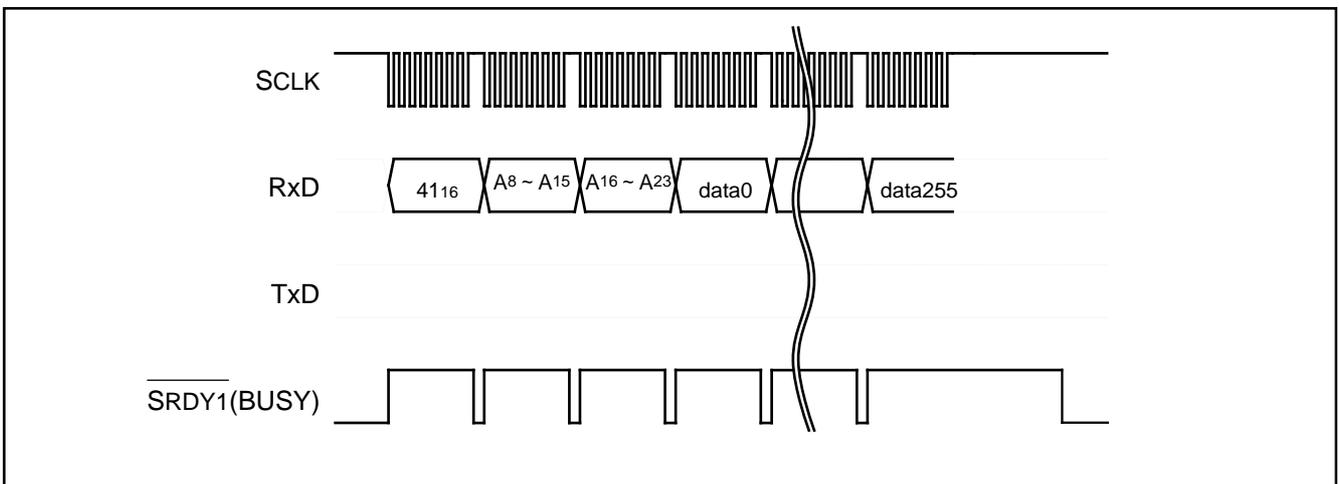


図76. ページプログラムコマンド時のタイミング

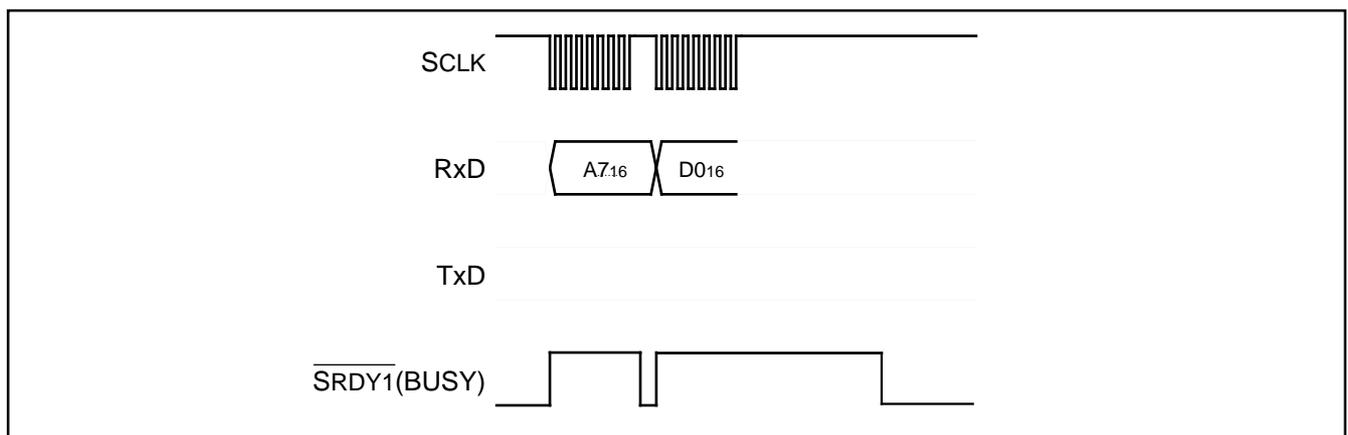


図77. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。
以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA16”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。
チェックサムは、5バイト目以降に転送するデータをすべて加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

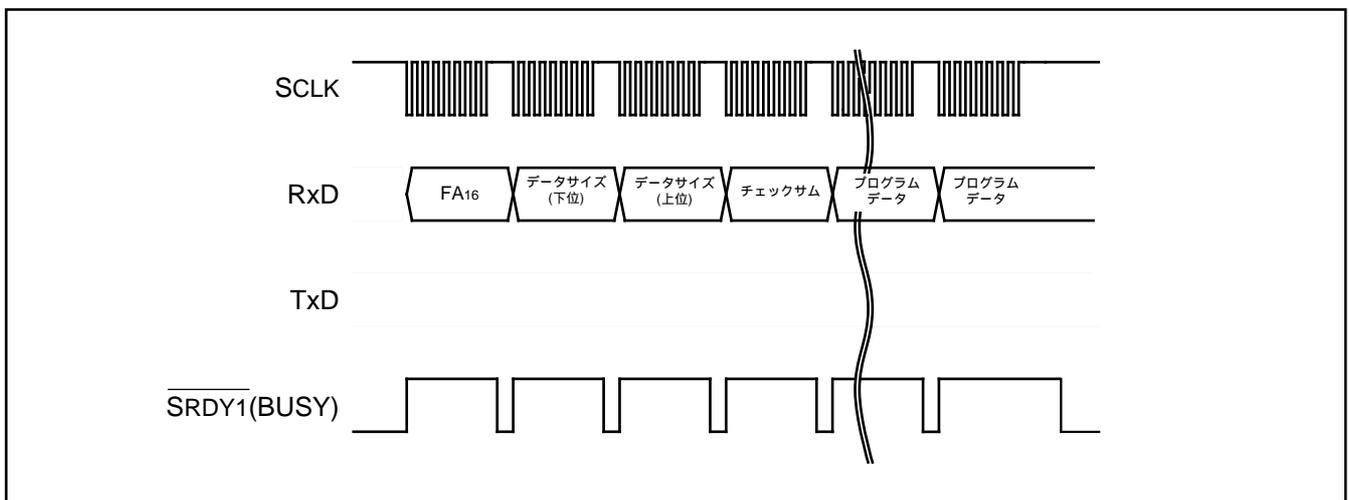


図78 . ダウンロード機能のタイミング

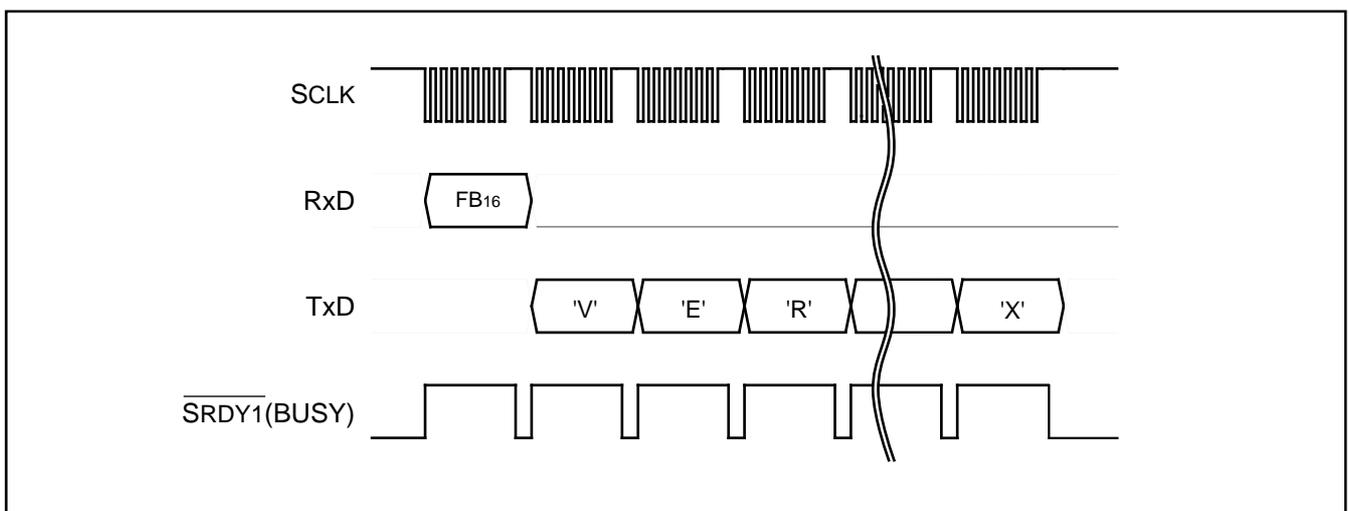


図79 . バージョン情報出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード “ F5₁₆ ” を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀ ~ A₇、A₈ ~ A₁₅、A₁₆ ~ A₂₃(“ 00₁₆ ”)を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降、IDコードをIDコードの1バイト目から転送してください。

IDコード

フラッシュメモリの内容がブランクではない場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域はFFD₄₁₆ ~ FFDA₁₆番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

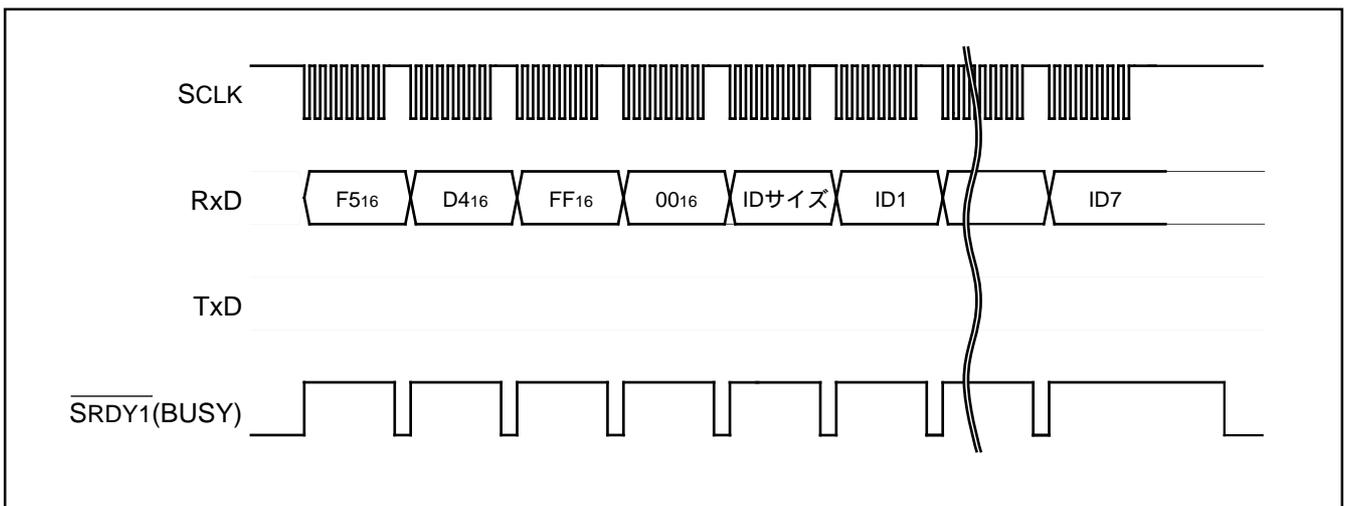


図80 . IDチェック機能のタイミング

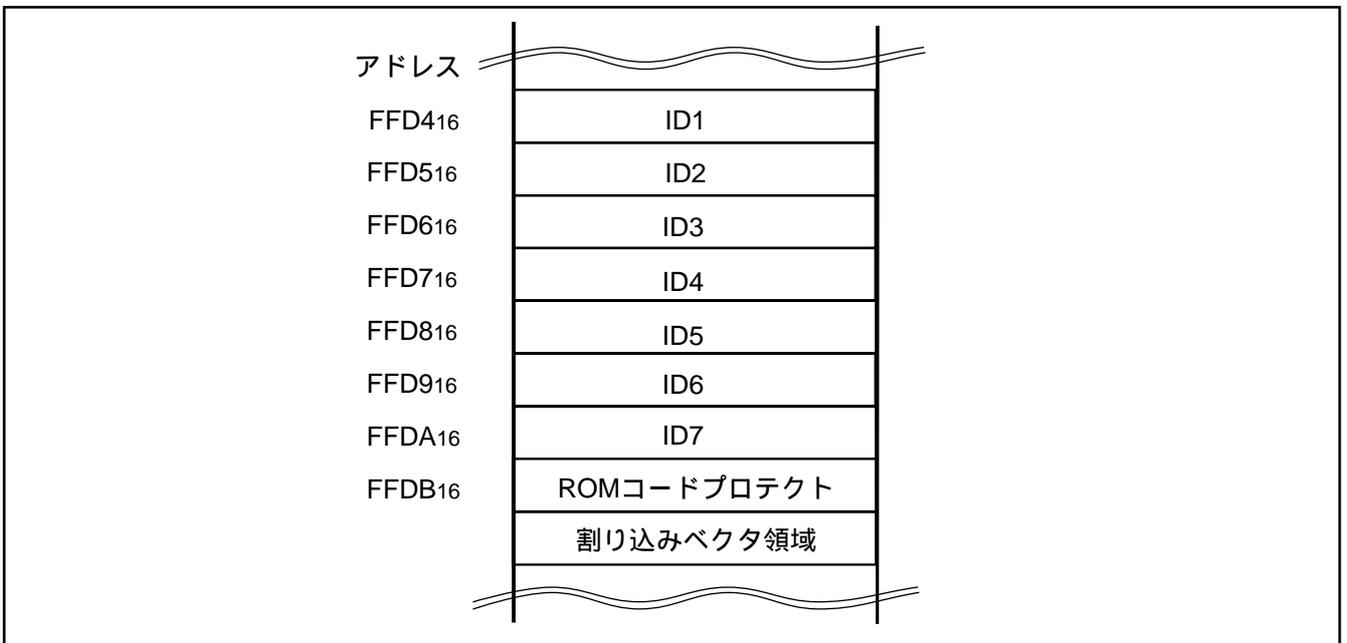


図81 . IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表16に、各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

表16. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定 義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタ1を表17に、各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

ブート更新済みビット(SR15)

ダウンロード機能を使用して、制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11, SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが“1”になると、受信したデータを破棄し、コマンド待ちに戻ります。

表17. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		“1”	“0”
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図82にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。ライターによって制御するピン等が異なりますので、詳細はライターのマニュアルを参考にしてください。

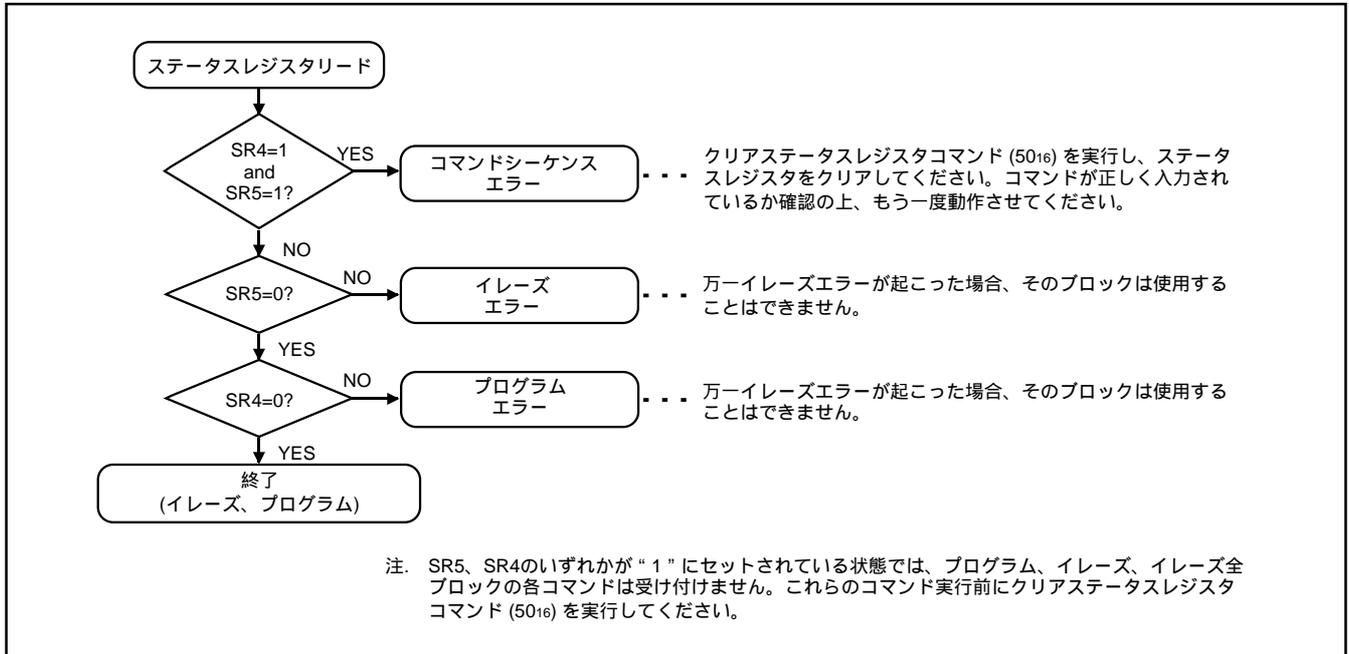
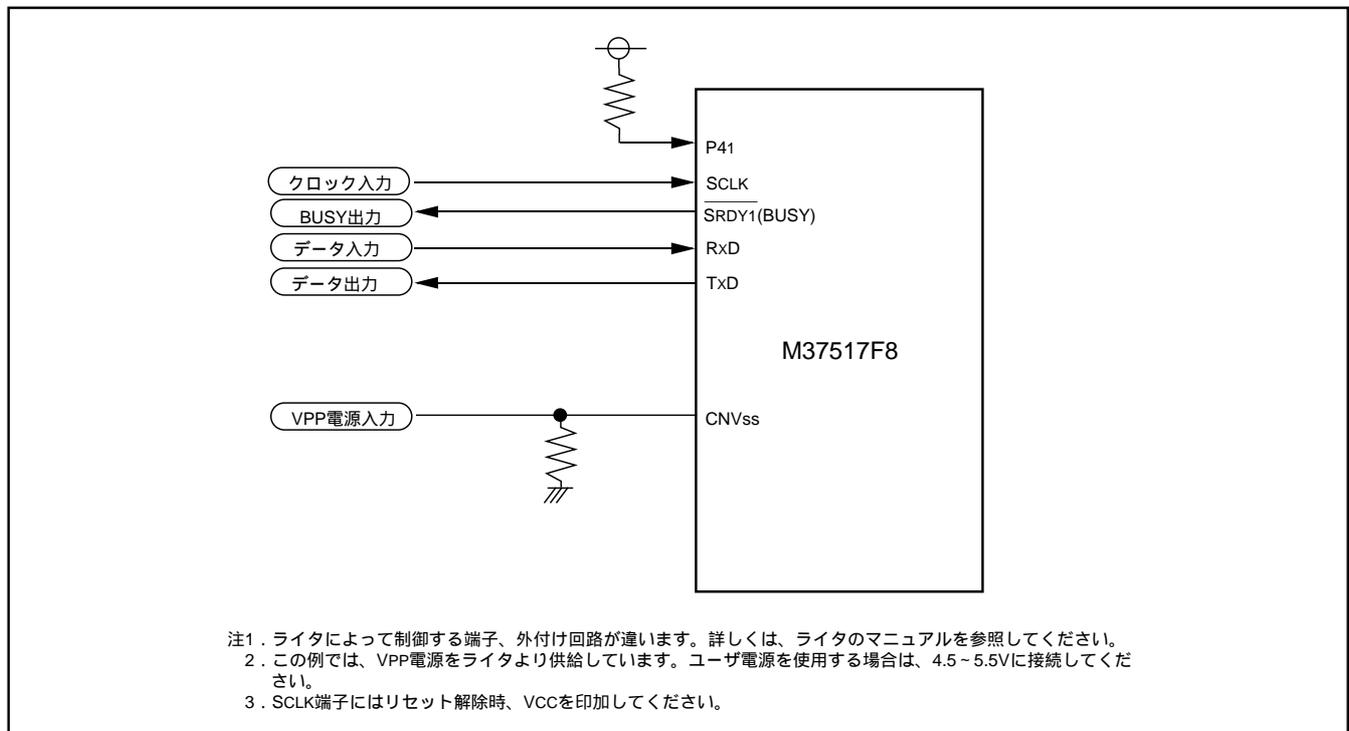


図82. フルステータスチェックフローチャート及び各エラー発生時の対処法



- 注1. ライターによって制御する端子、外付け回路が異なります。詳しくは、ライターのマニュアルを参照してください。
- 2. この例では、VPP電源をライターより供給しています。ユーザ電源を使用する場合は、4.5~5.5Vに接続してください。
- 3. SCLK端子にはリセット解除時、VCCを印加してください。

図83. 標準シリアル入出力モード時の応用回路例

フラッシュメモリモード電気的特性

絶対最大規格

表18. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
V _I	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, ADVREF, AVCC, ISENS1		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 P22, P23		- 0.3 ~ 5.8	V
V _I	入力電圧 RESET, XIN		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNVSS		- 0.3 ~ 6.5	V
V _O	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, XOUT		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P22, P23		- 0.3 ~ 5.8	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度		25 ± 5	
T _{stg}	保存温度		- 40 ~ 125	

表19. 直流電気的特性(指定のない場合は、T_a= 25、V_{CC}=4.5 ~ 5.5V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{PP1}	V _{PP} 電源電流 (リード時)	V _{PP} = V _{CC}			100	μA
I _{PP2}	V _{PP} 電源電流 (プログラム時)	V _{PP} = V _{CC}			60	mA
I _{PP3}	V _{PP} 電源電流 (イレーズ時)	V _{PP} = V _{CC}			30	mA
V _{PP}	V _{PP} 電源電圧		4.5		5.5	V
V _{CC}	V _{CC} 電源電圧	V _{CC} = 2.7 ~ 5.5Vでマイコンモードを動作させるとき	4.5		5.5	V
		V _{CC} = 2.7 ~ 3.6Vでマイコンモードを動作させるとき	3.0		3.6	V

電気的特性

絶対最大規格

表20．絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, ADVREF, AVCC, ISENS1		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P22, P23		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, XOUT		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P22, P23		- 0.3 ~ 5.8	V
Pd	消費電力		Ta = 25	300
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

推奨動作条件

表21 . 推奨動作条件(1)(指定のない場合は、Vcc=3.0~3.6V, Ta= -20~85)

記号	項目		規格値			単位
			最小	標準	最大	
VCC	電源電圧	4MHz時	3.0	3.3	3.6	V
		電流積算回路,過電流検出回路,32kHz CR発振回路使用時	3.234	3.3	3.366	V
VSS	電源電圧			0		V
ADVREF	A/Dコンバータ基準電圧		2.0		Vcc	V
ADVSS	A/Dコンバータ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN5, AN8~AN11		ADVss		Vcc	V
AVCC	アナログ電源電圧		3.234	3.3	3.366	V
AVSS	アナログ電源電圧			0		V
ISENS0	アナログ入力電圧			0		
ISENS1	アナログ入力電圧		-0.1		0.1	V
VIH	“H”入力電圧 P00~P07, P10~P17, P20~P27, P30~P35 P40~P45		0.8Vcc		Vcc	V
VIH	“H”入力電圧(I ² C-BUS入力レベル選択時) SDA1,SCL1,		0.7Vcc		5.8	V
VIH	“H”入力電圧(I ² C-BUS入力レベル選択時) SDA2,SCL2		0.7Vcc		Vcc	V
VIH	“H”入力電圧(SMBUS入力レベル選択時) SDA1,SCL1		1.4		5.8	V
VIH	“H”入力電圧(SMBUS入力レベル選択時) SDA2,SCL2		1.4		Vcc	V
VIH	“H”入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P35 P40~P45		0		0.2 Vcc	V
VIL	“L”入力電圧(I ² C-BUS入力レベル選択時) SDA1,SDA2,SCL1,SCL2		0		0.3 Vcc	V
VIL	“L”入力電圧(SMBUS入力レベル選択時) SDA1,SDA2,SCL1,SCL2		0		0.6	V
VIL	“L”入力電圧 RESET, CNVss		0		0.2 Vcc	V
VIL	“L”入力電圧 XIN		0		0.16 Vcc	V
IOH(peak)	“H”出力総尖頭電流 (注) P00~P07, P10~P17, P30~P35				-80	mA
IOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24~P27, P40~P45				-80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P00~P07, P30~P35				80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P10~P17				80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P20~P27, P40~P45				80	mA
IOH(avg)	“H”出力総平均電流 (注) P00~P07, P10~P17, P30~P35				-40	mA
IOH(avg)	“H”出力総平均電流 (注) P20, P21, P24~P27, P40~P45				-40	mA
IOL(avg)	“L”出力総平均電流 (注) P00~P07, P30~P35				40	mA
IOL(avg)	“L”出力総平均電流 (注) P10~P17				40	mA
IOL(avg)	“L”出力総平均電流 (注) P20~P27, P40~P45				40	mA

注：出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表22．推奨動作条件(2)(指定のない場合は、Vcc=3.0~3.6V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力尖頭電流 (注1) P00~P07, P10~P17, P20, P21, P24~P27 P30~P35, P40~P45			-10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P00~P07, P20~P27, P30~P35, P40~P45			10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P10~P17			20	mA
IOH(avg)	“H”出力平均電流 (注2) P00~P07, P10~P17, P20, P21, P24~P27 P30~P35, P40~P45			-5	mA
IOL(avg)	“L”出力平均電流 (注2) P00~P07, P20~P27, P30~P35, P40~P45			5	mA
IOL(avg)	“L”出力平均電流 (注2) P10~P17			15	mA
f(XIN)	内部クロック発振周波数 (注3) (Vcc=3.0~3.6V)			4	MHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2．平均出力電流IOL(avg)，IOH(avg)は100msの期間での平均値です。

3．発振周波数はデューティ50%の場合です。

電気的特性

表23．電気的特性(1)(指定のない場合は、Vcc=3.0~3.6V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20, P21 P24~P27, P30~P35, P40~P45 (注)	IOH= -1.0mA Vcc=3.0~3.6V	Vcc - 1.0			V
VOL	“L”出力電圧 P00~P07, P20~P27, P30~P35 P40~P45	IOL=1.0mA Vcc=3.0~3.6V			1.0	V
VOL	“L”出力電圧 P10~P17	IOL=10mA Vcc=3.0~3.6V			1.0	V

注．P25に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が0の場合です。

表24 . 電気的特性 2)(指定のない場合は、Vcc=3.0 ~ 3.6V , Vss=0V , Ta= - 20 ~ 85)

記 号	項 目	測 定 条 件	規 格 値			単 位
			最 小	標 準	最 大	
V _{T+} - V _{T-}	ヒステリシス CNTR ₀ , CNTR ₁ , INT ₀ ~ INT ₃			0.4		V
V _{T+} - V _{T-}	ヒステリシス RxD, SCLK			0.5		V
V _{T+} - V _{T-}	ヒステリシス $\overline{\text{RESET}}$			0.3		V
I _{IH}	“ H ” 入力電流 P ₀₀ ~ P ₀₇ , P ₁₀ ~ P ₁₇ , P ₂₀ , P ₂₁ , P ₂₄ ~ P ₂₇ , P ₃₀ ~ P ₃₅ , P ₄₀ ~ P ₄₅	V _I =V _{CC}			5.0	μA
I _{IH}	“ H ” 入力電流 $\overline{\text{ISENS0}}$, $\overline{\text{ISENS1}}$	V _I =V _{CC}			1.0	μA
I _{IH}	“ H ” 入力電流 $\overline{\text{RESET}}$, CNV _{SS}	V _I =V _{CC}			5.0	μA
I _{IH}	“ H ” 入力電流 X _{IN}	V _I =V _{CC}		4		μA
I _{IL}	“ L ” 入力電流 P ₀₀ ~ P ₀₇ , P ₁₀ ~ P ₁₇ , P ₂₀ ~ P ₂₇ P ₃₀ ~ P ₃₅ , P ₄₀ ~ P ₄₅	V _I =V _{SS}			- 5.0	μA
I _{IL}	“ L ” 入力電流 $\overline{\text{ISENS0}}$, $\overline{\text{ISENS1}}$	V _I =V _{SS}			- 1.0	μA
I _{IL}	“ L ” 入力電流 $\overline{\text{RESET}}$, CNV _{SS}	V _I =V _{SS}			- 5.0	μA
I _{IL}	“ L ” 入力電流 X _{IN}	V _I =V _{SS}		- 4		μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		3.6	V

表25 . 電気的特性(3) (指定のない場合は、Vcc=3.0~3.6V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
ICC	電源電流	高速モード時 f(XIN)=4MHzまたは高速CR発振 f(XCIN)=32.768kHzまたは32kHz CR発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		2.5	5.0	mA	
		高速モード時 f(XIN)=4MHzまたは高速CR発振 (WIT命令実行時) f(XCIN)=32.768kHzまたは32kHz CR発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		0.6		mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHzまたは32kHz CR発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		200		μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHzまたは32kHz CR発振 (WIT命令実行時) 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		50		μA	
		中速モード時 f(XIN)=4MHzまたは高速CR発振 f(XCIN)=停止 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		1.7	3.0	mA	
		中速モード時 f(XIN)=4MHzまたは高速CR発振 (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		0.7		mA	
		A/Dコンバータ動作時の増量 f(XIN)=4MHzまたは高速CR発振		800		μA	
		電流積算回路動作時の増量		1000	1600	μA	
		過電流検出回路動作時の増量	短絡電流検出回路		80	110	μA
			過電流検出回路		80	110	μA
			ウェイクアップ電流検出回路		90	120	μA
			短絡電流検出回路 + 過電流検出回路		80	110	μA
			短絡電流検出回路 + ウェイクアップ電流検出回路		90	120	μA
			過電流検出回路 + ウェイクアップ電流検出回路		90	120	μA
短絡電流検出回路 + 過電流検出回路 + ウェイクアップ電流検出回路			90	120	μA		
発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25		0.1	1.0	μA		
	Ta = 85			10	μA		

表26．高速 CR発振回路電気的特性

(指定のない場合は、 $V_{CC}=AV_{CC}=3.3V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f4MCR	発振周波数	$V_{CC}=3.3V$	2.75	4.0	5.8	MHz
-	発振周波数温度依存性	$V_{CC}=AV_{CC}=3.3V$ 、 $-20 \sim 85$		0.3		%/

表27．32kHz CR発振回路電気的特性

(指定のない場合は、 $V_{CC}=AV_{CC}=3.3V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	外付け抵抗、コンデンサ許容誤差	抵抗、コンデンサのトータル誤差		10	15	%
-	発振周波数調整抵抗分解能		0.04		0.07	kHz
-	発振周波数電源電圧依存性	$T_a=25$		0.5		%
-	発振周波数温度依存性	$V_{CC}=AV_{CC}=3.3V$ 、 $-20 \sim 85$		0.5		%
	発振周波数電源電圧温度依存性				2	%

A/Dコンバータ特性

表28 . A/Dコンバータ特性

(指定のない場合は , $V_{CC}=3.0 \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a= - 20 \sim 85$, $f(X_{IN})=4MHz$, $f(X_{CIN})=32kHz$)

記 号	項 目	測 定 条 件	規 格 値			単 位
			最 小	標 準	最 大	
-	分解能				10	bit
-	絶対精度(量子化誤差は除く)				± 4	LSB
tCONV	変換時間	高速モード及び中速モード			61	tc()
		低速モード		40		μs
RLADDER	ラダー抵抗			35		k
I _{VREF}	基準電源	V _{REF} =3.3V	40	100	140	μA
	V _{REF} 接続時					
	入力電流				5.0	μA
I _{I(AD)}	A/Dポート入力電流			0.5	5.0	μA

表29 . 電流積算回路 電気的特性

($V_{CC}=AV_{CC}=3.3V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a= - 20 \sim 85$, $f(X_{IN})=4MHz$, $f(X_{CIN})=32kHz$)

記 号	項 目	測 定 条 件	規 格 値			単 位
			最 小	標 準	最 大	
t _{INF}	積算周期			125		ms
V _{I_{SENS1}}	I _{SENS1} 入力レンジ		- 0.2		0.2	V
t _{CAL}	キャリブレーション時間		15.625		125	ms
t _{CONV_{INF}}	ADモード時AD変換時間		12	15	18	μs
A _D	放電積分回路定数		0.68	1.00	1.35	$\mu V \cdot sec$
A _C	充電積分回路定数		0.68	1.00	1.35	$\mu V \cdot sec$
t _{RD}	放電積分回路リセット時間			300		nsec
t _{RC}	充電積分回路リセット時間			300		nsec
b'	0V入力時カウント数		- 2400		2400	-
V _{REFD}	放電側内部基準電位		0.09	0.1	0.11	V
V _{REFC}	充電側内部基準電位		- 0.11	- 0.1	- 0.09	V
-	リセット時間補正後直線性誤差	$V_{CC}=3.3 \pm 2\%$, $T_a= 0 \sim 60$			1	%
		$V_{CC}=3.3 \pm 2\%$, $T_a= -20 \sim 85$			3	%

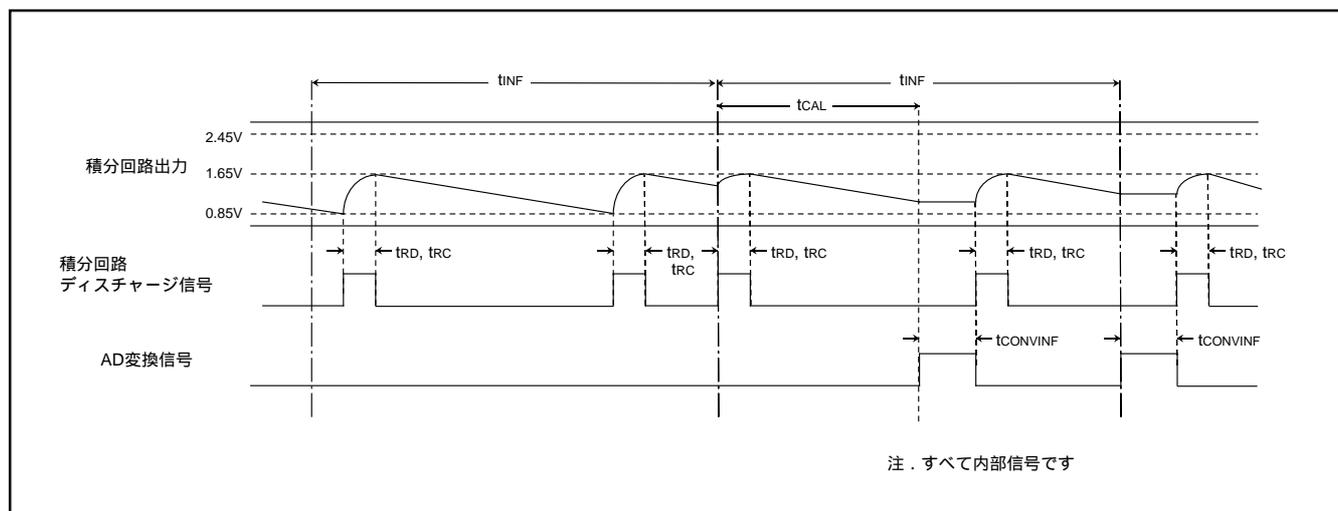


図84 . 電流積算回路タイミング図

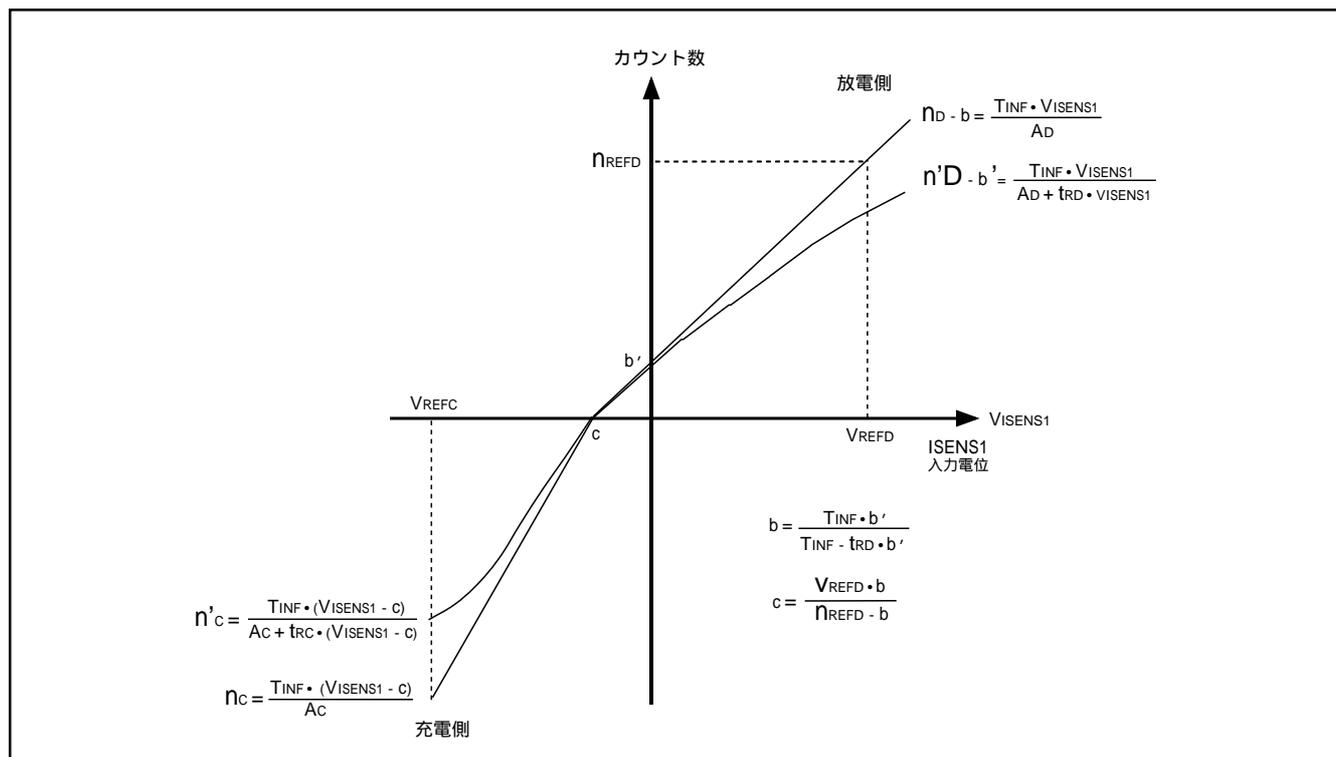


図85 . 電流積算回路 VISENS1-カウント数特性

表30 . 過電流検出回路 電気的特性

(VCC=AVCC=3.3V ± 2%, VSS=AVSS=0V, Ta= - 20 ~ 85 , f(XIN)=4MHz, f(XCIN)=32kHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	短絡電流検出電圧誤差				± 15	mV
-	過電流検出電圧誤差				± 15	mV
-	ウェイクアップ検出電圧		8	10	12	mV
-	短絡電流検出時間誤差				30.5	μs
-	過電流検出時間誤差				30.5	μs
-	ウェイクアップ検出時間		58.6		62.5	ms

タイミング必要条件

表31. タイミング必要条件

(指定のない場合は、Vcc=3.0~3.6V, Vss=0V, Ta= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tC(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“H”パルス幅	100			ns
tWL(XIN)	外部クロック入力“L”パルス幅	100			ns
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
tWH(INT)	INT0 ~ INT3入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT3入力“L”パルス幅	230			ns
tC(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tC(SCLK2)	シリアル/O2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅 (注)	950			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A16番地のビット6が* 1 (クロック同期式モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が* 0 (非同期式モード)の場合は、値は1/4になります。

スイッチング特性

表32 . スイッチング特性

(指定のない場合は、Vcc=3.0 ~ 3.6V, Vss=0V, Ta= - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図87	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
tV (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				400	ns
tV (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1 . tWH (SCLK1)、tWL (SCLK1)に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が* 0 の場合です。

2 . シリアル/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が* 0 の場合です。

3 . XOUT端子を除きます。

マルチマスタ²C-BUSバスライン特性

表33 . マルチマスタ²C-BUSバスライン特性

記号	項目	測定条件	標準クロックモード		高速クロックモード		単位
			最小	最大	最小	最大	
tBUF	バスタイム	図86	4.7		1.3		μs
tHD:STA	スタートコンディション時のホールド時間		4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間		4.7		1.3		μs
tR	SCL、SDA信号の立ち上がり時間			1000	20+0.1Cb (注)	300	ns
tHD:DAT	データのホールド時間		0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間		4.0		0.6		μs
tF	SCL、SDA信号の立ち下がり時間			300	20+0.1Cb (注)	300	ns
tSU:DAT	データのセットアップ時間		250		100		ns
tSU:STA	リスタートコンディション時のセットアップ時間		4.7		0.6		μs
tSU:STO	ストップコンディション時のセットアップ時間		4.0		0.6		μs

(注) Cb = 1つのバスラインキャパシタの合計

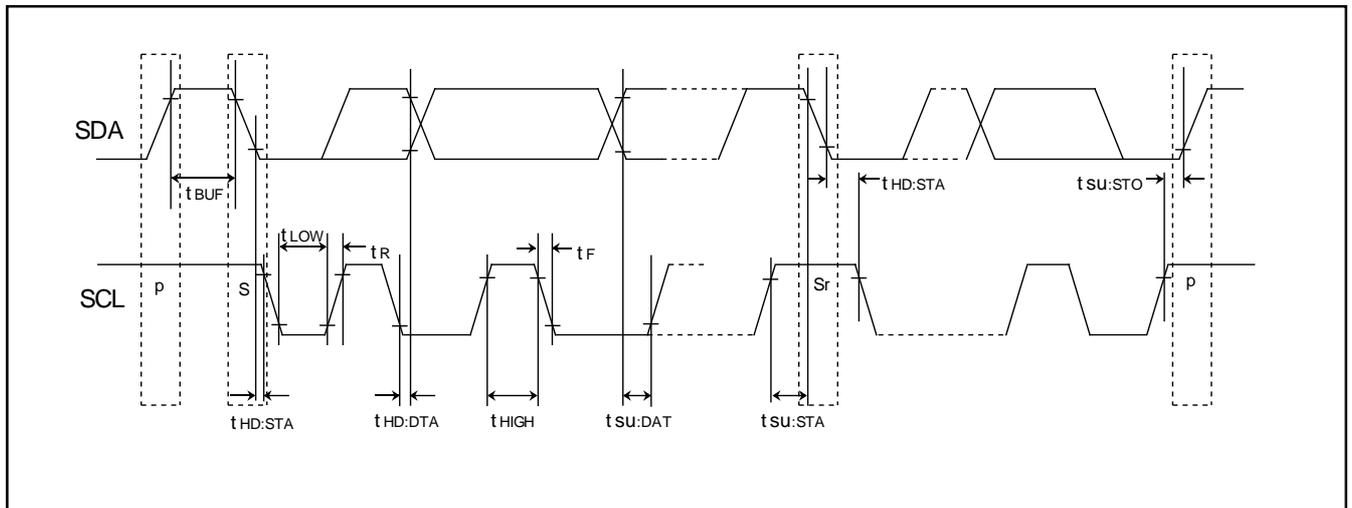


図86 . マルチマスタ²C-BUSタイミング定義図

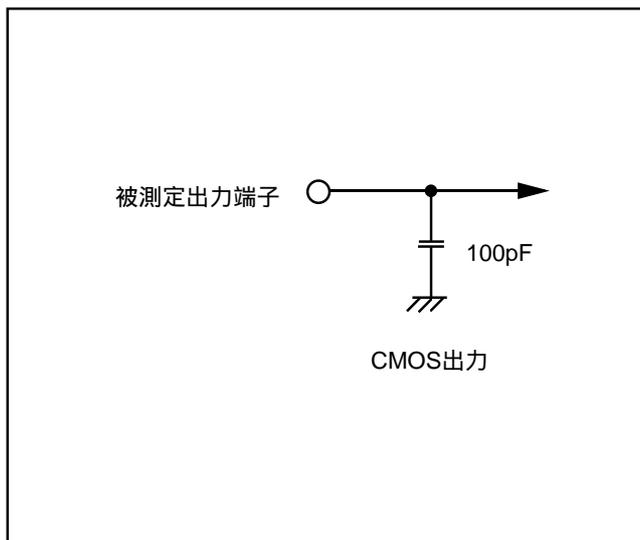


図87 . 出力スイッチング特性測定回路図

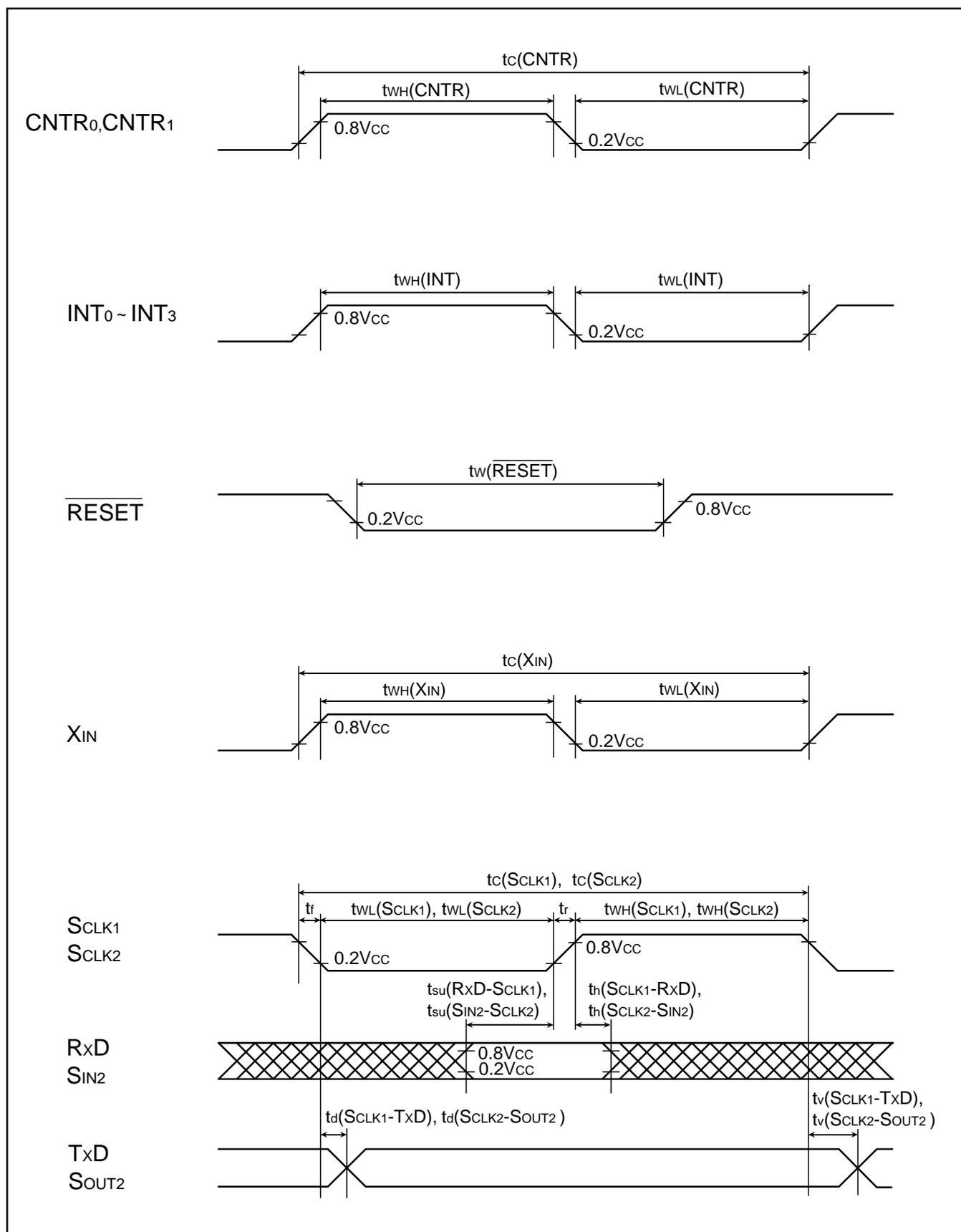


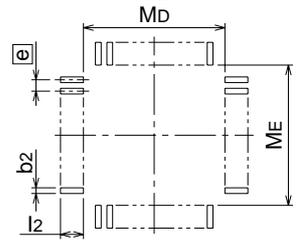
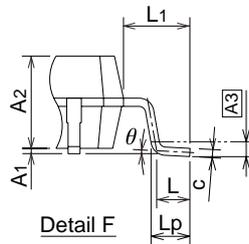
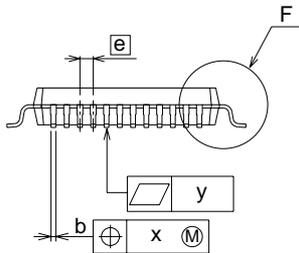
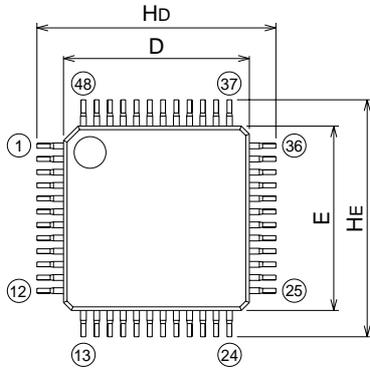
図88 . タイミング図

外形寸法図

48P6Q-A

Plastic 48pin 7X7mm body LQFP

EIAJ Package Code LQFP48-P-77-0.50	JEDEC Code -	Weight(g) -	Lead Material Cu Alloy
---------------------------------------	-----------------	----------------	---------------------------



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	-	0.5	-
Hd	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.35	0.5	0.65
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	8°
b2	-	0.225	-
l2	1.0	-	-
Md	-	7.4	-
ME	-	7.4	-

株式会社 **ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たっては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
中	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
部	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	支	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com