

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

7516グループ(H仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、I²C-BUSインタフェース、A-D変換器を内蔵しており、家電、OA機器に最適です。

特長

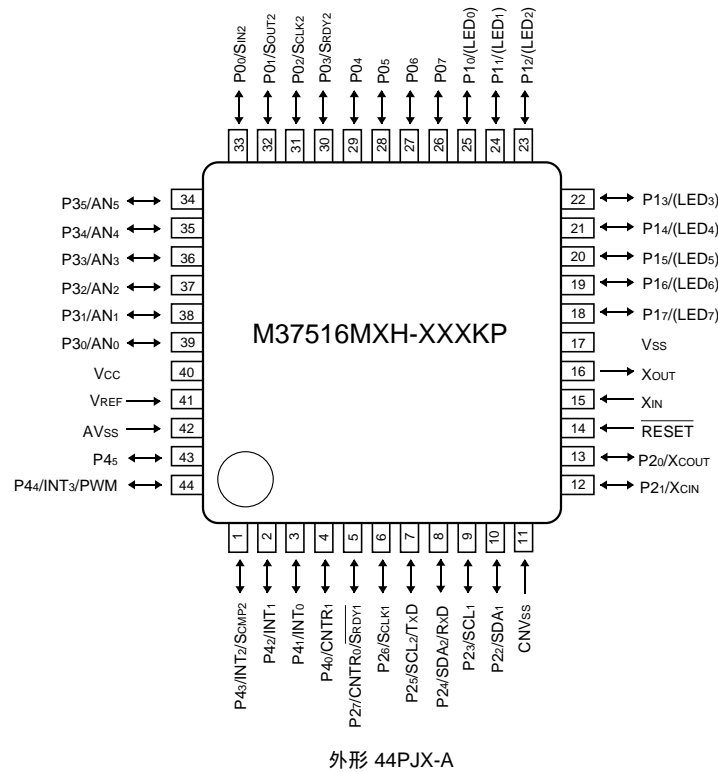
基本機械語命令	71
命令実行時間	0.5 μs
(最短命令、発振周波数8MHz時)	
メモリ容量 ROM	16K~24Kバイト
RAM	512~640バイト
プログラブル入出力ポート	36本
割り込み	17要因、16ベクタ
タイマ	8ビット×4
シリアルI/O1	8ビット×1
(UART又はクロック同期形)	
シリアルI/O2	8ビット×1
(クロック同期形)	
マルチマスタI ² C-BUSインタフェース	1系統
(オプション)	
PWM	8ビット×1

A-D変換器	10ビット分解能×6チャンネル
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶発振子外付け)	
ウオッチドッグタイマ	16ビット×1
電源電圧	
高速モード時	4.0~5.5V
(発振周波数8MHz時)	
	2.7~5.5V
(発振周波数4MHz時)	
中速モード時	2.7~5.5V
(発振周波数8MHz時、中速モード選択時)	
低速モード時	2.7~5.5V
(発振周波数32kHz時)	
消費電力	
高速モード時	34mW
(発振周波数8MHz時、電源電圧5V)	
低速モード時	60 μW
(発振周波数32kHz時、電源電圧3V)	
動作周囲温度	-20~85

応用

OA機器、FA機器、家電、民生機器など

ピン接続図(上面図)



外形 44PJX-A

図1. M37516MXH-XXXXPのピン接続図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

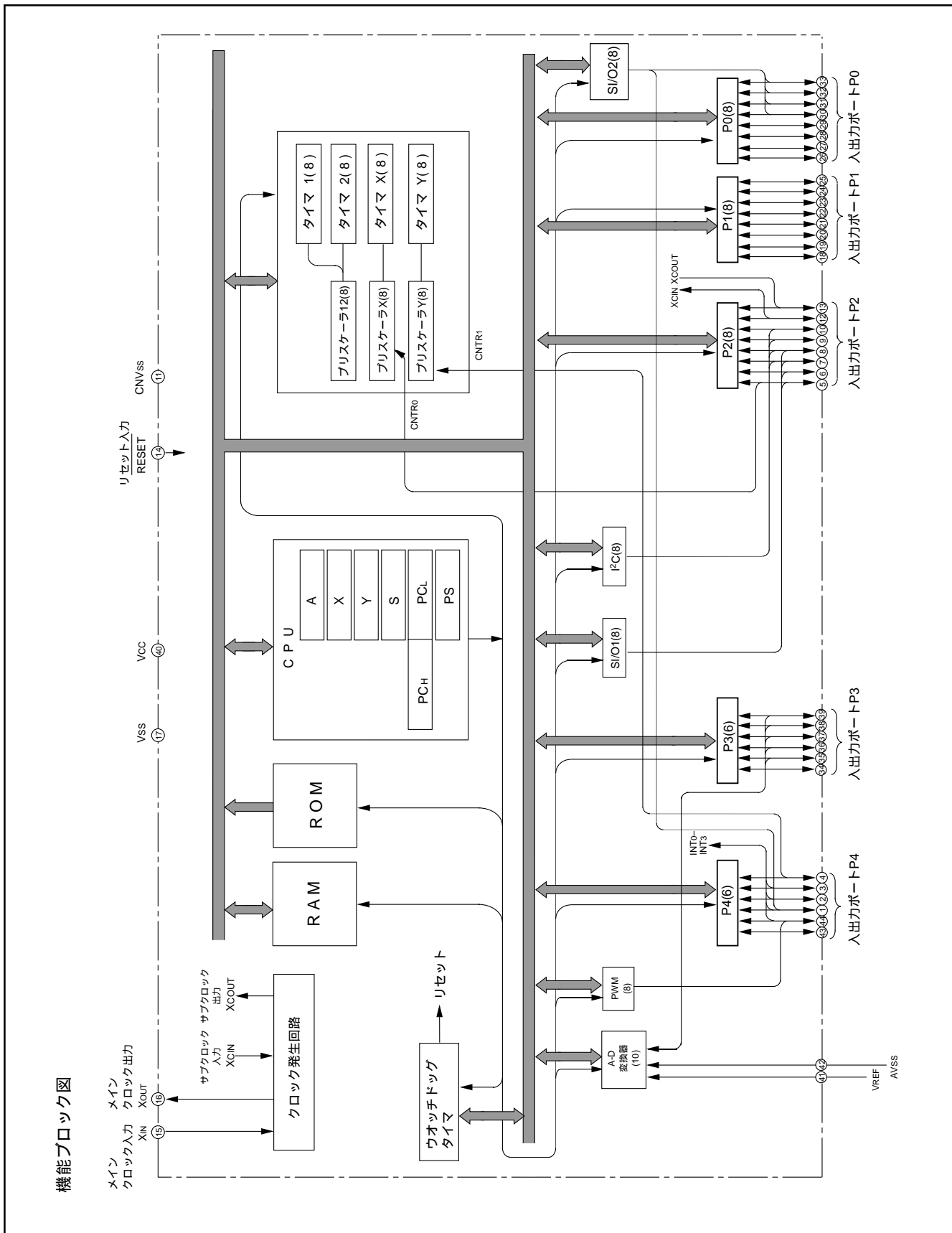


図2. 機能ブロック図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
VCC, VSS	電源入力	VCCに2.7~5.5V, VSSに0Vを印加します。	
CNVSS	CNVSS	チップの動作モードを制御する端子で通常はVSSに接続します。	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AVSS	アナログ電源入力	A-D変換器のアナログ電源入力端子です。VSSに接続してください。	
RESET	リセット入力	アクティブL'のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2 P04~P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。P10~P17の8ビットはLED駆動出力用の大電流出力が可能です。	シリアル/O2機能端子
P10~P17			入出力ポートP1
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、P22~P25はI ² C-BUSインタフェース機能端子として使用した場合、CMOS/SMBUS入力レベルの切り替えが可能です。出力形式は、P20, P21, P24~P27がCMOS3ステートで、このうちP24, P25はI ² C-BUSインタフェース機能端子として使用した場合は、Nチャネルオープンドレインとなります。また、P22, P23はNチャネルオープンドレインです。	サブクロック発生入出力端子 (共振子を接続します。)
P22/SDA1 P23/SCL1			I ² C-BUSインタフェース機能端子
P24/SDA2/RXD P25/SCL2/TXD			I ² C-BUSインタフェース機能端子 / シリアル/O1機能端子
P26/SCLK			シリアル/O1機能端子
P27/CNTR0/ SRDY1			シリアル/O1機能端子 / タイマX機能端子
P30/AN0~ P35/AN5	入出力ポートP3	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 / SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子 / PWM出力端子
P45			

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

形名とメモリサイズ・パッケージ

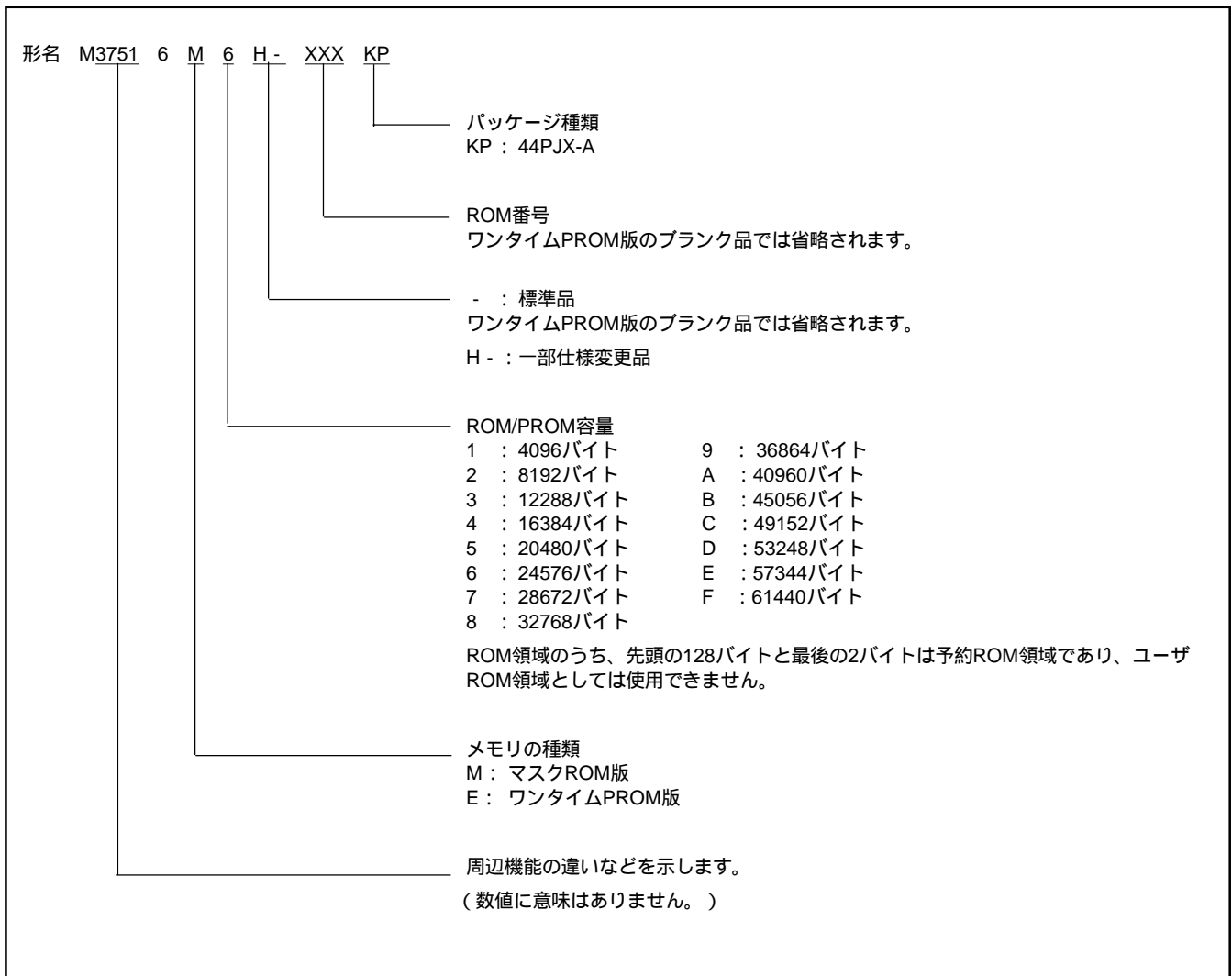


図3. 形名とメモリサイズ・パッケージ

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

グループ展開

7516グループ(H仕様)は次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版のサポート

メモリ容量

ワンタイムPROM容量 24Kバイト

マスクROM容量 16K~24Kバイト

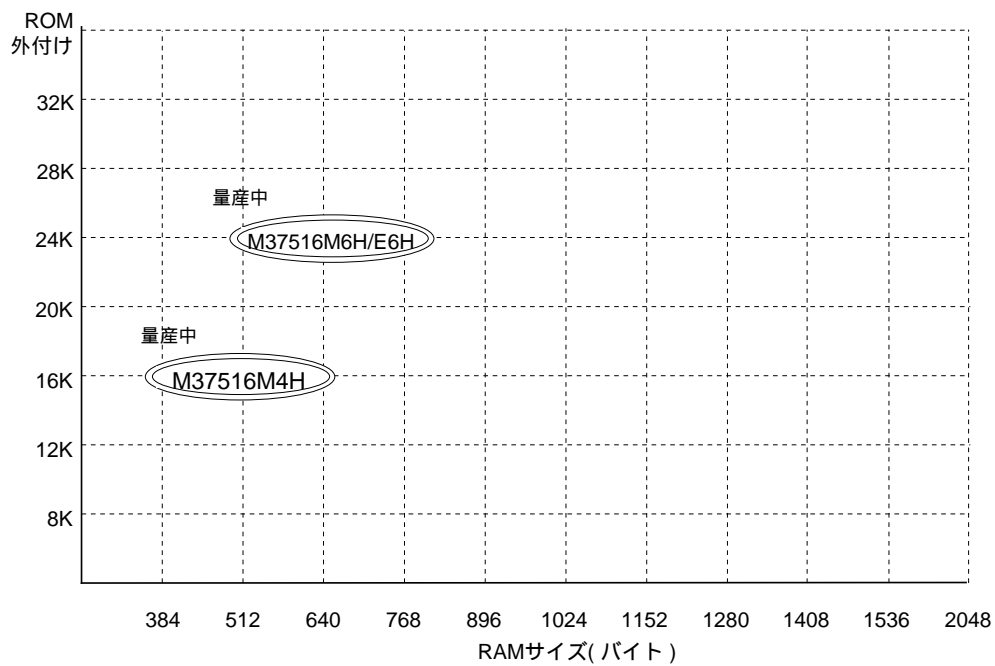
RAM容量 512~640バイト

パッケージ

44PJX-A 44ピンプラスチックモールドQFN

7516グループ(H仕様) ROM、RAM展開

ROM サイズ (バイト)



注：開発中の製品については開発スケジュールなどを見直す場合があります。

図4. ROM及びRAM展開

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

製品一覧を下記に示します。

表2. 製品一覧

2002年10月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM(バイト)	パッケージ	備考
M37516M4H-XXXXP	16384 (16254)	512	44PJX-A	マスクROM版
M37516M6H-XXXXP	24576	640		
M37516E6HKP	(24446)			ワンタイムPROM版(ブランク品)

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

機能ブロック動作説明

中央演算処理装置 (CPU)

7516グループ(H仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下の通りです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

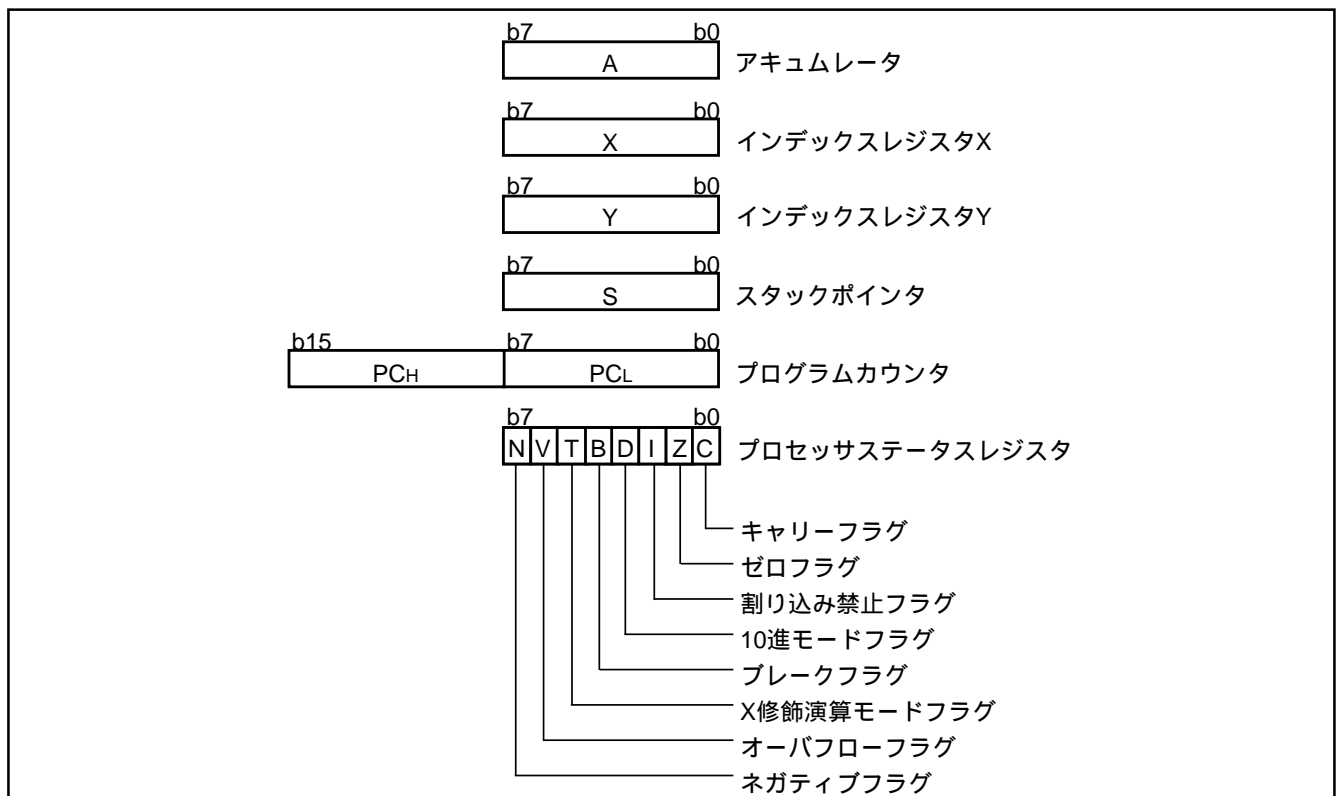


図5. 740ファミリ CPUの構成

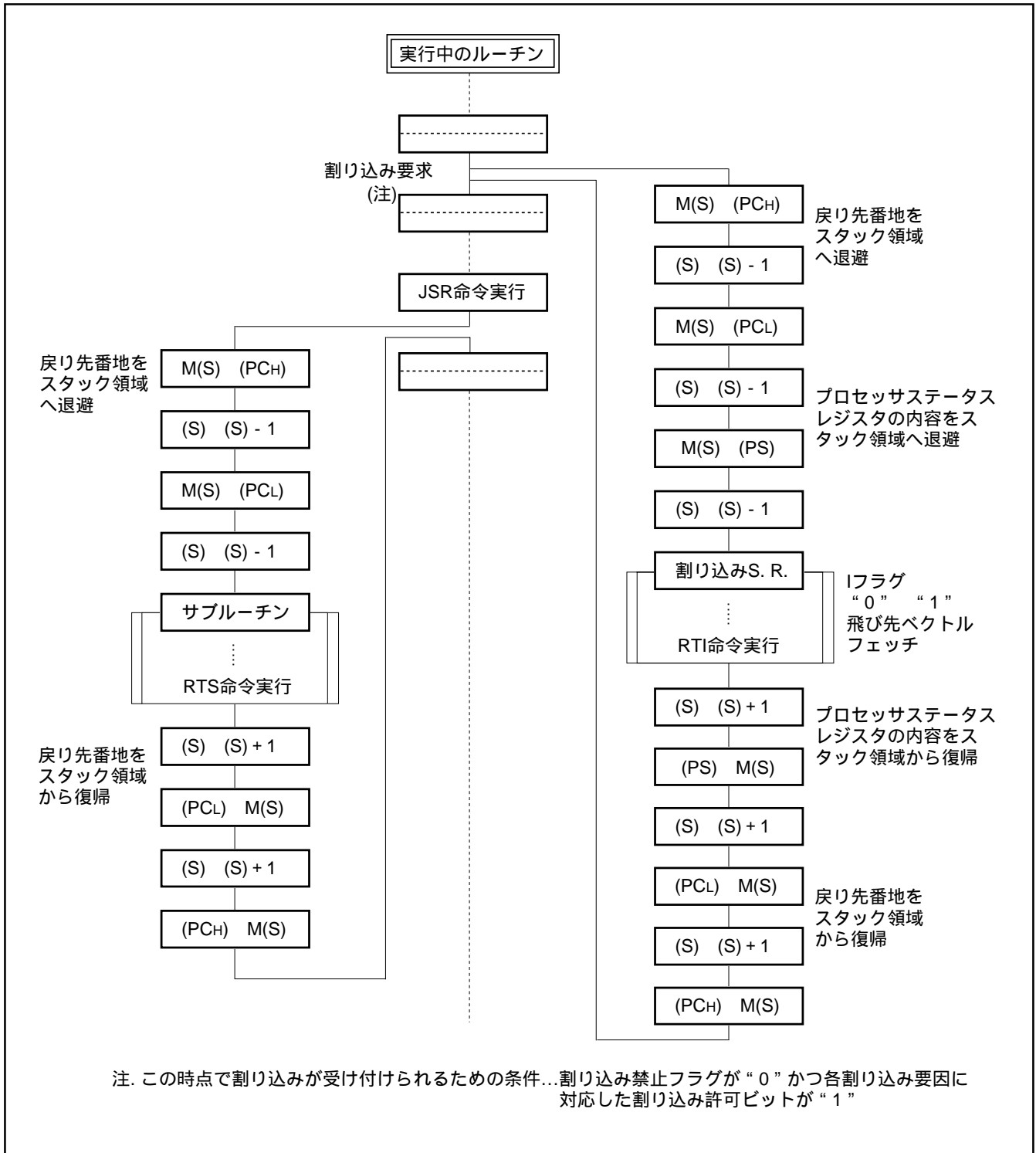


図6. スタックへの退避及び復帰動作

表3. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使われます。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

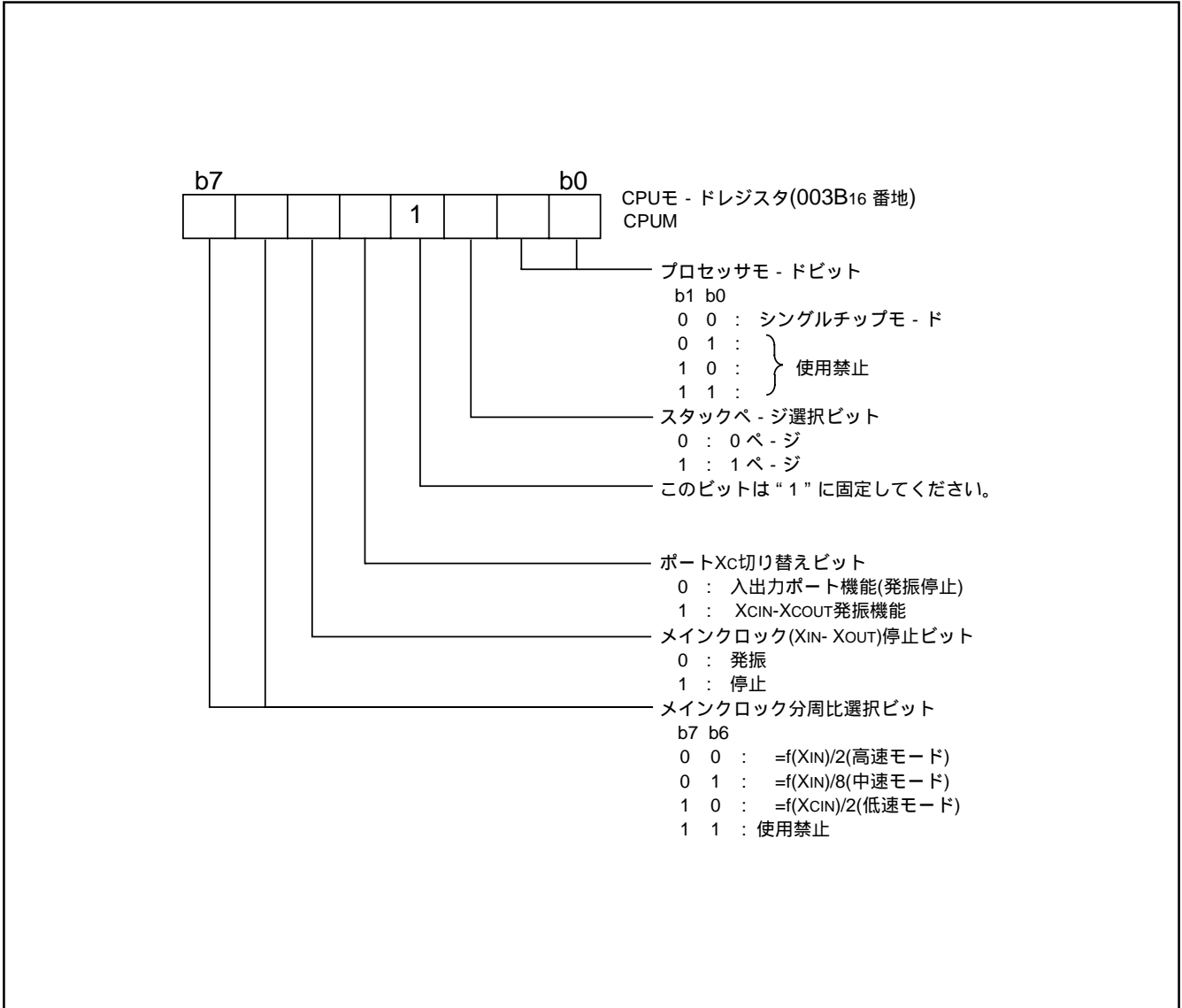


図7 . CPUモードレジスタの構成

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

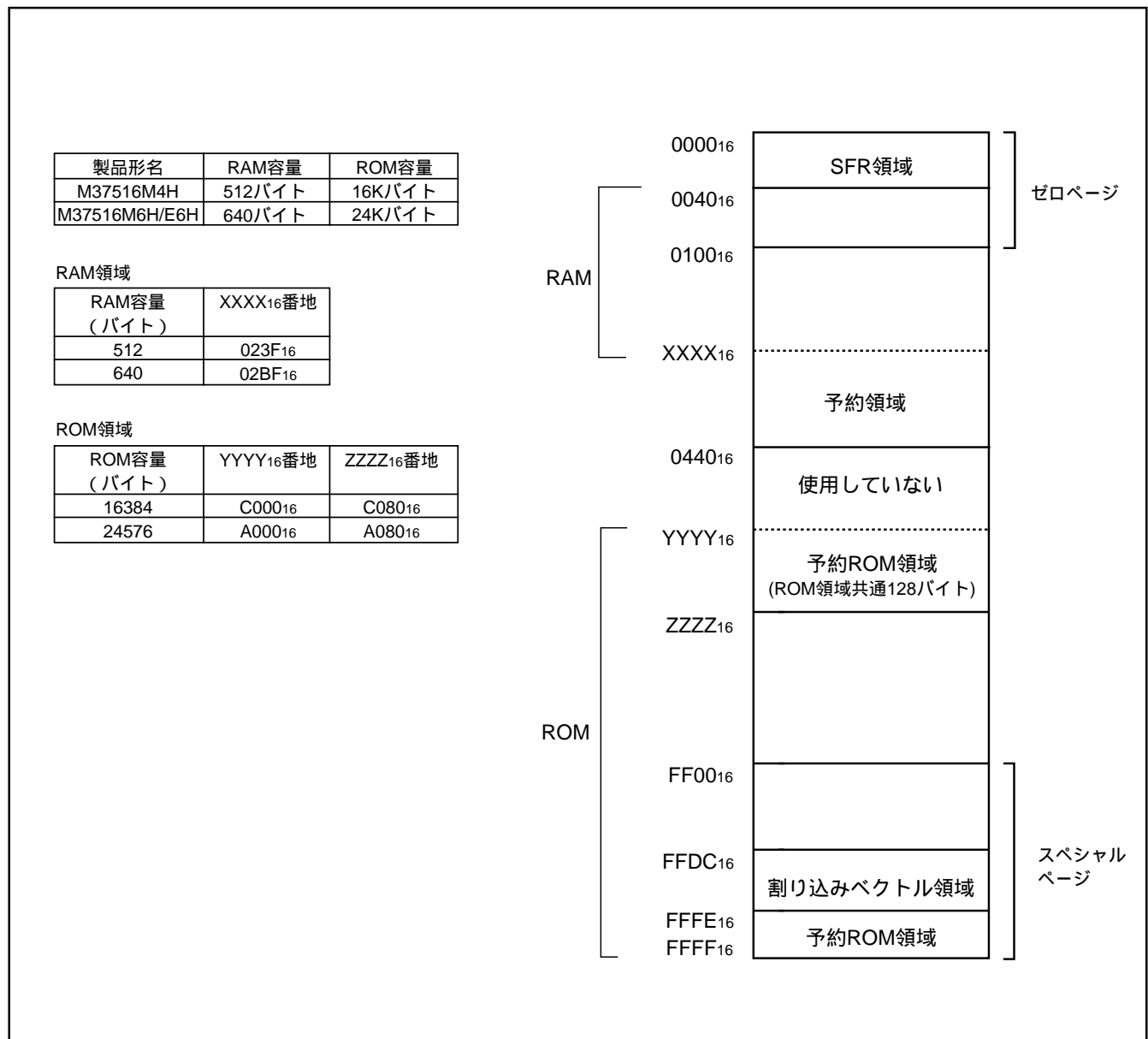


図8. メモリ配置図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	I ² Cデータシフトレジスタ(S0)
000C ₁₆		002C ₁₆	I ² Cアドレスレジスタ(S0D)
000D ₁₆		002D ₁₆	I ² Cステータスレジスタ(S1)
000E ₁₆		002E ₁₆	I ² Cコントロールレジスタ(S1D)
000F ₁₆		002F ₁₆	I ² Cクロックコントロールレジスタ(S2)
0010 ₁₆		0030 ₁₆	I ² Cスタート/ストップコンディション制御レジスタ(S2D)
0011 ₁₆		0031 ₁₆	予約(注)
0012 ₁₆	予約(注)	0032 ₁₆	
0013 ₁₆	予約(注)	0033 ₁₆	
0014 ₁₆	予約(注)	0034 ₁₆	A-D制御レジスタ(ADCON)
0015 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	A-D変換下位レジスタ(ADL)
0016 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	A-D変換上位レジスタ(ADH)
0017 ₁₆	シリアル/O2レジスタ(SIO2)	0037 ₁₆	
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注・予約領域のため、何もデータを書き込まないでください。

図9 . SFR(スペシャルファンクションレジスタ)メモリマップ

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表5. 入出力ポートの機能一覧

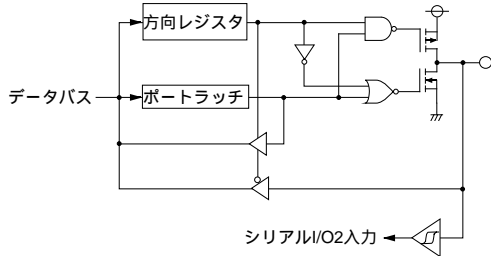
端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力	シリアル/O2制御レジスタ	(1)
(2)						
P04 ~ P07						(3)
P10 ~ P17	ポートP1					(4)
P20/XCOUT, P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(5)
P22/SDA1, P23/SCL1						
P24/SDA2/RxD, P25/SCL2/TxD			CMOS入力レベル CMOS/SMBUS入力レベル (I ² C-BUSインタフェース 機能選択時) Nチャンネルオープンドレ イン出力	I ² C-BUSインタフェース機 能入出力	I ² Cコントロールレジ スタ	(7)
P26/SCLK			CMOS入力レベル CMOS/SMBUS入力レベル (I ² C-BUSインタフェース 機能選択時) CMOS3ステート出力 Nチャンネルオープンドレ イン出力(I ² C-BUSインタ フェース機能選択時)	I ² C-BUSインタフェース機 能入出力/ シリアル/O1機能入出力	I ² Cコントロールレジ スタ シリアル/O1制御 レジスタ	(8)
P27/CNTR0/ SRDY1			CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力	シリアル/O1制御 レジスタ	(9)
P30/AN0 ~ P35/AN5	ポートP3			シリアル/O1機能入出力 タイマX機能入出力	シリアル/O1制御 レジスタ タイマXYモードレジ スタ	(10)
P40/CNTR1	ポートP4			A-D変換入力	A-D制御レジスタ	(11)
P41/INT0 P42/INT1				タイマY機能入出力	タイマXYモードレジ スタ	(12)
P43/INT2/ SCMP2				外部割り込み入力	割り込みエッジ選択 レジスタ	(13)
P44/INT3/PWM				外部割り込み入力 SCMP2出力	割り込みエッジ選択 レジスタ シリアル/O2制御 レジスタ	(14)
P45				外部割り込み入力 PWM出力	割り込みエッジ選択 レジスタ PWM制御レジスタ	(15)
						(16)
						(17)
						(18)
						(5)

注. ポートP3及びP4のビット6,7を読み出した場合、その内容は不定となります。

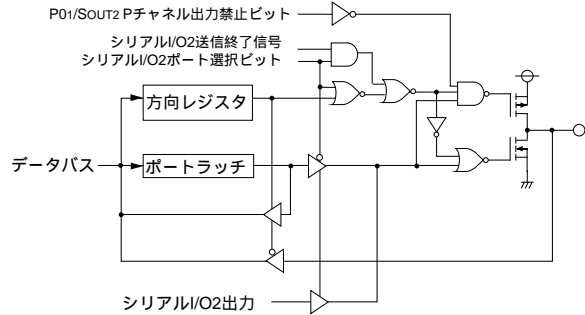
三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

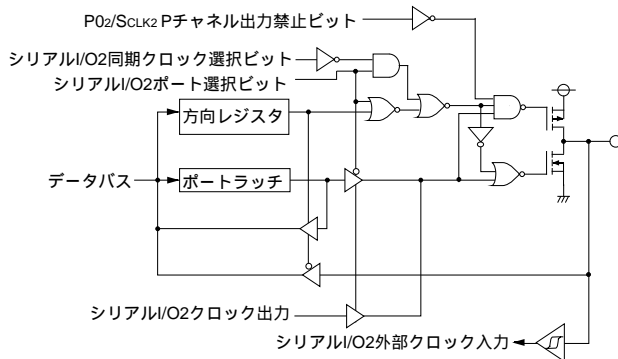
(1)ポートP00



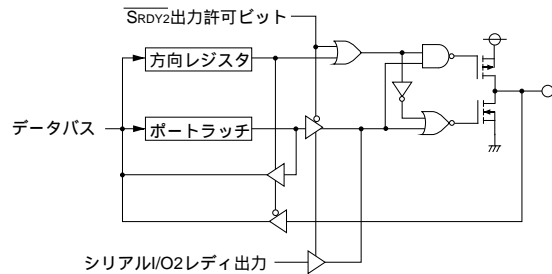
(2)ポートP01



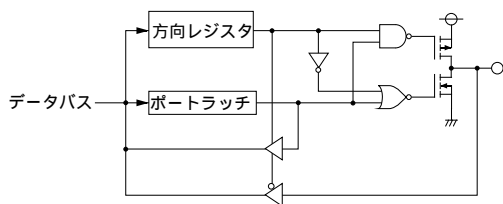
(3)ポートP02



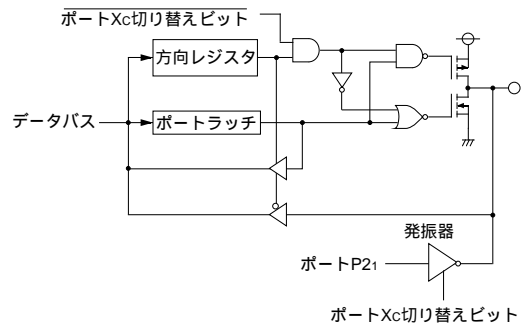
(4)ポートP03



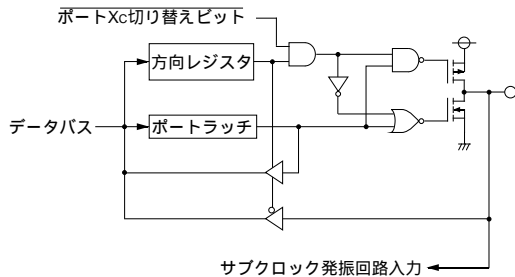
(5)ポートP04 - P07, P1, P45



(6)ポートP20



(7)ポートP21



(8)ポートP22

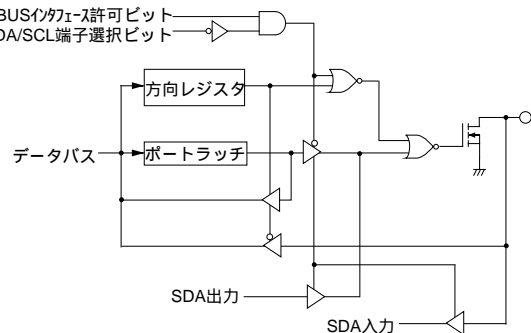
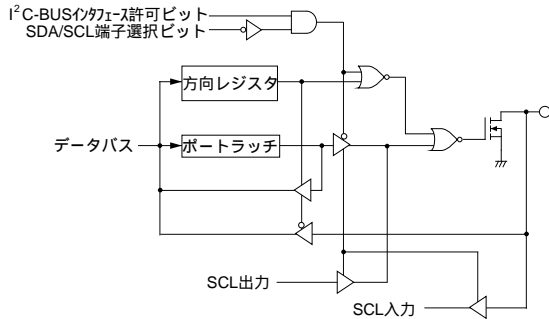


図10. ポートのブロック図(1)

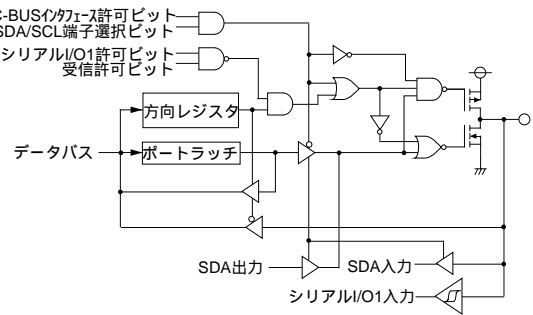
三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

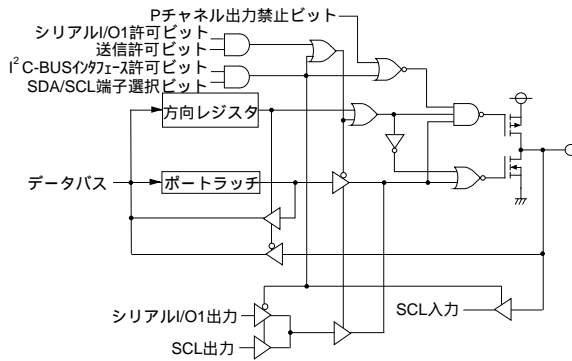
(9)ポートP23



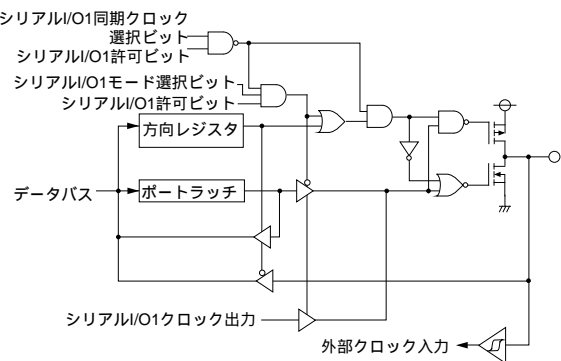
(10)ポートP24



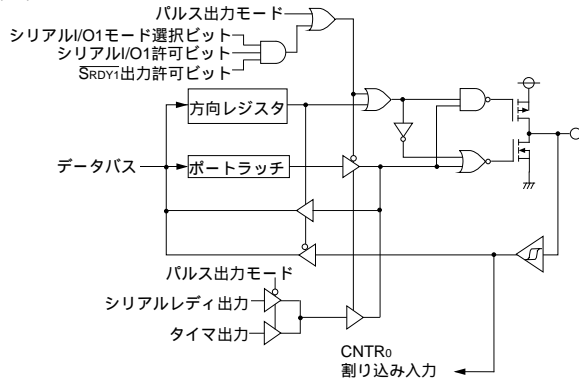
(11)ポートP25



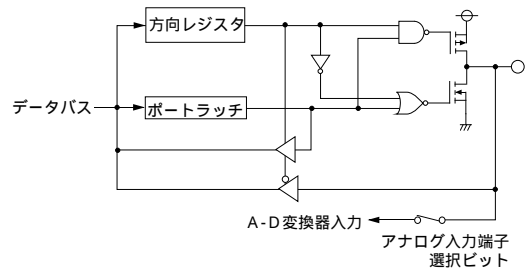
(12)ポートP26



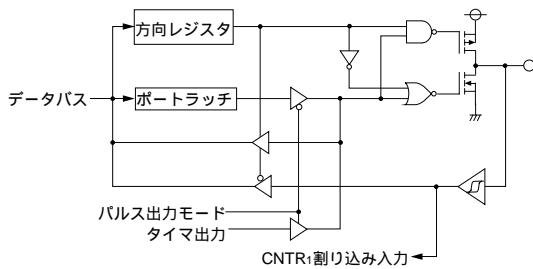
(13)ポートP27



(14)ポートP30 ~ P35



(15)ポートP40



(16)ポートP41, P42

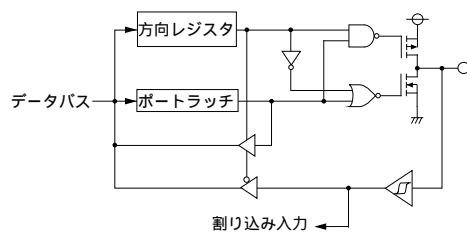


図11. ポートのブロック図(2)

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

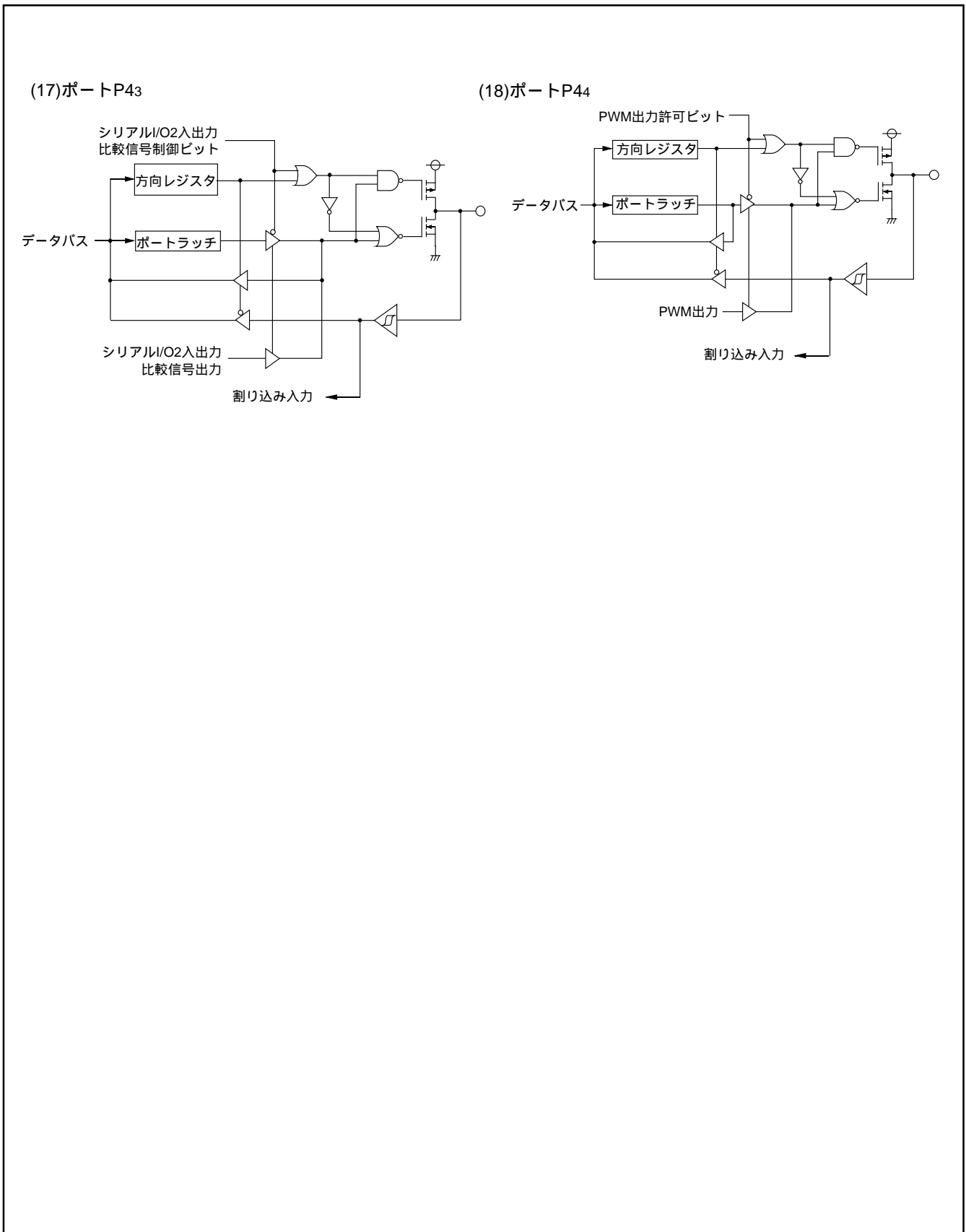


図12 . ポートのブロック図(3)

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

割り込み

割り込みはベクトル割り込みで、外部7要因、内部9要因、ソフトウェア1要因の17要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
SCL, SDA	3	FFF916	FFF816	SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT3/ シリアル/O2	6	FFF316	FFF216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
				シリアル/O2送受信完了時	シリアル/O2 / INT3割り込み要因ビットによる切り替え
I ² C	7	FFF116	FFF016	データ送受信終了時	
タイマX	8	FFEF16	FFEE16	タイマXアンダフロー時	
タイマY	9	FFED16	FFEC16	タイマYアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	
シリアル/O1受信	12	FFE716	FFE616	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE516	FFE416	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
A-D変換	16	FFDF16	FFDE16	A-D変換終了時	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
 タイマXYモードレジスタ(2316番地)
 I²Cスタート/ストップコンディション制御レジスタ(3016番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ①該当する割り込み許可ビットを“0”(禁止)にする。
- ②割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- ④該当する割り込み許可ビットを“1”(許可)にする。

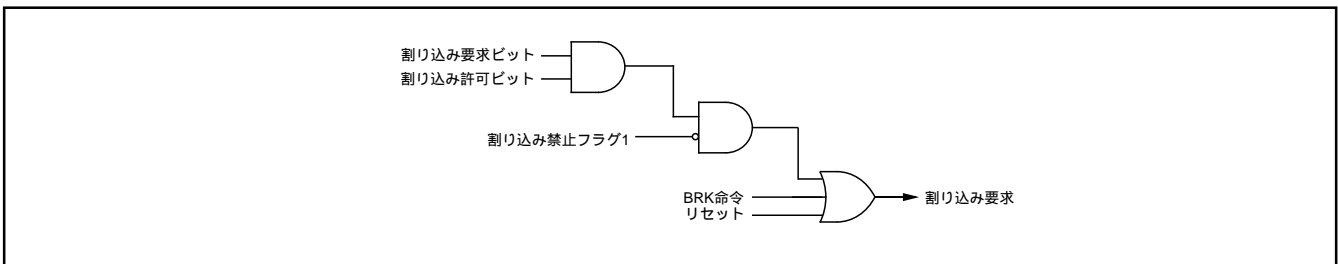


図13. 割り込み制御図

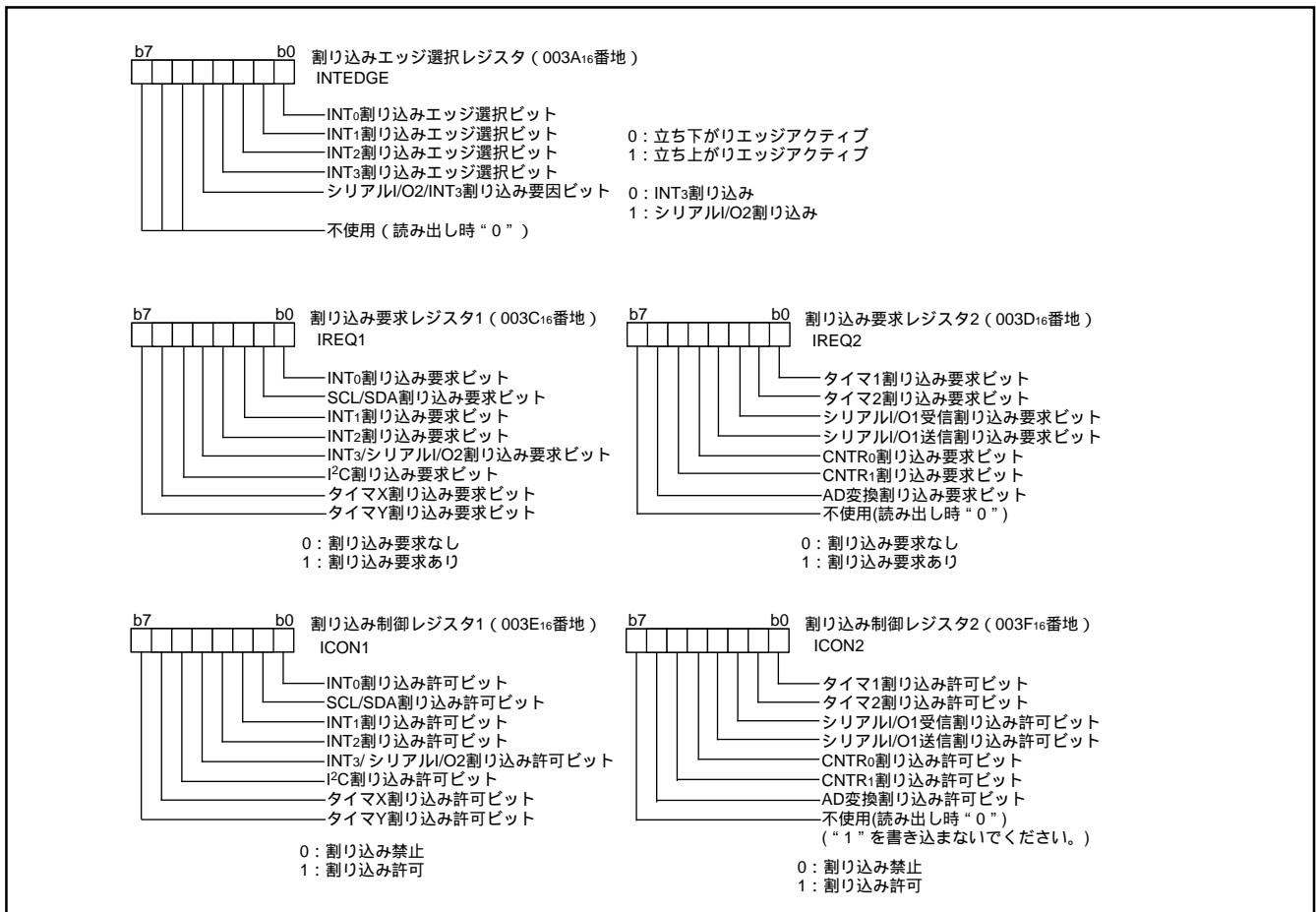


図14. 割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、

“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

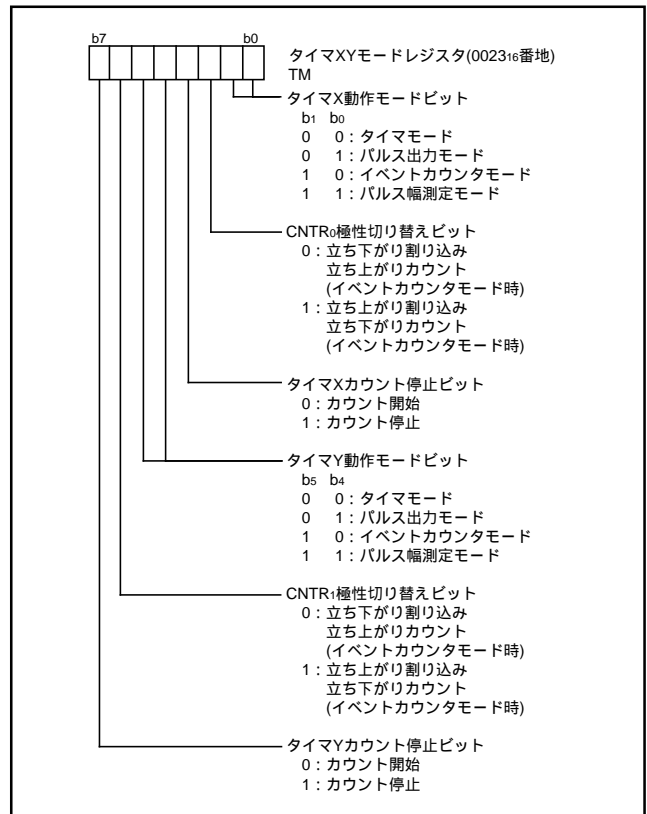


図15．タイマXYモードレジスタの構成

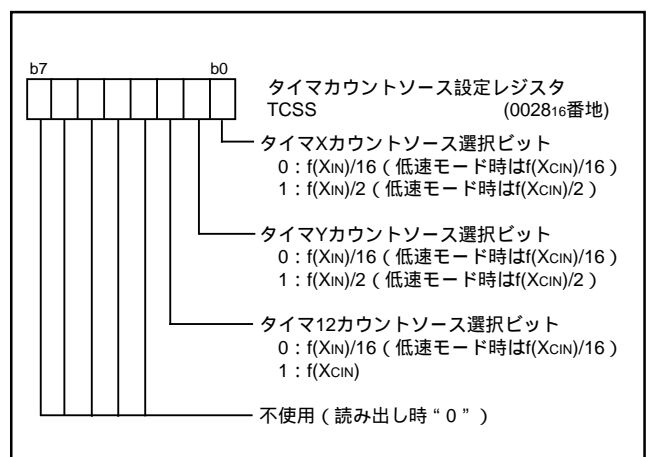


図16．タイマカウントソース設定レジスタの構成

■注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

タイマX/タイマYカウント停止ビットを‘1’にする命令を実行中にタイマX/タイマYがアンダフローした場合、タイマX/タイマY割り込み要求ビットが‘1’になります。このとき、タイマX/タイマYの割り込みが許可されていると、割り込みが受け付けられます。割り込みが受け付けられるタイミングは、タイマのアンダフローのタイミングにより、カウント停止ビットを‘1’にする命令の後の場合と、その次の命令の後の場合があります。この割り込みが不要な場合は、割り込み許可ビットを‘0’ (禁止)にした後、カウント停止ビットを‘1’にしてください。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

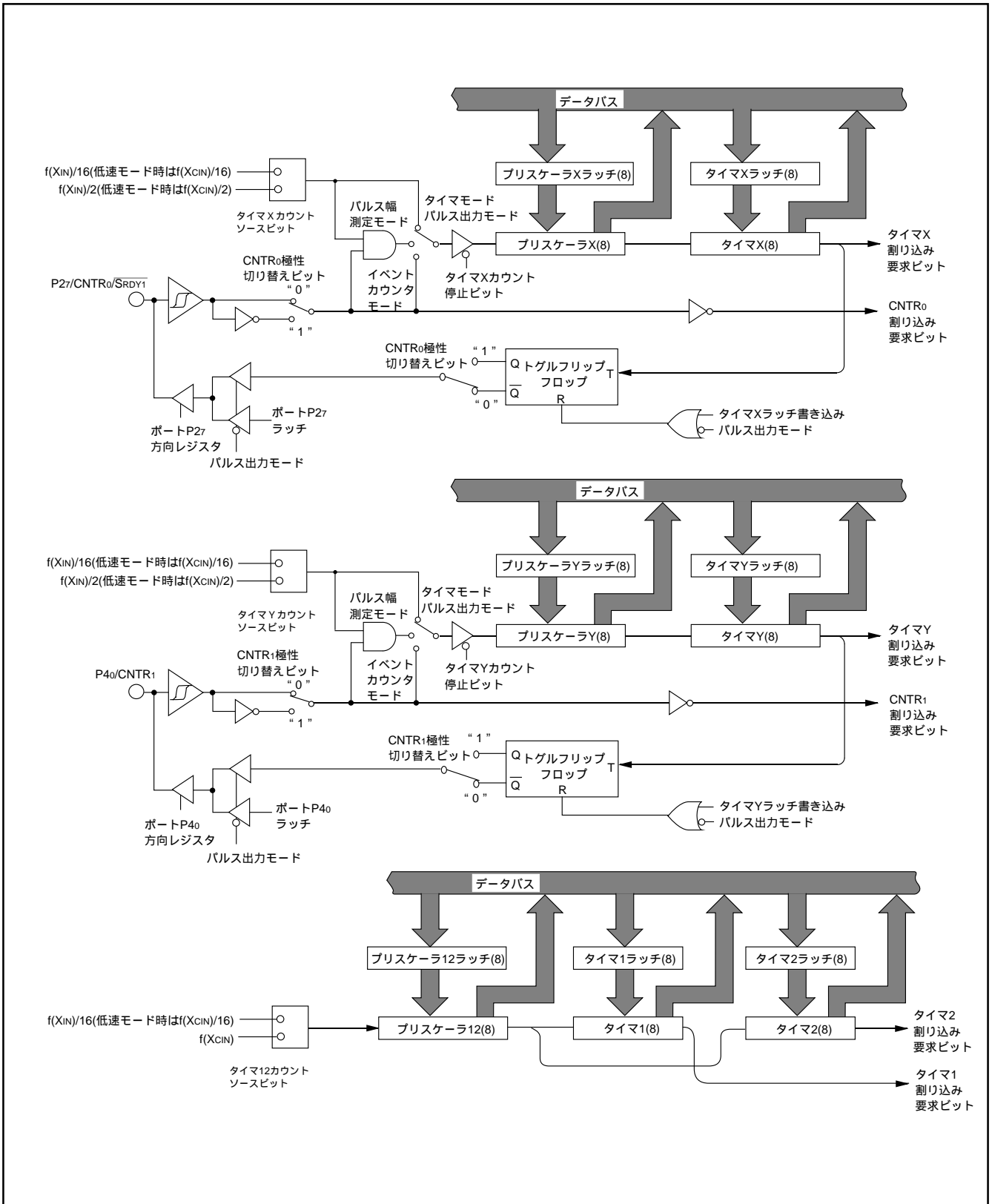


図17. タイマX, タイマY, タイマ1及びタイマ2のブロック図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

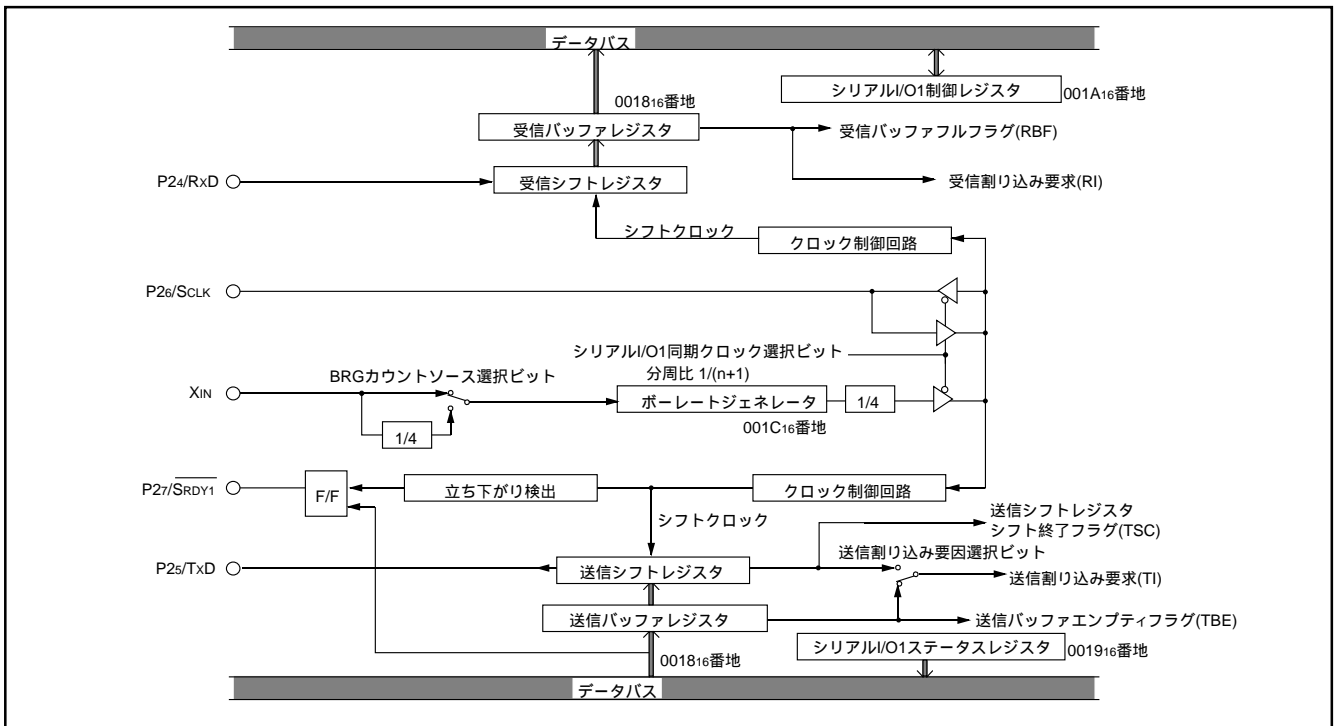


図18. クロック同期形シリアルI/O1ブロック図

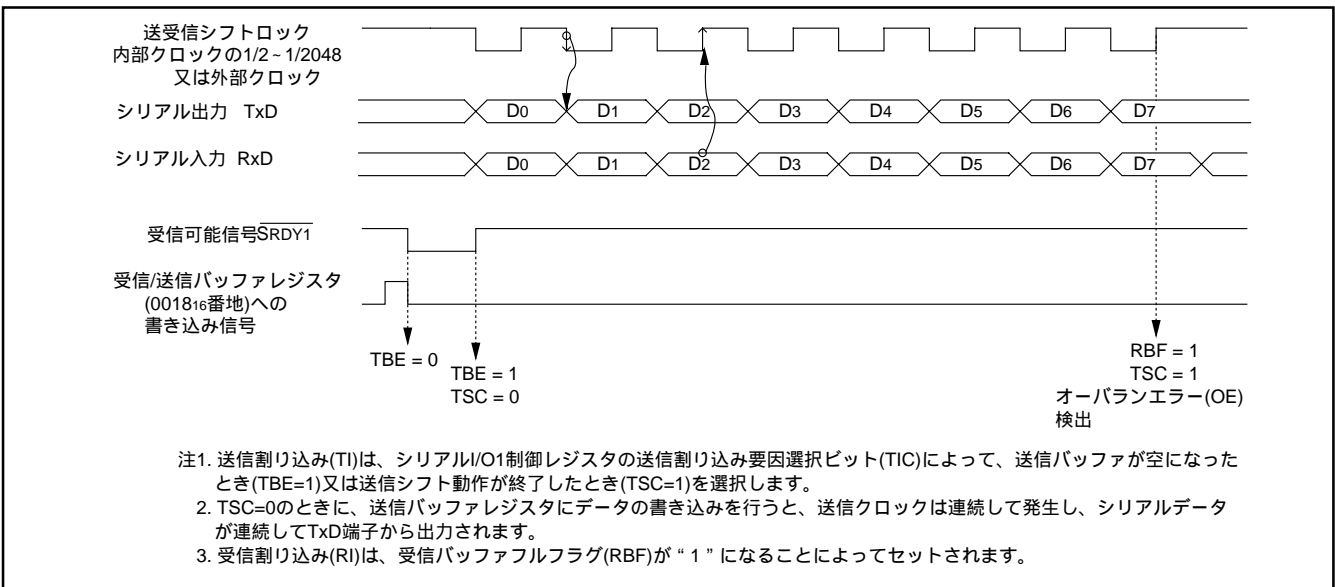


図19. クロック同期形シリアルI/O1動作図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、

受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます

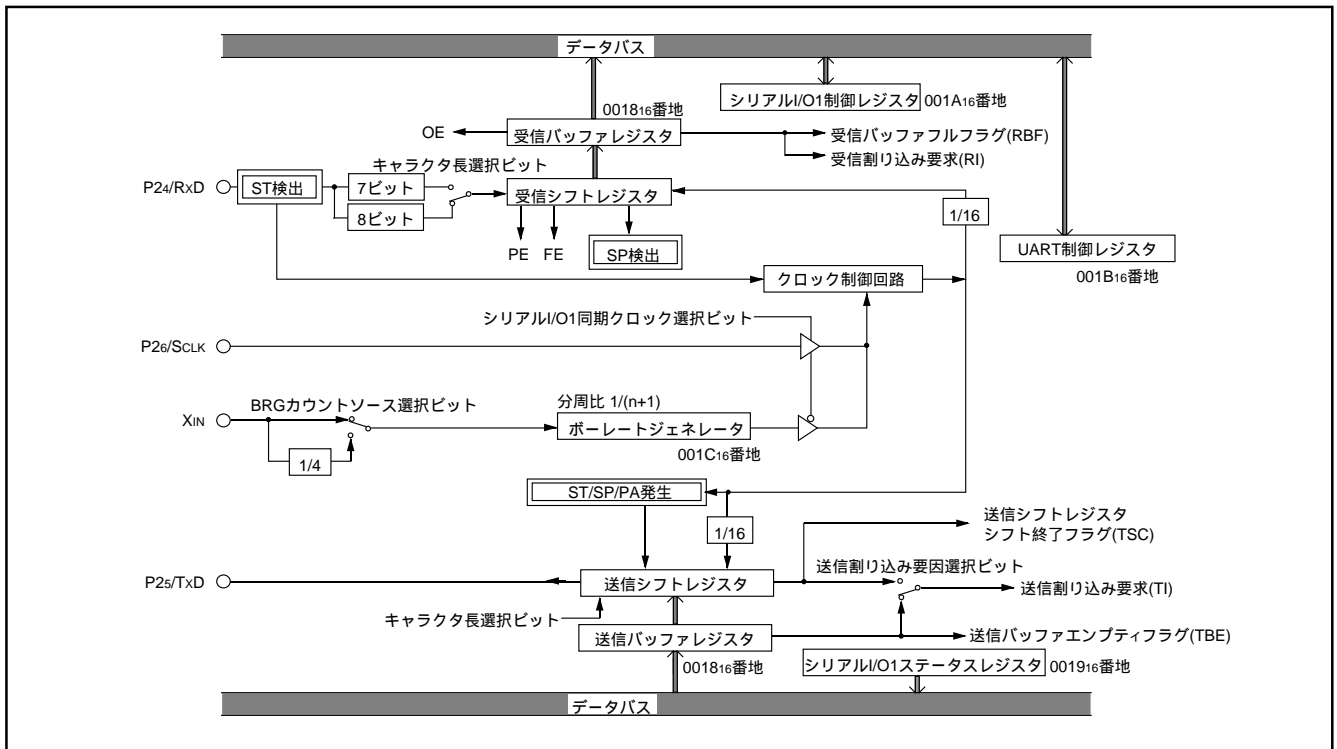


図20 . UART形シリアルI/O1ブロック図

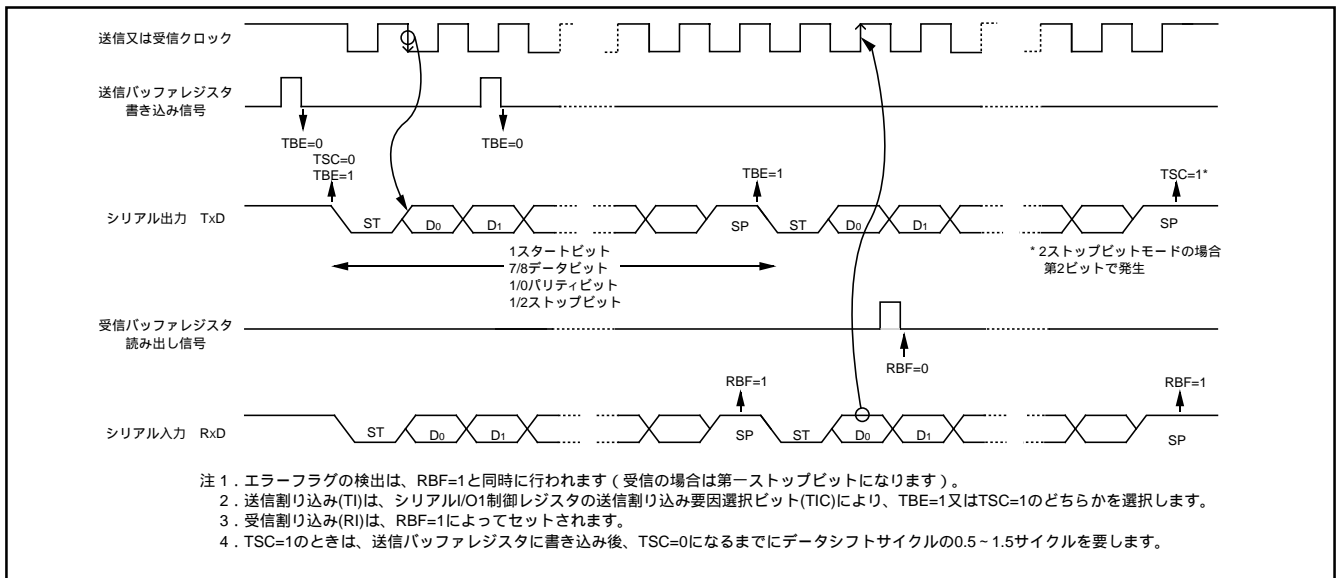


図21 . UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P2s/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

1. シリアルI/O1を使用する場合は、I²C-BUSインタフェース許可ビットを“0”にするか、SDA/SCL端子選択ビットを“0”にしてください。
2. シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。
 - ①シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
 - ②送信許可ビットを“1”にする。
 - ③一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
 - ④シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

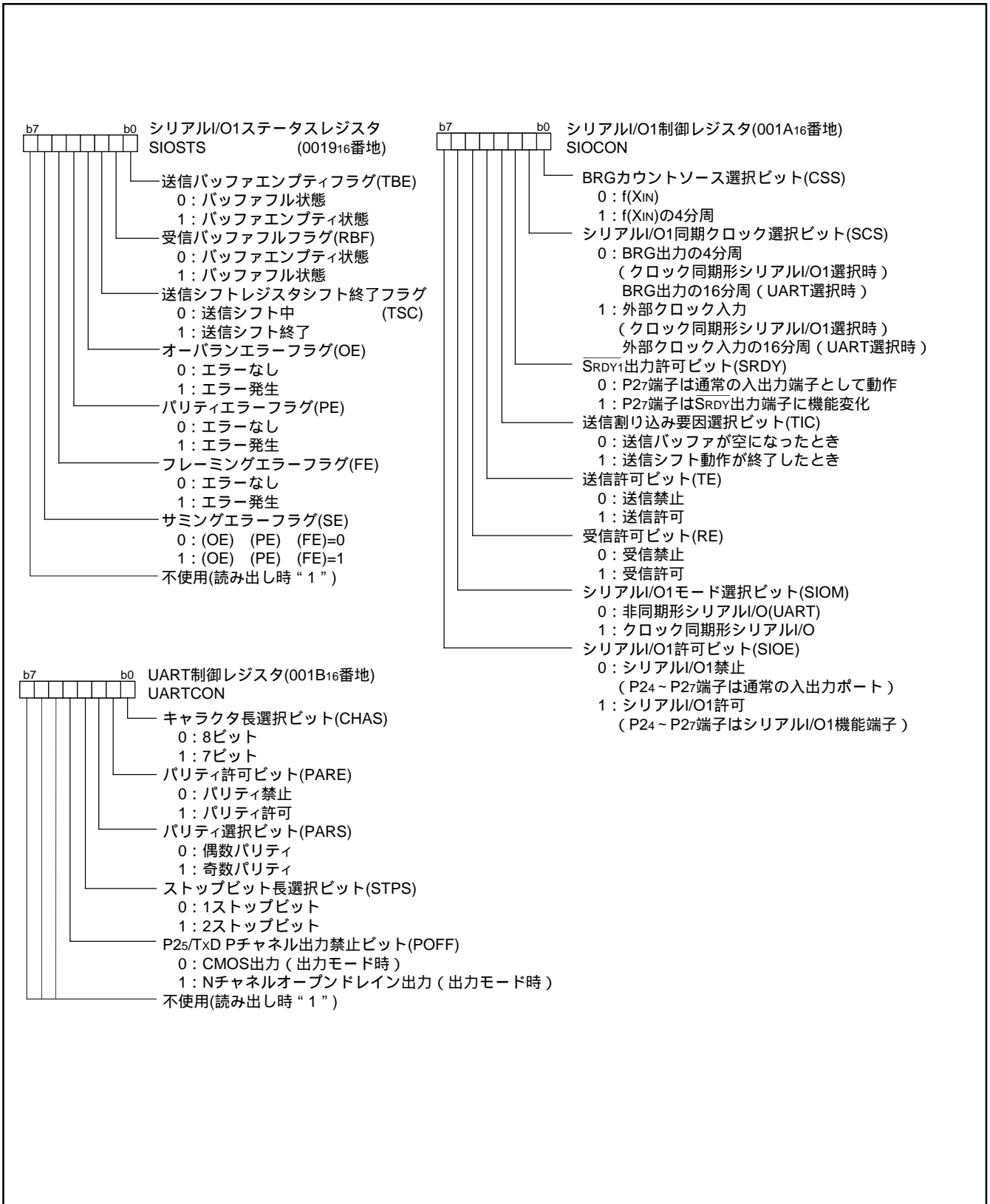


図22 . シリアル/O1関係レジスタの構成

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロック又は外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャンネル出力禁止ビット(b7)により、CMOS出力又はNチャンネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態ですerialI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1~8ビット)を転送後、割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がりに同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、このときINT2割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1

SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

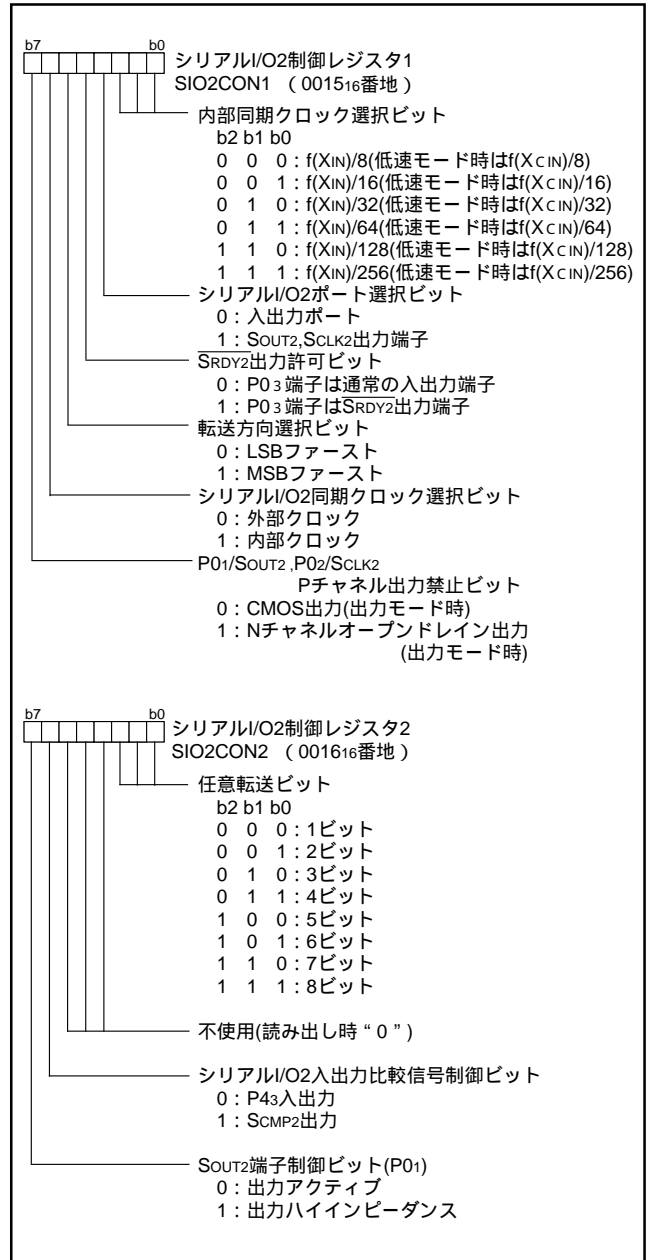


図23 . シリアルI/O2制御レジスタ1、2の構成

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

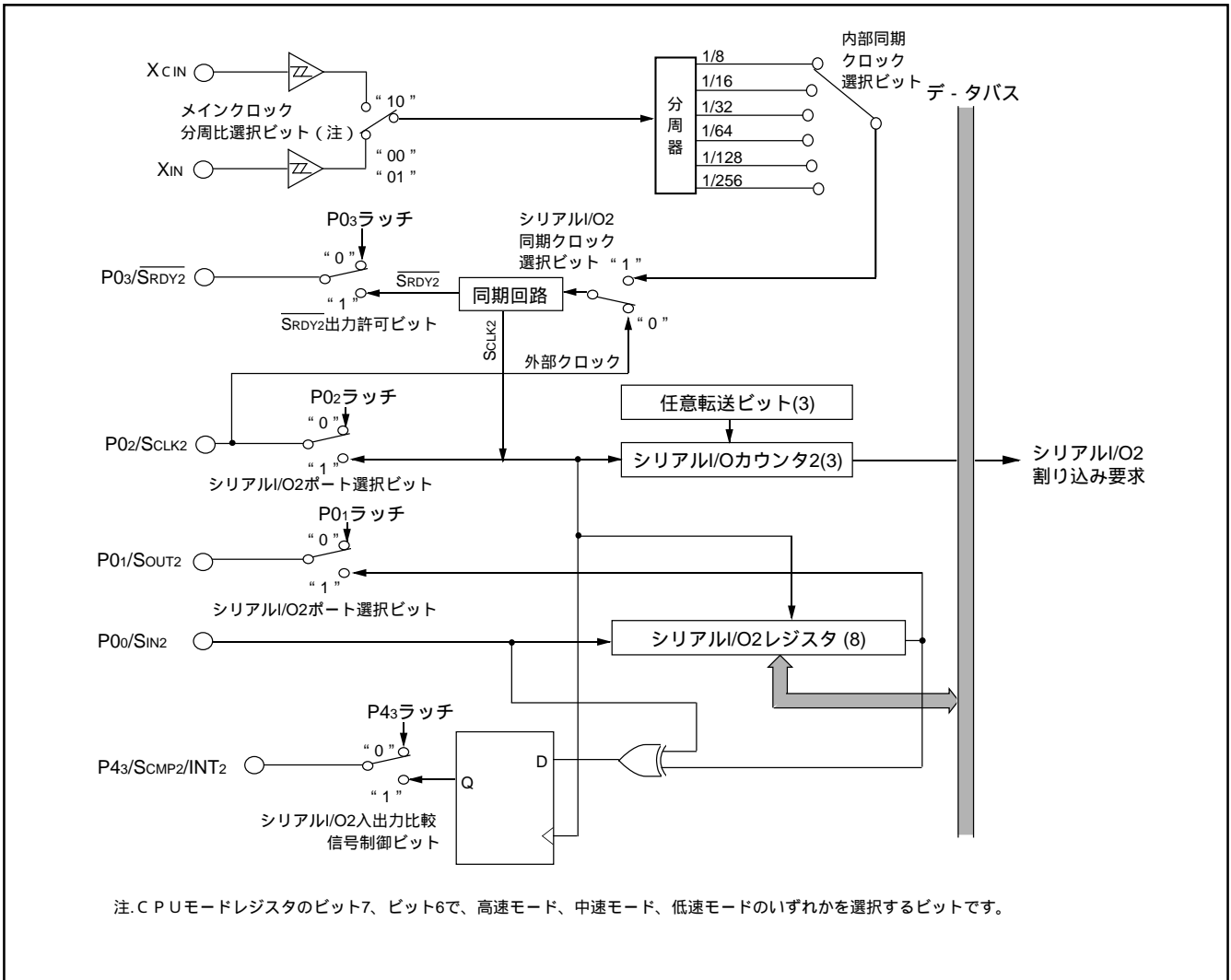


図24 . シリアル/O2ブロック図

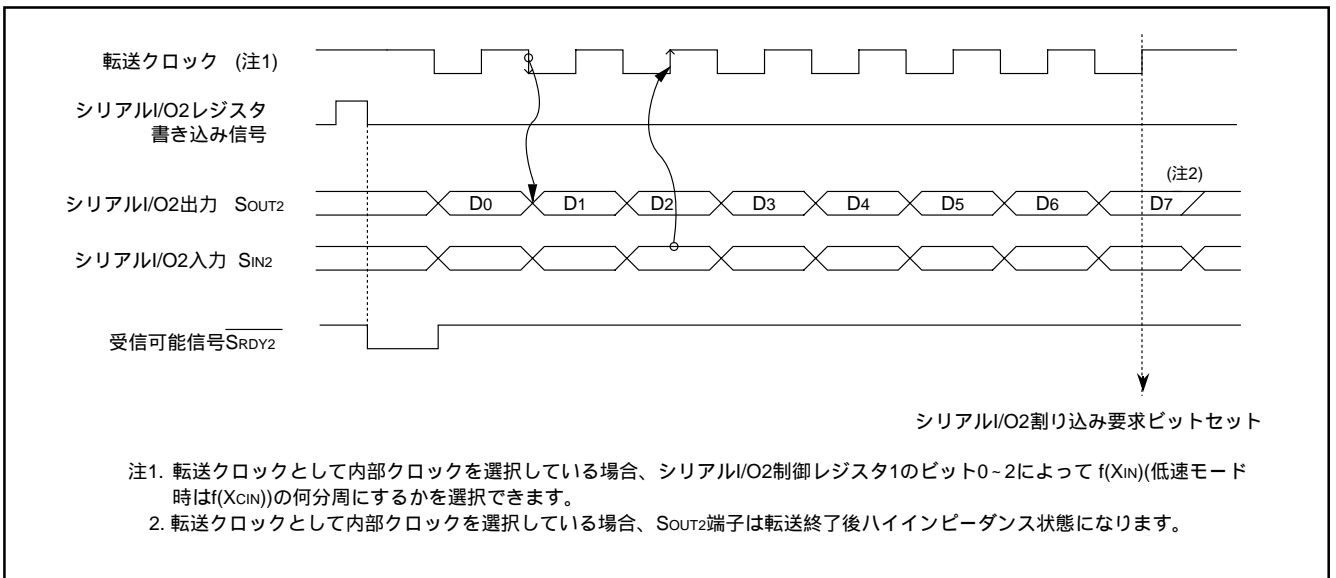


図25 . シリアル/O2タイミング図

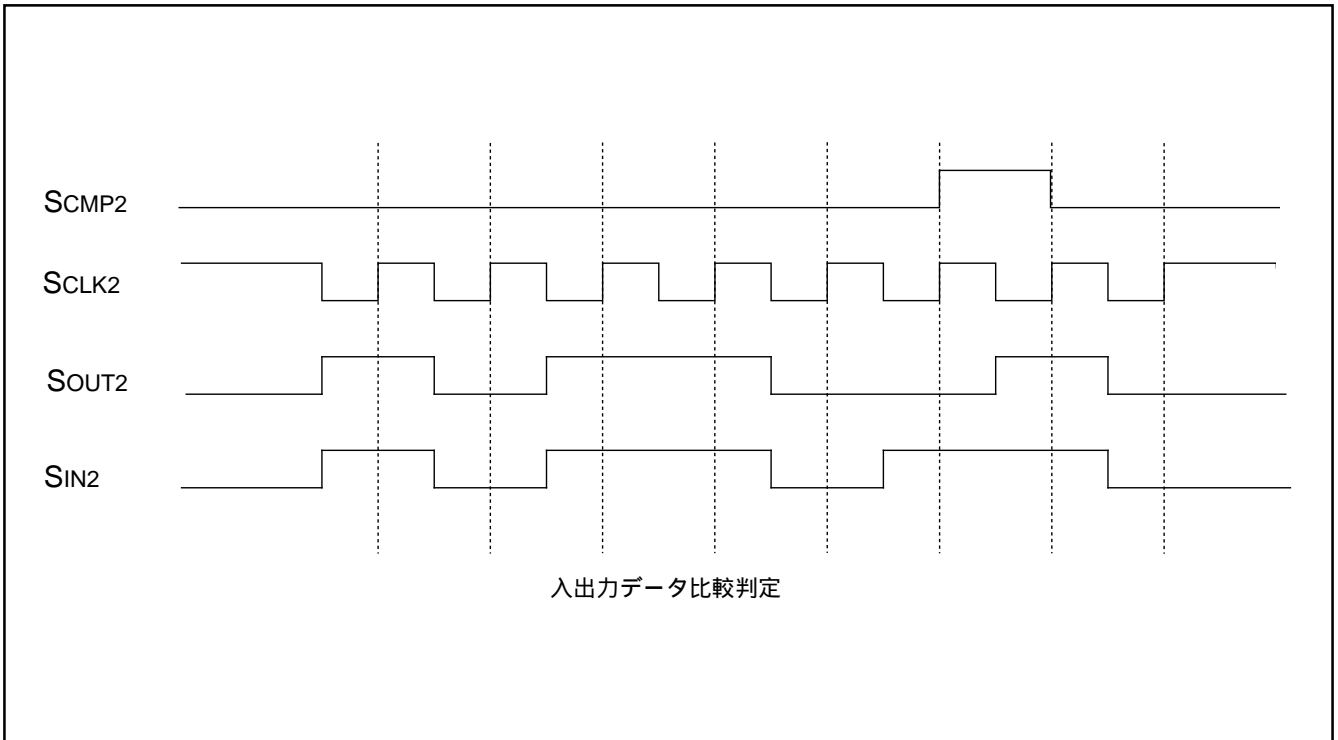


図26 . SCMP2出力の動作

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロナス機能を有しており、マルチマスタのシリアル通信に対応できます。

図27にマルチマスタI²C-BUSインタフェースのブロック図、表7にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、 ϕ を1MHz以上にしてください。

表7. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz ($\phi = 4$ MHz時)

システムクロック $\phi = f(XIN)Y2$ (高速モード)

$\phi = f(XIN)Y8$ (中速モード)

注. I²C-BUSインタフェースとポート(SCL₁, SCL₂, SDA₁, SDA₂)の接続を制御する機能(I²Cコントロールレジスタ[002E]16番地)のビット6の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

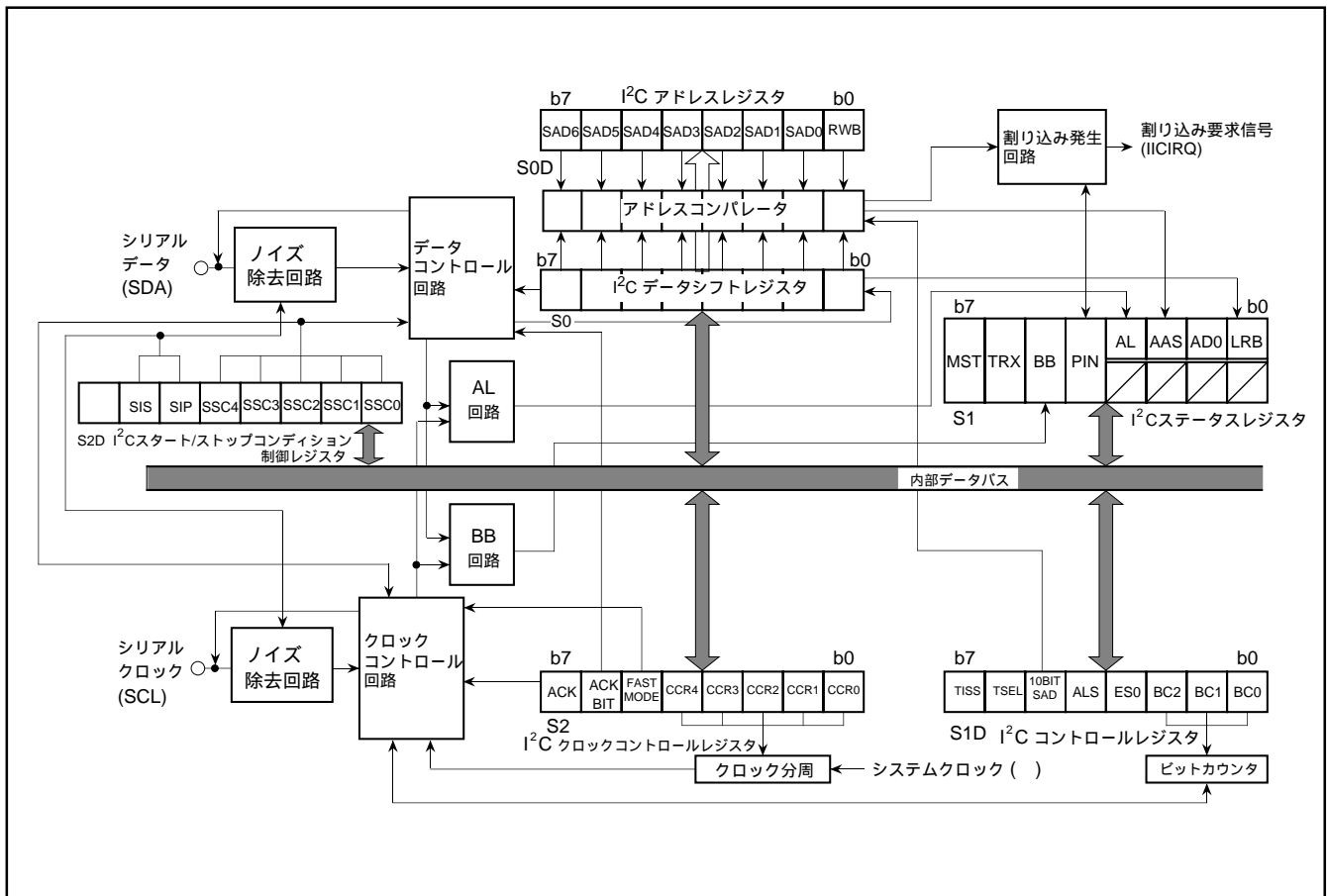


図27. マルチマスタI²C-BUSインタフェースのブロック図

* :Purchase of MITSUBISHI ELECTRIC CORPORATION'S I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system , provided that the system conforms to the I²C Standard Specification as defined by Philips.

I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:002B₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短で2マシンサイクルを要します。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(S1D:002E₁₆番地)のI²C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(S1:002D₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

I²Cアドレスレジスタ

I²Cアドレスレジスタ(S0D:002C₁₆番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1)ビット0:リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6～SAD0 + RWB)が比較されます。RWBビットはストップコンディションを検出すると、自動的に“0”になります。

(2)ビット1～ビット7:スレーブアドレス(SAD0～SAD6)スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

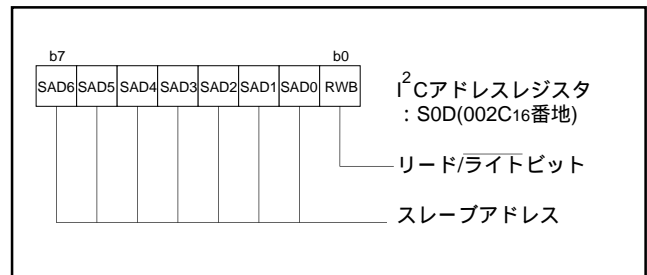


図28 . I²Cアドレスレジスタの構成

I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(S2:002F₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0～ビット4: SCL周波数制御ビット(CCR0～CCR4)

SCL周波数を制御するビットです。表8を参照してください。

(2)ビット5: SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、メインクロック分周比を2でご使用ください。

(3)ビット6: アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態アドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり、一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

*アッククロック: 確認応答用のクロック

(4)ビット7: アッククロックビット(ACK)

データ転送の確認応答であるアックノリジメントのモードを指定するビットです。“0”の場合、アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを開放し(“H”の状態にする)データを受信するデバイスが発生させるアックビットを受信します。

注 . I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

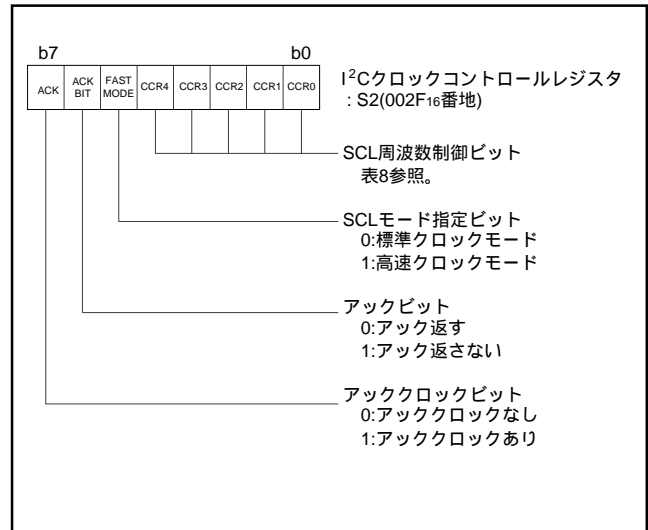


図29. I²Cクロックコントロールレジスタの構成

表8. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数($\phi = 4$ MHz時, 単位: kHz)(注)1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	選択禁止	選択禁止
0	0	0	0	1	選択禁止	選択禁止
0	0	0	1	0	選択禁止	選択禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	40 α (注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLクロック出力のデューティは50%です。高速クロックモード CCR値=5のみ35～45%になります。(400kHz, $\phi=4$ MHz時)また、クロックの“H”の期間は標準クロックモードで+2～-4マシサイクル、高速クロックモードで+2～-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

2. $\phi=4$ MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は ϕ をより低い周波数で使用ください。

3. SCL周波数の計算式は次のとおりです。

$$\begin{aligned} & \phi / (8 \times \text{CCR値}) \text{ 標準クロックモード} \\ & \phi / (4 \times \text{CCR値}) \text{ 高速クロックモード (CCR値 = 5)} \\ & \phi / (2 \times \text{CCR値}) \text{ 高速クロックモード (CCR値 = 5)} \end{aligned}$$

CCR値=0～2は ϕ の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。

I²Cコントロールレジスタ

I²Cコントロールレジスタ(S1D:002E16番地)はデータ通信フォーマットの制御を行うレジスタです。

(1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:002F16番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0 = “0”のとき、次のように処理されます。

I²Cステータスレジスタ(S1:002D16番地)のPIN=“1”、

BB=“0”、AL=“0”に設定される。

I²Cデータシフトレジスタ(S0:002B16番地)への書き込みは禁止される。

(3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(I²Cステータスレジスタのビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4)ビット5:アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(S0D:002C16番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

(5)ビット6:SDA/SCL端子選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの入出力端子を選択するビットです。図30を参照してください。

(6)ビット7:I²C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

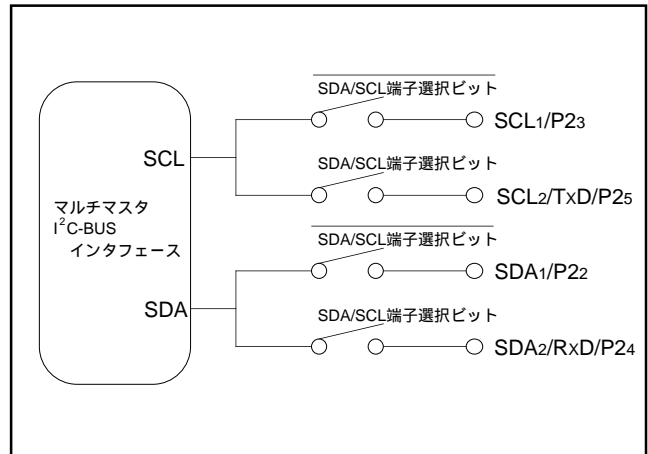


図30 . SDA/SCL端子選択ビットによる接続ポート制御

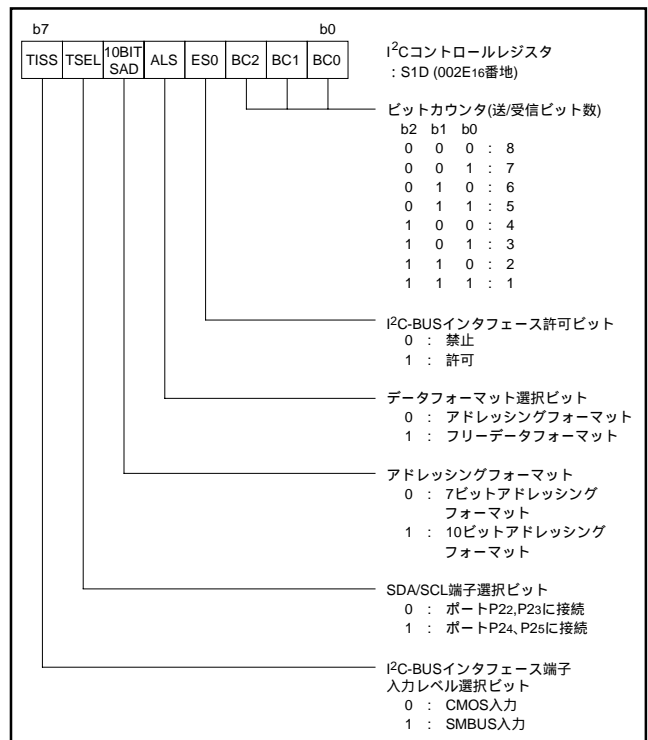


図31 . I²Cコントロールレジスタの構成

I²Cステータスレジスタ

I²Cステータスレジスタ(S1:002D₁₆番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“0000₂”を書き込みください。

(1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アックロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(S0:002B₁₆番地)に書き込み命令を実行すると“0”になります。

(2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

*ジェネラルコール:マスタが全スレーブにジェネラルコールアドレス“00₁₆”を送信すること。

(3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(S0D:002C₁₆番地)に格納されている上位7ビットのスレーブアドレスと一致した場合

- ・ジェネラルコールを受信した場合

スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- ・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合のI²Cデータシフトレジスタ(S0:002B₁₆番地)への書き込み、又はリセットにより“0”になります。

(4)ビット3:アービトレーションロスト*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーショ

ンを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

*アービトレーションロスト:マスタとしての通信が禁止となった状態。

(5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アックロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のとき、SCLは“0”に保たれクロックの発生は禁止されます。図33に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- ・I²Cデータシフトレジスタ(S0:002B₁₆番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

- ・ES0ビットが“0”のとき

- ・リセット時

- ・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

- ・1バイトのデータ受信完了直後

- ・スレーブ受信の際、ALS=0で、スレーブアドレス一致又はジェネラルコールアドレス受信完了直後

- ・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

(6)ビット5:バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(S2D:0030₁₆番地)のスタート/ストップコンディション設定ビット(SSC4~SSC0)の条件に従います。また、I²Cコントロールレジスタ(S1D:002E₁₆番地)のES0ビット(ビット3)が“0”のとき、及びリセット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法を参照してください。

(7)ビット6:通信モード指定ビット

(転送方向指定ビット:TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・ALS=“0”かつスレープで、R/Wビット受信が“1”の場合
以下の場合、ハードウェアにより“0”になります。
- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みが無効の場合
- ・MST=“0”で、スタートコンディションを検出した場合
- ・MST=“0”でアック応答が返ってこなかったことを検出した場合
- ・リセット時

(8)ビット7:通信モード指定ビット

(マスタ/スレープ指定ビット:MST)

データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みが無効の場合
- ・リセット時

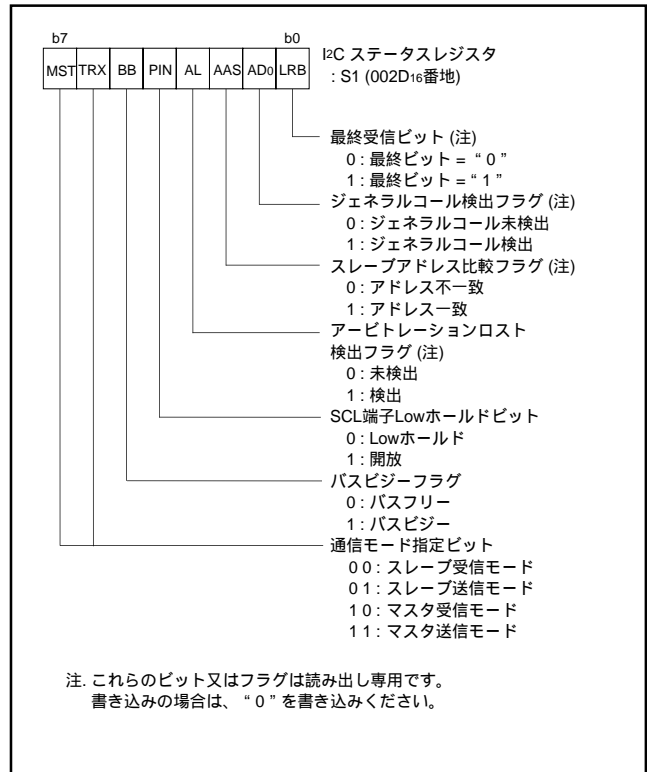


図32. I²Cステータスレジスタの構成

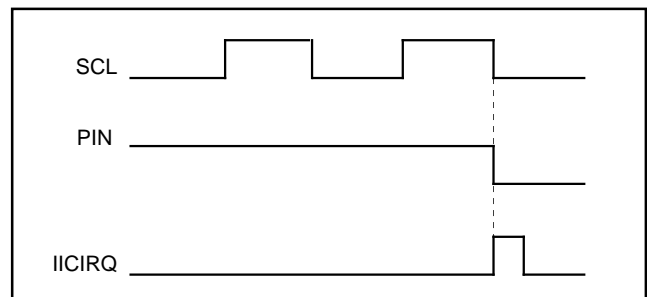


図33. 割り込み要求信号の発生タイミング

注 スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

スタートコンディション発生方法

I²Cコントロールレジスタ(S1D:002E₁₆番地)のES0ビットが“1”、BBフラグが“0”の状態、I²Cデータシフトレジスタ(S0:002B₁₆番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(S1:002D₁₆番地)のMST、TRX、BBビットに“1”書き込みを同時に行くと、スタートコンディションが発生します。その後、ビットカウンタが“000₂”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図34のスタートコンディション発生タイミング図と表9のスタートコンディション発生タイミング表を参照してください。

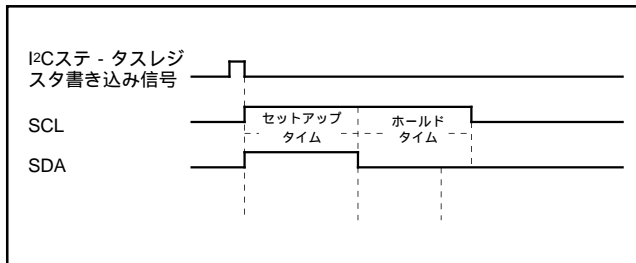


図34. スタートコンディション発生タイミング図

ストップコンディションの発生方法

I²Cコントロールレジスタ(S1D:002E₁₆番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(S1:002D₁₆番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図35のストップコンディション発生タイミング図と表10のストップコンディション発生タイミング表を参照してください。

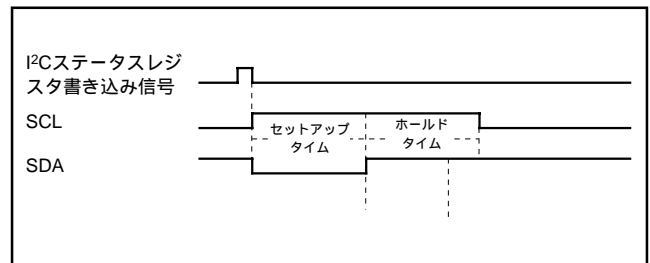


図35. ストップコンディション発生タイミング図

表9. スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
ホールド時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数

表10. ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	3.0 μ s (12サイクル)
ホールド時間	4.5 μ s (18サイクル)	2.5 μ s (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数。

スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図36、図37と表11に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表11のSCL開放条件、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表11のBBフラグセット/リセット時間を参照してください。

注 スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQを発生します。

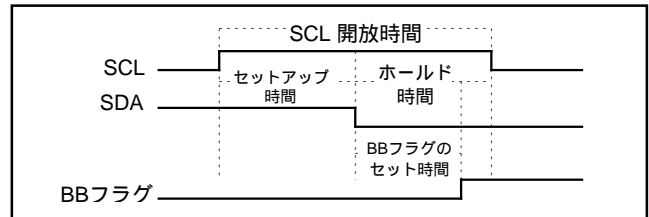


図36．スタートコンディション検出のタイミング図

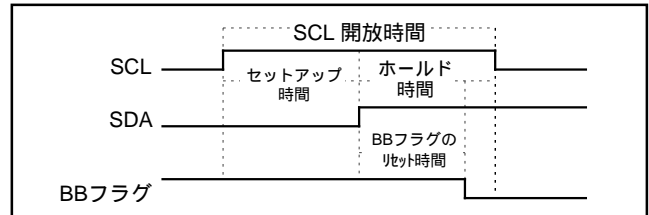


図37．ストップコンディション検出のタイミング図

表11．スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル (6.25 μs)	4サイクル (1.0 μs)
セットアップ時間	$\frac{SSC値+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (1.0 μs)
ホールド時間	$\frac{SSC値+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (0.5 μs)
BBフラグセット/ リセット時間	$\frac{SSC値-1}{2} + 2$ サイクル (3.375 μs)	3.5サイクル (0.875 μs)

注．単位はシステムクロック のサイクル数
SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進法表記した値です。SSC値=0及び奇数となる設定は禁止です。
()内は =4MHz時、I²Cスタート/ストップコンディション制御レジスタに“18₁₆”を設定した場合の時間の一例です。

I²Cスタート/ストップコンディション制御レジスタ

I²Cスタート/ストップコンディション制御レジスタ(S2D: 003016番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

(1)ビット0～ビット4:スタート/ストップコンディション 設定ビット (SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数f(XIN)や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表11を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表12に示します。

(2)ビット5:SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

(3)ビット6:SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注 .SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

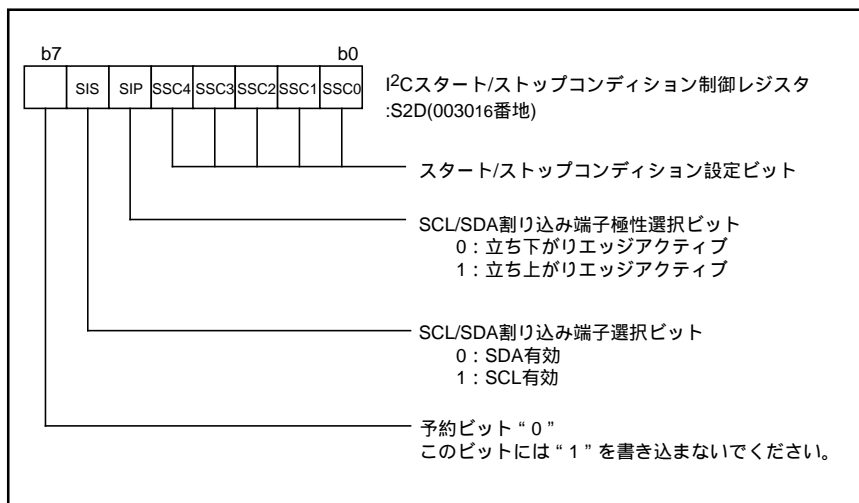


図38 . I²Cスタート/ストップコンディション制御レジスタの構成

表12 . 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発信周波数 f(XIN) (MHz)	メインクロック分周比	システムクロック (MHz)	スタート/ストップコンディション制御レジスタ	SCL開放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
8	2	4	XXX11010	6.75 μs (27サイクル)	3.375 μs (13.5サイクル)	3.375 μs (13.5サイクル)
			XXX11000	6.25 μs (25サイクル)	3.125 μs (12.5サイクル)	3.125 μs (12.5サイクル)
8	8	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)
4	2	2	XXX01100	6.5 μs (13サイクル)	3.25 μs (6.5サイクル)	3.25 μs (6.5サイクル)
			XXX01010	5.5 μs (11サイクル)	2.75 μs (5.5サイクル)	2.75 μs (5.5サイクル)
2	2	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)

注 . スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、 I^2C コントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、 I^2C アドレスレジスタ(S0D:002C₁₆番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、 I^2C アドレスレジスタ(S0D:002C₁₆番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(1)、(2)を参照してください。

(2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、 I^2C コントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、 I^2C アドレスレジスタ(S0D:002C₁₆番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、 I^2C アドレス

レジスタ(S0D:002C₁₆番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R \bar{W} ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、 I^2C ステータスレジスタ(S1:002D₁₆番地)のAASビットが“1”にセットされます。2バイト目アドレスデータは、 I^2C データシフトレジスタ(S0:002B₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、 I^2C アドレスレジスタ(S0D:002C₁₆番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR \bar{W} のデータと I^2C アドレスレジスタ(S0D:002C₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(3)、(4)を参照してください。

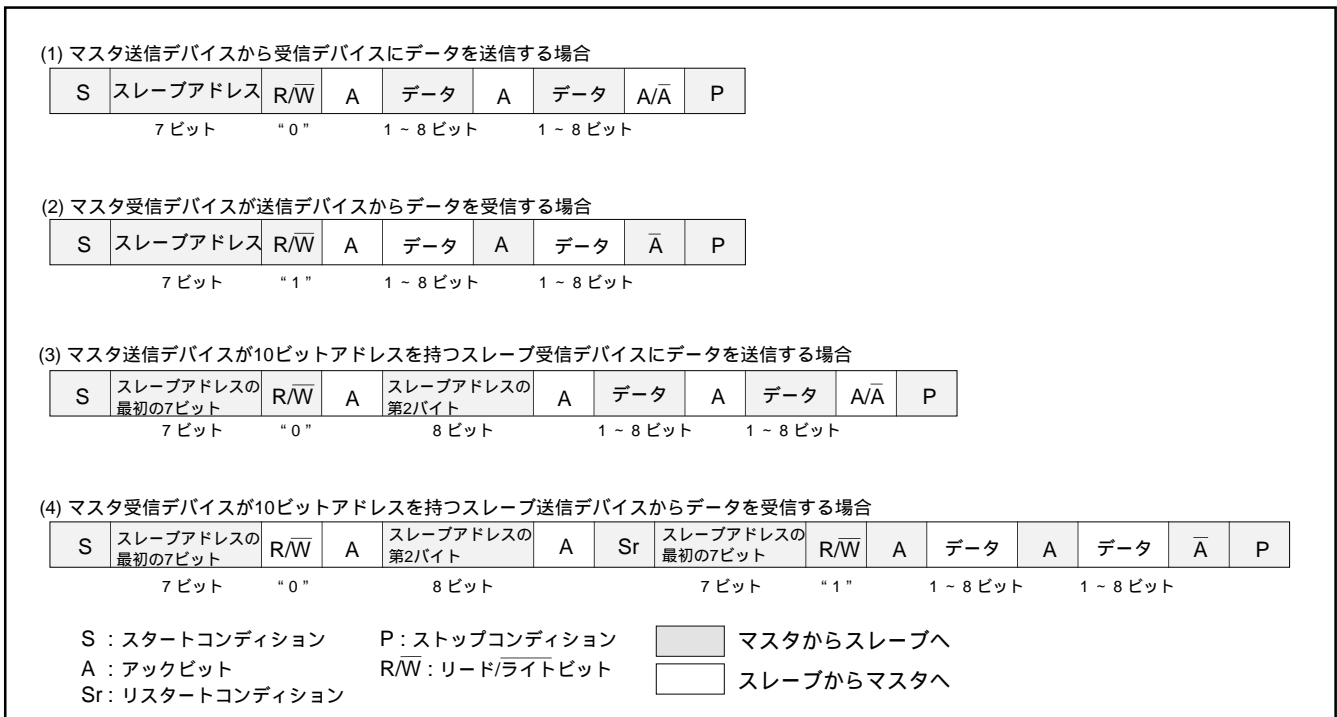


図39 . アドレスデータ通信フォーマット

マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“85₁₆”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(S1:002D₁₆番地)のBBフラグによりバスフリー状態を確認します。
- (6) I²Cデータシフトレジスタ(S0:002B₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(S1:002D₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(S0:002B₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(S1:002D₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“25₁₆”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
・上記以外の場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(S0:002B₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

マルチマスタI²C-BUSインタフェースの注意事項

(1)リード・モディファイ・ライト命令の使用について

SEB、CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使用する場合は注意事項は以下のとおりです。

・I²Cデータシフトレジスタ(S0:002B₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・I²Cアドレスレジスタ(S0D:002C₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、ハードウェアによって変化するためです。

・I²Cステータスレジスタ(S1:002D₁₆番地)

すべてのビットはハードウェアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・I²Cコントロールレジスタ(S1D:002E₁₆番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0～BC2)が、ハードウェアによって変化するためです。

・I²Cクロックコントロールレジスタ(S2:002F₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

・I²Cスタート/ストップコンディション制御レジスタ

(S2D:0030₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2)マルチマスタで使用する場合のスタートコンディション

発生手順について

手順例(発生手順の必要条件は 以降に記します。)

```
          :
          LDA  ~                (スレーブアドレス値の取り出し)
          SEI                    (割り込みの禁止)
          BBS  5,S1,BUSBUSY     (BBフラグ確認及び分岐処理)
BUSFREE:
          STA  S0                (スレーブアドレス値の書き込み)
          LDM  #$F0,S1          (スタートコンディション発生のトリガ)
          CLI                    (割り込みの許可)
          :
BUSBUSY:
          CLI                    (割り込みの許可)
          :
```

BBフラグの確認及び分岐処理はBBS 5,\$002D, ~ のBranch on Bit Setを必ず使用してください。

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$2B、STX \$2BあるいはSTY \$2Bのゼロページアドレス命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生のトリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3)リスタートコンディション発生手順について

手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが[#]0"のとき、以下の手順を実行してください。

```
          :
          LDM  #$00,S1          (スレーブ受信モードにする)
          LDA  ~                (スレーブアドレス値の取り出し)
          SEI                    (割り込みの禁止)
          STA  S0                (スレーブアドレス値の書き込み)
          LDM  #$F0,S1          (リスタートコンディション発生のトリガ)
          CLI                    (割り込みの許可)
          :
```

PINビットが[#]0"の状態、スレーブ受信モードにしてください。

PINビットには"1"を書き込まないでください。

BBビットへの書き込みに"0"又は"1"の指定はありません。

TRXビットが[#]0"になり、SDA端子が開放されます。

スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4)I²Cステータスレジスタへの書き込みについて

同時にPINビットを"0"から"1"、MSTビット及びTRXビットを"1"から"0"にする命令実行をしないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが"1"の時に、MSTビット及びTRXビットを"1"から"0"にする命令実行をしても、同様の状態になることがあります。

(5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが[#]0"になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHzのカウンタソース選択ビット≠“0”の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHzのカウンタソース選択ビット≠“0”の場合)

・PWMの動作

PWM制御レジスタのビットα(PWM許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出します。

PWM出力中にPWMレジスタ、PWMプリスケラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

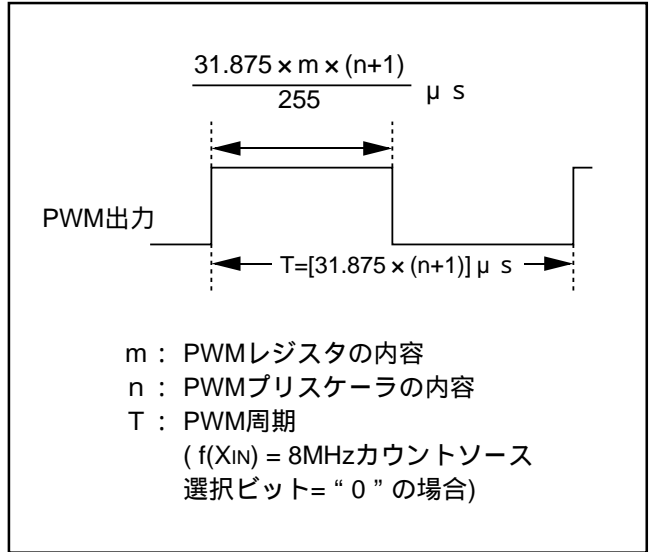


図40. PWM周期のタイミング図

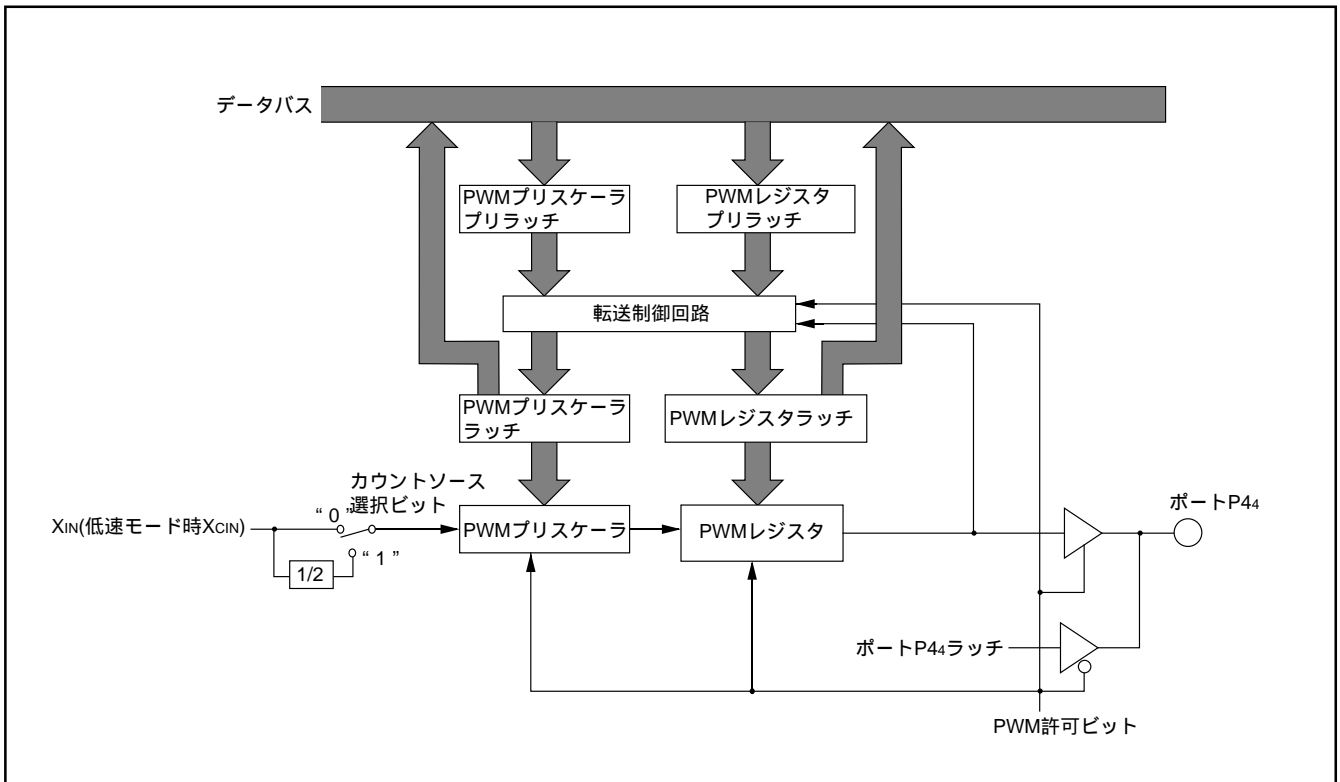


図41. PWMブロック図

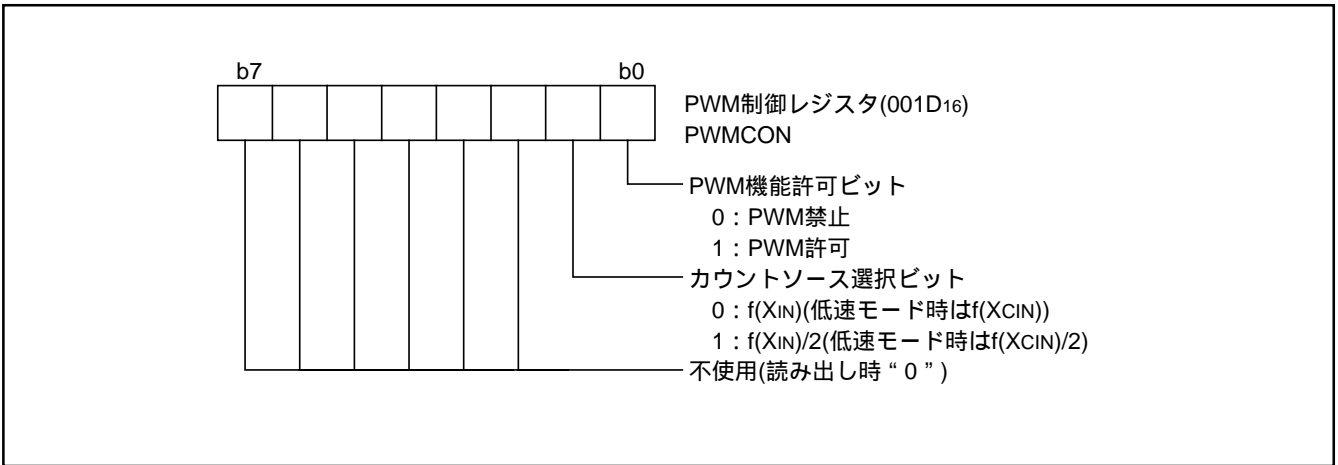


図42 . PWM制御レジスタの構成

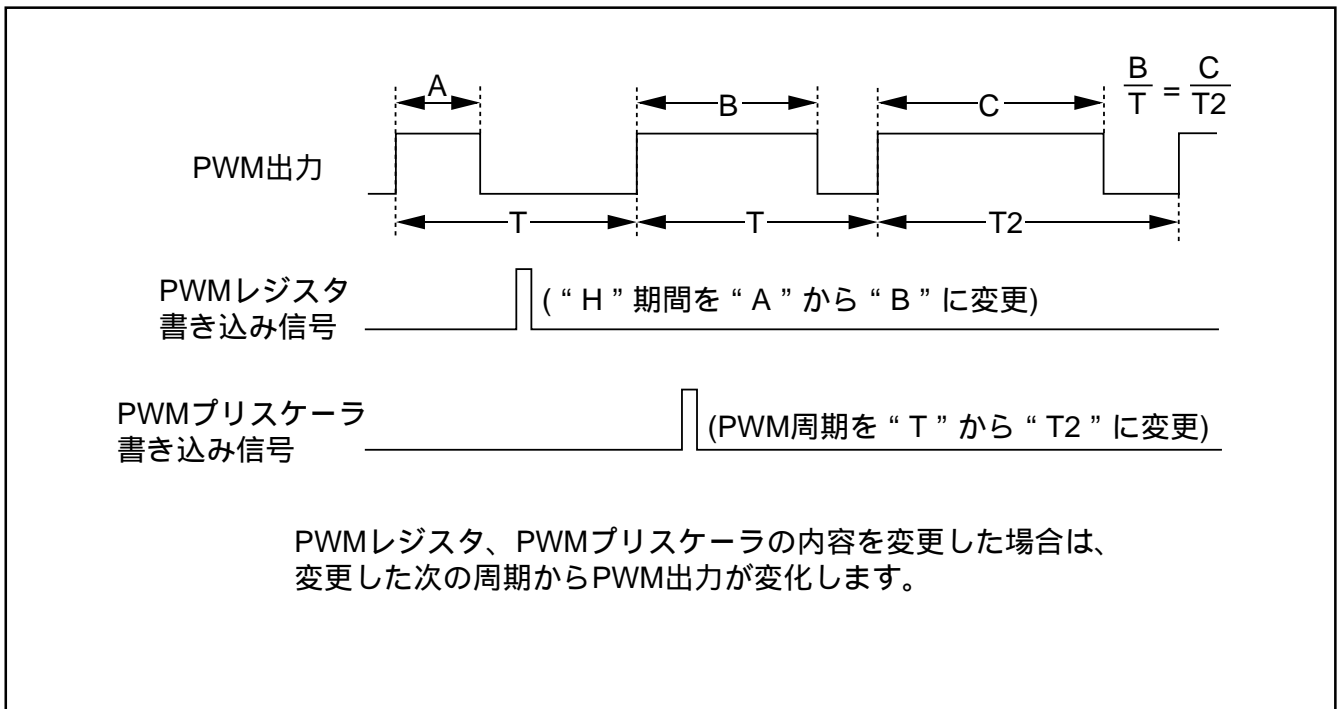


図43 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・ カウントソース選択ビット = “0”、n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \text{ (秒)}$$

- ・ カウントソース選択ビット = “1”、n = プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \text{ (秒)}$$

A-D変換器

【A-D変換レジスタ】AD

A-D変換結果が格納される読み出し専用のレジスタです。
A-D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～
ビット0はアナログ入力端子選択ビットです。ビット4はAD変
換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”
になります。このビットに“0”を書き込むことにより、A-D変
換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセクタ】

ポートP35/AN5～P30/AN0より1本を選択し、コンパレータ
に入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-
D変換レジスタに格納します。また、A-D変換終了時にAD変
換終了ビット及びAD割り込み要求ビットを“1”にセットしま
す。コンパレータは容量結合で構成されていますので、高速
及び中速モードでA-D変換中は $f(X_{IN})$ を500kHz以上にしてく
ださい。低速モードでA-D変換を実行する場合は、内蔵の自己
発振回路を使用してA-D変換を行いますので $f(X_{IN})$ 及び $f(X_{CIN})$
下限周波数の制限はありません。

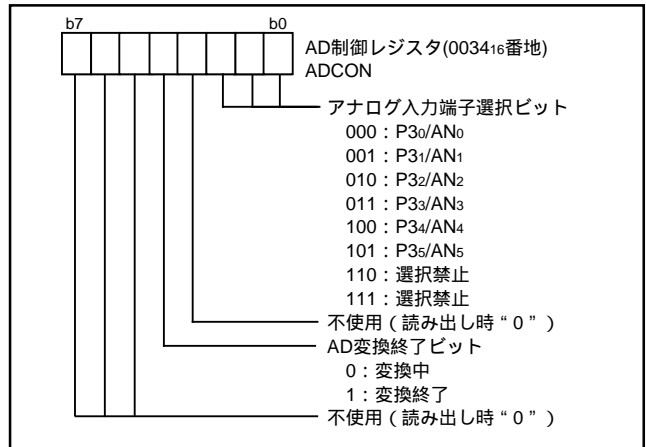


図44. A-D制御レジスタの構成

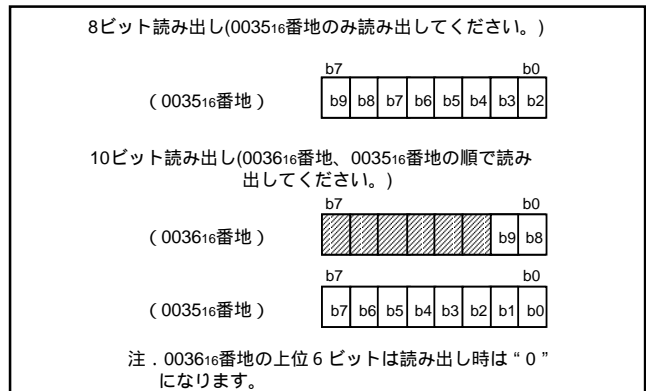


図45. A-D変換レジスタの構成

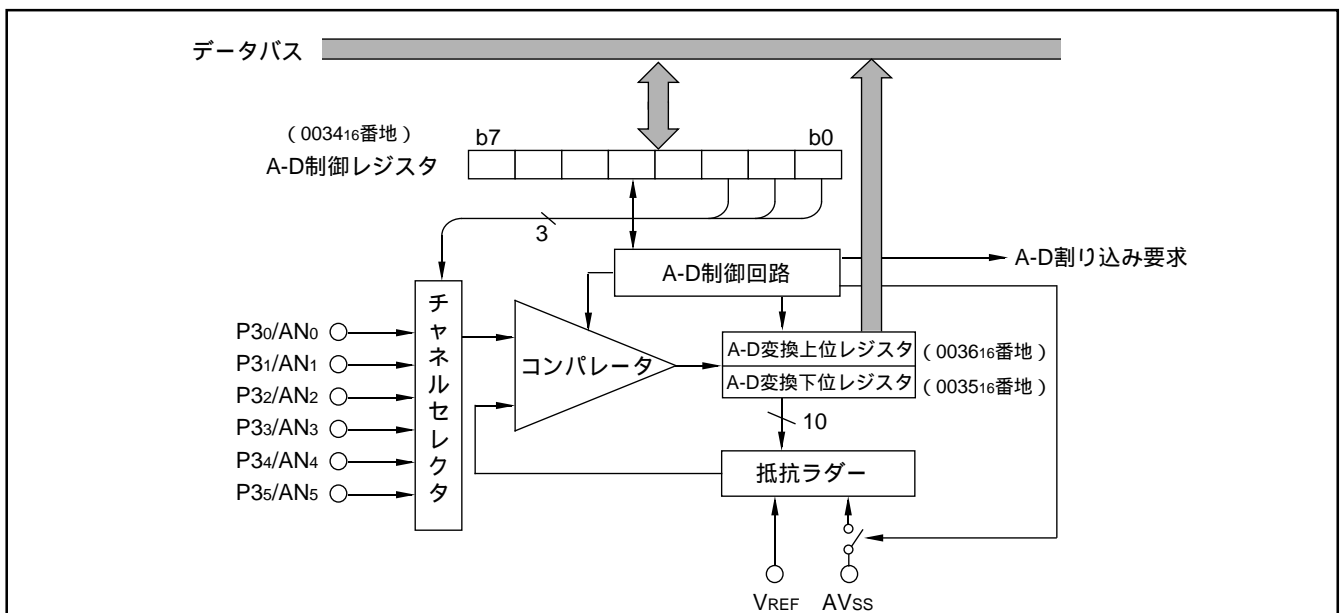


図46. A-D変換器のブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは FF_{16} に、

ウォッチドッグタイマLは FF_{16} に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが 0 の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(X_{IN})=8\text{MHz}$ 時 131.072ms 、 $f(X_{CIN})=32\text{kHz}$ 時 32.768s になります。

このビットが 1 の場合、カウントソースは $f(X_{IN})$ (又は $f(X_{CIN})$)の16分周信号となります。この場合の検出時間は $f(X_{IN})=8\text{MHz}$ 時 $512\mu\text{s}$ 、 $f(X_{CIN})=32\text{kHz}$ 時 128ms になります。

このビットはリセット後 0 になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが 0 の場合、STP命令は許可です。

このビットが 1 の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦 1 にするとプログラムで 0 に書き換えることはできなくなります。

このビットはリセット後 0 になります。

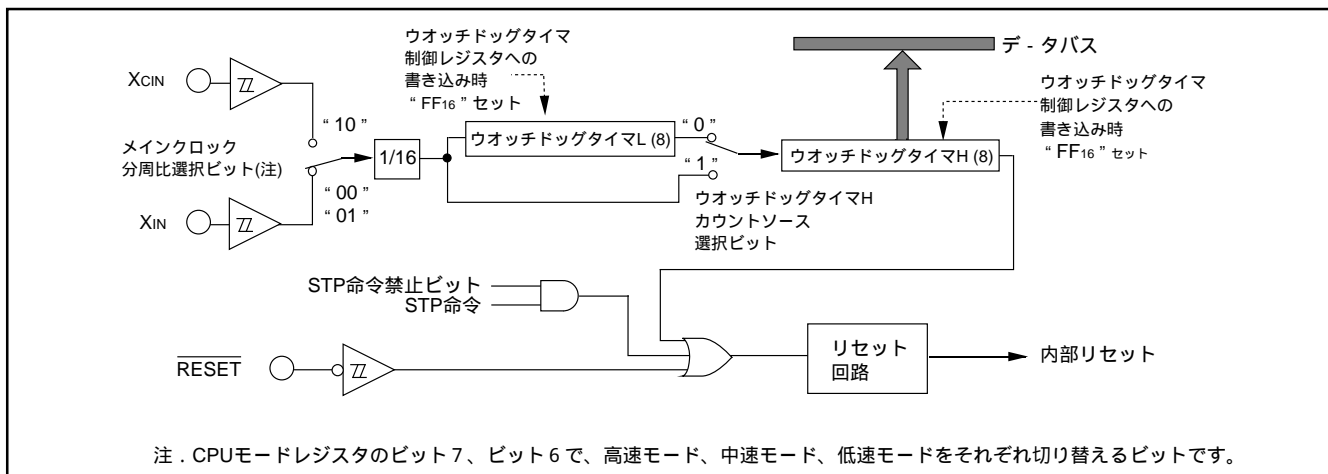


図47．ウォッチドッグタイマのブロック図

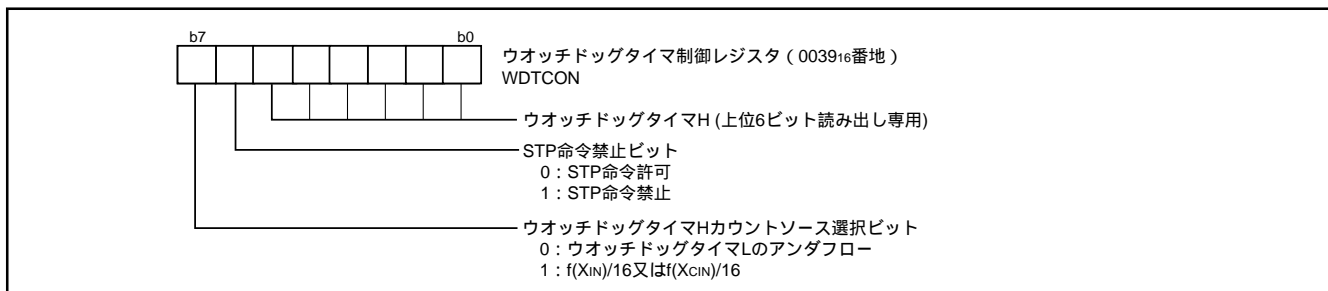


図48．ウォッチドッグタイマ制御レジスタの構成

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をf(XIN)の20サイクル以上Lレベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

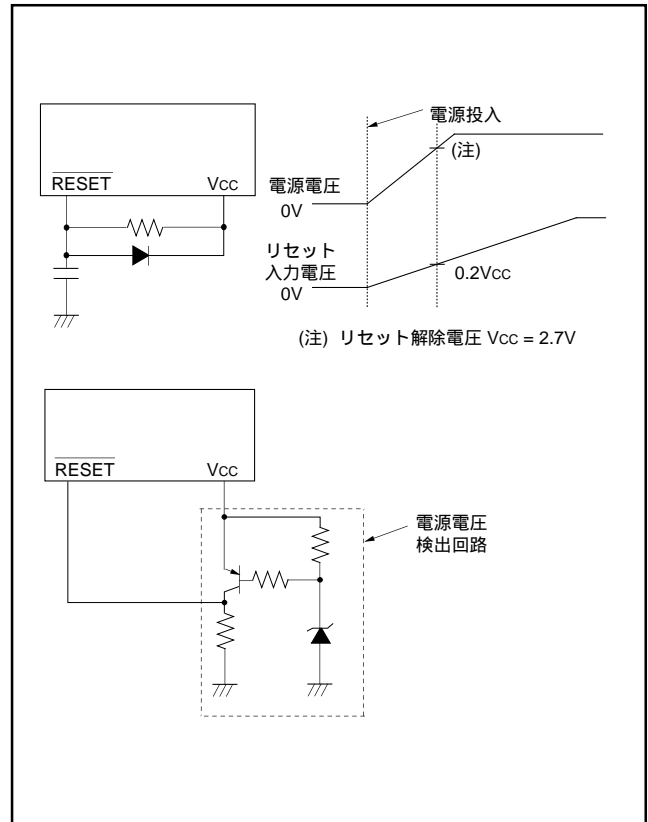


図49．リセット回路例

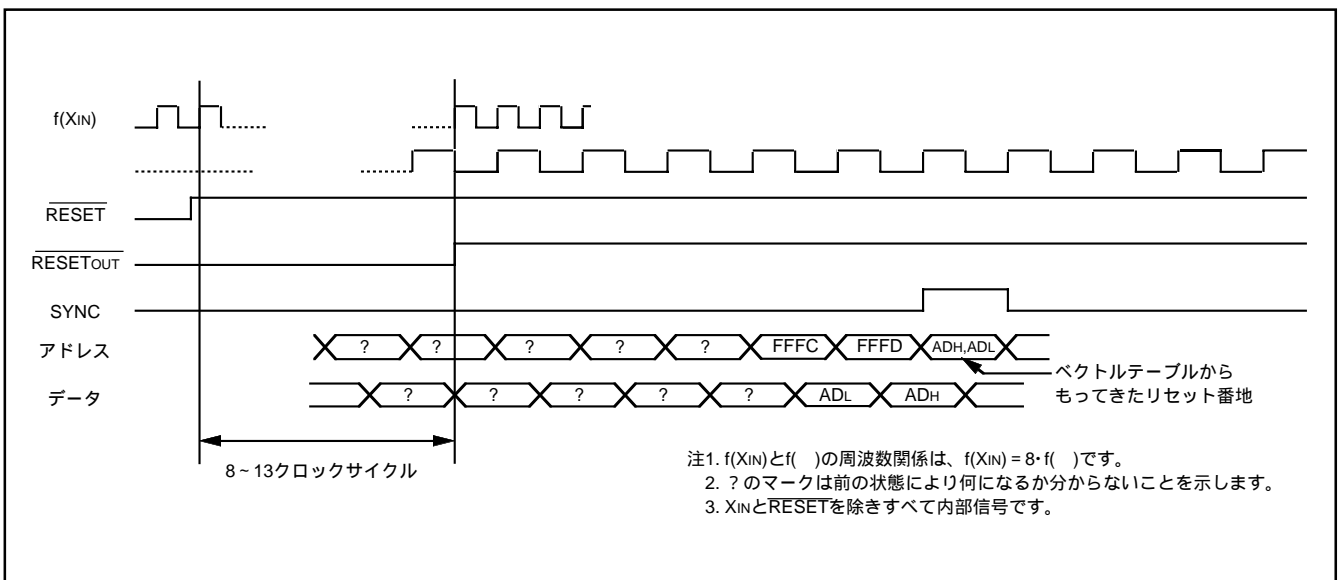


図50．リセット時のタイミング図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(36) I ² Cスタート/ストップコンディション制御レジスタ	0030 ₁₆	000X ₁₆ X ₁₆ X ₁₆ X ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(37) A-D制御レジスタ	0034 ₁₆	00010000
(3) ポートP1	0002 ₁₆	00 ₁₆	(38) A-D変換下位レジスタ	0035 ₁₆	XXXXXXXXXX
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(39) A-D変換上位レジスタ	0036 ₁₆	000000XX
(5) ポートP2	0004 ₁₆	00 ₁₆	(40) MISRG	0038 ₁₆	00 ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(41) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	00111111
(7) ポートP3	0006 ₁₆	00 ₁₆	(42) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(43) CPUモードレジスタ	003B ₁₆	01001000
(9) ポートP4	0008 ₁₆	00 ₁₆	(44) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(45) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(11) シリアル/O2制御レジスタ1	0015 ₁₆	00 ₁₆	(46) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(12) シリアル/O2制御レジスタ2	0016 ₁₆	00000111	(47) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(13) シリアル/O2レジスタ	0017 ₁₆	XXXXXXXXXX	(48) プロセッサステータスレジスタ	(PS)	XXXXXXXX1X
(14) 送信/受信バッファレジスタ	0018 ₁₆	XXXXXXXXXX	プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(15) シリアル/O1ステータスレジスタ	0019 ₁₆	10000000		(PC _L)	FFFC ₁₆ 番地の内容
(16) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆			
(17) UART制御レジスタ	001B ₁₆	11100000			
(18) ポートレートジェネレータ	001C ₁₆	XXXXXXXXXX			
(19) PWM制御レジスタ	001D ₁₆	00 ₁₆			
(20) PWMプリスケラ	001E ₁₆	XXXXXXXXXX			
(21) PWMレジスタ	001F ₁₆	XXXXXXXXXX			
(22) プリスケラ12	0020 ₁₆	FF ₁₆			
(23) タイマ1	0021 ₁₆	01 ₁₆			
(24) タイマ2	0022 ₁₆	00 ₁₆			
(25) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆			
(26) プリスケラX	0024 ₁₆	FF ₁₆			
(27) タイマX	0025 ₁₆	FF ₁₆			
(28) プリスケラY	0026 ₁₆	FF ₁₆			
(29) タイマY	0027 ₁₆	FF ₁₆			
(30) タイマカウントソース設定レジスタ	0028 ₁₆	00 ₁₆			
(31) I ² Cデータシフトレジスタ	002B ₁₆	XXXXXXXXXX			
(32) I ² Cアドレスレジスタ	002C ₁₆	00 ₁₆			
(33) I ² Cステータスレジスタ	002D ₁₆	0001000X			
(34) I ² Cコントロールレジスタ	002E ₁₆	00 ₁₆			
(35) I ² Cクロックコントロールレジスタ	002F ₁₆	00 ₁₆			

注. ×は不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値を設定してください。

図51. リセット時の内部状態

クロック発生回路

7516グループ(H仕様)は2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビットが“0”の時、タイマ1には“0116”、プリスケアラ12には“FF16”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

■注意事項

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

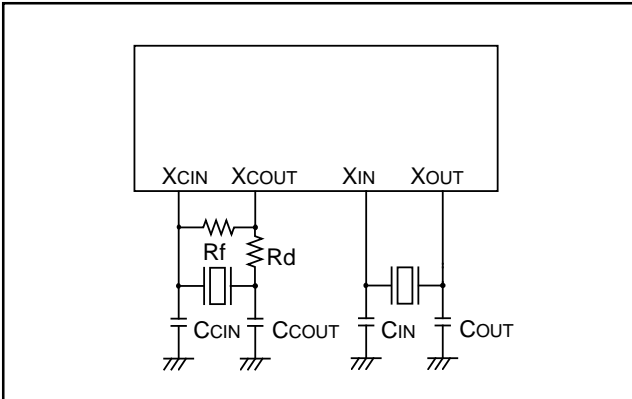


図52．セラミック共振子外付け回路

中速モード自動切り替え設定ビットについての注意

低速モードで動作中、中速モード自動切り替え設定ビットを“1”にすると、SCL又はSDA端子の立ち上がり、あるいは立ち下がりエッジを検出することにより、自動的にXIN発振をスタートさせ、中速モードに切り替わります。低速モードから中速モードに切り替わるタイミングは、中速モード自動切り替え待ち時間設定ビットにより、低速モードで4.5～5.5サイクル、あるいは6.5～7.5サイクルに設定できるので、ご使用になるXINの発振子の発振開始特性により選択してください。

中速モード自動切り替え開始ビットは、低速モードで動作中、このビットに“1”を書き込むことにより、自動的にXIN発振をスタートさせ、中速モードに切り替えるビットです。

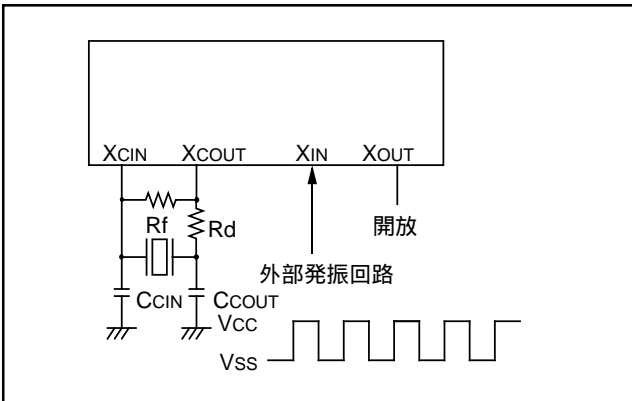


図53．外部クロック入力回路

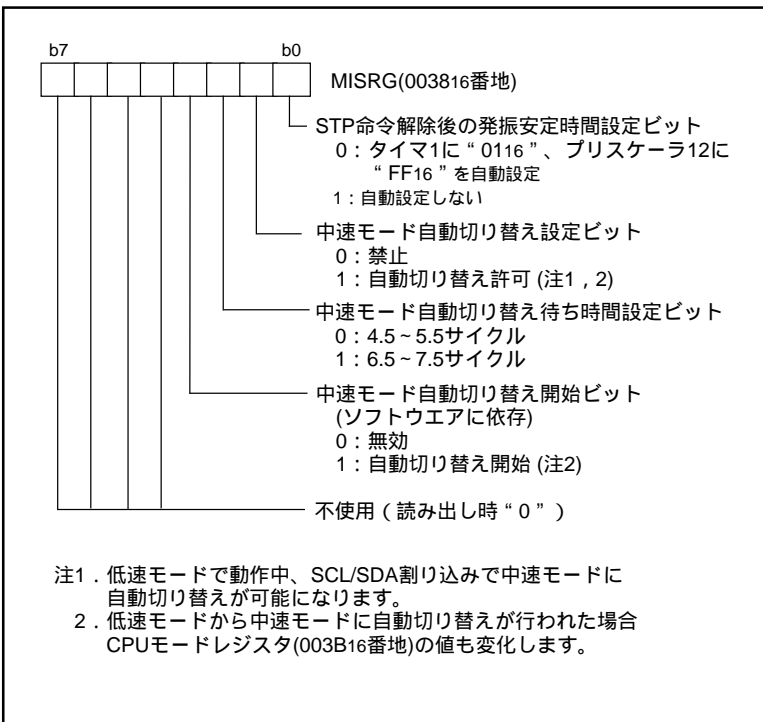


図54．MISRGの構成

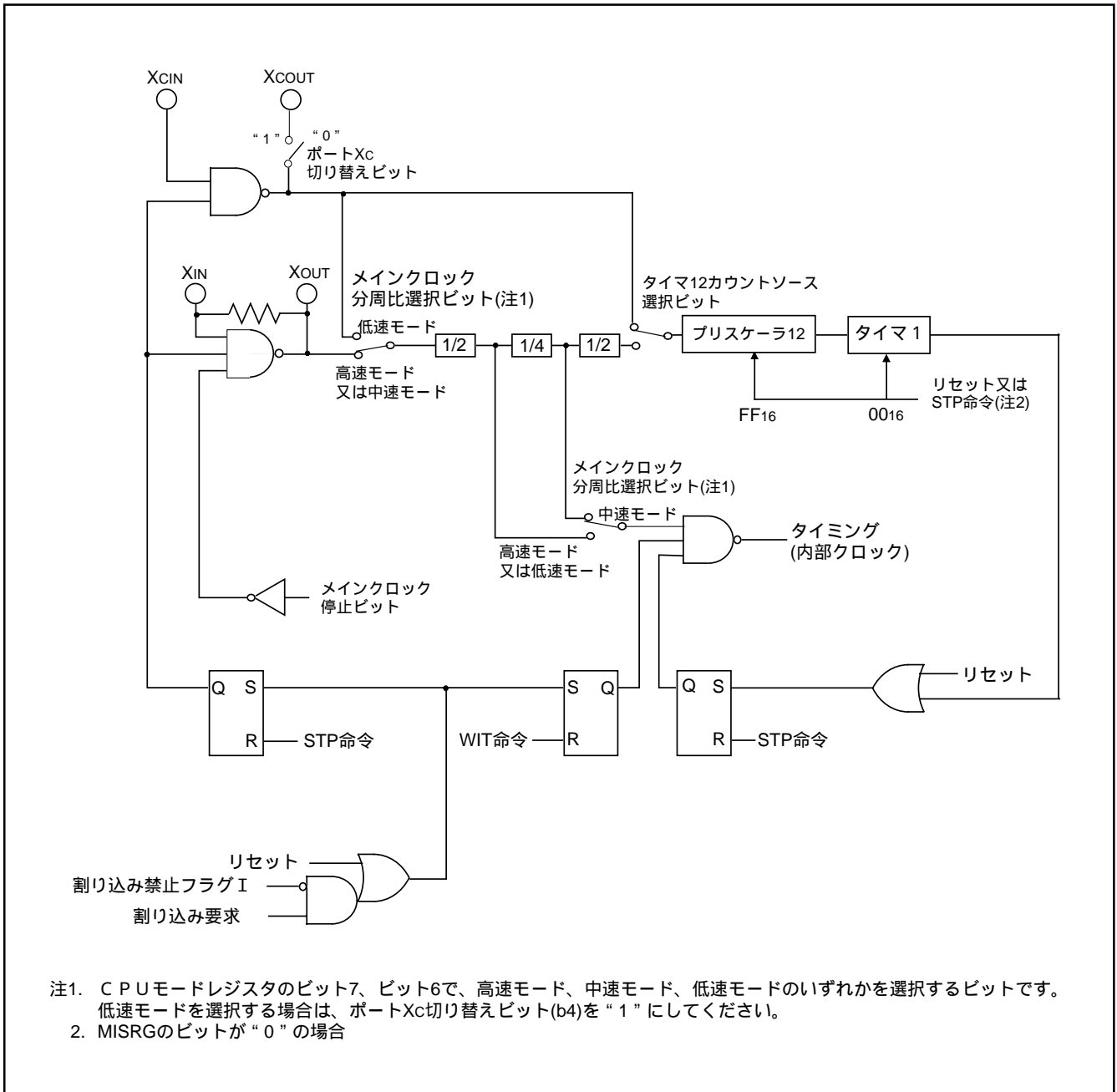
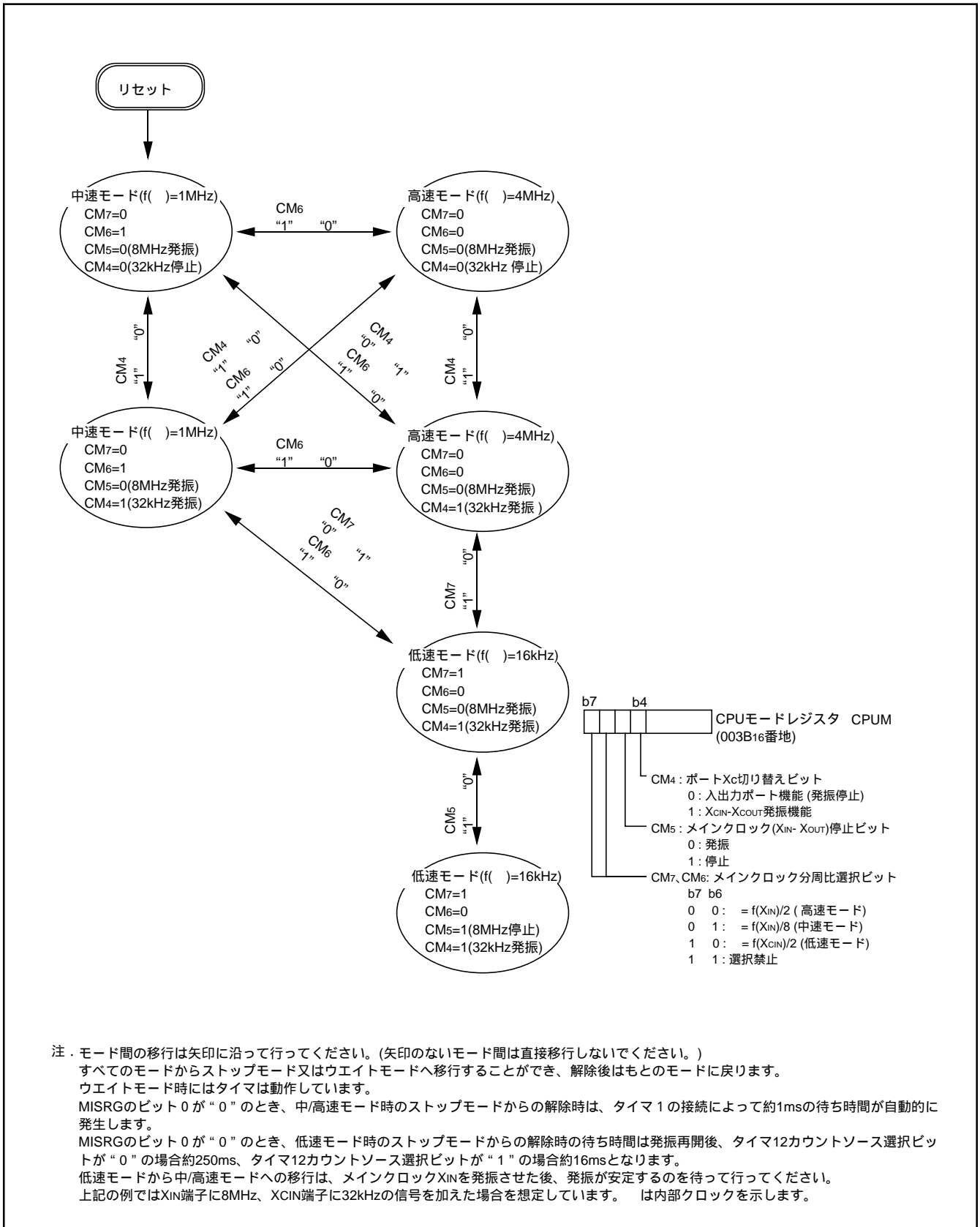


図55 . システムクロック発生回路ブロック図(シングルチップモード)



注・モード間の移行は矢印に沿って行ってください。(矢印のないモード間は直接移行しないでください。)
 すべてのモードからストップモード又はウエイトモードへ移行することができ、解除後はもとのモードに戻ります。
 ウエイトモード時にはタイマは動作しています。
 MISRGのビット0が“0”のとき、中/高速モード時のストップモードからの解除時は、タイマ1の接続によって約1msの待ち時間が自動的に発生します。
 MISRGのビット0が“0”のとき、低速モード時のストップモードからの解除時の待ち時間は発振再開後、タイマ12カウントソース選択ビットが“0”の場合約250ms、タイマ12カウントソース選択ビットが“1”の場合約16msとなります。
 低速モードから中/高速モードへの移行は、メインクロックXINを発振させた後、発振が安定するのを待って行ってください。
 上記の例ではXIN端子に8MHz、XCIN端子に32kHzの信号を加えた場合を想定しています。 は内部クロックを示します。

図56. システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

シリアルI/O1(クロック同期形モード)において、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも“1”に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、中速/高速モード時のA-D変換中は $f(XIN)500kHz$ 以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu F \sim 0.1\mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

ワンタイムPROM版/マスクROM版の相違点に関する注意事項

ワンタイムPROM版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンなどの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ワンタイムPROM版 / マスクROM版に関する注意事項

CNV_{ss}端子は、プログラマブル電源端子(V_{PP}端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNV_{ss}端子の配線は1~10kΩの抵抗を介してV_{ss}又はV_{cc}に接続くださるようお願いいたします。なお、マスクROM版のCNV_{ss}端子の配線が抵抗を介して接続されていても、動作上支障はありません。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書*
- (2) マーク指定書*
- (3) ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- ・ROM書き込み確認書*
- ・マーク指定書(客先ロゴ入り特殊マークのみ)*
- ・ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

* マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ (<http://www.infocom.maec.co.jp/>) を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表13 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
44PJX-A	PCA7446

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図57に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

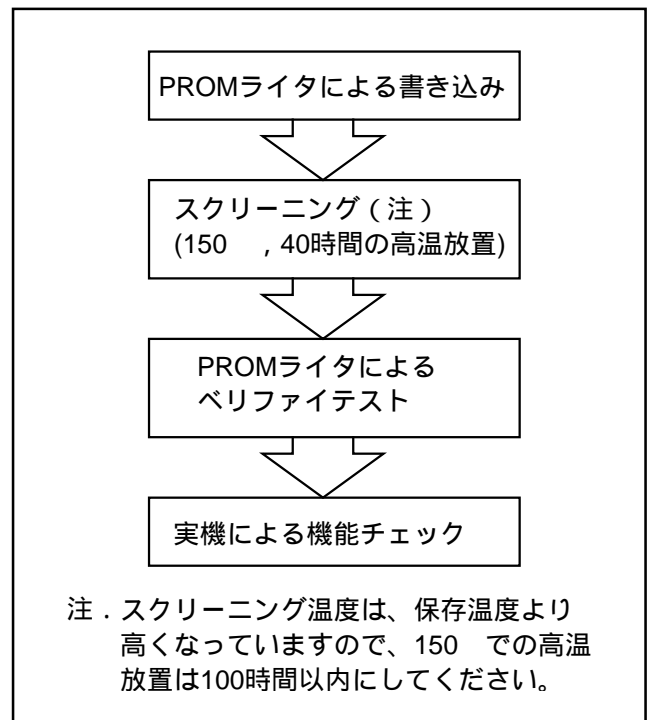


図57. ワンタイムPROM版書き込みとテスト

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

電気的特性

絶対最大規格

表14. 絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, VREF		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P22, P23		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss M37516M4H, M37516M6H M37516E6H		- 0.3 ~ Vcc + 0.3	V
			- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P35, P40 ~ P45, XOUT		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P22, P23	- 0.3 ~ 5.8	V	
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

推奨動作条件

表15. 推奨動作条件(1) (指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $T_a = -20\sim 85$)

記号	項目		規格値			単位
			最小	標準	最大	
VCC	電源電圧	8MHz時	4.0	5.0	5.5	V
		4MHz時	2.7	5.0	5.5	V
VSS	電源電圧			0		V
VREF	A-D変換器基準電圧		2.0		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0 ~ AN5		AVss		Vcc	V
VIH	“H”入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P35 P40 ~ P45		0.8Vcc		Vcc	V
VIH	“H”入力電圧 (I ² C-BUS入力レベル選択時) SDA1, SCL1		0.7Vcc		5.8	V
VIH	“H”入力電圧 (I ² C-BUS入力レベル選択時) SDA2, SCL2		0.7Vcc		Vcc	V
VIH	“H”入力電圧 (SMBUS入力レベル選択時) SDA1, SCL1		1.4		5.8	V
VIH	“H”入力電圧 (SMBUS入力レベル選択時) SDA2, SCL2		1.4		Vcc	V
VIH	“H”入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P35 P40 ~ P45		0		0.2 Vcc	V
VIL	“L”入力電圧 (I ² C-BUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		0		0.3 Vcc	V
VIL	“L”入力電圧 (SMBUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		0		0.6	V
VIL	“L”入力電圧 RESET, CNVss		0		0.2 Vcc	V
VIL	“L”入力電圧 XIN		0		0.16 Vcc	V
IOH(peak)	“H”出力総尖頭電流 (注) P00 ~ P07, P10 ~ P17, P30 ~ P35				-80	mA
IOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24 ~ P27, P40 ~ P45				-80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P00 ~ P07, P30 ~ P35				80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P10 ~ P17				120	mA
IOL(peak)	“L”出力総尖頭電流 (注) P20 ~ P27, P40 ~ P45				80	mA
IOH(avg)	“H”出力総平均電流 (注) P00 ~ P07, P10 ~ P17, P30 ~ P35				-40	mA
IOH(avg)	“H”出力総平均電流 (注) P20, P21, P24 ~ P27, P40 ~ P45				-40	mA
IOL(avg)	“L”出力総平均電流 (注) P00 ~ P07, P30 ~ P35				40	mA
IOL(avg)	“L”出力総平均電流 (注) P10 ~ P17				60	mA
IOL(avg)	“L”出力総平均電流 (注) P20 ~ P27, P40 ~ P45				40	mA

注. 出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表16. 推奨動作条件(2)(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力尖頭電流 (注1) P00～P07, P10～P17, P20, P21, P24～P27 P30～P35, P40～P45			- 10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P00～P07, P20～P27, P30～P35, P40～P45			10	mA
IOL(peak)	“L”出力尖頭電流 (注1) P10～P17			20	mA
IOH(avg)	“H”出力平均電流 (注2) P00～P07, P10～P17, P20, P21, P24～P27 P30～P35, P40～P45			- 5	mA
IOL(avg)	“L”出力平均電流 (注2) P00～P07, P20～P27, P30～P35, P40～P45			5	mA
IOL(avg)	“L”出力平均電流 (注2) P10～P17			15	mA
f(XIN)	内部クロック発振周波数 (注3) ($V_{CC}=4.0\sim 5.5V$)			8	MHz
f(XIN)	内部クロック発振周波数 (注3) ($V_{CC}=2.7\sim 5.5V$)			4	MHz

注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2. 平均出力電流IOL(avg), IOH(avg)は100msの期間での平均値です。

3. 発振周波数はデューティ50%の場合です。

電気的特性

表17. 電気的特性(1) 指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00～P07, P10～P17, P20, P21 P24～P27, P30～P35, P40～P45 (注)	IOH= - 10mA $V_{CC}=4.0\sim 5.5V$	$V_{CC} - 2.0$			V
		IOH= - 1.0mA $V_{CC}=2.7\sim 5.5V$	$V_{CC} - 1.0$			V
VOL	“L”出力電圧 P00～P07, P20～P27, P30～P35 P40～P45	IOL=10mA $V_{CC}=4.0\sim 5.5V$			2.0	V
		IOL=1.0mA $V_{CC}=2.7\sim 5.5V$			1.0	V
VOL	“L”出力電圧 P10～P17	IOL=20mA $V_{CC}=4.0\sim 5.5V$			2.0	V
		IOL=10mA $V_{CC}=2.7\sim 5.5V$			1.0	V

注. P25に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表18. 電気的特性(2)(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{T+} - V_{T-}$	ヒステリシス CNTR0, CNTR1, INT0 ~ INT3			0.4		V
$V_{T+} - V_{T-}$	ヒステリシス RxD, SCLK			0.5		V
$V_{T+} - V_{T-}$	ヒステリシス \overline{RESET}			0.5		V
I_{IH}	“H” 入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P35, P40 ~ P45	$V_i = V_{CC}$			5.0	μA
I_{IH}	“H” 入力電流 \overline{RESET} , CNV_{SS}	$V_i = V_{CC}$			5.0	μA
I_{IH}	“H” 入力電流 X_{IN}	$V_i = V_{CC}$		4		μA
I_{IL}	“L” 入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P35, P40 ~ P45	$V_i = V_{SS}$			- 5.0	μA
I_{IL}	“L” 入力電流 \overline{RESET} , CNV_{SS}	$V_i = V_{SS}$			- 5.0	μA
I_{IL}	“L” 入力電流 X_{IN}	$V_i = V_{SS}$		- 4		μA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表19. 電気的特性(3) (指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		6.8	13	mA	
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		1.6		mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		60	200	μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA	
		低速モード時(V _{CC} =3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		20	55	μA	
		低速モード時(V _{CC} =3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		5.0	10.0	μA	
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態		4.0	7.0	mA	
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		1.5		mA	
		A-D変換器動作時の増量 f(XIN)=8MHz		800		μA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	T _a = 25		0.1	1.0	μA
			T _a = 85			10	μA

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

A-D変換器特性

表20. A-D変換器特性

(指定のない場合は, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=8MHz$, $f(X_{CIN})=32kHz$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					10	bit
-	絶対精度(量子化誤差は除く)					± 4	LSB
tCONV	変換時間		高速モード及び中速モード			61	tc()
			低速モード		40		μs
RLADDER	ラダー抵抗			35			k
IVREF	基準電源	VREF 接続時	VREF=5.0V	50	150	200	μA
	入力電流	VREF 切断時				5.0	μA
I(AD)	A-Dポート入力電流			0.5		5.0	μA

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

タイミング必要条件

表21. タイミング必要条件(1)

(指定のない場合は、VCC=4.0~5.5V, VSS=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	20			XINサイクル
t _c (XIN)	外部クロック入力サイクル時間	125			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	50			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	50			ns
t _c (CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
t _{WH} (CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
t _{WL} (CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
t _{WH} (INT)	INT0~INT3入力“H”パルス幅	80			ns
t _{WL} (INT)	INT0~INT3入力“L”パルス幅	80			ns
t _c (SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
t _{WH} (SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
t _{WL} (SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
t _{su} (RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
t _h (SCLK1-RxD)	シリアル/O1入力ホールド時間	100			ns
t _c (SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
t _{WH} (SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
t _{WL} (SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
t _{su} (SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	200			ns
t _h (SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A16番地のビット6が[※]1(クロック同期モード)の場合です。

f(XIN)=8MHz、001A16番地のビット6が[※]0(非同期モード)の場合は、値は1/4になります。

表22. タイミング必要条件(2)

(指定のない場合は、VCC=2.7~5.5V, VSS=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	20			XINサイクル
t _c (XIN)	外部クロック入力サイクル時間	250			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	100			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	100			ns
t _c (CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
t _{WH} (CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
t _{WL} (CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
t _{WH} (INT)	INT0~INT3入力“H”パルス幅	230			ns
t _{WL} (INT)	INT0~INT3入力“L”パルス幅	230			ns
t _c (SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
t _{WH} (SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
t _{WL} (SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
t _{su} (RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
t _h (SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
t _c (SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
t _{WH} (SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
t _{WL} (SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
t _{su} (SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	400			ns
t _h (SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A16番地のビット6が[※]1(クロック同期モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が[※]0(非同期モード)の場合は、値は1/4になります。

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

スイッチング特性

表23. スwitchング特性(1)

(指定のない場合は、Vcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図59	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 160			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				200	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注3)			10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注3)			10	30	ns

注1. UART制御レジスタのP25/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が*0の場合です。

2. シリアル/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャンネル出力禁止ビット(0015₁₆番地のビット7)が*0の場合です。

3. XOUT端子を除きます。

表24. スwitchング特性(2)

(指定のない場合は、Vcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図59	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				400	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注3)			20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注3)			20	50	ns

注1. UART制御レジスタのP25/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が*0の場合です。

2. シリアル/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャンネル出力禁止ビット(0015₁₆番地のビット7)が*0の場合です。

3. XOUT端子を除きます。

マルチマスタ²C-BUSバスライン特性

表25. マルチマスタ²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスマフリータイム	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL、SDA信号の立ち上がり時間		1000	20+0.1Cb (注)	300	ns
tHD;DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL、SDA信号の立ち下がり時間		300	20+0.1Cb (注)	300	ns
tSU;DAT	データのセットアップ時間	250		100		ns
tSU;STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU;STO	ストップコンディション時のセットアップ時間	4.0		0.6		μs

(注) Cb = 1つのバスラインキャパシタの合計

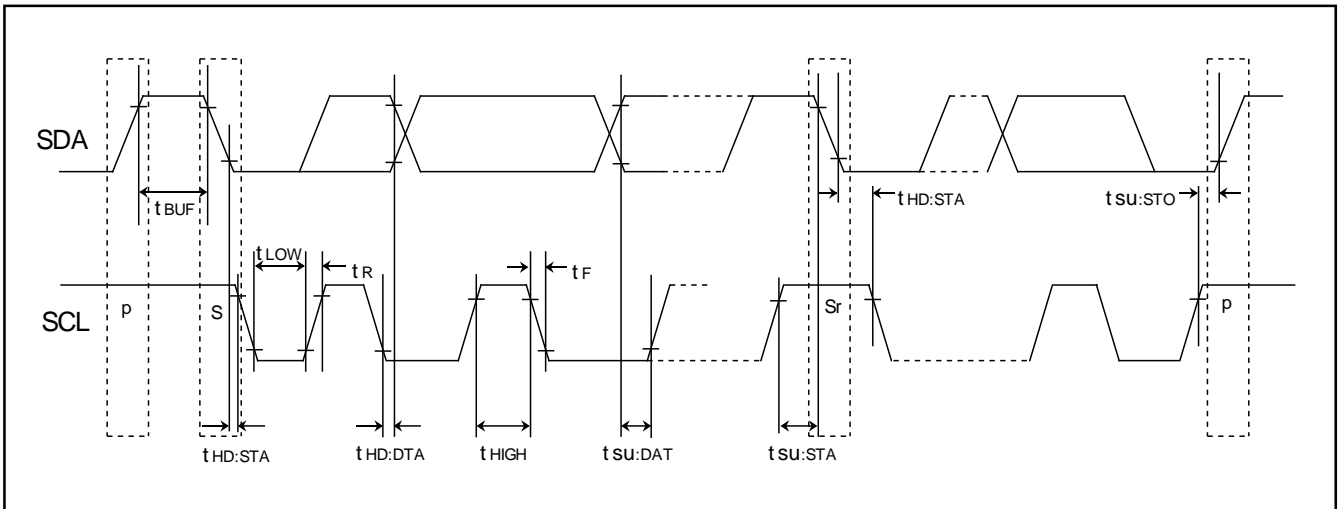


図58. マルチマスタ²C-BUSタイミング定義図

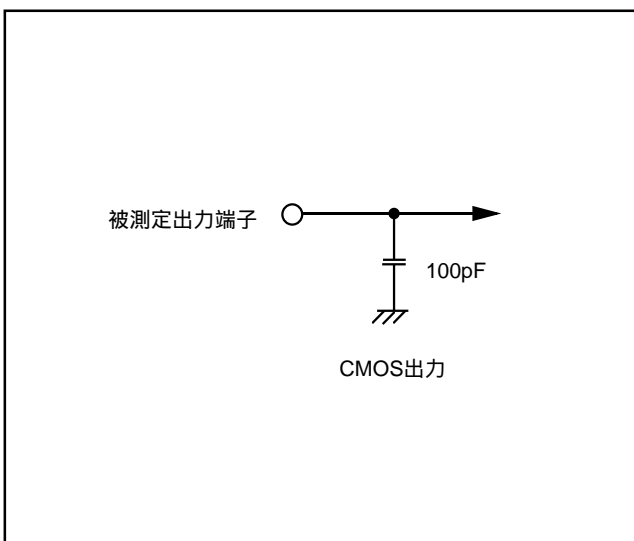


図59. 出力スイッチング特性測定回路図

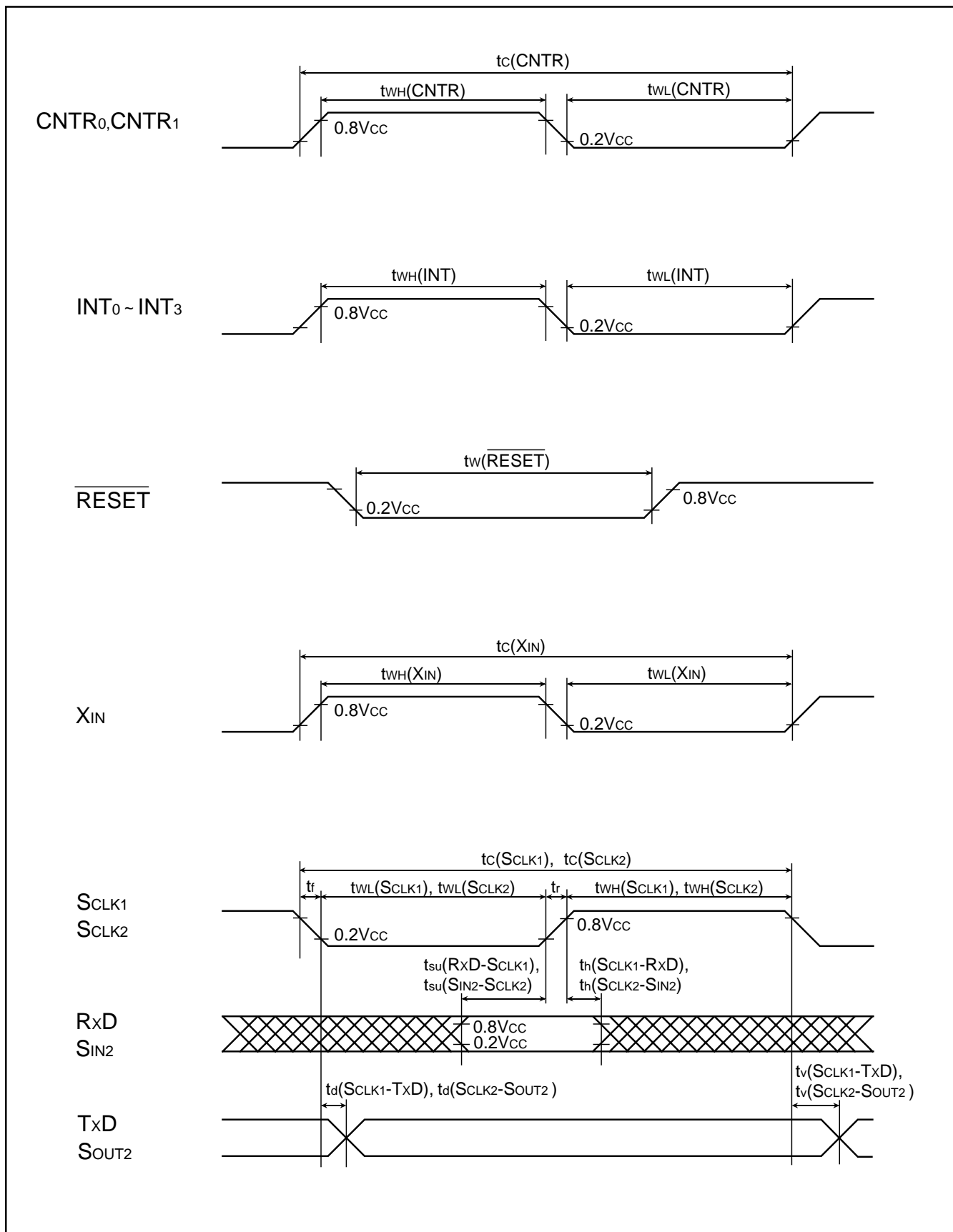


図60. タイミング図

三菱マイクロコンピュータ 7516グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

株式会社 **ルネサス テクノロジ** 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。
本資料ご利用に際しての留意事項	・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (http://www.semicon.melco.co.jp/) などを通じて公開される情報に常にご注意ください。 ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。 ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。 ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。 ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。 ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

2002年10月 作成

