お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7516グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0040-0201Z
Rev.2.01
2003.07.01

概　要

7516グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、I²C-BUSインタフェース、A-D変換器を内蔵しており、家電、OA機器に最適です。

特　長

●基本機械語命令 71
●命令実行時間 ..... 0.5 μs
（最短命令、発振周波数8MHz時）
●メモリ容量　ROM ..... 16K～32Kバイト
RAM ..... 512～1Kバイト
●プログラマブル入出力ポート 40本
●割り込み ..... 17要因、16ベクタ
●タイマ ..... 8ビット×4
●シリアルI/O1 ..... 8ビット×1
（UART又はクロック同期形）
●シリアルI/O2 ..... 8ビット×1
（クロック同期形）
●マルチマスタI²C-BUSインタフェース 1系統
（オプション）
●PWM ..... 8ビット×1
●A-D変換器 ..... 10ビット分解能×8チャネル
●クロック発生回路 2回路内蔵
（セラミック共振子又は水晶発振子外付け）
●ウオッチドッグタイマ ..... 16ビット×1
●電源電圧
高速モード時 ..... 4.0～5.5V
（発振周波数8MHz時）
2.7～5.5V
（発振周波数4MHz時）
中速モード時 ..... 2.7～5.5V
（発振周波数8MHz時、中速モード選択時）
低速モード時 ..... 2.7～5.5V
（発振周波数32kHz時）
●消費電力
高速モード時 34mW
（発振周波数8MHz時、電源電圧5V）
低速モード時　M37516F8HP以外 ..... 60 μW
M37516F8HP ..... 450 μW
（発振周波数32kHz時、電源電圧3V）
●動作周囲温度 ..... −20～85°C

応　用

OA機器、FA機器、家電、民生機器など

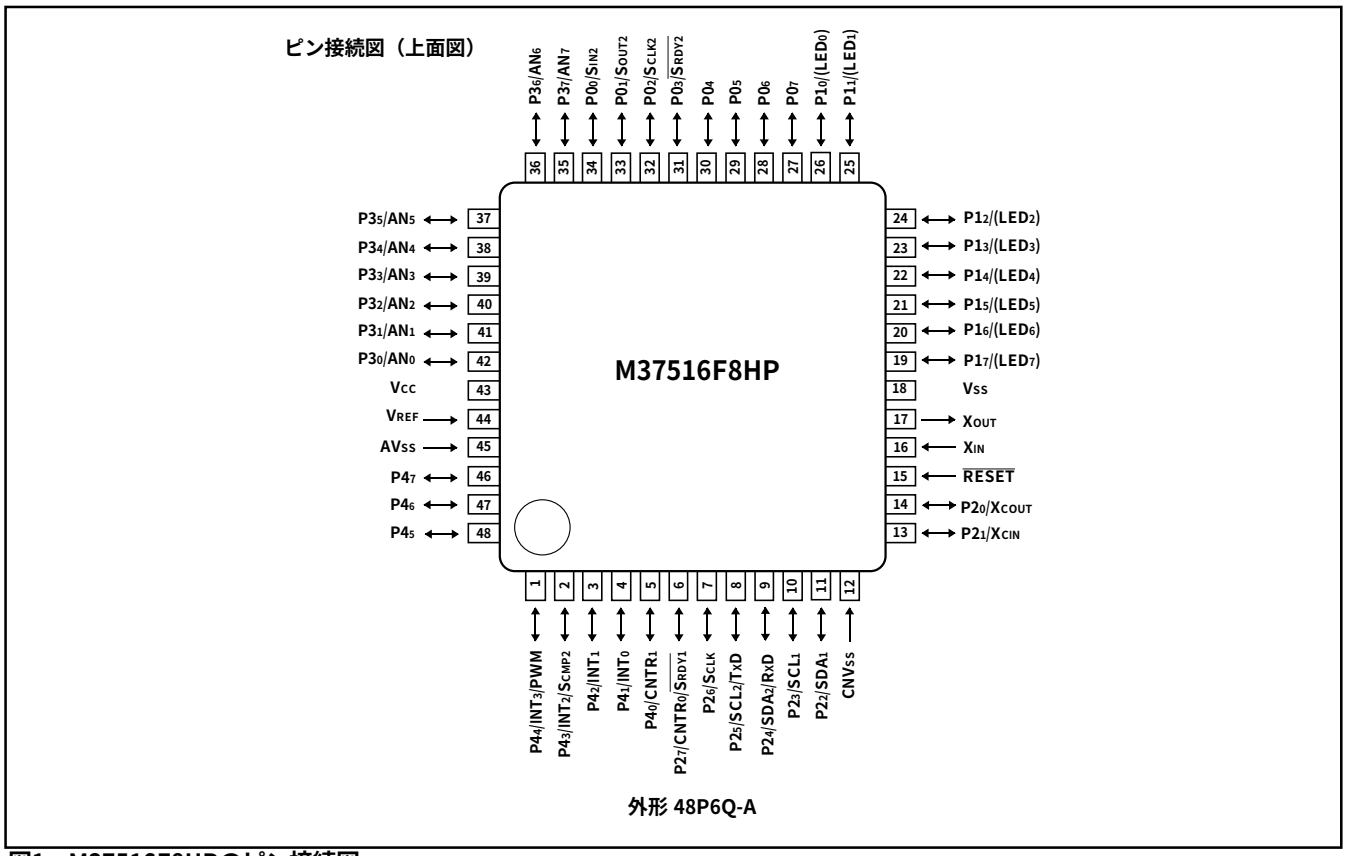


図1．M37516F8HPのピン接続図

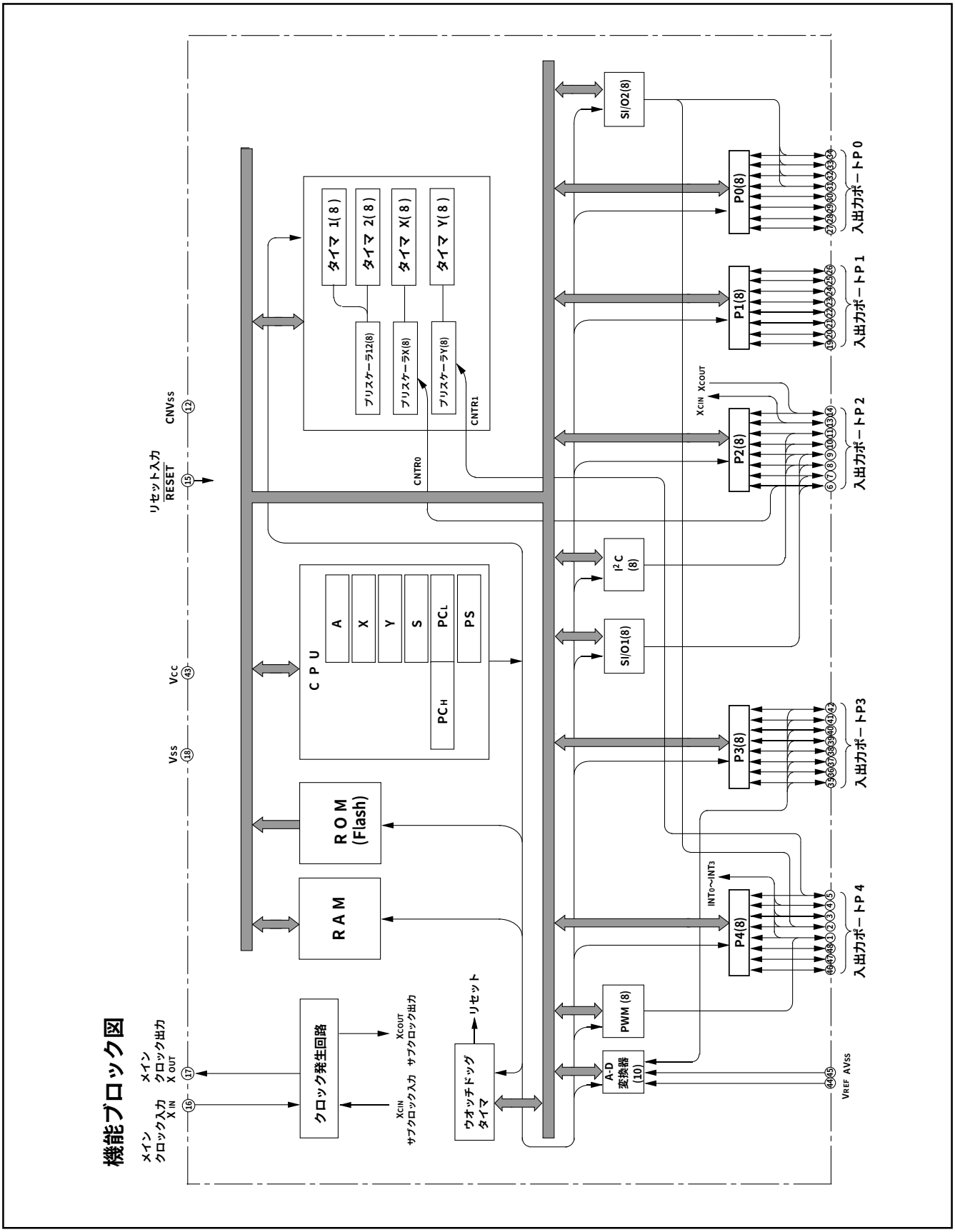

機能ブロック図
メイン クロック入力 XIN
メイン クロック出力 XOUT
クロック発生回路
XCIN サブクロック入力
XCOUT サブクロック出力
ウオッチドッグ タイマ
リセット
CPU
A
X
Y
S
PCL
PCH
PS
ROM (Flash)
RAM
タイマ 1(8)
タイマ 2(8)
タイマ X(8)
タイマ Y(8)
プリスケーラ12(8)
プリスケーラX(8)
プリスケーラY(8)
CNTR0
CNTR1
SI/O2(8)
I2C (8)
SI/O1(8)
PWM (8)
A-D 変換器 (10)
P0(8)
P1(8)
P2(8)
P3(8)
P4(8)
入出力ポート P0
入出力ポート P1
入出力ポート P2
入出力ポート P3
入出力ポート P4
INT0~INT3
XCIN XCOUT
リセット入力 RESET
CNVSS
VCC
VSS
VREF AVSS

図2．機能ブロック図

端子の機能説明

表1．端子の機能説明

端子名	名　称	機　　能	ポート以外の機能
VCC,VSS	電源入力	VCCに2.7～5.5V，VSSに0Vを印加します。	
CNVSS	CNVSS	チップの動作モードを制御する端子で通常はVSSに接続します。	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AVSS	アナログ電源入力	A-D変換器のアナログ電源入力端子です。Vssに接続してください。	
$\overline{\text{RESET}}$	リセット入力	アクティブ‘L’のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶発振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/$\overline{\text{SRDY2}}$	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 P10～P17の8ビットはLED駆動出力用の大電流出力が可能です。	シリアルI/O2機能端子
P04～P07			
P10～P17	入出力ポートP1		
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、P22～P25はI^2C-BUSインタフェース機能端子として使用した場合、CMOS/SMBUS入力レベルの切り替えが可能です。出力形式は、P20, P21, P24～P27がCMOS3ステートで、このうちP24, P25はI^2C-BUSインタフェース機能端子として使用した場合は、Nチャネルオープンドレインとなります。また、P22, P23はNチャネルオープンドレインです。	サブクロック発生入出力端子(共振子を接続します。)
P22/SDA1 P23/SCL1			I^2C-BUSインタフェース機能端子
P24/SDA2/RXD P25/SCL2/TXD			I^2C-BUSインタフェース機能端子／シリアルI/O1機能端子
P26/SCLK			シリアルI/O1機能端子
P27/CNTR0/$\overline{\text{SRDY1}}$			シリアルI/O1機能端子／タイマX機能端子
P30/AN0～ P37/AN7	入出力ポートP3	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子／SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子／PWM出力端子
P45～P47			

型名とメモリサイズ･パッケージ

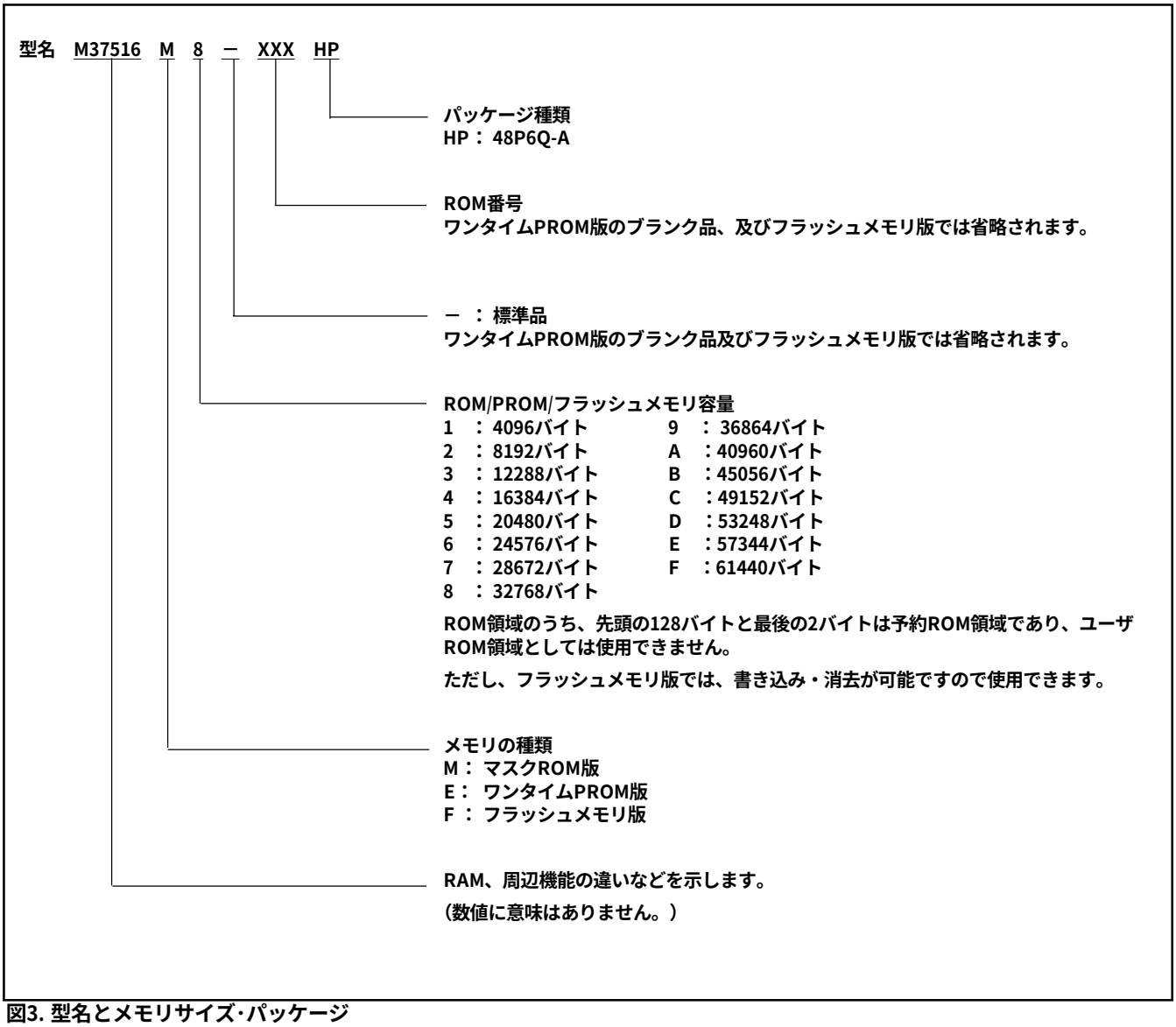


図3. 型名とメモリサイズ･パッケージ

グループ展開

7516グループは次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、フラッシュメモリ版のサポート

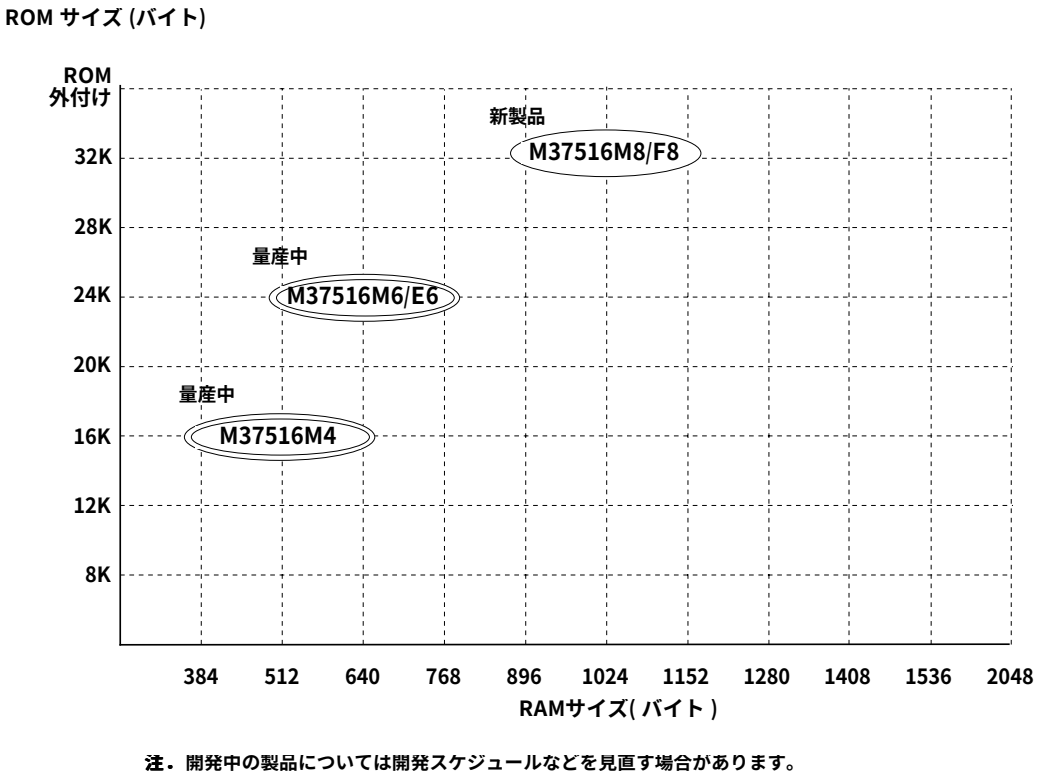
メモリ容量

フラッシュメモリ容量 32Kバイト
ワンタイムPROM容量 24Kバイト
マスクROM容量 ..... 16K～32Kバイト
RAM容量 ..... 512～1Kバイト

パッケージ

48P6Q-A 48ピンプラスチックモールドQFP

7516グループ　ROM、RAM展開



注．開発中の製品については開発スケジュールなどを見直す場合があります。

図4. ROM及びRAM展開

製品一覧を下記に示します。

表2. 製品一覧 **2003年7月現在**

製品型名	ROM容量(バイト) ( )内はユーザROM容量	RAM(バイト)	パッケージ	備考
M37516M4-XXXHP	16384 (16254)	512	48P6Q-A	マスクROM版
M37516M6-XXXHP	24576 (24446)	640		
M37516E6-XXXHP				ワンタイムPROM版
M37516E6HP				ワンタイムPROM版(ブランク品)
M37516M8-XXXHP	32768 (32638)	1024		マスクROM版
M37516F8HP				フラッシュメモリ版

機能ブロック動作説明

中央演算処理装置(CPU)

7516グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウエアマニュアルを参照ください。

品種に依存する命令については以下の通りです。

1. FST，SLW命令はありません。
2. MUL，DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00_{16}”となり、“1”の場合は“01_{16}”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外で必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PC_HとPC_Lからなる16ビットのカウンタです。PC_HとPC_Lはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

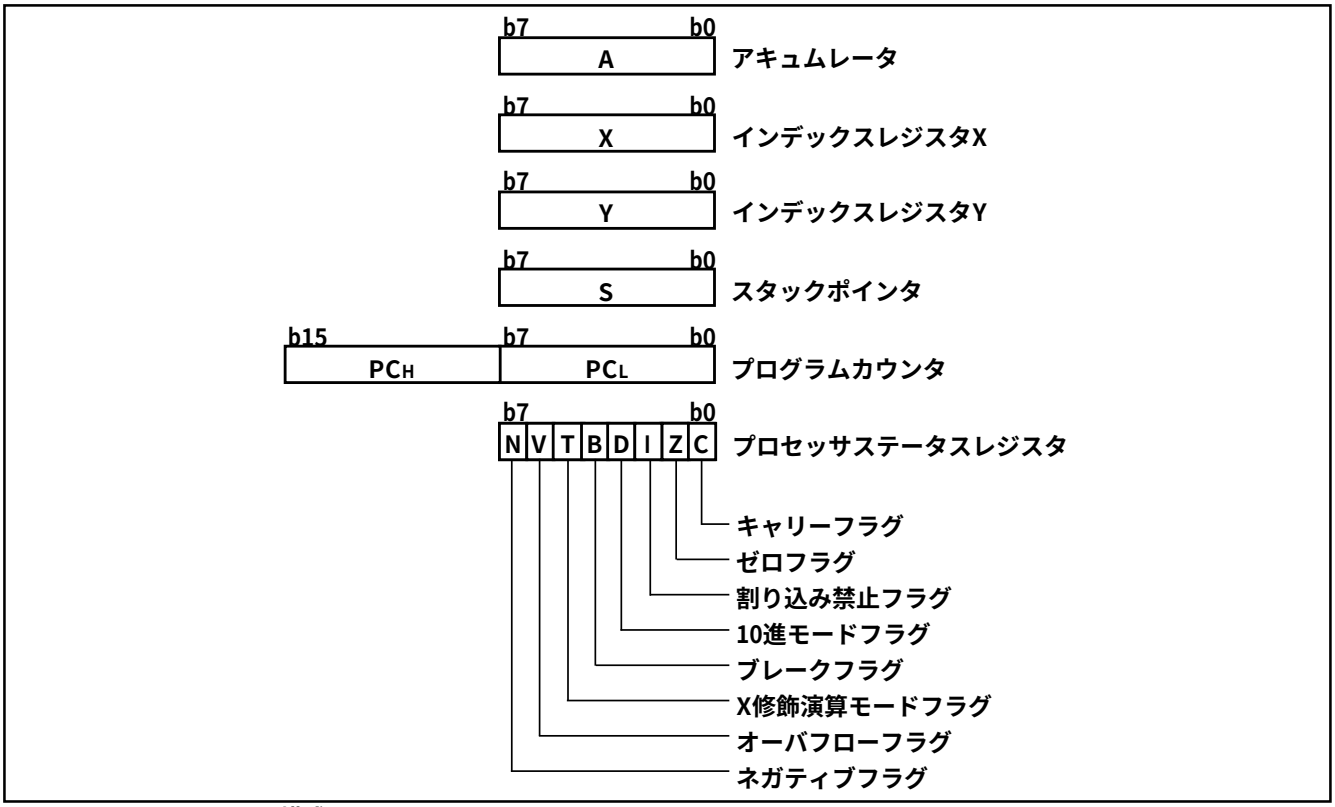


図5．740ファミリ CPUの構成

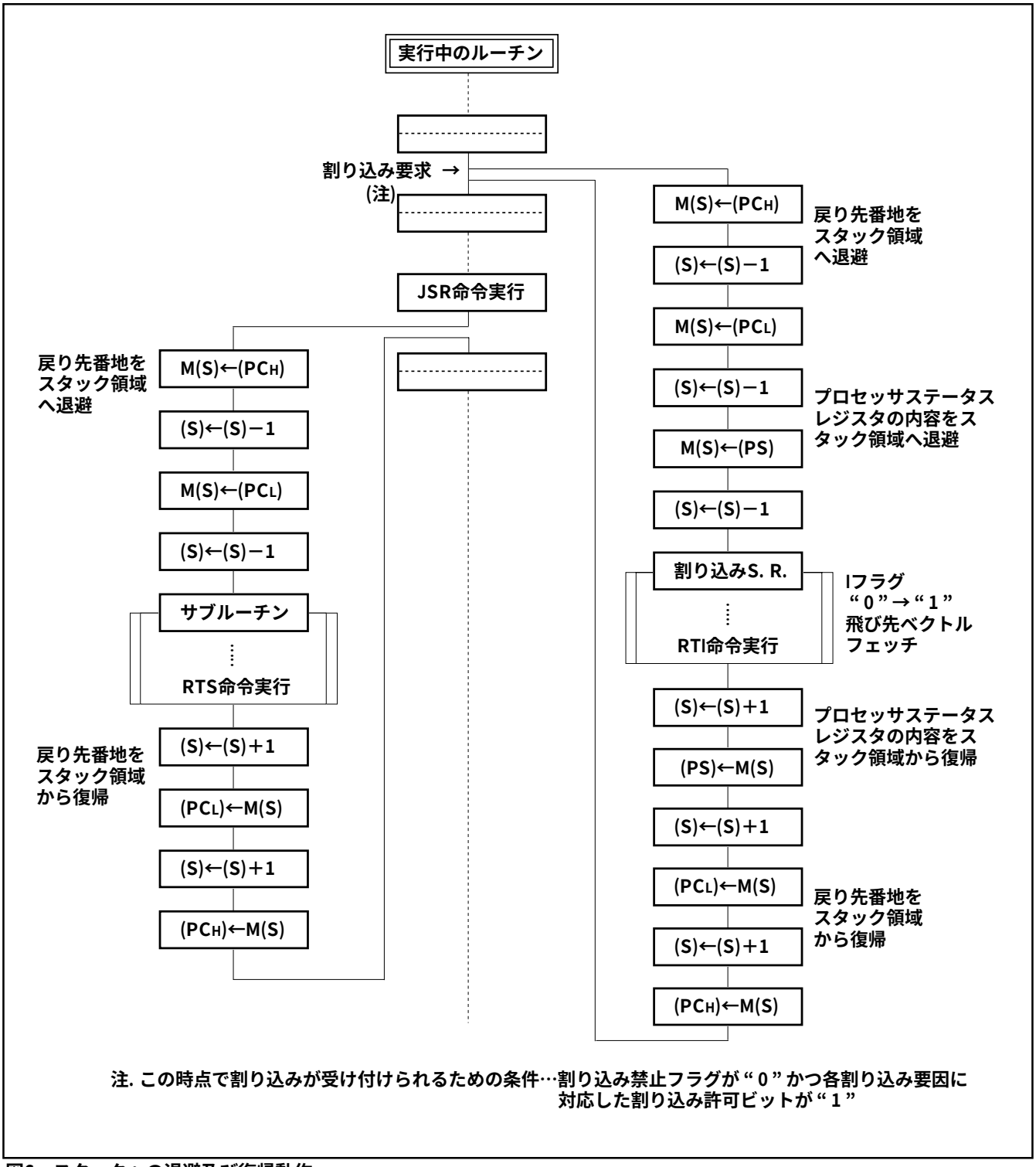


図6．スタックへの退避及び復帰動作

表3．アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。
C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを決めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレークフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	——	SEI	SED	——	SET	——	——
クリアする命令	CLC	——	CLI	CLD	——	CLT	CLV	——

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットなどが割り当てられています。

このレジスタは003B16番地に配置されています。

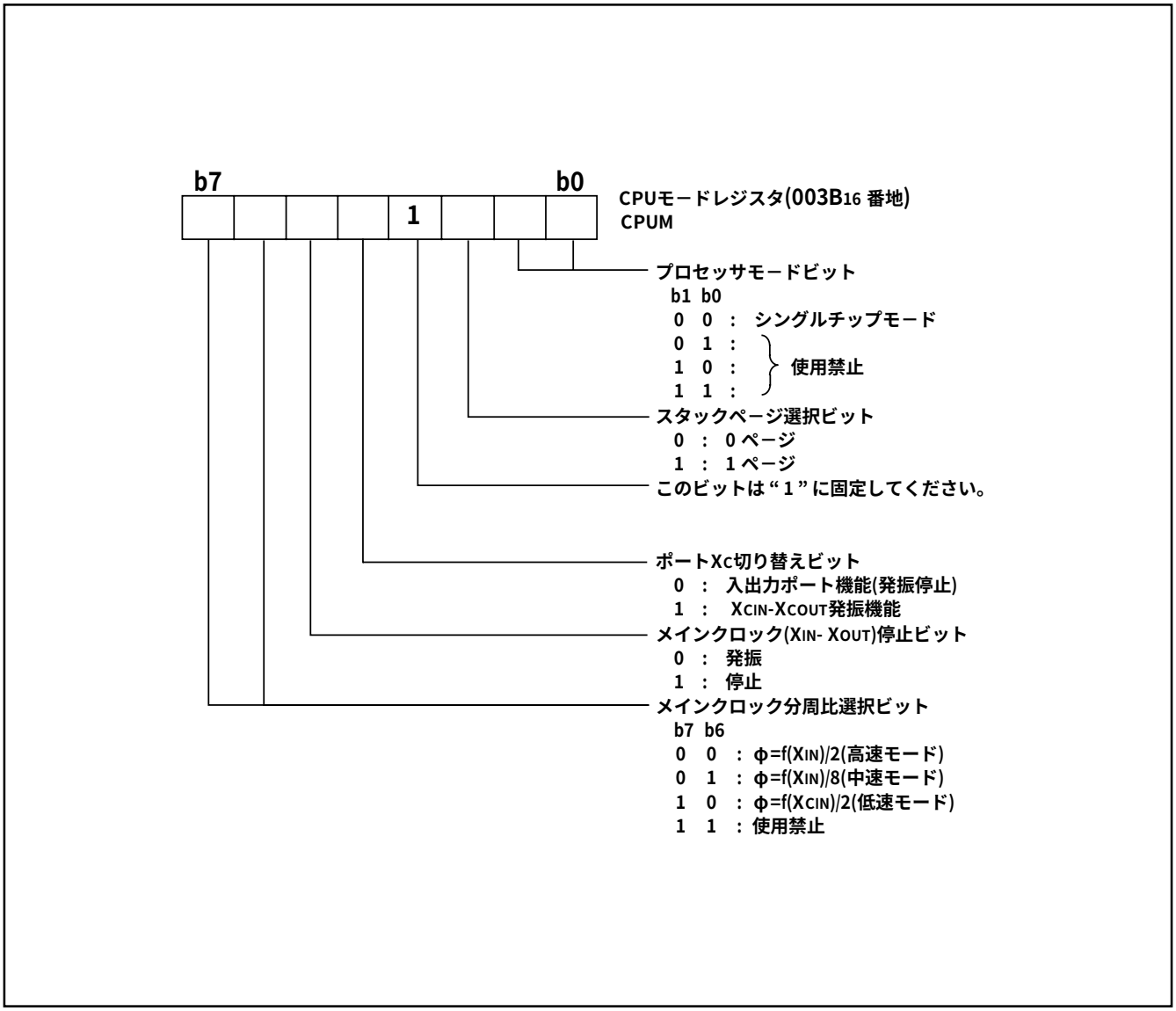


図7．CPUモードレジスタの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

製品型名	RAM容量	ROM容量
M37516M4	512バイト	16Kバイト
M37516M6/E6	640バイト	24Kバイト
M37516M8/F8	1024バイト	32Kバイト

RAM領域

RAM容量（バイト）	XXXX16番地
512	023F16
640	02BF16
1024	043F16

ROM領域

ROM容量（バイト）	YYYY16番地	ZZZZ16番地
16384	C00016	C08016
24576	A00016	A08016
32768	800016	808016

注．フラッシュメモリ版のみ

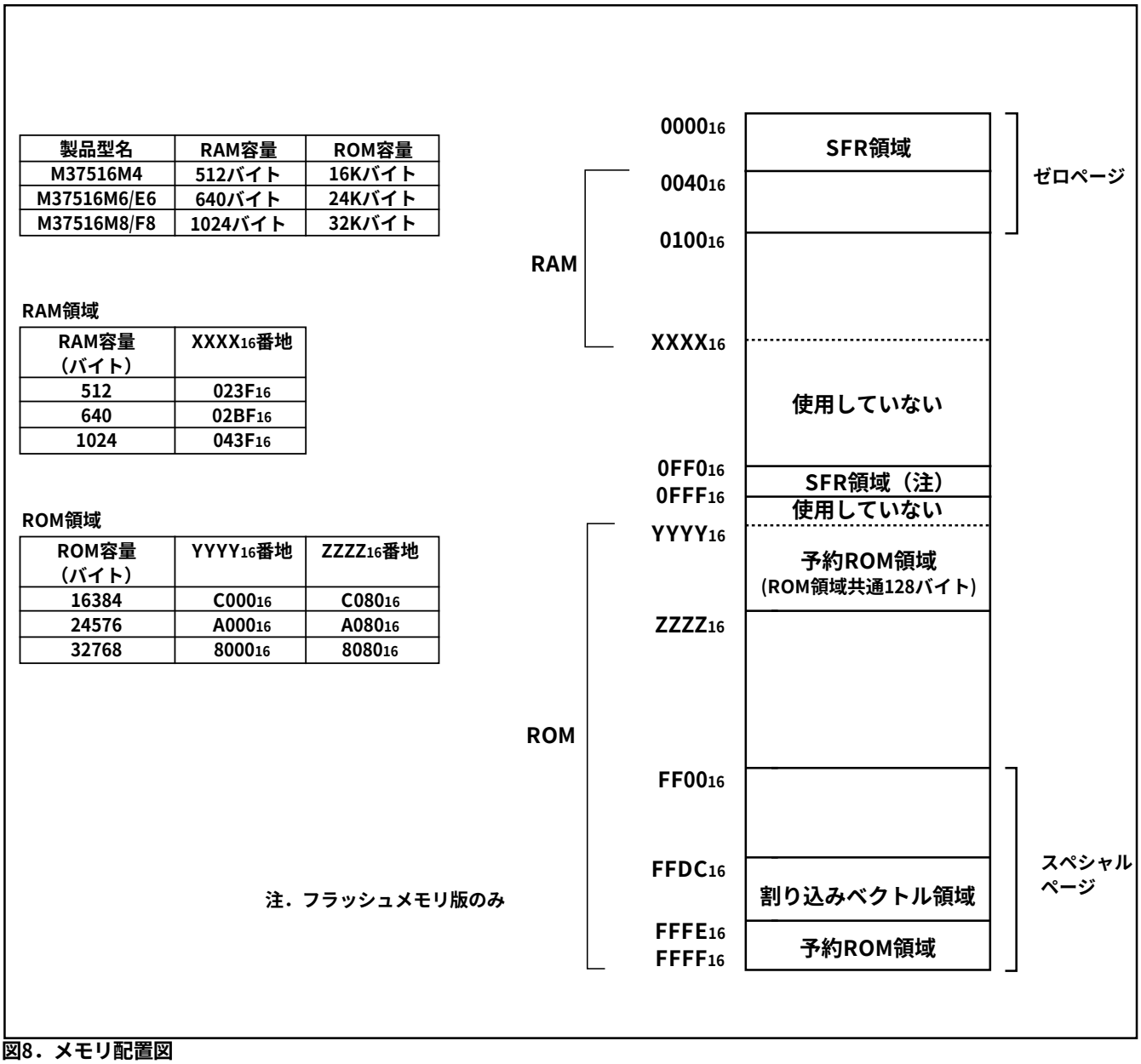


図8．メモリ配置図

0000_{16}	ポートP0(P0)
0001_{16}	ポートP0方向レジスタ(P0D)
0002_{16}	ポートP1(P1)
0003_{16}	ポートP1方向レジスタ(P1D)
0004_{16}	ポートP2(P2)
0005_{16}	ポートP2方向レジスタ(P2D)
0006_{16}	ポートP3(P3)
0007_{16}	ポートP3方向レジスタ(P3D)
0008_{16}	ポートP4(P4)
0009_{16}	ポートP4方向レジスタ(P4D)
$000A_{16}$	
$000B_{16}$	
$000C_{16}$	
$000D_{16}$	
$000E_{16}$	
$000F_{16}$	
0010_{16}	
0011_{16}	
0012_{16}	予約（注）
0013_{16}	予約（注）
0014_{16}	予約（注）
0015_{16}	シリアルI/O2制御レジスタ1(SIO2CON1)
0016_{16}	シリアルI/O2制御レジスタ2(SIO2CON2)
0017_{16}	シリアルI/O2レジスタ(SIO2)
0018_{16}	送信/受信バッファレジスタ(TB/RB)
0019_{16}	シリアルI/O1ステータスレジスタ(SIOSTS)
$001A_{16}$	シリアルI/O1制御レジスタ(SIOCON)
$001B_{16}$	UART制御レジスタ(UARTCON)
$001C_{16}$	ボーレートジェネレータ(BRG)
$001D_{16}$	PWM制御レジスタ(PWMCON)
$001E_{16}$	PWMプリスケーラ(PREPWM)
$001F_{16}$	PWMレジスタ(PWM)

0020_{16}	プリスケーラ12(PRE12)
0021_{16}	タイマ1(T1)
0022_{16}	タイマ2(T2)
0023_{16}	タイマXYモードレジスタ(TM)
0024_{16}	プリスケーラX(PREX)
0025_{16}	タイマX(TX)
0026_{16}	プリスケーラY(PREY)
0027_{16}	タイマY(TY)
0028_{16}	タイマカウントソース設定レジスタ(TCSS)
0029_{16}	
$002A_{16}$	
$002B_{16}$	I^2Cデータシフトレジスタ(S0)
$002C_{16}$	I^2Cアドレスレジスタ(S0D)
$002D_{16}$	I^2Cステータスレジスタ(S1)
$002E_{16}$	I^2Cコントロールレジスタ(S1D)
$002F_{16}$	I^2Cクロックコントロールレジスタ(S2)
0030_{16}	I^2Cｽﾀｰﾄ/ｽﾄｯﾌﾟｺﾝﾃﾞｨｼｮﾝ制御ﾚｼﾞｽﾀ(S2D)
0031_{16}	予約（注）
0032_{16}	
0033_{16}	
0034_{16}	A-D制御レジスタ(ADCON)
0035_{16}	A-D変換下位レジスタ(ADL)
0036_{16}	A-D変換上位レジスタ(ADH)
0037_{16}	予約（注）
0038_{16}	MISRG
0039_{16}	ｳｵｯﾁﾄﾞｯｸﾞﾀｲﾏ制御レジスタ(WDTCON)
$003A_{16}$	割り込みエッジ選択レジスタ(INTEDGE)
$003B_{16}$	CPUモードレジスタ(CPUM)
$003C_{16}$	割り込み要求レジスタ1(IREQ1)
$003D_{16}$	割り込み要求レジスタ2(IREQ2)
$003E_{16}$	割り込み制御レジスタ1(ICON1)
$003F_{16}$	割り込み制御レジスタ2(ICON2)

$0FFD_{16}$	予約（注）
$0FFE_{16}$	フラッシュメモリ制御レジスタ(FCON)
$0FFF_{16}$	予約（注）

注．予約領域のため、何もデータを書き込まないでください。

図9．SFR（スペシャルファンクションレジスタ）メモリマップ

入出力ポート

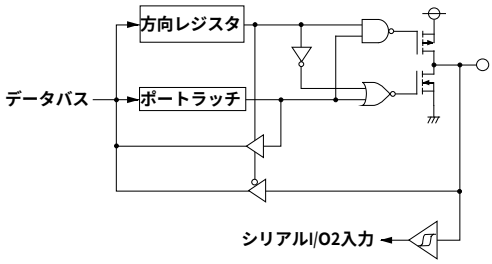
入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

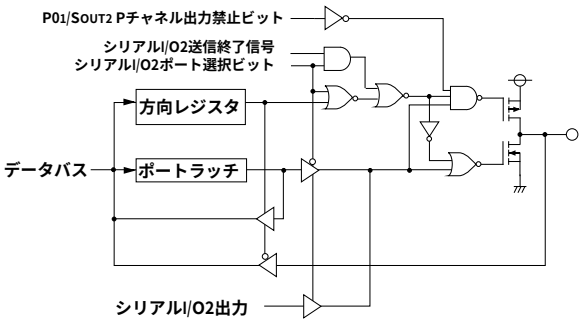
表5．入出力ポートの機能一覧

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P0$_0$/SIN$_2$ P0$_1$/SOUT$_2$ P0$_2$/SCLK$_2$ P0$_3$/$\overline{\text{SRDY}_2}$	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O2機能入出力	ｼﾘｱﾙI/O2制御ﾚｼﾞｽﾀ	(1) (2) (3) (4)
P0$_4$～P0$_7$						(5)
P1$_0$～P1$_7$	ポートP1					
P2$_0$/XCOUT, P2$_1$/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(6) (7)
P2$_2$/SDA$_1$, P2$_3$/SCL$_1$			CMOS入力レベル CMOS/SMBUS入力レベル (I^{2}C-BUSインタフェース機能選択時) Nチャネルオープンドレイン出力	I^{2}C-BUSインタフェース機能入出力	I^{2}Cコントロールレジスタ	(8) (9)
P2$_4$/SDA$_2$/RxD, P2$_5$/SCL$_2$/TxD			CMOS入力レベル CMOS/SMBUS入力レベル (I^{2}C-BUSインタフェース機能選択時) CMOS3ステート出力 Nチャネルオープンドレイン出力(I^{2}C-BUSインタフェース機能選択時)	I^{2}C-BUSインタフェース機能入出力/ シリアルI/O1機能入出力	I^{2}Cコントロールレジスタ シリアルI/O1制御レジスタ	(10) (11)
P2$_6$/SCLK			CMOS入力レベル CMOS3ステート出力	シリアルI/O1機能入出力	シリアルI/O1制御レジスタ	(12)
P2$_7$/CNTR$_0$/ $\overline{\text{SRDY}_1}$				シリアルI/O1機能入出力 タイマX機能入出力	シリアルI/O1制御レジスタ タイマXYモードレジスタ	(13)
P3$_0$/AN$_0$～ P3$_7$/AN$_7$	ポートP3			A-D変換入力	A-D制御レジスタ	(14)
P4$_0$/CNTR$_1$	ポートP4			タイマY機能入出力	タイマXYモードレジスタ	(15)
P4$_1$/INT$_0$ P4$_2$/INT$_1$				外部割り込み入力	割り込みエッジ選択レジスタ	(16)
P4$_3$/INT$_2$/ SCMP$_2$				外部割り込み入力 SCMP$_2$出力	割り込みエッジ選択レジスタ シリアルI/O2制御レジスタ	(17)
P4$_4$/INT$_3$/PWM				外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ PWM制御レジスタ	(18)
P4$_5$～P4$_7$						(5)

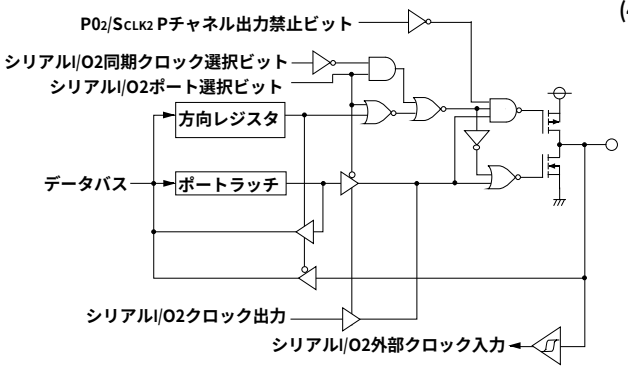
(1)ポートP0$_0$



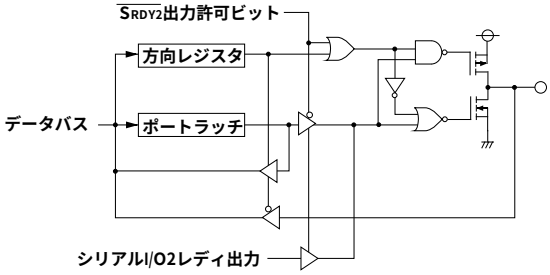
(2)ポートP0$_1$



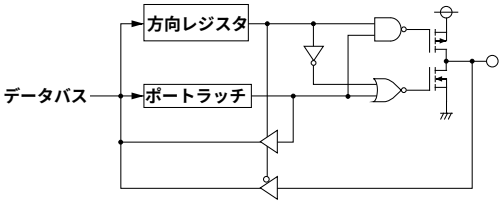
(3)ポートP0$_2$



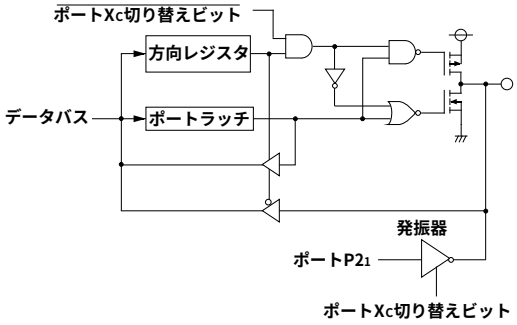
(4)ポートP0$_3$



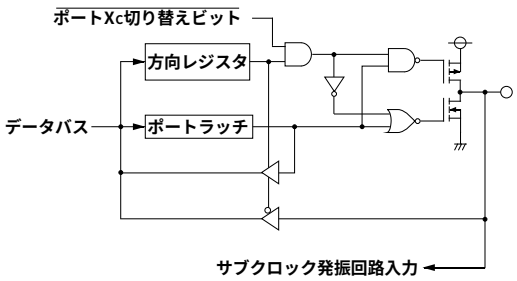
(5)ポートP0$_4$~P0$_7$,P1,P4$_5$~P4$_7$



(6)ポートP2$_0$



(7)ポートP2$_1$



(8)ポートP2$_2$

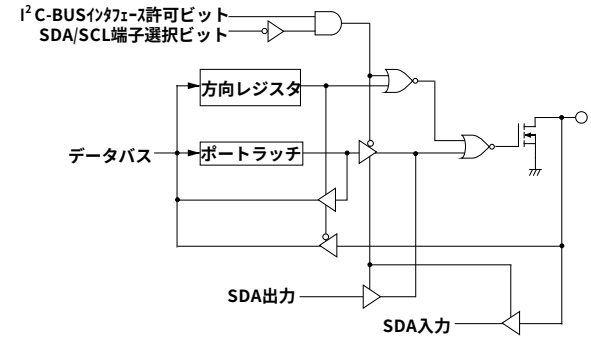


図10．ポートのブロック図(1)

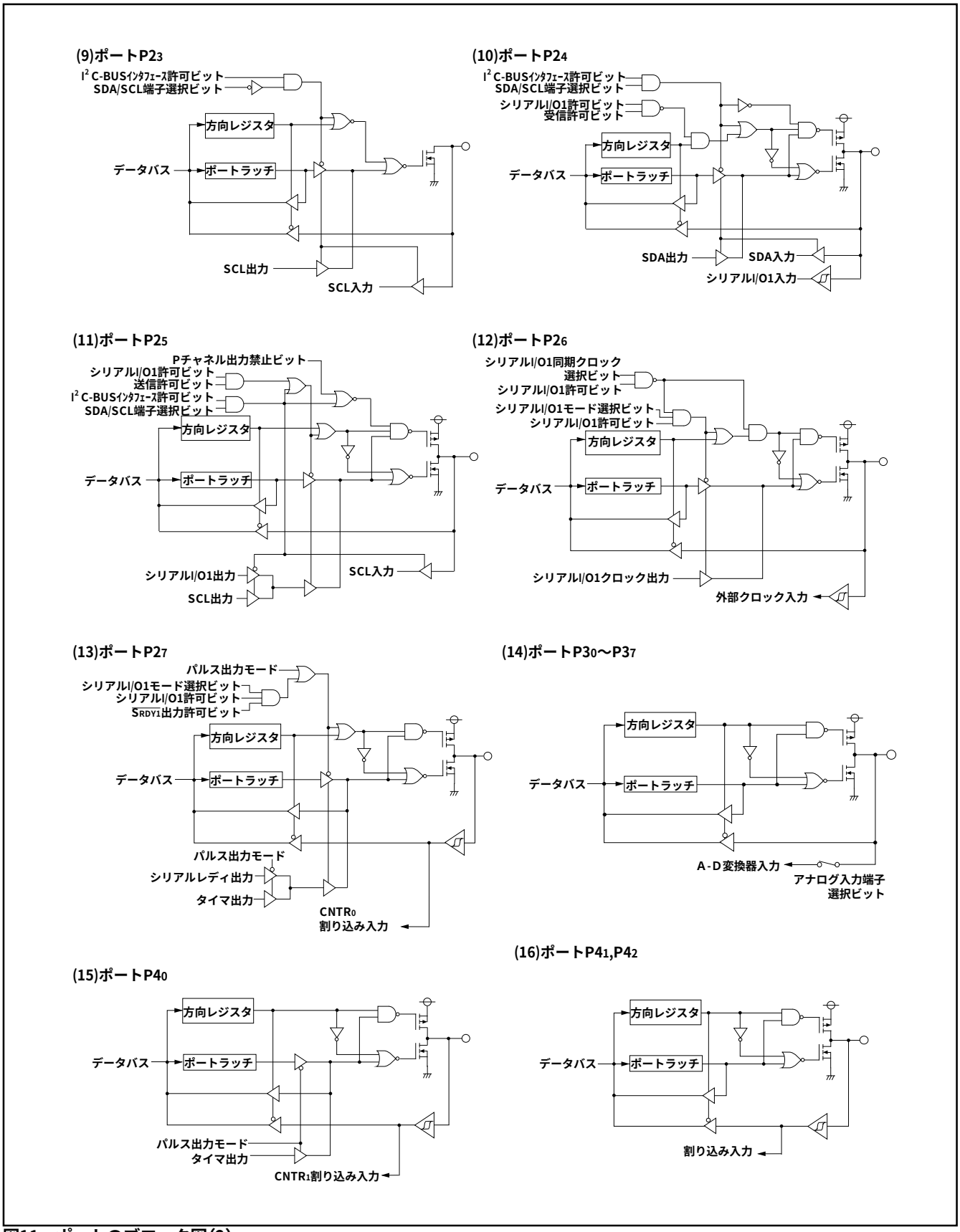
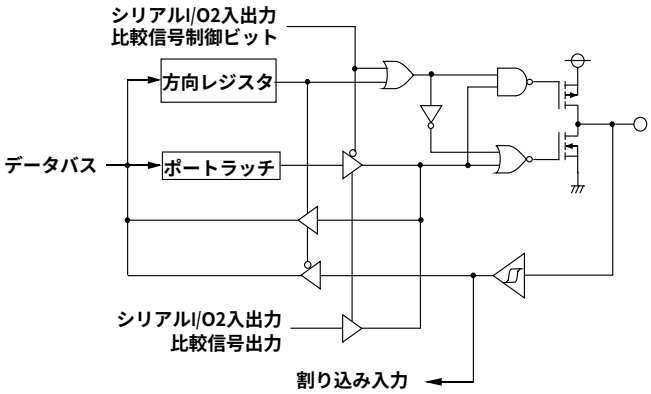


図11．ポートのブロック図(2)

(17)ポートP4$_3$



(18)ポートP4$_4$

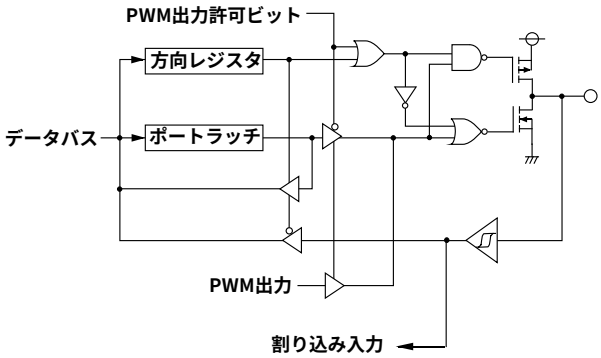


図12．ポートのブロック図(3)

割り込み

割り込みはベクトル割り込みで、外部7要因、内部9要因、ソフトウエア1要因の17要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備　考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
SCL, SDA	3	FFF916	FFF816	SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT3/	6	FFF316	FFF216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O2				シリアルI/O2送受信完了時	シリアルI/O2／INT3割り込み要因ビットによる切り替え
I2C	7	FFF116	FFF016	データ送受信終了時	
タイマX	8	FFEF16	FFEE16	タイマXアンダフロー時	
タイマY	9	FFED16	FFEC16	タイマYアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	
シリアルI/O1受信	12	FFE716	FFE616	シリアルI/O1データ受信完了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	13	FFE516	FFE416	シリアルI/O1送信シフト終了時又は送信バッファ空き時	シリアルI/O1選択時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
A-D変換	16	FFDF16	FFDE16	A-D変換終了時	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウエア割り込み

注1．ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
　2．リセットは最上位の優先順位を持つ割り込みとして処理されます。

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
タイマXYモードレジスタ(2316番地)
I2Cスタート／ストップコンディション制御レジスタ(3016番地)

・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

①該当する割り込み許可ビットを“0”(禁止)にする。
②割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
④該当する割り込み許可ビットを“1”(許可)にする。

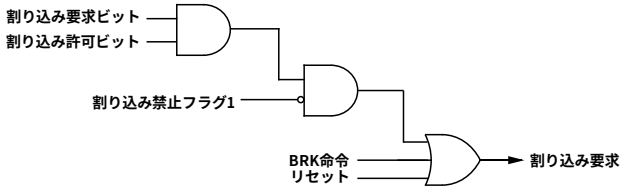


図13．割り込み制御図

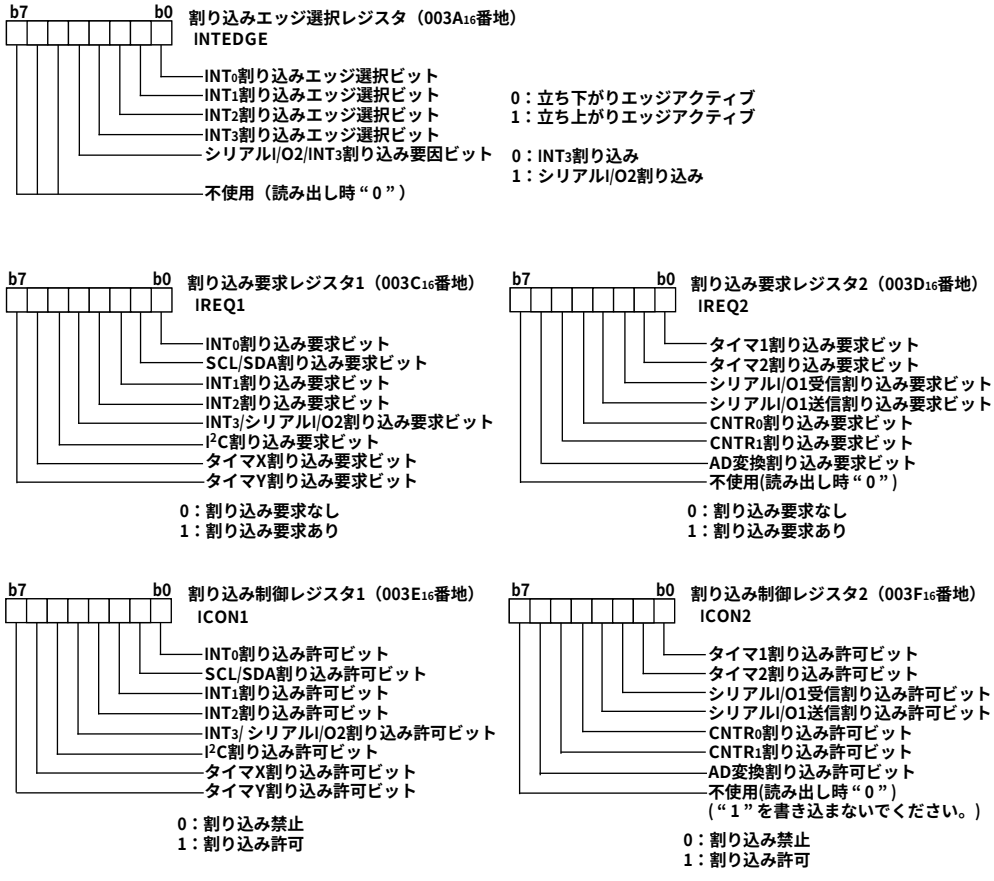


図14．割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケーラの分周比は、タイマラッチ又はプリスケーララッチの内容をnとすると1/(n+1)になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

●タイマ1、タイマ2

プリスケーラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケーラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

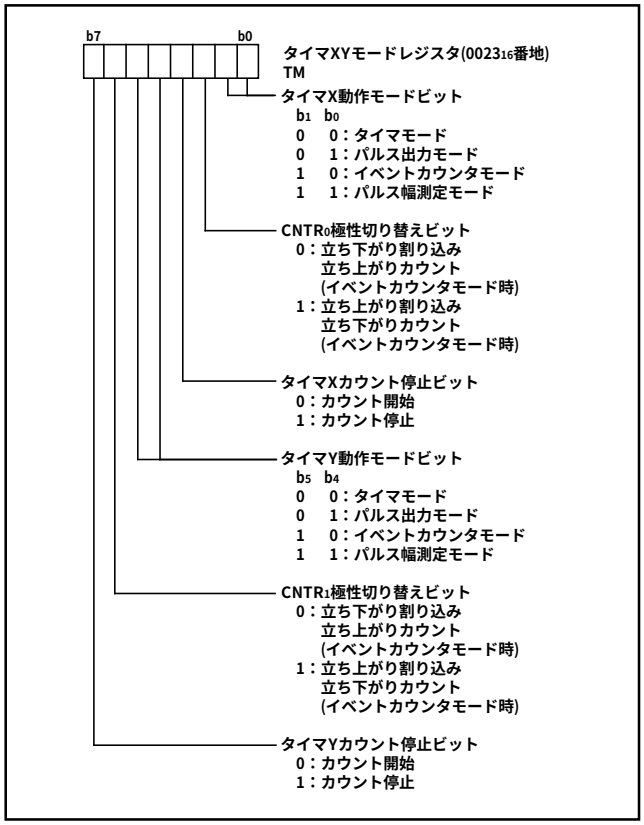


図15．タイマXYモードレジスタの構成

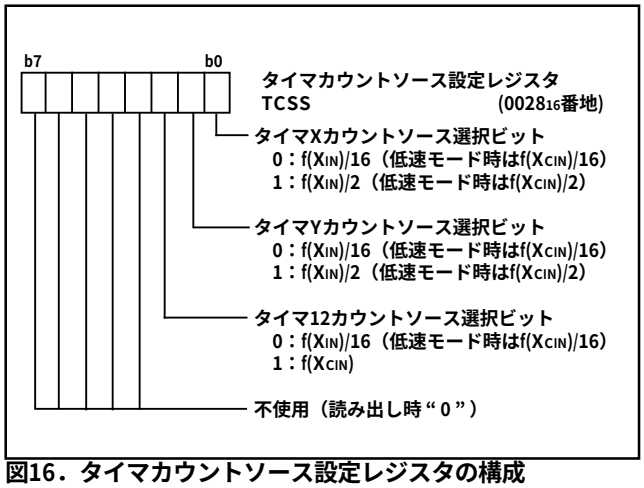


図16．タイマカウントソース設定レジスタの構成

■注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケーラ及びタイマに値を設定してください。

タイマX/タイマYカウント停止ビットを“1”にする命令を実行中にタイマX/タイマYがアンダフローした場合、タイマX/タイマY割り込み要求ビットが“1”になります。このとき、タイマX/タイマYの割り込みが許可されていると、割り込みが受け付けられます。割り込みが受け付けられるタイミングは、タイマのアンダフローのタイミングにより、カウント停止ビットを“1”にする命令の後の場合と、その次の命令の後の場合があります。この割り込みが不要な場合は、割り込み許可ビットを“0”(禁止)にした後、カウント停止ビットを“1”にしてください。

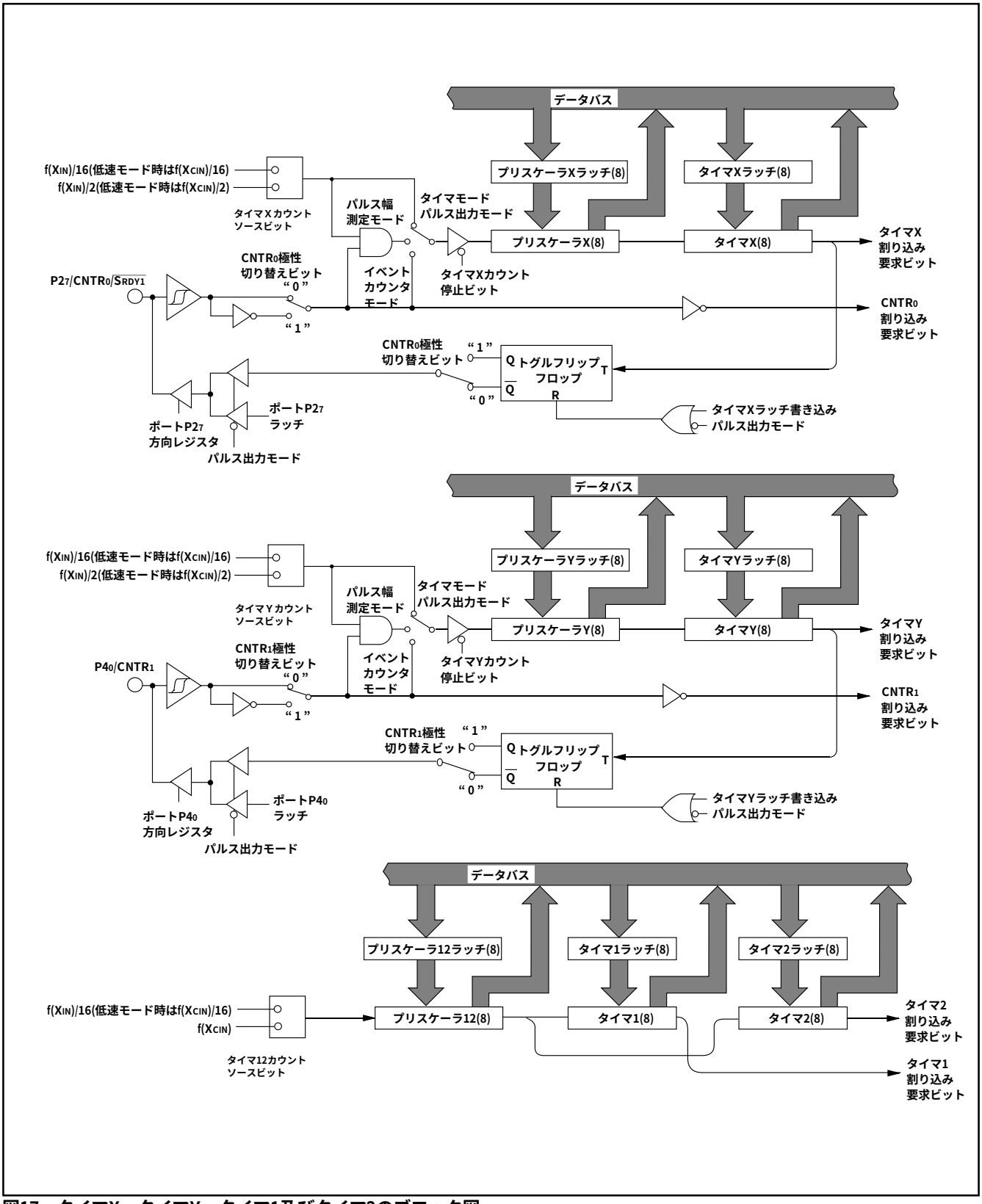


図17．タイマX，タイマY，タイマ1及びタイマ2のブロック図

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

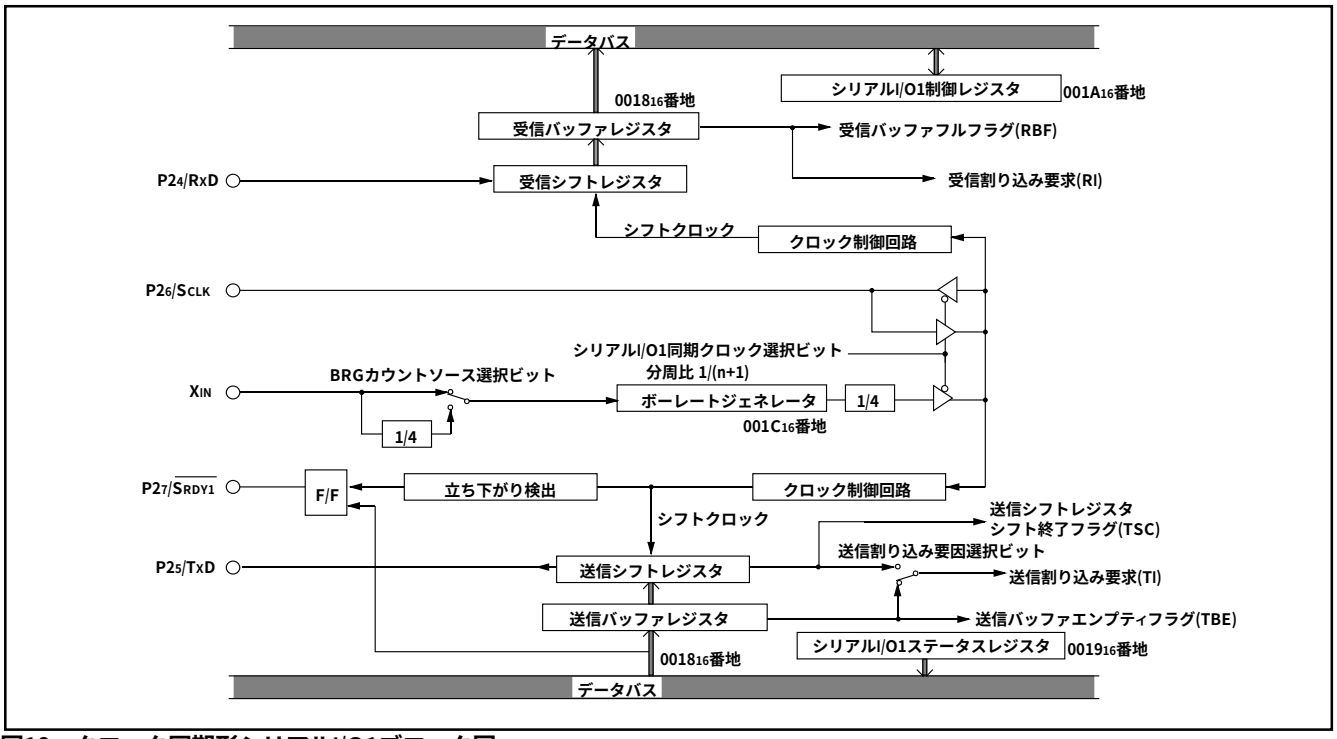
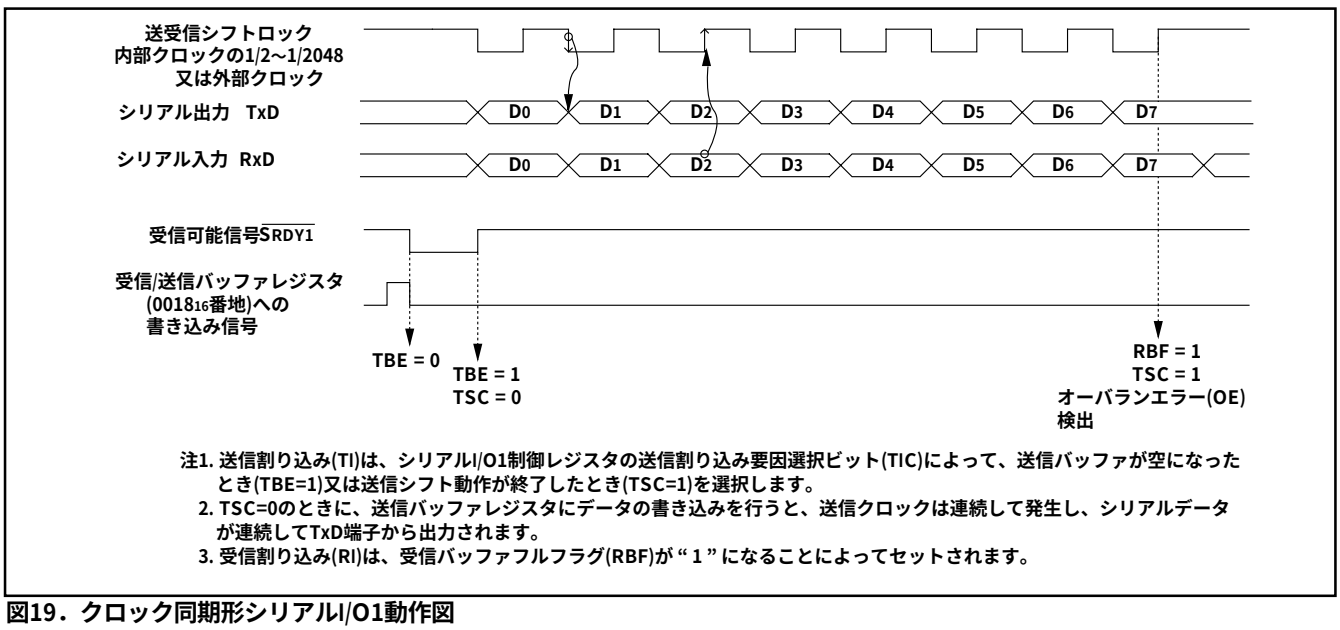


図18．クロック同期形シリアルI/O1ブロック図



注1. 送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)によって、送信バッファが空になったとき(TBE=1)又は送信シフト動作が終了したとき(TSC=1)を選択します。
2. TSC=0のときに、送信バッファレジスタにデータの書き込みを行うと、送信クロックは連続して発生し、シリアルデータが連続してTxD端子から出力されます。
3. 受信割り込み(RI)は、受信バッファフルフラグ(RBF)が“1”になることによってセットされます。

図19．クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます

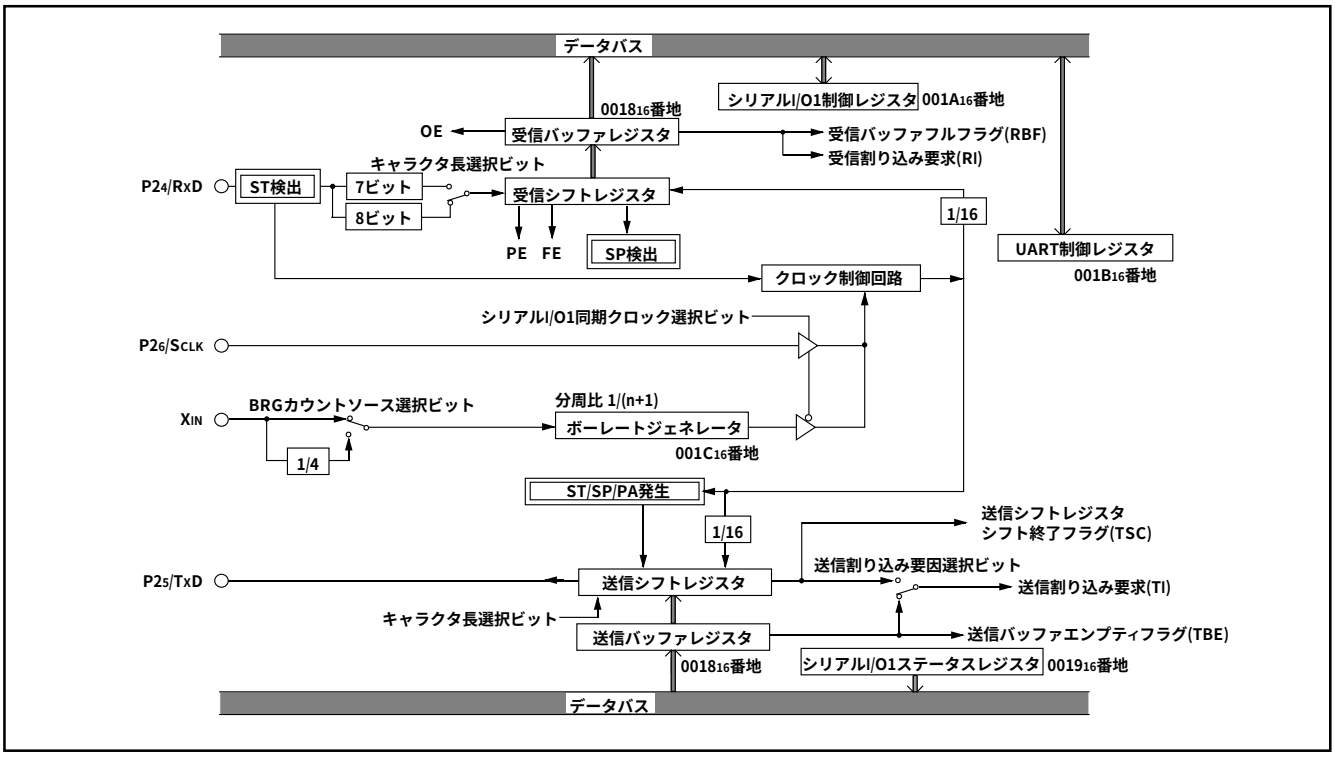
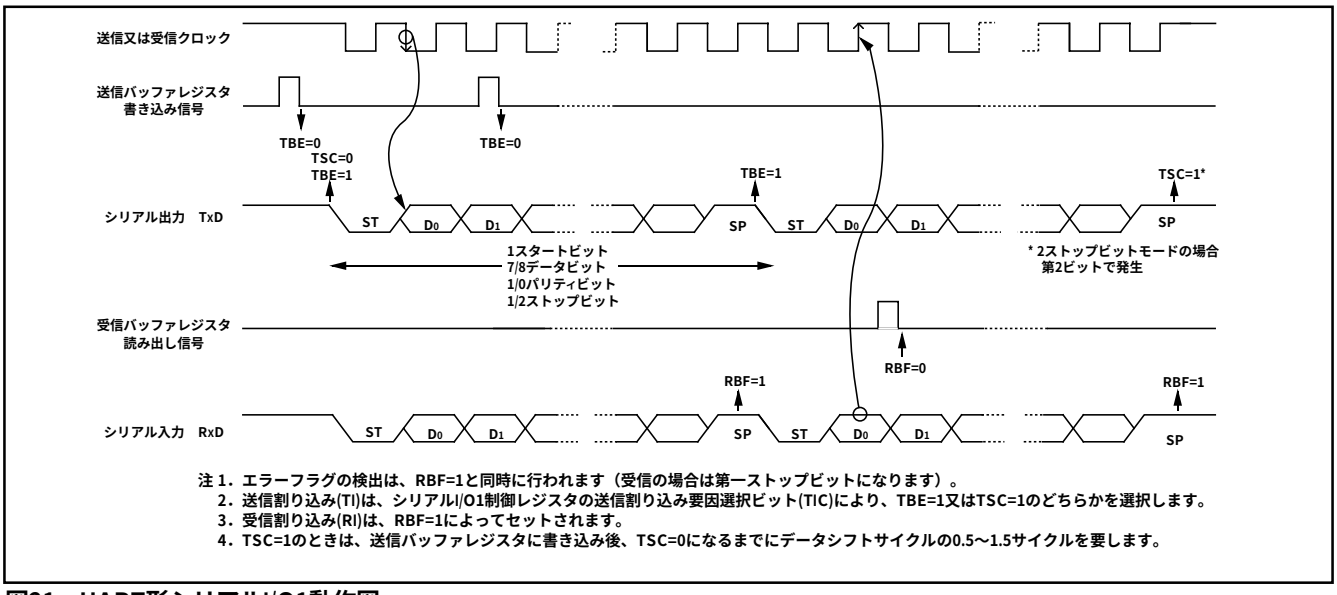


図20．UART形シリアルI/O1ブロック図



注 1．エラーフラグの検出は、RBF=1と同時に行われます（受信の場合は第一ストップビットになります）。
2．送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
3．受信割り込み(RI)は、RBF=1によってセットされます。
4．TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5～1.5サイクルを要します。

図21．UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、$P2_5$/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを1/(n+1)の分周比で分周します。

■注意事項

1. シリアルI/O1を使用する場合は、I^2C-BUSインタフェース許可ビットを“0”にするか、SDA/SCL端子選択ビットを“0”にしてください。
2. シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。
   ①シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
   ②送信許可ビットを“1”にする。
   ③一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
   ④シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

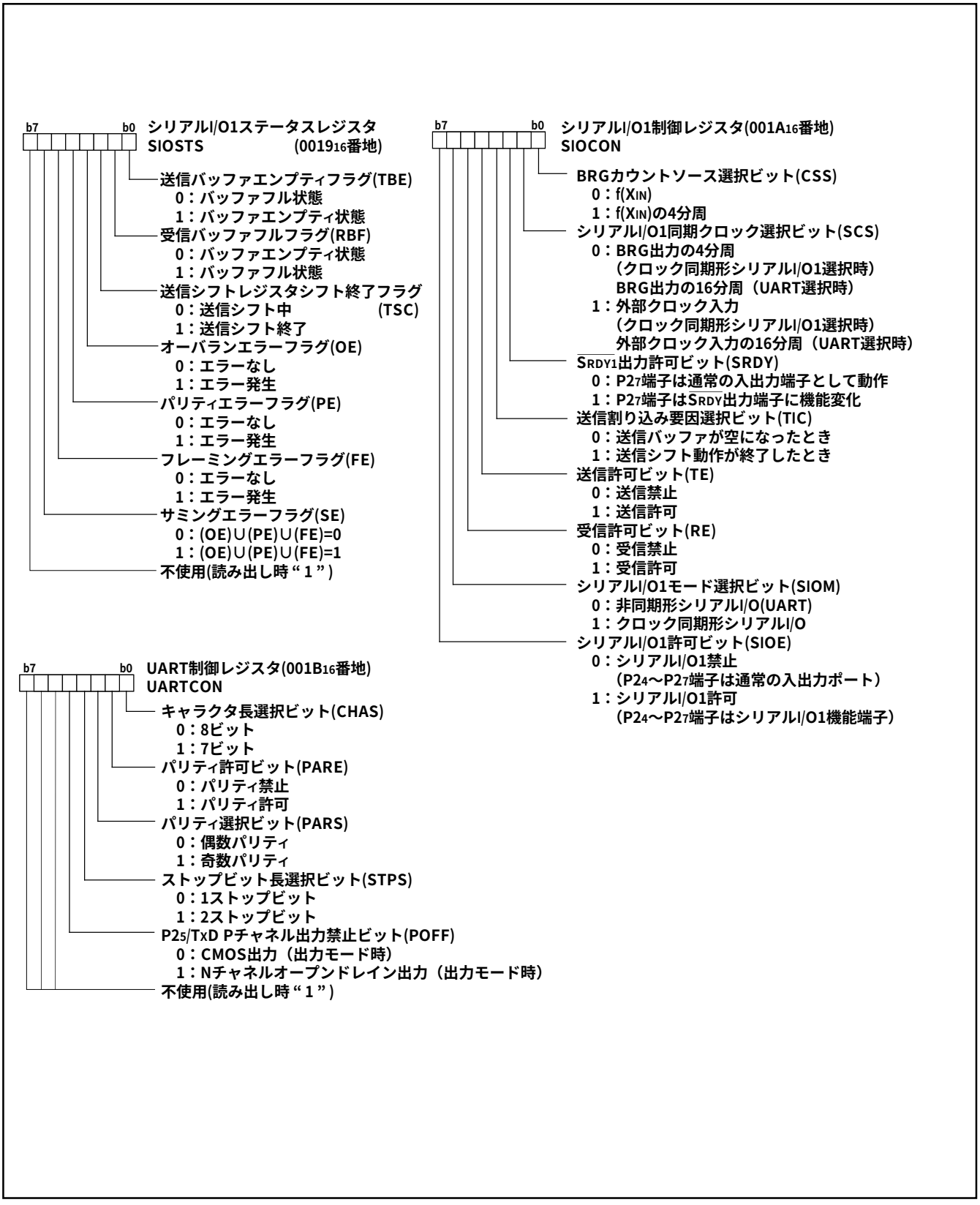


図22．シリアルI/O1関係レジスタの構成

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロック又は外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(b7)により、CMOS出力又はNチャネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017$_{16}$番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クッロクが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態でシリアルI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1～8ビット)を転送後、割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がりに同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、このときINT2割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A$_{16}$番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1
SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

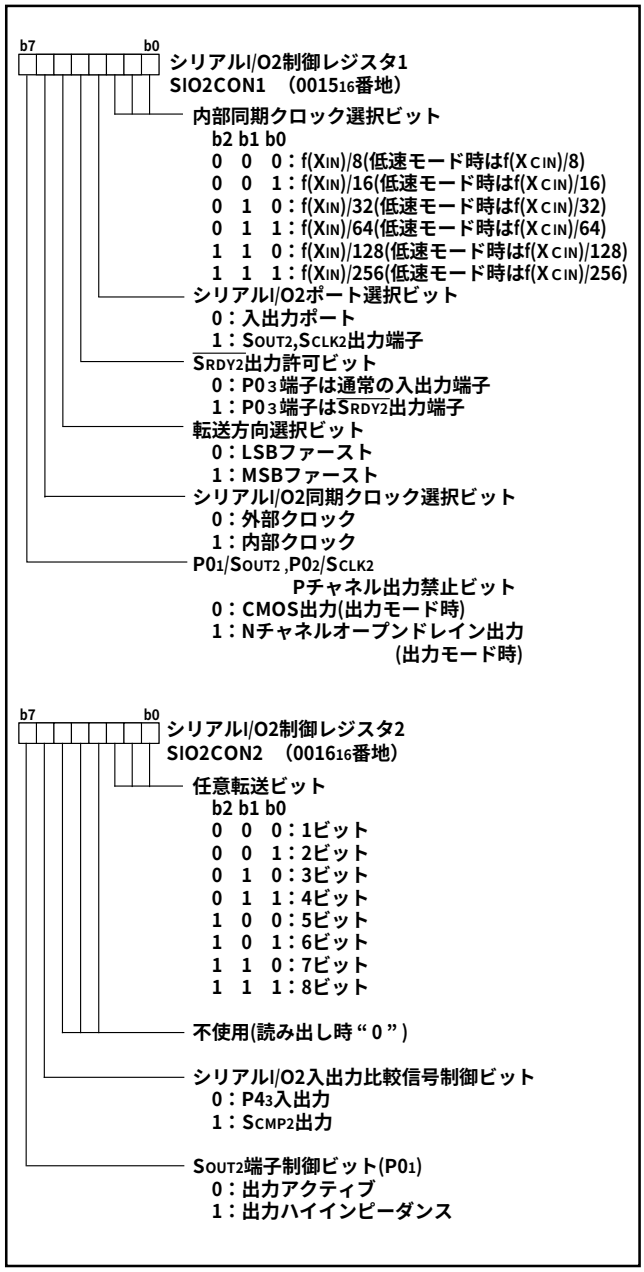
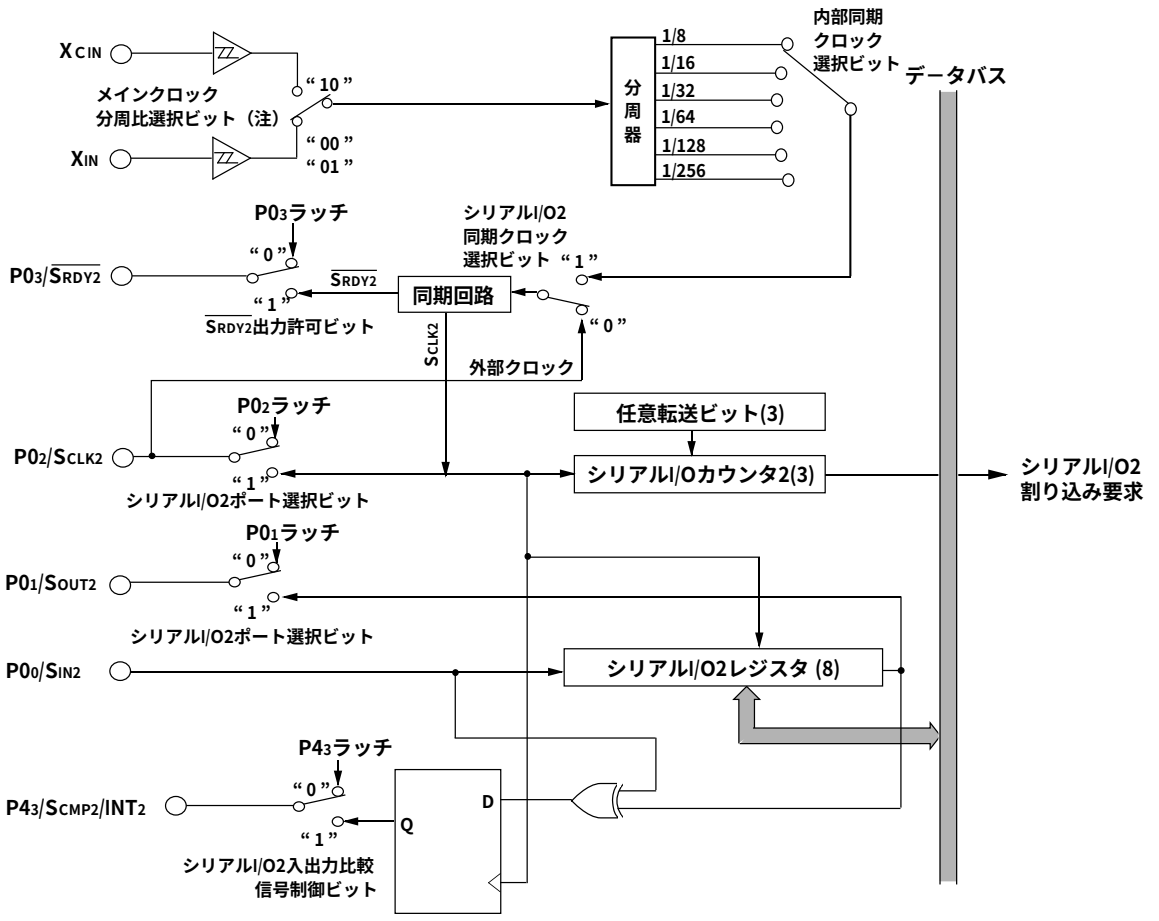
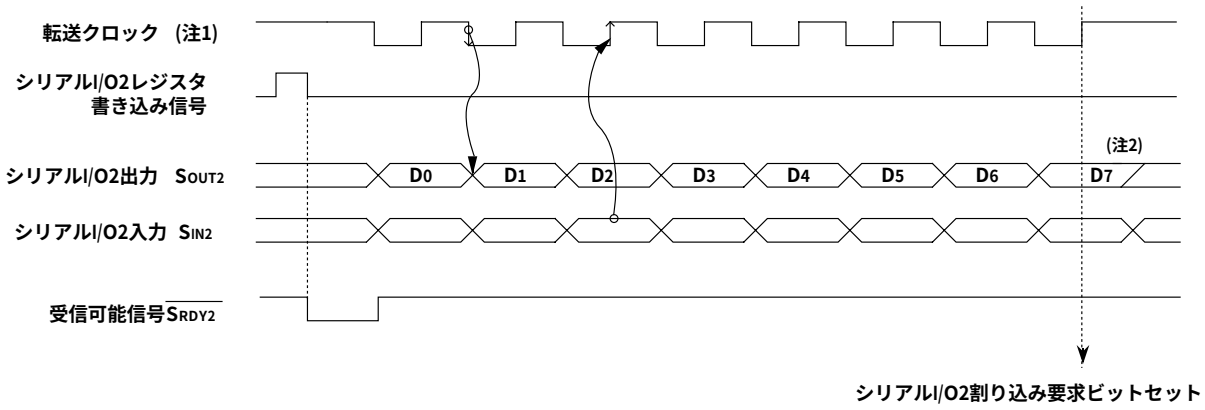


図23．シリアルI/O2制御レジスタ1、2の構成



注.ＣＰＵモードレジスタのビット7、ビット6で、高速モード、中速モード、低速モードのいずれかを選択するビットです。

図24．シリアルI/O2ブロック図



注1. 転送クロックとして内部クロックを選択している場合、シリアルI/O2制御レジスタ1のビット0～2によって f(XIN)(低速モード時はf(XCIN))の何分周にするかを選択できます。
2. 転送クロックとして内部クロックを選択している場合、SOUT2端子は転送終了後ハイインピーダンス状態になります。

図25．シリアルI/O2タイミング図

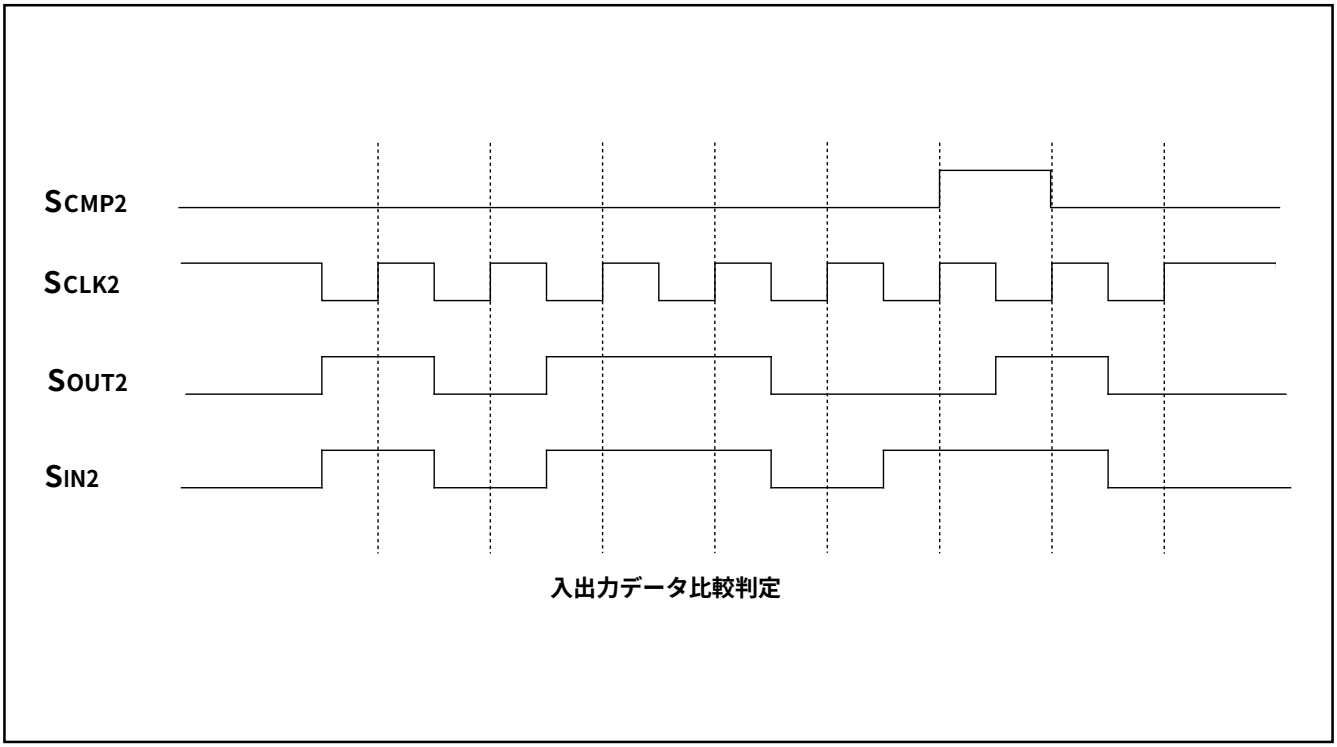


図26．SCMP2出力の動作

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図27にマルチマスタI²C-BUSインタフェースのブロック図、表7にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、φを1MHz以上にしてください。

表7．マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I²C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I²C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz～400kHz（ϕ＝4 MHz時）

システムクロックϕ：＝f(XIN)/2(高速モード)
ϕ：＝f(XIN)/8(中速モード)

注．I²C-BUSインタフェースとポート(SCL1,SCL2,SDA1,SDA2)の接続を制御する機能（I²Cコントロールレジスタ[002E16番地]のビット6）の使用に起因する第三者の特許権その他の権利侵害については，当社はその責任は負いません。

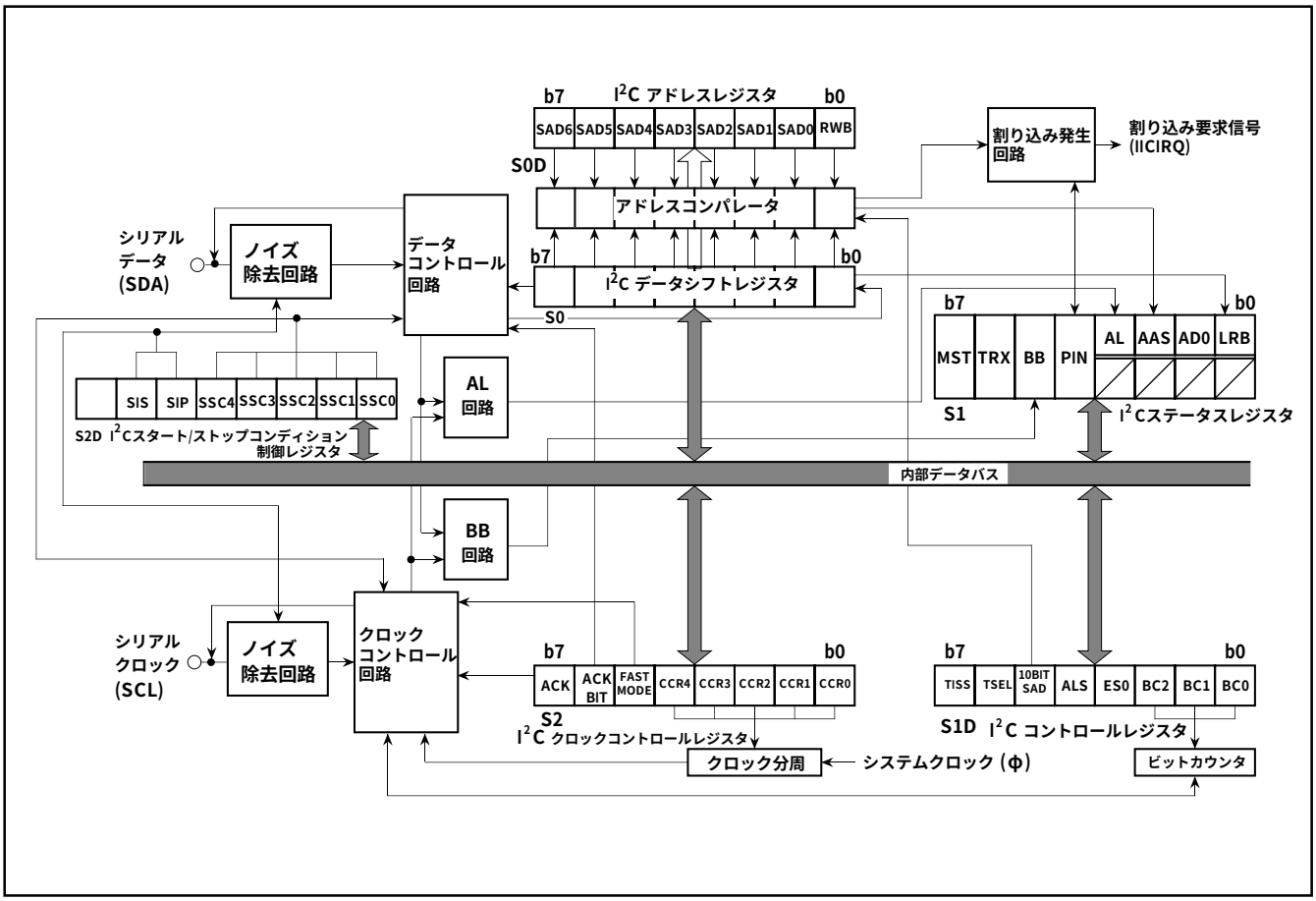


図27．マルチマスタI²C-BUSインタフェースのブロック図

＊:Purchase of MITSUBISHI ELECTRIC CORPORATION'S I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system , provided that the system comforms to the I²C Standard Specification as defined by Philips.

● I²Cデータシフトレジスタ

I²Cデータシフトレジスタ（S0:002B16番地）は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短で2マシンサイクルを要します。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ（S1D:002E16番地）のI²C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”, I²Cステータスレジスタ（S1:002D16番地）のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

● I²Cアドレスレジスタ

I²Cアドレスレジスタ（S0D:002C16番地）は7ビットのスレーブアドレスと1ビットのリード/$\overline{\text{ライト}}$ビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1)ビット0：リード/$\overline{\text{ライト}}$ビット（RWB）

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容（SAD6～SAD0＋RWB）が比較されます。

RWBビットはストップコンディションを検出すると、自動的に“0”になります。

(2)ビット1～ビット7：スレーブアドレス（SAD0～SAD6）

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

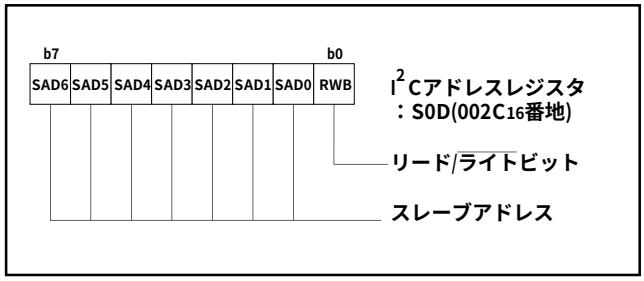


図28．I²Cアドレスレジスタの構成

●I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(S2:002F16番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0～ビット4:SCL周波数制御ビット(CCR0～CCR4)

SCL周波数を制御するビットです。表8を参照してください。

(2)ビット5:SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。"0"の場合、標準クロックモードになります。"1"の場合、高速クロックモードになります。高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、メインクロック分周比を2でご使用ください。

(3)ビット6:アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。"0" の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを"L"にします。"1"の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを"H"の状態に保持します。

ただし、ACK BIT="0"の状態でアドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが"L"(ACK応答あり)となり、一致しなかった場合は自動的にSDAが"H"(ACK応答なし)となります。

*アッククロック:確認応答用のクロック

(4)ビット7:アッククロックビット(ACK)

データ転送の確認応答であるアクノリッジメントのモードを指定するビットです。"0"の場合、アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。"1"の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを開放し("H"の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注．I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ,データが正常に転送できません。

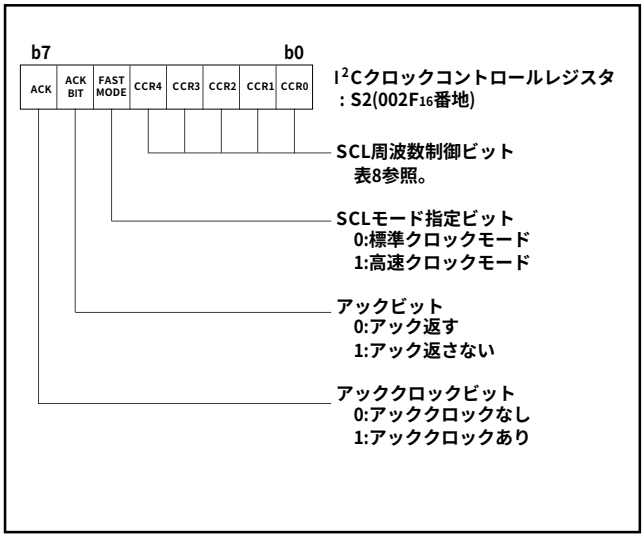


図29．I²Cクロックコントロールレジスタの構成

表8．I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数(φ= 4 MHz時，単位：kHz)(注)1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	－（注2）	333
0	0	1	0	0	－（注2）	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1.SCLクロック出力のデューティーは50%です。高速クロックモードCCR値=5のみ35～45%になります。(400kHz,φ=4MHz時)また、クロックの"H"の期間は標準クロックモードで+2～-4マシンサイクル、高速クロックモードで+2～-2マシンサイクル変動があります。負値変動の場合、"H"の期間が短くなった分、"L"の期間が延びますので周波数が上がることはありません。これらはシンクロニアス機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

2.φ=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用ください。

3.SCL周波数の計算式は次のとおりです。

φ/(8×CCR値)標準クロックモード

φ/(4×CCR値)高速クロックモード(CCR値≠5)

φ/(2×CCR値)高速クロックモード(CCR値＝5)

CCR値=0～2はφの周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。

● I²Cコントロールレジスタ

I²Cコントロールレジスタ(S1D:002E16番地)はデータ通信フォーマットの制御を行うレジスタです。

(1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:002F16番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は"0002"に戻ります。またスタートコンディションを検出してもBC0～BC2は"0002"になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。"0"の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。"1"の場合、使用許可となります。

ES0="0"のとき、次のように処理されます。

①I²Cステータスレジスタ(S1:002D16番地)のPIN="1", BB="0", AL="0"に設定される。

②I²Cデータシフトレジスタ(S0:002B16番地)への書き込みは禁止される。

(3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。"0"の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「I²Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。"1"の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4)ビット5:アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。"0"の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(S0D:002C16番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。"1"の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

(5)ビット6:SDA/SCL端子選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの入出力端子を選択するビットです。図30を参照してください。

(6)ビット7:I²C-BUSインタフェース端子入力レベル選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

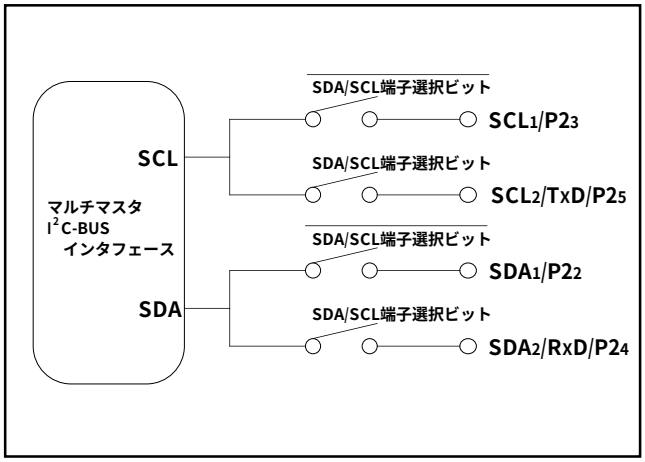


図30．SDA/SCL端子選択ビットによる接続ポート制御

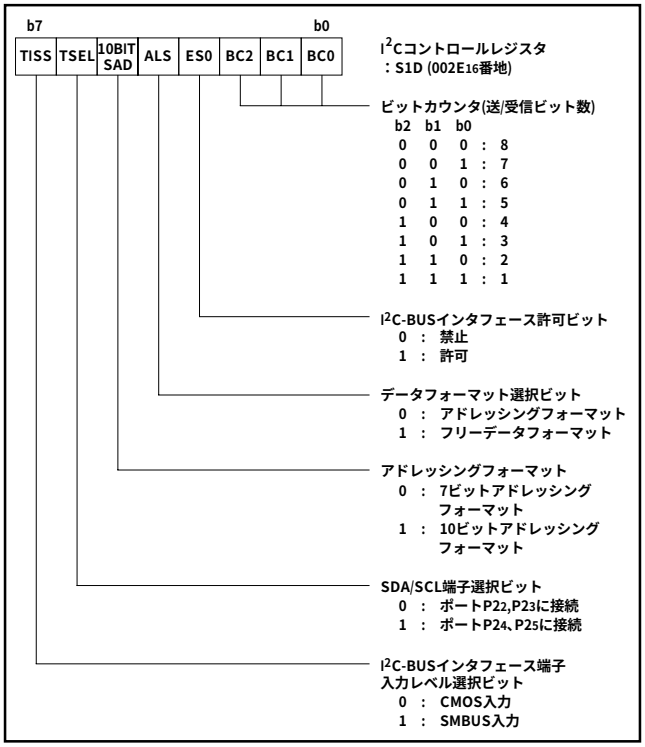


図31．I²Cコントロールレジスタの構成

● I²Cステータスレジスタ

I²Cステータスレジスタ(S1:002D16番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので"00002"を書き込みください。

(1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アッククロック発生時に、アック応答が返ってきた場合、LRBビットは"0"になります。アック応答が返らなかった場合は"1"になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(S0:002B16番地)に書き込み命令を実行すると"0"になります。

(2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが"0"の場合、アドレスデータがすべて"0"であるジェネラルコール*をスレーブモード時に受信したときに"1"になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより"0"になります。

*ジェネラルコール:マスタが全スレーブにジェネラルコールアドレス"0016"を送信すること。

(3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが"0"の場合アドレスの比較結果を示します。

①スレーブ受信モード時、7ビットアドレッシンフォーマットでは以下のいずれかの条件で、"1"になります。

・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(S0D:002C16番地)に格納されている上位7ビットのスレーブアドレスと一致した場合

・ジェネラルコールを受信した場合

②スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で"1"になります。

・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

③このビットはES0が"1"の場合のI²Cデータシフトレジスタ(S0:002B16番地)への書き込み、又はリセットにより"0"になります。

(4)ビット3:アービトレーションロスト*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって"L"レベルにされた場合、アービトレーションを失ったと判定し、このビットは"1"になり、同時にTRXビットは"0"になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に"0"になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが"0"になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

*アービトレーションロスト:マスタとしての通信が禁止となった状態。

(5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは"1"から"0"になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して"0"になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが"0"のとき、SCLは"0"に保たれクロックの発生は禁止されます。図33に割り込み要求信号の発生タイミングを示します。

PINビットが"1"になる条件を以下に示します。

・I²Cデータシフトレジスタ(S0:002B16番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

・ES0ビットが"0"のとき

・リセット時

・ソフトウエアによる"1"書き込み。

PINビットが"0"になる条件を以下に示します。

・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

・1バイトのデータ受信完了直後

・スレーブ受信の際、ALS=0で、スレーブアドレス一致又はジェネラルコールアドレス受信完了直後

・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

(6)ビット5:バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。"0"の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により"1"になり、ストップコンディションの検出により"0"になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)のスタート/ストップコンディション設定ビット(SSC4～SSC0)の条件に従います。また、I²Cコントロールレジスタ(S1D:002E16番地)のES0ビット(ビット3)が"0"のとき、及びリセット時にBBフラグは"0"になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法を参照してください。

(7)ビット6：通信モード指定ビット

(転送方向指定ビット：TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウエアによるビット設定の他、ハードウエアによるセット/リセットは下記の場合があります。

以下の場合、ハードウエアにより“1”になります。

・ALS=“0”かつスレーブで、R/$\overline{W}$ビット受信が“1”の場合

以下の場合、ハードウエアにより“0”になります。

・アービトレーションロストを検出した場合

・ストップコンディションを検出した場合

・スタートコンディション重複防止機能(注)によりソフトウエアでの“1”書き込みが無効の場合

・MST=“0”で、スタートコンディションを検出した場合

・MST=“0”でアック応答が返ってこなかったことを検出した場合

・リセット時

(8)ビット7：通信モード指定ビット

(マスタ/スレーブ指定ビット：MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウエアにより“0”になります。

・アービトレーションロストを検出した場合、1バイトデータ転送終了直後

・ストップコンディションを検出した場合

・スタートコンディション重複防止機能(注)によりソフトウエアでの“1”書き込みが無効の場合

・リセット時

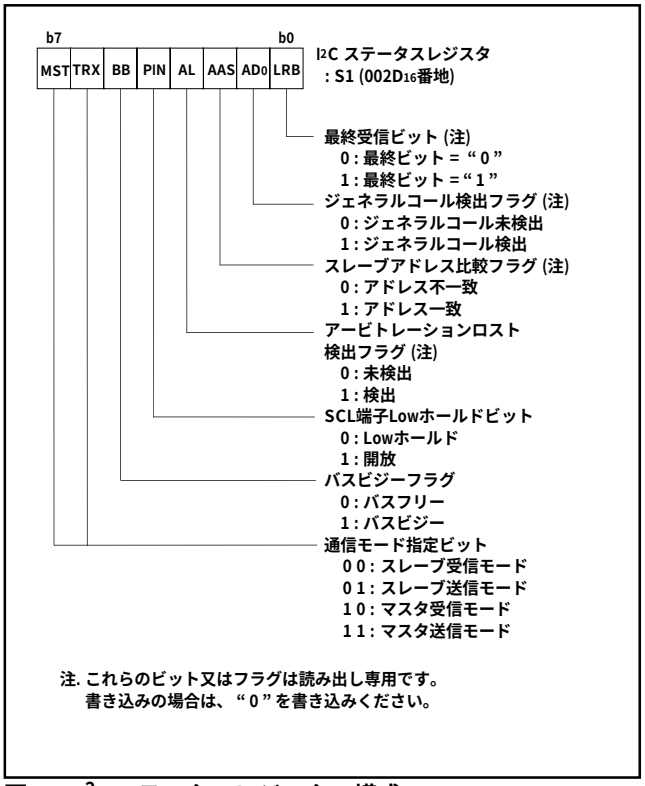


図32．I²Cステータスレジスタの構成

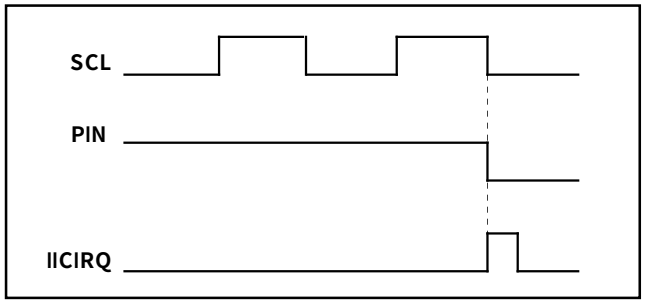


図33．割り込み要求信号の発生タイミング

注.スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの‘0’を確認後、MST、TRX、BBの各ビットに同時‘1’書き込みを行いますが、BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが‘1’となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレーブアドレスの受信完了までの期間有効となります。

●スタートコンディション発生方法

I²Cコントロールレジスタ(S1D:002E16番地)のES0ビットが“1”、BBフラグが“0”の状態でI²Cデータシフトレジスタ(S0:002B16番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(S1:002D16番地)のMST、TRX、BBビットに“1”書き込みを同時に行うと、スタートコンディションが発生します。その後、ビットカウンタが“0002”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図34のスタートコンディション発生タイミング図と表9のスタートコンディション発生タイミング表を参照してください。

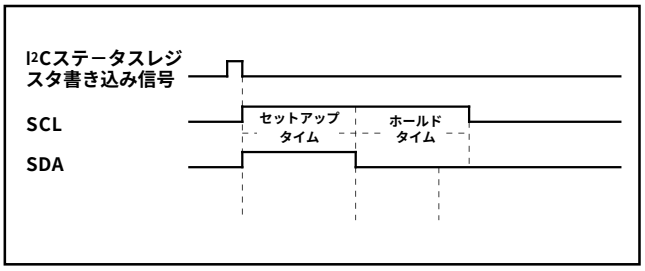


図34．スタートコンディション発生タイミング図

表9.スタートコンディション発生タイミング表

項　目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs(20サイクル)	2.5 μs(10サイクル)
ホールド時間	5.0 μs(20サイクル)	2.5 μs(10サイクル)

注．φ＝4MHz時の絶対時間，( )内はφのサイクル数

●ストップコンディションの発生方法

I²Cコントロールレジスタ(S1D:002E16番地)のES0ビットが“1”の状態でI²Cステータスレジスタ(S1:002D16番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図35のストップコンディション発生タイミング図と表10のストップコンディション発生タイミング表を参照してください。

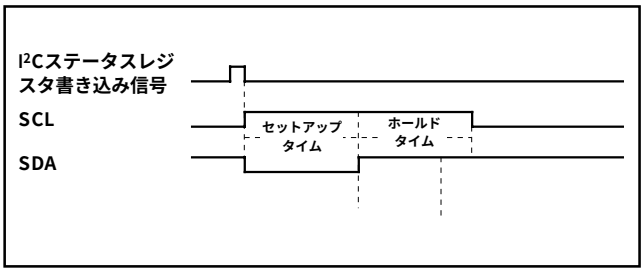


図35．ストップコンディション発生タイミング図

表10.ストップコンディション発生タイミング表

項　目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μs(20サイクル)	3.0 μs(12サイクル)
ホールド時間	4.5 μs(18サイクル)	2.5 μs(10サイクル)

注．φ＝4MHz時の絶対時間，( )内はφのサイクル数。

●スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図36、図37と表11に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表11のSCL開放条件、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表11のBBフラグセット/リセット時間を参照してください。

注．スレーブ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQを発生します。

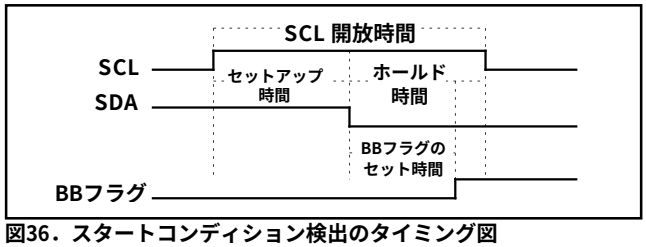


図36．スタートコンディション検出のタイミング図

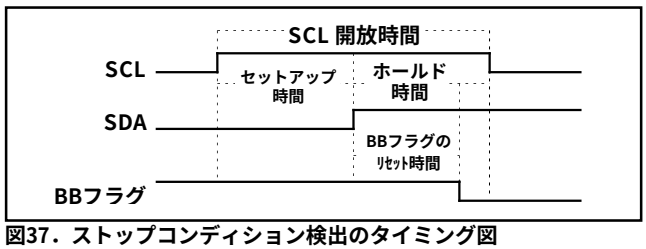


図37．ストップコンディション検出のタイミング図

表11．スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル (6.25 µs)	4サイクル (1.0 µs)
セットアップ時間	$\frac{\text{SSC値+1}}{2}$ サイクル＜4.0 µs (3.125 µs)	2サイクル (1.0 µs)
ホールド時間	$\frac{\text{SSC値+1}}{2}$ サイクル＜4.0 µs (3.125 µs)	2サイクル (0.5 µs)
BBフラグセット/リセット時間	$\frac{\text{SSC値-1}}{2}$ +2サイクル (3.375 µs)	3.5サイクル (0.875 µs)

注．単位はシステムクロックφのサイクル数
SSC値はスタート/ストップコンディション設定ビットSSC4 ～SSC0を10進法表記した値です。SSC値=0及び奇数となる設定は禁止です。
( )内はφ=4MHz時、I^2Cスタート/ストップコンディション制御レジスタに“18_{16}”を設定した場合の時間の一例です。

●I²Cスタート/ストップコンディション制御レジスタ

I²Cスタート/ストップコンディション制御レジスタ(S2D: 003016番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

(1)ビット0～ビット4：スタート/ストップコンディション 設定ビット (SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数f(XIN)や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表11を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表12に示します。

(2)ビット5：SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

(3)ビット6：SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注．SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

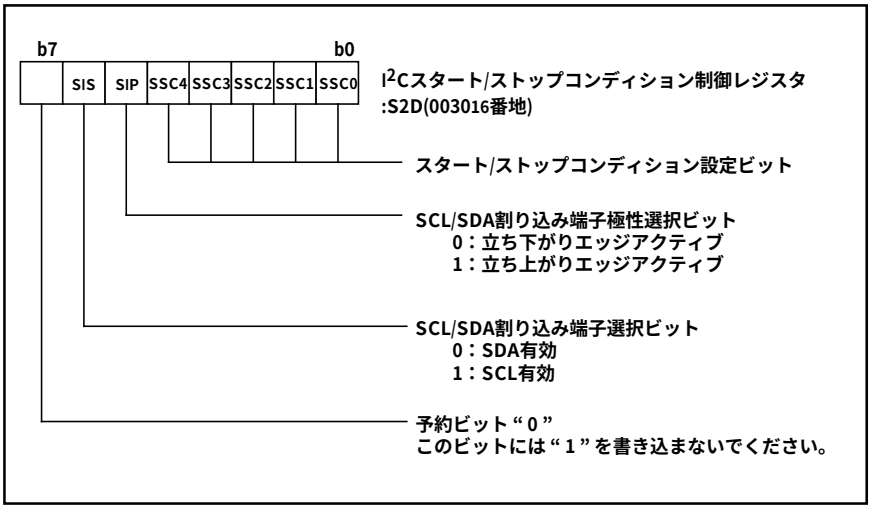


図38．I²Cスタート/ストップコンディション制御レジスタの構成

表12．各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発信周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロックφ (MHz)	ｽﾀｰﾄ/ｽﾄｯﾌﾟ ｺﾝﾃﾞｨｼｮﾝ 制御ﾚｼﾞｽﾀ	SCL開放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
8	2	4	XXX11010	6.75μs (27サイクル)	3.375μs (13.5サイクル)	3.375μs (13.5サイクル)
			XXX11000	6.25μs (25サイクル)	3.125μs (12.5サイクル)	3.125μs (12.5サイクル)
8	8	1	XXX00100	5.0μs (5サイクル)	2.5μs (2.5サイクル)	2.5μs (2.5サイクル)
4	2	2	XXX01100	6.5μs (13サイクル)	3.25μs (6.5サイクル)	3.25μs (6.5サイクル)
			XXX01010	5.5μs (11サイクル)	2.75μs (5.5サイクル)	2.75μs (5.5サイクル)
2	2	1	XXX00100	5.0μs (5サイクル)	2.5μs (2.5サイクル)	2.5μs (2.5サイクル)

注．スタート／ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

●アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I^2Cコントロールレジスタ(S1D:002E16番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I^2Cアドレスレジスタ(S0D:002C16番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I^2Cアドレスレジスタ(S0D:002C16番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(1)、(2)を参照してください。

(2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I^2Cコントロールレジスタ(S1D:002E16番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I^2Cアドレスレジスタ(S0D:002C16番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I^2Cアドレスレジスタ(S0D:002C16番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/$\overline{W}$ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I^2Cステータスレジスタ(S1:002D16番地)のAASビットが“1”にセットされます。2バイト目アドレスデータは、I^2Cデータシフトレジスタ(S0:002B16番地)に格納した後、ソフトウエアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I^2Cアドレスレジスタ(S0D:002C16番地)のRWBビットをソフトウエアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/$\overline{W}$のデータとI^2Cアドレスレジスタ(S0D:002C16番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(3)、(4)を参照してください。

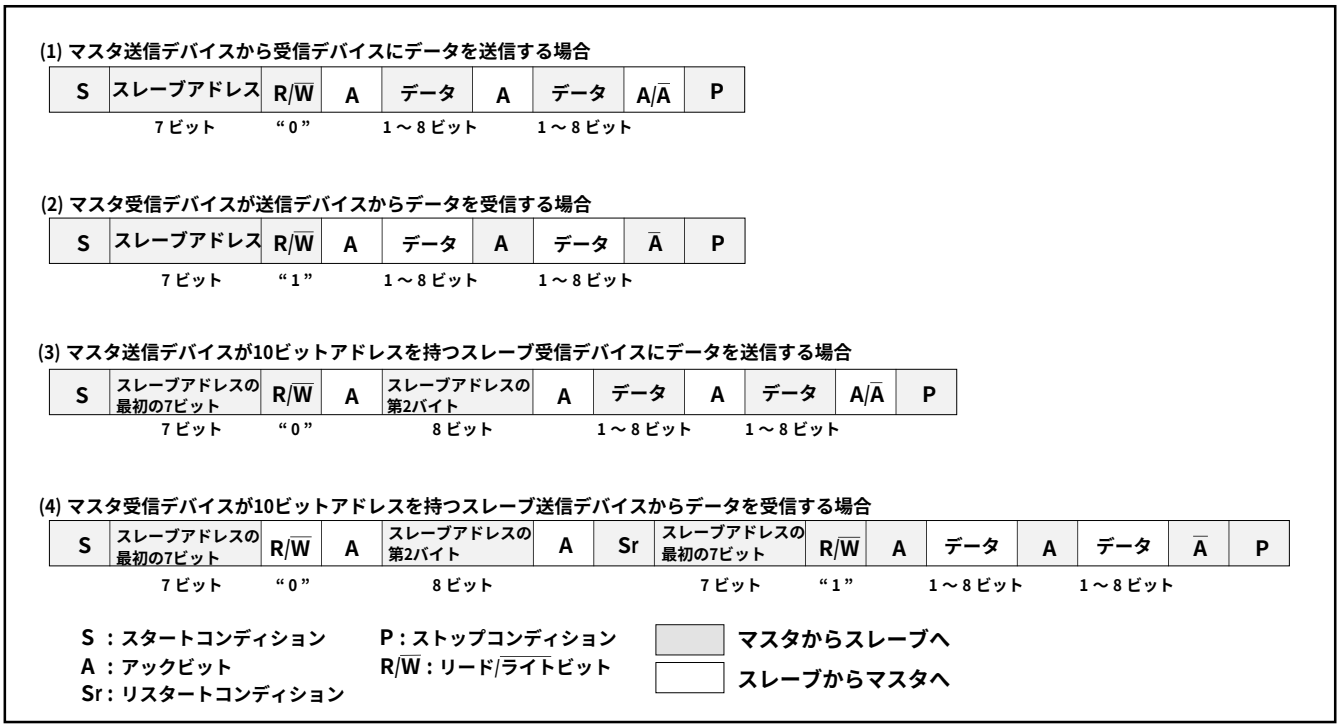


図39．アドレスデータ通信フォーマット

●マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

(1)I^2Cアドレスレジスタ(S0D:002C16番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。

(2)I^2Cクロックコントロールレジスタ(S2:002F16番地)に“8516”を設定することによって、アック応答を返すモード、SCL=100kHzにします。

(3)I^2Cステータスレジスタ(S1:002D16番地)に“0016”を設定し、送受信のモードを初期状態にします。

(4)I^2Cコントロールレジスタ(S1D:002E16番地)に“0816”を設定することによって、通信許可状態にします。

(5)I^2Cステータスレジスタ(S1:002D16番地)のBBフラグによりバスフリー状態を確認します。

(6)I^2Cデータシフトレジスタ(S0:002B16番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。

(7)I^2Cステータスレジスタ(S1:002D16番地)に“F016”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。

(8)I^2Cデータシフトレジスタ(S0:002B16番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。

(9)複数バイトの制御データを送信する場合、(8)を繰り返します。

(10)スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I^2Cステータスレジスタ(S1:002D16番地)に“D016”を設定することによって、ストップコンディションを発生させます。

●スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

(1)I^2Cアドレスレジスタ(S0D:002C16番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。

(2)I^2Cクロックコントロールレジスタ(S2:002F16番地)に“2516”を設定することによって、アック応答なしモード、SCL=400kHzにします。

(3)I^2Cステータスレジスタ(S1:002D16番地)に“0016”を設定し送受信のモードを初期状態にします。

(4)I^2Cコントロールレジスタ(S1D:002E16番地)に“0816”を設定することによって、通信許可状態にします。

(5)スタートコンディションを受信すると、アドレス比較されます。

(6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I^2Cステータスレジスタ(S1:002D16番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I^2Cステータスレジスタ(S1:002D16番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
・上記以外の場合、I^2Cステータスレジスタ(S1:002D16番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。

(7)I^2Cデータシフトレジスタ(S0:002B16番地)にダミーデータを設定します。

(8)複数バイトの制御データを受信する場合、(7)を繰り返します。

(9)ストップコンディションを検出すると通信が終了します。

■マルチマスタI²C-BUSインタフェースの注意事項

(1)リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使用する場合の注意事項は以下のとおりです。

•I²Cデータシフトレジスタ(S0:002B16番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

•I²Cアドレスレジスタ(S0D:002C16番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、ハードウエアによって変化するためです。

•I²Cステータスレジスタ(S1:002D16番地)

すべてのビットはハードウエアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

•I²Cコントロールレジスタ(S1D:002E16番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0～BC2)が、ハードウエアによって変化するためです。

•I²Cクロックコントロールレジスタ(S2:002F16番地)

リード・モディファイ・ライト命令は使用可能です。

•I²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)

リード・モディファイ・ライト命令は使用可能です。

(2)マルチマスタで使用する場合のスタートコンディション発生手順について

①手順例(発生手順の必要条件は②以降に記します。)

```
        :
    LDA   ～              (スレーブアドレス値の取り出し)
    SEI                   (割り込みの禁止)
    BBS   5,S1,BUSBUSY    (BBフラグ確認及び分岐処理)
BUSFREE:
    STA   S0              (スレーブアドレス値の書き込み)
    LDM   #$F0,S1         (スタートコンディション発生のトリガ)
    CLI                   (割り込みの許可)
        :
BUSBUSY:
    CLI                   (割り込みの許可)
        :
```

②BBフラグの確認及び分岐処理はBBS 5,$002D,～ のBranch on Bit Setを必ず使用してください。

③I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA $2B、STX $2BあるいはSTY $2Bのゼロページアドレッシング命令を必ず使用してください。

④前記②の分岐命令と③のストア命令は手順例のとおり必ず連続して実行するようにしてください。

⑤BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生のトリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3)リスタートコンディション発生手順について

①手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが“0”のとき、以下の手順を実行してください。

```
        :
    LDM   #$00,S1         (スレーブ受信モードにする)
    LDA   ～              (スレーブアドレス値の取り出し)
    SEI                   (割り込みの禁止)
    STA   S0              (スレーブアドレス値の書き込み)
    LDM   #$F0,S1         (リスタートコンディション発生のトリガ)
    CLI                   (割り込みの許可)
        :
```

②PINビットが“0”の状態で、スレーブ受信モードにしてください。

PINビットには“1”を書き込まないでください。

BBビットへの書き込みに“0”又は“1”の指定はありません。

TRXビットが“0”になり、SDA端子が開放されます。

③スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

④スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にして下さい。

(4)I²Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

(5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

PWM（PWM: Pulse Width Modulation）

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケーラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケーラの値をn、PWMレジスタの値をmとすると、以下のようになります。（ただし、n=0～255、m=0～255です。）

$$\text{PWM周期} = \frac{255 \times (n+1)}{f(X_{IN})}$$

$$= 31.875 \times (n+1)\ \mu s$$

（f(XIN) = 8MHzのカウントソース選択ビット=“0”の場合）

$$\text{出力パルスの“H”期間} = \frac{\text{PWM周期} \times m}{255}$$

$$= 0.125 \times (n+1) \times m\ \mu s$$

（f(XIN) = 8MHzのカウントソース選択ビット=“0”の場合）

・PWMの動作

PWM制御レジスタのビット0（PWM許可ビット）を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケーラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

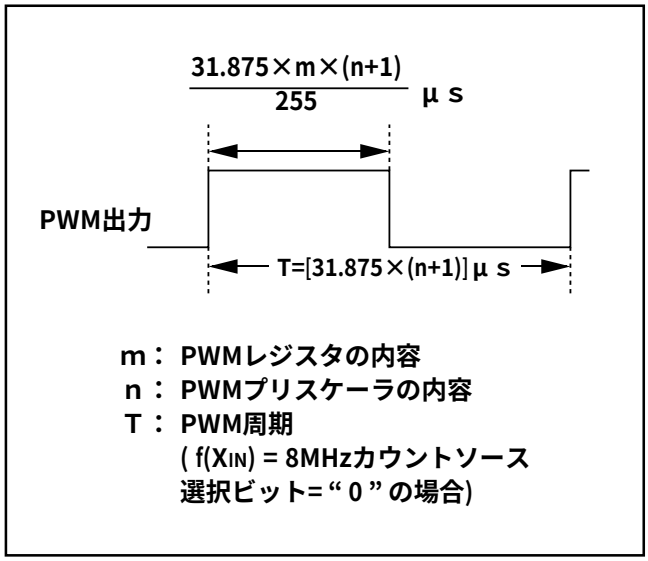


図40．PWM周期のタイミング図

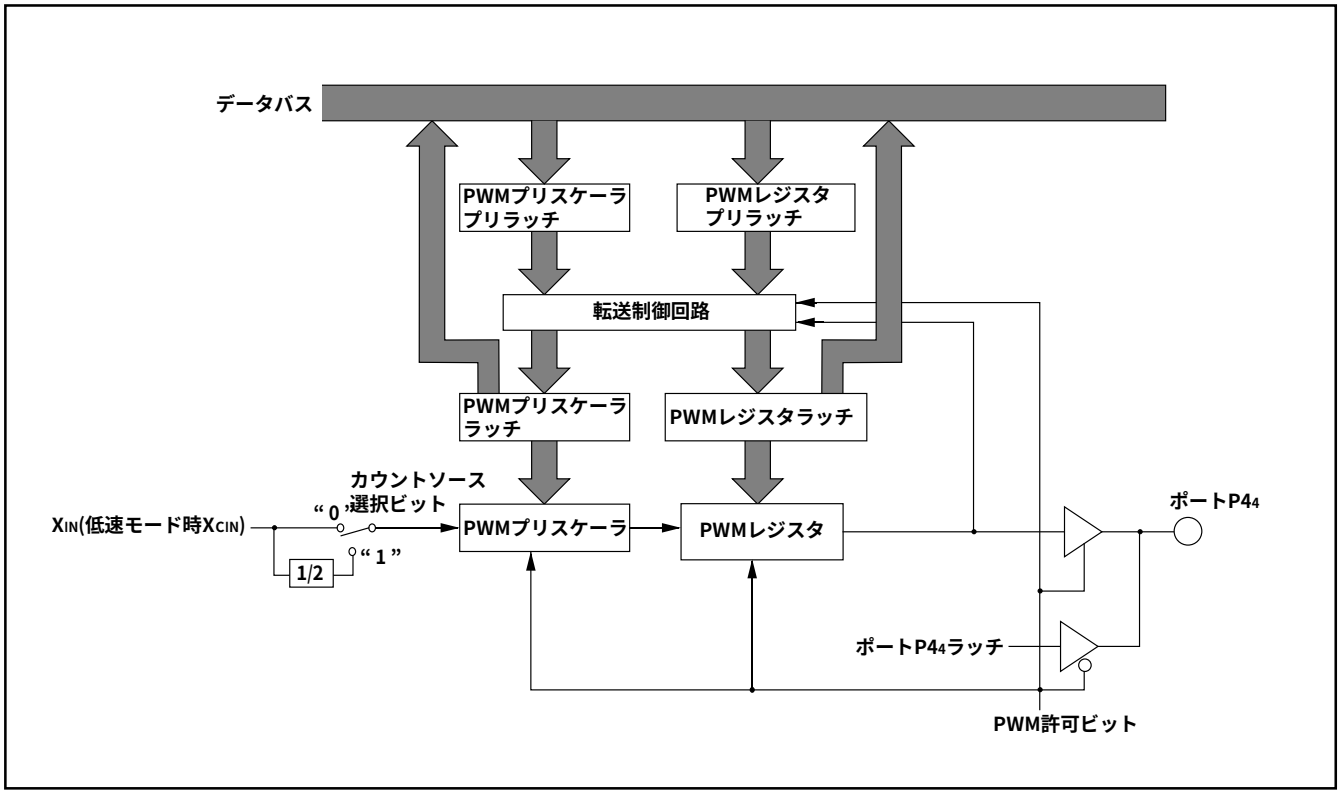


図41．PWMブロック図

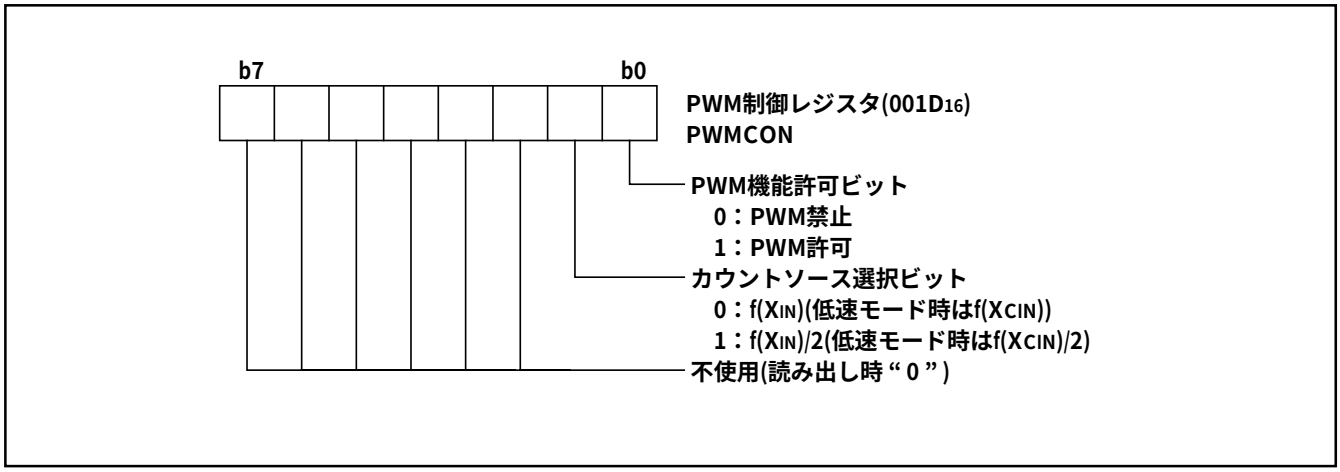


図42．PWM制御レジスタの構成

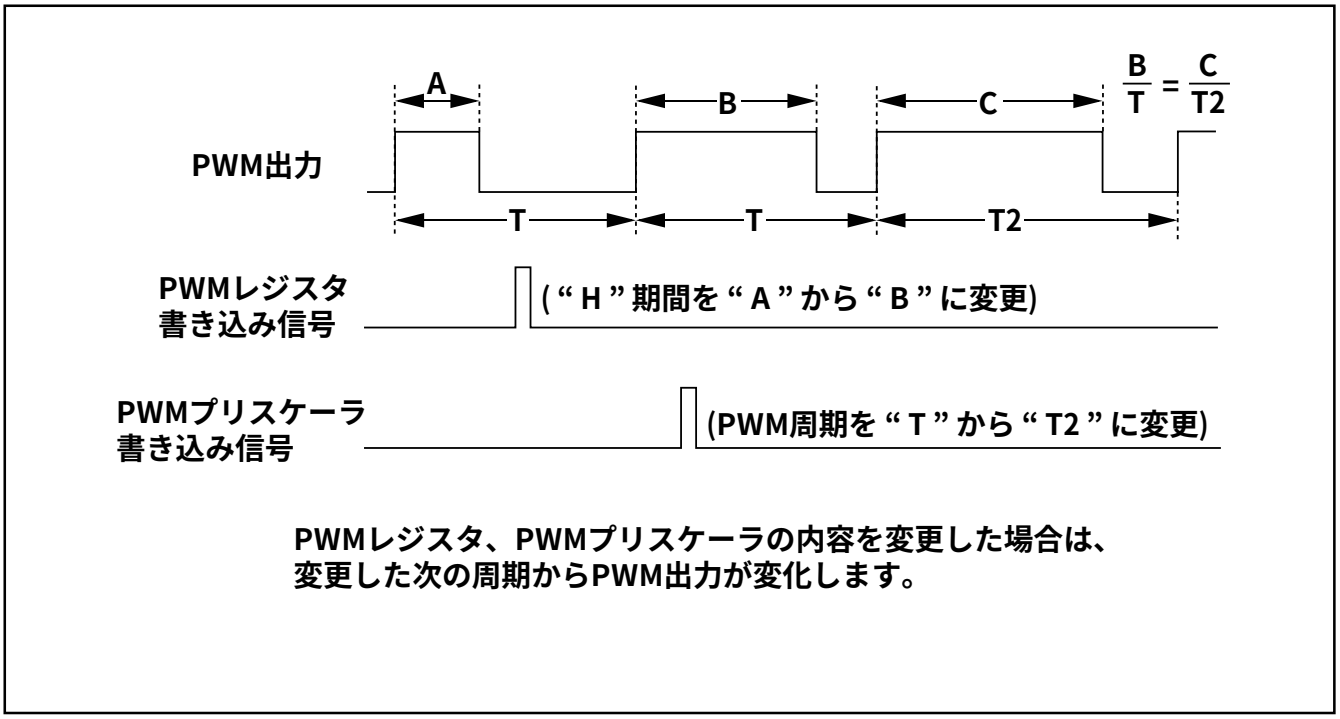


図43．PWMレジスタ及びPWMプリスケーラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

・カウントソース選択ビット＝“0”、n＝プリスケーラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (秒)$$

・カウントソース選択ビット＝“1”、n＝プリスケーラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (秒)$$

A-D変換器

【A-D変換レジスタ】AD

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャネルセレクタ】

ポートP37/AN7～P30/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、高速及び中速モードでA-D変換中はf(XIN)を500kHz以上にしてください。低速モードでA-D変換を実行する場合は、内蔵の自己発振回路を使用してA-D変換を行いますのでf(XIN)及びf(XCIN)下限周波数の制限はありません。

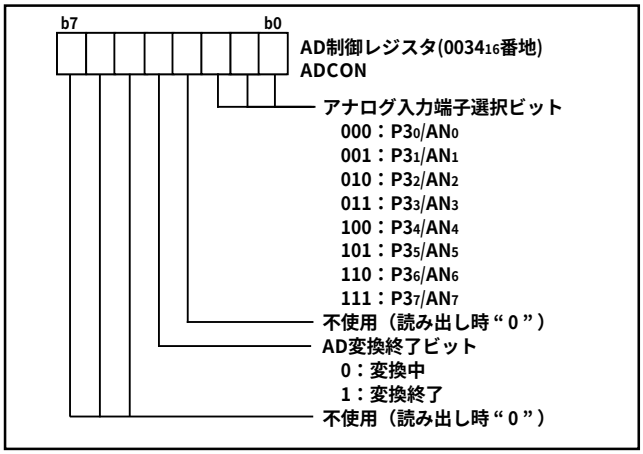


図44．A-D制御レジスタの構成

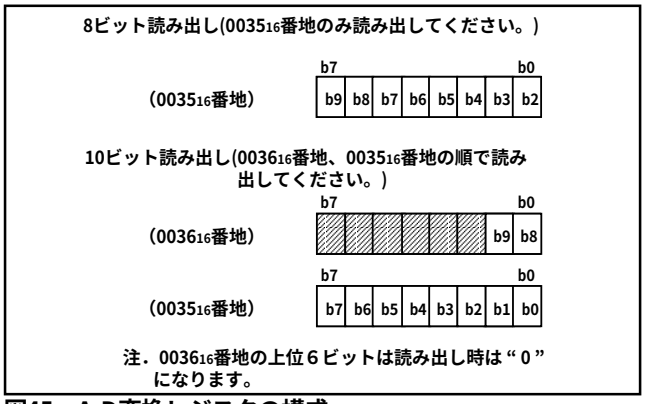


図45．A-D変換レジスタの構成

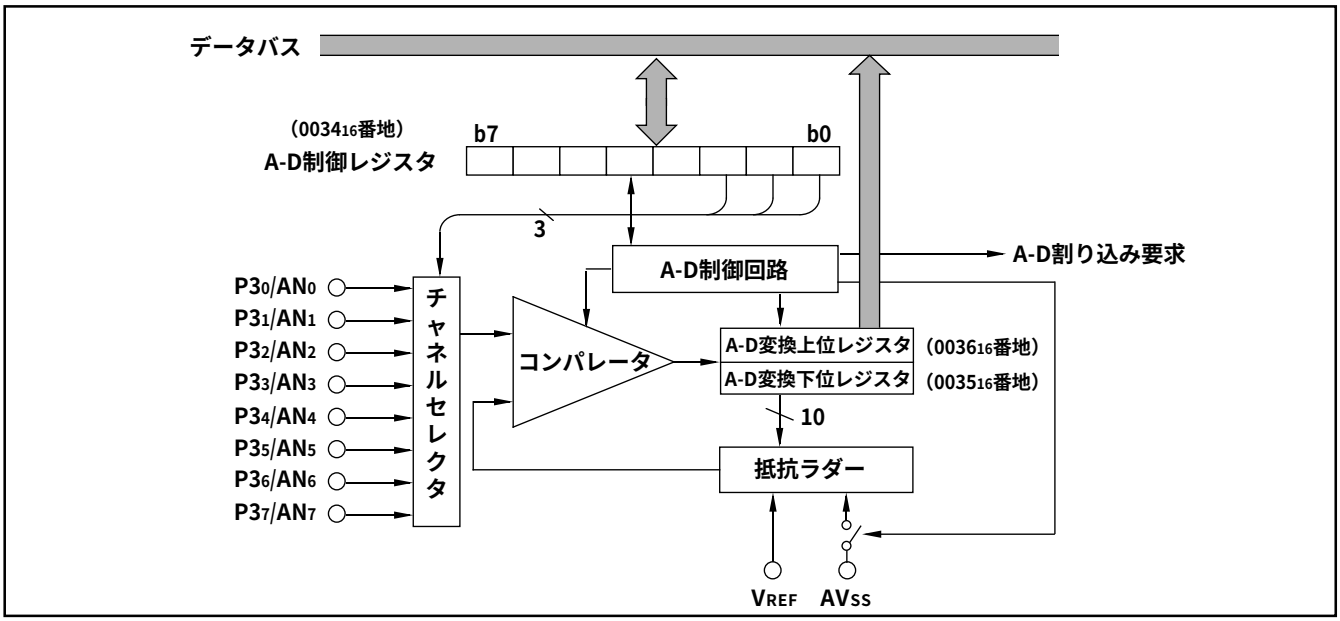


図46．A-D変換器のブロック図

ウオッチドッグタイマ

ウオッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウオッチドッグタイマは8ビットのウオッチドッグタイマHと8ビットのウオッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウオッチドッグタイマの基本動作

リセット後ウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)への書き込みがない場合、ウオッチドッグタイマは停止状態です。ウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)に任意の値を書き込むことによりカウントダウンを開始し、ウオッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)に書き込みを行うようにプログラムを組みます。ウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)を読み出した場合は、ウオッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウオッチドッグタイマHカウントソース選択ビットの値が読まれます。

・ウオッチドッグタイマの初期値

リセット又はウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)への書き込みによりウオッチドッグタイマHは“FF$_{16}$”に、ウオッチドッグタイマLは“FF$_{16}$”に設定されます。

・ウオッチドッグタイマHカウントソース選択ビットの動作

ウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)のビット7によりウオッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウオッチドッグタイマLのアンダフロー信号となります。検出時間はf(XIN)=8MHz時131.072ms、f(XCIN)=32kHz時32.768sになります。

このビットが“1”の場合、カウントソースはf(XIN)(又はf(XCIN))の16分周信号となります。この場合の検出時間はf(XIN)=8MHz時512μs、f(XCIN)=32kHz時128msになります。

このビットはリセット後“0”になります。

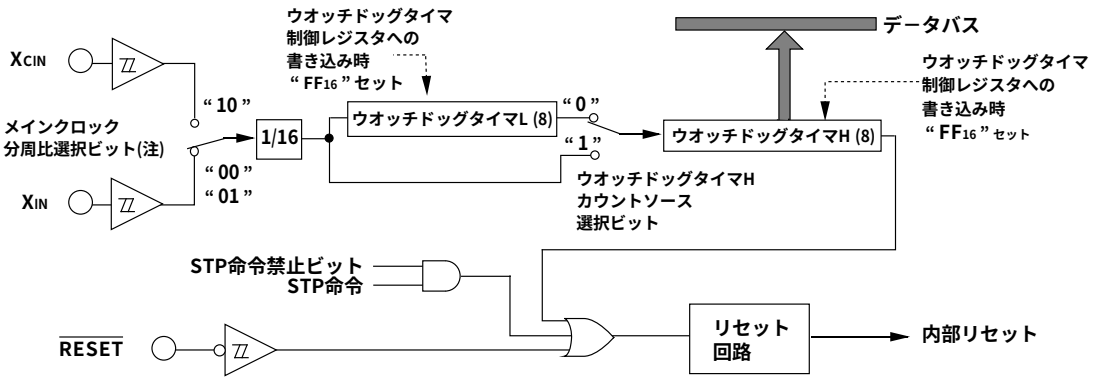
・STP命令禁止ビットの動作

ウオッチドッグタイマ制御レジスタ(0039$_{16}$番地)のビット6によりウオッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。



注．CPUモードレジスタのビット7、ビット6で、高速モード、中速モード、低速モードをそれぞれ切り替えるビットです。

図47．ウオッチドッグタイマのブロック図

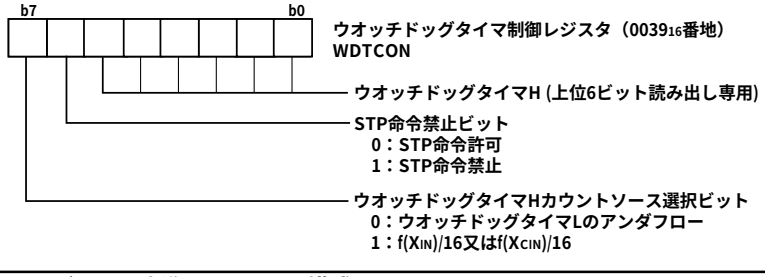


図48．ウオッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をf(XIN)の20サイクル以上“ L ”レベルに保つとリセット状態になり、その後RESET端子を“ H ”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

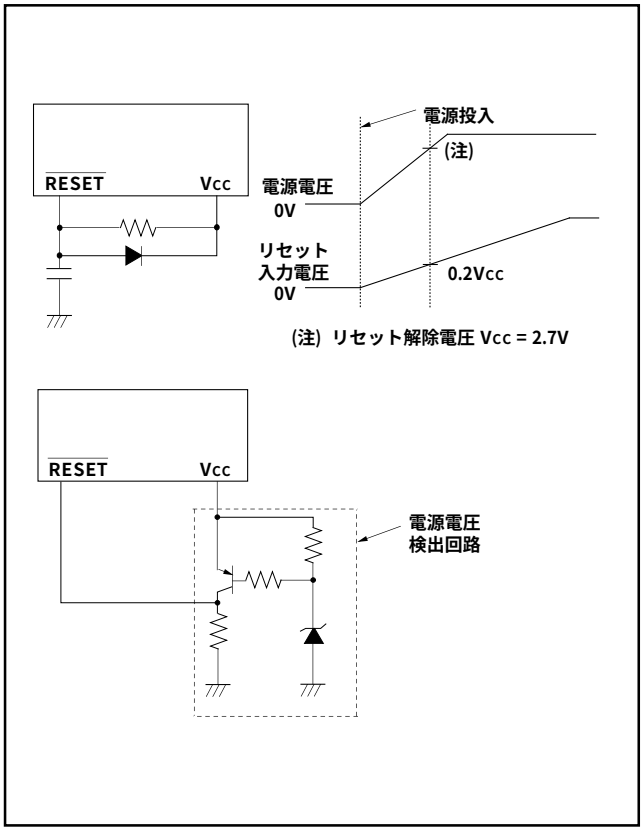


図49．リセット回路例

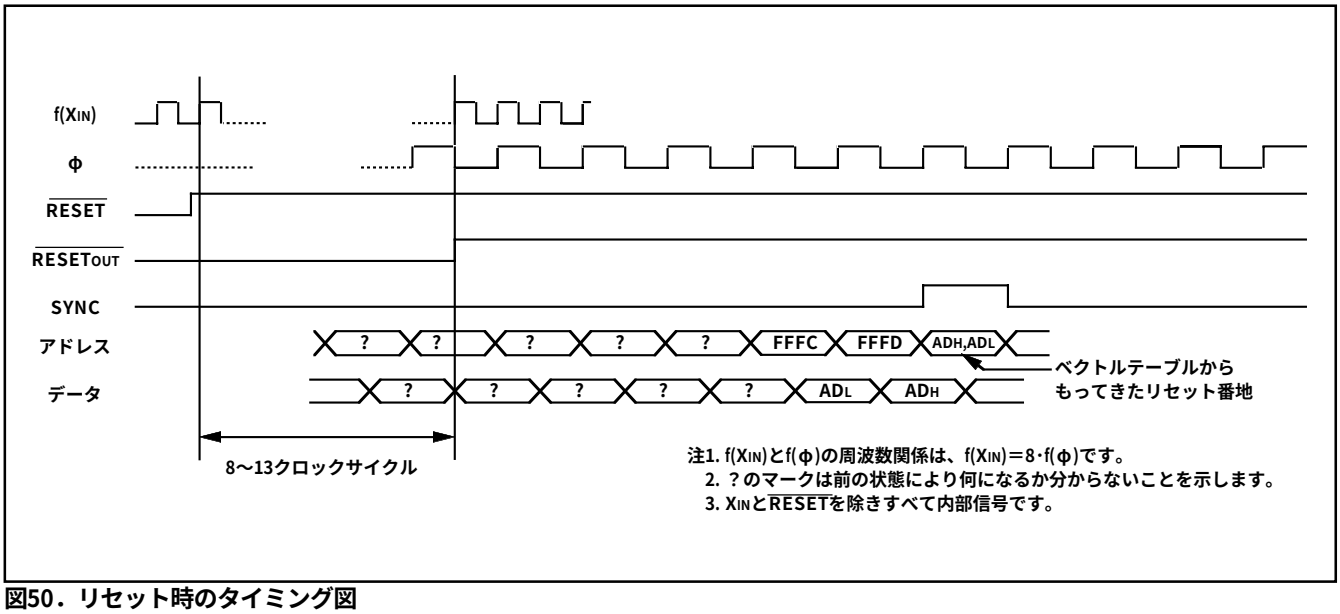


図50．リセット時のタイミング図

		番地	レジスタの内容
(1)	ポートP0	0000_{16}	00_{16}
(2)	ポートP0方向レジスタ	0001_{16}	00_{16}
(3)	ポートP1	0002_{16}	00_{16}
(4)	ポートP1方向レジスタ	0003_{16}	00_{16}
(5)	ポートP2	0004_{16}	00_{16}
(6)	ポートP2方向レジスタ	0005_{16}	00_{16}
(7)	ポートP3	0006_{16}	00_{16}
(8)	ポートP3方向レジスタ	0007_{16}	00_{16}
(9)	ポートP4	0008_{16}	00_{16}
(10)	ポートP4方向レジスタ	0009_{16}	00_{16}
(11)	シリアルI/O2制御レジスタ1	0015_{16}	00_{16}
(12)	シリアルI/O2制御レジスタ2	0016_{16}	0 0 0 0 0 1 1 1
(13)	シリアルI/O2レジスタ	0017_{16}	X X X X X X X X
(14)	送信/受信バッファレジスタ	0018_{16}	X X X X X X X X
(15)	シリアルI/O1ステータスレジスタ	0019_{16}	1 0 0 0 0 0 0 0
(16)	シリアルI/O1制御レジスタ	$001A_{16}$	00_{16}
(17)	UART制御レジスタ	$001B_{16}$	1 1 1 0 0 0 0 0
(18)	ボーレートジェネレータ	$001C_{16}$	X X X X X X X X
(19)	PWM制御レジスタ	$001D_{16}$	00_{16}
(20)	PWMプリスケーラ	$001E_{16}$	X X X X X X X X
(21)	PWMレジスタ	$001F_{16}$	X X X X X X X X
(22)	プリスケーラ12	0020_{16}	FF_{16}
(23)	タイマ1	0021_{16}	01_{16}
(24)	タイマ2	0022_{16}	00_{16}
(25)	タイマXYモードレジスタ	0023_{16}	00_{16}
(26)	プリスケーラX	0024_{16}	FF_{16}
(27)	タイマX	0025_{16}	FF_{16}
(28)	プリスケーラY	0026_{16}	FF_{16}
(29)	タイマY	0027_{16}	FF_{16}
(30)	タイマカウントソース設定レジスタ	0028_{16}	00_{16}
(31)	I^2Cアドレスレジスタ	$002C_{16}$	00_{16}
(32)	I^2Cステータスレジスタ	$002D_{16}$	0 0 0 1 0 0 0 X
(33)	I^2Cコントロールレジスタ	$002E_{16}$	00_{16}
(34)	I^2Cクロックコントロールレジスタ	$002F_{16}$	00_{16}
(35)	I^2Cスタート/ストップコンディション制御レジスタ	0030_{16}	0 0 0 X X X X X

		番地	レジスタの内容
(36)	A-D制御レジスタ	0034_{16}	0 0 0 1 0 0 0 0
(37)	A-D変換下位レジスタ	0035_{16}	X X X X X X X X
(38)	A-D変換上位レジスタ	0036_{16}	0 0 0 0 0 0 X X
(39)	MISRG	0038_{16}	00_{16}
(40)	ウオッチドッグタイマ制御レジスタ	0039_{16}	0 0 1 1 1 1 1 1
(41)	割り込みエッジ選択レジスタ	$003A_{16}$	00_{16}
(42)	CPUモードレジスタ	$003B_{16}$	0 1 0 0 1 0 0 0
(43)	割り込み要求レジスタ1	$003C_{16}$	00_{16}
(44)	割り込み要求レジスタ2	$003D_{16}$	00_{16}
(45)	割り込み制御レジスタ1	$003E_{16}$	00_{16}
(46)	割り込み制御レジスタ2	$003F_{16}$	00_{16}
(47)	プロセッサステータスレジスタ	(PS)	X X X X X 1 X X
(48)	プログラムカウンタ	(PC_H)	$FFFD_{16}$番地の内容
		(PC_L)	$FFFC_{16}$番地の内容

注．×は不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値を設定してください。

図51．リセット時の内部状態

クロック発生回路

7516グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカの推奨値をご使用ください。XIN－XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN－XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックφとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックφの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックφになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときはf(XIN)>3･f(XCIN)である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックφが“H”の状態で停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビットが“0”の時、タイマ1には“01_{16}”、プリスケーラ12には“FF_{16}”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケーラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケーラ12の入力にはXIN又はXCINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間$\overline{\text{RESET}}$端子に“L”レベルを印加してください。

(2) ウエイトモード

WIT命令を実行すると、内部クロックφが“H”の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックφの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケーラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

■注意事項

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケーラ12に値を設定してください。

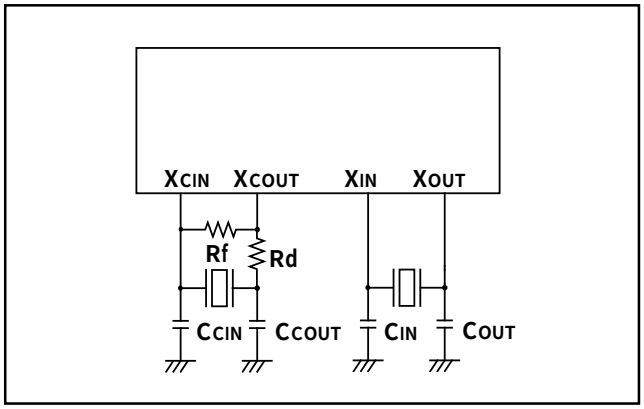


図52．セラミック共振子外付け回路

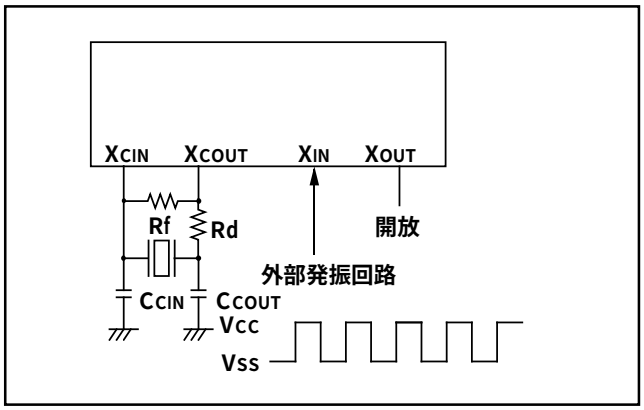


図53．外部クロック入力回路

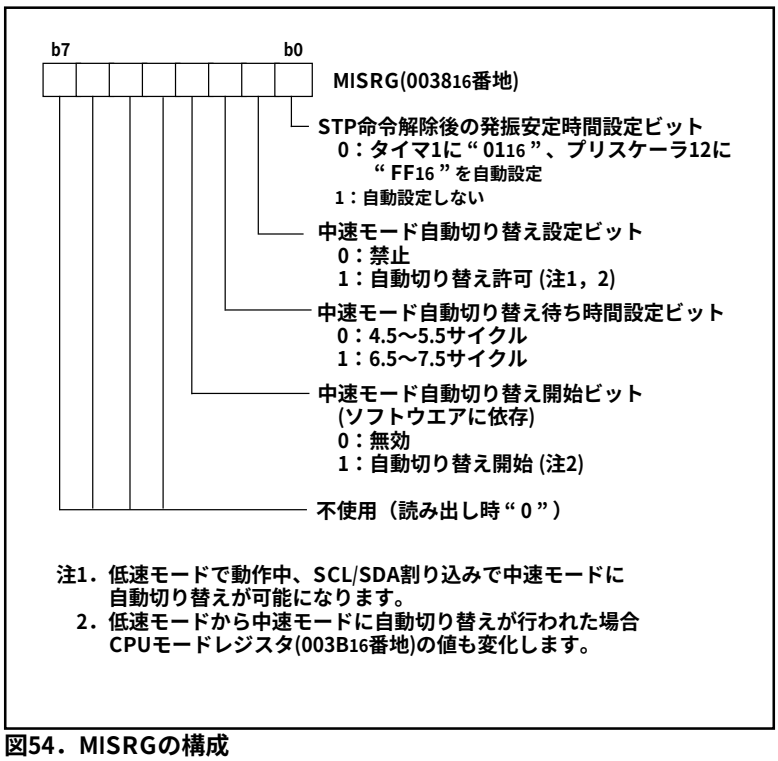
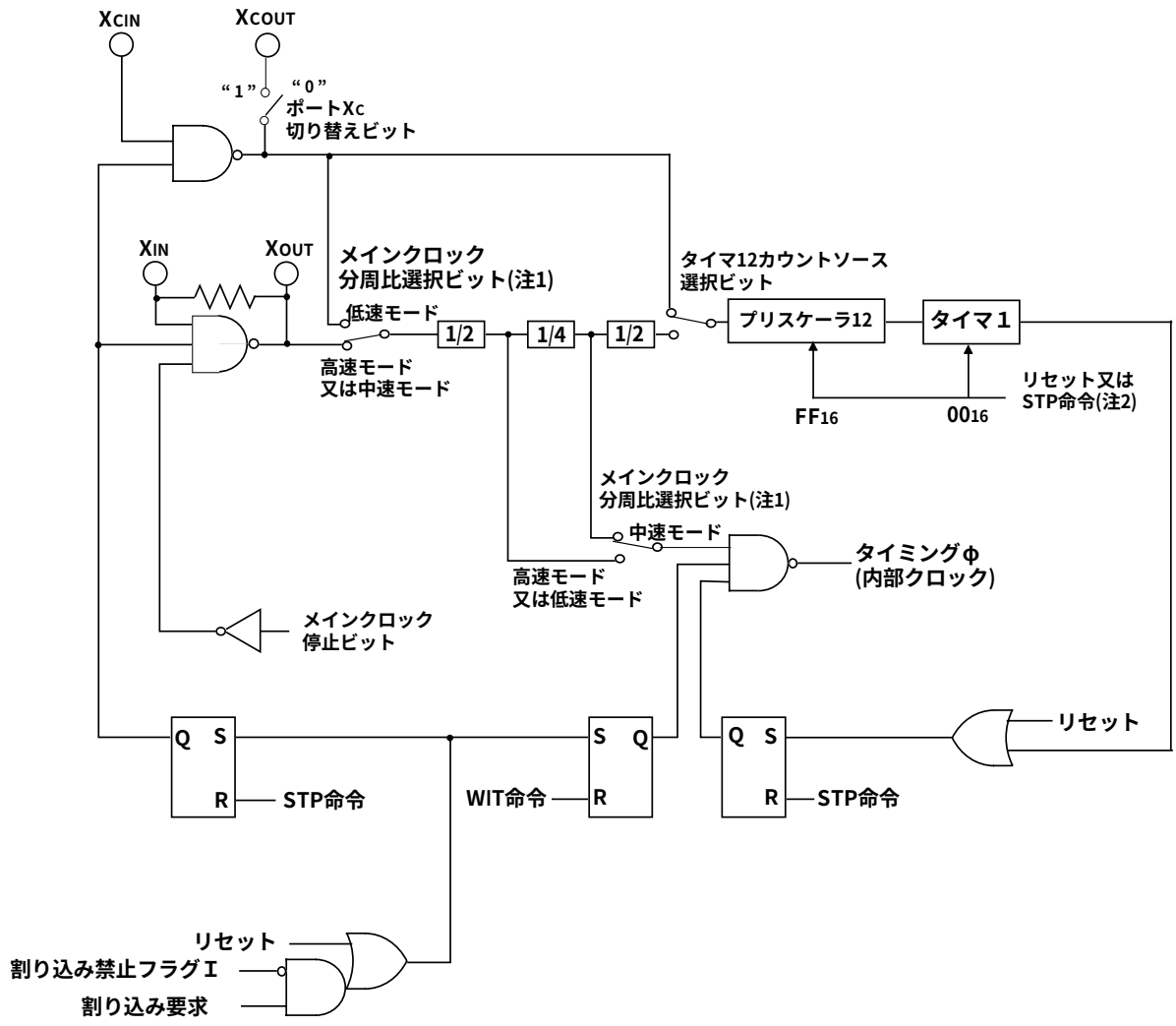


図54．MISRGの構成

■中速モード自動切り替え設定ビットについての注意

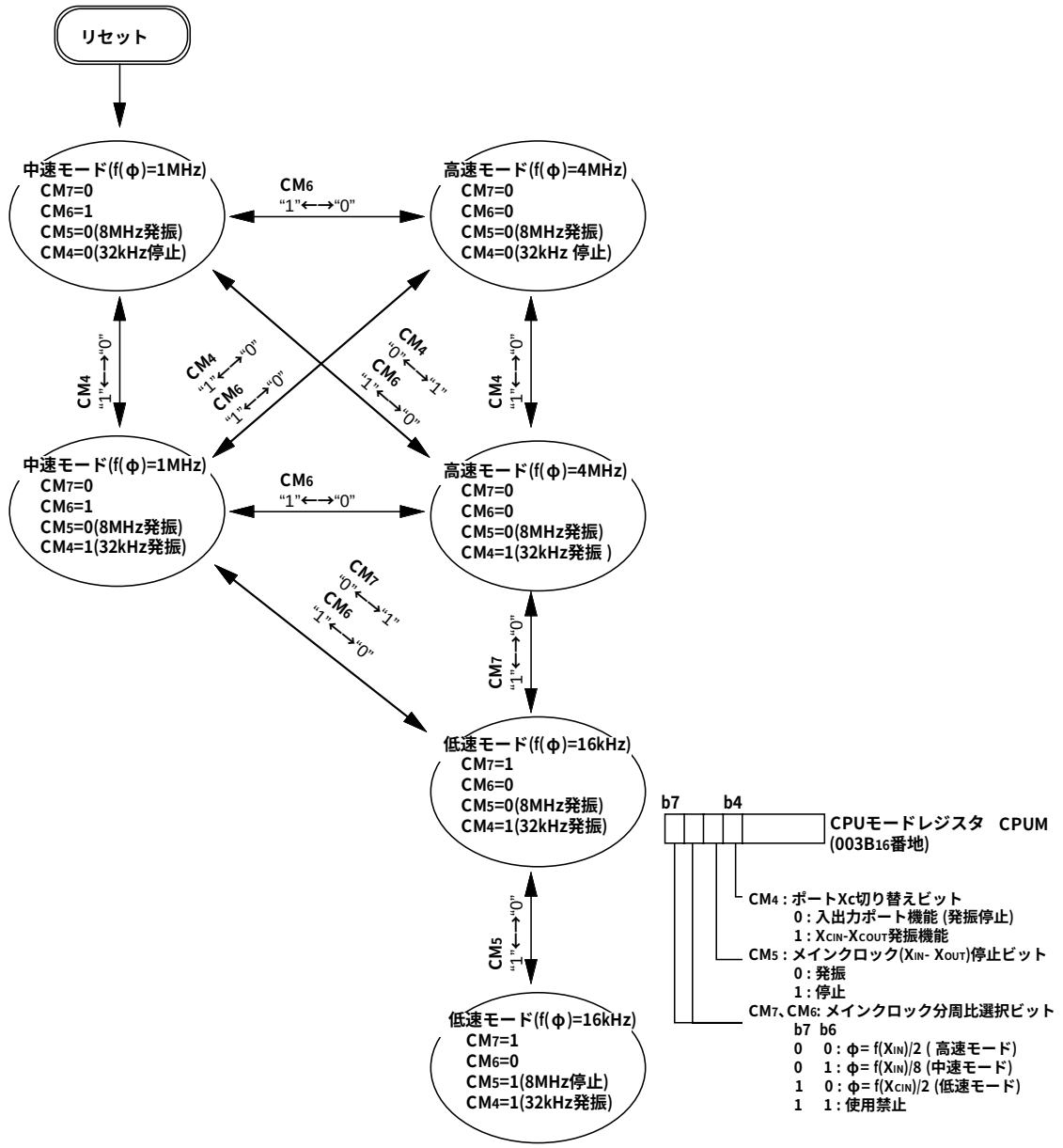
低速モードで動作中、中速モード自動切り替え設定ビットを“1”にすると、SCL又はSDA端子の立ち上がり、あるいは立ち下がりエッジを検出することにより、自動的にXIN発振をスタートさせ、中速モードに切り替わります。低速モードから中速モードに切り替わるタイミングは、中速モード自動切り替え待ち時間設定ビットにより、低速モードで4.5～5.5サイクル、あるいは6.5～7.5サイクルに設定できるので、ご使用になるXINの発振子の発振開始特性により選択してください。

中速モード自動切り替え開始ビットは、低速モードで動作中、このビットに“1”を書き込むことにより、自動的にXIN発振をスタートさせ、中速モードに切り替えるビットです。



注1. ＣＰＵモードレジスタのビット7、ビット6で、高速モード、中速モード、低速モードのいずれかを選択するビットです。
低速モードを選択する場合は、ポートXc切り替えビット(b4)を“1”にしてください。
2. MISRGのビットが“0”の場合

図55．システムクロック発生回路ブロック図(シングルチップモード)



注．モード間の移行は矢印に沿って行ってください。(矢印のないモード間は直接移行しないでください。)
すべてのモードからストップモード又はウエイトモードへ移行することができ、解除後はもとのモードに戻ります。
ウエイトモード時にはタイマは動作しています。
MISRGのビット０が“０”のとき、中/高速モード時のストップモードからの解除時は、タイマ１の接続によって約1msの待ち時間が自動的に発生します。
MISRGのビット０が“０”のとき、低速モード時のストップモードからの解除時の待ち時間は発振再開後、タイマ12カウントソース選択ビットが“０”の場合約250ms、タイマ12カウントソース選択ビットが“１”の場合約16msとなります。
低速モードから中/高速モードへの移行は、メインクロックXINを発振させた後、発振が安定するのを待って行ってください。
上記の例ではXIN端子に8MHz、XCIN端子に32kHzの信号を加えた場合を想定しています。φは内部クロックを示します。

図56．システムクロックの状態遷移図

性能概要

表13にM37516F8(フラッシュメモリ内蔵版)の性能概要を示します。

表13. M37516F8(フラッシュメモリ内蔵版)の性能概要

項　　目		性　　能
電源電圧		Vcc = 2.7～5.5V (注1) Vcc = 2.7～3.6V (注2)
プログラム/イレーズ電圧		4.5～5.5V f(X_{IN}) =8MHz
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト) (注3)
プログラム方式		バイト単位
イレーズ方式		一括消去
プログラム/イレーズ制御方式		ソフトウエアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応

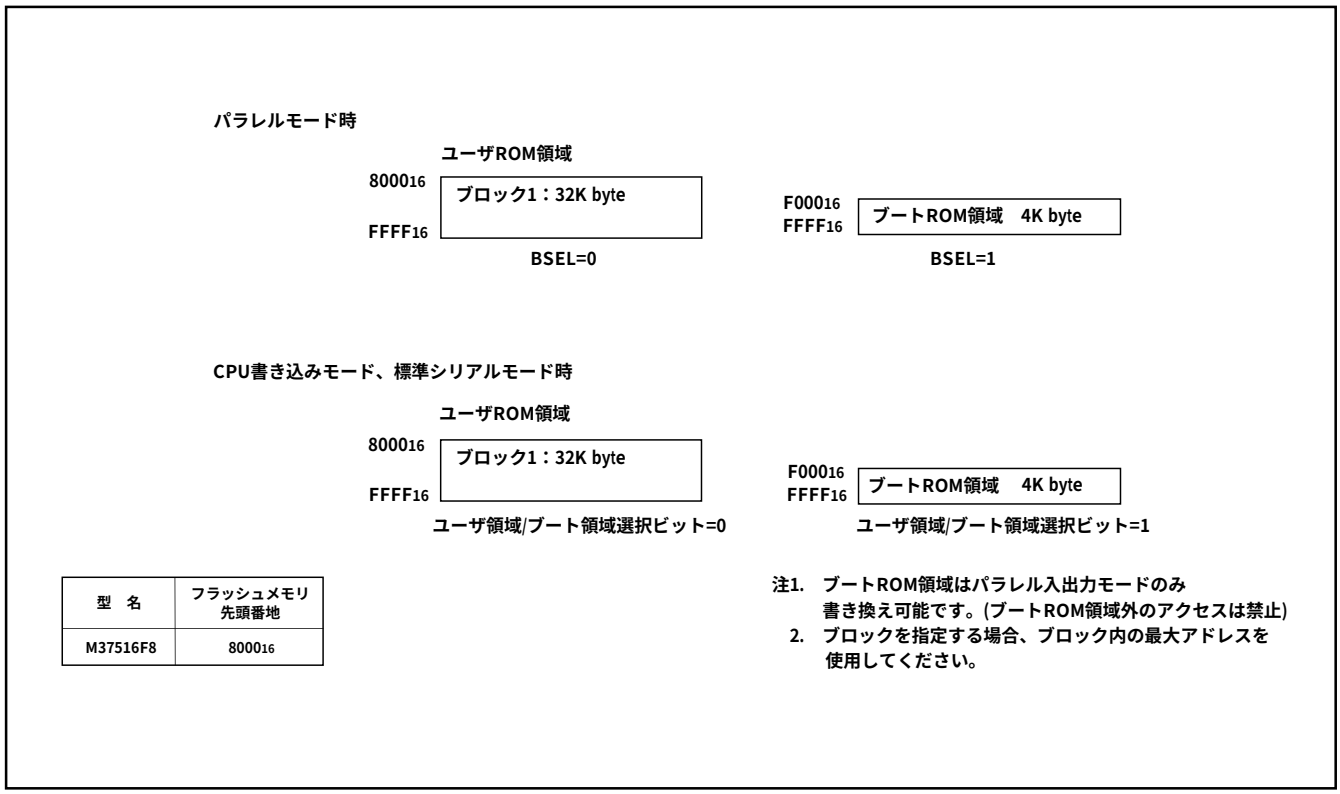
注1. プログラム/イレーズ時の電源電圧は、Vcc = 4.5～5.5Vで書き込んでください。
2. プログラム/イレーズ時の電源電圧は、Vcc = 3.0～3.6Vでの書き込みも可能です。
3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

フラッシュメモリモード

M37516F8は、5V単一電源又はVPP=5V, VCC=3.3V～5Vにおいて2電源での書き換えが可能なNEW DINOR(DIvided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図57に示すようにM37516F8のフラッシュメモリは、ユーザROM領域とブートROM領域の2つのブロックに分かれています。

内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。



型　名	フラッシュメモリ先頭番地
M37516F8	8000₁₆

図57.　内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図57に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、ここで実行させる必要があります。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図57に示すとおりです。

CNVSS端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P41/INT0端子を“H”、CNVSS端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC16、FFFD16番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。M37516F8の場合、1ブロックのみの構成となります。

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウエアコマンドをライトすることにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要がありますので注意してください。

CPU書き換えモードへは、CNVSS端子に5V±0.5Vを印加し、CPU書き換えモード選択ビット(0FFE16番地のビット1)に“1”を書き込むことにより移行し、ソフトウエアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウエアコマンドで行います。プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図58にフラッシュメモリ制御レジスタを示します。ビット0はRY/$\overline{\text{BY}}$ステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。自動書き込み、自動消去の動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります(パラレル入出力モードのRY/$\overline{\text{BY}}$端子と同等の機能)。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウエアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスできません。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグで、このビットを読むことによりCPU書き換えモードにエントリしていることを確認することができます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態で、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット4はユーザROM領域/ブートROM領域選択ビットで、“1”をセットする事でブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビットの操作はRAM上のプログラムで行う必要があります。図59にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ

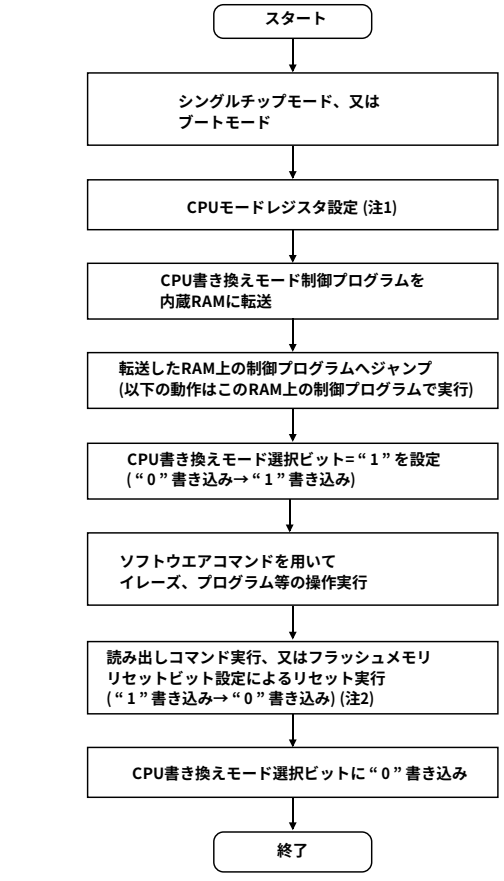
b7	b6	b5	b4	b3	b2	b1	b0
✕	✕	✕					

シンボル FMCR　アドレス 0FFE16番地　リセット時 XXX00001

ビットシンボル	ビット名	機　能	R	W
FMCR0	RY/BYステータスフラグ	0：ビジー (書き込み、消去実行中) 1：レディ	○	—
FMCR1	CPU書き換えモード選択ビット (注2)	0：通常モード (ソフトウエアコマンド無効) 1：CPU書き換えモード (ソフトウエアコマンド受付可能)	○	○
FMCR2	CPU書き換えモードエントリフラグ	0：通常モード 1：CPU書き換えモード	○	—
FMCR3	フラッシュメモリリセットビット (注3)	0：通常動作 1：リセット	○	○
FMCR4	ユーザ領域/ブート領域選択ビット	0：ユーザーROM領域 1：ブートROM領域	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1．リセット解除後のフラッシュメモリ制御レジスタの値は“XXX00001”となります。
2．“1”を設定するためには、このビット1への“0”書き込み→“1”書き込みを連続して行ってください。
3．このビット設定によってフラッシュメモリリセットを実行するためには、CPU書き換えモード選択ビットが“1”の状態で、このビット3に“1”を書き込み、次に“0”を書き込んでリセットを解除してください。

図58.　フラッシュメモリ制御レジスタの構成



注1. CPUモードレジスタ(003B16番地) のビット6、7 (メインクロック分周比選択ビット) を設定してください。
2. イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ず読み出しコマンド又はフラッシュメモリリセットを行ってください。

図59.　CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B16番地のビット6,7)によって、内部クロックφが4.0MHz以下になる様に設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウオッチドッグタイマ

すでにウオッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウオッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNVSS＝“H”の場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

ソフトウエアコマンド

表14にソフトウエアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウエアコマンドをライトすることにより、イレーズ、プログラム等を指定します。

以下に各ソフトウエアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0～D7)へ読み出されます。読み出しモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR1、SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリード又はRY/$\overline{BY}$ステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンド(“FF”)をライトするまで継続されます。

RB/$\overline{BY}$ステータスフラグはステータスレジスタビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタのビット4(SR4)を読み出すことによりプログラムの結果を知ることができます。

表14. ソフトウエアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)
リードアレイ	1	ライト	X (注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA (注2)	WD (注2)
イレーズ全ブロック	2	ライト	X	2016	ライト	X	2016
ブロックイレーズ	2	ライト	X	2016	ライト	BA (注3)	D016

注1. SRD=ステータスレジスタデータ
2. WA=ライトアドレス, WD=ライトデータ
3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)
4. XはユーザROM領域内の任意のアドレス

イレーズ全ブロック(20₁₆/20₁₆)

第1バスサイクルでコマンドコード“ 20₁₆ ”、続く第2バスサイクルで確認コマンドコード“ 20₁₆ ”を入力するとイレーズ全ブロック動作(消去前書き込み、消去、消去ベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はRY/$\overline{BY}$ステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで継続されます。

RY/$\overline{BY}$ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズ(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 20₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(消去前書き込み、消去、消去ベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はRY/$\overline{BY}$信号状態によって確認できます。自動一括消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次に読み出しコマンド(FF₁₆)をライトするまで継続されます。

RY/$\overline{BY}$ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

イレーズ全ブロック終了後、ステータスレジスタのビット5(SR5)を読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

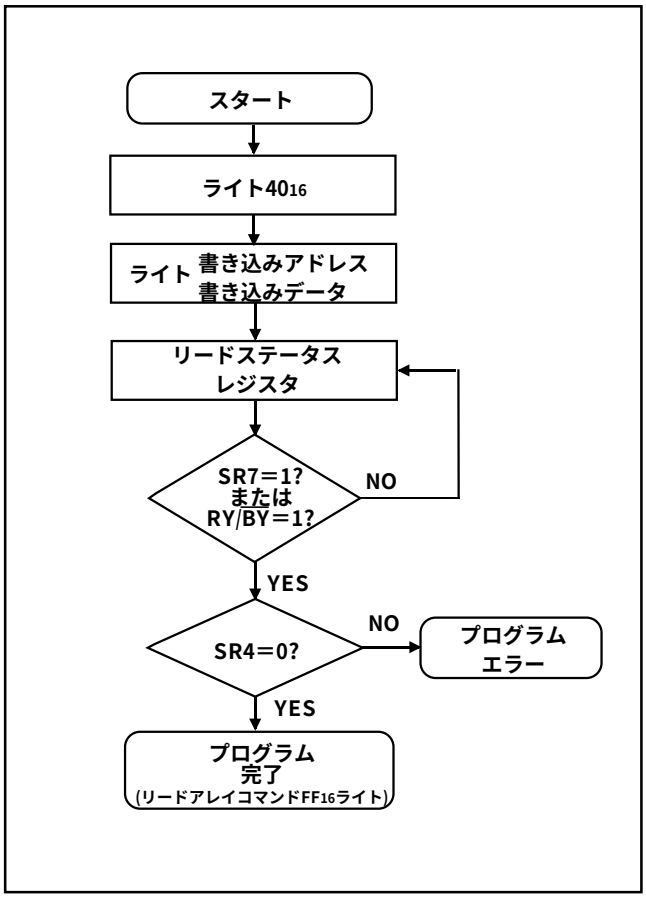


図60. 自動書き込みフローチャート

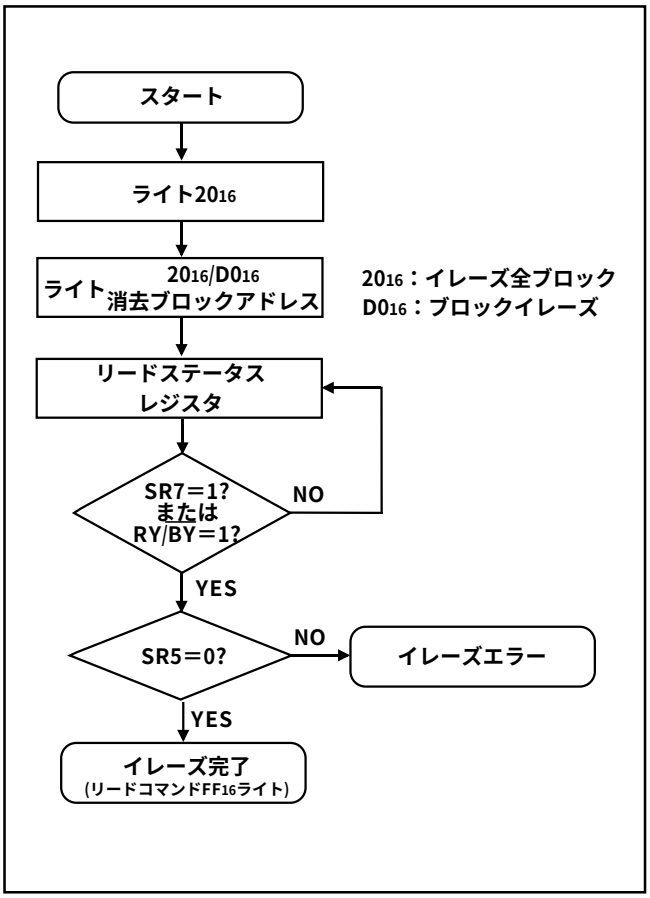


図61. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

(1) リードモードにおいて、リードステータスレジスタコマンド(70_{16})をライトした後、任意のアドレスを読み出したとき

(2) プログラム開始又はイレーズ開始から、リードアレイコマンド(FF_{16}) 入力までの期間

また、ステータスレジスタは次の条件でクリアされます。

(1) クリアステータスレジスタコマンド(50_{16})をライトしたとき

(2) 電源をオフにしたとき

表15にステータスレジスタの各ビットの定義を示します。

リセット解除後、ステータスレジスタは、“ 80_{16} ”になります。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“ 1 ”(レディ)にセットされます。プログラムやイレーズの動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

SR5、SR4のいずれかが“ 1 ”にセットされている状態では、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

表15. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	–	–
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	–	–
SR2 (bit2)	リザーブ	–	–
SR1 (bit1)	リザーブ	–	–
SR0 (bit0)	リザーブ	–	–

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図62にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

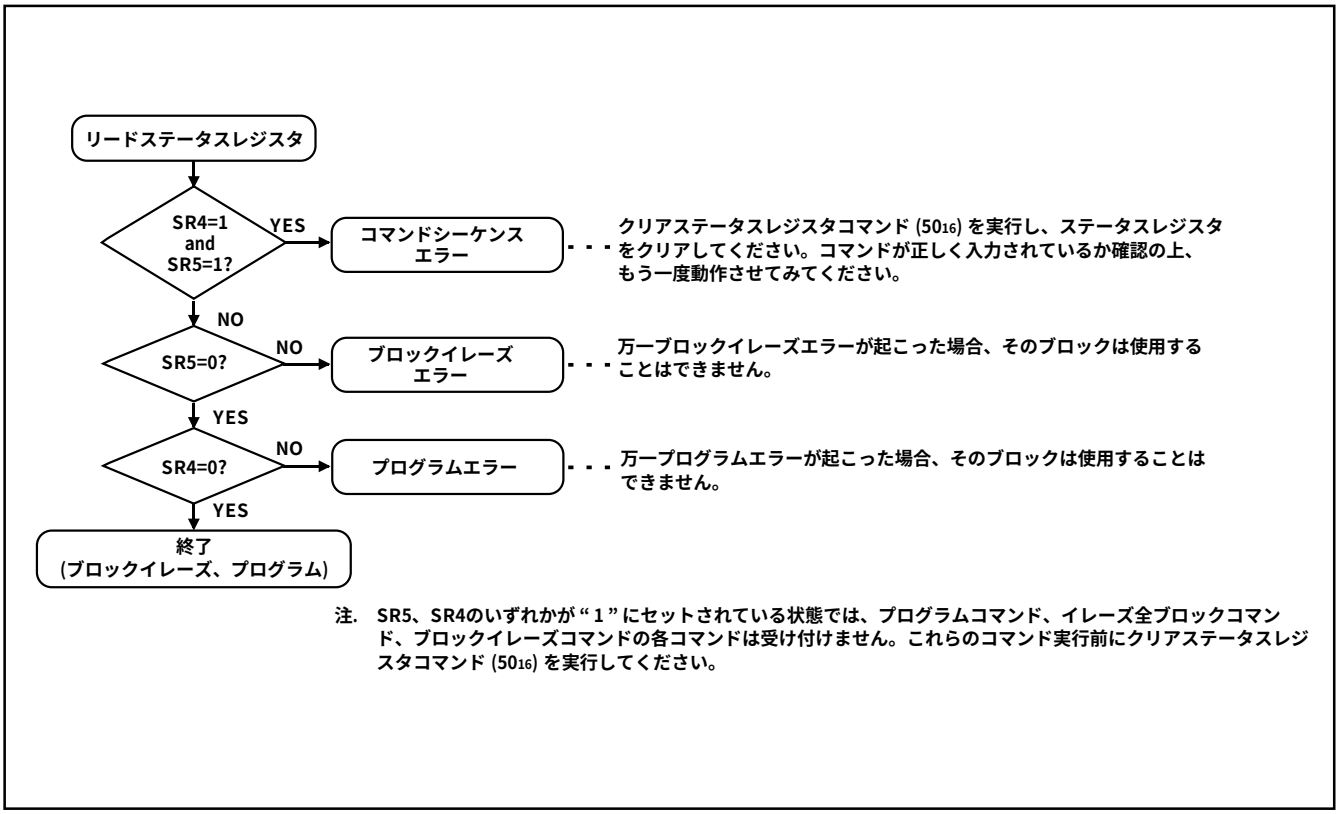


図62. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB16番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(FFDB16番地)の構成を図63に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスタ等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	出荷時の値
ROMCP	FFDB16番地	FF16

ビットシンボル	ビット名	機　能
予約ビット		必ず“1”を設定してください。
ROMCP2	ROMコードプロテクトレベル2設定ビット (注1)(注2)	b3 b2 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効
ROMCR	ROMコードプロテクト解除ビット (注3)	b5 b4 0 0 : プロテクト解除 0 1 : プロテクト設定ビット有効 1 0 : プロテクト設定ビット有効 1 1 : プロテクト設定ビット有効
ROMCP1	ROMコードプロテクトレベル1設定ビット (注1)	b7 b6 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効

注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します。
2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスタ等での、ROMコード読み出しも禁止します。
3. ROMコードプロテクト解除ビットでは、ROMコードプロテクト・レベル1、及びROMコードプロテクト・レベル2を解除できます。ただし、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更する必要があります。

図63.　ROMコードプロテクトの構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクではない場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4$_{16}$～FFDA$_{16}$番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

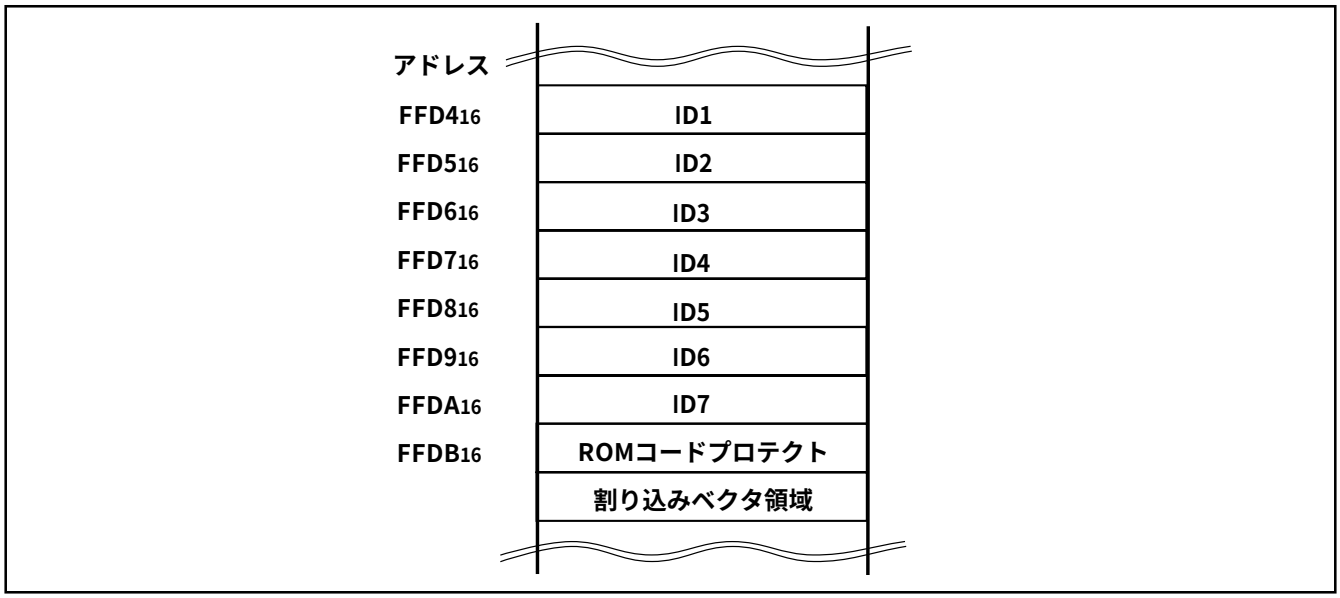


図64.　IDコードの格納アドレス

(2) パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウエアコマンド、アドレス、データをパラレルに入出力するモードです。
7516グループをサポートしている専用の外部装置(ライタ)をご使用ください。使用方法の詳細は各ライタメーカの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図57に示すユーザROM領域、及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図57に示します。

ブートROM領域は、4Kバイトで、$F000_{16}$～$FFFF_{16}$番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御ソフトウエアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

(3) 標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P26(SCLK)端子、P41(INT0)端子を“H”、CNVSS端子を“H”(Vcc=4.5～5.5V時はVccに接続、Vcc=2.7～4.5V時はVpp端子として外部からVpp=4.5～5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSS端子は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図65に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/O1の端子SCLK、RXD、TXD、$\overline{\text{SRDY1}}$(BUSY)の4本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD端子はCMOS出力です。$\overline{\text{SRDY1}}$(BUSY)端子は、受信準備が完了すると“L”となり、受信動作を開始すると“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図65に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードでは、7バイトのIDコードを使用します。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければシリアルライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(シリアルI/O1)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウエアコマンド、アドレス及びプログラムデータは、SCLK端子に入力する転送クロック立ち上がりに同期して、RXD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、TXD端子から外部に出力します。

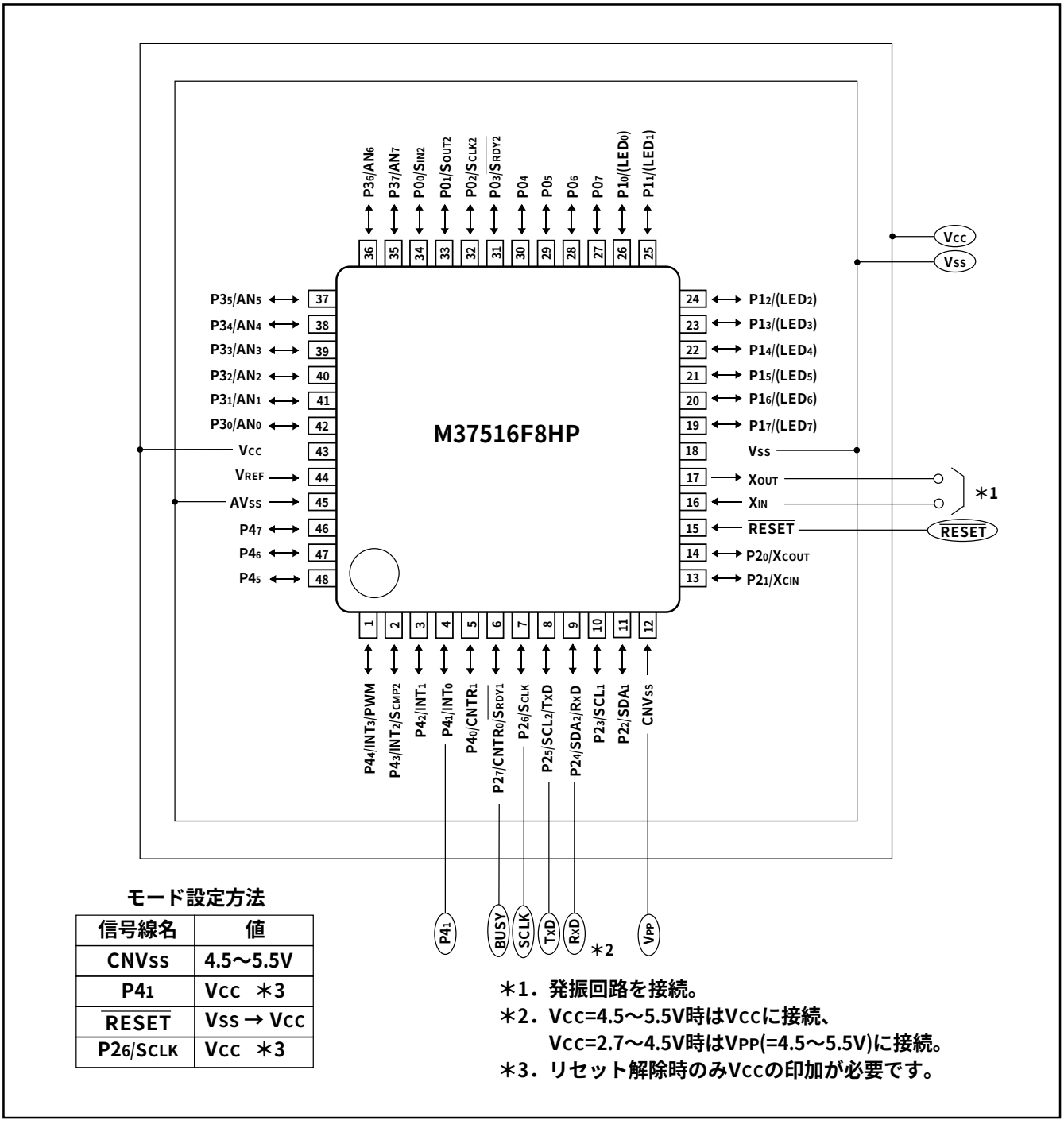
TXD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、$\overline{\text{SRDY1}}$(BUSY)端子が“H”となります。したがって、次の転送は、必ず$\overline{\text{SRDY1}}$(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常／エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウエアコマンド、ステータスレジスタ等について説明します。

表16. 端子の機能説明(標準シリアル入出力モード)

端子名	名　称	入出力	機　能
VCC,VSS	電源入力		VCC端子にはプログラム/イレーズの保証電圧を、VSSには0Vを印加してください。
CNVSS	CNVSS	入力	VCC=4.5～5.5V時はVCC接続してください。VCC=2.7～4.5V時はVPPに接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVSS	アナログ電源入力		VSSに接続してください。
VREF	基準電圧入力	入力	開放又はADの基準電圧を入力してください。
P00～P07	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放してください。
P10～P17	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放してください。
P20～P23	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放してください。
P24	RXD入力	入力	シリアルデータの入力端子です。
P25	TXD出力	出力	シリアルデータの出力端子です。
P26	SCLK入力	入力	シリアルクロックの入力端子です。
P27	BUSY出力	出力	BUSY信号の出力端子です。
P30～P37	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放してください。
P40, P42～P47	入力ポートP4	入力	“H”を入力、“L”を入力、又は開放してください。
P41	入力ポートP4	入力	リセット解除時のみ“H”を入力してください。



モード設定方法

信号線名	値
CNVSS	4.5～5.5V
P41	VCC ＊3
$\overline{\text{RESET}}$	VSS → VCC
P26/SCLK	VCC ＊3

＊1．発振回路を接続。
＊2．VCC=4.5～5.5V時はVCCに接続、
VCC=2.7～4.5V時はVPP(=4.5～5.5V)に接続。
＊3．リセット解除時のみVCCの印加が必要です。

図65.　シリアル入出力モード時の端子結線図

ソフトウエアコマンド

表17にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウエアコマンドは、基本的にはパラレル入出力モードのものと同じですが、ブロックイレーズ機能を削除し、IDチェック機能、ダウンロード機能、バージョン情報出力機能の3コマンドを追加しています。

表17. ソフトウエアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	～	ID未照合
1	ページリード	FF16	アドレス(中位)	アドレス(上位)	データ出力	データ出力	データ出力	～259バイト目データ出力	受付不可
2	ページプログラム	4116	アドレス(中位)	アドレス(上位)	データ入力	データ入力	データ入力	～259バイト目データ入力	受付不可
3	イレーズ全ブロック	A716	D016						受付不可
4	リードステータスレジスタ	7016	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	5016							受付不可
6	IDチェック機能	F516	アドレス(下位)	アドレス(中位)	アドレス(上位)	IDサイズ	ID1	～ID7	受付可
7	ダウンロード機能	FA16	サイズ(下位)	サイズ(上位)	チェックサム	データ入力	～必要回数		受付不可
8	バージョン情報出力機能	FB16	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	～9バイト目バージョンデータ出力	受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン→シリアルライタへの転送
それ以外は、シリアルライタ→フラッシュメモリ内蔵マイコンへの転送です。

2. SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。
3. ブランク品に対しては全コマンドの受付が可能です。
4. アドレス上位(A_{16}～A_{23})は常に“00_{16}”です。

以下に各ソフトウエアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でリードアレイコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“FF16”を転送します。

(2) 2バイト目、3バイト目の転送でアドレスA8～A15、アドレスA16～A23(“0016”)を転送します。

(3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A15、アドレスA16～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します。

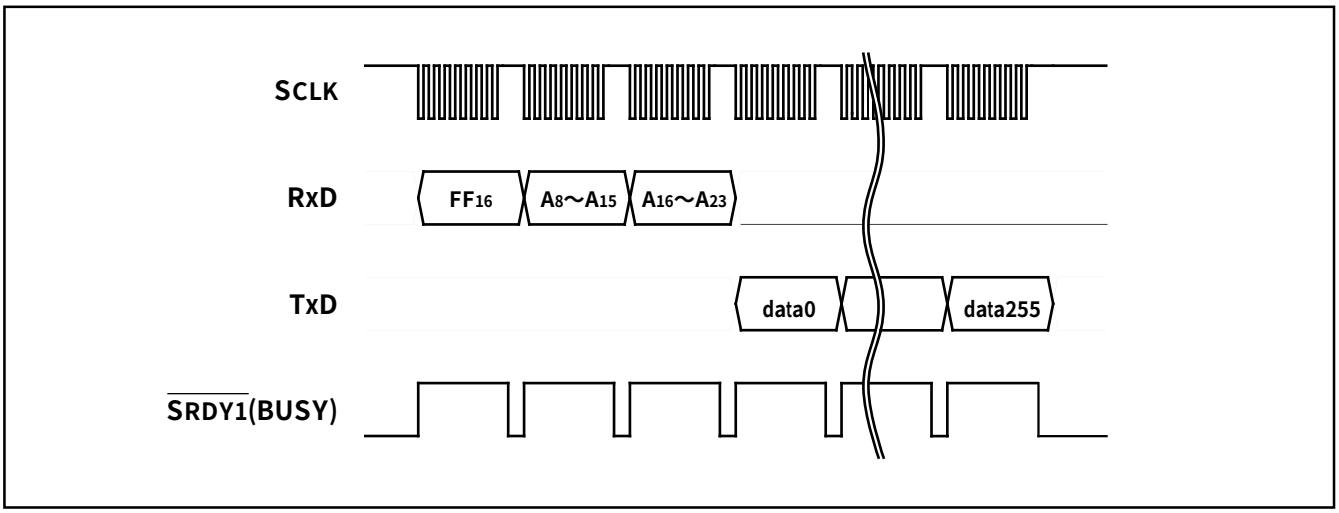


図66. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“7016”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

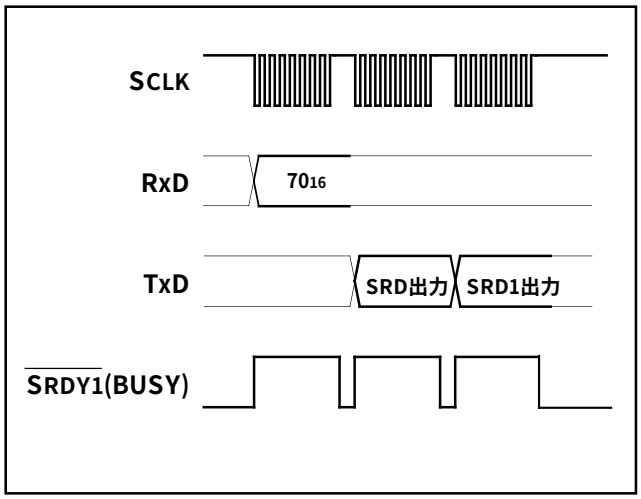


図67. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4、5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“5016”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、SRDY1(BUSY)信号は“H”から“L”に変化します。

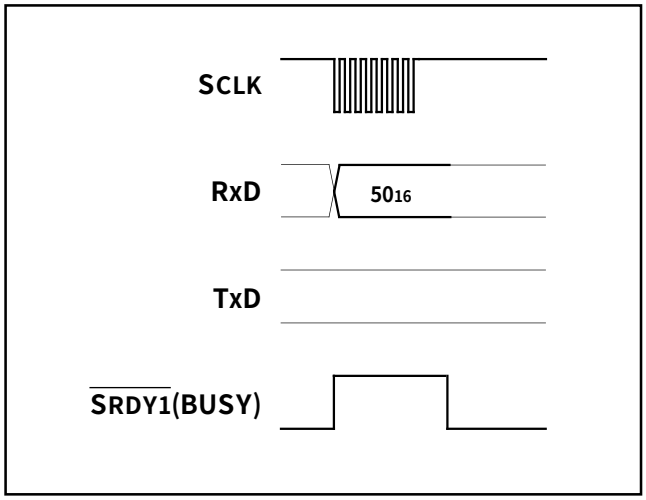


図68. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“41_{16}”を転送します。

(2) 2バイト目、3バイト目の転送でアドレスA_8～A_{15}、アドレスA_{16}～A_{23}(“00_{16}”)を転送します。

(3) 4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すると$\overline{SRDY1}$(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“$A7_{16}$”を転送します。

(2) 2バイト目の転送で確認コマンド“$D0_{16}$”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了すると$\overline{SRDY1}$(BUSY)信号が“H”から“L”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

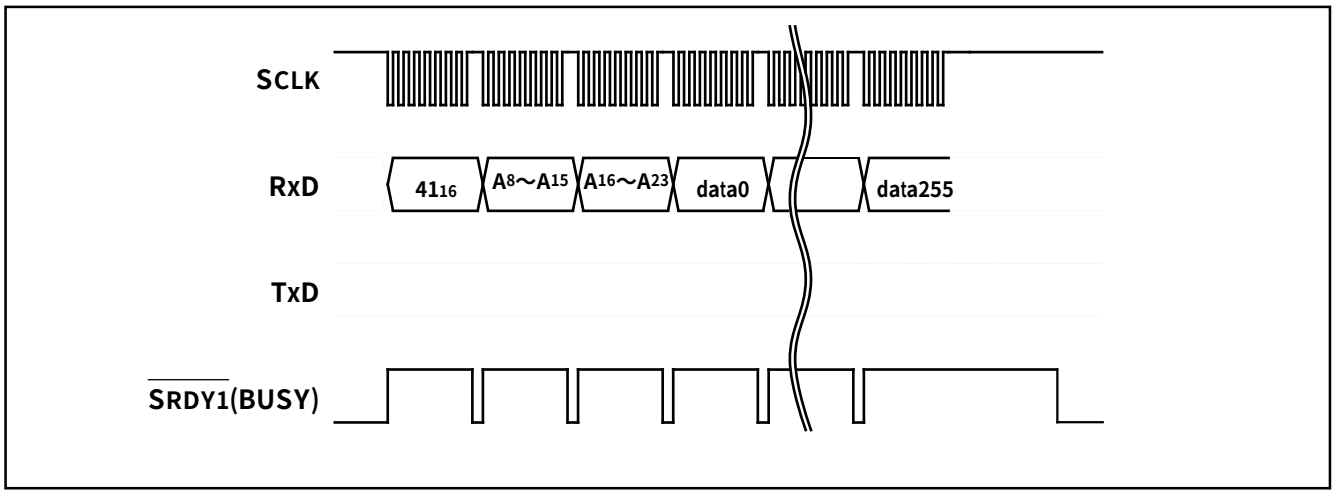


図69. ページプログラムコマンド時のタイミング

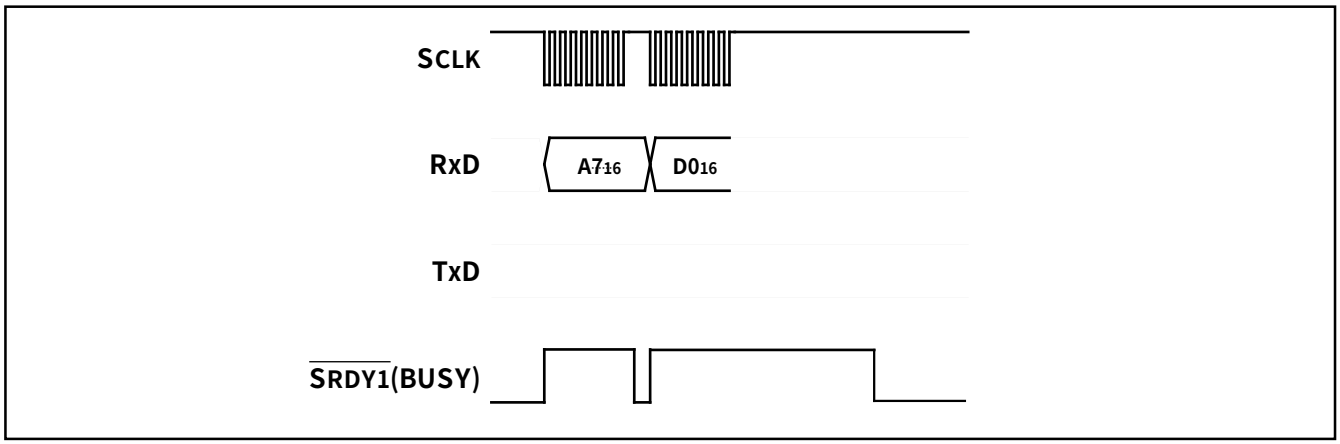


図70. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1) 1バイト目の転送でコマンドコード“FA16”を転送します。
(2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
(3) 4バイト目の転送でチェックサムを転送します。
チェックサムは、5バイト目以降に転送するデータをすべて加算したものです。
(4) 5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1) 1バイト目の転送でコマンドコード“FB16”を転送します。
(2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

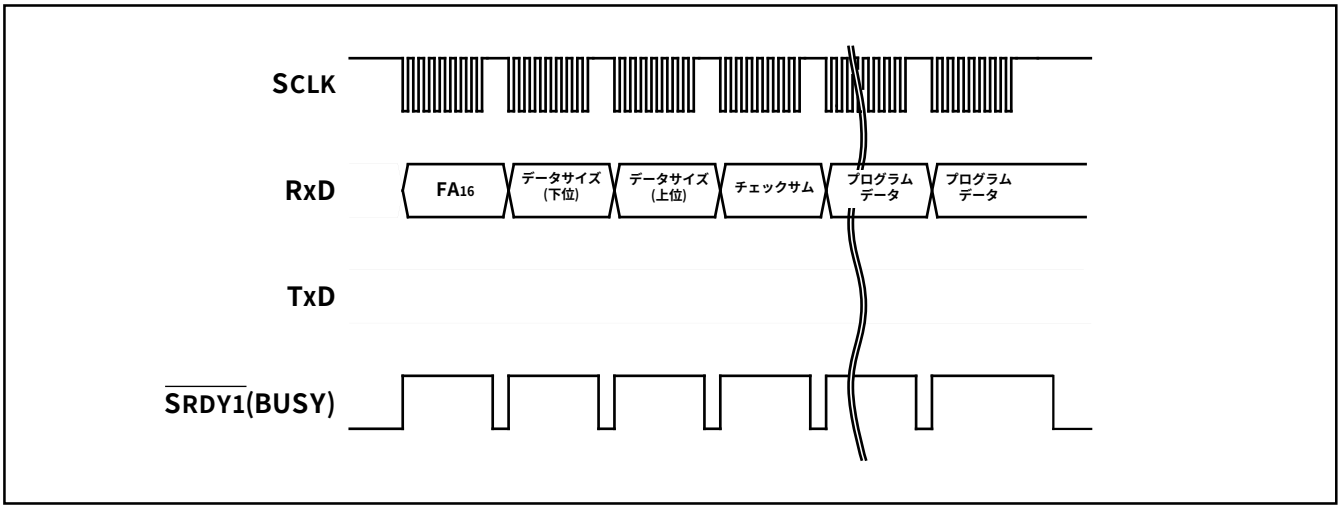


図71. ダウンロード機能のタイミング

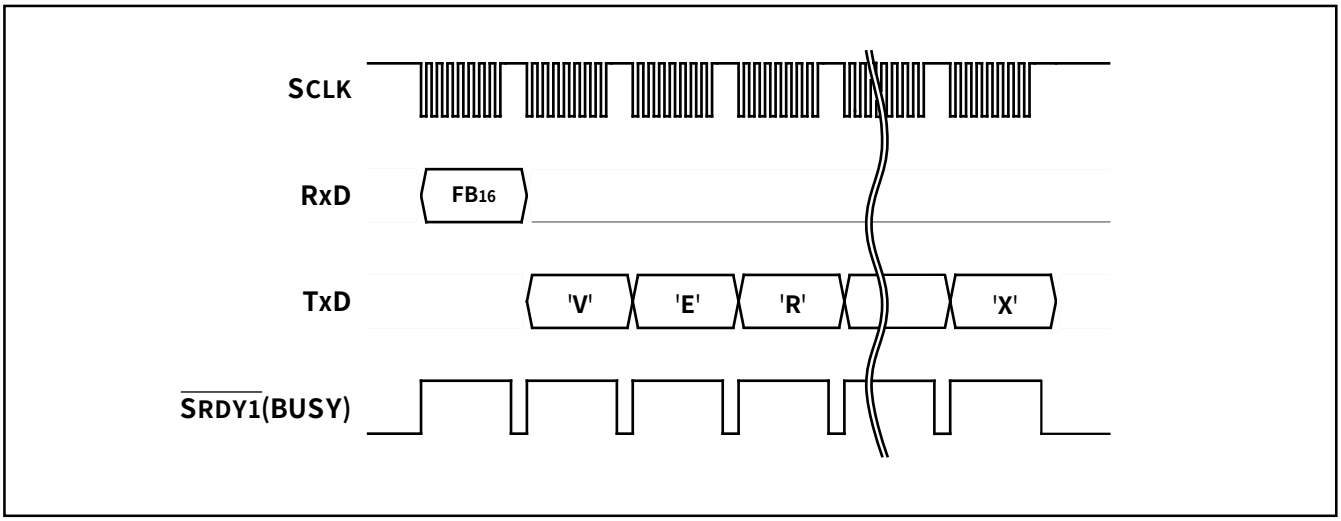


図72. バージョン情報出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1) 1バイト目の転送でコマンドコード“F5$_{16}$”を転送します。

(2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA$_0$～A$_7$、A$_8$～A$_{15}$、A$_{16}$～A$_{23}$(“00$_{16}$”)を転送してください。

(3) 5バイト目にIDコードのデータ数を転送してください。

(4) 6バイト目以降、IDコードをIDコードの1バイト目から転送してください。

IDコード

フラッシュメモリの内容がブランクではない場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域はFFD4$_{16}$～FFDA$_{16}$番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

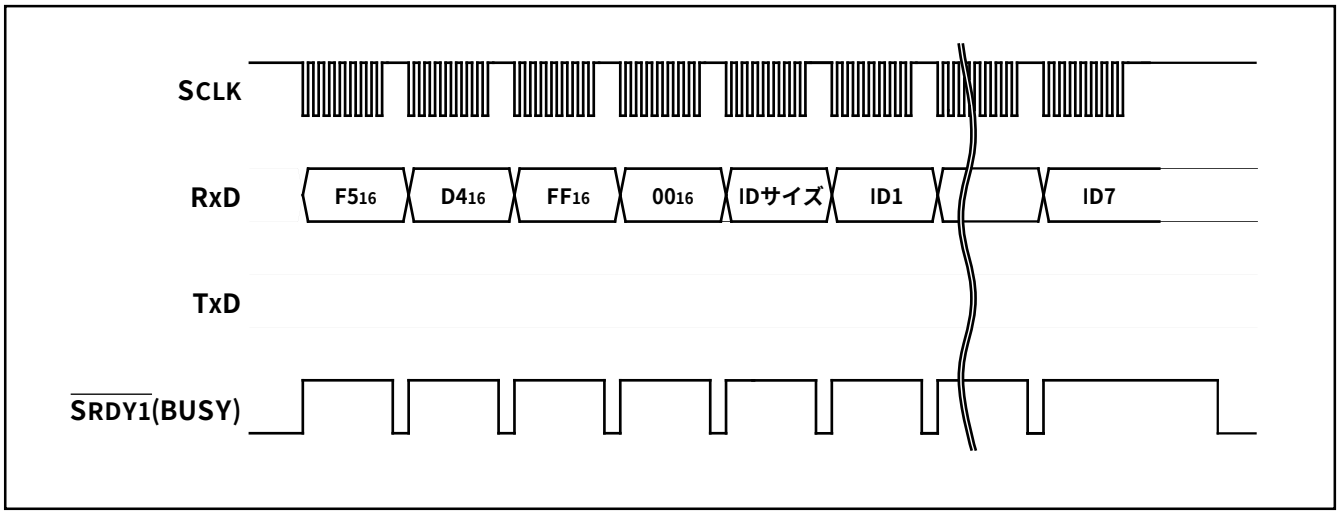


図73. IDチェック機能のタイミング

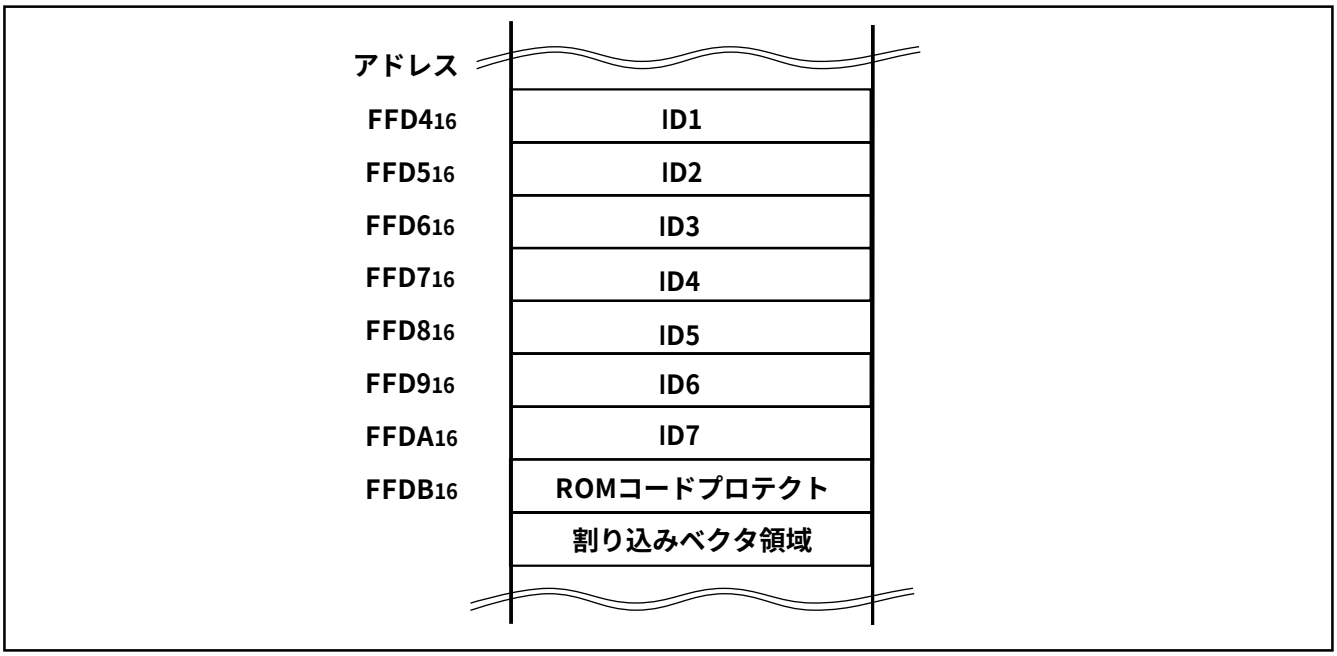


図74. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(7016)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(5016)をライトしたときクリアされます。

ステータスレジスタを表18に、各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“ 8016 ”を出力します。

シーケンサステータス(SR7)

シーケンサステータスはフラシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“ 1 ”(レディ)にセットされます。プログラムやイレーズの動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

表18. ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定　義	
		“ 1 ”	“ 0 ”
SR7 (bits7)	シーケンサステータス	レディ	ビジー
SR6 (bits6)	リザーブ	–	–
SR5 (bits5)	イレーズステータス	エラー終了	正常終了
SR4 (bits4)	プログラムステータス	エラー終了	正常終了
SR3 (bits3)	リザーブ	–	–
SR2 (bits2)	リザーブ	–	–
SR1 (bits1)	リザーブ	–	–
SR0 (bits0)	リザーブ	–	–

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(7016)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(5016)をライトしたときクリアされます。

ステータスレジスタ1を表19に、各ビットの定義を以下に示します。

電源投入時“0016”になります。フラグの状態はリセットしても保持されます。

ブート更新済みビット(SR15)

ダウンロード機能を使用して、制御プログラムをRAMにダウンロードしたかどうか示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうか示すフラグです。

ID照合済みビット(SR11, SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが“1”になると、受信したデータを破棄し、コマンド待ちに戻ります。

表19. ステータスレジスタ1(SRD1)

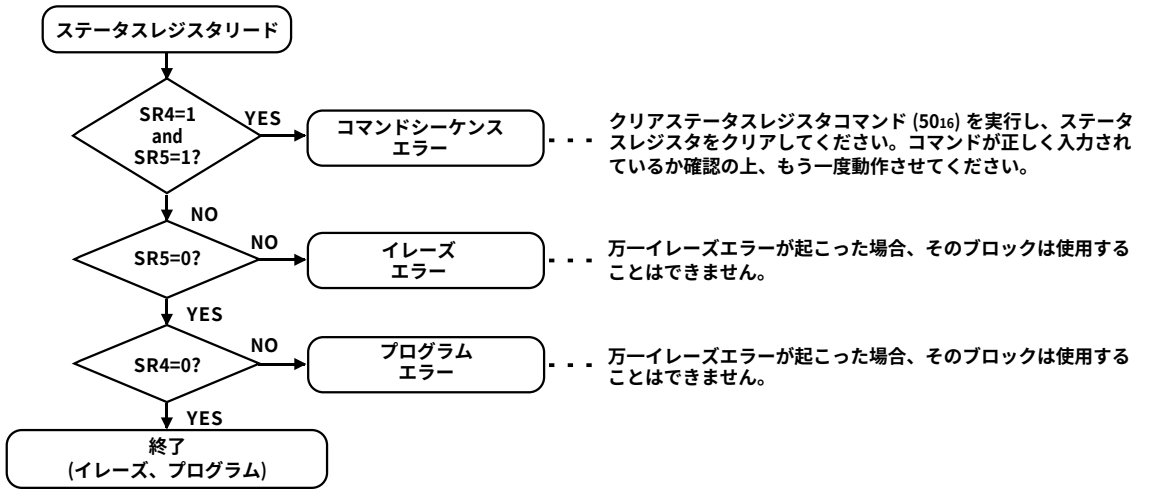
SRD1の各ビット	ステータス名	定義	
		“1”	“0”
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	—	—
SR13 (bit5)	リザーブ	—	—
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	—	—

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図75 にフルステータスチェックフロチャート及び各エラー発生時の対処方法を示します。

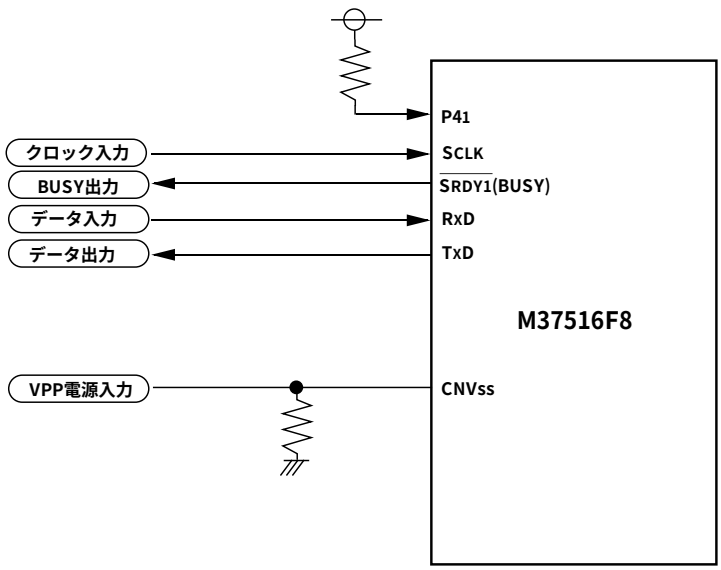
標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。ライタによって制御するピン等が違いますので、詳細はライタのマニュアルを参考にしてください。



注. SR5、SR4のいずれかが“1”にセットされている状態では、プログラム、イレーズ、イレーズ全ブロックの各コマンドは受け付けません。これらのコマンド実行前にクリアステータスレジスタコマンド (5016) を実行してください。

図75. フルステータスチェックフローチャート及び各エラー発生時の対処法



注1. ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
2. この例では、VPP電源をライタより供給しています。ユーザ電源を使用する場合は、4.5～5.5Vに接続してください。
3. SCLK端子にはリセット解除時、VCCを印加してください。

図76. 標準シリアル入出力モード時の応用回路例

フラッシュメモリモード電気的特性

絶対最大規格

表20. 絶対最大定格

記号	項目	条件	定格値	単位
V_{CC}	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	−0.3～6.5	V
V_I	入力電圧 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$, $P2_1$, $P2_4$～$P2_7$ $P3_0$～$P3_7$, $P4_0$～$P4_7$, V_{REF}		−0.3～Vcc＋0.3	V
V_I	入力電圧 $P2_2$, $P2_3$		−0.3～5.8	V
V_I	入力電圧 $\overline{RESET}$, X_{IN}		−0.3～Vcc＋0.3	V
V_I	入力電圧 CNVss		−0.3～6.5	V
V_O	出力電圧 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$, $P2_1$, $P2_4$～$P2_7$ $P3_0$～$P3_7$, $P4_0$～$P4_7$, X_{OUT}		−0.3～Vcc＋0.3	V
V_O	出力電圧 $P2_2$, $P2_3$		−0.3～5.8	V
P_d	消費電力	Ta＝25℃	300	mW
T_{opr}	動作周囲温度		25±5	℃
T_{stg}	保存温度		−40～125	℃

表21. 直流電気的特性(指定のない場合は、Ta= 25℃、Vcc=4.5～5.5V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I_{PP1}	V_{PP}電源電流（リード時）	V_{PP} =Vcc			100	μA
I_{PP2}	V_{PP}電源電流（プログラム時）	V_{PP} =Vcc			60	mA
I_{PP3}	V_{PP}電源電流（イレーズ時）	V_{PP} =Vcc			30	mA
V_{PP}	V_{PP}電源電圧		4.5		5.5	V
V_{CC}	Vcc電源電圧	Vcc = 2.7～5.5Vでマイコンモードを動作させるとき	4.5		5.5	V
		Vcc = 2.7～3.6Vでマイコンモードを動作させるとき	3.0		3.6	V

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値n(0～255)を書き込んだ場合の分周比は、1/(n+1)です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

シリアルI/O1(クロック同期形モード)において、外部クロックを用いて受信側が$\overline{\text{SRDY1}}$出力を行う場合、受信許可ビット及び$\overline{\text{SRDY1}}$出力許可ビットとともに、送信許可ビットも“1”に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、中速/高速モード時のA-D変換中はf(XIN)500kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックφの周期をかけることによって得られます。内部クロックφの周期は高速モードではXIN周期の2倍です。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF～0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加してくださるようお願いいたします。

ワンタイムPROM版／フラッシュメモリ版／マスクROM版の相違点に関する注意事項

ワンタイムPROM版、フラッシュメモリ版、及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

ワンタイムPROM版／フラッシュメモリ版／マスクROM版に関する注意事項

CNVss端子は、プログラマブル電源端子（VPP端子）と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1～10kΩの抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

(1) マスク化確認書*
(2) マーク指定書*
(3) ROMのデータ ..... EPROM　3セット
又はフロッピーディスク　1枚

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

・ROM書き込み確認書*
・マーク指定書(客先ロゴ入り特殊マークのみ)*
・ROMのデータ ..... EPROM　3セット
又はフロッピーディスク　1枚

*マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、ルネサステクノロジホームページ（http://www.renesas.com/jp/rom）を参照してください。

ROM書き込み方法

ワンタイムPROM版（ブランク品）は、専用の書き込みアダプタを使用することにより汎用のPROMライタで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライタのアドレス設定は、ユーザROM領域に設定してご使用ください。

表22．専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
48P6Q-A	PCA7419

ワンタイムPROM版（ブランク品）は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、**図77**に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

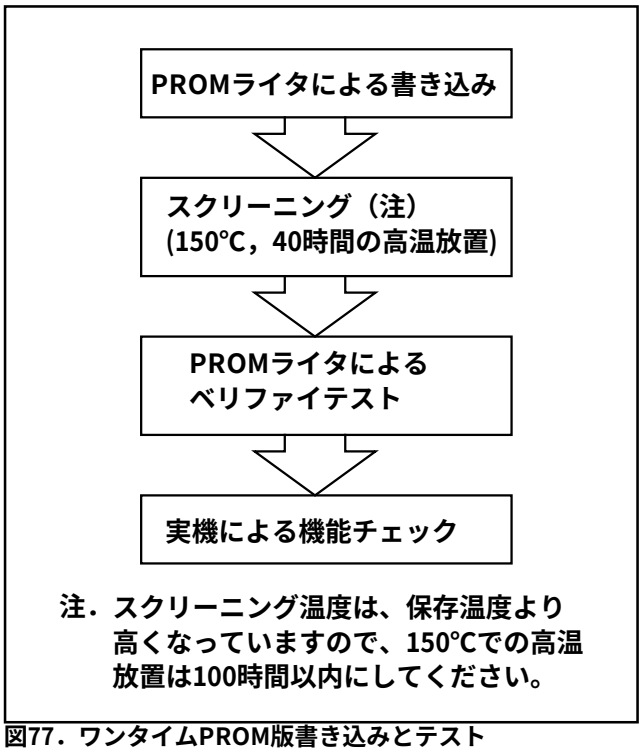


図77．ワンタイムPROM版書き込みとテスト

電気的特性

絶対最大規格

表23. 絶対最大定格(フラッシュメモリモード実行時は、フラッシュメモリモード電気的特性が適用されます。)

記号	項　　目	条　　件	定　格　値	単位
V_{CC}	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	−0.3〜6.5	V
V_I	入力電圧 $P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$, $P2_1$, $P2_4$〜$P2_7$ $P3_0$〜$P3_7$, $P4_0$〜$P4_7$, V_{REF}		−0.3〜Vcc+0.3	V
V_I	入力電圧 $P2_2$, $P2_3$		−0.3〜5.8	V
V_I	入力電圧 $\overline{RESET}$, X_{IN}		−0.3〜Vcc+0.3	V
V_I	入力電圧 CNVss		−0.3〜6.5	V
V_O	出力電圧 $P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$, $P2_1$, $P2_4$〜$P2_7$ $P3_0$〜$P3_7$, $P4_0$〜$P4_7$, X_{OUT}		−0.3〜Vcc+0.3	V
V_O	出力電圧 $P2_2$, $P2_3$		−0.3〜5.8	V
P_d	消費電力	Ta=25℃	300	mW
T_{opr}	動作周囲温度		−20〜85	℃
T_{stg}	保存温度		−40〜125	℃

推奨動作条件

表24. 推奨動作条件(1) (指定のない場合は、Vcc=2.7～5.5V，Ta=－20～85℃)

記号	項目		規格値			単位
			最小	標準	最大	
Vcc	電源電圧	8MHz時	4.0	5.0	5.5	V
		4MHz時	2.7	5.0	5.5	V
Vss	電源電圧			0		V
VREF	A-D変換器基準電圧		2.0		Vcc	V
AVss	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0～AN7		AVss		Vcc	V
VIH	“H”入力電圧 P00～P07, P10～P17, P20～P27, P30～P37 P40～P47		0.8Vcc		Vcc	V
VIH	“H”入力電圧（I2C-BUS入力レベル選択時） SDA1,SCL1,		0.7Vcc		5.8	V
VIH	“H”入力電圧（I2C-BUS入力レベル選択時） SDA2,SCL2		0.7Vcc		Vcc	V
VIH	“H”入力電圧（SMBUS入力レベル選択時） SDA1,SCL1		1.4		5.8	V
VIH	“H”入力電圧（SMBUS入力レベル選択時） SDA2,SCL2		1.4		Vcc	V
VIH	“H”入力電圧 $\overline{\text{RESET}}$, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00～P07, P10～P17, P20～P27, P30～P37 P40～P47		0		0.2 Vcc	V
VIL	“L”入力電圧（I2C-BUS入力レベル選択時） SDA1,SDA2,SCL1,SCL2		0		0.3 Vcc	V
VIL	“L”入力電圧（SMBUS入力レベル選択時） SDA1,SDA2,SCL1,SCL2		0		0.6	V
VIL	“L”入力電圧 $\overline{\text{RESET}}$, CNVss		0		0.2 Vcc	V
VIL	“L”入力電圧 XIN		0		0.16 Vcc	V
ΣIOH(peak)	“H”出力総尖頭電流 (注) P00～P07, P10～P17, P30～P37				-80	mA
ΣIOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24～P27, P40～P47				-80	mA
ΣIOL(peak)	“L”出力総尖頭電流 (注) P00～P07, P30～P37				80	mA
ΣIOL(peak)	“L”出力総尖頭電流 (注) P10～P17				120	mA
ΣIOL(peak)	“L”出力総尖頭電流 (注) P20～P27, P40～P47				80	mA
ΣIOH(avg)	“H”出力総平均電流 (注) P00～P07, P10～P17, P30～P37				-40	mA
ΣIOH(avg)	“H”出力総平均電流 (注) P20, P21, P24～P27, P40～P47				-40	mA
ΣIOL(avg)	“L”出力総平均電流 (注) P00～P07, P30～P37				40	mA
ΣIOL(avg)	“L”出力総平均電流 (注) P10～P17				60	mA
ΣIOL(avg)	“L”出力総平均電流 (注) P20～P27, P40～P47				40	mA

注. 出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表25. 推奨動作条件(2) (指定のない場合は、Vcc=2.7～5.5V, Ta=－20～85°C)

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
$I_{OH(peak)}$	“H”出力尖頭電流 (注1) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$, $P2_1$, $P2_4$～$P2_7$ $P3_0$～$P3_7$, $P4_0$～$P4_7$			－10	mA
$I_{OL(peak)}$	“L”出力尖頭電流 (注1) $P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$			10	mA
$I_{OL(peak)}$	“L”出力尖頭電流 (注1) $P1_0$～$P1_7$			20	mA
$I_{OH(avg)}$	“H”出力平均電流 (注2) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$, $P2_1$, $P2_4$～$P2_7$ $P3_0$～$P3_7$, $P4_0$～$P4_7$			－5	mA
$I_{OL(avg)}$	“L”出力平均電流 (注2) $P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$			5	mA
$I_{OL(avg)}$	“L”出力平均電流 (注2) $P1_0$～$P1_7$			15	mA
$f(X_{IN})$	内部クロック発振周波数 (注3) (Vcc=4.0～5.5V)			8	MHz
$f(X_{IN})$	内部クロック発振周波数 (注3) (Vcc=2.7～5.5V)			4	MHz

注1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
　2．平均出力電流$I_{OL(avg)}$，$I_{OH(avg)}$は100msの期間での平均値です。
　3．発振周波数はデューティ50%の場合です。

電気的特性

表26. 電気的特性(1)　指定のない場合は、Vcc=2.7～5.5V，Vss=0V，Ta=－20～85°C)

記　号	項　目	測定条件	規格値			単位
			最　小	標　準	最　大	
V_{OH}	“H”出力電圧 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$, $P2_1$ $P2_4$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$ (注)	I_{OH}=－10mA Vcc=4.0～5.5V	Vcc－2.0			V
		I_{OH}=－1.0mA Vcc=2.7～5.5V	Vcc－1.0			V
V_{OL}	“L”出力電圧 $P0_0$～$P0_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$ $P4_0$～$P4_7$	I_{OL}=10mA Vcc=4.0～5.5V			2.0	V
		I_{OL}=1.0mA Vcc=2.7～5.5V			1.0	V
V_{OL}	“L”出力電圧 $P1_0$～$P1_7$	I_{OL}=20mA Vcc=4.0～5.5V			2.0	V
		I_{OL}=10mA Vcc=2.7～5.5V			1.0	V

注．$P2_5$に関しては，UART制御レジスタの$P2_5$/TxD Pチャネル出力禁止ビット($001B_{16}$番地のビット4)が“0”の場合です。

表27. 電気的特性(2) (指定のない場合は、V_{CC}=2.7～5.5V，V_{SS}=0V，Ta=－20～85℃)

記　号	項　目	測 定 条 件	規　格　値			単位
			最　小	標　準	最　大	
$V_{T+}-V_{T-}$	ヒステリシス CNTR0, CNTR1, INT0～INT3			0.4		V
$V_{T+}-V_{T-}$	ヒステリシス RxD, SCLK, SIN2, SCLK2			0.5		V
$V_{T+}-V_{T-}$	ヒステリシス $\overline{RESET}$			0.5		V
I_{IH}	“H”入力電流 P00～P07, P10～P17, P20, P21, P24～P27, P30～P37, P40～P47	V_I=V_{CC}			5.0	μA
I_{IH}	“H”入力電流 $\overline{RESET}$, CNVss	V_I=V_{CC}			5.0	μA
I_{IH}	“H”入力電流 XIN	V_I=V_{CC}		4		μA
I_{IL}	“L”入力電流 P00～P07, P10～P17, P20～P27 P30～P37, P40～P47	V_I=V_{SS}			－5.0	μA
I_{IL}	“L”入力電流 $\overline{RESET}$, CNVss	V_I=V_{SS}			－5.0	μA
I_{IL}	“L”入力電流 XIN	V_I=V_{SS}		－4		μA
V_{RAM}	RAM保持電圧	クロック停止時	2.0		5.5	V

表28. 電気的特性(3)　(指定のない場合は、Vcc=2.7～5.5V, Vss=0V, Ta=－20～85°C)

記号	項目	測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態			6.8	13	mA
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態			1.6		mA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態	M37516F8HP以外		60	200	μA
			M37516F8HP		250		μA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M37516F8HP以外		20	40	μA
			M37516F8HP		70		μA
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態	M37516F8HP以外		20	55	μA
			M37516F8HP		150		μA
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M37516F8HP以外		5.0	10.0	μA
			M37516F8HP		20		μA
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態			4.0	7.0	mA
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態			1.5		mA
		A-D変換器動作時の増量 f(XIN)=8MHz			800		μA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態	Ta＝25°C		0.1	1.0	μA
			Ta＝85°C			10	μA

A-D変換器特性

表29. A-D変換器特性
(指定のない場合は，V_{CC}=2.7～5.5V, V_{SS}=AV_{SS}=0V, Ta=－20～85°C, f(X_{IN})=8MHz, f(X_{CIN})=32kHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
－	分解能					10	bit
－	絶対精度(量子化誤差は除く)					±4	LSB
t_{CONV}	変換時間		高速モード及び中速モード			61	tc(φ)
			低速モード		40		μs
R_{LADDER}	ラダー抵抗				35		kΩ
I_{VREF}	基準電源入力電流	V_{REF} 接続時	V_{REF}=5.0V	50	150	200	μA
		V_{REF} 切断時				5.0	μA
$I_{I(AD)}$	A-Dポート入力電流				0.5	5.0	μA

タイミング必要条件

表30. タイミング必要条件(1)
(指定のない場合は、Vcc=4.0～5.5V，Vss=0V，Ta=－20～85℃)

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
tW(RESET)	リセット入力“ L ”パルス幅	20			XINサイクル
tC(XIN)	外部クロック入力サイクル時間	125			ns
tWH(XIN)	外部クロック入力“ H ”パルス幅	50			ns
tWL(XIN)	外部クロック入力“ L ”パルス幅	50			ns
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力“ H ”パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力“ L ”パルス幅	80			ns
tWH(INT)	INT0～INT3入力“ H ”パルス幅	80			ns
tWL(INT)	INT0～INT3入力“ L ”パルス幅	80			ns
tC(SCLK1)	シリアルI/O1クロック入力サイクル時間　(注)	800			ns
tWH(SCLK1)	シリアルI/O1クロック入力“ H ”パルス幅　(注)	370			ns
tWL(SCLK1)	シリアルI/O1クロック入力“ L ”パルス幅　(注)	370			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	100			ns
tC(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“ H ”パルス幅	400			ns
tWL(SCLK2)	シリアルI/O2クロック入力“ L ”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2クロック入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアルI/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A16番地のビット6が“ 1 ”(クロック同期式モード)の場合です。
　　f(XIN)=8MHz、001A16番地のビット6が“ 0 ”(非同期式モード)の場合は，値は1/4になります。

表31. タイミング必要条件(2)
(指定のない場合は、Vcc=2.7～5.5V，Vss=0V，Ta=－20～85℃)

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
tW(RESET)	リセット入力“ L ”パルス幅	20			XINサイクル
tC(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“ H ”パルス幅	100			ns
tWL(XIN)	外部クロック入力“ L ”パルス幅	100			ns
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“ H ”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“ L ”パルス幅	230			ns
tWH(INT)	INT0～INT3入力“ H ”パルス幅	230			ns
tWL(INT)	INT0～INT3入力“ L ”パルス幅	230			ns
tC(SCLK1)	シリアルI/O1クロック入力サイクル時間　(注)	2000			ns
tWH(SCLK1)	シリアルI/O1クロック入力“ H ”パルス幅　(注)	950			ns
tWL(SCLK1)	シリアルI/O1クロック入力“ L ”パルス幅　(注)	950			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	200			ns
tC(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“ H ”パルス幅	950			ns
tWL(SCLK2)	シリアルI/O2クロック入力“ L ”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアルI/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアルI/O2クロック入力ホールド時間	300			ns

注．f(XIN)=4MHz、001A16番地のビット6が“ 1 ”(クロック同期式モード)の場合です。
　　f(XIN)=4MHz、001A16番地のビット6が“ 0 ”(非同期式モード)の場合は，値は1/4になります。

スイッチング特性

表32. スイッチング特性(1)
(指定のない場合は、Vcc=4.0～5.5V, Vss=0V, Ta=－20～85°C)

記　号	項　目	測定条件	規格値			単位
			最　小	標　準	最　大	
tWH (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図79	tc(SCLK1)/2－30			ns
tWL (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		tc(SCLK1)/2－30			ns
td (SCLK1-TxD)	シリアルI/O1出力遅延時間 (注1)				140	ns
tv (SCLK1-TxD)	シリアルI/O1出力有効時間 (注1)		－30			ns
tr (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				30	ns
tf (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				30	ns
tWH (SCLK2)	シリアルI/O2クロック出力“H”パルス幅		tc(SCLK2)/2－160			ns
tWL (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		tc(SCLK2)/2－160			ns
td (SCLK2-SOUT2)	シリアルI/O2出力遅延時間 (注2)				200	ns
tv (SCLK2-SOUT2)	シリアルI/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				30	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			10	30	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			10	30	ns

注1. UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
2. シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が“0”の場合です。
3. XOUT端子を除きます。

表33. スイッチング特性(2)
(指定のない場合は、Vcc=2.7～5.5V, Vss=0V, Ta=－20～85°C)

記　号	項　目	測定条件	規格値			単位
			最　小	標　準	最　大	
tWH (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図79	tc(SCLK1)/2－50			ns
tWL (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		tc(SCLK1)/2－50			ns
td (SCLK1-TxD)	シリアルI/O1出力遅延時間 (注1)				350	ns
tv (SCLK1-TxD)	シリアルI/O1出力有効時間 (注1)		－30			ns
tr (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				50	ns
tf (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				50	ns
tWH (SCLK2)	シリアルI/O2クロック出力“H”パルス幅		tc(SCLK2)/2－240			ns
tWL (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		tc(SCLK2)/2－240			ns
td (SCLK2-SOUT2)	シリアルI/O2出力遅延時間 (注2)				400	ns
tv (SCLK2-SOUT2)	シリアルI/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				50	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1．UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
2．シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が“0”の場合です。
3．XOUT端子を除きます。

マルチマスタI²C-BUSバスライン特性

表34. マルチマスタI²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL、SDA信号の立ち上がり時間		1000	20+0.1Cb（注）	300	ns
tHD;DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL、SDA信号の立ち下がり時間		300	20+0.1Cb（注）	300	ns
tSU;DAT	データのセットアップ時間	250		100		ns
tSU;STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU;STO	ストップコンディション時のセットアップ時間	4.0		0.6		μs

（注）Cb＝1つのバスラインキャパシタの合計

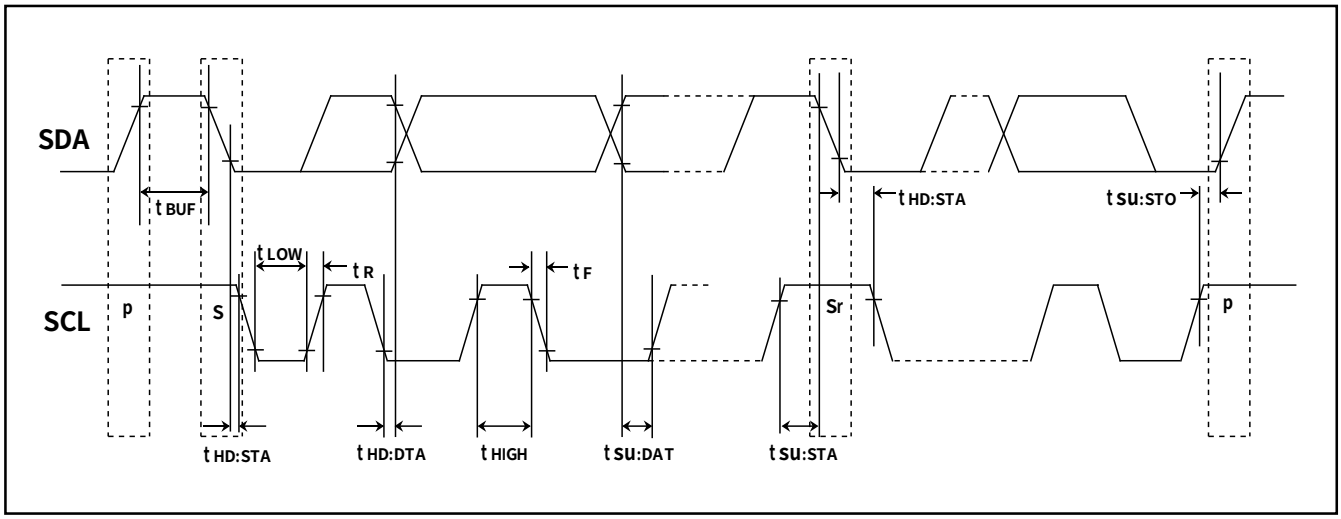


図78. マルチマスタI²C-BUSタイミング定義図

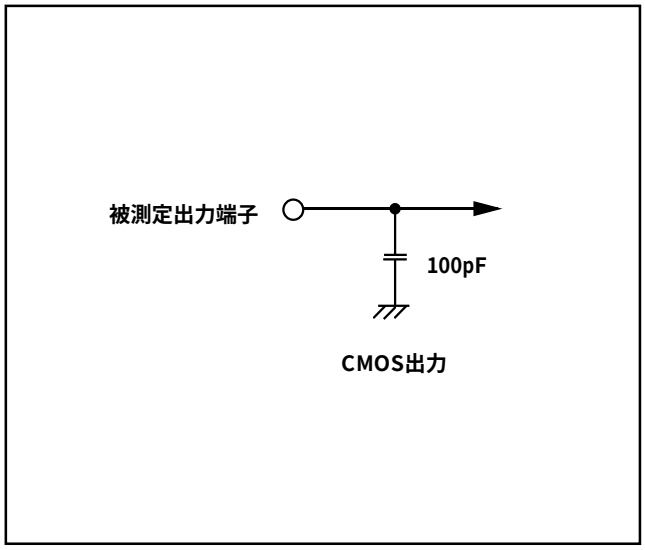


図79. 出力スイッチング特性測定回路図

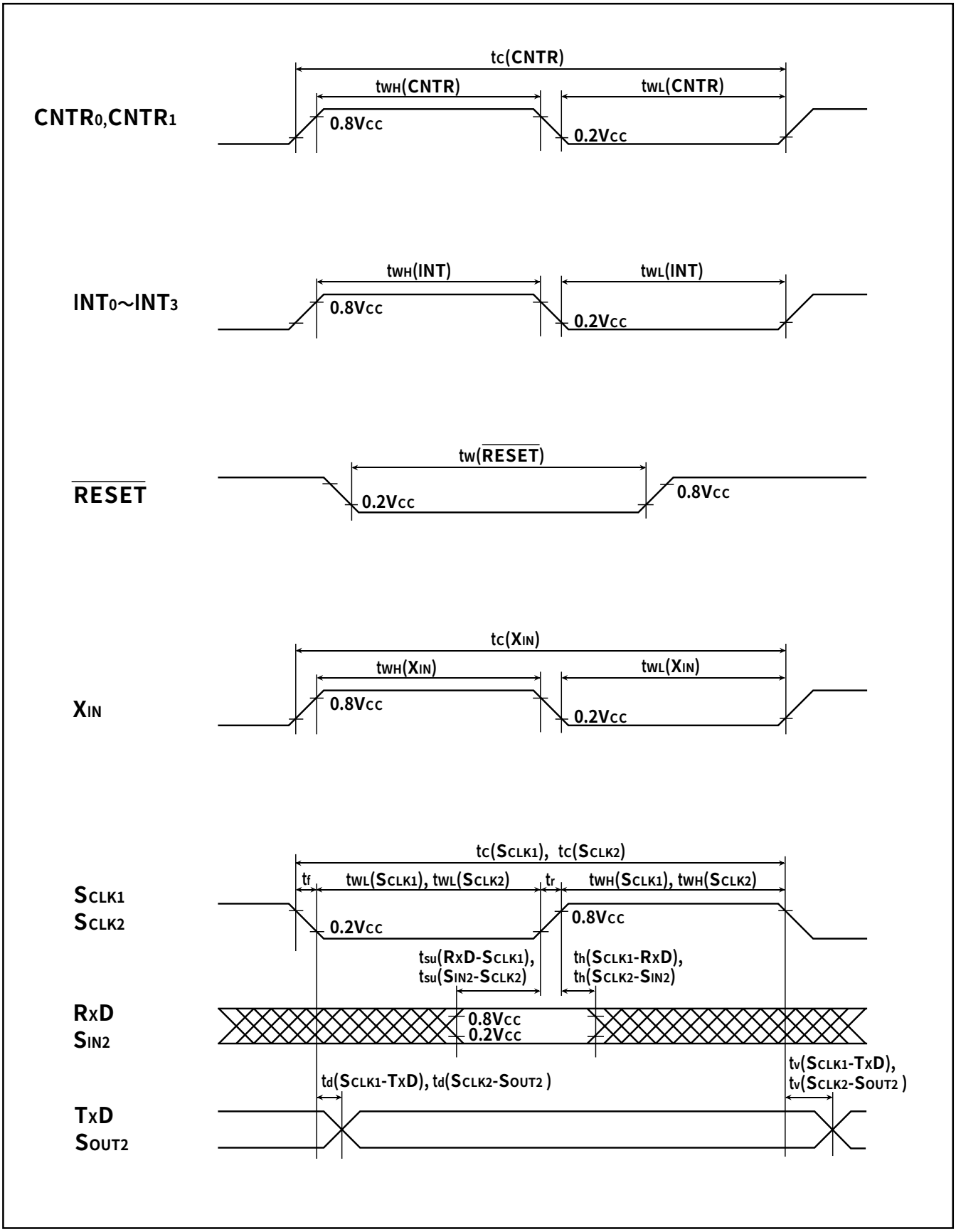

tc(CNTR)
twH(CNTR)
twL(CNTR)
CNTR0,CNTR1
0.8Vcc
0.2Vcc
twH(INT)
twL(INT)
INT0～INT3
0.8Vcc
0.2Vcc
tw(RESET)
RESET
0.2Vcc
0.8Vcc
tc(XIN)
twH(XIN)
twL(XIN)
XIN
0.8Vcc
0.2Vcc
tc(SCLK1), tc(SCLK2)
tf
twL(SCLK1), twL(SCLK2)
tr
twH(SCLK1), twH(SCLK2)
SCLK1
SCLK2
0.2Vcc
0.8Vcc
tsu(RXD-SCLK1),
tsu(SIN2-SCLK2)
th(SCLK1-RXD),
th(SCLK2-SIN2)
RXD
SIN2
0.8Vcc
0.2Vcc
tv(SCLK1-TXD),
tv(SCLK2-SOUT2)
td(SCLK1-TXD), td(SCLK2-SOUT2)
TXD
SOUT2

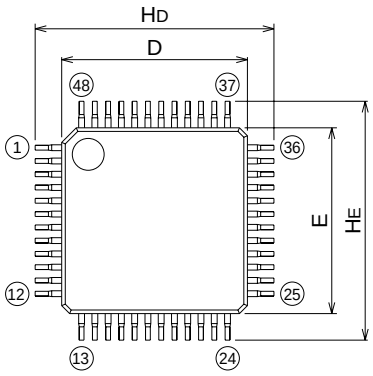
図87. タイミング図

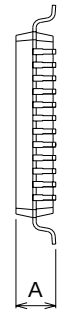
外形寸法図

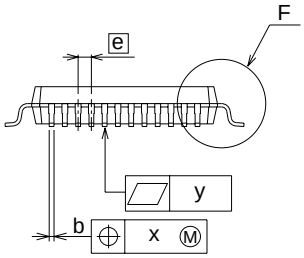
48P6Q-A (MMP)

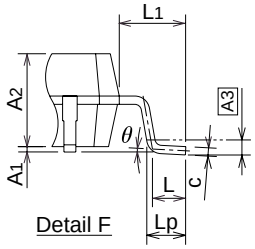
Plastic 48pin 7×7mm body LQFP

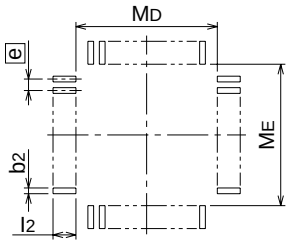
EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	–	–	Cu Alloy











Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0	0.1	0.2
A_2	–	1.4	–
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	–	0.5	–
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	8°
b_2	–	0.225	–
l_2	1.0	–	–
M_D	–	7.4	–
M_E	–	7.4	–

株式会社ルネサス テクノロジ　営業企画統括部　〒100-0004 東京都千代田区大手町2-6-2 (日本ビル)

安全設計に関するお願い
1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項
1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ（http://www.renesas.com）などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

RENESAS

営業お問合せ窓口　**http://www.renesas.com**

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第2鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1622
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌営業所	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7724	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西部本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館10F)	(06) 6233-9400
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
鳥取営業所	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島営業所	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル)	(099) 256-9021

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサービスセンタ　E-mail: csc@renesas.com

© 2002, 2003. Renesas Technology Corp., All rights reserved. Printed in Japan.
Colophon 0.0

改訂履歴	7516 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	02/06/21		初版発行
1.1	02/07/26	45 49	図 50　リセット時のタイミング図を一部変更 図 55　システムクロック発生回路ブロック図（シングルチップモード）を一部変更
2.0	02/09/19	3 4 5 18 20 21 24 32 35 42 46 56 57 57 62 74 74	表 1　端子の機能説明を一部変更 図 3　形名とメモリサイズ・パッケージを一部変更 図 4　ROM 及び RAM 展開 ■注意事項を一部変更 ■注意事項を一部追加 図 17　タイマ X、タイマ Y、タイマ 1 及びタイマ 2 のブロック図を一部変更 ■注意事項に 2 を追加 図 31　I^2C コントロールレジスタの構成を一部変更 図 35　ストップコンディション発生タイミング図を一部変更 ■注意事項を一部変更 図 51　リセット時の内部状態を一部追加 プログラムコマンド(40_{16})の文章を一部追加 イレーズ全ブロック($20_{16}/20_{16}$)の文章を一部追加 ブロックイレーズ($20_{16}/D0_{16}$)の文章を一部追加 (2)パラレル入出力モードの内容を変更（パラレル入出力モード及びユーザ ROM 領域とブート ROM 領域の項目以外の Rev.1.1 の P62 ～ P70 の文章、図、表を削除） 表 25　直流電気的特性を一部削除 Rev.1.1 の P83 ～ P88 の図表を削除
2.01	03/07/01	4 80	図 3　型名とメモリサイズ・パッケージを一部変更 表 27　電気的特性(2)を一部変更