

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7512グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0127-0101

Rev.1.01

2005.02.18

概要

7512グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8ビットタイマ、I²C-BUSインタフェース、10ビットA/Dコンバータ、電流積算回路を内蔵しており、バッテリーバック用マイコンとして最適です。

特長

基本機械語命令	71
命令実行時間	1.0 μs
(最小命令、発振周波数4MHz時)	
メモリ容量 ROM	36K ~ 52Kバイト
RAM	1.0K ~ 1.5Kバイト
プログラマブル入出力ポート	36本
割り込み	19要因、16ベクタ
タイマ	8ビット×4
シリアルインタフェース	
シリアルI/O1	8ビット×1
(UARTまたはクロック同期形)	
シリアルI/O2	8ビット×1
(クロック同期形)	
マルチマスタI ² C-BUSインタフェース	1系統
PWM	8ビット×1
A/Dコンバータ	10ビット分解能×10チャンネル
電流積算回路	1チャンネル
過電流検出回路	1系統
簡易型温度センサー	1チャンネル

クロック発生回路 4回路内蔵
(セラミック共振子または水晶発振子外付け、高速RC発振回路および32kHz RC発振回路内蔵)

ウォッチドッグタイマ 16ビット×1
電源電圧 2.45 ~ 2.55V

消費電力

高速モード時 3.75mW
(発振周波数4MHz時、電源電圧2.5V)

低速モード時 1.05mW
(発振周波数32kHz時、電源電圧2.5V)

動作周囲温度 -20 ~ 85

応用

バッテリーバックなど

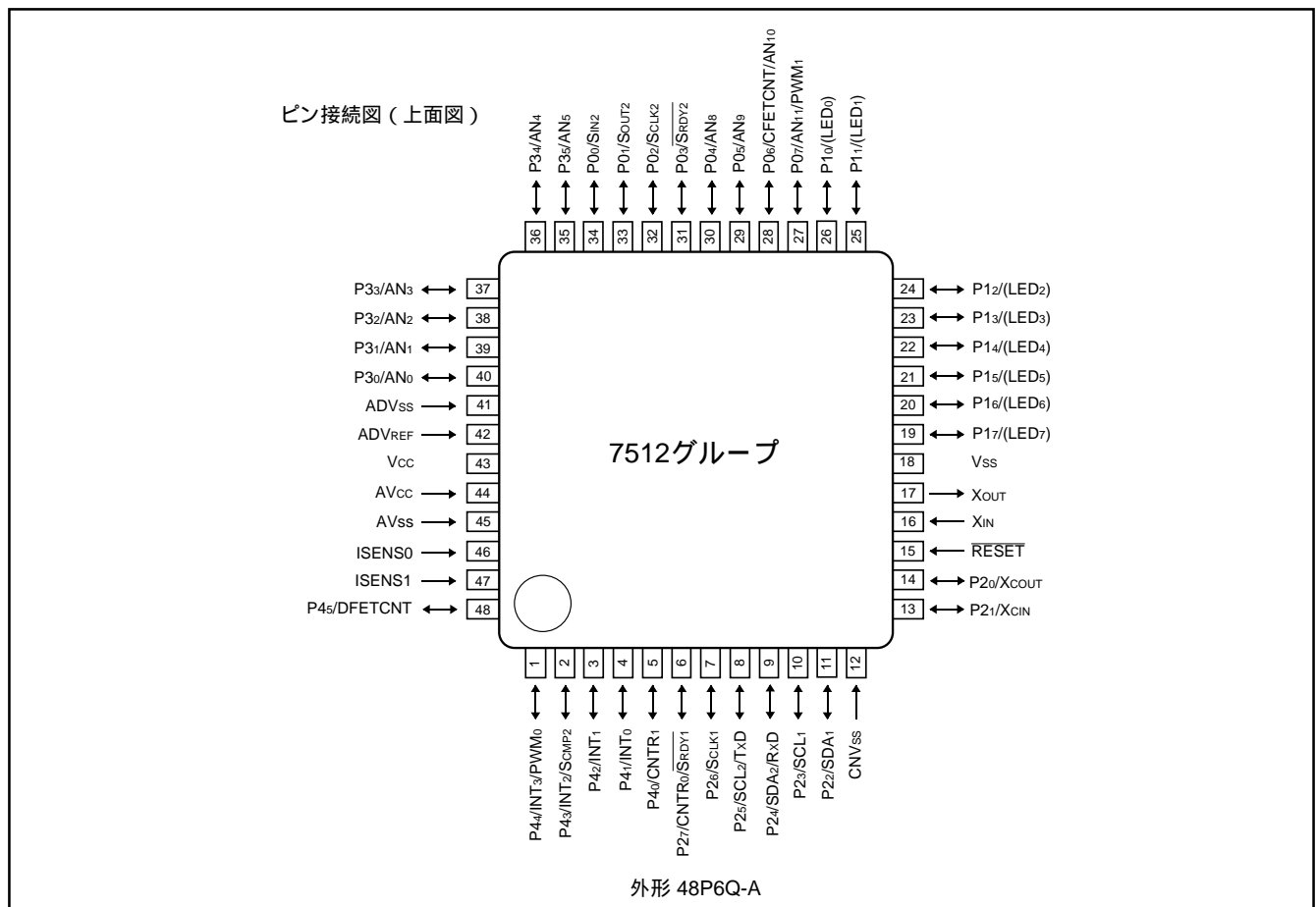
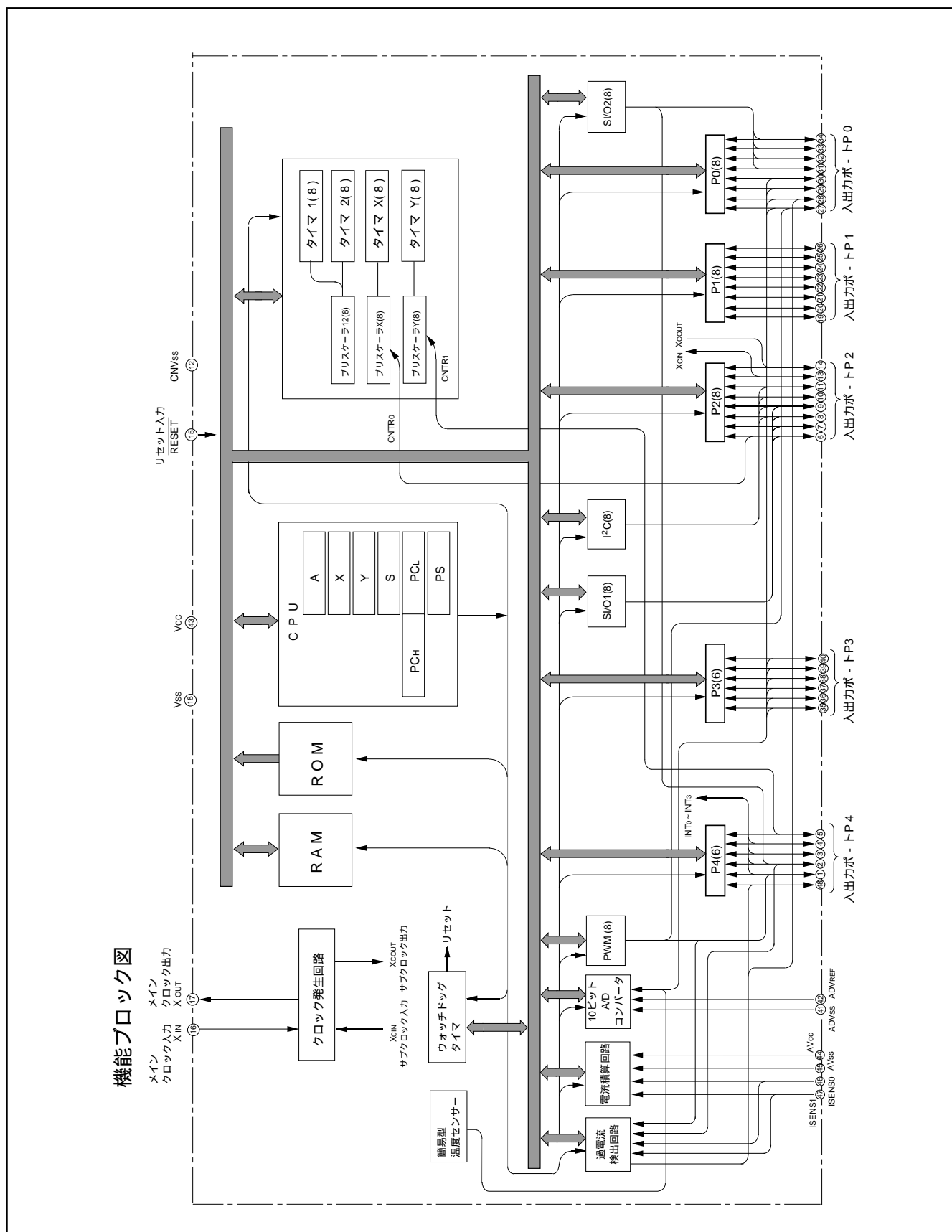


図1. M37512FCHPのピン接続図



端子の機能説明

表1. 端子の機能説明

端子名	名 称	機 能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.5V, Vssに0Vを印加します。	
AVcc AVss ADVss	アナログ電源入力	AVccに2.5V, AVss, ADVssに0Vを印加します。	
ADVREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
CNVss	CNVss	チップの動作モードを制御する端子で通常はVssに接続します。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、外付けの共振子による発振を行うときは、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。内蔵の高速RC発振回路を使用する場合はXIN、XOUT端子は開放してください。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアルI/O2機能端子
P04/AN8 P05/AN9			A/Dコンバータ入力端子
P06/CFETCNT/ AN10			A/Dコンバータ入力端子 / 過電流検出回路機能端子
P07/AN11/PWM1			A/Dコンバータ入力端子/PWM出力端子
P10 ~ P17	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。LED駆動出力用の大電流出力が可能です。	
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、P22 ~ P25はI ² C-BUSインタフェース機能端子として使用した場合、CMOS/SMBUS入力レベルの切り替えが可能です。出力形式は、P20, P21, P26, P27がCMOS3ステートで、P22 ~ P25はNチャネルオープンドレインです。	サブクロック発生入出力端子 (共振子または抵抗、コンデンサを接続します。)
P22/SDA1 P23/SCL1			I ² C-BUSインタフェース機能端子
P24/SDA2/RxD P25/SCL2/TxD			I ² C-BUSインタフェース機能端子 / シリアルI/O1機能端子
P26/SCLK1			シリアルI/O1機能端子
P27/CNTR0/ SRDY1			シリアルI/O1機能端子 / タイマX機能端子
P30/AN0 ~ P35/AN5	入出力ポートP3	P0とほぼ同等の機能を持った6ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/Dコンバータ入力端子
P40/CNTR1 P41/INT0 P42/INT1	入出力ポートP4	P0とほぼ同等の機能を持った6ビットの入出力ポートです。CMOS入力レベルで、出力形式はP40, P41, P42, P45はCMOS3ステートで、P43, P44はNチャネルオープンドレインです。	タイマY機能端子
P43/INT2/ SCMP2			割り込み入力端子
P44/INT3/ PWM0			割り込み入力端子 / SCMP2出力端子
P45/DFETCNT			割り込み入力端子 / PWM出力端子
ISENS0 ISENS1	アナログ入力	電流積算回路、および過電流検出回路の入力端子です。検出抵抗の両端に接続し、ISENS0をGND側に接続します。	過電流検出回路機能端子

グループ展開

7512グループは次のような展開を計画しています。

メモリの種類

フラッシュメモリ内蔵版のサポート

メモリ容量

ROM容量 36K ~ 52Kバイト

RAM容量 1024 ~ 1536バイト

パッケージ

48P6Q-A 48ピンプラスチックモールドQFP

7512グループ ROM、RAM展開計画

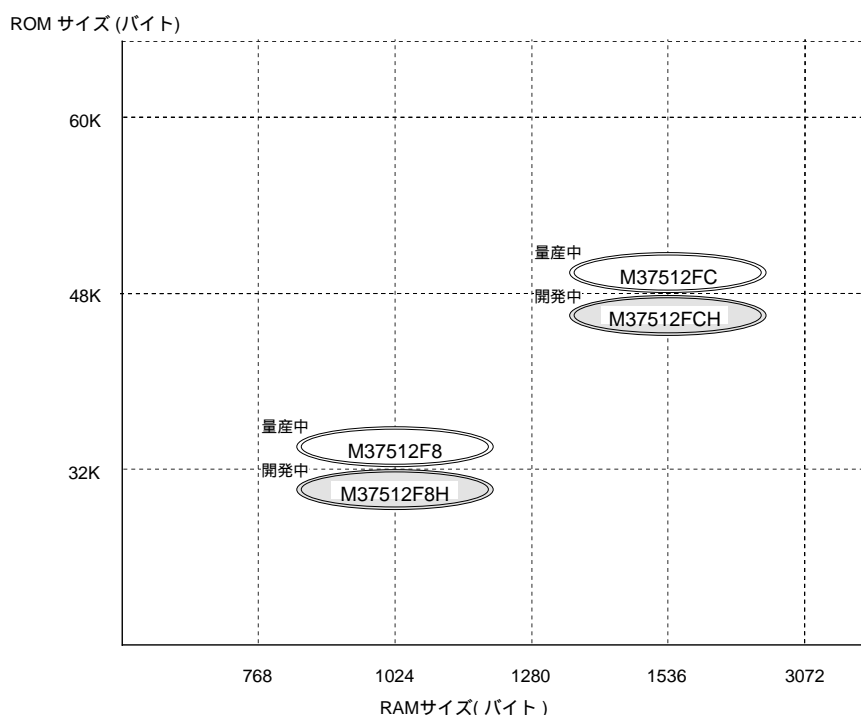


図3. ROMおよびRAM展開計画

サポートを計画している製品を下記に示します。

表2. サポート製品一覧

製品型名	ROM容量(バイト)	RAM容量(バイト)	パッケージ	備考
M37512F8HP	32K+4K	1024	48P6Q-A	
M37512F8-XXXHP				
M37512F8HHP (注1)				
M37512F8H-XXXHP (注1)				
M37512FCHP	48K+4K	1536		
M37512FC-XXXHP				
M37512FCHHP (注1)				
M37512FCH-XXXHP (注1)				

注1. ブロックA、Bのプログラム、イレーズ回数、10k回保証品を開発中です。

機能ブロック動作説明

中央演算処理装置 (CPU)

7512グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモードおよび機械語命令一覧表または740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下の通りです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

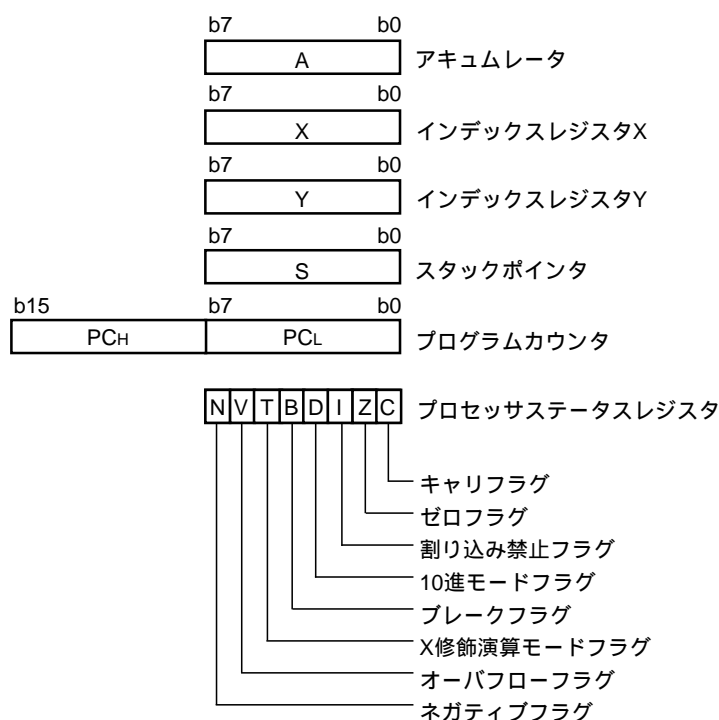


図4. 740ファミリ CPUの構成

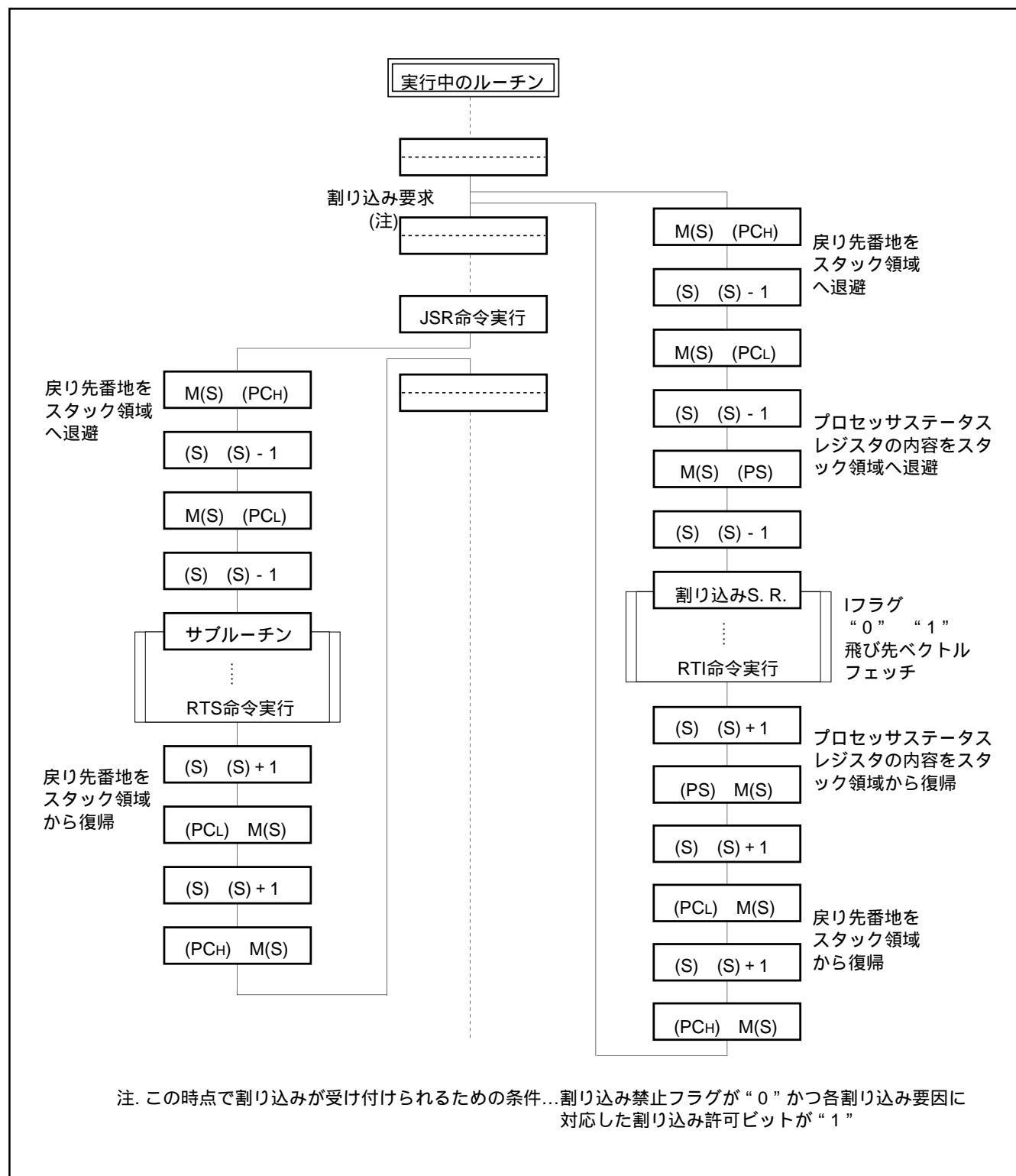


図5．スタックへの退避及び復帰動作

表3．アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

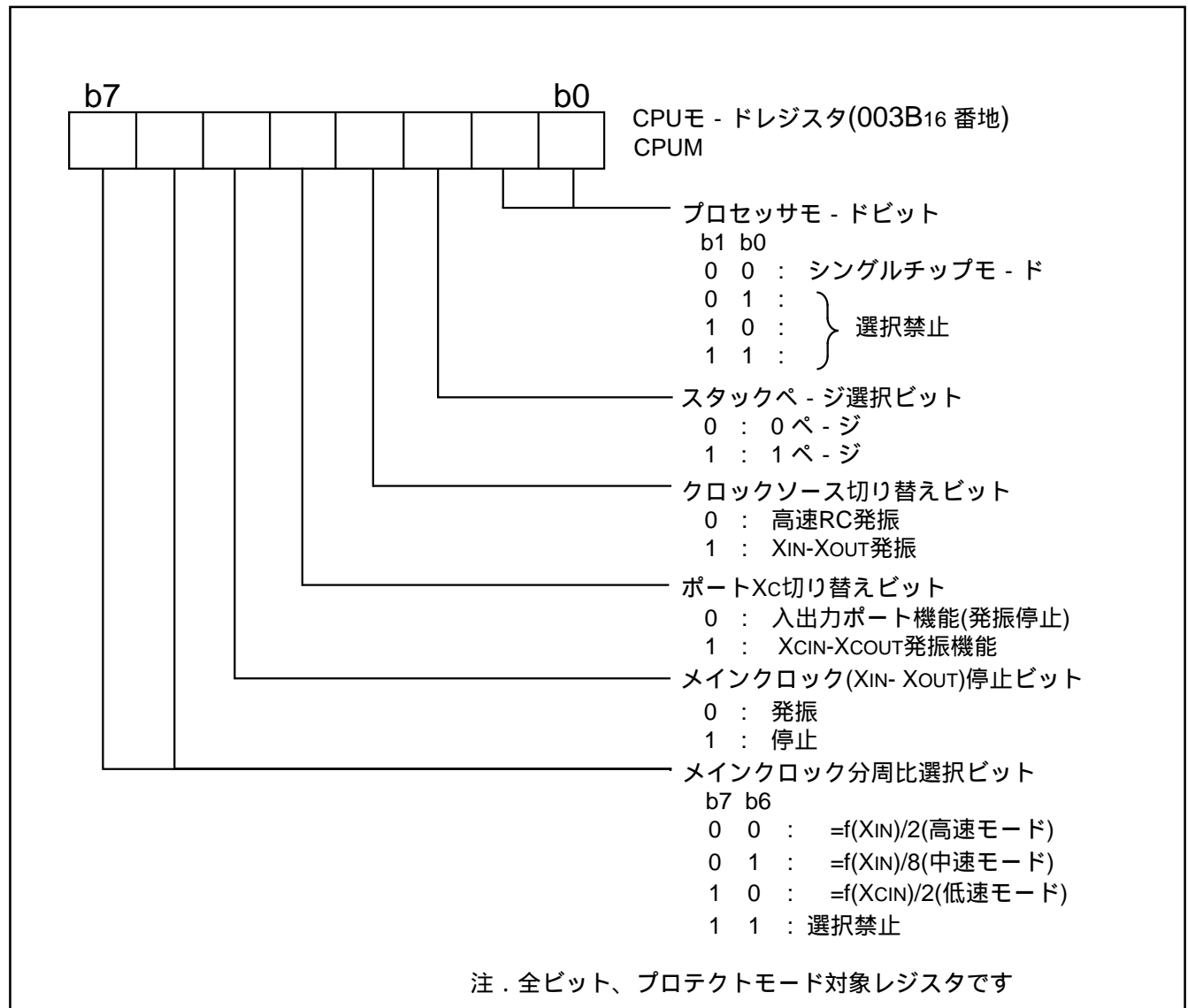


図6 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

ROM

最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

RAM容量

型 名	RAM容量 (バイト)	XXXX ₁₆ 番地
M37512F8HP	1024	043F ₁₆
M37512F8-XXXHP		
M37512F8HHP		
M37512F8H-XXXHP		
M37512FCHP	1536	063F ₁₆
M37512FC-XXXHP		
M37512FCHHP		
M37512FCH-XXXHP		

ROM容量(データブロックを除く)

型 名	ROM容量 (バイト)	YYYY ₁₆ 番地
M37512F8HP	32768	8000 ₁₆
M37512F8-XXXHP		
M37512F8HHP		
M37512F8H-XXXHP		
M37512FCHP	49152	4000 ₁₆
M37512FC-XXXHP		
M37512FCHHP		
M37512FCH-XXXHP		

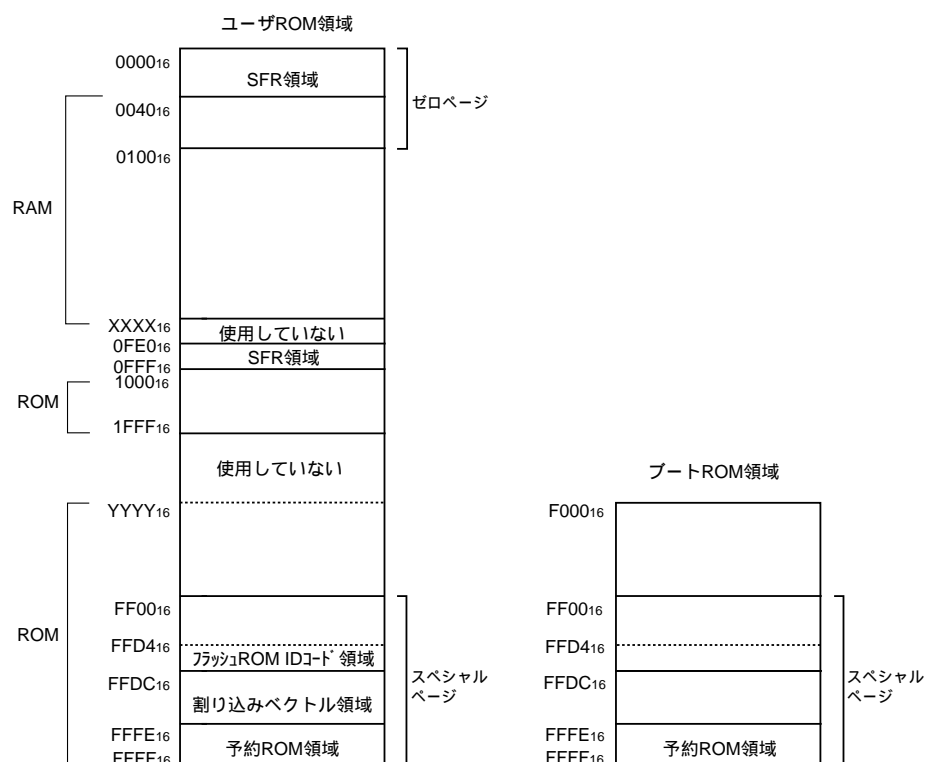


図7. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケアラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケアラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケアラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	SFRプロテクト制御レジスタ(PRREG)
000A ₁₆	放電カウンタラッチ下位レジスタ(DCHARGEL)	002A ₁₆	
000B ₁₆	放電カウンタラッチ上位レジスタ(DCHARGEH)	002B ₁₆	I ² Cデータシフトレジスタ(S0)
000C ₁₆	充電カウンタラッチ下位レジスタ(CHARGEL)	002C ₁₆	I ² Cアドレスレジスタ(S0D)
000D ₁₆	充電カウンタラッチ上位レジスタ(CHARGEH)	002D ₁₆	I ² Cステータスレジスタ(S1)
000E ₁₆	電流積算制御レジスタ(CINFCON)	002E ₁₆	I ² Cコントロールレジスタ(S1D)
000F ₁₆	短絡電流検出制御レジスタ(SCDCON)	002F ₁₆	I ² Cクロックコントロールレジスタ(S2)
0010 ₁₆	放電過電流検出制御レジスタ(OCDCON)	0030 ₁₆	I ² Cスタート/ストップ コンデ ーション制御レジスタ(S2D)
0011 ₁₆	過電流検出時間設定レジスタ1(OCDTIME1)	0031 ₁₆	I ² C追加機能レジスタ(S3)
0012 ₁₆	ウェイクアップ電流検出制御レジスタ1(WUDCON1)	0032 ₁₆	32kHz発振制御レジスタ0(32KOSCC0)
0013 ₁₆	過電流検出ステータスレジスタ(OC DSTS)	0033 ₁₆	32kHz発振制御レジスタ1(32KOSCC1)
0014 ₁₆	ウェイクアップ電流検出制御レジスタ2(WUDCON2)	0034 ₁₆	AD制御レジスタ(ADCON)
0015 ₁₆	シリアルI/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	AD変換下位レジスタ(ADL)
0016 ₁₆	シリアルI/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	AD変換上位レジスタ(ADH)
0017 ₁₆	シリアルI/O2レジスタ(SIO2)	0037 ₁₆	MISRG2
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアルI/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ1(INTEDGE1)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケアラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0FE0 ₁₆	フラッシュメモリ制御レジスタ0(FMCR0)	0FF0 ₁₆	充電過電流検出制御レジスタ(COCDCON)
0FE1 ₁₆	フラッシュメモリ制御レジスタ1(FMCR1)	0FF1 ₁₆	過電流検出時間設定レジスタ2(OCDTIME2)
0FE2 ₁₆	フラッシュメモリ制御レジスタ2(FMCR2)	0FF2 ₁₆	高速RC発振回路周波数設定レジスタ(O4RCFRG)
0FE3 ₁₆	予約 (注)	0FF3 ₁₆	高速RC発振回路周波数カウンタ(O4RCFCNT)
0FE4 ₁₆	予約 (注)	0FF4 ₁₆	高速RC発振回路制御レジスタ(O4RCCOT)
0FE5 ₁₆	予約 (注)	0FF5 ₁₆	割り込みエッジ選択レジスタ2(INTEDGE2)
0FE6 ₁₆	予約 (注)		
0FE7 ₁₆	予約 (注)		
0FE8 ₁₆	予約 (注)		
0FE9 ₁₆	予約 (注)		
0FEA ₁₆	予約 (注)		
0FEB ₁₆	予約 (注)		
0FEC ₁₆	予約 (注)		
0FED ₁₆	予約 (注)		
0FEE ₁₆	予約 (注)		
0FEF ₁₆	予約 (注)		

注：予約領域のため、何もデータを書き込まない
てください。

図8 . SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

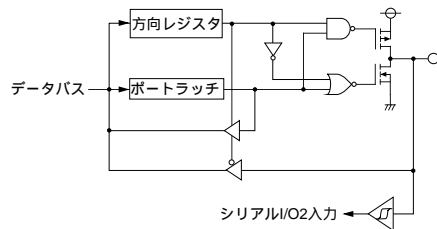
入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

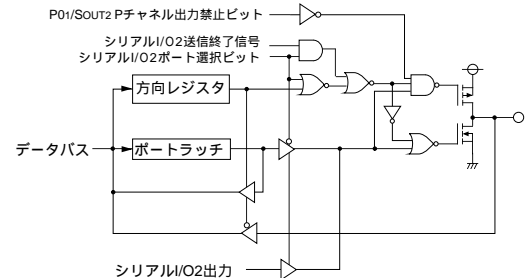
表5．入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(1)
						(2)
						(3)
						(4)
P04/AN8 P05/AN9				A/D変換入力	AD制御レジスタ, MISRG2	(5)
						(6)
P06/CFETCNT/ AN10				A/D変換入力 過電流検出回路出力	AD制御レジスタ, MISRG2 充電過電流検出制御レジスタ	(7)
P07/AN11/PWM1				A/D変換入力 PWM出力	AD制御レジスタ, MISRG2 PWM制御レジスタ	(8)
P10 ~ P17	ポートP1		CMOS入力レベル Nチャネルオープンドレイン出力			(9)
P20/XCOUT P21/XCIN	ポートP2		CMOS入力レベル CMOS3ステート出力	サブクロック発振回路	CPUモードレジスタ MISRG2	(10)
						(11)
P22/SDA1 P23/SCL1				I ² C-BUSインタフェース 機能入出力	I ² Cコントロールレジスタ	(12)
						(13)
P24/SDA2/RxD P25/SCL2/TxD			CMOS入力レベル CMOS/SMBUS入力レベル (I ² C-BUSインタフェース 機能選択時) Nチャネルオープンドレイン出力	I ² C-BUSインタフェース 機能入出力	I ² Cコントロールレジスタ	(14)
						(15)
P26/SCLK1				シリアルI/O1機能入出力	シリアルI/O1制御レジスタ	(16)
P27/CNTR0/ SRDY1				シリアルI/O1機能入出力 タイマX機能入出力	シリアルI/O1制御レジスタ タイマXYモードレジスタ	(17)
P30/AN0 ~ P35/AN5	ポートP3			A/D変換入力	AD制御レジスタ, MISRG2	(6)
P40/CNTR1	ポートP4			タイマY機能入出力	タイマXYモードレジスタ	(18)
P41/INT0 P42/INT1				外部割り込み入力	割り込みエッジ選択レジスタ1	(19)
P43/INT2/SCMP2				外部割り込み入力 SCMP2出力	割り込みエッジ選択レジスタ2 シリアルI/O2制御レジスタ	(20)
P44/INT3/PWM0				外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ2 PWM制御レジスタ	(21)
P45/DFETCNT			CMOS入力レベル CMOS3ステート出力	過電流検出回路出力	放電短絡電流検出制御レジスタ 放電過電流検出制御レジスタ 放電ウェイクアップ電流検出 制御レジスタ	(22)

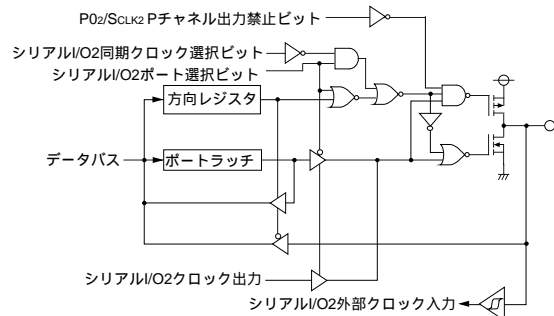
(1)ポートP00



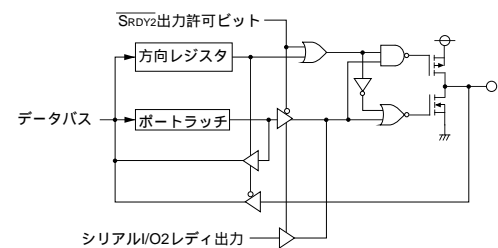
(2)ポートP01



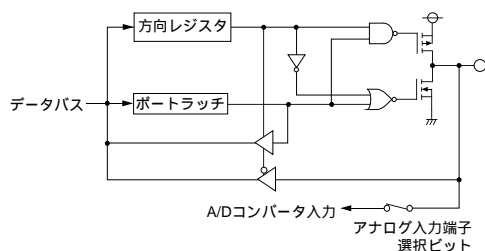
(3)ポートP02



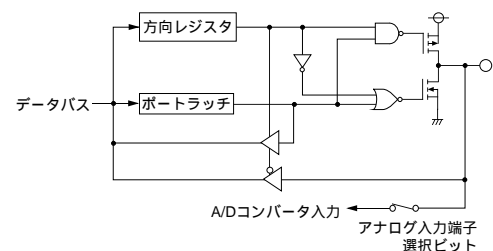
(4)ポートP03



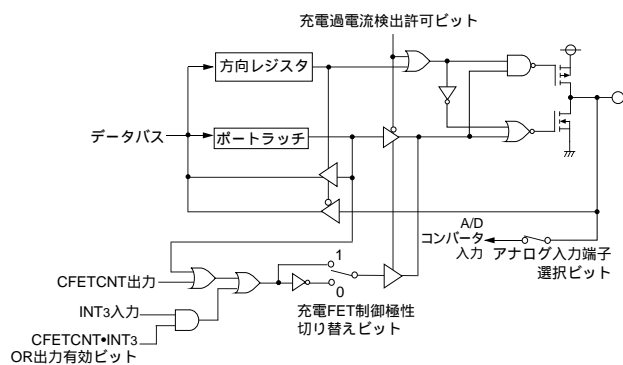
(5)ポートP04



(6)ポートP05, P30 ~ P35



(7)ポートP06



(8)ポートP07

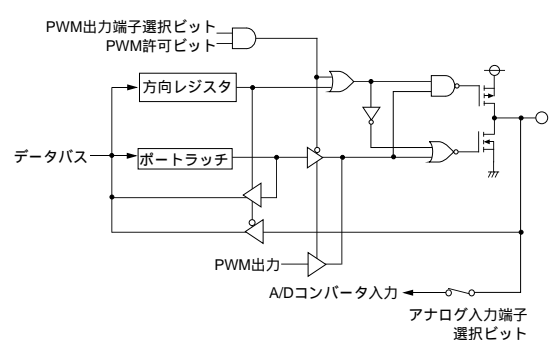
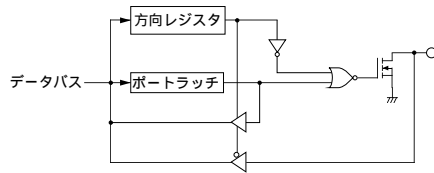
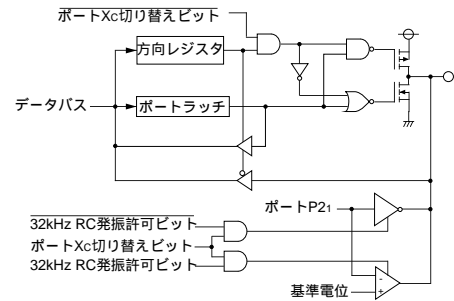


図9. ポートのブロック図(1)

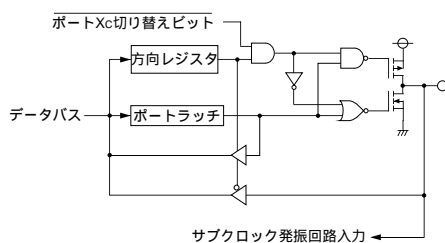
(9)ポートP10～P17



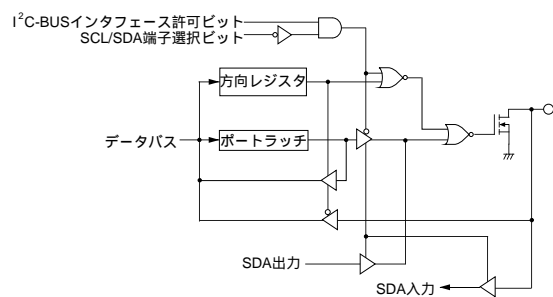
(10)ポートP20



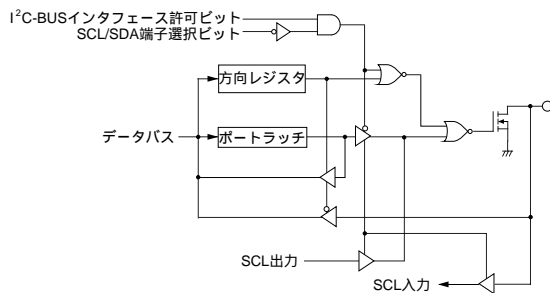
(11)ポートP21



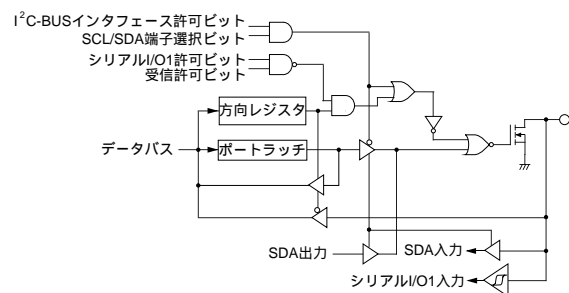
(12)ポートP22



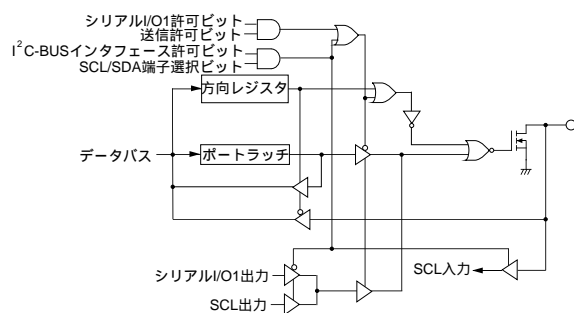
(13)ポートP23



(14)ポートP24



(15)ポートP25



(16)ポートP26

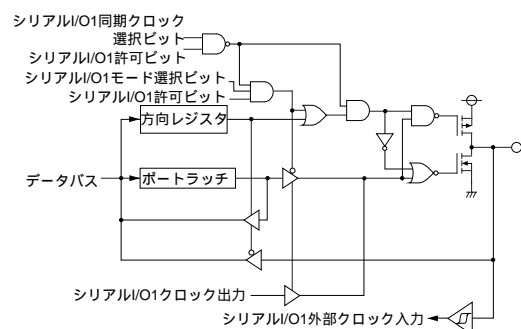
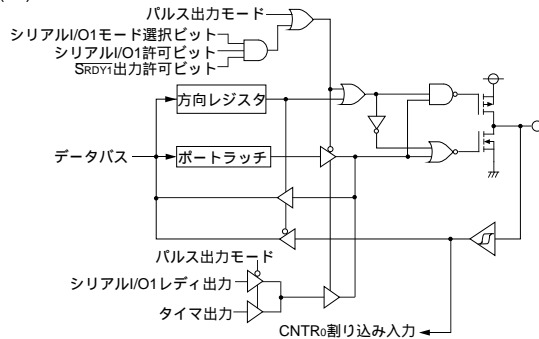
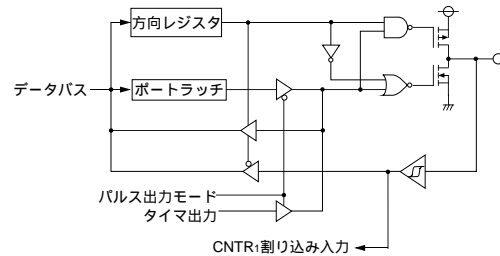


図10. ポートのブロック図(2)

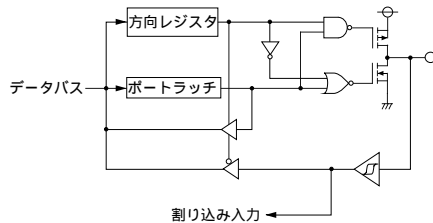
(17)ポートP27



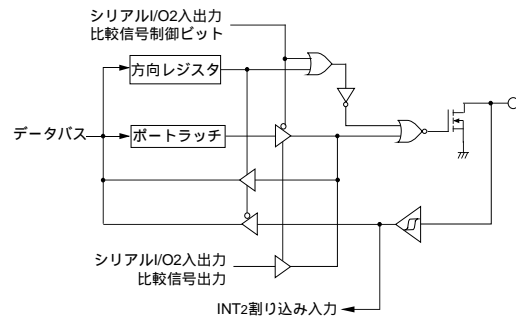
(18)ポートP40



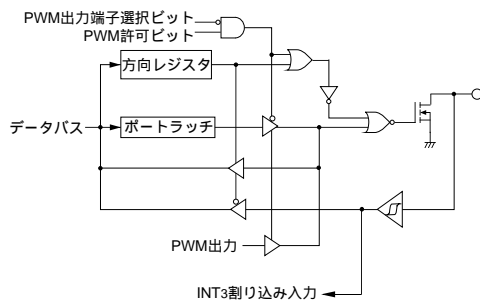
(19)ポートP41,P42



(20)ポートP43



(21)ポートP44



(22)ポートP45

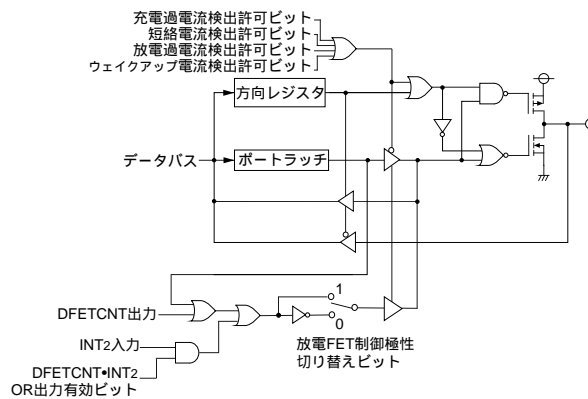


図11 . ポートのブロック図(3)

割り込み

割り込みはベクトル割り込みで、外部7要因、内部12要因、ソフトウェア1要因の20要因のうち、16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビットおよび割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグまたはビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

■注意事項

次の場合、割り込み要求ビットが「1」になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際

対象レジスタ：割り込みエッジ選択レジスタ1(003A16番地)

割り込みエッジ選択レジスタ2(0FF516番地)

I²Cスタート/ストップコンディション制御レジスタ
(003016番地)

タイマXYモードレジスタ(002316番地)

- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際

対象レジスタ：割り込みエッジ選択レジスタ1(003A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを「0」(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを「0」にする。
- (4) 該当する割り込み許可ビットを「1」(許可)にする。

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備 考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFFB16	FFFA16	INT0入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
SCL, SDA	3	FFF916	FFF816	SCLまたはSDAの上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1	4	FFF716	FFF616	INT1入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT3	6	FFF316	FFF216	INT3入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O2				シリアル/O2データ送受信終了時	シリアル/O2選択時のみ有効
I ² C	7	FFF116	FFF016	データ送受信終了時	
タイマX	8	FFEF16	FFEE16	タイマXアングフロー時	
タイマY	9	FFED16	FFEC16	タイマYアングフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アングフロー時	STP解除タイマアングフロー
タイマ2	11	FFE916	FFE816	タイマ2アングフロー時	
シリアル/O1受信	12	FFE716	FFE616	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE516	FFE416	シリアル/O1送信シフト終了時 または送信バッファ空き時	シリアル/O1選択時のみ有効
過電流検出				過電流検出回路の放電短絡電流検出、放電過電流検出、 ウェイクアップ電流検出、または充電過電流検出時	放電短絡電流検出許可、放電過電流検出許可、ウェイクアップ電流検出許可、または充電過電流検出許可時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の上上がり、または立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
逐次比較方式A/D変換	16	FFDF16	FFDE16	A/D変換終了時	
電流積算				電流積算周期終了時、またはキレリレーション終了時	電流積算許可時のみ有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

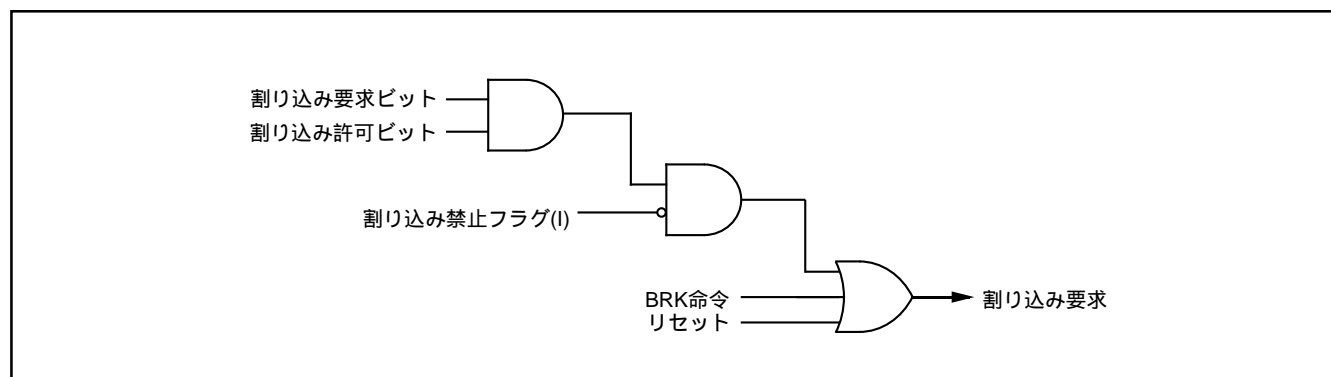


図12. 割り込み制御図

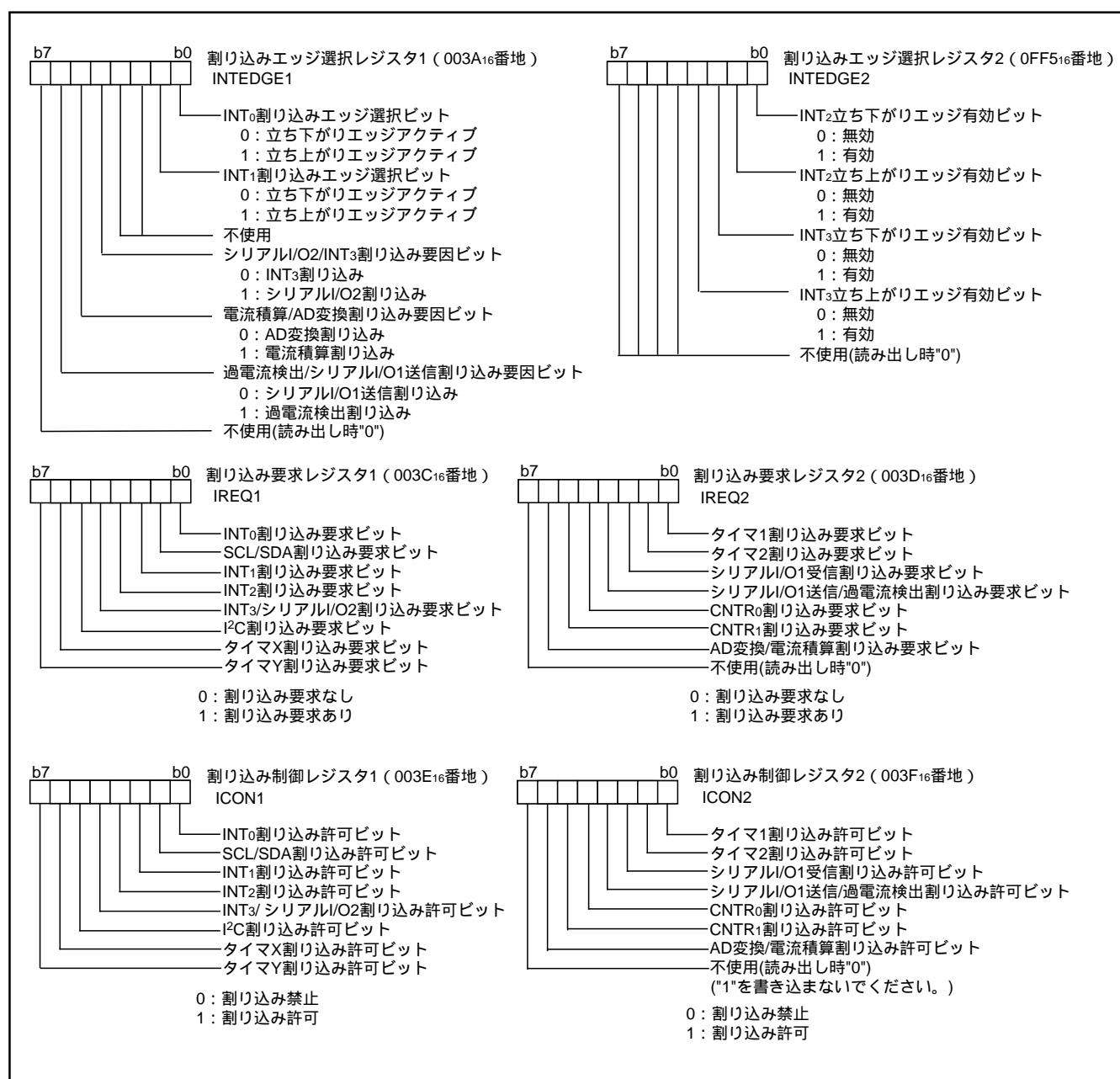


図13. 割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1およびタイマ2の4本があります。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容を n とすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0 になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1およびタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が 0 になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを 1 に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

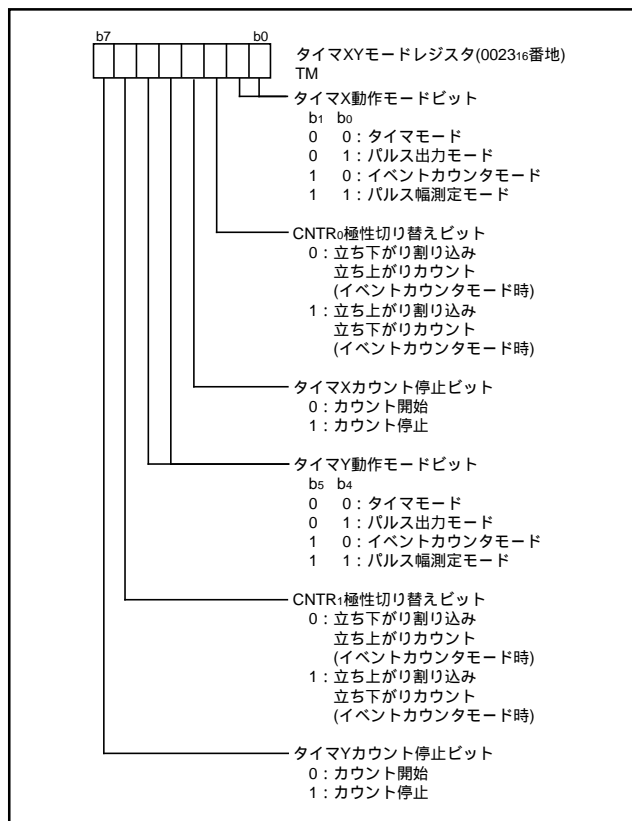


図14. タイマXYモードレジスタの構成

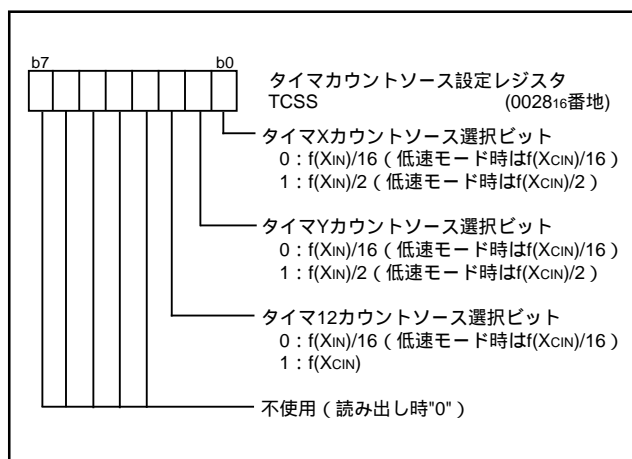


図15. タイマカウントソース設定レジスタ

■注意事項

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

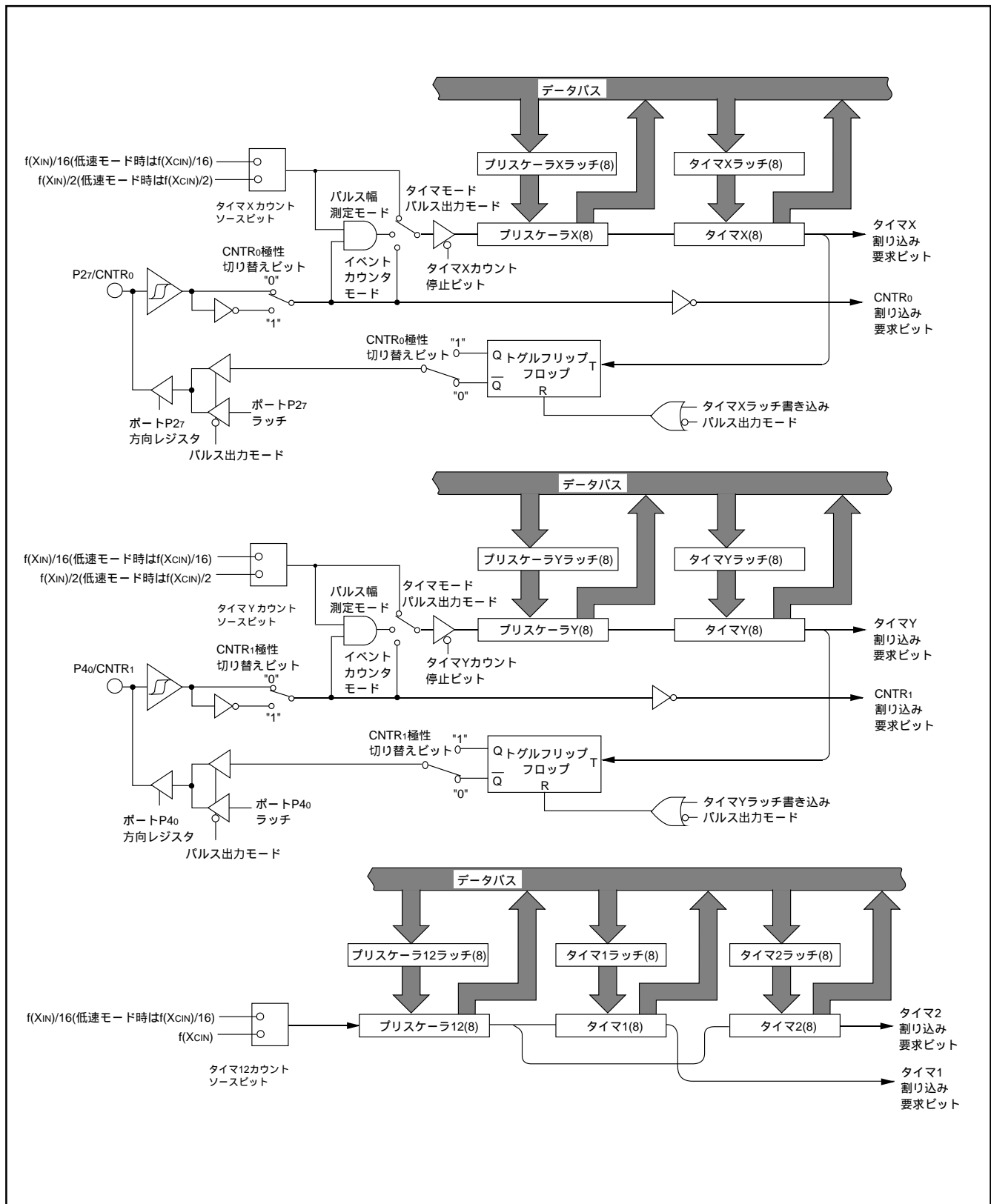


図16. タイマX, タイマY, タイマ1およびタイマ2のブロック図

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

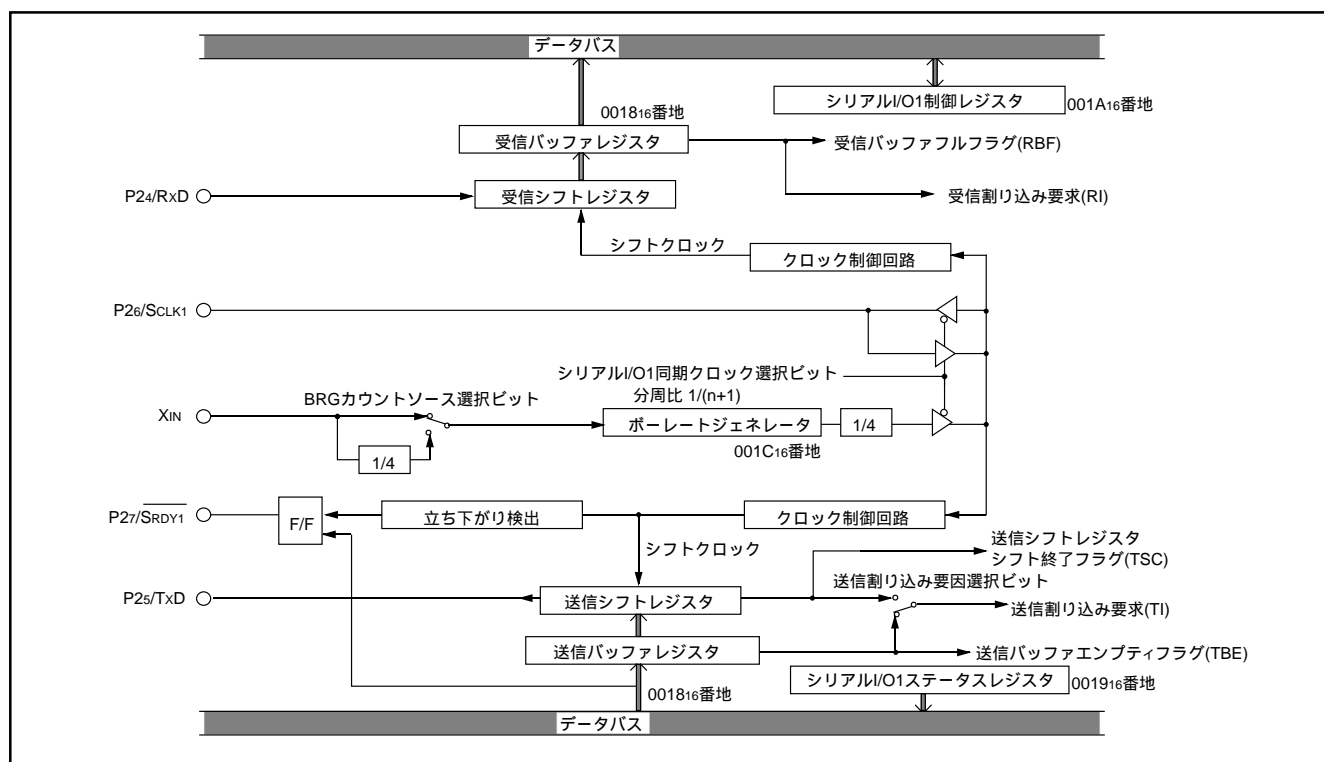


図17. クロック同期形シリアルI/O1ブロック図

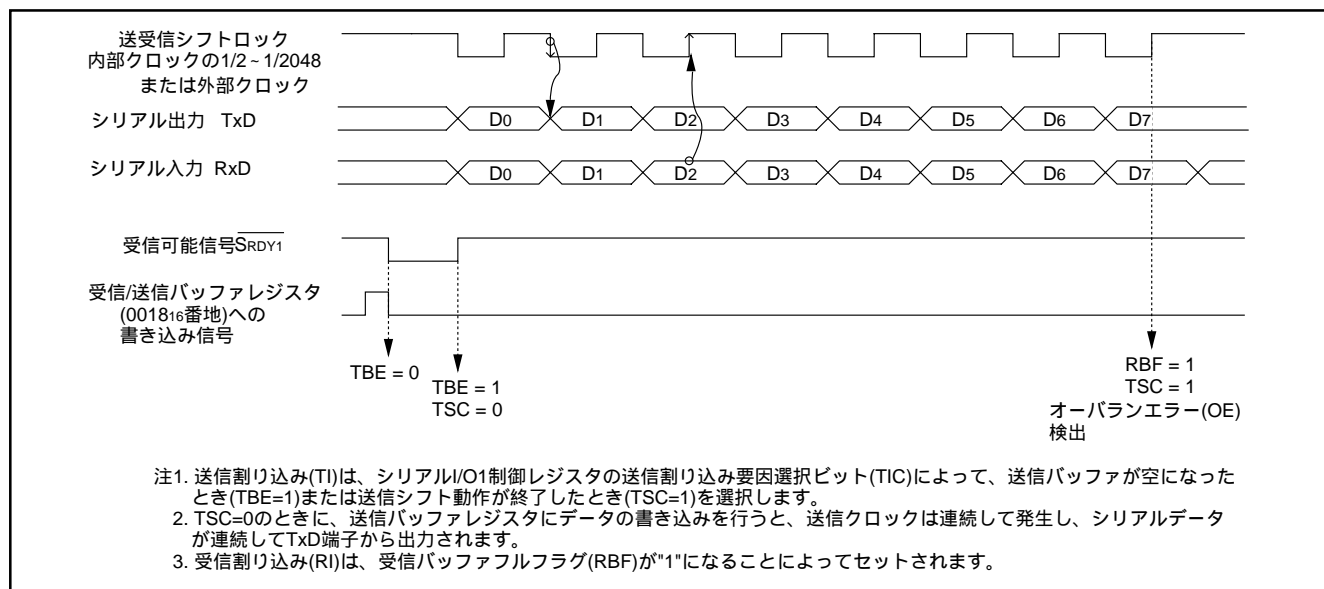


図18. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持って

います(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます

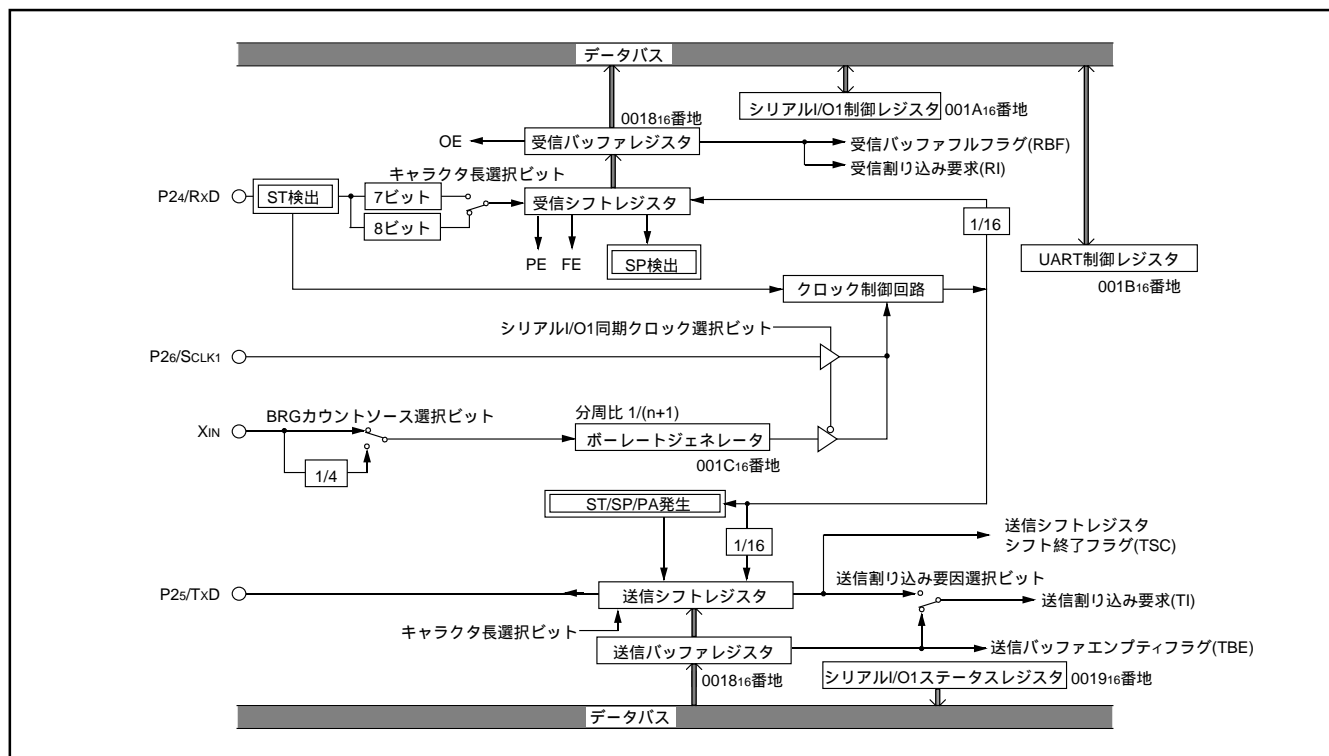


図19 . UART形シリアルI/Oブロック図

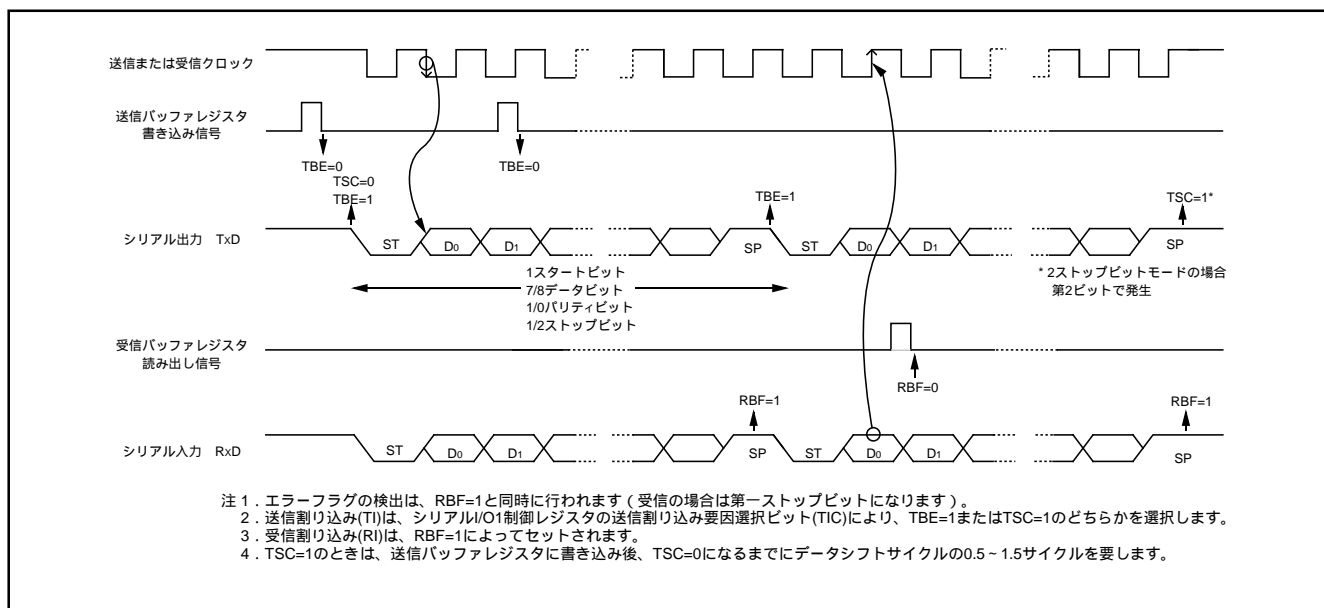


図20 . UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P2s/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/O1を使用する場合は、I²C-BUSインタフェース許可ビットを“0”にするか、SCL/SDA端子選択ビットを“0”にしてください。

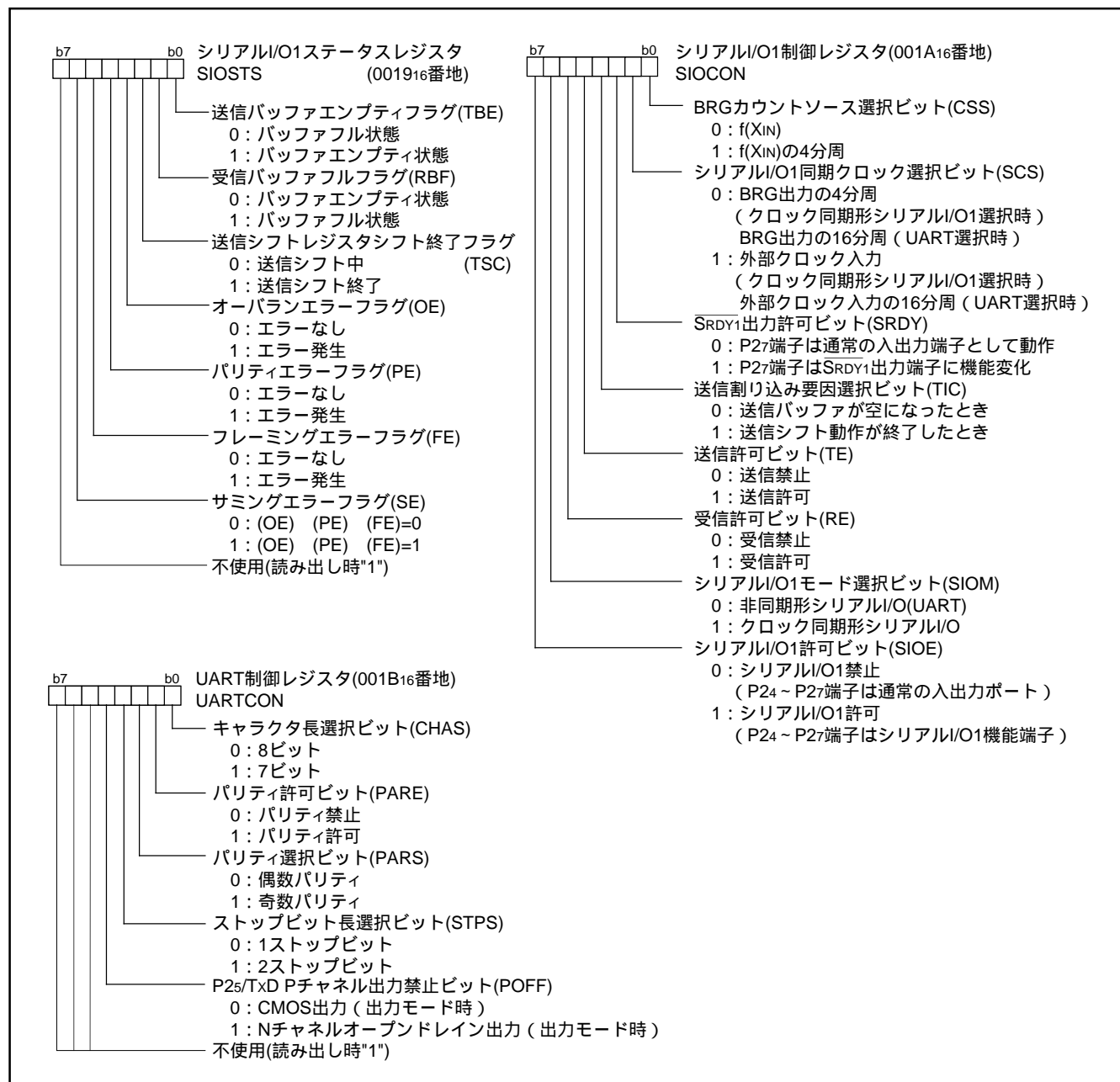


図21 . シリアルI/O関係レジスタの構成

注意事項

シリアルI/Oの送信許可ビットを"1"にしたとき、シリアルI/O送信割り込み要求ビットが"1"になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1) シリアルI/O送信割り込み許可ビットを"0" (禁止)にする。
- (2) 送信許可ビットを"1"にする。
- (3) 一命令以上おいてから、シリアルI/O送信割り込み要求ビットを"0"にする。
- (4) シリアルI/O送信割り込み許可ビットを"1" (許可)にする。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロックまたは外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(b7)により、CMOS出力またはNチャネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態ですerialI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1~8ビット)を転送すると、シリアルI/O2送受信完了フラグ(注1)が“1”になり、割り込み要求ビットがセットされます。シリアルI/O2送受信完了フラグは、次の転送が開始しても自動的に“0”にはなりません。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、この時INT₂割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

(注1) シリアルI/O2送受信完了フラグはリセット解除後、不定です。シリアルI/O2の初期設定完了後、クリアしてください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1 SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

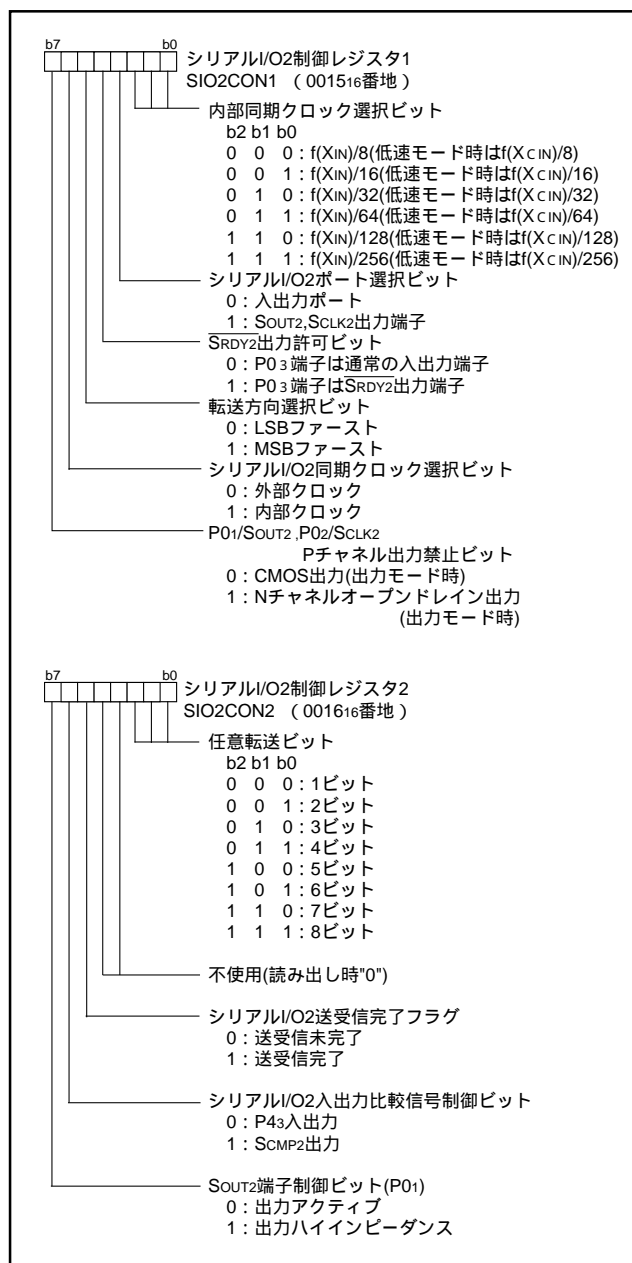


図22 . シリアルI/O2制御レジスタ1、2の構成

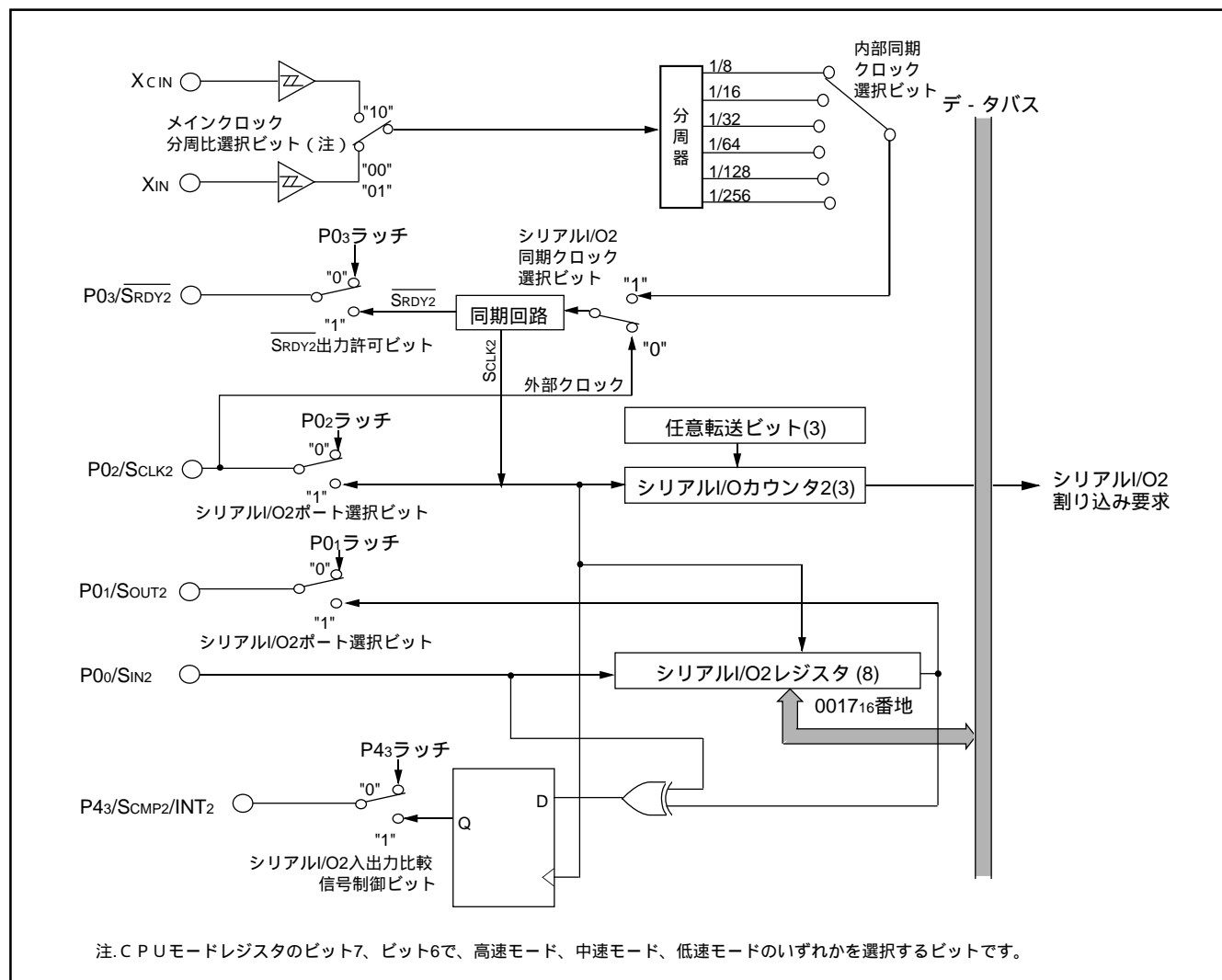


図23．シリアルI/Oブロック図

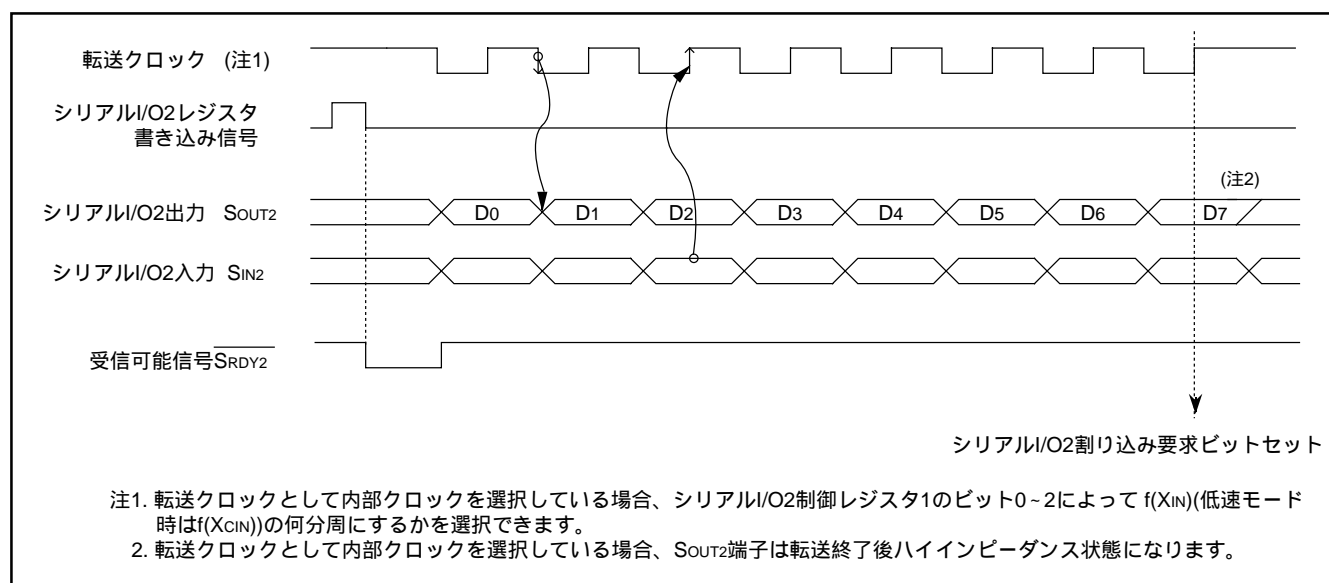


図24．シリアルI/Oタイミング図

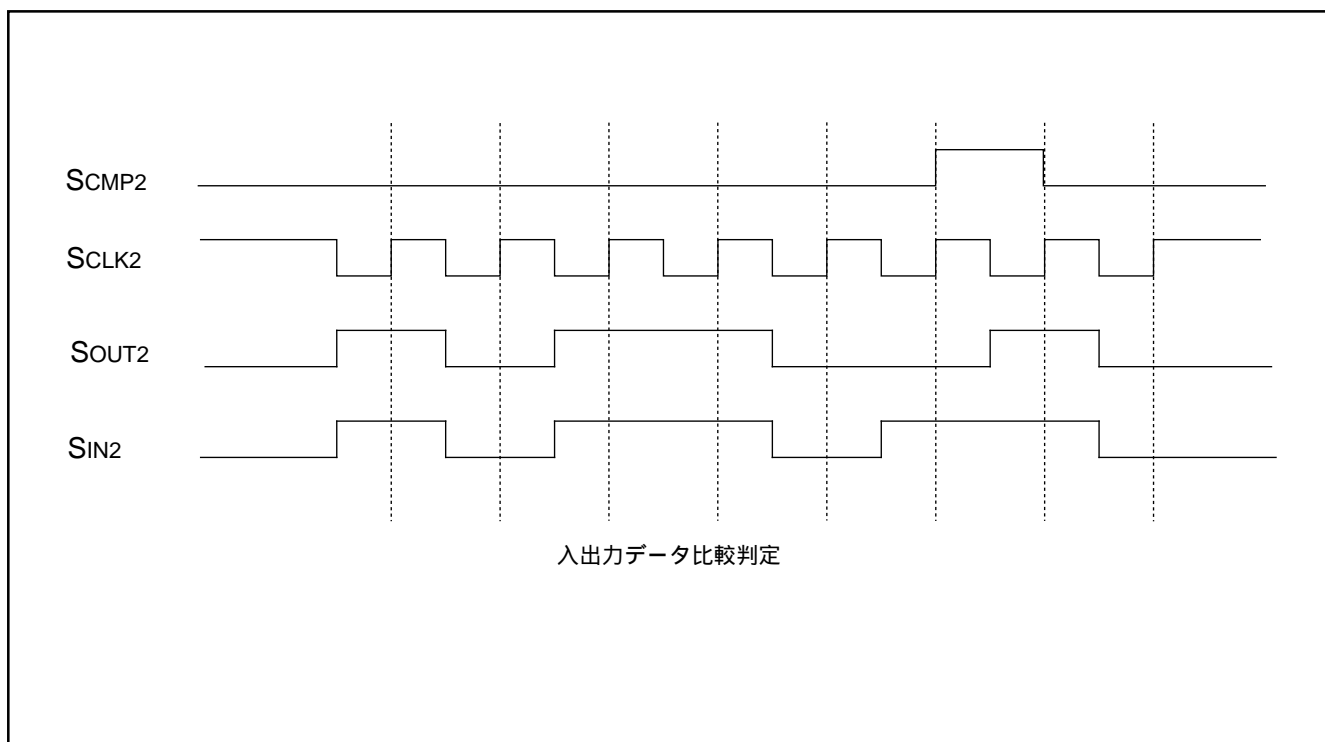


図25 . SCMP2出力の動作

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニクス機能を有しており、マルチマスタのシリアル通信に対応できます。

図26にマルチマスタI²C-BUSインタフェースのブロック図、表7にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、 ϕ を1MHz以上にしてください。

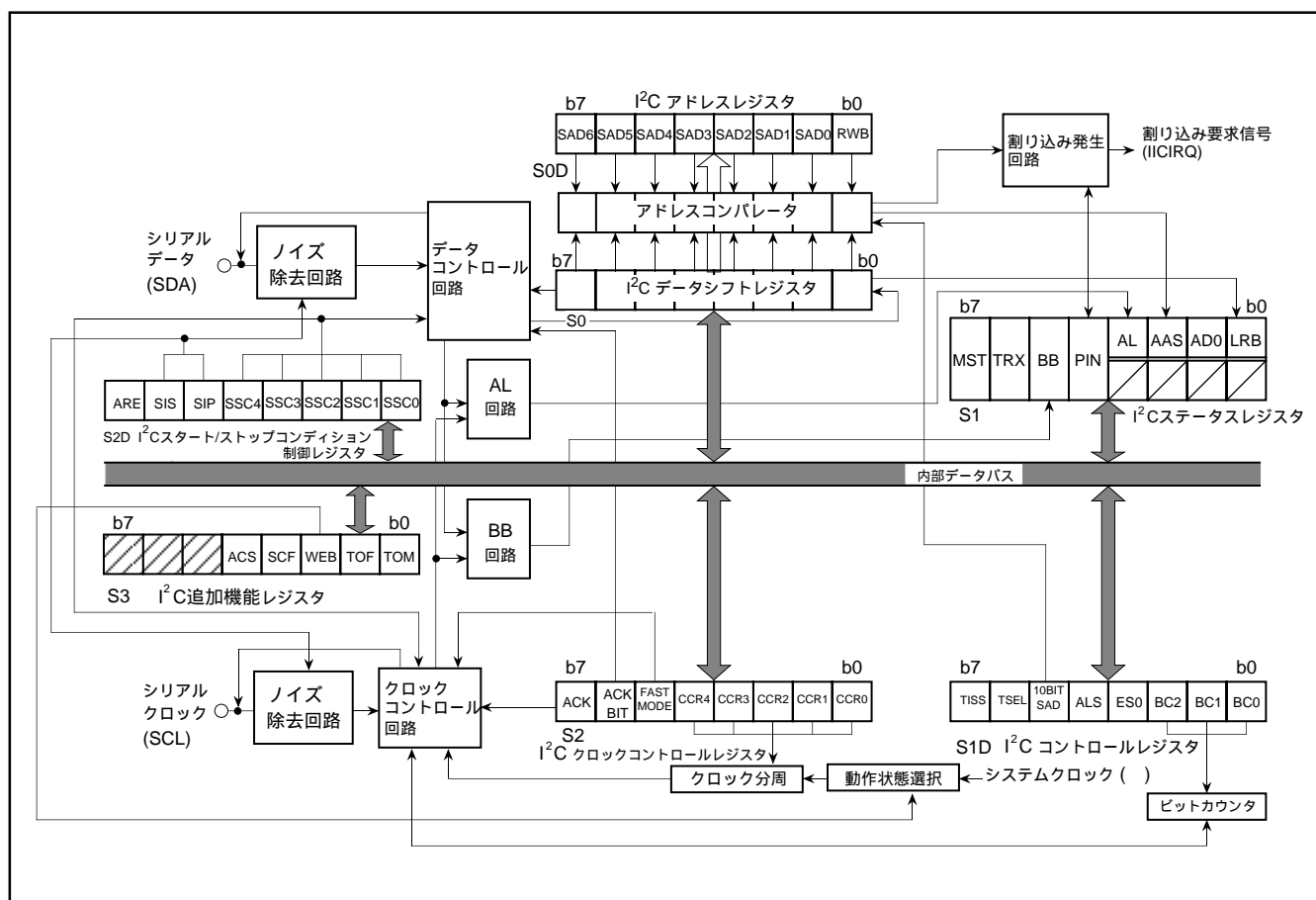
表7. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz, ($\phi = 4$ MHz時)

システムクロック ϕ : = f(XIN)2(高速モード)

ϕ : = f(XIN)8(中速モード)

注. I²C-BUSインタフェースとポート(SCL₁, SCL₂, SDA₁, SDA₂)の接続を制御する機能(I²Cコントロールレジスタ002E₁₆番地)のビット6の使用に起因する第三者の特許権その他の権利侵害については、当社はその責任は負いません。

図26. マルチマスタI²C-BUSインタフェースのブロック図

* :Purchase of Renesas Technology Corporation's I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

I²Cデータシフトレジスタ

I²Cデータシフトレジスタ(S0:002B₁₆番地)は、受信データの格納、または送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短で2マシンサイクルを要します。

I²Cデータシフトレジスタは、I²Cコントロールレジスタ(S1D:002E₁₆番地)のI²C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(S1:002D₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

I²Cアドレスレジスタ

I²Cアドレスレジスタ(S0D:002C₁₆番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1)ビット0:リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6 ~ SAD0 + RWB)が比較されます。RWBビットはストップコンディションを検出すると、自動的に“0”になります。

(2)ビット1～ビット7: スレーブアドレス(SAD0 ~ SAD6)
スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

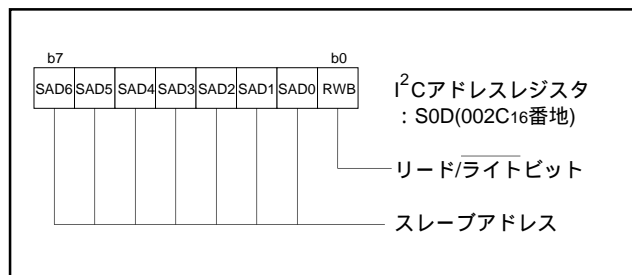


図27 . I²Cアドレスレジスタの構成

I²Cクロックコントロールレジスタ

I²Cクロックコントロールレジスタ(S2:002F₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0～ビット4: SCL周波数制御ビット(CCR0～CCR4)

SCL周波数を制御するビットです。表8を参照してください。

(2)ビット5: SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、メインクロック分周比を2でご使用ください。

(3)ビット6: アックビット(ACK BIT)

アッククロック*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態ではアドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり、一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

*アッククロック: 確認応答用のクロック

(4)ビット7: アッククロックビット(ACK)

データ転送の確認応答であるアックノリジメントのモードを指定するビットです。“0”の場合、アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを開放し(“H”の状態にする)、データを受信するデバイスが発生させるアックビットを受信します。

注. I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

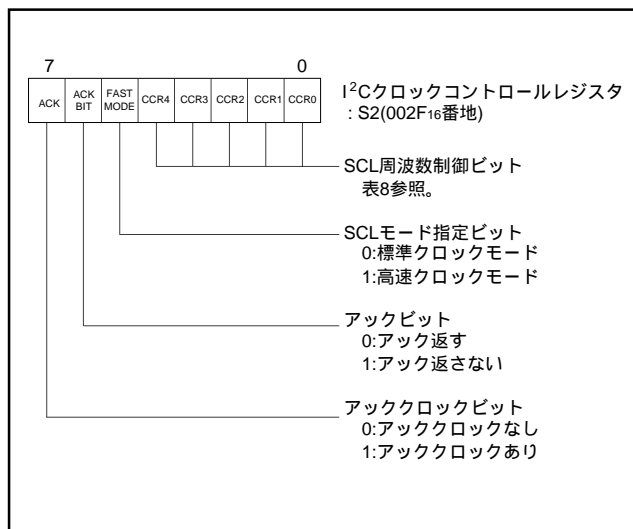


図28. I²Cクロックコントロールレジスタの構成

表8. I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数($\phi = 4$ MHz時, 単位: kHz)(注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLクロック出力のデューティは50%です。高速クロックモード CCR値=5のみ35～45%になります。(400kHz, $\phi=4$ MHz時)また、クロックの“H”の期間は標準クロックモードで+2～-4マシサイクル、高速クロックモードで+2～-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

注2. $\phi=4$ MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は ϕ をより低い周波数で使用してください。

注3. SCL周波数の計算式は次のとおりです。

$\phi / (8 \times \text{CCR値})$ 標準クロックモード

$\phi / (4 \times \text{CCR値})$ 高速クロックモード(CCR値 = 5)

$\phi / (2 \times \text{CCR値})$ 高速クロックモード(CCR値 = 5)

CCR値=0～2は ϕ の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定してください。

I²Cコントロールレジスタ

I²Cコントロールレジスタ(S1D:002E16番地)はデータ通信フォーマットの制御を行うレジスタです。

(1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:002F16番地のビット7)による指定があればアックロクロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I²Cインタフェース許可ビット(ES0)

マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SCLおよびSDAはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0 = “0”のとき、次のように処理されます。

I²Cステータスレジスタ(S1:002D16番地)のPIN=“1”

BB=“0” ,AL=“0”に設定される。

I²Cデータシフトレジスタ(S0:002B16番地)への書き込みは禁止される。

(3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、またはジェネラルコール(「I²Cステータスレジスタ」のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

(4)ビット5:アドレッシングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(S0D:002C16番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

(5)ビット6:SCL/SDA端子選択ビット(TSEL)

マルチマスタI²C-BUSインタフェースのSCL,SDAの入出力端子を選択するビットです。図29を参照してください。

(6)ビット7:I²C-BUSインタフェース端子入力レベル選択ビット(TISS)

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

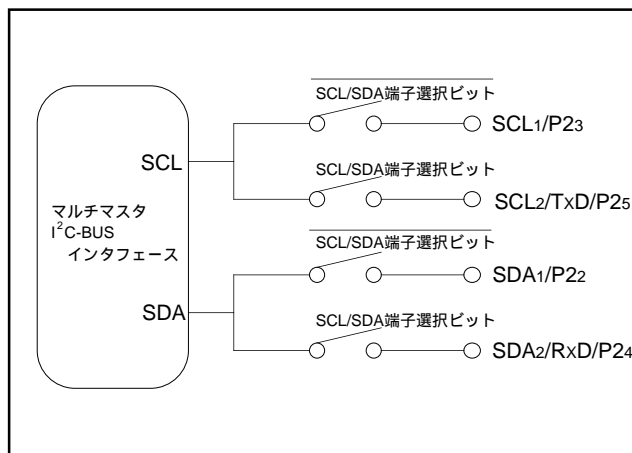
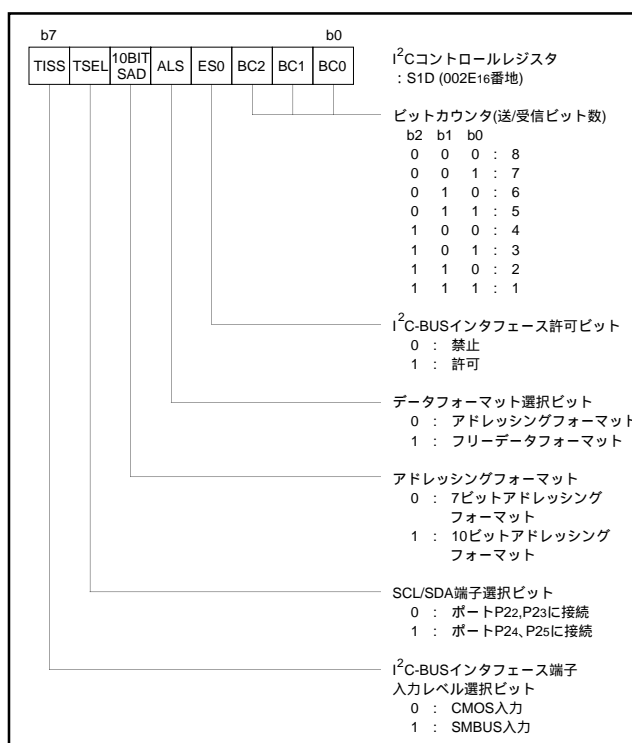


図29 . SCL/SDA端子選択ビットによる接続ポート制御

図30 . I²Cコントロールレジスタのビット構成

I²Cステータスレジスタ

I²Cステータスレジスタ(S1:002D16番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“00002”を書き込みください。

(1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アッククロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(S0:002B16番地)に書き込み命令を実行すると“0”になります。

(2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

*ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。

(3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(S0D:002C16番地)に格納されている上位7ビットのスレーブアドレスと一致した場合。

- ・ジェネラルコールを受信した場合

スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。

- ・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、およびRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合のI²Cデータシフトレジスタ(S0:002B16番地)への書き込み、またはリセットにより“0”になります。

(4)ビット3:アービトレーションロスト*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーショ

ンを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

*アービトレーションロスト: マスタとしての通信が不許可となった状態。

(5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”の時、SCLは“0”に保たれクロックの発生は禁止されます。図32に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- ・I²Cデータシフトレジスタ(S0:002B16番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)

- ・ES0ビットが“0”のとき

- ・リセット時

- ・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)

- ・1バイトのデータ受信完了直後

- ・スレーブ受信の際、ALS=0で、スレーブアドレス一致またはジェネラルコールアドレス受信完了直後

- ・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

(6)ビット5:バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(S2D:003016番地)のスタート/ストップコンディション設定ビット(SSC4~SSC0)の条件に従います。また、I²Cコントロールレジスタ(S1D:002E16番地)のES0ビット(ビット3)が“0”の時、およびリセット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法およびストップコンディション発生方法を参照ください。

(7)ビット6:通信モード指定ビット

(転送方向指定ビット:TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・ALS=“0”かつスレープで、R/Wビット受信が“1”の場合
以下の場合、ハードウェアにより“0”になります。
- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・MST=“0”で、スタートコンディションを検出した場合
- ・MST=“0”でアック応答が返ってこなかったことを検出した場合
- ・リセット時

(8)ビット7:通信モード指定ビット

(マスタ/スレープ指定ビット:MST)

データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・リセット時

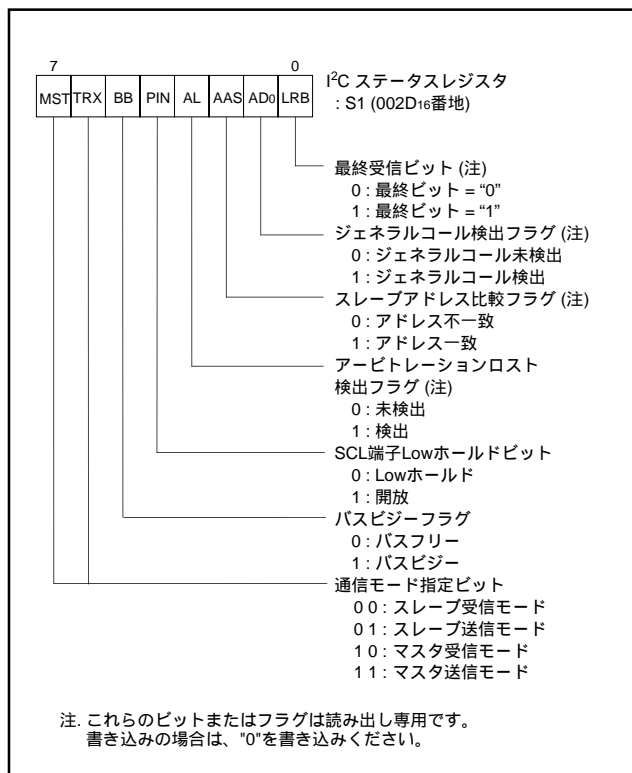


図31. I²Cステータスレジスタの構成

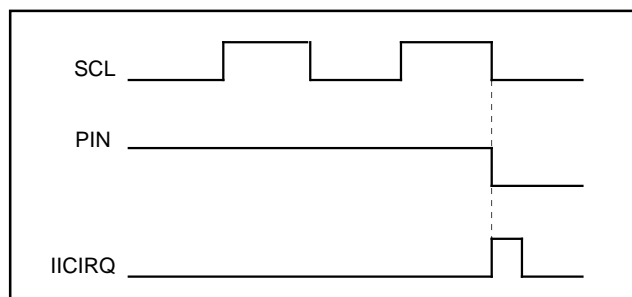


図32. 割り込み要求信号の発生タイミング

注 スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

スタートコンディション発生方法

I²Cコントロールレジスタ(S1D:002E16番地)のES0ビットが“1”、BBフラグが“0”の状態ではI²Cデータシフトレジスタ(S0:002B16番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(S1:002D16番地)のMST、TRX、BBビットに“1”書き込みを同時に行うとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図33のスタートコンディション発生タイミング図と表9のスタートコンディション発生タイミング表を参照してください。

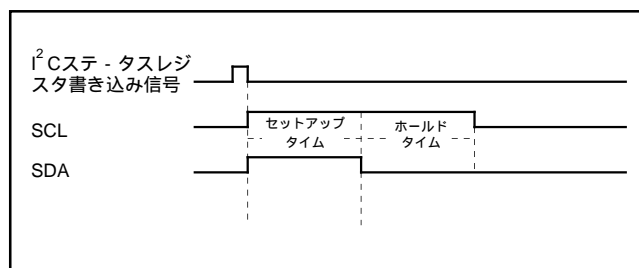


図33. スタートコンディション発生タイミング図

表9. スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)
ホールド時間	5.0 μ s (20サイクル)	2.5 μ s (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数

ストップコンディションの発生方法

I²Cコントロールレジスタ(S1D:002E16番地)のES0ビットが“1”の状態ではI²Cステータスレジスタ(S1:002D16番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図34のストップコンディション発生タイミング図と表10のストップコンディション発生タイミング表を参照してください。

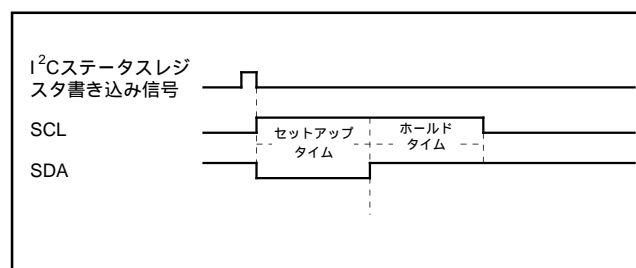


図34. ストップコンディション発生タイミング図

表10. ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 μ s (20サイクル)	3.0 μ s (12サイクル)
ホールド時間	4.5 μ s (18サイクル)	2.5 μ s (10サイクル)

注. = 4MHz時の絶対時間 ()内は のサイクル数。

スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図35、図36と表11に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表11のSCL開放条件、セットアップ時間およびホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表11のBBフラグセット/リセット時間を参照してください。

注 スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号IICIRQが発生します。

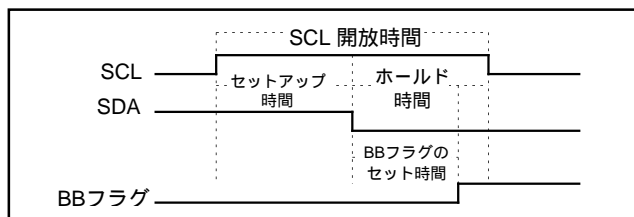


図35．スタートコンディション検出のタイミング図

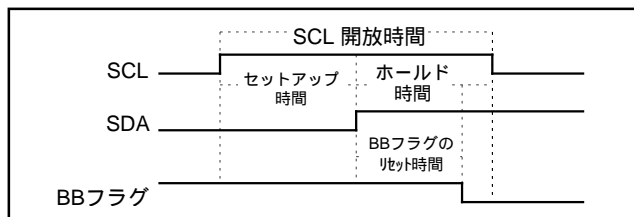


図36．ストップコンディション検出のタイミング図

表11．スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル (6.25 μs)	4サイクル (1.0 μs)
セットアップ時間	$\frac{SSC値+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (1.0 μs)
ホールド時間	$\frac{SSC値+1}{2}$ サイクル < 4.0 μs (3.125 μs)	2サイクル (0.5 μs)
BBフラグセット/ リセット時間	$\frac{SSC値-1}{2}$ +2サイクル (3.375 μs)	3.5サイクル (0.875 μs)

注．単位はシステムクロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進法表記した値です。SSC値=0および奇数となる設定は禁止です。

()内は 4MHz時、I²Cスタート/ストップコンディション制御レジスタに"1816"を設定した場合の時間の一例です。

I²Cスタート/ストップコンディション制御レジスタ

I²Cスタート/ストップコンディション制御レジスタ(S2D: 003016番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

(1)ビット0～ビット4:スタート/ストップコンディション 設定ビット (SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数f(XIN)や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表11を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値および“000002”は設定しないでください。参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表12に示します。

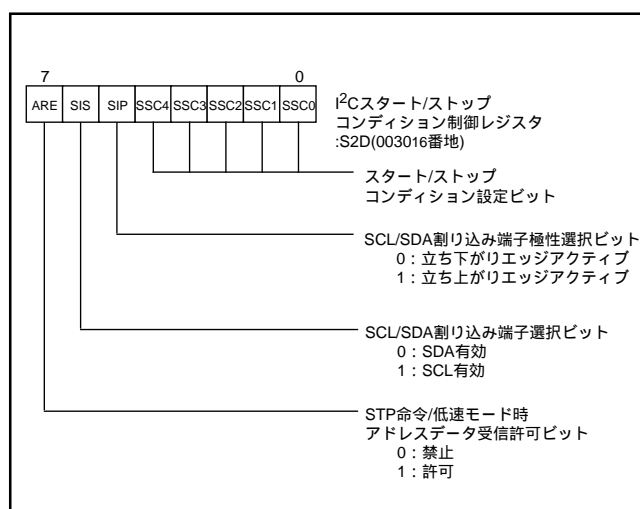


図37. I²Cスタート/ストップコンディション制御レジスタの構成

(2)ビット5: SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

(3)ビット6: SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

(4)ビット7: STP命令/低速モード時アドレスデータ受信許可ビット(ARE)

このビットを“1”にすると、CPUがSTP命令実行あるいは低速モードで動作中に他のデバイスがマスタとしてスタートコンディションを発生した時にアドレスデータを受信することができます。スタートコンディションのSDA端子の立ち下がりを検出するとオンチップオシレータ発振回路が発振を開始し、アドレスデータを受信します。アドレス受信の最終ビット受信後、(アックビット有りの場合はアックビット終了後)、SCL/SDA割り込みが発生し(同時にI²C割り込みも発生)、SCL端子Lowホールドビット(PIN)が“L”になり、SCL端子を“L”にします。この間にXINの発振を立ち上げ、安定発振した後は通常のI²C動作を行うことができます。

スタートコンディションのホールド時間を満たさない入力を検出した場合、SCL/SDA割り込みが発生します。低速モード時、このビットを“1”にするとSCL又はSDAの立ち上がり及び立ち下がりエッジを要因とするSCL/SDA割り込みは禁止されます。

注. SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビット(ES0)の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因としてSCL又はSDA端子の立ち上がり及び立ち下がりエッジを使用する場合、上記のビット設定を“0”にリセットした後、割り込みを許可してください。

表12. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発振周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロック (MHz)	スタート/ストップ コンディション 制御レジスタ	SCL開放時間 (μs)	セットアップ時間 (μs)	ホールド時間 (μs)
8	2	4	XXX11010	6.75 μs (27サイクル)	3.375 μs (13.5サイクル)	3.375 μs (13.5サイクル)
			XXX11000	6.25 μs (25サイクル)	3.125 μs (12.5サイクル)	3.125 μs (12.5サイクル)
8	8	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)
4	2	2	XXX01100	6.5 μs (13サイクル)	3.25 μs (6.5サイクル)	3.25 μs (6.5サイクル)
			XXX01010	5.5 μs (11サイクル)	2.75 μs (5.5サイクル)	2.75 μs (5.5サイクル)
2	2	1	XXX00100	5.0 μs (5サイクル)	2.5 μs (2.5サイクル)	2.5 μs (2.5サイクル)

注. スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値および“000002”は設定しないでください。

I²C追加機能レジスタ

(1)ビット0：タイムアウトモードビット(TOM)

タイムアウトモードを“1”に設定すると約16ms($f(XIN) \Rightarrow 4\text{MHz}$ 時, 高速モード時)の間バスビジー状態が続くとタイムアウトフラグが“1”になりタイムアウト割り込みが発生します。SCL/SDA 割り込みを兼用していますので、割り込み要因を知るためにはタイムアウトフラグを読み出してください。通信の途中でリスタートコンディションが発生するとタイムアウト時間計測用のカウンタがクリアされます。

(2)ビット1：タイムアウトフラグ(TOF)

タイムアウトが発生するとこのビットが“1”になります。このビットに“1”を書き込むと“0”にクリアされ、タイムアウト時間がクリアされます。

(3)ビット2：WIT時有効ビット(WEB)

WIT命令およびSTP命令実行時、マルチマスタI²C-BUSインタフェースの動作状態を選択するビットです。“0”の場合はWIT命令およびSTP命令実行によってマルチマスタI²C-BUSインタフェースに供給されるシステムクロックが停止し、マルチマスタI²C-BUSインタフェースの動作も停止します。“1”の場合はWIT命令実行時でもマルチマスタI²C-BUSインタフェースに供給されるシステムクロックは停止せず、マルチマスタI²C-BUSインタフェースの動作も停止しません。WIT時有効ビットが“1”の場合、STP命令を実行しないでください。

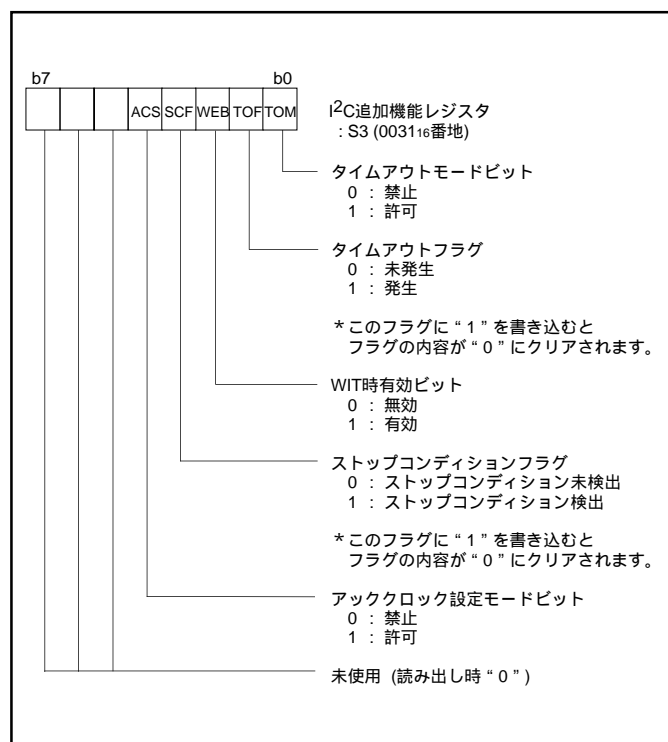
(4)ビット3：ストップコンディションフラグ(SCF)

ストップコンディションが発生した場合に“1”になります。このフラグはリセット時、I²C-BUSインタフェース許可ビットが“0”の時、およびこのビットに“1”を書き込んだ場合にクリアされます。

このビットはI²C-BUSインタフェース端子入力レベル選択ビットが“1”の場合のみ有効です。

(5)ビット4：アッククロック設定モードビット(ACS)

このビットを“1”に設定するとストップコンディション検出後、I²Cクロックコントロールレジスタ(002F₁₆番地)のビット6(アックビット)を“0”(アックを返す)、ビット7(アッククロックビット)を“1”(アッククロックあり)に設定します。

図38. I²C追加機能レジスタ

アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1) 7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(S0D:002C₁₆番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(S0D:002C₁₆番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(1)、(2)を参照してください。

(2) 10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(S1D:002E₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(S0D:002C₁₆番地)に格納されたスレーブアドレス8ビット

がアドレス比較されます。この比較時には、I²Cアドレスレジスタ(S0D:002C₁₆番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/Wビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(S1:002D₁₆番地)のAASビットが“1”にセットされます。2バイト目アドレスデータは、I²Cデータシフトレジスタ(S0:002B₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(S0D:002C₁₆番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレスおよびR/WのデータとI²Cアドレスレジスタ(S0D:002C₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図39の(3)、(4)を参照してください。

(1) マスタ送信デバイスから受信デバイスにデータを送信する場合

S	スレーブアドレス	R/W	A	データ	A	データ	A/A	P
7ビット	“0”	1～8ビット	1～8ビット					

(2) マスタ受信デバイスが送信デバイスからデータを受信する場合

S	スレーブアドレス	R/W	A	データ	A	データ	A/A	P
7ビット	“1”	1～8ビット	1～8ビット					

(3) マスタ送信デバイスが10ビットアドレスを持つスレーブ受信デバイスにデータを送信する場合

S	スレーブアドレスの 最初の7ビット	R/W	A	スレーブアドレスの 第2バイト	A	データ	A	データ	A/A	P
7ビット	“0”	8ビット	1～8ビット	1～8ビット						

(4) マスタ受信デバイスが10ビットアドレスを持つスレーブ送信デバイスからデータを受信する場合

S	スレーブアドレスの 最初の7ビット	R/W	A	スレーブアドレスの 第2バイト	A	Sr	スレーブアドレスの 最初の7ビット	R/W	A	データ	A	データ	A/A	P
7ビット	“0”	8ビット	7ビット	“1”	1～8ビット	1～8ビット								

S : スタートコンディション

P : ストップコンディション

A : アックビット

R/W : リード/ライトビット

Sr : リスタートコンディション

マスタからスレーブへ

スレーブからマスタへ

図39 . アドレスデータ通信フォーマット

マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“85₁₆”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(S1:002D₁₆番地)のBBフラグによりバスフリー状態を確認します。
- (6) I²Cデータシフトレジスタ(S0:002B₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(S1:002D₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(S0:002B₁₆番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(S1:002D₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cアドレスレジスタ(S0D:002C₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(S2:002F₁₆番地)に“25₁₆”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I²Cステータスレジスタ(S1:002D₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(S1D:002E₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) ・送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
・上記以外の場合、I²Cステータスレジスタ(S1:002D₁₆番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(S0:002B₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

マルチマスタI²C-BUSインタフェースの注意事項

(1)リード・モディファイ・ライト命令の使用について

SEB、CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・I²Cデータシフトレジスタ(S0:002B₁₆番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・I²Cアドレスレジスタ(S0D:002C₁₆番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

・I²Cステータスレジスタ(S1:002D₁₆番地)

すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・I²Cコントロールレジスタ(S1D:002E₁₆番地)

スタートコンディション検出時およびバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0～BC2)が、H/Wによって変化するためです。

・I²Cクロックコントロールレジスタ(S2:002F₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

・I²Cスタート/ストップコンディション制御レジスタ(S2D:0030₁₆番地)

リード・モディファイ・ライト命令は使用可能です。

(2)マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

```

:
LDA  ~                      (スレーブアドレス値の取り出し)
SEI                               (割り込みの禁止)
BBS  5,S1,BUSBUSY             (BBフラグ確認および分岐処理)
BUSFREE:
STA  S0                      (スレーブアドレス値の書き込み)
LDM  #$F0,S1                 (スタートコンディション発生トリガ)
CLI                               (割り込みの許可)
:
BUSBUSY:
CLI                               (割り込みの許可)
:

```

BBフラグの確認および分岐処理はBBS 5,\$002D, ~ のBranch on Bit Setを必ず使用してください。

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$2B、STX \$2BあるいはSTY \$2Bのゼロページアドレス命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3)リスタートコンディション発生手順について

手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが^{*} 0 のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1                 (スレーブ受信モードにする)
LDA  ~                      (スレーブアドレス値の取り出し)
SEI                               (割り込みの禁止)
STA  S0                      (スレーブアドレス値の書き込み)
LDM  #$F0,S1                 (リスタートコンディション発生トリガ)
CLI                               (割り込みの許可)
:

```

PINビットが^{*} 0 の状態で、スレーブ受信モードにしてください。

PINビットには“ 1 ”を書き込まないでください。

BBビットへの書き込みに“ 0 ”または“ 1 ”の指定はありません。

TRXビットが^{*} 0 になり、SDA端子が開放されます。

スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4)I²Cステータスレジスタへの書き込みについて

同時にPINビットを“ 0 ”から“ 1 ”、MSTビットおよびTRXビットを“ 1 ”から“ 0 ”にする命令実行をしないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが^{*} 1 の時に、MSTビットおよびTRXビットを“ 1 ”から“ 0 ”にする命令実行をしても、同様の状態になることがあります。

(5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが^{*} 0 になるまでの間、I²CデータシフトレジスタS0およびI²CステータスレジスタS1に書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XINまたはXINを2分周した信号を基本としています。

・ データの設定

PWMの出力端子はポートP44およびポートP07と共用しています。PWM制御レジスタのビット2(PWM出力端子選択ビット)により、PWM出力端子をポートP44/PWM0またはポートP07/PWM1のどちらかに選択できます。PWMプリスケラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(XIN)} \\ &= 63.75 \times (n+1) \mu s \\ &\quad (f(XIN) = 4\text{MHzの場合}) \end{aligned}$$

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.25 \times (n+1) \times m \mu s \\ &\quad (f(XIN) = 4\text{MHzの場合}) \end{aligned}$$

・ PWMの動作

PWM制御レジスタのビット0(PWM許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出します。また後述の注意事項をご参照ください。

PWM出力中にPWMレジスタ、PWMプリスケラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

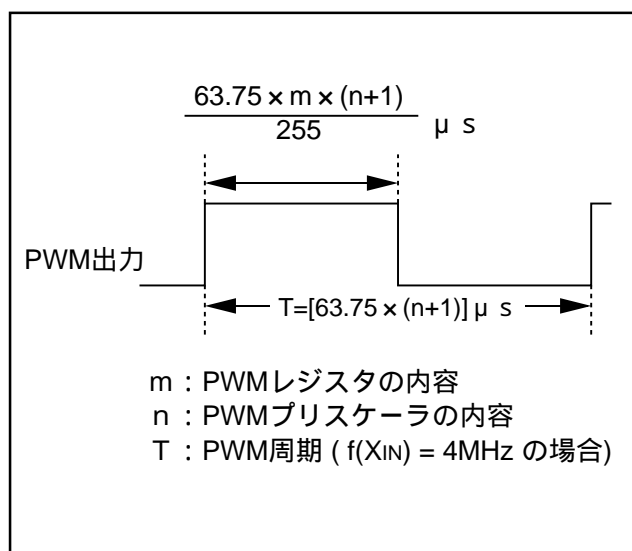


図40．PWM周期のタイミング図

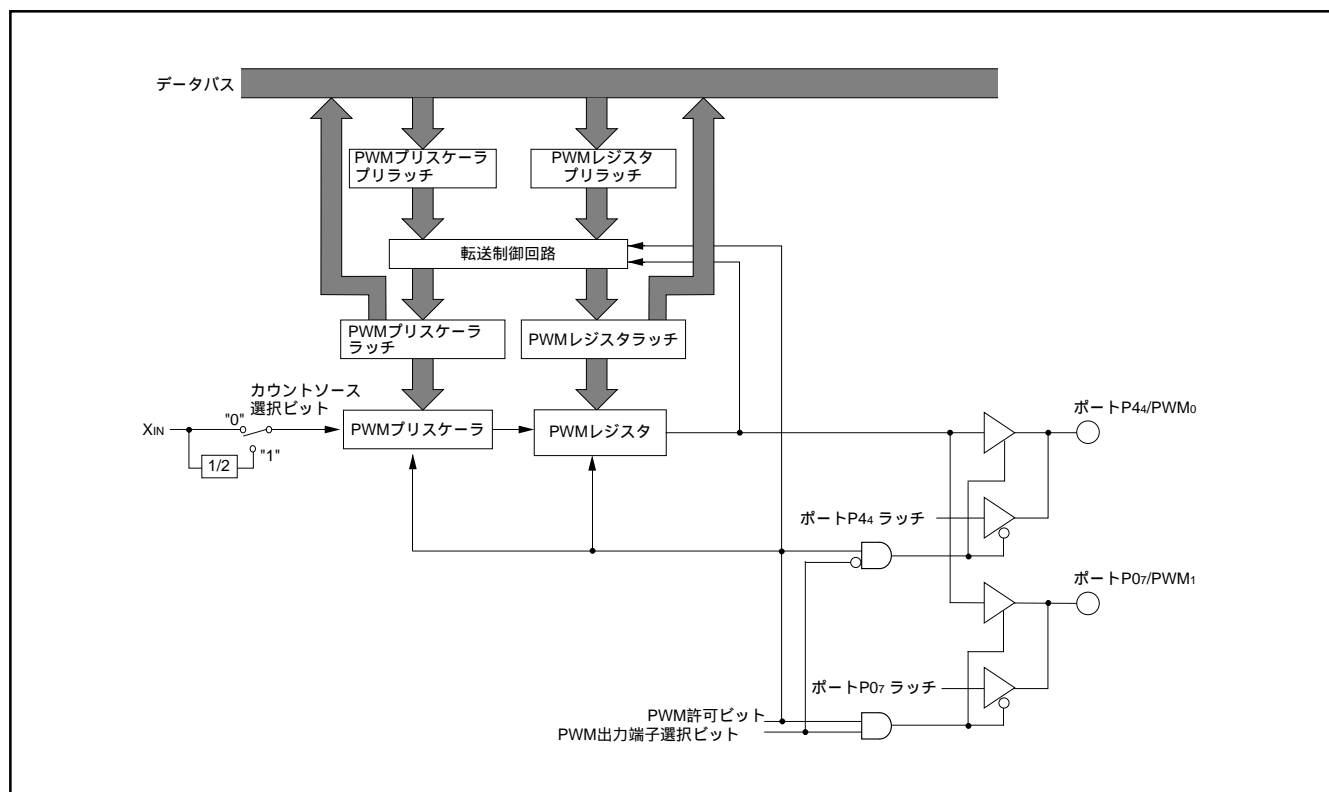


図41．PWMブロック図

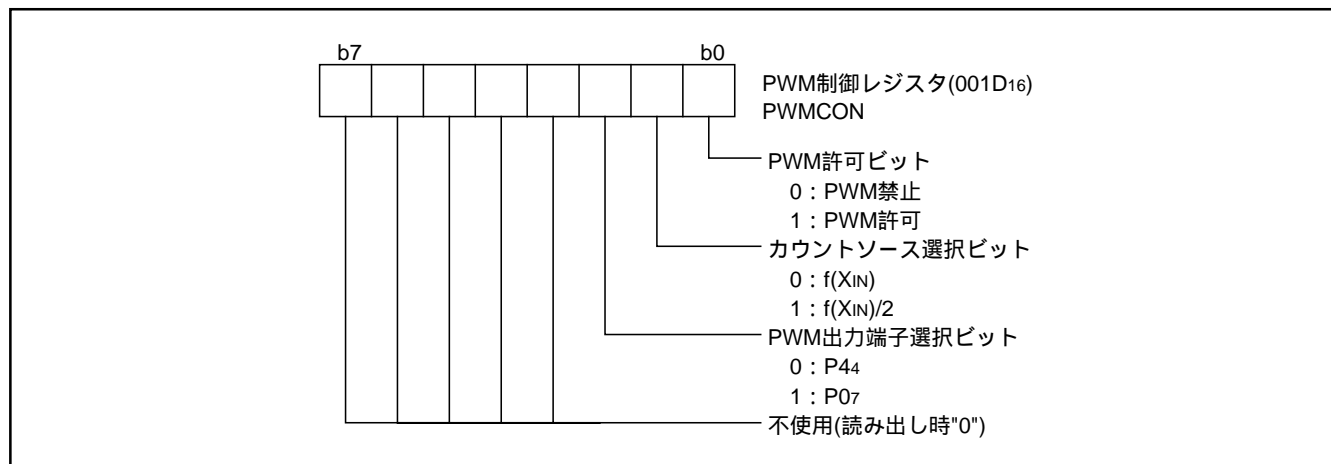


図42 . PWM制御レジスタの構成

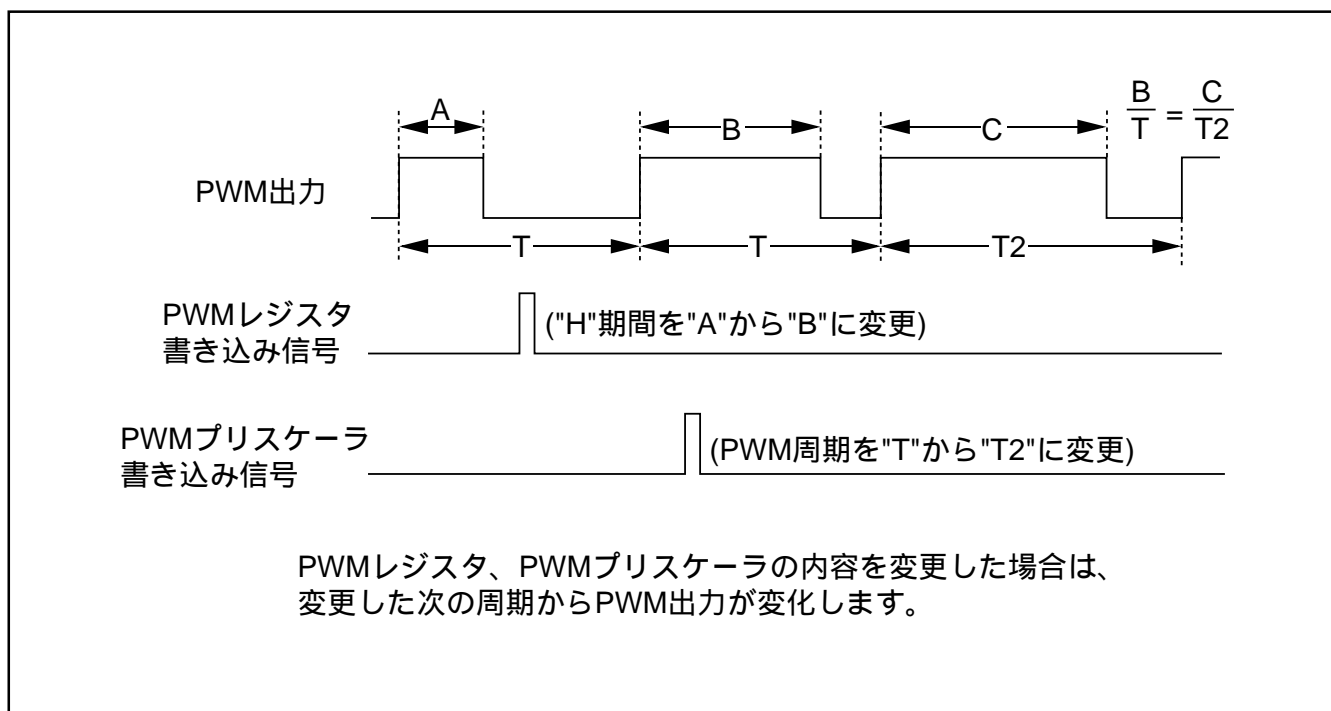


図43 . PWMレジスタおよびPWMプリスケアラ変更時のPWM出力タイミング図

■注意事項

PWM許可ビットが許可に設定され、PWM出力端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・カウンタソース選択ビット="0"、n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \text{ (秒)}$$

- ・カウンタソース選択ビット="1"、n = プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \text{ (秒)}$$

A/Dコンバータ(逐次比較型)

【AD変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセクタ】

ポートP07/AN11～P04/AN8、ポートP35/AN5～P30/AN0より1本を選択し、コンパレータに入力します。

【コンパレータおよび制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビットおよびAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、高速および中速モードでA/D変換中は $f(X_{IN})$ を500kHz以上にしてください。低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので $f(X_{IN})$ および $f(X_{CIN})$ 下限周波数の制限はありません。

【簡易型温度センサ】

簡易型温度センサはダイオードの順方向電圧の温度特性をAD変換して、マイコンの温度変化を検出します。

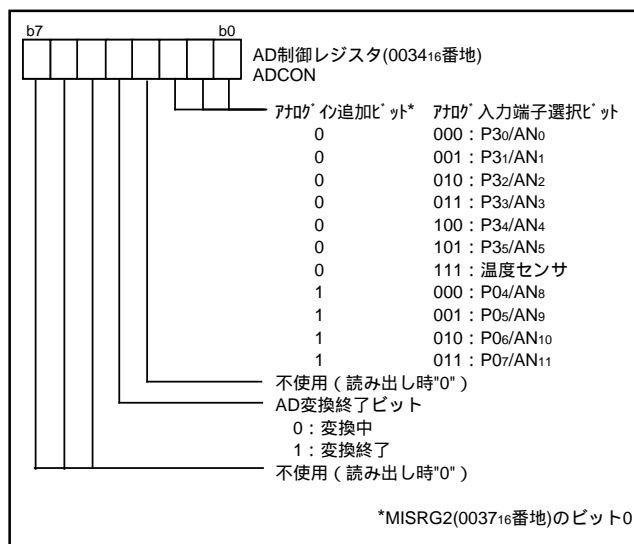


図44. AD制御レジスタの構成

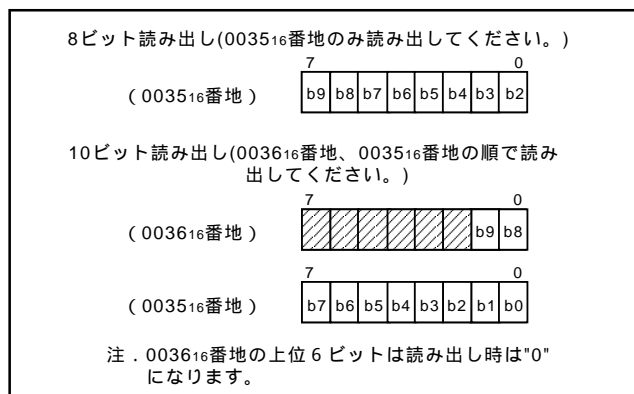


図45. AD変換レジスタの構成

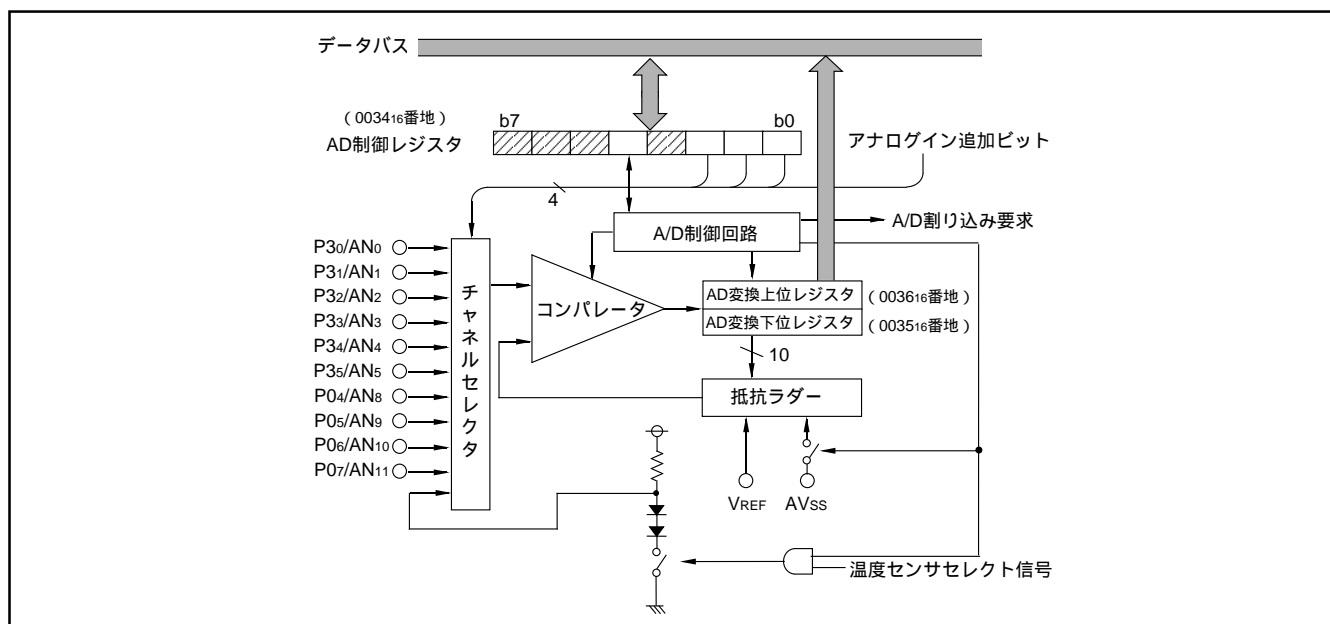


図46. A/Dコンバータのブロック図

電流積算回路

電流積算回路はISENS1端子とISENS0端子間に接続された検出抵抗に流れる電流を積算していく回路です。

ISENS1端子とISENS0端子間には検出抵抗に流れた電流の電位差が入力され、その電位差を内蔵された積分回路により電位差に相当する電荷量として積算していきます。積分回路出力はコンパレータに接続されていて、10mΩの検出抵抗を接続した場合、1mA相当の電荷量を計測し、カウンタにより1mA相当の電流が何回分れたかをカウントします。

電流積算回路は電流積算許可ビットを“1”にすることで動作を開始します。

電流積算モード

電流積算制御レジスタの電流積算モードビットを“0”に設定すると電圧-電流変換回路の入力はISENS1端子およびISENS0端子に接続され、ISENS1端子とISENS0端子間に発生する電位差の測定を行います。

ISENS1端子とISENS0端子間に発生した電圧は電圧-電流変換回路により電流に変換され積分回路に入力されます。

積分回路出力はコンパレータに接続されています。積分回路では電圧-電流変換回路により変換された電流(電荷)を積算していき、基準電位まで達すると、コンパレータ出力が“H”となり、コンパレータ出力に接続されたカウンタが1カウント増加します。また同時に積分回路にたまった電荷を放電させ、次の入力を始めます。カウンタ回路は積算周期の125msの間、コンパレータ出力が“H”となる数をカウントしていき、125msタイマにより125msに達するとカウンタ回路のカウント数をカウントラッチに格納し、カウント値をクリアし新しいカウントを始めます。またこの時同時に積算周期割り込みとして電流積算割り込みが発生します。

コンパレータおよびカウンタ回路は、充電用と放電用の2系統あり、放電時には放電カウンタのみ、充電時には充電カウンタのみカウントします。

積分回路およびコンパレータは約1mAの電流を測定するように設定されています。これによりカウンタラッチのラッチカウント数を読むことで積算周期内に流れた電流を計測することができます。

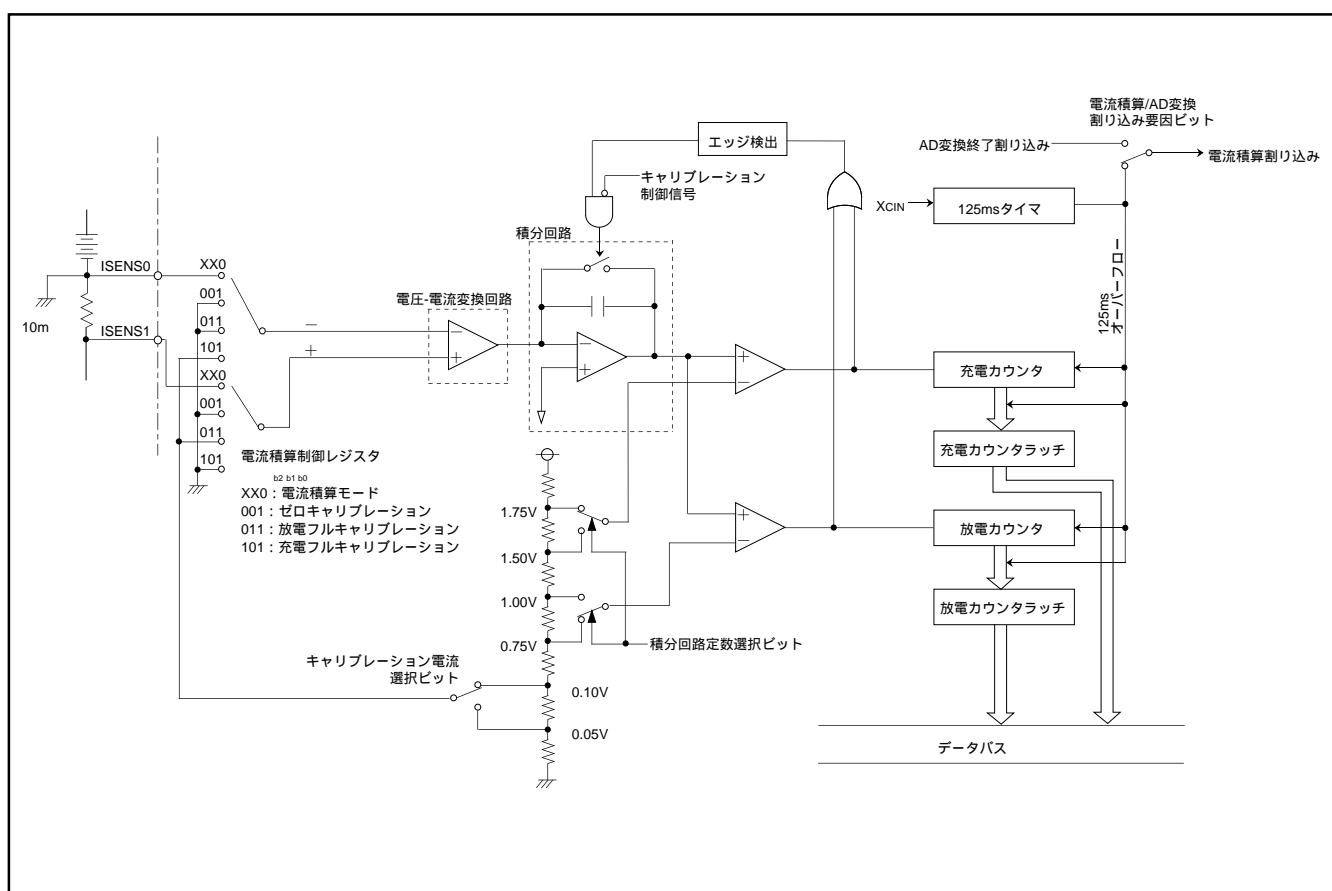


図47：電流積算回路ブロック図

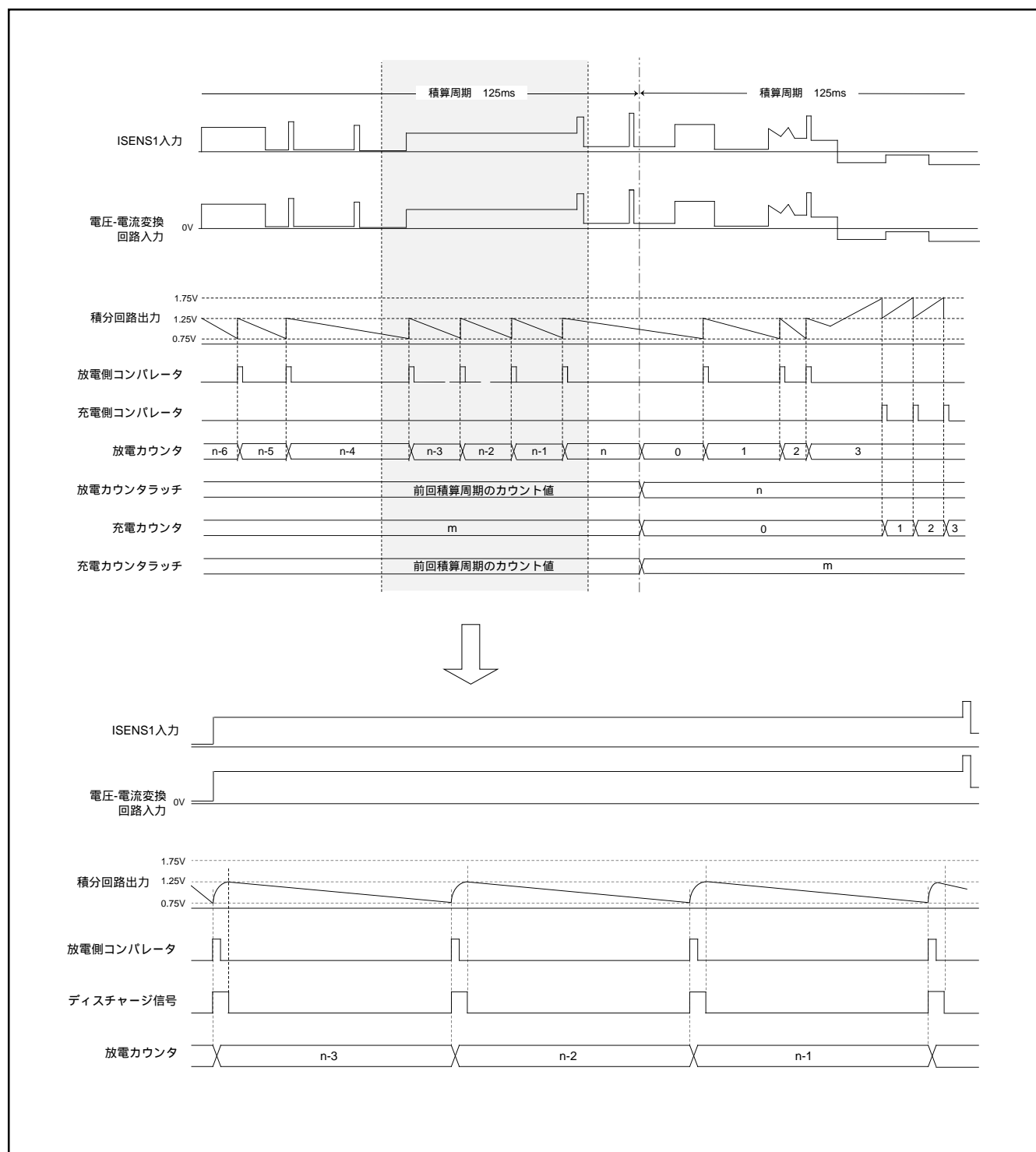


図48．電流積算タイミング図

キャリブレーションモード

電流積算制御レジスタの電流積算モードビットを「1」に設定すると、次の積算周期からキャリブレーションモードとなり、電圧-電流変換回路への入力には内部基準電源のAVssまたは0.05Vあるいは0.1Vに接続されます。キャリブレーション選択ビットが「00」の場合レベルシフト回路の正側入力およびGND側入力にはAVssが接続されゼロキャリブレーションを行います。キャリブレーション選択ビットが「01」の場合はレベルシフト回路の正側入力には0.05Vあるいは0.1Vの基準電位が、GND側入力にはAVssが接続され、放電側のフルキャリブレーションを行います。

キャリブレーション選択ビットが「10」の場合はレベルシフト回路の正側入力にはAVssがGND側入力には0.05Vあるいは0.1Vの基準電位が接続され、充電側のフルキャリブレーションを行います。

キャリブレーションは積分回路のコンデンサに残っている電荷を放電した後、125msの間電流積算を行っていきます。

125msのキャリブレーション時間が経過すると放電あるいは充電カウンタによりカウントされた値が各々のカウンタラッチにラッチされ、この時電流積算割り込みが発生します。電流積算モードの積算周期割り込みがキャリブレーション

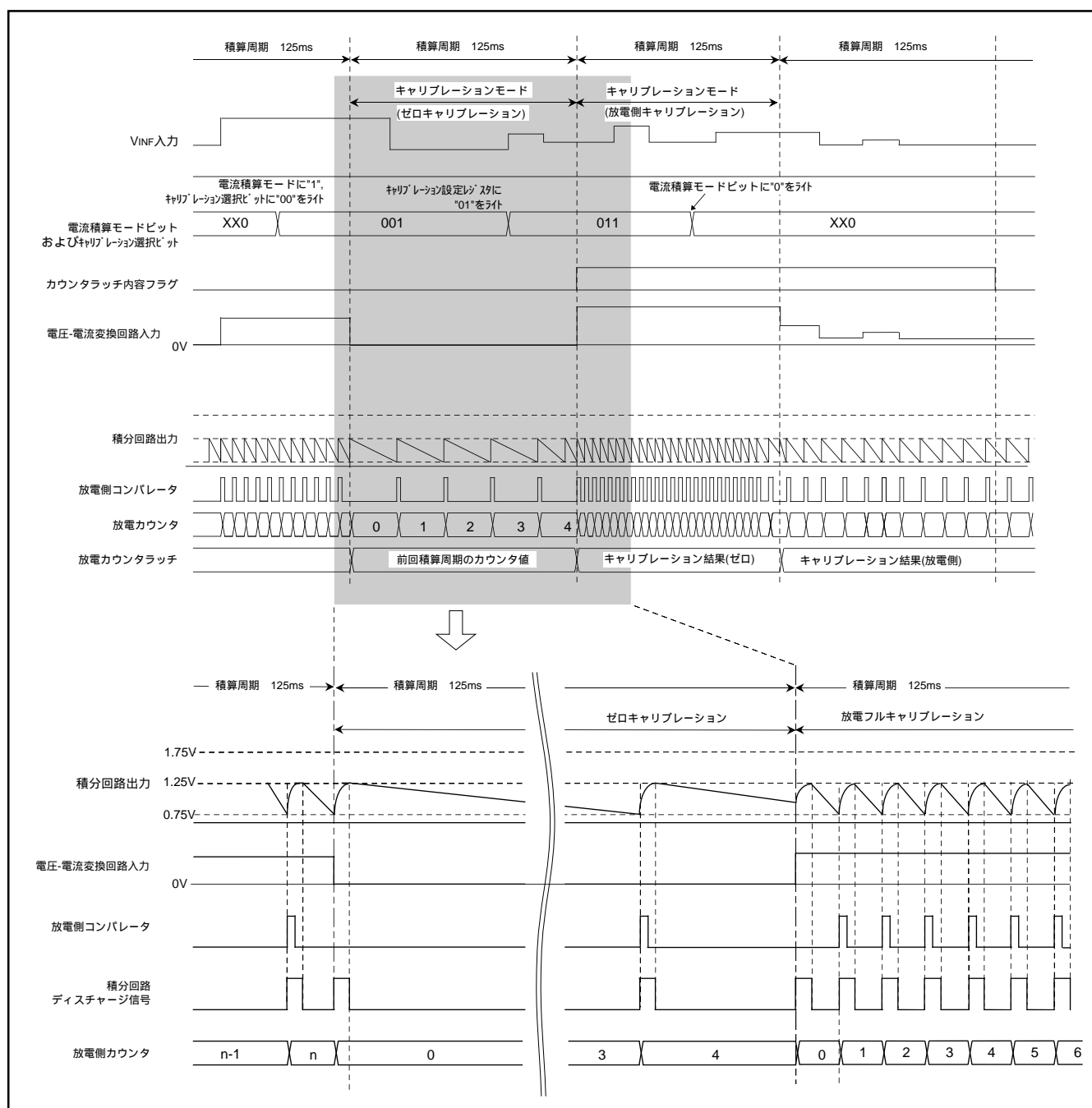


図49．キャリブレーションタイミング図

による割り込みかはカウンタラッチ内容フラグを読み出すことで判断できます。カウンタラッチ内容フラグはカウンタラッチの内容が電流積算モードでの値かキャリブレーションモードでの値かを示します。カウンタラッチの内容は次の電流積算あるいはキャリブレーションが終了すると自動的に新しいデータが上書きされますので注意してください。キャリブレーションモードは電流積算モードビットが「1」の場合、次の積算周期も連続してキャリブレーションを実行します。電流積算モードを「0」に戻すと、次の積算周期から電流積算モードに戻ります。

電流積算回路の注意事項

電流積算回路を許可した直後は内部のアナログ回路が十分に立ち上がっていないため、初回の積算周期は放電、または充電カウンタが1カウント余分にカウントされる場合があります。

これにより、カウントしている側のカウント値が1カウント多くなる、またはカウントしていない側のカウント値が“0001₁₆”になることがありますのでご注意ください。

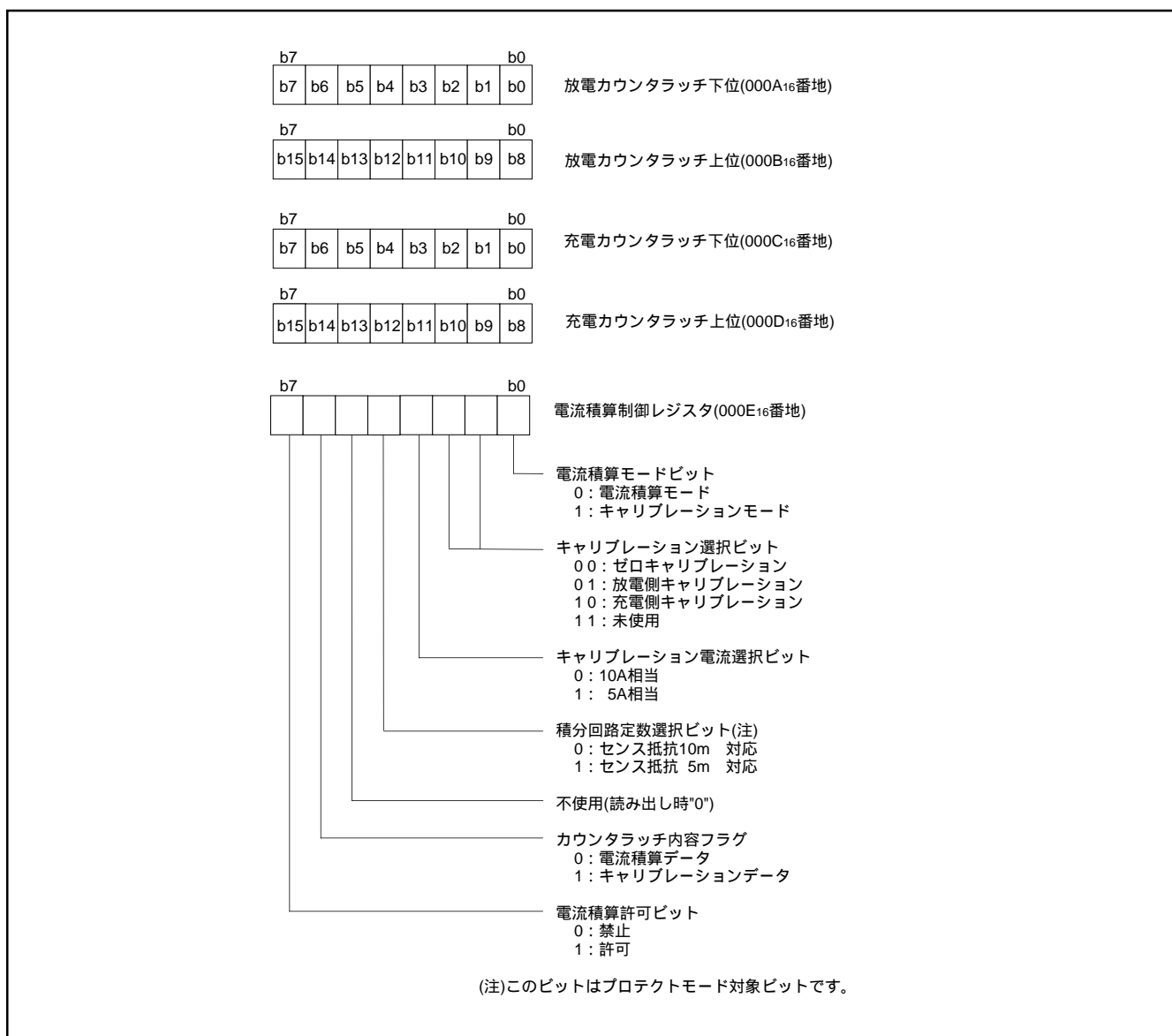


図50．電流積算レジスタ

過電流検出回路

過電流検出回路はISENS1端子とISENS0端子間に接続された検出抵抗に流れる短絡電流などの過大電流を検出し、バッテリーの放電制御FETをOFFにして放電を停止させる回路です。また、低消費電流時、電流積算動作を停止中、1A程度の電流が流れた場合に割り込みを発生させるウェイクアップ電流検出回路も内蔵されています。

放電短絡電流検出回路

10m の検出抵抗接続時、10Aから47.5Aの放電側の短絡電流を検出します。放電短絡電流検出制御レジスタ(000F16番地)の放電短絡電流検出許可ビットを“1”に設定すると、放電短絡電流検出回路が動作を開始します。比較電圧は放電短絡電流検出制御レジスタ(000F16番地)の放電短絡電流検出電圧設定ビットで、検出時間は過電流検出時間設定レジスタ1(001116番地)の放電短絡電流検出時間設定ビットで設定してください。

検出抵抗の電位差が比較電圧を超えて設定検出時間以上続くと放電短絡電流検出フラグ(001316番地のビット2)が“1”になり過電流検出割り込みが発生します。

放電短絡電流検出による割り込みの許可は放電短絡電流割り込み許可ビット(000F16番地のビット4)で制御できます。また、この時放電FET制御許可ビット(000F16番地のビット6)が“1”の場合、DFETCNT端子から放電FET制御信号が出力されます。放電FET制御信号の極性は放電FET制御極性切り替えビット(000F16番地のビット5)で設定してください。

放電短絡電流検出の解除は放電短絡電流検出リスタートビット(001316番地のビット6)に“1”を書き込んでください。

放電過電流検出回路

10m の検出抵抗接続時、5Aから20.5Aの放電側の過電流を検出します。放電過電流検出制御レジスタ(001016番地)の放電過電流検出許可ビットを“1”に設定すると放電過電流検出回路が動作を開始します。比較電圧は放電過電流検出電圧設定ビットで、検出時間は過電流検出時間設定レジスタ1(001116番地)の放電過電流検出時間設定ビットで設定してください。

検出抵抗の電位差が比較電圧を超えて設定検出時間以上続くと放電過電流検出フラグ(001316番地のビット1)が“1”になり放電過電流検出割り込みが発生します。放電過電流検出による割り込みの許可は放電過電流割り込み許可ビット(001016番地のビット5)で制御できます。また、この時放電FET制御許可ビット(001016番地のビット6)が“1”の場合、DFETCNT端子から放電FET制御信号が出力されます。

放電過電流検出の解除は放電過電流検出リスタートビット(001316番地のビット5)に“1”を書き込んでください。

ウェイクアップ電流検出回路

10m の検出抵抗接続時、1Aの放電電流を検出します。ウェイクアップ電流検出制御レジスタ(001216番地)のウェイクアップ電流検出許可ビットを“1”に設定するとウェイクアップ電流検出回路が動作を開始します。検出電圧は、10倍に増幅されコンパレータで比較されます。検出時間は3.9msごとに16回サンプリングして62.5msの間1A以上電流が流れるとウェイクアップ電流検出フラグ(001316番地のビット0)が“1”になり、過電流検出割り込みが発生します。ウェイクアップ電流検出による割り込みの許可はウェイクアップ電流検出割り込み許可ビット(001216番地のビット6)により制御できます。

ウェイクアップ電流検出の解除はウェイクアップ電流検出リスタートビット(001316番地のビット4)に“1”を書き込んでください。

増幅器やコンパレータのオフセット調整はウェイクアップ電流検出コンパレート電圧設定ビットによりキャリブレーションしてください。

ウェイクアップ電流検出キャリブレーション許可ビット(001416番地のビット5)を“1”に設定するとキャリブレーションモードになります。キャリブレーションモードにするとウェイクアップ電流検出回路への検出抵抗入力力がGNDレベル入力となり、ウェイクアップ電流検出コンパレート電圧設定ビットの設定により0V入力時のコンパレータのしきい値を測定することができます。その後、実際のウェイクアップ電流検出のしきい値は0V入力時のコンパレータのしきい値に1A分の0.1Vを加えた値に設定してください。

充電過電流検出回路

10m の検出抵抗接続時、2.5Aから10Aの充電側の過電流を検出します。充電過電流検出制御レジスタ(0FF016番地)の充電過電流検出許可ビットを“1”に設定すると充電過電流検出回路が動作を開始します。比較電圧は充電過電流検出制御レジスタ(0FF016番地)の充電過電流検出電圧設定ビットで、検出時間は過電流検出時間設定レジスタ2(0FF116番地)の充電過電流検出時間設定ビットで設定してください。検出抵抗の電位差が比較電圧を超えて設定検出時間以上続くと充電過電流検出フラグ(001316番地のビット3)が“1”になり過電流検出割り込みが発生します。充電過電流検出による割り込みの許可は充電過電流割り込み許可ビット(0FF016番地のビット4)で制御できます。またこのとき充電FET制御許可ビット(0FF016番地のビット6)が“1”の場合、CFETCNT端子から充電FET制御信号が出力されます。充電FET制御信号の極性は充電FET制御極性切り替えビット(0FF016番地のビット5)で設定してください。

充電過電流検出の解除は充電過電流検出リスタートビット(001316番地のビット7)に“1”を書き込んでください。

SFRプロテクト制御レジスタ

SFRプロテクト制御レジスタ(0029₁₆番地)の各ビット、MISRG2 (0037₁₆番地)のビット6およびMISRG (0038₁₆番地)のビット4, 5はマイコンの暴走などによりSFRが簡単に書き換えることができないようにプロテクトするビットです。SFRプロテクト制御レジスタ、MISRG2のビット6およびMISRGのビット4, 5のビットが'0'の場合、そのビットに対応するレジスタに対し書き込みプロテクトがかけられます。プロテクトの対象となっているレジスタに書き込みを行う場合、対応するSFRプロテクト制御レジスタ、MISRG2のビット6およびMISRGのビット4, 5のビットに'1'を書き込んだ後、続けて書き込む値を書き込んでください。他のアドレスに書き込みを行うとSFRプロテクト制御レジスタの内容は'00'にクリアされます。

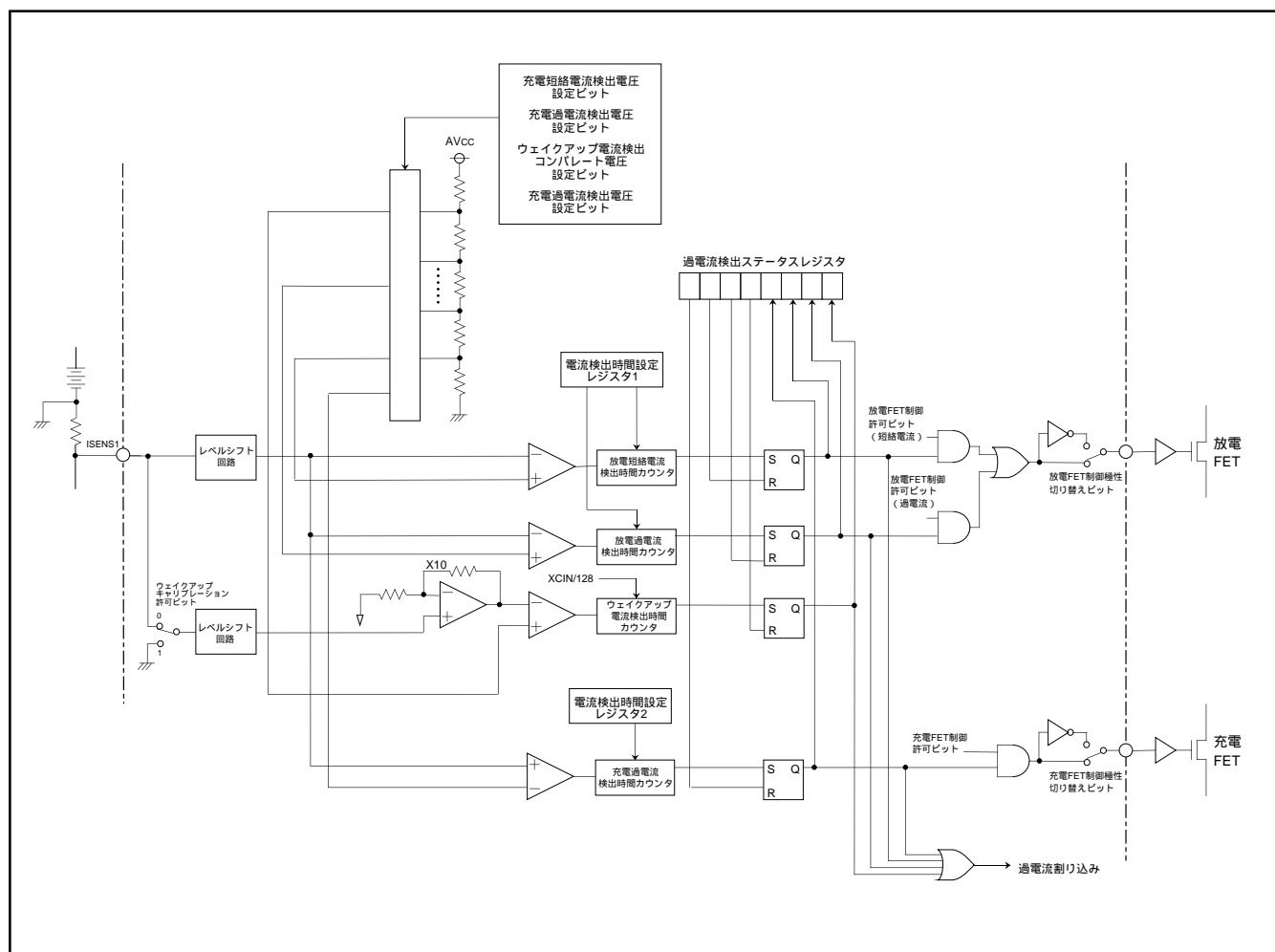


図51. 過電流検出回路ブロック図

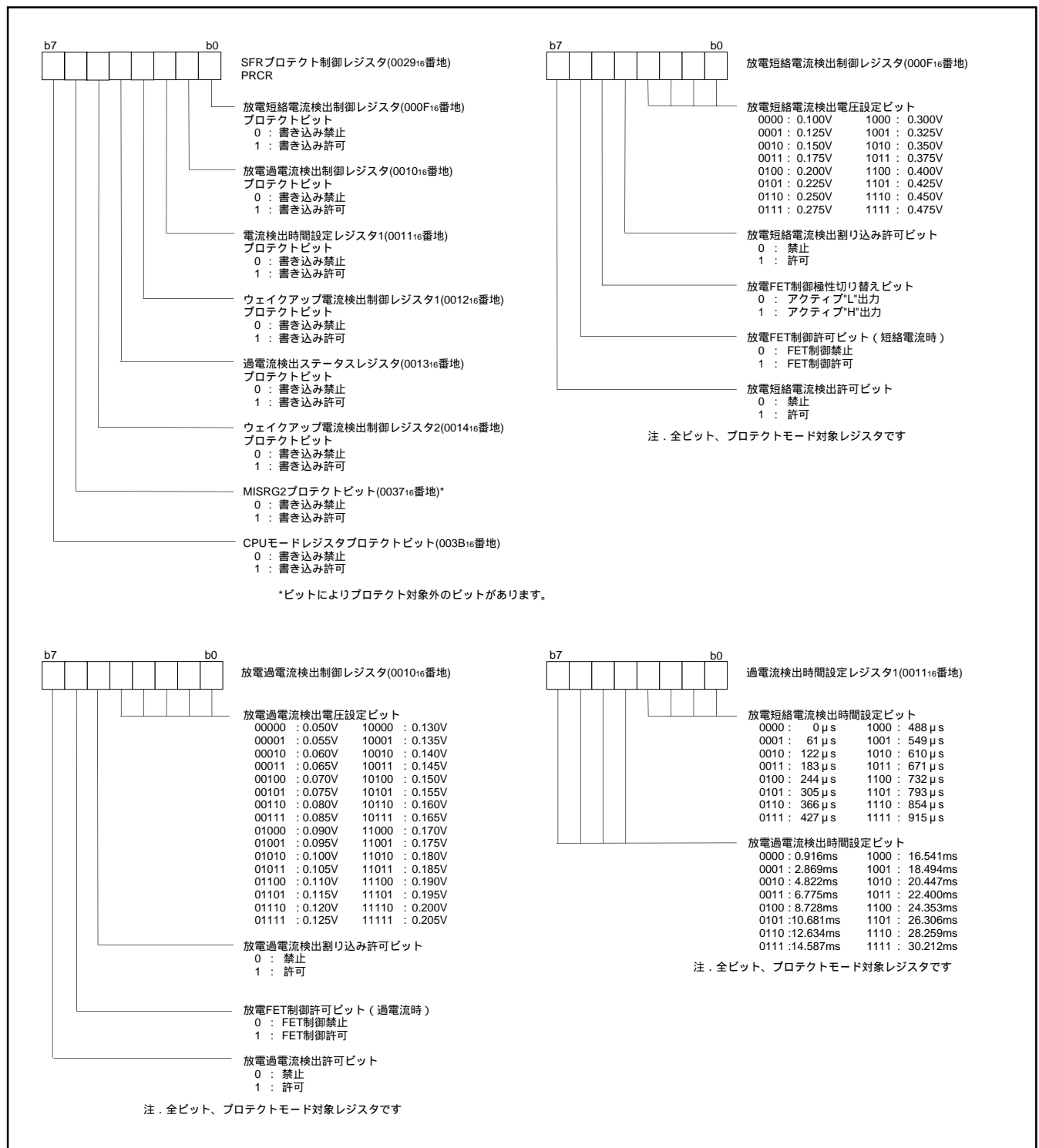


図52．過電流検出回路レジスタ(1)

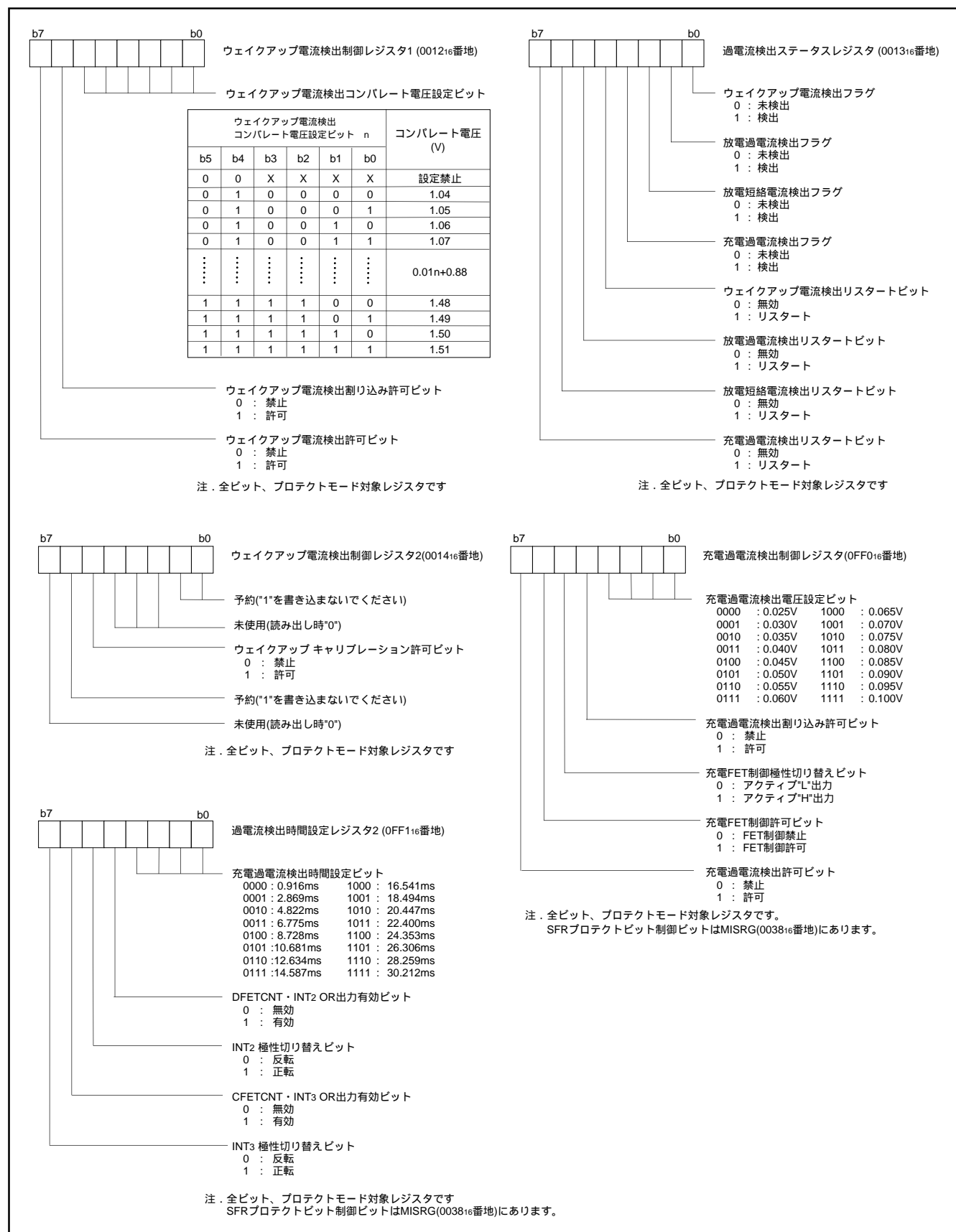


図53．過電流検出回路レジスタ(2)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

・ウォッチドッグタイマの初期値

リセットまたはウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)$ =4MHz時262.144ms、 $f(XCIN)$ =32kHz時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ (または $f(XCIN)$)の16分周信号となります。この場合の検出時間は $f(XIN)$ =4MHz時1.024 μ s、 $f(XCIN)$ =32kHz時128msになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

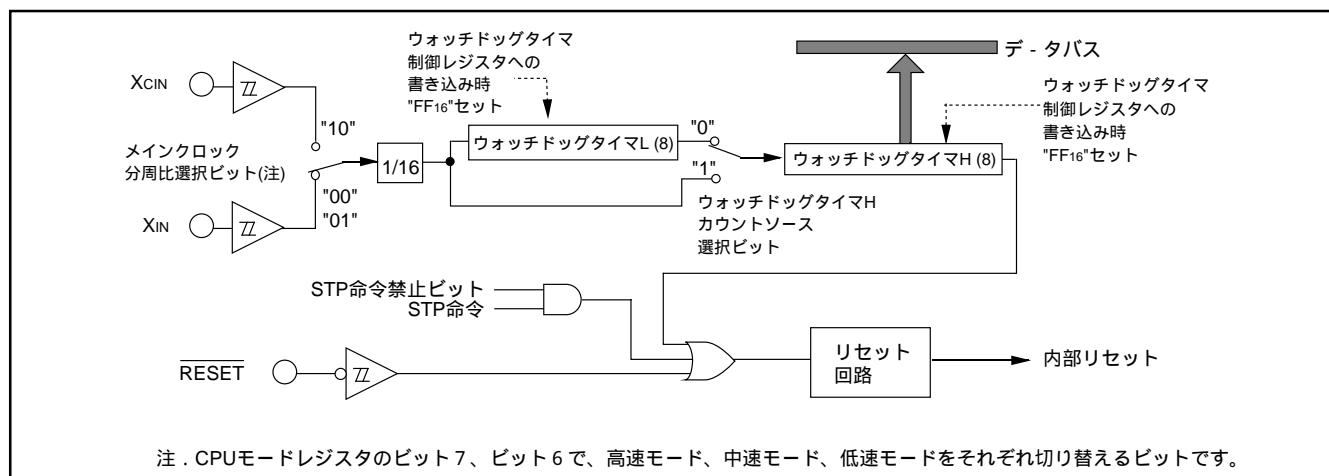


図54. ウォッチドッグタイマのブロック図

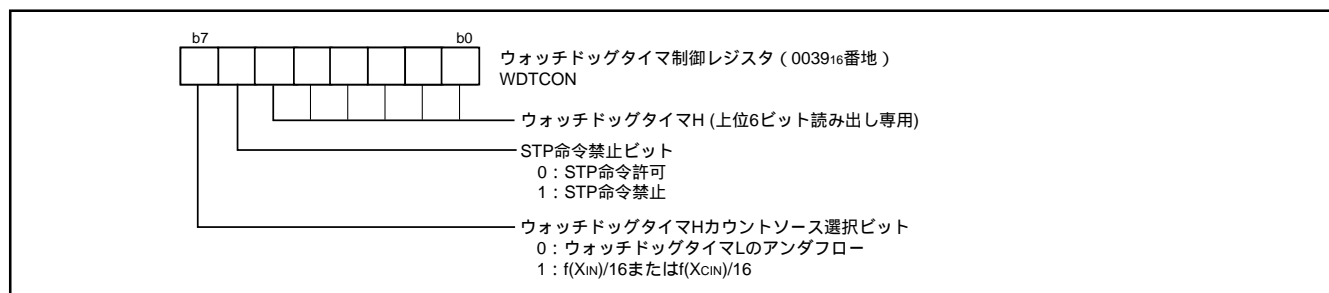


図55. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.45～2.55Vにあり、XINが安定発振しているとき、RESET端子をXIN 20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.45Vを通過する時点で0.49V以下になるようにしてください。

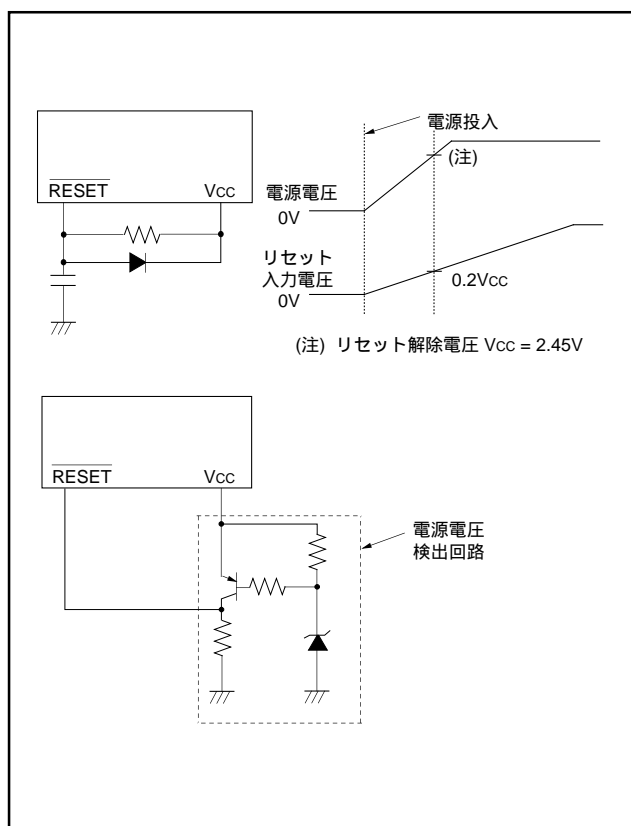


図56．リセット回路例

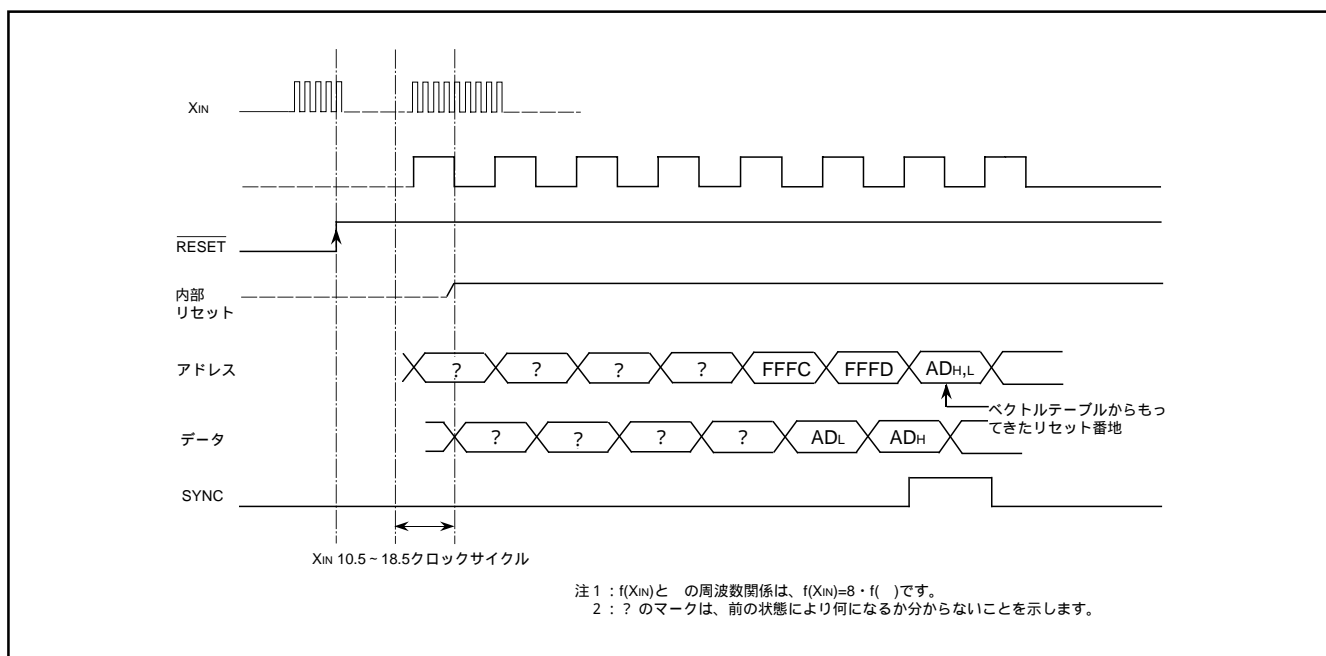


図57．リセット時のタイミング図

		番地	レジスタの内容			番地	レジスタの内容
(1)	ポートP0方向レジスタ	000116	0016	(51)	フラッシュメモリ制御レジスタ0	0FE016	0 0 0 0 0 0 0 1
(2)	ポートP1方向レジスタ	000316	0016	(52)	フラッシュメモリ制御レジスタ1	0FE116	0 1 0 0 0 0 0 0
(3)	ポートP2方向レジスタ	000516	0016	(53)	フラッシュメモリ制御レジスタ2	0FE216	0016
(4)	ポートP3方向レジスタ	000716	0016	(54)	充電過電流検出制御レジスタ	0FF016	0016
(5)	ポートP4方向レジスタ	000916	0016	(55)	過電流検出時間設定レジスタ2	0FF116	0016
(6)	放電カウンタラッチ下位レジスタ	000A16	0016	(56)	高速RC発振回路周波数設定レジスタ	0FF216	AB16
(7)	放電カウンタラッチ上位レジスタ	000B16	0016	(57)	高速RC発振回路制御レジスタ	0FF416	0 0 0 0 0 0 0 X
(8)	充電カウンタラッチ下位レジスタ	000C16	0016	(58)	割り込みエッジ選択レジスタ	0FF516	0016
(9)	充電カウンタラッチ上位レジスタ	000D16	0016	(59)	プロセッサステータスレジスタ	(PS)	X X X X X 1 X X
(10)	電流積算制御レジスタ	000E16	0016	(60)	プログラムカウンタ	(PCH)	FFFD16番地の内容
(11)	放電短絡電流検出制御レジスタ	000F16	0016			(PCL)	FFFC16番地の内容
(12)	放電過電流検出制御レジスタ	001016	0016				
(13)	過電流検出時間設定レジスタ1	001116	0016				
(14)	ウェイクアップ電流検出制御レジスタ1	001216	0016				
(15)	過電流検出ステータスレジスタ	001316	0016				
(16)	ウェイクアップ電流検出制御レジスタ2	001416	0016				
(17)	シリアルI/O2制御レジスタ1	001516	0016				
(18)	シリアルI/O2制御レジスタ2	001616	0 0 X 0 0 1 1 1				
(19)	シリアルI/O1ステータスレジスタ	001916	1 0 0 0 0 0 0 0				
(20)	シリアルI/O1制御レジスタ	001A16	0016				
(21)	UART制御レジスタ	001B16	1 1 1 0 0 0 0 0				
(22)	PWM制御レジスタ	001D16	0016				
(23)	プリスケラ12	002016	FF16				
(24)	タイマ1	002116	0116				
(25)	タイマ2	002216	0016				
(26)	タイマXYモードレジスタ	002316	0016				
(27)	プリスケラX	002416	FF16				
(28)	タイマX	002516	FF16				
(29)	プリスケラY	002616	FF16				
(30)	タイマY	002716	FF16				
(31)	タイマカウントソース設定レジスタ	002816	0016				
(32)	SFRプロテクト制御レジスタ	002916	0016				
(33)	I ² Cアドレスレジスタ	002C16	0016				
(34)	I ² Cステータスレジスタ	002D16	0 0 0 1 0 0 0 X				
(35)	I ² Cコントロールレジスタ	002E16	0016				
(36)	I ² Cクロックコントロールレジスタ	002F16	0016				
(37)	I ² Cスタート/ストップ・コンディション制御レジスタ	003016	0 0 0 X X X X X				
(38)	I ² C追加機能レジスタ	003116	0016				
(39)	32kHz発振制御レジスタ0	003216	0016				
(40)	32kHz発振制御レジスタ1	003316	0016				
(41)	AD制御レジスタ	003416	0 0 0 1 0 0 0 0				
(42)	MISRG2	003716	0016				
(43)	MISRG	003816	0016				
(44)	ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1				
(45)	割り込みエッジ選択レジスタ	003A16	0016				
(46)	CPUモードレジスタ	003B16	0 1 1 0 0 0 0 0				
(47)	割り込み要求レジスタ1	003C16	0016				
(48)	割り込み要求レジスタ2	003D16	0016				
(49)	割り込み制御レジスタ1	003E16	0016				
(50)	割り込み制御レジスタ2	003F16	0016				

注．×は不定です。
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値を設定してください。

図58．リセット時の内部状態

クロック発生回路

7512グループは外付け共振子の不要な高速RC発振回路と32kHz RC発振回路および、XINとXOUT、XCINとXCOUTの間に外付け共振子を接続して使用する4つの発振回路を内蔵しています。高速RC発振とXIN-XOUT発振はCPUモードレジスタのクロックソース切り替えビット(003B₁₆番地のビット3)、MISRG2の高速RC発振停止ビット(0037₁₆番地のビット2)、およびXIN切り替え禁止ビット(0037₁₆番地のビット3)により切り替えの制御が可能です。電源投入直後は内蔵の高速RC発振回路が発振を開始します。XIN-XOUTの共振子による発振を行う場合はCPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(003B₁₆番地のビット5)によりXIN-XOUTを発振させた後、クロックソース切り替えビット(003B₁₆番地のビット3)によりクロックを切り替えて使用してください。XIN-XOUT発振が不要な場合はXIN、XOUT端子は開放にして使用してください。

XIN切り替え禁止ビット(0037₁₆番地のビット3)を“1”(切り替え不可)に設定すると、それ以降クロックソース切り替えビットが無効となり、XIN-XOUT発振での動作ができなくなります。このビットは、一旦“1”に設定するとプログラムで“0”に書き換えることができません。

32kHz RC発振あるいはXCIN-XCOUT発振はポートXc切り替えビット(003B₁₆番地のビット4)を“1”に設定することで発振を開始します。32kHz RC発振およびXCIN-XCOUT発振の選択は32kHz RC発振許可ビット(0037₁₆番地のビット4)により選択してください。

外付け共振子を使用する場合はXINとXOUTまたはXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

高速RC発振クロックまたはXIN端子に加わった周波数の8分周したものが内部クロック となります。リセット解除後はこのモードになります。

(2) 高速モード

高速RC発振クロックまたはXIN端子に加わった周波数の2分周したものが内部クロック になります。

(3) 低速モード

32kHz RC発振クロックまたはXCIN端子に加わった周波数の2分周したものが内部クロック になります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、MISRG2の高速RC発振停止ビット(0037₁₆番地のビット2)やCPUモードレジスタのメインクロック停止ビット(003B₁₆番地のビット5)を“1”にすることによりメインクロックの高速RC発振やXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN-XOUT)停止ビット(003B₁₆番地のビット5)を“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け共振子または32kHz RC発振回路による発振をさせてください。

●高速RC発振回路

高速RC発振回路キャリブレ - ション許可ビット(0FF4₁₆番地のビット7)を“1”にすると32kHz発振クロックの4周期分の期間、高速RC発振回路の出力を2分周したクロックをカウントし発振周波数を測定することができます。カウンタは9bitで構成され、カウント値は下位8bitが高速RC発振回路周波数カウンタ(0FF3₁₆番地)と上位1bitは高速RC発振回路制御レジスタ(0FF4₁₆番地)のビット0に格納されます。また、高速RC発振回路周波数設定レジスタ(0FF2₁₆番地)の値を変更することで発振周波数を可変にできます。高速RC発振回路はV_{CC}や温度の変動で周波数が変動しますが、ソフトウェアで高速RC発振回路周波数カウンタの値を一定にするよう高速RC発振回路周波数設定レジスタを調節することにより周波数を一定に保つことができます。

電源投入直後は内蔵の高速RC発振回路が約4MHzで発振を開始します。

●32kHz RC発振回路

32kHz RC発振許可ビット(0037₁₆番地のビット4)を“1”に設定した後、ポートXc切り替えビット(003B₁₆番地のビット4)を“1”にすると内蔵32kHz RC発振回路が発振を開始します。内蔵32kHz RC発振を使用する場合はXCIN-XCOUT間に91kΩの抵抗とXCIN-GND間に100pFのコンデンサを接続してください。

外付け抵抗の抵抗値とコンデンサの容量値のばらつきによる周波数のずれは32kHz発振制御レジスタ0, 1(0032₁₆番地, 0033₁₆番地)に値を書くことにより調整できます。

発振周波数の調整は512分割の抵抗ラダーで行われ、約50Hzのステップで調整が可能です。発振周波数の理論値は次式で計算できます。

$$f_{32RC} = \frac{1}{2 \cdot C \cdot R \cdot \ln(1 + 2 \cdot R_1/R_2)}$$

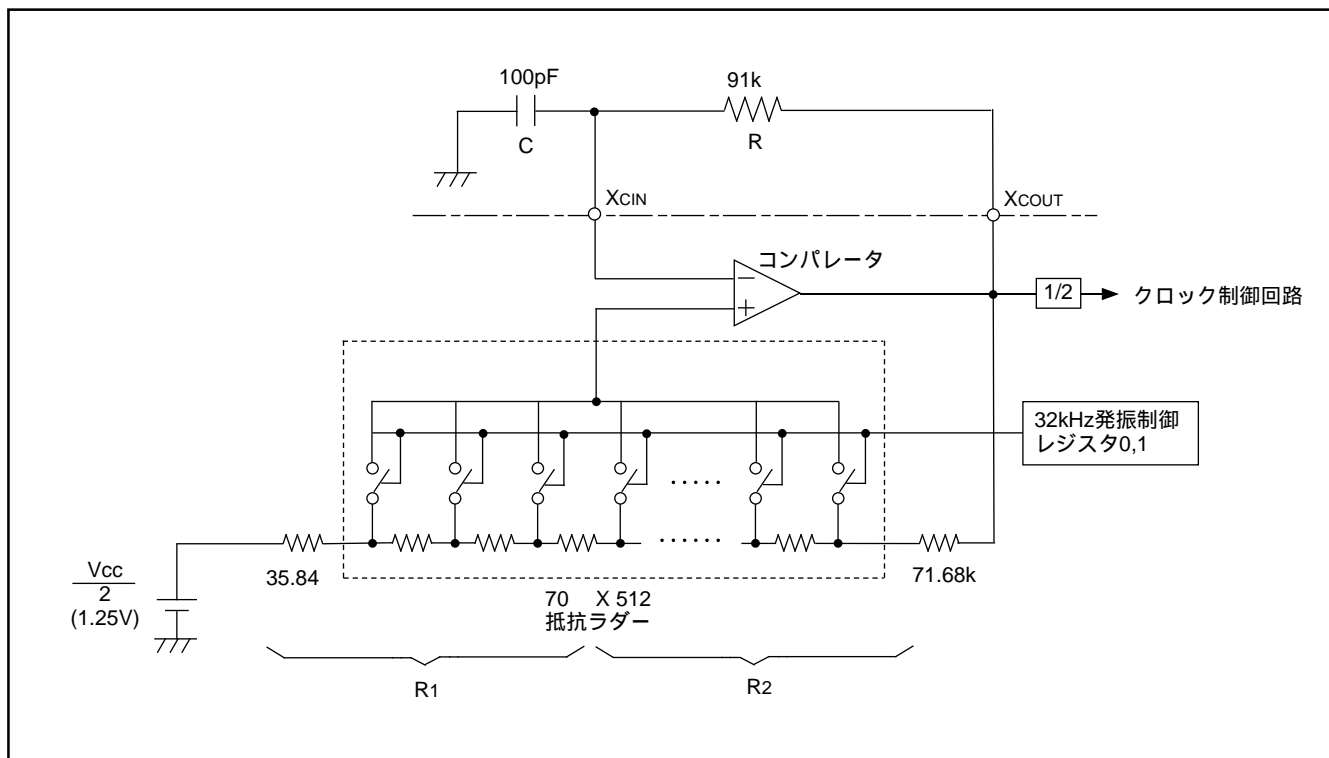


図59 . 32kHz RC発振回路ブロック図

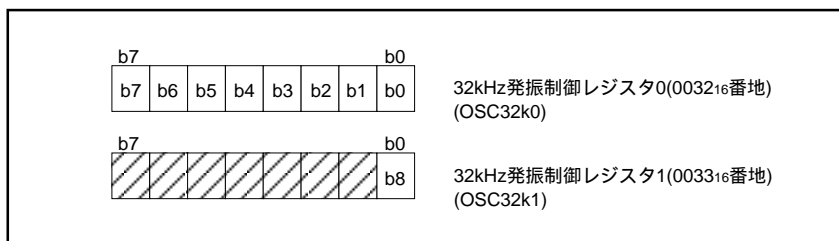


図60 . 32kHz発振制御レジスタ

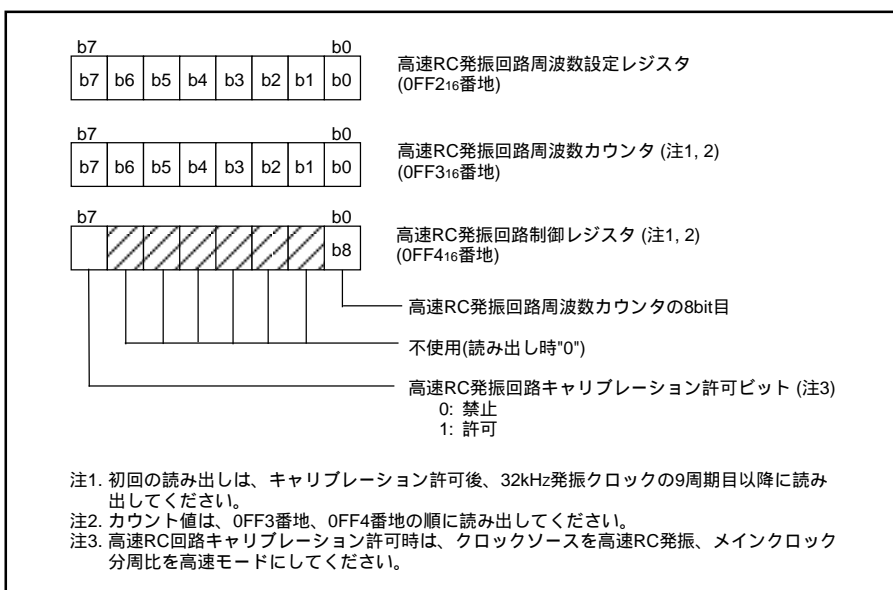


図61 . 高速RC発振回路レジスタ

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが「H」の状態で停止し、発振器が停止します。この時、STP命令解除後の発振安定時間設定ビットが「0」の時、タイマ1には「01₁₆」、プリスケアラ12には「FF₁₆」が設定されます。一方、STP命令解除後の発振安定時間設定ビットが「1」のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力には選択している発振器の16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックはタイマ1がアンダフローするまで「H」のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これはセラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。リセットによって発振を再開させた場合は待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に「L」レベルを印加してください。

メインクロックとして高速RC発振クロックを使用した場合は発振立ち上がり時間はほとんど必要ありません。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが「H」の状態で停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを「1」にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1は選択している発振器の16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを「0」にしてください。

■注意事項

外付け共振器を用いてXIN-XOUT発振使用時、STP命令解除後の発振安定時間設定ビットを「1」で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

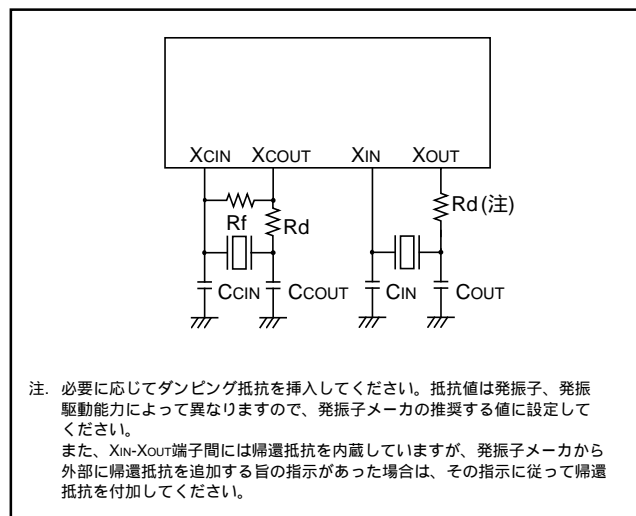


図62．セラミック共振器外付け回路

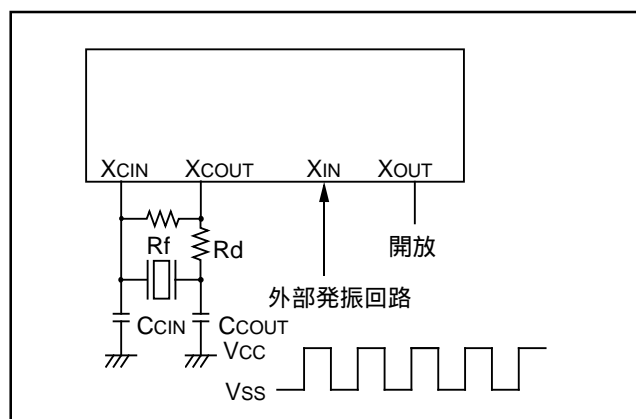


図63．外部クロック入力回路

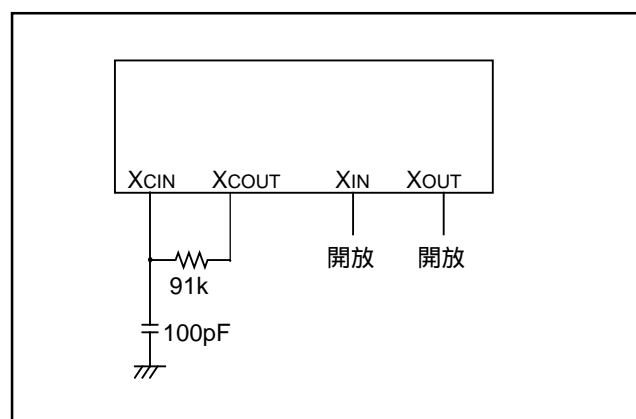


図64．高速RC発振および32kHz内蔵RC発振使用時の回路

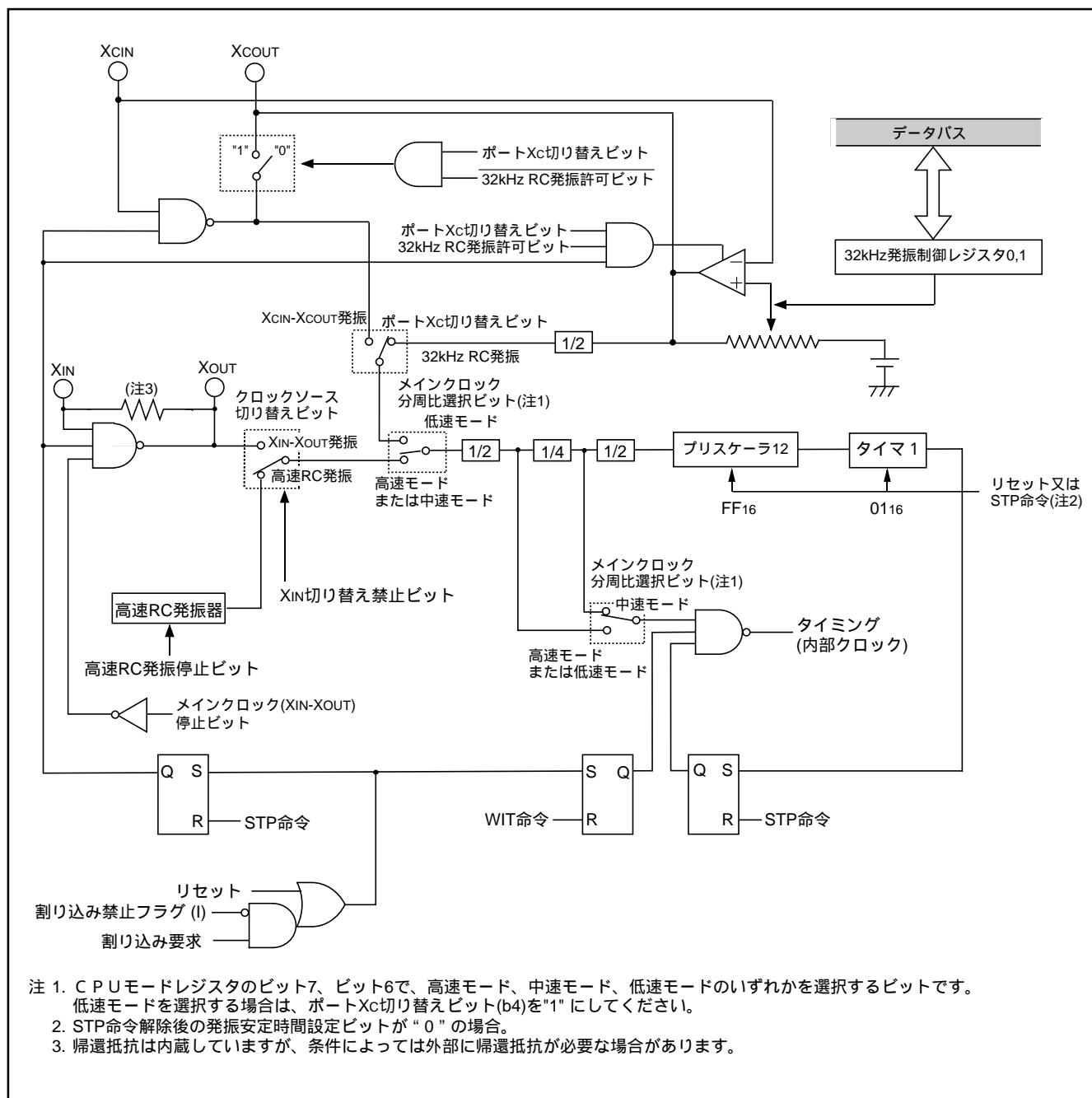


図65．システムクロック発生回路ブロック図(シングルチップモード)

中速モード自動切り替え設定ビットについての注意
 低速モードで動作中、中速モード自動切り替え設定ビットを“1”にすると、SCLまたはSDA端子の立ち上がり、あるいは立ち下がりエッジを検出することにより、自動的にX_{IN}発振をスタートさせ、中速モードに切り替わります。低速モードから中速モードに切り替わるタイミングは、中速モード自動切

り替え待ち時間設定ビットにより、低速モードで4.5～5.5サイクル、あるいは6.5～7.5サイクルに設定できるので、ご使用になるX_{IN}の発振子の発振開始特性により選択してください。

中速モード自動切り替え開始ビットは、低速モードで動作中、このビットに“1”を書き込むことにより、自動的にX_{IN}発振をスタートさせ、中速モードに切り替えるビットです。

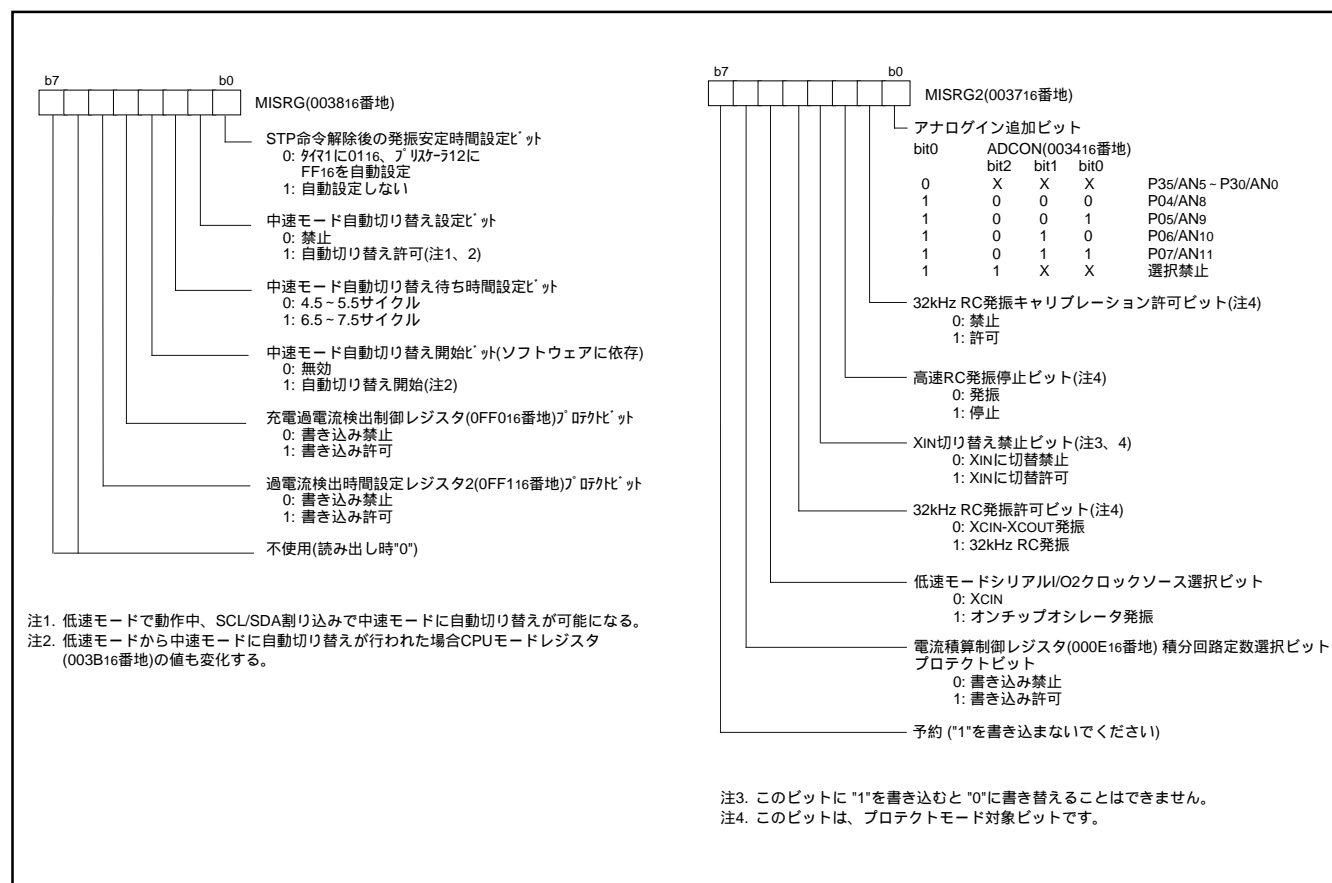
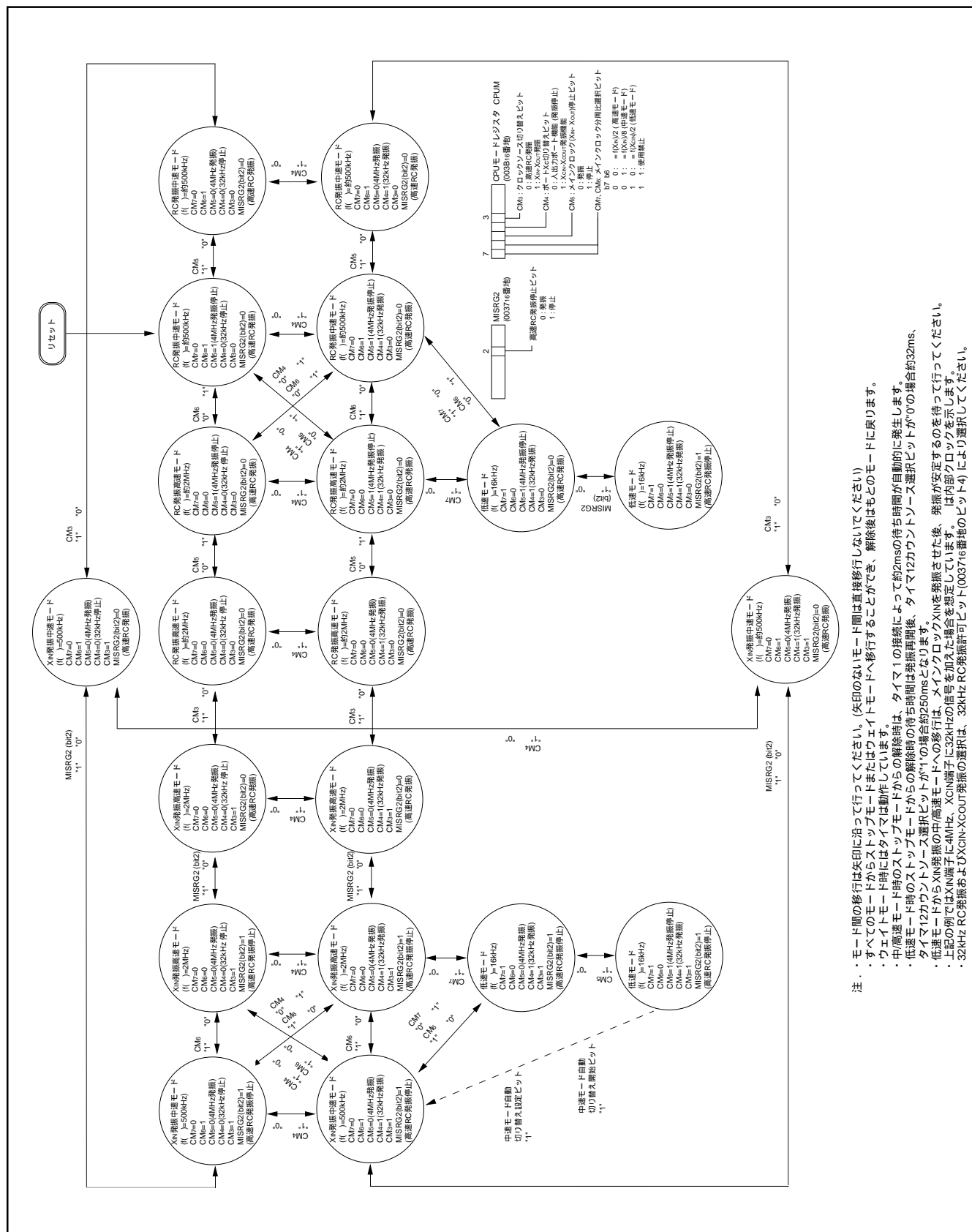


図66 . MISRG、MISRG2の構成



フラッシュメモリモード

7512グループは、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレースなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、および中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの2種類を用意しています。各モードについては次ページ以降で説明します。

図68に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレースを行うことができます。

性能概要

表13に7512グループの性能概要を示します。

表13. 7512グループの性能概要

項 目		性 能
電源電圧		$V_{CC} = 2.5V \pm 2\%$
プログラム/イレース電圧		$V_{CC} = 2.5V \pm 2\%$
フラッシュメモリモード		2モード (パラレル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図68 を参照してください。
	ブートROM領域(注)	分割なし (4Kバイト)
プログラム方式		バイト単位
イレース方式		ブロック消去
プログラム/イレース制御方式		ソフトウェアコマンドによるプログラム/イレース制御
コマンド数		5コマンド
プログラム/イレース回数	ブロック0～ブロック3	100 回
	ブロックA、ブロックB	1k回
ROMコードプロテクト		パラレル入出力モード対応

注. この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、ブートモードでの制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことが可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでください。

ブートROM領域は、図68に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P24/SDA2/RxD端子が“H”、CNVss端子が“H”の状態でのリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図68に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域に対してのみ行ってください。

CPU書き換えモードには、イレーズライト0モード(以下、EW0モード)とイレーズライト1モード(以下、EW1モード)があります。

表14にEW0モードとEW1モードの違いを示します。

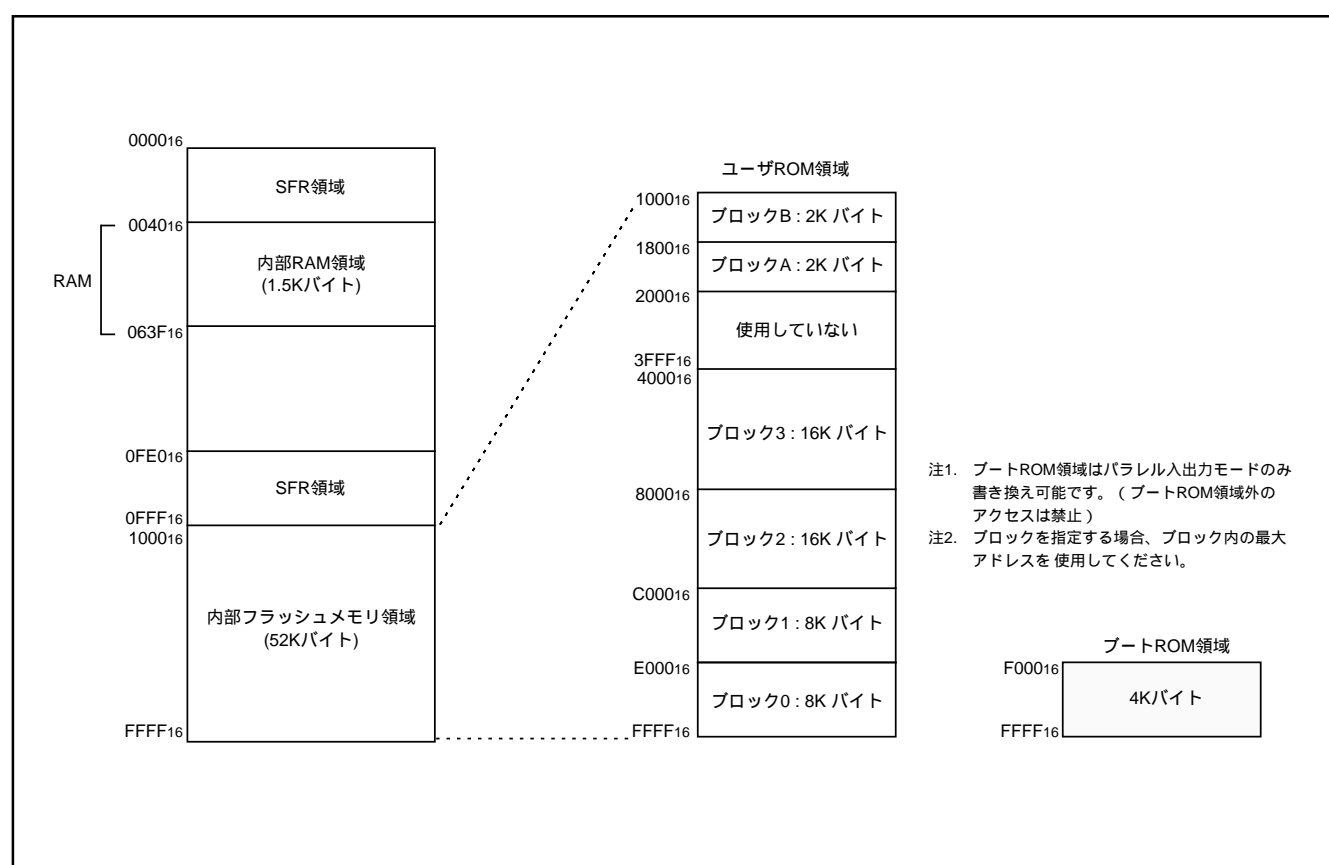


図68. 内蔵フラッシュメモリのブロック図

表14 .EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能 (注3)
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロック、および割り込みベクタ領域を除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでフラッシュメモリ制御レジスタ0のRY/BYステータスフラグ、プログラムステータスフラグ、イレーズステータスフラグを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	・プログラムでフラッシュメモリ制御レジスタ0のRY/BYステータスフラグ、プログラムステータスフラグ、イレーズステータスフラグを読む
イレーズサスペンドへの移行条件 (注2)	プログラムでフラッシュメモリ制御レジスタ1のイレーズサスペンド許可ビット、およびイレーズサスペンド要求ビットを"1"にする	プログラムでフラッシュメモリ制御レジスタ1のイレーズサスペンド許可ビットを"1"、および許可された割り込みの割り込み要求が発生

注1. ブロック0、ブロック1は、フラッシュメモリ制御レジスタ1の8KBユーザブロックE/W禁止ビットを"1"にすると書き換えが許可されます。

注2. 条件成立後、イレーズサスペンドに移行しフラッシュメモリの読み出しが可能となるまでの時間は、最大td(SR-ES)です。

注3. RAM上では実行しないでください。(書き換え制御プログラム、アプリケーションプログラムにかかわらず、EW1モードのときはRAM上の命令コードを実行しないでください。)

EW0モード

フラッシュメモリ制御レジスタ0のCPU書き換えモード選択ビットを“1”にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、フラッシュメモリ制御レジスタ1のEW1モード選択ビットが“0”になり、EW0モードになります。CPU書き換えモード選択ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはフラッシュメモリ制御レジスタ0またはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、イレーズサスペンド許可ビットを“1”、およびイレーズサスペンド要求ビットを“1”にしてください。そして、td(SR-ES)待ち、イレーズサスペンドフラグが“1”になったことを確認後、ユーザROM領域にアクセスしてください。イレーズサスペンド要求ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

EW1モード

CPU書き換えモード選択ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、EW1モード選択ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、フラッシュメモリ制御レジスタ0で確認できます。EW1モードでは、リードステータスレジスタのソフトウェアコマンドを実行しないでください。

イレーズサスペンド機能を有効にする場合には、イレーズサスペンド許可ビットを“1”にしてからブロックイレーズのコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。割り込み要求から td(SR-ES)後、イレーズサスペンドに移行すると、割り込みが受け付けられます。

割り込み要求が発生すると、イレーズサスペンド要求ビットは自動的に“1”になり自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(RY/BYステータスフラグが“0”)は、イレーズサスペンド要求ビットを“0”にして再度ブロックイレーズのコマンドを実行してください。

機能概要

CPU書き換えモードは、シングルチップモード、およびブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE016番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図69にフラッシュメモリ制御レジスタ0を示します。

- ・ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります。
- ・ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。
- ・ビット2は8KBユーザブロックE/W禁止ビットで、フラッシュメモリ制御レジスタ2(0FE216番地)のビット4(全ユーザブロックE/W許可ビット)との設定組み合わせによって、表15のようにCPU書き換えモード時にユーザブロックに対してE/Wが禁止されます。
- ・ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。
- ・ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効なビットです。“1”をセットすることでユーザROM領域にアクセスすることが可能となり、CPU書き換えが行えます。このビットの操作はRAM上のプログラムで行う必要があります。
- ・ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に“1”になります。プログラムエラーが発生した場合、そのブロックは使用できません。
- ・ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に“1”になります。イレーズエラーが発生した場合、そのブロックは使用できません。

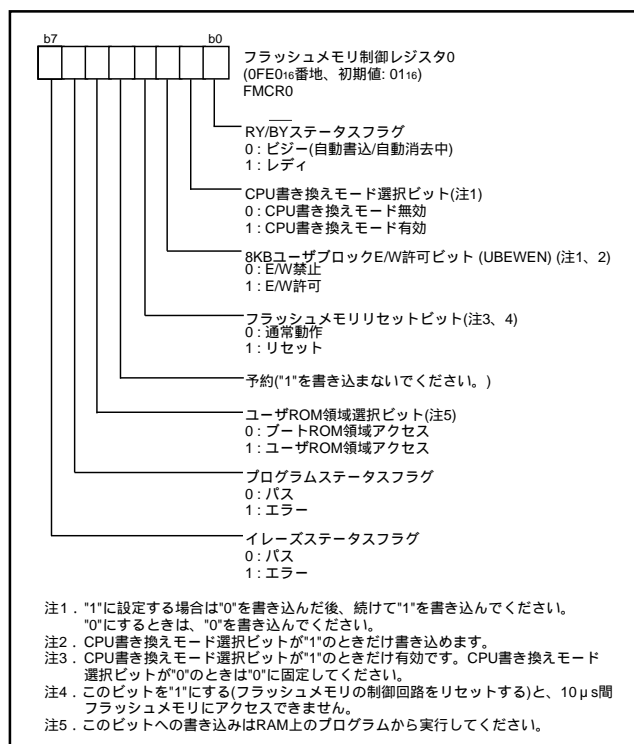


図69. フラッシュメモリ制御レジスタ0の構成

図70にフラッシュメモリ制御レジスタ1を示します。

- ・ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。このビットに“1”を設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。

“0”設定は、“0”書き込みだけで行えます。

- ・ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

- ・ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

図71にフラッシュメモリ制御レジスタ2を示します。

- ・ビット1はEW1モード選択ビットです。このビットを“1”にすると、EW1モードになります。
- ・ビット4は全ユーザブロックE/W許可ビットです。

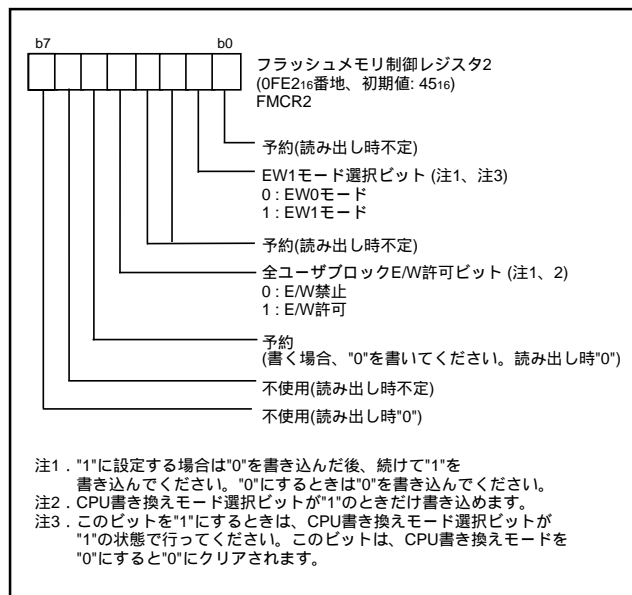


図71. フラッシュメモリ制御レジスタ2の構成

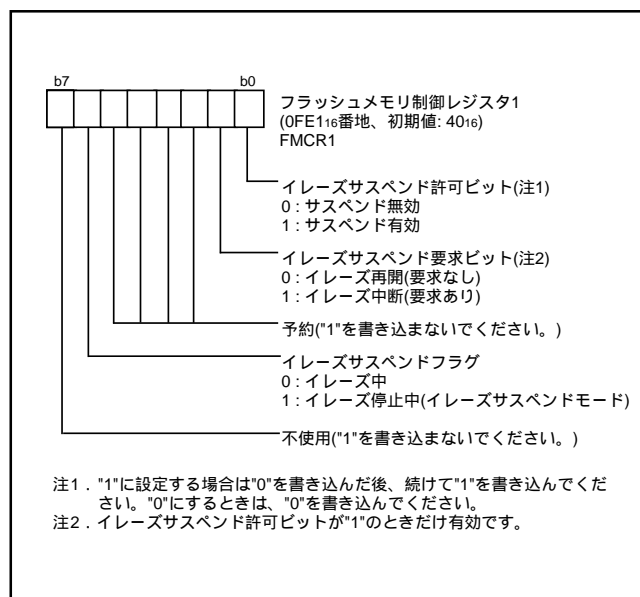


図70. フラッシュメモリ制御レジスタ1の構成

表15 .E/W禁止機能の状態

全ユーザブロック E/W許可ビット	8KBユーザブロック E/W許可ビット	8KBX2ブロック C00016 ~ FFFF16	16KBX2ブロック 400016 ~ BFFF16	データブロック 100016 ~ 1FFF16
0	0	E/W禁止	E/W禁止	E/W許可
0	1	E/W禁止	E/W禁止	E/W許可
1	0	E/W禁止	E/W許可	E/W許可
1	1	E/W許可	E/W許可	E/W許可

図72にCPU書き換えモード(EW0モードおよびEW1モード)の設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

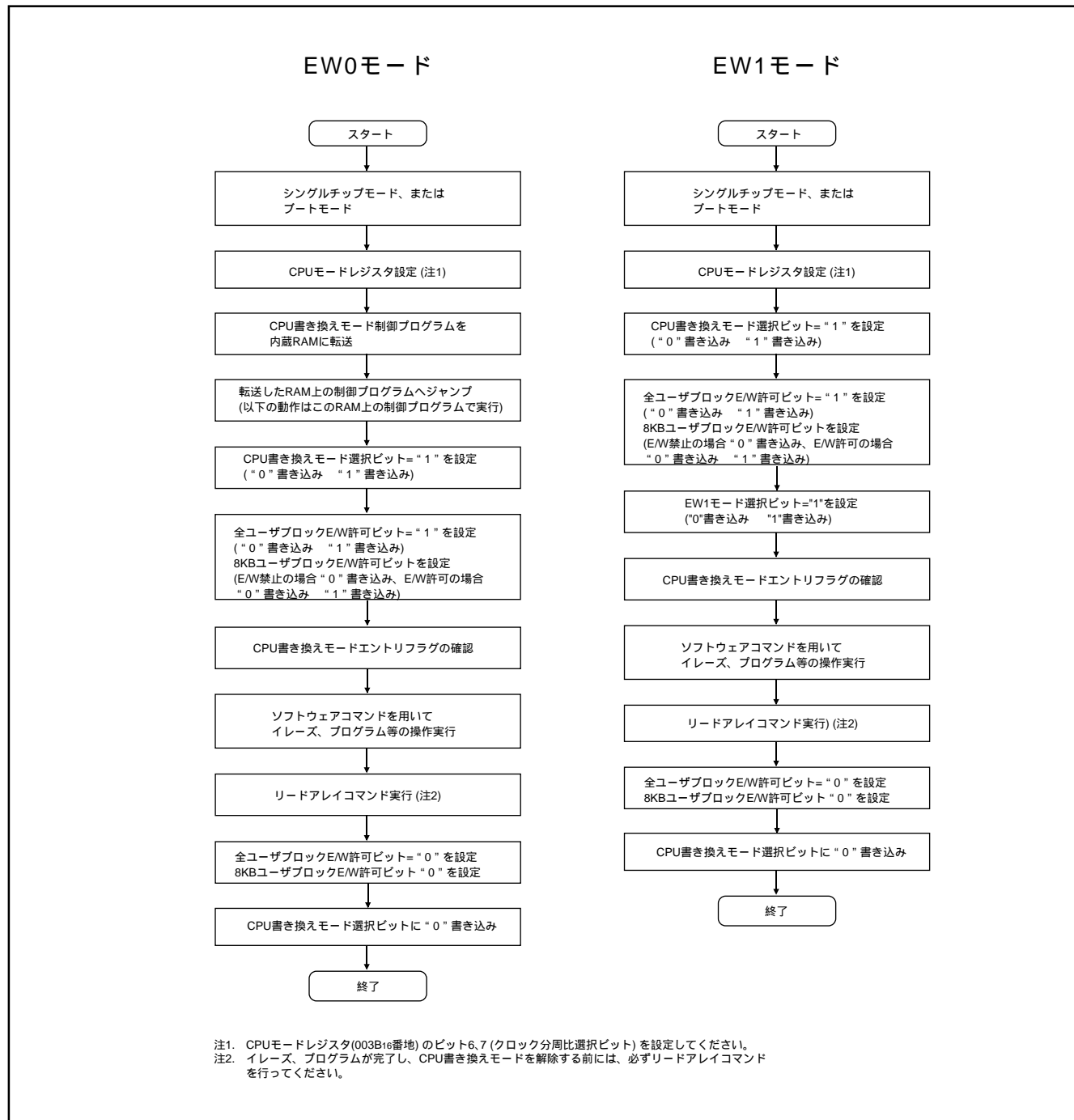


図72. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、クロック分周比選択ビット (003B₁₆番地のビット6,7)によって、システムクロック が 4.0MHz以下になるように設定してください。

(2)使用禁止命令

EW0モードでは、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

EW0モードでは、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モードでは、自動書き込みまたは、イレーズサスペンド機能を禁止した自動消去の期間は割り込みを使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS} = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表16にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

・リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D₀~D₇)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

・リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。

ステータスレジスタは、次の節で説明します。

EW1モードでは、このコマンドを実行しないでください。

・クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

・プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了は、RY/BYステータスフラグのリードによって確認できます。

RY/BYステータスフラグは、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、プログラムステータ

スフラグを読み出すことによりプログラムの結果を知ることができます。

EW1モードでは書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードではプログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF₁₆”)をライトするまで継続されます。

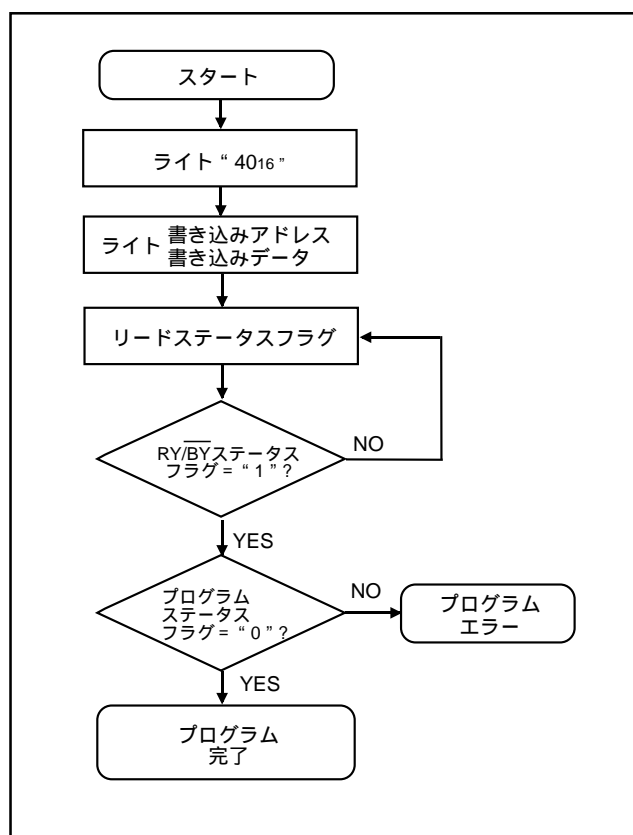


図73. プログラムフローチャート

表16. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D ₀ ~D ₇)	モード	アドレス	データ (D ₀ ~D ₇)
リードアレイ	1	ライト	X (注4)	FF ₁₆			
リードステータスレジスタ	2	ライト	X	70 ₁₆	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 ₁₆			
プログラム	2	ライト	X	40 ₁₆	ライト	WA (注2)	WD (注2)
ブロックイレーズ	2	ライト	X	20 ₁₆	ライト	BA (注3)	D0 ₁₆

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス, WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

・ブロックイレーズ(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 20₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、RY/ $\overline{\text{BY}}$ ステータスフラグのリードによって確認できます。

RY/ $\overline{\text{BY}}$ ステータスフラグは、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

EW0モードでイレーズサスペンド機能を使用する時は、イレーズサスペンドへの移行をイレーズサスペンドフラグで確認してください。ブロックイレーズ終了後、イレーズステ

タスフラグを読み出すことにより、ブロックイレーズの結果を知ることができます。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードではブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで継続されます。

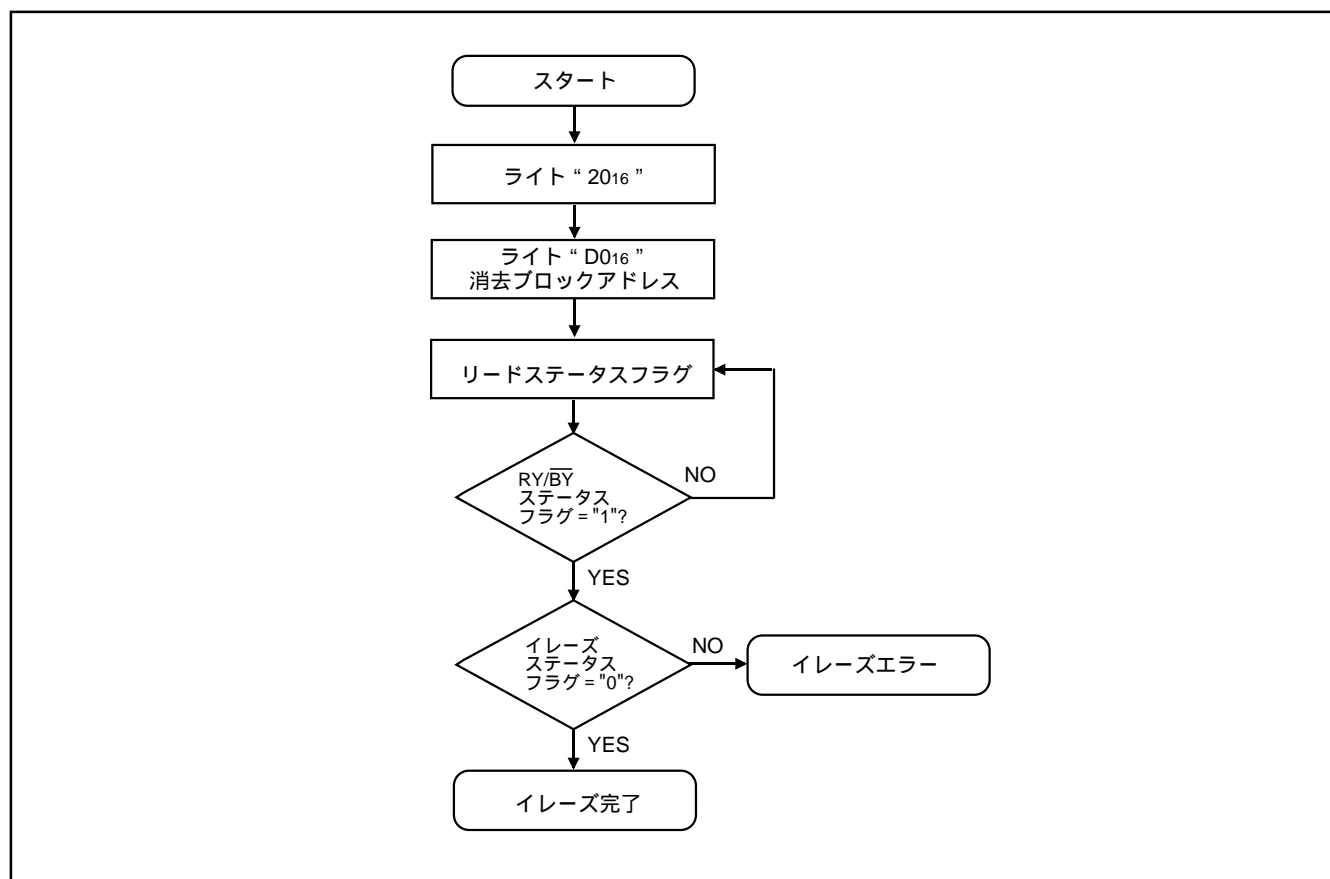


図74. イレーズフローチャート(イレーズサスペンド不使用時)

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、EW0モードのとき、以下の条件で読み出すことができます。

- (1) リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF₁₆) 入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50₁₆)をライトしたとき

表17にステータスレジスタの各ビットの定義を示します。リセット解除後、ステータスレジスタは、“80₁₆”になります。

・シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

・イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

・プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレイコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表17. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図75にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

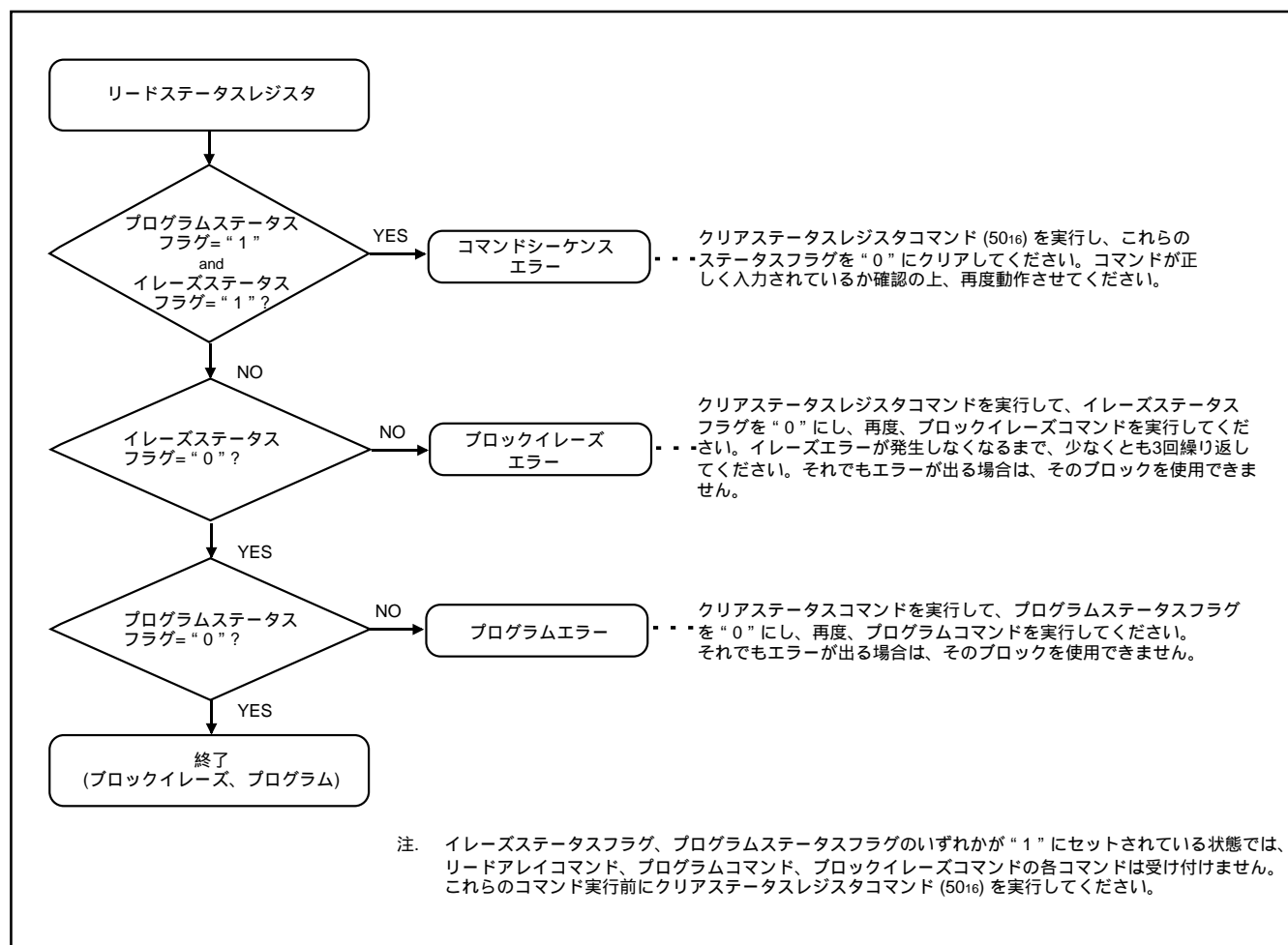


図75. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出しまたは書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能を内蔵しています。

・ROMコードプロテクト機能

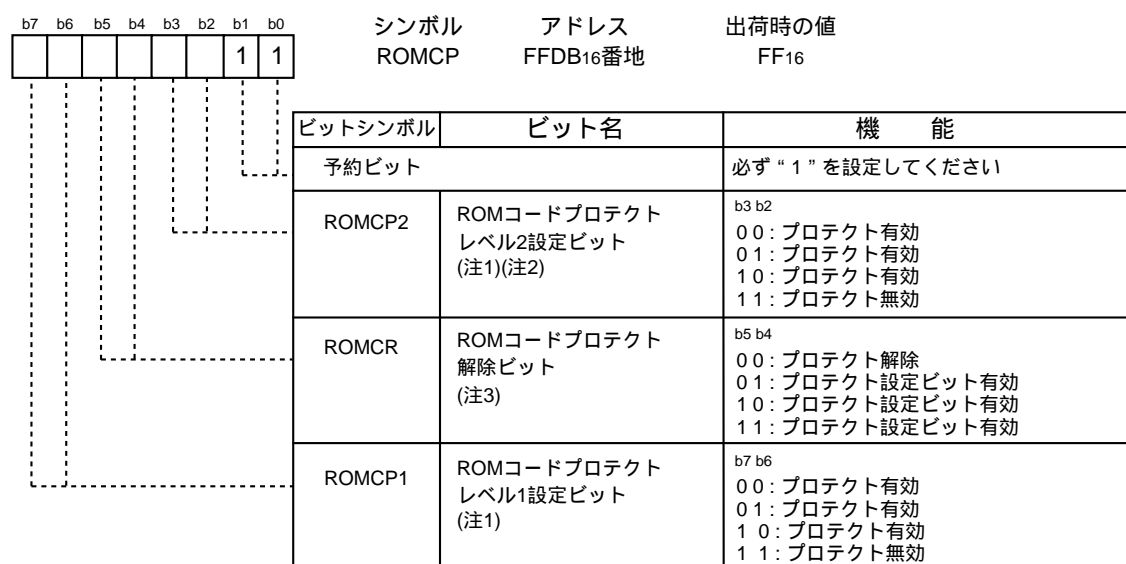
ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図76に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出しまたは書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、CPU書き換えモードで書き換えてください。

書き換えの際にはROMコードプロテクト制御番地(FFDB₁₆番地)を含むユーザROM領域(ブロック0)全体を書き換えてください。ROMコードプロテクト制御番地(FFDB₁₆番地)だけの書き換えはできません。

ROMコードプロテクト制御番地



- 注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しまたは書き換えを禁止します。
- 注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスト等での、ROMコード読み出しも禁止します。
- 注3. ROMコードプロテクト解除ビットで、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます。ただし、パラレル入出力モードでは変更できないため、CPU書き換えモードで変更してください。

図76. ROMコードプロテクト制御番地の構成

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

7512グループをサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

・ ユーザROM領域とブートROM領域

パラレル入出力モードでは、図68に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。

フラッシュメモリの電気的特性

表18 . フラッシュメモリの電気的特性 (1) (注1※指定のない場合は、VCC=2.5V ± 2%, Topr=0 ~ 60)

記 号	項 目	規 格 値			単位
		最 小	標 準(注2)	最 大	
-	プログラム、イレース回数 (注3)	100 (注4)			回
-	バイトプログラム時間 (VCC=2.5V、Topr=25)		75	600	μs
-	ブロックイレース時間 (VCC=2.5V、Topr=25)	2K バイト ブロック	0.2	9	s
		8K バイト ブロック	0.4	9	s
		16K バイト ブロック	0.7	9	s
td(SR-ES)	消去/イレースサスペンド遷移時間			8	ms
-	データ保持時間 (注5)	20			年

表19 . フラッシュメモリの電気的特性 (2) (注6※指定のない場合は、VCC=2.5V ± 2%, Topr= - 20 ~ 85)

記 号	項 目	規 格 値			単位
		最 小	標 準(注2)	最 大	
-	プログラム、イレース回数 (注3、注8、注9)	1,000(注4)			回
-	バイトプログラム時間 (VCC=2.5V、Topr=25)		100		μs
-	ブロックイレース時間 (VCC=2.5V、Topr=25) (2K バイトブロック)		0.3		s
td(SR-ES)	消去/イレースサスペンド遷移時間			8	ms

注1. 全ブロックが対象です。

2. VCC=2.5V、Topr=25 時

3. プログラム、イレース回数の定義

プログラム、イレース回数は、ブロックごとのイレース回数です。

プログラム、イレース回数がn回(n=100、1,000)の場合、ブロックごとに、それぞれn回ずつイレースすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを2048回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

4. プログラム/イレース後のすべての電気的特性を保証する最小回数です。(保証は1 ~ "最小"値の範囲です)

5. Topr=55 の条件です。

6. プログラム/イレース回数が100回を超えたときのブロックA、ブロックBの規格です。

7. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていきながら、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば、一組8バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレースをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレースが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロック毎に何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めいたします。

8. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンドブロックイレースコマンドを少なくとも3回実行してください。

9. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

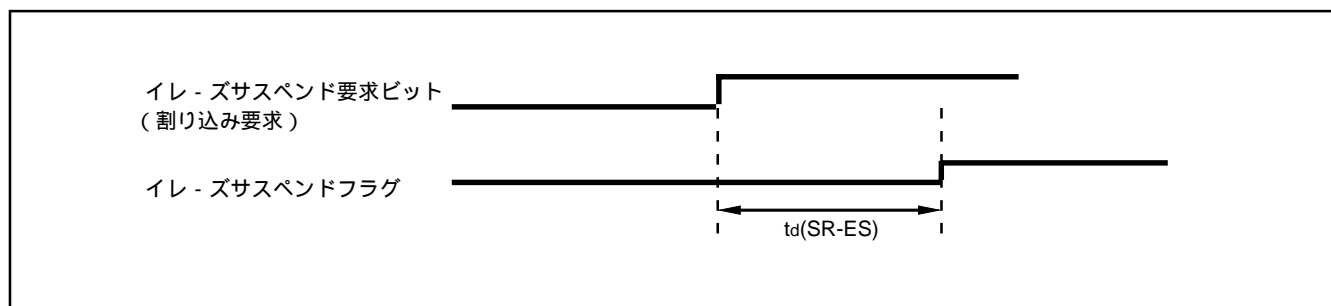


図77. 消去/イレースサスペンド遷移のタイミング

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが $\overline{1}$ であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを $\overline{1}$ に設定して、ADC命令またはSBC命令を実行しますが、その場合、SEC命令、CLC命令またはCLD命令はADC命令またはSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバーフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが $\overline{1}$ の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルインタフェースに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも $\overline{1}$ に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)およびシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルがHの時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は $f(\text{XIN})$ 500kHz以上にしてください。

また、A/D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間、および電源端子(V_{CC} 端子)とアナログ電源入力端子(AV_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

電気的特性

絶対最大規格

表20．絶対最大定格

記号	項 目	条 件	定 格 値	単位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 3.2	V
Vi	入力電圧 P00 ~ P07, P20, P21, P26, P27 P30 ~ P35, P40 ~ P42, P45, ADVREF, AVCC, ISENS1		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P10 ~ P17, P22 ~ P25, P43, P44		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P20, P21, P26, P27 P30 ~ P35, P40 ~ P42, P45, XOUT		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P10 ~ P17, P22 ~ P25, P43, P44		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

推奨動作条件

表21．推奨動作条件(1) (指定のない場合は、 $V_{CC}=2.5V \pm 2\%$, $T_a = -20 \sim 85$)

記 号	項 目		規 格 値			単位
			最小	標準	最大	
VCC	電源電圧	4MHz時	2.45	2.50	2.55	V
VSS	電源電圧			0		V
ADVREF	A/Dコンバータ基準電圧		2.0		VCC	V
ADVSS	A/Dコンバータ電源電圧			0		V
VIA	アナログ入力電圧 AN0 ~ AN5, AN8 ~ AN11		ADVss		VCC	V
AVCC	アナログ電源電圧		2.45	2.50	2.55	V
AVSS	アナログ電源電圧			0		V
ISENS0	アナログ入力電圧			0		V
ISENS1	アナログ入力電圧		- 0.2		0.2	V
VIH	“ H ” 入力電圧 P00 ~ P07, P20, P21, P26, P27, P30 ~ P35 P40 ~ P42, P45		0.8VCC		VCC	V
VIH	“ H ” 入力電圧 P10 ~ P17, P22 ~ P25, P43, P44		0.8VCC		5.8	V
VIH	“ H ” 入力電圧 (I ² C-BUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		0.7VCC		5.8	V
VIH	“ H ” 入力電圧 (SMBUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		1.4		5.8	V
VIH	“ H ” 入力電圧 RESET, XIN, CNVss		0.8VCC		VCC	V
VIL	“ L ” 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P35 P40 ~ P45		0		0.2 VCC	V
VIL	“ L ” 入力電圧 (I ² C-BUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		0		0.3 VCC	V
VIL	“ L ” 入力電圧 (SMBUS入力レベル選択時) SDA1, SDA2, SCL1, SCL2		0		0.6	V
VIL	“ L ” 入力電圧 RESET, CNVss		0		0.2 VCC	V
VIL	“ L ” 入力電圧 XIN		0		0.16 VCC	V
IOH(peak)	“ H ” 出力総尖頭電流 (注) P00 ~ P07, P30 ~ P35				- 80	mA
IOH(peak)	“ H ” 出力総尖頭電流 (注) P20, P21, P26, P27, P40 ~ P42, P45				- 80	mA
IOL(peak)	“ L ” 出力総尖頭電流 (注) P00 ~ P07, P30 ~ P35				80	mA
IOL(peak)	“ L ” 出力総尖頭電流 (注) P10 ~ P17				80	mA
IOL(peak)	“ L ” 出力総尖頭電流 (注) P20 ~ P27, P40 ~ P45				80	mA
IOH(avg)	“ H ” 出力総平均電流 (注) P00 ~ P07, P30 ~ P35				- 40	mA
IOH(avg)	“ H ” 出力総平均電流 (注) P20, P21, P26, P27, P40 ~ P42, P45				- 40	mA
IOL(avg)	“ L ” 出力総平均電流 (注) P00 ~ P07, P30 ~ P35				40	mA
IOL(avg)	“ L ” 出力総平均電流 (注) P10 ~ P17				40	mA
IOL(avg)	“ L ” 出力総平均電流 (注) P20 ~ P27, P40 ~ P45				40	mA

注．出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表22．推奨動作条件(2) (指定のない場合は、 $V_{CC}=2.5V \pm 2\%$, $T_a = -20 \sim 85$)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
IOH(peak)	“ H ” 出力尖頭電流 (注1) P00 ~ P07, P20, P21, P26, P27 P30 ~ P35, P40 ~ P42, P45			- 10	mA
IOL(peak)	“ L ” 出力尖頭電流 (注1) P00 ~ P07, P20 ~ P27, P30 ~ P35, P40 ~ P45			10	mA
IOL(peak)	“ L ” 出力尖頭電流 (注1) P10 ~ P17			20	mA
IOH(avg)	“ H ” 出力平均電流 (注2) P00 ~ P07, P20, P21, P26, P27 P30 ~ P35, P40 ~ P42, P45			- 5	mA
IOL(avg)	“ L ” 出力平均電流 (注2) P00 ~ P07, P20 ~ P27, P30 ~ P35, P40 ~ P45			5	mA
IOL(avg)	“ L ” 出力平均電流 (注2) P10 ~ P17			15	mA
f(XIN)	メインクロック入力発振周波数 (注3)		4	5	MHz
f(XCIN)	サブクロック入力発振周波数 (注3, 4)		32.768	50	kHz

注 1．出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2．平均出力電流IOL(avg), IOH(avg)は100msの期間での平均値です。

3．発振周波数はデューティ50%の場合です。

4．低速モードを使用する場合、サブクロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

電気的特性

表23．電気的特性(1) (指定のない場合は、 $V_{CC}=2.5V \pm 2\%$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VOH	“ H ” 出力電圧 P00 ~ P07, P20, P21, P26, P27, P30 ~ P35, P40 ~ P42, P45	IOH = - 1.0mA $V_{CC} = 2.5V \pm 2\%$	$V_{CC} - 0.8$			V
VOL	“ L ” 出力電圧 P00 ~ P07, P20 ~ P27, P30 ~ P35 P40 ~ P45	IOL = 1.0mA $V_{CC} = 2.5V \pm 2\%$			0.8	V
VOL	“ L ” 出力電圧 P10 ~ P17	IOL = 10mA $V_{CC} = 2.5V \pm 2\%$			0.8	V

表24．電気的特性(2) (指定のない場合は、VCC=2.5V ± 2% , VSS=0V , Ta= - 20 ~ 85)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
VT+ - VT -	ヒステリシス CNTR0, CNTR1, INT0 ~ INT3			0.4		V
VT+ - VT -	ヒステリシス RxD, SCLK1, SIN2, SCLK2			0.4		V
VT+ - VT -	ヒステリシス RESET			0.4		V
I _{IH}	“ H ” 入力電流 P00 ~ P07, P20, P21, P26, P27, P30 ~ P35, P40 ~ P42, P45	V _I =V _{CC}			5.0	μA
I _{IH}	“ H ” 入力電流 ISENS0, ISENS1	V _I =V _{CC}			1.0	μA
I _{IH}	“ H ” 入力電流 RESET, CNVSS	V _I =V _{CC}			5.0	μA
I _{IH}	“ H ” 入力電流 XIN	V _I =V _{CC}		4		μA
I _{IL}	“ L ” 入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P35, P40 ~ P45	V _I =V _{SS}			- 5.0	μA
I _{IL}	“ L ” 入力電流 ISENS0, ISENS1	V _I =V _{SS}			- 1.0	μA
I _{IL}	“ L ” 入力電流 RESET, CNVSS	V _I =V _{SS}			- 5.0	μA
I _{IL}	“ L ” 入力電流 XIN	V _I =V _{SS}		- 4		μA
VRAM	RAM保持電圧	クロック停止時	2.0		2.55	V

表25 . 電気的特性(3) (指定のない場合は、VCC= 2.5V ± 2%, VSS=0V, Ta= - 20 ~ 85)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
Icc	電源電流	高速モード時 f(XIN)=4MHzまたは高速RC発振 f(XCIN)=32.768kHzまたは32kHz RC発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止、高速RC発振は4MHz		1.5	2.5	mA
		高速モード時 f(XIN)=4MHzまたは高速RC発振 (WIT命令実行時) f(XCIN)=32.768kHzまたは32kHz RC発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止、高速RC発振は4MHz		0.8		mA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHzまたは32kHz RC発振 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止		420		μ A
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHzまたは32kHz RC発振 (WIT命令実行時) 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止	水晶	6.4		μ A
			RC	30		μ A
		中速モード時 f(XIN)=4MHzまたは高速RC発振 f(XCIN)=停止 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止、高速RC発振は4MHz		1.0		mA
		中速モード時 f(XIN)=4MHzまたは高速RC発振 (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態 電流積算回路、過電流検出回路は停止、高速RC発振は4MHz		0.8		mA
		フラッシュメモリ プログラム	f(XIN)=4MHz VCC=2.5V	12		mA
		フラッシュメモリ イレ - ズ	f(XIN)=4MHz VCC=2.5V	22		mA
		A/Dコンバータ動作時の増量 f(XIN)=4MHzまたは高速RC発振 (4MHz)		200		μ A
		電流積算回路動作時の増量		800		μ A
		過電流検出回路動作時 の増量	短絡電流検出回路	20		μ A
			過電流検出回路	20		μ A
			充電過電流検出回路	20		μ A
			ウェイクアップ電流検出回路	25		μ A
			ウェイクアップ電流検出回路 以外の2回路使用	30		μ A
			ウェイクアップ電流検出回路 以外の3回路使用	40		μ A
			ウェイクアップ電流検出回路 +その他1回路使用	35		μ A
			ウェイクアップ電流検出回路 +その他2回路使用	45		μ A
			ウェイクアップ電流検出回路 +その他3回路使用	55		μ A
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25 (注)	0.1	1.0	μ A
			Ta = 85		10	μ A

注 . 32kHzRC発振回路、またはXCIN-XCOUT発振を使用する場合は、STP命令実行前にメインクロック分周比選択ビット(CM7、CM6)を低速モード以外に設定したあと、ポートP21、P20をそれぞれ出力ポート("L"出力)に設定してください。

表26．高速RC発振回路電気的特性

(指定のない場合は、 $V_{CC}=AV_{CC}=2.5V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
f4MRC	発振周波数調整幅 (注1)	発振周波数 4 ~ 5MHz時			± 3.0	%
f4MRCS	発振周波数温度依存性			0.2	0.5	%/

注1．高速RC発振回路は、高速RC発振回路周波数設定レジスタ(0FF2₁₆番地)の設定値が大きいほど発振周波数が低く設定されます。
 但し、設定値を7F₁₆から80₁₆、およびBF₁₆からC0₁₆に変えた場合のみ発振周波数が高くなる特性のため、ソフトウェアでの周波数調整時は注意が必要です。

表27．32kHz RC発振回路電気的特性

(指定のない場合は、 $V_{CC}=AV_{CC}=2.5V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
-	外付け抵抗、コンデンサ許容誤差	抵抗、コンデンサのトータル誤差 外付け抵抗=91k、 外付けコンデンサ=100pF使用時			10	%rms
-	発振周波数調整抵抗分解能				0.07	kHz
-	発振周波数電源電圧依存性	$T_a=25$		0.5		%
-	発振周波数温度依存性	$V_{CC}=AV_{CC}=2.5V$ 、 $-20 \sim 85$		0.5		%
	発振周波数電源電圧温度依存性				2	%

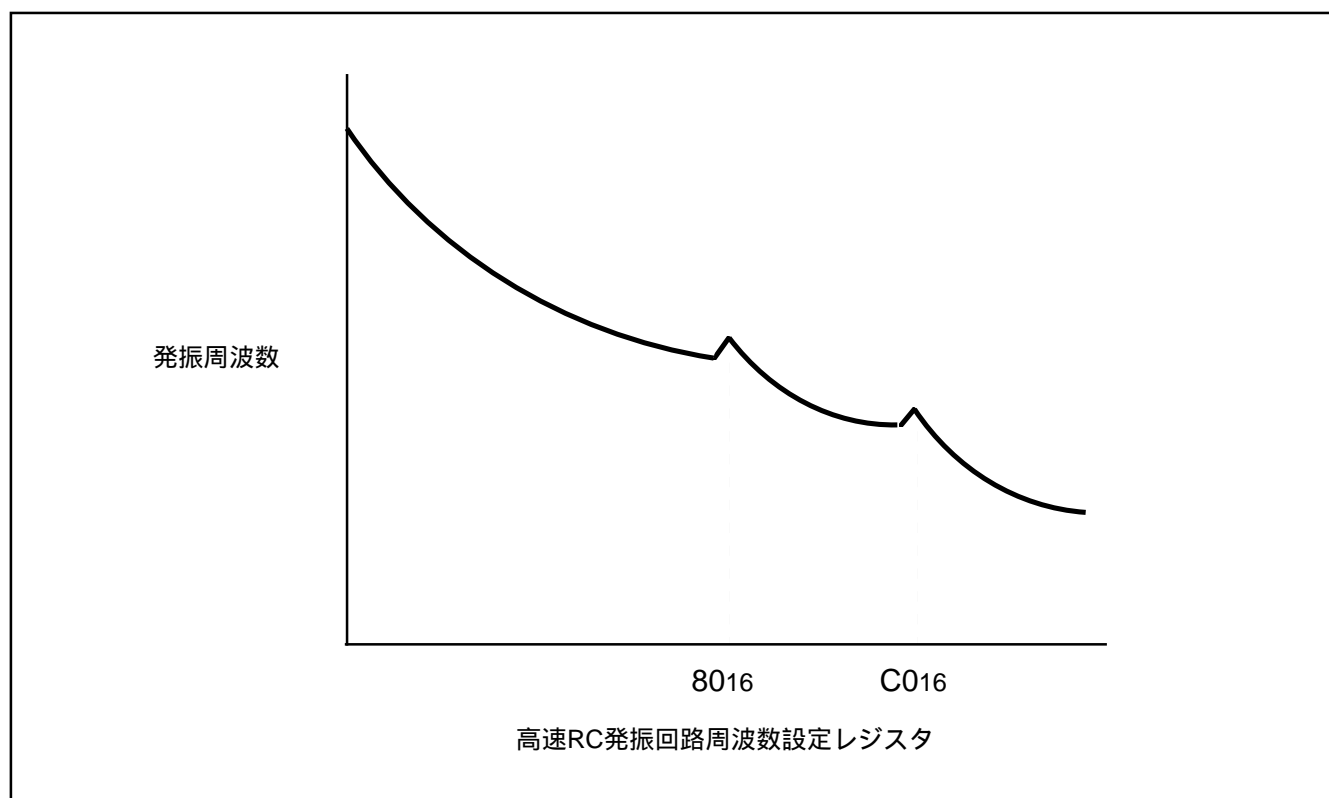


図78．高速RC発振回路 レジスタ値 - 発振周波数特性

A/Dコンバータ特性

表28．A/Dコンバータ特性

(指定のない場合は、 $V_{CC}=2.5V \pm 2\%$, $V_{SS}=ADV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=4MHz$, $f(X_{CIN})=32kHz$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
-	分解能				10	bit
-	絶対精度 (量子化誤差は除く)				± 4	LSB
tCONV	変換時間	高速モードおよび中速モード			61	tc()
		低速モード		40		μs
RLADDER	ラダー抵抗			35		k
IVREF	基準電源	$V_{REF} = 2.5V$	40	100	140	μA
	入力電流					
		V_{REF} 接続時			5.0	μA
		V_{REF} 切断時				
I _I (AD)	A/Dポート入力電流			0.5	5.0	μA

表29．簡易温度センサ 電気的特性

(指定のない場合は、 $V_{CC}=2.5V \pm 2\%$, $V_{SS}=ADV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=4MHz$, $f(X_{CIN})=32kHz$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	簡易温度センサ室温時出力電圧	$T_a = 27$ 、 $V_{CC} = 2.5V$		1.38		V
—	AD変換値温度特性	$V_{CC} = V_{REF} = 2.5V$		3.4		mV/

表30．電流積算回路 電気的特性

(指定のない場合は、 $V_{CC}=AV_{CC}=2.5V \pm 2\%$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=4MHz$, $f(X_{CIN})=32kHz$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
t _{INF}	積算周期			125		ms
V _{ISENS1}	ISENS1 入力レンジ		- 0.15		0.2	V
A _D	放電積分回路定数		0.68	1.00	1.35	$\mu V \cdot sec$
A _C	充電積分回路定数		0.68	1.00	1.35	$\mu V \cdot sec$
t _{RD}	放電積分回路リセット時間			300		ns
t _{RC}	充電積分回路リセット時間			300		ns
b'	0V入力時カウント数		- 2400		2400	-
V _{REFD}	放電側内部基準電位		0.09	0.1	0.11	V
V _{REFC}	充電側内部基準電位		- 0.11	- 0.1	- 0.09	V
—	リセット時間補正後直線性誤差	$V_{CC} = 2.5V \pm 2\%$, $T_a = 0 \sim 60$			1	%
		$V_{CC} = 2.5V \pm 2\%$, $T_a = -20 \sim 85$			3	%

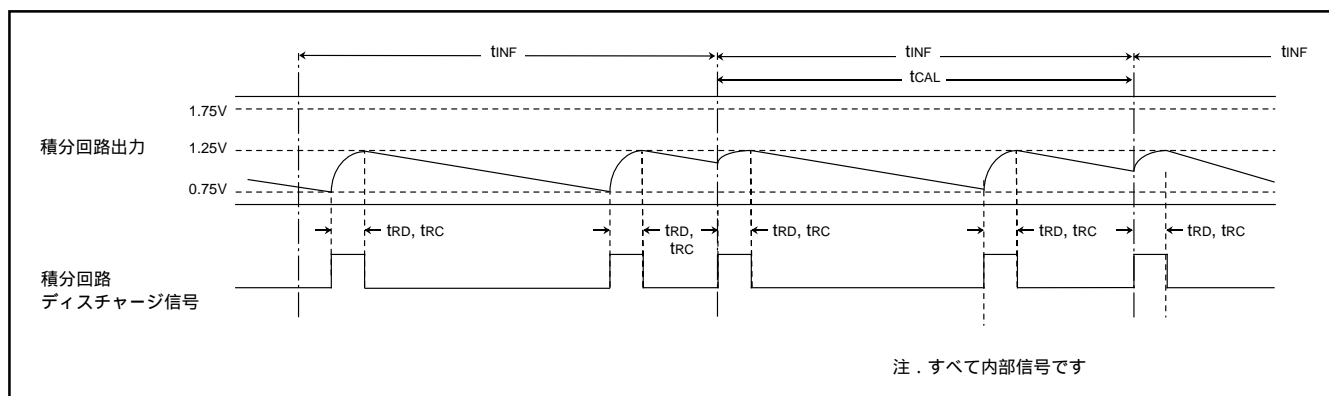


図79．電流積算回路タイミング図

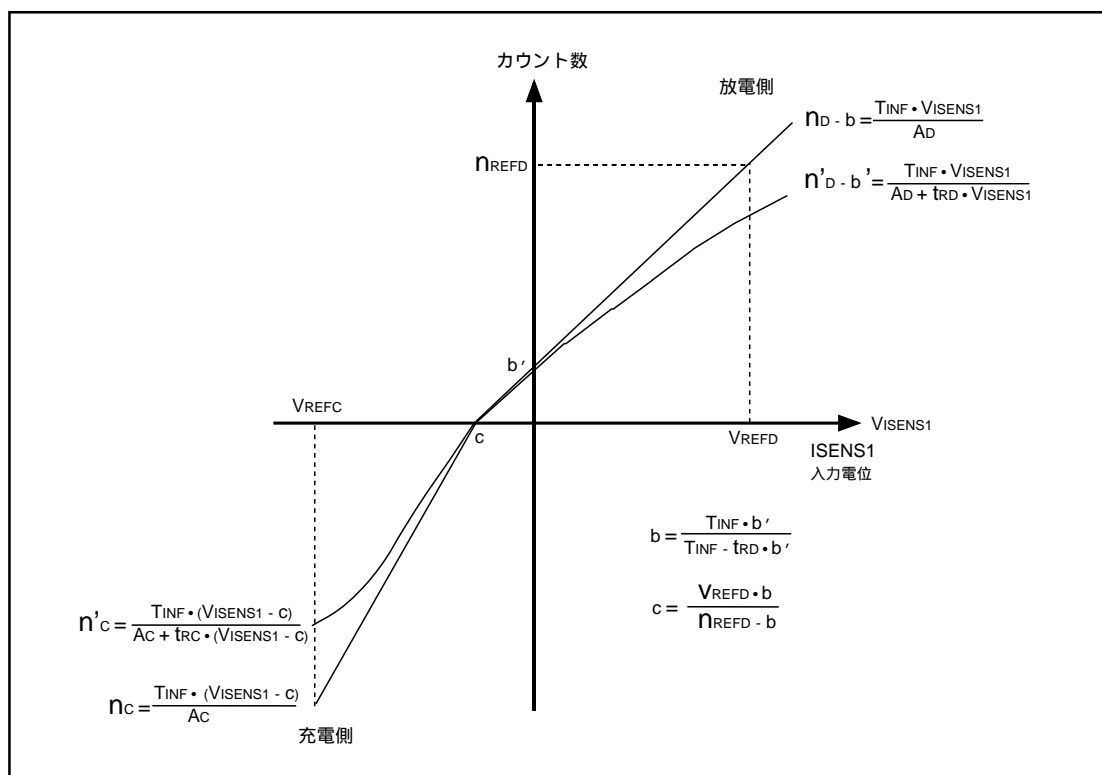


図80．電流積算回路 VISENS1-カウント数特性

表31．過電流検出回路 電気的特性

(VCC=AVCC=2.5V ± 2%, VSS=AVSS=0V, Ta= - 20 ~ 85 , f(XIN)=4MHz, f(XCIN)=32kHz)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
-	短絡電流検出電圧誤差				± 15	mV
-	過電流検出電圧誤差				± 15	mV
—	充電過電流検出電圧誤差				± 15	mV
-	ウェイクアップ検出電圧		8	10	12	mV
-	短絡電流検出時間誤差				30.5	μs
-	過電流検出時間誤差				30.5	μs
-	充電過電流検出時間誤差				30.5	μs
-	ウェイクアップ検出時間		58.6		62.5	ms

タイミング必要条件

表32．タイミング必要条件

(指定のない場合は、VCC=2.5V ± 2%, VSS=0V, Ta= - 20 ~ 85)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“H”パルス幅	100			ns
tWL(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
tWH(INT)	INT0 ~ INT3入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT3入力“L”パルス幅	230			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアルI/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアルI/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK2)	シリアルI/O2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK2)	シリアルI/O2クロック入力“L”パルス幅 (注)	950			ns
tsu(SIN2-SCLK2)	シリアルI/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアルI/O2クロック入力ホールド時間	300			ns

注．f(XIN)=4MHz、001A16番地のビット6が* 1 (クロック同期モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が* 0 (非同同期モード)の場合は、値は1/4になります。

スイッチング特性

表33．スイッチング特性

(指定のない場合は、VCC=2.5V ± 2%, VSS=0V, Ta= - 20 ~ 85)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
tWH (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	図83	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアルI/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアルI/O1出力遅延時間 (注1)				350	ns
tv (SCLK1-TxD)	シリアルI/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアルI/O1クロック出力立ち上がり時間				50	ns
tf (SCLK1)	シリアルI/O1クロック出力立ち下がり時間				50	ns
tWH (SCLK2)	シリアルI/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアルI/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアルI/O2出力遅延時間 (注2)				400	ns
tv (SCLK2-SOUT2)	シリアルI/O2出力有効時間 (注2)		0			ns
tf (SCLK2)	シリアルI/O2クロック出力立ち下がり時間				50	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1．tWH (SCLK1)、tWL (SCLK1)に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が* 0 の場合です。

2．シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が* 0 の場合です。

3．XOUT端子を除きます。

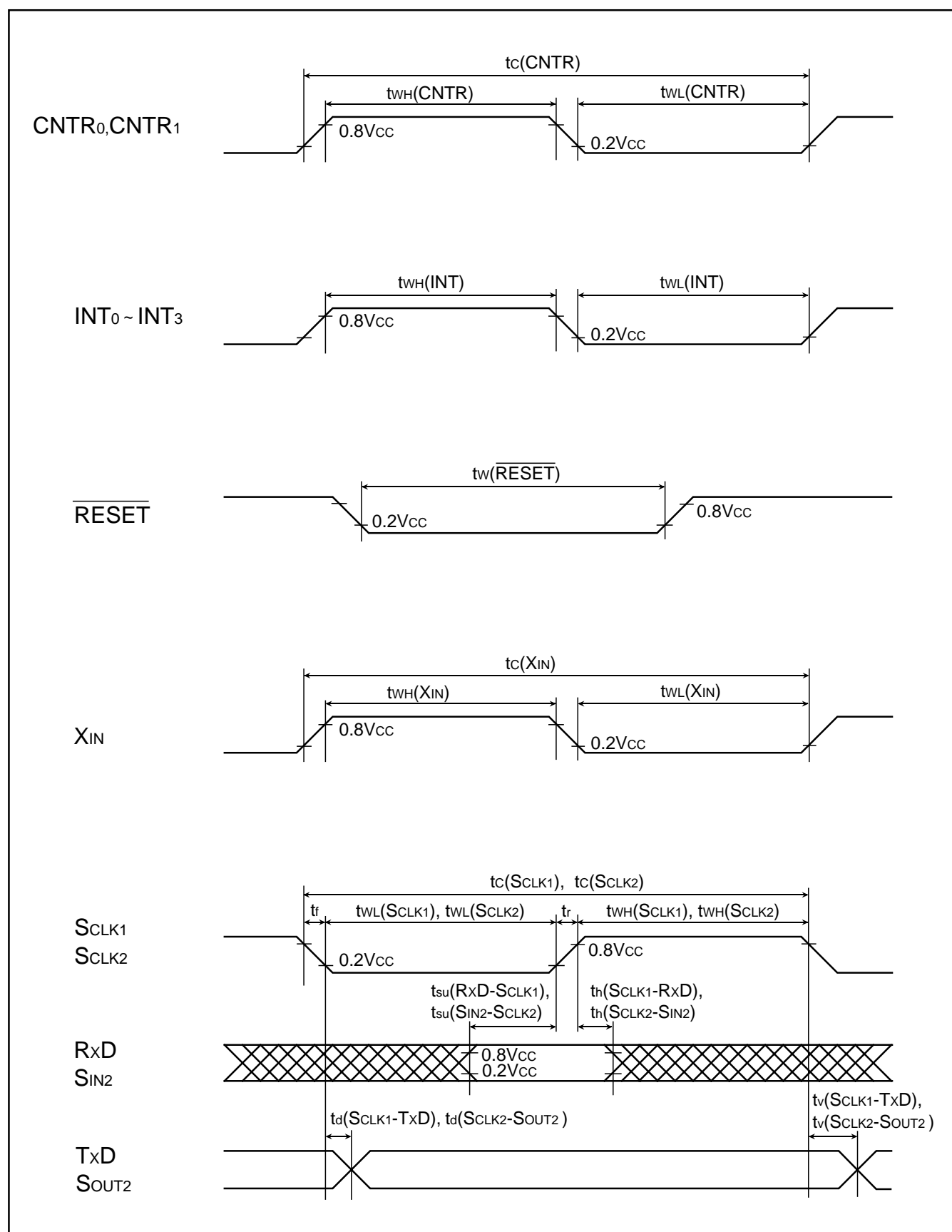


図81 . タイミング図

マルチマスタ²C-BUSバスライン特性表34 . マルチマスタ²C-BUSバスライン特性

記号	項 目	測定条件	標準クロックモード		高速クロックモード		単位
			最小	最大	最小	最大	
tBUF	バスフリータイム	図84	4.7		1.3		μs
tHD;STA	スタートコンディション時のホールド時間		4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間		4.7		1.3		μs
tR	SCL、SDA信号の立ち上がり時間			1000	20+0.1Cb (注)	300	ns
tHD;DAT	データのホールド時間		0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間		4.0		0.6		μs
tF	SCL、SDA信号の立ち下がり時間			300	20+0.1Cb (注)	300	ns
tSU;DAT	データのセットアップ時間		250		100		ns
tSU;STA	リスタートコンディション時のセットアップ時間		4.7		0.6		μs
tSU;STO	ストップコンディション時のセットアップ時間		4.0		0.6		μs

(注) Cb = 1つのバスラインキャパシタの合計

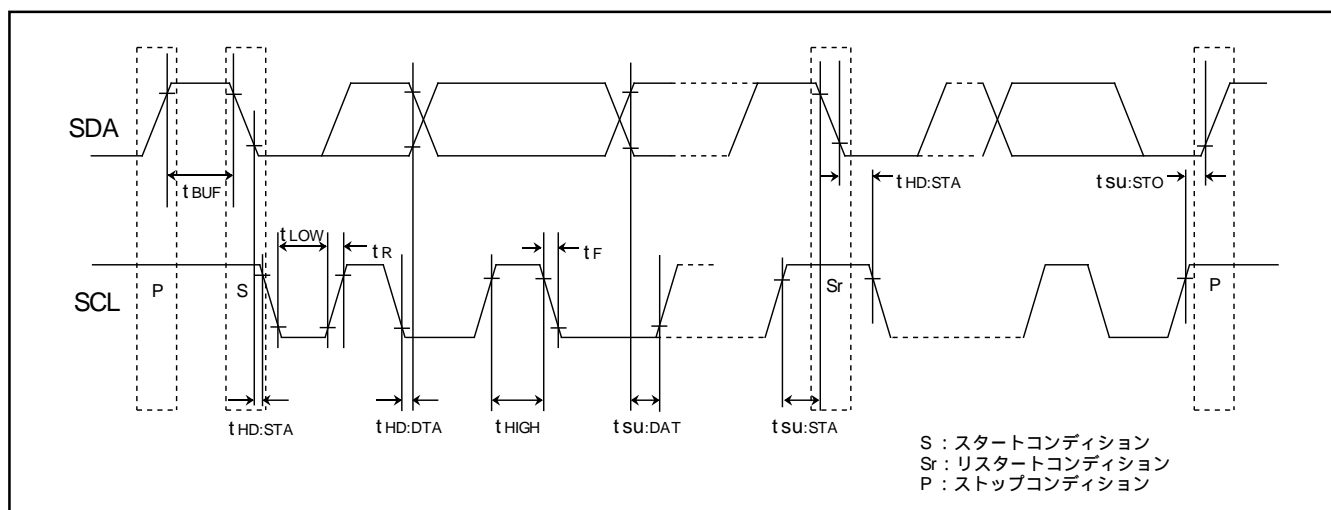
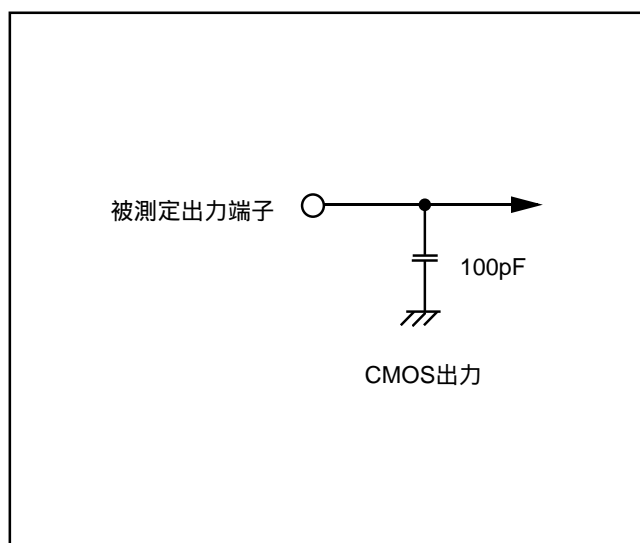
図82 . マルチマスタ²C-BUSタイミング定義図

図83 . 出力スイッチング特性測定回路図 (1)

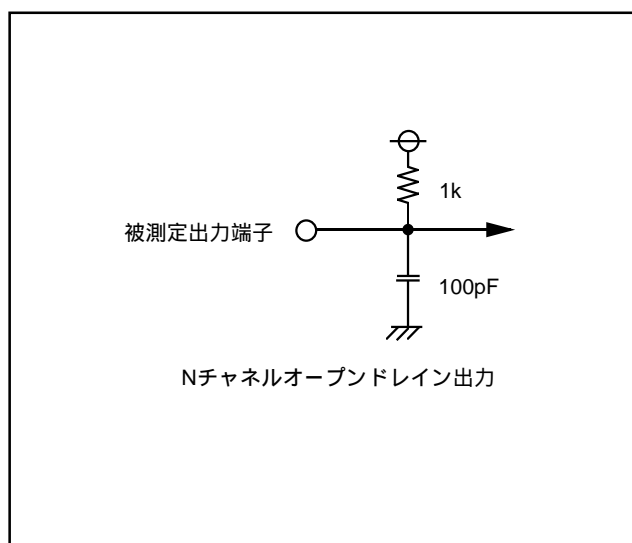


図84 . 出力スイッチング特性測定回路図 (2)

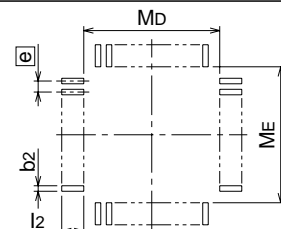
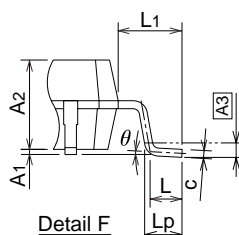
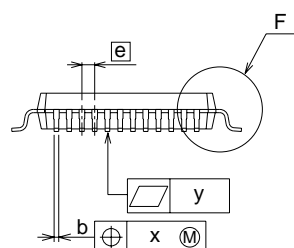
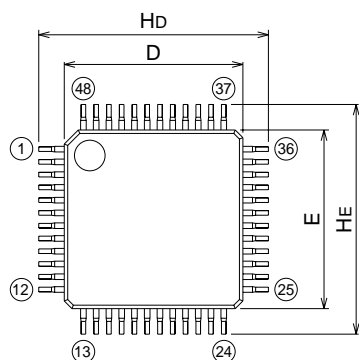
外形寸法図

48P6Q-A

Recommended

Plastic 48pin 7×7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	—	—	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	1.7
A1	0	0.1	0.2
A2	—	1.4	—
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	—	0.5	—
Hd	8.8	9.0	9.2
HE	8.8	9.0	9.2
L	0.35	0.5	0.65
L1	—	1.0	—
Lp	0.45	0.6	0.75
A3	—	0.25	—
x	—	—	0.08
y	—	—	0.1
θ	0°	—	8°
b2	—	0.225	—
l2	1.0	—	—
Md	—	7.4	—
ME	—	7.4	—

株式会社 **ルネサス テクノロジ** 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
浜	松	支	店	〒430-7710	浜松市板屋町111-2 (浜松アクタタワー10F)	(053) 451-2131
西	部	支	部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com