

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



8ビット・シングルチップ・マイクロコンピュータ

μ PD78F9116は、78K/0Sシリーズ中の μ PD789114サブシリーズの製品です。

μ PD78F9116は、 μ PD789114の内部ROMを拡張し、フラッシュ・メモリに置き換えた製品です。

ユーザによるプログラムの書き込み、消去が可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに有効です。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD789104,789114,789124,789134サブシリーズ ユーザズ・マニュアル : U13045J

78K/0Sシリーズ ユーザズ・マニュアル 命令編 : U11047J

特 徴

マスクROM製品とピン・コンパチブル (V_{PP}端子を除く)

フラッシュ・メモリ : 16 Kバイト

内部高速RAM : 256バイト

乗算器内蔵 : 8ビット×8ビット = 16ビット

高速 (0.4 μ s) と低速 (1.6 μ s) に最小命令実行時間を変更可能 (システム・クロック5.0 MHz動作時)

I/Oポート : 20本

シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード / UARTモード選択可能

10ビット分解能A/Dコンバータ : 4チャンネル

タイマ : 3チャンネル

・16ビット・タイマ : 1チャンネル

・8ビット・タイマ / イベント・カウンタ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

★ 電源電圧 : V_{DD} = 2.7 ~ 5.5 V

応用分野

掃除機, 洗濯機, 冷蔵庫, バッテリ・チャージャなど

オーダ情報

オーダ名称	パッケージ
μ PD78F9116GS	30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.7 mm)
★ μ PD78F9116MC-5A4	30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.2 mm)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

★ 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



各サブシリーズ間の主な機能の違いを次に示します。

★

サブシリーズ名	機能	ROM容量	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD} 最小値	備考			
			8-bit	16-bit	時計	WDT	A/D	A/D							
小型 汎用	μ PD789046	16 K	1ch	1ch	1ch	1ch	-	-	1ch (UART : 1ch)	34本	1.8 V	-			
	μ PD789026	4 K-16 K			-										
	μ PD789014	2 K-4 K	2 ch	-						22本					
小型 汎用 + A/D	μ PD789217AY	16 K-24 K	3 ch	1 ch	1 ch	1 ch	-	8 ch	2ch [UART : 1ch] [SMB : 1ch]	31本	1.8 V	RC発振版, EEPROM内蔵			
	μ PD789197AY											EEPROM内蔵			
	μ PD789177											-			
	μ PD789167					8 ch	-	1ch (UART : 1ch)	20本						
	μ PD789156	8 K-16 K	1 ch	-	-	4 ch				EEPROM内蔵					
	μ PD789146				4 ch	-									
	μ PD789134A	2 K-8 K										RC発振版			
	μ PD789124A											4 ch	-		
	μ PD789114A											-	4 ch		
	μ PD789104A											4 ch	-		
インバー タ制御用	μ PD789842	8 K-16 K	3 ch	注	1 ch	1 ch	8 ch	-	1ch (UART : 1ch)	30本	4.0 V	-			
LCD 駆動用	μ PD789830	24 K	1 ch	1 ch	1 ch	1 ch	-	-	1ch (UART : 1ch)	30本	2.7 V	-			
	μ PD789417A	12 K-24 K	3 ch								7 ch		43本	1.8 V	
	μ PD789407A				7 ch	-	25本								
	μ PD789457	16 K-24 K	2 ch						2ch (UART : 1ch)			RC発振版			
	μ PD789447											4 ch	-		
	μ PD789437											-	4 ch		
	μ PD789427											4 ch	-		
	μ PD789316	8 K-16 K								23本		RC発振版			
μ PD789306															
ASSP	μ PD789800	8 K	2 ch	1 ch	-	1 ch	-	-	2ch (USB : 1ch)	31本	4.0 V	-			
	μ PD789840						4 ch		1ch	29本	2.8 V				
	μ PD789861	4 K		-					-	14本	1.8 V	RC発振版			
	μ PD789860														
ICカード 用	μ PD789810	6 K	-	-	-	1ch	-	-	-	1本	2.7 V	EEPROM内蔵			

注 10ビット・タイマ : 1チャンネル

機能概要

項 目		
内部メモリ	フラッシュ・メモリ	16 Kバイト
	高速RAM	256バイト
最小命令実行時間		0.4 μs/1.6 μs (システム・クロック : 5.0 MHz動作時)
汎用レジスタ		8ビット×8レジスタ
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など
乗算器		8×8ビット = 16ビット
I/Oポート		合計 : 20本 ・ CMOS入力 : 4本 ・ CMOS入出力 : 12本 ・ N-chオープン・ドレイン (12 V耐圧) : 4本
A/Dコンバータ		10ビット分解能×4チャンネル
シリアル・インタフェース		3線式シリアルI/Oモード / UARTモード選択可能 : 1チャンネル
タイマ		・ 16ビット・タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		1本 (16ビット / 8ビット・タイマ兼用)
ベクタ割り込み	マスカブル	内部 : 6, 外部 : 3
要因	ノンマスカブル	内部 : 1
★ 電源電圧		V _{DD} = 2.7 ~ 5.5 V
動作周囲温度		T _A = - 40 ~ + 85
★ パッケージ		・ 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.7 mm) ・ 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.2 mm)

目 次

1. 端子接続図 (Top View) ...	6
2. ブロック図 ...	7
3. μ PD78F9116とマスクROM製品の違い ...	8
4. 端子機能一覧 ...	9
4.1 ポート端子 ...	9
4.2 ポート以外の端子 ...	10
4.3 端子の入出力回路タイプと未使用端子の処理 ...	11
5. メモリ空間 ...	13
6. フラッシュ・メモリ・プログラミング ...	14
6.1 通信方式の選択 ...	14
6.2 フラッシュ・メモリ・プログラミングの機能 ...	15
6.3 Flashpro の接続例 ...	15
6.4 Flashpro (PG-FP3)での設定例 ...	17
7. 命令セットの概要 ...	18
7.1 凡 例 ...	18
7.2 オペレーション一覧 ...	20
8. 電気的特性 ...	25
★ 9. 特性曲線 (参考値) ...	40
10. 外形図 ...	41
★ 11. 半田付け推奨条件 ...	43
付録A. 開発ツール ...	44
付録B. 関連資料 ...	46

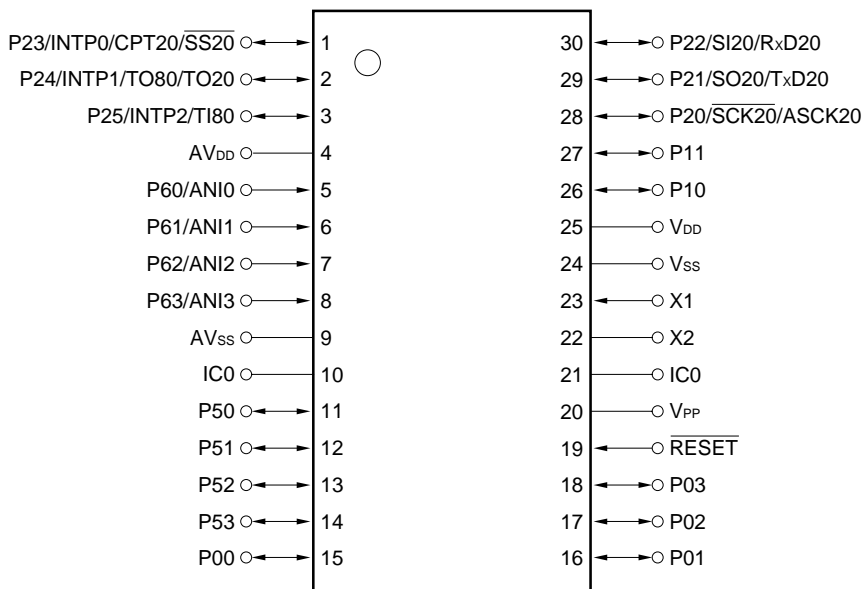
★ 1. 端子接続図 (Top View)

- ・ 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.7 mm)

μ PD78F9116GS

- ・ 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.2 mm)

μ PD78F9116MC-5A4

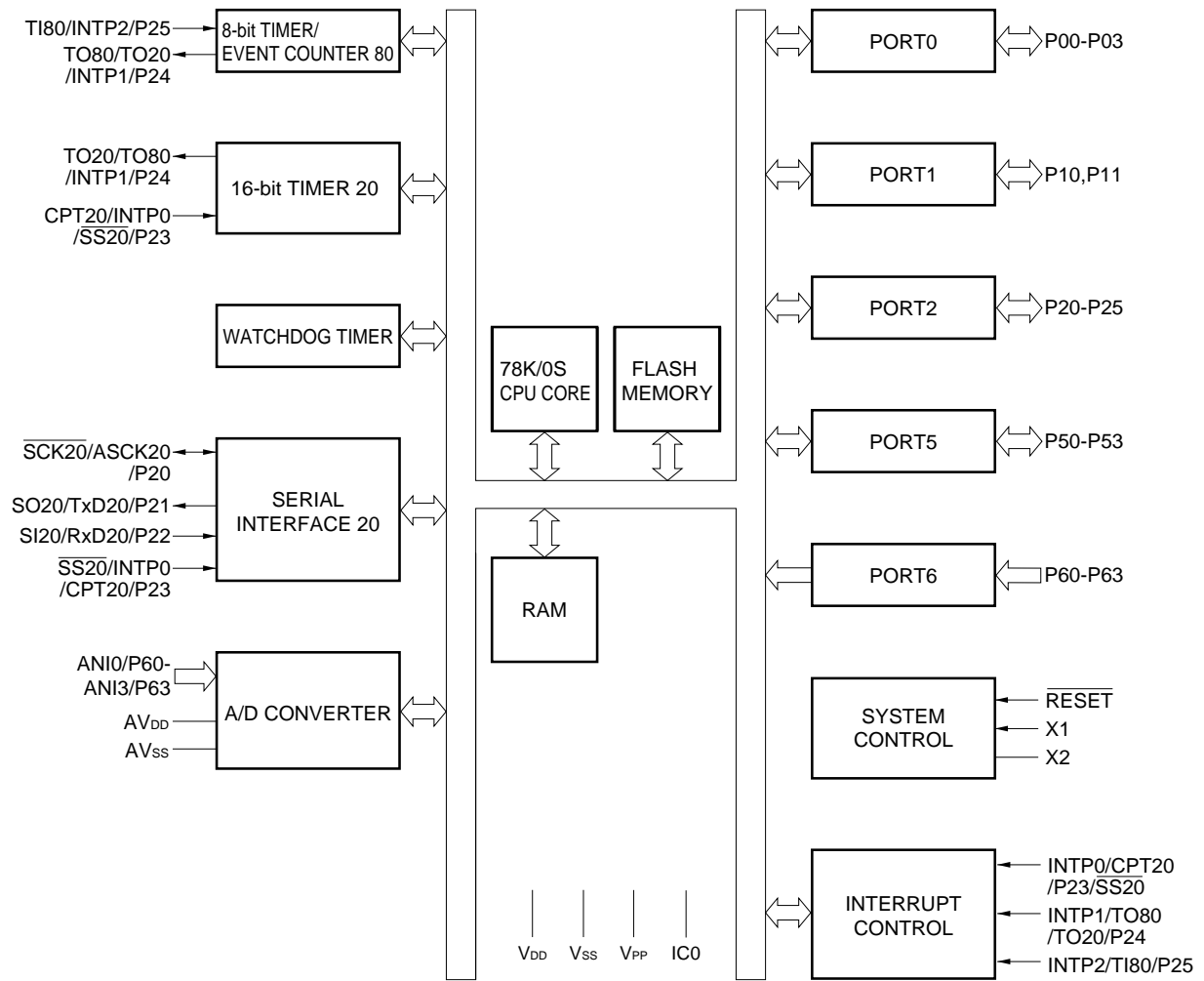


注意 1. IC0 (Internally Connected) 端子はV_{SS}に直接接続してください。

2. V_{PP}端子は通常動作モード時はV_{SS}に直接接続してください。
3. AV_{DD}端子はV_{DD}に接続してください。
4. AV_{SS}端子はV_{SS}に接続してください。

ANI0-ANI3	: Analog Input	RESET	: Reset
ASCK20	: Asynchronous Serial Input	RxD20	: Receive Data
AV _{DD}	: Analog Power Supply	SCK20	: Serial Clock Input/Output
AV _{SS}	: Analog Ground	SI20	: Serial Data Input
CPT20	: Capture Trigger Input	SO20	: Serial Data Output
IC0	: Internally Connected	SS20	: Chip Select Input
INTP0-INTP2	: Interrupt from Peripherals	TI80	: Timer Input
P00-P03	: Port0	TO20, TO80	: Timer Output
P10, P11	: Port1	TxD20	: Transmit Data
P20-P25	: Port2	V _{DD}	: Power Supply
P50-P53	: Port5	V _{PP}	: Programming Power Supply
P60-P63	: Port6	V _{SS}	: Ground
		X1, X2	: Crystal 1, 2

2. ブロック図



3. μ PD78F9116とマスクROM製品の違い

μ PD78F9116は、μ PD789114サブシリーズのマスクROM製品の内部ROMを拡張し、フラッシュ・メモリに置き換えた製品です。

μ PD78F9116とマスクROM製品の違いを表3 - 1に示します。

表3 - 1 μ PD78F9116とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品		
		μ PD78F9116	μ PD789111	μ PD789112	μ PD789114
内部メモリ	ROM	16 Kバイト (フラッシュ・メモリ)	2 Kバイト	4 Kバイト	8 Kバイト
	高速RAM	256 バイト			
★	プルアップ抵抗	12本 (ソフトウェア制御のみ)	16本 (ソフトウェア制御: 12本, マスク・オプション指定: 4本)		
	VPP端子	あり	なし		
★	スタンバイ機能	フラッシュ・メモリ製品とマスクROM製品でSTOPモードの解除方法が異なります。 ^注			
	電気的特性	個別のデータ・シートを参照してください。			

注 詳しくはμ PD789104,789114,789124,789134サブシリーズ ユーザーズ・マニュアル (U13045J) を参照。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合には、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

4. 端子機能一覧

4.1 ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	SCK20/ASCK20
P21				SO20/TxD20
P22				SI20/RxD20
★ P23				INTP0/CPT20 /SS20
P24				INTP1/TO80/TO20
P25				INTP2/TI80
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	-
P60-P63	入力	ポート6。 4ビット入力専用ポート。	入力	ANI0-ANI3

4.2 ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力	P23/CPT20/SS20
INTP1				P24/TO80/TO20
INTP2				P25/TI80
SI20	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD20
SO20	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD20
SCK20	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力	入力	P20/ASCK20
ASCK20	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力	入力	P20/SCK20
SS20	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P23/CPT20/INTP0
RxD20	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P22/SI20
TxD20	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21/SO20
TI80	入力	8ビット・タイマ（TM80）への外部カウント・クロック入力	入力	P25/INTP2
TO80	出力	8ビット・タイマ（TM80）出力	入力	P24/INTP1/TO20
TO20	出力	16ビット・タイマ（TM20）出力	入力	P24/INTP1/TO80
CPT20	入力	キャプチャ・エッジ入力	入力	P23/INTP0/SS20
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	入力	P60-P63
AV _{DD}	-	A/Dコンバータのアナログ電源	-	-
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
X1	入力	システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み / ベリファイ時の高電圧印加。 通常動作モード時は，V _{SS} に直接接続してください。	-	-
★ IC0	-	内部接続されています。V _{SS} に直接接続してください。	-	-

4.3 端子の入出力回路タイプと未使用端子の処理

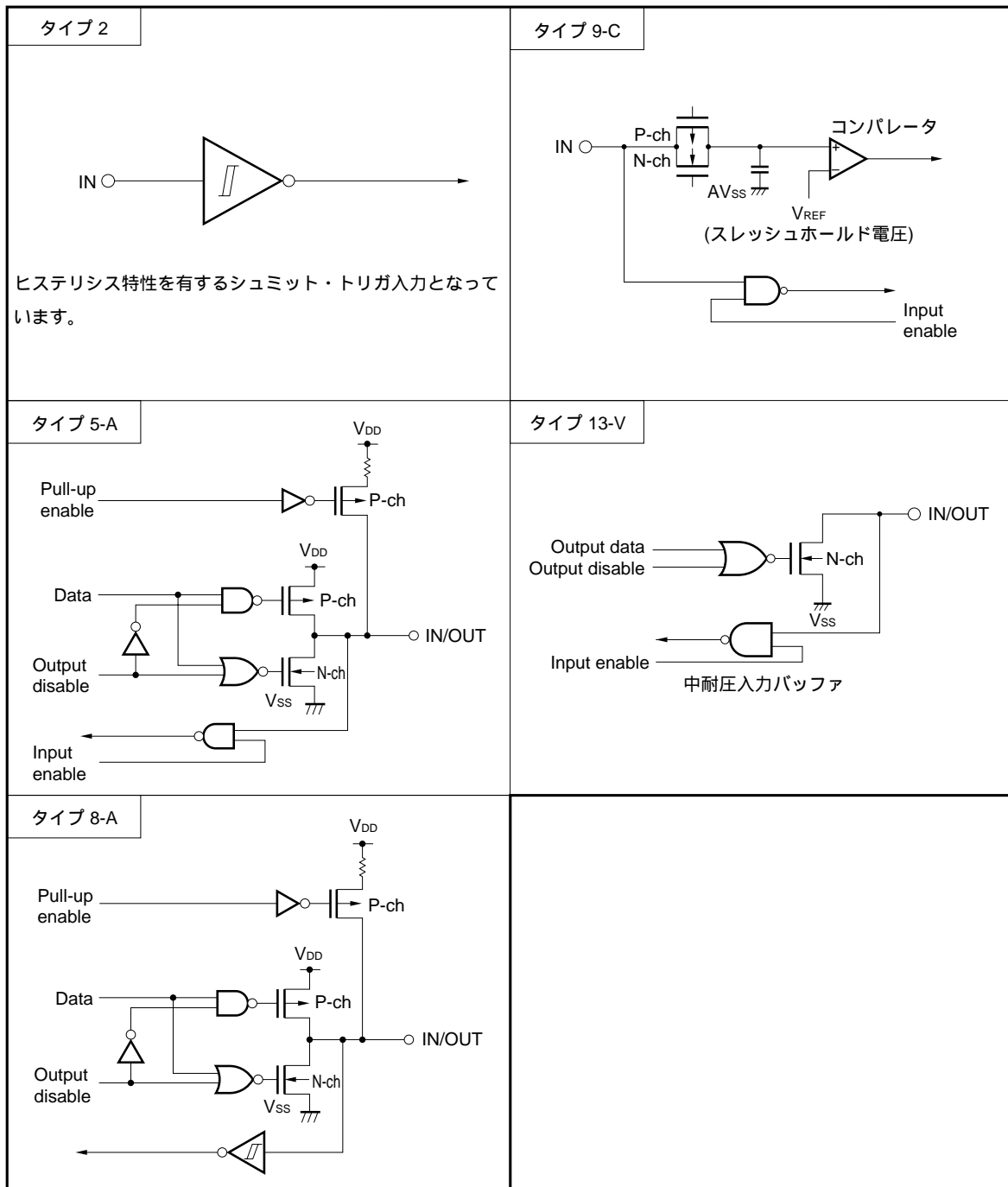
各端子の入出力回路タイプと、未使用端子の処理を表4 - 1に示します。

また、各タイプの入出力回路の構成は、図4 - 1を参照してください。

★ 表4 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P03	5-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください
P10, P11			
P20/ $\overline{\text{SCK20}}$ /ASCK20	8-A		
P21/SO20/TxD20			
P22/SI20/RxD20			
P23/INTP0/CPT20/SS20			
P24/INTP1/TO80/TO20			
P25/INTP2/TI80			
P50-P53	13-V		入力時：個別に抵抗を介して、V _{DD} に接続してください。 出力時：オープンにしてください
P60/ANI0-P63/ANI3	9-C	入力	V _{DD} またはV _{SS} に直接接続してください。
AV _{DD}	-	-	V _{DD} に接続してください。
AV _{SS}	-	-	V _{SS} に接続してください。
$\overline{\text{RESET}}$	2	入力	-
V _{PP}	-	-	V _{SS} に直接接続してください。
IC0			

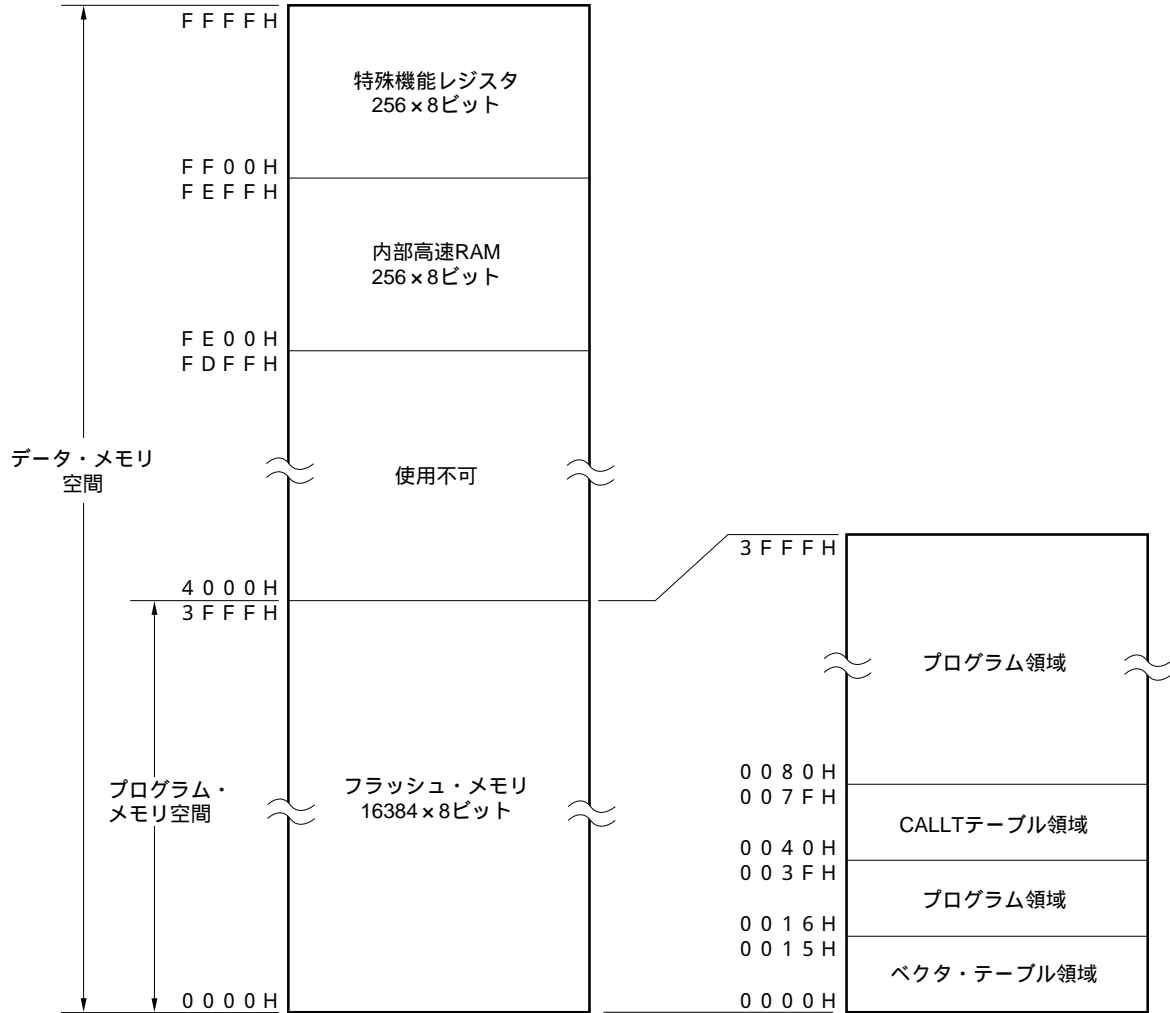
図4 - 1 端子の入出力回路一覧



5. メモリ空間

図5 - 1に , μ PD78F9116のメモリ・マップを示します。

図5 - 1 メモリ・マップ



★ 6. フラッシュ・メモリ・プログラミング

μ PD78F9116に内蔵されているプログラム・メモリはフラッシュ・メモリです。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。

備考 FL-PR3は、株式会社内藤電誠町田製作所の製品です。

6.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表6 - 1に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図6 - 1に示すようなフォーマットを用います。表6 - 1に示すV_{PP}パルス数で、それぞれの通信方式が選択されます。

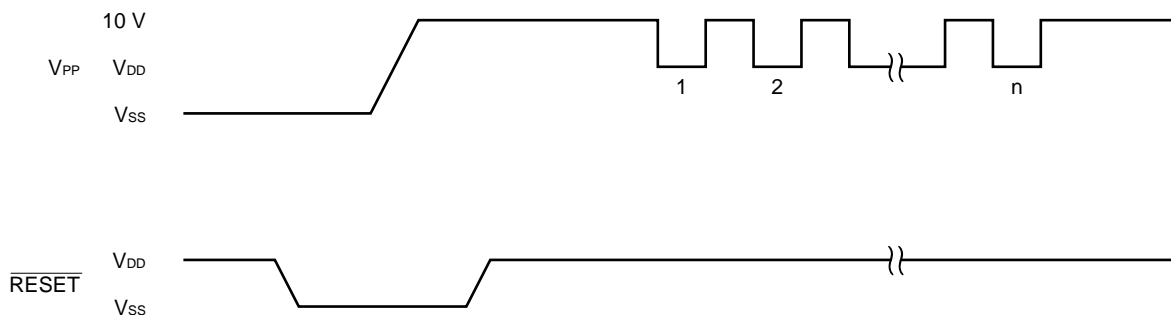
表6 - 1 通信方式一覧

通信方式	使用端子	V _{PP} パルス数
3線式シリアルI/O	SCK20/ASCK20/P20 SO20/TxD20/P21 SI20/RxD20/P22	0
UART	TxD20/SO20/P21 RxD/SI20/P22	8
疑似3線式 ^注	P00（シリアル・クロック入力） P01（シリアル・データ出力） P02（シリアル・データ入力）	12

注 ポートをソフトウェアで制御してシリアル転送を行います。

注意 通信方式は、必ず表6 - 1に示すV_{PP}パルス数で選択してください。

図6 - 1 通信方式選択フォーマット



6.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド / データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表6 - 2に示します。

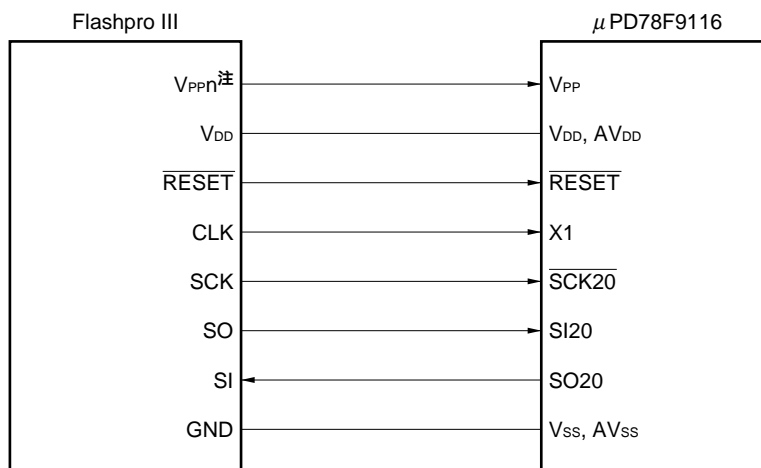
表6 - 2 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数 (バイト数) をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを確認します。

6.3 Flashpro の接続例

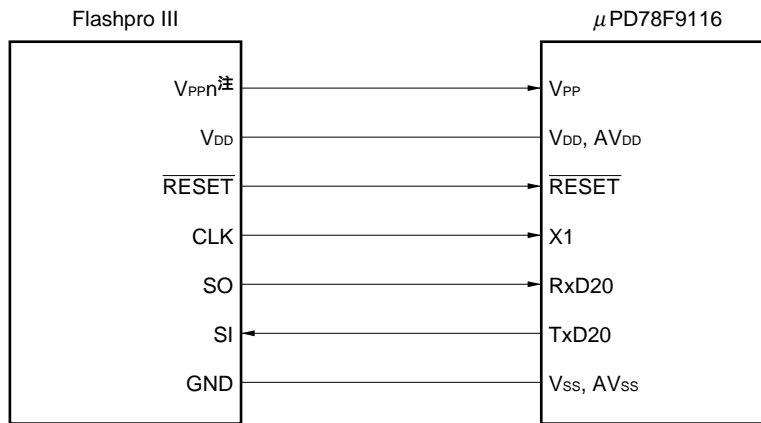
Flashpro とμ PD78F9116との接続は、通信方式 (3線式シリアルI/O, UART, 疑似3線式) によって異なります。それぞれの場合の接続例を図6 - 2 ~ 図6 - 4に示します。

図6 - 2 3線式シリアルI/O方式でのFlashpro の接続例



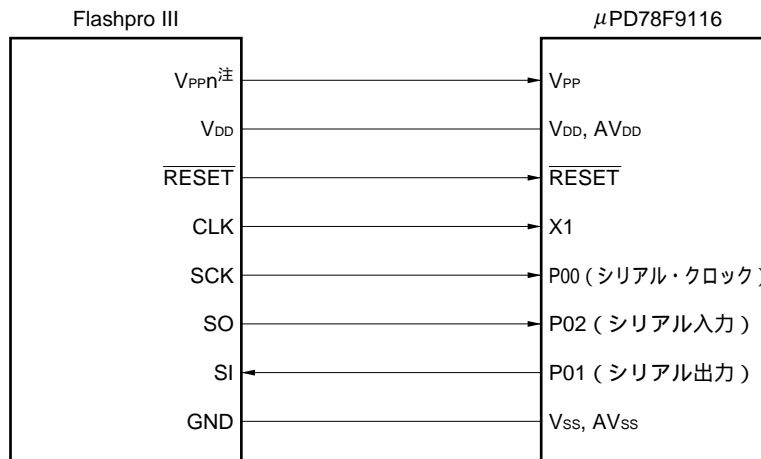
注 n = 1, 2

図6 - 3 UART方式でのFlashpro の接続例



注 n = 1, 2

図6 - 4 疑似3線式でのFlashpro の接続例 (P0を使用する場合)



注 n = 1, 2

6.4 Flashpro (PG-FP3) での設定例

Flashpro (PG-FP3) を使用してフラッシュ・メモリへ書き込む場合は次のように設定してください。

パラメータ・ファイルをロードしてください。

タイプ・コマンドでシリアル的方式とシリアル・クロックを選択してください。

PG-FP3での設定例を次に示します。

表6 - 3 PG-FP3での設定例

通信方式	PG-FP3での設定例		V _{PP} パルス数 ^{注1}
3線式シリアルI/O	COMM PORT	SIO-ch0	0
	CPU CLK	On Target Board ----- In Flashpro	
	On Target Board -----	4.1943 MHz	
	SIO CLK	1.0 MHz	
	In Flashpro -----	4.0 MHz	
	SIO CLK	1.0 MHz	
UART	COMM PORT	UART-ch0	8
	CPU CLK	On Target Board	
	On Target Board	4.1943 MHz	
	UART BPS	9600 bps ^{注2}	
疑似3線式	COMM PORT	Port A	12
	CPU CLK	OnTarget Board ----- In Flashpro	
	On Target Board -----	4.1943 MHz	
	SIO CLK	1 kHz	
	In Flashpro -----	4.0 MHz	
	SIO CLK	1 kHz	

注1. シリアル通信のイニシャライズ時にFlashpro から供給されるV_{PP}パルス数です。このパルス数によって通信に使用する端子が決定されます。

2. 9600 bps, 19200 bps, 38400 bps, 76800 bpsの中からいずれかを選択してください。

- 備考** COMM PORT : シリアル・ポートの選択
 SIO CLK : シリアル・クロック周波数の選択
 CPU CLK : 入力されるCPUクロック源の選択

★ 7. 命令セットの概要

μ PD78F9116の命令セットを一覧表にして示します。

7.1 凡 例

7.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!, \$, []の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・\$: 相対アドレス指定
- ・! : 絶対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!, \$, []記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表7-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5) L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル

7.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

7.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

7.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
MOV	r, # byte	3	6	r byte	
	saddr, # byte	3	6	(saddr) byte	
	sfr, # byte	3	6	sfr byte	
	A, r <small>注1</small>	2	4	A r	
	r, A <small>注1</small>	2	4	r A	
	A, saddr	2	4	A (saddr)	
	saddr, A	2	4	(saddr) A	
	A, sfr	2	4	A sfr	
	sfr, A	2	4	sfr A	
	A, laddr16	3	8	A (addr16)	
	laddr16, A	3	8	(addr16) A	
	PSW, # byte	3	6	PSW byte	x x x
	A, PSW	2	4	A PSW	
	PSW, A	2	4	PSW A	x x x
	A, [DE]	1	6	A (DE)	
	[DE], A	1	6	(DE) A	
	A, [HL]	1	6	A (HL)	
	[HL], A	1	6	(HL) A	
	A, [HL + byte]	2	6	A (HL + byte)	
[HL + byte], A	2	6	(HL + byte) A		
XCH	A, X	1	4	A X	
	A, r <small>注2</small>	2	6	A r	
	A, saddr	2	6	A (saddr)	
	A, sfr	2	6	A (sfr)	
	A, [DE]	1	8	A (DE)	
	A, [HL]	1	8	A (HL)	
	A, [HL + byte]	2	8	A (HL + byte)	
MOVW	rp, # word	3	6	rp word	
	AX, saddrp	2	6	AX (saddrp)	
	saddrp, AX	2	8	(saddrp) AX	
	AX, rp <small>注3</small>	1	4	AX rp	
	rp, AX <small>注3</small>	1	4	rp AX	
XCHW	AX, rp <small>注3</small>	1	8	AX rp	

注1 . r = Aを除く。

2 . r = A, Xを除く。

3 . rp = BC, DE, HLのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
ADD	A, # byte	2	4	A, CY A + byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, !addr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, # byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, !addr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, # byte	2	4	A, CY A - byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, !addr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x
SUBC	A, # byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, !addr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, # byte	2	4	A A ∧ byte	x		
	saddr, # byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, !addr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
OR	A, # byte	2	4	A A ∨ byte			x
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte			x
	A, r	2	4	A A ∨ r			x
	A, saddr	2	4	A A ∨ (saddr)			x
	A, !addr16	3	8	A A ∨ (addr16)			x
	A, [HL]	1	6	A A ∨ (HL)			x
	A, [HL + byte]	2	6	A A ∨ (HL + byte)			x
XOR	A, # byte	2	4	A A ∨ byte			x
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte			x
	A, r	2	4	A A ∨ r			x
	A, saddr	2	4	A A ∨ (saddr)			x
	A, !addr16	3	8	A A ∨ (addr16)			x
	A, [HL]	1	6	A A ∨ (HL)			x
	A, [HL + byte]	2	6	A A ∨ (HL + byte)			x
CMP	A, # byte	2	4	A - byte	x	x	x
	saddr, # byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, !addr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, # word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, # word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, # word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x		x
	saddr	2	4	(saddr) (saddr) + 1	x		x
DEC	r	2	4	r r - 1	x		x
	saddr	2	4	(saddr) (saddr) - 1	x		x
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
SET1	saddr. bit	3	6	(saddr. bit) 1	
	sfr. bit	3	6	sfr. bit 1	
	A. bit	2	4	A. bit 1	
	PSW. bit	3	6	PSW. bit 1	x x x
	[HL]. bit	2	10	(HL). bit 1	
CLR1	saddr. bit	3	6	(saddr. bit) 0	
	sfr. bit	3	6	sfr. bit 0	
	A. bit	2	4	A. bit 0	
	PSW. bit	3	6	PSW. bit 0	x x x
	[HL]. bit	2	10	(HL). bit 0	
SET1	CY	1	2	CY 1	1
CLR1	CY	1	2	CY 0	0
NOT1	CY	1	2	CY $\overline{\text{CY}}$	x
CALL	laddr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2	
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2	
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2	
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R R R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1	
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2	
POP	PSW	1	4	PSW (SP), SP SP + 1	R R R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2	
MOVW	SP, AX	2	8	SP AX	
	AX, SP	2	6	AX SP	
BR	laddr16	3	6	PC addr16	
	\$addr16	2	6	PC PC + 2 + jdisp8	
	AX	1	6	PC _H A, PC _L X	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr. bit) = 1			
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 1			
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 1			
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 1			
BF	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr. bit) = 0			
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 0			
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 0			
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 0			
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
	saddr, \$addr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
NOP		1	2	No Operation			
EI		3	6	IE = 1 (Enable Interrupt)			
DI		3	6	IE = 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

8. 電気的特性

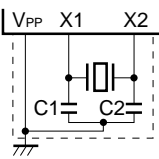
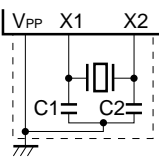
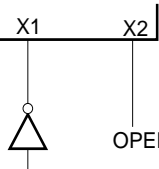
絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
★電源電圧	V _{DD} , AV _{DD}	V _{DD} = AV _{DD}	- 0.3 ~ + 6.5	V
	V _{PP}		- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P50-P53以外の端子	- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P50-P53 N-chオープン・ドレイン時	- 0.3 ~ + 13	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}		- 40 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

★ システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5 V$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が 発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5 V$			10	ms
			$V_{DD} = 2.7 \sim 5.5 V$			30	
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH}, t_{xL})		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

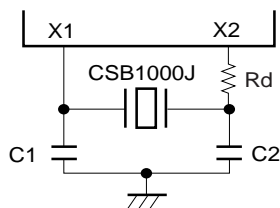
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

★ 推奨発振回路定数

セラミック発振子 (TA = -40 ~ +85) (1/4)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考	
			C1	C2	MIN.	MAX.		
村田製作所 (リード端子タイプ)	CSB1000J ^注	1.00	100	100	2.7	5.5	Rd = 2.2 kΩ	
	CSA2.00MG	2.00	30	30			コンデンサ内蔵品	
	CST2.00MG		-	-				
	CSA4.00MG	4.00	30	30				
	CST4.00MGW		-	-				
	CSA4.00MGU		30	30				
	CST4.00MGWU		-	-				
	CSA4.19MG	4.19	30	30				
	CST4.19MG		-	-				
	CSA4.19MGU		30	30				
	CST4.19MGU		-	-				
	CSA4.91MG	4.91	30	30				
	CST4.91MGW		-	-				
	CSA4.91MGU		30	30				
	CST4.91MGWU		-	-				
	CSA5.00MG	5.00	30	30				2.8
	CST5.00MGW		-	-				
	CSA5.00MGU		30	30	2.7			
CST5.00MGWU	-		-					

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 2.2 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

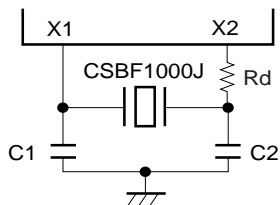


注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

セラミック発振子 (TA = -40 ~ +85) (2/4)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考	
			C1	C2	MIN.	MAX.		
村田製作所 (SMDタイプ)	CSBF1000J ^注	1.00	100	100	2.7	5.5	Rd = 2.2 kΩ	
	CSAC2.00MGC	2.00	30	30			コンデンサ内蔵品	
	CSTC2.00MG		-	-				
	CSAC4.00MGC	4.00	30	30				
	CSAC4.00MGCU		-	-				
	CSTCC4.00MG							コンデンサ内蔵品
	CSTCC4.00MGU							
	CSAC4.19MGC	4.19	30	30				
	CSAC4.19MGCU		-	-				
	CSTCC4.19MG							コンデンサ内蔵品
	CSTCC4.19MGU							
	CSAC4.91MGC	4.91	30	30				
	CSAC4.91MGCU		-	-				
	CSTCC4.91MG							コンデンサ内蔵品
	CSTCC4.91MGU							
	CSAC5.00MGC	5.00			30	30		
CSAC5.00MGCU	-		-	2.7				
CSTCC5.00MG				コンデンサ内蔵品				
CSTCC5.00MGU								

注 セラミック発振子として村田製作所のCSBF1000J (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 2.2 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保證するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

セラミック発振子 (TA = -40 ~ +85) (3/4)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
京セラ (リード端子タイプ)	KBR-1000F	1.00	100	100	2.7	5.5	
	KBR-2.0MS	2.00	68	68			
	KBR-4.0MKC	4.00	-	-			
	KBR-4.0MKD						
	KBR-4.0MKS	33	33				
	KBR-4.0MSA						
	KBR-4.0MSB	4.19	-	-			
	KBR-4.19MKC						
	KBR-4.19MKD						
	KBR-4.19MKS	33	33				
	KBR-4.19MSA						
	KBR-4.19MSB	4.91	-	-			
	KBR-4.91MKC						
	KBR-4.91MKD						
	KBR-4.91MKS	33	33				
	KBR-4.91MSA						
	KBR-4.91MSB	5.00	-	-			
	KBR-5.0MKC						
KBR-5.0MKD							
KBR-5.0MKS	33	33					
KBR-5.0MSA							
KBR-5.0MSB							
京セラ (SMDタイプ)	KBR-1000Y	1.00	100	100	2.7	5.5	
	PBRC4.00A	4.00	33	33			
	PBRC4.00B		-	-			
	PBRC4.19A	4.19	33	33			
	PBRC4.19B		-	-			
	PBRC4.91A	4.91	33	33			
	PBRC4.91B		-	-			
	PBRC5.00A	5.00	33	33			
	PBRC5.00B		-	-			

注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保證するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

セラミック発振子 (TA = -40 ~ +85) (4/4)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
TDK	CCR4.0MC3	4.00	-	-	2.7	5.5	コンデンサ内蔵品
	FCR4.0MC5						
	CCR4.19MC3	4.19					
	FCR4.19MC5						
	CCR4.91MC3	4.91					
	CCR5.0MC3	5.00					
	FCR5.0MC5						

注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保證するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

★ DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子あたり				- 1	mA
		全端子合計				- 15	mA
ロウ・レベル出力電流	IOL	1端子あたり				10	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	VIH1	下記以外の端子		0.7 VDD		VDD	V
	VIH2	P50-P53, VDD = 3.5 ~ 5.5 V	N-chオープン・ドレイン時	0.7 VDD		12	V
	VIH3	RESET, P20-P25, P40-P45		0.8 VDD		VDD	V
	VIH4	X1, X2	VDD = 2.7 ~ 5.5 V		VDD - 0.1		VDD
VDD = 4.5 ~ 5.5 V				VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	下記以外の端子		0		0.3 VDD	V
	VIL2	P50-P53, VDD = 3.5 ~ 5.5 V		0		0.3 VDD	V
	VIL3	RESET, P20-P25, P40-P45		0		0.2 VDD	V
	VIL4	X1, X2	VDD = 2.7 ~ 5.5 V		0		0.1
VDD = 4.5 ~ 5.5 V				0		0.4	V
ハイ・レベル出力電圧	VOH1	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA		VDD - 1.0			V
	VOH2	VDD = 2.7 ~ 5.5 V, IOH = - 100 μA		VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P50-P53以外の端子	VDD = 4.5 ~ 5.5 V, IOL = 10 mA			1.0	V
			VDD = 2.7 ~ 5.5 V IOL = 400 μA			0.5	V
	VOL2	P50-P53	VDD = 4.5 ~ 5.5 V, IOL = 10 mA			1.0	V
			VDD = 2.7 ~ 5.5 V IOL = 1.6 mA			0.4	V
ハイ・レベル入力リーク電流	IIH1	P50-P53, X1, X2以外の端子	VIN = VDD			3	μA
	IIH2	X1, X2				20	μA
	IIH3	P50-P53 (N-chオープン・ドレイン)	VIN = 12 V			20	μA
ロウ・レベル入力リーク電流	IIIL1	P50-P53, X1, X2以外の端子	VIN = 0 V			- 3	μA
	IIIL2	X1, X2				- 20	μA
	IIIL3	P50-P53 (N-chオープン・ドレイン)				- 3 ^注	μA

注 ポート5を入力モードに設定している場合に、ポート5に対して読み出し命令を実行したときの1サイクル・タイムのみ、ロウ・レベル入力リーク電流が - 30 μA (MAX.) 流れます。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

★ DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD			3	μA
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V			-3	μA
ソフトウェア・プルアップ抵抗	R1	VIN = 0 V, P50-P53, P60-P63以外の端子	50	100	200	kΩ
電源電流	IDD1 ^{注1}	5.0 MHz水晶発振動作	VDD = 5.0 V ± 10 % ^{注3}	5.0	15.0	mA
		モード (C1 = C2 = 22pF)	VDD = 3.0 V ± 10 % ^{注4}			
	IDD2 ^{注1}	5.0 MHz水晶発振HALT	VDD = 5.0 V ± 10 % ^{注3}	2.5	5.0	mA
		モード (C1 = C2 = 22pF)	VDD = 3.0 V ± 10 % ^{注4}			
	IDD3 ^{注1}	STOPモード	VDD = 5.0 V ± 10 %	0.1	30	μA
			VDD = 3.0 V ± 10 %			
	IDD4 ^{注2}	5.0 MHz水晶発振A/D動作	VDD = 5.0 V ± 10 % ^{注3}	6.2	17.3	mA
			モード (C1 = C2 = 22pF)			

注1．AVDD電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

- 2．ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。
- 3．高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
- 4．低速モード動作時（PCCを02Hに設定したとき）

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

★ 書き込み消去特性 (TA = 10 ~ 40 , VDD = 2.7 ~ 5.5 V, 5.0 MHz水晶発振動作モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み電流 (VDD端子) ^注	IDDW	VPP電源電圧 = VPP1時			18	mA
書き込み電流 (VPP端子) ^注	I PPW	VPP電源電圧 = VPP1時			22.5	mA
消去電流 (VDD端子) ^注	IDDE	VPP電源電圧 = VPP1時			18	mA
消去電流 (VPP端子) ^注	I PPE	VPP電源電圧 = VPP1時			115	mA
単位消去時間	ter		0.5	1	1	s
Total消去時間	tera				20	s
書き換え回数		消去 / 書き込みを1サイクルとする			1	回
VPP電源電圧	VPP0	通常モード時	0		0.2 VDD	V
	VPP1	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 AVDD電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

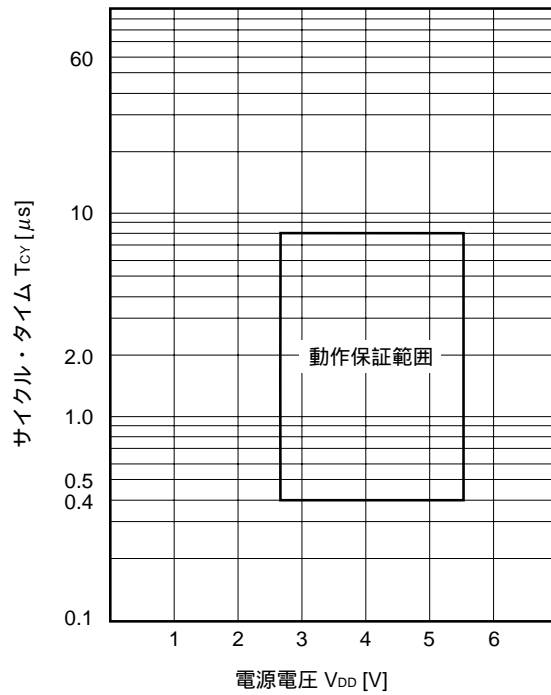
AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}		0.4		8	μs
TI80入力 ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}		0.1			μs
TI80入力周波数	f _{TI}		0		4	MHz
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0-INTP2	10			μs
RESET ロウ・レベル幅	t _{RSL}		10			μs

★

T_{CY} vs V_{DD} (システム・クロック : 5.0 MHz動作時)



(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

(i) 3線式シリアル/Oモード (SCK20...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t _{KCY1}		800			ns
SCK20ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2 - 50			ns
SI20セットアップ時間 (対SCK20)	t _{SIK1}		150			ns
SI20ホールド時間 (対SCK20)	t _{KSI1}		400			ns
SCK20 SO20 出力遅延時間	t _{KSO1}	R = 1 kΩ , C = 100 pF ^注	0		250	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアル/Oモード (SCK20...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK20サイクル・タイム	t _{KCY2}		900			ns
SCK20ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		400			ns
SI20セットアップ時間 (対SCK20)	t _{SIK2}		100			ns
SI20ホールド時間 (対SCK20)	t _{KSI2}		400			ns
SCK20 SO20 出力遅延時間	t _{KSO2}	R = 1 kΩ , C = 100 pF ^注	0		300	ns
★ SO20セットアップ時間 (SS20使用時, 対SS20)	t _{KAS2}				120	ns
★ SO20ディスエーブル時間 (SS20使用時, 対SS20)	t _{KDS2}				240	ns

注 R, Cは, SO出力ラインの負荷抵抗, 負荷容量です。

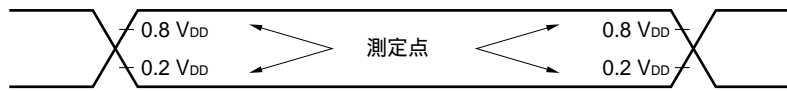
(iii) UARTモード (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					78125	bps

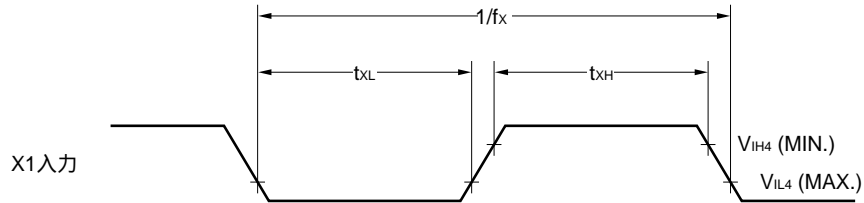
(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK20サイクル・ タイム	t _{KCY3}		900			ns
ASCK20 ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps
ASCK20立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

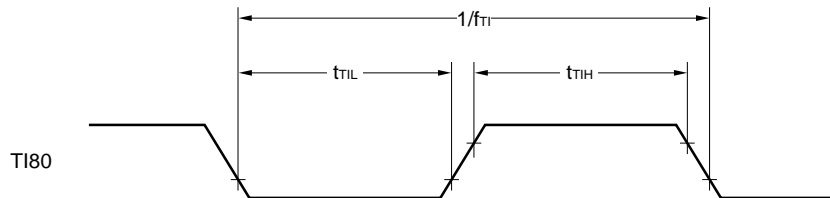
ACタイミング測定点 (X1入力を除く)



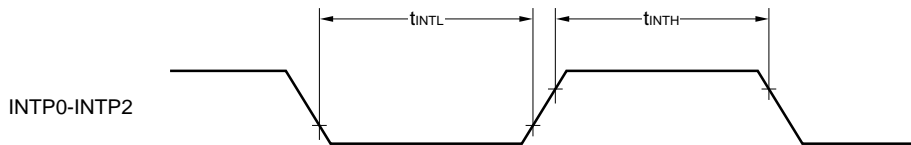
クロック・タイミング



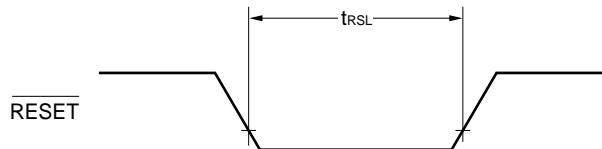
TIタイミング



割り込み入力タイミング

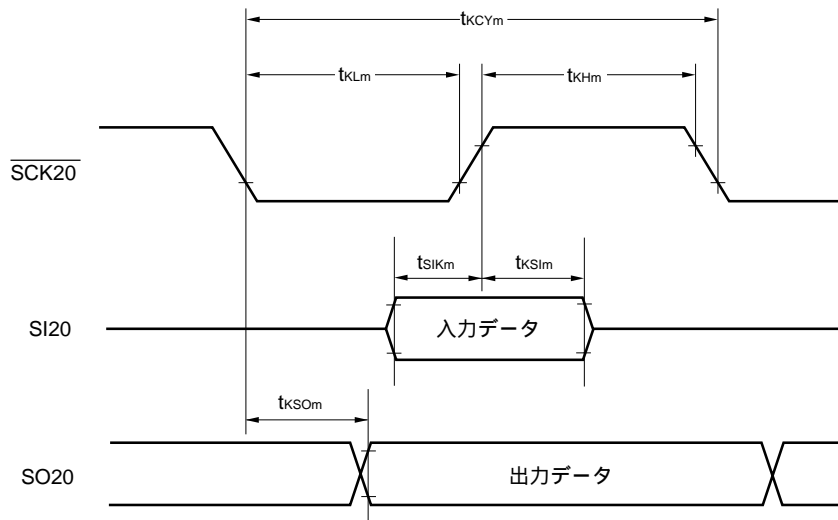


RESET入力タイミング



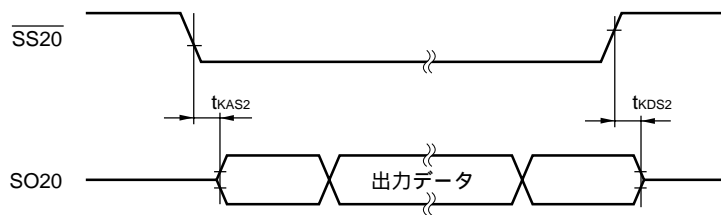
シリアル転送タイミング

3線式シリアル/Oモード :

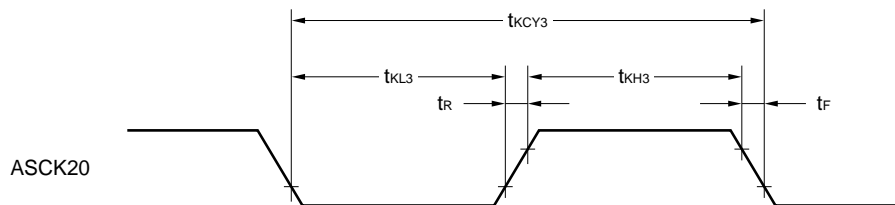


m=1, 2

★ 3線式シリアル/Oモード (SS20使用時) :



UARTモード (外部クロック入力) :



★ 10ビットA/Dコンバータ特性 (TA = -40 ~ +85 , AVDD = VDD = 2.7 ~ 5.5 V , AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^注		4.5 V VDD 5.5 V		±0.2	±0.4	%FSR
		2.7 V VDD < 4.5 V		±0.4	±0.6	%FSR
変換時間	tCONV		14		100	μs
ゼロ・スケール誤差 ^注		4.5 V VDD 5.5 V			±0.4	%FSR
		2.7 V VDD < 4.5 V			±0.6	%FSR
フルスケール誤差 ^注		4.5 V VDD 5.5 V			±0.4	%FSR
		2.7 V VDD < 4.5 V			±0.6	%FSR
非積分直線性誤差 ^注	INL	4.5 V VDD 5.5 V			±2.5	LSB
		2.7 V VDD < 4.5 V			±4.5	LSB
非微分直線性誤差 ^注	DNL	4.5 V VDD 5.5 V			±1.5	LSB
		2.7 V VDD < 4.5 V			±2.0	LSB
アナログ入力電圧	VIAN		0		AVDD	V

注 量子化誤差 (±0.05 %)を含みません。

備考 FSR : フル・スケール・レンジ

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

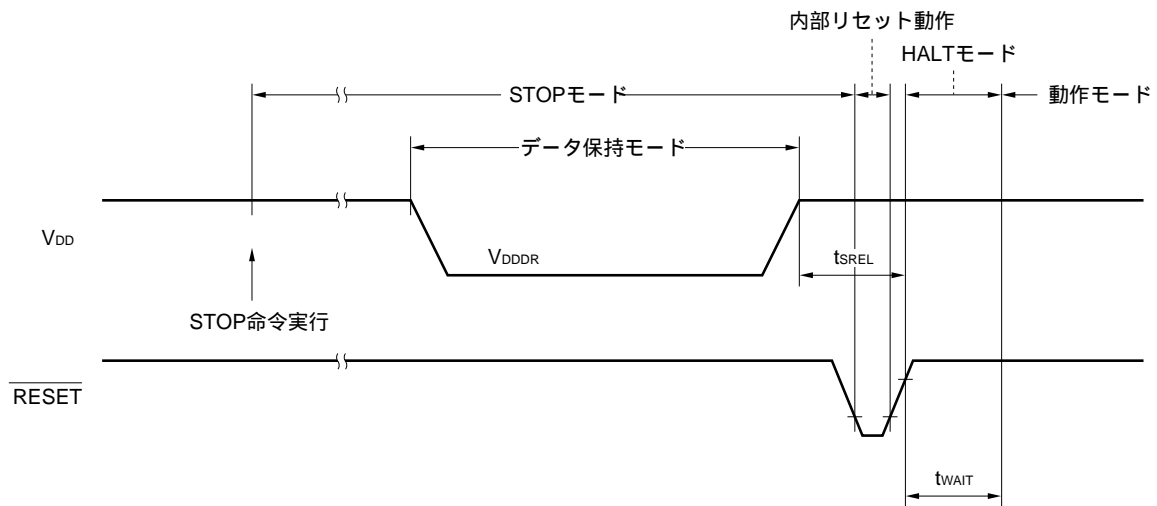
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.8		5.5	V
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間 ^{注1}	tWAIT	RESETによる解除		2 ¹⁵ /fx		ms
		割り込み要求による解除		注2		ms

注1. 発振ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

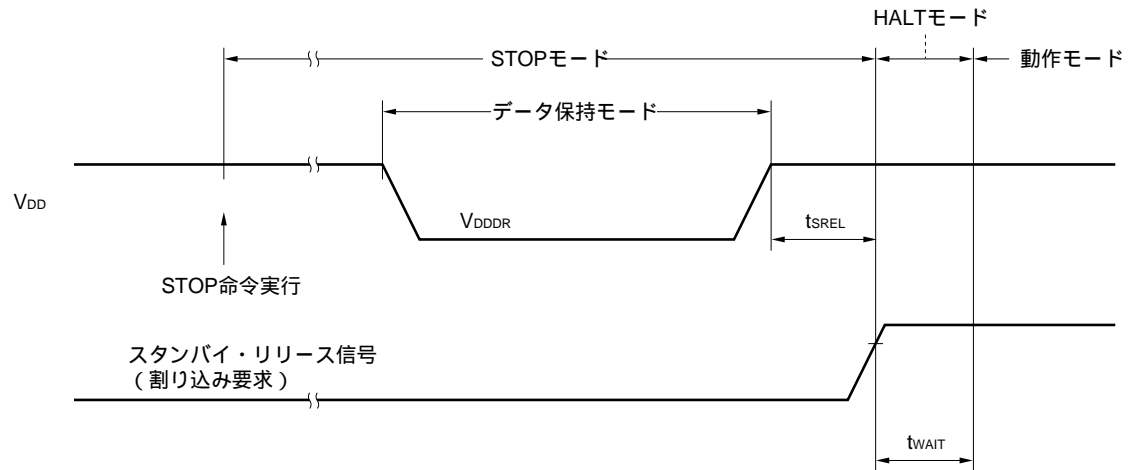
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/fx、2¹⁵/fx、2¹⁷/fxの選択が可能です。

備考 fx : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

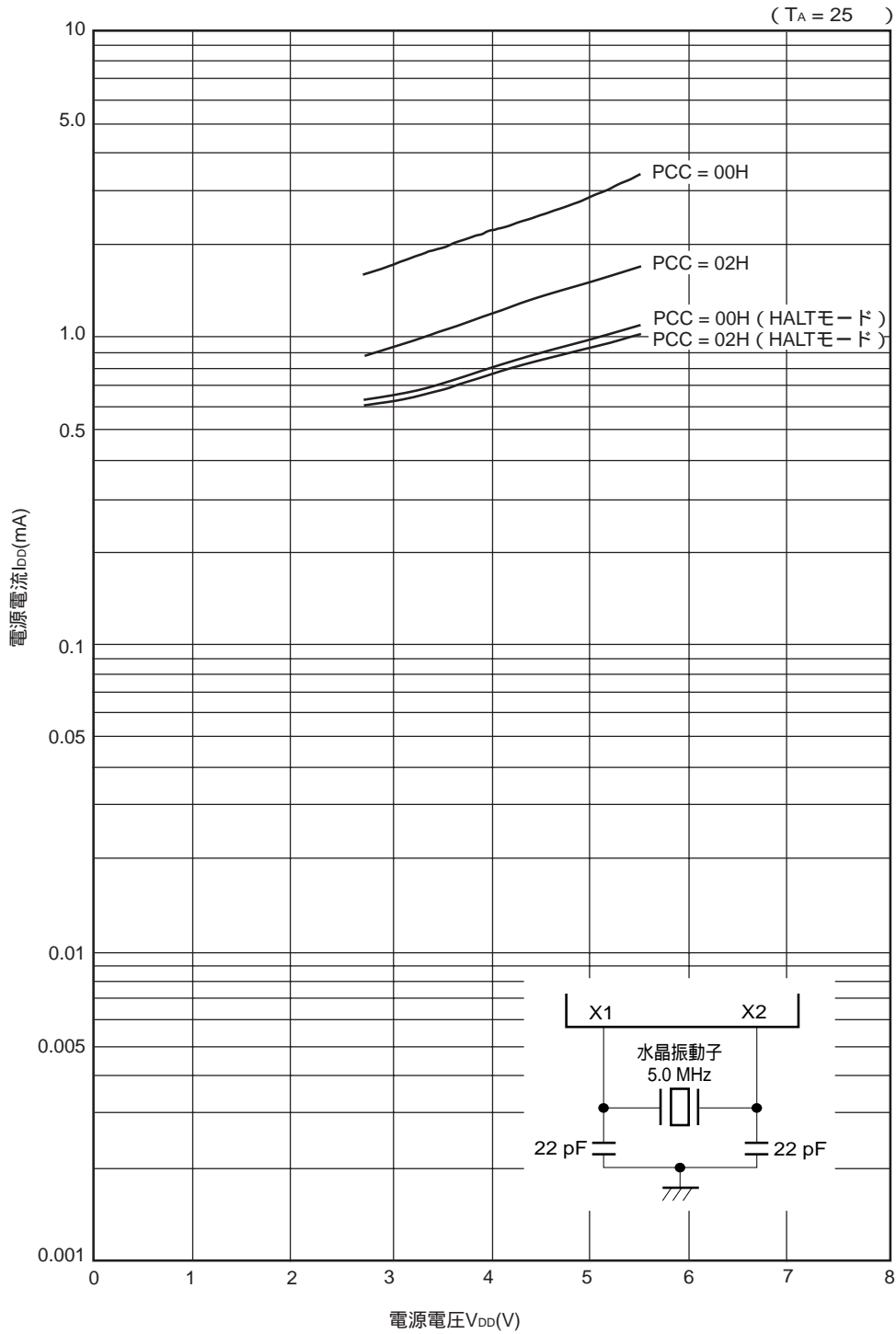


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



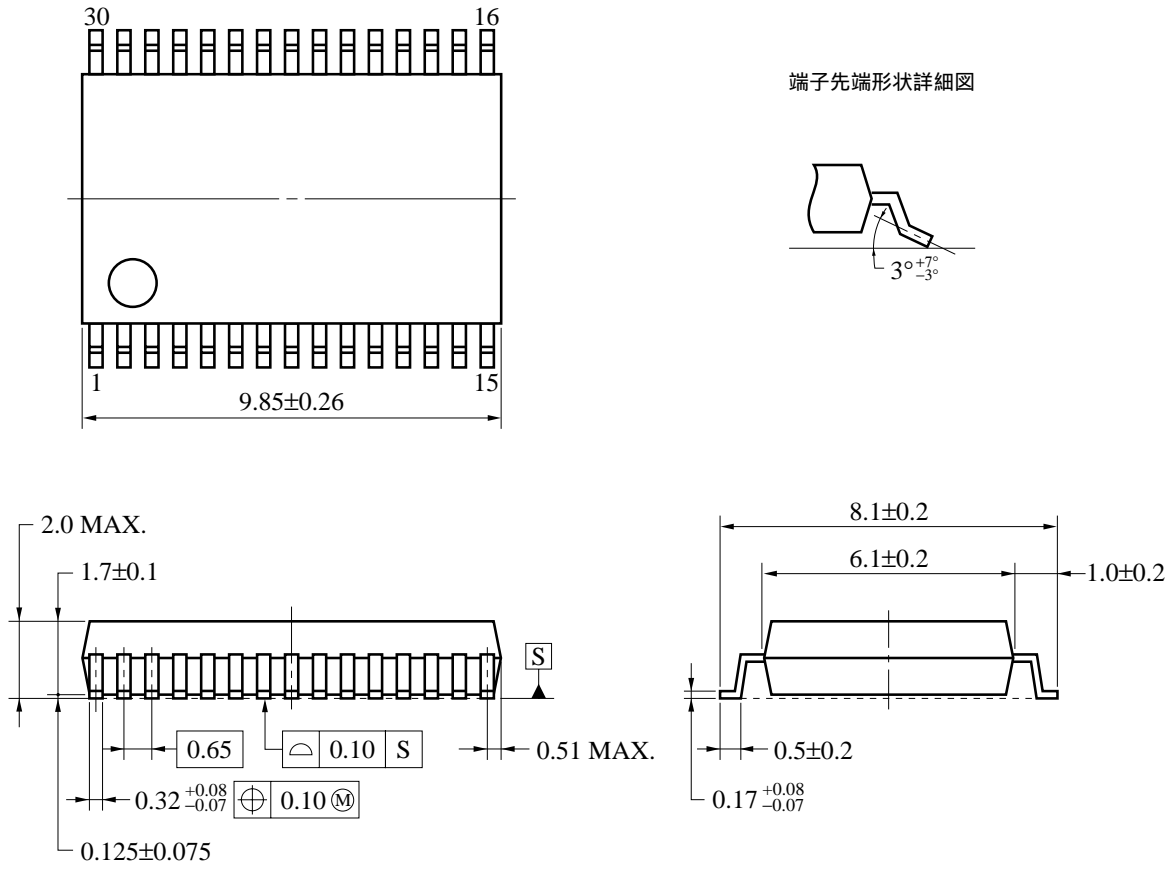
★ 9. 特性曲線 (参考値)

I_{DD} vs V_{DD} (システム・クロック : 5.0 MHz水晶振動子)



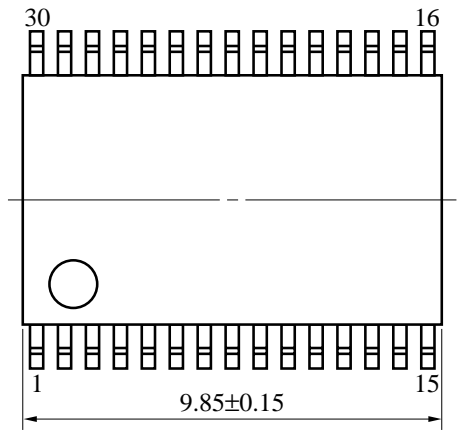
★ 10. 外形図

30ピン・プラスチック・シュリンク SOP (300 mil, 樹脂厚1.7 mm) 外形図 (単位: mm)

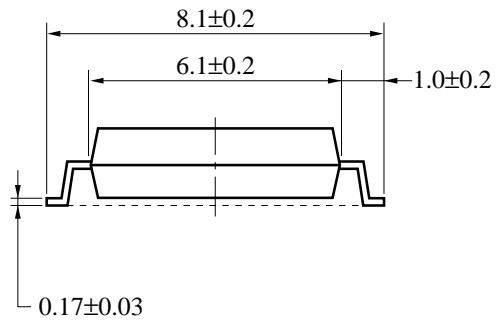
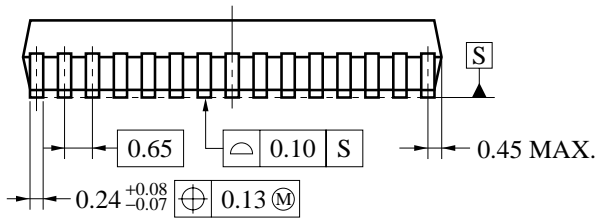
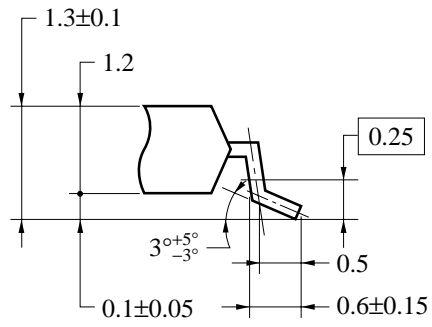


P30GS-65-300B-2

30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.2 mm) 外形図 (単位: mm)



端子先端形状詳細図



S30MC-65-5A4-1

★ 11. 半田付け推奨条件

μ PD78F9116の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表11-1 表面実装タイプの半田付け条件

μ PD78F9116GS : 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.7 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク 20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク 20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリバーク 20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

注 ドライパック開封後の保存制限日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

μ PD78F9116MC-5A4 : 30ピン・プラスチック・シュリンクSOP (300 mil, 樹脂厚1.2 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：3回以内	VP15-00-3
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

★ 付録A . 開発ツール

μ PD78F9116を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0S ^{注1,2,3}	78K/0Sシリーズ共通のアセンブラ・パッケージ
CC78K0S ^{注1,2,3}	78K/0Sシリーズ共通のCコンパイラ・パッケージ
DF789136 ^{注1,2,3}	μ PD78F9116に対応するデバイス・ファイル

フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3 ^{注4} , PG-FP3)	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-30GS ^{注4}	フラッシュ・メモリ書き込み用アダプタ
FA-30MC ^{注4,5}	

ディバグ用ツール (1/2)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ (ID78K0S-NS) に対応しています。ACアダプタ、エミュレーション・プロ・ブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B ACアダプタ	AC100～240Vのコンセントから電源を配給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタ (Cバス対応) です。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0S-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル (PCMCIAソケット対応) です。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてIBM PC/AT TM 互換機を使用するときに必要なアダプタ (ISAバス対応) です。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-789136-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-36GS ^{注4}	インサーキット・エミュレータとターゲット・システムを接続するためのボードです。30ピン・プラスチック・シュリンクSOP (GS, MC-5A4タイプ) に対応させるときは、NGS-30と組み合わせて使用します。
NGS-30 ^{注4} 変換ソケット	30ピン・プラスチック・シュリンクSOP (GS, MC-5A4タイプ) を実装できるように作られたターゲット・システムの基板と、NP-36GSを接続するための変換ソケットです。

注1 . PC-9800シリーズ (MS-DOSTM + WindowsTM) ベース

2 . IBM PC/AT互換機 (日本語 / 英語Windows) ベース

3 . HP9000シリーズ700TM (HP-UXTM) ベース, SPARCstationTM (SunOSTM, SolarisTM) ベース, NEWSTM (NEWS-OSTM) ベース

4 . 株式会社内藤電誠町田製作所 (044-822-3813) の製品です。ご購入の際は、NEC特約店にご相談ください。

5 . 開発中

備考 RA78K0S, CC78K0S, SM78K0Sは、DF789136と組み合わせて使用します。

デバッグ用ツール (2/2)

SM78K0S ^{注1,2}	78K/0Sシリーズ共通のシステム・シミュレータ
ID78K0S-NS ^{注1,2}	78K/0Sシリーズ共通の統合デバッガ
DF789136 ^{注1,2}	μ PD78F9116に対応するデバイス・ファイル

リアルタイムOS

MX78K0S ^{注1,2}	78K/0Sシリーズ用OS
-------------------------	---------------

注1 . PC-9800シリーズ (MS-DOS + Windows) ベース

2 . IBM PC/AT互換機 (日本語 / 英語Windows) ベース

★ 付録B . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789101,789102,789104,789111,789112,789114 データ・シート	U12815J	U12815E
μ PD78F9116 データ・シート	この資料	U13037E
μ PD789104,789114,789124,789134サブシリーズ ユーザーズ・マニュアル	U13045J	U13045E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U11622J	U11622E
	アセンブリ言語編	U11599J	U11599E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U11816J	U11816E
	言語編	U11817J	U11817E
SM78K0S システム・シミュレータ Windowsベース	レファレンス編	U11489J	U11489E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0S-NS 統合ディバッガ Windowsベース	レファレンス編	U12901J	U12901E
IE-78K0S-NS インサーキット・エミュレータ		U13549J	U13549E
IE-789136-NS-EM1 エミュレーション・ボード		作成予定	作成予定

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
78K/0Sシリーズ用OS MX78K0S	基礎編	U12938J	U12938E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTORS SELECTION GUIDE Products & Packages (CD-ROM)	X13769X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROMは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris、SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS、NEWS-OSは、ソニー株式会社の商標です。

