

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



V831™

32ビット・マイクロプロセッサ

μPD705101（別名称V831）は、組み込み制御向け高性能32ビット・マイクロプロセッサV830™をプロセッサ・コアに使用し、DRAM/ROMコントローラ、4チャンネルDMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、割り込みコントローラなどの周辺機能を内蔵した32ビットRISCマイクロプロセッサです。

V831は、高い割り込み応答性、最適化されたパイプライン構造に加え、マルチメディア機能を実現するために積和演算命令、連結シフト命令、高速分岐命令などを持ち、インターネット/イントラネット機器、カー・ナビゲーション、高性能テレビ、カラーFAXなどのマルチメディア機器分野できわめて高いパフォーマンスを実現できます。

詳しい機能説明などは次のマニュアルに記載しております。設計の際には必ずお読みください。

V831 ユーザーズ・マニュアル ハードウェア編 : U12273J

V830ファミリ™ ユーザーズ・マニュアル アーキテクチャ編 : U12496J

特 徴

CPU機能

- ・V830命令互換
- ・命令キャッシュ : 4 Kバイト
- ・命令RAM : 4 Kバイト
- ・データ・キャッシュ : 4 Kバイト
- ・データRAM : 4 Kバイト
- ・最小命令実行サイクル数 : 1サイクル
- ・汎用レジスタ : 32ビット×32本
- ・メモリ空間、I/O空間 : 各4 Gバイト

割り込み/例外処理機能

- ・ノンマスクابل : 外部入力1本
- ・マスクابل : 外部入力8本（4本は内部と兼用）
内部要因11種類

バス制御機能

ウェイト制御機能

メモリ・アクセス制御機能

DMAコントローラ内蔵 : 4チャンネル

シリアル・インタフェース機能

- ・非同期式シリアル・インタフェース (UART) : 1チャンネル
- ・同期式シリアル・インタフェース (CSI) : 1チャンネル
- ・専用ポーレート・ジェネレータ (BRG) : 1チャンネル

タイマ/カウンタ機能

- ・16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・16ビット・インターバル・タイマ : 1チャンネル

ポート機能 : 3本（入出力）

クロック発生機能 : PLLクロック・シンセサイザ

スタンバイ機能 (HALTモード, STOPモード)

デバッグ機能

- ・デバッグ専用同期式シリアル・インタフェース : 1チャンネル
- ・トレース専用インタフェース : 1チャンネル

本資料の内容は、後日変更する場合があります。

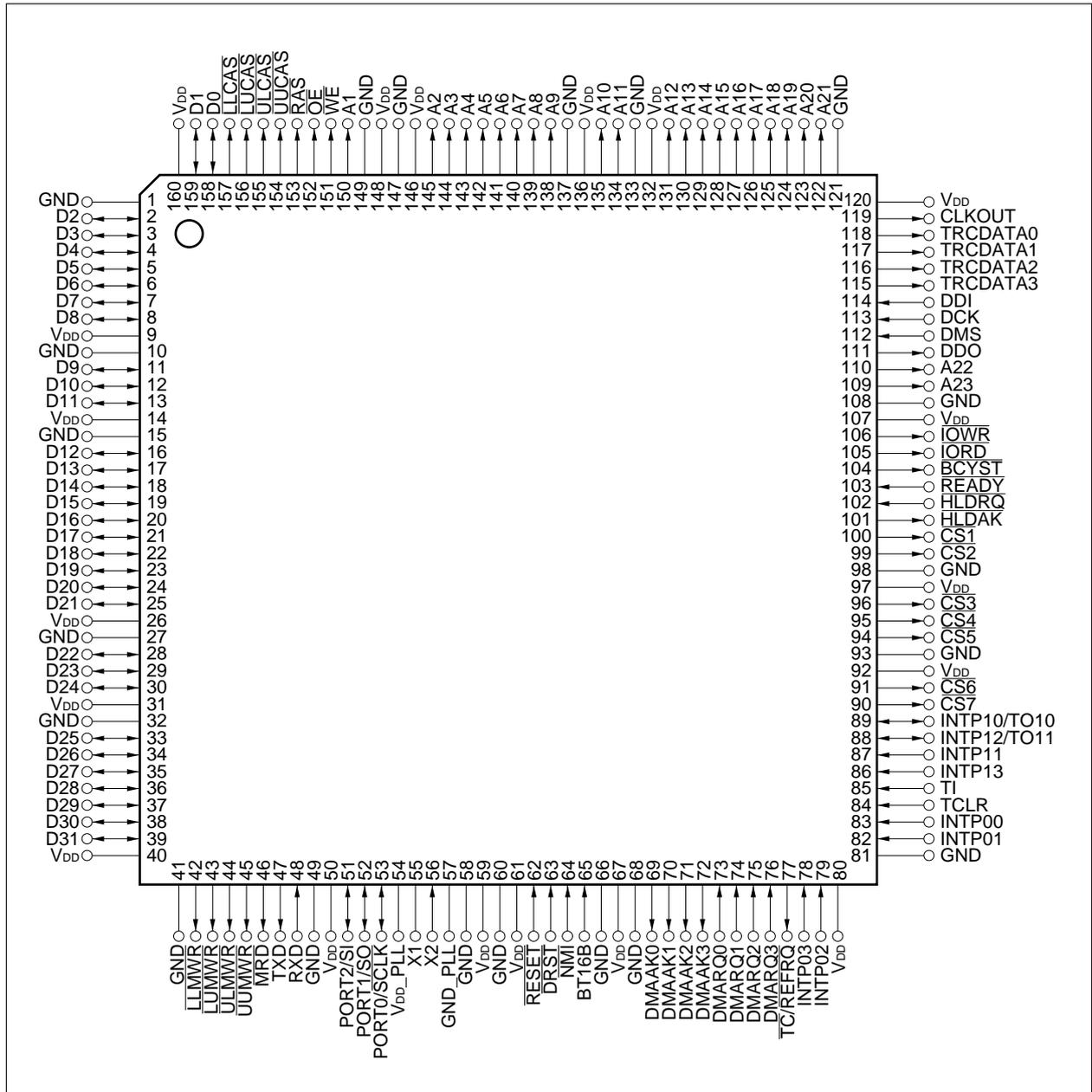
オーダ情報

オーダ名称	パッケージ
μPD705101GM-100-8ED	160ピン・プラスチックLQFP (ファインピッチ) (24 mm)

端子接続図

・160ピン・プラスチックLQFP (ファインピッチ) (24 mm)

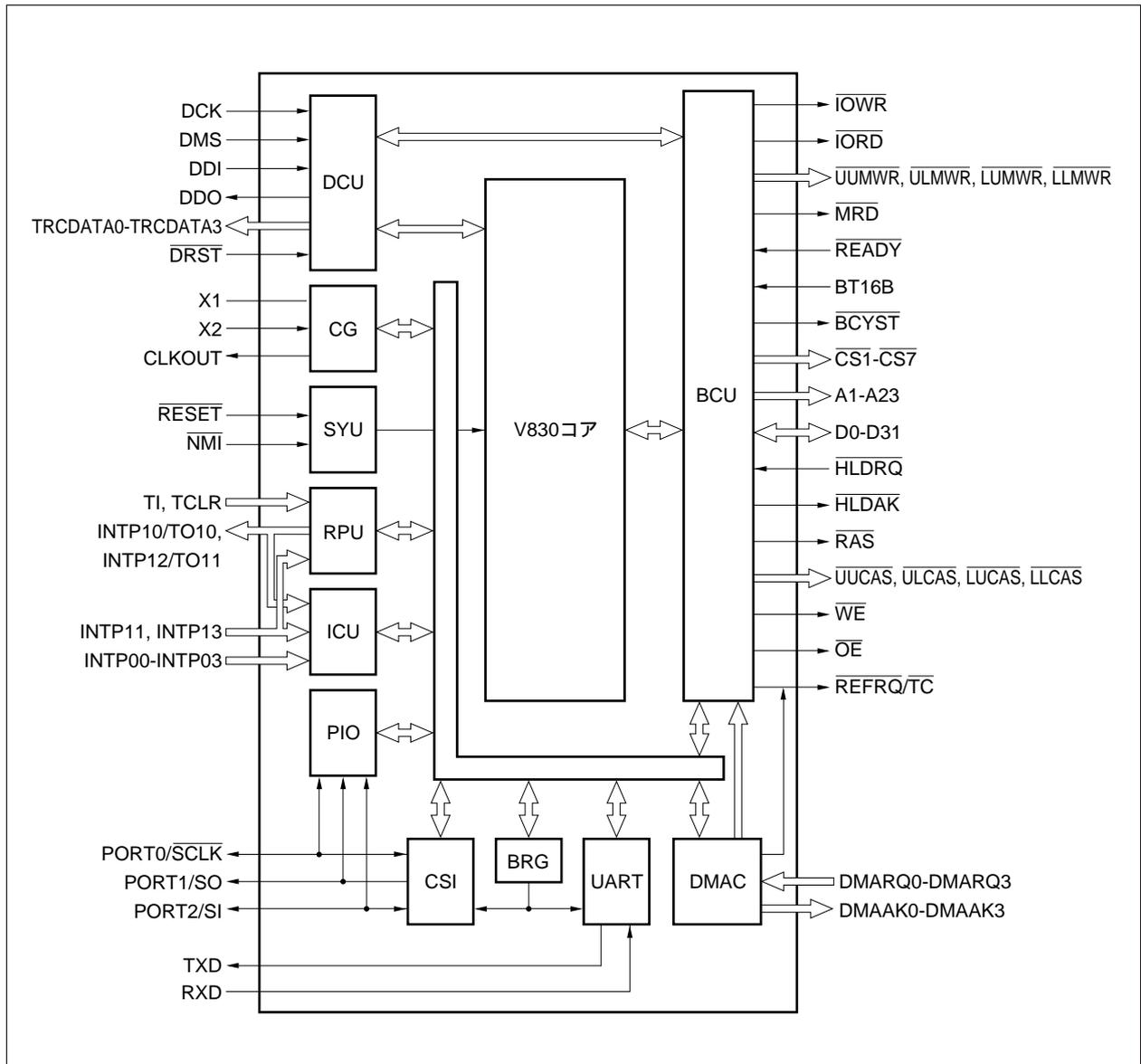
μPD705101GM-100-8ED



端子名称

A1-A23	: Address Bus	$\overline{\text{NMI}}$: Non-Maskable Interrupt Request
$\overline{\text{BCYST}}$: Bus Cycle Start	$\overline{\text{OE}}$: Output Enable
BT16B	: Boot Bus Size 16 bit	PORT0-PORT2	: Port
CLKOUT	: Clock Out	$\overline{\text{RAS}}$: Row Address Strobe
$\overline{\text{CS1}}-\overline{\text{CS7}}$: Chip Select	$\overline{\text{READY}}$: Ready
D0-D31	: Data Bus	$\overline{\text{REFRQ}}$: Refresh Request
DCK	: Debug Clock	$\overline{\text{RESET}}$: Reset
DDI	: Debug Data Input	RXD	: Receive Data
DDO	: Debug Data Output	$\overline{\text{SCLK}}$: Serial Clock
DMAAK0-DMAAK3	: DMA Acknowledge	SI	: Serial Input
DMARQ0-DMARQ3	: DMA Request	SO	: Serial Output
DMS	: Debug Mode Select	$\overline{\text{TC}}$: Terminal Count
$\overline{\text{DRST}}$: Degug Reset	TCLR	: Timer Clear
GND	: Ground	TI	: Timer Input
GND_PLL	: PLL Ground	TO10, TO11	: Timer Output
$\overline{\text{HLD\AA K}}$: Hold Acknowledge	TRCDATA0-TRCDATA3	: Trace Data
$\overline{\text{HLDRQ}}$: Hold Request	TXD	: Transmit Data
INTP00-INTP03,INTP10-INTP13	: Interrupt Request From Peripheral	$\overline{\text{ULCAS}}$: Upper Lower Column Address Strobe
$\overline{\text{IORD}}$: I/O Read	$\overline{\text{ULMWR}}$: Upper Lower Memory Write
$\overline{\text{IOWR}}$: I/O Write	$\overline{\text{UUCAS}}$: Upper Upper Column Address Strobe
$\overline{\text{LLCAS}}$: Lower Lower Column Address Strobe	$\overline{\text{UUMWR}}$: Upper Upper Memory Write
$\overline{\text{LLMWR}}$: Lower Lower Memory Write	V _{DD}	: Power Supply
$\overline{\text{LUCAS}}$: Lower Upper Column Address Strobe	V _{DD_PLL}	: PLL Power Supply
$\overline{\text{LUMWR}}$: Lower Upper Memory Write	$\overline{\text{WE}}$: Write Enable
$\overline{\text{MRD}}$: Memory Read	X1, X2	: Crystal Oscillator

内部ブロック図



目 次

1 . 端子機能一覧	...	7
2 . 内部ユニット	...	9
3 . CPU機能	...	11
4 . 割り込み/例外処理機能	...	12
5 . バス制御機能	...	14
6 . ウェイト制御機能	...	14
7 . メモリ・アクセス制御機能	...	15
7.1 DRAM制御機能	...	15
7.2 Page-ROM制御機能	...	16
8 . DMA機能	...	17
9 . シリアル・インタフェース機能	...	19
9.1 アシクロナス・シリアル・インタフェース (UART)	...	19
9.2 クロック同期式シリアル・インタフェース (CSI)	...	21
9.3 ボー・レート・ジェネレータ (BRG)	...	22
10 . タイマ/カウンタ機能	...	23
11 . ポート機能	...	26
12 . クロック発生機能	...	28
13 . スタンバイ機能	...	29
14 . リセット/NMI制御機能	...	31
15 . 命 令	...	32
15.1 命令フォーマット	...	32
15.2 命令一覧 (アルファベット順)	...	35
16 . 電気的特性	...	43

17. 外形図 ... 65

18. 半田付け推奨条件 ... 66

1. 端子機能一覧

(1/2)

端子名称	入出力	機能	兼用端子
D0-D31	3ステート入出力	データ・バス	-
A1-A23	3ステート出力	アドレス・バス	-
\overline{UUCAS}		カラム・アドレス・ストロープ(最上位バイト)	-
\overline{ULCAS}		カラム・アドレス・ストロープ(第2バイト)	-
\overline{LUCAS}		カラム・アドレス・ストロープ(第3バイト)	-
\overline{LLCAS}		カラム・アドレス・ストロープ(最下位バイト)	-
\overline{RAS}		ロウ・アドレス・ストロープ/チップ・セレクト	-
\overline{UUMWR}		メモリ・ライト・ストロープ(最上位バイト)	-
\overline{ULMWR}		メモリ・ライト・ストロープ(第2バイト)	-
\overline{LUMWR}		メモリ・ライト・ストロープ(第3バイト)	-
\overline{LLMWR}		メモリ・ライト・ストロープ(最下位バイト)	-
\overline{MRD}		メモリ・リード・ストロープ	-
\overline{WE}		DRAM用ライト・ストロープ	-
\overline{OE}		DRAM用リード・ストロープ	-
\overline{IORD}		I/Oリード・ストロープ	-
\overline{IOWR}		I/Oライト・ストロープ	-
\overline{REFRQ}		DRAMリフレッシュ要求	\overline{TC}
$\overline{CS1}, \overline{CS2}, \overline{CS7}$		メモリ・チップ・セレクト	-
$\overline{CS3}-\overline{CS6}$		メモリ・チップ・セレクト/I/Oチップ・セレクト	-
\overline{BCYST}		バス・サイクル・スタート	-
BT16B	入力	ブート時のバス・サイズ指定	-
\overline{READY}		バス・サイクル終結許可	-
DMARQ0-DMARQ3		DMA要求(CH0-CH3)	-
DMAAK0-DMAAK3	出力	DMA許可(CH0-CH3)	-
\overline{TC}		DMA転送終了	\overline{REFRQ}
RXD	入力	UARTデータ入力	-
TXD	出力	UARTデータ出力	-
SI	入力	CSIデータ入力	PORT2
SO	出力	CSIデータ出力	PORT1
\overline{SCLK}	入出力	CSIクロック入出力	PORT0
TI	入力	タイマ1カウント・クロック入力	-
TCLR		タイマ1クリア, スタート	-
TO10	出力	RPUパルス出力	INTP10
TO11			INTP12
INTP10	入力	割り込み要求	TO10
INTP11			-
INTP12			TO11
INTP13			-
INTP00-INTP03			-
\overline{HLDRQ}		バス使用要求	-
\overline{HLDAK}	出力	バス使用許可	-
\overline{NMI}	入力	ノンマスクブル割り込み要求	-
\overline{RESET}		システム・リセット	-

(2/2)

端子名称	入出力	機能	兼用端子
PORT0	入出力	ポート	SCLK
PORT1			SO
PORT2			SI
X1	-	水晶振動子接続 (外部クロック入力時オープン)	-
X2	入力	水晶振動子接続 / 外部クロック入力	-
CLKOUT	出力	バス・クロック出力	-
DCK	入力	ディバグ・クロック入力	-
DDI		ディバグ・データ入力	-
DDO	3ステート出力	ディバグ・データ出力	-
DMS	入力	ディバグ・モード・セレクト	-
DRST		リセット入力 (ディバグ・モジュール)	-
TRCDATA0- TRCDATA3	出力	トレース・データ出力	-
V _{DD}	-	正電源供給	-
GND		グランド電位	-
V _{DD} _PLL		PLL (内部クロック発生器) 用正電源供給	-
GND_PLL		PLL (内部クロック発生器) 用グランド電位	-

2. 内部ユニット

(1) バス・コントロール・ユニット (BCU)

アドレス・バス，データ・バス，コントロール・バスの端子を制御します。次にBCUの機能を示します。

(a) バス・アビトレーション

各バス・マスタ (CPU, DRAMC, DMAC, 外部バス・マスタ) 間で，バス使用权の調停を行います。バス使用权は，実行中のバス・サイクル終了後およびアイドル・ステートにおいて切り替えることができます。

(b) ウェイト・コントロール

$\overline{\text{RAS}}$ 信号と7本のチップ・セレクト信号 ($\overline{\text{CS1}}\text{-}\overline{\text{CS7}}$) に対応するリニア16 Mバイト空間の8個にエリアを管理します。チップ・セレクト信号の生成，ウェイト制御およびバス・サイクルの種類を選択します。

(c) DRAMコントローラ

$\overline{\text{RAS}}$ 信号と4本のCAS信号の生成とDRAMへのアクセス制御を行います。DRAMのハイパー・ページ・モードに対応しています。DRAMへのアクセスには，通常アクセス (off-page) とハイパー・ページ・アクセス (on-page) の2種類のサイクルがあります。

(d) ROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。直前のバス・サイクルとのアドレス比較を行い，通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8バイトから16バイトまでのページ幅に対応します。

(2) 割り込みコントローラ (ICU)

内蔵周辺ハードウェアおよび外部からのマスカブル割り込み要求 (INTP00-INTP03, INTP10-INTP13) を処理します。これらの割り込み要求を，4つのグループ単位ごとに優先順位を指定でき，エッジまたはレベルによる割り込み要因の多重処理を行います。

(3) DMAコントローラ (DMAC)

CPUの代わりにメモリとI/Oの間でデータ転送を行います。転送タイプは，2サイクル転送になります。転送モードには，シングル転送とディマンド転送の2種類があります。

(4) シリアル・インタフェース (UART/CSI/BRG)

アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を1チャンネル備えています。シリアル・クロック・ソースは，ポー・レート・ジェネレータ (BRG) 出力とバス・クロックから選択できます。

(5) リアルタイム・パルス・ユニット (RPU)

タイマ/カウンタ機能を実現します。16ビットのタイマ/イベント・カウンタと16ビットのインターバル・タイマを内蔵して，パルス間隔や周波数の計算，プログラマブルなパルスの出力ができます。

(6) クロック・ジェネレータ (CG)

X1, X2端子に接続された発振子の3倍の周波数を, CPUの動作クロックとして供給します。また, バス・クロック(入力クロック同周期)を周辺ユニットの動作クロックとしても供給します。発振子を接続する代わりに外部クロックを入力することもできます。

(7) ポート (PIO)

ポート機能を実現しています。3本の入出力ポートを備えます。ポート端子とシリアル・コントロール端子の機能を選択して使用できます。

(8) システム・コントロール・ユニット (SYU)

$\overline{\text{RESET}}$ 信号(入力) / $\overline{\text{NMI}}$ 信号(入力)のノイズを除去する回路を内蔵しています。

(9) デバッグ・コントロール・ユニット (DCU)

基本的なデバッグ機能を実現するため, マッピングとトレースができる回路を内蔵しています。

3 . CPU機能

次にCPU機能の特徴について示します。

組み込み用途向け高性能32ビット・アーキテクチャ

・キャッシュ・メモリ内蔵

命令キャッシュ : 4 Kバイト

データ・キャッシュ : 4 Kバイト

・内蔵RAM

命令RAM : 4 Kバイト

データRAM : 4 Kバイト

・1クロック・ピッチのパイプライン構造

・16/32ビット長の命令形態

・アドレス/データの分離型バス

・4Gバイトのリニア・アドレス

・32本の32ビット汎用レジスタ

・レジスタ/フラグ・ハザードのインタロックをハードウェアにより対処

・16レベルの割り込み応答

16ビット・バス固定機能

・16ビット・バス・システムを構築可能

各種応用分野に適した命令群

・積和演算

・飽和演算

・分岐予測

・連結シフト

・ブロック転送命令

4. 割り込み / 例外処理機能

次に割り込み / 例外処理機能の特徴について示します。

割り込み

- ・ノンマスクブル割り込み：1要因
- ・マスクブル割り込み：15要因
- ・4つのグループでのプログラマブル優先順位制御
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクブル割り込み要求に対するマスク指定
- ・外部割り込み要求の有効エッジ指定
- ・ノンマスクブル割り込み端子 (NMI) には、ノイズ除去回路を内蔵

例外

- ・ソフトウェア例外：32要因
- ・例外トラップ：4要因

これらの割り込み / 例外要因を表4 - 1, 表4 - 2に示します。

表4 - 1 リセット / ノンマスクブル割り込み / 例外要因一覧

種類	分類	割り込み / 例外要因		例外コード (ECR)	ハンドラ・アドレス	復帰PC ^{注2}
		名称 ^{注1}	発生要因			
リセット	割り込み	RESET	リセット入力	FFF0H	FFFFFFF0H	不 定
ノンマスクブル	割り込み	NMI	NMI入力	FFD0H	FFFFFFD0H	next PC ^{注3}
ソフトウェア例外	例外	TRAP 1nH	TRAP命令	FFBnH	FFFFFFB0H	next PC
		TRAP 0nH	TRAP命令	FFAnH	FFFFFFA0H	
例外トラップ	例外	NMI	二重例外	注4	FFFFFFD0H	current PC
		FAULT	致命的例外	変化しない	FFFFFFE0H	
		I-OPC	不正命令コード	FF90H	FFFFFF90H	
		DIV0	ゼロ除算	FF80H	FFFFFF80H	

注1 . 開発ツールまたはソフトウェアでのハンドラの名称です。

2 . 割り込み / 例外処理起動時に、EIPC/FEPC/DPCにセーブされるPC値のことです。

3 . すべての命令は、割り込みで命令実行を中断できません。

4 . 二重例外の要因となった例外の例外コードです。

備考 n = 0H-FH

表 4 - 2 マスカブル割り込み一覧

種類	分類	グループ	グループ内 優先順位	割り込み要因			例外 コード	ハンドラ・アドレス ^{注3}		復帰PC ^{注1}
				名称	発生要因	発生ユニット		HCCW.IHA = 0	HCCW.IHA = 1	
マスカブル	割り込み	GR3	3	RESERVED	予 約	-	FEF0H	FFFFFFEF0H	FE0000F0H	next PC ^{注2}
			2	INTOV1	タイマ1オーバフロー	RPU	FEE0H	FFFFFFE0H	FE0000E0H	
			1	INTSER	UART受信エラー	UART	FED0H	FFFFFFED0H	FE0000D0H	
			0	INTP03	INTP03端子入力	外部	FEC0H	FFFFFFEC0H	FE0000C0H	
		GR2	3	INTSR	UART受信終了	UART	FEB0H	FFFFFFEB0H	FE0000B0H	
			2	INTST	UART送信終了	UART	FEA0H	FFFFFFEA0H	FE0000A0H	
			1	INTCSI	CSI送受信終了	CSI	FE90H	FFFFFFE90H	FE000090H	
			0	INTP02	INTP02端子入力	外部	FE80H	FFFFFFE80H	FE000080H	
		GR1	3	INTDMA	DMA転送終了	DMAC	FE70H	FFFFFFE70H	FE000070H	
			2	INTP10/ INTCC10	INTP10端子入力 / CC10の一致	外部 / RPU	FE60H	FFFFFFE60H	FE000060H	
			1	INTP11/ INTCC11	INTP11端子入力 / CC11の一致	外部 / RPU	FE50H	FFFFFFE50H	FE000050H	
			0	INTP01	INTP01端子入力	外部	FE40H	FFFFFFE40H	FE000040H	
		GR0	3	INTCM4	CM4の一致	RPU	FE30H	FFFFFFE30H	FE000030H	
			2	INTP12/ INTCC12	INTP12端子入力 / CC12の一致	外部 / RPU	FE20H	FFFFFFE20H	FE000020H	
			1	INTP13/ INTCC13	INTP13端子入力 / CC13の一致	外部 / RPU	FE10H	FFFFFFE10H	FE000010H	
			0	INTP00	INTP00端子入力	外部	FE00H	FFFFFFE00H	FE000000H	

注 1 . 割り込み時に、EIPCにセーブされるPC値のことです。

2 . すべての命令は、割り込みで命令実行を中断できません。

3 . ハンドラ・アドレスは、HCCW.IHA = 0のときFFFFFFEn0H, HCCW.IHA = 1のときFE0000n0Hを選択できます (n = 0H-FH)。

注意 マスカブル割り込みの例外コードとハンドラ・アドレスは、デフォルト優先順位での値です。

5 . バス制御機能

次にバス制御機能の特徴について示します。

EDO DRAM, Page-ROM, SRAM (ROM) , I/Oをダイレクトに接続可能

最小1バス・クロックのCASアクセス

4本のCAS信号によるDRAMへのバイト・アクセス制御

READY信号によるウエイト制御

CS空間ごとに32ビット・バス幅 / 16ビット・バス幅を設定可能

・データ・バスが16ビットのメモリまたはI/Oをアクセスする場合, 外部データ・バス幅をデータ・バス幅コントロール・レジスタ (DBC) で設定可能

6 . ウエイト制御機能

次にウエイト制御機能の特徴について示します。

I/O空間とメモリ空間をあわせて8ブロック制御可能

各ブロックのリニア・アドレス空間 : 16 Mバイト

バス・サイクルの選択機能

ブロック 0 : EDO DRAM

ブロック 1 , 2 : SRAM (ROM)

ブロック 3 - 6 : I/O, SRAM (ROM) 選択可能

ブロック 7 : Page-ROM, SRAM (ROM) 選択可能

データ・バス幅選択機能

各ブロックごとにデータ・バス幅を32ビット / 16ビット選択可能

ウエイト制御機能

ブロック 0 : EDO DRAMアクセス・タイミング制御可能

ブロック 1 - 4 , 7 : 0 - 7 ウエイト

ブロック 5 - 6 : 0 - 15 ウエイト

アイドル・ステート挿入機能

各ブロックごとに0 - 3 ステート (バス・クロック)

7. メモリ・アクセス制御機能

次にメモリ・アクセス制御機能の特徴について示します。

DRAM制御機能

- ・ $\overline{\text{RAS}}$, $\overline{\text{LLCAS}}$, $\overline{\text{LUCAS}}$, $\overline{\text{ULCAS}}$, $\overline{\text{UUCAS}}$, $\overline{\text{REFRQ}}$, $\overline{\text{OE}}$, $\overline{\text{WE}}$ 信号の生成
- ・ アドレス・マルチプレクス：8, 9, 10ビット
- ・ DRAMアクセスのタイミング制御
 - $\overline{\text{CAS}}$ アクセス期間：1バス・クロック / 2バス・クロック選択可能
 - $\overline{\text{RAS}}$ - $\overline{\text{CAS}}$ 遅延期間：1.5バス・クロック / 2.5バス・クロック選択可能
 - $\overline{\text{RAS}}$ プリチャージ期間：2バス・クロック / 3バス・クロック選択可能
- ・ CBRリフレッシュ, CBRセルフ・リフレッシュ機能

Page-ROM制御機能

- ・ ページ・サイズ：8バイト / 16バイト
- ・ ページ・アクセス時のウエイト制御：0ウエイト / 1ウエイト

7.1 DRAM制御機能

BCUは、 $\overline{\text{RAS}}$, $\overline{\text{LLCAS}}$, $\overline{\text{LUCAS}}$, $\overline{\text{ULCAS}}$, $\overline{\text{UUCAS}}$, $\overline{\text{REFRQ}}$, $\overline{\text{OE}}$, $\overline{\text{WE}}$ 信号の生成とDRAMへのアクセスを制御します。DRAMへのアドレスは、DRAMのロウ・アドレス、カラム・アドレスをマルチプレクスしてアドレス端子から出力します。

接続するDRAMは、 $\times 8$ ビット以上でハイパー・ページ・モード（EDO）を備えていることを前提とします。

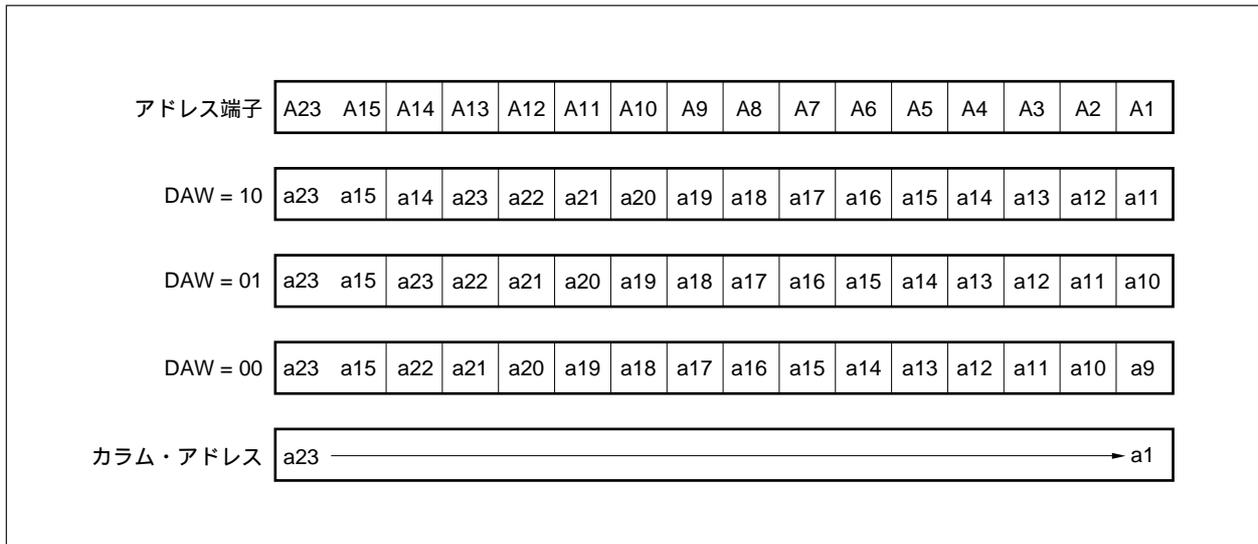
リフレッシュは、 $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ （CBR）方式で、リフレッシュ周期を任意に設定できます。

また、STOPモード時には、CBRセルフ・リフレッシュを行います。

（1）アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタ（DRC）のDAWビットの値により、DRAMサイクルでのロウ・アドレス、カラム・アドレス出力は、図7-1のようにアドレスがマルチプレクスします。図7-1では、a1-a23はCPUから出力されたアドレスを、A1-A23はV831のアドレス端子を示しています。

図 7 - 1 ロウ・アドレス, カラム・アドレスの出力



(2) on-page/off-pageの判断

DRAMコンフィギュレーション・レジスタ (DRC) のHPAEビットが1でページ・アクセスが許可されている状態でRAS信号がアクティブの場合、起動するDRAMアクセスが前回のDRAMアクセスと同一ページ内かどうかの判断を行います。表 7 - 1 に比較するアドレスとアドレス・シフト量の関係を示します。

表 7 - 1 on-page/off-page判断で比較するアドレス

アドレス・シフト量	データ・バス幅	
	16ビット	32ビット
8	a23-a9	a23-a10
9	a23-a10	a23-a11
10	a23-a11	a23-a12

(3) リフレッシュ機能

BCUは、外部DRAMのリフレッシュ動作に必要な分散型のCBRリフレッシュ・サイクルを自動的に発生できません。リフレッシュの許可/禁止とリフレッシュ間隔は、リフレッシュ・コントロール・レジスタ (RFC) で設定します。

BCUは、リフレッシュ要求を最大7回まで蓄えるリフレッシュ要求キューを備えています。

7.2 Page-ROM制御機能

BCUは、Page-ROMへのページ・アクセスを制御します。Page-ROMへのページ・アクセスは、バースト・アクセス時に有効になります。

ページ・サイズ (8 バイト / 16 バイト) の設定とページ・アクセス時のウエイト数 (0 ウエイト / 1 ウエイト) の設定ができます。

8 . DMA機能

次にDMA機能の特徴について示します。

4組の独立したDMAチャンネル

転送単位：バイト，ハーフワード（2バイト），ワード（4バイト）単位

最大転送回数：16,777,216（ 2^{24} ）回

転送タイプ：2サイクル転送

2種類の転送モード

- ・シングル転送モード
- ・ダイヤモンド転送モード

転送要求

- ・外部DMARQ端子（4本）
- ・内部周辺ハードウェア（シリアル・インタフェース（3本），タイマ）からの要求
- ・ソフトウェアによる要求

転送対象

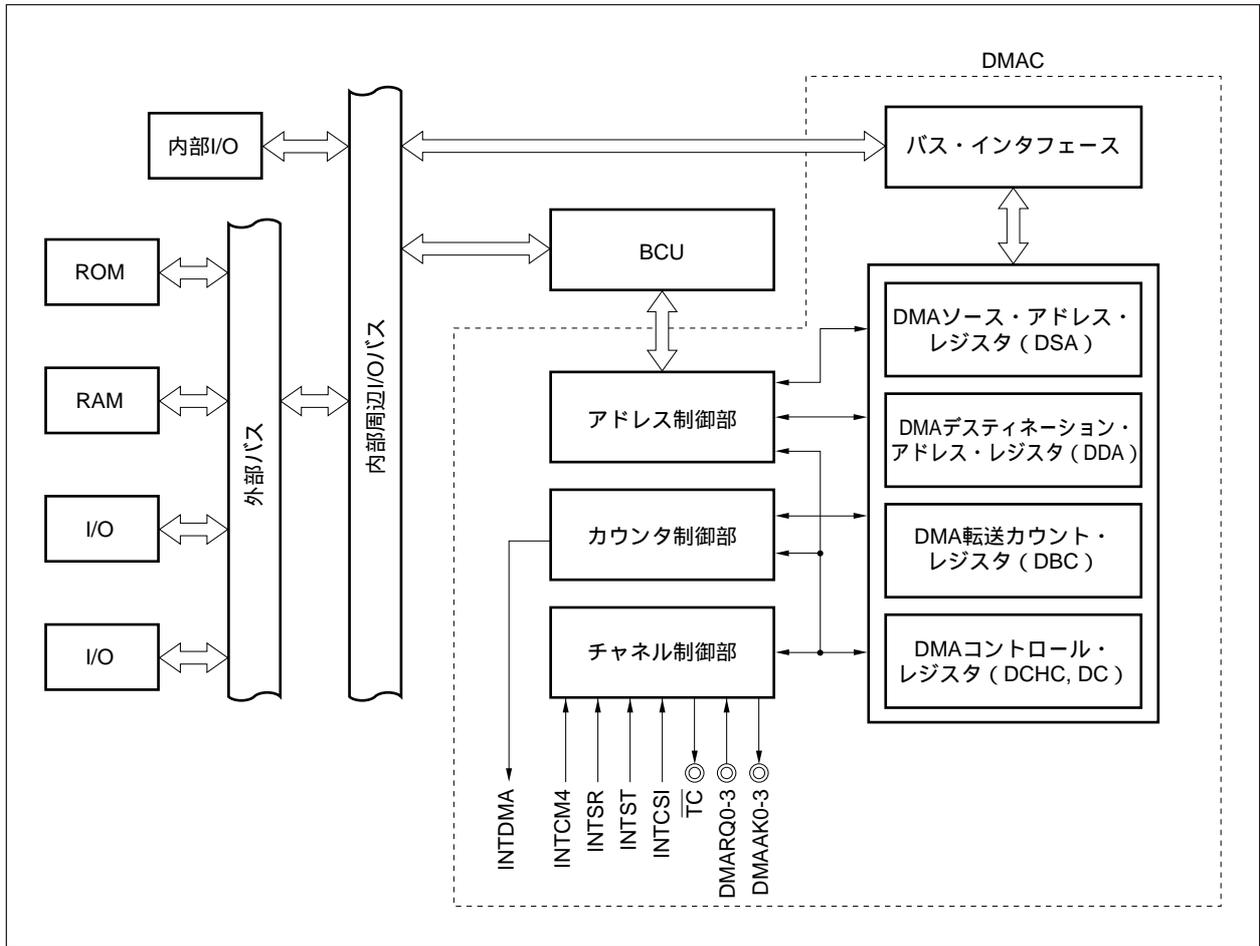
- ・メモリ-I/O
- ・メモリ-メモリ

プログラマブル・ウェイト機能

DMA転送終了信号出力（ \overline{TC} ）

次にDMAコントローラ（DMAC）の構成について示します。

図8-1 DMACブロック図



9. シリアル・インタフェース機能

シリアル・インタフェース機能として、次に示すチャンネルがあります。

- アシンクロナス・シリアル・インタフェース (UART) : 1チャンネル
- クロック同期式シリアル・インタフェース (CSI) : 1チャンネル
- ポー・レート・ジェネレータ (BRG) : 1チャンネル

9.1 アシンクロナス・シリアル・インタフェース (UART)

次にアシンクロナス・シリアル・インタフェース (UART) の特徴について示します。

全二重通信 受信バッファ (RXB) 内蔵 (送信バッファ (TXB) は内蔵していません)

2端子構成 (V831のUARTはSCLK端子, CTS端子がありません)

- ・TXD 送信データの出力端子
- ・RXD 受信データの入力端子

転送速度 : 150 bps-76800 bps (バス・クロック : 33 MHz, BRG使用時)

ポー・レート・ジェネレータを内蔵

シリアル・クロック・ソースは、ポー・レート・ジェネレータ出力とバス・クロック () から選択可能

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース (3種類)

- ・受信エラー割り込み (INTSER)

3種類の受信エラーの論理和で割り込み要求を発生します。

- ・受信終了割り込み (INTSR)

受信許可状態のとき、シフト・レジスタから受信バッファへ受信データの転送が終了すると受信終了割り込み要求が発生します。

- ・送信終了割り込み (INTST)

シリアル送信を行って、シフト・レジスタから送信データ (9/8/7ビット) をシリアル送信し終わると送信終了割り込み要求を発生します。送受信データのキャラクタ長は、ASIM00, ASIM01レジスタで指定します。

キャラクタ長 : 7, 8ビット

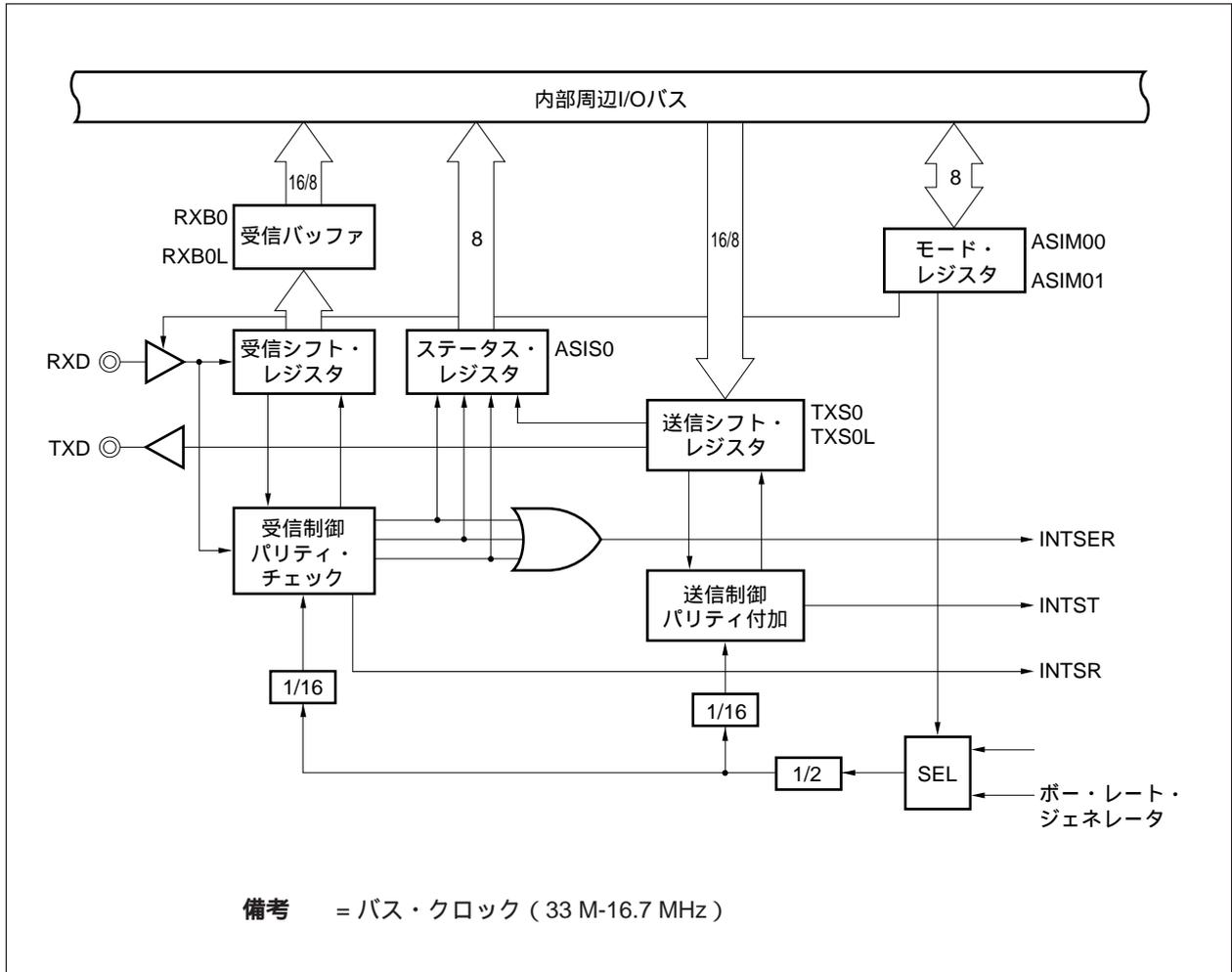
 : 9ビット (拡張ビット付加時)

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

次にアシンクロナス・シリアル・インタフェース (UART) の構成について示します。

図9 - 1 UARTのブロック図



9.2 クロック同期式シリアル・インタフェース (CSI)

次にクロック同期式シリアル・インタフェース (CSI) の特徴について示します。

高速転送 最大8.25 Mbps (バス・クロック : 33 MHz)

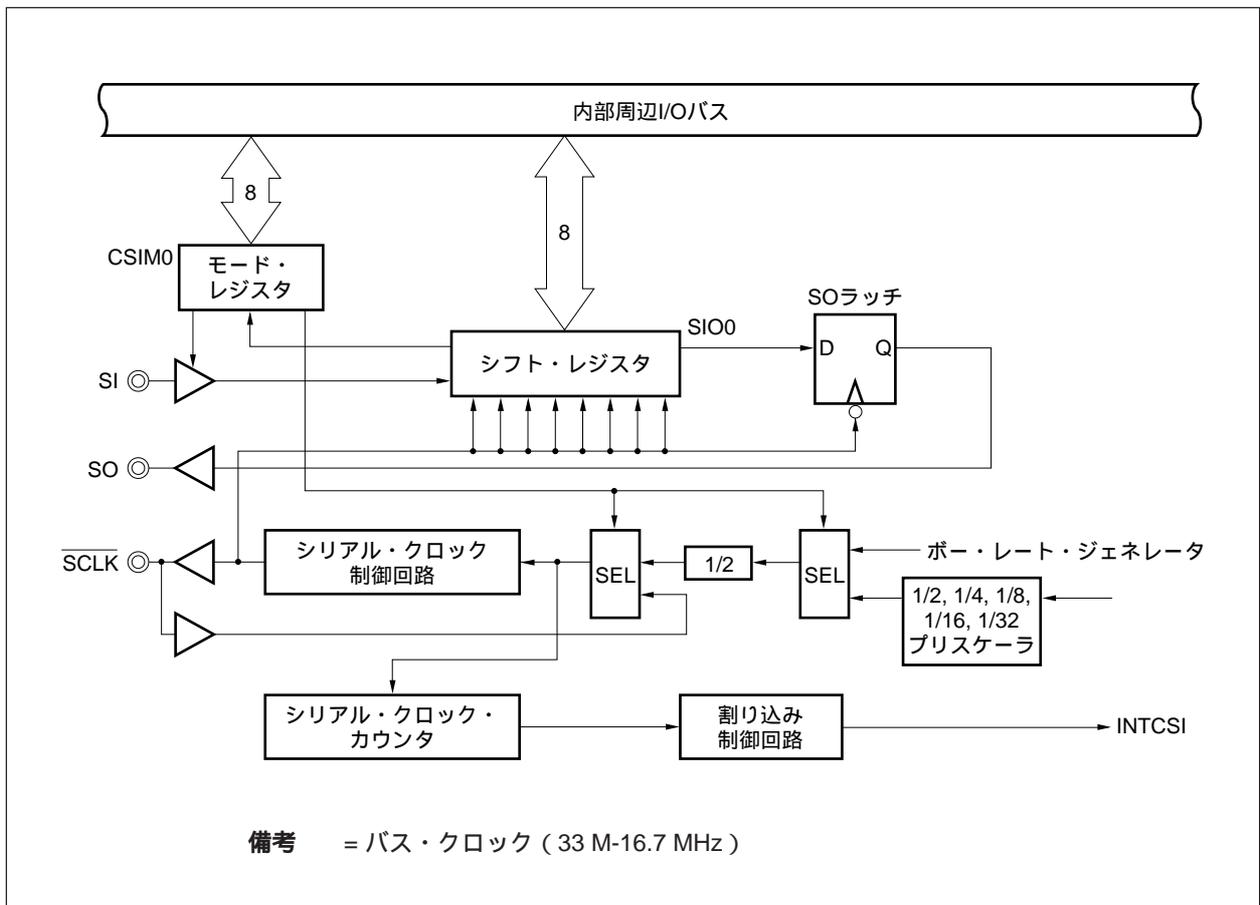
送受信は同時で半二重通信可能 (バッファは備えていません)

キャラクタ長 : 8ビット

外部/内部シリアル・クロック選択

次にクロック同期式シリアル・インタフェース (CSI) の構成について示します。

図9 - 2 CSIのブロック図



9.3 ポー・レート・ジェネレータ (BRG)

次にポー・レート・ジェネレータ (BRG) の特徴について示します。

シリアル・クロックをポー・レート・ジェネレータ出力または (バス・クロック) の分周値から選択したものをポー・レートとして使用可能

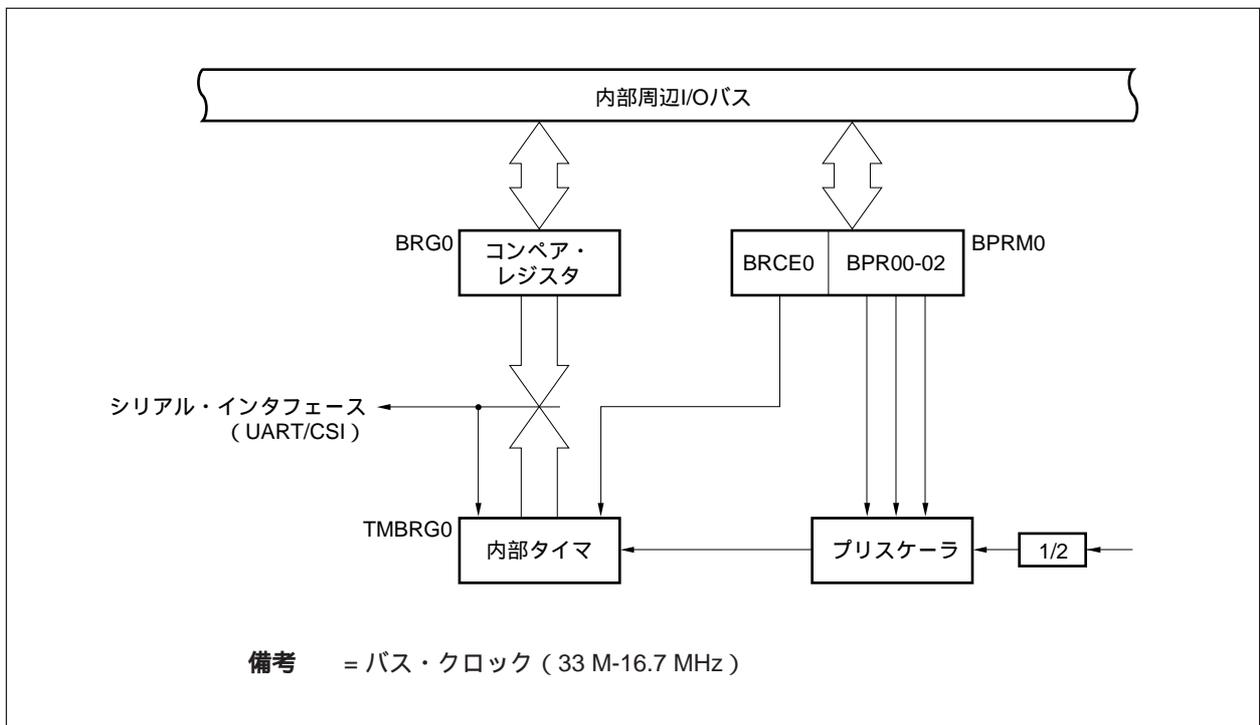
シリアル・クロック・ソースの指定

- ・ UARTの場合, ASIM00レジスタのSCLS0ビットで指定
- ・ CSIの場合, CSIM0レジスタのCLS02-CLS00ビットで指定

UARTとCSIでポー・レート・ジェネレータを共用

次にポー・レート・ジェネレータ (BRG) の構成について示します。

図9 - 3 ポー・レート・ジェネレータ (BRG) のブロック構成



10. タイマ/カウンタ機能

次にタイマ/カウンタ機能の特徴について示します。

パルス間隔や周波数の計測および、プログラマブルなパルスを出力

- ・16ビット計測可能
- ・多彩な形状のパルスを発生可能（インターバル・パルス，ワンショット・パルス）

タイマ1

- ・16ビット・タイマ/イベント・カウンタ
- ・カウント・クロックのソース：2種（システム・クロックの分周を選択，外部パルス入力）
- ・キャプチャ/コンペア共用レジスタ：4本
- ・カウント・クリア端子：TCLR
- ・割り込みソース：5種
- ・外部パルス出力：2本

タイマ4

- ・16ビット・インターバル・タイマ
- ・カウント・クロックは，システム・クロックの分周から選択
- ・コンペア・レジスタ：1本
- ・割り込みソース：1種

次にタイマ1とタイマ4の構成について示します。

図10 - 1 タイマ1のブロック構成

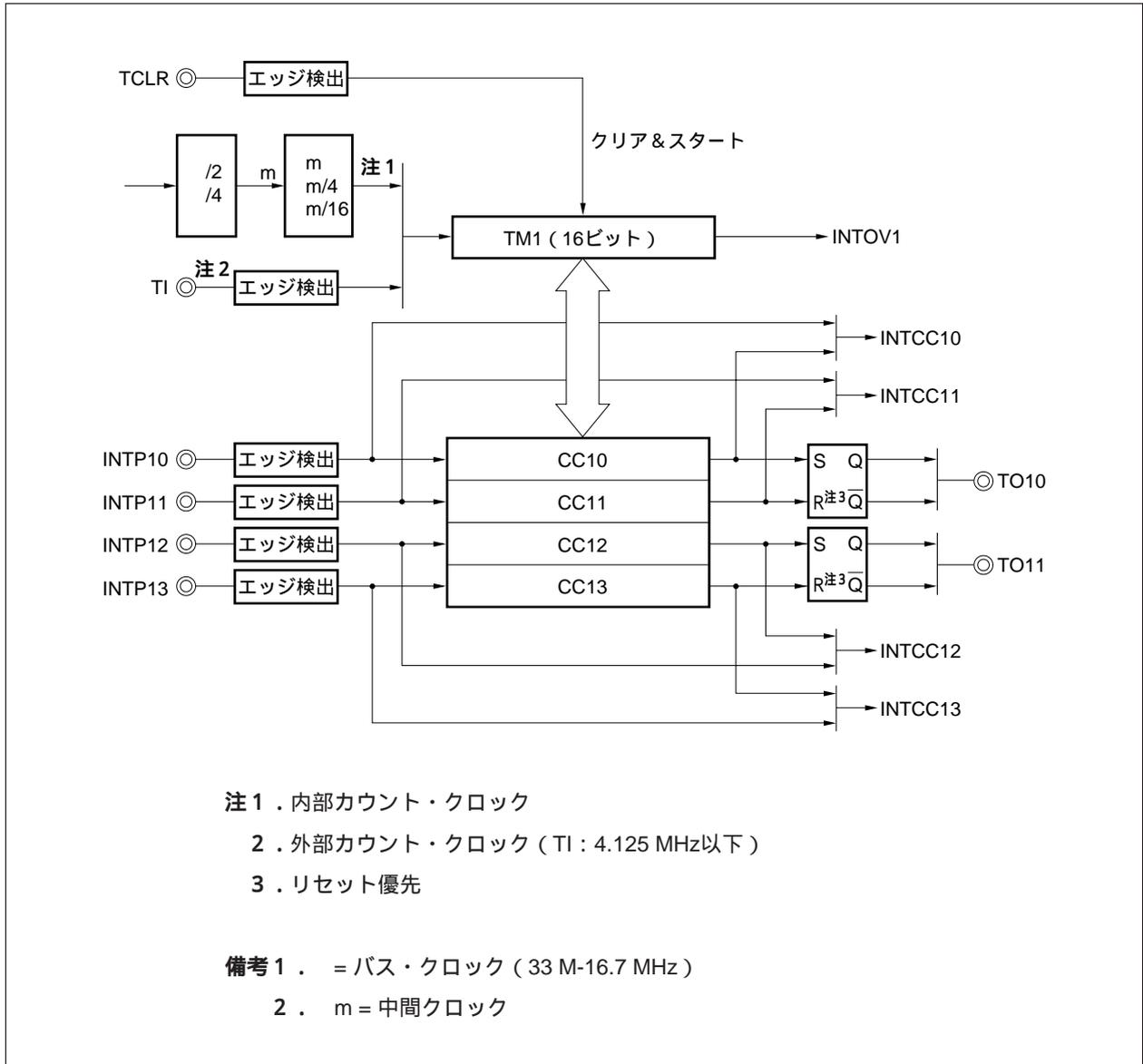
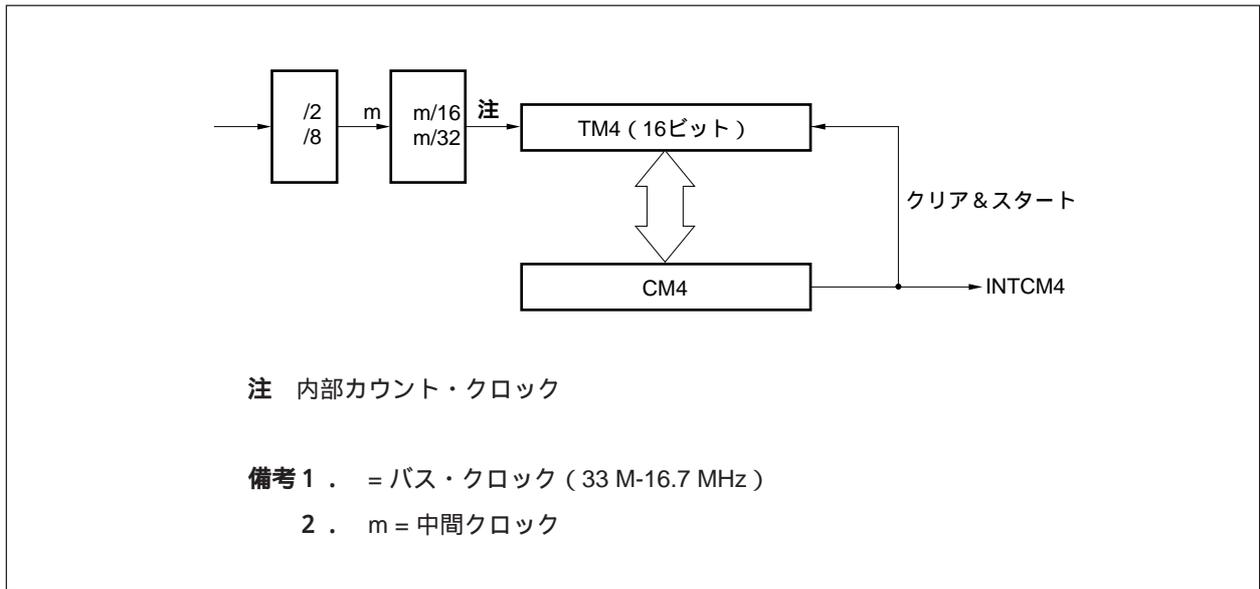


図10 - 2 タイマ4のブロック構成



11. ポート機能

次にポート機能の特徴について示します。

1ビット単位で入出力を指定できる3ビット入出力ポート

ポート機能のほかにコントロール・モードでは、シリアル・インタフェース (CSI) の入出力として動作可能

- ・ポート0 (コントロール・モード) : $\overline{\text{SCLK}}$ として動作
- ・ポート1 (コントロール・モード) : SOとして動作
- ・ポート2 (コントロール・モード) : SIとして動作

次にポート0-2の構成について示します。

図11-1 ポート0のブロック図

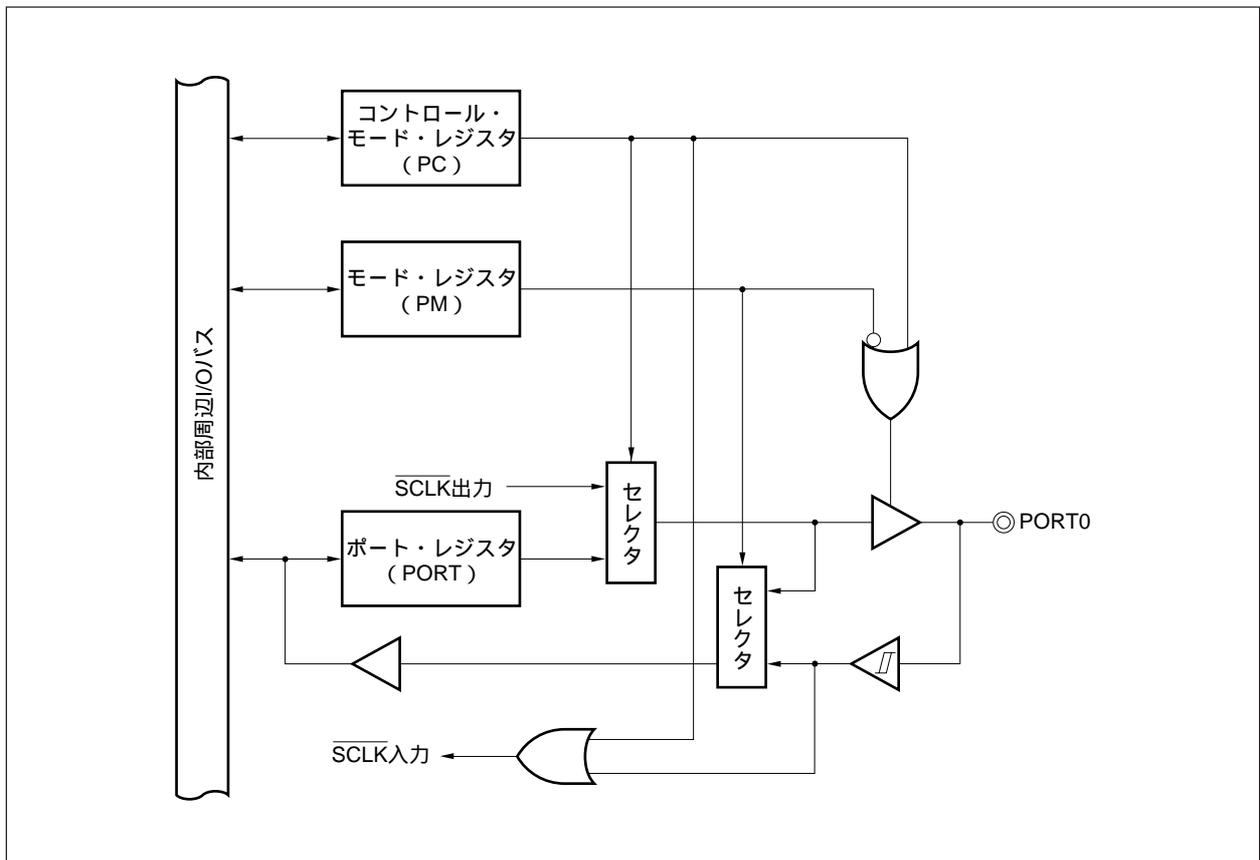


図11 - 2 ポート1のブロック図

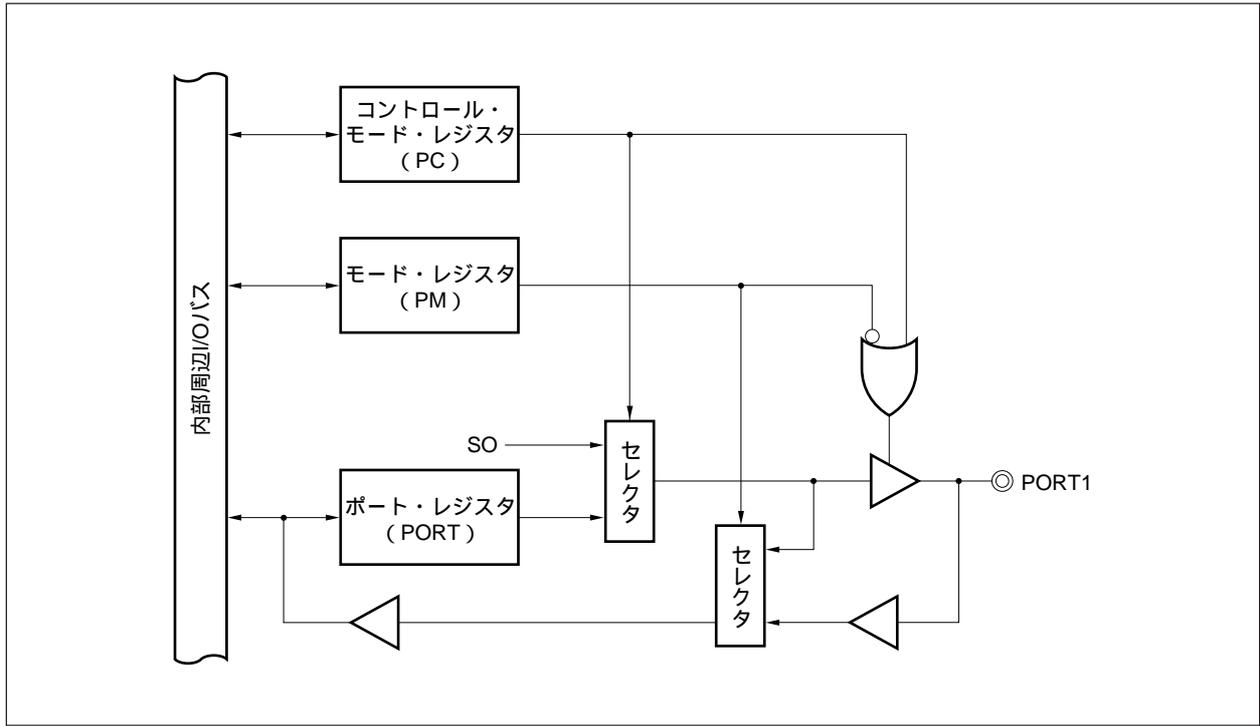
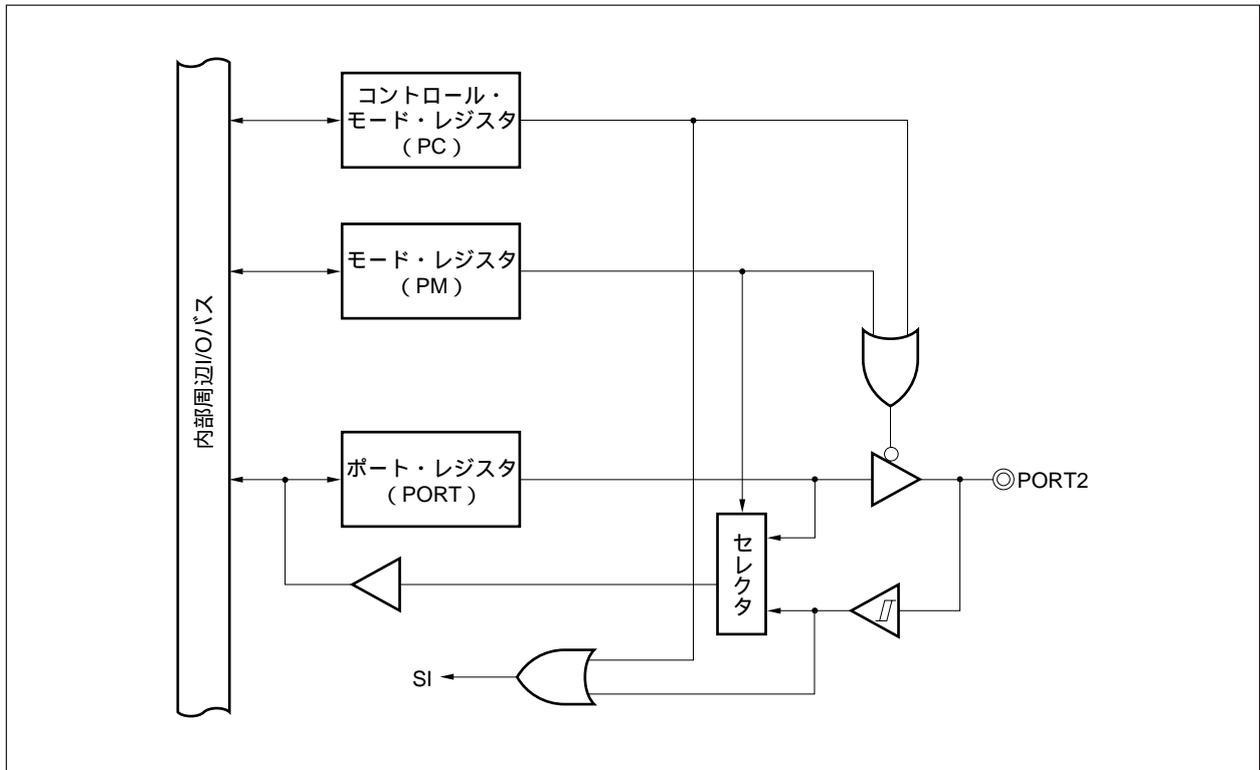


図11 - 3 ポート2のブロック図



12. クロック発生機能

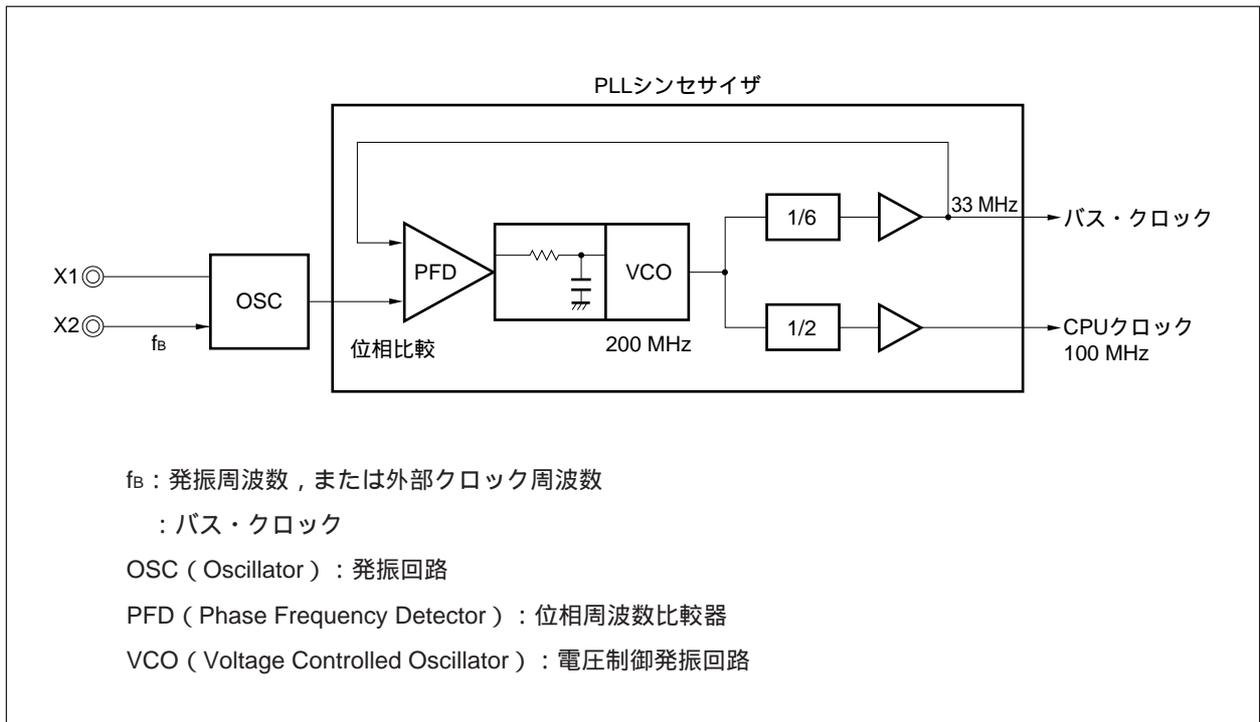
次にクロック発生機能の特徴について示します。

各ハードウェア・ユニットに供給されるCPUクロックとバス・クロックを発生，制御

- ・バス・クロック () : 16.7-33 MHz (f_B)
- ・CPUクロック : 50-100 MHz ($3 \times f_B$)

次にクロック発生機能の構成について示します。

図12 - 1 クロック発生機能のブロック図



13. スタンバイ機能

スタンバイ・モードには、次に示すモードがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックを停止させるモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常モードと組み合わせる動作により、システム全体の消費電力を低減できます。

(2) STOPモード

クロック・ジェネレータ（PLLシンセサイザ）を停止させ、システム全体を停止させるモードです。PLLシンセサイザが停止し、周辺内蔵機能も停止するのでHALTモードより、さらに消費電力を低減できます。

PLLシンセサイザのクロック出力が停止するので、STOPモードの解除後はCPUクロックとバス・クロックが安定するまでは、発振回路の発振安定時間を確保してください。また、プログラムによってはPLL回路のロックアップ時間が必要な場合があります。

HALT、STOPの各モードにおけるクロック・ジェネレータの動作を表13 - 1 に示します。各モードを用途により切り替えて使用すると、効果的な低消費電力システムを実現できます。

表13 - 1 スタンバイ制御によるクロック・ジェネレータの動作

スタンバイ・モード	発振回路（OSC）	PLLシンセサイザ	周辺I/Oへのクロック供給	CPUへのクロック供給
通常モード				
HALTモード				×
STOPモード		×	×	×

備考 : 動作

× : 停止

表13 - 2 HALT/STOPモード時の動作状態

機 能	HALTモード ^{注1}	STOPモード
発振回路	動 作	
PLLシンセサイザ	動 作	停 止
バス・クロック	動 作	停 止
CPU	停 止	
ポート出力	保 持	
周辺機能	動 作	停 止
内部データ	CPUのレジスタなど内部データはすべてHALT/STOPモード設定前の状態を保持	
A1-A23	不 定 ただし、HLD $\overline{\text{AK}}$ = 0のときはハ イ・インピーダンス	不 定
D0-D31	ハイ・インピーダンス	
$\overline{\text{BCYST}}$	1 1 ただし、HLD $\overline{\text{AK}}$ = 0のときはハ イ・インピーダンス	1
$\overline{\text{CS1}}-\overline{\text{CS7}}$		
$\overline{\text{IORD}}$, $\overline{\text{IOWR}}$		
$\overline{\text{MRD}}$, $\overline{\text{WE}}$, $\overline{\text{OE}}$, $\overline{\text{LLMWR}}$, $\overline{\text{LUMWR}}$, $\overline{\text{ULMWR}}$, $\overline{\text{UUMWR}}$		
$\overline{\text{REFRQ}}$, $\overline{\text{LLCAS}}$, $\overline{\text{LUCAS}}$, $\overline{\text{ULCAS}}$, $\overline{\text{UUCAS}}$		
$\overline{\text{RAS}}$	注3	
$\overline{\text{HLDRQ}}$	動 作	受け付けない
CLKOUT	クロック出力(クロック出力禁止でないとき)	0

注1 . DMA転送中の場合, 各端子は動作状態になります。

2 . CBRリフレッシュ時以外。

3 . CBRリフレッシュが入るまでは前の状態を保持します。CBRリフレッシュ後は“ 1 ”になります。

4 . CBRリフレッシュが禁止されている場合はCBRセルフ・リフレッシュは行いません。

その場合, この端子の状態はSTOPモードに入る前の状態を保持します。

14. リセット/NMI制御機能

次にリセット/NMI制御機能の特徴について示します。

$\overline{\text{RESET}}$ 端子, $\overline{\text{NMI}}$ 端子にクロック・サンプリングによるノイズ除去回路を内蔵

ディバグ・コントロール・ユニットからの強制リセット, リセットのマスク, NMIのマスクを処理

システム・リセット期間中とリセット直後の出力端子の状態を表14 - 1 に示します。リセット期間中は, この状態を保持します。

表14 - 1 リセット直後の出力端子の状態

機 能	動作状態
A1-A23	不 定
D0-D31	ハイ・インピーダンス
$\overline{\text{CS1}}-\overline{\text{CS7}}$	1
$\overline{\text{BCYST}}$	1
$\overline{\text{IORD}}$, $\overline{\text{IOWR}}$	1
$\overline{\text{WE}}$, $\overline{\text{OE}}$	1
$\overline{\text{LLMWR}}$, $\overline{\text{LUMWR}}$, $\overline{\text{ULMWR}}$, $\overline{\text{UUMWR}}$	1
$\overline{\text{LLCAS}}$, $\overline{\text{LUCAS}}$, $\overline{\text{ULCAS}}$, $\overline{\text{UUCAS}}$	1
$\overline{\text{RAS}}$	1
CLKOUT	クロック出力
HLD $\overline{\text{AK}}$	1
DMAAK0-DMAAK3	1
PORT2/SI	ハイ・インピーダンス
PORT1/SO	ハイ・インピーダンス
PORT0/ $\overline{\text{SCLK}}$	ハイ・インピーダンス
TXD	1
DDO	不 定
TRCDATA0-TRCDATA3	不 定
$\overline{\text{TC/REFRQ}}$	1
TO10/INTP10, TO11/INTP12	ハイ・インピーダンス

15. 命 令

15.1 命令フォーマット

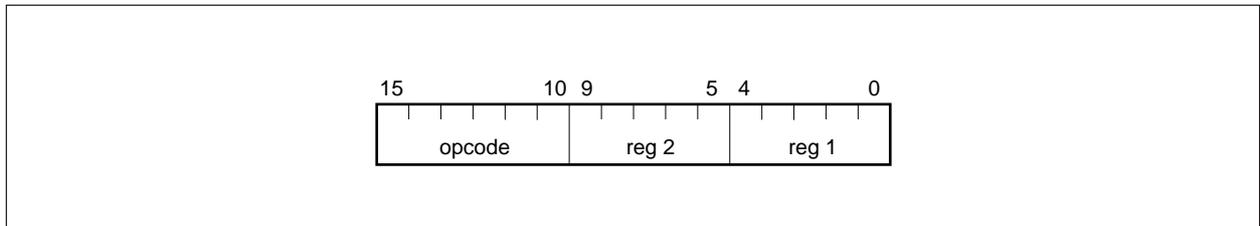
V831の命令は16ビット・フォーマットと32ビット・フォーマットの2種類があります。16ビット命令には、2項演算、制御、条件分岐などがあり、32ビット命令にはロード/ストア、I/O操作、16ビット・イミディエトを扱う命令、ジャンプ・アンド・リンクなどがあります。

なお、一部の命令では未使用フィールドが発生しますが、それらは将来の拡張用で0に固定してください。実際に命令がメモリに格納される時は、次のように配置されます。

- ・各命令形式の下位部分（ビット0を含む） 下位アドレス側
- ・各命令形式の上位部分（ビット15またはビット31を含む） 上位アドレス側

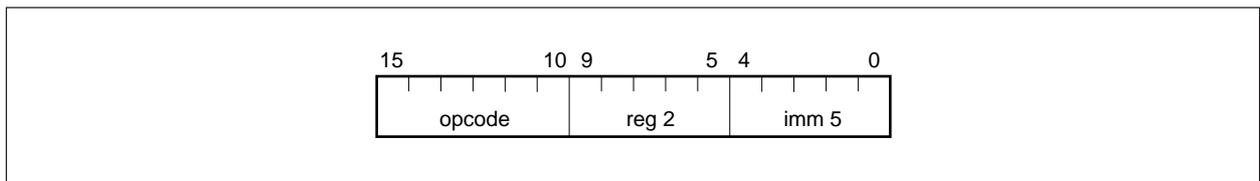
(1) reg-reg命令形式 [FORMAT]

6ビットのオペコード・フィールドとオペランド指定に2つの汎用レジスタ指定フィールドを持つ命令形式。16ビット長命令。



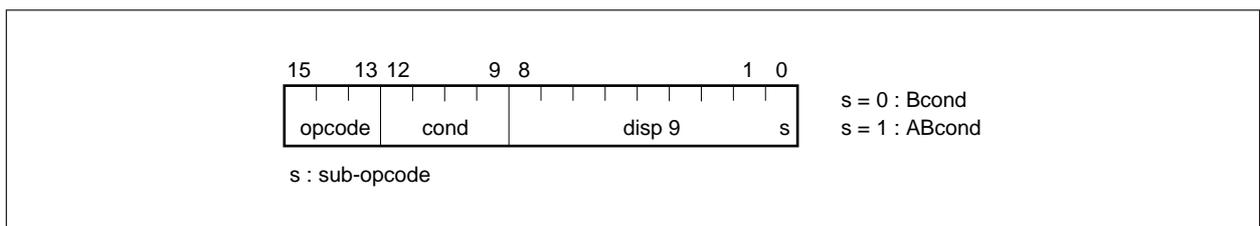
(2) imm-reg命令形式 [FORMAT]

6ビットのオペコード・フィールドと5ビットのイミディエト・フィールド、1つの汎用レジスタ指定フィールドを持つ命令形式。16ビット長命令。



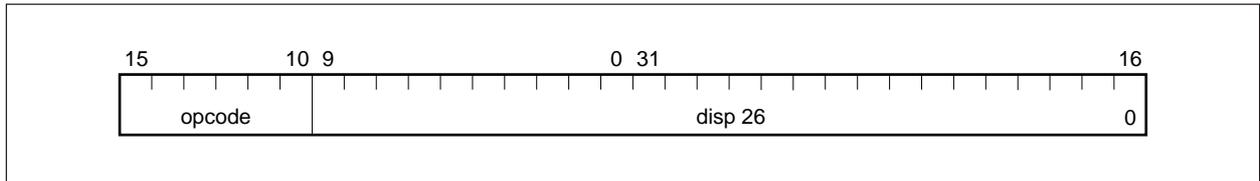
(3) 条件分岐命令形式 [FORMAT]

3ビットのオペコード・フィールドと4ビットの条件コード、9ビットの分岐ディスプレースメント・フィールド（ビット0は0と見なし指定しません）、1ビットのサブオペコードを持つ命令形式。16ビット長命令。



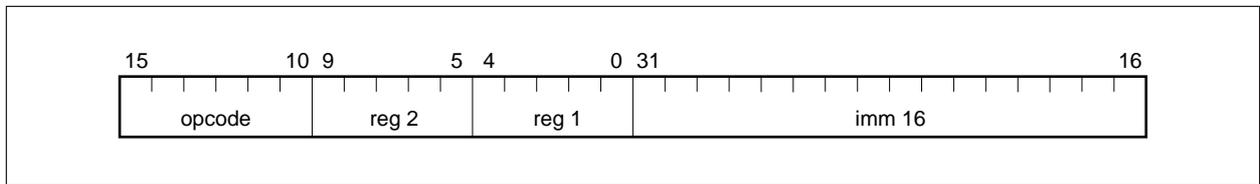
(4) 中距離ジャンプ命令形式 [FORMAT]

6ビットのオペコード・フィールドと26ビットのディスプレイメント(ただし,最下位ビットは0)を持つ中距離分岐命令形式。32ビット長命令。



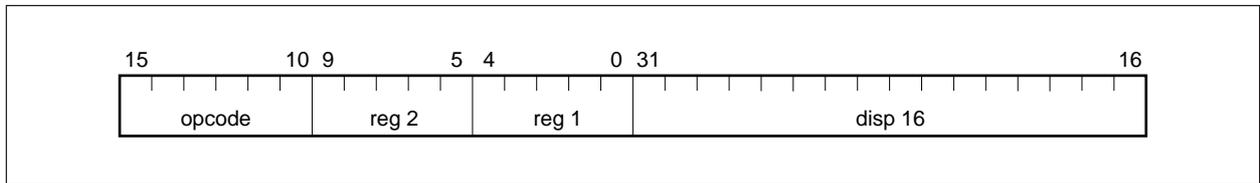
(5) 3オペランド命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,16ビット・イミューディエト・フィールドを持つ命令形式。32ビット長命令。



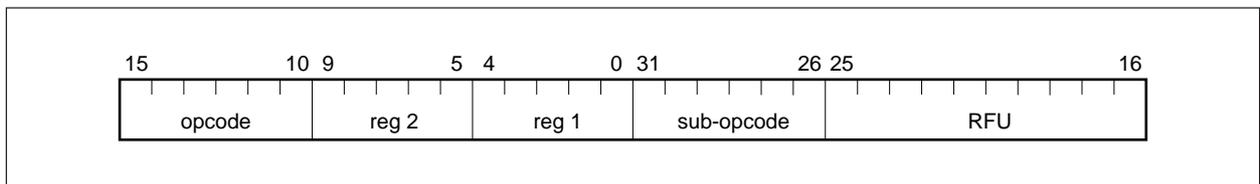
(6) ロード/ストア命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,16ビット・ディスプレイメントを持つ命令形式。32ビット長命令。



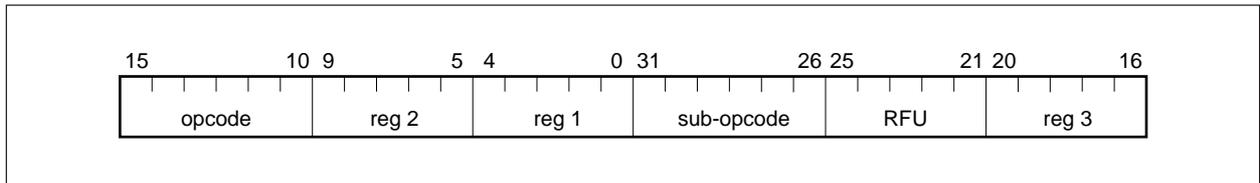
(7) 拡張命令形式 [FORMAT]

6ビットのオペコード・フィールドと2つの汎用レジスタ指定フィールド,6ビットのサブオペコードを持つ命令形式。32ビット長命令。



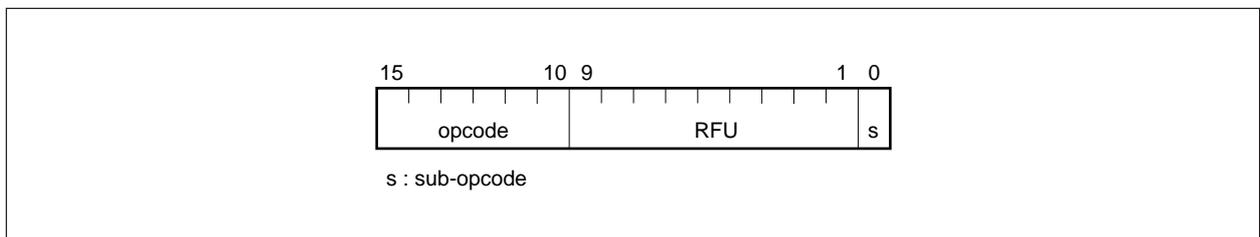
(8) 3レジスタ・オペランド命令形式 [FORMAT]

6ビットのオペコード・フィールドと3つの汎用レジスタ指定フィールド, 6ビットのサブオペコードを持つ命令形式。32ビット長命令。



(9) オペランドなし命令形式 [FORMAT]

6ビットのオペコード・フィールドと1ビットのサブオペコード・フィールドを持つ命令形式。16ビット長命令。



15.2 命令一覧 (アルファベット順)

命令ニモニックの一覧をアルファベット順に示します。

凡 例

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
ADD	reg1, reg2	I	*	*	*	*	

↓
命令の
ニモニック

↓
命令フォーマット
(15.1 参照)

↓
フラグの動きを示します
- 変化しない
* 変化する
0 0になる
1 1になる

オペランドの略号

略 号	意 味
reg1	汎用レジスタ (ソース・レジスタとして使用します。)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用します。一部ソース・レジスタとしても使用します。)
reg3	汎用レジスタ (おもにデスティネーション・レジスタとして使用します。一部ソース・レジスタとしても使用します。)
imm x	x ビット・イミューディアト
disp x	x ビット・ディスプレイースメント
regID	システム・レジスタ番号
vector adr	トラップ・ベクタに対応するトラップ・ハンドラ・アドレス

命 令	オペランド	フォー マット	CY	OV	S	Z	命 令 機 能
ABC	disp9		-	-	-	-	高速条件分岐 (if Carry)。PC相対分岐。
ABE	disp9		-	-	-	-	高速条件分岐 (if Equal)。PC相対分岐。
ABGE	disp9		-	-	-	-	高速条件分岐 (if Greater than or Equal)。PC相対分岐。
ABGT	disp9		-	-	-	-	高速条件分岐 (if Greater than)。PC相対分岐。
ABH	disp9		-	-	-	-	高速条件分岐 (if Higher)。PC相対分岐。
ABL	disp9		-	-	-	-	高速条件分岐 (if Lower)。PC相対分岐。
ABLE	disp9		-	-	-	-	高速条件分岐 (if Less than or Equal)。PC相対分岐。
ABLT	disp9		-	-	-	-	高速条件分岐 (if Less than)。PC相対分岐。
ABN	disp9		-	-	-	-	高速条件分岐 (if Negative)。PC相対分岐。
ABNC	disp9		-	-	-	-	高速条件分岐 (if Not Carry)。PC相対分岐。
ABNE	disp9		-	-	-	-	高速条件分岐 (if Not Equal)。PC相対分岐。
ABNH	disp9		-	-	-	-	高速条件分岐 (if Not Higher)。PC相対分岐。
ABNL	disp9		-	-	-	-	高速条件分岐 (if Not Lower)。PC相対分岐。
ABNV	disp9		-	-	-	-	高速条件分岐 (if Not Overflow)。PC相対分岐。
ABNZ	disp9		-	-	-	-	高速条件分岐 (if Not Zero)。PC相対分岐。
ABP	disp9		-	-	-	-	高速条件分岐 (if Positive)。PC相対分岐。
ABR	disp9		-	-	-	-	高速無条件分岐 (Always)。PC相対分岐。
ABV	disp9		-	-	-	-	高速条件分岐 (if Overflow)。PC相対分岐。
ABZ	disp9		-	-	-	-	高速条件分岐 (if Zero)。PC相対分岐。
ADD	reg1, reg2		*	*	*	*	加算。reg2にreg1を加算し、その結果をreg2に格納します。
	imm5, reg2		*	*	*	*	加算。reg2にimm5をワード長まで符号拡張した値を加算しその結果をreg2に格納します。
ADDI	imm16, reg1, reg2		*	*	*	*	加算。reg1にimm16をワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
AND	reg1, reg2		-	0	*	*	論理積。reg2とreg1の論理積をとり、その結果をreg2に格納します。
ANDI	imm16, reg1, reg2		-	0	0	*	論理積。reg1とimm16をワード長までゼロ拡張した値の論理積をとり、その結果をreg2に格納します。
BC	disp9		-	-	-	-	条件分岐 (if Carry)。PC相対分岐。
BDLD	[reg1] [reg2]		-	-	-	-	ブロック転送。外部メモリから内蔵データRAMに4ワードのデータを転送します。
BDST	[reg2] [reg1]		-	-	-	-	ブロック転送。内蔵データRAMから外部メモリに4ワードのデータを転送します。
BE	disp9		-	-	-	-	条件分岐 (if Equal)。PC相対分岐。
BGE	disp9		-	-	-	-	条件分岐 (if Greater than or Equal)。PC相対分岐。
BGT	disp9		-	-	-	-	条件分岐 (if Greater than)。PC相対分岐。
BH	disp9		-	-	-	-	条件分岐 (if Higher)。PC相対分岐。
BILD	[reg1] [reg2]		-	-	-	-	ブロック転送。外部メモリから内蔵命令RAMに4ワードのデータを転送します。
BIST	[reg2] [reg1]		-	-	-	-	ブロック転送。内蔵命令RAMから外部メモリに4ワードのデータを転送します。

命 令	オペランド	フォー マット	CY	OV	S	Z	命 令 機 能
BL	disp9		-	-	-	-	条件分岐 (if Lower)。PC相対分岐。
BLE	disp9		-	-	-	-	条件分岐 (if Less than or Equal)。PC相対分岐。
BLT	disp9		-	-	-	-	条件分岐 (if Less than)。PC相対分岐。
BN	disp9		-	-	-	-	条件分岐 (if Negative)。PC相対分岐。
BNC	disp9		-	-	-	-	条件分岐 (if Not Carry)。PC相対分岐。
BNE	disp9		-	-	-	-	条件分岐 (if Not Equal)。PC相対分岐。
BNH	disp9		-	-	-	-	条件分岐 (if Not Higher)。PC相対分岐。
BNL	disp9		-	-	-	-	条件分岐 (if Not Lower)。PC相対分岐。
BNV	disp9			-	-	-	条件分岐 (if Not Overflow)。PC相対分岐。
BNZ	disp9		-	-	-	-	条件分岐 (if Not Zero)。PC相対分岐。
BP	disp9		-	-	-	-	条件分岐 (if Positive)。PC相対分岐。
BR	disp9		-	-	-	-	無条件分岐 (Always)。PC相対分岐。
BRKRET			-	-	-	-	致命的例外処理から復帰。
BV	disp9		-	-	-	-	条件分岐 (if Overflow)。PC相対分岐。
BZ	disp9		-	-	-	-	条件分岐 (if Zero)。PC相対分岐。
CAXI	disp16[reg1] reg2		*	*	*	*	マルチプロセッサ構成のシステムにおけるプロセッサ間同期。
CMP	reg1, reg2		*	*	*	*	比較。reg2とreg1をワード長まで符号拡張した値を比較し、結果を条件フラグに示します。比較はreg2からreg1を減算することで行います。
	imm5, rag2		*	*	*	*	比較。reg2とimm5をワード長まで符号拡張した値を比較し結果を条件フラグに示します。比較はreg2からワード長まで符号拡張したimm5を減算することで行います。
DI			-	-	-	-	割り込み禁止。マスクブル割り込みを禁止します。DI命令ではノンマスクブル割り込みは禁止できません。
DIV	reg1, reg2		-	*	*	*	符号付き除算。reg2をreg1で除算 (符号付き) し、その商をreg2に、剰余をr30に格納します。除算は剰余の符号が被除数の符号と一致するように行われます。
DIVU	reg1, reg2		-	0	*	*	符号なし除算。reg2をreg1で、ともに符号なしデータとして除算し、その商をreg2に、剰余をr30に格納します。除算は剰余の符号が被除数の符号と一致するように行われます。
EI			-	-	-	-	割り込み許可。マスクブル割り込みを許可します。EI命令ではノンマスクブル割り込みは許可できません。
HALT			-	-	-	-	プロセッサ停止。スリープ・モードに入ります。
IN.B	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからバイト・データを読み出し、ワード長までゼロ拡張しreg2に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
IN.H	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからハーフワード・データを読み出し、ワード長までゼロ拡張しreg2に格納します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。
IN.W	disp16[reg1] reg2		-	-	-	-	ポート入力。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしポート・アドレスを生成します。生成したポート・アドレスからワード・データを読み出し、reg2に格納します。32ビット符号なしポート・アドレスのビット0, 1は0にマスクされます。
JAL	disp26		-	-	-	-	ジャンプ・アンド・リンク。現在のPCに4を加算した値をr31に退避し、PCとワード長まで符号拡張したdisp26を加算した値をPCに設定し制御を移します。disp26のビット0はマスクされます。
JMP	[reg1]		-	-	-	-	レジスタ間接無条件分岐。reg1で指定されるアドレスに制御を移します。アドレスのビット0は0にマスクされます。
JR	disp26		-	-	-	-	無条件分岐。現在のPCにワード長まで符号拡張したdisp26を加算し、その値に制御を移します。disp26のビット0は0にマスクされます。
LD.B	disp16[reg1] reg2		-	-	-	-	バイト・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからバイト・データを読み出し、ワード長まで符号拡張し、reg2に格納します。
LD.H	disp16[reg1] reg2		-	-	-	-	ハーフワード・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからハーフワード・データを読み出し、ワード長まで符号拡張し、reg2に格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
LD.W	disp16[reg1] reg2		-	-	-	-	ワード・ロード。reg1とワード長まで符号拡張したdisp16を加算して32ビット符号なしアドレスを生成します。生成したアドレスからワード・データを読み出し、reg2に格納します。32ビット符号なしアドレスのビット0, 1は0にマスクされます。
LDSR	reg2, regID		*	*	*	*	システム・レジスタへのロード。reg2をシステム・レジスタ番号 (regID) で指定されるシステム・レジスタに設定します。
MAC3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット飽和演算。reg1とreg2を符号付き整数として乗算し、その結果をreg3と加算します。 [オーバフローが発生しない場合] 結果をreg3に格納します。 [オーバフローが発生した場合] SATビットをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3に格納します。

命 令	オペランド	フォー マツ	CY	OV	S	Z	命 令 機 能
MACI	imm16, reg1, reg2		-	-	-	-	符号付き32ビット飽和演算。reg1と32ビット長に符号拡張したimm16を符号付き整数として乗算します。その結果とreg2を符号付き整数として加算します。 [オーバーフローが発生しない場合] 結果をreg2に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg2にセットします。
MACT3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット積和演算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットとreg3の32ビットを符号付き整数として加算します。 [オーバーフローが発生しない場合] 結果をreg3に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3に格納します。
MAX3	reg1, reg2, reg3		-	-	-	-	最大値。reg2とreg1を符号付き整数として比較し、大きい方をreg3に格納します。
MIN3	reg1, reg2, reg3		-	-	-	-	最小値。reg2とreg1を符号付き整数として比較し、小さい方をreg3に格納します。
MOV	reg1, reg2		-	-	-	-	データの転送。reg1をreg2へコピーし、転送します。
	imm5, reg2		-	-	-	-	データの転送。imm5をワード長まで符号拡張した値を、reg2にコピーし転送します。
MOVEA	imm16, reg1, reg2		-	-	-	-	加算。reg1に上位16ビット (imm16) をワード長まで符号拡張した値を加算し、その結果をreg2に格納します。
MOVHI	imm16, reg1, reg2		-	-	-	-	加算。reg1に上位16ビット (imm16) と下位16ビット (0) を合わせたワード・データを加算し、その結果をreg2に格納します。
MUL	reg1, reg2		-	*	*	*	符号付き乗算。reg2にreg1を乗算 (符号付き) し、その結果 (ダブルワード長) の上位32ビットをr30に、下位32ビットをreg2に格納します。
MUL3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット乗算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットをreg3に格納します。
MULI	imm16, reg1, reg2		-	-	-	-	符号付き32ビット飽和乗算。reg1と32ビット長に符号拡張したimm16を符号付き整数として乗算します。 [オーバーフローが発生しない場合] 結果をreg2に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg2に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
MULT3	reg1, reg2, reg3		-	-	-	-	符号付き32ビット飽和乗算。reg1とreg2を符号付き整数として乗算し、結果の上位32ビットをreg3に格納します。
MULU	reg1, reg2		-	*	*	*	符号なし乗算。reg2にreg1を符号なしデータとして乗算し、その結果（ダブルワード長）の上位32ビットをr30に、下位32ビットをreg2に格納します。
NOP			-	-	-	-	ノー・オペレーション。
NOT	reg1, reg2		-	0	*	*	論理否定。reg1の論理否定（1の補数）をとり、その結果をreg2に格納します。
OR	reg1, reg2		-	0	*	*	論理和。reg2とreg1の論理和をとり、その結果をreg2に格納します。
ORI	imm16, reg1, reg2		-	0	*	*	論理和。reg1とimm16をワード長までゼロ拡張した値の論理和をとり、その結果をreg2に格納します。
OUT.B	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2の下位1バイトのデータを生成したポート・アドレスに出力します。
OUT.H	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2の下位2バイトのデータを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0は0にマスクされます。
OUT.W	reg2, disp16[reg1]		-	-	-	-	ポート出力。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしポート・アドレスを生成します。reg2のワード・データを生成したポート・アドレスに出力します。32ビット符号なしポート・アドレスのビット0,1は0にマスクされます。
RETI			*	*	*	*	トラップまたは割り込みルーチンから戻ります。システム・レジスタから、復帰PCとPSWを取り出し、トラップまたは割り込みルーチンから復帰します。
SAR	reg1, reg2		*	0	*	*	算術右シフト。reg2をreg1の下位5ビットで示されるシフト数分、算術右シフト（MSBの値を順にMSBにコピー）し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	算術右シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分算術シフトし、reg2に書き込みます。
SATADD3	reg1, reg2, reg3		*	*	*	*	飽和加算。reg2にreg1を符号付き整数として加算します。 [オーバフローが発生しない場合] 結果をreg3に格納します。 [オーバフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3にセットします。

命 令	オペランド	フォー マツ	CY	OV	S	Z	命 令 機 能
SATSUB3	reg1, reg2, reg3		*	*	*	*	飽和減算。reg2からreg1を符号付き整数として減算します。 [オーバーフローが発生しない場合] 結果をreg3に格納します。 [オーバーフローが発生した場合] SATフラグをセットし、結果が正ならば正の最大値を、負ならば負の最大値をreg3にセットします。
SETF	imm5, reg2		-	-	-	-	フラグ条件の設定。imm5の下位4ビットの示す条件が、条件フラグと一致した場合にはreg2に1を、そうでない場合は0を格納します。
SHL	reg1, reg2		*	0	*	*	論理左シフト。reg2をreg1の下位5ビットで示されるシフト数分、論理左シフト（LSB側に0を送り込む）し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	論理左シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分論理左シフトし、reg2に書き込みます。
SHLD3	reg1, reg2, reg3		-	-	-	-	連結左シフト。reg3（上位）とreg2（下位）を連結した64ビットを、reg1の下位5ビットで示されるシフト数分だけ論理左シフトし、上位32ビットをreg3に格納します。
SHR	reg1, reg2		*	0	*	*	論理右シフト。reg2をreg1の下位5ビットで示されるシフト数分、論理右シフト（MSB側に0を送り込む）し、reg2に書き込みます。
	imm5, reg2		*	0	*	*	論理右シフト。reg2をimm5をワード長までゼロ拡張した値で示されるシフト数分論理右シフトし、reg2に書き込みます。
SHRD3	reg1, reg2, reg3		-	-	-	-	連結右シフト。reg3（上位）とreg2（下位）を連結した64ビットをreg1の下位5ビットで示されるシフト数分だけ論理右シフトし、下位32ビットをreg3に格納します。
ST.B	reg2, disp16[reg1]		-	-	-	-	バイト・ストア。reg1のデータと、ワード長まで符号拡張したdisp16を加算し、32ビット符号なしアドレスを生成します。reg2の下位1バイトのデータを生成したアドレスに格納します。
ST.H	reg2, disp16[reg1]		-	-	-	-	ハーフワード・ストア。reg1のデータとワード長まで符号拡張したdisp16を加算し32ビット符号なしアドレスを生成します。reg2の下位2バイトのデータを生成したアドレスに格納します。32ビット符号なしアドレスのビット0は0にマスクされます。
ST.W	reg2, disp16[reg1]		-	-	-	-	ワード・ストア。reg1のデータとワード長まで符号拡張したdisp16を加算し、32ビット符号なしアドレスを生成します。reg2のワード・データを生成したアドレスに格納します。32ビット符号なしアドレスのビット0, 1は0にマスクされます。
STBY			-	-	-	-	プロセッサ停止。ストップ・モードに入ります。
STSR	regID, reg2		-	-	-	-	システム・レジスタの内容のストア。システム・レジスタ番号（regID）で指定されるシステム・レジスタの内容をreg2に設定します。
SUB	reg1, reg2		*	*	*	*	減算。reg2からreg1を減算し、その結果をreg2に格納します。

命 令	オペランド	フォー マツト	CY	OV	S	Z	命 令 機 能
TRAP	vector		-	-	-	-	<p>ソフトウェア・トラップ。復帰PC, PSWをシステム・レジスタに退避し,</p> <p>PSW.EP=1 FEPC, FEPSWに退避</p> <p>PSW.EP=0 EIPC, EIPSWに退避</p> <p>例外コードをECRに設定し,</p> <p>PSW.EP=1 FECCに設定</p> <p>PSW.EP=0 EICCに設定</p> <p>PSWのフラグを設定し,</p> <p>PSW.EP=1 NP, IDをセット</p> <p>PSW.EP=0 EP, IDをセット</p> <p>vectorで指定されるトラップ・ベクタ(0-31)に対応するトラップ・ハンドラのアドレスにジャンプし, 例外処理を開始します。</p>
XOR	reg1, reg2		-	0	*	*	排他的論理和。reg2とreg1の排他的論理和をとり, その結果をreg2に格納します。
XORI	imm16, reg1, reg2		-	0	*	*	排他的論理和。reg1とimm16をワード長までゼロ拡張した値の排他的論理和をとりその結果をreg2に格納します。

16. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.5	V
入力電圧	V _I		- 0.5 ~ V _{DD} + 0.3	V
クロック入力電圧	V _K		- 0.5 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注意 1. IC製品の出力（または入出力）端子同士を直結したり，V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし，ハイ・インピーダンスとなる端子で，出力の衝突を避けるタイミング設計をした外部回路では直結できます。

2. 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり，絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で，製品をご使用ください。

DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

DC特性 (TA = - 40 ~ + 85 , V_{DD} = 3.0 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル・クロック入力電圧	V _{KL}	注 1	- 0.5		+ 0.2 V _{DD}	V
ハイ・レベル・クロック入力電圧	V _{KH}	注 1	0.8 V _{DD}		V _{DD} + 0.3	V
ロウ・レベル入力電圧	V _{IL}		- 0.5		+ 0.6	V
ハイ・レベル入力電圧	V _{IH}		2.0		V _{DD} + 0.3	V
ロウ・レベル・シュミット入力電圧	V _{SL}	注 2	- 0.5		+ 0.2 V _{DD}	V
ハイ・レベル・シュミット入力電圧	V _{SH}	注 2	0.8 V _{DD}		V _{DD} + 0.3	V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 3.2 mA			0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	0.85 V _{DD}			V
ロウ・レベル入力リーク電流	I _{LIL}	V _{IN} = 0 V			- 10	μA
ハイ・レベル入力リーク電流	I _{LIH}	V _{IN} = V _{DD}			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 10	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}			10	μA
電流電源 ^{注3}	I _{DD}	動作時 ^{注3}		167	230	mA
		HALTモード時		45	60	mA
		STOPモード時 ^{注4}		36	180	μA

注 1. 外部クロック入力時のX2端子と，SCLK端子

2. PORT0/SCLK, PORT2/SI, RXD

3. 電源電流は，f = 33 MHz，出力端子オープン時

4. 外部クロック・モード，クロック入力停止時

容量 (TA = - 40 ~ + 85 , V_{DD} = 3.0 ~ 3.6 V)

項目	略号	条件	MIN.	MAX.	単位
入力容量	C _I	f _c = 1 MHz		15	pF
入出力容量	C _{IO}			15	pF

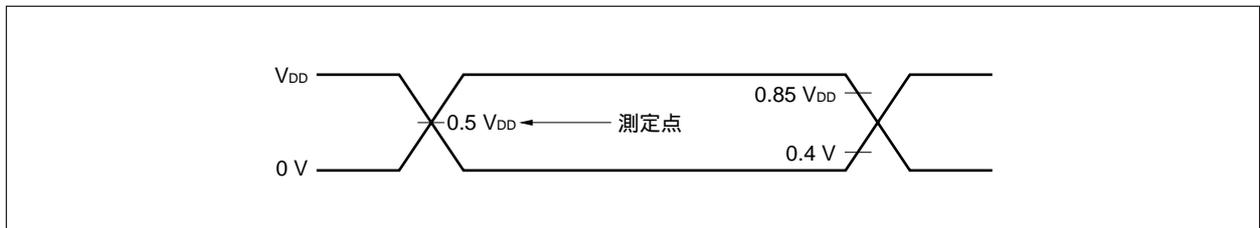
備考 このパラメータは全数測定したものでなく，サンプル値です。

AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 3.6$ V)

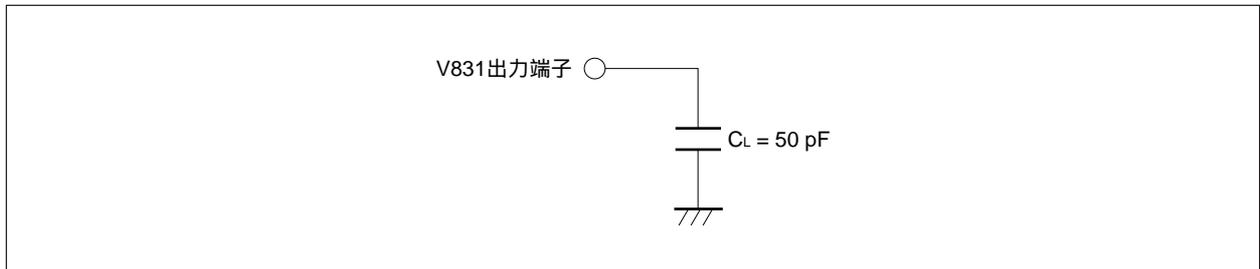
ACテスト入力波形



ACテスト出力波形

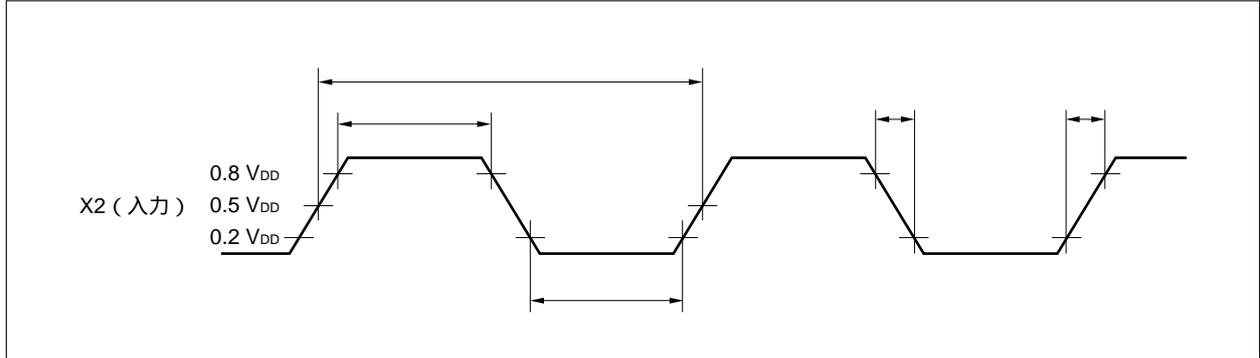


テスト負荷



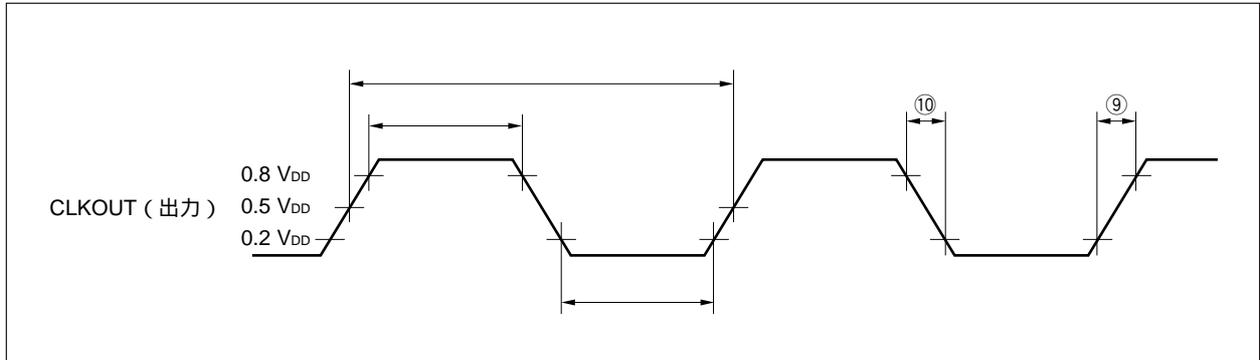
(1) クロック入力 (X2) タイミング (外部クロック使用時)

項目	略号	条件	MIN.	MAX.	単位
外部クロック周期	t_{CYX}	入力クロックの安定度は、 t_{CYX} の0.1%以下	30	60	ns
外部クロック・ハイ・レベル時間	t_{XXH}		10		ns
外部クロック・ロウ・レベル時間	t_{XXL}		10		ns
外部クロック立ち上がり時間	t_{XR}			5	ns
外部クロック立ち下がり時間	t_{XF}			5	ns



(2) クロック出力タイミング (CLKOUT)

項目	略号	条件	MIN.	MAX.	単位
外部クロック周期	t_{CYK}		30	60	ns
外部クロック・ハイ・レベル時間	t_{KKH}		$t_{CYK}/2 - 4$		ns
外部クロック・ロウ・レベル時間	t_{KKL}		$t_{CYK}/2 - 4$		ns
外部クロック立ち上がり時間	⑨ t_{KR}			4	ns
外部クロック立ち下がり時間	⑩ t_{KF}			4	ns



(3) リセット・タイミング

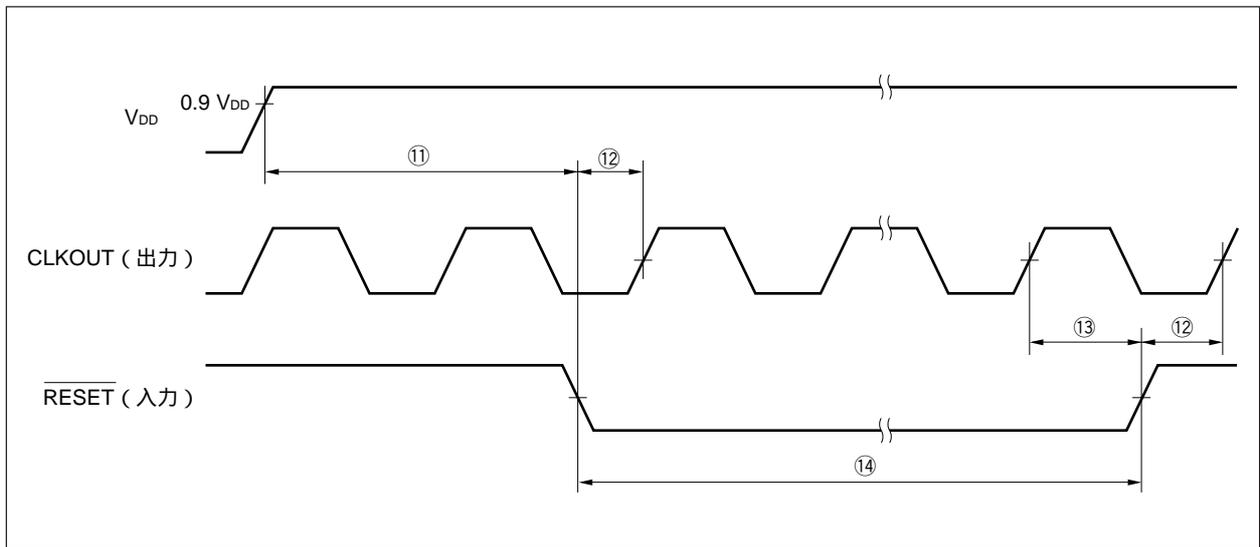
項目	略号	条件	MIN.	MAX.	単位
RESET \bar 保持時間 (対V _{DD} VALID)	⑪	t _{HVR}		2	μs
RESET \bar 設定時間 (対CLKOUT)	⑫	t _{SRK}	7		ns
RESET \bar 保持時間 (対CLKOUT)	⑬	t _{HKR}	7		ns
RESET \bar パルス・ロウ・レベル幅	⑭	注1	20		ms
		注2	10		ms
		注3	25		t _{cyk}

注1．パワーオン時，またはSTOPモードからの復帰時で，内部クロック発生時。

2．パワーオン時，またはSTOPモードからの復帰時で，外部クロック発生時かつクロック安定後。

3．注1，2以外で，クロックが安定している場合。

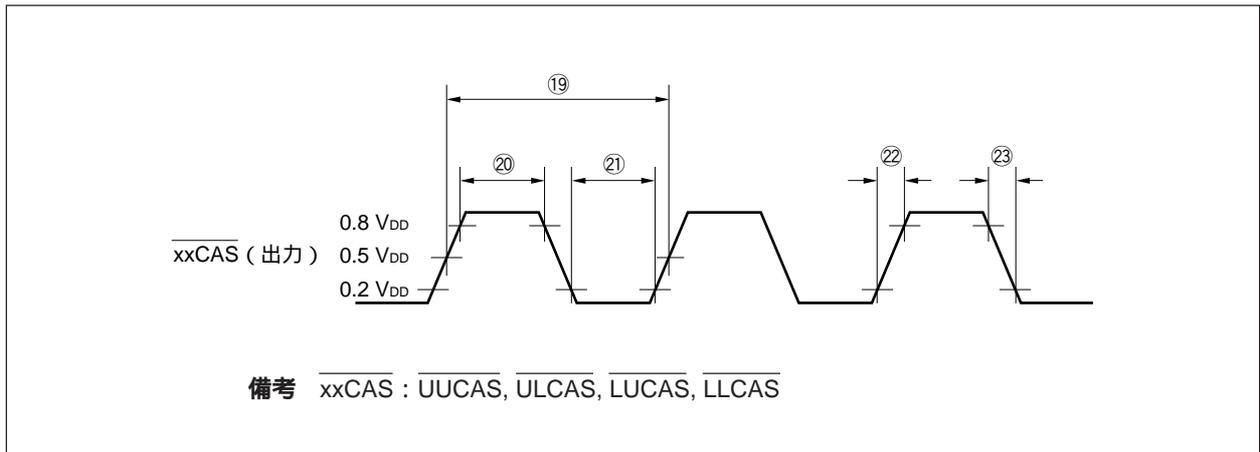
備考 リセットはt_{HVR}以内であれば，t_{SRK}，t_{HKR}を満たさなくてもかまいません。ただし，t_{SRK}，t_{HKR}を満たせない場合，リセット認識のタイミングがずれることがあります。



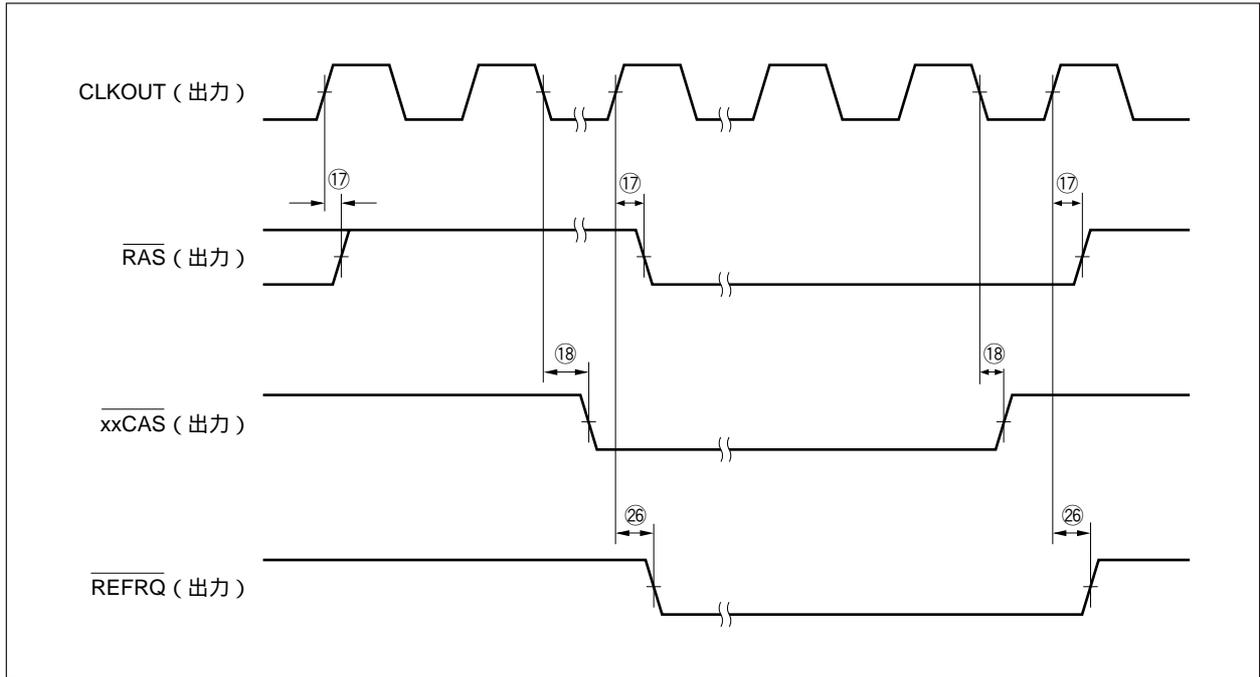
(4) DRAMアクセス・タイミング

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{BCYST}}$ 等遅延時間 (対CLKOUT)	⑮ tDKBC		2	10	ns
アドレス遅延時間 (対CLKOUT)	⑯ tDKA		2	9	ns
$\overline{\text{RAS}}$ 遅延時間 (対CLKOUT)	⑰ tDKRAS		1	6	ns
$\overline{\text{CAS}}$ 遅延時間 (対CLKOUT)	⑱ tDKCAS		1	6	ns
$\overline{\text{CAS}}$ 信号間隔	⑲ tCYC		26		ns
$\overline{\text{CAS}}$ ハイ・レベル時間	⑳ tCCH		11		ns
$\overline{\text{CAS}}$ ロウ・レベル時間	㉑ tCCL		11		ns
$\overline{\text{CAS}}$ 立ち上がり時間	㉒ tCR			4	ns
$\overline{\text{CAS}}$ 立ち下がり時間	㉓ tCF			4	ns
$\overline{\text{WE}}$ 遅延時間 (対CLKOUT)	㉔ tDKWE		2	10	ns
$\overline{\text{OE}}$ 遅延時間 (対CLKOUT)	㉕ tDKOE		2	10	ns
REFRQ遅延時間 (対CLKOUT)	㉖ tDKREF		2	10	ns
データ入力設定時間 (DRAMリード時) (対CLKOUT)	㉗ tSDRMK		0		ns
データ入力保持時間 (DRAMリード時) (対CLKOUT)	㉘ tHKDRM		5		ns
データ出力遅延時間 (fromアクティブ, 対CLKOUT)	㉙ tDKDT		2	10	ns
データ出力遅延時間 (fromフロート, 対CLKOUT)	㉚ tLZKDT		2	10	ns
データ・フロート遅延時間 (対CLKOUT)	㉛ tHZKDT		3	20	ns

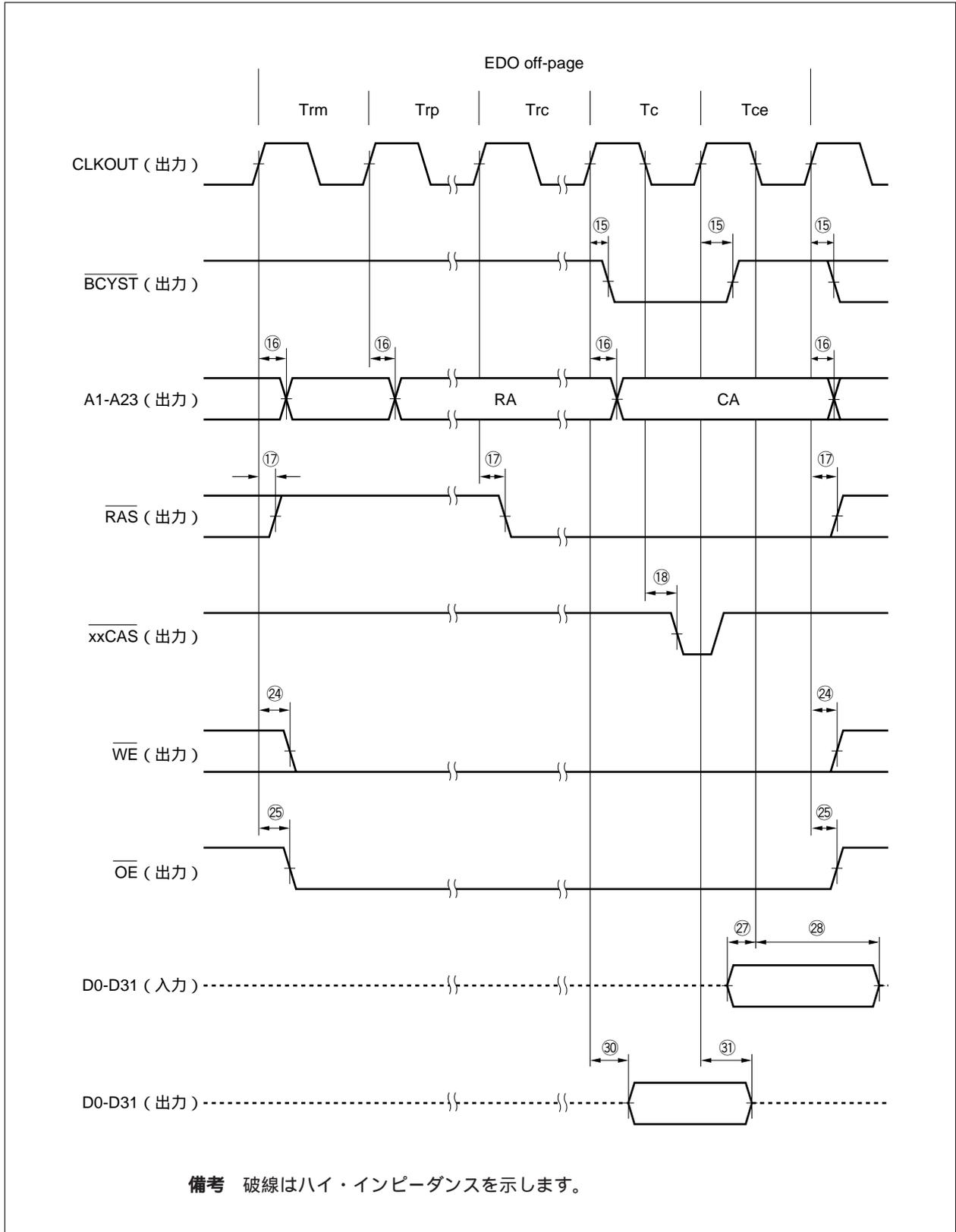
(a) $\overline{\text{xxCAS}}$ 信号



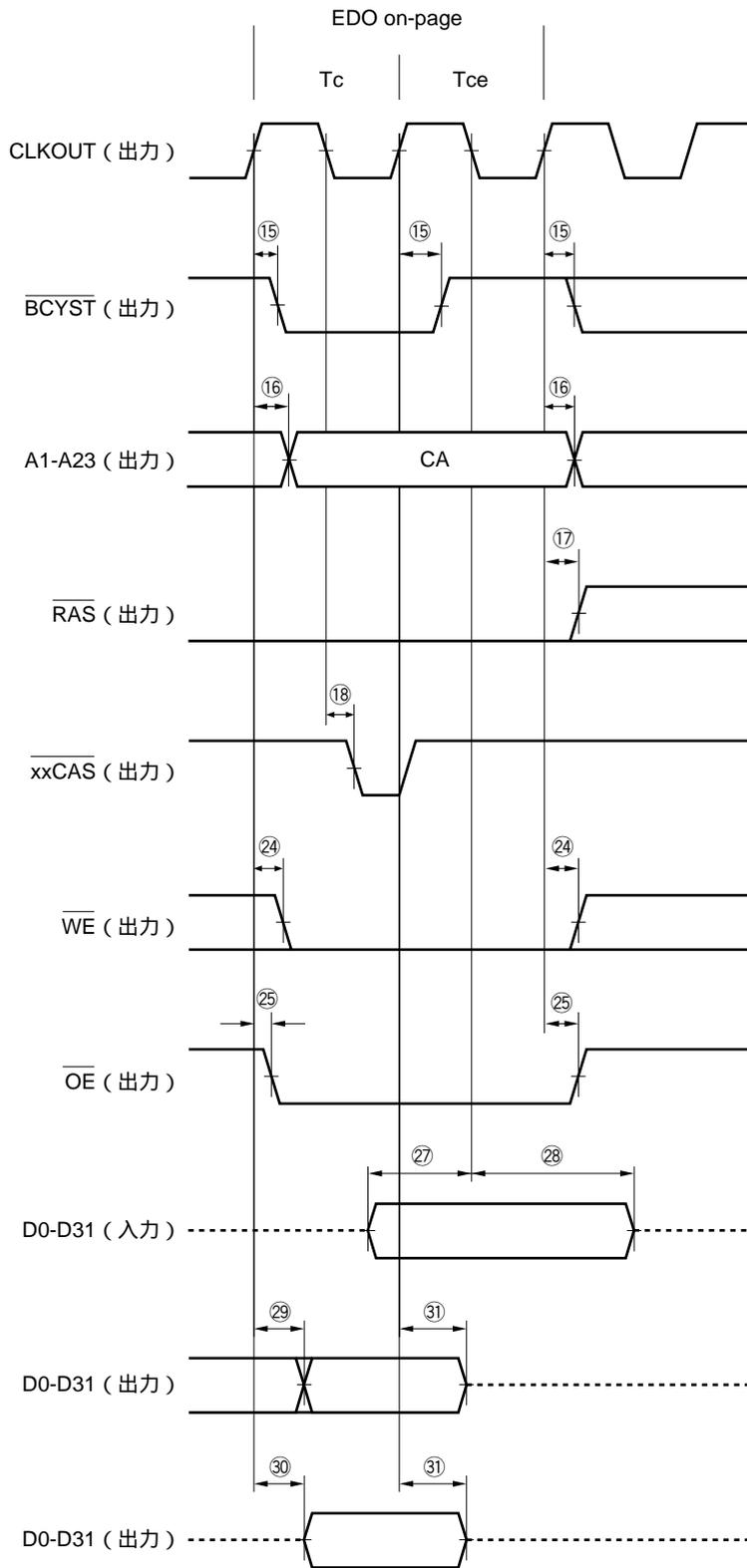
(b) CBRリフレッシュ, CBRセルフ・リフレッシュ・タイミング



(c) DRAMシングル1クロックCAS off-pageサイクル(32ビット・データ・バス時)

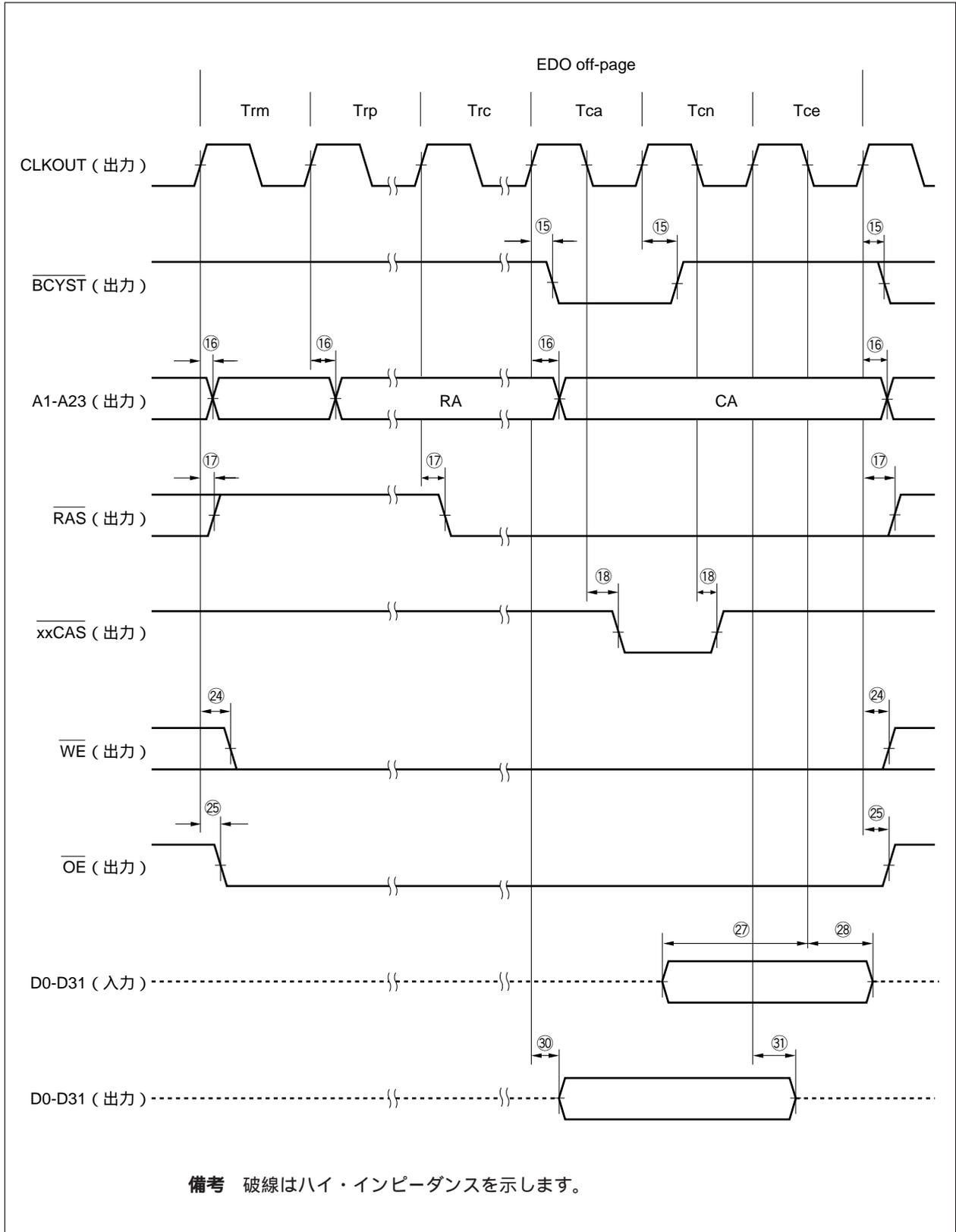


(d) DRAMシングル1クロックCAS on-pageサイクル (32ビット・データ・バス時)

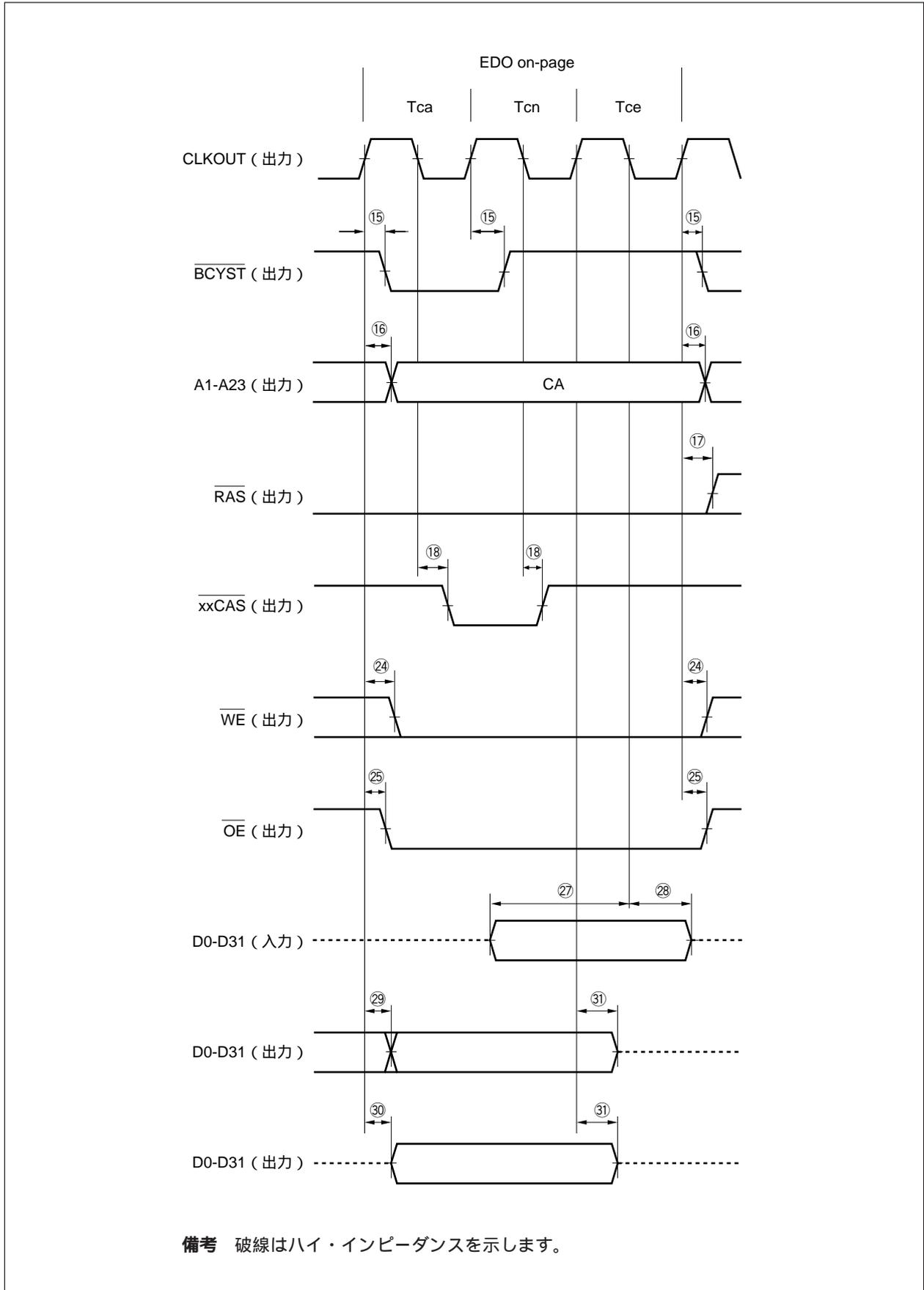


備考 破線はハイ・インピーダンスを示します。

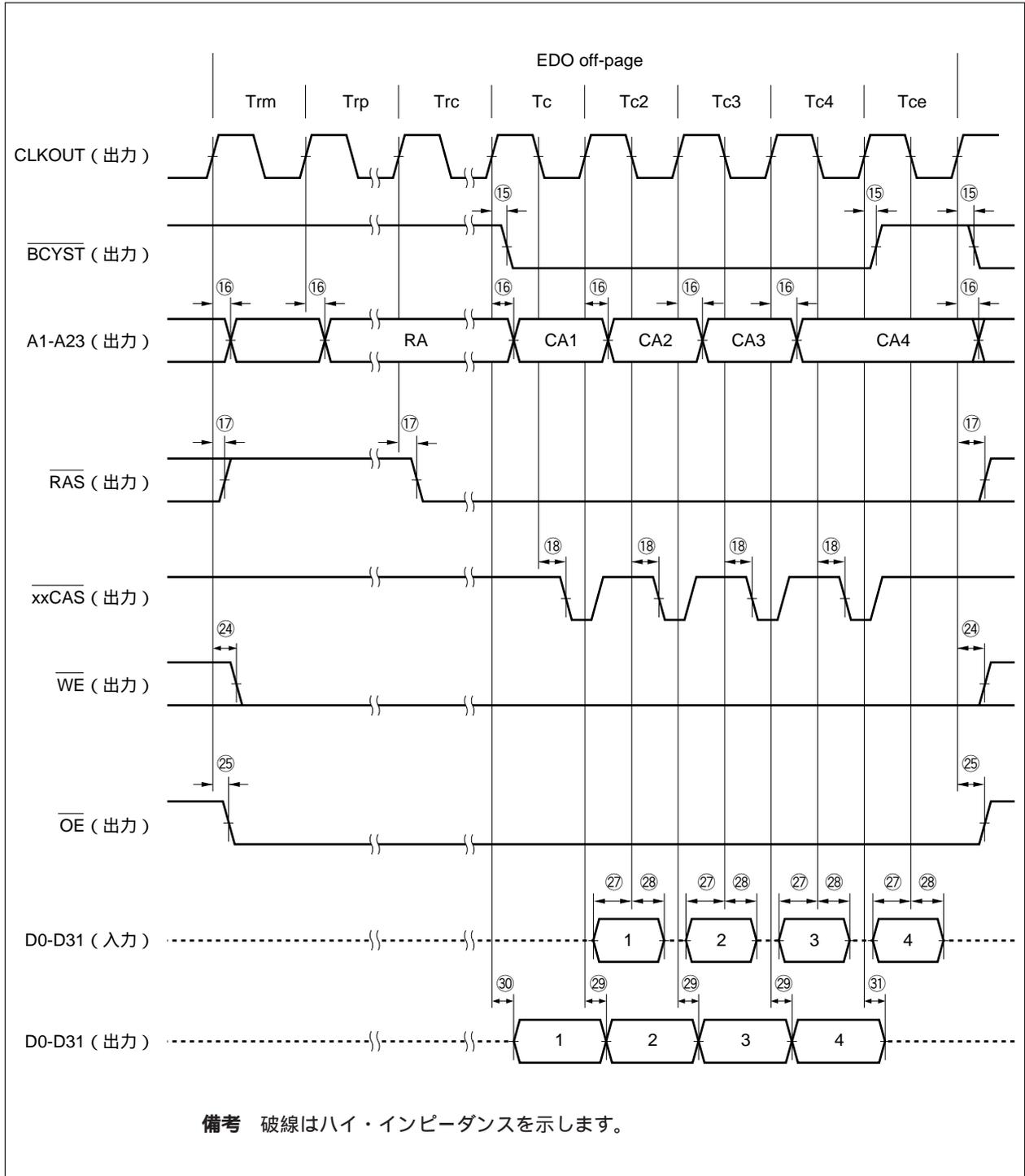
(e) DRAMシングル2クロックCAS off-pageサイクル (32ビット・データ・バス時)



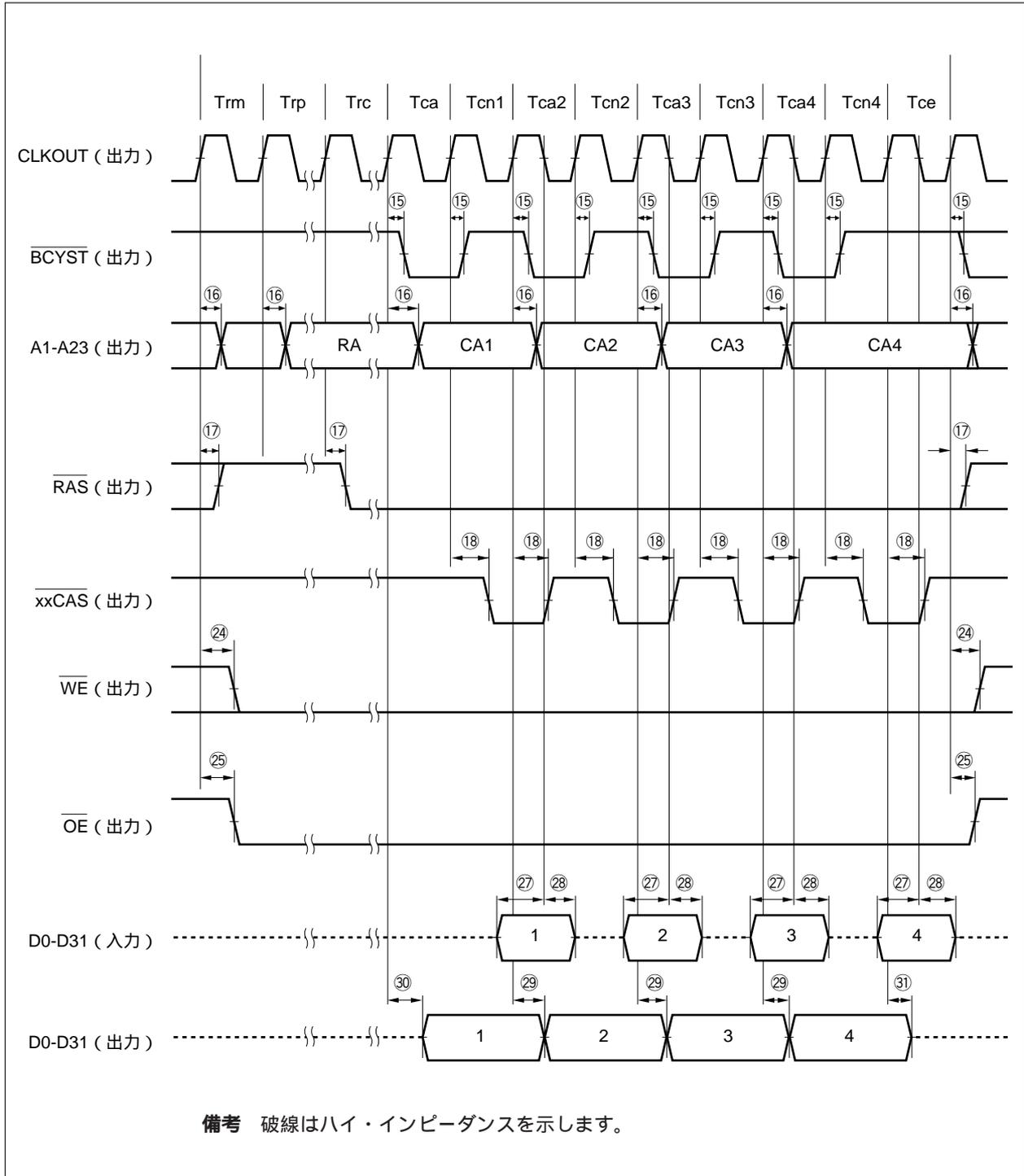
(f) DRAMシングル2クロックCAS on-pageサイクル (32ビット・データ・バス時)



(g) DRAMバースト1クロックCAS off-pageサイクル (32ビット・データ・バス時)



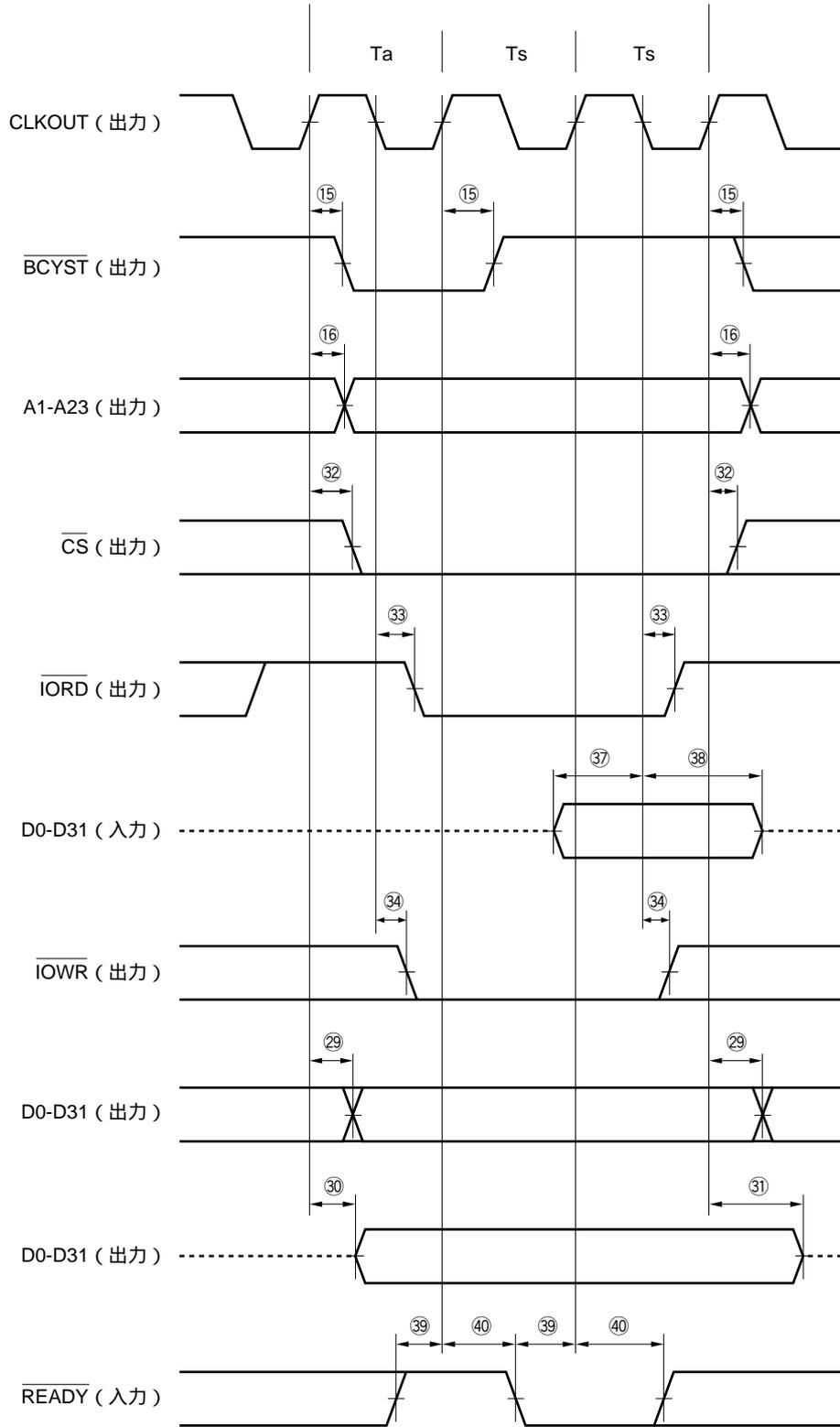
(h) DRAMバースト2クロックCAS off-pageサイクル(32ビット・データ・バス時)



(5) SRAM (ROM), Page-ROM, I/Oアクセス・タイミング

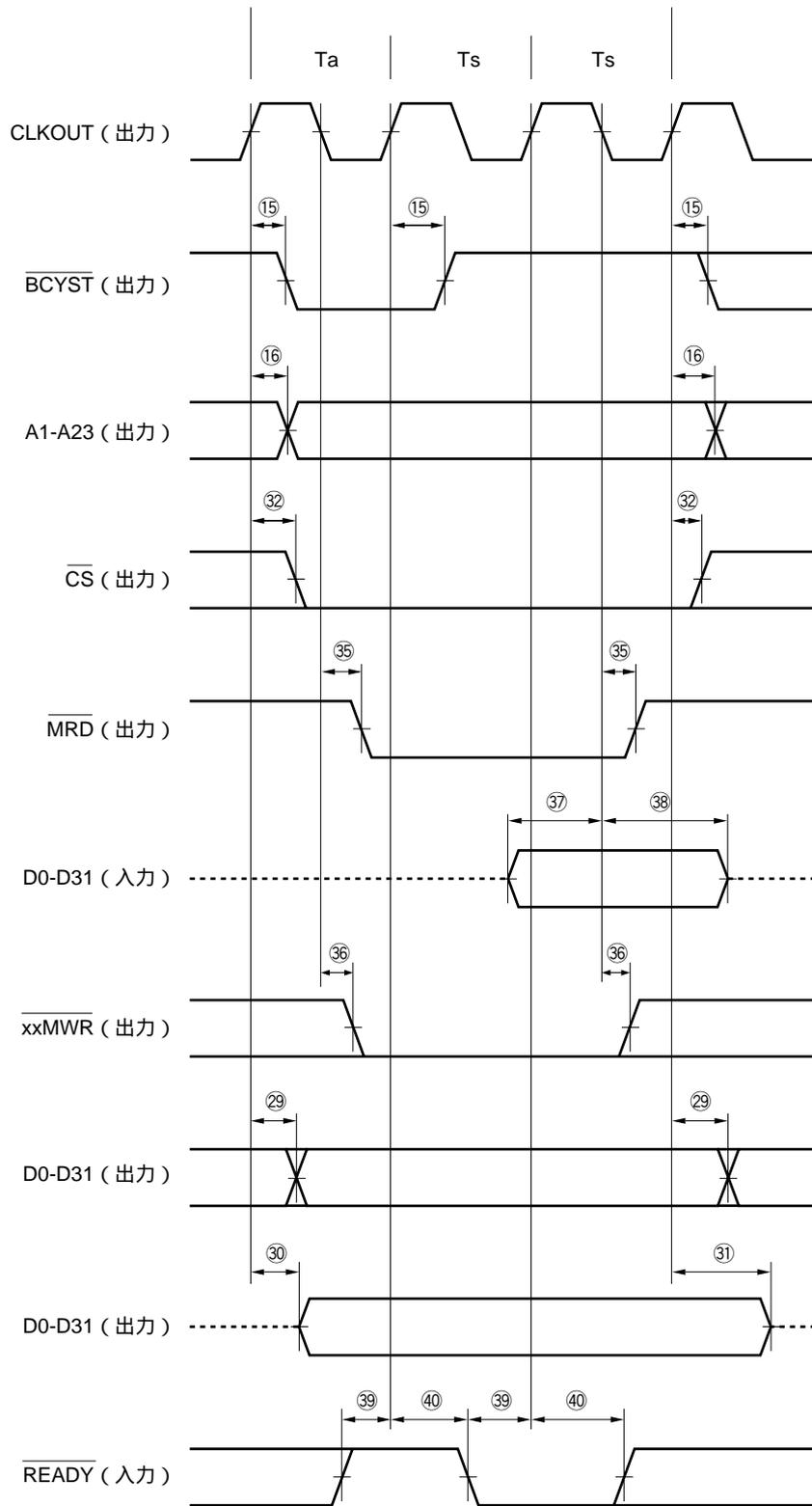
項 目	略 号	条 件	MIN.	MAX.	単位
BCYST $\overline{}$ 遅延時間 (対CLKOUT)	⑮ tDKBC		2	10	ns
アドレス遅延時間 (対CLKOUT)	⑯ tDKA		2	9	ns
データ出力遅延時間 (fromアクティブ, 対CLKOUT)	㉑ tDKDT		2	10	ns
データ出力遅延時間 (fromフロート, 対CLKOUT)	⑳ tLZKDT		2	10	ns
データ・フロート遅延時間 (対CLKOUT)	㉓ tHZKDT		3	20	ns
\overline{CS} 遅延時間 (対CLKOUT)	㉒ tDKCS		2	10	ns
\overline{IORD} 出力遅延時間 (対CLKOUT)	㉔ tDKRD		2	10	ns
\overline{IOWR} 出力遅延時間 (対CLKOUT)	㉕ tDKWR		2	10	ns
\overline{MRD} 出力遅延時間 (対CLKOUT)	㉖ tDKMRD		2	10	ns
xxMWR遅延時間 (対CLKOUT)	㉗ tDKMWR		2	10	ns
データ入力設定時間 (対CLKOUT)	㉘ tSDTK		4		ns
データ入力保持時間 (対CLKOUT)	㉙ tHKDT		1		ns
\overline{READY} 設定時間 (対CLKOUT)	㉚ tSRYK		7		ns
\overline{READY} 保持時間 (対CLKOUT)	㉛ tHKRY		3		ns

(a) I/Oアクセス・タイミング



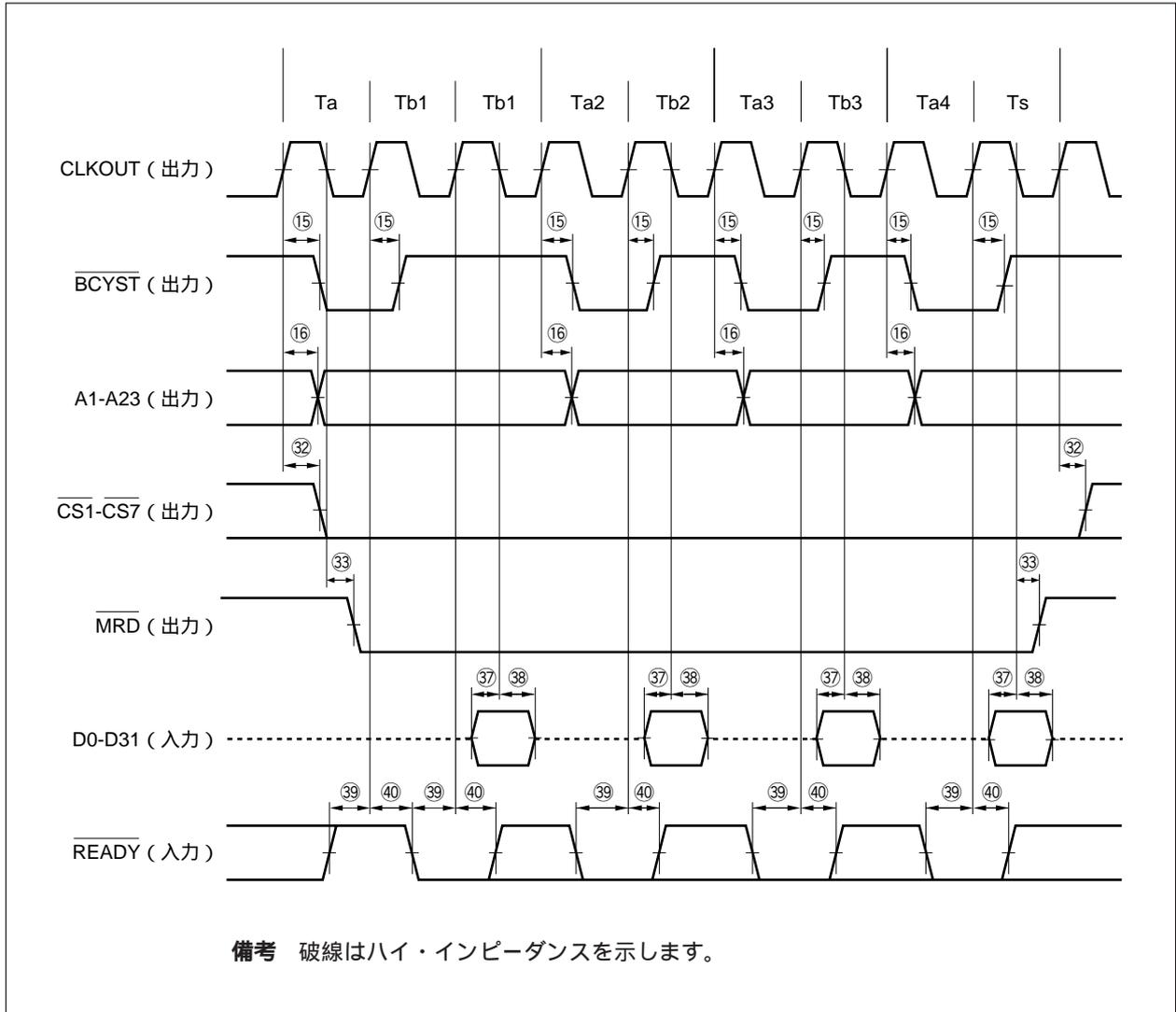
備考 破線はハイ・インピーダンスを示します。

(b) SRAM (ROM) /Page-ROMシングル・サイクル



備考 破線はハイ・インピーダンスを示します。

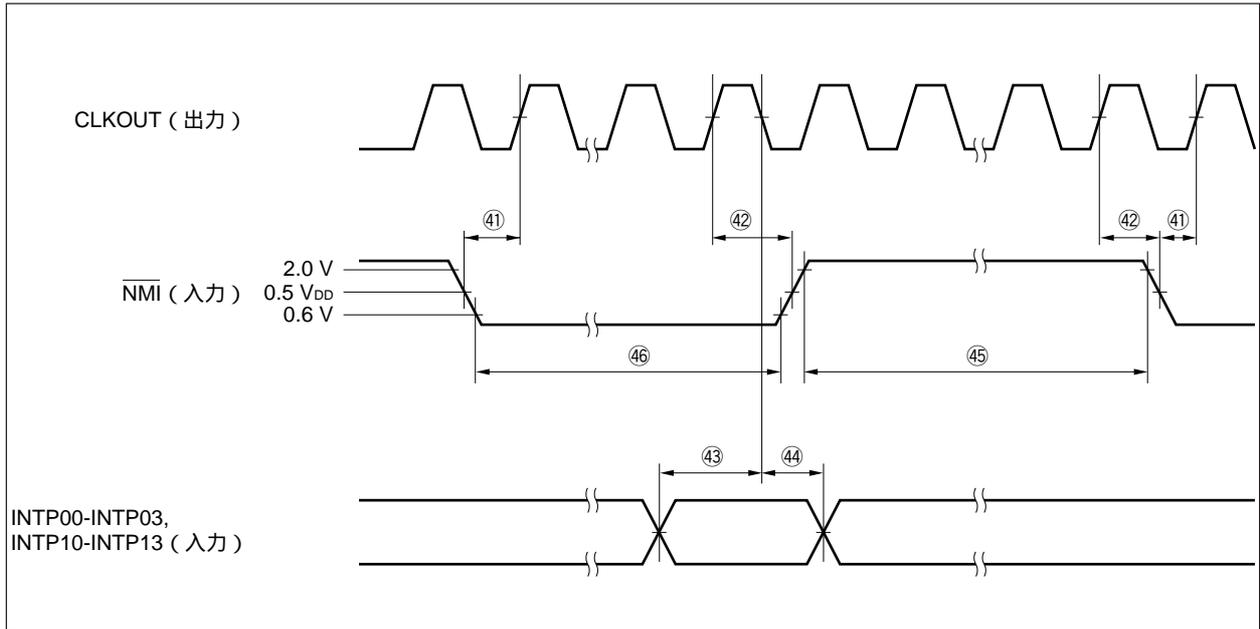
(c) Page-ROMバースト・サイクル (32ビット・データ・バス時)



(6) 割り込みタイミング

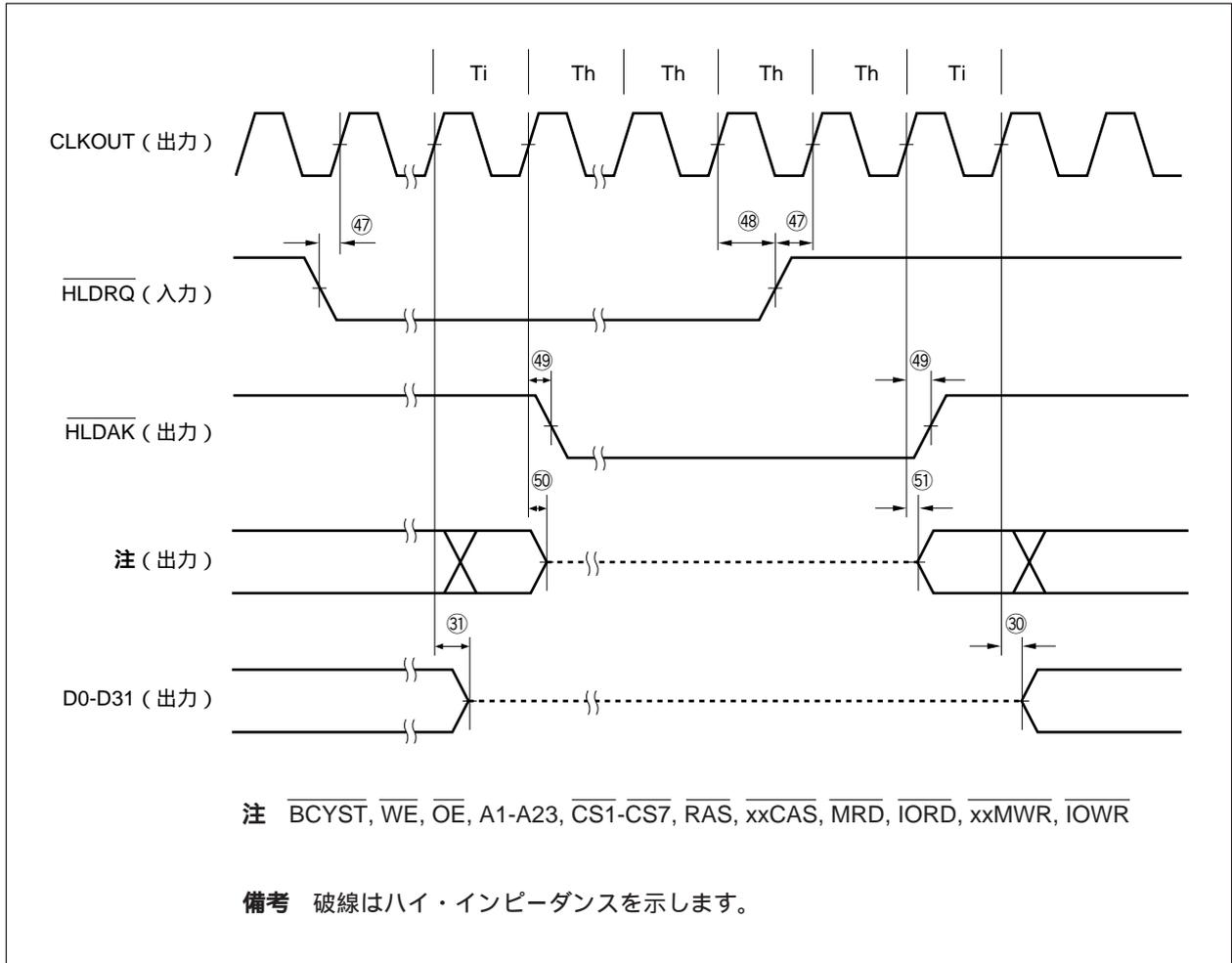
項目	略号	条件	MIN.	MAX.	単位
NMI設定時間 (対CLKOUT)	④1	t_{SNK}	5		ns
NMI保持時間 (対CLKOUT)	④2	t_{HKN}	7		ns
INTPxx等設定時間 (対CLKOUT)	④3	t_{SIK}	7		ns
INTPxx等保持時間 (対CLKOUT)	④4	t_{HKI}	3		ns
NMIクロック・ハイ・レベル時間	④5	t_{NMH}	$5T + 12$		ns
NMIクロック・ロウ・レベル時間	④6	t_{NML}	$5T + 12$		ns

備考 T = T_{CLK} (外部クロック周期)



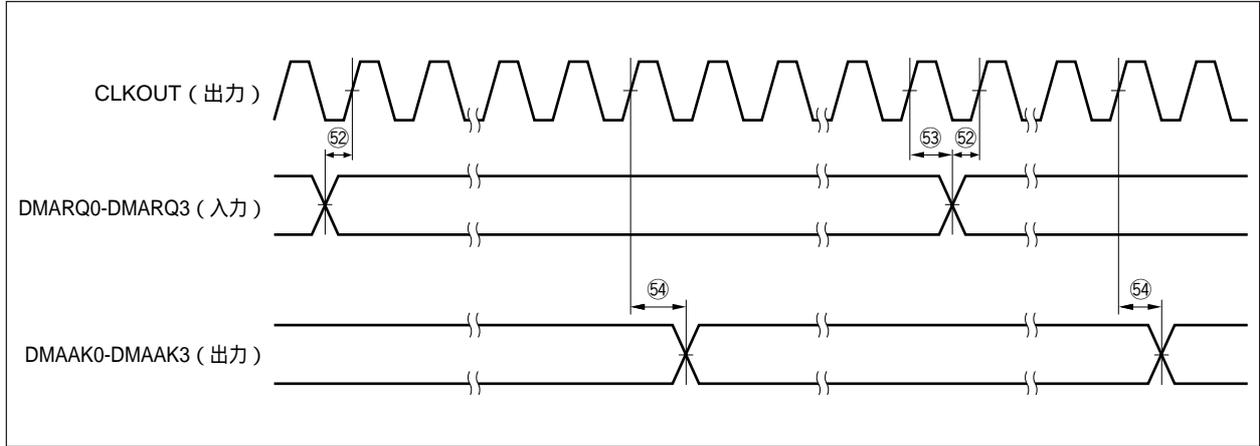
(7) バス・ホールド・タイミング

項目	略号	条件	MIN.	MAX.	単位
データ・アクティブ遅延時間 (対CLKOUT)	③⑩	tLZKDT	2	10	ns
データ・フロート遅延時間 (対CLKOUT)	③⑪	tHZKDT	3	20	ns
HLD \overline{RQ} 入力設定時間 (対CLKOUT)	④⑦	tSHQK	7		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	④⑧	tHKHQ	3		ns
HLD \overline{AK} 出力遅延時間	④⑨	tDKHA	2	10	ns
アドレス等フロート遅延時間 (対CLKOUT)	⑤⑩	tHZKA	3	20	ns
アドレス等アクティブ遅延時間 (対CLKOUT)	⑤⑪	tLZKA	2	10	ns



(8) DMAタイミング

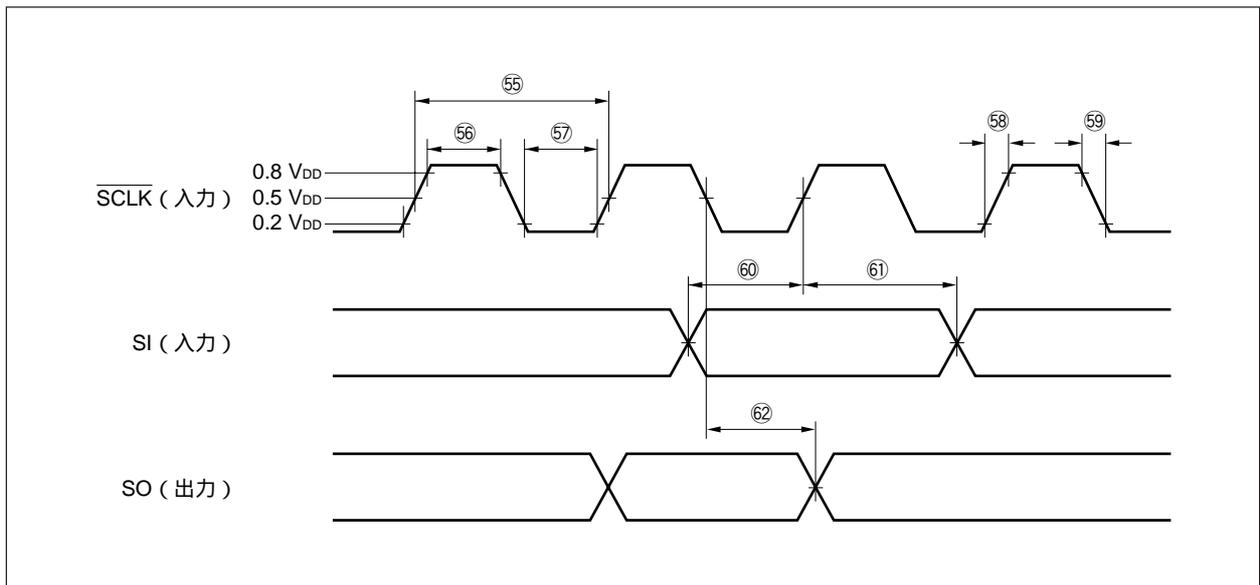
項目	略号	条件	MIN.	MAX.	単位
DMARQ入力設定時間 (対CLKOUT)	⑤②	t _{SDQK}	7		ns
DMARQ保持時間 (対CLKOUT)	⑤③	t _{HKDQ}	3		ns
DMAAK出力遅延時間	⑤④	t _{DKDAK}	2	10	ns



(9) CSIタイミング

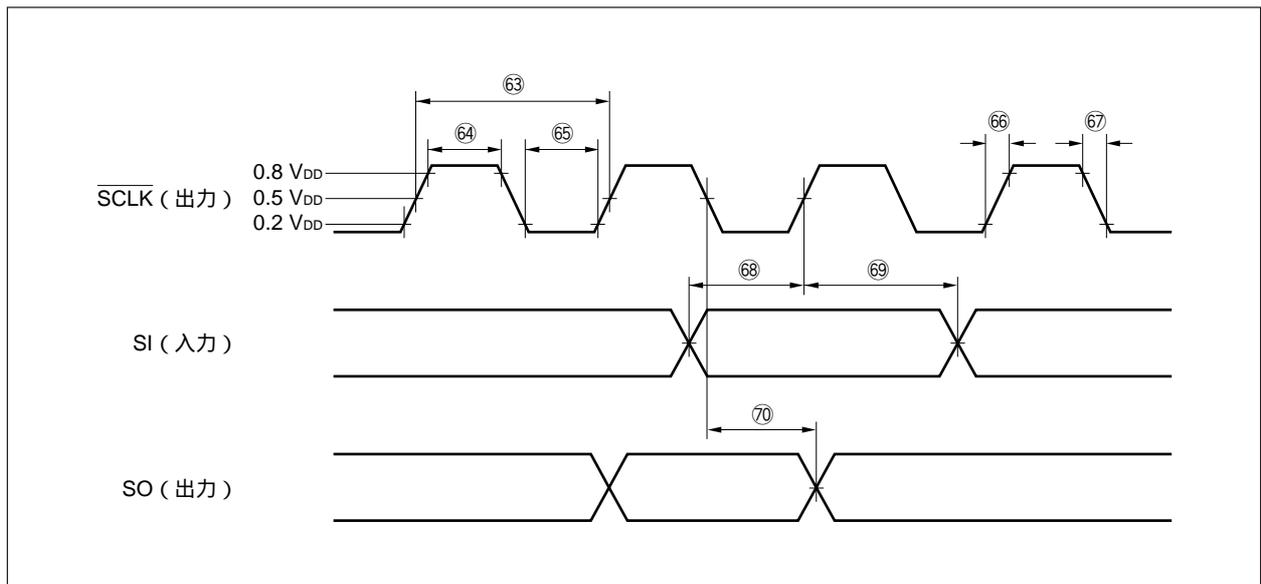
(a) SCLK入力モード時

項目	略号	条件	MIN.	MAX.	単位
SCLK周期	55	t _{CYSI}	120		ns
SCLKハイ・レベル時間	56	t _{SIH}	50		ns
SCLKロウ・レベル時間	57	t _{SIL}	50		ns
SCLK立ち上がり時間	58	t _{SIR}		10	ns
SCLK立ち下がり時間	59	t _{SIF}		10	ns
SI入力設定時間 (対SCLK)	60	t _{SDTS}	30		ns
SI入力保持時間 (対SCLK)	61	t _{HSDT}	30		ns
SO出力遅延時間 (対SCLK)	62	t _{DSDT}	2	30	ns



(b) SCL \bar{K} 出力モード時

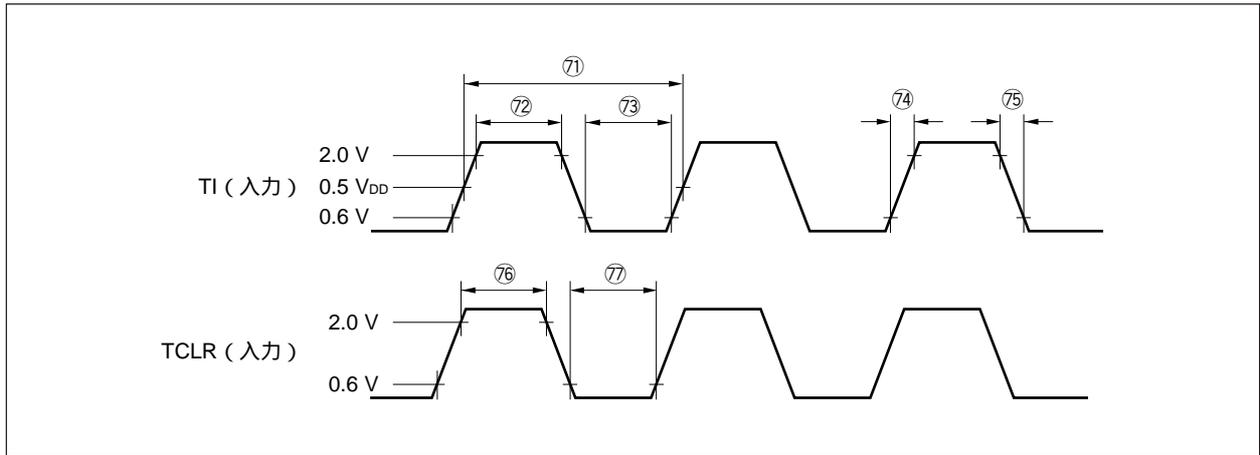
項目	略号	条件	MIN.	MAX.	単位
SCL \bar{K} 周期	⑥3	t _{CYSO}	120		ns
SCL \bar{K} ハイ・レベル時間	⑥4	t _{SOH}	50		ns
SCL \bar{K} ロウ・レベル時間	⑥5	t _{SOL}	50		ns
SCL \bar{K} 立ち上がり時間	⑥6	t _{SOR}		10	ns
SCL \bar{K} 立ち下がり時間	⑥7	t _{SOF}		10	ns
SI入力設定時間 (対SCL \bar{K})	⑥8	t _{SDTS}	30		ns
SI入力保持時間 (対SCL \bar{K})	⑥9	t _{HSDT}	30		ns
SO出力遅延時間 (対SCL \bar{K})	⑦0	t _{DSDT}	2	30	ns



(10) タイマ・タイミング

項目	略号	条件	MIN.	MAX.	単位
TIクロック周期	⑦①	t _{CYT}	243		ns
TIクロック・ハイ・レベル時間	⑦②	t _{TIH}	4T + 10		ns
TIクロック・ロウ・レベル時間	⑦③	t _{TIL}	4T + 10		ns
TIクロック立ち上がり時間	⑦④	t _{TR}		10	ns
TIクロック立ち下がり時間	⑦⑤	t _{TF}		10	ns
TCLRクロック・ハイ・レベル時間	⑦⑥	t _{TCLH}	4T + 10		ns
TCLRクロック・ロウ・レベル時間	⑦⑦	t _{TCLL}	4T + 10		ns

備考 T = T_{CYK} (外部クロック周期)



18. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表18-1 表面実装タイプの半田付け条件

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125℃プリベーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

参考資料 電気的特性の考え方 マイコン編 IEI-601

関連資料は暫定の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V830, V831, V830ファミリは日本電気株式会社の商標です。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111			
半導体第二販売事業部							
半導体第三販売事業部							
中部支社	半導体第一販売部 半導体第二販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル) (052)222-2170 (052)222-2190			
関西支社	半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル) (06) 945-3178 (06) 945-3200 (06) 945-3208			
北海道支社	札幌	(011)231-0161	宇都宮支店	宇都宮 (028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山 (0285)24-5011	富山支店	富山	(0764)31-8461
岩手支店	盛岡	(019)651-4344	甲府支店	甲府 (0552)24-4141	福井支店	福井	(0776)22-1866
郡山支店	郡山	(0249)23-5511	長野支店	松本 (0263)35-1662	京都支社	京都	(075)344-7824
いわき支店	いわき	(0246)21-5511	静岡支店	静岡 (054)254-4794	神戸支社	神戸	(078)333-3854
長岡支店	長岡	(0258)36-2155	立川支店	立川 (042)526-5981,6167	中国支社	広島	(082)242-5504
水戸支店	水戸	(029)226-1717	埼玉支店	大宮 (048)649-1415	鳥取支店	鳥取	(0857)27-5311
土浦支店	土浦	(0298)23-6161	千葉支店	千葉 (043)238-8116	岡山支店	岡山	(086)225-4455
群馬支店	高崎	(027)326-1255	神奈川支店	横浜 (045)682-4524	松山支店	松山	(089)945-4149
太田支店	太田	(0276)46-4011	三重支店	津 (059)225-7341	九州支社	福岡	(092)261-2806