

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

38B4グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

8ビットタイマ6本、16ビットタイマ1本、蛍光表示管自動表示回路、12チャンネル10ビットA-D変換器、自動転送機能付きシリアルI/Oなど多くの付加機能を備えており、主に音響機器や家電製品の制御に適しています。

特長

- 基本機械語命令 71
- 命令実行時間 0.48 μ s
(最短命令、発振周波数4.2MHz時)
- メモリ容量
- ROM 48K ~ 60Kバイト
- RAM 1024 ~ 2048バイト
- プログラブル入出力ポート 51本
- 高耐圧出力ポート 36本
- ソフトウェアブルアップ抵抗内蔵
(P5, P61 ~ P65, P7, P84 ~ P87, P9)
- 割り込み 21要因、16ベクタ
- タイマ 8ビット×6、16ビット×1
- シリアルI/O1 8ビット×1
(クロック同期形、最大256バイト自動転送機能付き)
- シリアルI/O2 8ビット×1
(UART又はクロック同期形)
- PWM 14ビット×1
8ビット×1(タイマ6と兼用)

- A-D変換器 10ビット分解能×12チャンネル
- 蛍光表示管表示機能 制御端子合計40本
- 割り込み間隔判定機能 1本
- ウォッチドッグタイマ 20ビット×1
- ブザー出力 1本
- クロック発生回路 2回路内蔵
(セラミック共振子又は水晶発振子外付け)

電源電圧

- 高速モード時 4.0 ~ 5.5V
(発振周波数4.2MHz時)
- 2.7 ~ 5.5V
(発振周波数2.0MHz時)
- 中速モード時 2.7 ~ 5.5V
(発振周波数4.2MHz時)
- 低速モード時 2.7 ~ 5.5V
(発振周波数32kHz時)
- 消費電力
- 高速モード時 35mW
(発振周波数4.2MHz時)
- 低速モード時 60 μ W
(発振周波数32kHz時、電源電圧3V)
- ストップモード時 1 μ A
(クロック停止時)
- 動作周囲温度 -20 ~ 85

応用

音響機器、VTR、家電製品など

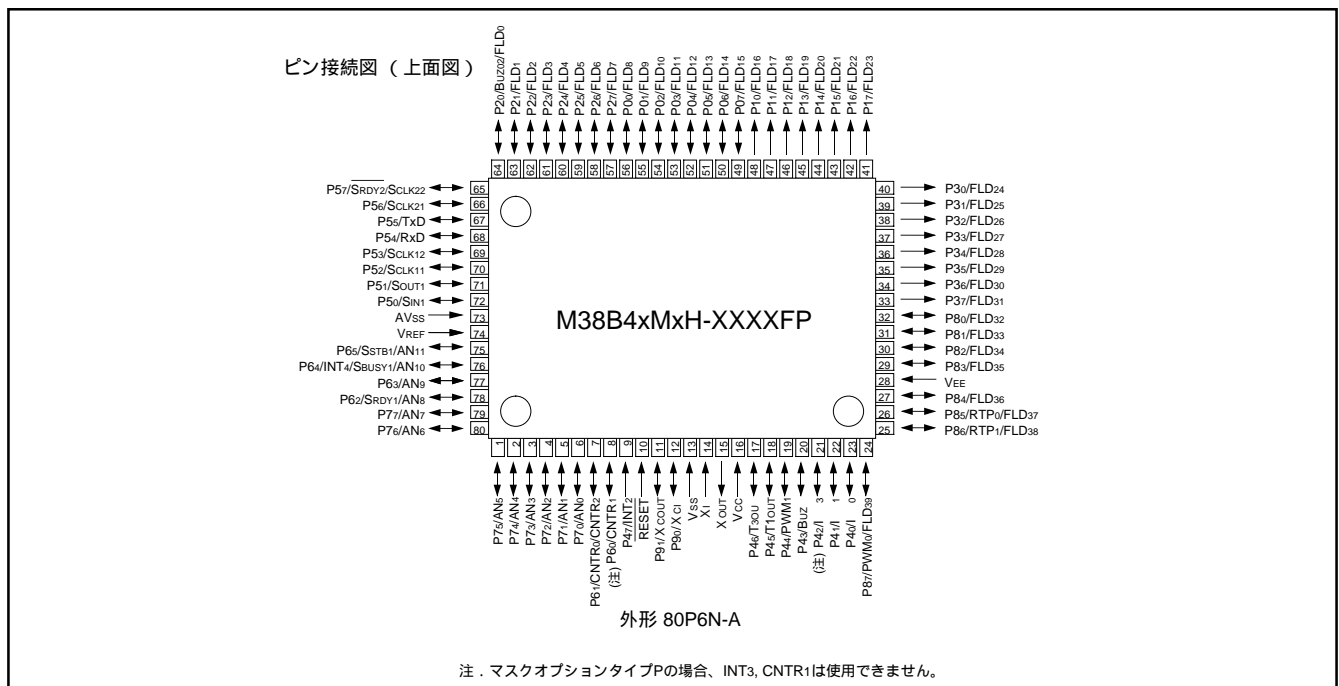


図1. M38B4xMxH-XXXXFPのピン接続図

機能ブロック図

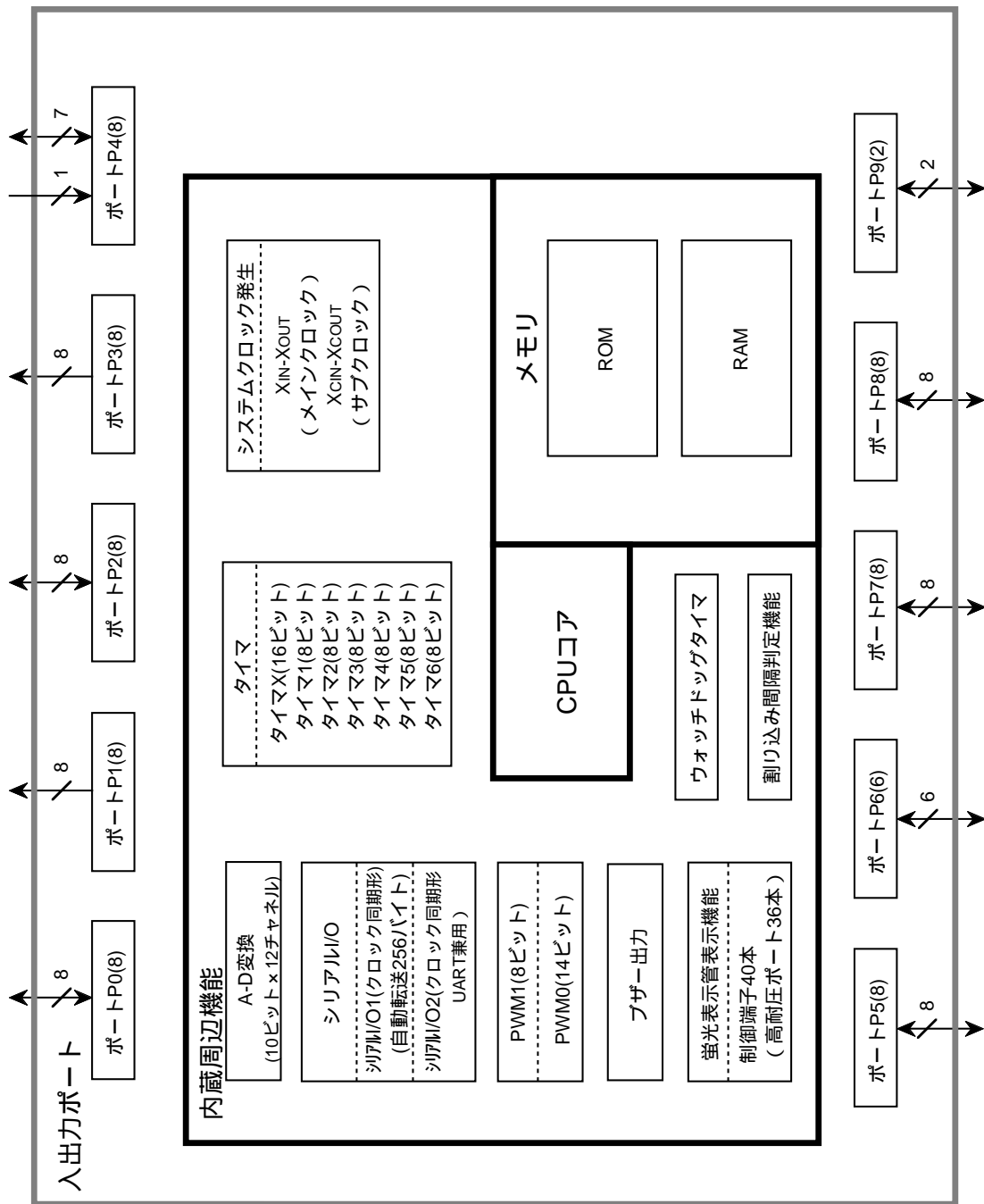


図2. 機能ブロック図

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
V _{CC} , V _{SS}	電源入力	V _{CC} に4.0~5.5V、V _{SS} に0Vを印加します。	
V _{EE}	プルダウン電源入力	ポートP0、P1、P3のプルダウン抵抗に供給する電圧を印加します。	
V _{REF}	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AV _{SS}	アナログ電源入力	A-D変換器のアナログ電源入力端子です。この端子はV _{SS} に接続してください。	
RESET	リセット入力	アクティブ「L」のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
P00/FLD8 ~ P07/FLD15	入出力ポート P0	8ビットの入出力ポートです。プログラムによりビット単位で入出力の指定が可能です。リセット時には入力モードになります。CMOS入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。V _{EE} 端子との間にプルダウン抵抗を内蔵しています。リセット時には「V _{EE} 」レベルになります。	FLD自動表示端子
F10/FLD16 ~ P17/FLD23	出力ポート P1	8ビットの出力ポートで、出力形式は高耐圧Pチャネルオープンドレインです。V _{EE} 端子との間にプルダウン抵抗を内蔵しています。リセット時には「V _{EE} 」レベルになります。	FLD自動表示端子
P20/BUZ02/FLD0 ~ P27/FLD7	入出力ポート P2	P0とほぼ同等の機能を持った8ビット入出力ポートです。低電圧入力レベルで、出力形式は高耐圧Pチャネルオープンドレインです。	FLD自動表示端子 ブザー出力端子(P20)
P30/FLD24 ~ P37/FLD31	出力ポート P3	8ビットの出力ポートで、出力形式は高耐圧Pチャネルオープンドレインです。V _{EE} 端子との間にプルダウン抵抗を内蔵しています。リセット時には「V _{EE} 」レベルになります。	FLD自動表示端子
P40/INT0 P41/INT1 P42/INT3	入出力ポート P4	P0とほぼ同等の機能を持った7ビット入出力ポートです。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	割り込み入力端子 (マスクオプションタイプがPの場合、INT3は使用できません。)
P43/BUZ01			ブザー出力端子
P44/PWM1			PWM出力端子 (タイマ出力端子)
P45/T1OUT P46/T3OUT			タイマ出力端子
P47/INT2	入力ポートP4	1ビットのCMOSレベル入力ポートです。	割り込み入力端子
P50/SIN1 P51/SOUT1 P52/SCLK11 P53/SCLK12	入出力ポートP5	P0とほぼ同等の機能を持った8ビット入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアルI/O1の機能端子
P54/RxD P55/TxD P56/SCLK21 P57/SRDY2/SCLK22			シリアルI/O2の機能端子

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表2. 端子の機能説明

端子名	名称	機能	ポート以外の機能
P60/CNTR1	入出力ポート P6	P0とほぼ同等の機能を持った1ビット入出力ポートです。CMOS入力レベルで、出力形式はNチャンネルオープンドレインです。	タイマ入力端子 (マスクオプションタイプがPの場合、CNTR1は使用できません。)
P61/CNTR0/CNTR2			タイマ入出力端子
P62/SRDY1/AN8			シリアルI/O1の機能端子 A-D変換器の入力端子
P63/AN9			A-D変換器の入力端子 ディマ-信号出力端子
P64/INT4/SBUSY1/AN10, P65/SSTB1/AN11			シリアルI/O1の機能端子 A-D変換器の入力端子 割り込み入力端子(P64)
P70/AN0 ~ P77/AN7	入出力ポート P7	P0とほぼ同等の機能を持った8ビット入出力ポートです。CMOS入力レベルで出力形式はCMOS3ステートです。	A-D変換器の入力端子
P80/FLD32 ~ P83/FLD35	入出力ポート P8	P0とほぼ同等の機能を持った4ビット入出力ポートです。低電圧入力レベルで、出力形式は高耐圧Pチャンネルオープンドレインです。	FLD自動表示端子
P84/FLD36			FLD自動表示端子 リアルタイムポート出力
P85/RTP0/FLD37 P86/RTP1/FLD38			FLD自動表示端子 14ビットPWM出力
P87/PWM0/FLD39			
P90/XCIN, P91/XCOUT	入出力ポート P9	P0とほぼ同等の機能を持った2ビット入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	サブクロック発生回路の入出力端子(共振子を接続します。)

形名とメモリサイズ・パッケージ

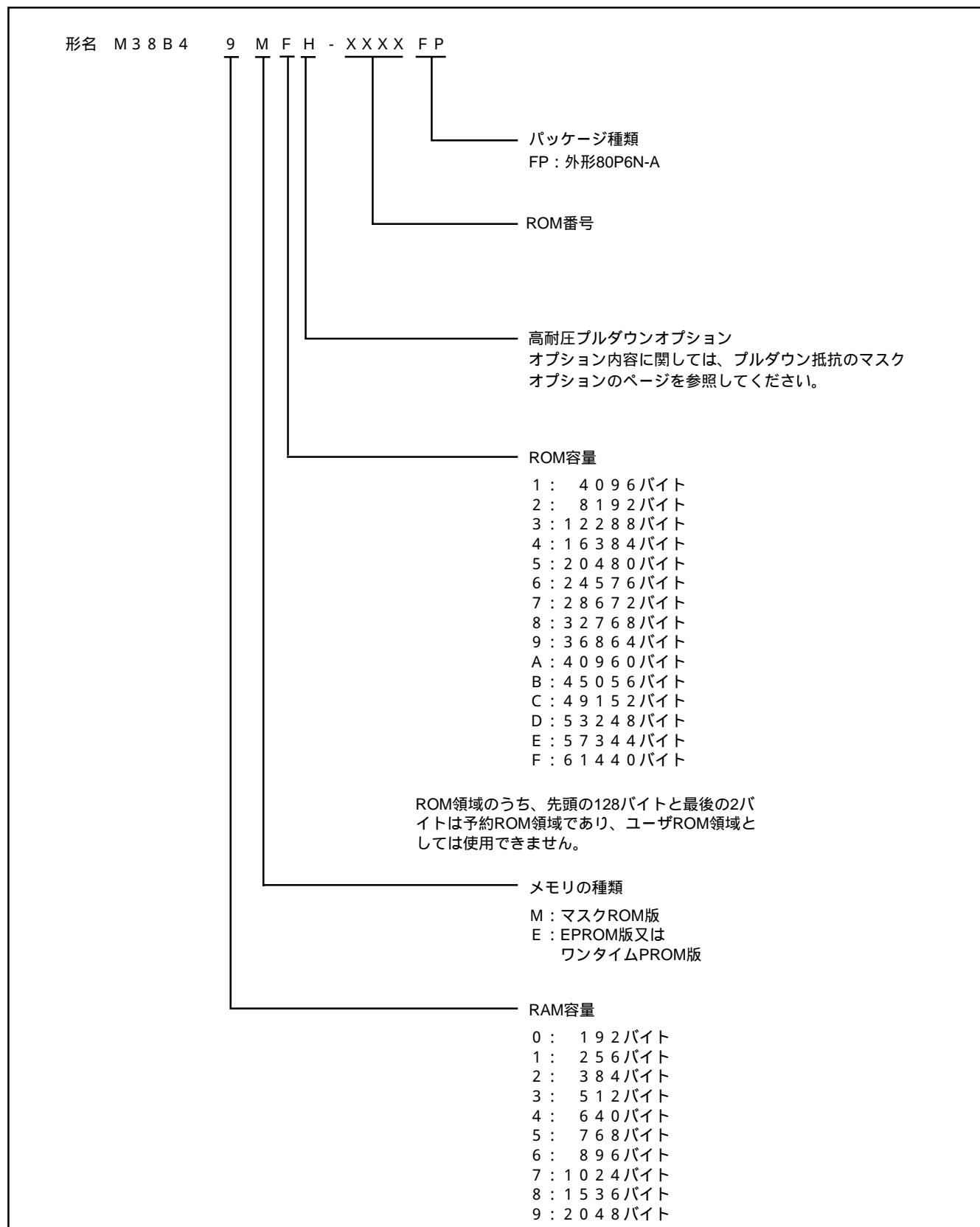


図3. 形名とメモリサイズ・パッケージ

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

グループ展開

38B4グループは次のような展開を計画しています。

パッケージ

80P6N-A プラスチックモールドQFP

メモリの種類

マスクROM版のサポート

メモリ容量

マスクROM容量 48K ~ 60Kバイト

RAM容量 1024 ~ 2048バイト

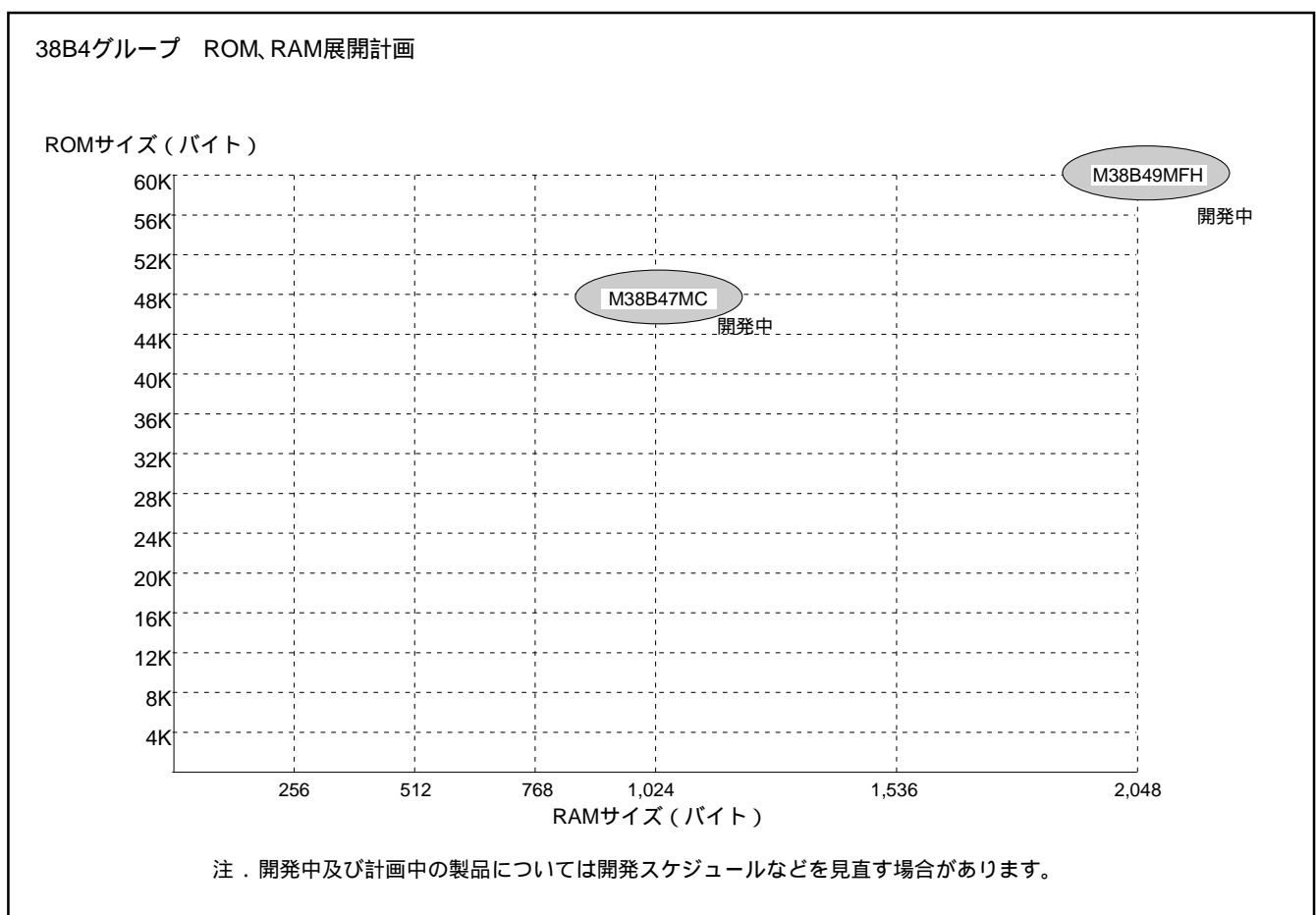


図4. ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表3. サポート製品一覧

2000年3月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM(バイト)	パッケージ	備考
M38B49MFH-XXXXFP	61440 (61310)	2048	80P6N-A	マスクROM版
M38B47MCH-XXXXFP	49152 (49022)	1024	80P6N-A	マスクROM版

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

機能ブロック動作説明

中央演算処理装置 (CPU)

38B4グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

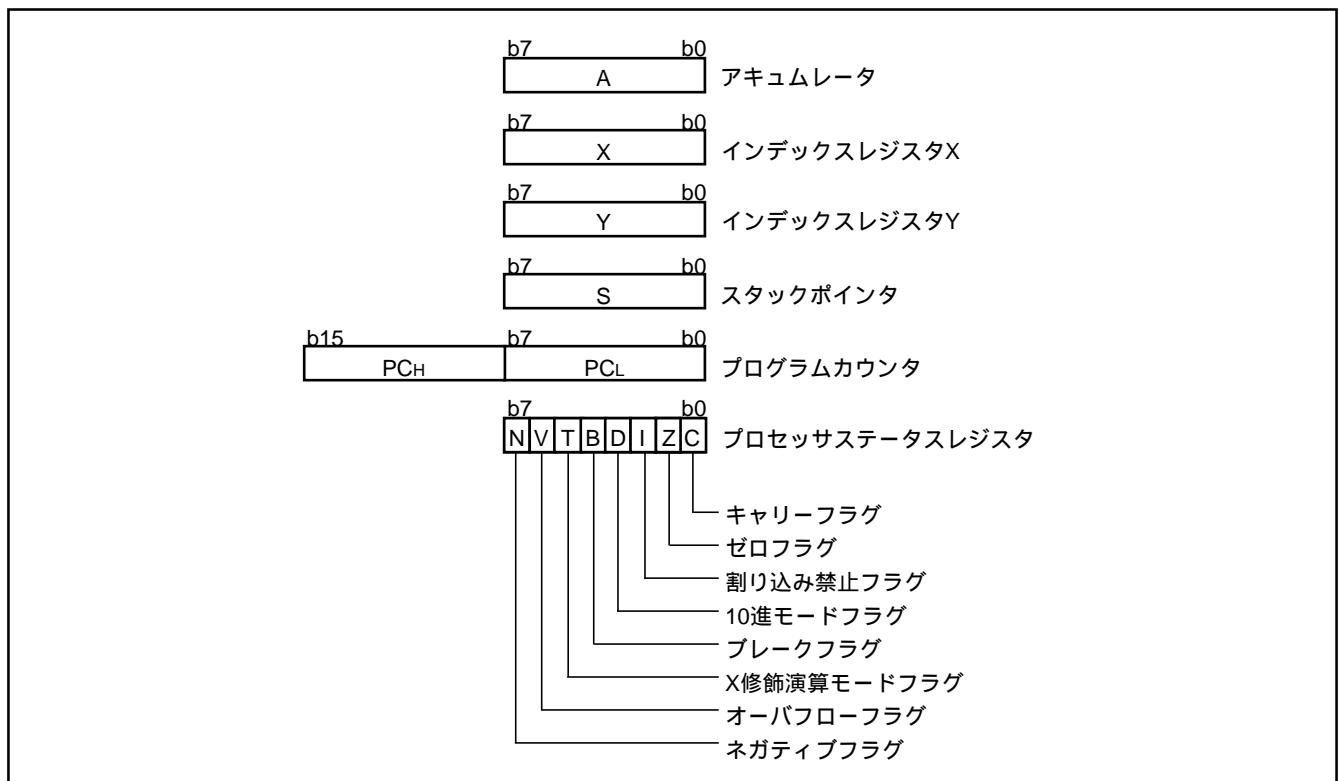


図5. 740ファミリ CPUの構成

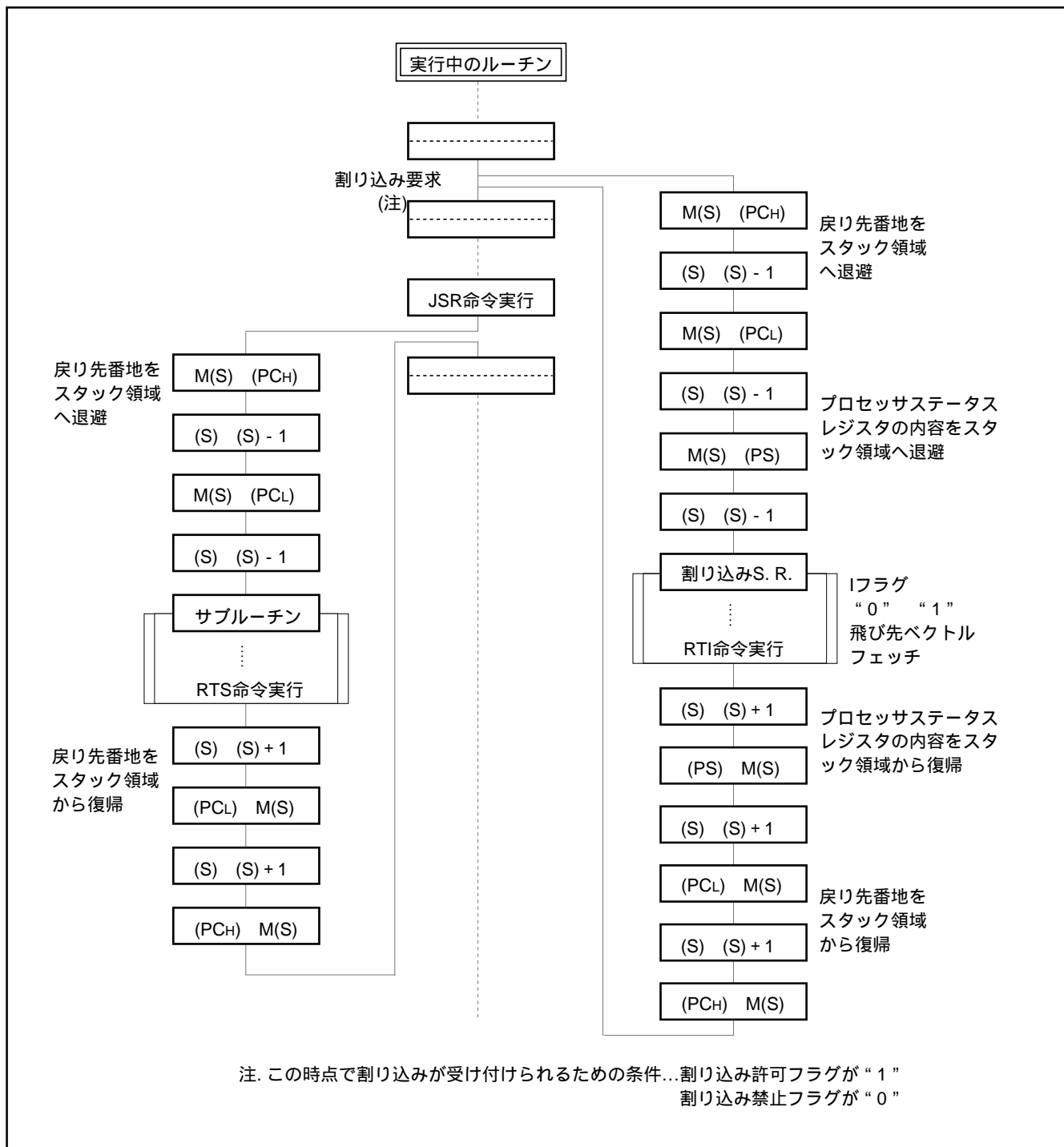


図6. スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B₁₆番地に配置されています。

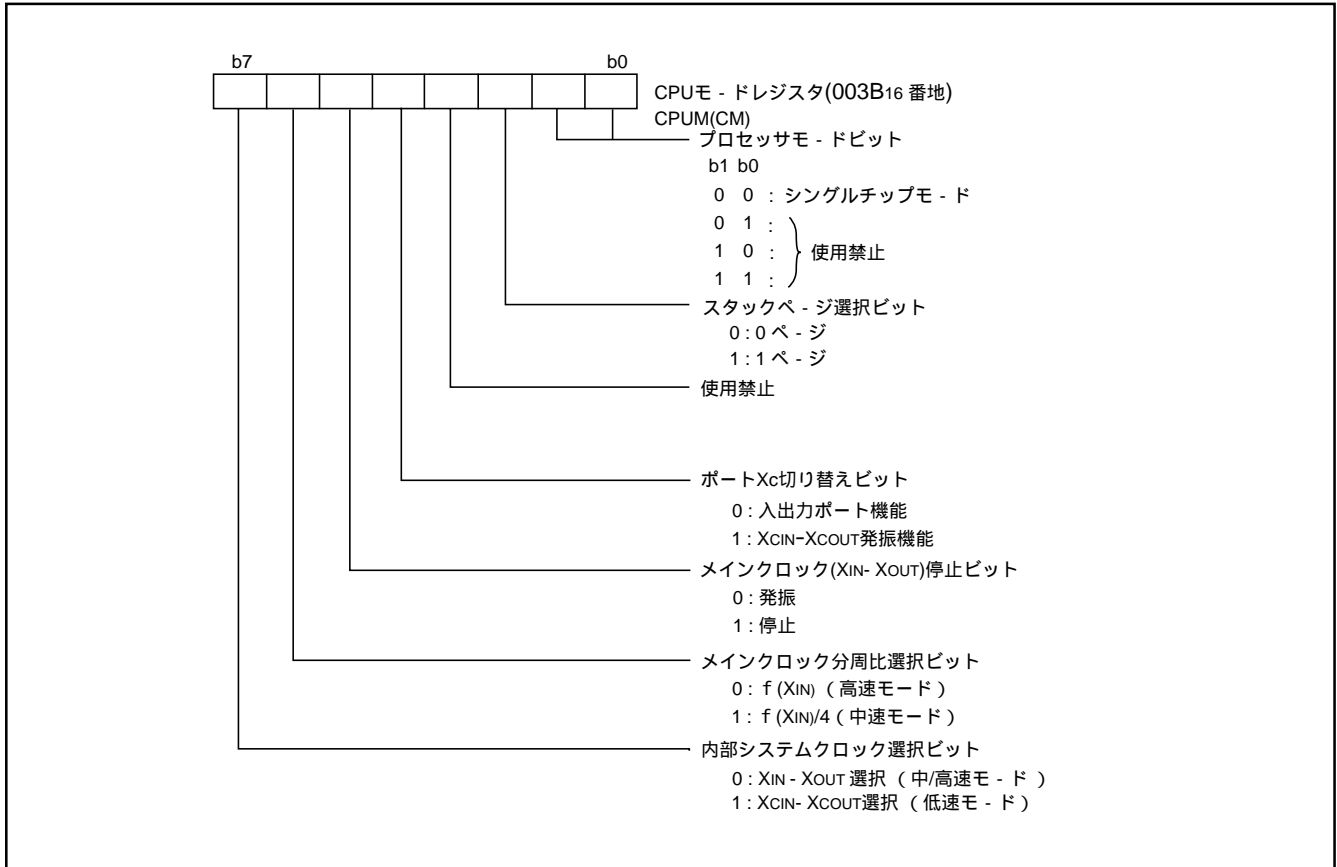


図7. CPUモードレジスタの構成

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

メモリ

SFR領域

入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

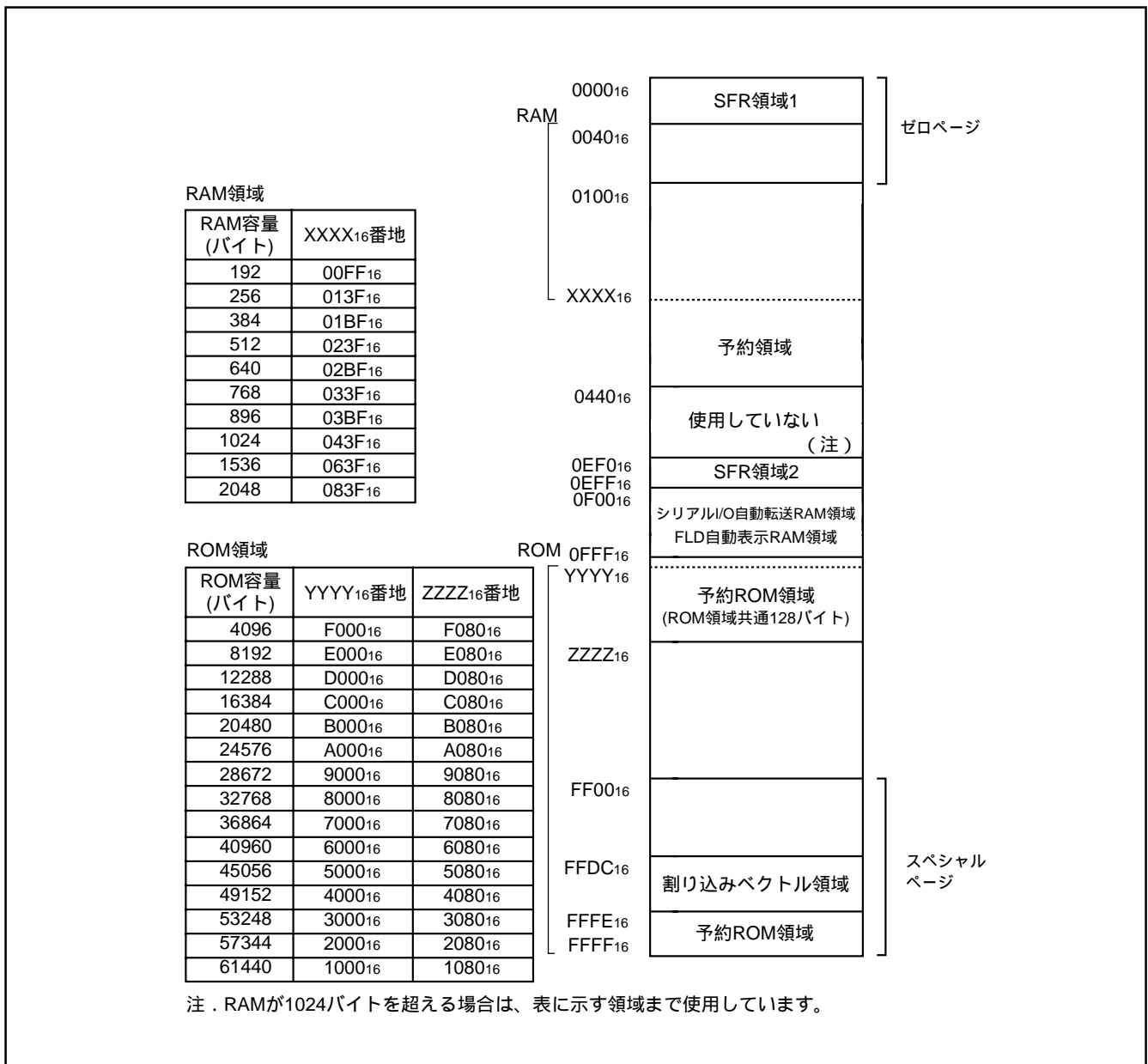
リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。



注：RAMが1024バイトを超える場合は、表に示す領域まで使用しています。

図8．メモリ配置図

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 ¹⁶	ポートP0(P0)	0020 ¹⁶	タイマ1(T1)
0001 ¹⁶	ポートP0方向レジスタ(P0D)	0021 ¹⁶	タイマ2(T2)
0002 ¹⁶	ポートP1(P1)	0022 ¹⁶	タイマ3(T3)
0003 ¹⁶		0023 ¹⁶	タイマ4(T4)
0004 ¹⁶	ポートP2(P2)	0024 ¹⁶	タイマ5(T5)
0005 ¹⁶	ポートP2方向レジスタ(P2D)	0025 ¹⁶	タイマ6(T6)
0006 ¹⁶	ポートP3(P3)	0026 ¹⁶	PWM制御レジスタ(PWMCON)
0007 ¹⁶		0027 ¹⁶	タイマ6PWMレジスタ(T6PWM)
0008 ¹⁶	ポートP4(P4)	0028 ¹⁶	タイマ12モードレジスタ(T12M)
0009 ¹⁶	ポートP4方向レジスタ(P4D)	0029 ¹⁶	タイマ34モードレジスタ(T34M)
000A ¹⁶	ポートP5(P5)	002A ¹⁶	タイマ56モードレジスタ(T56M)
000B ¹⁶	ポートP5方向レジスタ(P5D)	002B ¹⁶	ウォッチドッグタイマ制御レジスタ(WDTCON)
000C ¹⁶	ポートP6(P6)	002C ¹⁶	タイマX(下位)(TXL)
000D ¹⁶	ポートP6方向レジスタ(P6D)	002D ¹⁶	タイマX(上位)(TXH)
000E ¹⁶	ポートP7(P7)	002E ¹⁶	タイマXモードレジスタ1(TXM1)
000F ¹⁶	ポートP7方向レジスタ(P7D)	002F ¹⁶	タイマXモードレジスタ2(TXM2)
0010 ¹⁶	ポートP8(P8)	0030 ¹⁶	割り込み間隔判定レジスタ(IID)
0011 ¹⁶	ポートP8方向レジスタ(P8D)	0031 ¹⁶	割り込み間隔判定制御レジスタ(IIDCON)
0012 ¹⁶	ポートP9(P9)	0032 ¹⁶	A-D制御レジスタ(ADCON)
0013 ¹⁶	ポートP9方向レジスタ(P9D)	0033 ¹⁶	A-D変換レジスタ(下位)(ADL)
0014 ¹⁶	PWMレジスタ(上位)(PWMH)	0034 ¹⁶	A-D変換レジスタ(上位)(ADH)
0015 ¹⁶	PWMレジスタ(下位)(PWML)	0035 ¹⁶	
0016 ¹⁶	ポーレートジェネレータ(BRG)	0036 ¹⁶	
0017 ¹⁶	UART制御レジスタ(UARTCON)	0037 ¹⁶	
0018 ¹⁶	シリアル/O1自動転送データポインタ(SIO1DP)	0038 ¹⁶	
0019 ¹⁶	シリアル/O1制御レジスタ1(SIO1CON1)	0039 ¹⁶	割り込み要因切り替えレジスタ(IFR)
001A ¹⁶	シリアル/O1制御レジスタ2(SIO1CON2)	003A ¹⁶	割り込みエッジ選択レジスタ(INTEDGE)
001B ¹⁶	シリアル/O1レジスタ/転送カウンタ(SIO1)	003B ¹⁶	CPUモードレジスタ(CPUM)
001C ¹⁶	シリアル/O1制御レジスタ3(SIO1CON3)	003C ¹⁶	割り込み要求レジスタ1(IREQ1)
001D ¹⁶	シリアル/O2制御レジスタ(SIO2CON)	003D ¹⁶	割り込み要求レジスタ2(IREQ2)
001E ¹⁶	シリアル/O2ステータスレジスタ(SIO2STS)	003E ¹⁶	割り込み制御レジスタ1(ICON1)
001F ¹⁶	シリアル/O2送信/受信バッファレジスタ(TB/RB)	003F ¹⁶	割り込み制御レジスタ2(ICON2)
0EF0 ¹⁶	プルアップ制御レジスタ1(PULL1)	0EF8 ¹⁶	FLDデータポインタ(FLDDP)
0EF1 ¹⁶	プルアップ制御レジスタ2(PULL2)	0EF9 ¹⁶	ポートP0FLD/ポート切り替えレジスタ(P0FPR)
0EF2 ¹⁶		0EFA ¹⁶	ポートP2FLD/ポート切り替えレジスタ(P2FPR)
0EF3 ¹⁶		0EFB ¹⁶	ポートP8FLD/ポート切り替えレジスタ(P8FPR)
0EF4 ¹⁶	FLDCモードレジスタ(FLDM)	0EFC ¹⁶	ポートP8FLD出力制御レジスタ(P8FLDCON)
0EF5 ¹⁶	Tdisp時間設定レジスタ(TDISP)	0EFD ¹⁶	ブザー出力制御レジスタ(BUZCON)
0EF6 ¹⁶	Toff1時間設定レジスタ(TOFF1)	0EFE ¹⁶	
0EF7 ¹⁶	Toff2時間設定レジスタ(TOFF2)	0EFF ¹⁶	

図9 . SFR (スペシャルファンクションレジスタ)メモリマップ

入出力ポート

方向レジスタ

入出力ポートP0、P2、P40～P46、P5、P6、P7、P8、P9は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポート、“0”にクリアすると入力ポートとなります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

高耐圧出力ポート

高耐圧出力ポートP0、P1、P2、P3、P80～P83は高耐圧Pチャンネルオープンドレイン出力で、耐圧はV_{CC} - 45Vあります。P0、P1、P3はV_{EE}を負電源とするプルダウン抵抗を内蔵

しています。ポートラッチはリセット時、Pチャンネル出力トランジスタ遮断状態ですので、プルダウン抵抗を介してV_{EE}レベル(“L”)になります。

FLDCモードレジスタ(0EF4₁₆番地)のビット7に“1”を書き込むと、高耐圧Pチャンネルトランジスタを駆動するインバータの駆動能力を弱めて高耐圧ポートの出力の立ち上がり波形をなまらせることができます。リセット時はFLDCモードレジスタのビット7は“0”(駆動能力は強い)になっています。

プルアップ制御レジスタ

ポートP5、P61～P65、P7、P84～P87、P9は、プログラマブルプルアップ抵抗を内蔵しています。各プルアップ制御レジスタの対応するビットが“1”でかつ対応するポートの方向レジスタが入力モードに設定されている場合のみ、プルアップ抵抗が有効です。

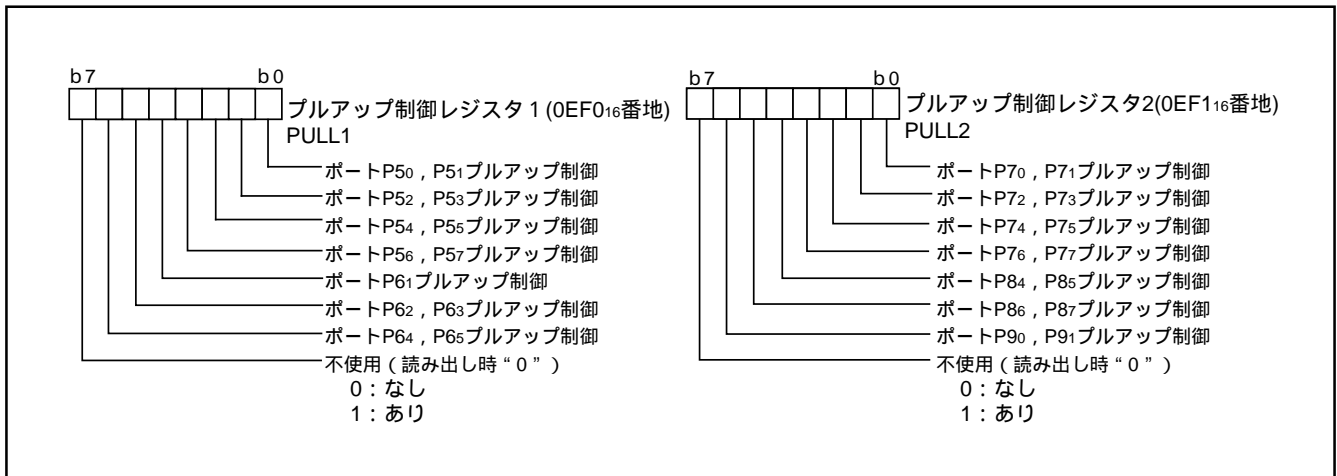


図10. プルアップ制御レジスタPULL1、PULL2の構成

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表6. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番		
P00/FLD8 ~ P07/FLD15	ポートP0	入出力 ビット単位	CMOS入力レベル 高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵	FLD自動表示機能	FLDCモードレジスタ ポートP0FLD/ポート 切り替えレジスタ	1		
P10/FLD16 ~ P17/FLD23	ポートP1	出力	高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵		FLDCモードレジスタ	2		
P20/BUZ02/ FLD0	ポートP2	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープン ドレイン出力	ブザー出力(P20) FLD自動表示機能	FLDCモードレジスタ ポートP2FLD/ポート 切り替えレジスタ ブザー出力制御 レジスタ	3		
P21/FLD1 ~ P27/FLD7				FLD自動表示機能		1		
P30/FLD24 ~ P37/FLD31	ポートP3	出力	高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵		FLDCモードレジスタ	2		
P40/INT0 P41/INT1 P42/INT3 P43/BUZ01 P44/PWM1 P45/T1OUT P46/T3OUT P47/INT2	ポートP4	入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力	外部割り込み入力 マスクオプション タイプPの場合、INT3 は使用できません。	割り込みエッジ選択 レジスタ	5		
						7-1 7-2		
				ブザー出力	ブザー出力制御 レジスタ	4		
				PWM出力	タイマ56モードレジスタ	6		
		タイマ出力	タイマ12モードレジスタ	8-1				
		タイマ出力	タイマ34モードレジスタ	8-2				
		入力	CMOS入力レベル	外部割り込み入力	割り込みエッジ選択 レジスタ 割り込み間隔判定制御 レジスタ	9		
P50/SIN1 P51/SOUT1 P52/SCLK11 P53/SCLK12 P54/RxD P55/TxD P56/SCLK21 P57/SRDY2/ SCLK22	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O1機能 入出力	シリアルI/O1制御 レジスタ1,2	10 11		
				シリアルI/O2機能 入出力	シリアルI/O2制御 レジスタ UART制御レジスタ	10 11 12		
P60/CNTR1 P61/CNTR0/ CNTR2 P62/SRDY1/ AN8	ポートP6		CMOS入力レベル Nチャネルオープン ドレイン出力 CMOS入力レベル CMOS3ステート出力	外部カウント入力 マスクオプション タイプPの場合、CNTR1 は使用できません。	割り込みエッジ選択 レジスタ	7-1 7-2 13		
				シリアルI/O1機能 入出力	シリアルI/O1制御 レジスタ1,2	14		
				A-D変換入力	A-D制御レジスタ			

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

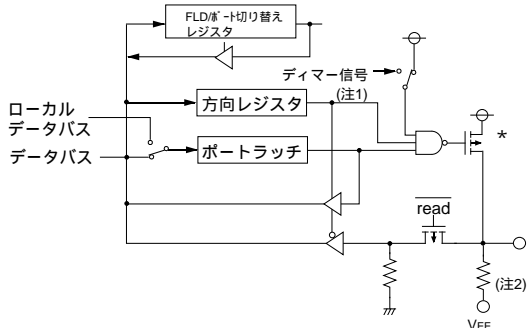
表7. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番	
P63/AN9	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力	A-D制御レジスタ	15	
P64/INT4/ SBUSY1/AN10				ディマ-信号出力	P8FLD出力制御レジスタ		
				シリアル/O1機能 入出力	シリアル/O1制御 レジスタ1,2	16	
A-D変換入力				A-D制御レジスタ			
P65/SSTB1/ AN11	外部割り込み入力	割り込みエッジ 選択レジスタ	17				
P70/AN0 ~ P77/AN7	ポートP7			シリアル/O1機能 入出力	シリアル/O1制御 レジスタ1,2	15	
				A-D変換入力	A-D制御レジスタ		
P80/FLD32 ~ P83/FLD35	ポートP8		低電圧入力レベル 高耐圧Pチャンネルオー ブドレイン出力	FLD自動表示機能	FLDCモードレジスタ	1	
P84/FLD36					ポートP8FLD/ポート 切り替えレジスタ		
				P85/RTP0/ FLD37, P86/RTP1/ FLD38	低電圧入力レベル	FLD自動表示機能	FLDCモードレジスタ
CMOS3ステート出力					リアルタイムポート 出力	ポートP8FLD/ポート 切り替えレジスタ タイマXモードレジスタ2	
P87/PWM0/ FLD39				FLD自動表示機能 PWM出力	FLDCモードレジスタ ポートP8FLD/ポート 切り替えレジスタ PWM制御レジスタ	20	
P90/XCIN	ポートP9		CMOS入力レベル CMOS3ステート出力	サブクロック発生	CPUモードレジスタ	21	
P91/XCOUT				回路入出力		22	

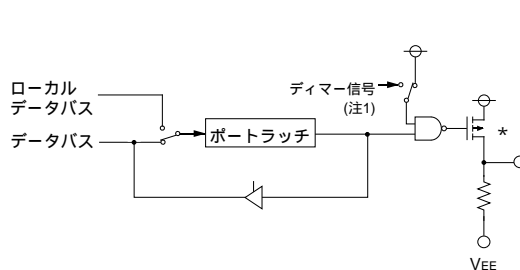
注1. STP命令実行中は、各端子の入力レベルを0VあるいはVccにしてください。電位が不安定な場合、入力段のゲートに貫通電源電流が流れ、電源電流が増加します。

2. ダブルファンクションポートを機能入力端子として使用する方法については、関連する頁を参照してください。

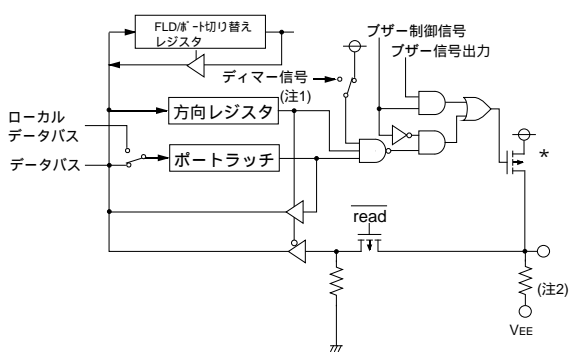
(1)ポートP0, P21 ~ P27, P80 ~ P83



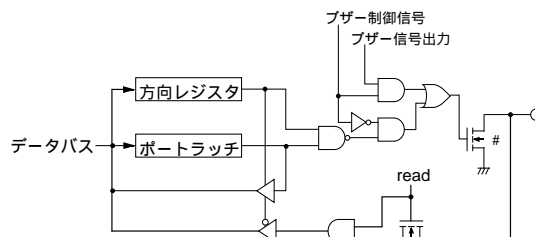
(2)ポートP1, P3



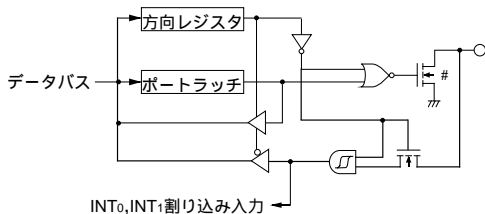
(3)ポートP20



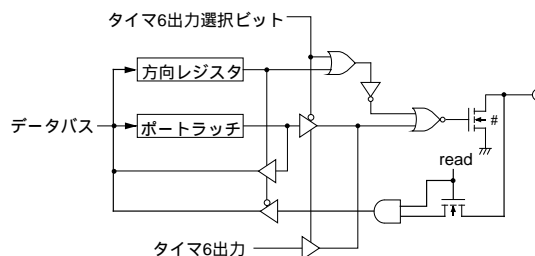
(4)ポートP43



(5)ポートP40, P41



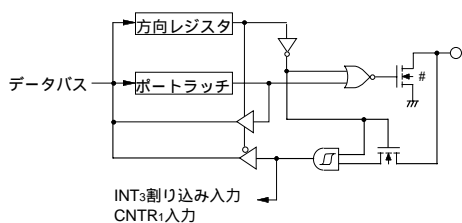
(6)ポートP44



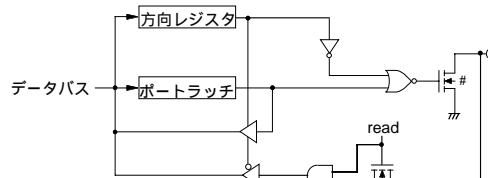
* 高耐圧Pチャネルトランジスタ
中耐圧Nチャネルトランジスタ
注1. デイマー信号はToff時間を設定する信号です。
2. P2、P8はプルダウン抵抗を内蔵していません。

図11. ポートのブロック図(1)

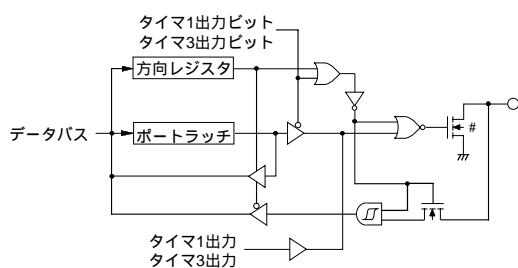
(7-1)ポートP42, P60



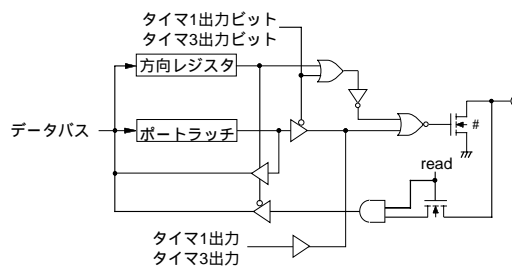
(7-2)ポートP42, P60 (マスクオプションタイプPの場合)



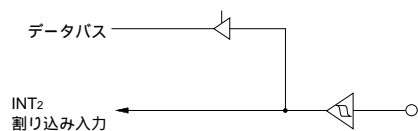
(8-1)ポートP45, P46



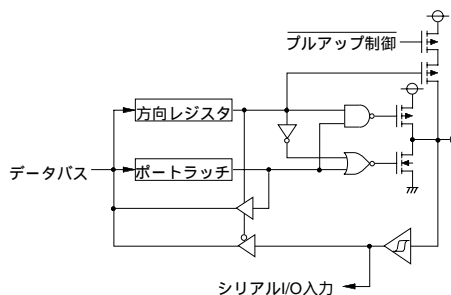
(8-2)ポートP45, P46 (マスクオプションタイプPの場合)



(9)ポートP47



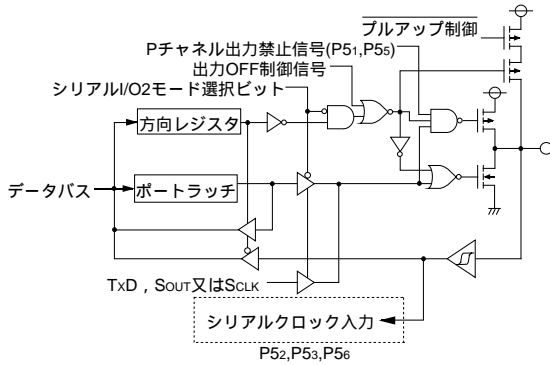
(10)ポートP50, P54



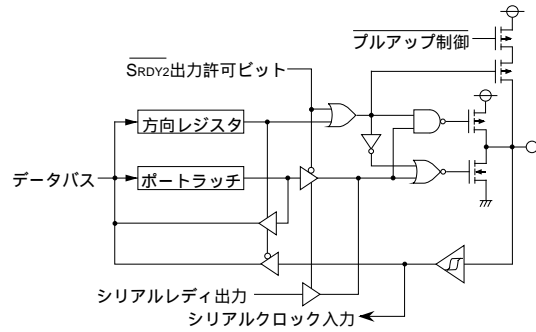
中耐圧Nチャネルトランジスタ

図12. ポートのブロック図(2)

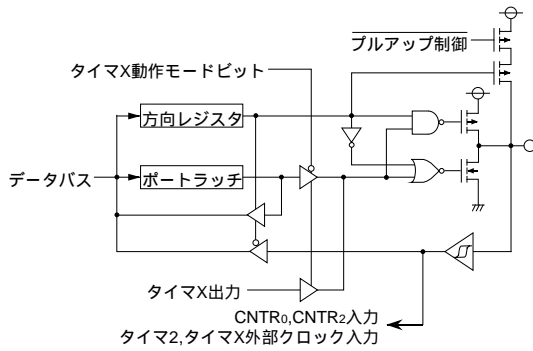
(11)ポートP51, P52, P53, P55, P56



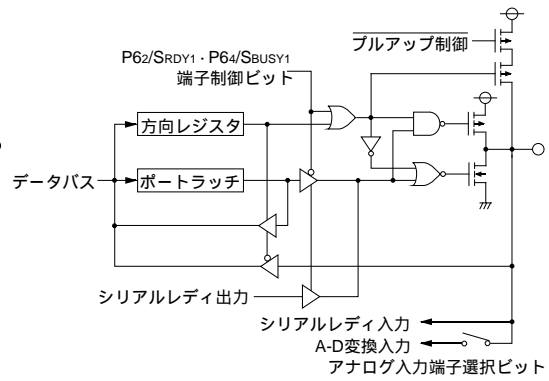
(12)ポートP57



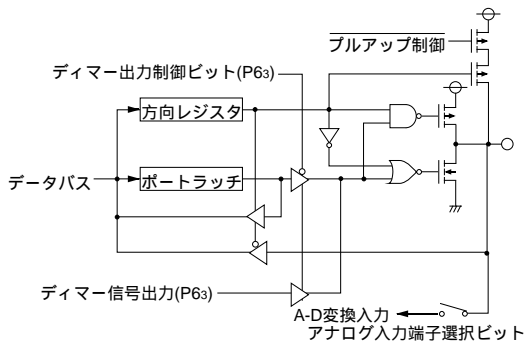
(13)ポートP61



(14)ポートP62



(15)ポートP63, P7



(16)ポートP64

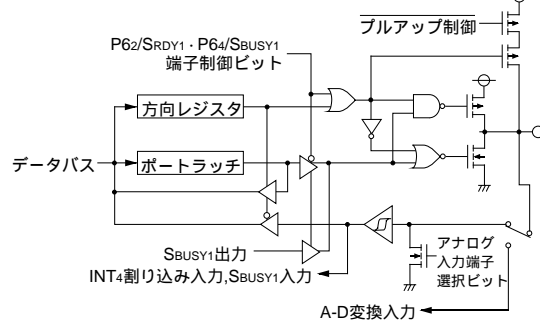
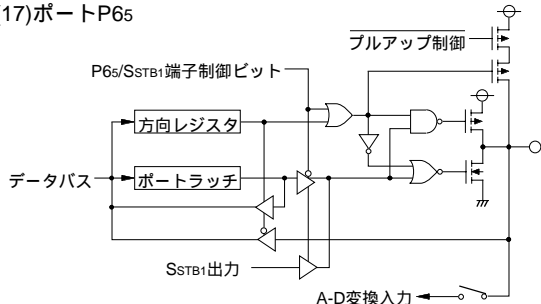
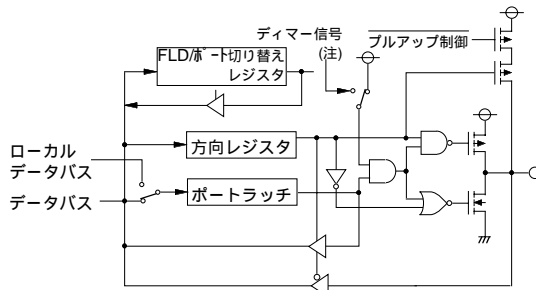


図13. ポートのブロック図(3)

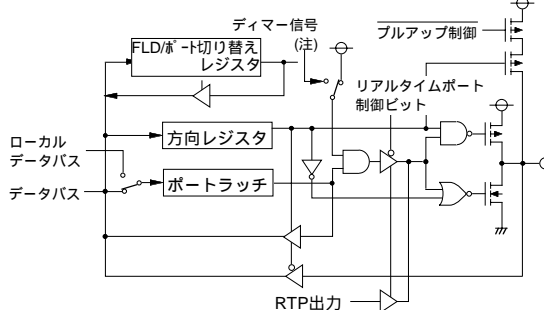
(17)ポートP65



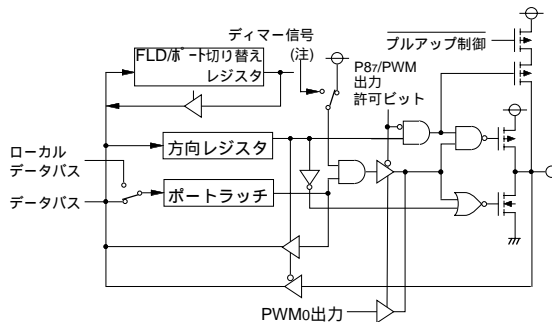
(18)ポートP84



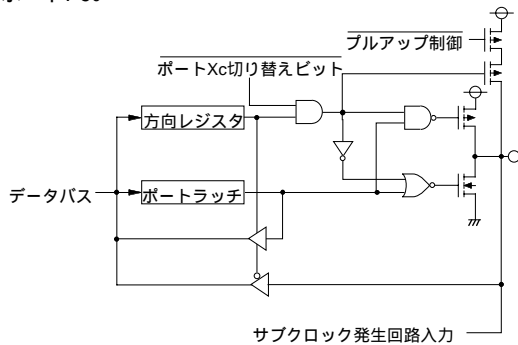
(19)ポートP85, P86



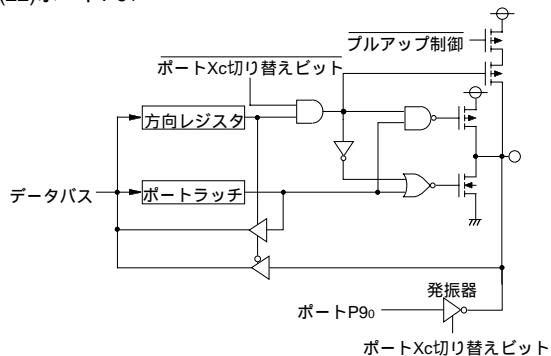
(20)ポートP87



(21)ポートP90



(22)ポートP91



* 高耐圧Pチャネルトランジスタ
注 . デイマー信号はToff時間を設定する信号です。

図14 . ポートのブロック図(4)

割り込み

割り込みはベクトル割り込みで、外部5要因、内部15要因、ソフトウェア1要因の21の要因から発生することが可能です。

(1) 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

(2) 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

外部割り込み(INT0~INT4)のアクティブエッジを設定する際、又は1つのベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタを設定した後割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₂	4	FFF7 ₁₆	FFF6 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
リモコン/カウンタ オーバーフロー				8ビットカウンタオーバーフロー時	割り込み間隔判定動作時有効
シリアルI/O1	5	FFF5 ₁₆	FFF4 ₁₆	データ転送終了時	シリアルI/O通常モード選択時のみ有効
シリアルI/O自動 転送				最終データ転送終了時	シリアルI/O自動転送モード 選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマ1	7	FFF1 ₁₆	FFF0 ₁₆	タイマ1アンダフロー時	
タイマ2	8	FFEF ₁₆	FFEE ₁₆	タイマ2アンダフロー時	STP解除タイマアンダフロー
タイマ3	9	FFED ₁₆	FFEC ₁₆	タイマ3アンダフロー時	
タイマ4	10	FFEB ₁₆	FFEA ₁₆	タイマ4アンダフロー時	(注3)
タイマ5	11	FFE9 ₁₆	FFE8 ₁₆	タイマ5アンダフロー時	
タイマ6	12	FFE7 ₁₆	FFE6 ₁₆	タイマ6アンダフロー時	
シリアルI/O2受信	13	FFE5 ₁₆	FFE4 ₁₆	シリアルI/O2データ受信完了時	
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	INT ₃ 入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み(注4) (極性プログラマブル)
シリアルI/O2送信				シリアルI/O2データ送信完了時	
INT ₄	15	FFE1 ₁₆	FFE0 ₁₆	INT ₄ 入力の立ち上がり又は立ち下がりエッジ検出時	INT ₄ 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
A-D変換				A-D変換終了時	A-D変換割り込み選択時有効
FLDブランキング	16	FFDF ₁₆	FFDE ₁₆	ブランキング期間開始直前の最終タイミングの立ち下がり時	FLDブランキング割り込み 選択時のみ有効
FLDディジット				ディジット(各タイミング)の立ち上がり時	FLDディジット割り込み選択 時のみ有効
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

- 注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。
 3. マスクオプションタイプPの場合、CNTR₁入力をカウントソースとしたタイマ4割り込みは使用できません。
 4. マスクオプションタイプPの場合、INT₃割り込みは使用できません。

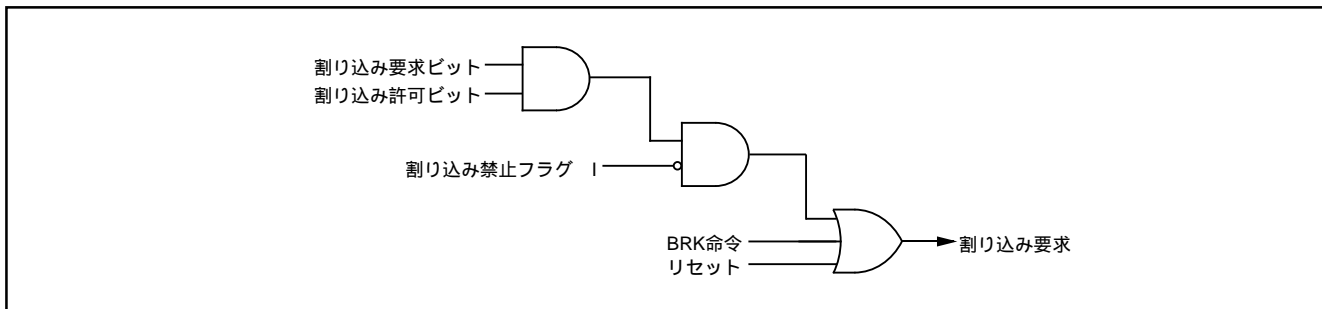


図15. 割り込み制御図

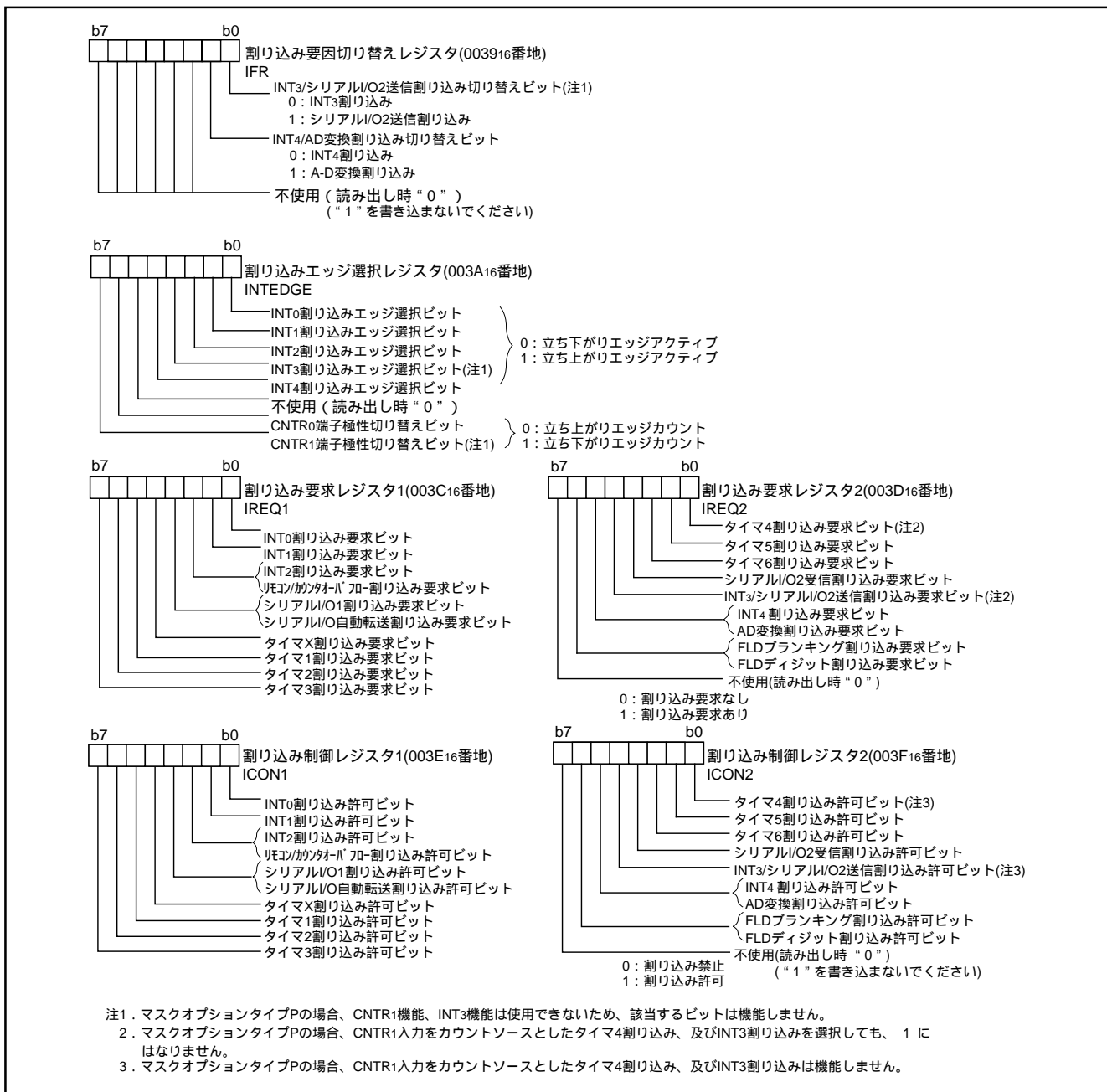


図16. 割り込み関係レジスタの構成

タイマ

8ビットタイマ

タイマ1からタイマ6は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式で、タイマの内容が 00_{16} になった次のカウントパルスで、タイマラッチの内容が再びタイマにロードされます。この時同時に各タイマに対応する割り込み要求ビットが 1 にセットされます。

また、各タイマの停止ビットを 1 にセットすることによりカウントを停止することが可能です。なお、内部システムクロックはCPUモードレジスタにより高速モードと低速モードが選択でき、これと同時にタイマの内部カウントソースの源発振も $f(XIN)$ と $f(XCIN)$ が切り替わります。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ1の2分周した方形波をP45/T10UT端子から出力することができます。外部クロックCNTR0は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

リセット入力時及びSTP命令実行時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に FF_{16} 、タイマ2に 01_{16} がセットされます。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3の2分周した方形波をP46/T30UT端子から出力することができます。外部クロックCNTR1(注は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

注。マスクオプションタイプPの場合、CNTR1機能は使用できません。

タイマ5、タイマ6

タイマ5、タイマ6はタイマ56モードレジスタを設定することによりカウントソースを選択することができます。また、このレジスタによりタイマ6の2分周した方形波をP44/PWM1端子から出力することができます。

タイマ6PWM1モード

タイマ56モードレジスタを設定することにより、“H”区間のデューティ $n/(n+m)$ のPWM方形波をP44/PWM1端子から出力することができます(図19参照)。ここで n はタイマ6ラッチ

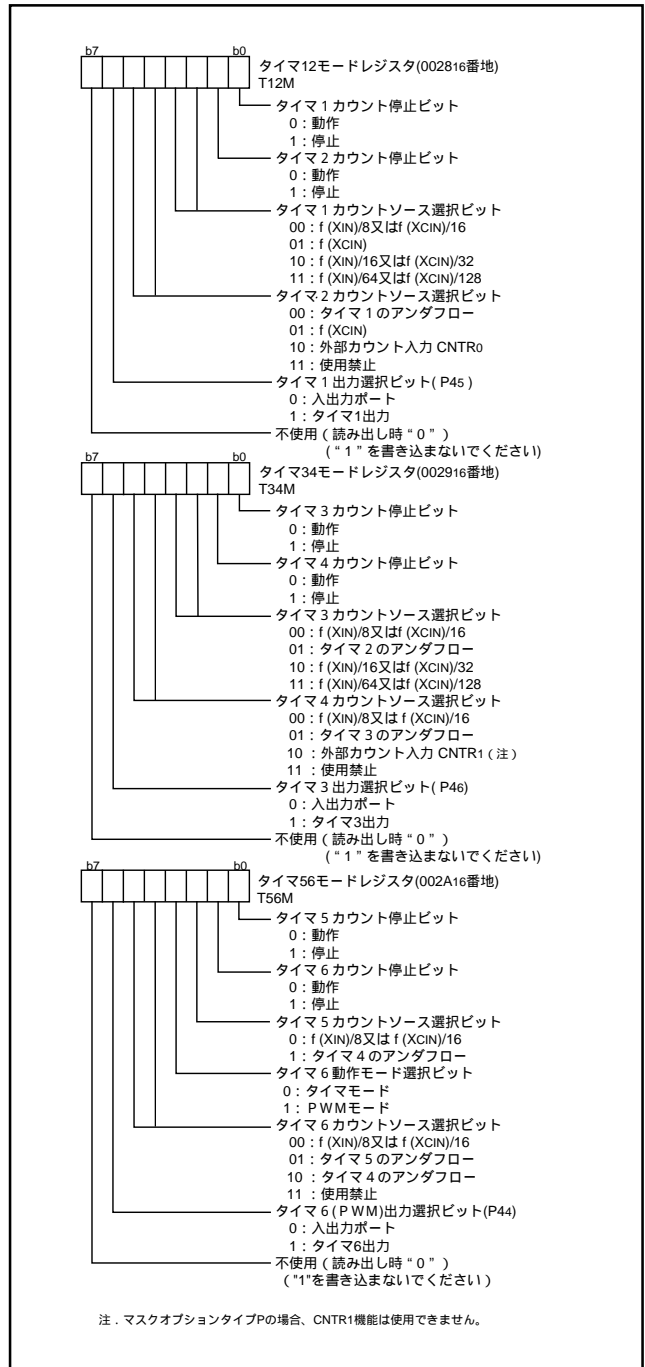


図17. タイマ関係レジスタの構成

(002516番地)の値であり、 m はタイマ6PWMレジスタ(002716番地)の値です。 n が 0 の場合は、PWM出力はすべて“L”、 m が 0 の場合は、PWM出力はすべて“H”となります($n=0$ 優先)。PWMモード時の割り込みは、PWM出力の立ち上がりエッジのタイミングで発生します。

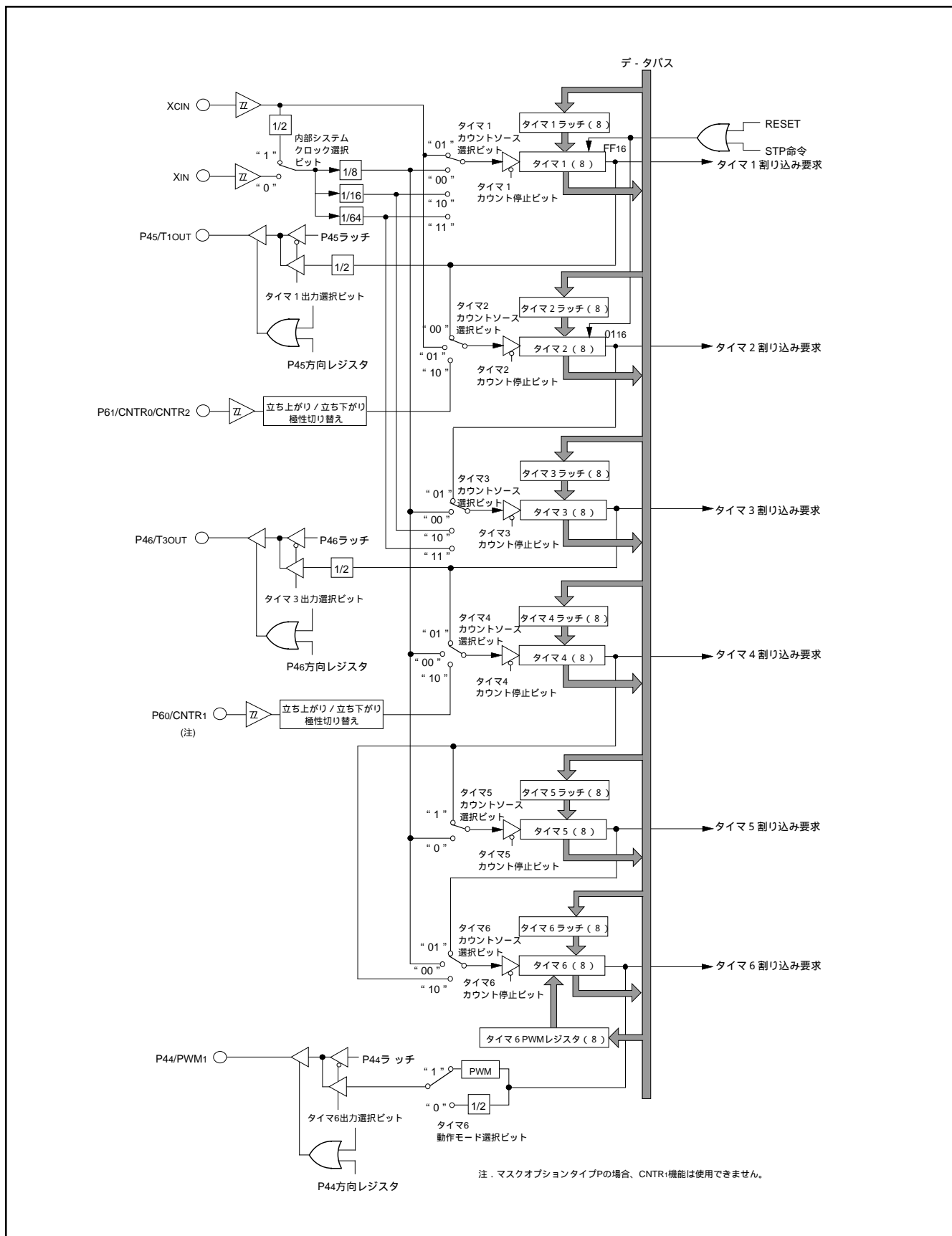


図18. タイマのブロック図

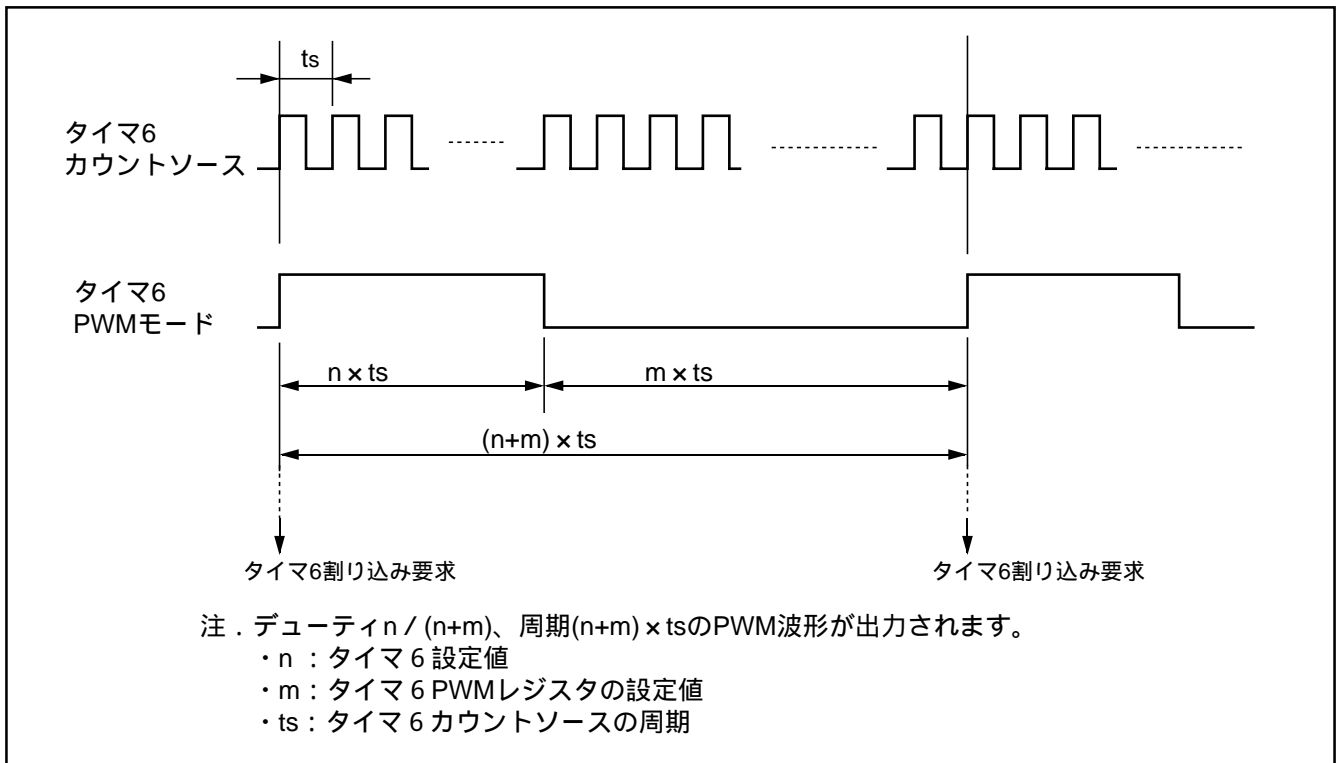


図19．タイマ6PWM1モードのタイミング図

16ビットタイマ

タイマXは16ビットタイマでタイマXモードレジスタ1、2により4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

タイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。タイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

タイマX

タイマXはカウントダウン方式で、タイマの内容が“0000₁₆”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマXに対応する割り込み要求ビットが[#]1にセットされます。

(1) タイマモード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNTR2端子と共用のポートを出力に設定してください。

(3) イベントカウンタモード

CNTR2端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR2端子と共用のポートを入力に設定してください。

(4) パルス幅測定モード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。CNTR2極性切り替えビットが[#]0の場合は、CNTR2端子の入力が[#]Hの期間カウントします。[#]1の場合は、CNTR2端子の入力が[#]Lの期間カウントします。このモードでは、CNTR2端子と共用のポートを入力に設定してください。

注意事項

・タイマX書き込み制御

タイマXはタイマXモードレジスタ1(002E₁₆番地)のタイマX書き込み制御ビット(b0)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。タイマX書き込み制御ビットが[#]0のとき、タイマXのアドレスに値を書き込むと、タイマXとタイマラッチに同時に値が設定されます。タイマX書き込み制御ビットが[#]1のとき、タイマXのアドレスに値を書き込むと、タイマラッチにだけ値が設定されます。タイマXは次のアンダフローで更新されます。

なお、ラッチのみへ書き込む場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに望ましくない値が設定されることがあります。

・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP85、P86から出力されます。(ただし、リアルタイムポート制御ビットを“0”から“1”に変えたときにはタイマXの動きにかかわらずデータが出力されず。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、その変更された値は次のタイマXのアンダフローで出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

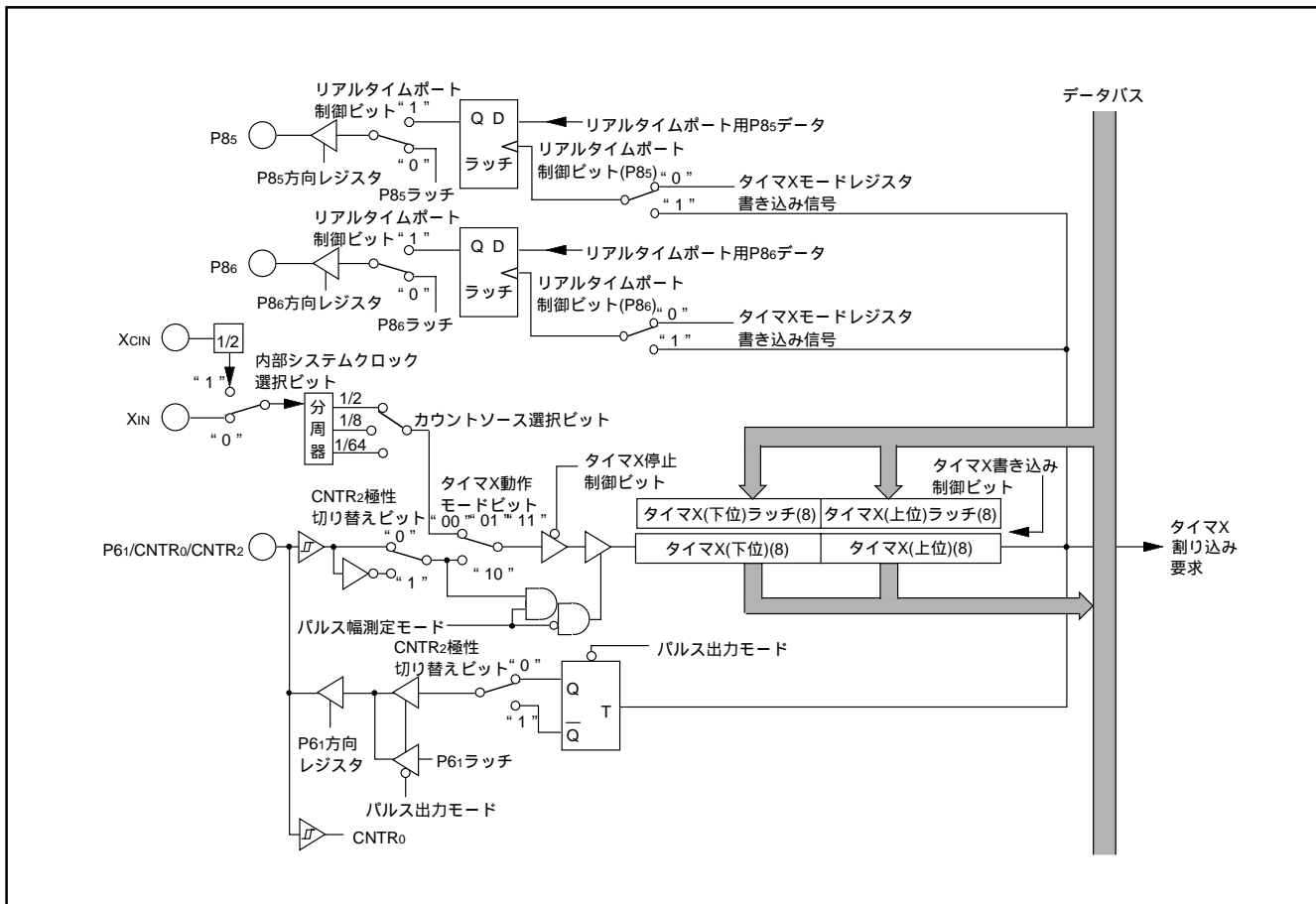


図20. タイマXのブロック図

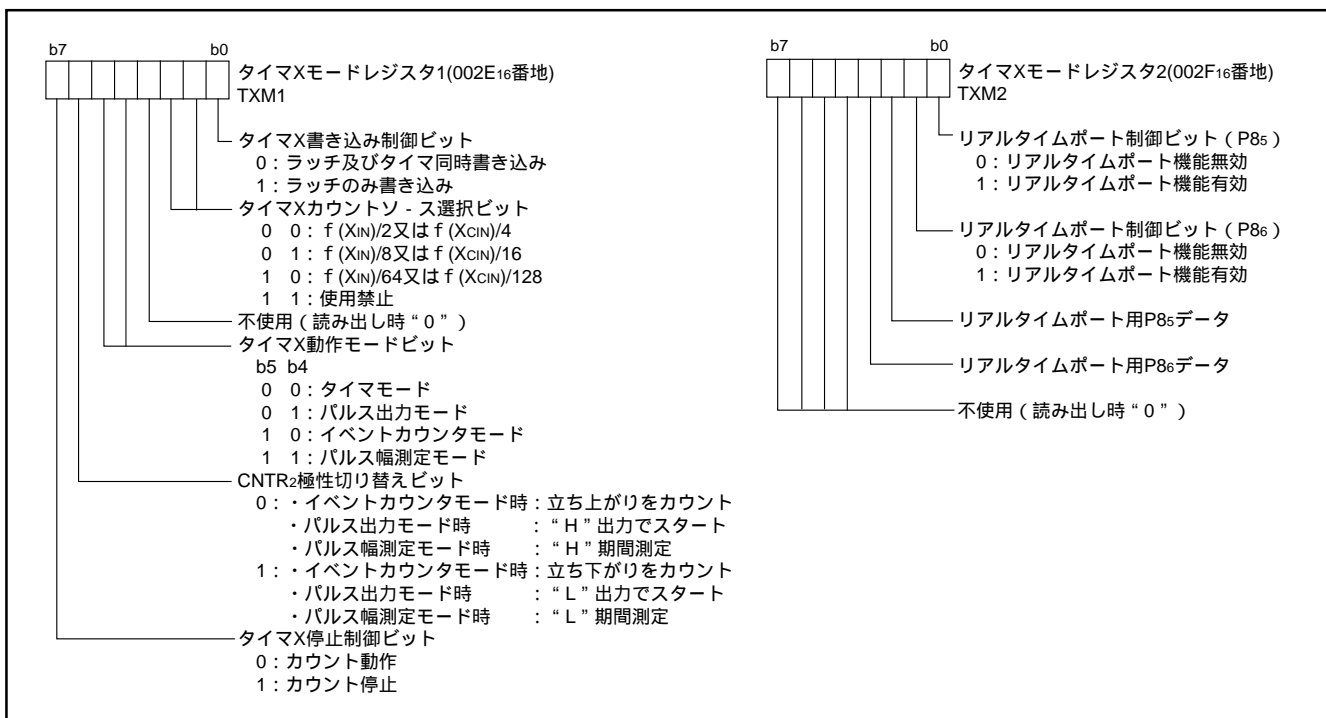


図21. タイマXモードレジスタの構成

シリアルI/O

シリアルI/O1

シリアルI/O1は、クロック同期形のシリアルI/Oで、通常モードと自動転送モードを有しています。自動転送モードでは、最大256バイトのシリアルI/O自動転送RAM(0F00₁₆ ~

0FFF₁₆番地、うち0F60₁₆ ~ 0FFF₁₆番地はFLD自動表示RAM兼用)を介して、シリアル転送を行います。

P62/SRDY1/AN8、P64/INT4/SBUSY1/AN10、P65/SSTB1/AN11の各端子は、ハンドシェイク入出力信号としての機能を持ち、アクティブ論理の正反選択も行うことができます。

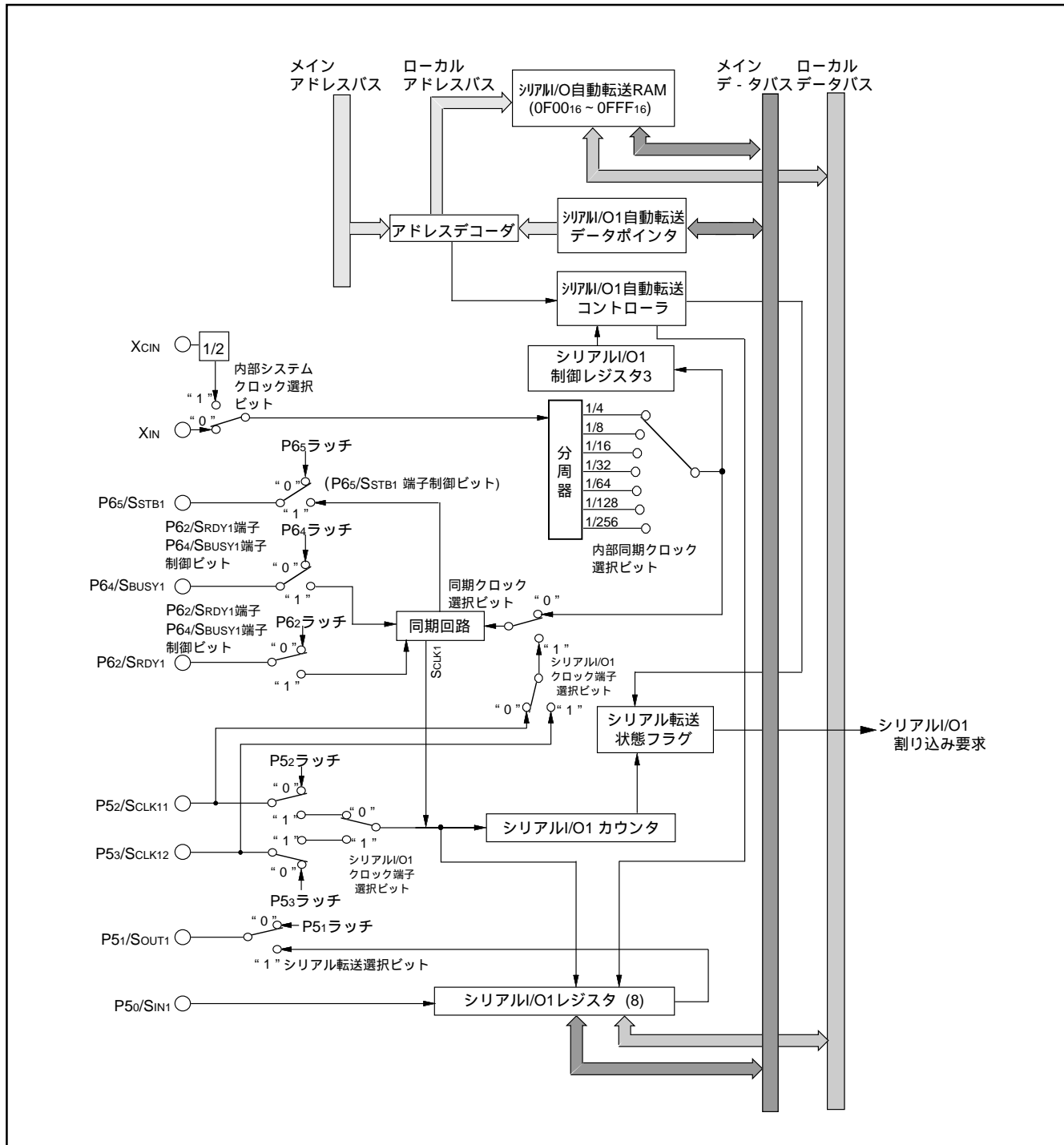


図22. シリアルI/O1のブロック図

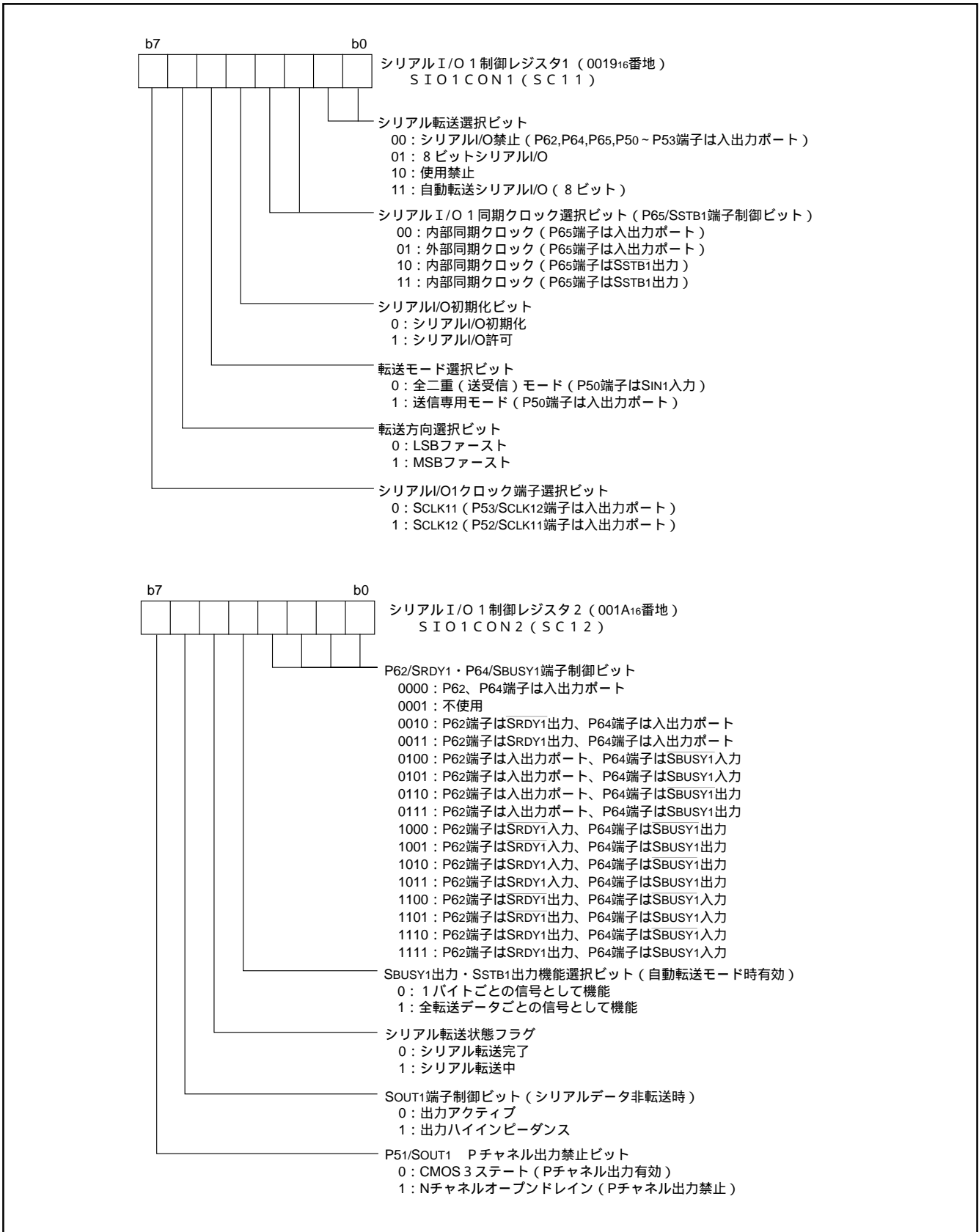


図23 . シリアル I/O 1 制御レジスタ1、2の構成

(1) シリアルI/O1の動作

シリアル転送を行うための同期クロックは、シリアルI/O1制御レジスタ1のシリアルI/O1同期クロック選択ビット(0019₁₆番地のb2、b3)により、内部同期クロックもしくは外部同期クロックの選択ができます。

内部同期クロックは、専用の分周器を内蔵しており、シリアルI/O1制御レジスタ3の内部同期クロック選択ビット(001C₁₆番地のb5、b6、b7)によって、7通りのクロックを選択することができます。

P62/SRDY1/AN8、P64/INT4/SBUSY1/AN10、P65/SSTB1/AN11の各端子は、シリアルI/O1制御レジスタ1のシリアルI/O1同期クロック選択ビット(0019₁₆番地のb2、b3)及びシリアルI/O1制御レジスタ2のP62/SRDY1・P64/SBUSY1端子制御ビット(001A₁₆番地のb0~b3)により、入出力ポートあるいはハンドシェイク入出力信号を選択します。

出力端子となるSOUT1については、シリアルI/O1制御レジスタ2のP51/SOUT1Pチャンネル出力禁止ビット(001A₁₆番地のb7)により、CMOS出力あるいはNチャンネルオープンドレイン出力を選択します。

シリアル非転送時のSOUT1端子の状態は、シリアルI/O1制御レジスタ2のSOUT1端子制御ビット(001A₁₆番地のb6)により、出力アクティブあるいはハイインピーダンスを選択することができます。ただし、外部同期クロックを選択した場合は、SOUT1端子をハイインピーダンスの状態にするためには、以下の設定を行ってください。転送終了後SCLK1入力が高レベルのとき、SOUT1端子制御ビットを高レベルに設定してください。

次のシリアル転送が始まり、SCLK1が低レベルになると、SOUT1端子制御ビットは、自動的に低レベルにリセットされ、出力アクティブの状態になります。

内部同期クロック、外部同期クロックにかかわらず、シリアル転送には、全二重モードと送信専用モードがあり、シリアルI/O1制御レジスタ1の転送モード選択ビット(0019₁₆番地のb5)により設定します。

シリアル転送ビット列の入出力順序については、シリアルI/O1制御レジスタ1の転送方向選択ビット(0019₁₆番地のb6)により、LSBファーストあるいはMSBファーストを選択します。

シリアルI/O1を使用するには、以上のビット設定が完了した後、まずシリアルI/O1制御レジスタ1のシリアル転送選択ビット(0019₁₆番地のb0、b1)により、8ビットシリアルI/O、自動転送シリアルI/Oのいずれかを選択します。次にシリアルI/O1制御レジスタ1のシリアルI/O初期化ビット(0019₁₆番地のb4)を高レベルに設定します(シリアルI/O許可)。

内部同期クロック、外部同期クロックにかかわらず、転送中にシリアル転送を中止する場合は、シリアルI/O初期化ビット(b4)を高レベルにリセットしてください。

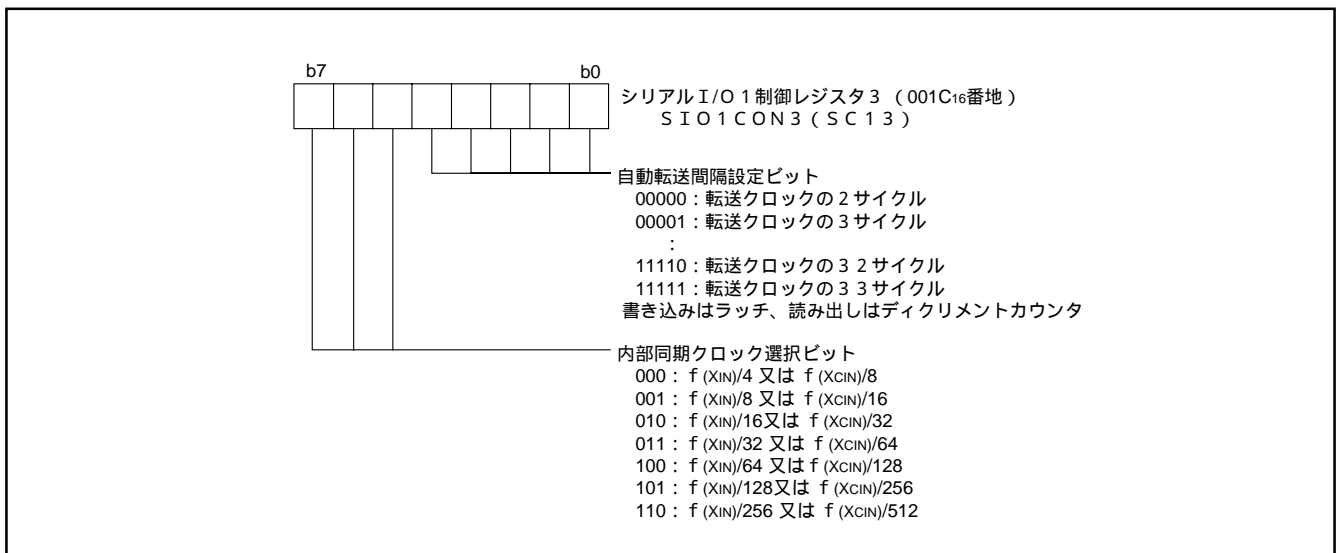


図24. シリアルI/O1制御レジスタ3の構成

(2) 8ビットシリアルI/Oモード

001B₁₆番地はシリアルI/Oレジスタとなります。内部同期クロックを選択した場合、8ビットシリアルI/Oのシリアル転送の開始はシリアルI/Oレジスタ(001B₁₆番地)への書き込み信号により行われます。

シリアルI/O制御レジスタ2のシリアル転送状態フラグ(001A₁₆番地のb5)は、シリアルI/Oのシフトレジスタのステータスを示し、転送開始のトリガとなるシリアルI/Oレジスタの書き込みによって“1”にセットされ、8ビットの転送終了後“0”にリセットされると同時にシリアルI/O割り込み要求が発生します。

外部同期クロックを選択した場合、転送クロックが、SCLK₁に入力されている間、シリアルI/Oレジスタの内容はシフトされ続けますので、外部でクロックを制御してください。

(3) 自動転送シリアルI/Oモード

シリアルI/Oレジスタの書き込み及び読み出しは、シリアルI/O自動転送コントローラが制御しますので、001B₁₆番地の機能は転送カウンタ(バイト単位)となります。

シリアルI/O自動転送RAM(0F00₁₆~0FFF₁₆番地)を介して、シリアル転送を行うため、転送前にシリアルI/O自動転送データポイント(0018₁₆番地)の設定が必要となります。自動転送データポイント設定ビットは、シリアル転送を行う先頭データの格納番地の下位8ビットを入力します。

内部同期クロックを選択して、
ハンドシェイク信号を使用しない場合

ハンドシェイク信号のSRDY₁出力、SBUSY₁出力、SSTB₁出力を、それぞれ単独使用の場合

ハンドシェイク信号のSRDY₁出力とSSTB₁出力、あるいはSBUSY₁出力とSSTB₁出力を組み合わせる場合

は、1バイトデータごとの転送間隔をシリアルI/O制御レジスタ3の自動転送間隔設定ビット(001C₁₆番地のb0~b4)により設定することができます。設定値は転送クロックの2~33サイクルのいずれか32通りの値を選択することができます。

ここで、自動転送間隔設定が有効であるときにSBUSY₁出力を使用して、かつ、シリアルI/O制御レジスタ2のSBUSY₁出力・SSTB₁出力機能選択ビット(001A₁₆番地のb4)を全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後に転送間隔が入ります。SSTB₁出力を使用する場合は、SBUSY₁出力・SSTB₁出力機能選択ビット(b4)の内容にかかわらず、1バイトデータごとの転送間隔が設定値より2サイクル長くなります。さらに、SBUSY₁出力とSSTB₁出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も設定値より2サイクル長くなります。

外部同期クロックを選択した場合は、自動転送間隔設定はできません。

以上のビット設定が完了した後、内部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタ(001B₁₆番地)に書き込むと自動シリアル転送を開始します。外部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタに書き込み、内部システムクロックの5サイクル以上空けた後、SCLK₁に転送クロックを入力してください。また、1バイトデータ転送ごとの転送間隔は、1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

内部同期クロック、外部同期クロックにかかわらず、自動転送データポイント及び転送カウンタは、1バイトごとのデータ受信が完了して自動転送RAMに書き込みの後、ディクリメントされます。シリアル転送状態フラグ(001A₁₆番地のb5)は、転送開始のトリガとなる転送カウンタの書き込みによって“1”にセットされ、最終データが自動転送RAMに書き込まれた後、“0”にリセットされます。それと同時にシリアルI/O割り込み要求が発生します。

自動転送データポイント設定ビット(b0~b7)と自動転送間隔設定ビット(b0~b4)に書き込まれた値はラッチに保持されています。転送カウンタにデータを書き込むと自動転送データポイント設定ビット(b0~b7)と自動転送間隔設定ビット(b0~b4)のラッチに保持されていた値がディクリメントカウンタに転送されます。

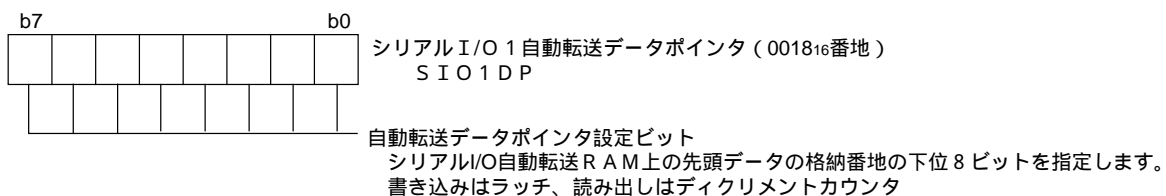


図25. シリアルI/O1自動転送データポインタの構成

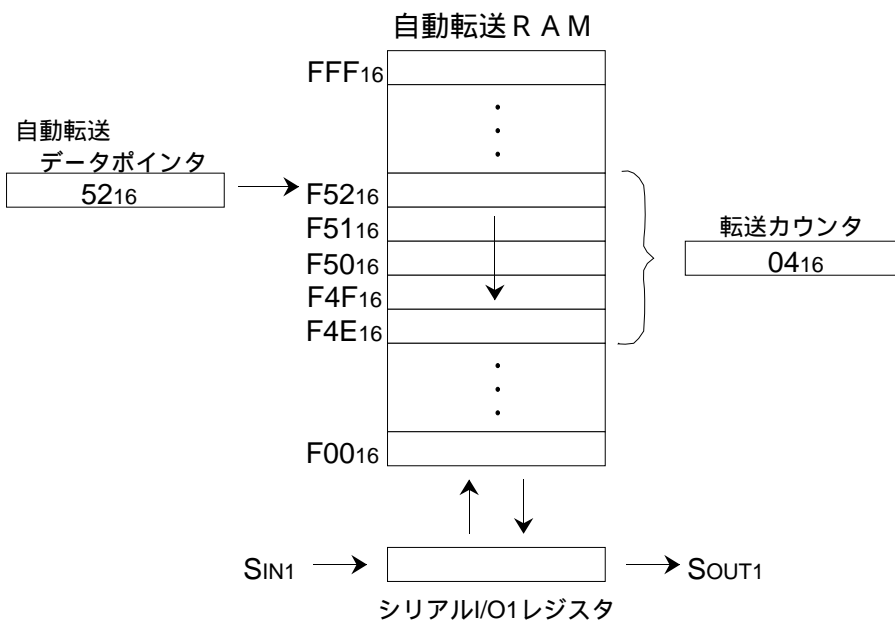


図26. 自動転送シリアルI/Oの動作

(4) ハンドシェーク信号

SSTB1出力信号

SSTB1出力は、シリアル転送先に送受信終了を伝える信号です。SSTB1出力信号を使用できるのは、内部同期クロックを選択した場合に限られます。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、SSTB1出力は“L”、 $\overline{\text{SSTB1}}$ 出力は“H”となります。

送受信動作が終了してシリアルI/OレジスタのデータをSOUT1からすべて出力したとき、転送クロックの1サイクルの間、SSTB1出力が“H”、 $\overline{\text{SSTB1}}$ 出力が“L”となるパルスを出した後、SSTB1出力は“L”、 $\overline{\text{SSTB1}}$ 出力は“H”となる初期状態に戻ります。さらに1サイクル後に、シリアル転送状態フラグ(b5)が“0”にリセットされます。

自動転送シリアルI/Oモードでは、シリアルI/O制御レジスタ2のSBUSY1出力・SSTB1出力機能選択ビット(001A16番地のb4)によって、SSTB1出力を1バイトデータの転送終了ごとにアクティブにするか、あるいは全データを転送終了後にアクティブにするかを選ぶことができます。

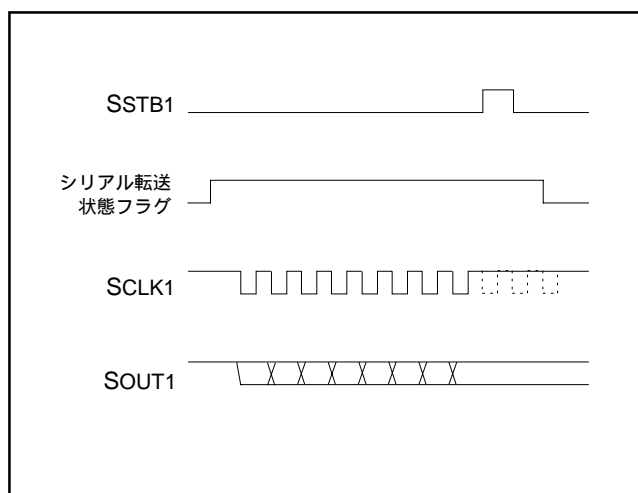


図27 . SSTB1出力の動作

SBUSY1入力信号

SBUSY1入力は、シリアル転送先から送受信の停止を要求される信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、SBUSY1入力が“H”、 $\overline{\text{SBUSY1}}$ 入力が“L”を入力してください。送受信動作の開始は、転送クロックの1.5サイクル以上の間、SBUSY1入力が“L”、 $\overline{\text{SBUSY1}}$ 入力が“H”となるレベルの信号を入力すると、SCLK1出力から転送クロックが出力されます。送受信動作が開始した後、SBUSY1入力が“H”、 $\overline{\text{SBUSY1}}$ 入力が“L”を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、SCLK1出力からの転送クロックも停止しません。8ビットシリアルI/Oは8ビット、自動転送シリアルI/Oは8ビットがハンドシェークの単位となります。

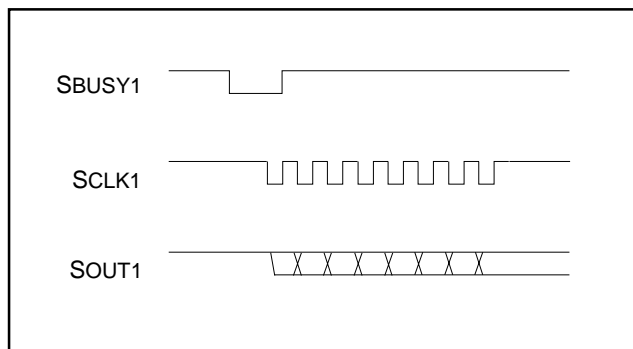


図28 . SBUSY1入力の動作(内部同期クロック)

外部同期クロックを選択した場合、転送が停止している初期状態は、SBUSY1入力が“H”、 $\overline{\text{SBUSY1}}$ 入力が“L”を入力してください。このときSCLK1に入力される転送クロックは無効となります。シリアル転送は、SBUSY1入力が“L”、 $\overline{\text{SBUSY1}}$ 入力が“H”となるレベルの信号を入力している間、SCLK1に入力される転送クロックが有効となり、送受信動作可能となります。これらの動作においてSBUSY1入力及び $\overline{\text{SBUSY1}}$ 入力の入力値を変更する場合は、SCLK1入力が“H”状態のときに行ってください。また、SOUT1端子制御ビット(b6)により、SOUT1の出力ハイインピーダンスを選択している場合、SBUSY1入力が“L”、 $\overline{\text{SBUSY1}}$ 入力が“H”となるレベルを入力している間、SOUT1は出力アクティブとなりSCLK1への転送クロック入力によってシリアル転送が可能となります。

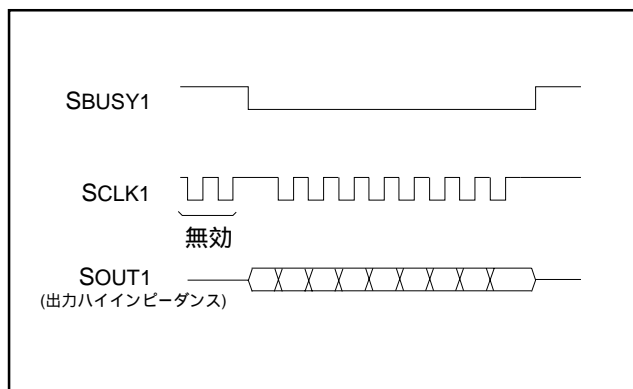


図29 . SBUSY1入力の動作(外部同期クロック)

SBUSY1出力信号

SBUSY1出力は、シリアル転送先に送受信の停止を要求する信号です。内部同期クロック、外部同期クロックにかかわらず、自動転送シリアルI/Oモードでは、SBUSY1出力・SSTB1出力機能選択ビット(b4)によって、SBUSY1出力を1バイトデータの転送ごとにアクティブにするか、あるいは全データ転送の間アクティブにするかを選ぶことができます。初期状態、すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”となります。

内部同期クロックを選択した場合、8ビットシリアルI/Oモード及び自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、送受信動作を開始するとき、SCLK1出力からの転送クロックが“L”となるタイミングの0.5サイクル(転送クロック前)に、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。自動転送シリアルI/Oモード(SBUSY1出力機能は全転送データごと)では、シリアルI/Oレジスタ(001B₁₆番地)に最初の送信データが書き込まれたとき、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

外部同期クロックを選択した場合は、シリアルI/Oの転送

モードにかかわらず、送信動作を開始するためにシリアルI/O1レジスタに送信データが書き込まれたとき、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

送受信動作の終了時には、内部同期クロック、外部同期クロックにかかわらず、シリアル転送状態フラグが“0”にリセットされるタイミングで、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”となる初期状態に戻ります。さらに自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、1バイトの受信データが自動転送RAMに書き込まれるたびに、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”になります。

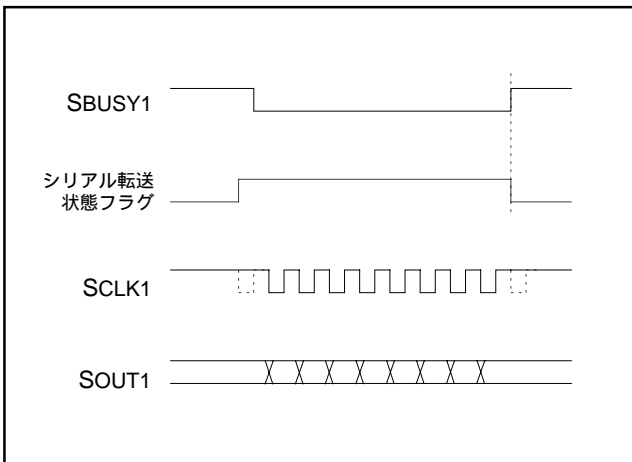


図30 . SBUSY1出力の動作(内部同期クロック、8ビットシリアルI/O)

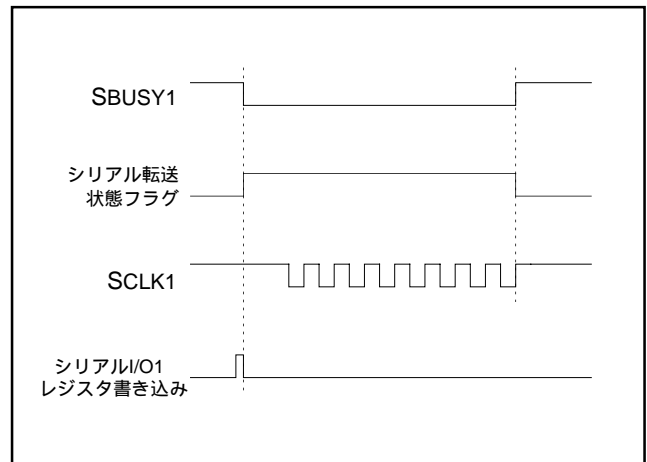


図31 . SBUSY1出力の動作(外部同期クロック、8ビットシリアルI/O)

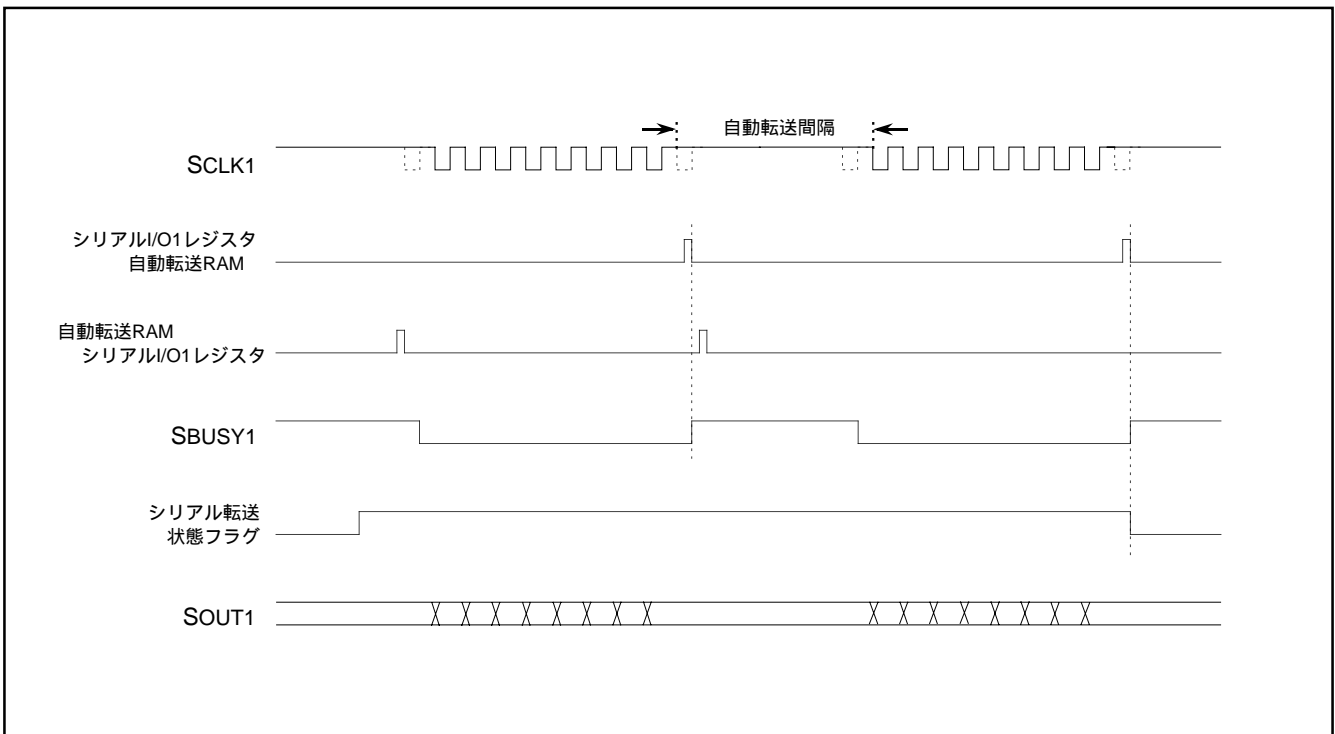


図32 . 自動転送シリアルI/OモードにおけるSBUSY1出力の動作(内部同期クロック、SBUSY1出力機能は1バイトごと)

SRDY1出力信号

SRDY1出力は、シリアル転送先に送受信準備ができたことを伝える送受信可能信号です。初期状態、すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。シリアルI/O1レジスタ(001B16番地)に送信データが格納され送受信動作の準備が完了した場合、SRDY1出力は“H”、 $\overline{\text{SRDY1}}$ 出力は“L”となります。送受信動作が始まり転送クロックが“L”となる場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。

SRDY1入力信号

SRDY1入力信号は、SRDY1入力及びSBUSY1出力の使用時のみ有効となります。SRDY1入力は、シリアル転送先から送受信の準備完了を示す信号を受け取る信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力してください。転送クロックの1.5サイクル以上の間、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”となるレベルの信号を入力すると、SCLK1出力から転送クロックが出力され、送受信動作が開始します。送受信動作が開始した後、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力した場合、送受信動作は直ちに停止しません。所定のビット数の送受信動作が完了後、SCLK1出力からの転送クロックは停止します。8ビットシリアルI/O及び、自動転送シリアルI/Oはそれぞれ8ビットがハンドシェイクの単位となります。

外部同期クロックを選択した場合、SRDY1入力は、SBUSY1信号を出力させるためのトリガの1つとなります。

送受信動作を開始(SBUSY1出力が“L”、SBUSY1出力が“H”の状態)させるためには、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”を入力し、かつ、シリアルI/O1レジスタに送信データを書き込まなければなりません。

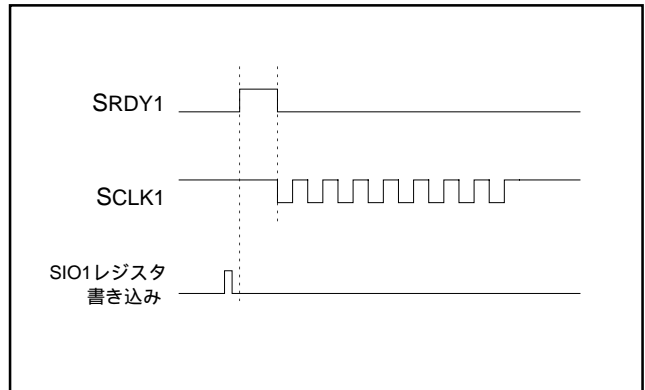


図33. SRDY1出力の動作

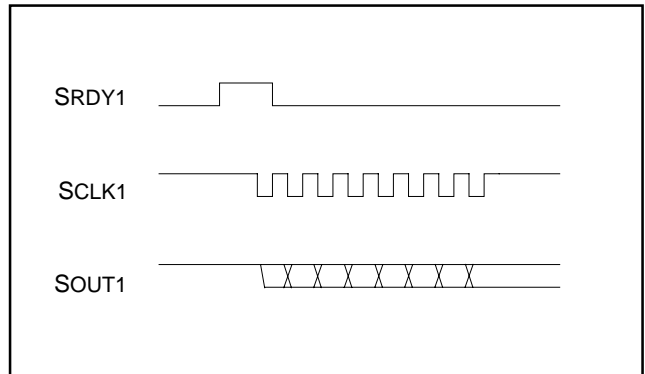
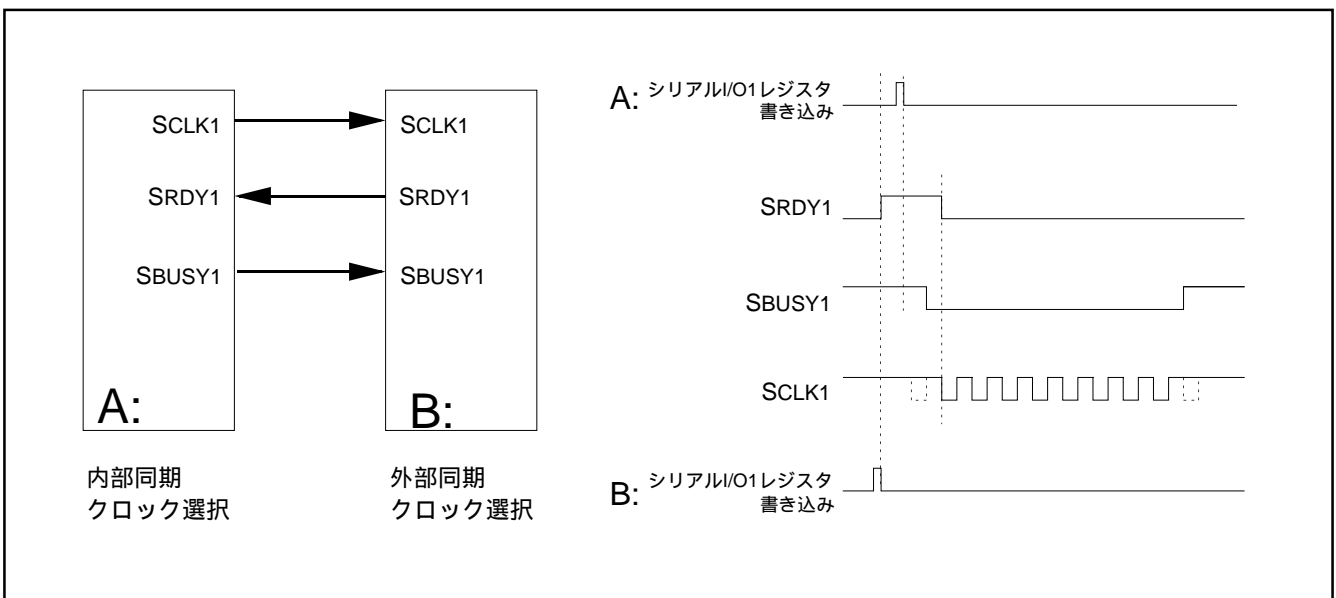
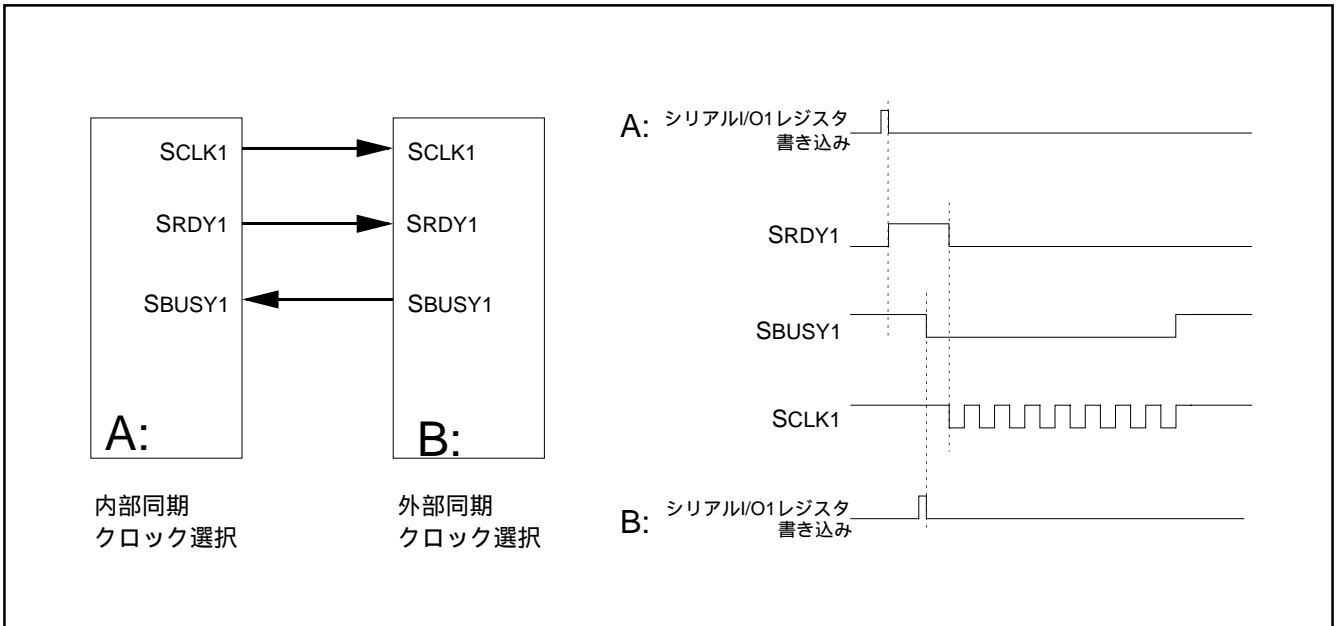


図34. SRDY1入力の動作(内部同期クロック)



シリアルI/O2

シリアルI/O2はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O2動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O2制御レジスタのシリアルI/O2モード選択ビット(001D16番地のb6)を“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/O2の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

クロック入出力端子としてP57(SCLK22)を選択した場合、SRDY2出力機能は無効となります。また、P56(SCLK21)は入出力ポートとなります。

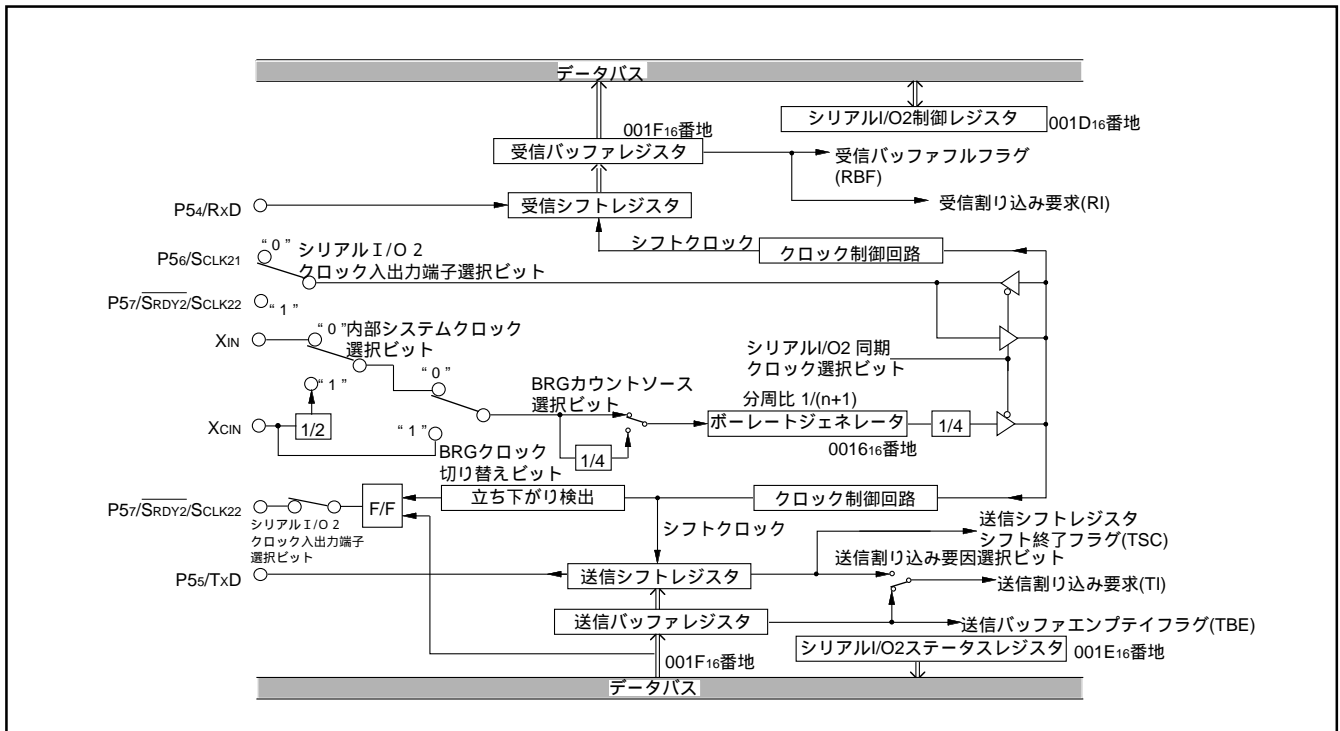


図37. クロック同期形シリアルI/O2ブロック図

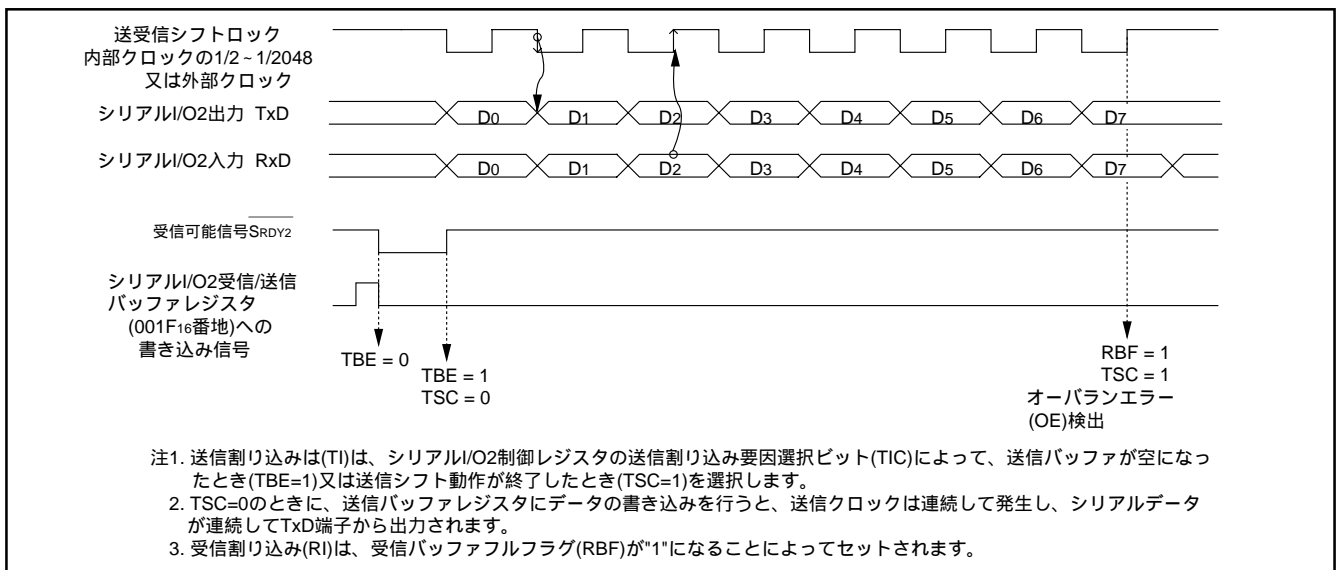


図38. クロック同期形シリアルI/O2動作図

(2) 非同期形シリアル/O₂(UART)モード

シリアル/O₂制御レジスタのシリアル/O₂モード選択ビット(001D₁₆番地のb6)を“0”にすることによってUARTが選択されます。

38B4グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38B4グループはシリアルデータの送信、受信を行う送信

シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

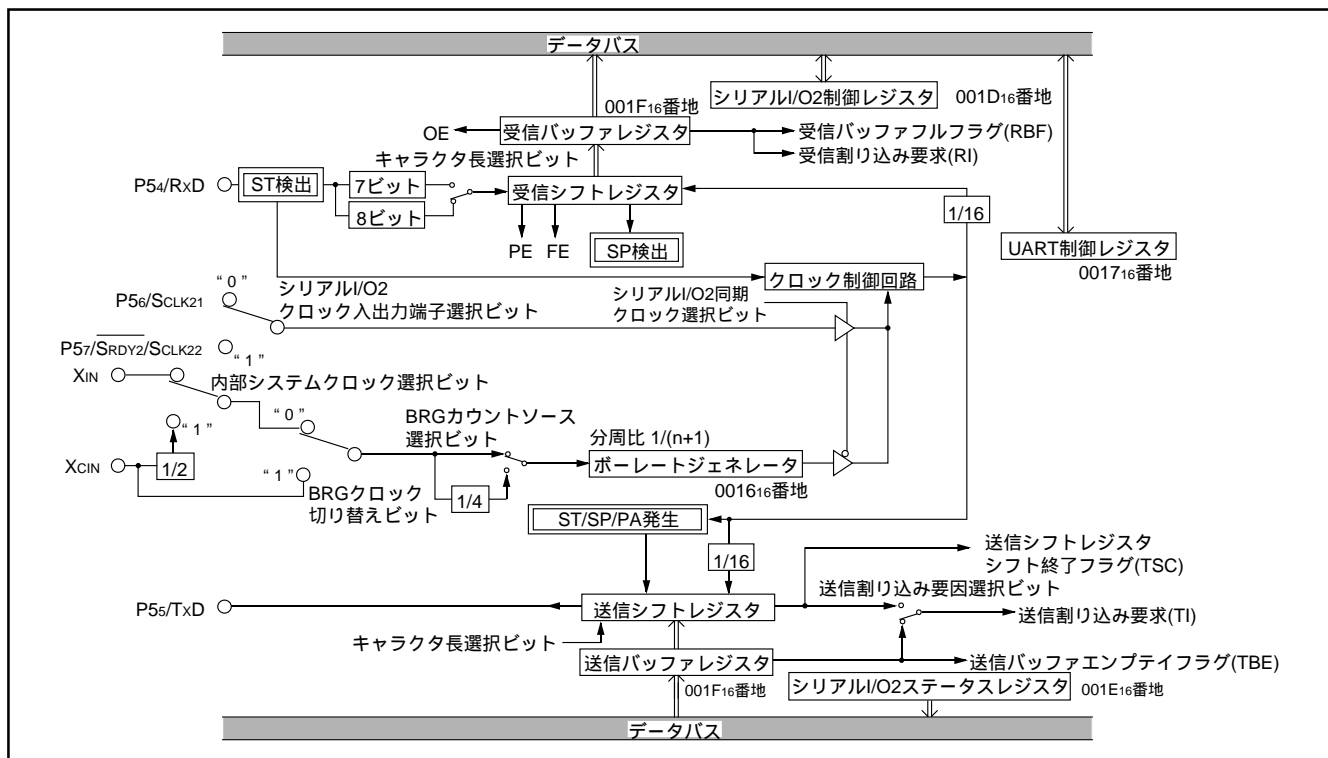


図39. UART形シリアル/O₂ブロック図

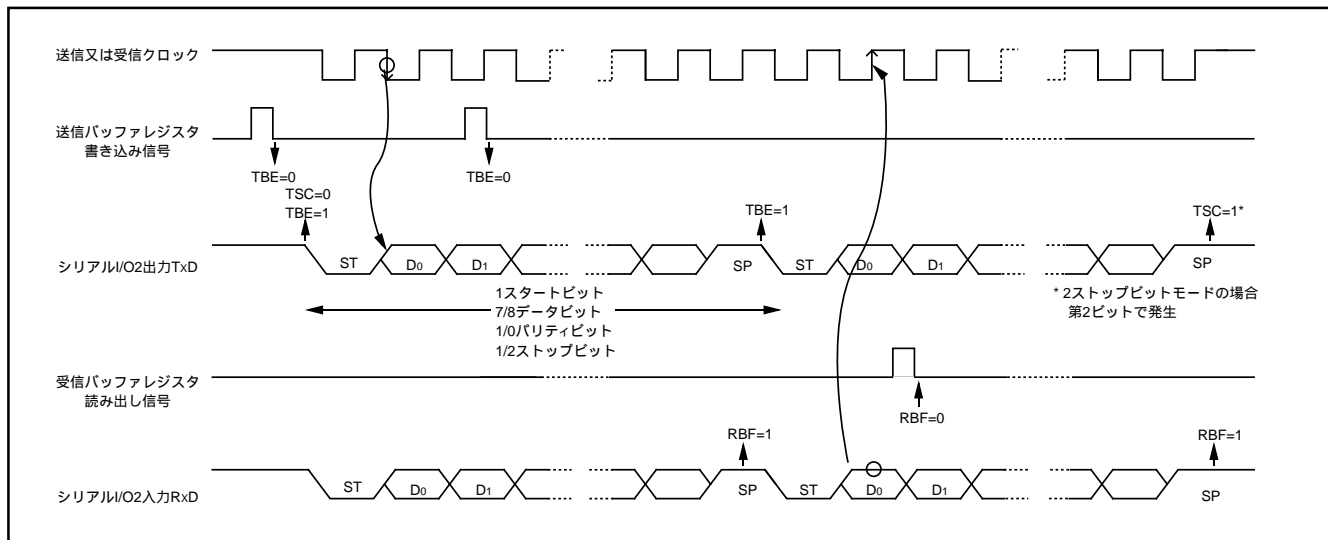


図40. UART形シリアル/O₂動作図

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタはシリアルI/O2の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビット、シリアルI/O2使用時に有効な2ビットと1ビットの常に有効な制御ビットより構成された7ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P5s/TxD端子の出力形式などを設定します。

【シリアルI/O2ステータスレジスタ】SIO2STS

シリアルI/O2の動作状態を示すフラグ及び各種エラーフラグで構成された、7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは、受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O2ステータスレジスタへの書き込みで、すべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O2許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットは、リセット時“0”に初期化されますが、シリアルI/O2制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O2 送信/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

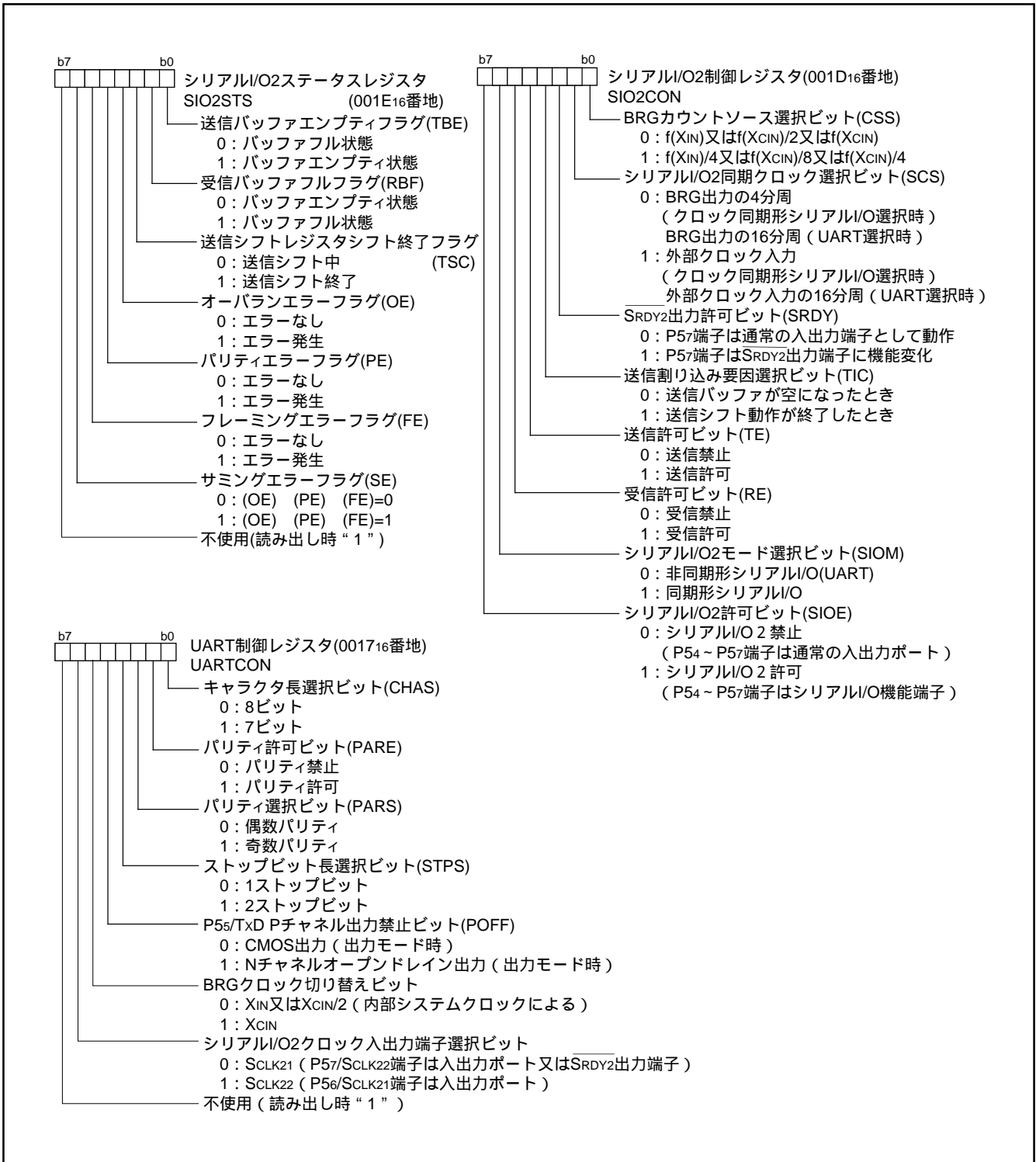


図41 . シリアルI/O関係レジスタの構成

FLDコントローラ

38B4グループはFLD(蛍光表示管)の駆動及び制御回路を持っています。

FLDコントローラは

- ・40本のFLD制御端子
- ・FLDCモードレジスタ
- ・FLDデータポインタ
- ・FLDデータポインタリロードレジスタ
- ・Tdisp時間設定レジスタ
- ・Toff1時間設定レジスタ

- ・Toff2時間設定レジスタ
- ・ポートP0FLD/ポート切り替えレジスタ
- ・ポートP2FLD/ポート切り替えレジスタ
- ・ポートP8FLD/ポート切り替えレジスタ
- ・ポートP8FLD出力制御レジスタ
- ・FLD自動表示RAM(最大160バイト)

で構成されています。

表示機能として明暗表示が可能な階調表示モードを備えています。

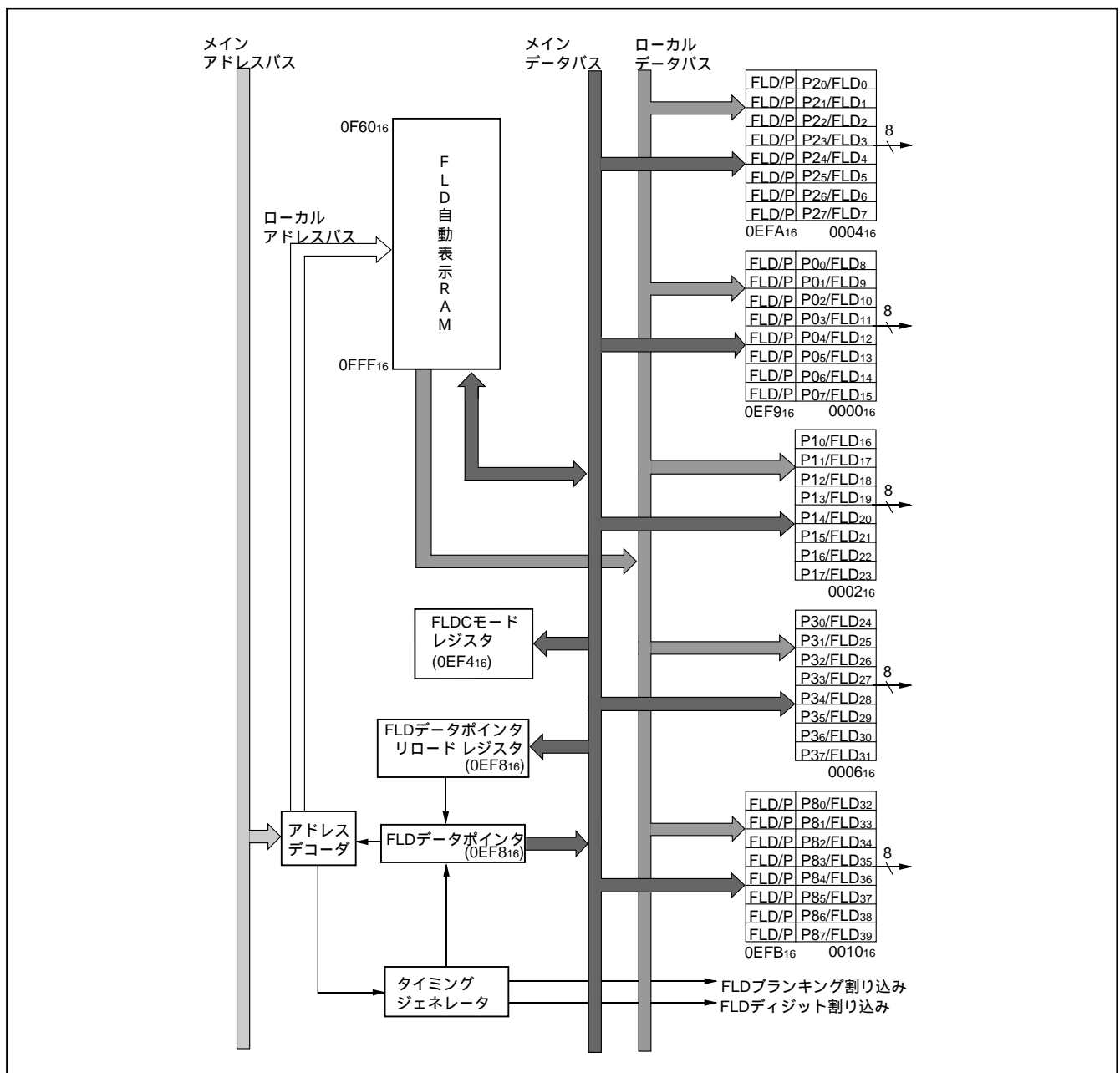


図42. FLD制御回路ブロック図

【FLDCモードレジスタ】FLDM

FLDCモードレジスタは8ビットのレジスタで、FLD自動表

示の各種制御ビット及びキースキャン用ブランキング時間 Tscanの設定ビットで構成されています。

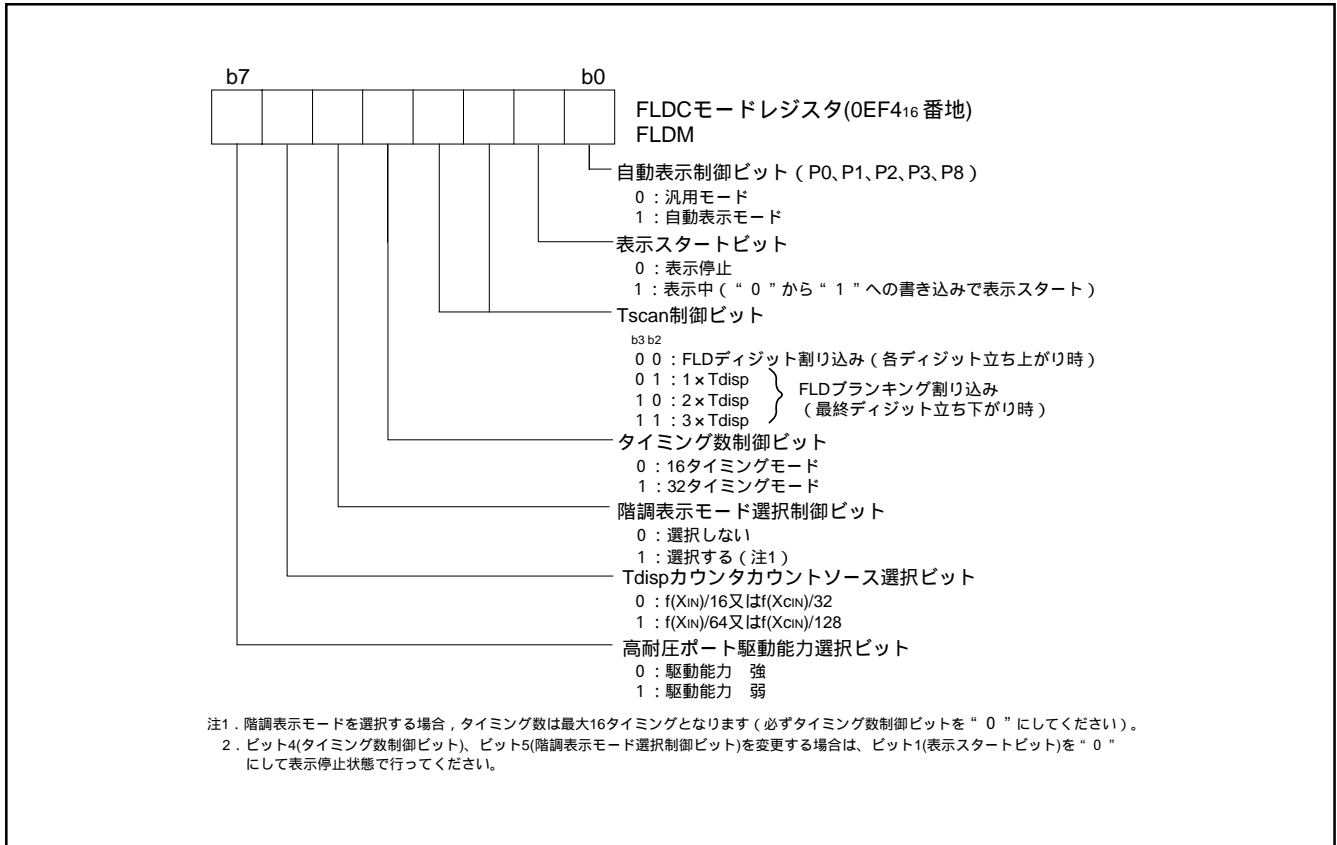


図43 . FLDCモードレジスタの構成

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

FLD自動表示用端子

FLDCモードレジスタ(0EF4₁₆番地)の自動表示制御ビットに“1”を書き込むことにより、ポートP0、P1、P2、P3、及びP8がFLD自動表示用の端子となります。

FLD自動表示モードを使用する場合は、セグメント数及びディジット数に合わせて、各ポートをそれぞれの切り替え

レジスタでFLD端子又は汎用ポートに設定してください。設定は各ポートのFLD/ポート切り替えレジスタ(0EF9₁₆～0EFB₁₆番地)に値を書き込むことにより行います。ビット単位で設定が可能で“0”で汎用ポート、“1”でFLD端子となります。FLD端子をセグメント端子として使用するか、ディジット端子として使用するかについては制約はありません。

表9. FLD自動表示モード時の端子

ポート	自動表示用端子名	設定方法
P0、P2、P80～P83	FLD0～FLD15 FLD32～FLD35	FLD/ポート切り替えレジスタ(0EF9 ₁₆ ～0EFB ₁₆ 番地)により、ビットごとにFLDポート(“1”)又は汎用ポート(“0”)に設定できます。
P1、P3	FLD16～FLD31	なし(FLD専用ポート)
P84～P87	FLD36～FLD39	FLD/ポート切り替えレジスタ(0EFB ₁₆ 番地)により、ビットごとにFLDポート(“1”)又は汎用ポート(“0”)に設定できます。また、ポートP8FLD出力制御レジスタ(0EFC ₁₆ 番地)により、出力を反転させることができます。ポートの出力形式はCMOS出力形式であり、表示端子として使用する場合、外付けのドライバが必要となります。

	設定例1 セグメント数 15 ディジット数 8	設定例2 25 15	設定例3 18 20	設定例4 16 10
ポートP2	0 P20 0 P21 0 P22 0 P23 0 P24 0 P25 0 P26 0 P27	1 FLD0(SEG1) 1 FLD1(SEG2) 1 FLD2(SEG3) 1 FLD3(SEG4) 1 FLD4(SEG5) 1 FLD5(SEG6) 1 FLD6(SEG7) 1 FLD7(SEG8)	0 P20 0 P21 1 FLD2(SEG1) 1 FLD3(SEG2) 1 FLD4(SEG3) 1 FLD5(SEG4) 1 FLD6(SEG5) 1 FLD7(SEG6)	0 P20 0 P21 0 P22 0 P23 0 P24 0 P25 1 FLD4(SEG1) 1 FLD5(SEG2)
ポートP0	1 FLD8(SEG1) 0 P01 0 P02 0 P03 0 P04 0 P05 1 FLD14(SEG2) 1 FLD15(SEG3)	1 FLD8(SEG9) 1 FLD9(SEG10) 1 FLD10(SEG11) 1 FLD11(SEG12) 1 FLD12(SEG13) 1 FLD13(SEG14) 1 FLD14(SEG15) 1 FLD15(SEG16)	1 FLD8(DIG1) 1 FLD9(DIG2) 1 FLD10(DIG3) 1 FLD11(DIG4) 1 FLD12(DIG5) 1 FLD13(DIG6) 1 FLD14(DIG7) 1 FLD15(DIG8)	1 FLD6(SEG3) 1 FLD7(SEG4) 1 FLD8(SEG5) 1 FLD9(SEG6) 1 FLD10(SEG7) 1 FLD11(SEG8) 1 FLD12(SEG9) 1 FLD13(SEG10)
ポートP1	FLD16(DIG1) 1 FLD17(DIG2) 1 FLD18(DIG3) 1 FLD19(DIG4) 1 FLD20(SEG4) 0 FLD21(SEG5) 0 FLD22(SEG6) 0 FLD23(SEG7) 0	FLD16(DIG1) 1 FLD17(DIG2) 1 FLD18(DIG3) 1 FLD19(DIG4) 1 FLD20(DIG5) 1 FLD21(DIG6) 1 FLD22(DIG7) 1 FLD23(DIG8) 1	FLD16(DIG9) 1 FLD17(DIG10) 1 FLD18(DIG11) 1 FLD19(DIG12) 1 FLD20(DIG13) 1 FLD21(DIG14) 1 FLD22(DIG15) 1 FLD23(DIG16) 1	FLD16(DIG1) 1 FLD17(DIG2) 1 FLD18(DIG3) 1 FLD19(DIG4) 1 FLD20(DIG5) 1 FLD21(DIG6) 1 FLD22(DIG7) 1 FLD23(DIG8) 1
ポートP3	FLD24(SEG8) 0 FLD25(SEG9) 0 FLD26(SEG10) 0 FLD27(SEG11) 0 FLD28(DIG5) 1 FLD29(DIG6) 1 FLD30(DIG7) 1 FLD31(DIG8) 1	FLD24(DIG9) 1 FLD25(DIG10) 1 FLD26(DIG11) 1 FLD27(DIG12) 1 FLD28(DIG13) 1 FLD29(DIG14) 1 FLD30(DIG15) 1 FLD31(SEG17) 0	FLD24(DIG17) 1 FLD25(DIG18) 1 FLD26(DIG19) 1 FLD27(DIG20) 1 FLD28(SEG7) 0 FLD29(SEG8) 0 FLD30(SEG9) 0 FLD31(SEG10) 0	FLD24(DIG9) 1 FLD25(DIG10) 1 FLD14(SEG11) 0 FLD15(SEG12) 0 FLD26(SEG13) 0 FLD27(SEG14) 0 FLD28(SEG15) 0 FLD29(SEG16) 0
ポートP8	1 FLD32(SEG12) 1 FLD33(SEG13) 1 FLD34(SEG14) 1 FLD35(SEG15) 0 P84 0 P85 0 P86 0 P87	1 FLD32(SEG18) 1 FLD33(SEG19) 1 FLD34(SEG20) 1 FLD35(SEG21) 1 FLD36(SEG22) 1 FLD37(SEG23) 1 FLD38(SEG24) 1 FLD39(SEG25)	1 FLD32(SEG11) 1 FLD33(SEG12) 1 FLD34(SEG13) 1 FLD35(SEG14) 1 FLD36(SEG15) 1 FLD37(SEG16) 1 FLD38(SEG17) 1 FLD39(SEG18)	0 P80 0 P81 0 P82 0 P83 0 P84 0 P85 0 P86 0 P87

↑ FLDポート切り替えレジスタの値

↑ FLD RAM書き込み禁止レジスタの値

“1”に設定するとデータプロテクトされます。
この設定はFLDポートの機能(SEG/DIG)を決定するものではありません。

図44. セグメント/ディジットの設定例

FLD自動表示RAM

FLD自動表示RAMは、0F60₁₆～0FFF₁₆番地の160バイトを使用します。FLDはタイミング数及び階調表示の有無により16タイミング・通常モード、16タイミング・階調表示モード、32タイミングモードの3つのモードがあります。

自動表示RAMはそれぞれ以下ようになります。

(1)16タイミング・通常モード

0FB0₁₆～0FFF₁₆番地の80バイトをFLD表示データ格納領域として使用します。0F60₁₆～0FAF₁₆番地は自動表示RAMとして使用しませんので、通常のRAM又はシリアルI/O自動転送RAMとして使用できます。

(2)16タイミング・階調表示モード

0F60₁₆～0FFF₁₆番地の160バイトを使用します。0FB0₁₆～0FFF₁₆番地の80バイトは、FLD表示データ格納領域として使用し、0F60₁₆～0FAF₁₆番地の80バイトは、階調表示制御データ格納領域として使用します。

(3)32タイミングモード

0F60₁₆～0FFF₁₆番地の160バイトをFLD表示データ格納領域として使用します。

【FLDデータポインタ及びFLDデータポインタリロードレジスタ】FLDDP

FLDデータポインタとFLDデータポインタリロードレジスタはともに0EF8₁₆番地に割り付けられており、8ビットで構成されています。この番地にデータを書き込むとFLDデータポインタリロードレジスタにデータが書き込まれ、データを読み出すとFLDデータポインタの値が読み出されます。

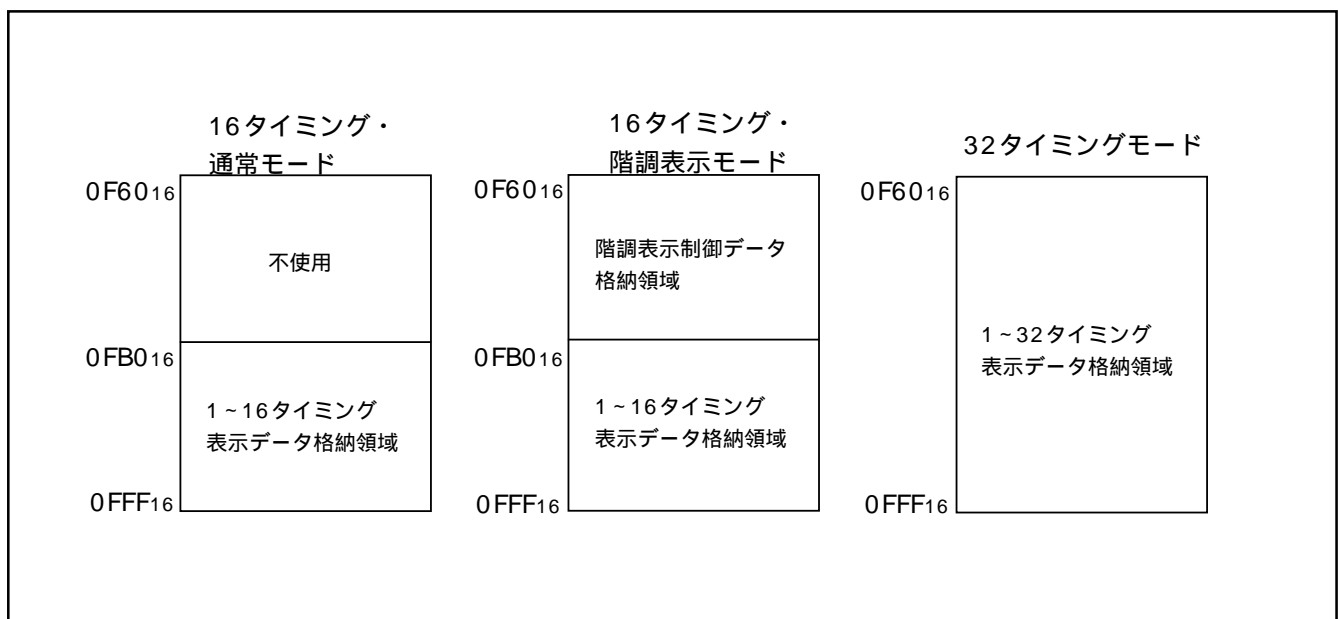


図45 . FLD自動表示RAMの配置図

データの設定

・16タイミング・通常モード

FLD自動表示RAMは、0FB0₁₆～0FFF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP2、P0、P1、P3及びP8の最終データがそれぞれ0FB0₁₆番地、0FC0₁₆番地、0FD0₁₆番地、0FE0₁₆番地及び0FF0₁₆番地になるようにして表示するデータをアドレスの降順に配置します。

したがって、FLDポートP2、P0、P1、P3、及びP8の先頭データの格納される番地はそれぞれ0FB0₁₆、0FC0₁₆、0FD0₁₆、0FE0₁₆、0FF0₁₆に(タイミング数-1)の値を加えた番地になります。

FLDデータポインタリロードレジスタには、この(タイミング数-1)の値を設定してください。ビット7、ビット6及びビット5には常に“1”が書き込まれます。なお、読み出し時にはビット7、ビット6及びビット5は常に“0”が読み出されます。ビット4には常に“1”が設定されますが、読み出し時には書き込みを行った値となります。

・16タイミング・階調表示モード

表示データの設定は、16タイミング通常モードと同一です。階調表示制御データは、各タイミング、端子の表示データ格納アドレスから0050₁₆を引いたアドレスに配置されており、“0”を設定することにより明表示を、“1”を設定することにより暗表示を行います。

FLDデータポインタリロードレジスタには、(タイミング数-1)の値を設定してください。ビット7、ビット6及びビット5には常に“1”が書き込まれます。なお、読み出し時にはビット7、ビット6及びビット5は常に“0”が読み出されます。ビット4には常に“1”が設定されますが、読み出し時には書き込みを行った値となります。

・32タイミングモード

FLD自動表示RAMは、0F60₁₆～0FFF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP2、P0、P1、P3及びP8の最終データがそれぞれ0F60₁₆番地、0F80₁₆番地、0FA0₁₆番地、0FC0₁₆番地及び0FE0₁₆番地になるようにして表示するデータをアドレスの降順に配置します。

したがって、FLDポートP2、P0、P1、P3及びP8の先頭データの格納される番地はそれぞれ0F60₁₆、0F80₁₆、0FA0₁₆、0FC0₁₆、0FE0₁₆に(タイミング数-1)の値を加えた番地になります。

FLDデータポインタリロードレジスタには、この(タイミング数-1)の値を設定してください。ビット7、ビット6及びビット5には常に“1”が書き込まれます。なお、読み出し時にはビット7、ビット6及びビット5は常に“0”が読み出されます。

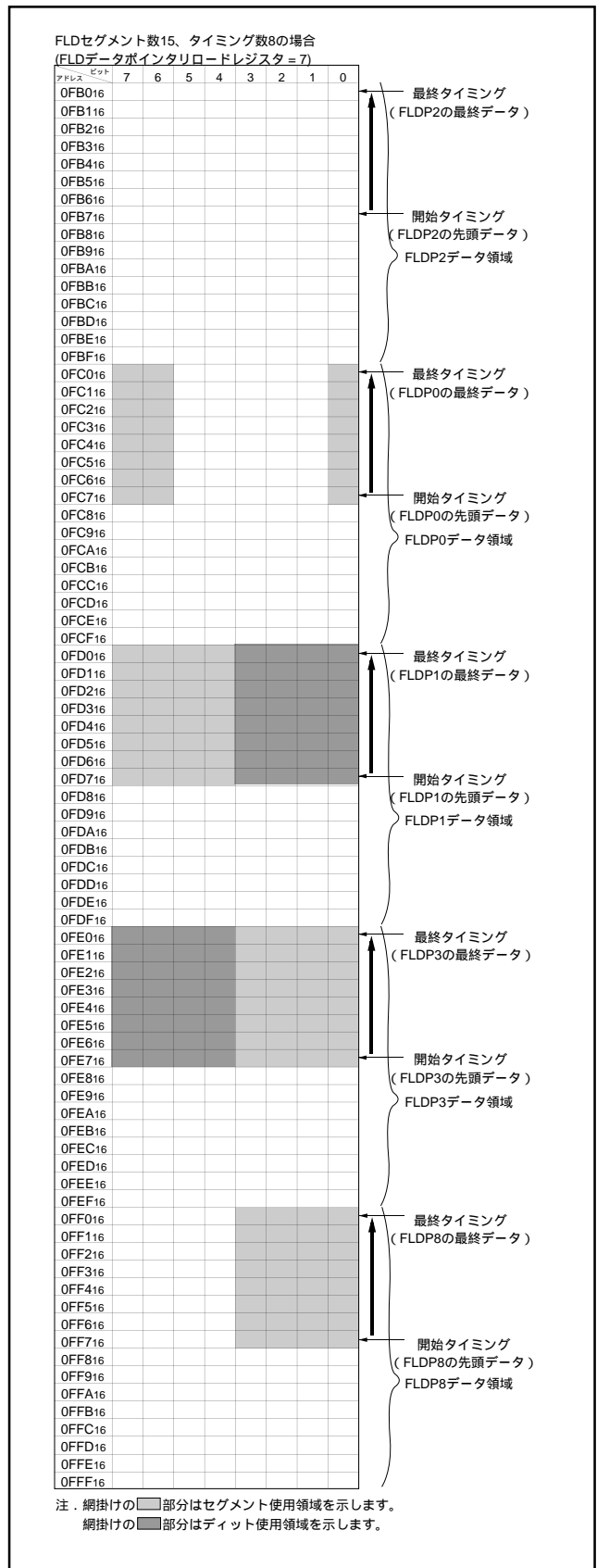
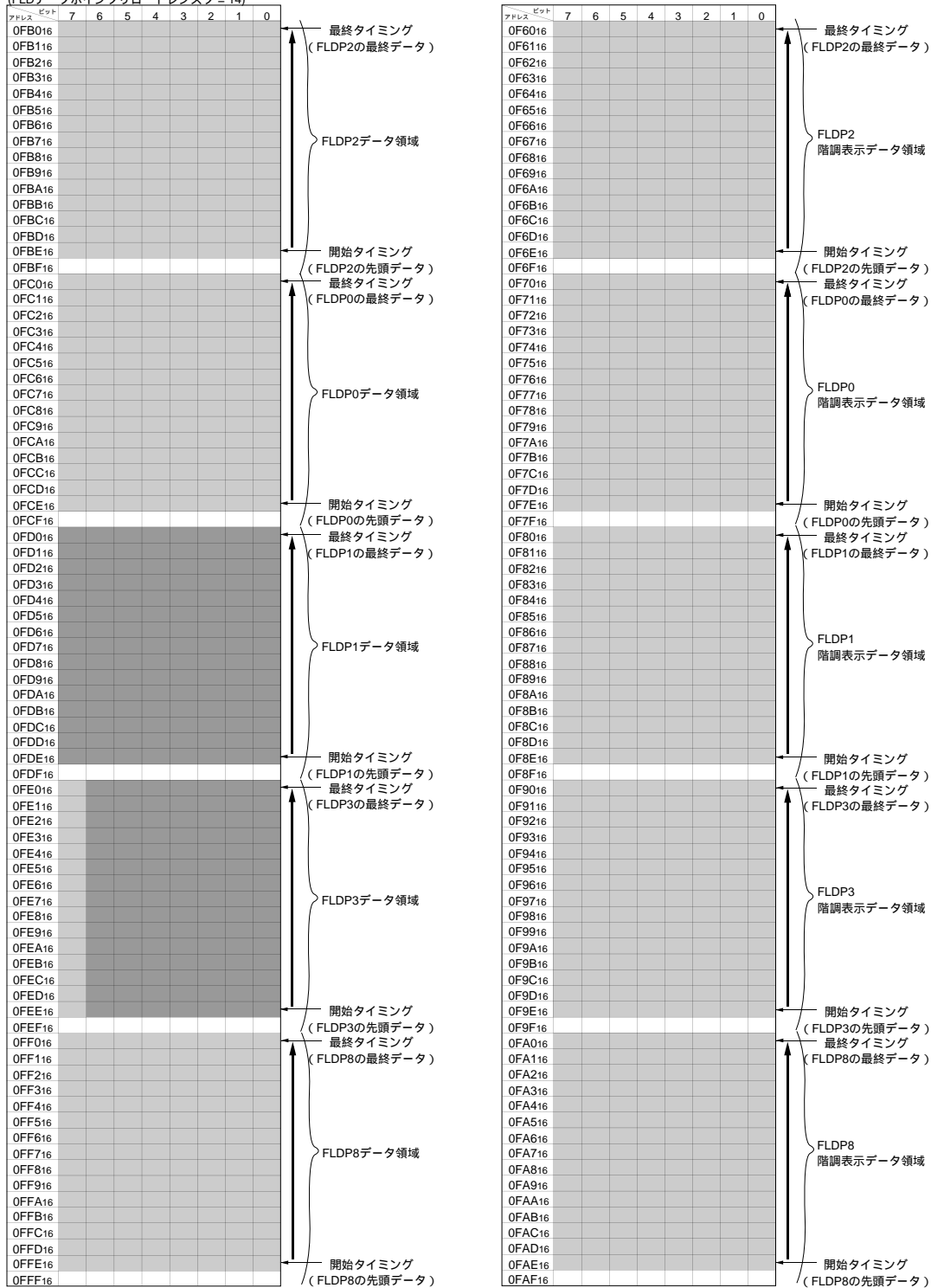


図46 . 16タイミング・通常モード、RAM配置図と使用領域の例

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

FLDセグメント数25、タイミング数15の場合
(FLDデータポインタリロードレジスタ=14)



注：網掛けの部分はセグメント使用領域を示します。
縞掛けの部分はデジタル使用領域を示します。

注：網掛けの部分は階調表示データ使用領域を示します。

図47. 16タイミング・階調表示モード、RAM配置図と使用領域の例

FLDセグメント数18、タイミング数20の場合
(FLDデータポインタリロードレジスタ = 19)

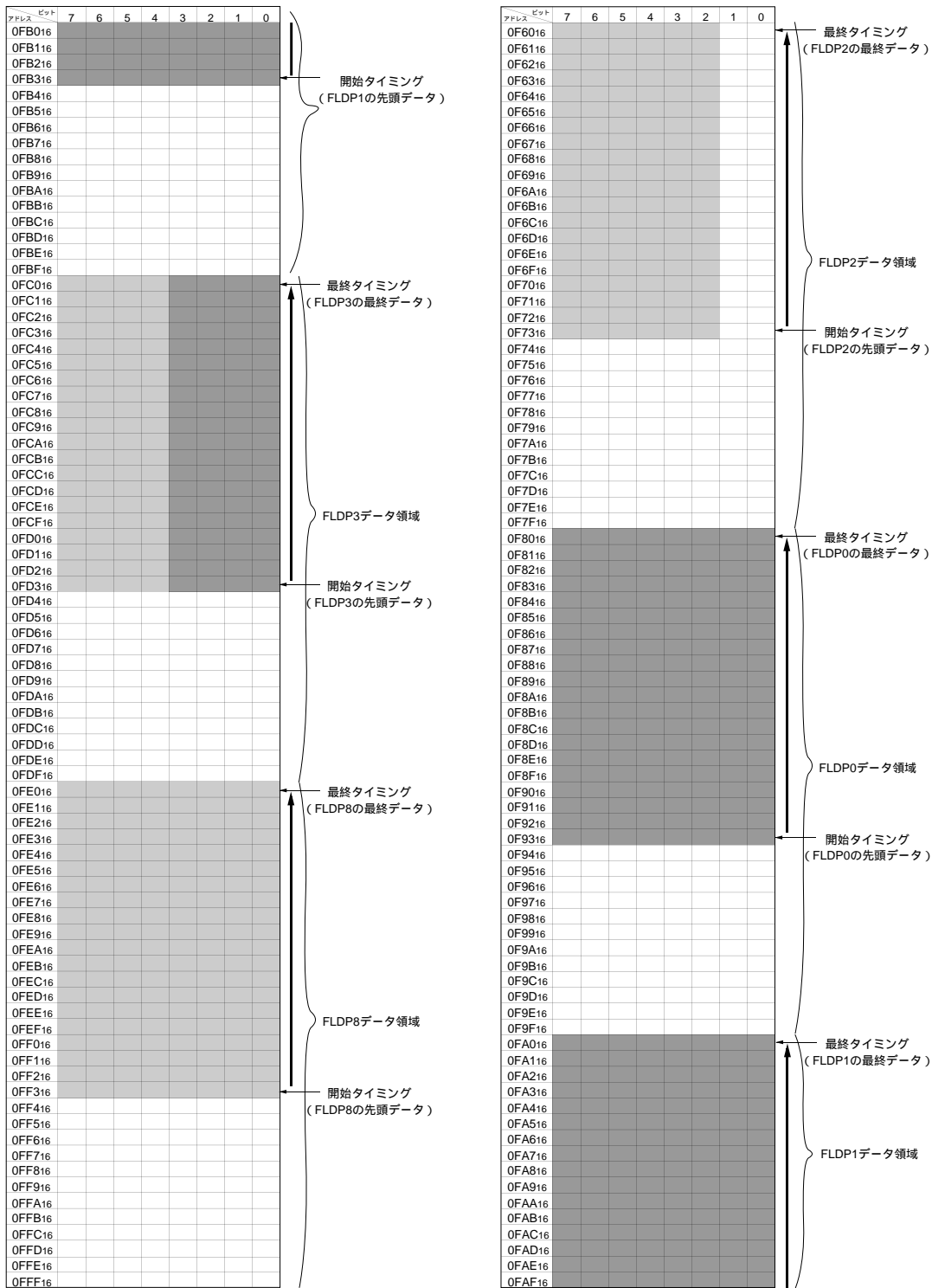


図48 . 32タイミングモード、RAM配置図と使用領域の例

グリッドスキャン方式FLD使用時の設定方法

グリッドスキャン方式のFLDを使用する場合は、各タイミングで「1」出力するディジットポートに対応するRAMに、「1」を設定してください。その他のディジットポートのRAM領域には、「0」を設定してください。

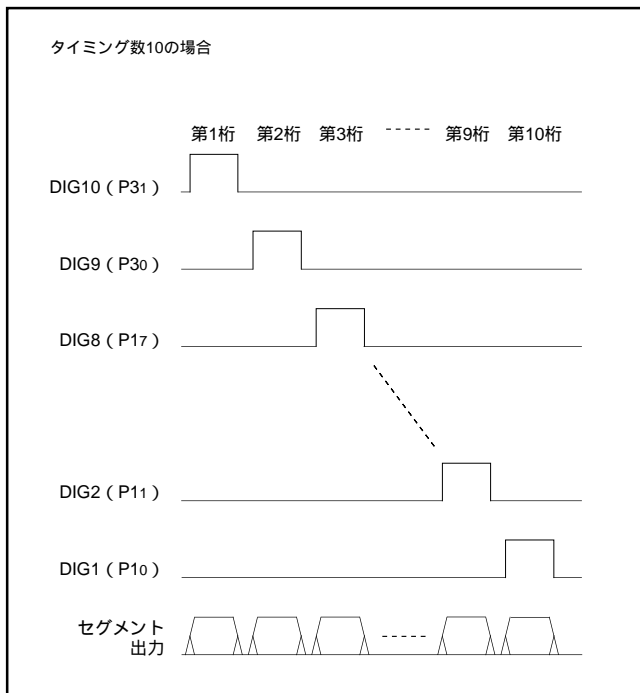


図49. グリッドスキャン方式のディジットタイミング例

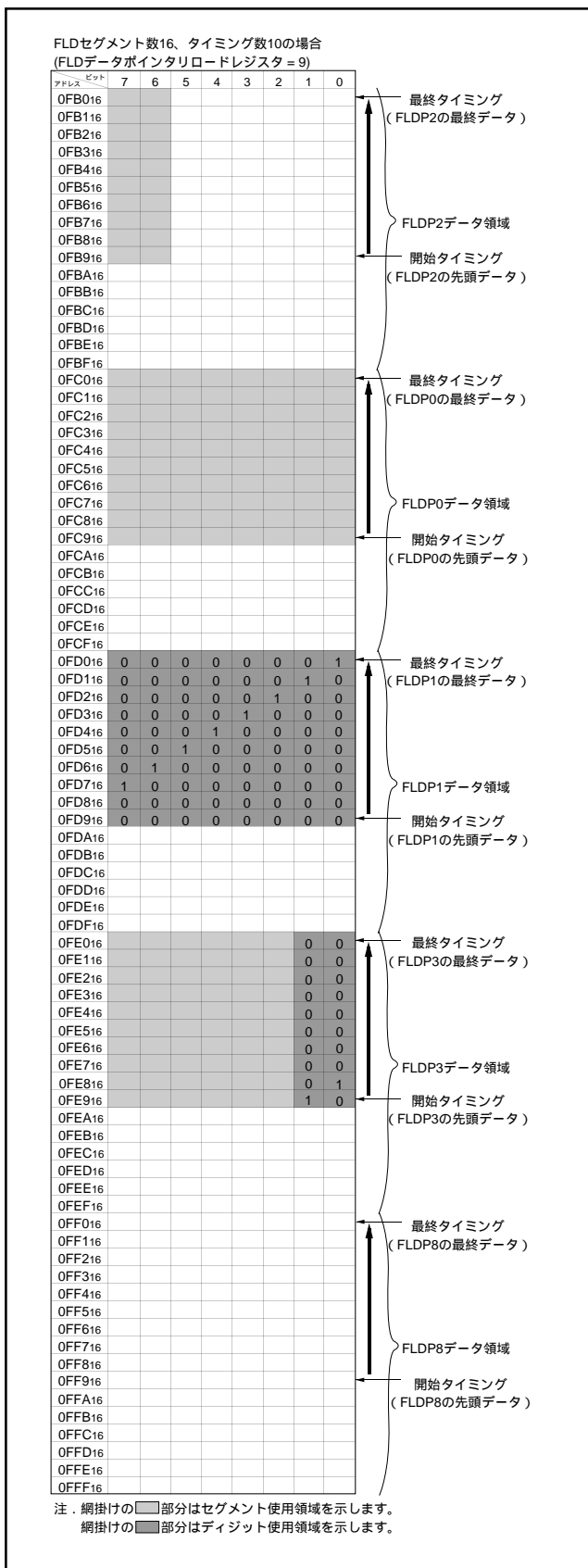


図50. グリッドスキャン方式のディジットデータ設定例

タイミングの設定

各種タイミングは、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタにより設定を行います。

・Tdisp時間の設定

FLDCモードレジスタのTdispカウンタカウントソース選択ビット及びTdisp時間設定レジスタにより、Tdisp時間の設定を行います。Tdisp時間設定レジスタの値をnとすると、Tdisp時間は $Tdisp=(n+1) \times t$ (t: カウントソース同期) で表わされます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でTdisp時間設定レジスタが200(C816)の場合、Tdisp時間は $Tdisp=(200+1) \times 4(XIN=4MHz時) = 804 \mu s$ となります。なお、Tdisp時間設定レジスタを読み出した場合、カウント中の値が読み出されます。

・Toff1時間の設定

Toff1時間設定レジスタによりToff1時間の設定を行います。Toff1時間設定レジスタの値をn1とすると、Toff1時間は $Toff1=n1 \times t$ で表わされます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff1時間設定レジスタの値が30(1E16)の場合、 $Toff1=30 \times 4(XIN=4MHz時) = 120 \mu s$ となります。

Toff1時間設定レジスタ(0EF616番地)には0316以上の値を設定してください。

・Toff2時間の設定

Toff2時間設定レジスタによりToff2時間の設定を行います。Toff2時間設定レジスタの値をn2とすると、Toff2時間は $Toff2=n2 \times t$ で表わされます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”で、Toff2時間設定レジスタの値が180(B416)の場合、 $Toff2=180 \times 4(XIN=4MHz時) = 720 \mu s$ となります。このToff2時間の設定は階調表示モードで、かつ階調表示制御RAMの値が“1”のFLDポートにのみ有効となります。

P8FLD出力制御レジスタ(0EFC16番地)のビット7を“1”にした場合はToff2時間設定レジスタ(0EF716番地)には0316以上の値を設定してください。

FLD自動表示機能の開始

FLD自動表示機能を使用する場合、以下のレジスタを設定してください。

- ・ポートP0FLD/ポート切り替えレジスタ
- ・ポートP2FLD/ポート切り替えレジスタ
- ・ポートP8FLD/ポート切り替えレジスタ
- ・FLDCモードレジスタ
- ・Tdisp時間設定レジスタ
- ・Toff1時間設定レジスタ
- ・Toff2時間設定レジスタ
- ・FLDデータポインタ

FLDCモードレジスタ(0EF416番地)のビット0に“1”を書き込むと、FLD自動表示モードになり、さらにビット1に“1”を書き込むことによって、自動表示が開始されます。

FLD自動表示中、FLDCモードレジスタ(0EF416番地)のビット1には“1”が保持されています。ビット1に“0”を書き込むことによって、FLD自動表示を中断させることができます。

キースキャン

キースキャン用ブランキング時間Tscanの間にセグメントによってキースキャンを行う場合、以下の手順で行ってください。

FLDCモードレジスタ(0EF416番地)のビット0に“0”を書き込む。

セグメントに対応するポートのうち、キースキャンに使用するポートを出力ポートにする。

キースキャンを実行する。

FLDCモードレジスタ(0EF416番地)のビット0に“1”を書き込む。

注意事項

上記 ~ の手順でキースキャンを行う場合の注意事項を以下に示します。

1. FLDCモードレジスタ(0EF416番地)のビット1に“0”を書き込まないでください。
2. デジットに対応するポートに“1”を書き込まないでください。

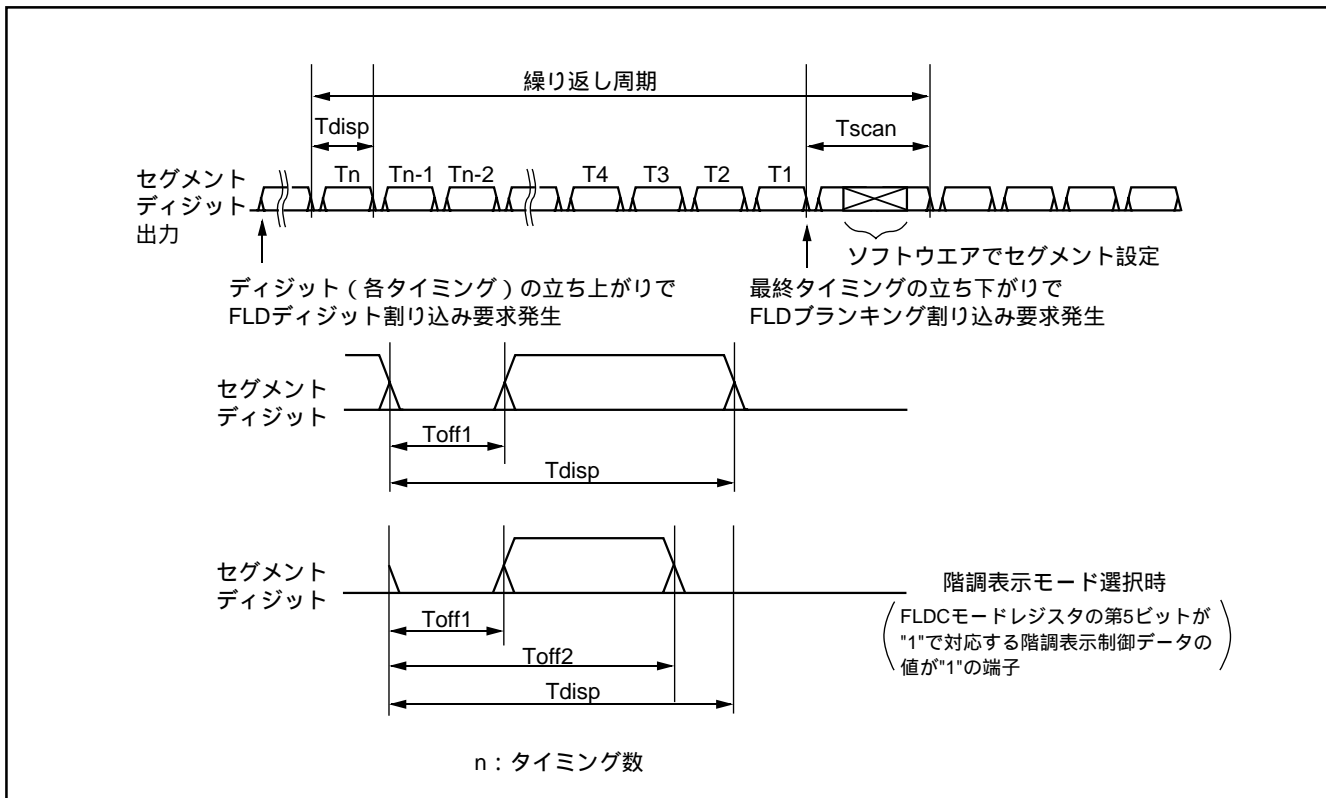


図51 . FLDCのタイミング

P84 ~ P87FLD 出力反転機能

P84 ~ P87はFLD出力の極性を反転する機能を備えています。外付けドライバを使用する場合など極性の合わせ込みに使用できます。ポートP8FLD出力制御レジスタ(0EFC₁₆番地)のビット0を“1”にすることにより、出力極性を反転することができます。

P84 ~ P87Toff 無効機能

P84 ~ P87はFLDポート選択時、Toffを無効にした波形を出力することができます(図52参照)。4ビット 16ビットデコーダを使用するとき有効であり、ポートP8FLD出力制御レジスタ(0EFC₁₆番地)のビット2を“1”にすることにより設定できます。

P84 ~ P87 出力遅延機能

P84 ~ P87は、FLDポート選択時かつToff無効機能選択時、波形を16 μs遅延させて出力することができます(図52参照)。4ビット 16ビットデコーダ使用時、セグメント出力とデジタル出力波形の位相のズレによる漏れ発光の防止に利用できます。ポートP8FLD出力制御レジスタ(0EFC₁₆番地)のビット3を“1”にすることにより設定できます。

ディマー信号出力機能

P6₃はディマー信号を出力することができます。4ビット 16ビットデコーダ使用時、このデコーダを制御する信号として利用できます。又、M35501FPを使用時、CLK信号として利用できます。ポートP8FLD出力制御レジスタ(0EFC₁₆番地)のビット4を“1”にすることにより設定できます。

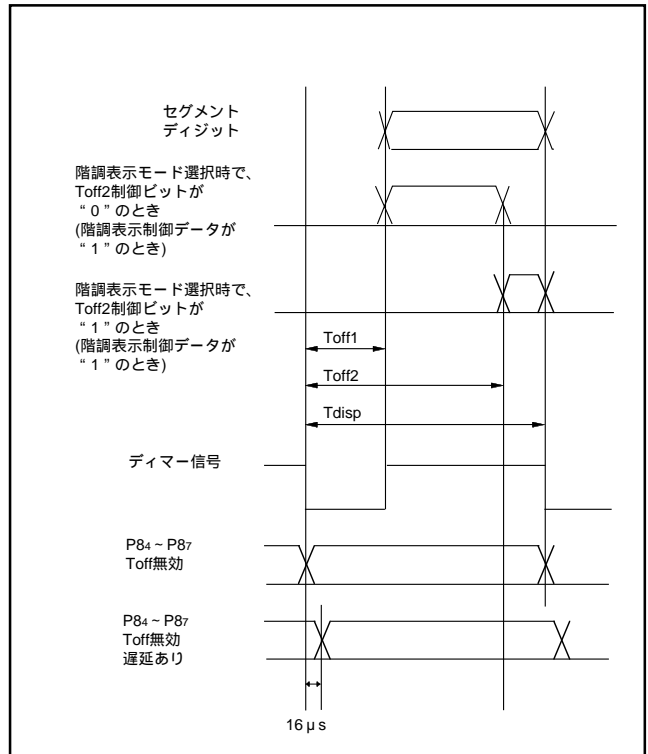


図52. P84 ~ P87FLD出力波形

Toff2 制御ビット

階調モードのときは、Toff2時間設定レジスタ(TOFF2)で設定された値が有効となります。初期状態のポートP8FLD出力制御レジスタ(0EFC₁₆番地)のビット7が“0”のとき、FLD出力ポートにはTOFF1に設定された時間でRAMデータが出力され、TOFF2に設定された時間で“0”になります。また、ビット7が“1”のときは、TOFF2に設定された時間でRAMデータが出力され、Tdisp時間の終わりで“0”になります。

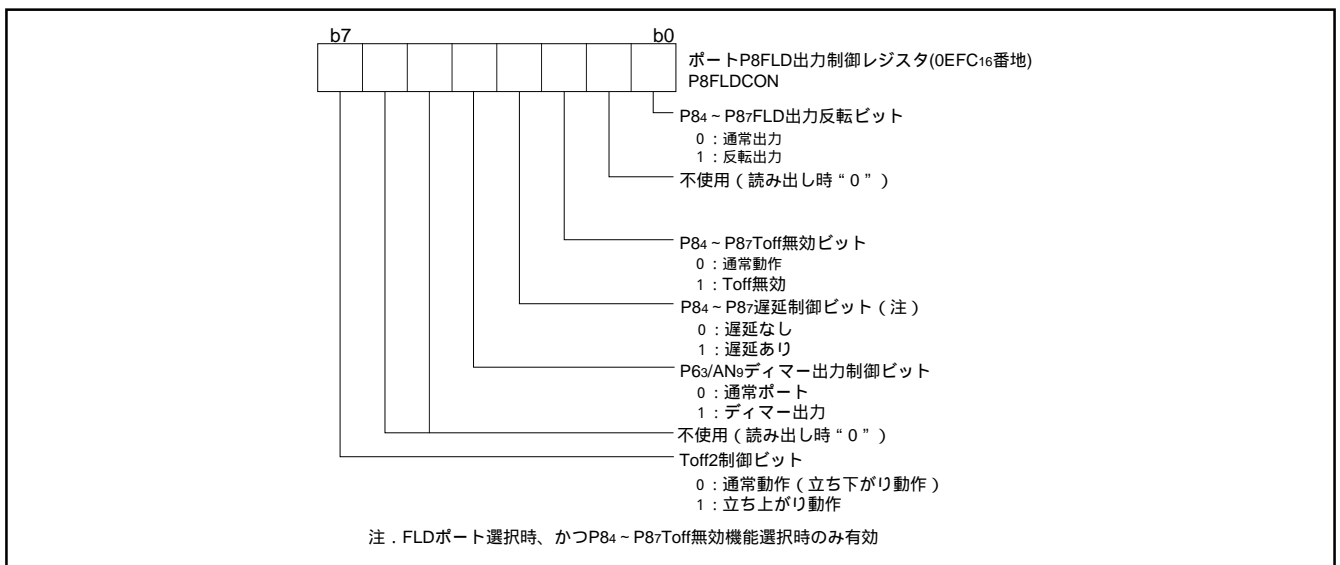


図53. ポートP8FLD出力制御レジスタの構成

A-D変換器

38B4グループは、10ビットの逐次比較方式のA-D変換器を持っています。

【A-D変換レジスタ】AD

A-D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがA-D変換レジスタ(上位)(0034₁₆番地)に、下位2ビットがA-D変換レジスタ(下位)(0033₁₆番地)のビット7及びビット6に格納されます。A-D変換中は、このレジスタを読み出さないでください。

【A-D制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット3～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP77/AN7～P70/AN0、P65/SSTB1/AN11～P62/SRDY1/AN8より1本を選択し、コンパレータに入力します。

アナログ入力端子としてP64を選択した場合、外部割り込み機能(INT4)は無効となります。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時に、AD変換終了ビット及びAD割り込み要求ビットは“1”にセットされます。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を250kHz以上にしてください。また、CPUモードレジスタ(003B₁₆番地)のビット7は“0”にして使用してください。

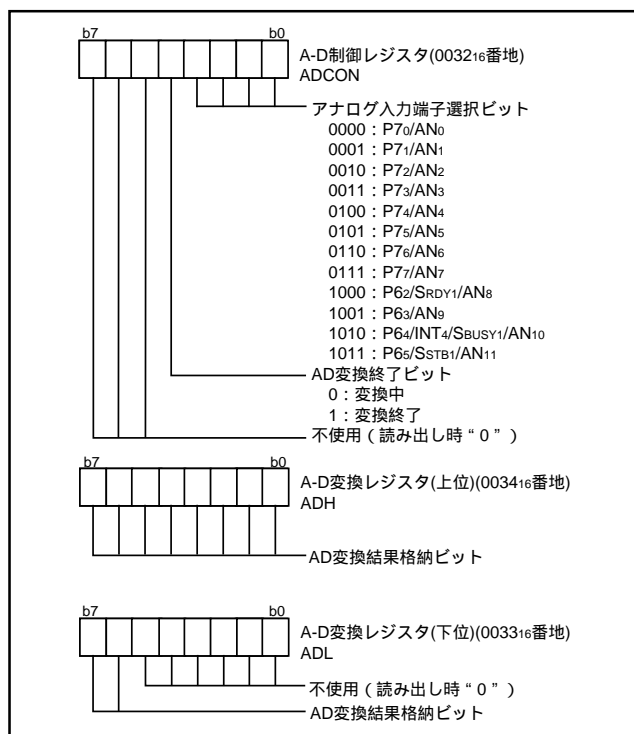


図54. A-D制御レジスタの構成

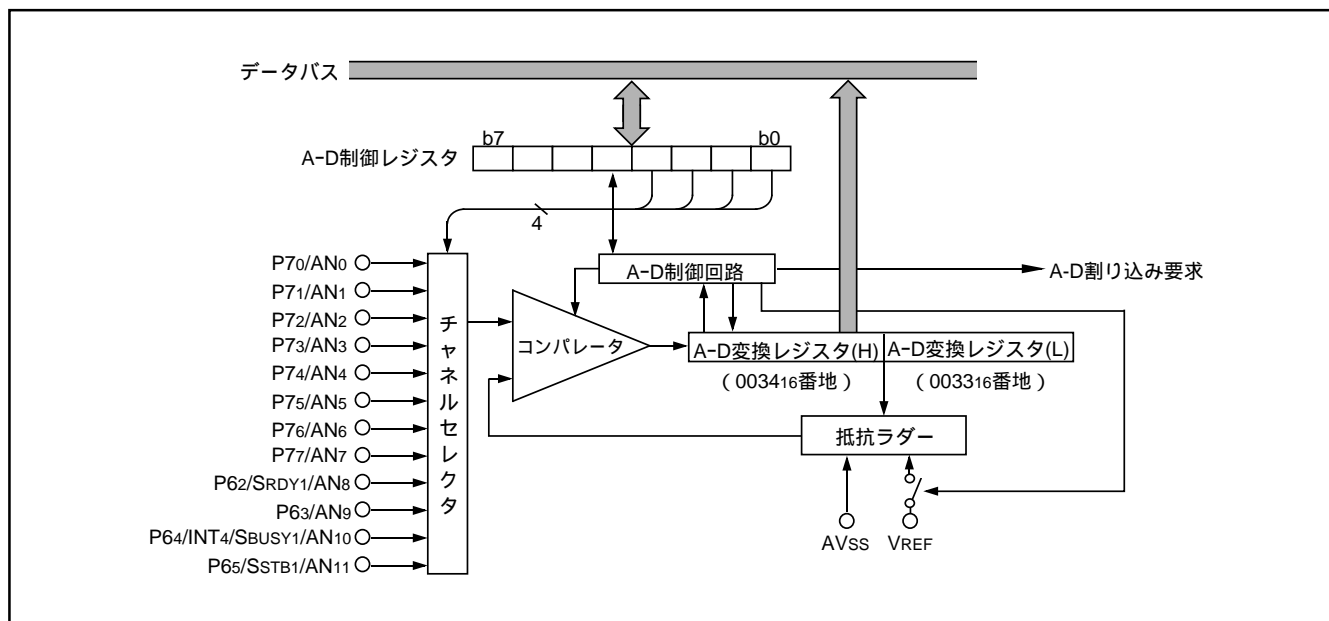


図55. A-D変換器ブロック図

PWM

(PWM:Pulse Width Modulation)

PWM出力回路は14ビットの分解能を持ち、最小分解ビット幅250ns(クロック周波数 $X_{IN} = 4\text{MHz}$ の場合。以降の説明で

も、 $X_{IN} = 4\text{MHz}$ の場合について述べます。) 繰り返し周期4096 μs です。PWMのタイミング発生部はクロック入力 X_{IN} の周波数を基本として、PWMの制御信号を供給します。

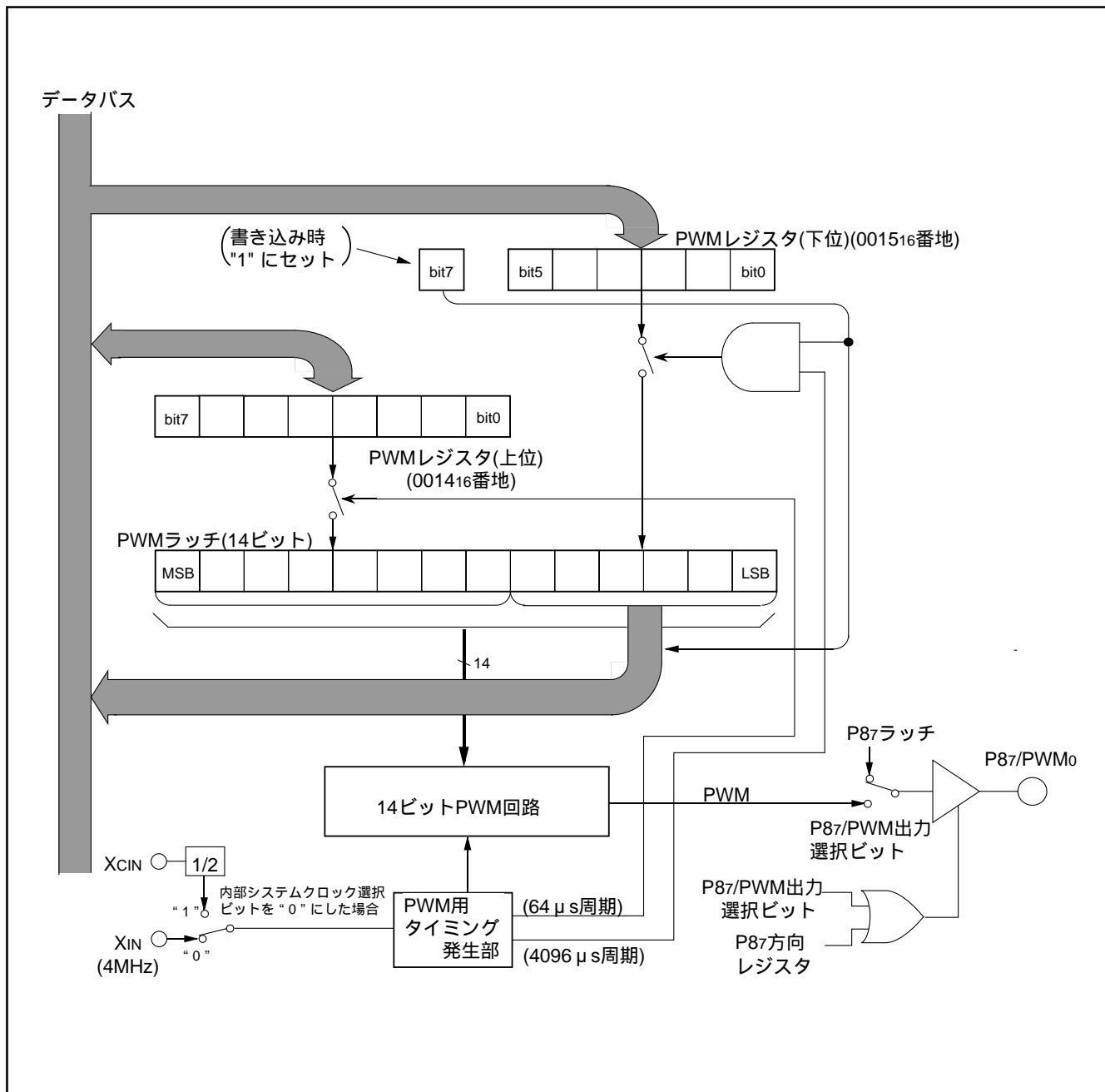


図56 . PWM回路ブロック図

(1) データの設定

PWMの出力端子はポートP87と共用しています。PWM制御レジスタ(0026₁₆番地)のビット0を“1”にセットすることにより、P87はPWM出力端子になります。出力データは上位8ビットをPWMレジスタ(上位 χ 0014₁₆番地)に、下位6ビットをPWMレジスタ(下位 χ 0015₁₆番地)にセットします。

(2) PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間 $t = 256 = 64 \mu s$ (は最小分解ビット幅250ns)ごとに、のN倍の長さの“H”区間を出力します。また、小区間の最終ビットはPWMLのデータ内容により“H”又は“L”が決定される、ADDビットとなっています。ADDビットは、表10のルールに従って“H”又は“L”が決定されます。すなわち、PWMの繰り返し周期 $T = 64t$ の中で、表10に示す小区間 tm のみ、他の区間に比べて最小分解幅 だけ、“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが $^*03_{16}$ 、下位6ビットが $^*05_{16}$ のときは t_8 、 t_{24} 、 t_{32} 、 t_{40} 、 t_{56} の小区間では

4、他の tm の区間では3の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるか、その値プラス になるため、ほぼ等しくなりこの小区間周期(=64 μs 、約15.6kHz)が近似的に繰り返し周期になります。

(3) レジスタからラッチへの転送

PWMLに書き込まれたデータはPWMの繰り返し周期(4096 μs)ごとにPWMラッチに転送されます。また、PWMLHに書き込まれたデータは小区間周期(64 μs)ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLからPWMラッチへの転送完了を示します。ビット7が0ならば転送済みであり、1ならば未転送を示します。

表10. 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ	他の tm ($m=0\sim 63$)より だけ長い区間
0 0 0 0 0 0 ^{LSB}	なし
0 0 0 0 0 1	$m=32$
0 0 0 0 1 0	$m=16,48$
0 0 0 1 0 0	$m=8,24,40,56$
0 0 1 0 0 0	$m=4,12,20,28,36,44,52,60$
0 1 0 0 0 0	$m=2,6,10,14,18,22,26,30,34,38,42,46,50,54,58,62$
1 0 0 0 0 0	$m=1,3,5,7,\dots,57,59,61,63$

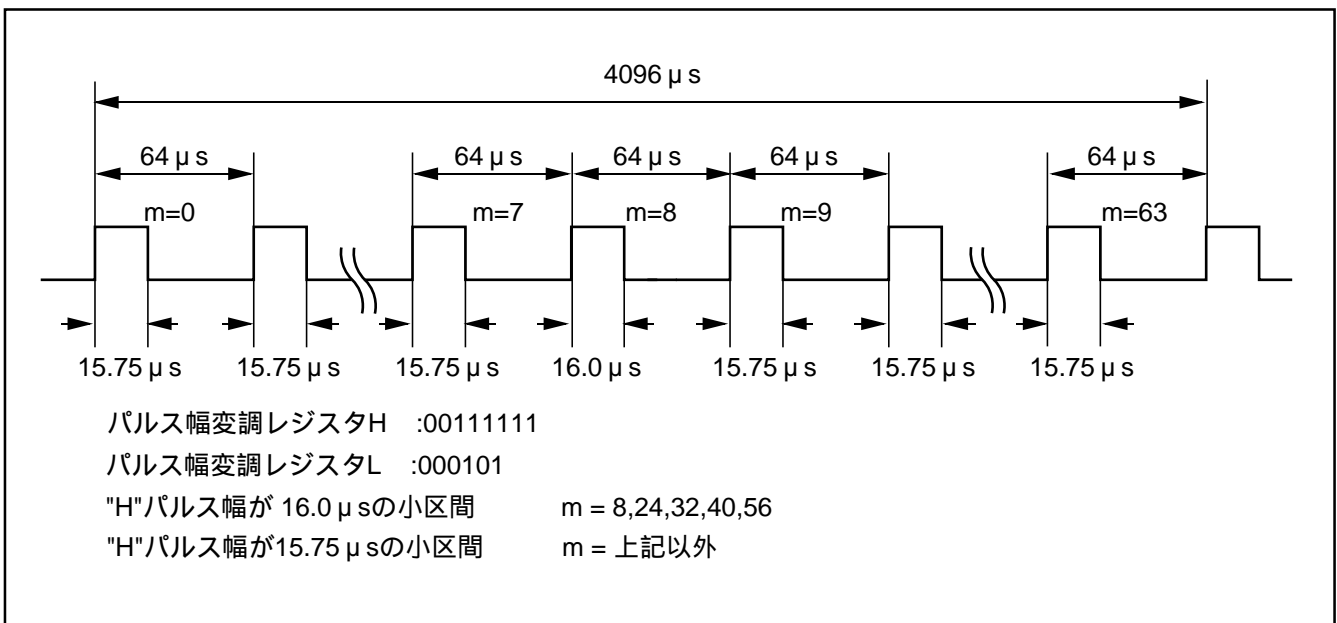


図57. PWMタイミング図

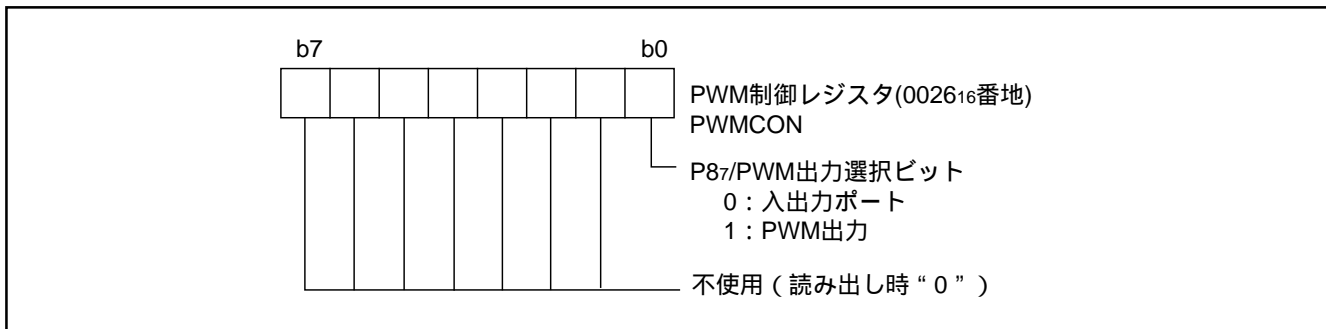


図58 . PWM制御レジスタの構成

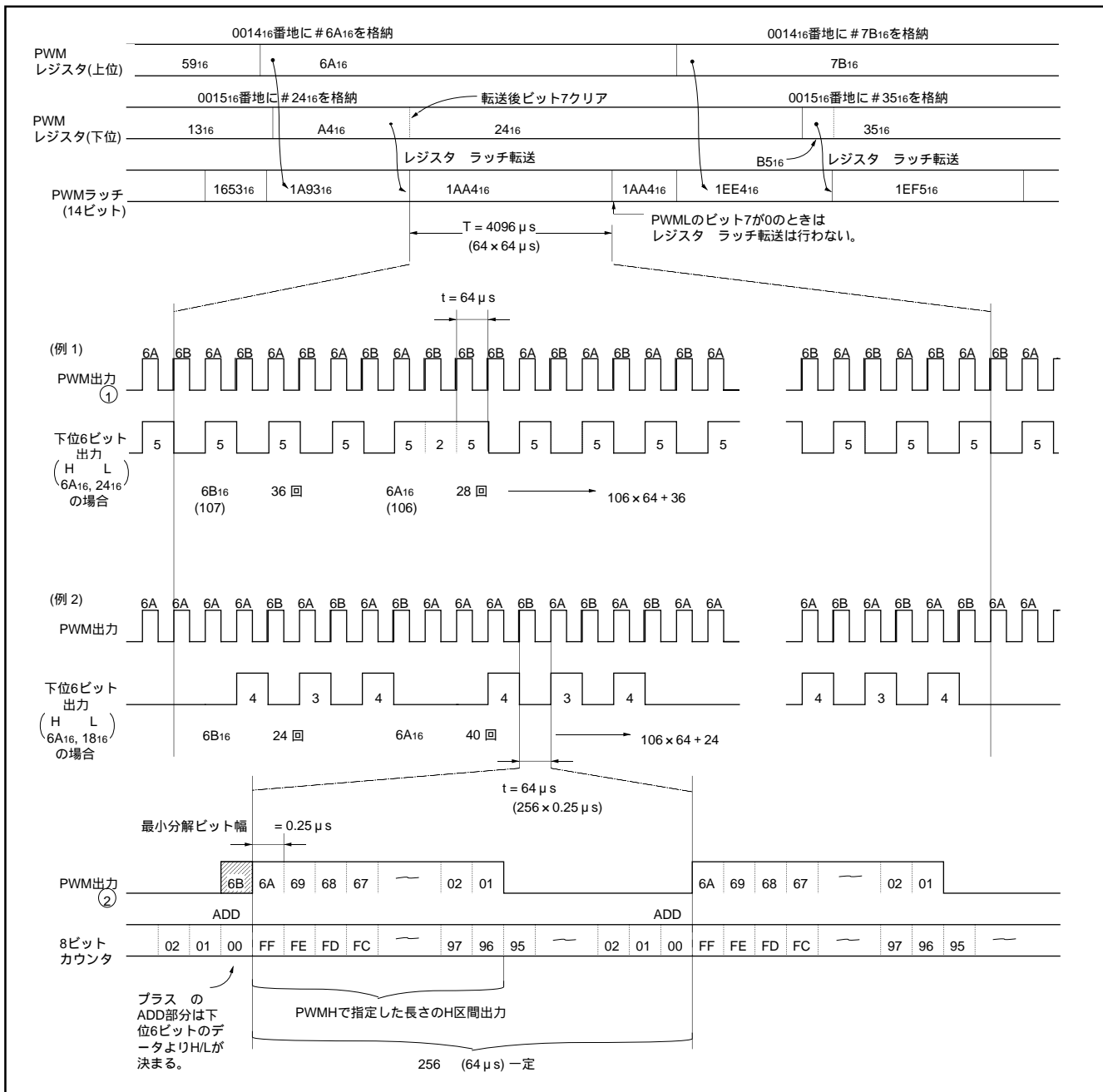


図59 . 14ビットPWMタイミング図

割り込み間隔判定機能

38B4グループは割り込み間隔判定回路を内蔵しています。割り込み間隔判定回路は8ビットバイナリアップカウンタを持ち、P47/INT2端子の入力信号の立ち上がり(又は立ち下がり)から次の立ち上がり(又は立ち下がり)までの時間を判定します。

割り込み間隔判定の動作を以下に示します。

割り込み制御レジスタ(003E16番地)のビット2の設定によりINT2割り込みの受け付けを可能にし、割り込みエッジ選択レジスタ(003A16番地)のビット2の設定により、立ち下がり間隔又は立ち上がり間隔を選択します。

次に割り込み間隔判定動作をするように割り込み間隔判定制御レジスタ(003116番地)のビット0を“1”に設定します。割り込み間隔判定制御レジスタのビット1により8ビットバイナリアップカウンタのサンプルクロックを選択します。“0”を書き込むと発振周波数の128分周(発振周波数が4.19MHz時のサンプリング間隔は32μ秒)、“1”を書き込むと発振周波数の256分周(発振周波数が4.19MHz時のサンプリング間隔は64μ秒)が選択されます。

INT2端子に設定した極性の信号(立ち上がり又は立ち下がり)が入力されると、8ビットバイナリアップカウンタは選択したカウンタサンプルクロックのカウンタアップを開始します。

設定した極性の信号が再度入力されると、8ビットバイナリアップカウンタの値は割り込み間隔判定レジスタ(003016番地)に転送され、リモコン割り込み要求が発生します。その直後8ビットバイナリアップカウンタはクリア(0016)されます。この後も8ビットバイナリアップカウンタは“0016”から再びカウンタアップを続けます。

8ビットバイナリアップカウンタはカウント値が“FF16”になるとカウンタアップを停止し、次のカウンタサンプルクロック入力と同時に“FF16”を割り込み間隔判定レジスタにセットし、カウンタオーバーフロー割り込み要求を発生します。

ノイズフィルタ

P47/INT2端子にはノイズフィルタが内蔵されています。ノイズフィルタの動作を以下に示します。

割り込み間隔判定制御レジスタのビット2、3により入力信号のサンプルクロックを選択します。ノイズ除去を使用しない場合には、“00”をセットしてください。

P47/INT2入力信号は選択されたクロックによりサンプリングされます。3回連続して同じレベルの信号がサンプリングされた場合、割り込み信号と認識して内部に割り込み要求を行います。

割り込み間隔判定制御レジスタのビット4を“1”にセットすると、割り込み信号の立ち上がりエッジと立ち下がりエッジの両方で割り込み要求を発生することが可能です。

ノイズフィルタを使用する場合には、INT2端子に入力する信号の最小パルス幅は、サンプルクロックの3周期分以上にしてください。

注：低速モード(CM7=1)時は、割り込み間隔判定機能は動作しません。

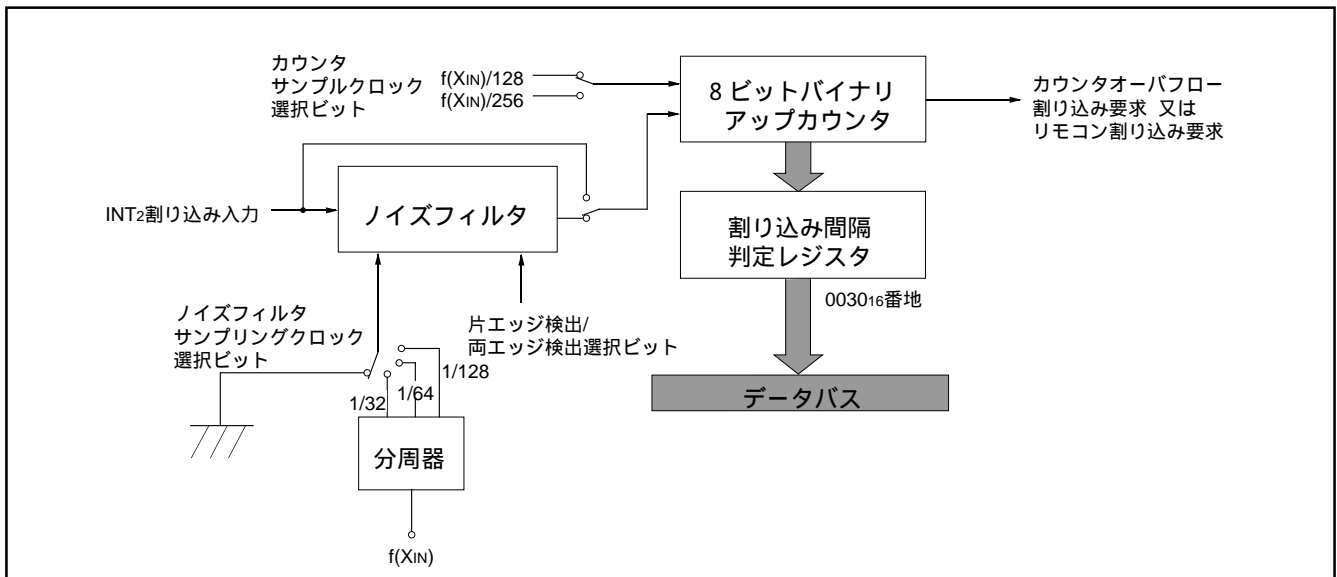


図60．割り込み間隔判定回路ブロック図

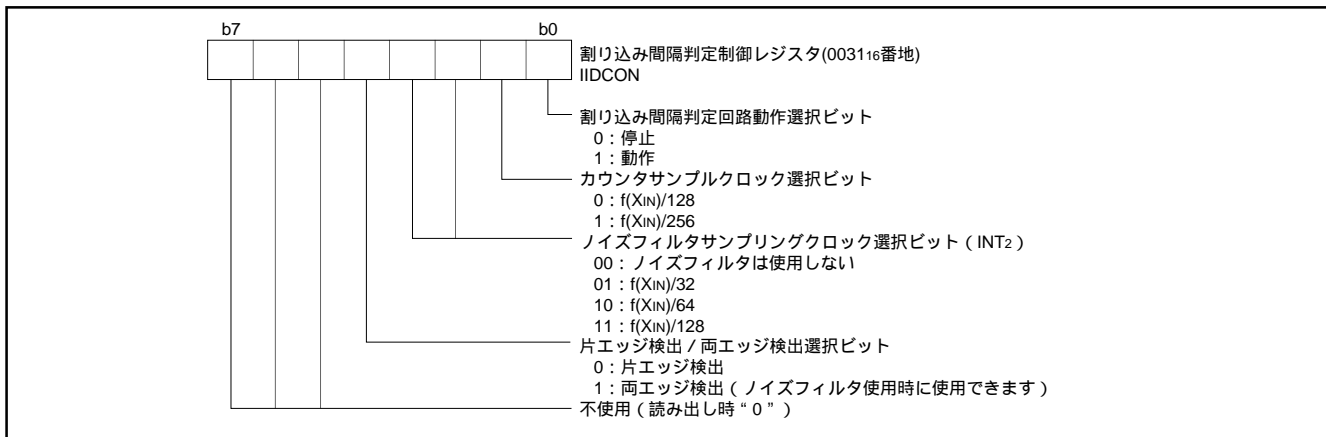


図61. 割り込み間隔判定制御レジスタの構成

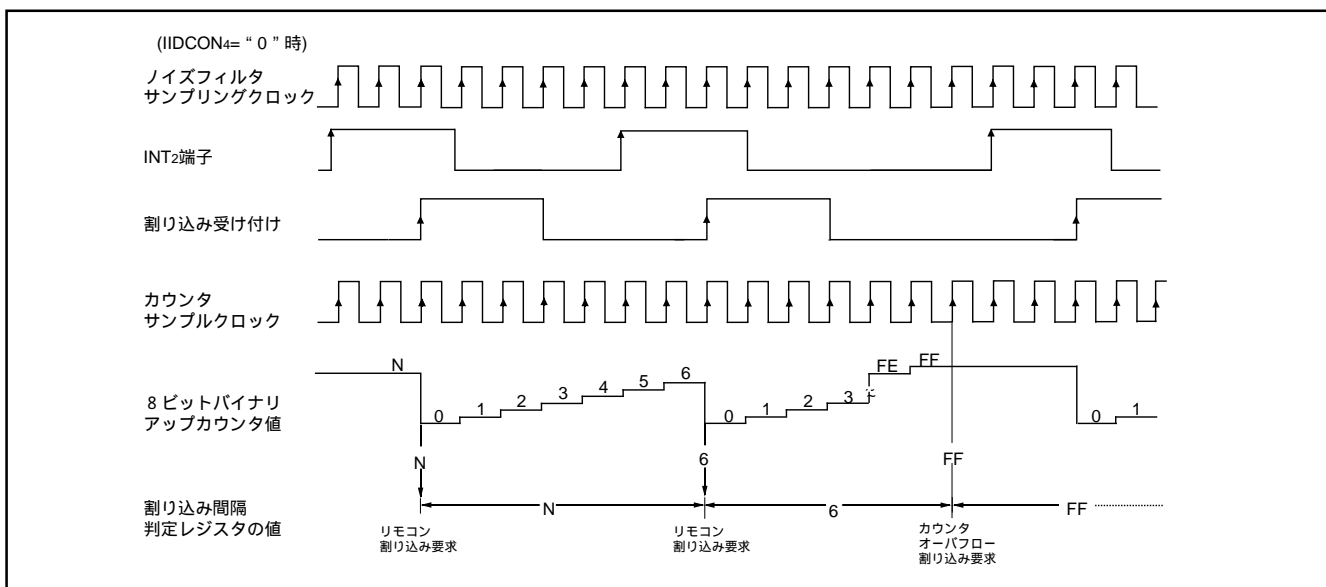


図62. 割り込み間隔判定動作例(立ち上がりエッジアクティブ時)

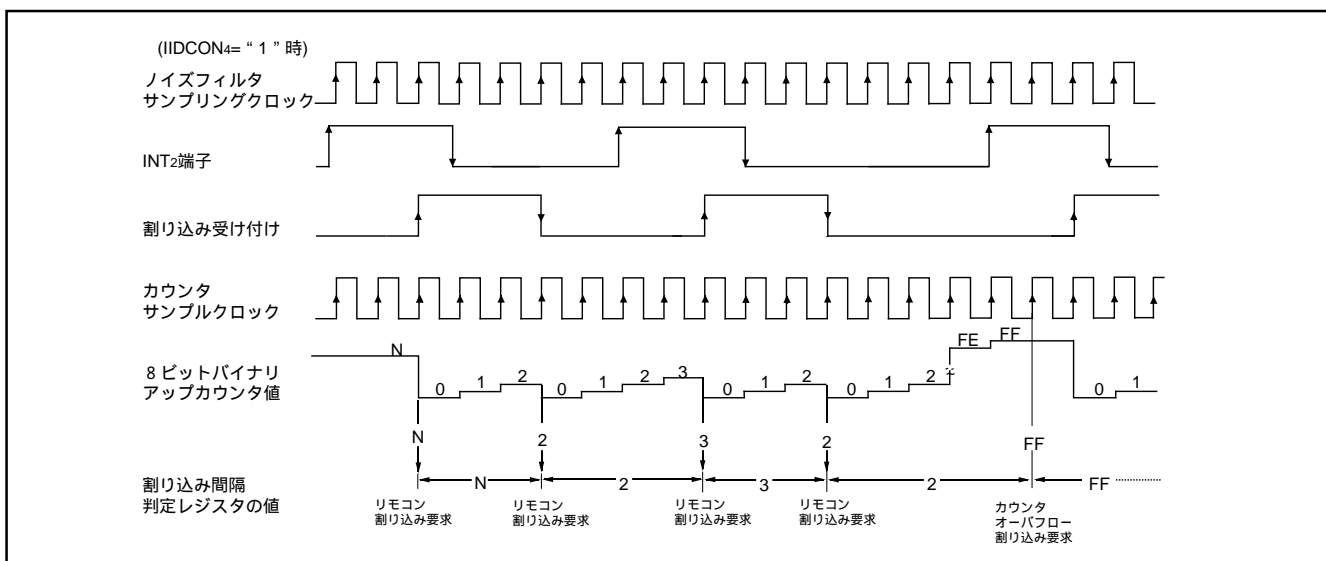


図63. 割り込み間隔判定動作例(両エッジアクティブ時)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマLと、12ビットのウォッチドッグタイマHで構成されます。

ウォッチドッグタイマの基本動作

リセット後、ウォッチドッグタイマ制御レジスタ(002B16番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(002B16番地)に任意の値を書き込むことにより、カウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(002B16番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(002B16番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1) ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(002B16番地)への書き込みによりウォッチドッグタイマHは“FFF16”に、ウォッチドッグタイマLは“FF16”に設定されます。

(2) ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(002B16番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(X_{IN})=4\text{MHz}$ 時2.1s、 $f(X_{CIN})=32\text{kHz}$ 時512sになります。

このビットが“1”の場合、カウントソースは $f(X_{IN})$ の8分周信号又は $f(X_{CIN})$ の16分周信号となります。この場合の検出時間は $f(X_{IN})=4\text{MHz}$ 時8.2ms、 $f(X_{CIN})=32\text{kHz}$ 時2sになります。

このビットはリセット後“0”になります。

(3) STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(002B16番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

注意事項

ストップモードを解除するとき、ストップ解除の待ち時間の間もウォッチドッグタイマはカウント動作します。STP命令実行前に一旦ウォッチドッグタイマ制御レジスタ(002B16番地)に書き込みを行うなど、ストップ解除の待ち時間の間にウォッチドッグタイマHがアンダフローしないように注意してください。

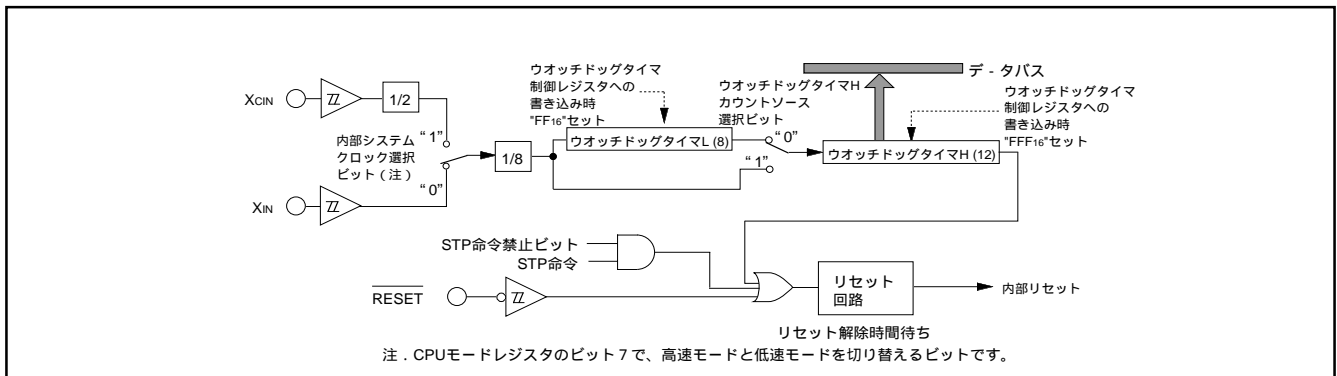


図64. ウォッチドッグタイマのブロック図

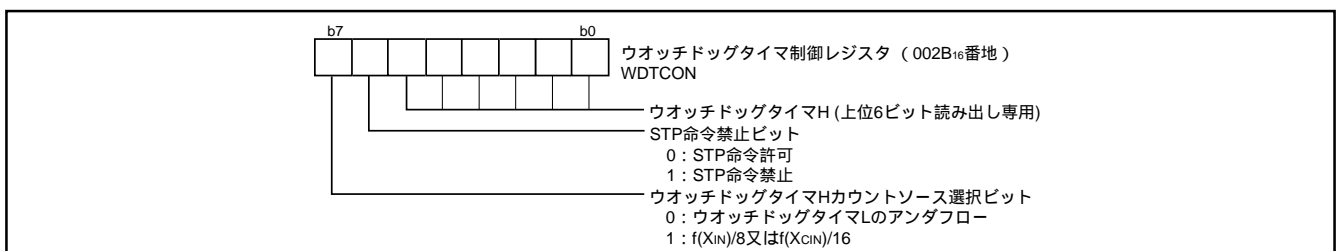


図65. ウォッチドッグタイマ制御レジスタの構成

ブザー出力回路

38B4グループはブザー出力回路を内蔵しています。ブザー出力制御レジスタにより、1kHz、2kHz、4kHz($X_{IN} = 4.19\text{MHz}$ 時)の周波数を選択することができます。また、出力ポート選択ビットにより、P43/BUZ01又はP20/BUZ02/FLD0をブザー出力

ポートとして選択することができます。

ブザー出力ON/OFFビットによりブザー出力を制御します。

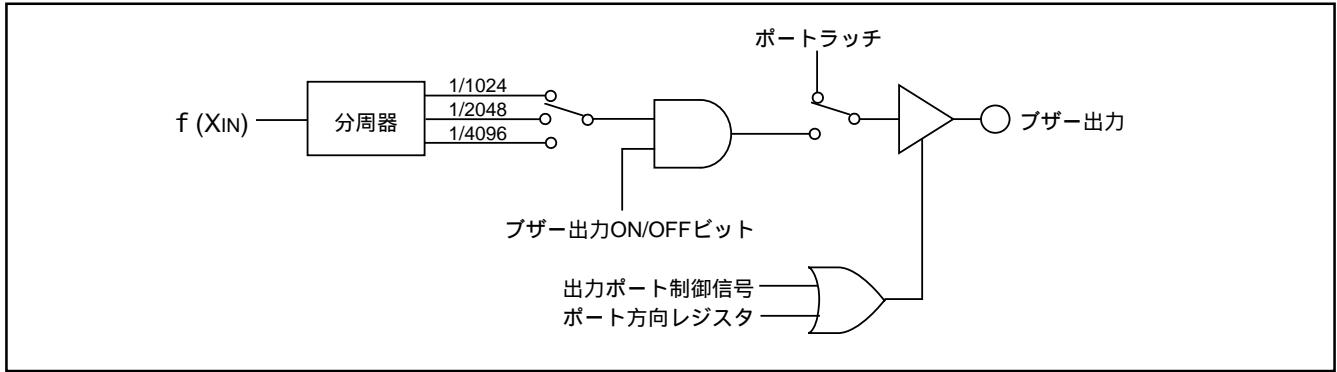


図66. ブザー出力回路のブロック図

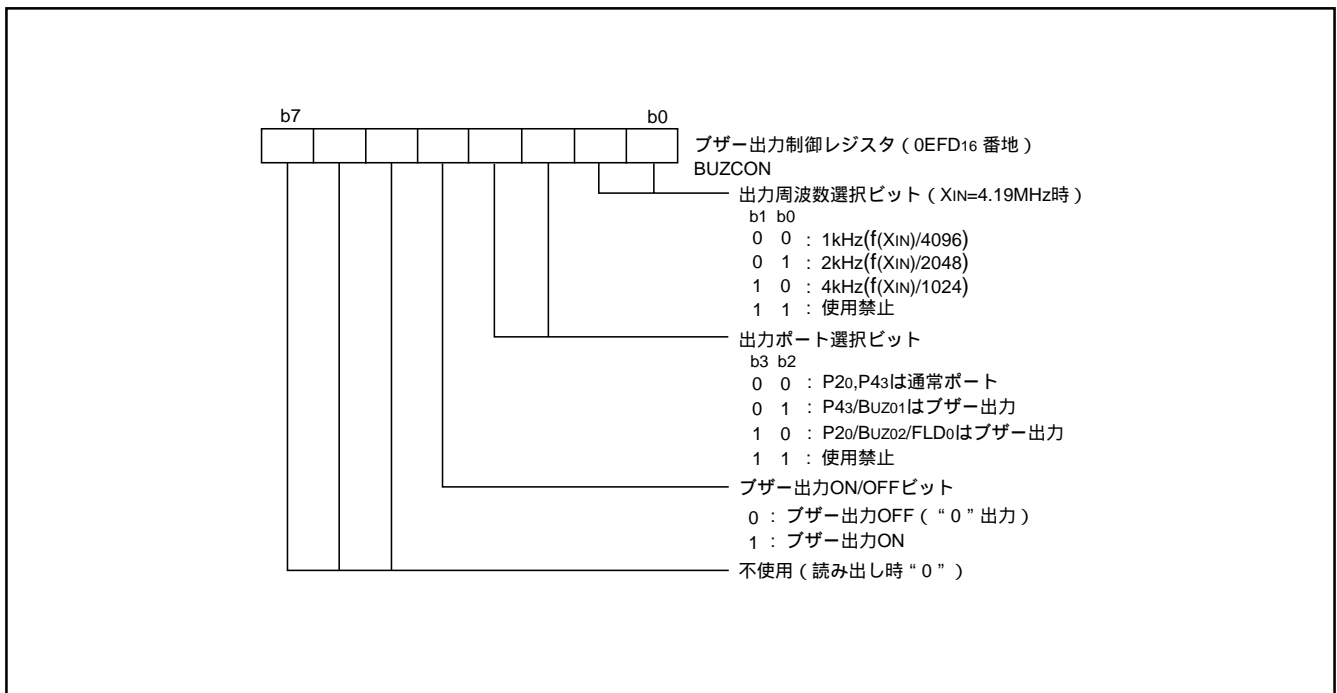


図67. ブザー出力制御レジスタの構成

リセット回路

38B4グループのリセットシーケンスは、電源電圧が2.7～5.5Vにあり、XINの発振振幅が安定しているとき、RESET端子を2μs以上Lレベルに保った後Hレベルに戻すと、リセット解除されます。そして、FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、V_{CC} = 2.7Vを通過する時点で0.5V以下にしてください。

なお、高速モードへの切り替えは電源電圧4.0～5.5Vの範囲で行ってください。

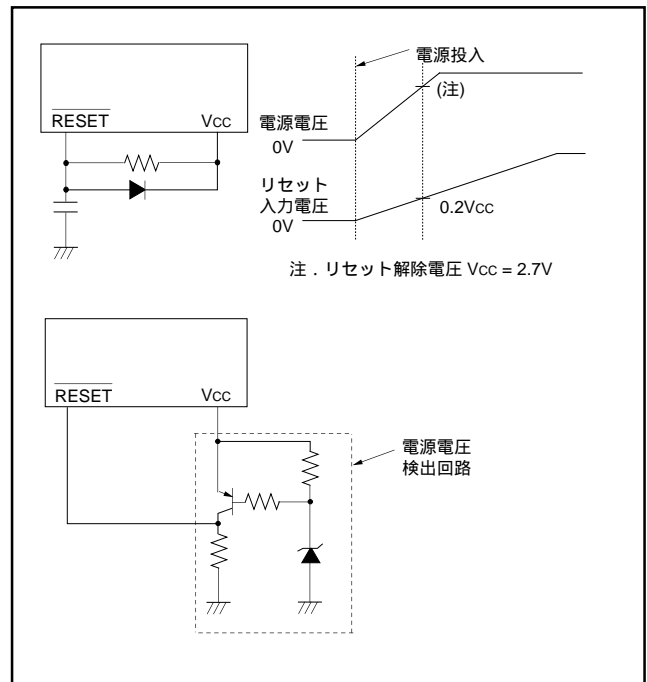


図68 . リセット回路例

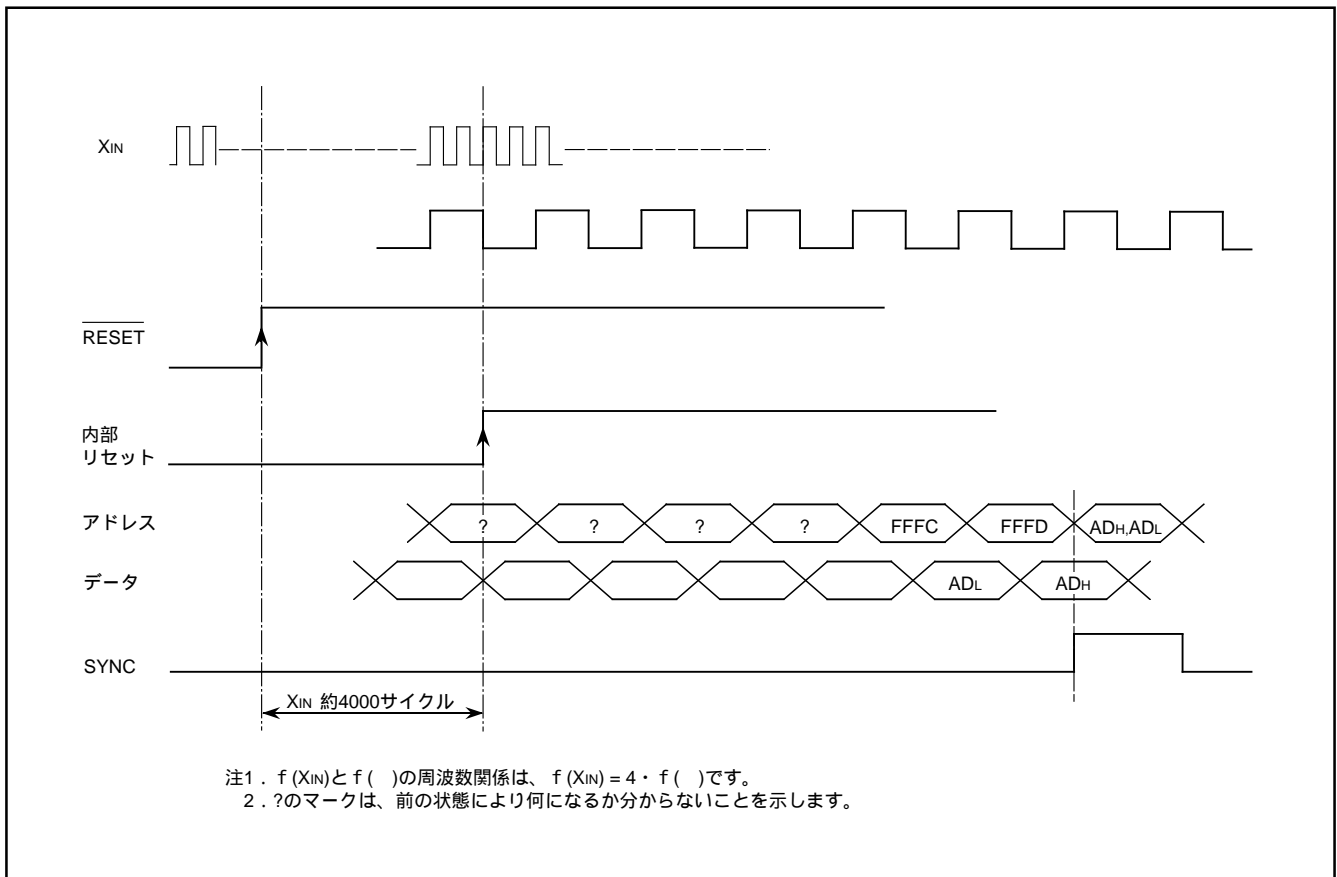


図69 . リセットシーケンス

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(33) タイマ34モードレジスタ	0029 ₁₆	00 ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(34) タイマ56モードレジスタ	002A ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(35) ウォッチドッグタイマ制御レジスタ	002B ₁₆	3F ₁₆
(4) ポートP2	0004 ₁₆	00 ₁₆	(36) タイマX (下位)	002C ₁₆	FF ₁₆
(5) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(37) タイマX (上位)	002D ₁₆	FF ₁₆
(6) ポートP3	0006 ₁₆	00 ₁₆	(38) タイマXモードレジスタ1	002E ₁₆	00 ₁₆
(7) ポートP4	0008 ₁₆	00 ₁₆	(39) タイマXモードレジスタ2	002F ₁₆	00 ₁₆
(8) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(40) 割り込み間隔判定制御レジスタ	0031 ₁₆	00 ₁₆
(9) ポートP5	000A ₁₆	00 ₁₆	(41) A-D制御レジスタ	0032 ₁₆	10 ₁₆
(10) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(42) 割り込み要因切り替えレジスタ	0039 ₁₆	00 ₁₆
(11) ポートP6	000C ₁₆	00 ₁₆	(43) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(12) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(44) CPUモードレジスタ	003B ₁₆	0100010000
(13) ポートP7	000E ₁₆	00 ₁₆	(45) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(14) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(46) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(15) ポートP8	0010 ₁₆	00 ₁₆	(47) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(16) ポートP8方向レジスタ	0011 ₁₆	00 ₁₆	(48) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(17) ポートP9	0012 ₁₆	00 ₁₆	(49) ブルアップ制御レジスタ1	0EF0 ₁₆	00 ₁₆
(18) ポートP9方向レジスタ	0013 ₁₆	00 ₁₆	(50) ブルアップ制御レジスタ2	0EF1 ₁₆	00 ₁₆
(19) UART制御レジスタ	0017 ₁₆	80 ₁₆	(51) FLDCモードレジスタ	0EF4 ₁₆	00 ₁₆
(20) シリアル/O1制御レジスタ1	0019 ₁₆	00 ₁₆	(52) Tdisp時間設定レジスタ	0EF5 ₁₆	00 ₁₆
(21) シリアル/O1制御レジスタ2	001A ₁₆	00 ₁₆	(53) Toff1時間設定レジスタ	0EF6 ₁₆	FF ₁₆
(22) シリアル/O1制御レジスタ3	001C ₁₆	00 ₁₆	(54) Toff2時間設定レジスタ	0EF7 ₁₆	FF ₁₆
(23) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(55) ポートP0FLD/ポート切り替えレジスタ	0EF9 ₁₆	00 ₁₆
(24) シリアル/O2ステータスレジスタ	001E ₁₆	80 ₁₆	(56) ポートP2FLD/ポート切り替えレジスタ	0EFA ₁₆	00 ₁₆
(25) タイマ1	0020 ₁₆	FF ₁₆	(57) ポートP8FLD/ポート切り替えレジスタ	0EFB ₁₆	00 ₁₆
(26) タイマ2	0021 ₁₆	01 ₁₆	(58) ポートP8FLD出力制御レジスタ	0EFC ₁₆	00 ₁₆
(27) タイマ3	0022 ₁₆	FF ₁₆	(59) ブザー出力制御レジスタ	0EFD ₁₆	00 ₁₆
(28) タイマ4	0023 ₁₆	FF ₁₆	(60) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(29) タイマ5	0024 ₁₆	FF ₁₆	(61) プログラムカウンタ	(PCH)	FFFF ₁₆ 番地の内容
(30) タイマ6	0025 ₁₆	FF ₁₆		(PCU)	FFFC ₁₆ 番地の内容
(31) PWM制御レジスタ	0026 ₁₆	00 ₁₆			
(32) タイマ12モードレジスタ	0028 ₁₆	00 ₁₆			

注 . x : 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図70 . リセット時の内部状態

クロック発生回路

38B4グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより、発振回路を形成することができます。容量などの定数は、共振子により異なりますので、共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので、外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので、外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

周波数制御

(1) 中速モード

XIN端子に加わった周波数の4分周したものが、内部システムクロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数が内部システムクロックとなります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが、内部システムクロックになります。

注：中/高速モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

さらにCPUモードレジスタのXCOUT駆動能力選択ビット(b3)を“0”にクリアすることにより、XCIN-XCOUT間の駆動能力を弱めて、200 μ A以下($f(XCIN)=32\text{kHz}$)の低消費電力動作が実現できます。リセット時又はSTP命令実行時にはこのビットは“1”にセットされ、発振開始しやすい強い駆動能力の側に設定されます。

発振制御

(1) ストップモード

STP命令を実行すると内部システムクロックが“H”の状態に停止し、XIN及びXCINの発振が停止します。このとき、タイマ1には“FF₁₆”、タイマ2には“01₁₆”がセットされ、タイマ1の入力にはXINの8分周又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはすべて“0”にクリアされます。STP命令実行前にタイマ1、タイマ2の割り込みの許可ビットを禁止状態(“0”)に設定してください。

発振はリセット又は外部割り込みが受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部システムクロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると内部システムクロックのみ“H”の状態に停止します。このときXIN及びXCINはWIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

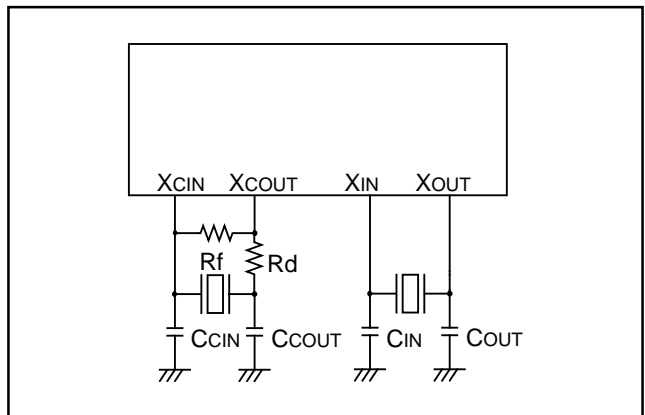


図71．セラミック共振子外付け回路

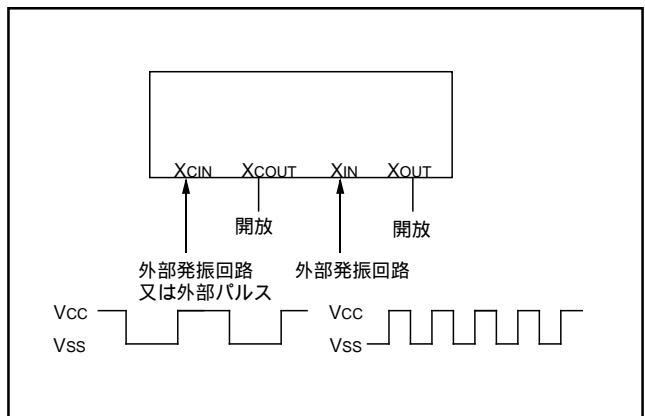


図72．外部クロック入力回路

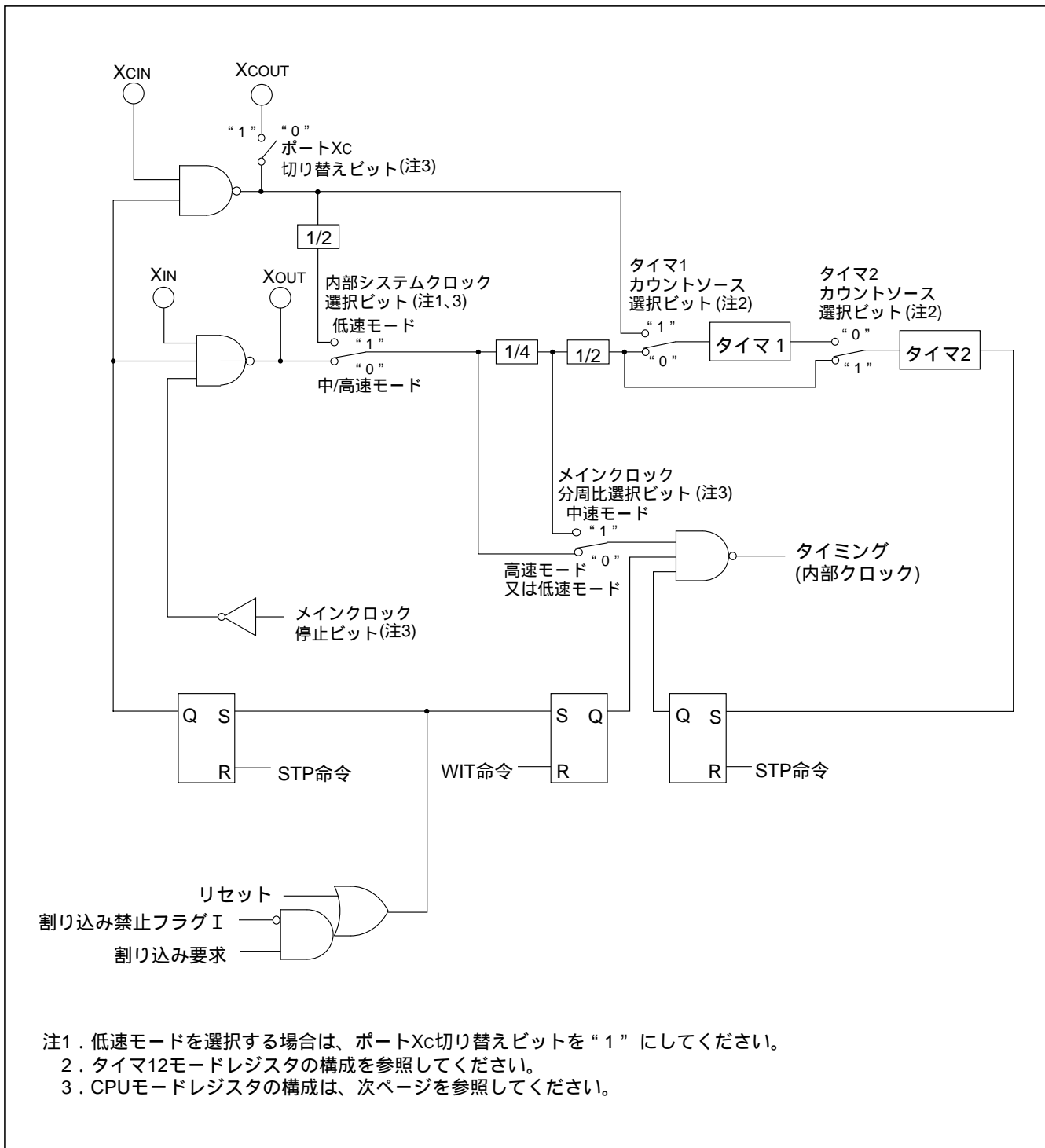


図73. クロック発生回路ブロック図

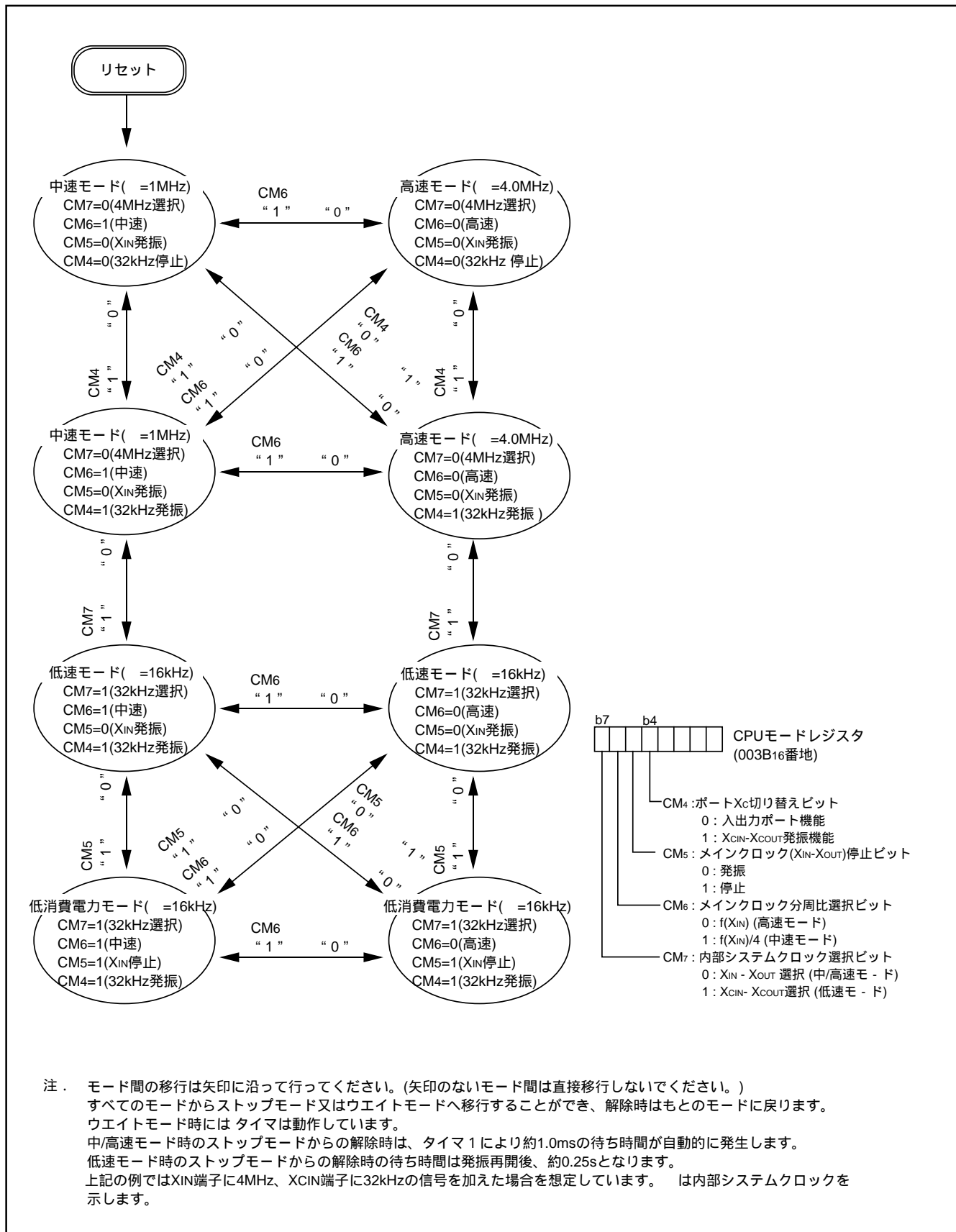


図74 . システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを"1"にセットして、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

- ・外部クロック使用時は、外部クロック入力端子に"H"を入力し、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行して

ください。

- ・内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

自動転送シリアルI/Oに関するもの

シリアルI/O1の自動転送シリアルI/Oモード使用時、シリアル自動転送間隔設定を以下のとおりにしてください。

なお、設定が以下のとおりでない場合は、シリアルデータが正しく送信/受信できないこともありますので、ご注意ください。

- ・1バイトデータ転送ごとの自動転送間隔を、以下のよう

(1) FLDコントローラ未使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの5サイクル以上空けてください。

(2) FLDコントローラ使用時

(a) 階調表示未使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの12サイクル以上空けてください。

(b) 階調表示未使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの18サイクル以上空けてください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換実行中は $f(XIN)$ を250kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部システムクロックの周期をかけることによって得られます。内部システムクロックの周期は、XINの周期と同じです(高速モード時)。

STP命令解除時に関するもの

STP命令解除時には、タイマ12モードレジスタは全ビットクリアされます。

CPUモードレジスタのXCOUT駆動能力選択ビットは"1"にセットされ、発振を開始しやすい強い駆動能力の側に設定されます。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ……EPROM 3セット

プルダウン抵抗のマスクオプション(対象品種：M38B4XXMH-XXXXFP)

高耐圧ポートP20～P27, P80～P83は内蔵プルダウン抵抗の有無を、マスクROM発注時に指定することができます。指定できるオプションタイプは、表11のようにA～G, Pタイプの8通りあります。

表11. プルダウン抵抗のマスクオプションタイプ

オプション タイプ	プルダウン抵抗の接続ポート (1が記入されているとき接続)												機能の 制限事項
	P20	P21	P22	P23	P24	P25	P26	P27	P80	P81	P82	P83	
A (\$ 41)													特になし
B (\$ 42)							1	1					
C (\$ 43)					1	1	1	1					
D (\$ 44)			1	1	1	1	1	1					
E (\$ 45)	1	1	1	1	1	1	1	1					
F (\$ 46)	1	1	1	1	1	1	1	1	1	1			
G (\$ 47)	1	1	1	1	1	1	1	1	1	1	1	1	
P (\$ 50)	1	1	1	1	1	1	1	1					(注4)

- 注 1. 高耐圧ポートP20～P27, P80～P83の内蔵プルダウン抵抗の電気的特性は、高耐圧ポートP00～P07と同等です。
 2. ご使用条件によっては、内蔵するプルダウン抵抗の本数によって、消費電力の絶対最大定格を越える場合がありますので、消費電力を計算の上オプションタイプをご指定ください。
 3. ワンタイムPROM版とEPROM版は、オプションタイプAと同等で、プルダウン抵抗の有無を選択することはできません。
 4. オプションタイプPは、INT₃とCNTR₁の機能は使用できません。

消費電力の計算型方法

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大); |電流値|=18mA時
- ・抵抗値 43V / 900μA = 48k (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)=5V × 15mA=75mW

(ご使用条件により決まる定数)

- ・V_{EE}端子への印加電圧 V_{CC} - 45V
- ・タイミング数 a、実ディジット数 b本、セグメント数 c本
- ・T_{disp}時間に対するT_{off}時間の比 1 / 16
- ・繰り返し周期中に実点灯するセグメント数 d
- ・繰り返し周期中の総セグメント数 e (= a × c)
- ・内蔵抵抗の合計本数 (ディジット用 f本、セグメント用 g本)
- ・ディジット端子電流値 h (mA)
- ・セグメント端子電流値 i (mA)

(1)ディジット端子の消費電力

$$\{ h \times b \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(2)セグメント端子の消費電力

$$\{ i \times d \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(3)プルダウン抵抗の消費電力(ディジット)

$$\{ \text{ディジット1本あたりの消費電力} \times (b \times f / b) \times (1 - T_{off} / T_{disp}) \} / a$$

(4)プルダウン抵抗の消費電力(セグメント)

$$\{ \text{セグメント1本あたりの消費電力} \times (d \times g / c) \times (1 - T_{off} / T_{disp}) \} / a$$

(5)内部回路の消費電力(CPU、ROM、RAMなど) = 75mW

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{X \text{ mW}}}$$

消費電力の計算例 1

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大); |電流値|=18mA時
- ・抵抗値 $43V / 900\mu A = 48k$ (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)= $5V \times 15mA=75mW$

(ご使用条件により決まる定数)

- ・ V_{EE} 端子への印加電圧 $V_{CC} - 45V$
- ・タイミング数 17、実ディジット数 16本、セグメント数 20本
- ・ T_{disp} 時間に対する T_{off} 時間の比 1 / 16
- ・繰り返し周期中に実点灯するセグメント数 31
- ・繰り返し周期中の総セグメント数 340 (=17 × 20)
- ・内蔵抵抗の合計本数 (ディジット用 16本、セグメント用 20本)
- ・ディジット端子電流値 18 (mA)
- ・セグメント端子電流値 3 (mA)

(1)ディジット端子の消費電力

$$\{ 18 \times 16 \times (1 - 1/16) \times 2 \} / 17 = 31.77 \text{ mW}$$

(2)セグメント端子の消費電力

$$\{ 3 \times 31 \times (1 - 1/16) \times 2 \} / 17 = 10.26 \text{ mW}$$

(3)プルダウン抵抗の消費電力(ディジット)

$$(45 - 2)^2 / 48 \times (16 \times 16 / 16) \times (1 - 1/16) / 17 = 33.99 \text{ mW}$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (31 \times 20 / 20) \times (1 - 1/16) / 17 = 65.86 \text{ mW}$$

(5)内部回路の消費電力(CPU、ROM、RAMなど) = 75mW

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{217 \text{ mW}}}$$

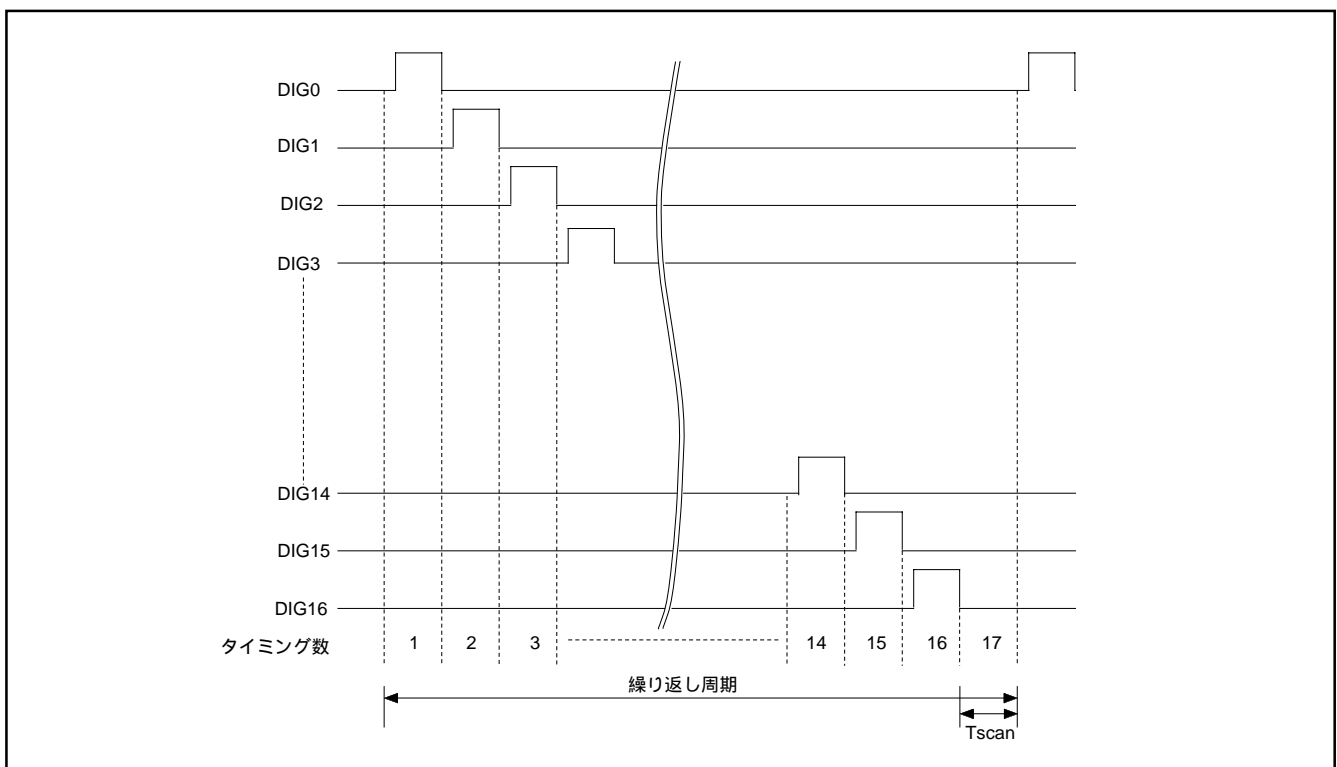


図75. デジットのタイミング波形(1)

消費電力の計算例 2(2 本以上のディジットが同時にONする場合)

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大) ; | 電流値 | =18mA時
- ・抵抗値 $43V / 900 \mu A = 48k$ (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)= $5V \times 15mA=75mW$

(ご使用条件により決まる定数)

- ・ V_{EE} 端子への印加電圧 $V_{CC} - 45V$
- ・タイミング数 11、実ディジット数 12本、セグメント数 24本
- ・ T_{disp} 時間に対する T_{off} 時間の比 1 / 16
- ・繰り返し周期中に実点灯するセグメント数 114
- ・繰り返し周期中の総セグメント数 264 (=11 × 24)
- ・内蔵抵抗の合計本数 (ディジット用 10 本、セグメント用 22 本)
- ・ディジット端子電流値 18 (mA)
- ・セグメント端子電流値 3 (mA)

(1)ディジット端子の消費電力

$$\{ 18 \times 12 \times (1 - 1 / 16) \times 2 \} / 11 = 36.82 \text{ mW}$$

(2)セグメント端子の消費電力

$$\{ 3 \times 114 \times (1 - 1 / 16) \times 2 \} / 11 = 58.30 \text{ mW}$$

(3)プルダウン抵抗の消費電力(ディジット)

$$(45 - 2)^2 / 48 \times (12 \times 10 / 12) \times (1 - 1 / 16) / 11 = 32.84 \text{ mW}$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (114 \times 22 / 24) \times (1 - 1 / 16) / 11 = 343.08 \text{ mW}$$

(5)内部回路の消費電力(CPU、ROM、RAMなど) = 75mW

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{547 \text{ mW}}}$$

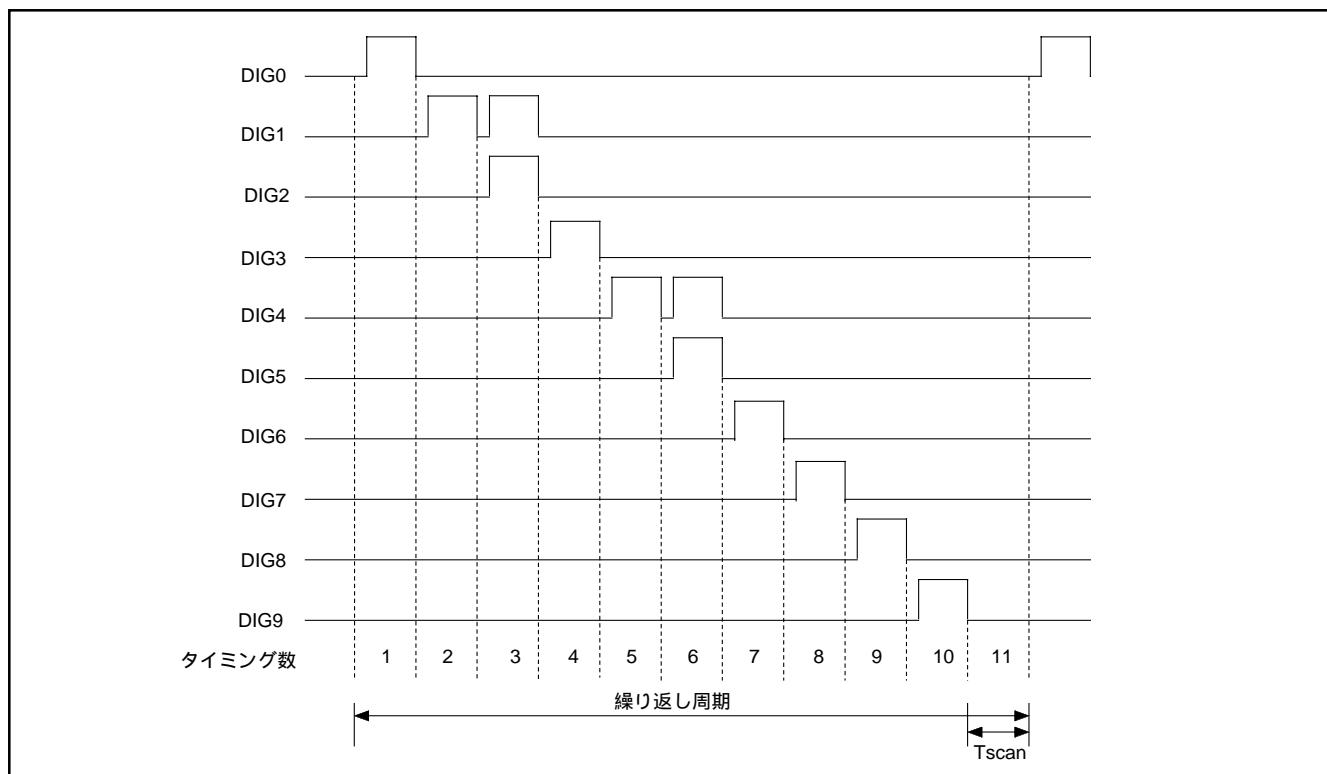


図76 . デジットのタイミング波形 2)

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

絶対最大定格

表12 絶対最大定格

記号	項 目	条 件	定 格 値	単 位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
VEE	ブルダウン電源電圧		VCC - 45 ~ VCC + 0.3(注1)	V
			VCC - 42 ~ VCC + 0.3(注2)	V
Vi	入力電圧 P47, P50 ~ P57, P61 ~ P65, P70 ~ P77, P84 ~ P87, P90, P91		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P40 ~ P46, P60		- 0.3 ~ 13	V
Vi	入力電圧 P00 ~ P07, P20 ~ P27, P80 ~ P83		VCC - 45 ~ VCC + 0.3(注1)	V
			VCC - 42 ~ VCC + 0.3(注2)	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 XCIN		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P80 ~ P83		VCC - 45 ~ VCC + 0.3(注1)	V
			VCC - 42 ~ VCC + 0.3(注2)	V
Vo	出力電圧 P50 ~ P57, P61 ~ P65, P70 ~ P77, P84 ~ P87, P90, P91, XOUT, XCOUT		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P40 ~ P46, P60		- 0.3 ~ 13	V
Pd	消費電力	Ta = - 20 ~ 65	800	mW
		Ta = 65 ~ 85	800 - 12.5 × (Ta - 65)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注1 .Vcc=4.0~5.5V時の場合です。

2 .Vcc=2.7~4.0V時の場合です。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

推奨動作条件

表13 推奨動作条件(1) (指定のない場合は、Vcc=2.7~5.5V、Ta=-20~85)

記号	項 目		規 格 値			単位
			最 小	標 準	最 大	
VCC	電源電圧	高速モード時	4.0	5.0	5.5	V
		中速 / 低速モード時、高速モード2MHz以下	2.7	5.0	5.5	V
VSS	電源電圧			0		V
VEE	プルダウン電源電圧	VCC=4.0~5.5V	VCC - 43		VCC	V
		VCC=2.7~4.0V	VCC - 40		VCC	V
VREF	アナログ基準電圧 (A - D変換器使用時)		2.0		VCC	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN11		0		VCC	V
VIH	“H”入力電圧 P40~P47, P50~P57, P60~P65, P70~P77, P90, P91	VCC=4.0~5.5V	0.75VCC		VCC	V
		VCC=2.7~4.0V	0.8VCC		VCC	V
VIH	“H”入力電圧 P84~P87	VCC=4.0~5.5V	0.4VCC		VCC	V
		VCC=2.7~4.0V	0.5VCC		VCC	V
VIH	“H”入力電圧 P00~P07		0.8VCC		VCC	V
VIH	“H”入力電圧 P20~P27, P80~P83	VCC=4.0~5.5V	0.52VCC		VCC	V
		VCC=2.7~4.0V	0.75VCC		VCC	V
VIH	“H”入力電圧 $\overline{\text{RESET}}$		0.8VCC		VCC	V
VIH	“H”入力電圧 XIN, XCIN		0.8VCC		VCC	V
VIL	“L”入力電圧 P40~P47, P50~P57, P60~P65, P70~P77, P90, P91	VCC=4.0~5.5V	0		0.25VCC	V
		VCC=2.7~4.0V	0		0.2VCC	V
VIL	“L”入力電圧 P84~P87		0		0.16VCC	V
VIL	“L”入力電圧 P00~P07, P20~P27, P80~P83		0		0.2VCC	V
VIL	“L”入力電圧 $\overline{\text{RESET}}$		0		0.2VCC	V
VIL	“L”入力電圧 XIN, XCIN		0		0.2VCC	V

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表14 推奨動作条件(2) (指定のない場合は、V_{CC}=2.7~5.5V、T_a= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH (peak)	" H "出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P80~P83			-240	mA
IOH (peak)	" H "出力総尖頭電流(注1) P50~P57, P61~P65, P70~P77, P90, P91			-60	mA
IOL (peak)	" L "出力総尖頭電流(注1) P50~P57, P60~P65, P70~P77, P90, P91			100	mA
IOL (peak)	" L "出力総尖頭電流(注1) P40~P46, P84~P87			60	mA
IOH (avg)	" H "出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30~P37, P80~P87			-120	mA
IOH (avg)	" H "出力総平均電流(注1) P50~P57, P61~P65, P70~P77, P90, P91			-30	mA
IOL (avg)	" L "出力総平均電流(注1) P50~P57, P60~P65, P70~P77, P90, P91			50	mA
IOL (avg)	" L "出力総平均電流(注1) P40~P46, P84~P87			30	mA
IOH (peak)	" H "出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30~P37, P80~P83			-40	mA
IOH (peak)	" H "出力尖頭電流(注2) P50~P57, P61~P65, P70~P77, P84~P87, P90, P91			-10	mA
IOL (peak)	" L "出力尖頭電流(注2) P50~P57, P61~P65, P70~P77, P84~P87, P90, P91			10	mA
IOL (peak)	" L "出力尖頭電流(注2) P40~P46, P60			30	mA
IOH (avg)	" H "出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30~P37, P80~P83			-18	mA
IOH (avg)	" H "出力平均電流(注3) P50~P57, P60~P65, P70~P77, P84~P87, P90, P91			-5	mA
IOL (avg)	" L "出力平均電流(注3) P50~P57, P61~P65, P70~P77, P84~P87, P90, P91			5	mA
IOL (avg)	" L "出力平均電流(注3) P40~P46, P60			15	mA
f(CNTR0)	タイマ2, 4, Xカウント用クロック入力周波数	V _{CC} =4.0~5.5V		250	kHz
f(CNTR1)	(デューティ50%時)	V _{CC} =2.7~4.0V		100	kHz
f(XIN)	メインクロック入力発振周波数(注4)	V _{CC} =4.0~5.5V		4.2	MHz
		V _{CC} =2.7~4.0V		2	MHz
f(XCIN)	サブクロック入力発振周波数(注4, 5)		32.768	50	kHz

注1 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3 出力平均電流は、100msの期間内での平均値です。

4 発振周波数はデューティ50%の場合です。

5 低速モードを使用する場合、サブクロック入力発振周波数はf(XCIN) < f(XIN)/3としてください。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

電気的特性

表15 電気的特性 (指定のない場合は、Vcc=2.7~5.5V, Ta=-20~85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P80~P83	Vcc=4.0~5.5V	I _{OH} =-18mA	Vcc-2.0			V
		Vcc=2.7~4.0V	I _{OH} =-10mA	Vcc-1.5			V
VOH	“H”出力電圧 P50~P57, P61~P65, P70~P77, P84~P87, P90, P91	Vcc=4.0~5.5V	I _{OH} =-10mA	Vcc-2.0			V
		Vcc=2.7~4.0V		Vcc-1.0			V
VOL	“L”出力電圧 P50~P57, P61~P65, P84~P87, P90, P91	Vcc=4.0~5.5V	I _{OL} =10mA			2.0	V
		Vcc=2.7~4.0V	I _{OL} =1.6mA			0.4	V
VOL	“L”出力電圧 P40~P46, P60	Vcc=4.0~5.5V	I _{OL} =15mA		0.6	2.0	V
		Vcc=2.7~4.0V	I _{OL} =5mA		0.3	1.0	V
VT+ - VT-	ヒステリシス P40~P42, P45~P47, P5, P60, P61, P64(注1)				0.4		V
VT+ - VT-	ヒステリシス RESET, X _{IN}				0.5		V
VT+ - VT-	ヒステリシス X _{CIN}				0.5		V
I _{IH}	“H”入力電流 P47, P50~P57, P61~P65, P70~P77, P84~P87	V _I =V _{CC}				5.0	μA
I _{IH}	“H”入力電流 P40~P46, P60	V _I =12V				10.0	μA
I _{IH}	“H”入力電流 P00~P07, P20~P27, P80~P83(注2)	V _I =V _{CC}				5.0	μA
I _{IH}	“H”入力電流 RESET, X _{CIN}	V _I =V _{CC}				5.0	μA
I _{IH}	“H”入力電流 X _{IN}	V _I =V _{CC}			4.0		μA
I _{IL}	“L”入力電流 P40~P47, P60	V _I =V _{SS}				-5.0	μA
I _{IL}	“L”入力電流 P50~P57, P61~P65, P70~P77, P84~P87, P90, P91	V _I =V _{SS} プルアップOFF				-5.0	μA
		V _{CC} =5V, V _I =V _{SS} プルアップON			-70		μA
		V _{CC} =3V, V _I =V _{SS} プルアップON			-25		μA
I _{IL}	“L”入力電流 P00~P07, P20~P27, P80~P83(注2)	V _I =V _{SS}				-5.0	μA
I _{IL}	“L”入力電流 RESET, X _{CIN}	V _I =V _{SS}				-5.0	μA
I _{IL}	“L”入力電流 X _{IN}	V _I =V _{SS}			-4.0		μA

注1 マスクオプションタイプPのP42, P45, P46, P60はヒステリシス特性を持ちません。

2 ポートP0, P2, P8読み込み時を除く。

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表16 電気的特性 (指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
RPULLD	プルダウン抵抗 P00~P07, P10~P17, P30~P37(オプション時) P20~P27, P80~P83)	$V_{EE}=V_{CC}-43V$ 、 $V_{OL}=V_{CC}$ 出力トランジスタは遮断状態	143	72	47	k	
I _{LEAK}	出力リーク電流 P00~P07, P10~P17, P20~P27, P30~P37, P80~P83	$V_{EE}=V_{CC}-43V$ 、 $V_{OL}=V_{CC}-43V$ 出力トランジスタは遮断状態			-10	μA	
I _{READH}	"H"読み込み電流 P00~P07, P20~P27, P80~P83	$V_I=5V$		1		μA	
VRAM	RAM保持電圧	クロック停止時	2		V_{CC}	V	
ICC	電源電流	高速モード時 $f(X_{IN})=4.2MHz$ $f(X_{CIN})=32kHz$ 出力トランジスタは遮断状態		7.5		mA	
		高速モード時 $f(X_{IN})=4.2MHz$ (WIT命令実行時) $f(X_{CIN})=32kHz$ 出力トランジスタは遮断状態		1		mA	
		中速モード時 $f(X_{IN})=4.2MHz$ $f(X_{CIN})=停止$ 出力トランジスタは遮断状態		3		mA	
		中速モード時 $f(X_{IN})=4.2MHz$ (WIT命令実行時) $f(X_{CIN})=停止$ 出力トランジスタは遮断状態		1		mA	
		低速モード時 $f(X_{IN})=停止$ $f(X_{CIN})=32kHz$ 低消費電力モード($CM_3=0$) 出力トランジスタは遮断状態		60		μA	
		低速モード時 $f(X_{IN})=停止$ $f(X_{CIN})=32kHz$ (WIT命令実行時) 低消費電力モード($CM_3=0$) 出力トランジスタは遮断状態		20		μA	
		A-D変換器動作時の増量			0.6		mA
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta=25		0.1	1	μA
	Ta=85			10	μA		

A-D変換器特性

表17 A-D変換器特性(1) (指定のない場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85$ 、高速モード時 $f(X_{IN})=250kHz\sim 4.2MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				10	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.12V$		± 1	± 2.5	LSB
T_{conv}	変換時間		61		62	t_c ()
I_{VREF}	基準入力電流	$V_{REF}=5V$	50	150	200	μA
I_{IA}	アナログポート入力電流			0.5	5.0	μA
RLADDER	ラダー抵抗			35		k

表18 A-D変換器特性(2) (指定のない場合は、 $V_{CC}=2.7\sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85$ 、高速モード時 $f(X_{IN})=250kHz\sim 2MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				10	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=3.3V$		± 3	± 6	LSB
T_{conv}	変換時間		61		62	t_c ()
I_{VREF}	基準入力電流	$V_{REF}=3.3V$	30	95	120	μA
I_{IA}	アナログポート入力電流			0.5	5.0	μA
RLADDER	ラダー抵抗			35		k

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

タイミング必要条件

表19 タイミング必要条件(1) (指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 L 雑パルス幅	2.0			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	238			ns
tWH(XIN)	メインクロック入力 H 雑パルス幅	60			ns
tWL(XIN)	メインクロック入力 L 雑パルス幅	60			ns
tc(XCIN)	サブクロック入力サイクル時間(XCIN入力)	20			μs
tWH(XCIN)	サブクロック入力 H 雑パルス幅	5.0			μs
tWL(XCIN)	サブクロック入力 L 雑パルス幅	5.0			μs
tc(CNTR)	CNTR0、CNTR1入力サイクル時間	4.0			μs
tWH(CNTR)	CNTR0、CNTR1入力 H 雑パルス幅	1.6			μs
tWL(CNTR)	CNTR0、CNTR1入力 L 雑パルス幅	1.6			μs
tWH(INT)	INT0 ~ INT4入力 H 雑パルス幅	80			ns
tWL(INT)	INT0 ~ INT4入力 L 雑パルス幅	80			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間	0.95			μs
tWH(SCLK)	シリアルI/Oクロック入力 H 雑パルス幅	400			ns
tWL(SCLK)	シリアルI/Oクロック入力 L 雑パルス幅	400			ns
tsu(SCLK-SIN)	シリアルI/O入力セットアップ時間	200			ns
th(SCLK-SIN)	シリアルI/O入力ホールド時間	200			ns

表20 タイミング必要条件(2) (指定のない場合は、Vcc = 2.7 ~ 5.5V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 L 雑パルス幅	2.0			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	500			ns
tWH(XIN)	メインクロック入力 H 雑パルス幅	120			ns
tWL(XIN)	メインクロック入力 L 雑パルス幅	120			ns
tc(XCIN)	サブクロック入力サイクル時間(XCIN入力)	20			μs
tWH(XCIN)	サブクロック入力 H 雑パルス幅	5.0			μs
tWL(XCIN)	サブクロック入力 L 雑パルス幅	5.0			μs
tc(CNTR)	CNTR0、CNTR1入力サイクル時間	10			μs
tWH(CNTR)	CNTR0、CNTR1入力 H 雑パルス幅	4.0			μs
tWL(CNTR)	CNTR0、CNTR1入力 L 雑パルス幅	4.0			μs
tWH(INT)	INT0 ~ INT4入力 H 雑パルス幅	230			ns
tWL(INT)	INT0 ~ INT4入力 L 雑パルス幅	230			ns
tc(SCLK)	シリアルI/Oクロック入力サイクル時間	2.0			μs
tWH(SCLK)	シリアルI/Oクロック入力 H 雑パルス幅	950			ns
tWL(SCLK)	シリアルI/Oクロック入力 L 雑パルス幅	950			ns
tsu(SCLK-SIN)	シリアルI/O入力セットアップ時間	400			ns
th(SCLK-SIN)	シリアルI/O入力ホールド時間	300			ns

三菱マイクロコンピュータ 38B4グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

スイッチング条件

表21 スwitchング条件(1) (指定のない場合は、Vcc=4.0~5.5V、Vss=0V、Ta=-20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力 “H”パルス幅	CL=100pF	tc(SCLK) / 2 - 160			ns
t _{WL} (SCLK)	シリアル/Oクロック出力 “L”パルス幅	CL=100pF	tc(SCLK) / 2 - 160			ns
t _d (SCLK-SOUT)	シリアル/O出力 遅延時間				0.2tc	ns
t _v (SCLK-SOUT)	シリアル/O出力有効時間		0			ns
t _r (SCLK)	シリアル/Oクロック出力 立ち上がり時間	CL=100pF			40	ns
t _f (SCLK)	シリアル/Oクロック出力 立ち下がり時間	CL=100pF			40	ns
t _r (Pch-strg)	Pチャンネル高耐圧出力 立ち上がり時間 (注1)	CL=100pF VEE=Vcc - 43V		55		ns
t _r (Pch-weak)	Pチャンネル高耐圧出力 立ち上がり時間 (注2)	CL=100pF VEE=Vcc - 43V		1.8		μs

注1 .FLDCモードレジスタ(0EF416番地)のビット7が* 0 の場合

2 .FLDCモードレジスタ(0EF416番地)のビット7が* 1 の場合

表22 スwitchング条件(2) (指定のない場合は、Vcc=2.7~4.0V、Vss=0V、Ta=-20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力 “H”パルス幅	CL=100pF	tc(SCLK) / 2 - 240			ns
t _{WL} (SCLK)	シリアル/Oクロック出力 “L”パルス幅	CL=100pF	tc(SCLK) / 2 - 240			ns
t _d (SCLK-SOUT)	シリアル/O出力遅延時間				0.4tc	ns
t _v (SCLK-SOUT)	シリアル/O出力有効時間		0			ns
t _r (SCLK)	シリアル/Oクロック出力 立ち上がり時間	CL=100pF			60	ns
t _f (SCLK)	シリアル/Oクロック出力 立ち下がり時間	CL=100pF			60	ns
t _r (Pch-strg)	Pチャンネル高耐圧出力 立ち上がり時間 (注1)	CL=100pF VEE=Vcc - 40V		140		ns
t _r (Pch-weak)	Pチャンネル高耐圧出力 立ち上がり時間 (注2)	CL=100pF VEE=Vcc - 40V		3.6		μs

注1 .FLDCモードレジスタ(0EF416番地)のビット7が* 0 の場合

2 .FLDCモードレジスタ(0EF416番地)のビット7が* 1 の場合

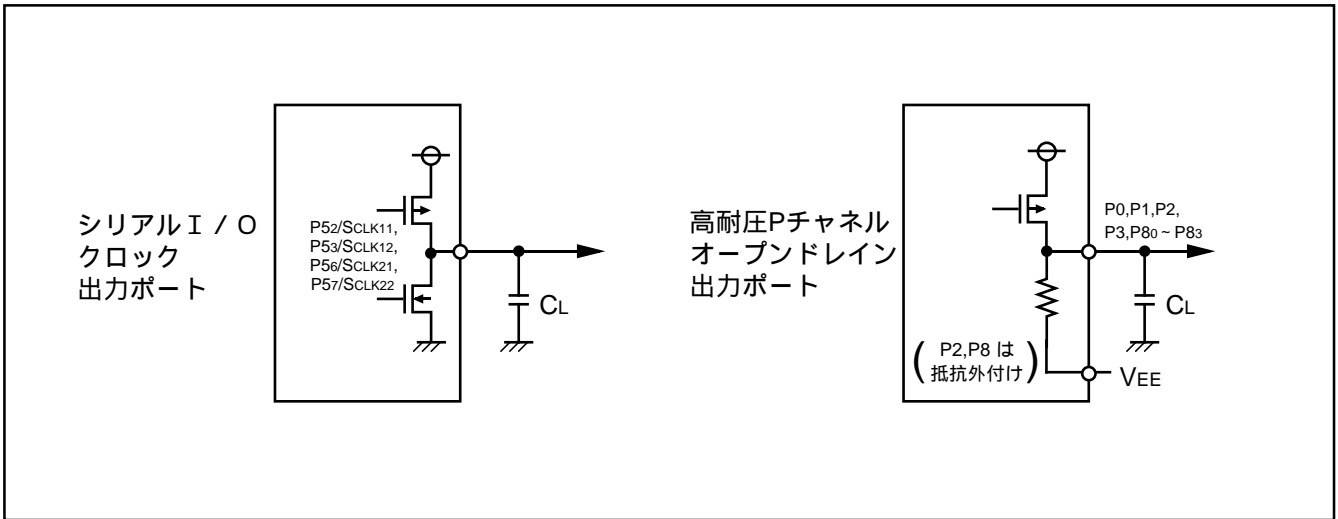


図77 出力スイッチング特性測定回路図

タイミング図

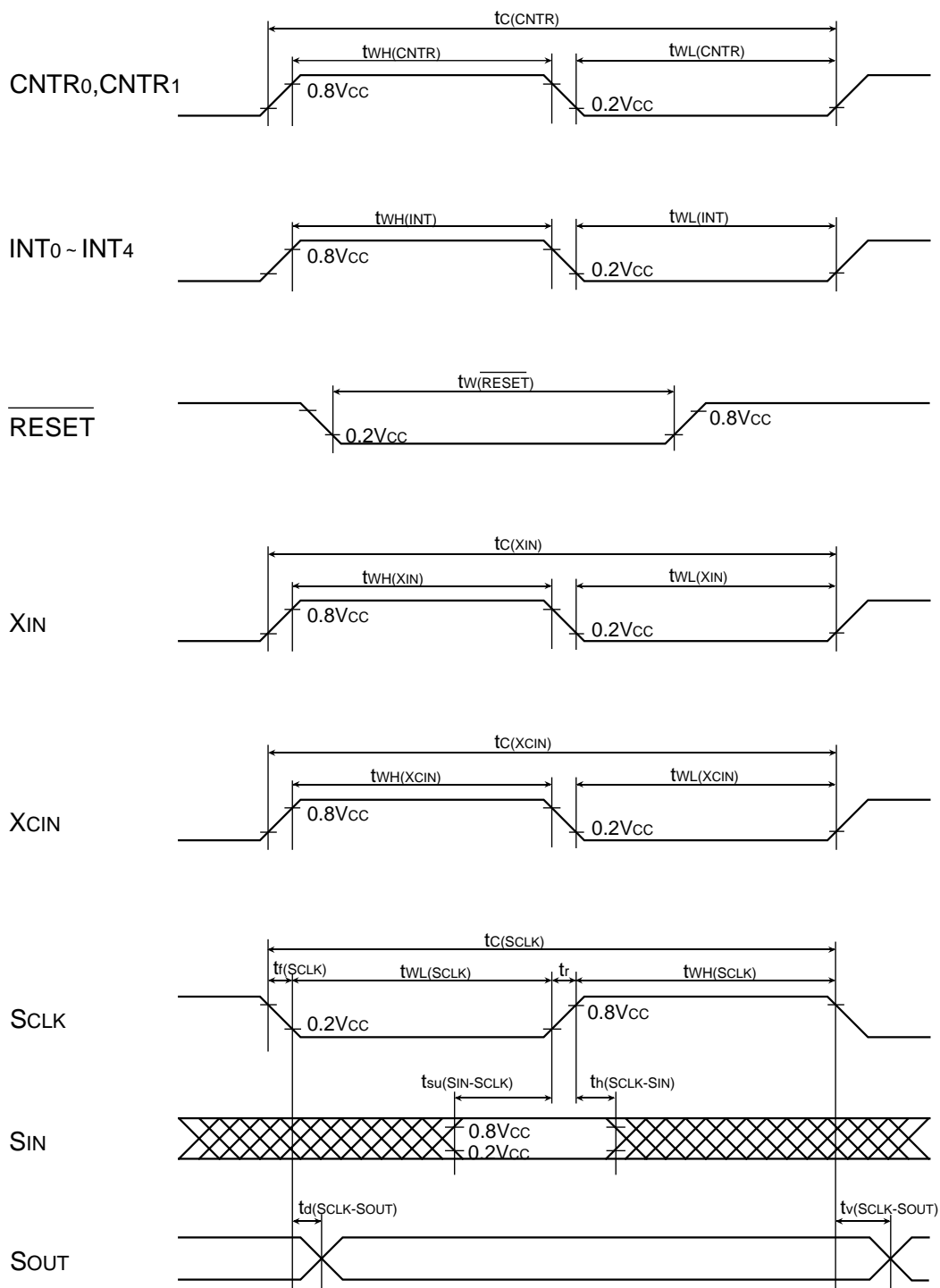


図78 タイミング図

三菱マイクロコンピュータ 38B4グループ

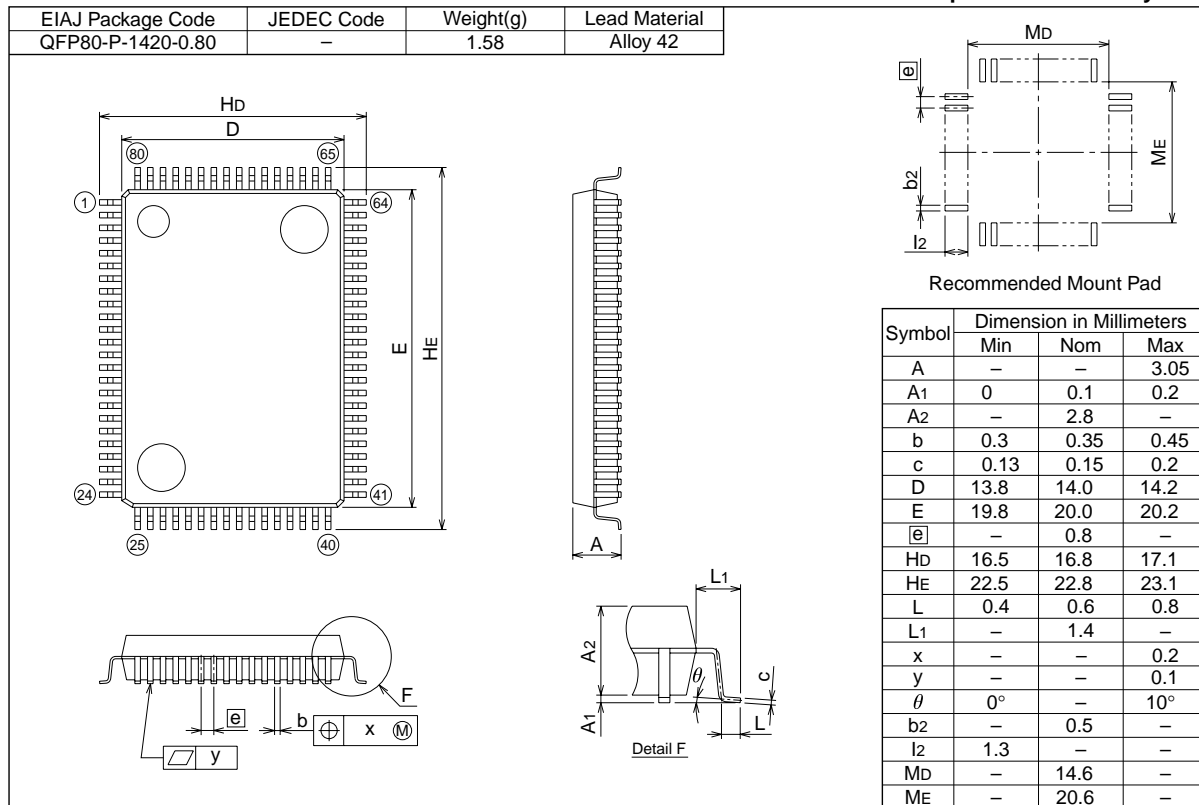
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

外形寸法図

80P6N-A

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP80-P-1420-0.80	-	1.58	Alloy 42

Plastic 80pin 14X20mm body QFP



株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	<p>・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。</p>
本資料ご利用に際しての留意事項	<ul style="list-style-type: none">・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semiconmebo.co.jp/）などを通じて公開される情報に常にご注意ください。・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

38B4 グループ データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	000418