

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

開発中

この仕様書は暫定仕様書であり、今後変更することがあります。

三菱マイクロコンピュータ 38C2グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

38C2グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路、A-D変換器、シリアルI/Oなどの付加機能を備えています。

38C2グループには内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。詳細については形名とメモリサイズ・パッケージの項を参照してください。

特長

基本機械語命令	71
命令実行時間	0.50 μ s(最短命令、発振周波数8MHz時)
メモリ容量 ROM	16K ~ 60Kバイト
RAM	640 ~ 2048バイト
プログラマブル入出力ポート	51本(SEG共用24本)
割り込み	18要因、16ベクタ
タイマ	8ビット \times 4、16ビット \times 2
シリアルI/O	8ビット \times 2 (UART又はクロック同期形)
PWM	10ビット \times 2、16ビット \times 1 (IGBT出力兼用)
A-D変換器	10ビット \times 8
ウオッチドッグタイマ	8ビット \times 1
LED直接駆動ポート	8本
(平均電流15mA、尖頭電流30mA、総和電流90mA)	
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶共振子外付け)	

LCD駆動制御回路	バイアス	1/2、1/3バイアス
	時分割	2、3、4時分割
	コモン出力	4本
	セグメント出力	24本

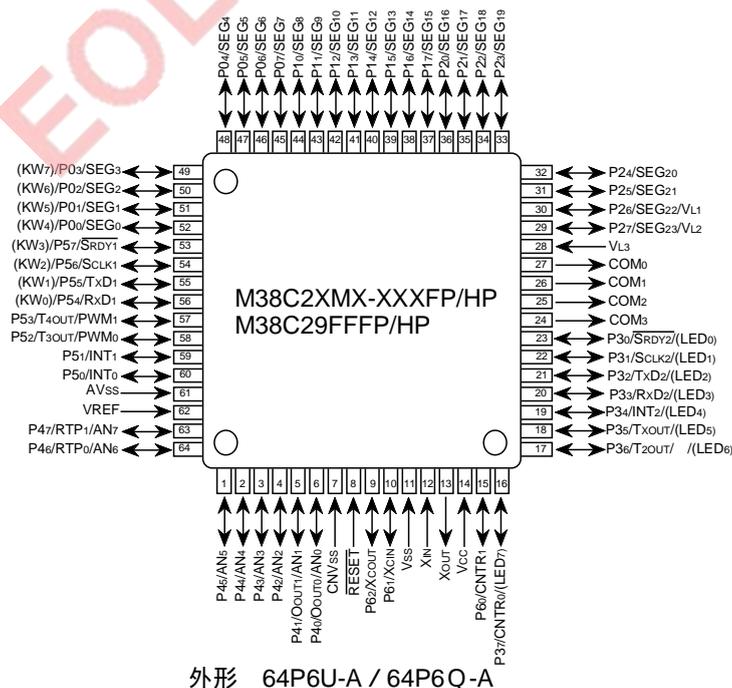
電源電圧

・マスク版	
2分周モード時(発振周波数8MHz時)	4.0 ~ 5.5V
4分周モード時(発振周波数4MHz時、A-D動作は除く)	
.....	1.8 ~ 5.5V
低速動作時(発振周波数32kHz時)	1.8 ~ 5.5V

・フラッシュメモリ版	
2分周モード時(発振周波数8MHz時)	4.0 ~ 5.5V
4分周モード時(発振周波数8MHz時)	2.5 ~ 5.5V
低速動作時(発振周波数32kHz時)	2.5 ~ 5.5V

動作周囲温度	- 20 ~ 85
消費電力	
・2分周モード時($V_{CC}=5V$ 、発振周波数8MHz時)	
マスク版	14mW
フラッシュメモリ版	25mW
・低速モード時($V_{CC}=3V$ 、発振周波数32kHz時)	
マスク版	21 μ W
フラッシュメモリ版	375 μ W

ピン接続図 (上面図)



外形 64P6U-A / 64P6Q-A

図1 . M38C2XMx-XXXFPピン接続図

機能ブロック図

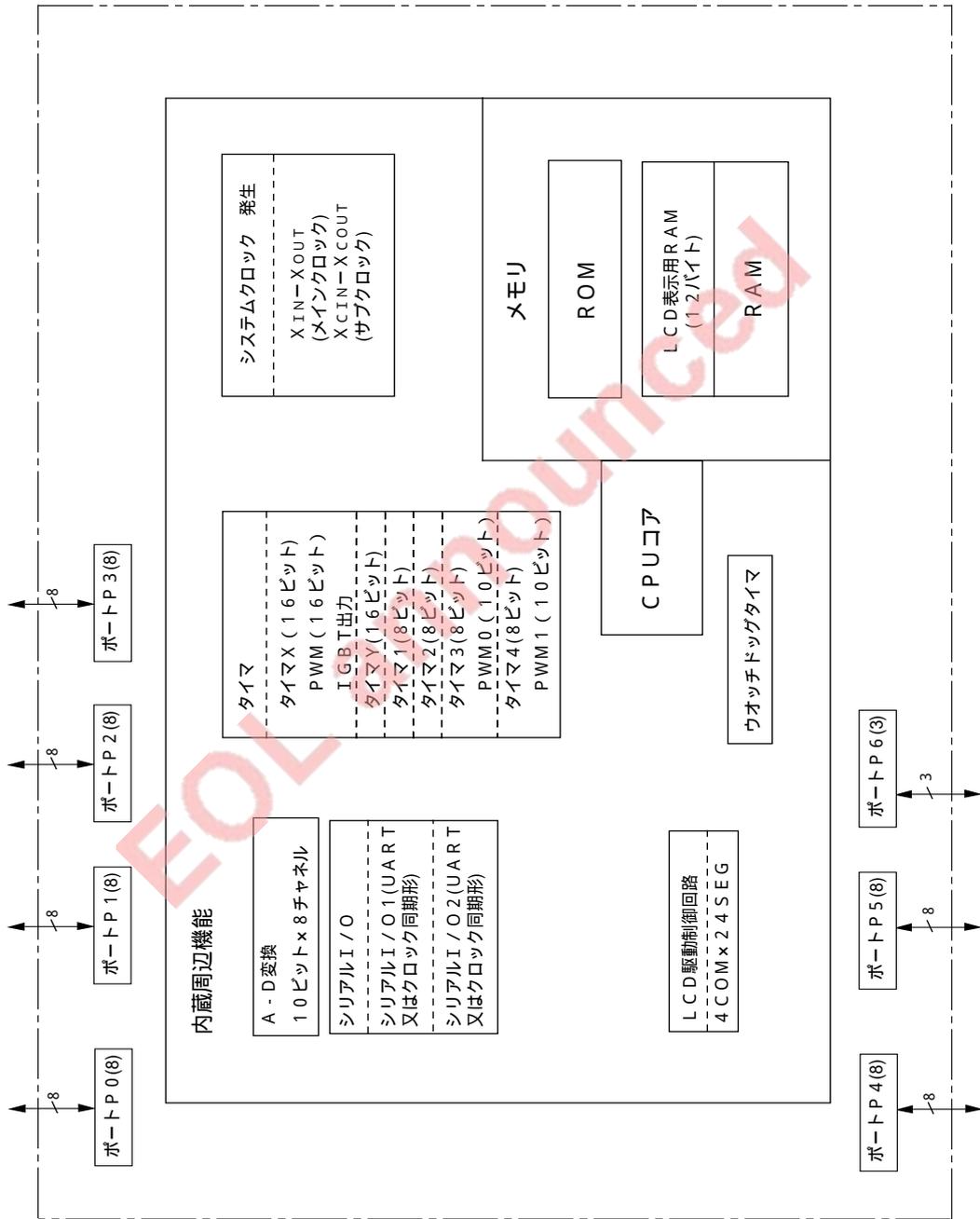


図2. 機能ブロック図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに1.8 ~ 5.5V, Vssに0Vを印加します。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
VL3	LCD用電源入力	0 VL1 VL2 VL3の電圧を印加します。LCDには、0 ~ VL3の電圧を印加します。	
COM0 ~ COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。	
P00/SEG0 ~ P03/SEG3	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	LCDセグメント出力端子
P04/SEG4 ~ P07/SEG7			
P10/SEG8 ~ P17/SEG15			
P20/SEG16 ~ P25/SEG21	入出力ポートP2	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	
P26/SEG22/VL1 P27/SEG23/VL2			
P30/SRDY2 P31/SCLK2 P32/TXD2 P33/RXD2			入出力ポートP3
P34/INT2	外部割り込み端子		
P35/TXOUT P36/T2OUT/ P37/CNTR0	タイマX、タイマ2出力		
	タイマXの機能端子		
P40/OOUT0/AN0 P41/OOUT1/AN1	入出力ポートP4	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	AD変換器入力端子
P42/AN2 ~ P45/AN5			発振外部出力端子
P46/RTP0/AN6 P47/RTP1/AN7			リアルタイムポート機能端子
P50/INT0 P51/INT1	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	外部割り込み端子
P52/T3OUT/PWM0 P53/T4OUT/PWM1			タイマ3、タイマ4出力 PWM出力
P54/RXD1, P55/TXD1, P56/SCLK1, P57/SRDY1			シリアルI/Oの機能端子 キー入力割り込み入力端子
P60/CNTR1 P61/XCIN P62/XCOUT	入出力ポートP6	3ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プルアップ制御/ビット単位の入出力指定が可能です。	タイマYの機能端子
			サブクロック発生回路の入出力端子です。発振子を接続します。
CNVss	CNVss	フラッシュモード時はVPP電源入力端子になります。マイコン動作時はVssに接続してください。	
VREF	基準電圧入力	A - D変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A - D変換器の電源入力端子です。この端子はVssに接続してください。	

形名とメモリサイズ・パッケージ

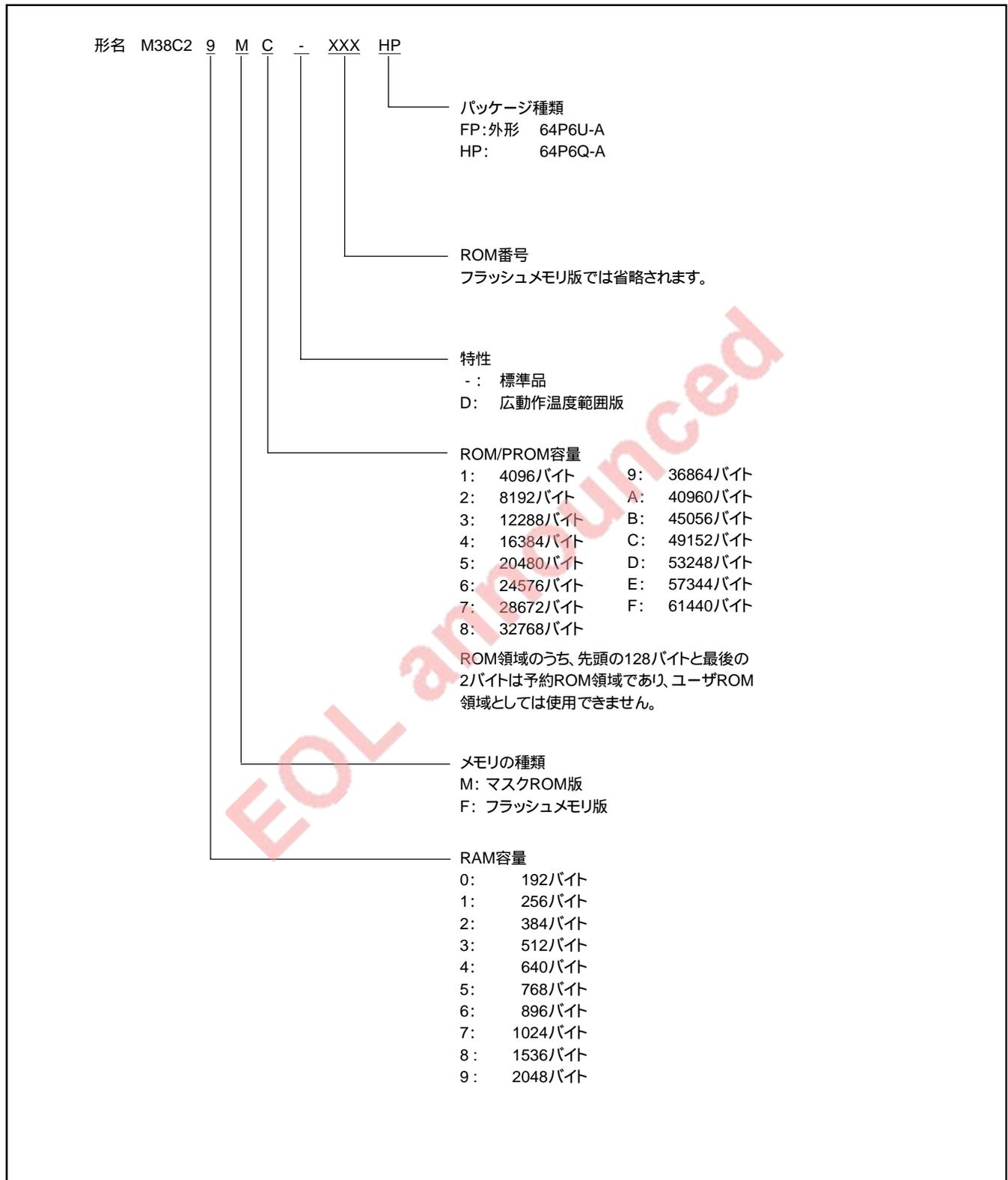


図3 . 形名とメモリサイズ・パッケージ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

グループ展開

38C2グループは次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

パッケージ

64P6Q-A 0.5mmピッチプラスチックモールドQFP

64P6U-A 0.8mmピッチプラスチックモールドQFP

メモリ容量

ROM/フラッシュメモリ容量 16K ~ 60Kバイト

RAM容量 640 ~ 2048バイト

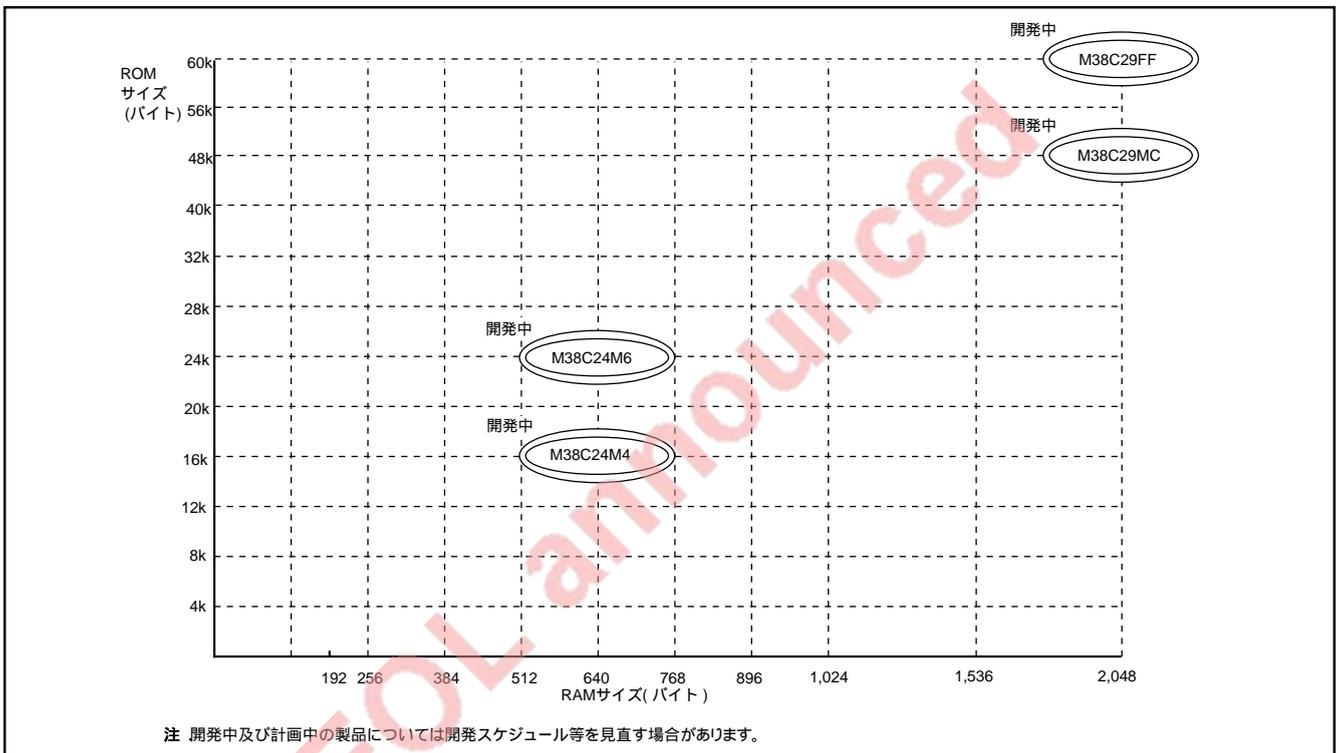


図4 . 38C2グループ ROM、RAM展開計画

開発中

この仕様書は暫定仕様書であり、今後変更することがあります。

三菱マイクロコンピュータ
38C2グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

現在サポートを計画している製品を表2に示します。

表2. サポート製品一覧

2001年11月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38C29MC-XXXFP	49152	2048	64P6U-A	マスクROM版
M38C29MC-XXXHP	(49022)		64P6Q-A	マスクROM版
M38C24M6-XXXFP	24576	640	64P6U-A	マスクROM版
M38C24M6-XXXHP	(24446)		64P6Q-A	マスクROM版
M38C24M4-XXXFP	16384	640	64P6U-A	マスクROM版
M38C24M4-XXXHP	(16254)		64P6Q-A	マスクROM版
M38C29FFFP	61440	2048	64P6U-A	フラッシュメモリ版
M38C29FFHP	(61310)		64P6Q-A	フラッシュメモリ版

EOL announced

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

機能ブロック動作説明

中央演算処理装置(CPU)

38C2グループは、740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスシングモード及び機械語命令一覧表、又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

- 1 .FST、.SLW命令はありません。
- 2 .MUL、.DIV命令が使用可能です。
- 3 .WIT命令が使用可能です。
- 4 .STP命令が使用可能です。

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

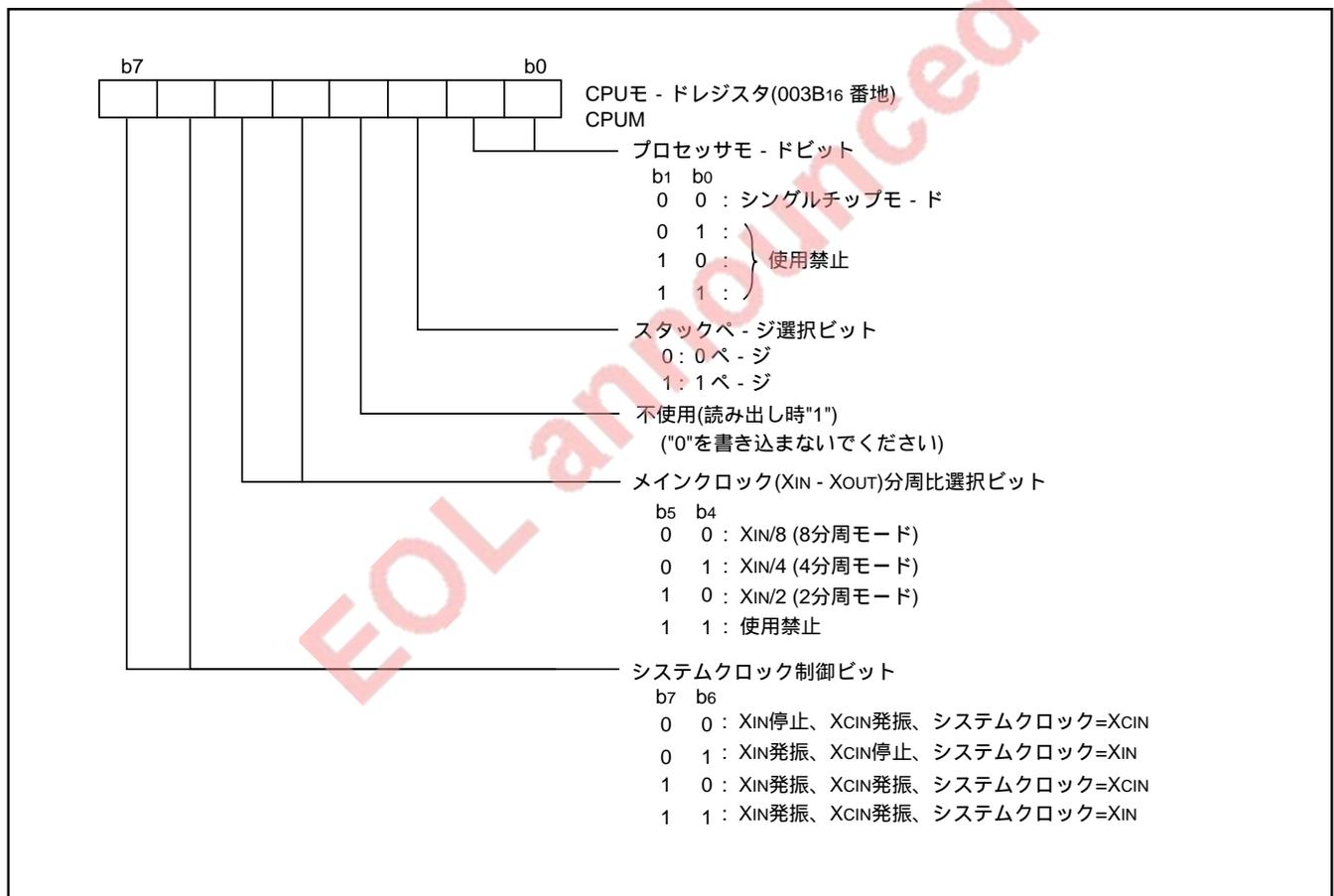


図5 . CPUモードレジスタの構成

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

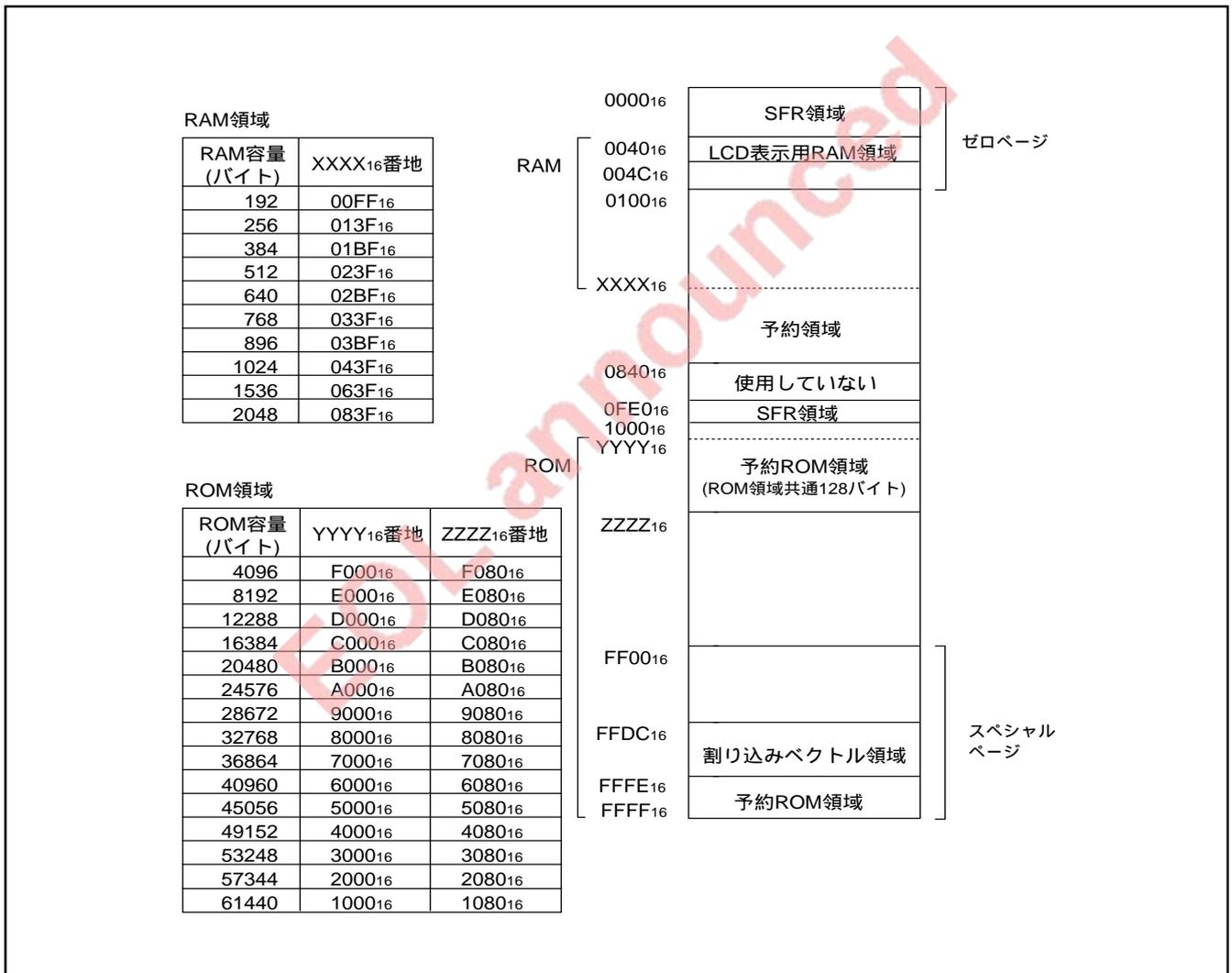


図6. メモリ配置図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマ1(T1)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ2(T2)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ3(T3)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマ4(T4)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	PWM01レジスタ(PWM01)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ12モードレジスタ(T12M)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマ34モードレジスタ(T34M)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	
0008 ₁₆	ポートP4(P4)	0028 ₁₆	コンペアレジスタ(下位)(COMPL)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	コンペアレジスタ(上位)(COMPH)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマX(下位)(TXL)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	タイマX(上位)(TXH)
000C ₁₆	ポートP6(P6)	002C ₁₆	タイマX(拡張)(TXEX)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	タイマY(下位)(TYL)
000E ₁₆		002E ₁₆	タイマY(上位)(TYH)
000F ₁₆		002F ₁₆	タイマXモードレジスタ(TXM)
0010 ₁₆		0030 ₁₆	タイマYモードレジスタ(TYM)
0011 ₁₆		0031 ₁₆	
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	
0015 ₁₆		0035 ₁₆	
0016 ₁₆		0036 ₁₆	
0017 ₁₆		0037 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
0018 ₁₆	クロック出力制御レジスタ(CKOUT)	0038 ₁₆	LCD電源制御レジスタ(VLCON)
0019 ₁₆	AD制御レジスタ(ADCON)	0039 ₁₆	LCDモードレジスタ(LM)
001A ₁₆	AD変換レジスタ(下位)(ADL)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	AD変換レジスタ(上位)(ADH)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	送信/受信バッファレジスタ1(TB1/RB1)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O1ステータスレジスタ(SIO1STS)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	送信/受信バッファレジスタ2(TB2/RB2)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2ステータスレジスタ(SIO2STS)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0FE0 ₁₆	シリアル/O1制御レジスタ(SIO1CON)	0FF0 ₁₆	発振出力制御レジスタ(OSCOUT)
0FE1 ₁₆	UART1制御レジスタ(UART1CON)	0FF1 ₁₆	PULLレジスタ(PULL)
0FE2 ₁₆	ポーレートジェネレータ1(BRG1)	0FF2 ₁₆	キー入力制御レジスタ(KIC)
0FE3 ₁₆	シリアル/O2制御レジスタ(SIO2CON)	0FF3 ₁₆	タイマ1234モードレジスタ(T1234M)
0FE4 ₁₆	UART2制御レジスタ(UART2CON)	0FF4 ₁₆	タイマX制御レジスタ(TXCON)
0FE5 ₁₆	ポーレートジェネレータ2(BRG2)	0FF5 ₁₆	タイマ12分周選択レジスタ(PRE12)
0FE6 ₁₆		0FF6 ₁₆	タイマ34分周選択レジスタ(PRE34)
0FE7 ₁₆		0FF7 ₁₆	タイマXY分周選択レジスタ(PREXY)
0FE8 ₁₆		0FF8 ₁₆	セグメント出力禁止レジスタ0(SEG0)
0FE9 ₁₆		0FF9 ₁₆	セグメント出力禁止レジスタ1(SEG1)
0FEA ₁₆		0FFA ₁₆	セグメント出力禁止レジスタ2(SEG2)
0FEB ₁₆		0FFB ₁₆	タイマYモードレジスタ2(TYM2)
0FEC ₁₆		0FFC ₁₆	
0FED ₁₆		0FFD ₁₆	
0FEE ₁₆		0FFE ₁₆	フラッシュメモリ制御レジスタ(FMCR)
0FEF ₁₆		0FFF ₁₆	予約領域(アクセス禁止)

図7. SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

方向レジスタ

入出力ポートP0～P6は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“0”にクリアすると、その端子は入力ポートになります。また、ポートP0～P2は方向レジスタを“1”かつセグメント出力禁止レジスタを“1”にセットすると出力ポートになり、ポートP3～P6は方向レジスタを“1”にセットすると出力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

プルアップ制御

ポートP0～P2は、方向レジスタ及びセグメント出力禁止レジスタ0～2(0FF8～0FFA₁₆番地)を設定することにより、プログラムでプルアップのビット単位の制御が可能です。方向レジスタを“0”かつセグメント出力禁止レジスタを“1”にするとその端子はプルアップされます。ポートP3～P6はPULLレジスタ(0FF1₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離されプルアップは行われません。

	セグメント出力禁止レジスタ	“0”	“1”	
方向レジスタ	“0”	入力ポート プルアップ なし	入力ポート プルアップ あり	初期状態
	“1”	セグメント 出力	ポート 出力	

図8．ポートP0～P2の設定

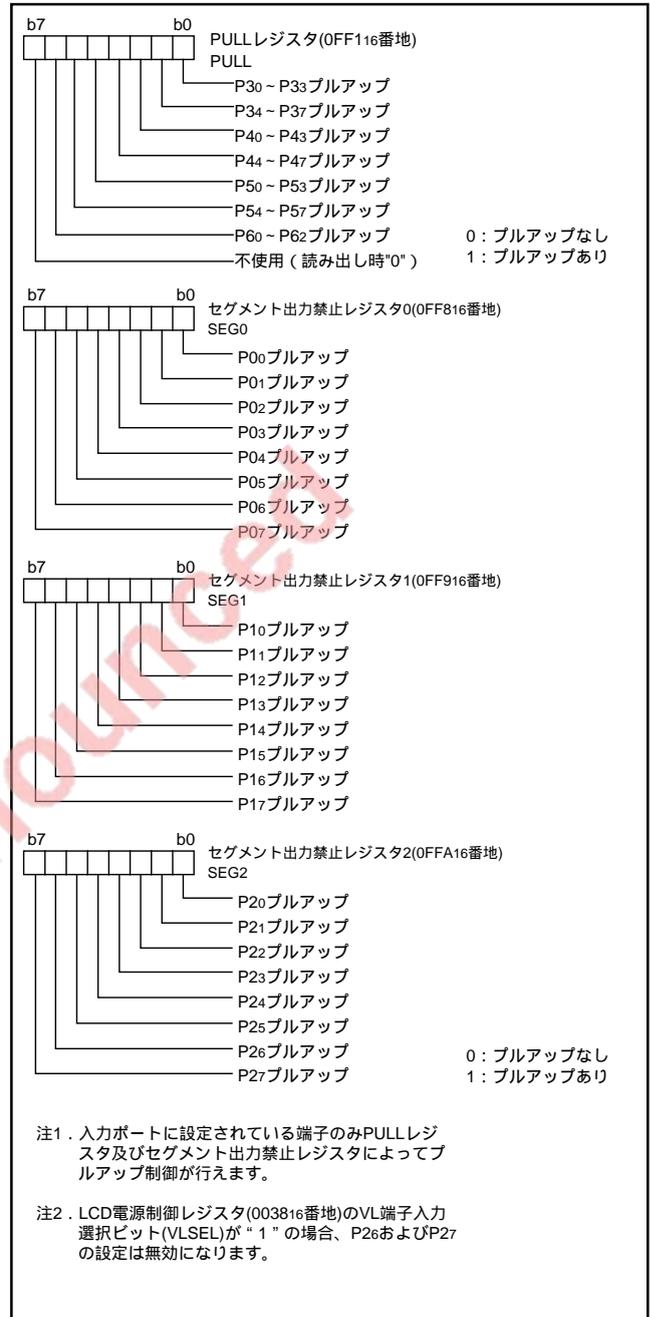


図9．PULLレジスタ、セグメント出力禁止レジスタの構成

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表3 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能		関連するSFR	図番
P00/SEG0 ~ P03/SEG3	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	LCD セグメント 出力	キー入力(キー ウakeup) 割り込み入力	セグメント出力禁止 レジスタ1	(1)
P04/SEG4 ~ P07/SEG7							(2)
P10/SEG8 ~ P17/SEG15	ポートP1	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止 レジスタ2	
P20/SEG16 ~ P25/SEG21	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止 レジスタ3	
P26/SEG22/VL1, P27/SEG23/VL2							LCD電源入力
P30/SRDY2, P31/SCLK2, P32/TxD2, P33/RxD2	ポートP3	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力		PULLレジスタ シリアル/O2制御レジスタ シリアル/O2ステータスレジスタ UART2制御レジスタ	(3)
P34/INT2				外部割り込み入力	PULLレジスタ 割り込みエッジ選択レジスタ		(7)
P35/TXOUT, P36/T2OUT/				タイマX出力 タイマ2出力	PULLレジスタ タイマXモードレジスタ タイマ2モードレジスタ		(8) (9)
P37/CNTR0				タイマX機能入力	PULLレジスタ タイマXモードレジスタ		(7)
P40/OOUT0/AN0, P41/OOUT1/AN1 P42/AN2 ~ P45/AN5	ポートP4	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力	発振外部出力 端子	PULLレジスタ A-D制御レジスタ	(11)
P46/RTP0/AN6, P47/RTP1/AN7					リアルタイム ポート機能出力		PULLレジスタ A-D制御レジスタ タイマXモードレジスタ
P50/INT0 P51/INT1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	外部割り込み入力		PULLレジスタ 割り込みエッジ選択レジスタ	(7)
P52/T3OUT /PWM0, P53/T4OUT /PWM1				タイマ3出力 タイマ4出力 PWM出力	PULLレジスタ タイマ2モードレジスタ		(9)
P54/RxD1 P55/TxD1 P56/SCLK1 P57/SRDY1				シリアル/O1 機能入出力	キー入力(キー ウakeup) 割り込み入力		PULLレジスタ シリアル/O1制御レジスタ シリアル/O1ステータスレジスタ UART1制御レジスタ
P60/CNTR1	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	タイマY機能入力		PULLレジスタ タイマYモードレジスタ	(7)
P61/XCIN P62/XOUT				サブクロック発振回路	PULLレジスタ CPUモードレジスタ		(16) (17)
COM0 ~ COM3	コモン	出力	LCDコモン出力			LCDモードレジスタ	(18)

注1. ダブルファンクション / トリプルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

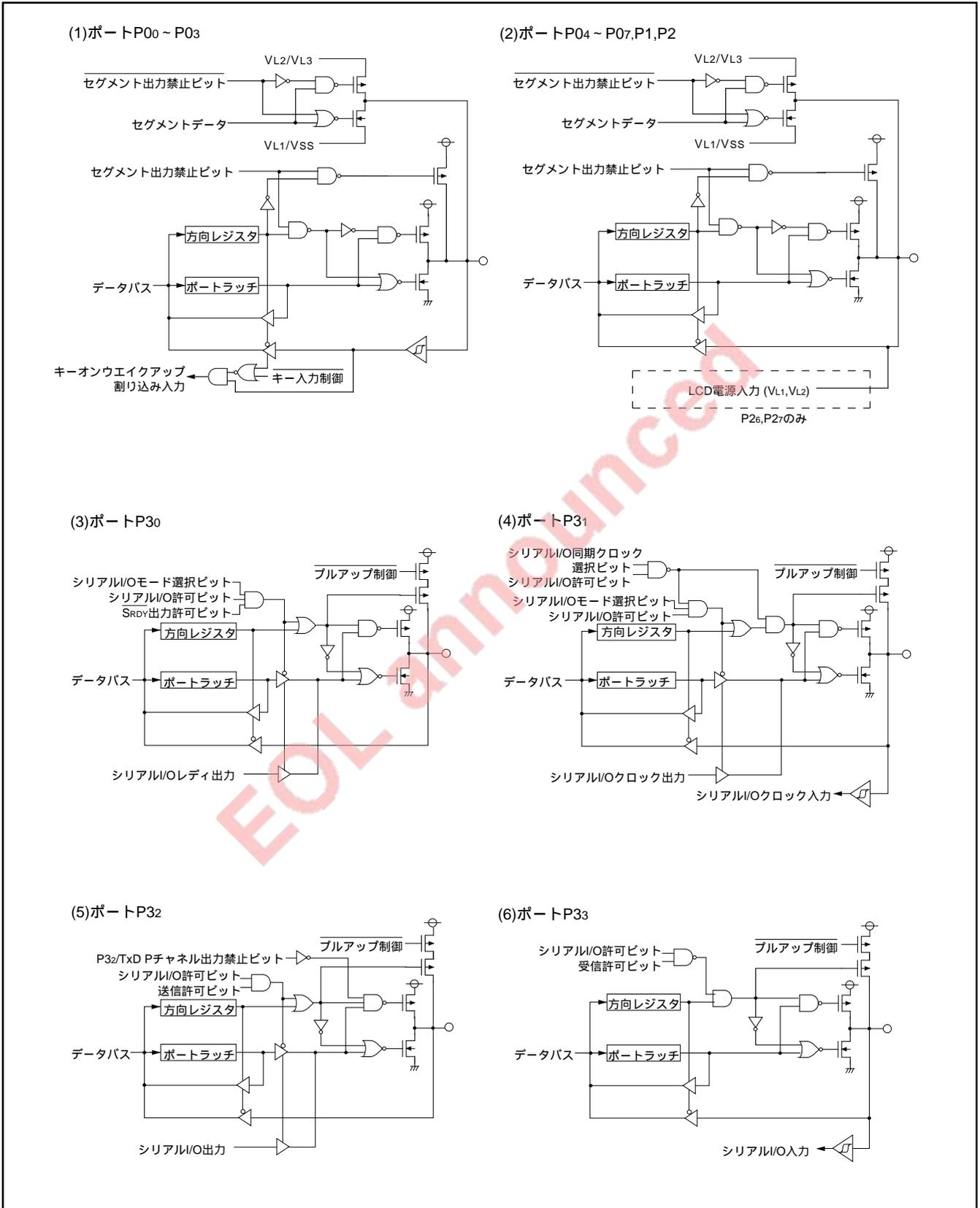


図10. ポートのブロック図(1)

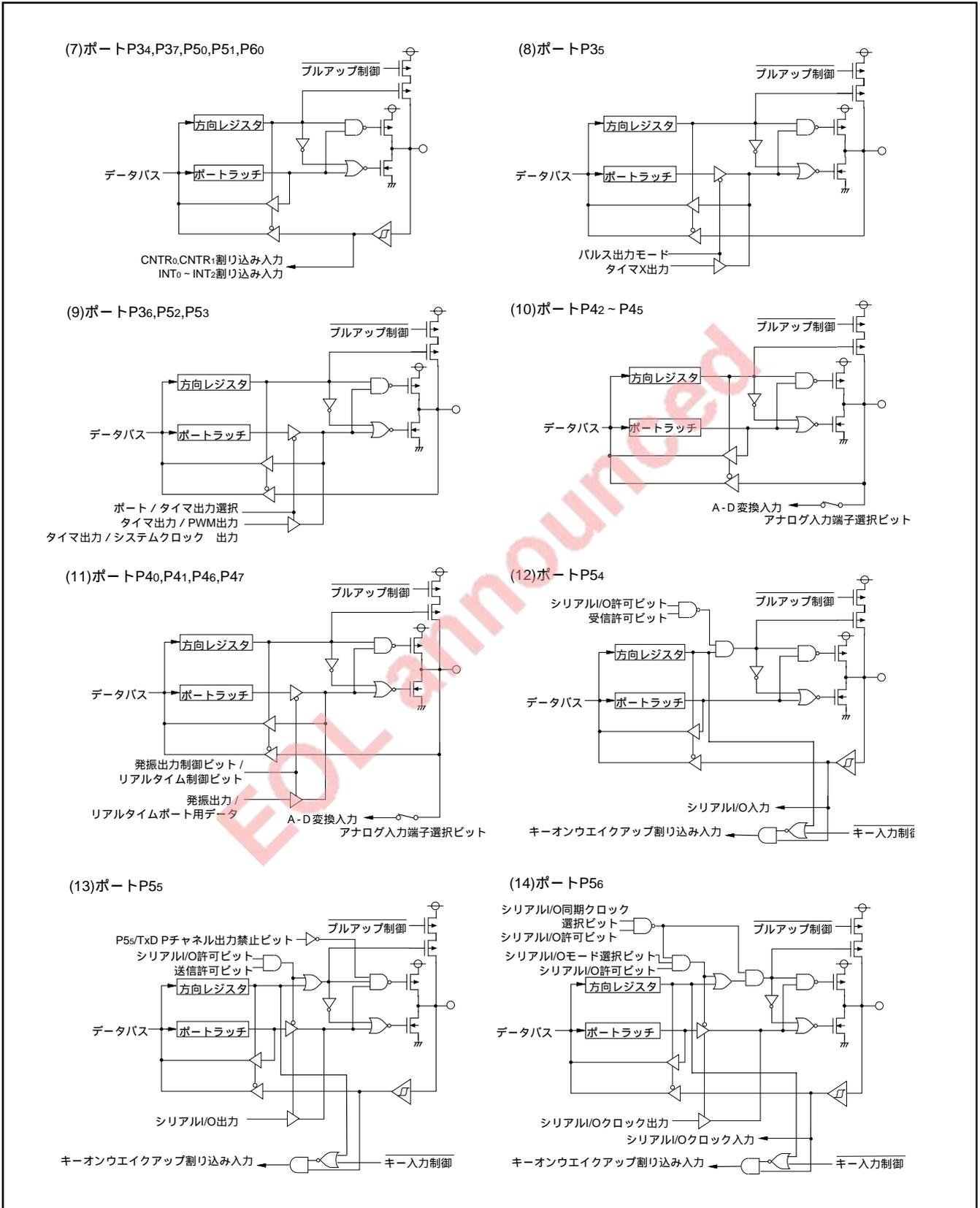


図11 . ポートのブロック図 (2)

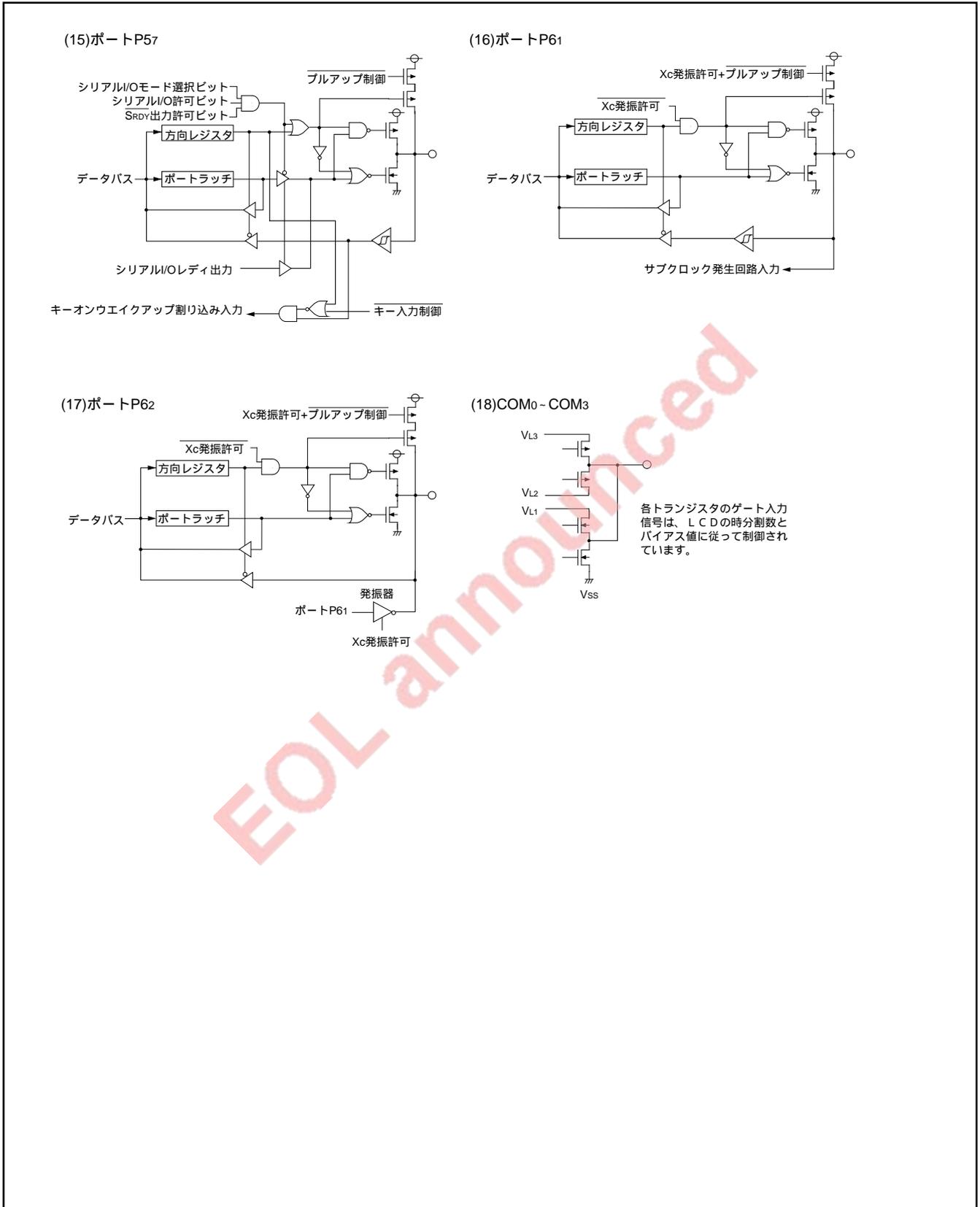


図12. ポートのブロック図(3)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

割り込み

割り込みはベクトル割り込みで、外部6要因、内部12要因、ソフトウェア1要因の19要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

外部割り込み (INT₀ ~ INT₂, CNTR₀, CNTR₁) のアクティブエッジを設定する際、又は1つのベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタ (CNTR₀の場合はタイマX制御レジスタ, CNTR₁の場合はタイマYモードレジスタ) を設定した後、割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

表4. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₂	4	FFF7 ₁₆	FFF6 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	INT ₂ 割り込み選択時有効 外部割り込み (極性プログラマブル)
キー入力(キーオシロエイクアップ)				ポートP0 ₀ ~ 0 ₃ , P5 ₄ ~ 5 ₇ の入力レベルの論理積の立ち下がり時	キー入力割り込み選択時有効 外部割り込み (立ち下がり有効)
シリアル/O1受信	5	FFF5 ₁₆	FFF4 ₁₆	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	6	FFF3 ₁₆	FFF2 ₁₆	シリアル/O1送信シフト終了時又は送信バッファ空時	シリアル/O1選択時のみ有効
シリアル/O2受信	7	FFF1 ₁₆	FFF0 ₁₆	シリアル/O2データ受信終了時	シリアル/O2選択時のみ有効
シリアル/O2送信	8	FFEF ₁₆	FFEE ₁₆	シリアル/O2送信シフト終了時又は送信バッファ空時	シリアル/O2選択時のみ有効
タイマX	9	FFED ₁₆	FFEC ₁₆	タイマXアンダフロー時	
タイマ1	10	FFEB ₁₆	FFEA ₁₆	タイマ1アンダフロー時	タイマ1割り込み選択時有効
タイマ2	11	FFE9 ₁₆	FFE8 ₁₆	タイマ2アンダフロー時	タイマ2割り込み選択時有効
タイマ3	12	FFE7 ₁₆	FFE6 ₁₆	タイマ3アンダフロー時	
タイマ4	13	FFE5 ₁₆	FFE4 ₁₆	タイマ4アンダフロー時	
CNTR ₀	14	FFE3 ₁₆	FFE2 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマY CNTR ₁	15	FFE1 ₁₆	FFE0 ₁₆	タイマYアンダフロー時 CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換	16	FFDF ₁₆	FFDE ₁₆	A-D変換終了時	A-D割り込み選択時有効
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	マスク可能割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

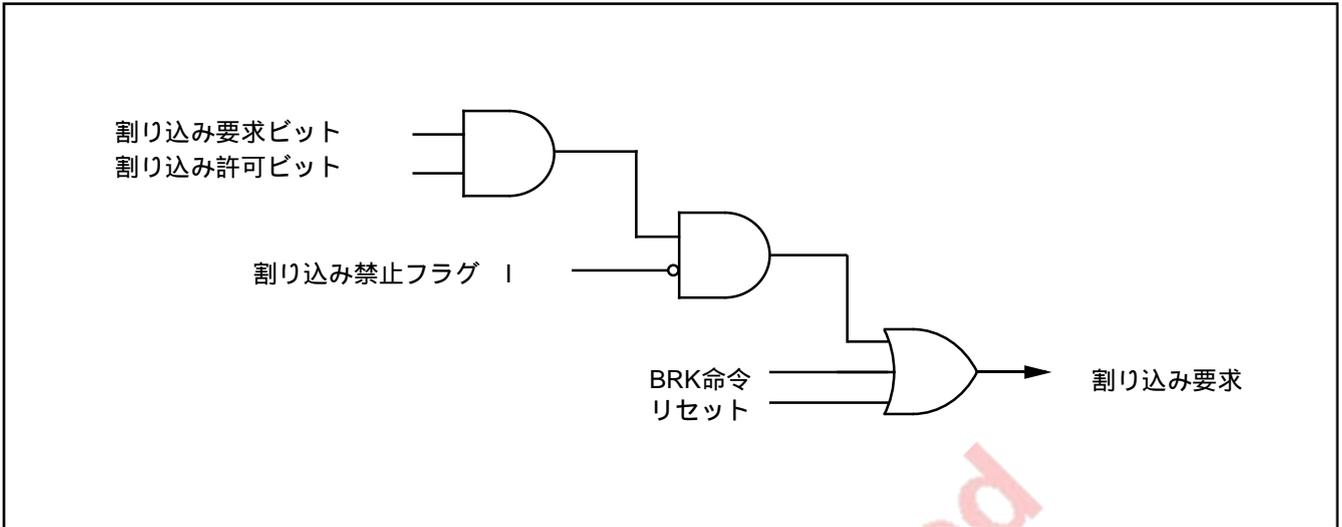


図13. 割り込み制御図

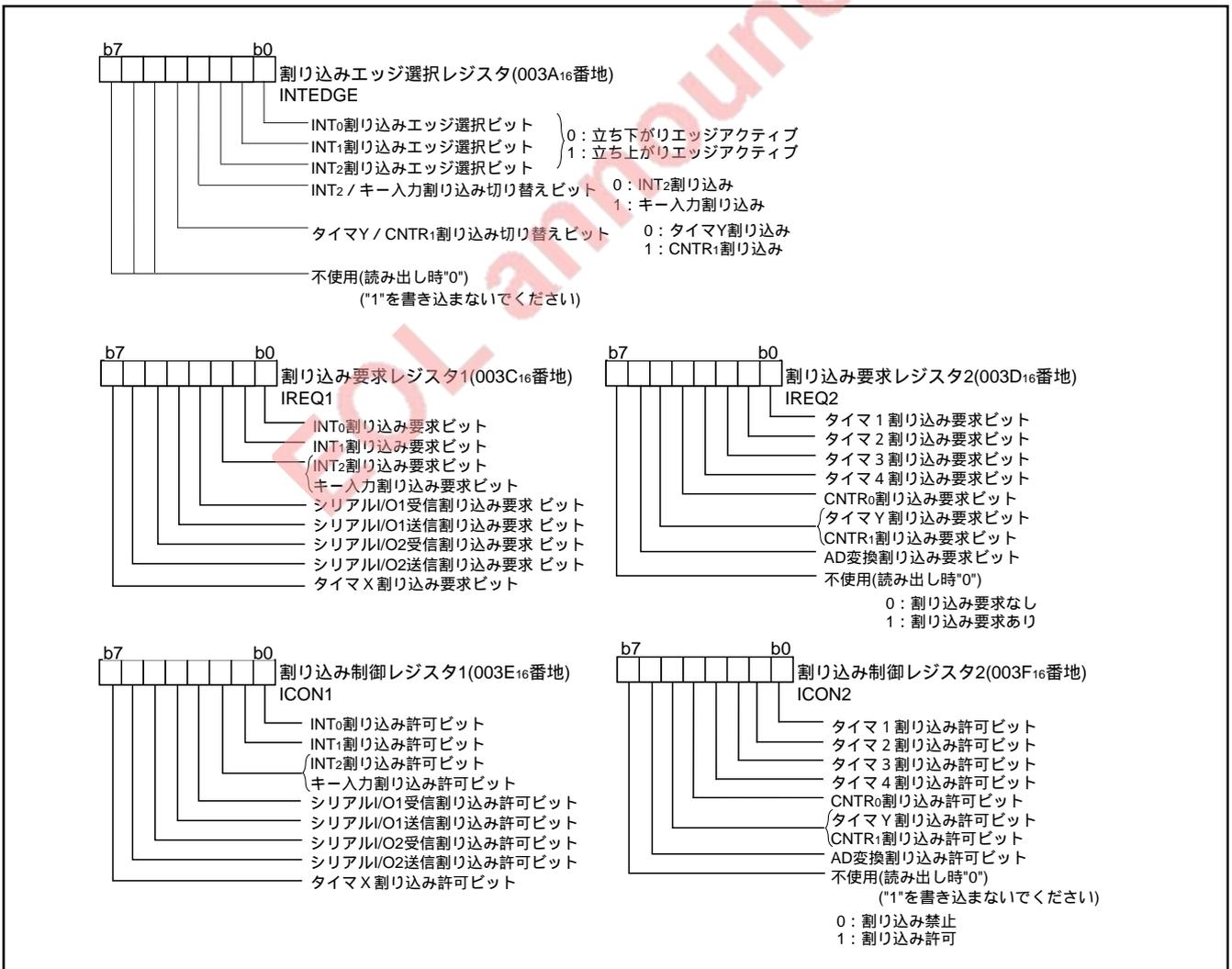


図14. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP0₀ ~ P0₃、P5₄ ~ P5₇のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が「1」から「0」になると、キー入力

割り込み要求が発生します。図15はキー入力割り込みを用いた一例です。ポートP5₄ ~ P5₇を入力とするアクティブ「L」のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

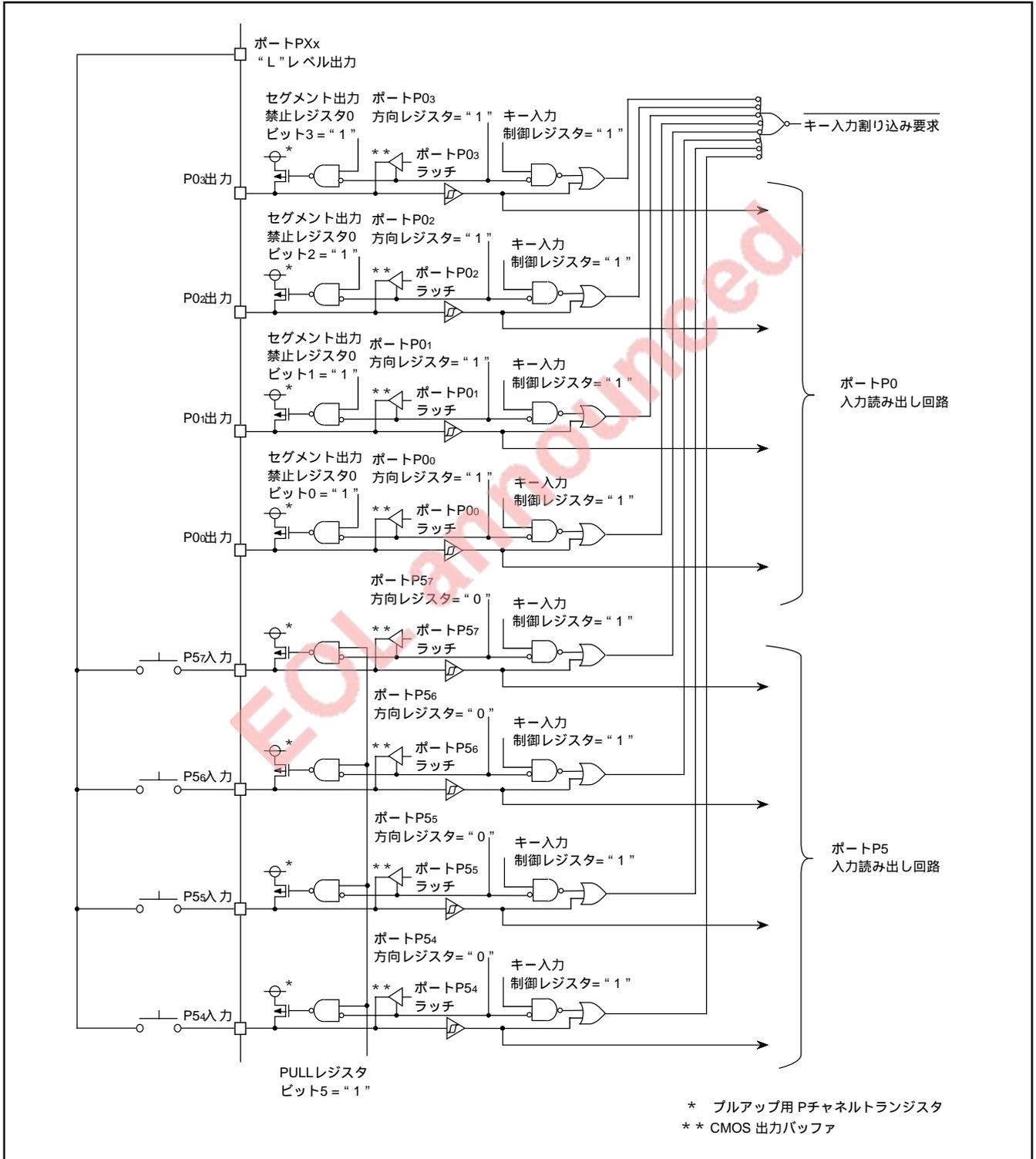


図15. キー入力割り込み使用時の結線例とポートP0、ポートP5のブロック図

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御レジスタを'1'に設定してください。ポートP0₀ ~ P0₃, P5₄ ~ P5₇のうち、入力に設定されている端子からキー入力を受け付けられます。

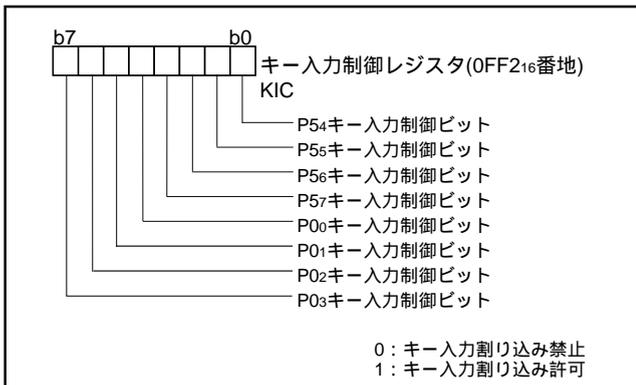


図16 . キー入力制御レジスタの構成

EOL announced

タイマ

8ビットタイマ

タイマ1からタイマ4は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式でカウンタの内容が 00_{16} になった次のカウントパルスでタイマラッチの内容が再びタイマにロードされます。このとき同時に各タイマに対応する割り込み要求ビットが 1 にセットされます。

また、各タイマの停止ビットを 1 にセットすることによりカウントを停止することが可能です。

タイマ用分周器

タイマ1、2、3、4はカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、 X_{IN} か X_{CIN} が切り替わります。分周比は各タイマが3ビットのレジスタによって、 $f(X_{IN})$ 又は $f(X_{CIN})$ の $1/1$ 、 $1/2$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/1024$ から選択できます。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。カウントソースに $f(X_{CIN})$ を選択した場合、 X_{CIN} の発振によらずカウントできます。ただし、 X_{CIN} が停止している場合は、 X_{CIN} 端子から入力される外部パルスをカウントします。また、このレジスタによりタイマ2がアンダフローするたびに極性の反転する信号を $P36/T20_{OUT}$ 端子から出力することができます。

リセット入力時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に FF_{16} 、タイマ2に 01_{16} がセットされます。

STP命令を実行する時は、復帰時の待ち時間をあらかじめ設定してください。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3またはタイマ4がアンダフローするたびに極性の反転する信号を $P52/T30_{OUT}$ 又は $P53/T40_{OUT}$ 端子から出力することができます。

タイマ3PWM0モード、タイマ4PWM1モード

タイマ34モードレジスタと、PWM01レジスタを設定することにより、10ビット精度に相当するPWM方形波を $P52/PWM0$ と $P53/PWM1$ 端子から出力することができます。(図19参照)

ここで n はタイマ3(0022 $_{16}$ 番地)又はタイマ4(0023 $_{16}$ 番地)の値であり、 t_s はタイマ3又はタイマ4のカウントソースの1周期です。出力パルス1周期分を小区間とし、4周期分を大区間とします。小区間の H の幅は $n \times t_s$ で表されます。ただし、大区間の中で、PWM01レジスタ(0024 $_{16}$ 番地)に設定した値に対応する回数だけ出力パルスの H の幅が t_s の時間だけ延長されます。

タイマ2、タイマ3、タイマ4の書き込みについて

ラッチのみ書き込みの場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

この仕様書は暫定仕様書であり、今後変更することがあります。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

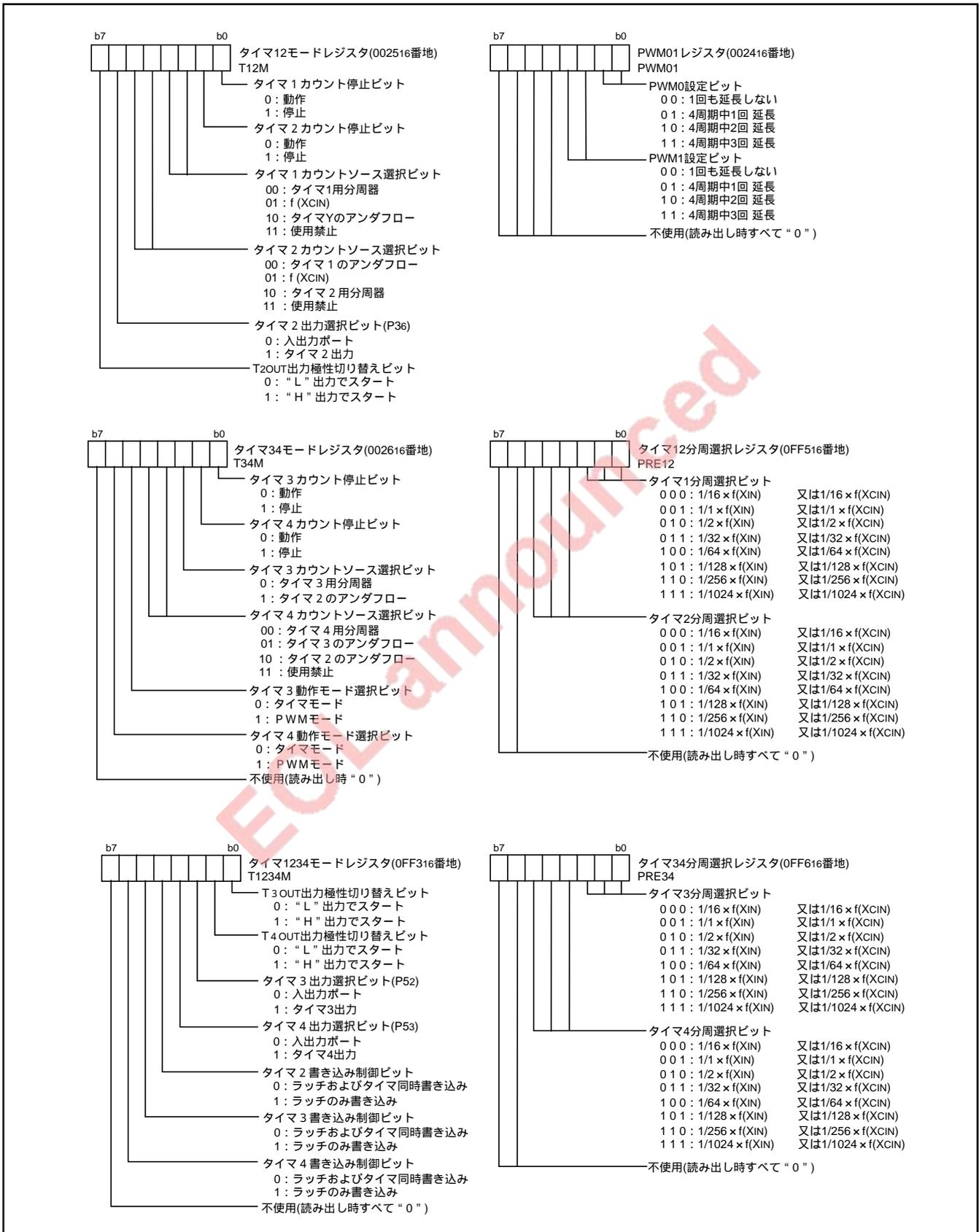


図17. タイマ1234レジスタの構成

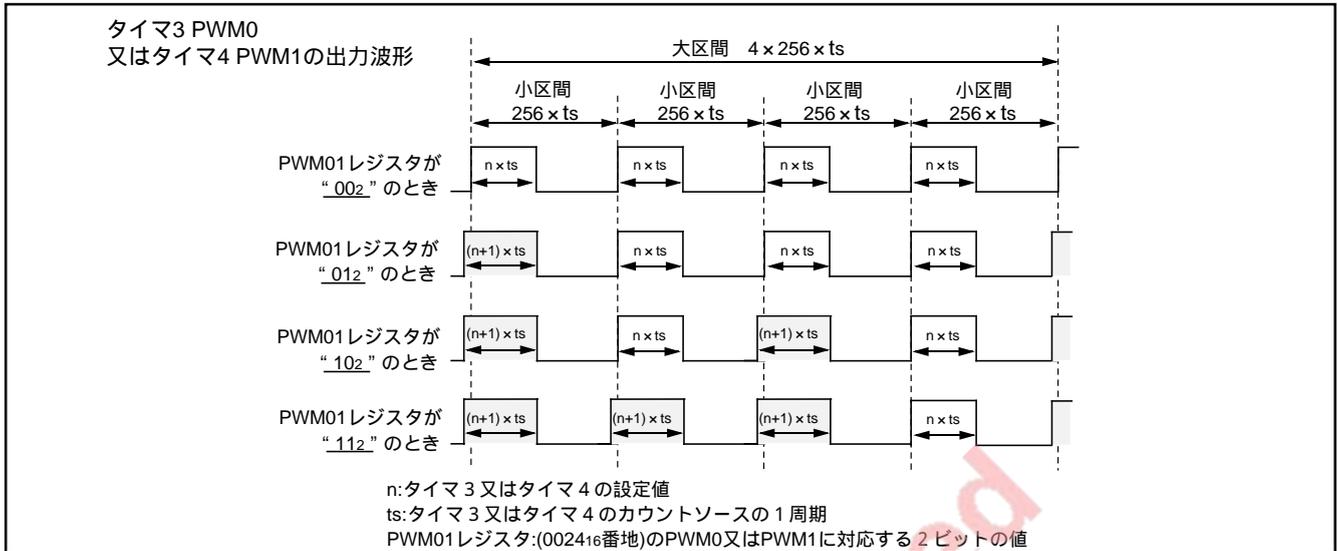


図19 . PWM01波形図

16ビットタイマ

タイマ用分周器

タイマX、Yはカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCINが切り替わります。分周比は各タイマが3ビットのレジスタによって $f(XIN)$ または $f(XCIN)$ の1/1、1/2、1/16、1/32、1/64、1/128、1/256、1/1024から選択できます。

タイマX

タイマXはタイマXモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースに $f(XCIN)$ を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスをカウントします。

タイマXはカウントダウン方式で、タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマXに対応する割り込み要求ビットが 1 にセットされます。

タイマXはタイマXモードレジスタ、タイマX制御レジスタにより6つの動作モードを選択することができます。

(1)タイマモード

タイマXモードレジスタを設定することにより、カウントソースを選択することができます。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。

(2)パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをTxout端子より出力することを除けば、タイマモードと同じ動作

をします。このモードではTxout端子と共用のポートを出力に設定して下さい。

(3)IGBT出力モード

Txout端子よりダミー出力後、INT0端子からの入力をトリガとしてカウントを開始します。タイマX出力極性切り替えビットが 0 の場合、トリガ発生を検出したとき、又はタイマXがアンダフローしたとき、Txout端子から H を出力します。その場合、タイマXのカウント値がコンペアレジスタの値と一致したとき、Txout出力は L となります。

INT0信号はノイズフィルタ(サンプリングクロックにて連続4度同一レベルである場合、信号と判定)にてノイズ成分を除去後、遅延回路にて4種類の遅延時間を選択することができます。

このモードではINT0端子と共用のポートを入力に設定し、Txout端子と共用のポートを出力に設定してください。

タイマX制御レジスタのタイマX出力制御ビット1又は2を 1 にセットすると、INT1又はINT2の割り込み信号でタイマXカウント停止ビットを強制的に 1 に固定し、タイマXのカウントを停止させることによって、Txout端子の出力をその時出力していた信号に固定することができます。

IGBT出力モードを使用する時は、タイマXレジスタ(拡張)に 1 を書き込まないで下さい。

(4)PWMモード

IGBT用ダミー出力、INT0端子による外部トリガ及び、INT1、INT2端子による出力制御を使用しないことを除けば、IGBT出力モードと同じ動作をします。PWM波形の周期は、タイマXの設定値によって決定されます。タイマX出力極性切り替えビットが 0 の場合、 H 期間は、コンペアレジスタの設定値によって決定されます。このモードではTxout端子と共用のポートを出力に設定してください。

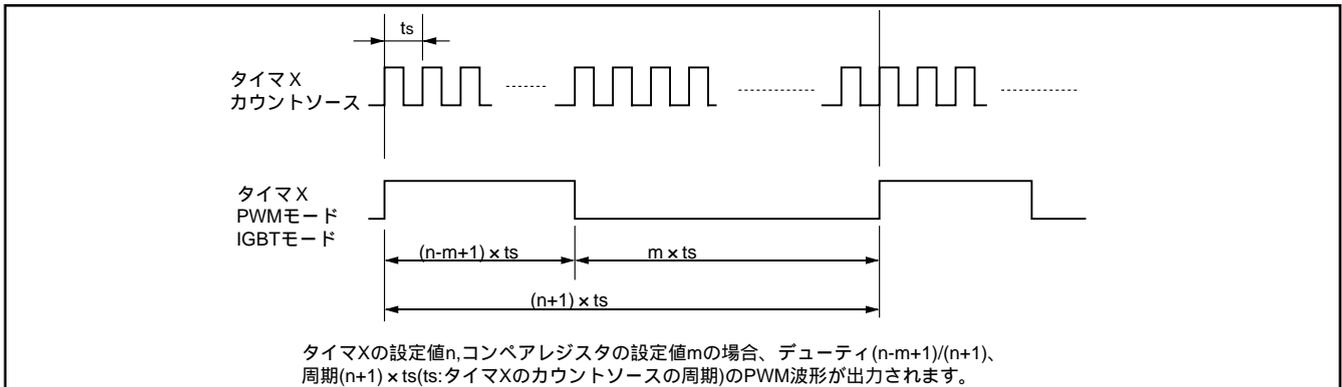


図20 . IGBT/PWM波形図

PWMモードを使用する時は、タイマXレジスタ(拡張)に“1”を書き込まないで下さい。

(5) イベントカウンタモード

CNTR0端子からの入力をカウントします。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。このモードではCNTR0端子と共用のポートを入力に設定してください。

このモードではタイマ1のアンダフローでウインド制御できます。イベントカウンタウインド制御用データビットを“1”に設定すると、次のタイマ1のアンダフローでカウントを停止し、“0”に設定すると、次のタイマ1のアンダフローでカウントを再開します。

(6) パルス幅測定モード

カウントソースはタイマ用分周器出力です。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。CNTR0極性切り替えビットのビット6が“0”の場合はCNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

注意事項

(1) タイマX書き込み順序について

- ・ タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード設定時は、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)いずれかのみ書き込みはできません。上記モード設定時16ビットカウンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、

注意してください。

- ・ PWMモード、IGBT出力モード設定時は、タイマXレジスタ(拡張)には“1”を書き込まないで下さい。また、すでに“1”が書き込まれた状態の場合は、必ず“0”を書き込んでから使用して下さい。書き込む時はコンペアレジスタ(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタは上位、下位のどちらが先でも構いません。なお、コンペアレジスタ、タイマXレジスタは必ず同時に書き込んでください。

(2) タイマX読み出し順序について

- ・ 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタについては読み出しの順序は決まっていません。
- ・ タイマXレジスタは書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

(3) タイマXの書き込みについて

- ・ ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- ・ タイマカウント中にタイマカウントソースを切り替えないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

(4) タイマXモードレジスタ設定について

- ・PWMモード、IGBT出力モード設定時は、タイマXモードレジスタの書き込み制御ビットは、必ず「1」（ラッチのみ書き込み）に設定してください。タイマXレジスタ（上位）の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

(5) タイマX出力制御機能について

- ・IGBT出力モード設定時、出力制御機能（INT1,2）を使用する場合、IGBT出力モードに切り替える前にINT1,2のレベルを立ち下がりエッジアクティブの場合は「H」、立ち上がりエッジアクティブの場合は「L」にしてください。

(6) CNTR0割り込み極性切り替えについての注意

- ・CNTR0割り込み極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
- ・パルス幅測定時は、CNTR0極性切り替えビットのビット7を「0」に設定してください。

タイマY

タイマYは16ビットタイマです。タイマYはタイマYモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにf(XCIN)を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスのカウントします。タイマYは、タイマYモードレジスタにより4つの動作モードを選択することができます。またリアルタイムポート制御ができます。

(1) タイマモード

タイマYモードレジスタを設定することにより、カウントソースを設定することができます。

(2) 周期測定モード

CNTR1端子入力の立ち上がり/立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR1端子入力の立ち上がり/立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR1端子入力の立ち上がり/立ち下がりタイミングはCNTR1割り込みで知ることができます。このモードではCNTR1端子と共用のポートを入力に設定してください。

(3) イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

ドと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

(4) パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり/立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。CNTR1割り込み極性切り替えについての注意

CNTR1極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの設定によらず、端子の立ち上がり/立ち下がりともCNTR1割り込み要求が生じません。

タイマYの読み出し及び書き込みについて

- ・タイマYに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。
- ・ラッチのみ書き込みの場合、タイマYのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマYのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- ・タイマカウント中にタイマカウントソースを切り替えないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

リアルタイムポート制御

リアルタイムポート機能有効時はタイマYがアンダフローするたびにリアルタイムポート用データがそれぞれポートP47、P46から出力されます。（ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを「0」から「1」に変えたときには、タイマYの動作に関わらずデータが出力されます。）リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマYのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

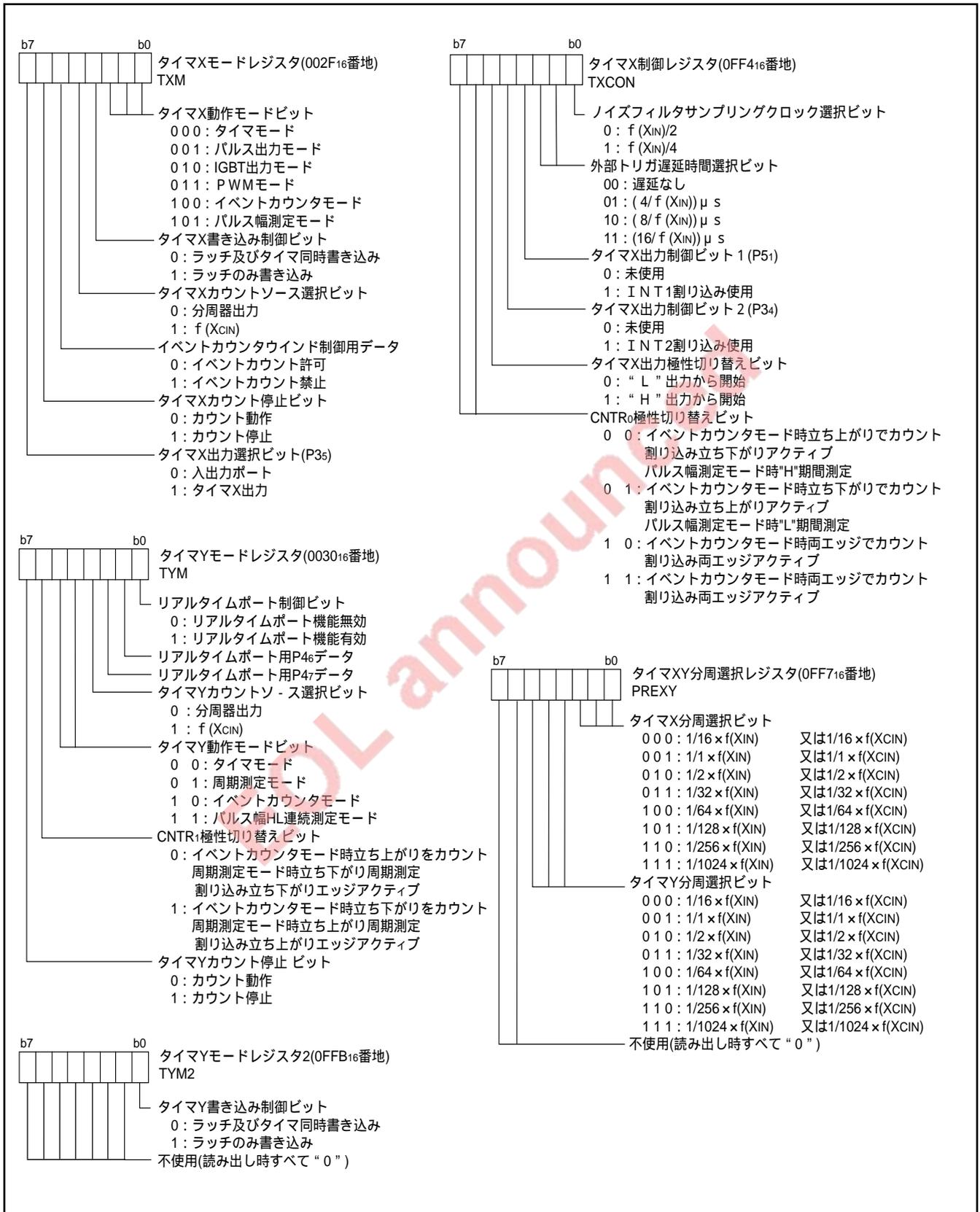


図21. タイマX、Y関連レジスタの構成

この仕様書は暫定仕様書であり、今後変更することがあります。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

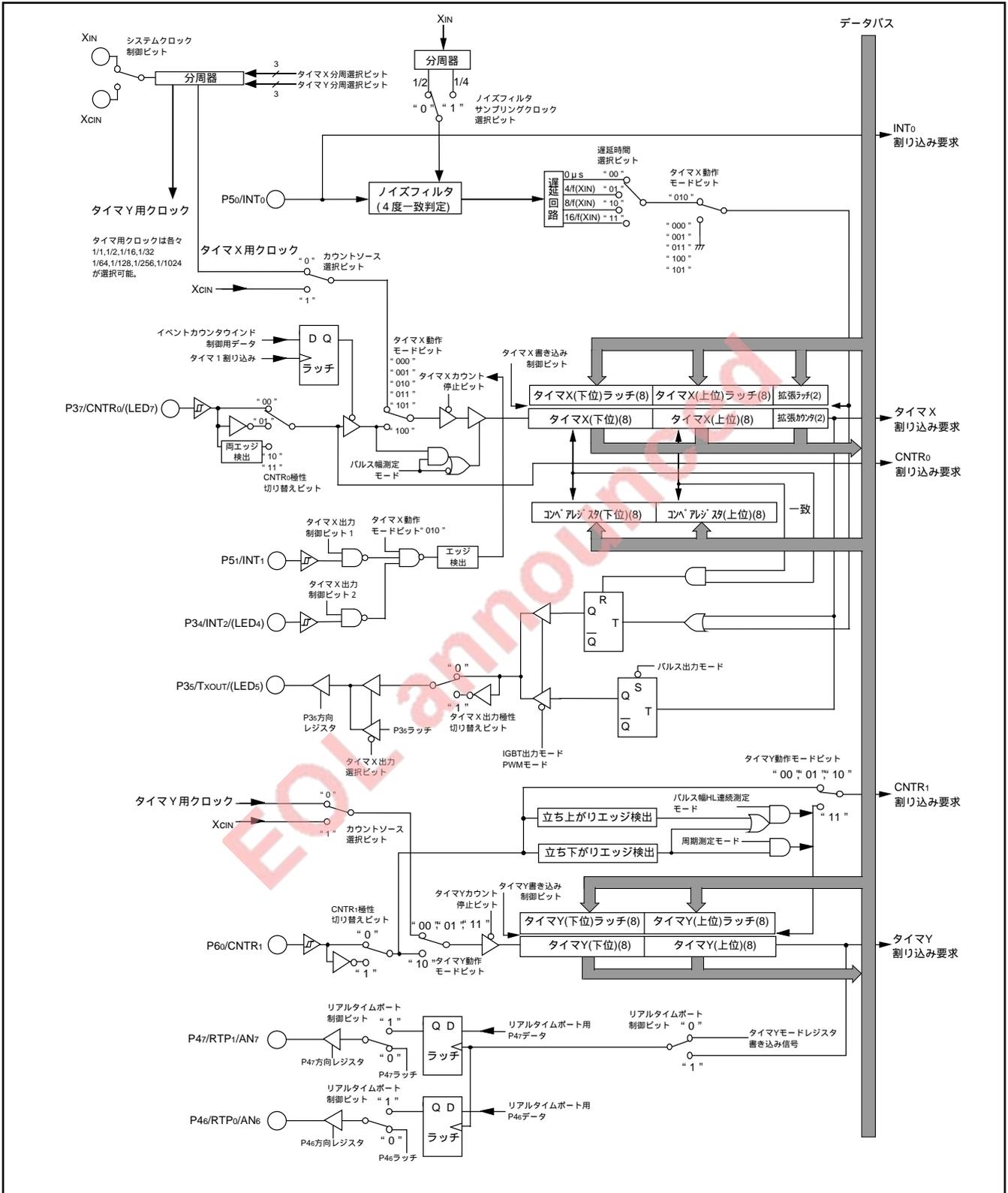


図22. タイマX、Yのブロック図

シリアルI/O

シリアルI/O

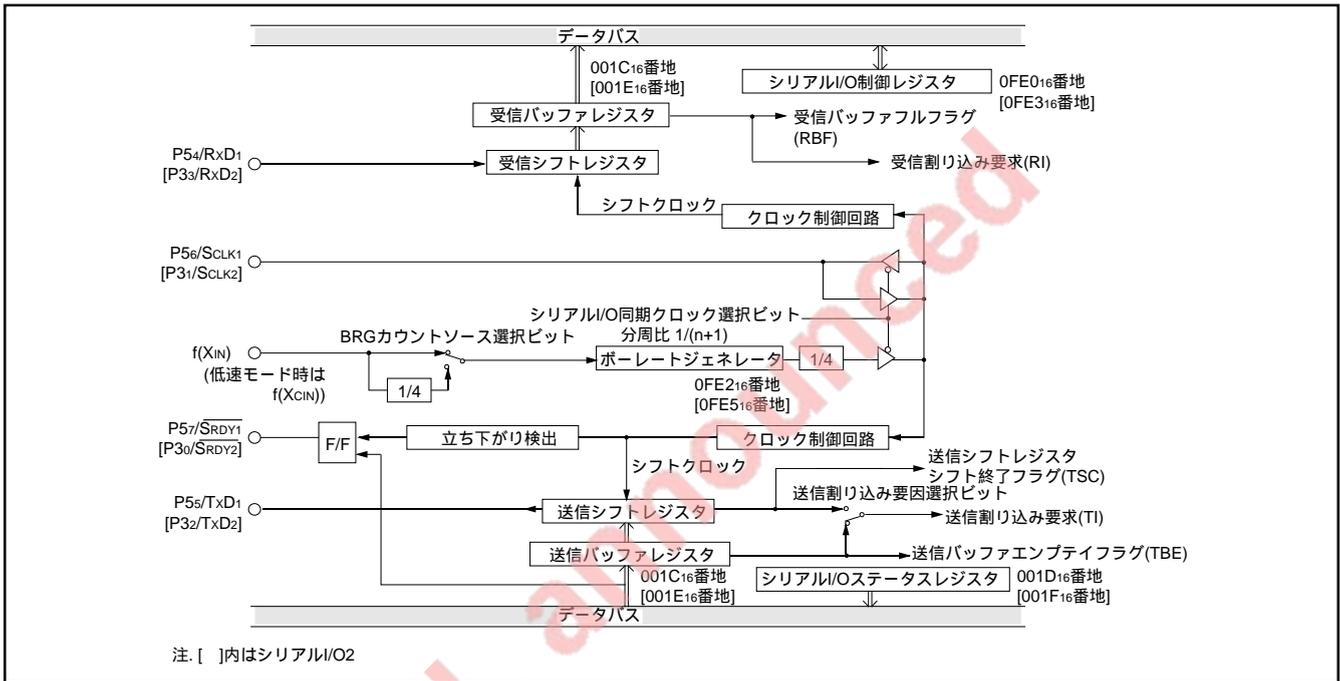
38C2グループは8ビットのシリアルI/Oを2本内蔵しています。

シリアルI/Oはクロック同期形、非同期形UARTのどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

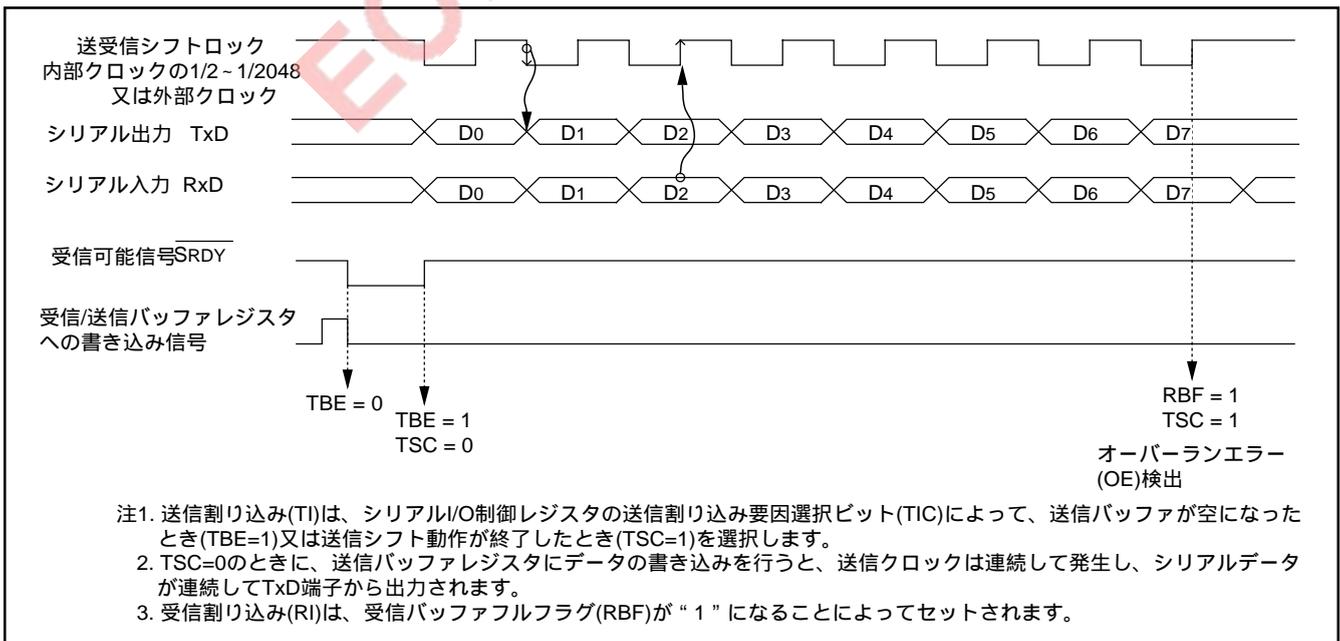
シリアルI/O制御レジスタのモード選択ビットを1にすることで、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われません。



注. []内はシリアルI/O2

図23. クロック同期形シリアルI/Oのブロック図



- 注1. 送信割り込み(TI)は、シリアルI/O制御レジスタの送信割り込み要因選択ビット(TIC)によって、送信バッファが空になったとき(TBE=1)又は送信シフト動作が終了したとき(TSC=1)を選択します。
- 注2. TSC=0のときに、送信バッファレジスタにデータの書き込みを行うと、送信クロックは連続して発生し、シリアルデータが連続してTxD端子から出力されます。
- 注3. 受信割り込み(RI)は、受信バッファフルフラグ(RBF)が“1”になることによってセットされます。

図24. クロック同期形シリアルI/O動作図

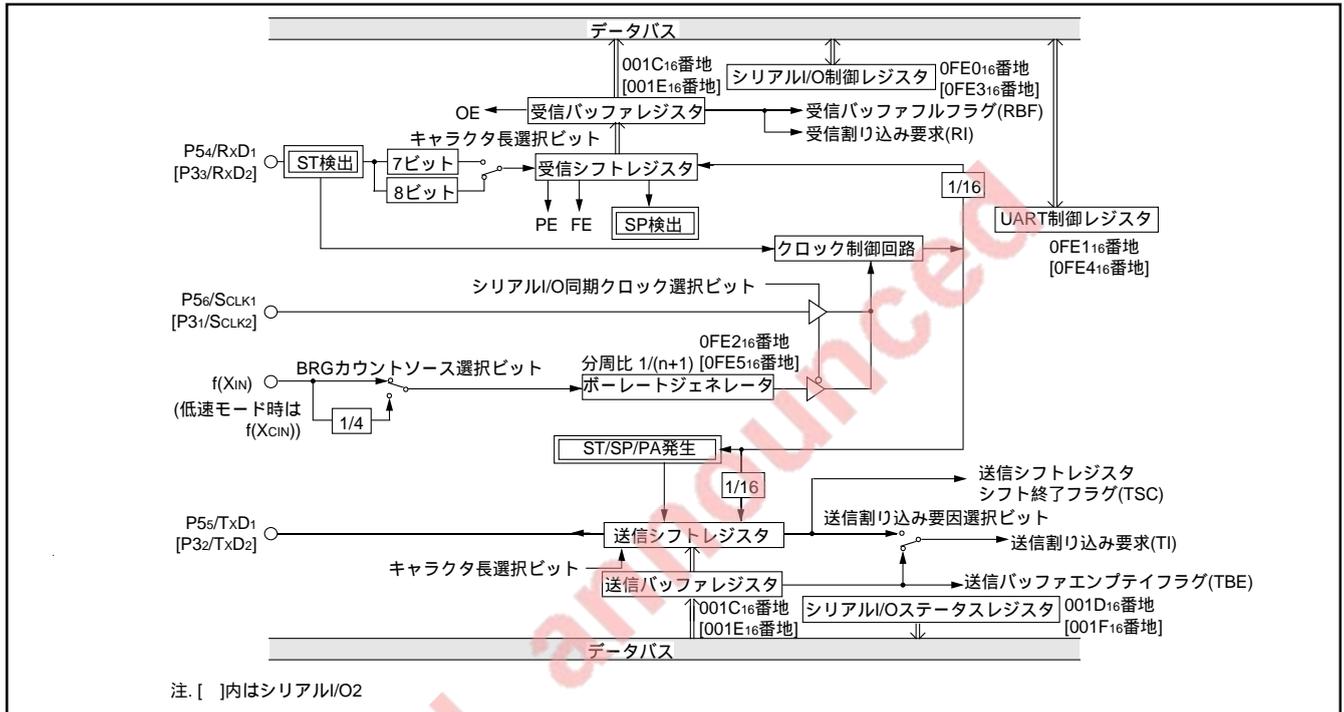
(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのモード選択ビットを0¹にすることによってUARTが選択されます。

38C2グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

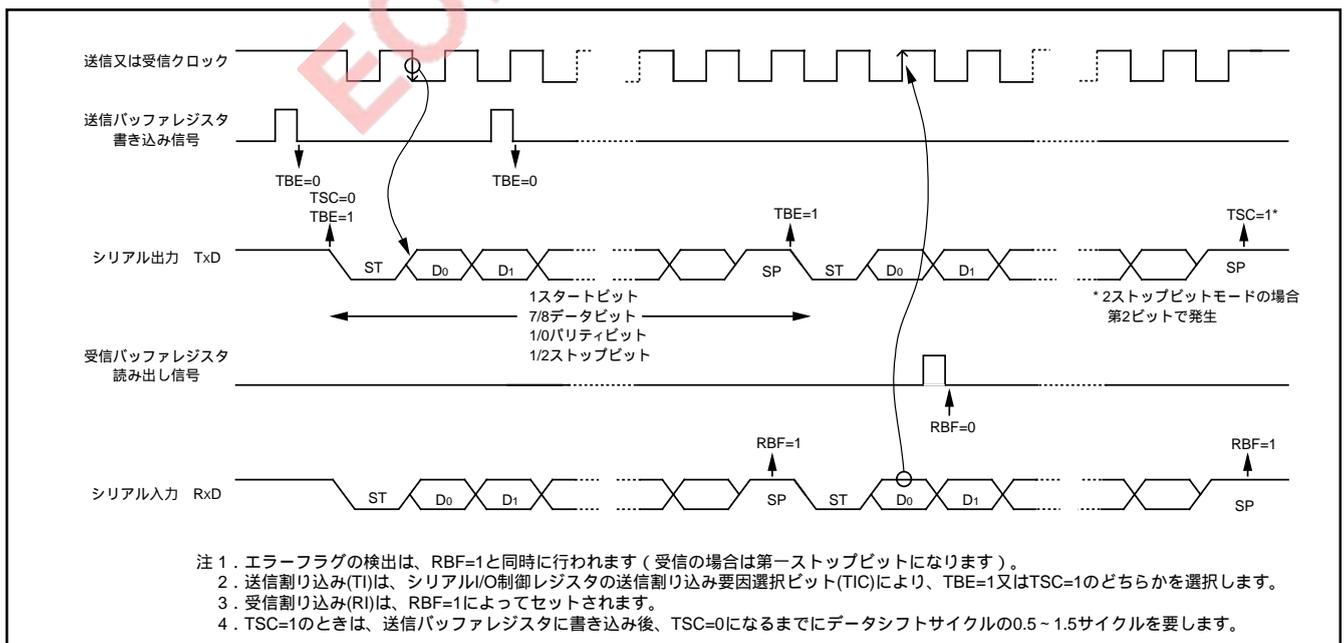
38C2グループはシリアルデータの送信、受信を行う送信シフト

レジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。



注. []内はシリアルI/O2

図25 . UART形シリアルI/Oのブロック図



- 注 1. エラーフラグの検出は、RBF=1と同時にに行われます(受信の場合は第一ストップビットになります)。
2. 送信割り込み(TI)は、シリアルI/O制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
3. 受信割り込み(RI)は、RBF=1によってセットされます。
4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図26 . UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】 SIO1STS,SIO2STS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】 SIO1CON,SIO2CON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UART1CON,UART2CON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P55/TxD1[P32/TxD2]端子の出力形式などを設定します。

【ボーレートジェネレータ】 BRG1,BRG2

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。



図27 . シリアルI/O関係レジスタの構成

A-D変換器

38C2グループは、10ビットの逐次比較方式のA-D変換器を持っています。

【A-D変換レジスタ】 ADL,ADH

A-D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがA-D変換レジスタ(上位)(001B16番地)に、下位2ビットがA-D変換レジスタ(下位)(001A16番地)のビット7及びビット6に格納されます。A-D変換中は、このレジスタを読み出さないでください。

また、VREF入力スイッチビット(001A16番地のビット0)により、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御できます。このビットに“1”が書き込まれている場合には、常に抵抗ラダーはVREFに接続されます。“0”が書き込まれていると、A-D変換中以外、抵抗ラダーはVREFから切り離されます。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP47/AN7～P40/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D割り込み要求ビットは“1”にセットされます。

コンパレータは容量結合で構成されていますので、A-D変換中はA-Dクロック周波数を250kHz以上にしてください。

また、A-D変換中にSTP命令を実行するとただちにA-D変換が中止され、A-D変換終了ビットに“1”がセットされ、割り込み要求が発生します。

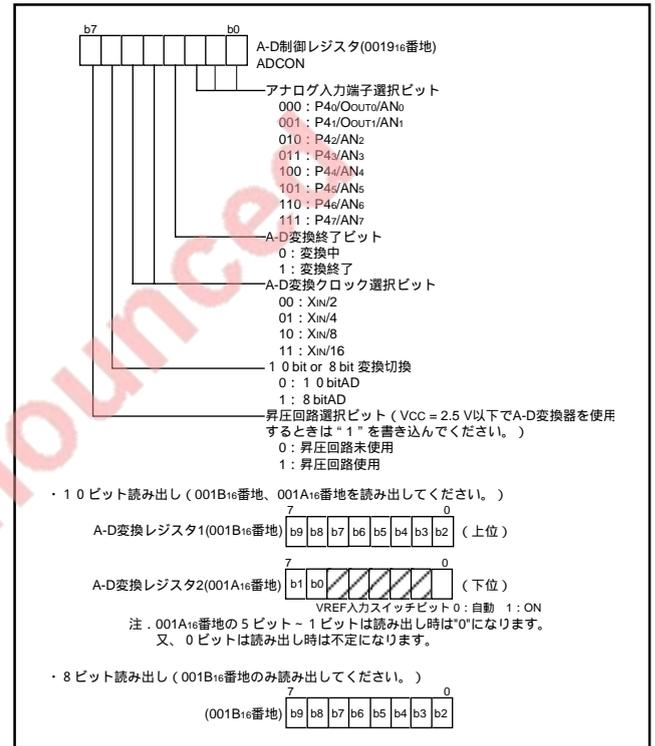


図28. A-D制御レジスタの構成

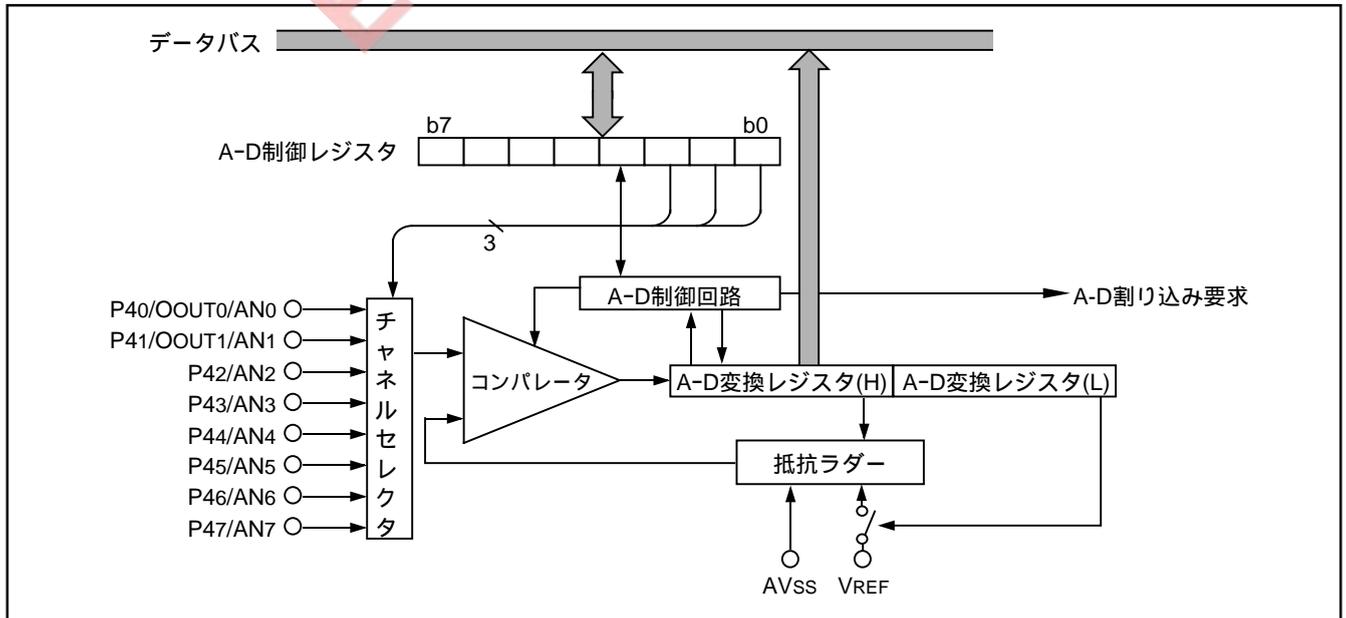


図29. A-D変換器のブロック図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

LCD駆動制御回路

38C2グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力禁止レジスタ
- ・LCDモードレジスタ
- ・セレクト
- ・タイミングコントローラ
- ・コマンドドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大24本、コモン出力は最大4本使用でき、最大96画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力禁止レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表5. 各時分割時の最大表示素子数

時分割数	最大表示素子数
2	48ドット又は8セグメントLCD6桁
3	72ドット又は8セグメントLCD9桁
4	96ドット又は8セグメントLCD12桁

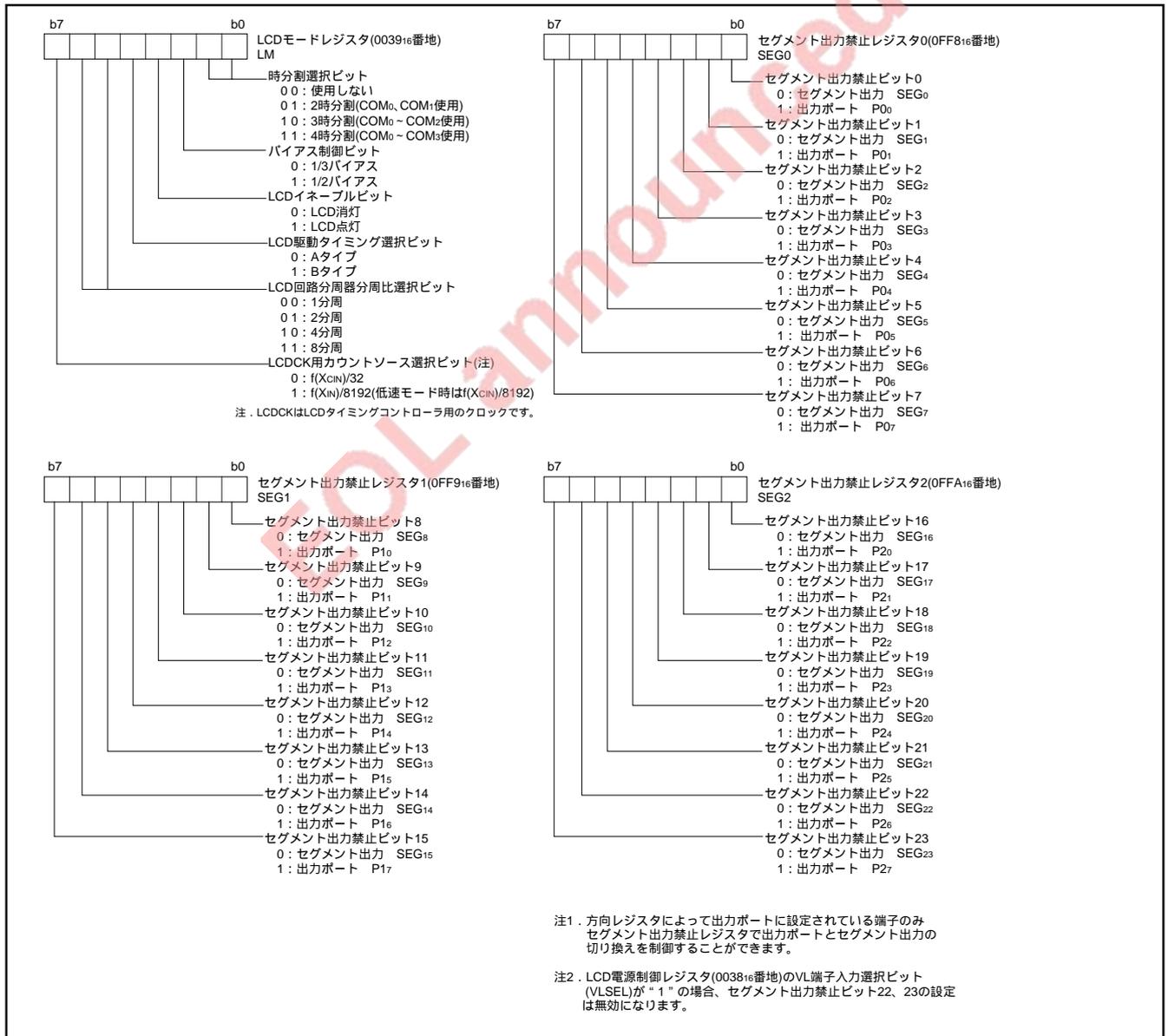


図30. LCD関係レジスタの構成

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1 ~ VL3)から電圧を印加する場合には、VL端子入力選択ビット(LCD電源制御レジスタのビット5)及びVL3接続ビット(LCD電源制御レジスタのビット6)を'1'にセットし、バイアス値に従って、表6に示す電圧値を印加してください。その場合は2本のセグメント出力(SEG22, SEG23)は使用できません。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表6 . バイアス制御とVL1 ~ VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注 . VLCDはLCDパネルへの供給電圧の最大値

コモン端子と時分割制御

コモン端子(COM0 ~ COM3)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1)で選択してください。リセット解除時コモン端子からVccの電圧が出力されます。

表7 . 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM0、COM1
3	1	0	COM0 ~ COM2
4	1	1	COM0 ~ COM3

注. 使用しないコモン端子は不選択波形を出力します。

セグメント信号出力端子

セグメント信号出力端子(SEG0 ~ SEG23)は、ポートP0 ~ P2と兼用になっています。これらの端子をセグメント信号出力端子として使用するときは、対応する端子の方向レジスタを'1'にセットし、セグメント出力禁止レジスタを'0'にクリアします。

また、これらの端子はリセット解除後入力ポートに設定され、プルアップ抵抗によりVccの電圧が出力されます。

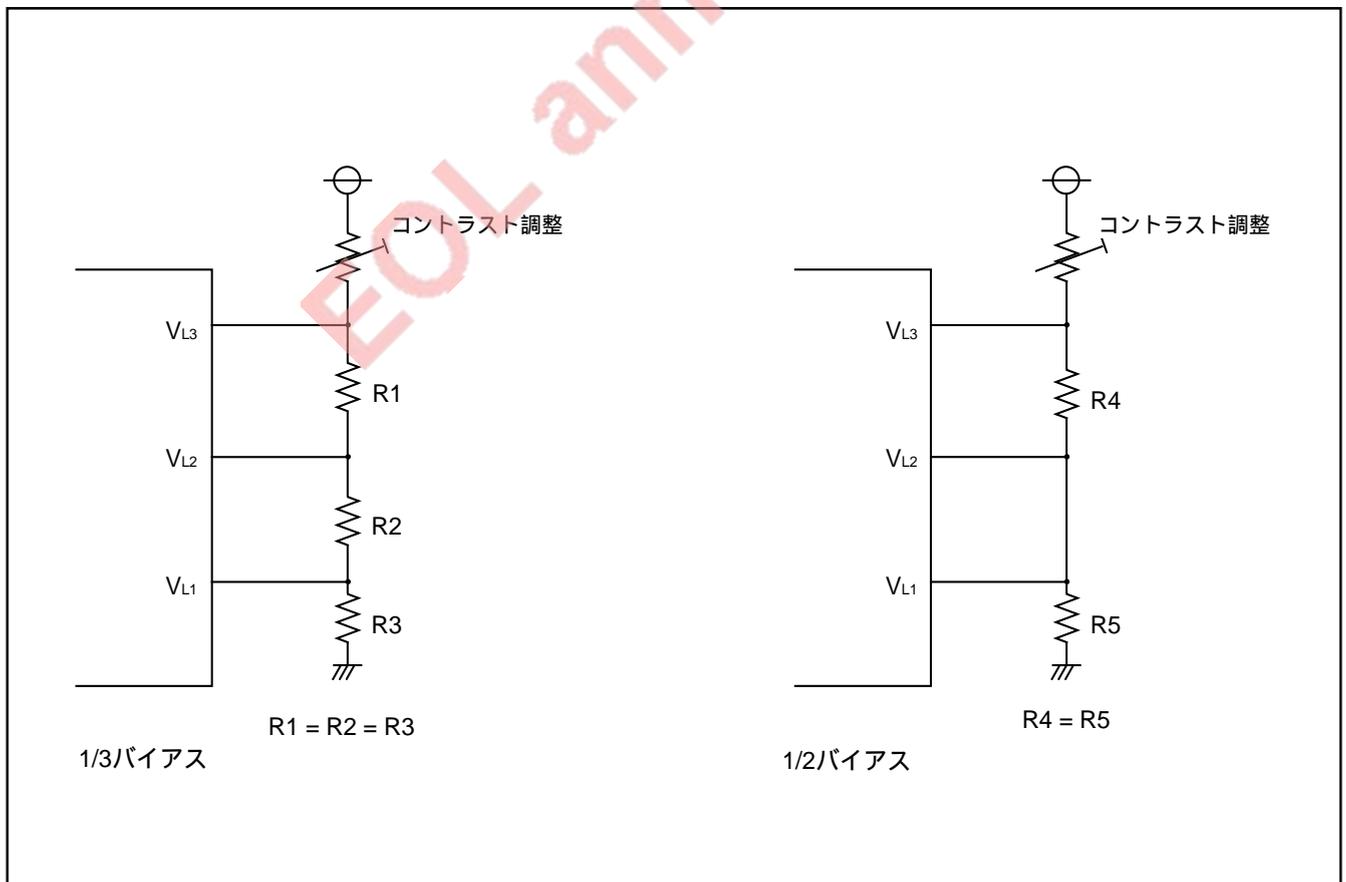
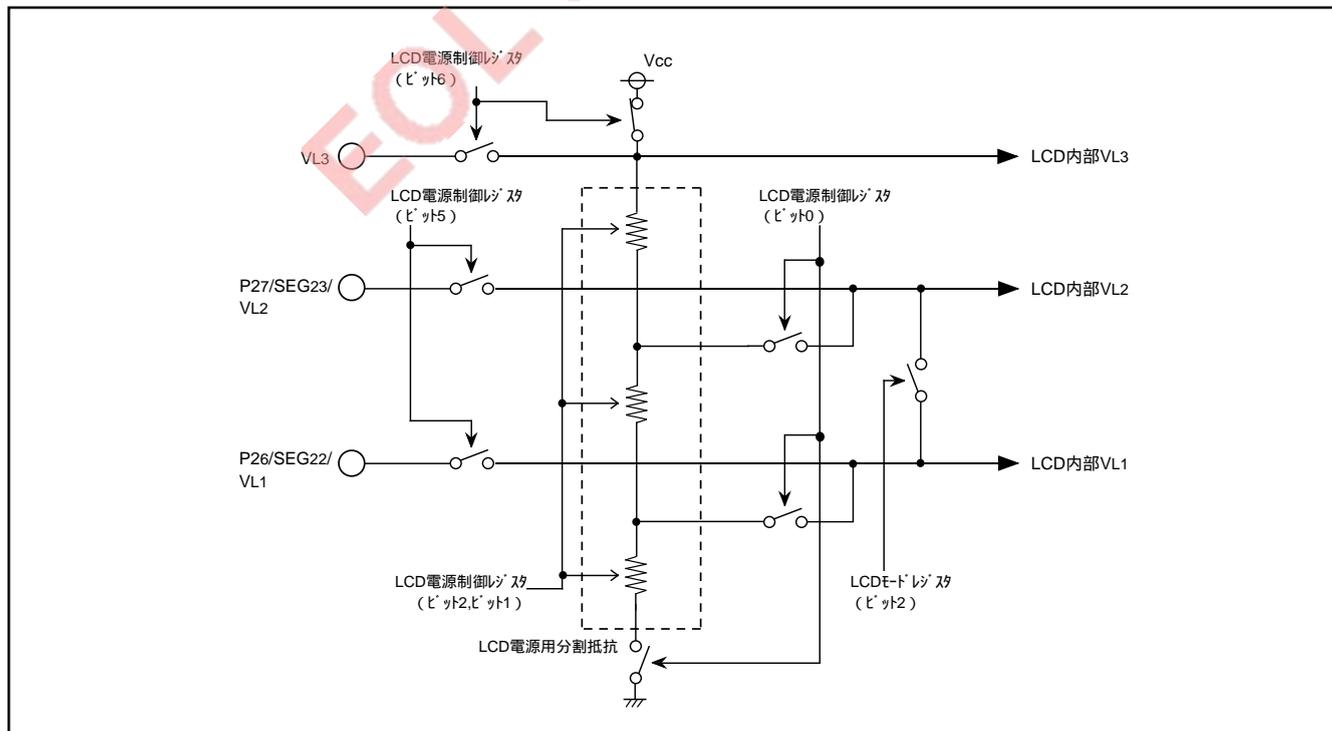
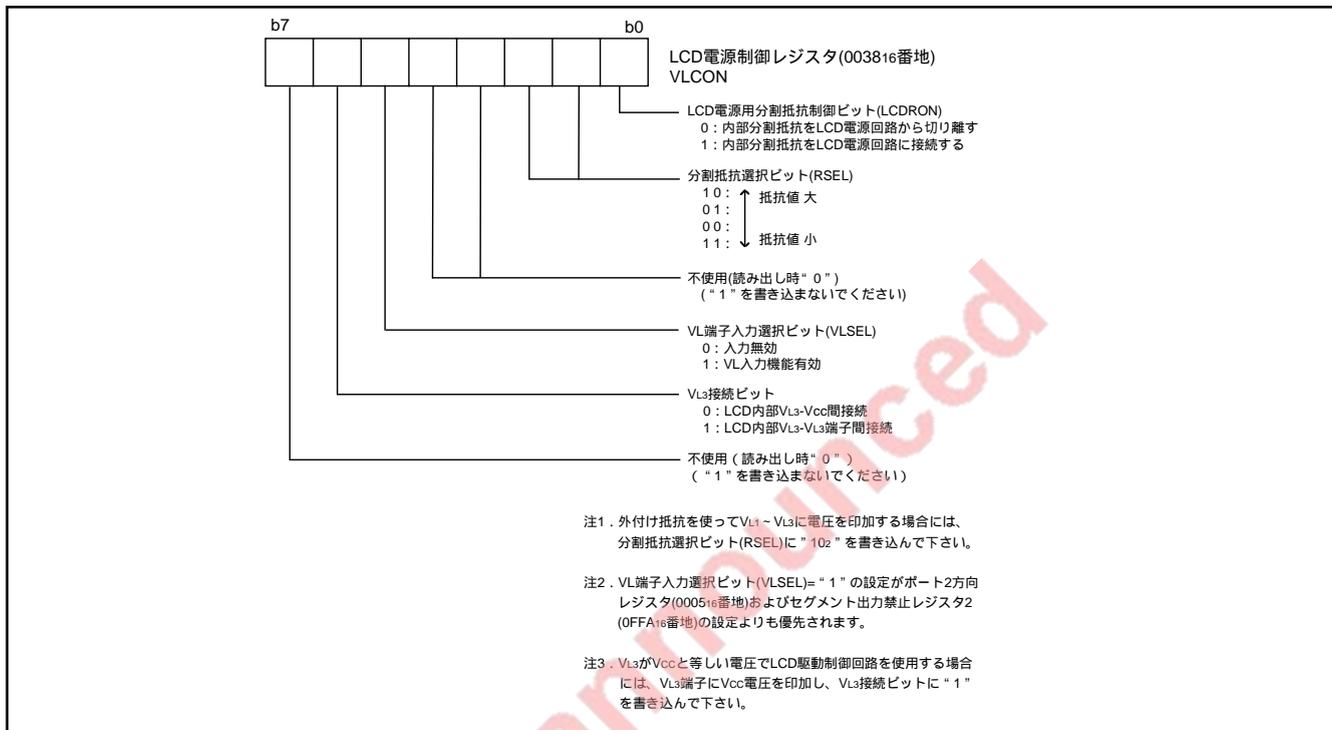


図32 . 各バイアス時の回路例 (外部電源入力時)

LCD電源回路

LCD用電源回路は、ソフトウェアで切り離し可能なLCD電源用分割抵抗を内蔵しています。この内部抵抗の接続選択は、LCD電源制御レジスタで設定を行います。



SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

LCD表示用RAM

0040₁₆番地から004B₁₆番地までの12バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

LCD駆動タイミング

LCD駆動制御回路はAタイプ、又はBタイプのLCD駆動タイミングを選択できます。

LCD駆動タイミングの選択はタイミング選択ビット(LCDモードレジスタのビット4)により行います。

LCD駆動タイミング選択ビットを“0”に設定するとAタイプ、“1”に設定するとBタイプが選択されます。リセット後の駆動タイミングはAタイプになります。

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

注意事項

- STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタのビット3)及びLCD電源制御レジスタのビット6以外のビットが“0”にクリアされます。
- 外付け抵抗を使ってV_{L1}～V_{L3}に電圧を印加する場合には、LCD電源制御レジスタ(0038₁₆番地)の分割抵抗選択ビット(RSEL)に“10₂”を書き込んで下さい。
- V_{L3}がV_{cc}と等しい電圧でLCD駆動制御回路を使用する場合には、V_{L3}端子にV_{cc}電圧を印加し、LCD電源制御レジスタ(0038₁₆番地)のV_{L3}接続ビットに“1”を書き込んで下さい。

ビット アドレス	7	6	5	4	3	2	1	0
0040 ₁₆	SEG ₁				SEG ₀			
0041 ₁₆	SEG ₃				SEG ₂			
0042 ₁₆	SEG ₅				SEG ₄			
0043 ₁₆	SEG ₇				SEG ₆			
0044 ₁₆	SEG ₉				SEG ₈			
0045 ₁₆	SEG ₁₁				SEG ₁₀			
0046 ₁₆	SEG ₁₃				SEG ₁₂			
0047 ₁₆	SEG ₁₅				SEG ₁₄			
0048 ₁₆	SEG ₁₇				SEG ₁₆			
0049 ₁₆	SEG ₁₉				SEG ₁₈			
004A ₁₆	SEG ₂₁				SEG ₂₀			
004B ₁₆	SEG ₂₃				SEG ₂₂			
	COM ₃	COM ₂	COM ₁	COM ₀	COM ₃	COM ₂	COM ₁	COM ₀

図35 . LCD表示用RAMマップ

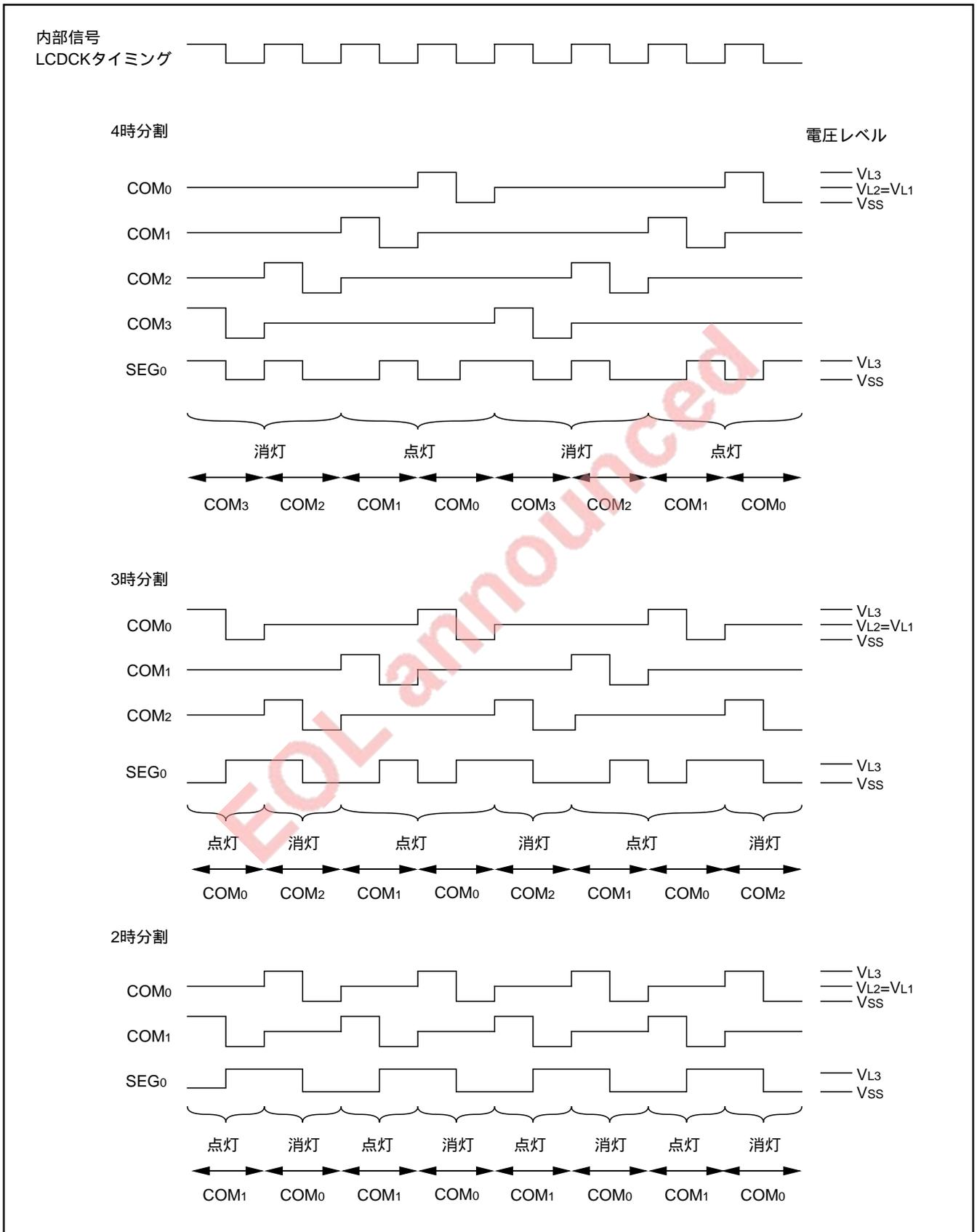


図36 . LCD駆動波形 (1/2バイアスAタイプの場合)

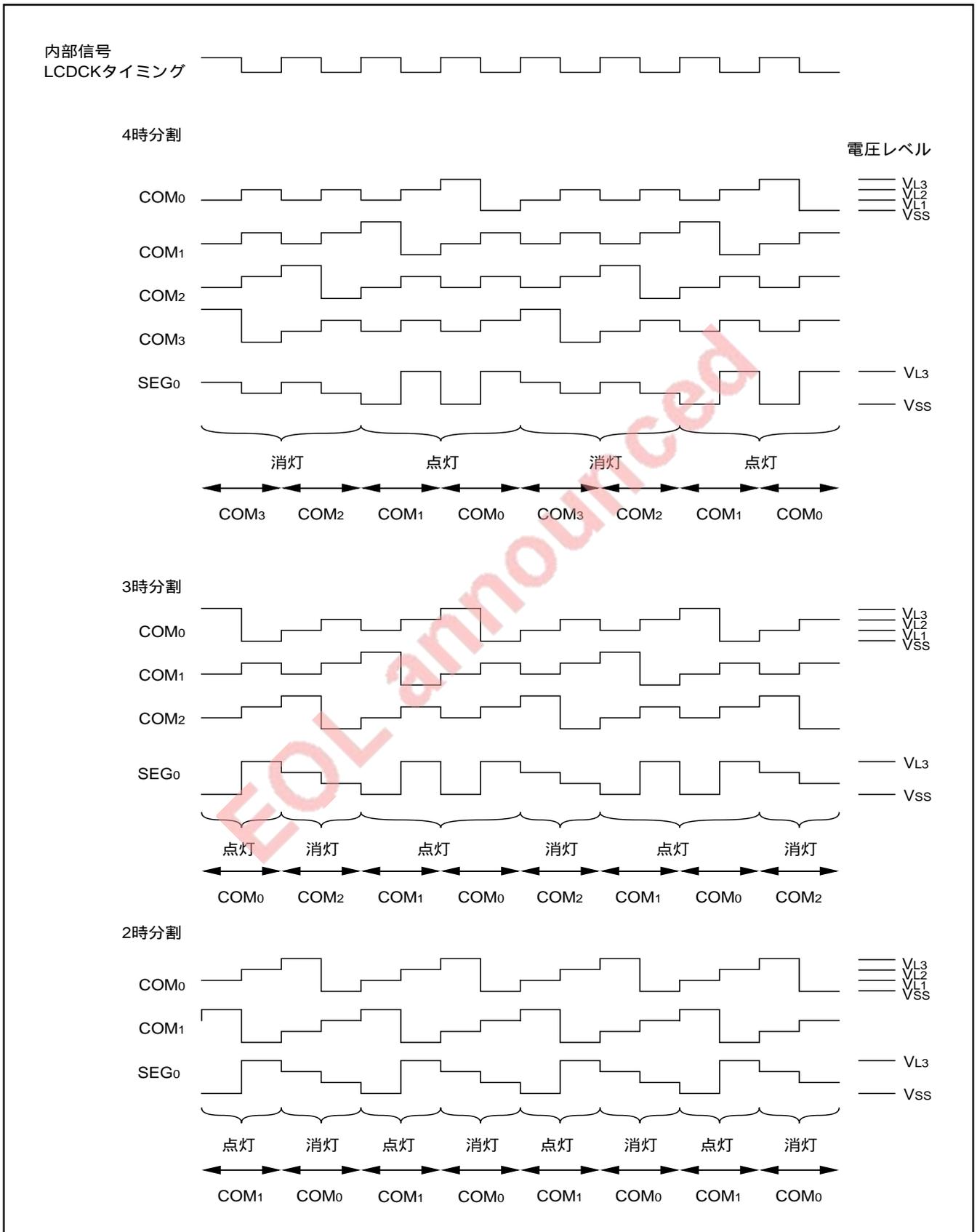


図37. LCD駆動波形 (1/3バイアスAタイプの場合)

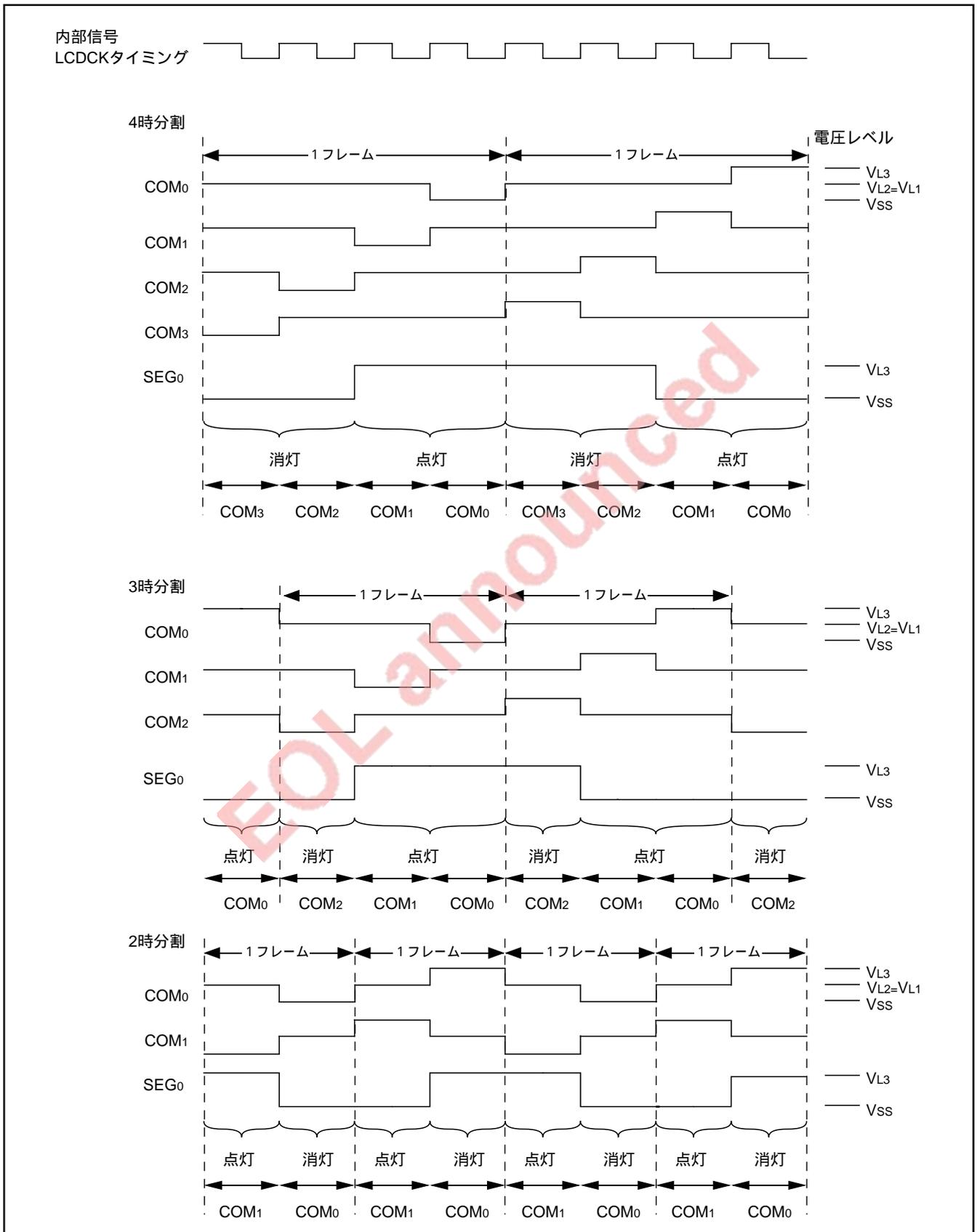


図38 . LCD駆動波形 (1/2バイアスBタイプの場合)

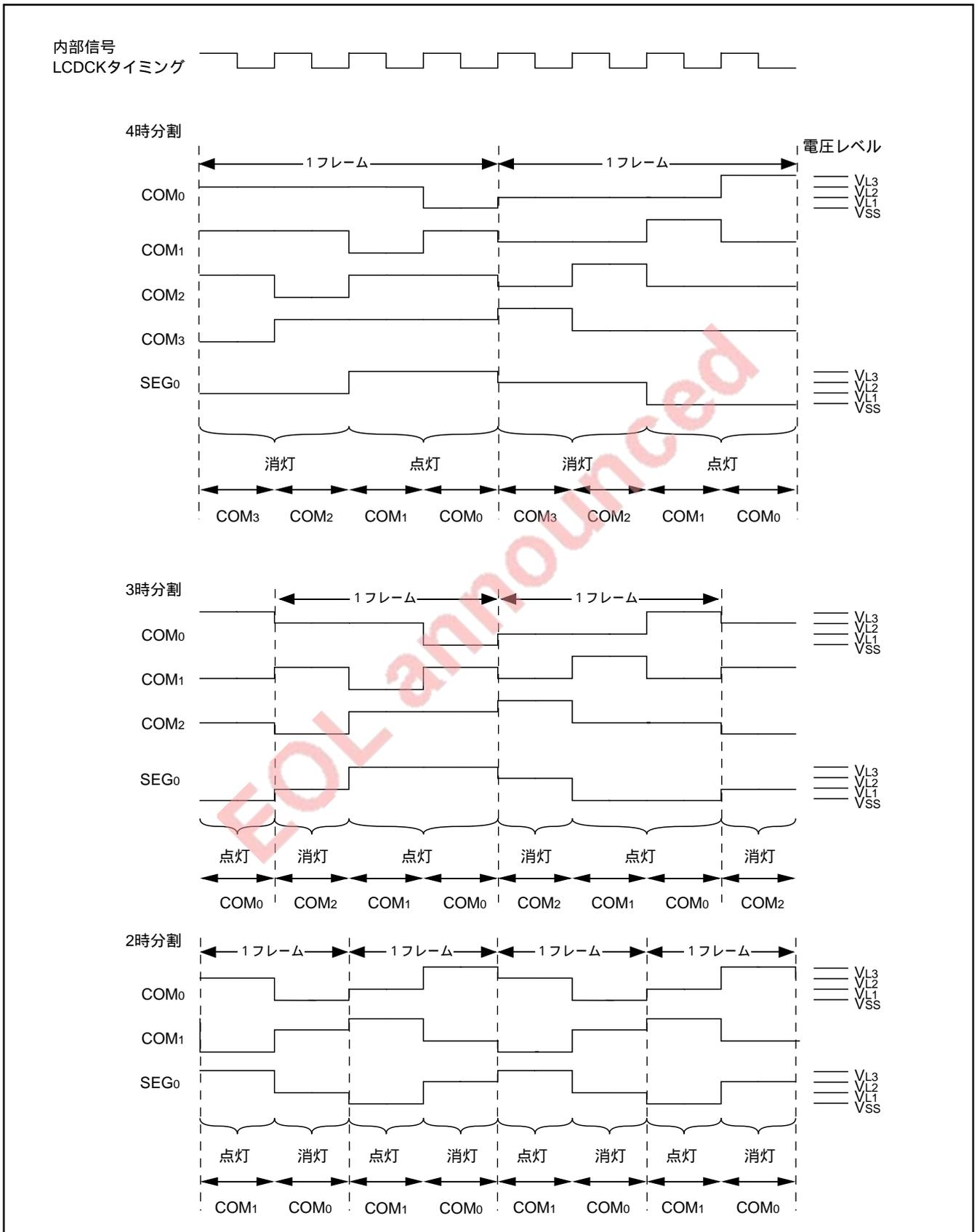


図39 . LCD駆動波形 (1/3バイアスBタイプの場合)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのカウンタで構成されます。

ウォッチドッグタイマの初期値

リセット時又はウォッチドッグタイマ制御レジスタへの書き込みにより、ウォッチドッグタイマは FF16 にセットされます。書き込みのための命令はSTA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。書き込みデータはビット7とビット6以外は意味がなく、無関係に上記の値がセットされます。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタへの書き込みによりダウンカウントを開始します。ウォッチドッグタイマがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセットが解除され、リセットベクトル番地からプログラムを実行します。通常はウォッチドッグタイマがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイ

マ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウンタとSTP命令禁止ビット(ビット6)の値と、カウントソース選択ビット(ビット7)の値が読み込まれます。STP命令禁止ビットを"0"の状態にしておくと、STP命令は有効です。このビットを"1"に書き換えることによりSTP命令は禁止されます。このときSTP命令が実行されると未定義命令として処理され、内部でリセットが発生します。このビットはプログラミングにより"0"に書き換えることはできません。このビットはリセット直後"0"です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマレジスタがアンダフローするまでの時間を以下に示します。(ウォッチドッグタイマ制御レジスタのビット7が"0"の場合)

- 2/4/8分周モード時 ($f(XIN)=8MHz$) ..32.768ms
- 低速モード時 ($f(XCIN)=32kHz$) ..8.19s

注 . ストップ解除の待ち時間(タイマ1及びタイマ2で設定した時間)及びウェイトモード時の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないように注意してください。

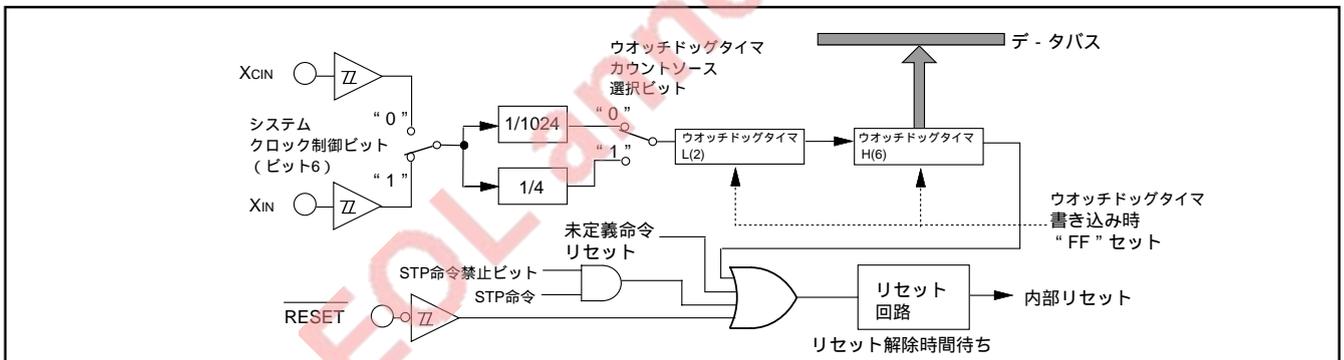


図40 . 暴走検出機能ブロック図

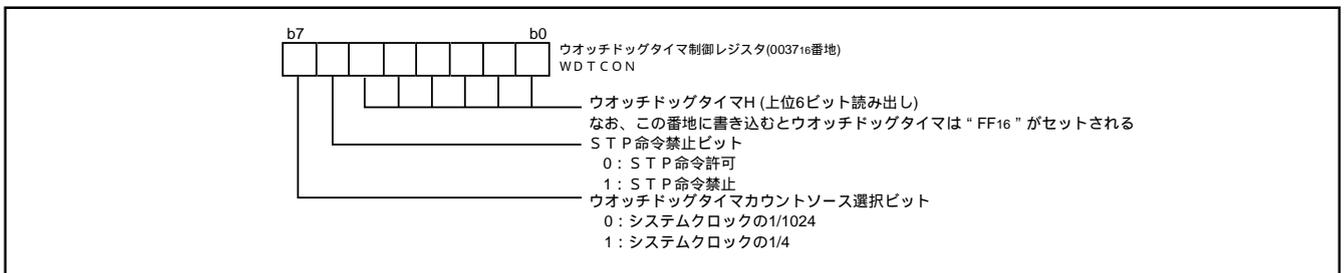


図41 . ウォッチドッグタイマ制御レジスタの構成

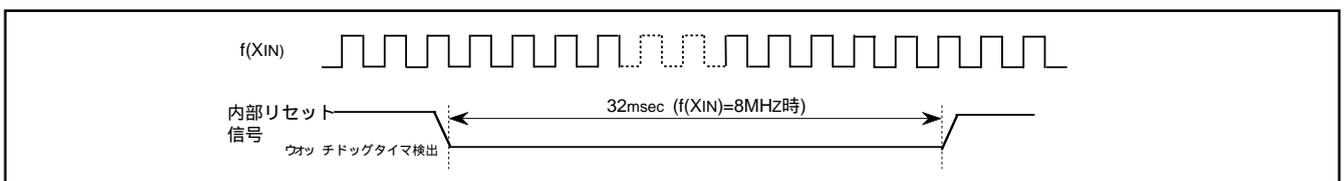


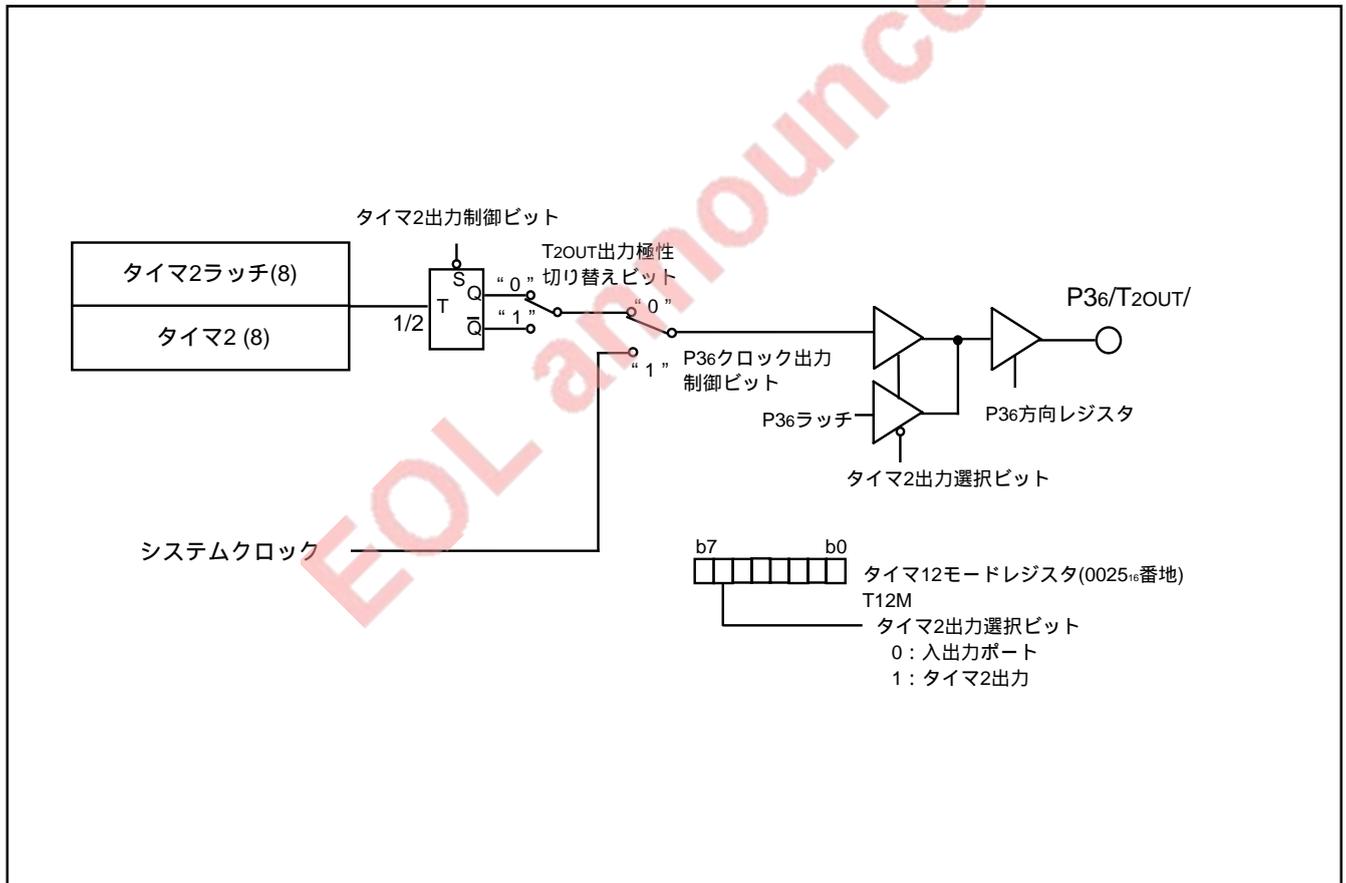
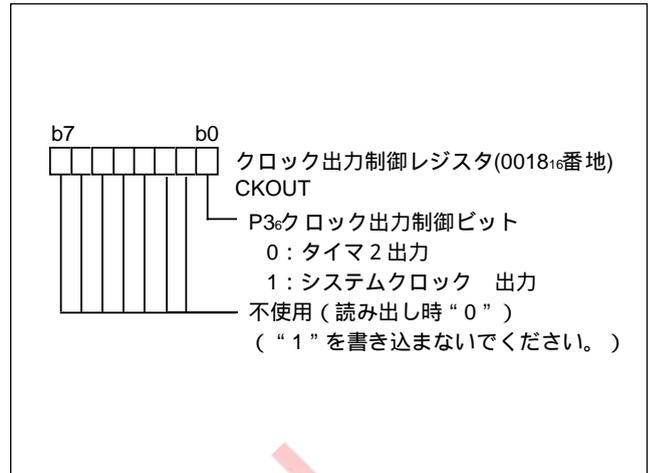
図42 . リセット出力のタイミング図

クロック出力機能

入出力ポートP3₆からシステムクロック を出力することができます。クロック出力制御レジスタ(0018₁₆番地)とタイマ12モードレジスタ(0025₁₆番地)のタイマ2出力選択ビット(ビット6)により、入出力ポートとタイマ2出力機能とシステムクロック 出力機能のトリプルファンクション制御を行います。

入出力ポートP3₆からシステムクロック を出力するためには、タイマ2出力選択ビットを“1”に設定し、かつクロック出力制御レジスタのビット0を“1”に設定する必要があります。クロック出力機能を選択した場合、ポートP3₆の方向レジスタが出力に設定されている間クロックが出力されます。

P3₆は、タイマ2出力制御ビットを書き換えた次のサイクルで、ポート出力とポート以外の出力(タイマ2出力、又はクロック出力)が切り替わります。



SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

リセット回路

38C2グループは、電源電圧が $V_{CC}(\text{min.}) \sim 5.5\text{V}$ の範囲にあり、水晶発振子などが安定発振しているとき、 $\overline{\text{RESET}}$ 端子を $2\mu\text{s}$ 以上 Lレベルに保った後 Hレベルに戻すとリセット解除され、 FFFD_{16} 番地の内容を上位アドレス、 FFFC_{16} 番地の内容を低位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\text{min.})$ を通過する時点で V_{IL} 規格を満足するようにしてください。

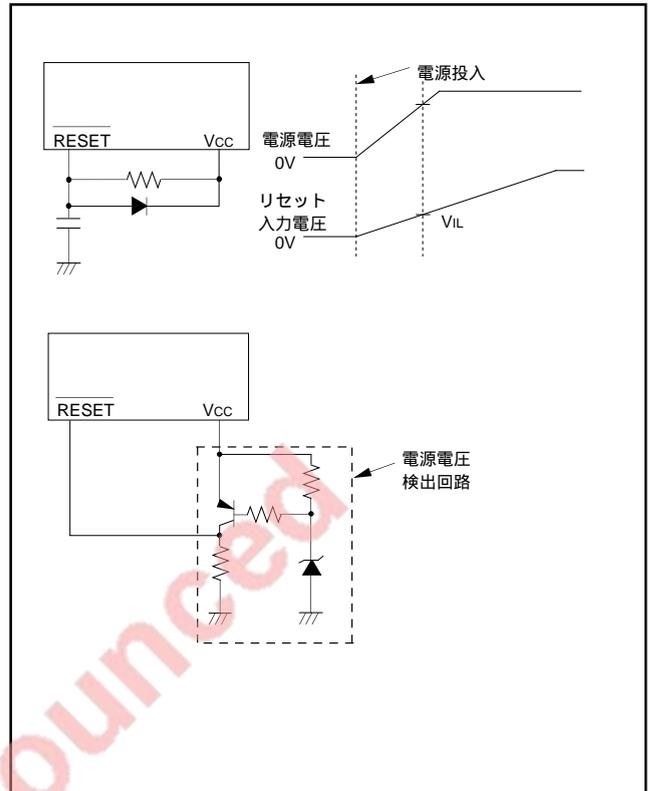


図45 . リセット回路例

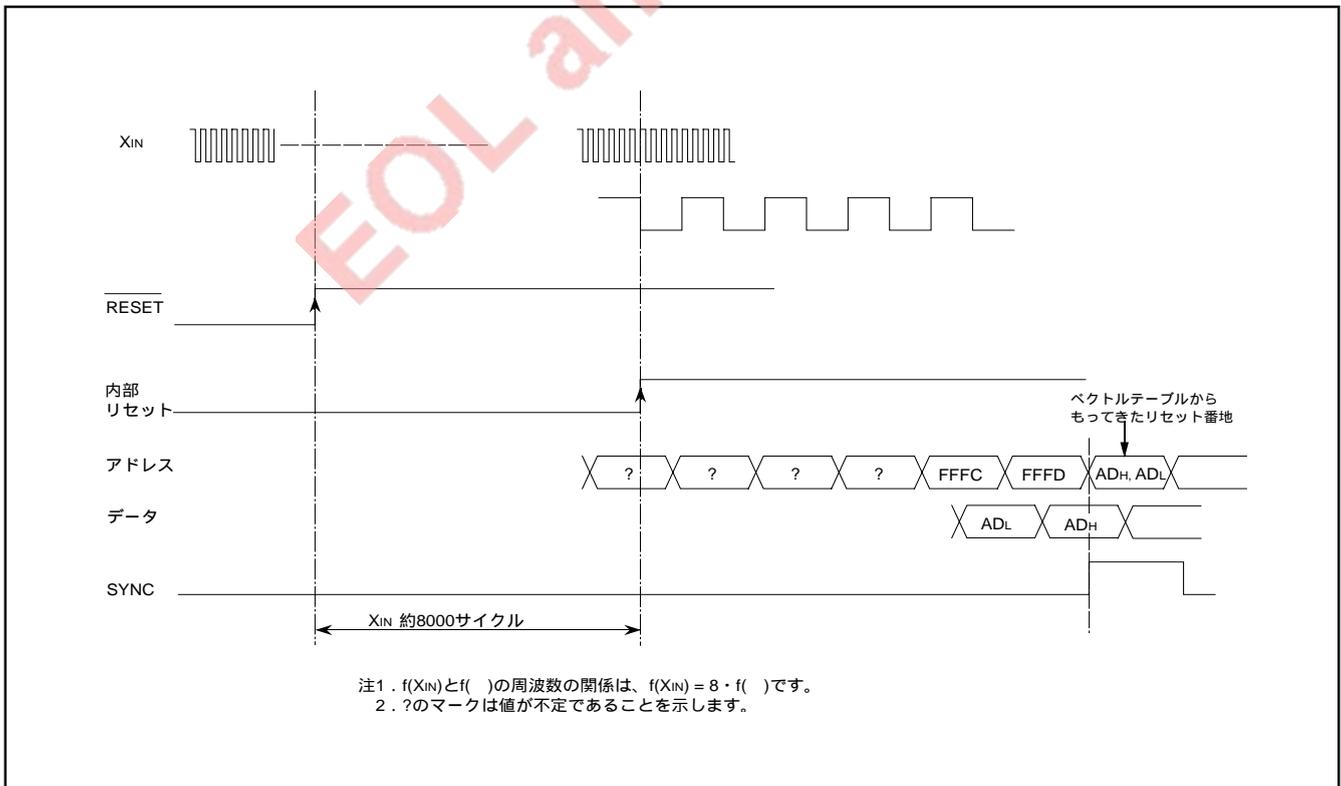


図46 . リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(52) タイマX制御レジスタ	0FF4 ₁₆	00 ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(53) タイマ12分周選択レジスタ	0FF5 ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(54) タイマ34分周選択レジスタ	0FF6 ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(55) タイマXY分周選択レジスタ	0FF7 ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(56) セグメント出力禁止レジスタ0	0FF8 ₁₆	FF ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(57) セグメント出力禁止レジスタ1	0FF9 ₁₆	FF ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(58) セグメント出力禁止レジスタ2	0FFA ₁₆	FF ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(59) タイマYモードレジスタ2	0FFB ₁₆	00 ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(60) フラッシュメモリ制御レジスタ	0FFE ₁₆	x x x 0 0 0 0 1
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(61) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(11) ポートP5	000A ₁₆	00 ₁₆	(62) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆		(PC _L)	FFFC ₁₆ 番地の内容
(13) ポートP6	000C ₁₆	00 ₁₆			
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆			
(15) クロック出力制御レジスタ	0018 ₁₆	00 ₁₆			
(16) AD制御レジスタ	0019 ₁₆	08 ₁₆			
(17) シリアルI/O1ステータスレジスタ	001D ₁₆	1 0 0 0 0 0 0 0			
(18) シリアルI/O2ステータスレジスタ	001F ₁₆	1 0 0 0 0 0 0 0			
(19) タイマ1	0020 ₁₆	FF ₁₆			
(20) タイマ2	0021 ₁₆	01 ₁₆			
(21) タイマ3	0022 ₁₆	FF ₁₆			
(22) タイマ4	0023 ₁₆	FF ₁₆			
(23) PWM01レジスタ	0024 ₁₆	00 ₁₆			
(24) タイマ12モードレジスタ	0025 ₁₆	00 ₁₆			
(25) タイマ34モードレジスタ	0026 ₁₆	00 ₁₆			
(26) コンペアレジスタ (下位)	0028 ₁₆	00 ₁₆			
(27) コンペアレジスタ (上位)	0029 ₁₆	00 ₁₆			
(28) タイマX (下位)	002A ₁₆	FF ₁₆			
(29) タイマX (上位)	002B ₁₆	FF ₁₆			
(30) タイマX拡張レジスタ	002C ₁₆	00 ₁₆			
(31) タイマY (下位)	002D ₁₆	FF ₁₆			
(32) タイマY (上位)	002E ₁₆	FF ₁₆			
(33) タイマXモードレジスタ	002F ₁₆	00 ₁₆			
(34) タイマYモードレジスタ	0030 ₁₆	00 ₁₆			
(35) ウォッチドッグタイマ制御レジスタ	0037 ₁₆	0 0 1 1 1 1 1 1			
(36) LCD電源制御レジスタ	0038 ₁₆	00 ₁₆			
(37) LCDモードレジスタ	0039 ₁₆	00 ₁₆			
(38) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆			
(39) CPUモードレジスタ	003B ₁₆	0 1 0 0 1 0 0 0			
(40) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆			
(41) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆			
(42) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆			
(43) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆			
(44) シリアルI/O1制御レジスタ	0FE0 ₁₆	00 ₁₆			
(45) UART1制御レジスタ	0FE1 ₁₆	1 1 1 0 0 0 0 0			
(46) シリアルI/O2制御レジスタ	0FE3 ₁₆	00 ₁₆			
(47) UART2制御レジスタ	0FE4 ₁₆	1 1 1 0 0 0 0 0			
(48) 発振出力制御レジスタ	0FF0 ₁₆	00 ₁₆			
(49) PULLレジスタ	0FF1 ₁₆	00 ₁₆			
(50) キー入力制御レジスタ	0FF2 ₁₆	00 ₁₆			
(51) タイマ1234モードレジスタ	0FF3 ₁₆	00 ₁₆			

注. x: 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図47. リセット時の内部状態

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

クロック発生回路

38C2グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの端子間に共振子を接続することにより、発振回路を形成することができます。容量及び抵抗などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので、外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗が内蔵されていませんので、外部に帰還抵抗を付けてください。

メインクロックに外部からクロック信号を供給する場合は、XIN端子に入力し、XOUTは1kΩの抵抗を介してVccにプルアップしてください。サブクロックに外部からクロック信号を供給する場合は、XCIN端子に入力し、XCOUT端子は開放してください。

電源投入直後はXIN側の発振回路のみが発振を開始します。

周波数制御

(1) 8分周モード

XIN端子に加わった周波数を8分周したものがシステムクロックとなります。リセット解除後はこのモードになります。

(2) 4分周モード

XIN端子に加わった周波数を4分周したものがシステムクロックとなります。

(3) 2分周モード

XIN端子に加わった周波数を2分周したものがシステムクロックとなります。

(4) 低速モード

XCIN端子に加わった周波数を2分周したものがシステムクロックとなります。

低速モード時には、CPUモードレジスタのビット7を“0”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はCPUモードレジスタのビット7を“1”にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注. 2/4/8分周モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

発振制御

(1) ストップモード

STP命令を実行するとシステムクロックが“H”の状態で停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1およびタイマ2にはあらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が自動的にロードされます。このため、STP命令実行前にタイマ1、タイマ2のラッチ(タイマ1は下位8ビット

ト、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値を書き込んでおいてください。タイマ1のカウントソースにはタイマ1用分周器が、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはビット7、6以外すべて“0”にクリアされます。タイマ12分周選択レジスタの値は変化しません。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態(“0”)に設定してください。

発振はリセット又は割り込み要求が受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUにシステムクロックが供給されます。これは、外付け共振子を使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、システムクロックのみ“H”の状態で停止します。このときXIN及びXCINはWIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると、停止を解除します。発振器は停止していませんので、直ちに命令を実行できます。

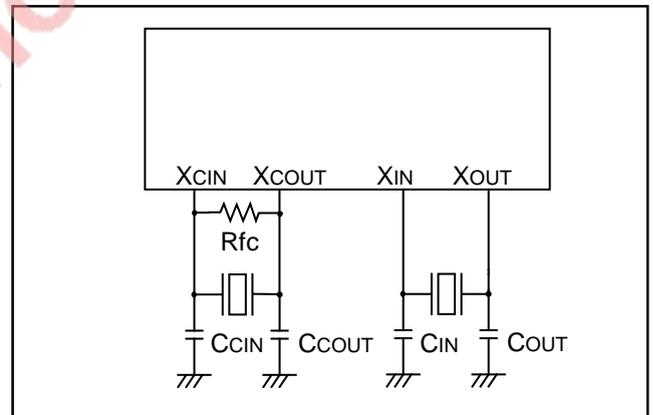


図48．セラミック共振子外付け回路

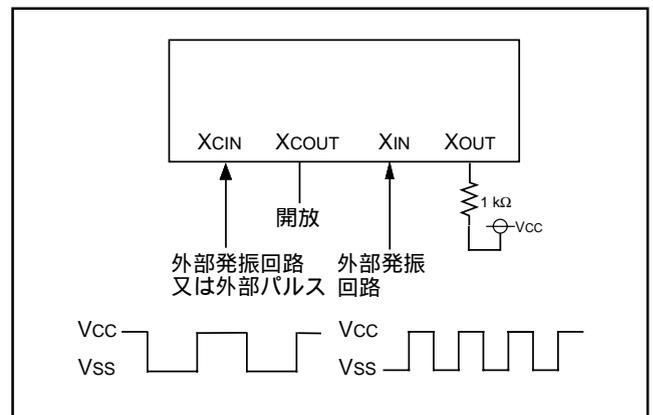


図49．外部クロック入力回路

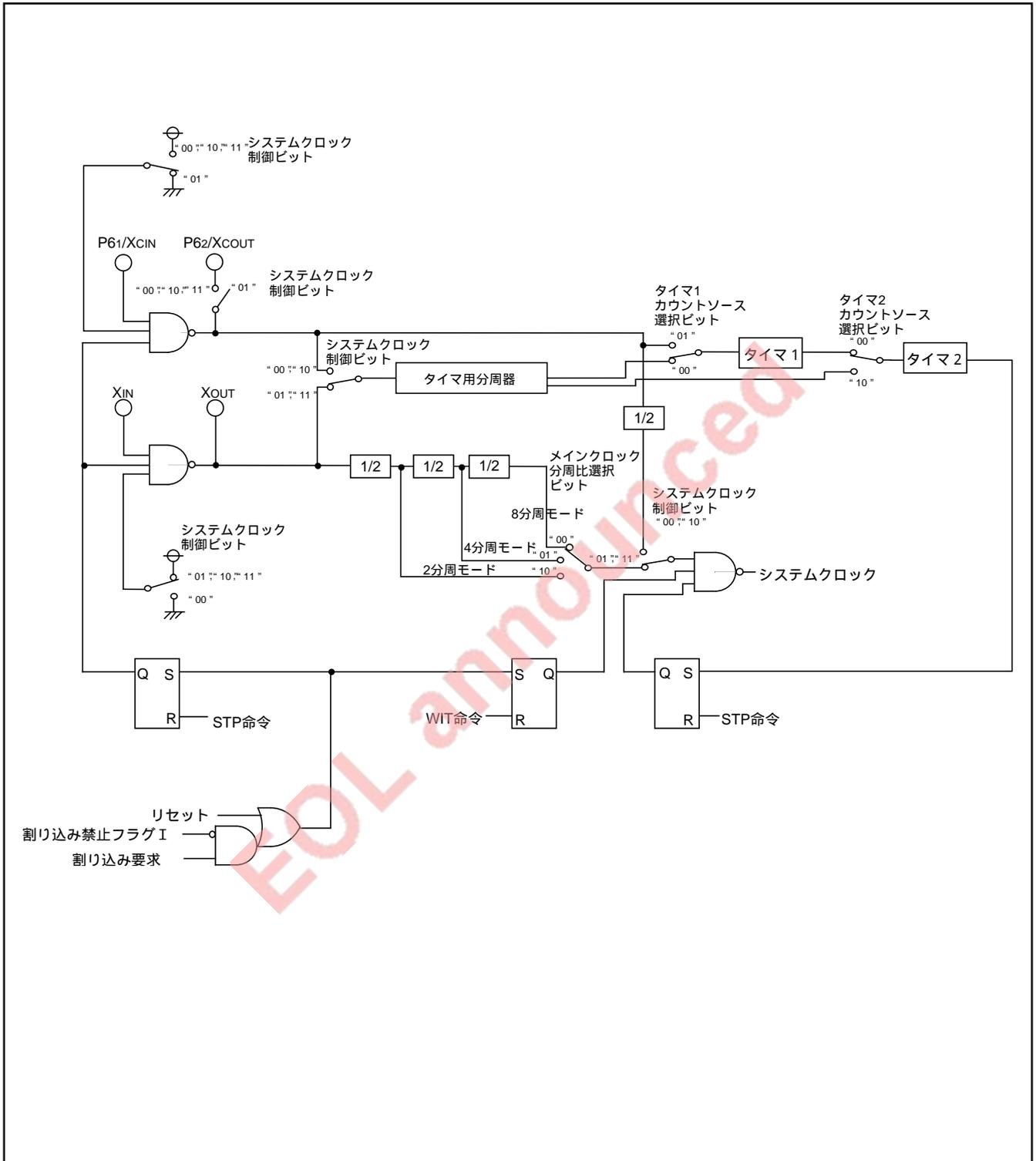


図50. クロック発生回路のブロック図

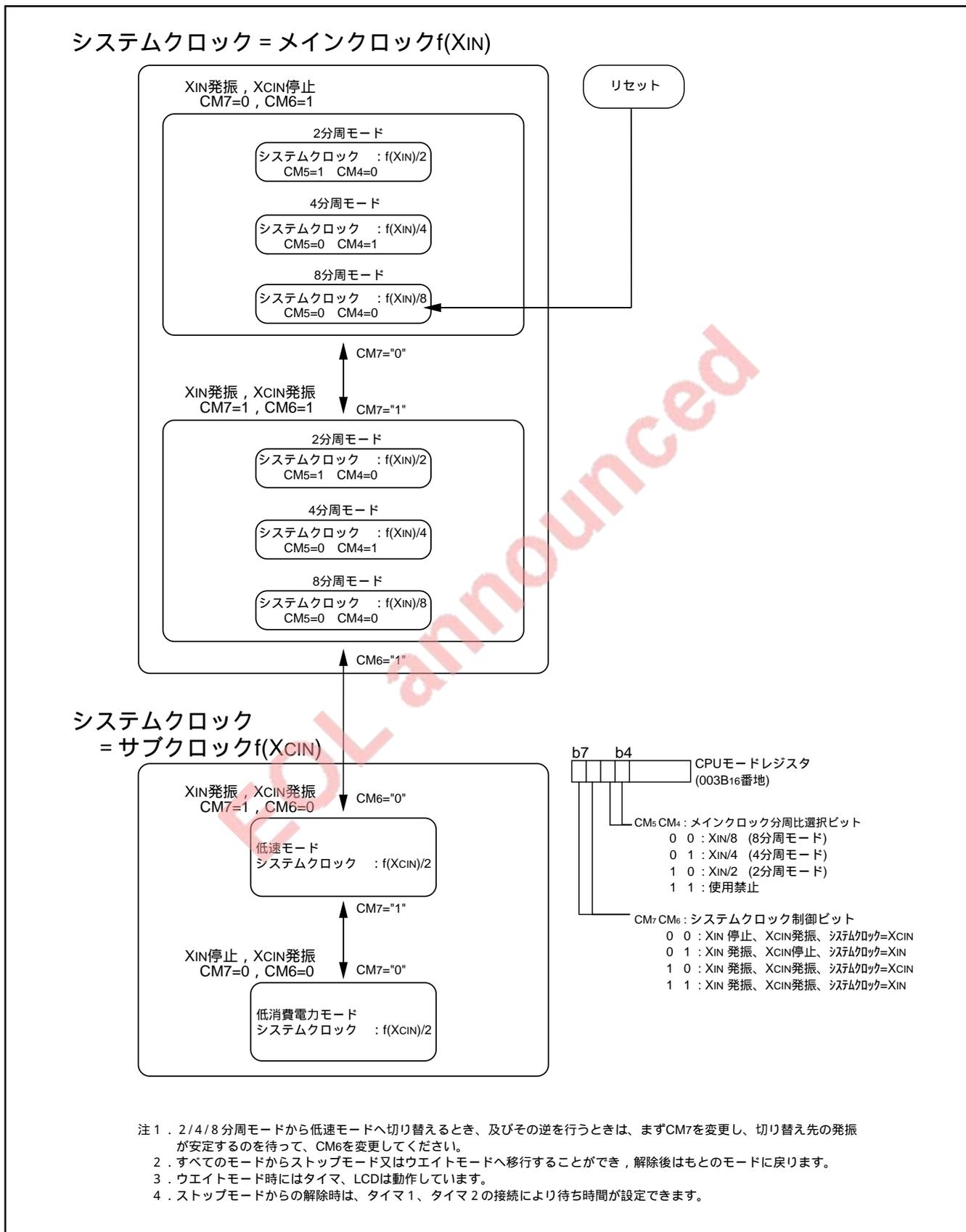


図51 . システムクロックの状態遷移図

発振外部出力機能

38C2グループは、P40、P41から発振回路で得られたクロックを方形波出力する機能（発振外部出力機能）を持っています。発振外部出力機能を有効にするには、クロック出力のポート（P40、P41の双方、又はいずれか）を出力モードに設定（対応する方向レジスタを“1”に設定）してください。

発振出力制御レジスタ（0FF0₁₆番地）のP40/P41発振出力制御ビット（ビット0、1）によって、XCOUT端子からの信号を外部出力する機能が選択されている状態で、サブクロック（XCIN-XCOUT）が発振停止状態、又はストップモードのとき、XCOUT外部出力信号は“H”レベルとなります。

同様に、発振出力制御レジスタ（0FF0₁₆番地）のP40/P41発振出力制御ビット（ビット0、1）によって、XOUT端子からの信号を外部出力する機能が選択されている状態で、メインクロック（XIN-XOUT）が発振停止状態、又はストップモードのとき、XOUT外部出力信号は“H”レベルとなります。

注意事項

発振回路のXOUT端子又はXCOUT端子からの信号を本マイコン以外の回路に直接取り込み、使用した場合、システムの安定動作を損なう恐れがあります。発振回路を安全に共有するために、本マイコン以外の回路には、本機能を活用してP40、P41から出力されたクロックを使用してください。

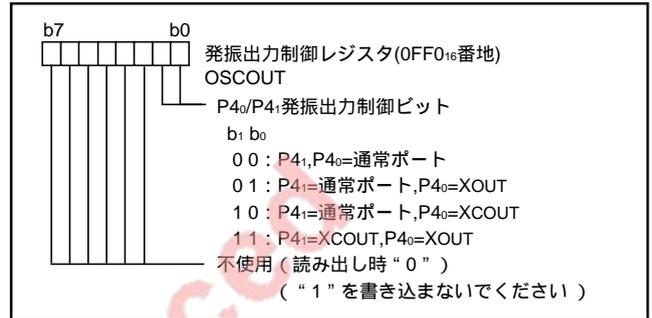


図52．発振出力制御レジスタの構成

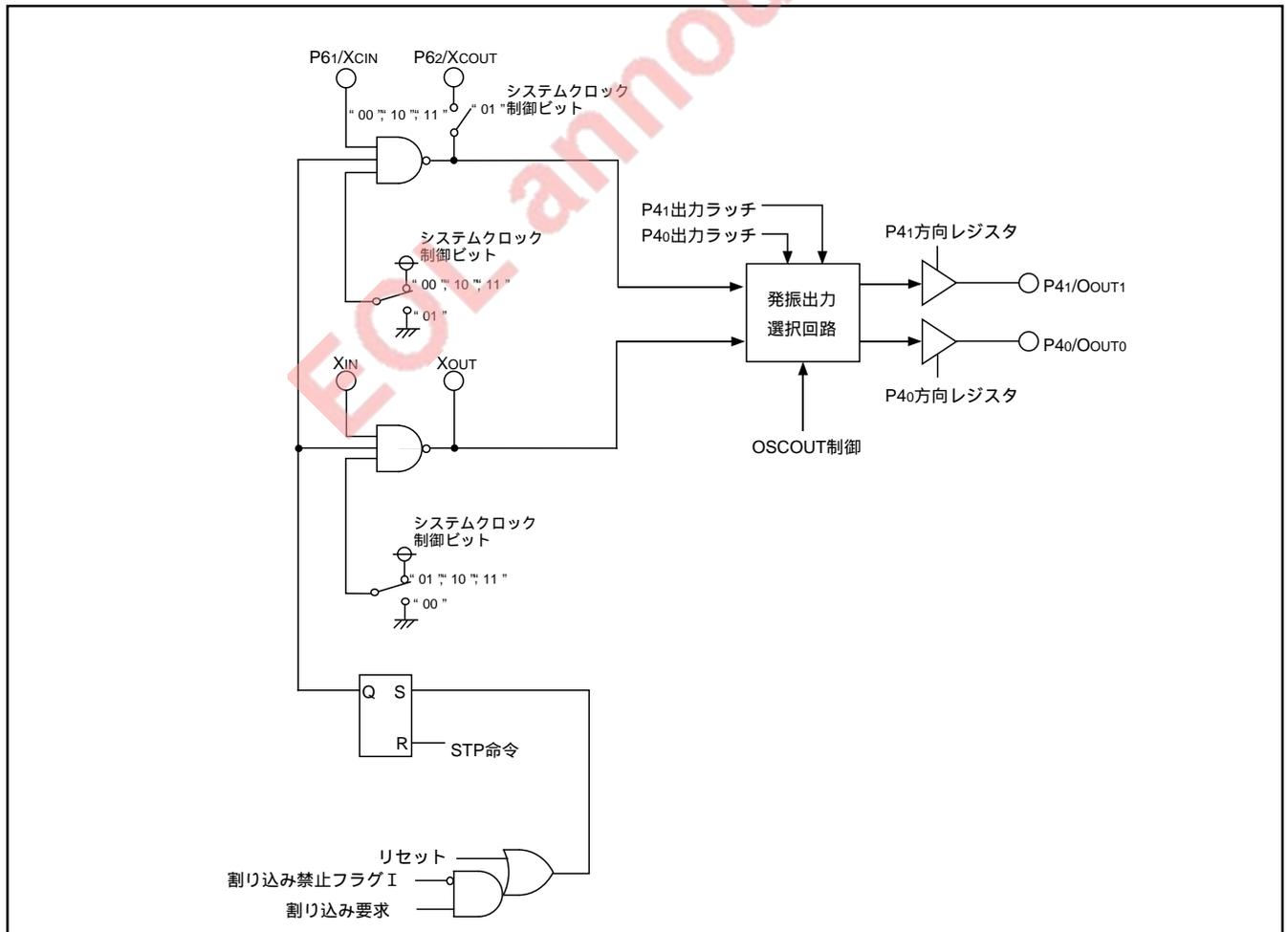


図53．発振出力機能のブロック図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されます。変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・ 10進演算を行う場合は、10進モードフラグDを“1”に設定してADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・ 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

- ・ タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
 - ・ カウントソースを生成する分周器は、タイマ全体で1つの回路を共用しています。そのため各タイマを起動したときに、分周器の初期化は行いません。したがって、カウントソースに分周器を選択した場合、起動から実際にタイマがカウント開始、あるいは波形出力するまでの間には、最大カウントソースの1サイクル分の遅延が生じます。
- また、カウントソースは外部から観測することはできません。

乗除算命令に関するもの

- ・ MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・ 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

A-D変換に関するもの

コンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-Dクロック周波数を250kHz以上にしてください。

また、A-D変換中にSTP命令を実行すると直ちにA-D変換が中止され、A-D変換終了ビットに“1”がセットされ、割り込み要求が発生します。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックの周期をかけることによって得られます。

使用上の注意

・VL3端子に関する注意

LCD駆動制御回路を使用しない場合、VL3端子はVccに接続してください。

・ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

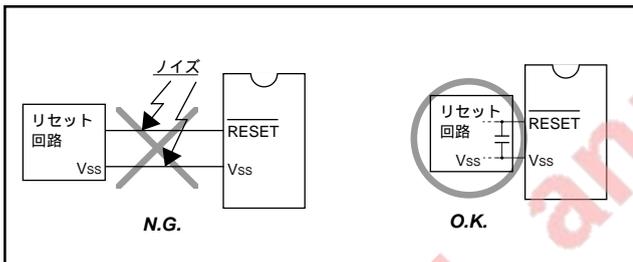


図54. リセット入力端子の配線

クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

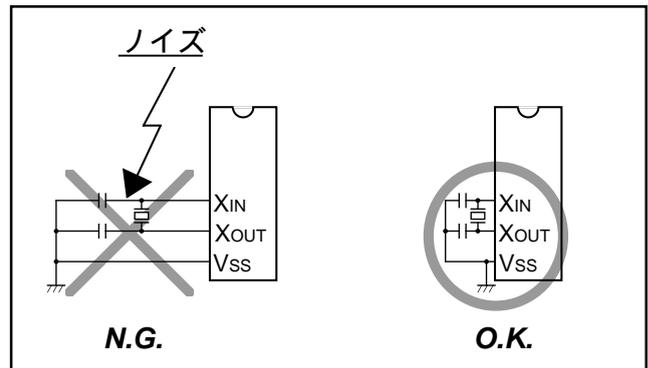


図55. クロック入出力端子の配線

(2) Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

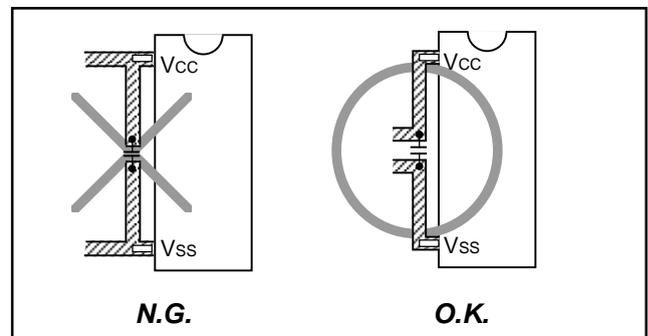


図56. VSS - VCCライン間のバイパスコンデンサ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

(3) 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

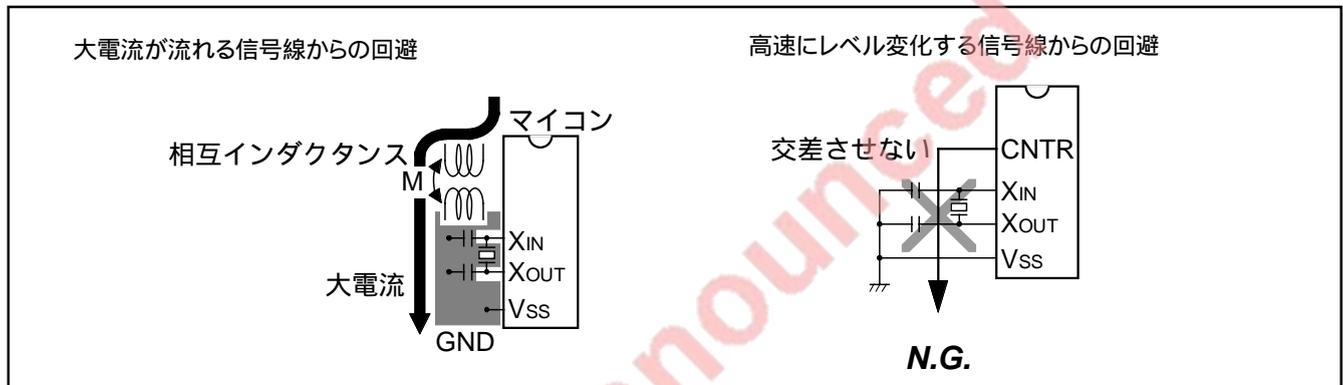


図57. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) フラッシュメモリ版のVPP端子配線

VPP端子のできるだけ近くに10kΩ程度の抵抗を直列に挿入し、VSS端子に接続してください。

注 .10kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

理由

フラッシュメモリ版マイコンのVPP端子は内蔵フラッシュメモリの電源入力端子です。内蔵フラッシュメモリへのプログラムの書き込み/消去時に、書き込み/消去電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。VPP端子からノイズが侵入すると、内蔵フラッシュメモリから異常な命令コード、データが読み出され、暴走の原因となります。

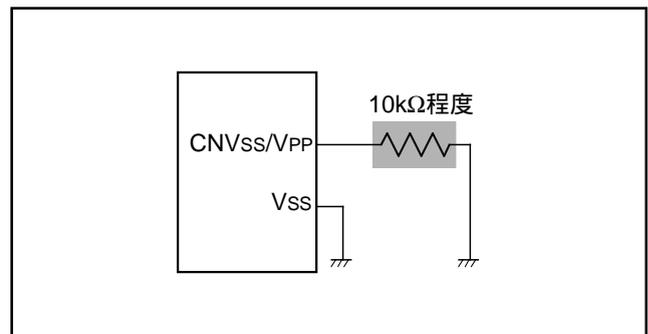


図58. フラッシュメモリのVPP端子の配線

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

フラッシュメモリモード

38C2グループ(フラッシュメモリ版)は、Vccが4.5~5.5Vのとき単一電源、Vccが3.0~4.5Vのとき2電源での書き換えが可能なNEW DINOR(DIvided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図59に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

性能概要

表8に38C2グループ(フラッシュメモリ版)の性能概要を示します。

表8. 38C2グループ(フラッシュメモリ版)の性能概要

項目	性能
電源電圧	Vcc = 2.5 ~ 5.5V (注1) Vcc = 2.5 ~ プログラム/イレーズ時のVcc+0.5V (注2)
プログラム/イレーズ電圧	Vpp = 4.5 ~ 5.5V、Vcc = 3.0 ~ 5.5V
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域
	ブートROM領域
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数	5コマンド
プログラム/イレーズ回数	100回
ROMコードプロテクト	パラレル入出力モード/標準シリアルモード対応

注1. プログラム/イレーズ時のVcc=5.0~5.5Vの時の規格です。

注2. プログラム/イレーズ時のVcc=3.0~5.0Vの時の規格です。

注3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図59に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図59に示すとおりです。

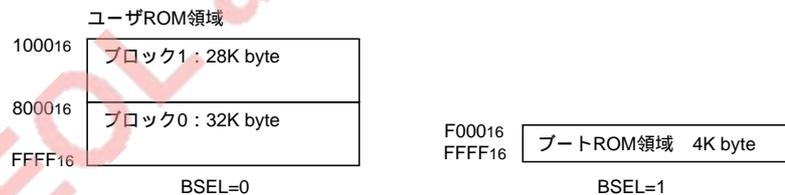
CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P41(\overline{CE})端子を“H”、CNVss端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

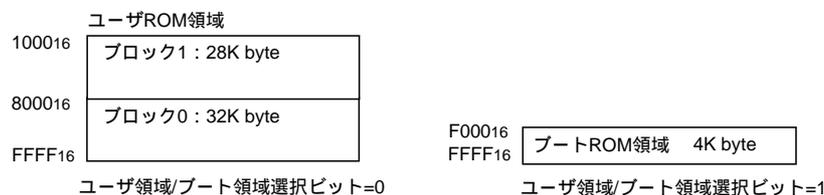
ブロックアドレス

ブロックアドレスとは、各ブロックの最大アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

パラレル入出力モード時



CPU書き換えモード、標準シリアル入出力モード時



形名	フラッシュメモリ先頭番地
M38C29FF	1000 ₁₆

- 注1. ブートROM領域はパラレル入出力モードのみ書き換え可能です。(ブートROM領域外のアクセスは禁止)
- 注2. ブロックを指定する場合、ブロック内の最大アドレスを使用してください。

図59. 内蔵フラッシュメモリのブロック図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CNVss端子に4.5V～5.5Vを印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図60にフラッシュメモリ制御レジスタを示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には0(ビジー)、これ以外のときには1(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグで、このビットを読むことによりCPU書き換えモードにエントリしていることを確認することができます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット4はユーザ領域/ブート領域選択ビットで、“1”をセットすることでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビットの操作はRAM上のプログラムで行う必要があります。

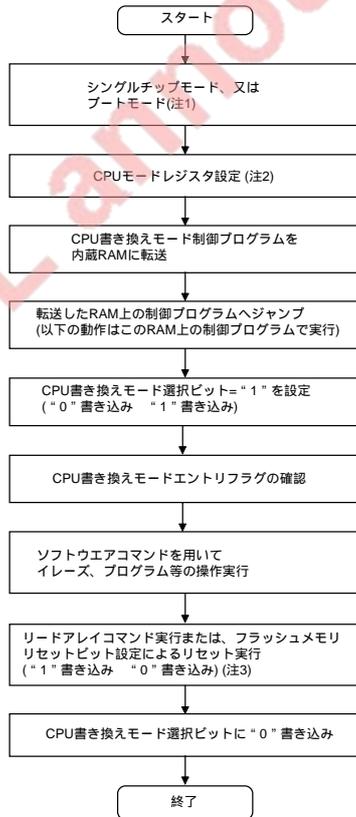
図61にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ

ビットシンボル	ビット名	機能	R	W
b7	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ		x
b6	CPU書き換えモード選択ビット (注2)	0: 通常モード (ソフトウェアコマンド無効) 1: CPU書き換えモード (ソフトウェアコマンド受け付け可能)		
b5	CPU書き換えモードエントリフラグ	0: 通常モード (ソフトウェアコマンド無効) 1: CPU書き換えモード (ソフトウェアコマンド受け付け可能)		x
b4	フラッシュメモリリセットビット (注3)	0: 通常動作 1: リセット		
b3	ユーザ領域/ブート領域選択ビット	0: ユーザROM領域 1: ブートROM領域		
b2				
b1				
b0				
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			x	x

- 注1. リセット解除後のフラッシュメモリ制御レジスタの値は“XXX00001”となります。
 注2. “1”を設定するためには、このビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。このビットへの書き込みは、内蔵RAM上の制御プログラムで行ってください。
 注3. CPU書き換えモード選択ビットが“1”のときのみ有効です。“1”を設定（リセット）後、続いて“0”を設定してください。

図60. フラッシュメモリ制御レジスタの構成



- 注1. シングルチップモードでスタートした場合はCPU書き換えモードエントリフラグの確認までにCNVss端子に4.5-5.5Vを印加する必要があります。
 注2. CPUモードレジスタ(003B16番地)のビット4,5(メインクロック分周比選択ビット)を設定してください。
 注3. イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ずリードアレイコマンド又はフラッシュメモリリセットを行ってください。

図61. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット4,5)によって、システムクロック が4.0MHz以下になるように設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS} = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

EOL announced

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ソフトウェアコマンド

表9にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D₀~D₇)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR₄, SR₅)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D₀~D₇)へ読

み出されます。ステータスレジスタのビット7(SR₇)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

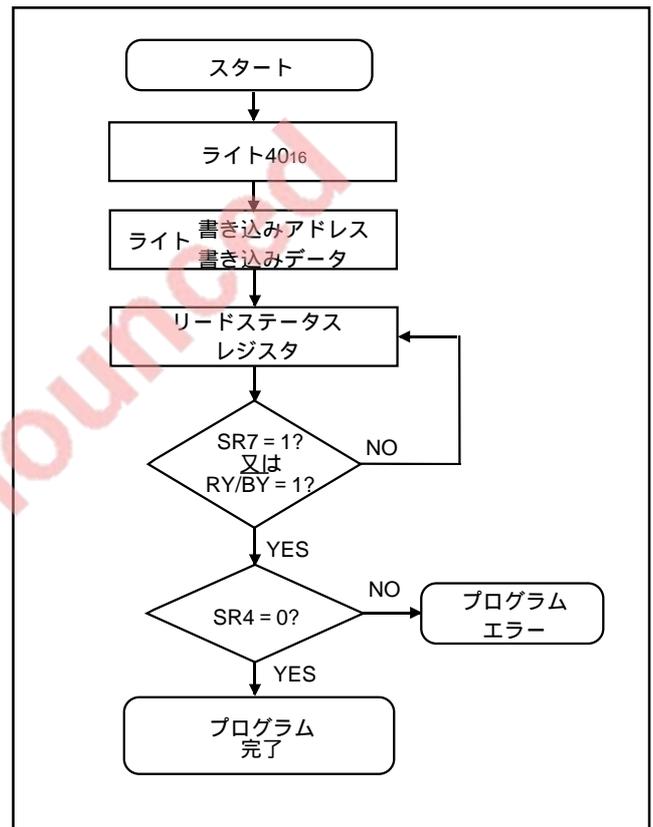


図62. プログラムフローチャート

表9. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D ₀ ~D ₇)	モード	アドレス	データ (D ₀ ~D ₇)
リードアレイ	1	ライト	X (注4)	FF ₁₆			
リードステータスレジスタ	2	ライト	X	70 ₁₆	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 ₁₆			
プログラム	2	ライト	X	40 ₁₆	ライト	WA (注2)	WD (注2)
ブロックイレーズ	2	ライト	X	20 ₁₆	ライト	BA (注3)	D0 ₁₆

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス, WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ブロックイレーズ(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 20₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、又はRY/B \bar{Y} ステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで継続されます。

RY/B \bar{Y} ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

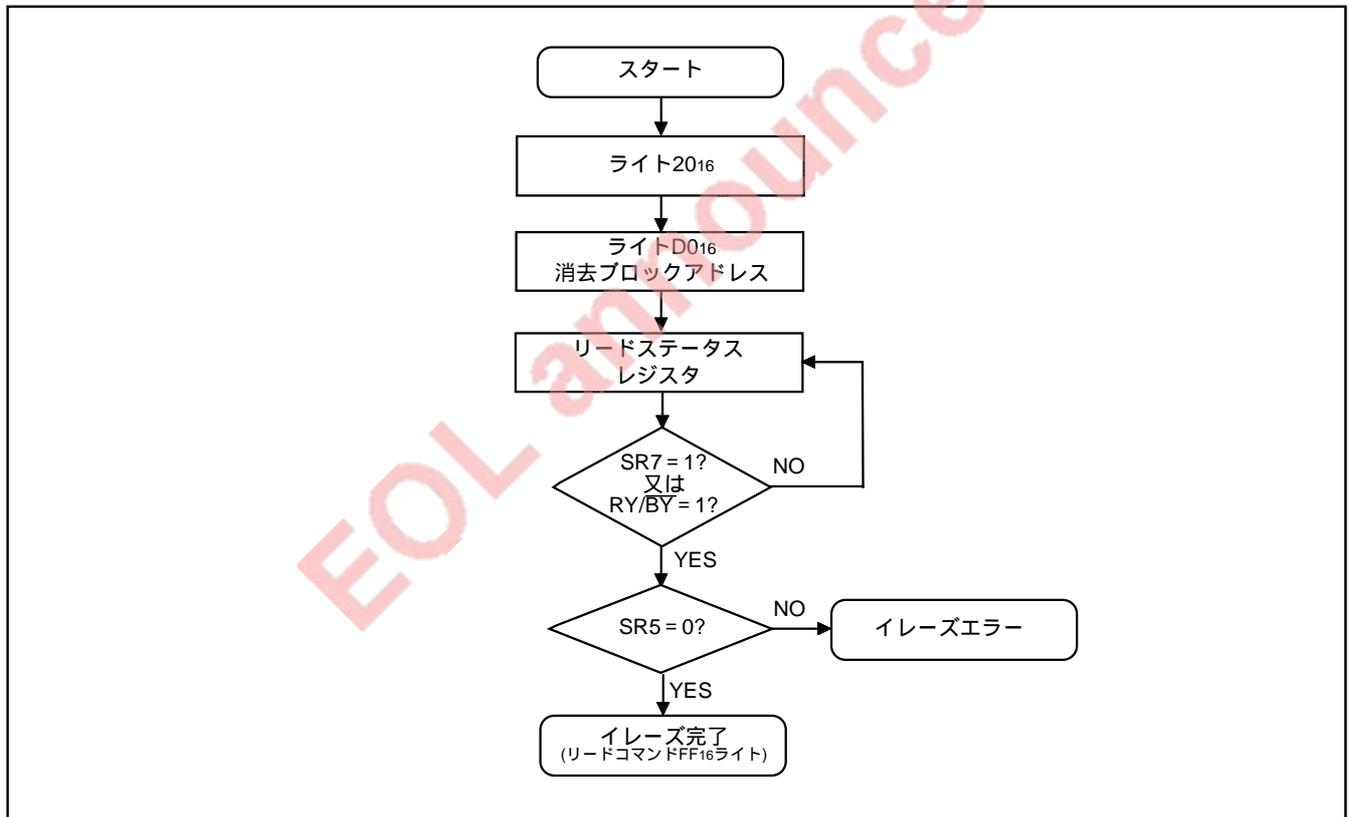


図63. イレーズフローチャート

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1)リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2)プログラム開始又はイレーズ開始から、リードアレコマンド(FF₁₆)入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

- (1)クリアステータスレジスタコマンド(50₁₆)をライトしたとき
- 表10にステータスレジスタの各ビットの定義を示します。
リセット解除後、ステータスレジスタは、“80₁₆”になります。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。
イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。
プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表10. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図64にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

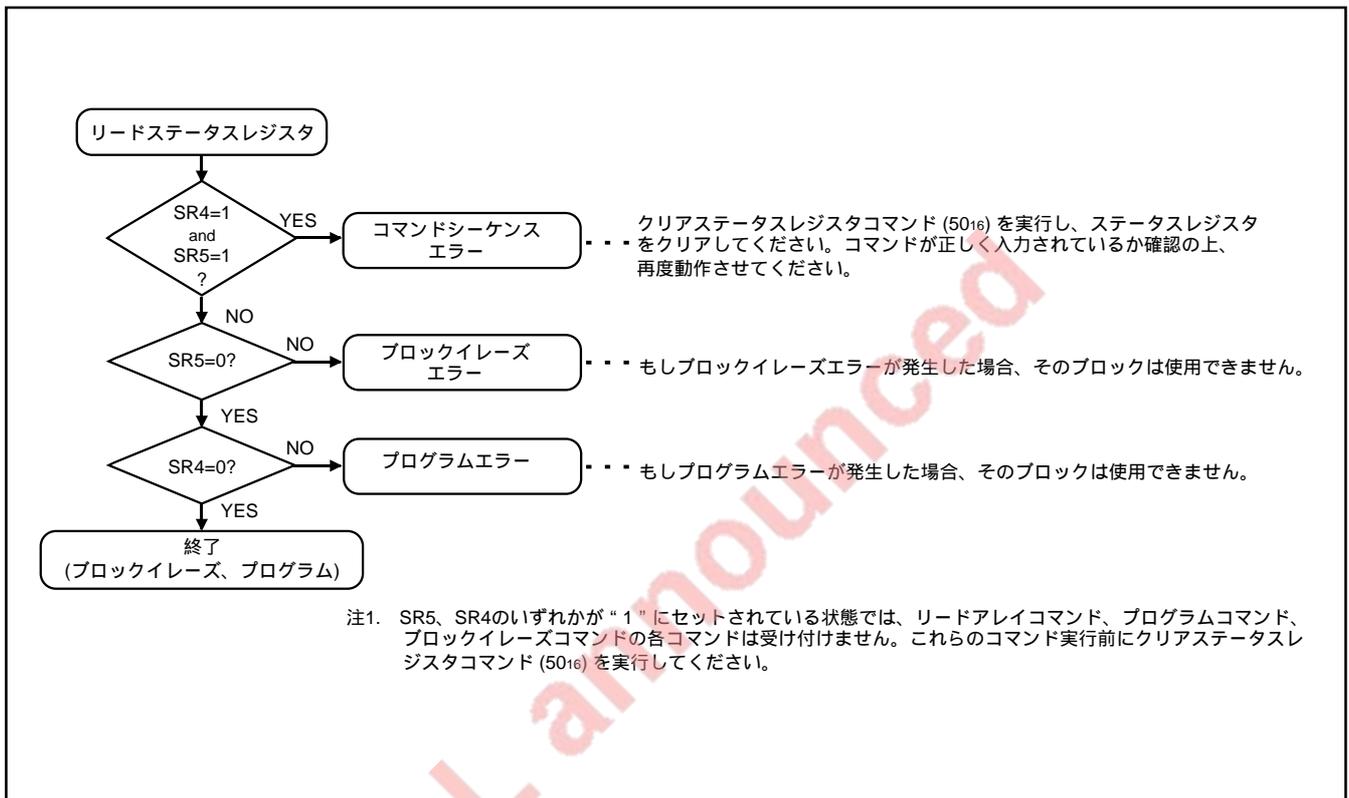


図64. フルステータスチェックフローチャート及び各エラー発生時の対処方法

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出し又は書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

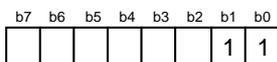
ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図65に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出し又は書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モードなど、他のモードで書き換えてください。

ROMコードプロテクト制御番地



シンボル ROMCP アドレス FFDB₁₆番地 出荷時の値 FF16

ビットシンボル	ビット名	機能
予約ビット		必ず“1”を設定してください
ROMCP2	ROMコードプロテクトレベル2設定ビット (注1)(注2)	b3 b2 00: プロテクト有効 01: プロテクト有効 10: プロテクト有効 11: プロテクト無効
ROMCR	ROMコードプロテクト解除ビット (注3)	b5 b4 00: プロテクト解除 01: プロテクト設定ビット有効 10: プロテクト設定ビット有効 11: プロテクト設定ビット有効
ROMCP1	ROMコードプロテクトレベル1設定ビット (注1)	b7 b6 00: プロテクト有効 01: プロテクト有効 10: プロテクト有効 11: プロテクト無効

- 注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出し又は書き換えを禁止します。
- 注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスト等での、ROMコード読み出しも禁止します。
- 注3. ROMコードプロテクト解除ビットで、ROMコードプロテクト・レベル1、及びROMコードプロテクト・レベル2を解除できます。ただし、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更してください。

図65. ROMコードプロテクト制御番地の構成

IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライタから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4₁₆ ~ FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

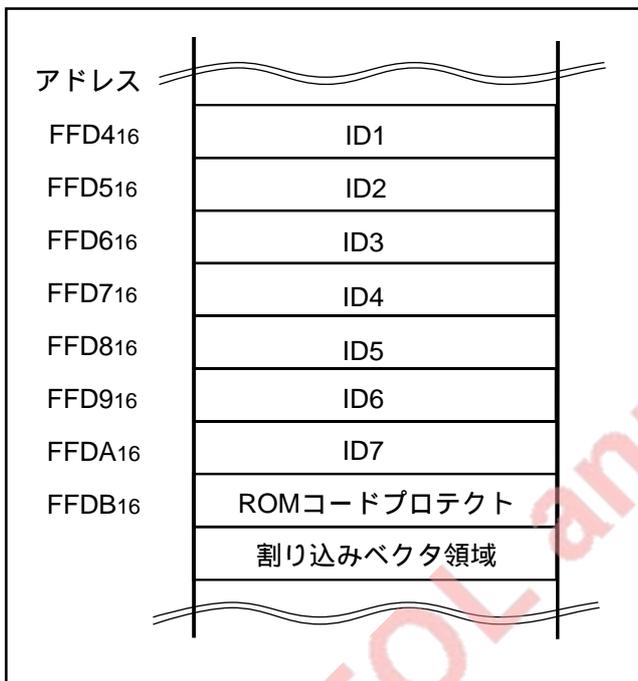


図66. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

38C2グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図59に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図59に示します。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

EOL announced

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vcc=4.5~5.5V時はVccに接続してください。Vcc=3.0~4.5V時はVppに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセット入力はXINが安定発振しているとき、2 μ s以上“L”レベルを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力し、XOUTはXINの反転信号を入力してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	ADの基準電圧を入力してください。
P00~P07	入出力ポートP0	入出力	“H”を入力、“L”を入力、又は開放してください。
P10~P17	入出力ポートP1	入出力	“H”を入力、“L”を入力、又は開放してください。
P20~P27	入出力ポートP2	入出力	“H”を入力、“L”を入力、又は開放してください。
P30	BUSY出力	出力	BUSY信号の出力端子です。
P31	SCLK入力	入力	シリアルクロックの入力端子です。
P32	TXD出力	出力	シリアルデータの出力端子です。
P33	RXD入力	入力	シリアルデータの入力端子です。
P34~P37	入出力ポートP3	入出力	“H”を入力、“L”を入力、又は開放してください。
P40	入出力ポートP4	入出力	“H”を入力、“L”を入力、又は開放してください。
P41	CE入力	入力	“H”を入力してください。
P42~P47	入出力ポートP4	入出力	“H”を入力、“L”を入力、又は開放してください。
P50~P57	入出力ポートP5	入出力	“H”を入力、“L”を入力、又は開放してください。
P60	入出力ポートP6	入出力	“H”を入力、“L”を入力、又は開放してください。
P61/XCIN	入出力ポートP6 /サブクロック入力	入出力	サブクロックとして使用するとき、XCIN端子とXCOUT端子の間には、水晶振動子を接続してください。外部で生成したクロックを入力するときは、XCINから入力しXCOUTは開放してください。
P62/XCOUT	入出力ポートP6 /サブクロック出力	入出力	ポートとして使用するとき、“H”を入力、“L”を入力、又は開放してください。
COM0~COM3	コモン出力	出力	LCD制御回路を使用しない場合は、開放してください。
VL3	LCD用電源		LCD用の電源を入力してください。LCD駆動制御回路を使用しない場合はVccに接続してください。

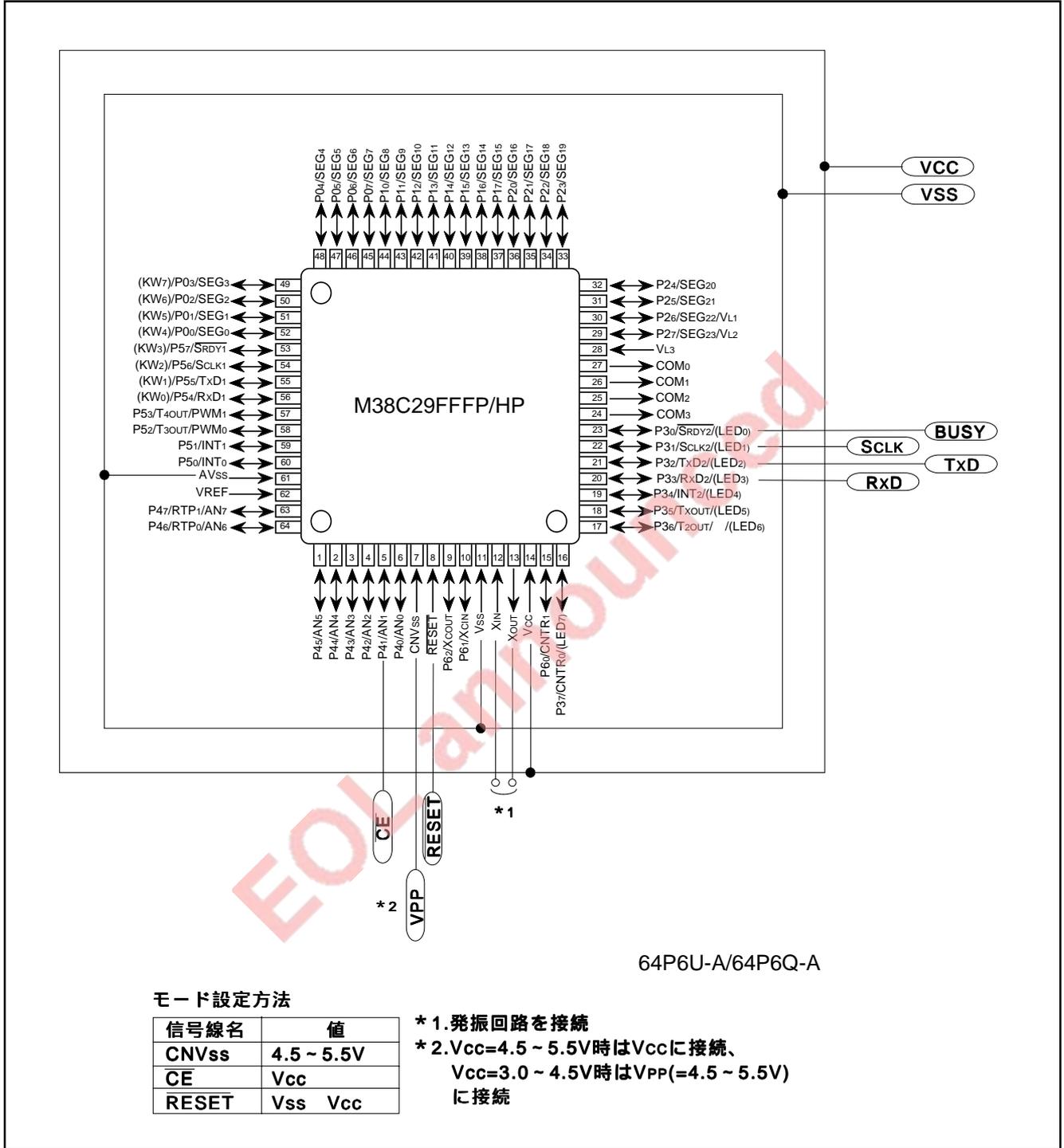


図67. 標準シリアル入出力モード時の端子結線図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P41(\overline{CE})端子を“H”、CNVss端子を“H”(Vcc=4.5~5.5V時はVccに接続、Vcc=3.0~4.5V時はVpp端子として外部からVpp=4.5~5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図67に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART2の端子SCLK2、RXD2、TXD2、 $\overline{SRDY2}$ (BUSY)の4本を使って行います。

SCLK2端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD2端子はCMOS出力です。 $\overline{SRDY2}$ (BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図59に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(UART2)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス、及びプログラムデータは、SCLK2端子に入力する転送クロックの立ち上がり同期して、RXD2端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がり同期して、TXD2端子から外部に出力します。

TXD2端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 $\overline{SRDY2}$ (BUSY)端子が“H”となります。したがって、次の転送は、必ず $\overline{SRDY2}$ (BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表11にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RXD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェアコマンドは、基本的にはパラレル入出力モードのものと同じですが、IDチェック機能、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能の4コマンドを追加しています。

表11. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	16ビット目の転送	26ビット目	36ビット目	46ビット目	56ビット目	66ビット目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H 16ビット データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259H 16ビット データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全ブロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
8	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
9	バージョン情報出力機能	FB ₁₆	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	~ 9H 16ビット バージョンデータ出力	受付可
10	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259H 16ビット データ出力	受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。

注2. SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。

注3. ブランク品に対しては全コマンドの受け付け可能です。

注4. アドレス上位はA₁₆ ~ A₂₃で常に“00₁₆”です。

アドレス中位はA₈ ~ A₁₅です。

アドレス下位はA₀ ~ A₇です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

以下に各ソフトウェアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FF₁₆ ”を転送します。
- (2) 2バイト、3バイト目の転送でアドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈ ~ A₂₃で指定したページ(256バイト)のデータ(D₀ ~ D₇)を最小のアドレスから順番に出力します。

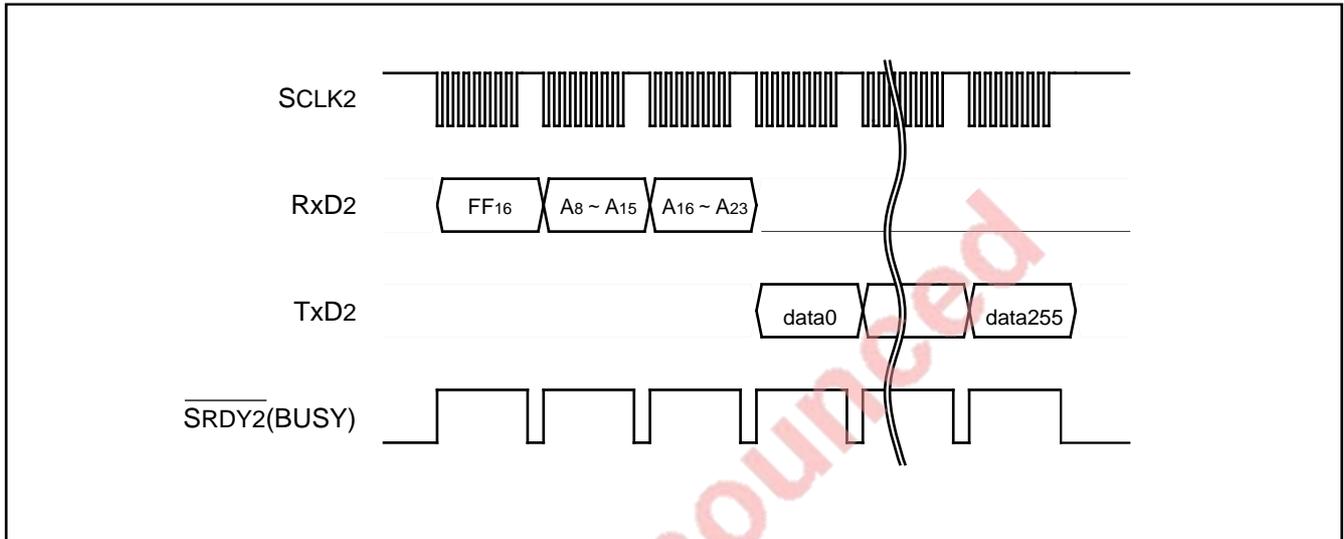


図68. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70₁₆ ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

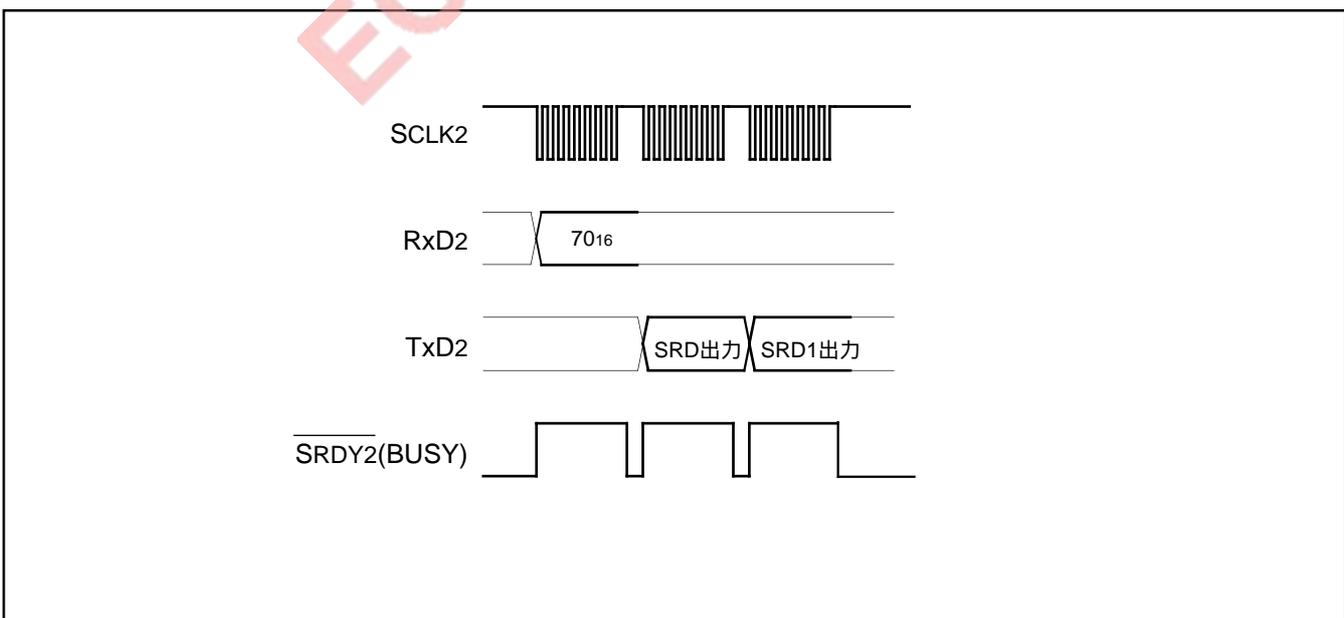


図69. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード 50_{16} を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、 $\overline{\text{SRDY2}}(\text{BUSY})$ 信号は“H”から“L”に変化します。

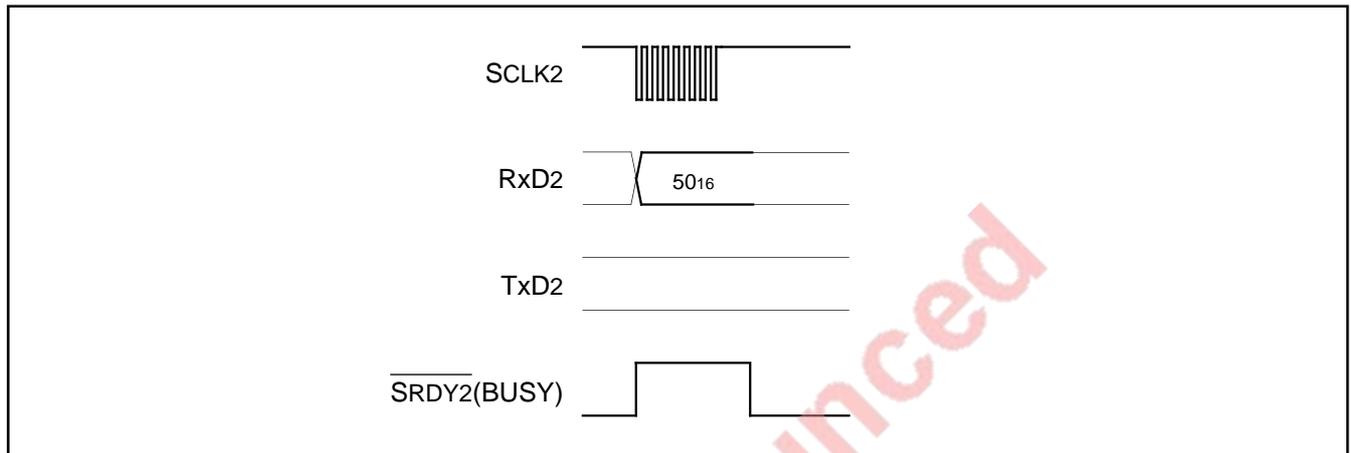


図70. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード 41_{16} を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すれば $\overline{\text{SRDY2}}(\text{BUSY})$ 信号

が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

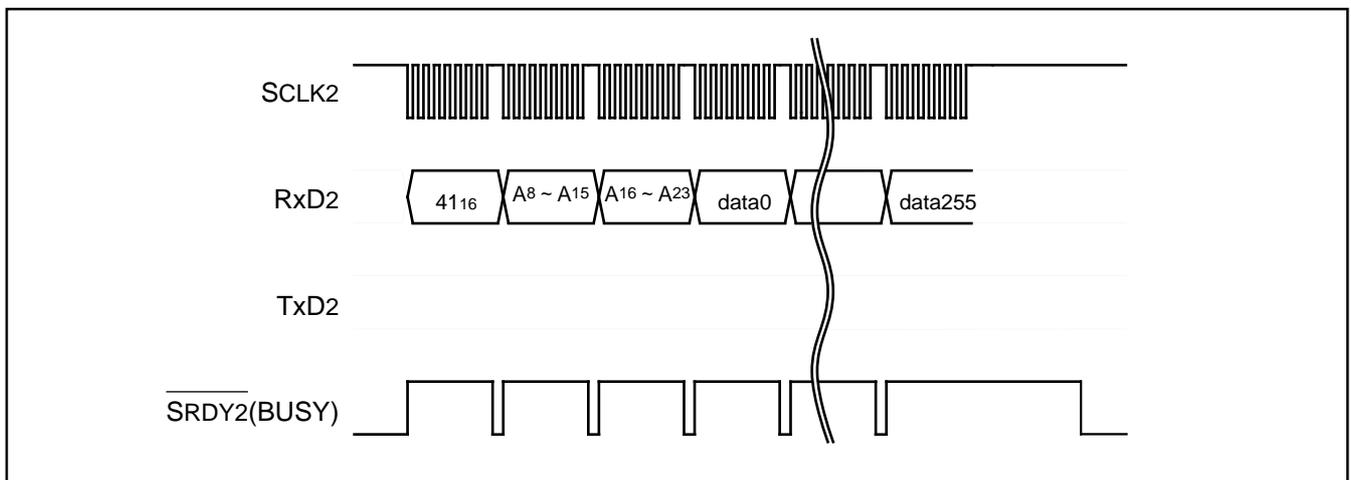


図71. ページプログラムコマンド時のタイミング

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 20₁₆ ”を転送します。
- (2) 2バイト目の転送でアドレスA₈ ~ A₁₅、3バイト目のシリアル転送でアドレスA₁₆ ~ A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈ ~ A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了すると $\overline{\text{SRDY2}}$ (BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

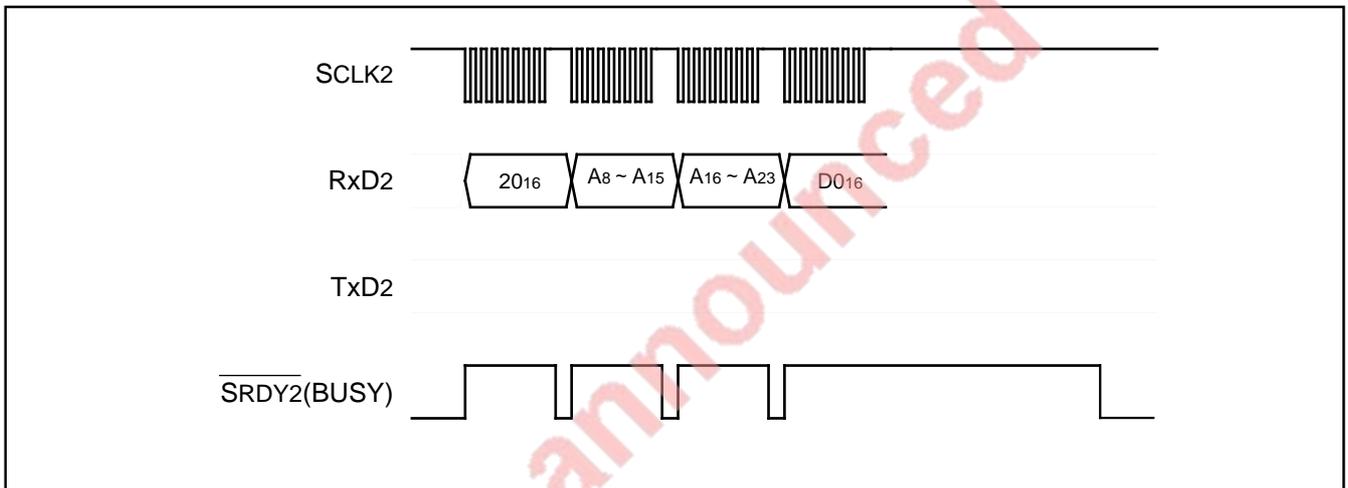


図72. ブロックイレーズコマンド時のタイミング

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了すると $\overline{\text{SRDY2}}$ (BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

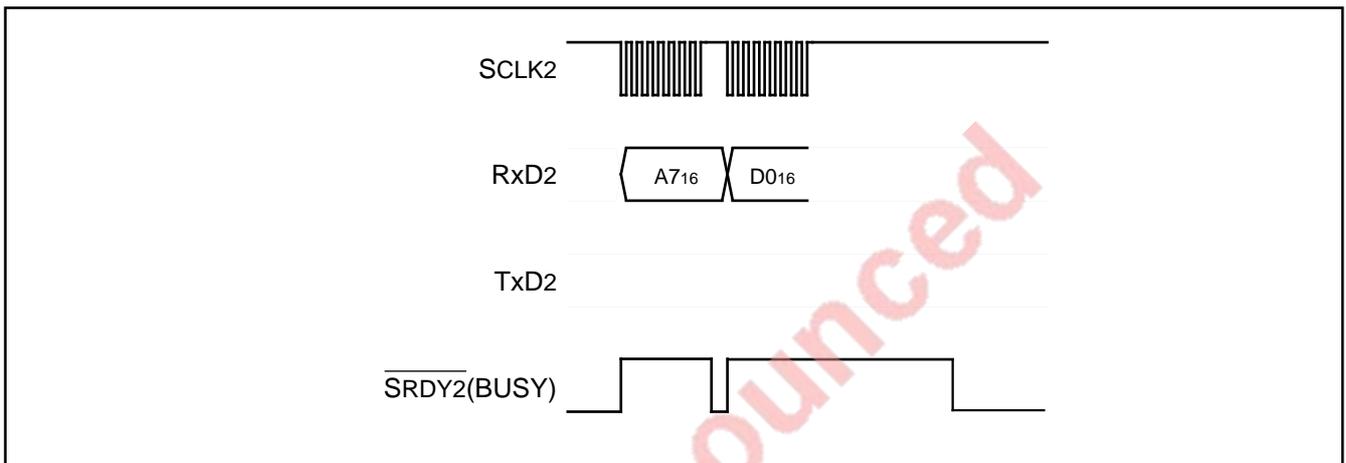


図73. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FA₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

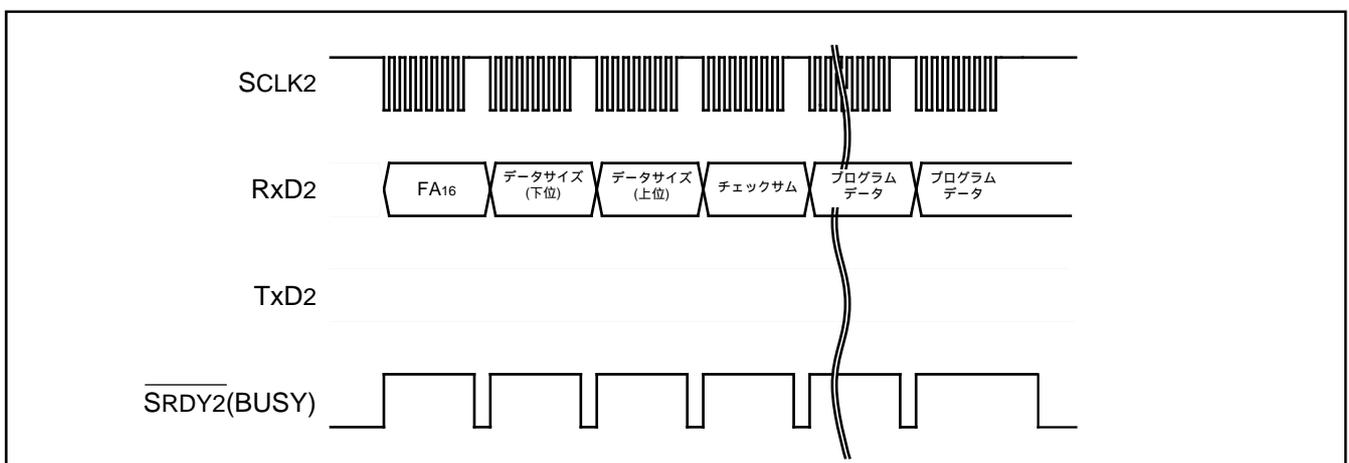


図74. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB₁₆”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

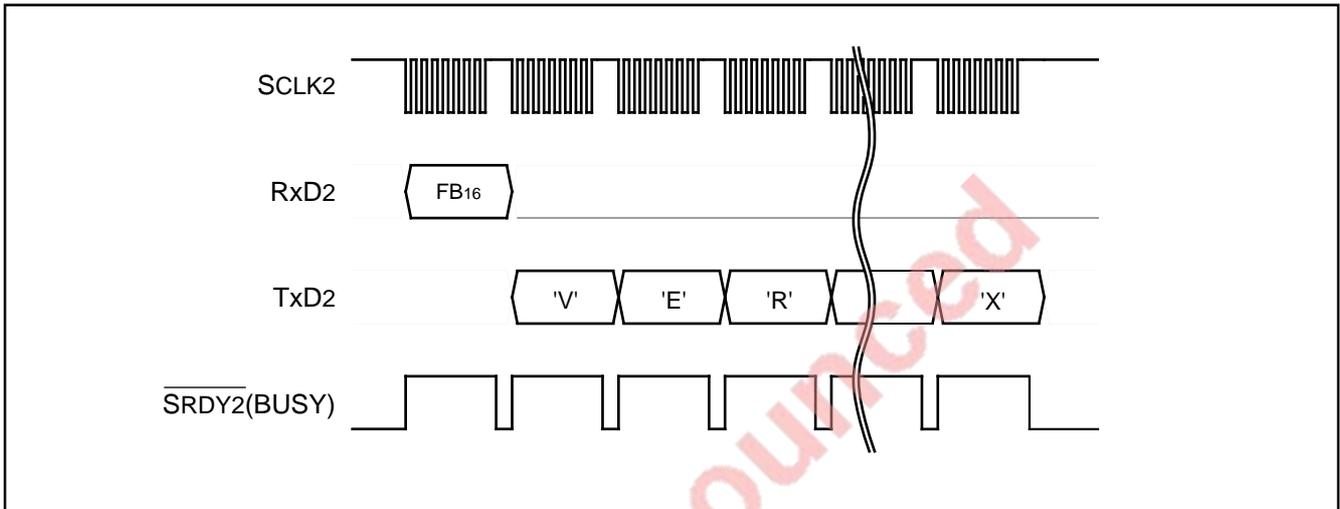


図75. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC₁₆”を転送します。
- (2) 2バイト、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

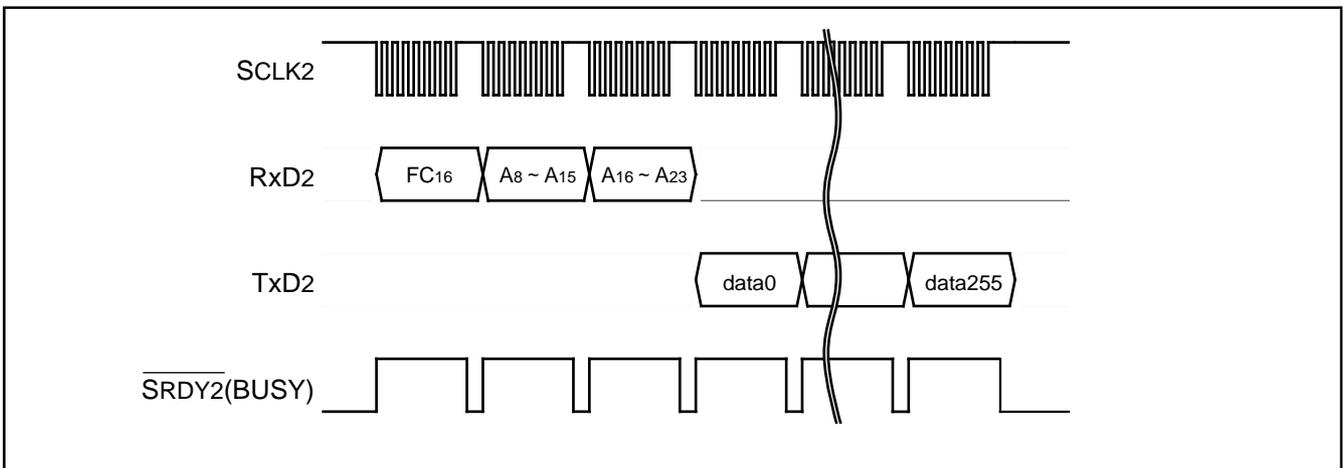


図76. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“ F5₁₆ ”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA0~A7、A8~A15、A16~A23を転送してください。

(3) 5バイト目にIDコードのデータ数を転送してください。

(4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

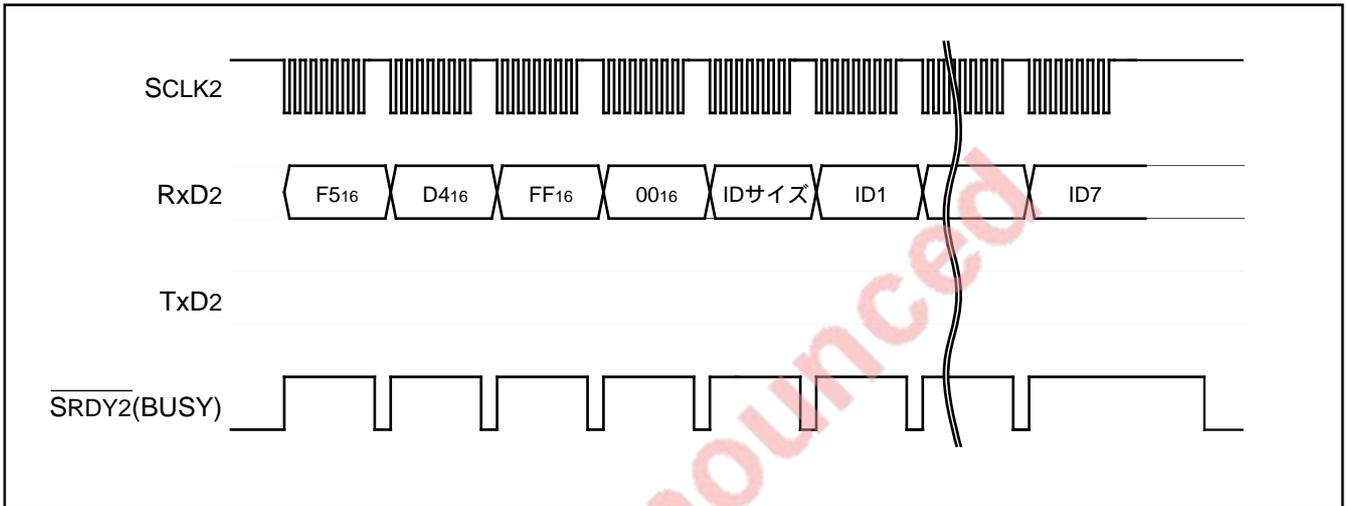


図77. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクではない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は

FFD4₁₆~FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

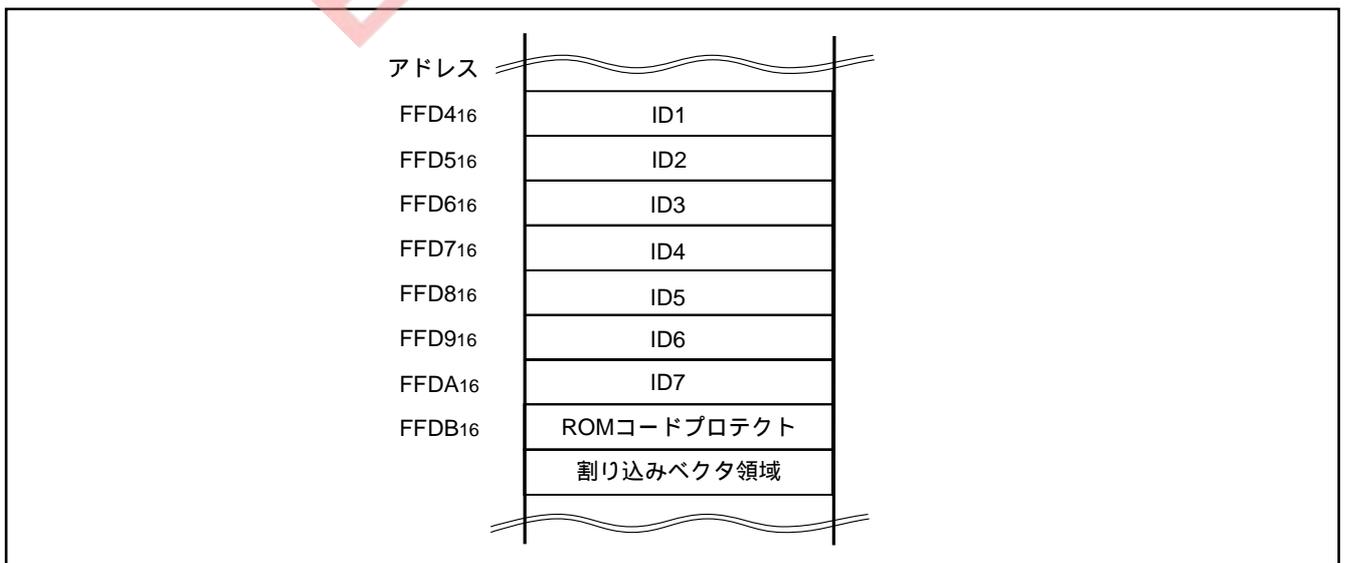


図78. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表12に、各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表12. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされ、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされ、クリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表13に各ビットの定義を以下に示します。

電源投入時、ユーザROM領域がブランクの場合“0C₁₆”になり、ユーザROM領域が書き込み済みの場合“00₁₆”になります。フラグの状態はリセットしても保持されます。

表13. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図79にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

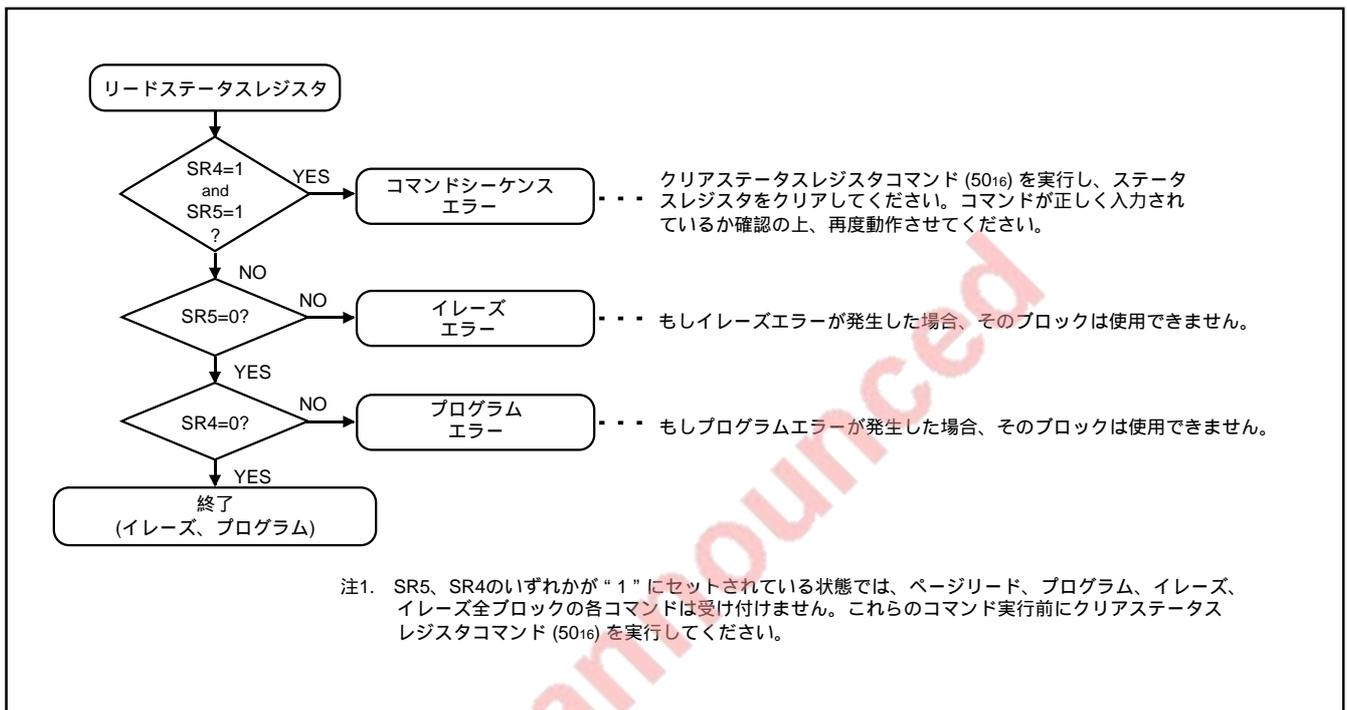


図79. フルステータスチェックフローチャート及び各エラー発生時の対処方法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が違いますので、詳細はライターのマニュアルを参考にしてください。

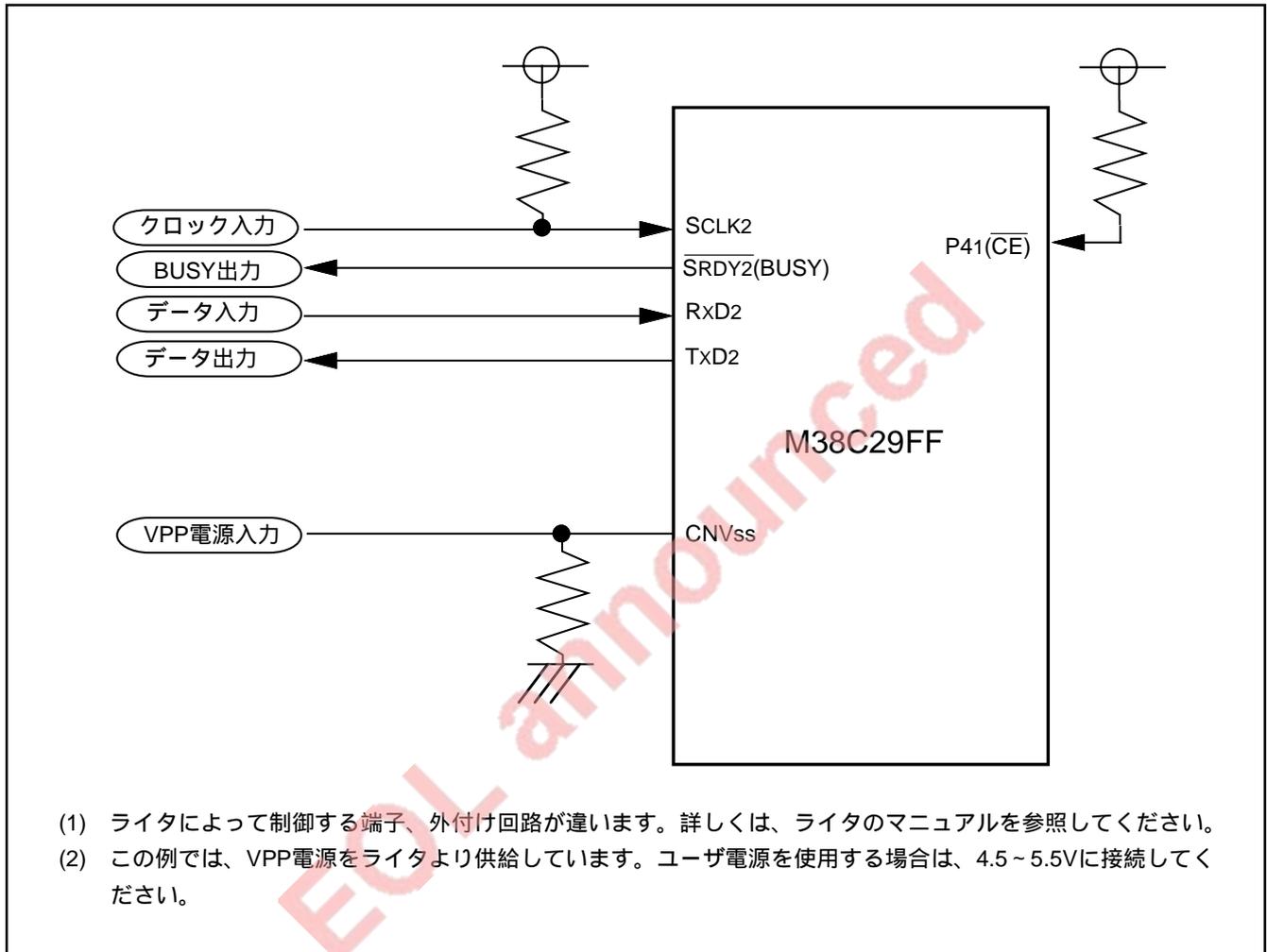


図80. 標準シリアル入出力モード時の応用回路例

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

規格値(フラッシュメモリ版)

表14．絶対最大定格(フラッシュメモリ版)

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 VL1		- 0.3 ~ VL2	V
Vi	入力電圧 VL2		VL1 ~ VL3	V
Vi	入力電圧 VL3		VL2 ~ 6.5	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ 6.5	V
VO	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27		出力ポート時	- 0.3 ~ VCC + 0.3
		セグメント出力時	- 0.3 ~ VL3 + 0.3	V
VO	出力電圧 COM0 ~ COM3		- 0.3 ~ VL3 + 0.3	V
VO	出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 XOUT		- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度	マイコン動作時	- 20 ~ 85	
		フラッシュメモリモード時	25 ± 5	
Tstg	保存温度		- 40 ~ 125	

表15．推奨動作条件(フラッシュメモリ版)

(指定のない場合は、VCC = 2.5 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧	f() = 4MHz	4.0	5.0	5.5 (注)	V
		f() = 2MHz	2.5	5.0	5.5 (注)	V
		低速モード時	2.5	5.0	5.5 (注)	V
VSS	電源電圧		0		V	
VL3	LCD電源電圧	2.5		5.5	V	
VREF	A-D変換器基準電圧	2.0		VCC	V	
AVSS	アナログ電源電圧		0		V	
ViA	アナログ入力電圧 AN0 ~ AN7	AVSS		VCC	V	
VIH	“H” 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0.7VCC		VCC	V	
VIH	“H” 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61	0.8VCC		VCC	V	
VIH	“H” 入力電圧 RESET	0.8VCC		VCC	V	
VIH	“H” 入力電圧 XIN, XCIN	1.5		VCC	V	
VIL	“L” 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0		0.3 VCC	V	
VIL	“L” 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61, CNVSS	0		0.2 VCC	V	
VIL	“L” 入力電圧 RESET	0		0.2 VCC	V	
VIL	“L” 入力電圧 XIN, XCIN	0		0.4	V	

(注)プログラム/イレーズ時のVCC=5.0~5.5Vの時の規格です。

プログラム/イレーズ時のVCC=3.0~5.0Vの時、プログラム/イレーズ時のVCC+0.5Vです。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表16．推奨動作条件（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P30 ~ P37, P52, P53			110	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
IOH(avg)	“H”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 10	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P30 ~ P37, P52, P53			90	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 1.0	mA
IOH(peak)	“H”出力尖頭電流 (注2) P30 ~ P37, P41 ~ P47, P50 ~ P57, P60 ~ P62			- 5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P30 ~ P37, P52, P53			30	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 0.5	mA
IOH(avg)	“H”出力平均電流 (注3) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P30 ~ P37, P52, P53			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表17．推奨動作条件（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.0V V_{CC} 5.5V)			4.0	MHz
		(V_{CC} 4.0V)			$(4 \times V_{CC} - 4)/3$	MHz
f(Tclk)	タイマX、タイマY、 タイマ1、2、3、4用クロック周波数 (各タイマのカウントソース周波数)	(4.0V V_{CC} 5.5V)			8.0	MHz
		(V_{CC} 4.0V)			$(8 \times V_{CC} - 8)/3$	MHz
f()	システムクロック 周波数	(4.0V V_{CC} 5.5V)			4.0	MHz
		(V_{CC} 4.0V)			$(4 \times V_{CC} - 4)/3$	MHz
f(XIN)	メインクロック入力発振周波数(注1)		1.0		8.0	MHz
f(XCIN)	サブクロック入力発振周波数(注1、2)			32.768	50	kHz

注1．発振周波数はデューティ50%の場合です。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表18．電気的特性（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00～P07, P10～P17, P20～P27	IOH = -1mA	VCC - 2.0			V
		IOH = -0.25mA VCC = 2.5V	VCC - 0.8			V
VOH	“H”出力電圧 P30～P37, P40～P47, P50～P57, P60～P62	IOH = -5mA	VCC - 2.0			V
		IOH = -1.5mA	VCC - 0.5			V
		IOH = -1.25mA VCC = 2.5V	VCC - 0.8			V
VOL	“L”出力電圧 P00～P07, P10～P17, P20～P27 P40～P47, P50, P51, P54～P57 P60～P62	IOI = 10mA			2.0	V
		IOI = 3mA			0.5	V
		IOI = 2.5mA VCC = 2.5V			0.8	V
		IOI = 15mA			2.0	V
VOL	“L”出力電圧 P30～P37, P52, P53	IOI = 4mA VCC = 2.5V			0.8	V
VT+ - VT-	ヒステリシス INT0～INT2, CNTR0, CNTR1, P00～P03, P54～P57			0.5		V
VT+ - VT-	ヒステリシス SCLK1, SCLK2, RxD1, RxD2			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00～P07, P10～P17, P20～P27, P30～P37, P40～P47, P50～P57, P60～P62	Vi = VCC			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00～P07, P10～P17, P20～P27, P30～P37, P40～P47, P50～P57, P60～P62	Vi = VSS ブルアップOFF			- 5.0	μA
		VCC = 5V, Vi = VSS ブルアップON	- 60	- 85	- 240	μA
		VCC = 3.0V, Vi = VSS ブルアップON	- 25	- 40	- 100	μA
IiL	“L”入力電流 RESET	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表19．電気的特性（フラッシュメモリ版）

(指定のない場合は、 $V_{CC}=2.5\sim 5.5V$ 、 $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRAM	RAM保持電圧	クロック停止時	1.8		5.5	V
ICC	電源電流	2分周モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態、 A-D変換器動作中		5.0	7.2	mA
		2分周モード時、 $V_{CC}=5V$ $f(X_{IN})=8MHz$ (WIT命令実行時) $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態 A-D変換器終了状態		1.0	2.0	mA
		低速モード時、 $V_{CC}=5V$ 、 $T_a=55$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		150	200	μA
		低速モード時、 $V_{CC}=5V$ 、 $T_a=25$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		6	10	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a=55$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ 出力トランジスタは遮断状態		125	165	μA
		低速モード時、 $V_{CC}=3V$ 、 $T_a=25$ $f(X_{IN})=停止$ $f(X_{CIN})=32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		3	6	μA
		発振はすべて停止 $T_a=25$ 、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 $T_a=85$ 、出力トランジスタは遮断状態 (STP命令実行時)			10	μA

表20．直流電気的特性

(指定のない場合は、 $V_{CC}=4.5\sim 5.5V$ 、 $T_a=25$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{PP1}	V _{PP} 電源電流(リード時)	V _{PP} =V _{CC} 、フラッシュメモリモード時			100	μA
I _{PP2}	V _{PP} 電源電流(プログラム時)				60	mA
I _{PP3}	V _{PP} 電源電流(イレーズ時)				30	mA
V _{PP}	V _{PP} 電源電圧	フラッシュメモリモード時	4.5		5.5	V

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表21. A-D変換器特性 (フラッシュメモリ版)
(指定のない場合は、Vcc = 2.5 ~ 5.5V、Vss = AVss = 0V、Ta = -20 ~ 85、ポートは静止状態)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
-	絶対精度 (量子化誤差を除く)	VCC = VREF = 5V ADクロック周波数=4MHz 10bitADモード			±6	LSB
		VCC = VREF = 2.5V ADクロック周波数=500kHz 10bitADモード、昇圧あり			±5	
		VCC = VREF = 5V ADクロック周波数=4MHz 8bitADモード			±2	
		VCC = VREF = 2.5V ADクロック周波数=1MHz 8bitADモード、昇圧あり				
tCONV	変換時間	AD変換クロック選択ビット=XIN/2 10bitADモード			tc(XIN) × 121 (注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	VREF = 5V	50	150	200	μA
IiA	アナログ入力電流				5.0	μA

注. AD変換クロック選択ビットにXIN/4、XIN/8、XIN/16を選択した場合、上記時間の2、4、8倍となります。

表22. LCD電源特性 (LCD電源用分割抵抗接続時) (フラッシュメモリ版)
(指定のない場合は、Vcc = 2.5 ~ 5.5V、Ta = -20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
RLCD	LCD電源用分割抵抗値(注)	RSEL = "10"			200	k	
		RSEL = "11"			5		
		LCD駆動 タイミングA	LCD回路	RSEL = "01"			120
			分周比 = 1分周	RSEL = "00"			90
			LCD回路	RSEL = "01"			150
			分周比 = 2分周	RSEL = "00"			120
			LCD回路	RSEL = "01"			170
			分周比 = 4分周	RSEL = "00"			150
			LCD回路	RSEL = "01"			190
			分周比 = 8分周	RSEL = "00"			170
		LCD駆動 タイミングB	LCD回路	RSEL = "01"			150
			分周比 = 1分周	RSEL = "00"			120
			LCD回路	RSEL = "01"			170
			分周比 = 2分周	RSEL = "00"			150
			LCD回路	RSEL = "01"			190
			分周比 = 4分周	RSEL = "00"			170
LCD回路	RSEL = "01"			190			
分周比 = 8分周	RSEL = "00"			190			

注. 分割抵抗1個あたりの平均値です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表23．タイミング必要条件1（フラッシュメモリ版）

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125		1000	ns
tWH(XIN)	メインクロック入力“H”パルス幅	50		500	ns
tWL(XIN)	メインクロック入力“L”パルス幅	50		500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	9			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	100			ns

注．0FE016番地又は0FE316番地のビット6が“1”（クロック同期形）の場合です。
0FE016番地又は0FE316番地のビット6が“0”（クロック非同期形）の場合、値は1/4になります。

表24．タイミング必要条件2（フラッシュメモリ版）

(指定のない場合は、Vcc = 2.5 ~ 4.0V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125		1000	ns
tWH(XIN)	メインクロック入力“H”パルス幅	50		500	ns
tWL(XIN)	メインクロック入力“L”パルス幅	50		500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	9			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	750/(Vcc - 1)			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	tc(CNTR)/2 - 20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	tc(CNTR)/2 - 20			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	230			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	200			ns

注．0FE016番地又は0FE316番地のビット6が“1”（クロック同期形）の場合です。
0FE016番地又は0FE316番地のビット6が“0”（クロック非同期形）の場合、値は1/4になります。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表25．スイッチング特性1（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
t _{WL} (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
t _d (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			140	ns
t _v (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
t _r (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			30	ns
t _f (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	25	40	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	15	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	15	30	ns

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

表26．スイッチング特性2（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 2.5 \sim 4.0V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 80			ns
t _{WL} (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 80			ns
t _d (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			400	ns
t _v (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
t _r (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			80	ns
t _f (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			80	ns
t _r (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	60	120	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	40	80	ns
t _f (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	40	80	ns

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

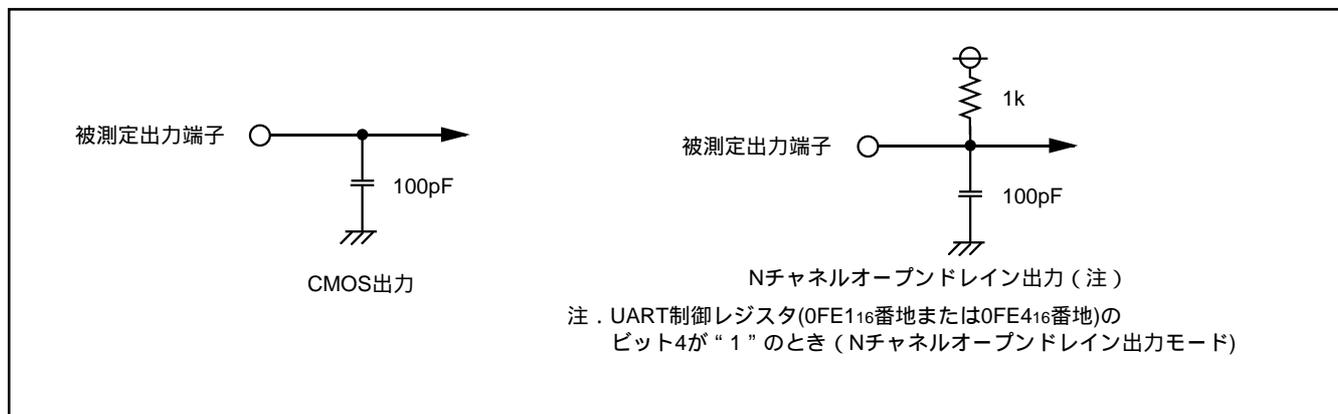


図81．出力スイッチング特性の測定回路図

タイミング図

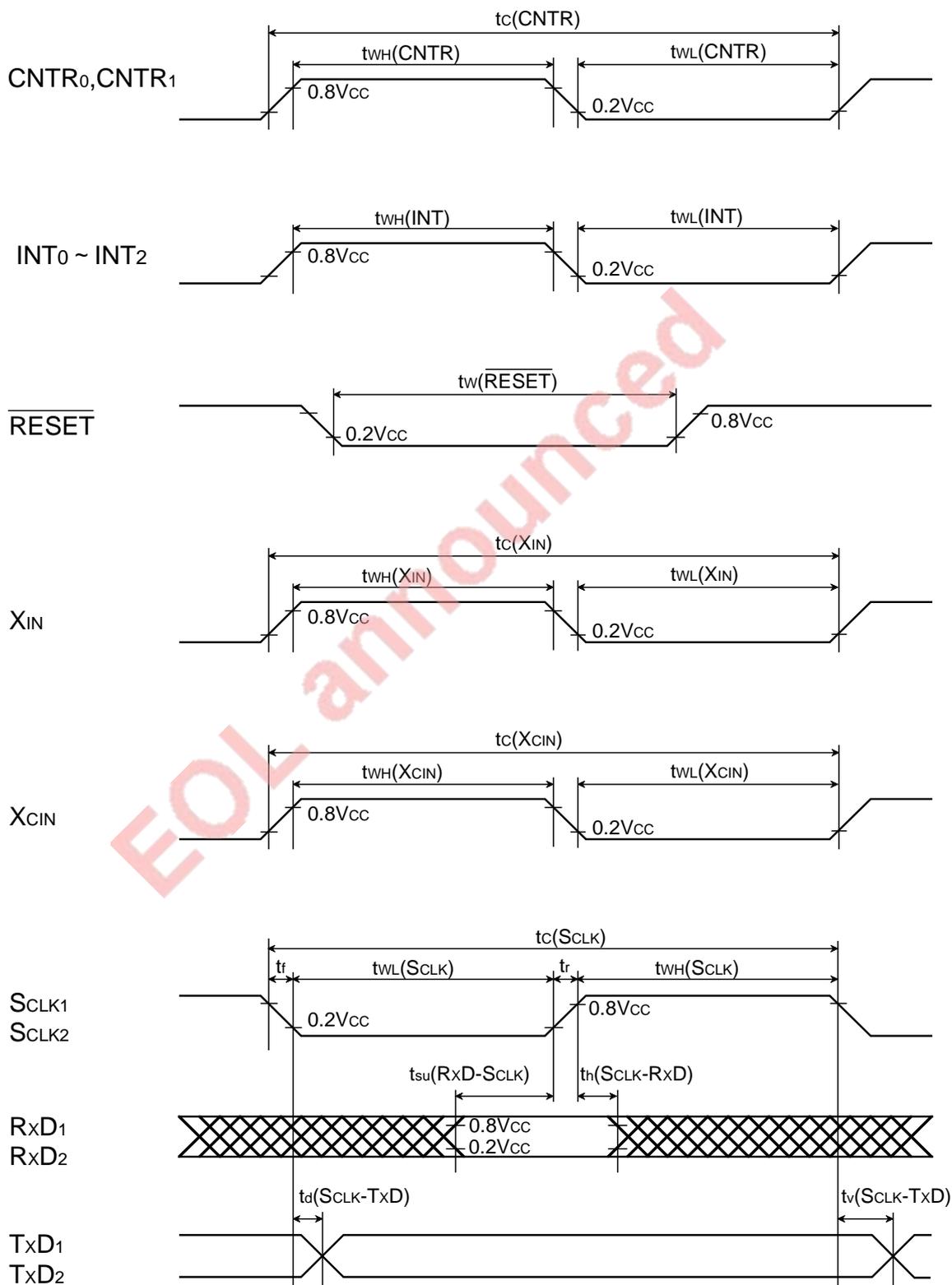


図82 . タイミング図

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

規格値 (マスクROM版)

表27 . 絶対最大定格 (マスクROM版)

記号	項目	条件	定格値	単位
Vcc	電源電圧		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 VL1		- 0.3 ~ VL2	V
Vi	入力電圧 VL2		VL1 ~ VL3	V
Vi	入力電圧 VL3		VL2 ~ 6.5	V
Vi	入力電圧 RESET, Xin, CNVss		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27		出力ポート時	- 0.3 ~ Vcc + 0.3
		セグメント出力時	- 0.3 ~ VL3 + 0.3	V
Vo	出力電圧 COM0 ~ COM3		- 0.3 ~ VL3 + 0.3	V
Vo	出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 XOUT		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

表28 . 推奨動作条件 (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
Vcc	電源電圧	システムクロック周波数 f() = 4MHz	4.0	5.0	5.5	V
		システムクロック周波数 f() = 2MHz	2.0	5.0	5.5	V
		システムクロック周波数 f() = 1MHz	1.8	5.0	5.5	V
		低速モード時	1.8	5.0	5.5	V
Vss	電源電圧		0		V	
VL3	LCD電源電圧	2.5		5.5	V	
VREF	A-D変換器基準電圧	2.0		Vcc	V	
AVSS	アナログ電源電圧		0		V	
VIA	アナログ入力電圧 AN0 ~ AN7	AVss		Vcc	V	
VIH	“H” 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0.7Vcc		Vcc	V	
VIH	“H” 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61	0.8Vcc		Vcc	V	
VIH	“H” 入力電圧 RESET	2.2V Vcc 5.5V	0.8Vcc	Vcc	V	
		Vcc 2.2V	$Vcc - \frac{65 \times Vcc - 99}{100}$	Vcc	V	
VIH	“H” 入力電圧 Xin, Xcin	1.5		Vcc	V	
VIL	“L” 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0		0.3 Vcc	V	
VIL	“L” 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61, CNVss	0		0.2 Vcc	V	
VIL	“L” 入力電圧 RESET	2.2V Vcc 5.5V	0	0.2 Vcc	V	
		Vcc 2.2V	0	$\frac{65 \times Vcc - 99}{100}$	V	
VIL	“L” 入力電圧 Xin, Xcin	0		0.4	V	

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表29. 推奨動作条件

(指定のない場合は、 $V_{CC} = 1.8 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P30 ~ P37, P52, P53			110	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
IOH(avg)	“H”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 10	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P30 ~ P37, P52, P53			90	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 1.0	mA
IOH(peak)	“H”出力尖頭電流 (注2) P30 ~ P37, P41 ~ P47, P50 ~ P57, P60 ~ P62			- 5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P30 ~ P37, P52, P53			30	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 0.5	mA
IOH(avg)	“H”出力平均電流 (注3) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P30 ~ P37, P52, P53			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

- 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
- 出力平均電流は、100msの期間内での平均値です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表30．推奨動作条件（マスクROM版）

(指定のない場合は、 $V_{CC} = 1.8 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.0V V_{CC} 5.5V)			4.0	MHz
		(2.0V V_{CC} 4.0V)			V_{CC}	MHz
		(V_{CC} 2.0V)			$5 \times V_{CC} - 8$	MHz
f(Tclk)	タイマX、タイマY、 タイマ1、2、3、4用 クロック周波数 (各タイマのカウントソース 周波数)	(4.0V V_{CC} 5.5V)			8.0	MHz
		(2.0V V_{CC} 4.0V)			$2 \times V_{CC}$	MHz
		(V_{CC} 2.0V)			$10 \times V_{CC} - 16$	MHz
f()	システムクロック 周波数	(4.0V V_{CC} 5.5V)			4.0	MHz
		(2.0V V_{CC} 4.0V)			V_{CC}	MHz
		(V_{CC} 2.0V)			$5 \times V_{CC} - 8$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	(2.0V V_{CC} 5.5V)	1.0		8.0	MHz
		(V_{CC} 2.0V)	1.0		$20 \times V_{CC} - 32$	MHz
f(XCIN)	サブクロック入力発振周波数(注1、2)		32.768		50	kHz

注1．発振周波数はデューティ50%の場合です。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表31 . 電気的特性(マスクROM版)

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27	$I_{OH} = -1mA$	$V_{CC} - 2.0$			V
		$I_{OH} = -0.25mA$ $V_{CC} = 1.8V$	$V_{CC} - 0.8$			V
VOH	“H”出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	$I_{OH} = -5mA$	$V_{CC} - 2.0$			V
		$I_{OH} = -1.5mA$	$V_{CC} - 0.5$			V
		$I_{OH} = -1.25mA$ $V_{CC} = 1.8V$	$V_{CC} - 0.8$			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P40 ~ P47, P50, P51, P54 ~ P57 P60 ~ P62	$I_{OL} = 10mA$			2.0	V
		$I_{OL} = 3mA$			0.5	V
		$I_{OL} = 2.5mA$			0.8	V
		$V_{CC} = 1.8V$				
VOL	“L”出力電圧 P30 ~ P37, P52, P53	$I_{OL} = 15mA$			2.0	V
		$I_{OL} = 4mA$ $V_{CC} = 1.8V$			0.8	V
VT+ - VT-	ヒステリシス INT0 ~ INT2, CNTR0, CNTR1, P00 ~ P03, P54 ~ P57			0.5		V
VT+ - VT-	ヒステリシス SCLK1, SCLK2, RxD1, RxD2			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	$V_i = V_{CC}$			5.0	μA
I _{IH}	“H”入力電流 RESET	$V_i = V_{CC}$			5.0	μA
I _{IH}	“H”入力電流 XIN	$V_i = V_{CC}$		4.0		μA
I _{IL}	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	$V_i = V_{SS}$ ブルアップOFF			- 5.0	μA
		$V_{CC} = 5V, V_i = V_{SS}$ ブルアップON	- 60	- 120	- 240	μA
		$V_{CC} = 1.8V, V_i = V_{SS}$ ブルアップON	- 5.0	- 20	- 40	μA
I _{IL}	“L”入力電流 RESET	$V_i = V_{SS}$			- 5.0	μA
I _{IL}	“L”入力電流 XIN	$V_i = V_{SS}$		- 4.0		μA

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表32. 電気的特性 (マスクROM版)

(指定のない場合は、 $V_{CC}=1.8\sim 5.5V$ 、 $T_a = -20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRAM	RAM保持電圧	クロック停止時	1.8		5.5	V
ICC	電源電流	2分周モード時、 $V_{CC} = 5V$ $f(XIN) = 8MHz$ $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態、 A-D変換器動作中		2.7	4.2	mA
		2分周モード時、 $V_{CC} = 5V$ $f(XIN) = 8MHz$ (WIT命令実行時) $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態 A-D変換器終了状態		1.0	2.0	mA
		低速モード時、 $V_{CC} = 5V$ 、 $T_a = 55$ $f(XIN) =$ 停止 $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態		14	21	μA
		低速モード時、 $V_{CC} = 5V$ 、 $T_a = 25$ $f(XIN) =$ 停止 $f(XCIN) = 32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		6	10	μA
		低速モード時、 $V_{CC} = 3V$ 、 $T_a = 55$ $f(XIN) =$ 停止 $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態		7	12	μA
		低速モード時、 $V_{CC} = 3V$ 、 $T_a = 25$ $f(XIN) =$ 停止 $f(XCIN) = 32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		3	6	μA
		発振はすべて停止 $T_a = 25$ 、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 $T_a = 85$ 、出力トランジスタは遮断状態 (STP命令実行時)			10	μA

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表33 . A-D変換器特性 (マスクROM版)

(指定のない場合は、Vcc = 2.2 ~ 5.5V、Vss = AVss = 0V、Ta = - 20 ~ 85、ポートは静止状態)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
-	絶対精度 (量子化誤差を除く)	VCC = VREF = 5V ADクロック周波数=4MHz 10bitADモード			± 5	LSB
		VCC = VREF = 2.2V ADクロック周波数=500kHz 10bitADモード、昇圧あり			± 4	
		VCC = VREF = 5V ADクロック周波数=4MHz 8bitADモード			± 2	
		VCC = VREF = 2.2V ADクロック周波数=1MHz 8bitADモード、昇圧あり				
tCONV	変換時間	AD変換クロック選択ビット=XIN/2 10bitADモード			tc(XIN) × 121 (注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	VREF = 5V	50	150	200	μA
IIA	アナログ入力電流				5.0	μA

注 . AD変換クロック選択ビットにXIN/4, XIN/8, XIN/16を選択した場合、上記時間の2、4、8倍となります。

表34 . LCD電源特性 (LCD電源用分割抵抗接続時) (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
RLCD	LCD電源用分割抵抗値 (注)	RSEL = " 10 "			200	k	
		RSEL = " 11 "			5		
		LCD駆動 タイミングA	LCD回路	RSEL = " 01 "			120
			分周比 = 1分周	RSEL = " 00 "			90
			LCD回路	RSEL = " 01 "			150
			分周比 = 2分周	RSEL = " 00 "			120
			LCD回路	RSEL = " 01 "			170
			分周比 = 4分周	RSEL = " 00 "			150
		LCD駆動 タイミングB	LCD回路	RSEL = " 01 "			190
			分周比 = 8分周	RSEL = " 00 "			170
			LCD回路	RSEL = " 01 "			150
			分周比 = 1分周	RSEL = " 00 "			120
			LCD回路	RSEL = " 01 "			170
			分周比 = 2分周	RSEL = " 00 "			150
	LCD回路	RSEL = " 01 "		190			
		分周比 = 4分周	RSEL = " 00 "		170		
		RSEL = " 01 "		190			
		分周比 = 8分周	RSEL = " 00 "		190		

注 . 分割抵抗1個あたりの平均値です。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表35 . タイミング必要条件1 (マスクROM版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125		1000	ns
tWH(XIN)	メインクロック入力“H”パルス幅	50		500	ns
tWL(XIN)	メインクロック入力“L”パルス幅	50		500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	9			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	100			ns

注 . 0FE016番地又は0FE316番地のビット6が“1”(クロック同期形)の場合です。
0FE016番地又は0FE316番地のビット6が“0”(クロック非同期形)の場合、値は1/4になります。

表36 . タイミング必要条件2 (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	2.0V Vcc 4.0V		1000	ns
		Vcc 2.0V	250/(5 × Vcc - 8)	1000	ns
tWH(XIN)	メインクロック入力“H”パルス幅	2.0V Vcc 4.0V		500	ns
		Vcc 2.0V	tc(XIN)/2-12.5	500	ns
tWL(XIN)	メインクロック入力“L”パルス幅	2.0V Vcc 4.0V		500	ns
		Vcc 2.0V	tc(XIN)/2-12.5	500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	9			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	2.0V Vcc 4.0V		1000/Vcc	ns
		Vcc 2.0V	1000/(5 × Vcc - 8)		ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅			tc(CNTR)/2 - 20	ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅			tc(CNTR)/2 - 20	ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅			230	ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅			230	ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	200			ns

注 . 0FE016番地又は0FE316番地のビット6が“1”(クロック同期形)の場合です。
0FE016番地又は0FE316番地のビット6が“0”(クロック非同期形)の場合、値は1/4になります。

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表37. スイッチング特性1 (マスクROM版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			140	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			30	ns
tr (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			30	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	25	40	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P62 (注2)	15	30	ns
tr (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	15	30	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P62 (注2)			

注1. UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。
2. Xout、Xcoutを除きます。

表38. スイッチング特性2 (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 80			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 80			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			400	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			80	ns
tr (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			80	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	60	120	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P62 (注2)	40	80	ns
tr (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	40	80	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P62 (注2)			

注1. UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。
2. Xout、Xcoutを除きます。

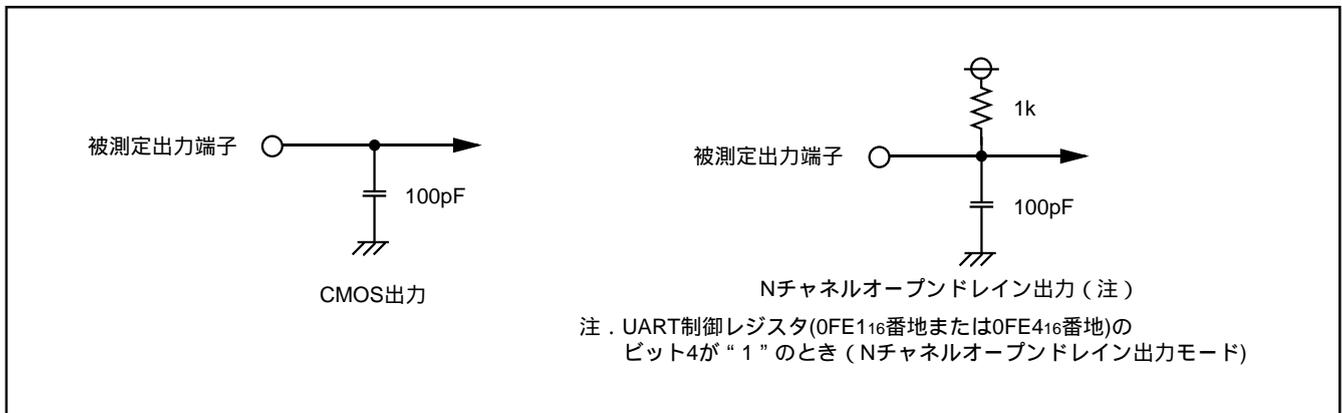


図83. 出力スイッチング特性の測定回路図

タイミング図

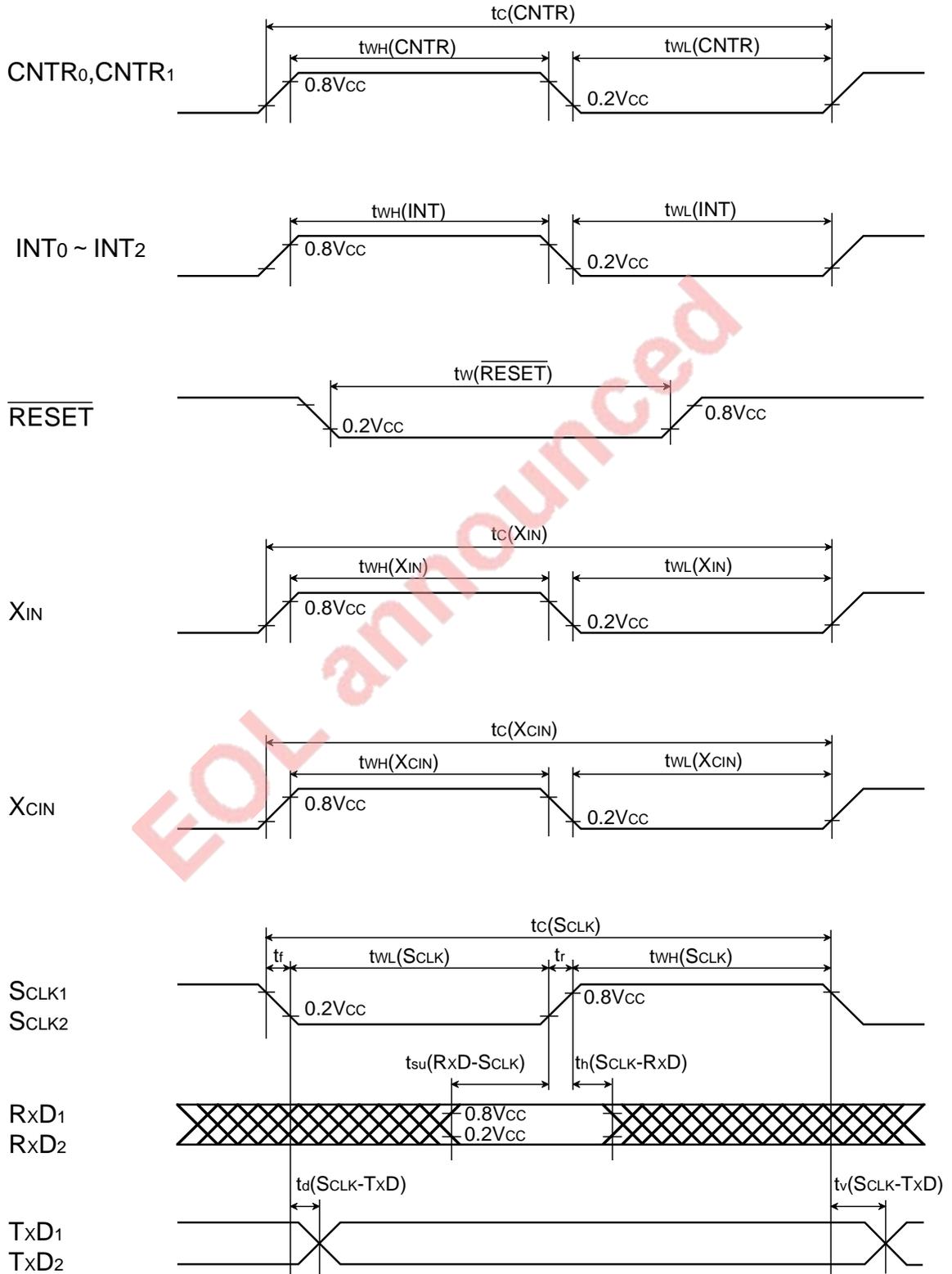


図84 . タイミング図

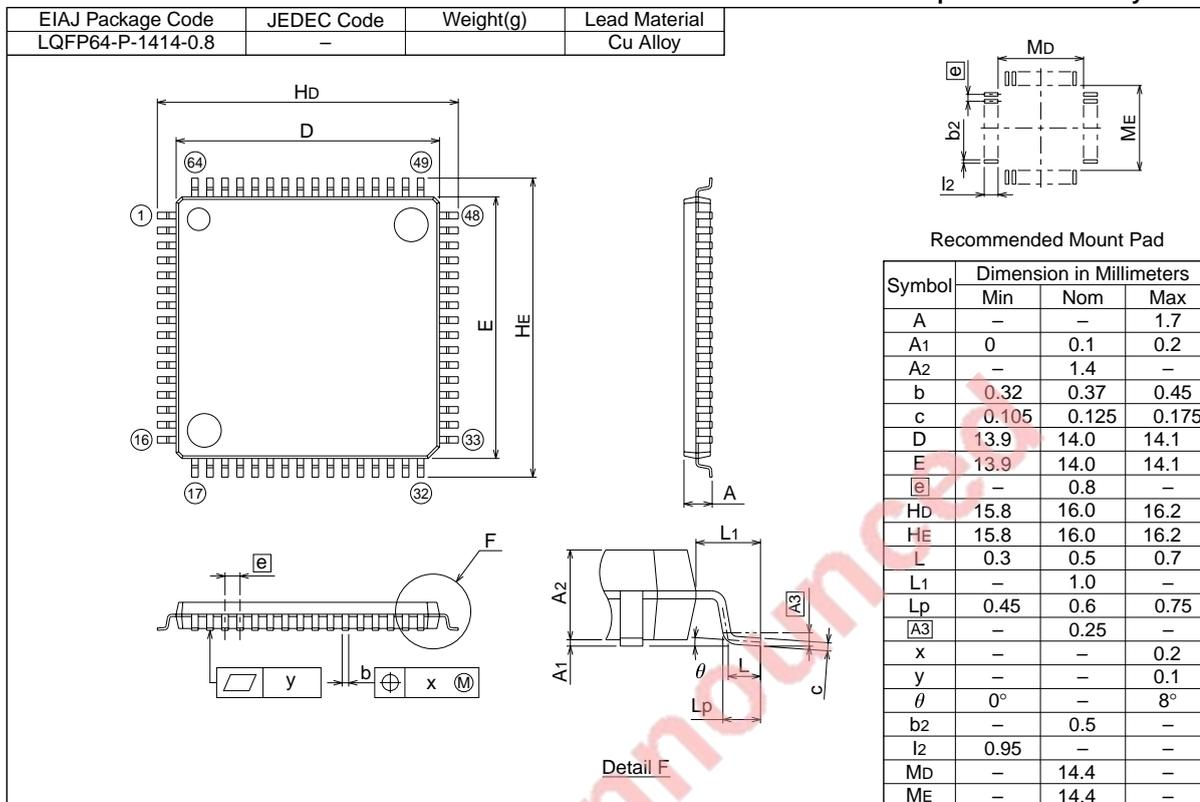
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

外形寸法図

64P6U-A

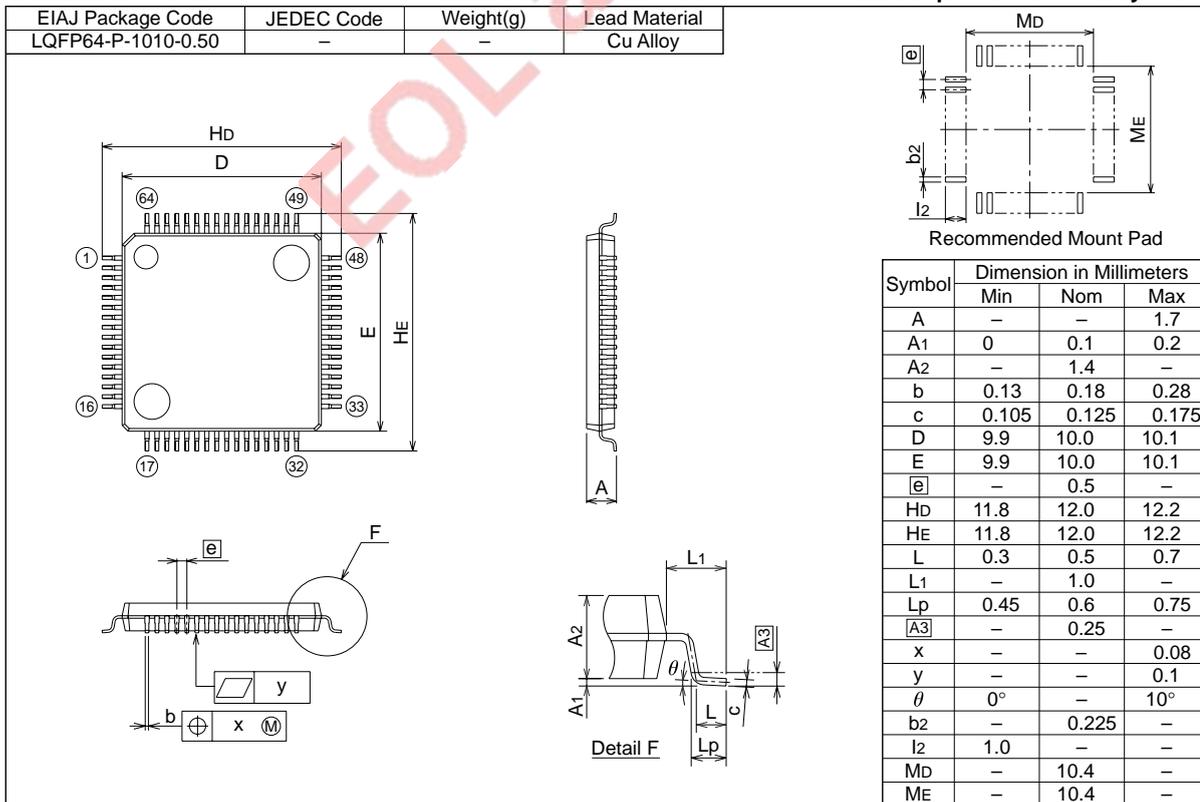
(MMP)

Plastic 64pin 14X14mm body LQFP



64P6Q-A

Plastic 64pin 10X10mm body LQFP



開発中

この仕様書は暫定仕様書であり、今後変更することがあります。

三菱マイクロコンピュータ 38C2グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

EOL announced

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒 100-0004

安全設計に関するお願い (弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

38C2 グループ データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	2000-8-30
2.0	<p>P1 特長 命令実行時間 0.25 μs 0.50 μs 電源電圧 スループト時 2分周ト時 2分周ト時 4分周ト時 消費電力 スループト時...26mW 2分周ト時...14mW 図1 外形 64P6N-A 64P6U-A</p> <p>P4 図3 パッケージ種類 64P6N-A 64P6U-A</p> <p>P5 図4 パッケージ 64P6N-A 64P6U-A</p> <p>P6 表2 パッケージ 64P6N-A 64P6U-A、備考「計画中」追記</p> <p>P7 図5中 メンクロック(XIN-XOUT)分周比選択ビット 11 : XIN(スループト) 使用禁止</p> <p>P10 図9中 注2 追加 (VLSEL の件)</p> <p>P31 図28中 AD変換クロック選択ビット 00:分周なし XIN/2 01:2分周 XIN/4 10:4分周 XIN/8 11:8分周 XIN/16</p> <p>P32 図30中 注2 追加 (VLSEL の件)</p> <p>P35 図33中 注1,2 追加 (同上 + VLSEL"1"時はRSELに"10"を書くこと)</p> <p>P41 クロックゲートの動作 スループト/2/4/8分周ト時 2/4/8分周ト時</p> <p>P45 周波数制御 (4)スループト 文章削除 注の文章中、1行目「スループト/2/4/8分周ト時...」 「2/4/8分周ト時...」</p> <p>P46 図50中 スループト記述 削除</p> <p>P47 図51中 スループト記述 削除</p> <p>P49 プログラミング上の注意事項 「LCDに関するもの」削除</p> <p>P50 「使用上の注意」追加</p>	2001-2-23

改訂履歴

38C2 グループ データシート

Rev. No.	改訂内容	Rev. date
2.0	<p>(続き)</p> <p>P52 表 9 推奨動作条件(マスクROM 版)</p> <p>電源電圧条件 $f()=8\text{MHz}$ 4MHz</p> <p>電源電圧条件 $f()=2\text{MHz}$ の時の最小規格値 1.8 2.0</p> <p>電源電圧 新項目追加 条件 : $f()=1\text{MHz}$</p> <p>V_{IH} RESET 0.9V_{CC} 0.8V_{CC}</p> <p>V_{L3} 追加</p> <p>V_{REF} 規格値 変更 最小値 $V_{CC}-0.3$ 2.0 最大値 $V_{CC}+0.3$ V_{CC}</p> <p>P54 表 11 推奨動作条件(マスクROM 版)</p> <p>タ₁X、Y 入力周波数 $f(\text{CNTR0}), f(\text{CNTR1})$</p> <p>4.0V V_{CC} 5.5V 時 8MHz 4MHz</p> <p>V_{CC} 4.0V 時の測定値を削除し、2.0 V_{CC} 4.0V 時、V_{CC} 2.0V 時の測定値を追加 f(Tclk) 追加</p> <p>システムクロック周波数 $f()$</p> <p>V_{CC} 4.0V 時の測定値を削除し、2.0 V_{CC} 4.0V 時、V_{CC} 2.0V 時の測定値を追加</p> <p>P56 表 13 電気的特性(マスクROM 版)</p> <p>測定条件 2分周時 2分周E-ト^レ時</p> <p>測定条件 2分周E-ト^レ時 A-D変換器動作中</p> <p>標準規格値 5.1 2.7 最大規格値 7.5 4.2</p> <p>P57 表 14 A-D変換特性(マスクROM 版) 修正</p> <p>P58 表 16 タイミング必要条件1 $t_{WH}(XIN)$ 45 50、$t_{WL}(XIN)$ 40 50</p> <p>表 17 タイミング必要条件2 $t_c(XIN)$、$t_{WH}(XIN)$、$t_{WL}(XIN)$、$t_c(\text{CNTR})$ 改訂</p> <p>P59 表 18 スイッチング特性1 $t_r(\text{CMOS})$、$t_f(\text{CMOS})$ 改訂</p> <p>表 19 スイッチング特性2</p> <p>$t_{WH}(\text{SCLK})$、$t_{WL}(\text{SCLK})$ 最小値 $t_c(\text{SCLK})/2-50$ $t_c(\text{SCLK})/2-80$</p> <p>$t_r(\text{CMOS})$、$t_f(\text{CMOS})$ 改訂</p> <p>P61 ~ P89 フラッシュメモリ版 削除</p>	2001-2-23
2.1	P58 表 17 $t_c(\text{CNTR})$ V _{CC} 2.0V のとき $1000/(5 \times V_{CC}-16)$ 誤 $1000/(5 \times V_{CC}-8)$ 正	2001-2-26
2.2	P49 プログラミング上の注意事項 「A-D変換に関するもの」 改訂	2001-3-2
	P61 外形寸法図 64P6N-A 64P6U-A	

改訂履歴

38C2 グループ データシート

Rev. No.	改訂内容	Rev. date
2.3	<p>P9 図7 0FFF₁₆番地 予約領域 予約領域(アクセス禁止)</p> <p>P17 図15 セグメント出力禁止レジスタ₁ セグメント出力禁止レジスタ₀(4カ所)</p> <p>P41 図40 システムクロック制御ビット“1” “<u>0</u>” “0” “<u>1</u>” RESETIN RESET</p> <p>P42 図43 b7 ~ b1 : 「“1”を書き込まないでください」追加</p>	2001-4-25
3.0	<p>P1 特長 電源電圧、消費電力 改訂 ピン接続図 形名 追加 注意事項 追加</p> <p>P3 端子の機能説明 AVss アナログ入力 アナログ電源入力</p> <p>P31 図28 b7 昇圧回路選択ビット 注意事項 追加</p> <p>P35 図33 注1 改訂、注3 追加</p> <p>P36 注意事項 追加</p> <p>P49 プログラミング上の注意事項 ; A-D変換に関するもの 改訂</p> <p>P50 使用上の注意 ・VL3端子に関する注意 改訂</p> <p>P52 ~ P86 フラッシュメモリ版 追加</p> <p>P89 表30 推奨動作条件(マスクROM版) f(XIN) メインクロック入力発振周波数 最小値 <u>1.0</u></p> <p>P93 表35 tc(XIN)、tWH(XIN)、tWL(XIN) 最大値 追加 tc(XCIN)、tWH(XCIN)、tWL(XCIN) 追加</p> <p>表36 tc(XIN)、tWH(XIN)、tWL(XIN) 最大値 追加 tc(XCIN)、tWH(XCIN)、tWL(XCIN) 追加</p> <p>P94 表38 スイッチング特性2 td (SCLK TXD) シリアルI/O1,2 出力遅延時間 最大値 改訂 350 400</p> <p>P95 図84 タイミング図 XCIN 追加</p> <p>P96 外形寸法図 64P6U-A 改訂</p>	2001-6-5
3.1	P83 表21 . A-D変換器特性(フラッシュメモリ版) 絶対精度 ±6、±4 TBD	2001-6-28
3.2	<p>P1 注意事項削除</p> <p>P6 表2 「計画中」削除、日付改訂</p> <p>P19 タイマ部説明追記</p> <p>P31 【コンパレータ及び制御回路】に説明文追記</p> <p>P45 クロック発生回路 説明文改訂、図49 改訂</p> <p>P51 (4)フラッシュメモリ版のVPP端子配線 追記</p> <p>P83 表21 絶対精度 最大値 改訂</p>	2001-11-1