お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

概　要

M16C/80Tグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

特　長

- メモリ容量 ..... ROM　128Kバイト
  RAM　10Kバイト
- 最短命令実行時間 ..... 50ns(f(XIN)=20MHz時)
- 電源電圧 ..... 4.2V～5.5V(f(XIN)=20MHz時)
- 低消費電流 ..... 45mA(5V、f(XIN)=20MHz時、ノーウエイト時)
- 割り込み ..... 内部29要因、外部8要因、ソフトウエア5要因、7レベル
  (キー入力割り込みを含む)
- 多機能16ビットタイマ ..... 出力系5本 + 入力系6本
- シリアルI/O ..... UART/クロック 同期5本
- DMAC ..... 4チャネル(スタート条件:31要因)
- ~~DRAMC ..... EDO、FP対応、CASビフォアRASリフレッシュ、セルフリフレッシュ~~(注1)
- A-D 変換器 ..... 10ビット×8チャネル(最大26チャネルまで拡張可)
- D-A 変換器 ..... 8ビット×2チャネル
- CRC 演算回路 1回路
- X-Y変換回路 1回路
- 監視タイマ 1本
- プログラマブル入出力 87本
- 入力ポート ..... 1本(P85、$\overline{\text{NMI}}$端子と兼用)
- ~~メモリ拡張 ..... 可能(16Mバイト)~~ (注1)
- ~~チップセレクト出力 ..... 4本~~ (注1)
- クロック発生回路 ..... 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)

注1. M16C/80Tグループはメモリ拡張の動作保証をしていません。

応　用

オーディオ、カメラ、事務機器、通信機器、携帯機器、自動車、他

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

――― 目　次 ―――

中央演算処理装置 10
リセット 15
プロセッサモード 23
クロック発生回路 41
プロテクト 53
割り込み 54
監視タイマ 75
コールドスタート/ウォームスタート 77
DMAC 78
タイマ 89
シリアルI/O 121
A-D変換器 163
D-A変換器 174
CRC演算回路 176
X-Y変換 178
DRAMコントローラ 181
プログラマブル入出力ポート 188
使用上の注意事項 203
電気的特性 216
フラッシュメモリ内蔵版 224

ピン接続図

図1.1.1にM16C/80Tグループのピン接続図(上面図)を示します。

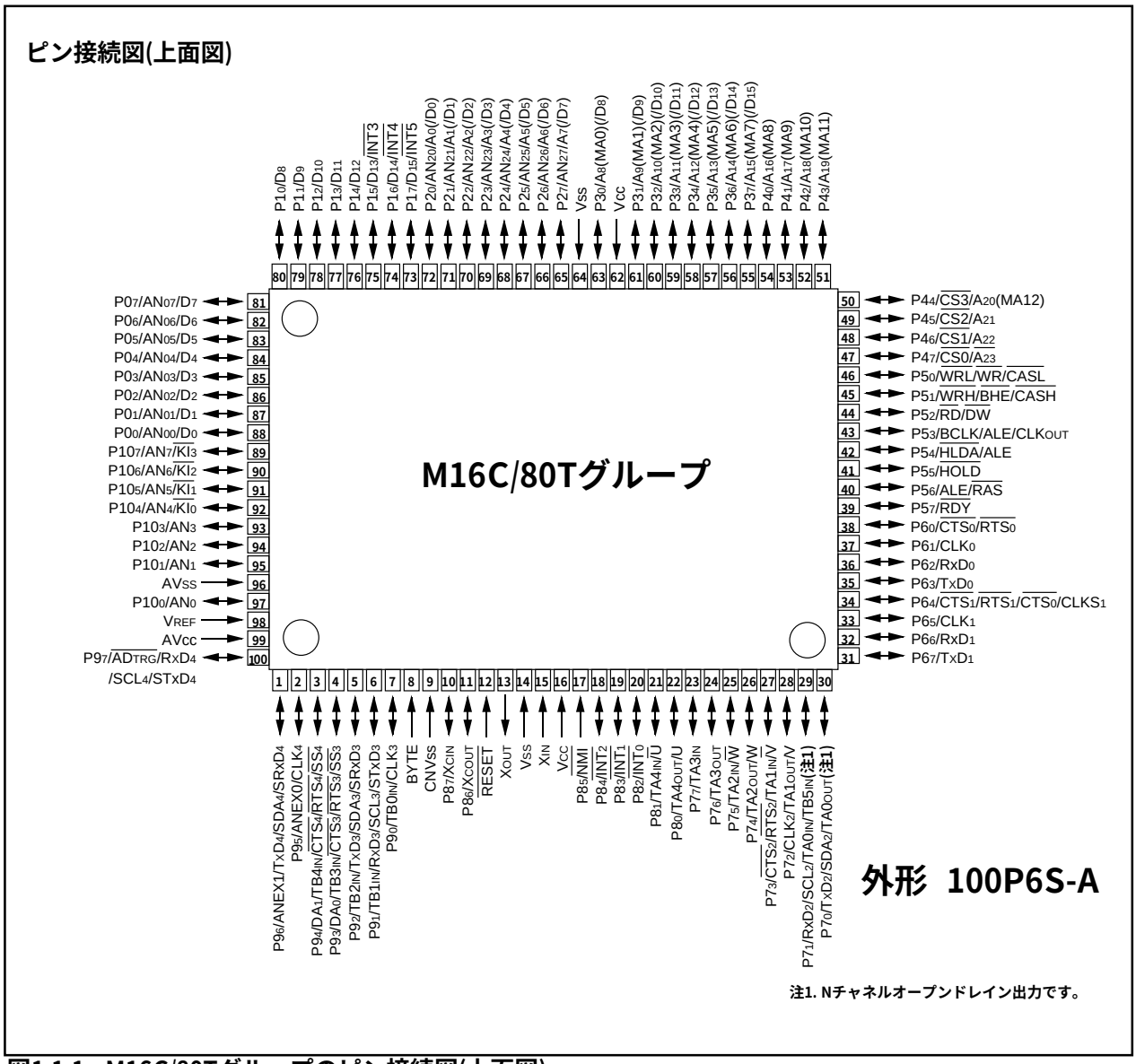
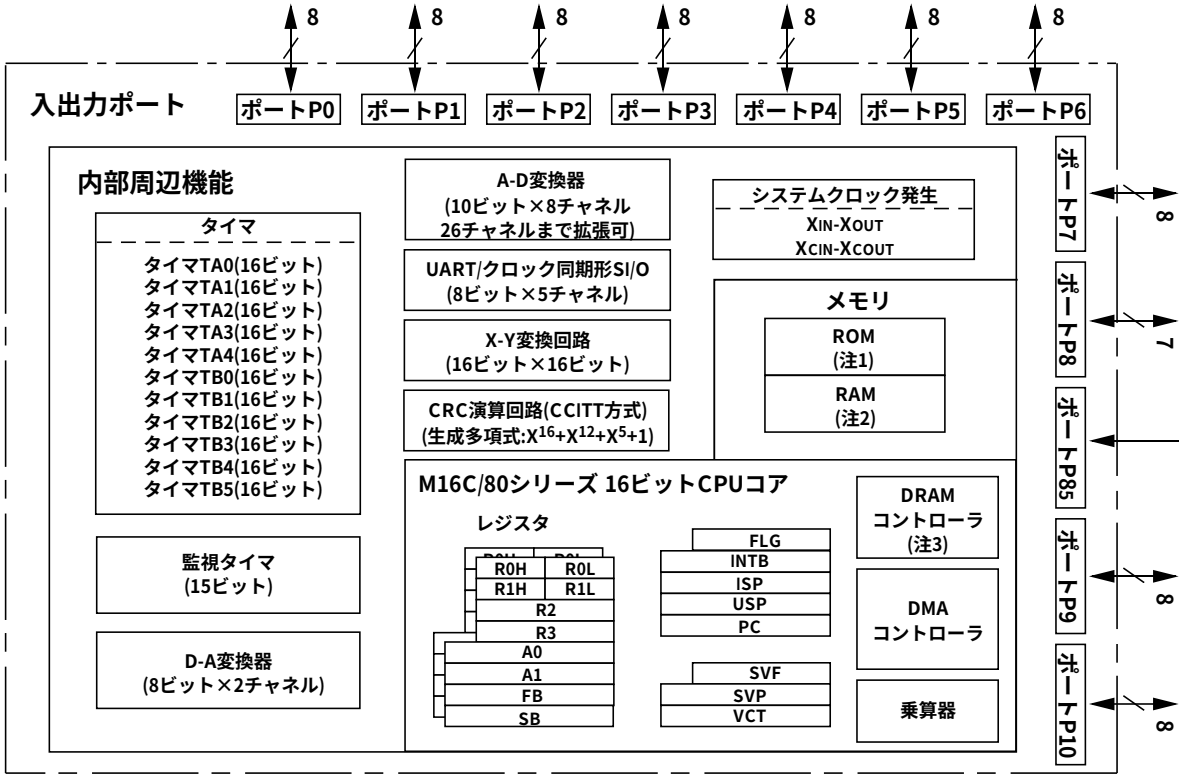


図1.1.1. M16C/80Tグループのピン接続図(上面図)

ブロック図

図1.1.2にM16C/80Tグループのブロック図を示します。



注1. ROM容量は品種によって異なります。
注2. RAM容量は品種によって異なります。
注3. M16C/80Tグループではメモリ拡張の動作保証をしていません。

図1.1.2. M16C/80Tグループのブロック図

性能概要

表1.1.1にM16C/80Tグループの性能概要を示します。

表1.1.1. M16C/80Tグループの性能概要

項　　目		性　　能
基本命令数		106命令
最短命令実行時間		50ns(f(XIN)=20MHz時)
メモリ容量	ROM	128Kバイト
	RAM	10Kバイト
入出力ポート	P0～P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2 UART3,UART4	(UARTまたはクロック同期形)×5
A-D変換器		10ビット×(8×3+2)チャネル
D-A変換器		8ビット×2
DMAC		4チャネル
DRAMコントローラ		~~CASビフォアRASリフレッシュ、~~ ~~セルフリフレッシュ、EDO、FP対応~~ (注1)
CRC演算回路		CRC-CCITT方式
X-Y変換回路		16ビット×16ビット
監視タイマ		15ビット×1(プリスケーラ付)
割り込み		内部29要因、外部8要因、ソフトウエア5要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		4.2V～5.5V(f(XIN)=20MHz時)
消費電流		45mA (5V、f(XIN)=20MHz、ノーウエイト時、マスクROM版)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		~~可能(16Mバイト)~~ (注1)
動作周囲温度		－40℃～85℃
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピン プラスチックモールドQFP

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

M16C/80Tグループでは次のような展開を計画しています。

(1)マスクROM版、フラッシュメモリ版のサポート

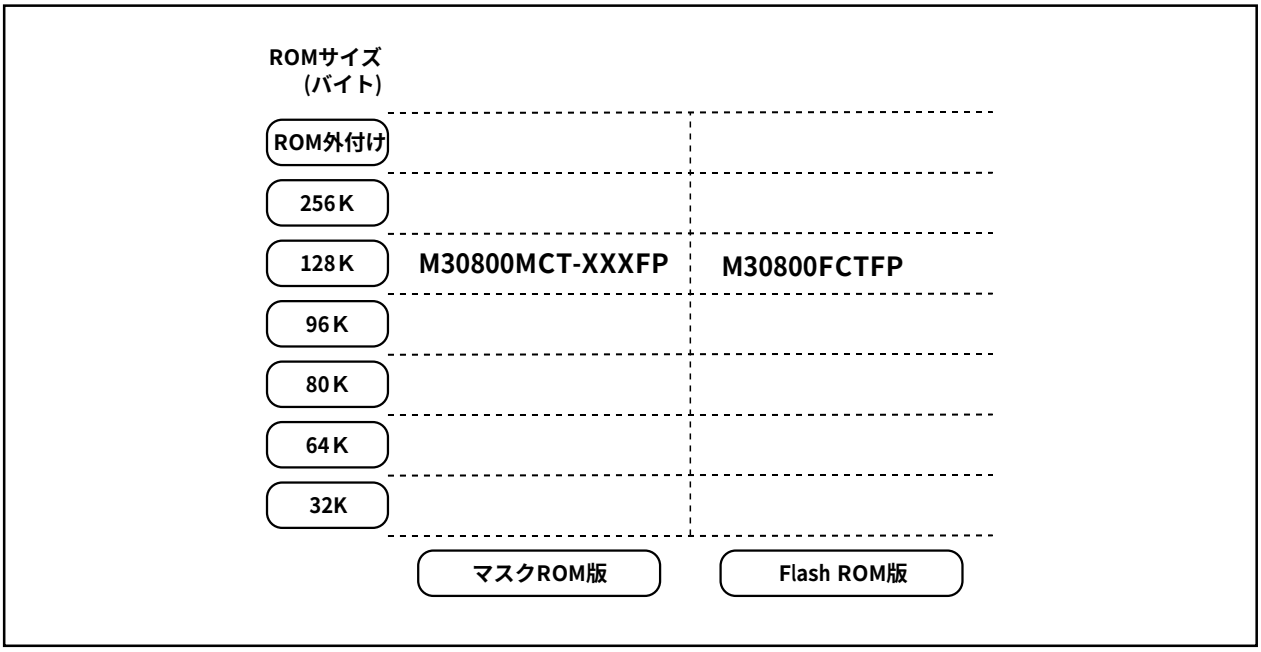


図1.1.3. ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表　　**2001年10月**

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M30800MCT-XXXFP	128Kバイト	10Kバイト	100P6S-A	マスクROM版
M30800FCTFP				フラッシュメモリ版

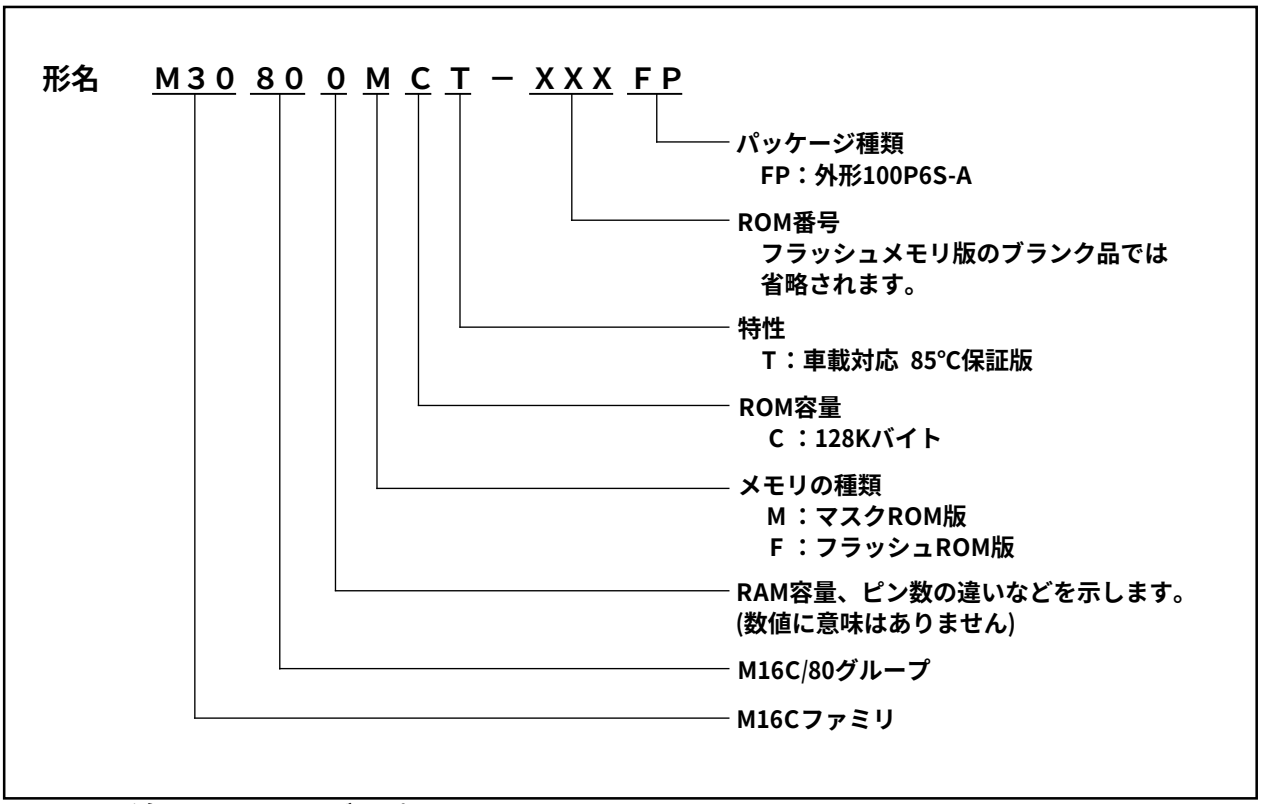


図1.1.4. 形名とメモリサイズ・パッケージ

端子の機能説明

端子名	名　称	入出力	機　　能
VCC，VSS	電源入力		VCC端子には、4.2V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合はVSSに接続してください。マイクロプロセッサモードで動作を開始する場合はVCCに接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅切り替え入力	入力	外部領域3のデータバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部バスを使用しない場合はVSS端子に接続してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCCに接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSSに接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。シングルチップモード時の入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは内蔵プルアップ抵抗は選択できません。ただし、設定により入出力ポートとして使用できるポートはプルアップ抵抗有無の設定ができます。シングルチップモード時、ソフトウエアで選択することによってA-D変換器の拡張入力端子として機能します。
D0～D7		入出力	セパレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P15～P17はソフトウエアで選択することによって、外部割り込み端子として機能します。
D8～D15		入出力	セパレートバス設定時データ(D8～D15)の入出力を行います。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウエアで選択することによってA-D変換器の拡張入力端子として機能します。
A0～A7		出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～A7/D7		入出力	マルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
P30～P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8～A15		出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D8～A15/D15		入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D8～D15)の入出力と、アドレスの中位8ビット(A8～A15)の出力を時分割で行います。
MA0～MA7		出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。
P40～P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16～A22、$\overline{\text{A23}}$		出力	アドレスの上位8ビット(A16～A22、$\overline{\text{A23}}$)を出力します。 アドレスの最上位ビット($\overline{\text{A23}}$)は反転して出力します。
$\overline{\text{CS0}}$～$\overline{\text{CS3}}$		出力	CS0～CS3信号を出力します。$\overline{\text{CS0}}$～$\overline{\text{CS3}}$はチップセレクト信号でアクセス空間の指定に使用します。
MA8～MA12		出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。

端子の機能説明

端子名	名　称	入出力	機　　能
$P5_0$～$P5_7$	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、$P5_3$からX_{IN}の8分周、32分周または、X_{CIN}と同じ周期をもつクロックを出力します。
$\overline{WRL}$/$\overline{WR}$、 $\overline{WRH}$/$\overline{BHE}$、 $\overline{RD}$、 BCLK、 $\overline{HLDA}$、 $\overline{HOLD}$、 ALE、 $\overline{RDY}$		出力 出力 出力 出力 出力 入力 出力 入力	$\overline{WRL}$、$\overline{WRH}$、($\overline{WR}$、$\overline{BHE}$)、$\overline{RD}$、BCLK、$\overline{HLDA}$、ALE信号を出力します。なお、ソフトウエアによって$\overline{WRL}$、$\overline{WRH}$または、$\overline{BHE}$、$\overline{WR}$を切り替えることができます。 ■$\overline{WRL}$、$\overline{WRH}$、$\overline{RD}$選択時 外部データバス幅が16ビットの場合、$\overline{WRL}$信号が“L”レベルのとき偶数番地に、$\overline{WRH}$信号が“L”レベルのときは奇数番地に書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。 ■$\overline{WR}$、$\overline{BHE}$、$\overline{RD}$選択時 $\overline{WR}$信号が“L”レベルのとき書き込みを行います。$\overline{RD}$信号が“L”レベルのとき読み出しを行います。$\overline{BHE}$信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 $\overline{HOLD}$端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、$\overline{HLDA}$は“L”レベルを出力します。ALEはアドレスをラッチするための信号です。$\overline{RDY}$端子の入力レベルが“L”の期間、マイクロコンピュータはバスはウエイト状態になります。
$\overline{DW}$ $\overline{CASL}$ $\overline{CASH}$ $\overline{RAS}$		出力 出力 出力 出力	DRAM領域へのアクセス時、$\overline{DW}$信号が“L”レベルのときDRAMへ書き込みを行います。 $\overline{CASL}$、$\overline{CASH}$信号は列アドレスをラッチするタイミングを示す出力です。 $\overline{CASL}$は偶数番地、$\overline{CASH}$は奇数番地アクセス時に“L”になります。 $\overline{RAS}$信号は行アドレスをラッチするタイミングを示す出力です。
$P6_0$～$P6_7$	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、メモリ拡張モード、マイクロプロセッサモードの入力ポートでは、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を選択できます。ソフトウエアで選択することによって、UART0、UART1の入出力端子として機能します。
$P7_0$～$P7_7$	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力)。ソフトウエアで選択することによって、タイマA0～A3、タイマB5またはUART2の入出力端子として機能します。
$P8_0$～$P8_4$、 $P8_6$、 $P8_7$、 $P8_5$	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	$P8_0$～$P8_4$、$P8_6$、$P8_7$はP6と同等の機能を持つ入出力ポートです。ソフトウエアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。$P8_6$、$P8_7$はソフトウエアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、$P8_6$(X_{COUT}端子)と$P8_7$(X_{CIN}端子)の間には水晶発振子を接続してください。$P8_5$は$\overline{NMI}$と兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したとき$\overline{NMI}$割り込みが発生します。$\overline{NMI}$の機能はソフトウエアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
$P9_0$～$P9_7$	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、UART3, 4の入出力端子、タイマB0～B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
$P10_0$～$P10_7$	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによってA-D変換器の入力端子として機能します。また、$P10_4$～$P10_7$はキー入力割り込み機能の入力端子としても機能します。

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

機能ブロック動作説明

M16C/80Tグループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、DRAMコントローラ(注1)、入出力ポートなどの周辺装置です。

次に各装置について説明します。

注1. M16C/80Tグループでは、メモリ拡張の動作保証をしていません。

メモリ

メモリ配置図を図1.2.1に示します。アドレス空間は000000_{16}番地から$FFFFFF_{16}$番地までの16Mバイトあります。

$FFFFFF_{16}$番地から番地の小さい方向にROMが配置されています。M30800MCT-XXXFPでは、$FE0000_{16}$番地から$FFFFFF_{16}$番地まで128Kバイトの内部ROMが配置されています。

$FFFFDC_{16}$番地から$FFFFFF_{16}$番地はリセットおよび$\overline{NMI}$などの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

000400_{16}番地から番地の大きい方向にRAMが配置されています。M30800MCT-XXXFPでは、000400_{16}番地から$002BFF_{16}$番地まで10Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

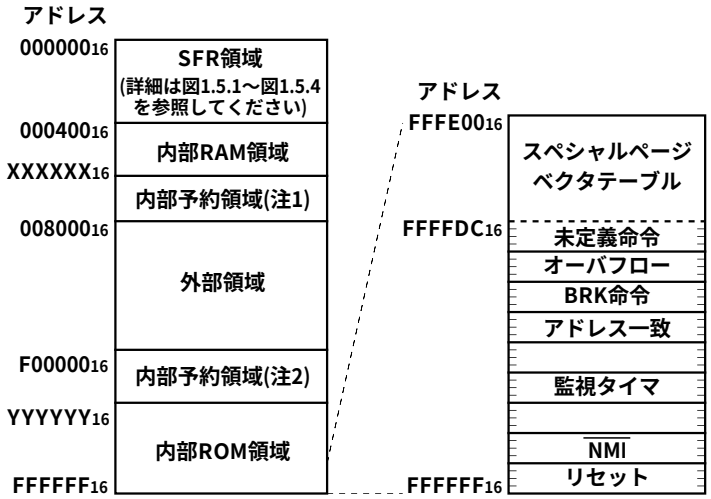
000000_{16}番地から$0003FF_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.5.1～図1.5.4に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

$FFFE00_{16}$番地から$FFFFDB_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。M30800MCT-XXXFPでは、次の領域を使用できません。

- $002C00_{16}$番地から008000_{16}番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- $F00000_{16}$番地から$FDFFFF_{16}$番地(メモリ拡張モード時)

ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。



形　名	XXXXXX₁₆	YYYYYY₁₆
M30800MCT-XXXFP	002BFF₁₆	FE0000₁₆
M30800FCTFP		

注1.　メモリ拡張モード時およびマイクロプロセッサモード時
注2.　メモリ拡張モード時
注3.　M16C/80Tグループでは、メモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.2.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.3.1に示す28個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個は2セットあり、2つのレジスタバンクを構成しています。

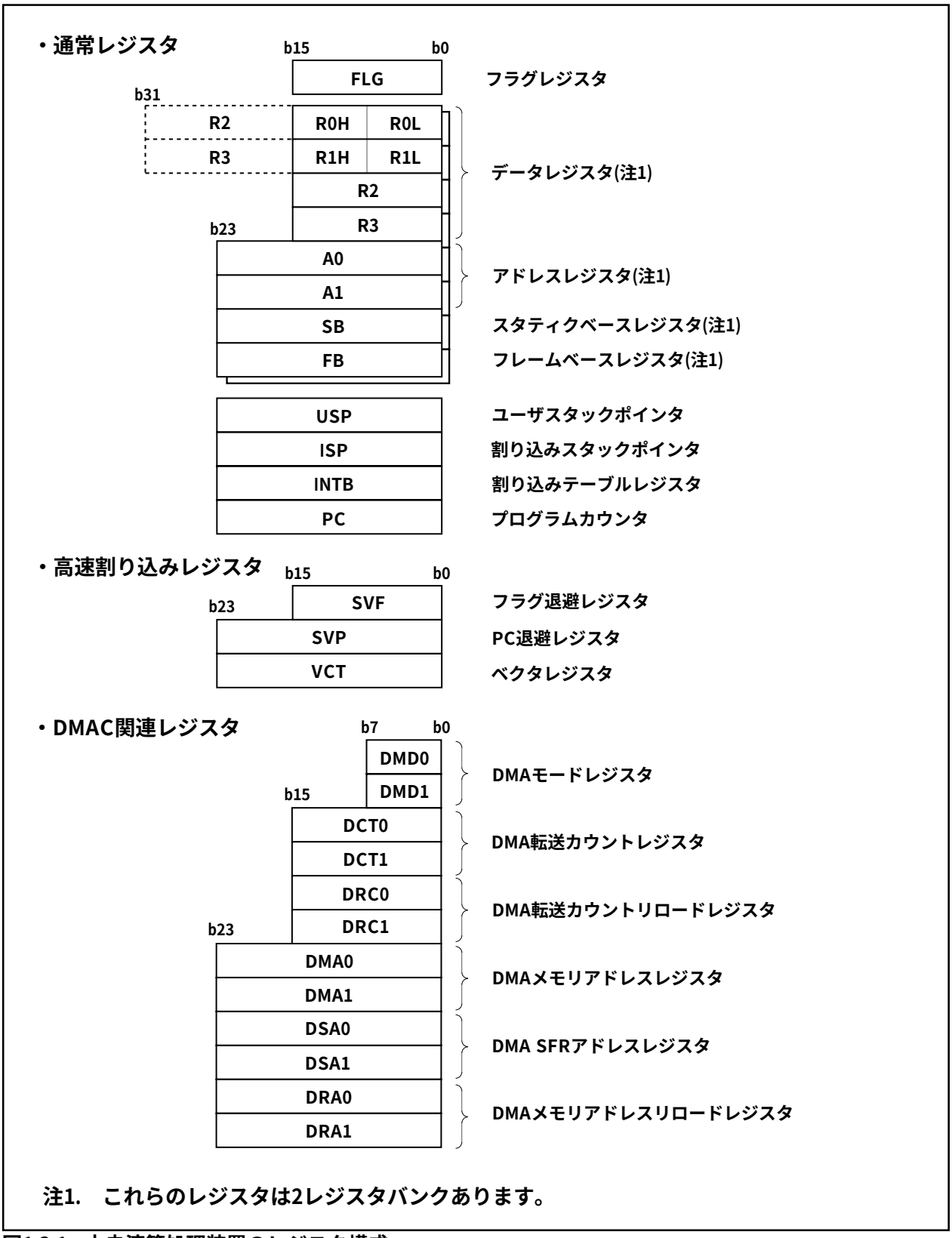


図1.3.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3/R2R0/R3R1)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用できます。また、R2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は24ビットで構成されており、データレジスタと同等の機能をもちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

(3) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は24ビットで構成されており、SB相対アドレッシングに使用します。

(4) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は24ビットで構成されており、FB相対アドレッシングに使用します。

(5) プログラムカウンタ(PC)

プログラムカウンタ(PC)は24ビットで構成されており、次に実行する命令の番地を示します。

(6) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は24ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(7) ユーザスタックポインタ(USP)/割り込みスタックポインタ(ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に24ビットで構成されています。

使用するスタックポインタ(USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには偶数を設定してください。偶数を設定した方が実行効率が良くなります。

(8) フラグ退避レジスタ(SVF)

フラグ退避レジスタ(SVF)は16ビットで構成されており、高速割り込み発生時フラグレジスタを退避させるのに使用します。

(9) PC退避レジスタ(SVP)

PC退避レジスタ(SVP)は24ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるのに使用します。

(10) ベクタレジスタ(VCT)

ベクタレジスタ(VCT)は24ビットで構成されており、高速割り込み発生時飛び先番地を示します。

(11) DMAモードレジスタ(DMD0/DMD1)

DMAモードレジスタ(DMD0/DMD1)は8ビットで構成されており、DMAの転送モードなどを設定するレジスタです。

(12) DMA転送カウントレジスタ(DCT0/DCT1)

DMA転送カウントレジスタ(DCT0/DCT1)は16ビットで構成されており、DMAの転送回数を設定するレジスタです。

(13) DMA転送カウントリロードレジスタ(DRC0/DRC1)

DMA転送カウントリロードレジスタ(DRC0/DRC1)は16ビットで構成されており、DMA転送カウントレジスタのリロードレジスタです。

(14) DMAメモリアドレスレジスタ(DMA0/DMA1)

DMAメモリアドレスレジスタ(DMA0/DMA1)は24ビットで構成されており、DMAの転送元あるいは転送先のメモリアドレスを設定するレジスタです。

(15) DMA SFRアドレスレジスタ(DSA0/DSA1)

DMA SFRアドレスレジスタ(DSA0/DSA1)は24ビットで構成されており、DMA転送の転送元あるいは転送先の固定アドレスを設定するレジスタです。

(16) DMAメモリアドレスリロードレジスタ(DRA0/DRA1)

DMAメモリアドレスリロードレジスタ(DRA0/DRA1)は24ビットで構成されており、DMAメモリアドレスレジスタのリロードレジスタです。

(17) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。フラグレジスタ(FLG)の構成を図1.3.2に示します。また、各フラグの機能を以下に示します。

●ビット0 : キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1 : デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けるとこのフラグは、“0”になります。

●ビット2 : ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3 : サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4 : レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5 : オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6 : 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

●ビット7 : スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザースタックポインタ(USP)が指定されます。

ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

●ビット8～ビット11 : 予約領域

●ビット12～ビット14 : プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

●ビット15 : 予約領域

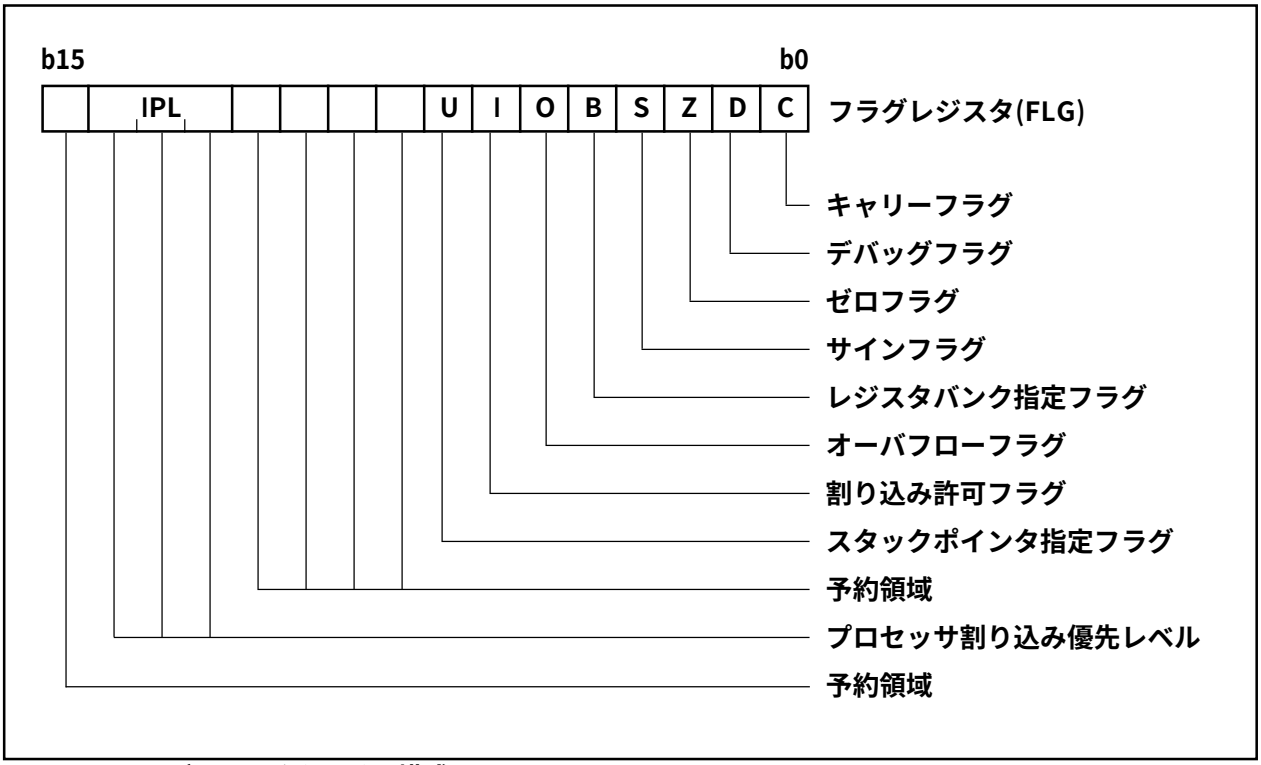


図1.3.2. フラグレジスタ(FLG)の構成

リセット

リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです(ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照)。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.4.1、リセットシーケンスを図1.4.2に示します。

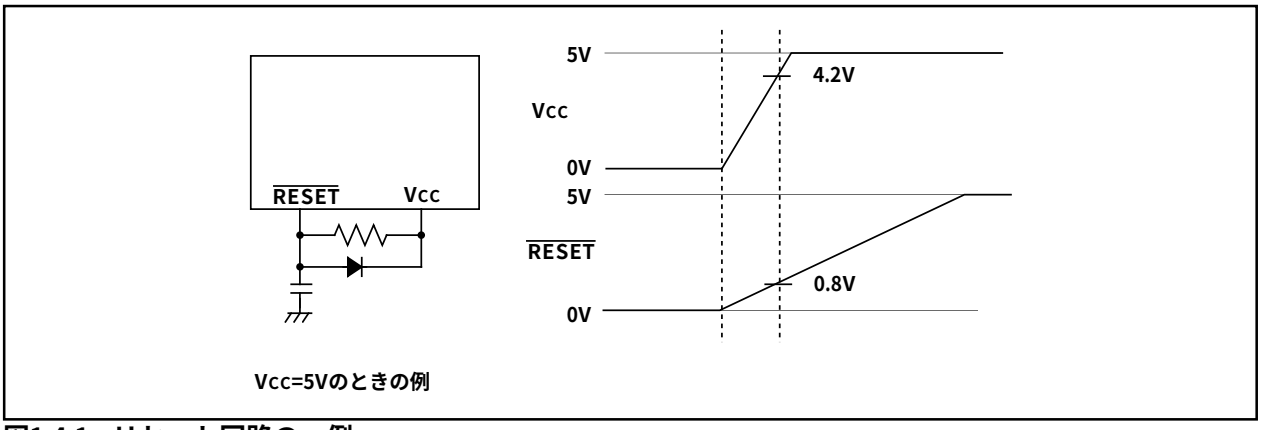
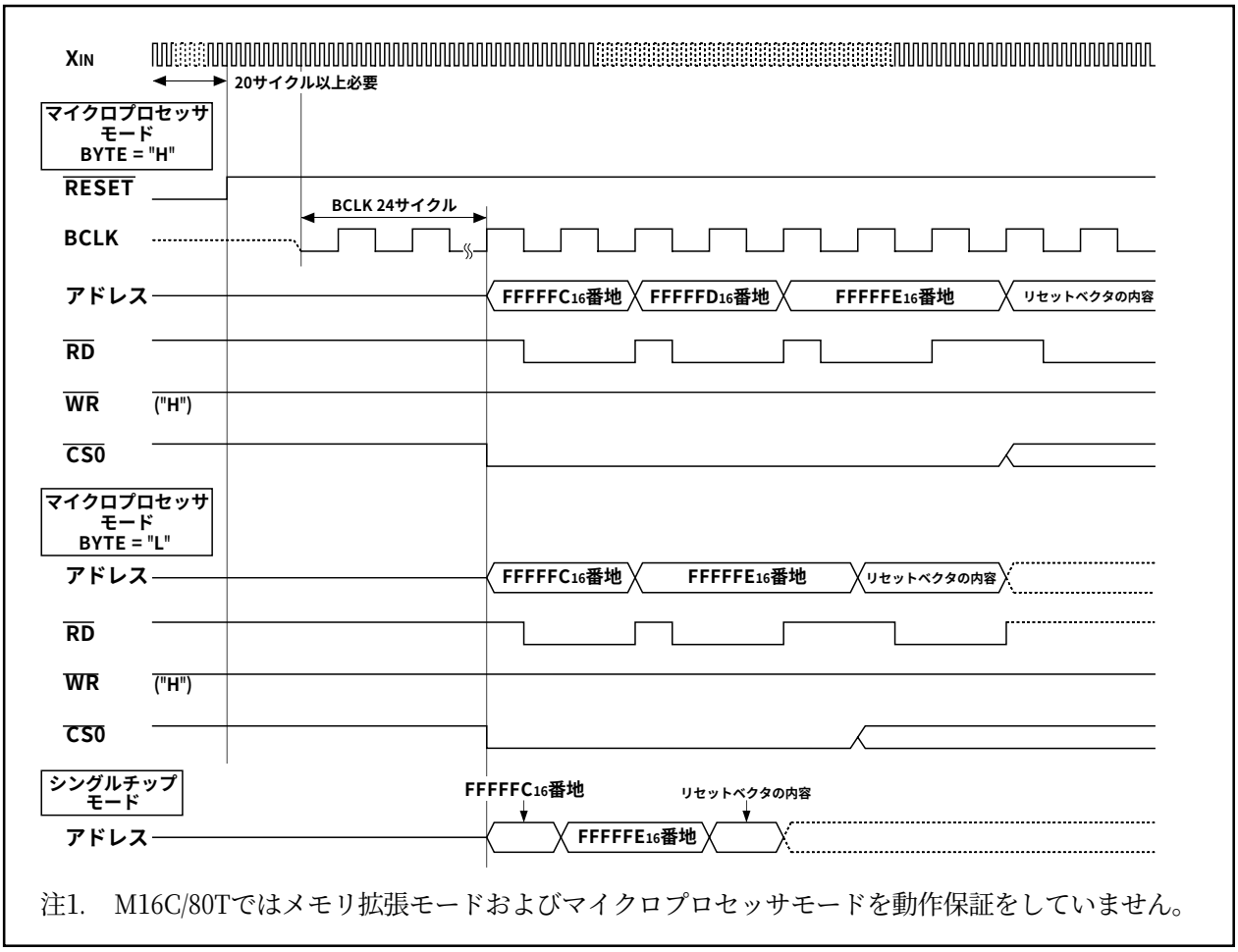


図1.4.1. リセット回路の一例



注1. M16C/80Tではメモリ拡張モードおよびマイクロプロセッサモードを動作保証をしていません。

図1.4.2. リセットシーケンス

$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を表1.4.1、リセット解除直後のマイクロコンピュータの内部状態を図1.4.3、図1.4.4に示します。

表1.4.1. $\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P4	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
$P5_0$	入力ポート(フローティング)	$\overline{\text{WR}}$出力(“H”レベルを出力)	$\overline{\text{WR}}$出力(“H”レベルを出力)
$P5_1$	入力ポート(フローティング)	$\overline{\text{BHE}}$出力(不定)	$\overline{\text{BHE}}$出力(不定)
$P5_2$	入力ポート(フローティング)	$\overline{\text{RD}}$出力(“H”レベルを出力)	$\overline{\text{RD}}$出力(“H”レベルを出力)
$P5_3$	入力ポート(フローティング)	BCLK出力	BCLK出力
$P5_4$	入力ポート(フローティング)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)	$\overline{\text{HLDA}}$出力(出力値は$\overline{\text{HOLD}}$端子の入力に依存)
$P5_5$	入力ポート(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)	$\overline{\text{HOLD}}$入力(フローティング)
$P5_6$	入力ポート(フローティング)	$\overline{\text{RAS}}$出力	$\overline{\text{RAS}}$出力
$P5_7$	入力ポート(フローティング)	$\overline{\text{RDY}}$入力(フローティング)	$\overline{\text{RDY}}$入力(フローティング)
P6, P7, $P8_0$～$P8_4$, $P8_6$, $P8_7$, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

(1) プロセッサモードレジスタ0(注1)	(0004$_{16}$)・・・	80$_{16}$
(2) プロセッサモードレジスタ1	(0005$_{16}$)・・・	00$_{16}$
(3) システムクロック制御レジスタ0	(0006$_{16}$)・・・	08$_{16}$
(4) システムクロック制御レジスタ1	(0007$_{16}$)・・・	20$_{16}$
(5) ウエイト制御レジスタ	(0008$_{16}$)・・・	FF$_{16}$
(6) アドレス一致割り込み許可レジスタ	(0009$_{16}$)・・・	×××× 0000
(7) プロテクトレジスタ	(000A$_{16}$)・・・	××××× 000
(8) 外部データバス幅制御レジスタ(注2)	(000B$_{16}$)・・・	×××× ?000
(9) メインクロック分周レジスタ	(000C$_{16}$)・・・	××× 0100
(10) 監視タイマ制御レジスタ	(000F$_{16}$)・・・	00∗????
(11) アドレス一致割り込みレジスタ0	(0010$_{16}$)・・・	00$_{16}$
	(0011$_{16}$)・・・	00$_{16}$
	(0012$_{16}$)・・・	00$_{16}$
(12) アドレス一致割り込みレジスタ1	(0014$_{16}$)・・・	00$_{16}$
	(0015$_{16}$)・・・	00$_{16}$
	(0016$_{16}$)・・・	00$_{16}$
(13) アドレス一致割り込みレジスタ2	(0018$_{16}$)・・・	00$_{16}$
	(0019$_{16}$)・・・	00$_{16}$
	(001A$_{16}$)・・・	00$_{16}$
(14) アドレス一致割り込みレジスタ3	(001C$_{16}$)・・・	00$_{16}$
	(001D$_{16}$)・・・	00$_{16}$
	(001E$_{16}$)・・・	00$_{16}$
(15) DRAM制御レジスタ	(0040$_{16}$)・・・	?××× ????
(16) DMA0割り込み制御レジスタ	(0068$_{16}$)・・・	×××× ?000
(17) タイマB5割り込み制御レジスタ	(0069$_{16}$)・・・	×××× ?000
(18) DMA2割り込み制御レジスタ	(006A$_{16}$)・・・	×××× ?000
(19) UART2受信/ACK割り込み制御レジスタ	(006B$_{16}$)・・・	×××× ?000
(20) タイマA0割り込み制御レジスタ	(006C$_{16}$)・・・	×××× ?000
(21) UART3受信/ACK割り込み制御レジスタ	(006D$_{16}$)・・・	×××× ?000
(22) タイマA2割り込み制御レジスタ	(006E$_{16}$)・・・	×××× ?000
(23) UART4受信/ACK割り込み制御レジスタ	(006F$_{16}$)・・・	×××× ?000
(24) タイマA4割り込み制御レジスタ	(0070$_{16}$)・・・	×××× ?000
(25) バス衝突検出(UART3)割り込み制御レジスタ	(0071$_{16}$)・・・	×××× ?000
(26) UART0受信割り込み制御レジスタ	(0072$_{16}$)・・・	×××× ?000
(27) A-D変換割り込み制御レジスタ	(0073$_{16}$)・・・	×××× ?000
(28) UART1受信割り込み制御レジスタ	(0074$_{16}$)・・・	×××× ?000
(29) タイマB1割り込み制御レジスタ	(0076$_{16}$)・・・	×××× ?000
(30) タイマB3割り込み制御レジスタ	(0078$_{16}$)・・・	×××× ?000
(31) INT5割り込み制御レジスタ	(007A$_{16}$)・・・	×× 00?000
(32) INT3割り込み制御レジスタ	(007C$_{16}$)・・・	×× 00?000
(33) INT1割り込み制御レジスタ	(007E$_{16}$)・・・	×× 00?000
(34) DMA1割り込み制御レジスタ	(0088$_{16}$)・・・	×××× ?000
(35) UART2送信/NACK割り込み制御レジスタ	(0089$_{16}$)・・・	×××× ?000
(36) DMA3割り込み制御レジスタ	(008A$_{16}$)・・・	×××× ?000
(37) UART3送信/NACK割り込み制御レジスタ	(008B$_{16}$)・・・	×××× ?000
(38) タイマA1割り込み制御レジスタ	(008C$_{16}$)・・・	×××× ?000
(39) UART4送信/NACK割り込み制御レジスタ	(008D$_{16}$)・・・	×××× ?000
(40) タイマA3割り込み制御レジスタ	(008E$_{16}$)・・・	×××× ?000
(41) バス衝突検出(UART2)割り込み制御レジスタ	(008F$_{16}$)・・・	×××× ?000
(42) UART0送信割り込み制御レジスタ	(0090$_{16}$)・・・	×××× ?000
(43) バス衝突検出(UART4)割り込み制御レジスタ	(0091$_{16}$)・・・	×××× ?000
(44) UART1送信割り込み制御レジスタ	(0092$_{16}$)・・・	×××× ?000
(45) キー入力割り込み制御レジスタ	(0093$_{16}$)・・・	×××× ?000
(46) タイマB0割り込み制御レジスタ	(0094$_{16}$)・・・	×××× ?000
(47) タイマB2割り込み制御レジスタ	(0096$_{16}$)・・・	×××× ?000
(48) タイマB4割り込み制御レジスタ	(0098$_{16}$)・・・	×××× ?000
(49) INT4割り込み制御レジスタ	(009A$_{16}$)・・・	×× 00?000
(50) INT2割り込み制御レジスタ	(009C$_{16}$)・・・	×× 00?000
(51) INT0割り込み制御レジスタ	(009E$_{16}$)・・・	×× 00?000
(52) 復帰用優先順位レジスタ	(009F$_{16}$)・・・	×××× 0000
(53) XY制御レジスタ	(02E0$_{16}$)・・・	×××××× 00
(54) UART4特殊モードレジスタ3	(02F5$_{16}$)・・・	00$_{16}$
(55) UART4特殊モードレジスタ2	(02F6$_{16}$)・・・	00$_{16}$
(56) UART4特殊モードレジスタ	(02F7$_{16}$)・・・	00$_{16}$
(57) UART4送受信モードレジスタ	(02F8$_{16}$)・・・	00$_{16}$
(58) UART4送受信制御レジスタ0	(02FC$_{16}$)・・・	08$_{16}$
(59) UART4送受信制御レジスタ1	(02FD$_{16}$)・・・	02$_{16}$
(60) タイマB3, 4, 5カウント開始フラグ	(0300$_{16}$)・・・	000××××
(61) 三相PWM制御レジスタ0	(0308$_{16}$)・・・	00$_{16}$
(62) 三相PWM制御レジスタ1	(0309$_{16}$)・・・	0000?000
(63) 三相出力バッファレジスタ0	(030A$_{16}$)・・・	00$_{16}$
(64) 三相出力バッファレジスタ1	(030B$_{16}$)・・・	00$_{16}$
(65) タイマB3モードレジスタ	(031B$_{16}$)・・・	00?×0000
(66) タイマB4モードレジスタ	(031C$_{16}$)・・・	00?×0000
(67) タイマB5モードレジスタ	(031D$_{16}$)・・・	00?×0000

∗：このビットはコールドスタート/ウォームスタートフラグで、電源投入時は“0”となります(P77参照)。
×：このビットは何も配置されていません。
？：不定です。
これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1.　CNVss端子にVccレベルを印加しているときは、リセット時03$_{16}$になります。
注2.　第3ビットはBYTE端子が“L”のとき“1”、“H”のとき“0”となります。

図1.4.3. リセット解除後のマイクロコンピュータの内部状態(1)

(68) 割り込み要因選択レジスタ	(031F16)・・・	××	0	0	0	0	0	0	
(69) UART3特殊モードレジスタ3	(032516)・・・	0016							
(70) UART3特殊モードレジスタ2	(032616)・・・	0016							
(71) UART3特殊モードレジスタ	(032716)・・・	0016							
(72) UART3送受信モードレジスタ	(032816)・・・	0016							
(73) UART3送受信制御レジスタ0	(032C16)・・・	0816							
(74) UART3送受信制御レジスタ1	(032D16)・・・	0216							
(75) UART2特殊モードレジスタ3	(033516)・・・	0	0	0	×	×	×	×	
(76) UART2特殊モードレジスタ2	(033616)・・・	0016							
(77) UART2特殊モードレジスタ	(033716)・・・	0016							
(78) UART2送受信モードレジスタ	(033816)・・・	0016							
(79) UART2送受信制御レジスタ0	(033C16)・・・	0	0	×	0	1	0	0	0
(80) UART2送受信制御レジスタ1	(033D16)・・・	0216							
(81) カウント開始フラグ	(034016)・・・	0016							
(82) 時計用プリスケーラリセットフラグ	(034116)・・・	0	×	×	×	×	×	×	×
(83) ワンショット開始フラグ	(034216)・・・	0016							
(84) トリガ選択レジスタ	(034316)・・・	0016							
(85) アップダウンフラグ	(034416)・・・	0016							
(86) タイマA0モードレジスタ	(035616)・・・	0	0	0	0	0	?	0	0
(87) タイマA1モードレジスタ	(035716)・・・	0	0	0	0	0	?	0	0
(88) タイマA2モードレジスタ	(035816)・・・	0	0	0	0	0	?	0	0
(89) タイマA3モードレジスタ	(035916)・・・	0	0	0	0	0	?	0	0
(90) タイマA4モードレジスタ	(035A16)・・・	0	0	0	0	0	?	0	0
(91) タイマB0モードレジスタ	(035B16)・・・	0	0	?	×	0	0	0	0
(92) タイマB1モードレジスタ	(035C16)・・・	0	0	?	×	0	0	0	0
(93) タイマB2モードレジスタ	(035D16)・・・	0	0	?	×	0	0	0	0
(94) UART0送受信モードレジスタ	(036016)・・・	0016							
(95) UART0送受信制御レジスタ0	(036416)・・・	0816							
(96) UART0送受信制御レジスタ1	(036516)・・・	0216							
(97) UART1送受信モードレジスタ	(036816)・・・	0016							
(98) UART1送受信制御レジスタ0	(036C16)・・・	0816							
(99) UART1送受信制御レジスタ1	(036D16)・・・	0216							
(100) UART送受信制御レジスタ2	(037016)・・・	×	0	×	×	0	0	0	0
(101) フラッシュメモリ制御レジスタ1(注1)	(037616)・・・	?	?	?	?	?	0	?	?
(102) フラッシュメモリ制御レジスタ0(注1)	(037716)・・・	×	×	0	0	0	0	0	1
(103) DMA0要因選択レジスタ	(037816)・・・	0	×	0	0	0	0	0	0
(104) DMA1要因選択レジスタ	(037916)・・・	0	×	0	0	0	0	0	0
(105) DMA2要因選択レジスタ	(037A16)・・・	0	×	0	0	0	0	0	0
(106) DMA3要因選択レジスタ	(037B16)・・・	0	×	0	0	0	0	0	0
(107) A-D制御レジスタ2	(039416)・・・	0	0	0	0	?	?	?	0
(108) A-D制御レジスタ0	(039616)・・・	0	0	0	0	0	?	?	?

(109) A-D制御レジスタ1	(039716)・・・	0016							
(110) D-A制御レジスタ	(039C16)・・・	0016							
(111) 機能選択レジスタC	(03AF16)・・・	0	×	×	×	×	×	×	0
(112) 機能選択レジスタA0	(03B016)・・・	0	×	0	0	0	×	0	0
(113) 機能選択レジスタA1	(03B116)・・・	×	0	0	0	0	0	0	0
(114) 機能選択レジスタB0	(03B216)・・・	×	×	×	0	×	×	×	×
(115) 機能選択レジスタB1	(03B316)・・・	×	×	×	0	0	0	×	0
(116) 機能選択レジスタA2	(03B416)・・・	×	×	×	×	×	×	0	0
(117) 機能選択レジスタA3	(03B516)・・・	0016							
(118) 機能選択レジスタB2	(03B616)・・・	×	×	×	×	×	×	×	0
(119) 機能選択レジスタB3	(03B716)・・・	0	0	0	0	0	×	0	×
(120) ポートP6方向レジスタ	(03C216)・・・	0016							
(121) ポートP7方向レジスタ	(03C316)・・・	0016							
(122) ポートP8方向レジスタ	(03C616)・・・	0	0	×	0	0	0	0	0
(123) ポートP9方向レジスタ	(03C716)・・・	0016							
(124) ポートP10方向レジスタ	(03CA16)・・・	0016							
(125) プルアップ制御レジスタ2	(03DA16)・・・	0016							
(126) プルアップ制御レジスタ3	(03DB16)・・・	0016							
(127) ポートP0方向レジスタ	(03E216)・・・	0016							
(128) ポートP1方向レジスタ	(03E316)・・・	0016							
(129) ポートP2方向レジスタ	(03E616)・・・	0016							
(130) ポートP3方向レジスタ	(03E716)・・・	0016							
(131) ポートP4方向レジスタ	(03EA16)・・・	0016							
(132) ポートP5方向レジスタ	(03EB16)・・・	0016							
(133) プルアップ制御レジスタ0	(03F016)・・・	0016							
(134) プルアップ制御レジスタ1	(03F116)・・・	X016							
(135) ポート制御レジスタ	(03FF16)・・・	×	×	×	×	×	×	×	0
(136) データレジスタ(R0/R1/R2/R3)		000016							
(137) アドレスレジスタ(A0/A1)		00000016							
(138) スタティックベースレジスタ(SB)		00000016							
(139) フレームベースレジスタ(FB)		00000016							
(140) 割り込みテーブルレジスタ(INTB)		00000016							
(141) ユーザスタックポインタ(USP)		00000016							
(142) 割り込みスタックポインタ(ISP)		00000016							
(143) フラグレジスタ(FLG)		000016							
(144) DMAモードレジスタ(DMD0/DMD1)		0016							
(145) DMA転送カウントレジスタ(DCT0/DCT1)		??							
(146) DMA転送カウントリロードレジスタ(DRC0/DRC1)		??							
(147) DMAメモリアドレスレジスタ(DMA0/DMA1)		??							
(148) DMA SFRアドレスレジスタ(DSA0/DSA1)		??							
(149) DMAメモリアドレスリロードレジスタ(DRA0/DRA1)		??							

×：このビットは何も配置されていません。
？：不定です。
これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注1. このレジスタはフラッシュメモリ版にのみ存在します。

図1.4.4. リセット解除後のマイクロコンピュータの内部状態(2)

0000₁₆	
0001₁₆	
0002₁₆	
0003₁₆	
0004₁₆	プロセッサモードレジスタ0(PM0)
0005₁₆	プロセッサモードレジスタ1(PM1)
0006₁₆	システムクロック制御レジスタ0(CM0)
0007₁₆	システムクロック制御レジスタ1(CM1)
0008₁₆	ウエイト制御レジスタ(WCR)
0009₁₆	アドレス一致割り込み許可レジスタ(AIER)
000A₁₆	プロテクトレジスタ(PRCR)
000B₁₆	外部データバス幅制御レジスタ(DS)
000C₁₆	メインクロック分周レジスタ(MCD)
000D₁₆	
000E₁₆	監視タイマスタートレジスタ(WDTS)
000F₁₆	監視タイマ制御レジスタ(WDC)
0010₁₆	アドレス一致割り込みレジスタ0(RMAD0)
0011₁₆	
0012₁₆	
0013₁₆	
0014₁₆	アドレス一致割り込みレジスタ1(RMAD1)
0015₁₆	
0016₁₆	
0017₁₆	
0018₁₆	アドレス一致割り込みレジスタ2(RMAD2)
0019₁₆	
001A₁₆	
001B₁₆	
001C₁₆	アドレス一致割り込みレジスタ3(RMAD3)
001D₁₆	
001E₁₆	
001F₁₆	
0020₁₆	エミュレータ専用割り込みベクタテーブル
0021₁₆	レジスタ(EIAD) ＊
0022₁₆	
0023₁₆	エミュレータ割り込み識別レジスタ(EITD) ＊
0024₁₆	エミュレータ用プロテクトレジスタ(EPRR) ＊
0025₁₆	
0026₁₆	
0027₁₆	
0028₁₆	
0029₁₆	
002A₁₆	
002B₁₆	
002C₁₆	
002D₁₆	
002E₁₆	
002F₁₆	
0030₁₆	ROM領域設定レジスタ(ROA) ＊
0031₁₆	デバッグモニタ領域設定レジスタ(DBA) ＊
0032₁₆	拡張領域設定レジスタ0(EXA0) ＊
0033₁₆	拡張領域設定レジスタ1(EXA1) ＊
0034₁₆	拡張領域設定レジスタ2(EXA2) ＊
0035₁₆	拡張領域設定レジスタ3(EXA3) ＊
0036₁₆	
0037₁₆	
0038₁₆	
0039₁₆	
003A₁₆	
003B₁₆	
003C₁₆	
003D₁₆	
003E₁₆	
003F₁₆	
0040₁₆	DRAM制御レジスタ(DRAMCONT)
0041₁₆	DRAMリフレッシュ間隔設定レジスタ(REFCNT)
0042₁₆	
0043₁₆	
0044₁₆	

0060₁₆	
0061₁₆	
0062₁₆	
0063₁₆	
0064₁₆	
0065₁₆	
0066₁₆	
0067₁₆	
0068₁₆	DMA0割り込み制御レジスタ (DM0IC)
0069₁₆	タイマB5割り込み制御レジスタ(TB5IC)
006A₁₆	DMA2割り込み制御レジスタ (DM2IC)
006B₁₆	UART2受信/ACK割り込み制御レジスタ(S2RIC)
006C₁₆	タイマA0割り込み制御レジスタ(TA0IC)
006D₁₆	UART3受信/ACK割り込み制御レジスタ(S3RIC)
006E₁₆	タイマA2割り込み制御レジスタ(TA2IC)
006F₁₆	UART4受信/ACK割り込み制御レジスタ(S4RIC)
0070₁₆	タイマA4割り込み制御レジスタ(TA4IC)
0071₁₆	バス衝突検出(UART3)割り込み制御レジスタ (BCN3IC)
0072₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0073₁₆	A-D変換割り込み制御レジスタ(ADIC)
0074₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0075₁₆	
0076₁₆	タイマB1割り込み制御レジスタ(TB1IC)
0077₁₆	
0078₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0079₁₆	
007A₁₆	INT5割り込み制御レジスタ(INT5IC)
007B₁₆	
007C₁₆	INT3割り込み制御レジスタ(INT3IC)
007D₁₆	
007E₁₆	INT1割り込み制御レジスタ(INT1IC)
007F₁₆	
0080₁₆	
0081₁₆	
0082₁₆	
0083₁₆	
0084₁₆	
0085₁₆	
0086₁₆	
0087₁₆	
0088₁₆	DMA1割り込み制御レジスタ(DM1IC)
0089₁₆	UART2送信/NACK割り込み制御レジスタ(S2TIC)
008A₁₆	DMA3割り込み制御レジスタ (DM3IC)
008B₁₆	UART3送信/NACK割り込み制御レジスタ(S3TIC)
008C₁₆	タイマA1割り込み制御レジスタ(TA1IC)
008D₁₆	UART4送信/NACK割り込み制御レジスタ(S4TIC)
008E₁₆	タイマA3割り込み制御レジスタ(TA3IC)
008F₁₆	バス衝突検出(UART2)割り込み制御レジスタ (BCN2IC)
0090₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0091₁₆	バス衝突検出(UART4)割り込み制御レジスタ (BCN4IC)
0092₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0093₁₆	キー入力割り込み制御レジスタ(KUPIC)
0094₁₆	タイマB0割り込み制御レジスタ(TB0IC)
0095₁₆	
0096₁₆	タイマB2割り込み制御レジスタ(TB2IC)
0097₁₆	
0098₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0099₁₆	
009A₁₆	INT4割り込み制御レジスタ(INT4IC)
009B₁₆	
009C₁₆	INT2割り込み制御レジスタ(INT2IC)
009D₁₆	
009E₁₆	INT0割り込み制御レジスタ(INT0IC)
009F₁₆	復帰用優先順位レジスタ (RLVL)
00A0₁₆	
00A1₁₆	
00A2₁₆	
00A3₁₆	
00A4₁₆	

何も配置されていない領域は、全て予約領域です。使用できません。
＊　エミュレータ専用のレジスタですので、ユーザーは使用できません。アクセスしないでください。

図1.5.1. 周辺装置制御レジスタの配置(1)

02C0$_{16}$	X0レジスタ(X0R) Y0レジスタ(Y0R)
02C1$_{16}$	
02C2$_{16}$	X1レジスタ(X1R) Y0レジスタ(Y1R)
02C3$_{16}$	
02C4$_{16}$	X2レジスタ(X2R) Y2レジスタ(Y2R)
02C5$_{16}$	
02C6$_{16}$	X3レジスタ(X3R) Y3レジスタ(Y3R)
02C7$_{16}$	
02C8$_{16}$	X4レジスタ(X4R) Y4レジスタ(Y4R)
02C9$_{16}$	
02CA$_{16}$	X5レジスタ(X5R) Y5レジスタ(Y5R)
02CB$_{16}$	
02CC$_{16}$	X6レジスタ(X6R) Y6レジスタ(Y6R)
02CD$_{16}$	
02CE$_{16}$	X7レジスタ(X7R) Y7レジスタ(Y7R)
02CF$_{16}$	
02D0$_{16}$	X8レジスタ(X8R) Y8レジスタ(Y8R)
02D1$_{16}$	
02D2$_{16}$	X9レジスタ(X9R) Y9レジスタ(Y9R)
02D3$_{16}$	
02D4$_{16}$	X10レジスタ(X10R) Y10レジスタ(Y10R)
02D5$_{16}$	
02D6$_{16}$	X11レジスタ(X11R) Y11レジスタ(Y11R)
02D7$_{16}$	
02D8$_{16}$	X12レジスタ(X12R) Y12レジスタ(Y12R)
02D9$_{16}$	
02DA$_{16}$	X13レジスタ(X13R) Y13レジスタ(Y13R)
02DB$_{16}$	
02DC$_{16}$	X14レジスタ(X14R) Y14レジスタ(Y14R)
02DD$_{16}$	
02DE$_{16}$	X15レジスタ(X15R) Y15レジスタ(Y15R)
02DF$_{16}$	
02E0$_{16}$	XY制御レジスタ(XYC)
02E1$_{16}$	
02E2$_{16}$	
02E3$_{16}$	
02E4$_{16}$	
02E5$_{16}$	
02E6$_{16}$	
02E7$_{16}$	
02E8$_{16}$	
02E9$_{16}$	
02EA$_{16}$	
02EB$_{16}$	
02EC$_{16}$	
02ED$_{16}$	
02EE$_{16}$	
02EF$_{16}$	
02F0$_{16}$	
02F1$_{16}$	
02F2$_{16}$	
02F3$_{16}$	
02F4$_{16}$	
02F5$_{16}$	UART4特殊モードレジスタ3(U4SMR3)
02F6$_{16}$	UART4特殊モードレジスタ2(U4SMR2)
02F7$_{16}$	UART4特殊モードレジスタ(U4SMR)
02F8$_{16}$	UART4送受信モードレジスタ(U4MR)
02F9$_{16}$	UART4転送速度レジスタ(U4BRG)
02FA$_{16}$	UART4送信バッファレジスタ(U4TB)
02FB$_{16}$	
02FC$_{16}$	UART4送受信制御レジスタ0(U4C0)
02FD$_{16}$	UART4送受信制御レジスタ1(U4C1)
02FE$_{16}$	UART4受信バッファレジスタ(U4RB)
02FF$_{16}$	

0300$_{16}$	タイマB3,4,5カウント開始フラグ(TBSR)
0301$_{16}$	
0302$_{16}$	タイマA1-1レジスタ(TA11)
0303$_{16}$	
0304$_{16}$	タイマA2-1レジスタ(TA21)
0305$_{16}$	
0306$_{16}$	タイマA4-1レジスタ(TA41)
0307$_{16}$	
0308$_{16}$	三相PWM制御レジスタ0(INVC0)
0309$_{16}$	三相PWM制御レジスタ1(INVC1)
030A$_{16}$	三相出力バッファレジスタ0(IDB0)
030B$_{16}$	三相出力バッファレジスタ1(IDB1)
030C$_{16}$	短絡防止タイマ(DTT)
030D$_{16}$	タイマB2割り込み発生頻度設定カウンタ(ICTB2)
030E$_{16}$	
030F$_{16}$	
0310$_{16}$	タイマB3レジスタ(TB3)
0311$_{16}$	
0312$_{16}$	タイマB4レジスタ(TB4)
0313$_{16}$	
0314$_{16}$	タイマB5レジスタ(TB5)
0315$_{16}$	
0316$_{16}$	
0317$_{16}$	
0318$_{16}$	
0319$_{16}$	
031A$_{16}$	
031B$_{16}$	タイマB3モードレジスタ(TB3MR)
031C$_{16}$	タイマB4モードレジスタ(TB4MR)
031D$_{16}$	タイマB5モードレジスタ(TB5MR)
031E$_{16}$	
031F$_{16}$	割り込み要因選択レジスタ(IFSR)
0320$_{16}$	
0321$_{16}$	
0322$_{16}$	
0323$_{16}$	
0324$_{16}$	
0325$_{16}$	UART3特殊モードレジスタ3(U3SMR3)
0326$_{16}$	UART3特殊モードレジスタ2(U3SMR2)
0327$_{16}$	UART3特殊モードレジスタ(U3SMR)
0328$_{16}$	UART3送受信モードレジスタ(U3MR)
0329$_{16}$	UART3転送速度レジスタ(U3BRG)
032A$_{16}$	UART3送信バッファレジスタ(U3TB)
032B$_{16}$	
032C$_{16}$	UART3送受信制御レジスタ0(U3C0)
032D$_{16}$	UART3送受信制御レジスタ1(U3C1)
032E$_{16}$	UART3受信バッファレジスタ(U3RB)
032F$_{16}$	
0330$_{16}$	
0331$_{16}$	
0332$_{16}$	
0333$_{16}$	
0334$_{16}$	
0335$_{16}$	UART2特殊モードレジスタ3(U2SMR3)
0336$_{16}$	UART2特殊モードレジスタ2(U2SMR2)
0337$_{16}$	UART2特殊モードレジスタ(U2SMR)
0338$_{16}$	UART2送受信モードレジスタ(U2MR)
0339$_{16}$	UART2転送速度レジスタ(U2BRG)
033A$_{16}$	UART2送信バッファレジスタ(U2TB)
033B$_{16}$	
033C$_{16}$	UART2送受信制御レジスタ0(U2C0)
033D$_{16}$	UART2送受信制御レジスタ1(U2C1)
033E$_{16}$	UART2受信バッファレジスタ(U2RB)
033F$_{16}$	

何も配置されていない領域は、全て予約領域です。使用できません。

図1.5.2. 周辺装置制御レジスタの配置(2)

0340$_{16}$	カウント開始フラグ(TABSR)
0341$_{16}$	時計用プリスケーラリセットフラグ(CPSRF)
0342$_{16}$	ワンショット開始フラグ(ONSF)
0343$_{16}$	トリガ選択レジスタ(TRGSR)
0344$_{16}$	アップダウンフラグ(UDF)
0345$_{16}$	
0346$_{16}$	タイマA0(TA0)
0347$_{16}$	
0348$_{16}$	タイマA1(TA1)
0349$_{16}$	
034A$_{16}$	タイマA2(TA2)
034B$_{16}$	
034C$_{16}$	タイマA3(TA3)
034D$_{16}$	
034E$_{16}$	タイマA4(TA4)
034F$_{16}$	
0350$_{16}$	タイマB0(TB0)
0351$_{16}$	
0352$_{16}$	タイマB1(TB1)
0353$_{16}$	
0354$_{16}$	タイマB2(TB2)
0355$_{16}$	
0356$_{16}$	タイマA0モードレジスタ(TA0MR)
0357$_{16}$	タイマA1モードレジスタ(TA1MR)
0358$_{16}$	タイマA2モードレジスタ(TA2MR)
0359$_{16}$	タイマA3モードレジスタ(TA3MR)
035A$_{16}$	タイマA4モードレジスタ(TA4MR)
035B$_{16}$	タイマB0モードレジスタ(TB0MR)
035C$_{16}$	タイマB1モードレジスタ(TB1MR)
035D$_{16}$	タイマB2モードレジスタ(TB2MR)
035E$_{16}$	
035F$_{16}$	
0360$_{16}$	UART0送受信モードレジスタ(U0MR)
0361$_{16}$	UART0転送速度レジスタ(U0BRG)
0362$_{16}$	UART0送信バッファレジスタ(U0TB)
0363$_{16}$	
0364$_{16}$	UART0送受信制御レジスタ０(U0C0)
0365$_{16}$	UART0送受信制御レジスタ１(U0C1)
0366$_{16}$	UART0受信バッファレジスタ(U0RB)
0367$_{16}$	
0368$_{16}$	UART1送受信モードレジスタ(U1MR)
0369$_{16}$	UART1転送速度レジスタ(U1BRG)
036A$_{16}$	UART1送信バッファレジスタ(U1TB)
036B$_{16}$	
036C$_{16}$	UART1送受信制御レジスタ0(U1C0)
036D$_{16}$	UART1送受信制御レジスタ1(U1C1)
036E$_{16}$	UART1受信バッファレジスタ(U1RB)
036F$_{16}$	
0370$_{16}$	UART送受信制御レジスタ2(UCON)
0371$_{16}$	
0372$_{16}$	
0373$_{16}$	
0374$_{16}$	
0375$_{16}$	
0376$_{16}$	フラッシュメモリ制御レジスタ1(FMR1) (注1)
0377$_{16}$	フラッシュメモリ制御レジスタ0(FMR0) (注1)
0378$_{16}$	DMA0要因選択レジスタ(DM0SL)
0379$_{16}$	DMA1要因選択レジスタ(DM1SL)
037A$_{16}$	DMA2要因選択レジスタ(DM2SL)
037B$_{16}$	DMA3要因選択レジスタ(DM3SL)
037C$_{16}$	CRCデータレジスタ(CRCD)
037D$_{16}$	
037E$_{16}$	CRCインプットレジスタ(CRCIN)
037F$_{16}$	

0380$_{16}$	A-Dレジスタ0(AD0)
0381$_{16}$	
0382$_{16}$	A-Dレジスタ1(AD1)
0383$_{16}$	
0384$_{16}$	A-Dレジスタ2(AD2)
0385$_{16}$	
0386$_{16}$	A-Dレジスタ3(AD3)
0387$_{16}$	
0388$_{16}$	A-Dレジスタ4(AD4)
0389$_{16}$	
038A$_{16}$	A-Dレジスタ5(AD5)
038B$_{16}$	
038C$_{16}$	A-Dレジスタ6(AD6)
038D$_{16}$	
038E$_{16}$	A-Dレジスタ7(AD7)
038F$_{16}$	
0390$_{16}$	
0391$_{16}$	
0392$_{16}$	
0393$_{16}$	
0394$_{16}$	A-D制御レジスタ2(ADCON2)
0395$_{16}$	
0396$_{16}$	A-D制御レジスタ0(ADCON0)
0397$_{16}$	A-D制御レジスタ1(ADCON1)
0398$_{16}$	D-Aレジスタ0(DA0)
0399$_{16}$	
039A$_{16}$	D-Aレジスタ1(DA1)
039B$_{16}$	
039C$_{16}$	D-A制御レジスタ(DACON)
039D$_{16}$	
039E$_{16}$	
039F$_{16}$	
03A0$_{16}$	
03A1$_{16}$	
03A2$_{16}$	
03A3$_{16}$	
03A4$_{16}$	
03A5$_{16}$	
03A6$_{16}$	
03A7$_{16}$	
03A8$_{16}$	
03A9$_{16}$	
03AA$_{16}$	
03AB$_{16}$	
03AC$_{16}$	
03AD$_{16}$	
03AE$_{16}$	
03AF$_{16}$	機能選択レジスタC(PSC)
03B0$_{16}$	機能選択レジスタA0(PS0)
03B1$_{16}$	機能選択レジスタA1(PS1)
03B2$_{16}$	機能選択レジスタB0(PSL0)
03B3$_{16}$	機能選択レジスタB1(PSL1)
03B4$_{16}$	機能選択レジスタA2(PS2)
03B5$_{16}$	機能選択レジスタA3(PS3)
03B6$_{16}$	機能選択レジスタB2(PSL2)
03B7$_{16}$	機能選択レジスタB3(PSL3)
03B8$_{16}$	
03B9$_{16}$	
03BA$_{16}$	
03BB$_{16}$	
03BC$_{16}$	
03BD$_{16}$	
03BE$_{16}$	
03BF$_{16}$	

何も配置されていない領域は、全て予約領域です。使用できません。
注1. このレジスタはフラッシュメモリ版にのみ存在します。

図1.5.3. 周辺装置制御レジスタの配置(3)

03C0$_{16}$	ポートP6(P6)
03C1$_{16}$	ポートP7(P7)
03C2$_{16}$	ポートP6方向レジスタ(PD6)
03C3$_{16}$	ポートP7方向レジスタ(PD7)
03C4$_{16}$	ポートP8(P8)
03C5$_{16}$	ポートP9(P9)
03C6$_{16}$	ポートP8方向レジスタ(PD8)
03C7$_{16}$	ポートP9方向レジスタ(PD9)
03C8$_{16}$	ポートP10(P10)
03C9$_{16}$	
03CA$_{16}$	ポートP10方向レジスタ(PD10)
03CB$_{16}$	
03CC$_{16}$	
03CD$_{16}$	
03CE$_{16}$	
03CF$_{16}$	
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	
03D5$_{16}$	
03D6$_{16}$	
03D7$_{16}$	
03D8$_{16}$	
03D9$_{16}$	
03DA$_{16}$	プルアップ制御レジスタ２(PUR2)
03DB$_{16}$	プルアップ制御レジスタ３(PUR3)
03DC$_{16}$	
03DD$_{16}$	
03DE$_{16}$	
03DF$_{16}$	
03E0$_{16}$	ポートP0(P0)
03E1$_{16}$	ポートP1(P1)
03E2$_{16}$	ポートP0方向レジスタ(PD0)
03E3$_{16}$	ポートP1方向レジスタ(PD1)
03E4$_{16}$	ポートP2(P2)
03E5$_{16}$	ポートP3(P3)
03E6$_{16}$	ポートP2方向レジスタ(PD2)
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4(P4)
03E9$_{16}$	ポートP5(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	ポートP5方向レジスタ(PD5)
03EC$_{16}$	
03ED$_{16}$	
03EE$_{16}$	
03EF$_{16}$	
03F0$_{16}$	プルアップ制御レジスタ0(PUR0)
03F1$_{16}$	プルアップ制御レジスタ1(PUR1)
03F2$_{16}$	
03F3$_{16}$	
03F4$_{16}$	
03F5$_{16}$	
03F6$_{16}$	
03F7$_{16}$	
03F8$_{16}$	
03F9$_{16}$	
03FA$_{16}$	
03FB$_{16}$	
03FC$_{16}$	
03FD$_{16}$	
03FE$_{16}$	
03FF$_{16}$	ポート制御レジスタ(PCR)

何も配置されていない領域は、全て予約領域です。使用できません。

注1. 03C9$_{16}$, 03CB$_{16}$～03D3$_{16}$番地の領域は将来展開予定の製品のために用意しているものです。
03CB$_{16}$, 03CE$_{16}$, 03CF$_{16}$, 03D2$_{16}$, 03D3$_{16}$番地には必ず“FF$_{16}$”を初期設定してください。

注2. 03DC$_{16}$番地の領域は将来展開予定の製品のために用意しているものです。
必ず“00$_{16}$”を初期設定してください。

図1.5.4. 周辺装置制御レジスタの配置(4)

ソフトウエアリセット

プロセッサモードレジスタ0(0004_{16}番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

●シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

●メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

●マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004_{16}番地のビット1、ビット0)によって行います。プロセッサモードビットを“10_2”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

●CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01_2”にするとメモリ拡張モードへ切り替えることができます。

●CNVss端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図1.6.1、図1.6.2にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。
図1.6.3に各プロセッサモードのメモリ配置図を示します。

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

プロセッサモードレジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット時
PM0	0004_{16}番地	80_{16}(注2)

ビットシンボル	ビット名	機　　能	R	W
PM00	プロセッサモードビット(注8)	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 使用禁止 1 1 : マイクロプロセッサモード	○	○
PM01			○	○
PM02	R/Wモード選択ビット(注7)	0 : $\overline{RD}$,$\overline{BHE}$,$\overline{WR}$ 1 : $\overline{RD}$,$\overline{WRH}$,$\overline{WRL}$	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
PM04	マルチプレクスバス空間選択ビット(注3)	b5 b4 0 0 : マルチプレクスバスを使用しない 0 1 : $\overline{CS2}$の空間に割り当てる 1 0 : $\overline{CS1}$の空間に割り当てる 1 1 : $\overline{CS}$全空間に割り当てる (注4)	○	○
PM05			○	○
予約ビット		必ず“0”を設定してください。	○	○
PM07	BCLK出力機能選択ビット(注5)	0 : BCLK(注6) 1 : システムクロック制御レジスタ0のビット0、1で決定される機能	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2. CNVss端子にVccレベルを印加しているときは、リセット時03_{16}(PM00およびPM01が“1”、PM07が“0”)になります。
注3. マイクロプロセッサモード、メモリ拡張モードでモード1、2、3、選択時有効。
モード0選択時、マルチプレクスバスを使用しないでください。モード2選択時、$\overline{CS2}$空間に割り当てる設定をしないでください。
注4. リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、$\overline{CS}$全空間マルチプレクスバスは選択できません。
メモリ拡張モード時、$\overline{CS}$全空間マルチプレクスバスを選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。
モード0選択時、マルチプレクスバスは使用できません。
モード1選択時、$\overline{CS}$全空間を選択すると、$\overline{CS0}$～$\overline{CS2}$が該当します。
モード2選択時、$\overline{CS}$全空間を選択すると、$\overline{CS0}$、$\overline{CS1}$が該当します。
モード3選択時、$\overline{CS}$全空間を選択すると、$\overline{CS0}$～$\overline{CS3}$が該当します。
注5. シングルチップモード時、PM07に“0”を設定してもBCLKは出力されません。マイクロプロセッサ/メモリ拡張モード時にクロック出力を停止する場合は、PM07=“1”、システムクロック制御レジスタ0(0006_{16}番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。このとき、$P5_3$からは“L”が出力されます。
注6. BCLK選択時はシステムクロック制御レジスタ0(0006_{16}番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。
注7. DRAMコントローラでデータバスを16ビット幅で使用する場合は“1”を選択してください。
注8. プロセッサモードビットを“01_2”または“11_2”に書き替えるときは、他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてからプロセッサモードビットを書き替えてください。
注9. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.6.1. プロセッサモードレジスタ0の構成

プロセッサモードレジスタ1(注1)：マスクROM版

b7	b6	b5	b4	b3	b2	b1	b0
				0	0		

シンボル	アドレス	リセット時
PM1	000_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PM10	外部領域モードビット(注3)	b1 b0 0 0 : モード0 (P4₄～P4₇はA₂₀～A₂₃) 0 1 : モード1 (P4₄はA₂₀、P4₅～P4₇は$\overline{CS}$2～$\overline{CS}$0) 1 0 : モード2 (P4₄、P4₅はA₂₀、A₂₁、P4₆、P4₇は$\overline{CS}$1、$\overline{CS}$0) 1 1 : モード3 (注2) (P4₄～P4₇は$\overline{CS}$3～$\overline{CS}$0)	○	○
PM11			○	○
PM12	内部メモリウエイトビット(注5)	0 : ウエイトなし 1 : ウエイトあり	○	○
予約ビット		必ず“0”を設定してください	○	○
PM14	ALE端子選択ビット(注3)	b5 b4 0 0 : ALEなし 0 1 : P5₃/BCLK(注4) 1 0 : P5₆/$\overline{RAS}$ 1 1 : P5₄/$\overline{HLDA}$	○	○
PM15			○	○
何も配置されていない。読み出した場合、その値は不定。			—	—

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2. モード3を選択した場合、DRAMCは使用できません。
注3. マイクロプロセッサ/メモリ拡張モード時に有効。
注4. P5₃/BCLK(“01”)選択時はシステムクロック制御レジスタ0 (0006_{16}番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。
注5. 必ず“0”(ウエイトなし)を設定してください。
注6. M16C/80TグループではメモリRAM拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

プロセッサモードレジスタ1(注1)：フラッシュメモリ版

b7	b6	b5	b4	b3	b2	b1	b0
				0	0		

シンボル	アドレス	リセット時
PM1	000_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PM10	外部領域モードビット(注3)	b1 b0 0 0 : モード0 (P4₄～P4₇はA₂₀～A₂₃) 0 1 : モード1 (P4₄はA₂₀、P4₅～P4₇は$\overline{CS}$2～$\overline{CS}$0) 1 0 : モード2 (P4₄、P4₅はA₂₀、A₂₁、P4₆、P4₇は$\overline{CS}$1、$\overline{CS}$0) 1 1 : モード3 (注2) (P4₄～P4₇は$\overline{CS}$3～$\overline{CS}$0)	○	○
PM11			○	○
PM12	内部メモリウエイトビット(注6)	0 : ウエイトなし 1 : ウエイトあり	○	○
予約ビット		必ず“0”を設定してください	○	○
PM14	ALE端子選択ビット(注3)	b5 b4 0 0 : ALEなし 0 1 : P5₃/BCLK(注4) 1 0 : P5₆/$\overline{RAS}$ 1 1 : P5₄/$\overline{HLDA}$	○	○
PM15			○	○
予約ビット		必ず“1”を設定してください　(注5)	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2. モード3を選択した場合、DRAMCは使用できません。
注3. マイクロプロセッサ/メモリ拡張モード時に有効。
注4. P5₃/BCLK(“01”)選択時はシステムクロック制御レジスタ0 (0006_{16}番地)のビット0(CM00)およびビット1(CM01)を“0”に設定してください。
注5. このビットの書き替えは、メインクロックが8分周のときに行ってください。
注6. 必ず“0”(ウエイトなし)を設定してください。
注7. M16C/80TグループではメモリRAM拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.6.2. プロセッサモードレジスタ1の構成

プロセッサモード

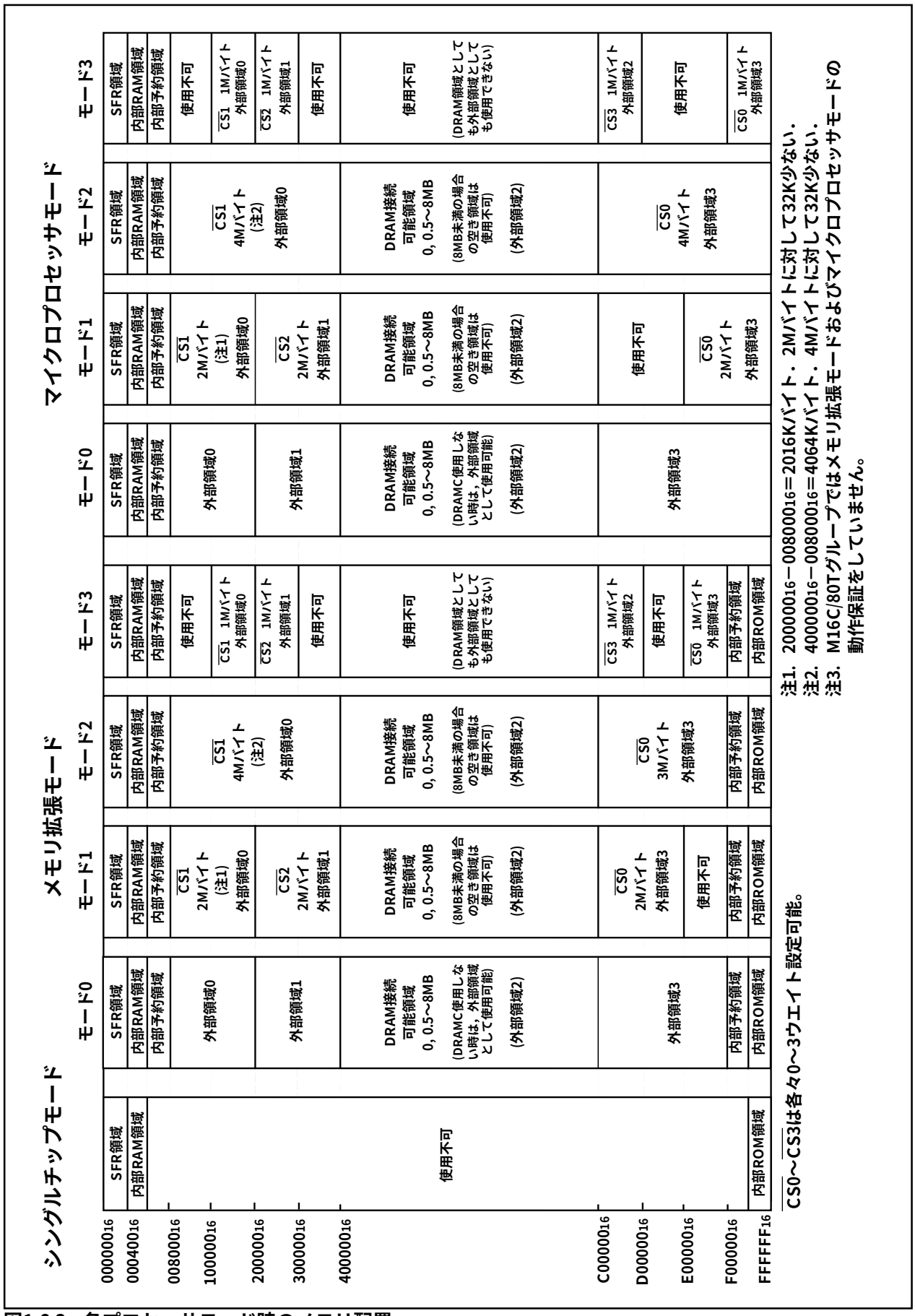


図1.6.3. 各プロセッサモード時のメモリ配置

バス設定

バスの設定はBYTE端子と外部データバス幅制御レジスタ(000B16番地)のビット0～ビット3とプロセッサモードレジスタ0(0004 16番地)のビット4、ビット5、プロセッサモードレジスタ1(0005 16番地)のビット0、ビット1で切り替えることができます。ただし、M16C/80Tグループではメモリ拡張の動作保証をしていません。

表1.7.1に各バスの設定と切り替え要因を、図1.7.1に外部データバス幅制御レジスタの構成を、表1.7.2に外部領域0～3の対応を示します。

表1.7.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	外部データバス幅制御レジスタ
リセット解除後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス／マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

16Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅/チップセレクト信号数およびチップセレクト信号のアドレスエリアを選択することができます。(ただし、「$\overline{CS}$全空間マルチプレクスバス」を選択する場合は、アドレスはA_0～A_{15}までが出力されます。)プロセッサモードレジスタ1のビット0とビット1の組み合わせにより外部領域モードを設定することが可能です。

DRAMコントローラを使用する場合、DRAM領域ではロウアドレスとカラムアドレスが時分割でマルチプレクスして出力されます。

(2) 外部データバス幅の選択

外部データバス幅は各外部領域0、1、2、3ごとに8ビットと16ビットを選択することができます。外部データバス幅制御レジスタのデータバス幅ビットが“0”のときはデータバス幅は8ビット、“1”のときはデータバス幅は16ビットとなり外部領域ごとに設定することができます。また外部領域3についてはリセット解除時のBYTE端子が“L”のときは16ビットに、“H”のときは8ビットが初期のバス幅として設定されます。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス／マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

●セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、外部データバス幅制御レジスタにより8ビットまたは16ビットを選択できます。選択可能なすべての外部領域について外部データバスが8ビットのときはP0がデータバス、P1がプログラマブル入出力ポートとなります。外部領域のいずれかの領域で外部データバスが16ビット幅を選択した場合はP0およびP1(ただし、8ビットバス領域についてはP1は不定)がデータバスとなります。

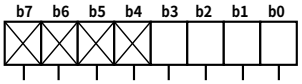
セパレートバスでアクセスする場合、ウエイト制御レジスタによりソフトウエアウエイトの有無を選択できます。

●マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。このとき外部データバス幅制御レジスタにより8ビットが選択された領域ではD_0～D_7の8ビットがA_0～A_7とマルチプレクスされます。外部データバス幅制御レジスタにより16ビットが選択された領域ではD_0～D_{15}の16ビットがA_0～A_{15}とマルチプレクスされます。マルチプレクスバスでアクセスする場合、ウエイト制御レジスタの相当するウエイトビットで、「ウエイトなし」または「1ウエイトあり」を選択しても2ウエイトアクセスとなります。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、$\overline{CS}$全空間マルチプレクスバスは選択できません。「$\overline{CS}$全空間マルチプレクスバス」を選択した場合、アドレスはA_0～A_{15}までの16ビットが出力されます。

外部データバス幅制御レジスタ



シンボル	アドレス	リセット時
DS	000B16番地	XXXX00002

ビットシンボル	ビット名	機　　能	R	W
DS0	外部領域0 データバス幅ビット	0 : データバス幅は8ビット 1 : データバス幅は16ビット	○	○
DS1	外部領域1 データバス幅ビット	0 : データバス幅は8ビット 1 : データバス幅は16ビット	○	○
DS2	外部領域2 データバス幅ビット	0 : データバス幅は8ビット 1 : データバス幅は16ビット	○	○
DS3	外部領域3 データバス幅ビット　(注1)	0 : データバス幅は8ビット 1 : データバス幅は16ビット	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　リセット解除時の値はBYTE端子の入力によって決定されます。
BYTE端子が“L”のとき“1”、“H”のとき“0”になります。

図1.7.1.　外部データバス幅制御レジスタの構成

表1.7.2.　外部領域0～3対応表

	外部領域 モード(注2)	モード0	モード1	モード2	モード3
外部領域0	メモリ拡張モード時 マイクロプロセッサモード時	008000₁₆番地 ～1FFFFF₁₆番地	<CS1領域> 008000₁₆番地 ～1FFFFF₁₆番地	<CS1領域> 008000₁₆番地 ～3FFFFF₁₆番地	<CS1領域> 100000₁₆番地 ～1FFFFF₁₆番地
外部領域1	メモリ拡張モード時 マイクロプロセッサモード時	200000₁₆番地 ～3FFFFF₁₆番地	<CS2領域> 200000₁₆番地 ～3FFFFF₁₆番地	対応する領域なし	<CS2領域> 200000₁₆番地 ～2FFFFF₁₆番地
外部領域2	メモリ拡張モード時 マイクロプロセッサモード時	400000₁₆番地 ～BFFFFF₁₆番地 (注1)	<DRAMCの領域> 400000₁₆番地 ～BFFFFF₁₆番地	<DRAMCの領域> 400000₁₆番地 ～BFFFFF₁₆番地	<CS3領域> C00000₁₆番地 ～CFFFFF₁₆番地
外部領域3	メモリ拡張モード時	C00000₁₆番地 ～EFFFFF₁₆番地	<CS0領域> C00000₁₆番地 ～DFFFFF₁₆番地	<CS0領域> C00000₁₆番地 ～EFFFFF₁₆番地	<CS0領域> E00000₁₆番地 ～EFFFFF₁₆番地
	マイクロプロセッサモード時	C00000₁₆番地 ～FFFFFF₁₆番地	<CS0領域> E00000₁₆番地 ～FFFFFF₁₆番地	<CS0領域> C00000₁₆番地 ～FFFFFF₁₆番地	<CS0領域> F00000₁₆番地 ～FFFFFF₁₆番地

注1. DRAMCを使用する時はDRAMCの領域。
注2. 外部領域モード(モード0～モード3)はプロセッサモードレジスタ1(0005₁₆番地)のビット0、ビット1で設定。
注3. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.7.3. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード／マイクロプロセッサモード				メモリ拡張モード	
マルチプレクスバス空間選択ビット		“01”、“10” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“00” (セパレートバス)		“11”(注1) (全空間マルチプレクスバス)	
アクセス領域のデータバス幅		全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット
$P0_0$～$P0_7$	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート	入出力ポート
$P1_0$～$P1_7$	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート	入出力ポート
$P2_0$～$P2_7$	入出力ポート	アドレスバス／データバス(注2)	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス／データバス	アドレスバス／データバス
$P3_0$～$P3_7$	入出力ポート	アドレスバス	アドレスバス／データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス／データバス
$P4_0$～$P4_3$	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート	入出力ポート
$P4_4$～$P4_6$	入出力ポート	$\overline{CS}$(チップセレクト)またはアドレスバス(A_{20}～A_{22})の選択 (詳細は「バス制御」を参照) (注5)					
$P4_7$	入出力ポート	$\overline{CS}$(チップセレクト)またはアドレスバス($\overline{A_{23}}$)の選択 （詳細は「バス制御」を参照) (注5)					
$P5_0$～$P5_3$	入出力ポート	$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$、BCLK出力または$\overline{RD}$、$\overline{BHE}$、$\overline{WR}$、BCLK出力 (詳細は「バス制御」を参照) (注3) (注4)					
$P5_4$	入出力ポート	$\overline{HLDA}$ (注3)	$\overline{HLDA}$ (注3)	$\overline{HLDA}$ (注3)	$\overline{HLDA}$ (注3)	$\overline{HLDA}$ (注3)	$\overline{HLDA}$ (注3)
$P5_5$	入出力ポート	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$	$\overline{HOLD}$
$P5_6$	入出力ポート	$\overline{RAS}$ (注3)	$\overline{RAS}$ (注3)	$\overline{RAS}$ (注3)	$\overline{RAS}$ (注3)	$\overline{RAS}$ (注3)	$\overline{RAS}$ (注3)
$P5_7$	入出力ポート	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$	$\overline{RDY}$

注1. リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、“$\overline{CS}$全空間マルチプレクスバス”は選択できません。
メモリ拡張モード時、“$\overline{CS}$全空間マルチプレクスバス”を選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。
注2. セパレートバスではアドレスバスになります。
注3. ALE出力端子はプロセッサモードレジスタ1のビット4, ビット5で選択します。
注4. DRAMコントローラの使用を選択し、DRAM領域をアクセスした場合$\overline{CASL}$, $\overline{CASH}$, $\overline{DW}$, BCLK出力となります。
注5. $\overline{CS}$信号とアドレスバスの選択は、外部領域モードで設定されます。
注6. M16C/80TグループではメモリM拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウエアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。

ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

(1) アドレスバス／データバス

アドレスバスは、16Mバイトの空間をアクセスするための端子で、A_0～A_{22}、$\overline{A_{23}}$の24本あります。$\overline{A_{23}}$はアドレス最上位ビットの反転出力となります。

データバスは、データの入出力を行う端子です。外部データバス幅制御レジスタ($000B_{16}$番地)により外部領域ごとにD_0～D_7の8ビットデータバスと、D_0～D_{15}の16ビットデータバスを選択することができます。リセット解除時の外部領域3についてはBYTE端子が“H”のときは8ビットデータバス、BYTE端子が“L”のときは16ビットデータバスとなります。

また、シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

DRAMコントローラを使用しDRAM領域をアクセスした際には、A_8～A_{20}に行アドレスと列アドレスがマルチプレクスされた信号が出力されます。

(2) チップセレクト信号

チップセレクト信号はA_{20}～A_{22}、$\overline{A_{23}}$と兼用で、プロセッサモードレジスタ1(0005_{16}番地)のビット0、ビット1によって外部領域モードを設定し、チップセレクト領域とアドレス出力本数を選択できます。

マイクロプロセッサモードの場合、リセット解除のとき外部領域モードはモード0が選択されます。チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表1.7.4に示します。

表1.7.4. チップセレクト信号によって指定する外部領域

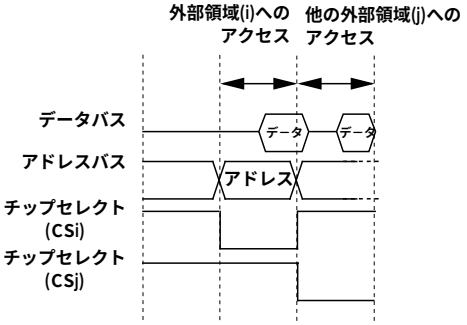
外部領域モード		プロセッサモード	チップセレクト信号			
			$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$
指定するアドレス範囲	モード0		(A23)	(A22)	(A21)	(A20)
	モード1	メモリ拡張モード	$C00000_{16}$～$DFFFFF_{16}$ (2Mバイト)	008000_{16}～$1FFFFF_{16}$ (2016Kバイト)	200000_{16}～$3FFFFF_{16}$ (2Mバイト)	(A20)
		マイクロプロセッサモード	$E00000_{16}$～$FFFFFF_{16}$ (2Mバイト)			
	モード2	メモリ拡張モード	$C00000_{16}$～$EFFFFF_{16}$ (3Mバイト)	008000_{16}～$3FFFFF_{16}$ (4064Kバイト)	(A21)	(A20)
		マイクロプロセッサモード	$C00000_{16}$～$FFFFFF_{16}$ (4Mバイト)			
	モード3	メモリ拡張モード	$E00000_{16}$～$EFFFFF_{16}$ (1Mバイト)	100000_{16}～$1FFFFF_{16}$ (1Mバイト)	200000_{16}～$2FFFFF_{16}$ (1Mバイト)	$C00000_{16}$～$CFFFFF_{16}$ (1Mバイト)
		マイクロプロセッサモード	$F00000_{16}$～$FFFFFF_{16}$ (1Mバイト)			

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

チップセレクト信号が“L”(アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図1.7.2に示します。

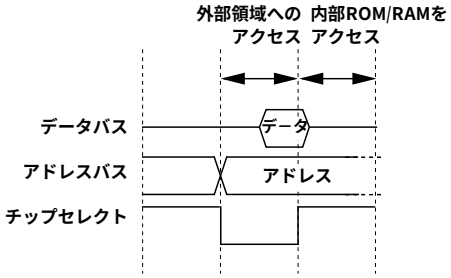
(例1) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化

外部領域(i)へアクセス後、次のサイクルで他のチップセレクト信号が示す領域(j)へアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化します。



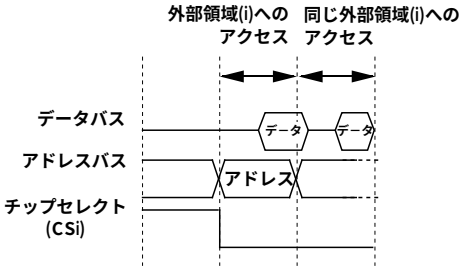
(例2) 外部領域へアクセス後、次のサイクルチップセレクト信号のみ変化(アドレスバスは変化しない)

外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でチップセレクト信号は変化しますがアドレスバスは変化しません。



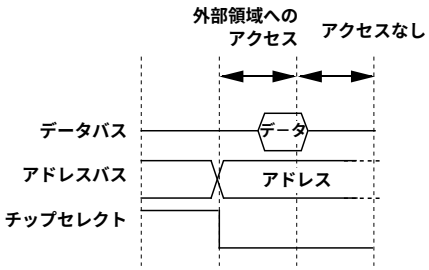
(例3) 外部領域へアクセス後、次のサイクルでアドレスバスのみ変化(チップセレクト信号は変化しない)

外部領域(i)へアクセス後、次のサイクルで同じチップセレクト信号が示す領域(i)へアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバスは変化しますがチップセレクト信号は変化しません。



(例4) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しません。



注1. これらの例は、連続する2つのサイクルのアドレスバスおよびチップセレクト信号を示しています。
これらの例の組み合わせにより、チップセレクトは2バスサイクル以上伸びる場合があります。

図1.7.2. アドレスバスとチップセレクト信号の出力例(セパレートバス)

(3) リード／ライト信号

データバスが16ビットのとき、リード／ライト信号はプロセッサモードレジスタ0(0004$_{16}$番地)のビット2によって、$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせ、または$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせを選択することができます。全領域データバスが8ビットのとき、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせを使用してください(プロセッサモードレジスタ0(0004$_{16}$番地)のビット2を“0”にしてください)。データバス幅を8ビットと16ビット両方を使用する際、データバス幅8ビット領域をアクセスした場合、プロセッサモードレジスタ0(0004$_{16}$番地)のビット2の値にかかわらず、$\overline{RD}$/$\overline{WR}$/$\overline{BHE}$の組み合わせとなります。各信号の動作を表1.7.5、表1.7.6に示します。

リセット解除後、リード／ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BHE}$の組み合わせです。

$\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004$_{16}$番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

注2. DRAMコントローラでデータバスを16ビット幅で使用する場合、$\overline{RD}$/$\overline{WRL}$/$\overline{WRH}$を選択してください。

表1.7.5. $\overline{RD}$、$\overline{WRL}$、$\overline{WRH}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部データバスの状態
16ビット	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む
8ビット	H	L(注1)	使用しない	1バイトのデータを書き込む
	L	H(注1)	使用しない	1バイトのデータを読み出す

注1. $\overline{WR}$信号となります。

表1.7.6. $\overline{RD}$、$\overline{WR}$、$\overline{BHE}$信号の動作

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット	H	L	使用しない	H／L	1バイトのデータを書き込む
	L	H	使用しない	H／L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号の出力はプロセッサモードレジスタ1(0005$_{16}$番地)のビット4、ビット5で出力端子を選択することが可能です。

ALE信号は内部領域/外部領域にかかわらず発生します。

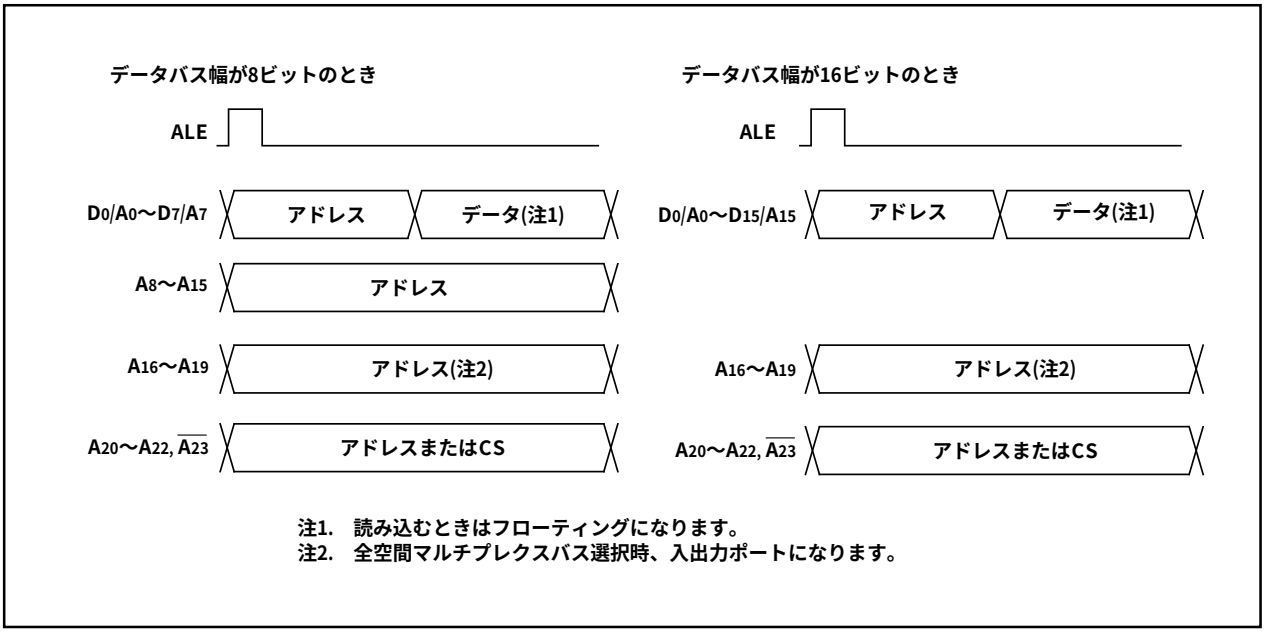


図1.7.3. ALE信号とアドレスバス/データバス

(5) $\overline{\text{RDY}}$信号

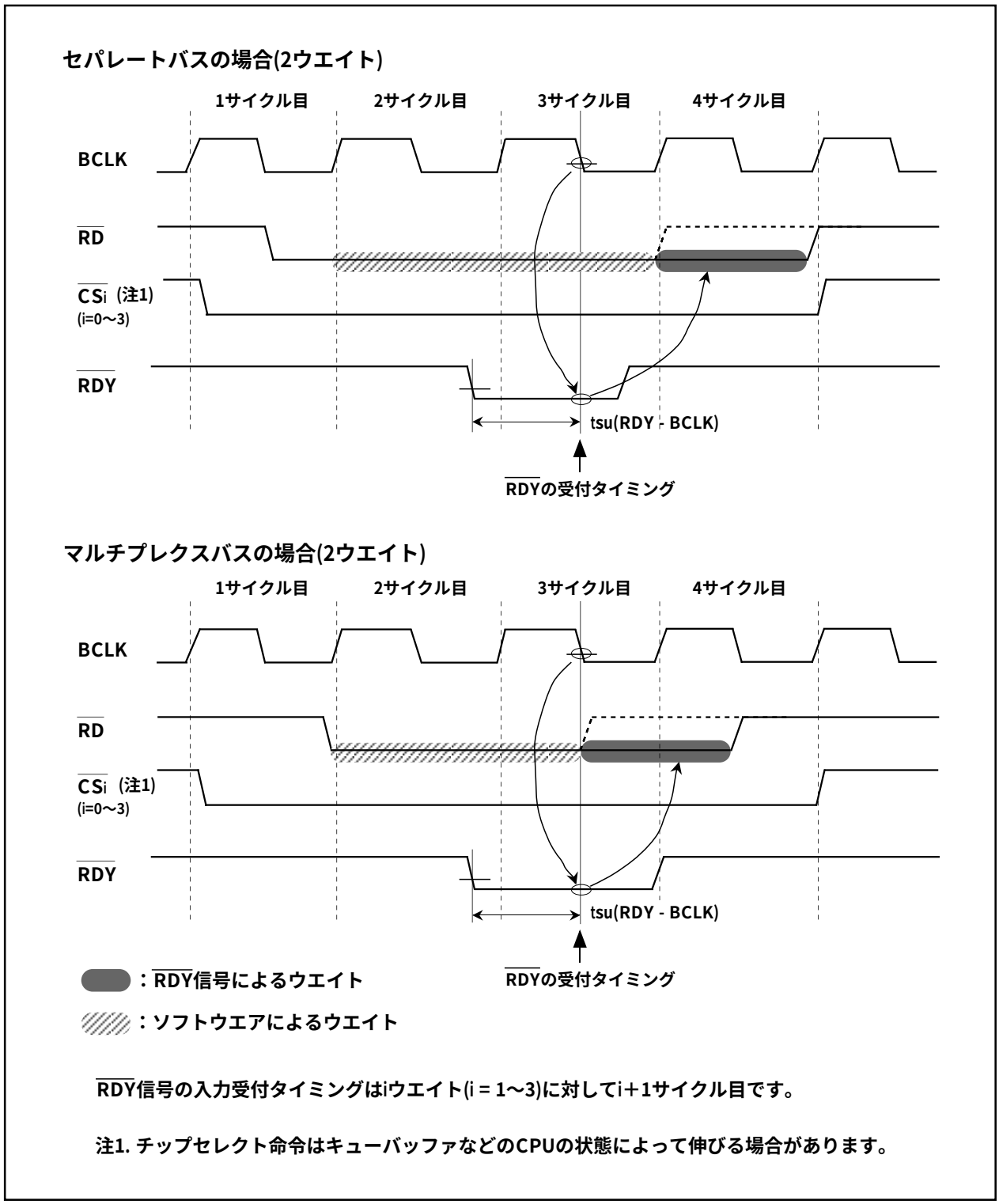
$\overline{\text{RDY}}$は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。BCLKの立ち下がりで$\overline{\text{RDY}}$端子に“L”が入力されているとき、バスはウエイト状態になります。BCLKの立ち下がりで$\overline{\text{RDY}}$端子に“H”が入力されているとき、バスはウエイト状態を解除します。表1.7.4にバスのウエイト状態におけるマイクロコンピュータの状態、図1.7.4に$\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例を示します。

$\overline{\text{RDY}}$信号は、ソフトウエアウエイトが動作しているバスサイクルで、外部領域をアクセスするときに有効です。ソフトウエアウエイトが動作していない(ウエイトなしに設定)場合でも、$\overline{\text{RDY}}$信号は有効となります。

表1.7.7. バスのウエイト状態におけるマイクロコンピュータの状態(注1)

項　目	状　態
発振	動作
$\overline{\text{RD}}$信号、$\overline{\text{WR}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$ ALE信号、$\overline{\text{HLDA}}$ プログラマブル入出力ポート	$\overline{\text{RDY}}$信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウエアウエイトによるウエイトの直前には$\overline{\text{RDY}}$信号は受け付けられません。



RDY信号の入力受付タイミングはiウエイト(i = 1～3)に対してi＋1サイクル目です。

注1. チップセレクト命令はキューバッファなどのCPUの状態によって伸びる場合があります。

図1.7.4. RD信号がRDY信号によってのびた例

(6) ホールド信号

ホールドは、バスの使用権をCPUから外部回路へ移行するための信号です。$\overline{\text{HOLD}}$端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、$\overline{\text{HOLD}}$端子が“L”の期間その状態を保持します。また、その間$\overline{\text{HLDA}}$端子から“L”を出力します。表1.7.8にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、$\overline{\text{HOLD}}$、DMAC、CPUとなっています。

$\overline{\text{HOLD}}$ > DMAC > CPU

図1.7.5. バス使用優先順位

表1.7.8. ホールド状態におけるマイクロコンピュータの状態

項　目		状　態
発振		動作
$\overline{\text{RD}}$信号、$\overline{\text{WR}}$信号、アドレスバス、データバス、$\overline{\text{CS}}$、$\overline{\text{BHE}}$		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5 P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		“L”を出力

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.7.9に示します。

表1.7.9. 内部領域をアクセスしたときの外部バスの状態

項　目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		直前にアクセスされた外部領域のアドレスを保持	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	フローティング	フローティング
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$		“H”を出力	“H”を出力
$\overline{\text{BHE}}$		直前にアクセスされた外部領域の状態を保持	直前にアクセスされた外部領域の状態を保持
$\overline{\text{CS}}$		“H”を出力	“H”を出力
ALE		ALE出力	ALE出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004$_{16}$番地)のビット7(PM07)とシステムクロック制御レジスタ0(0006$_{16}$番地)のビット0、ビット1(CM00、CM01)によって選択できます。PM07に“0”を選択し、CM00、CM01に“00”を選択した場合は、P5$_3$よりBCLK信号として出力されます。ただし、シングルチップモード時は、BCLK信号は出力されません。PM07に“1”を選択した場合は、CM00、CM01で設定された機能となります。

(9) DRAMコントローラ信号($\overline{\text{RAS}}$、$\overline{\text{CASL}}$、$\overline{\text{CASH}}$、$\overline{\text{DW}}$)

DRAM制御レジスタ(0040$_{16}$番地)のビット1～ビット3でDRAM空間を選択してDRAMコントローラを有効とし、DRAM領域をアクセスした際に出力されます。各信号の動作を表1.7.10に示します。

表1.7.10. $\overline{\text{RAS}}$、$\overline{\text{CASL}}$、$\overline{\text{CASH}}$、$\overline{\text{DW}}$信号の動作

データバス幅	$\overline{\text{RAS}}$	$\overline{\text{CASL}}$	$\overline{\text{CASH}}$	$\overline{\text{DW}}$	データバスの状態
16ビット	L	L	L	H	偶数番地、奇数番地ともにデータを読み出す
	L	L	H	H	偶数番地から1バイトデータを読み出す
	L	H	L	H	奇数番地から1バイトデータを読み出す
	L	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	L	L	奇数番地に1バイトデータを書き込む
8ビット	L	L	使用しない	H	1バイトデータを読み出す
	L	L	使用しない	L	1バイトデータを書き込む

(10) ソフトウエアウエイト

外部メモリ領域では、ウエイト制御レジスタ(0008$_{16}$番地)によって、各外部領域ごとにソフトウエアウエイトを挿入することができます。図1.7.6にウエイト制御レジスタの構成を示します。

外部メモリ領域では、ウエイト制御レジスタの外部領域iウエイトビット(i = 0～3)により“ウエイトなし”から“3ウエイトあり”の設定が行えます。“ウエイトなし”を設定した場合、リードサイクルはBCLK1サイクルで実行されますが、ライトサイクルはBCLK2サイクル(1ウエイトあり)で実行されます。マルチプレクスバスでアクセスをする場合、ウエイト制御レジスタの相当する外部領域iウエイトビットで“ウエイトなし”または“1ウエイトあり”を選択しても2ウエイトアクセスとなります。

内部メモリ(内部RAM、内部ROM)でのソフトウエアウエイトは、プロセッサモードレジスタ1(0005$_{16}$番地)の内部メモリウエイトビットで設定できます。内部メモリウエイトビット=“0”でウエイトなし、内部メモリウエイトビット=“1”でウエイトありとなります。

SFR領域は、内部メモリウエイトビットの影響を受けず、常にBCLK2サイクルでアクセスされます。

表1.7.11にソフトウエアウエイトとバスサイクル、図1.7.7、図1.7.8にソフトウエアウエイトを使用した場合のバスタイミング例を示します。

ウエイト制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
WCR	0008$_{16}$番地	FF$_{16}$

ビットシンボル	ビット名	機　能	R	W
WCR0	外部領域0ウエイトビット	b1 b0 0 0 : ウエイトなし 0 1 : 1ウエイトあり 1 0 : 2ウエイトあり 1 1 : 3ウエイトあり	○	○
WCR1			○	○
WCR2	外部領域1ウエイトビット	b3 b2 0 0 : ウエイトなし 0 1 : 1ウエイトあり 1 0 : 2ウエイトあり 1 1 : 3ウエイトあり	○	○
WCR3			○	○
WCR4	外部領域2ウエイトビット	b5 b4 0 0 : ウエイトなし 0 1 : 1ウエイトあり 1 0 : 2ウエイトあり 1 1 : 3ウエイトあり	○	○
WCR5			○	○
WCR6	外部領域3ウエイトビット	b7 b6 0 0 : ウエイトなし 0 1 : 1ウエイトあり 1 0 : 2ウエイトあり 1 1 : 3ウエイトあり	○	○
WCR7			○	○

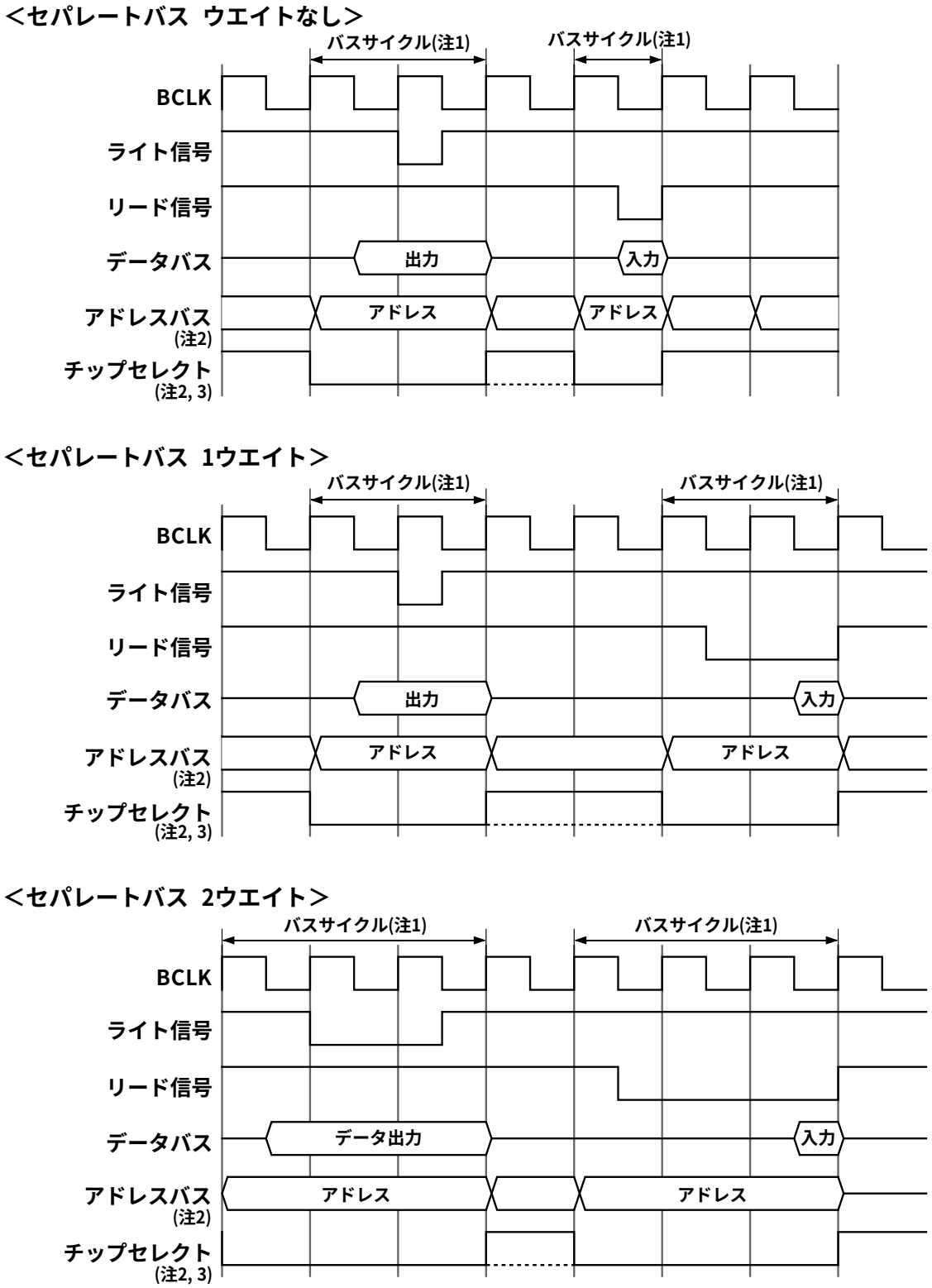
注1. マルチプレクスバス時はウエイトなし/1ウエイトありの設定をしても無効となり、2ウエイトとなります。2ウエイトあり/3ウエイトありの設定は有効です。

注2. セパレートバス時はウエイトなしの設定をした場合、リードバスサイクルはBCLK1サイクルで実行されますが、ライトバスサイクルはBCLK2サイクル(1ウエイトあり)で実行されます。

図1.7.6. ウエイト制御レジスタの構成

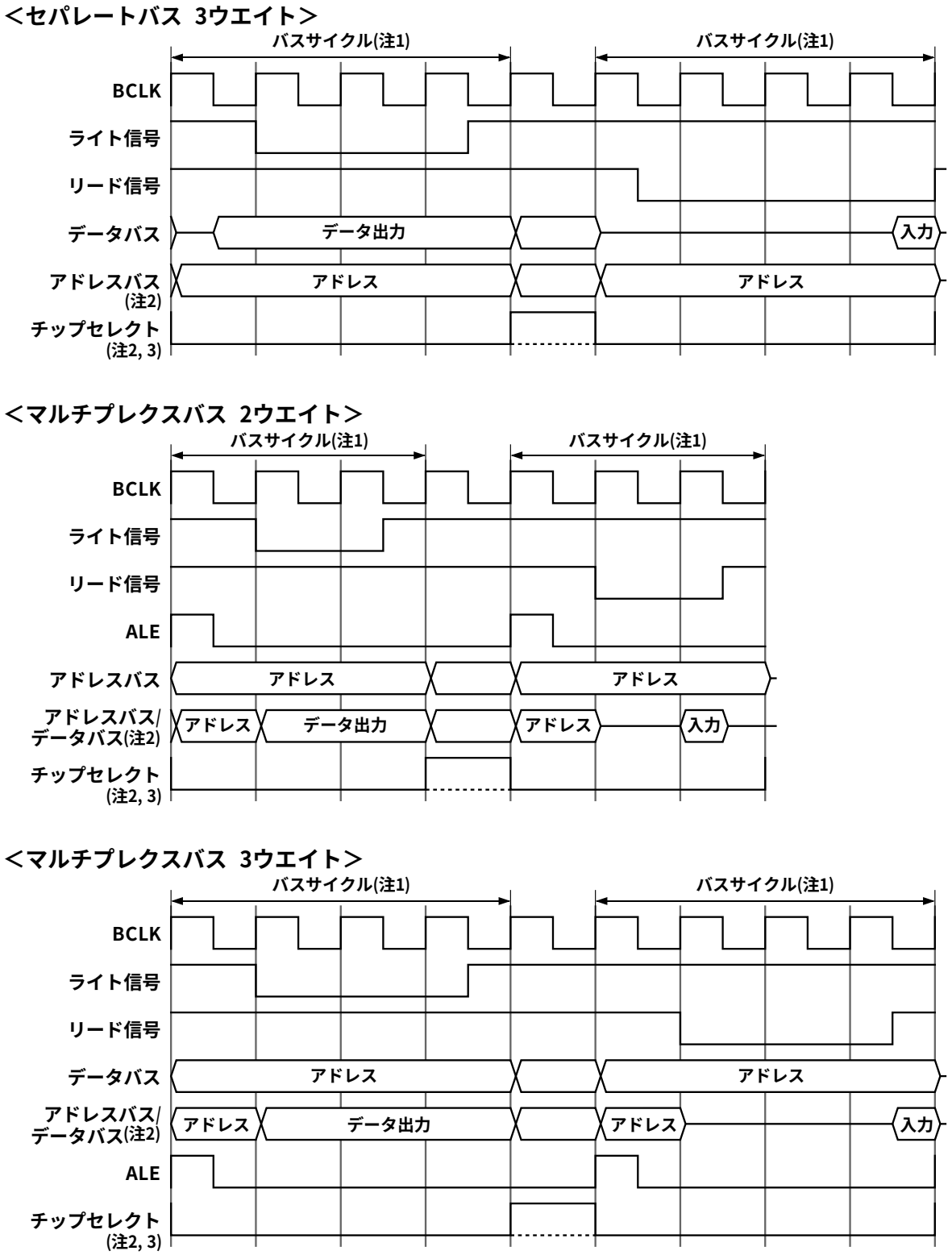
表1.7.11. ソフトウエアウエイトとバスサイクル

領　域	バス形状	内部メモリ ウエイトビット	外部領域i ウエイトビット	バスサイクル
SFR	———	———	———	BCLKの2サイクル
内部 ROM/RAM	———	0	———	BCLKの1サイクル
	———	1	———	BCLKの2サイクル
外部 メモリ領域	セパレートバス	———	00_2	リードサイクル BCLKの1サイクル ライトサイクル BCLKの2サイクル
			01_2	BCLKの2サイクル
			10_2	BCLKの3サイクル
			11_2	BCLKの4サイクル
	マルチプレクスバス	———	00_2	BCLKの3サイクル
			01_2	BCLKの3サイクル
			10_2	BCLKの3サイクル
			11_2	BCLKの4サイクル



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。
注2. アドレスバスおよびチップセレクトは、命令キューバッファなどのCPUの状態によって伸びる場合があります。
注3. 連続して同じ外部領域(同じ$\overline{CS}$領域)をアクセスする場合、チップセレクトは連続して出力する場合があります。

図1.7.7. ソフトウエアウエイトを使用した場合のバスタイミング例(1)



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。
注2. アドレスバスおよびチップセレクトは、命令キューバッファなどのCPUの状態によって伸びる場合があります。
注3. 連続して同じ外部領域(同じ$\overline{CS}$領域)をアクセスする場合、チップセレクトは連続して出力する場合があります。

図1.7.8. ソフトウエアウエイトを使用した場合のバスタイミング例(2)

クロック発生回路

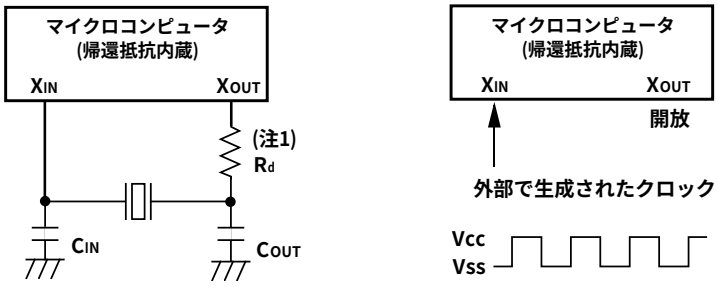
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.8.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●CPUの動作クロック源 ●タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

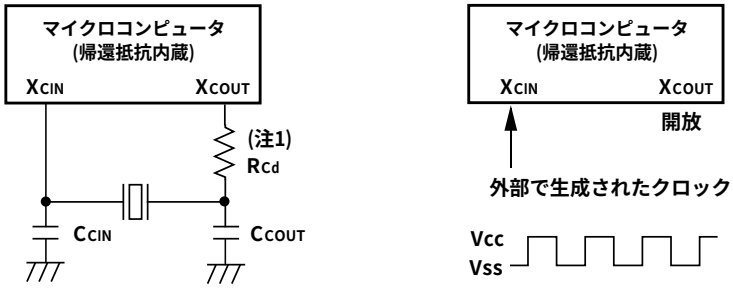
発振回路例

図1.8.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.8.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.8.1中および図1.8.2中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示がある場合は、その指示に従い、XIN、XOUT間に帰還抵抗を付加してください。

図1.8.1. メインクロックの接続例



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示がある場合は、その指示に従い、XIN、XOUT間に帰還抵抗を付加してください。

図1.8.2. サブクロックの接続例

クロックの制御

図1.8.3にクロック発生回路のブロック図を示します。

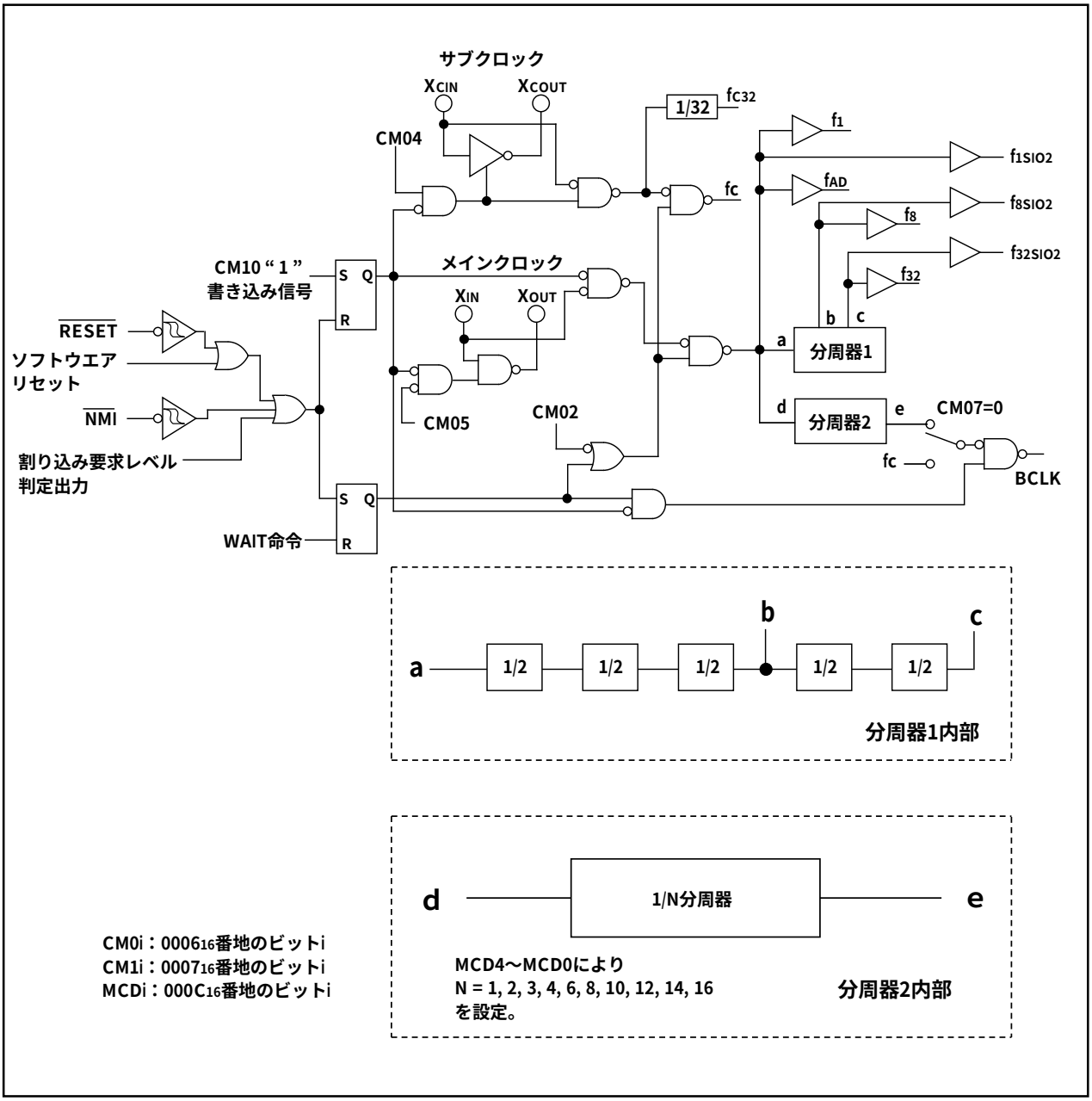


図1.8.3. クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止できます。CPU動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック停止時(000616番地のビット5＝“1”)、およびストップモード移行時(000716番地のビット0＝“1”)、メインクロック分周レジスタ(000C16番地)は8分周モード(“0816”)になります。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が充分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

サブクロックを使用する場合、ポートP86、P87は入力ポートでプルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、3、4、6、8、10、12、14、16分周、またはfCをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、およびマイクロプロセッサモード時、BCLK出力機能選択ビット(000416番地のビット7)とクロック出力機能選択ビット(000616番地のビット0、ビット1)によってBCLK端子からこの信号を出力できます。

メインクロック 停止時およびストップモードへの移行時、メインクロック分周レジスタ(000C16番地)は“0816”になります。

(4) 周辺機能クロック

① f1、f8、f32、f1SIO2、f8SIO2、f32SIO2

それぞれメインクロックを、分周なし(1分周)、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

② fAD

メインクロックと同一周波数のクロックでA-D変換に使用します。

(5) fC32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fC

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図1.8.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1、図1.8.5にメインクロック分周レジスタの構成を示します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	000_{16}番地	08_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット (注2)	b1 b0 0 0 : 入出力ポート$P5_3$ 0 1 : f_Cを出力(注3) 1 0 : f_8を出力(注3) 1 1 : f_{32}を出力 (注3)	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する (注10)	○	○
CM03	X_{CIN}-X_{COUT}駆動能力選択ビット(注4)	0 : LOW 1 : HIGH	○	○
CM04	ポートX_C切り替えビット	0 : 入出力ポート機能 1 : X_{CIN}-X_{COUT}発振機能 (注11)	○	○
CM05	メインクロック (X_{IN}-X_{OUT})停止ビット(注5、注6)	0 : 発振 1 : 停止　(注7)	○	○
CM06	監視タイマ機能選択ビット	0 : 監視タイマ割り込み 1 : リセット (注8)	○	○
CM07	システムクロック選択ビット(注9)	0 : X_{IN}, X_{OUT}選択 1 : X_{CIN}, X_{COUT}選択	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を"1"にしてください。
注2.　BCLK出力時(プロセッサモードレジスタ0のビット7が"0")は"00"に設定してください。$P5_3$にALE出力時(プロセッサモードレジスタ1のビット5、ビット4が"01")は"00"にしてください。マイクロプロセッサ/メモリ拡張モードでプロセッサモードレジスタ0のビット7が"1"のとき"00"を設定してもポート$P5_3$機能にはなりません.
注3.　シングルチップモード時f_C、f_8、f_{32}出力を選択する場合は$P5_7$端子を必ず入力端子として使用してください。
注4.　ストップモードへの移行時およびリセット時、"1"になります。
注5.　このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックを停止させる場合、サブクロックが安定して発振している状態で、システムクロック選択ビット(CM07)を"1"にしてから、このビットを"1"にしてください。
注6.　このビットが"1"の場合、X_{OUT}は"H"レベルになります。また、内蔵している帰還抵抗はONしたままですので、X_{IN}は帰還抵抗を介して、X_{OUT}("H"レベル)にプルアップされた状態となります。
注7.　メインクロック停止時、メインクロック分周レジスタ($000C_{16}$番地)は8分周モードになります。
注8.　一度"1"を設定するとソフトウェアでは"0"には変更できません。。
注9.　このビットを"0"から"1"にする場合、CM04を"1"にし、サブクロックの発振が安定した後に行ってください。CM04と同時に書き替えないでください。また、このビットを"1"から"0"にする場合、CM05を"0"にし、メインクロックの発振が安定した後に行ってください。
注10.　f_{C32}は含みません。
注11.　X_{CIN}-X_{COUT}発振機能を使用する場合、ポート$P8_6$、$P8_7$は入力ポートで、プルアップなしを設定してください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0		0	0	0	0	

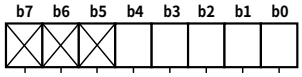
シンボル	アドレス	リセット時
CM1	000_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注3)	0 : クロック発振　(注4) 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
CM15	X_{IN}-X_{OUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
予約ビット		必ず“0”を設定してください	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2.　高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3.　このビットが“1”の場合、X_{OUT}は“H”レベルとなり、内蔵している帰還抵抗は切り離されます。X_{CIN}、X_{COUT}はハイインピーダンスになります。
注4.　メインクロック停止時、メインクロック分周レジスタ($000C_{16}$番地)は8分周モードになります。

図1.8.4.　システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

メインクロック分周レジスタ(注1)



シンボル	アドレス	リセット時
MCD	000C16番地	XXX01000₂

ビットシンボル	ビット名	機　　能	R	W
MCD0	メインクロック分周比選択ビット(注2)	b4 b3 b2 b1 b0 (注3) 1 0 0 1 0 : 分周なしモード 0 0 0 1 0 : 2分周モード 0 0 0 1 1 : 3分周モード 0 0 1 0 0 : 4分周モード 0 0 1 1 0 : 6分周モード 0 1 0 0 0 : 8分周モード 0 1 0 1 0 : 10分周モード 0 1 1 0 0 : 12分周モード 0 1 1 1 0 : 14分周モード 0 0 0 0 0 : 16分周モード	○	○
MCD1			○	○
MCD2			○	○
MCD3			○	○
MCD4			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			—	—

注1．このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット0を“1”にしてください。
注2．メインクロック停止時およびストップモードへの移行時、“01000₂”(8分周モード)になります。
注3．記載の組合せ以外の設定をしないでください．

図1.8.5. メインクロック分周レジスタの構成

クロック出力

シングルチップモード時、BCLK出力機能選択ビット(0004₁₆番地のビット7：PM07)が“1”に設定されている場合、クロック出力機能選択ビット(0006₁₆番地のビット1、ビット0：CM01、CM00)によって、P5₃/BCLK/ALE/CLKOUT端子からf₈、f₃₂またはfcを出力することができます。(注1)

シングルチップモード時にPM07を“0”、CM01、CM00を“00₂”に設定してもBCLKは出力されません。

メモリ拡張モード時またはマイクロプロセッサモード時、ALE端子選択ビット(0005₁₆番地のビット5、ビット4：PM15、PM14)が“01₂(P5₃/BCLK)”以外でPM07が“1”に設定されている場合、CM01、CM00によって、P5₃/BCLK/ALE/CLKOUT端子からf₈、f₃₂またはfcを出力することができます。

メモリ拡張モード時またはマイクロプロセッサモード時、PM15、PM14が“01₂(P5₃/BCLK)”以外でPM07が“0”、CM01、CM00を“00₂”に設定されている場合、P5₃/BCLK/ALE/CLKOUT端子からBCLKが出力されます。

メモリ拡張モード時またはマイクロプロセッサモード時にクロック出力を停止する場合は、PM07を“1”、CM01、CM00を“00₂”(入出力ポートP5₃)に設定してください。P5₃機能にはなりません。PM15、PM14が“01₂(P5₃/BCLK)”、CM01、CM00を“00₂”に設定している場合は、PM07は無効となり、P5₃端子はALE出力となります。

WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

表1.8.2にクロック設定の一覧(シングルチップモード時)、表1.8.3にクロック設定の一覧(メモリ拡張、マイクロプロセッサモード時)を示します。

注1. シングルチップモード時、P5₃/BCLK/ALE/CLKOUT端子からf₈、f₃₂またはfcを出力する場合、P5₇/$\overline{\text{RDY}}$端子は必ず入力端子として使用してください。
注2. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.8.2. クロック設定の一覧(シングルチップモード時)

BCLK出力機能選択ビット	クロック出力機能選択ビット		ALE端子選択ビット		P5$_3$/BCLK/ALE/CLK$_{OUT}$ 端子の機能
PM07	CM01	CM00	PM15	PM14	
0/1	0	0	無効	無効	P5$_3$入出力ポート
1	0	1	無効	無効	fcを出力　(注1)
1	1	0	無効	無効	f$_8$を出力　(注1)
1	1	1	無効	無効	f$_{32}$を出力　(注1)

注1. P57端子は必ず入力端子として使用してください。

表1.8.3. クロック設定の一覧(メモリ拡張、マイクロプロセッサモード時)

BCLK出力機能選択ビット	クロック出力機能選択ビット		ALE端子選択ビット		P5$_3$/BCLK/ALE/CLK$_{OUT}$ 端子の機能
PM07	CM01	CM00	PM15	PM14	
0	0	0	0 1 1	0 0 1	BCLKを出力
1	0	0			"L"を出力(P5$_3$になりません)
1	0	1			fcを出力
1	1	0			f$_8$を出力
1	1	1			f$_{32}$を出力
無効	0	0	0	1	ALEを出力

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

ストップモード

全クロック停止制御ビット(0007$_{16}$番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V$_{CC}$が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f$_1$～f$_{32}$、f$_{1SIO2}$～f$_{32SIO2}$、f$_C$、f$_{C32}$、f$_{AD}$は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i＝0～4)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.8.2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にし、割り込みの割り込み優先レベルをストップ/ウエイト復帰用割り込み優先順位設定ビット(009F$_{16}$番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。ストップ/ウエイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。図1.8.6に復帰用優先順位レジスタの構成を示します。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

ハードウエアリセットのみでストップモードの解除を行う場合でも、割り込み許可フラグ(Iフラグ)は必ず“1”を設定してください。

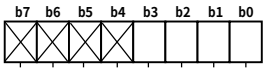
ストップモードへの移行時およびリセット時、メインクロック分周レジスタ(000C$_{16}$番地)が“08$_{16}$”になります。

表1.8.4. ストップモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0}$～$\overline{CS3}$, $\overline{BHE}$		ストップモードに入る直前の状態を保持	
$\overline{RD}$, $\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$, $\overline{DW}$, $\overline{CASL}$, $\overline{CASH}$		“ H ” (注1)	
$\overline{RAS}$		“ H ” (注1)	
$\overline{HLDA}$, BCLK		“ H ”	
ALE		“ H ”	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	fC選択時	“ H ”	“ H ”
	f8、f32選択時	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持

注1. DRAMコントローラでセルフリフレッシュ動作時、$\overline{CAS}$、$\overline{RAS}$は“ L ”となります。
注2. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

復帰用優先順位レジスタ



シンボル	アドレス	リセット時
RLVL	$009F_{16}$番地	$XXXX0000_2$

ビットシンボル	ビット名	機　　能	R	W
RLVL0	ストップ/ウエイト復帰用割り込み優先順位設定ビット (注1)(注2)	b2 b1b0 0 0 0：レベル0 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
RLVL1			○	○
RLVL2			○	○
FSIT	高速割り込み指定ビット (注3)	0：割り込み優先レベル7は通常割り込み 1：割り込み優先レベル7は高速割り込み	○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. 要求のあった割り込みの優先レベルが、復帰用優先順位レジスタで設定したレベルより大きい場合、ストップ/ウエイトモードから復帰します.
注2. フラグレジスタ(FLG)に設定するプロセッサ割り込み優先レベル(IPL)と同じ値を設定してください.
注3. 高速割り込みの指定は割り込み優先レベル7の割り込みのみ指定可能。1つの割り込みでのみ割り込み優先レベルを7に設定してください。

図1.8.6. 復帰用優先順位レジスタの構成

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表1.8.5に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用した場合、対象となる割り込みは、あらかじめ割り込み許可状態にし、割り込みの優先レベルをストップ/ウエイト復帰用割り込み優先順位設定ビット(009F16番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。ストップ/ウエイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。

また、割り込みによりウエイトモードを解除した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表1.8.5. ウエイトモード時のポートの状態

端　子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0}$～$\overline{CS3}$, $\overline{BHE}$		ウエイトモードに入る直前の状態を保持	
$\overline{RD}$, $\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$, $\overline{DW}$, $\overline{CASL}$, $\overline{CASH}$		“H”(注1)	
$\overline{RAS}$		“H”(注1)	
$\overline{HLDA}$, BCLK		“H”	
ALE		“L”	
ポート		ウエイトモードに入る直前の状態を保持	ウエイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません	停止しません
	f8、f32選択時	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

注1. DRAMコントローラでセルフリフレッシュ動作時、$\overline{CAS}$、$\overline{RAS}$は“L”となります。
注2. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.8.6にシステムクロック制御レジスタ0とメインクロック分周レジスタの設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。ストップモードへの移行時、リセット時およびメインクロック停止時には、メインクロック分周レジスタ(000C$_{16}$番地)は“ 08$_{16}$ ”になります。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 3分周モード

メインクロックの3分周がBCLKとなるモードです。

(3) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(4) 6分周モード

メインクロックの6分周がBCLKとなるモードです。

(5) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なし、2、6、10、12、14、16分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(6) 10分周モード

メインクロックの10分周がBCLKとなるモードです。

(7) 12分周モード

メインクロックの12分周がBCLKとなるモードです。

(8) 14分周モード

メインクロックの14分周がBCLKとなるモードです。

(9) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(10) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(11) 低速モード

fCがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(12) 低消費電力モード

fCがBCLKとなりさらにメインクロックを停止させたモードです。メインクロックを停止させると、メインクロック分周レジスタ(000C$_{16}$番地)は8分周モードになります。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.8.6. システムクロック制御レジスタ0とメインクロック分周レジスタの設定値に対する動作モード

CM07	CM05	CM04	MCD4	MCD3	MCD2	MCD1	MCD0	BCLKの動作モード
0	0	無効	1	0	0	1	0	分周なしモード
0	0	無効	0	0	0	1	0	2分周モード
0	0	無効	0	0	0	1	1	3分周モード
0	0	無効	0	0	1	0	0	4分周モード
0	0	無効	0	0	1	1	0	6分周モード
0	0	無効	0	1	0	0	0	8分周モード
0	0	無効	0	1	0	1	0	10分周モード
0	0	無効	0	1	1	0	0	12分周モード
0	0	無効	0	1	1	1	0	14分周モード
0	0	無効	0	0	0	0	0	16分周モード
1	0	1	無効	無効	無効	無効	無効	低速モード
1	1	1	無効	無効	無効	無効	無効	低消費モード

CM0i ：クロック制御レジスタ0(000_{16}番地)のビットi
MCDi ：メインクロック分周レジスタ0(000_{16}番地)のビットi

パワーコントロール

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、3分周、4分周、6分周、8分周、10分周、12分周、14分周または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウエイトモード

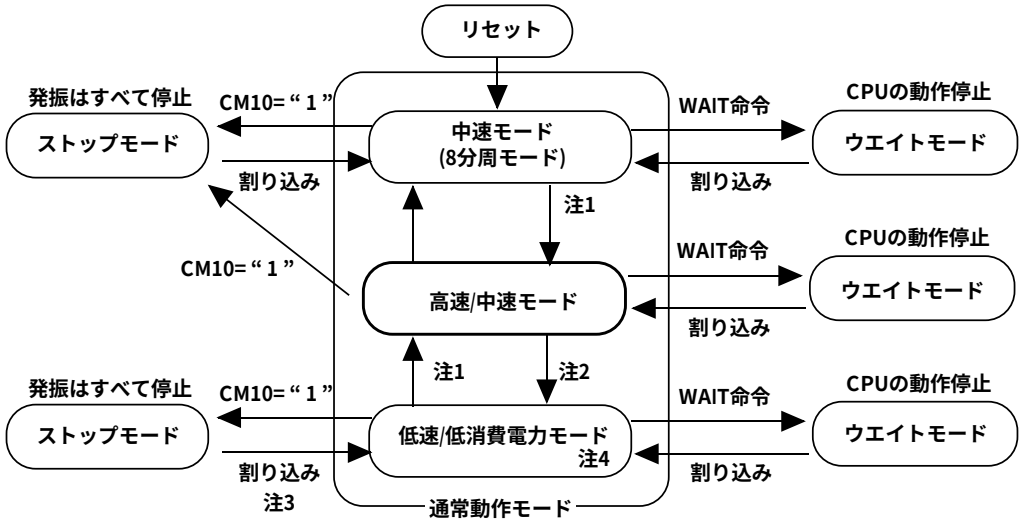
CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図1.8.7に示します。

ストップモード、ウエイトモードの遷移図

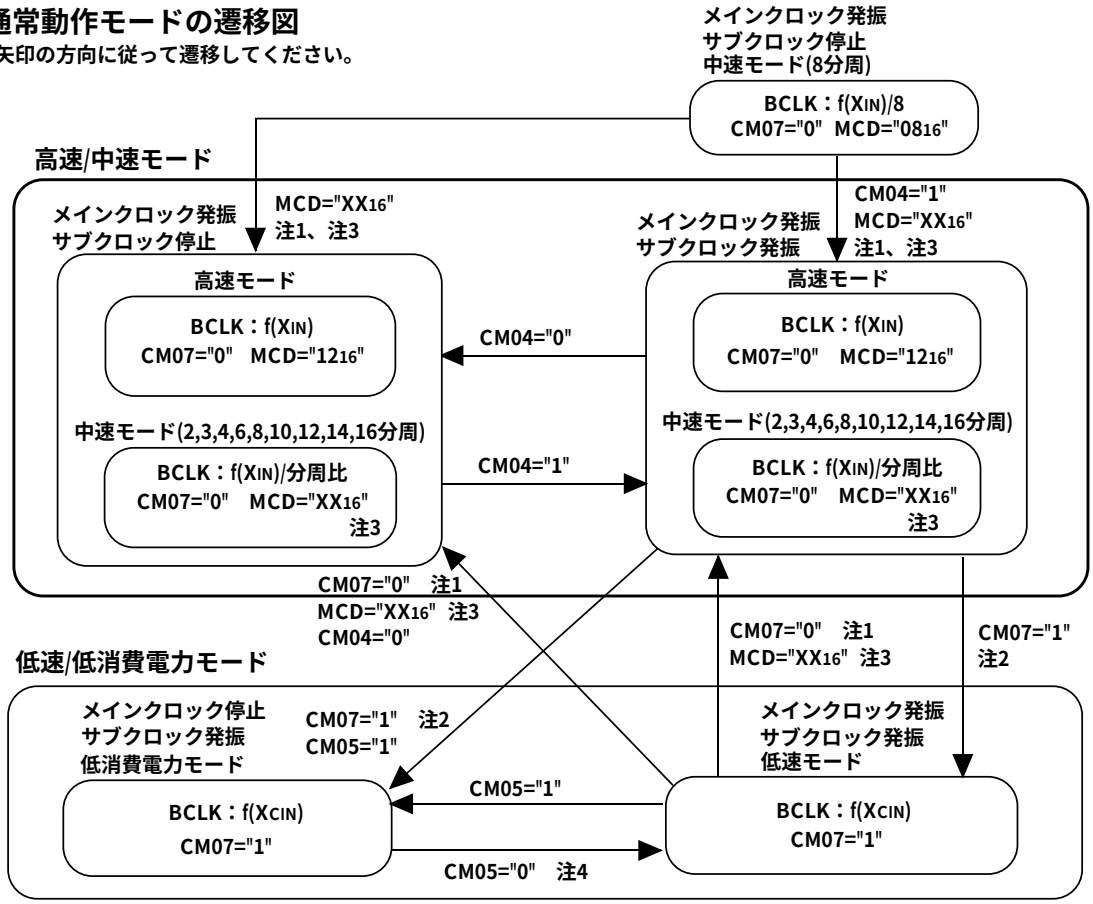


(通常動作モードの遷移図については下図を参照してください)

注1. メインクロックの発振が十分安定してから切り替えてください。
ストップモード、メインクロックの発振停止後は中速モードに遷移します。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3.メインクロック分周レジスタは8分周(MCD="08$_{16}$")になります。
注4.低消費電力モードに移行した場合、メインクロック分周レジスタは8分周(MCD="08$_{16}$")になります。

通常動作モードの遷移図

矢印の方向に従って遷移してください。



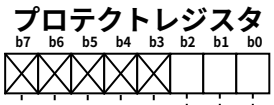
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. メインクロック分周レジスタ(MCD)に、該当する分周比を設定してください。
注4.メインクロック分周レジスタは8分周(MCD="08$_{16}$")になります。

図1.8.7. 状態遷移図

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.8.8にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004$_{16}$番地)、プロセッサモードレジスタ1(0005$_{16}$番地)、システムクロック制御レジスタ0(0006$_{16}$番地)、システムクロック制御レジスタ1(0007$_{16}$番地)、メインクロック分周レジスタ(000C$_{16}$番地)、ポートP9方向レジスタ(03C7$_{16}$番地)、機能選択レジスタA3(03B5$_{16}$番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

PRC2(000A$_{16}$番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。ポートP9の入出力の変更や機能選択レジスタA3の変更はPRC2を“1”にする直後に行ってください。命令の間に割り込みやDMA転送が入らないようにしてください。PRC0(000A$_{16}$番地のビット0)およびPRC1(000A$_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。



シンボル	アドレス	リセット時
PRCR	000A$_{16}$番地	XXXXX000$_2$

ビットシンボル	ビット名	機　能	R	W
PRC0	システムクロック制御レジスタ0, 1(0006$_{16}$, 0007$_{16}$番地)、メインクロック分周レジスタ(000C$_{16}$番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC1	プロセッサモードレジスタ0, 1(0004$_{16}$,0005$_{16}$番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC2	ポートP9方向レジスタ(03C7$_{16}$番地)、機能選択レジスタA3(03B5$_{16}$番地)への書き込み許可(注1)	0 : 書き込み禁止 1 : 書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。
他のビットは“0”になりませんので、プログラムで“0”にしてください。

図1.8.8. プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図1.9.1に割り込みの分類を示します。

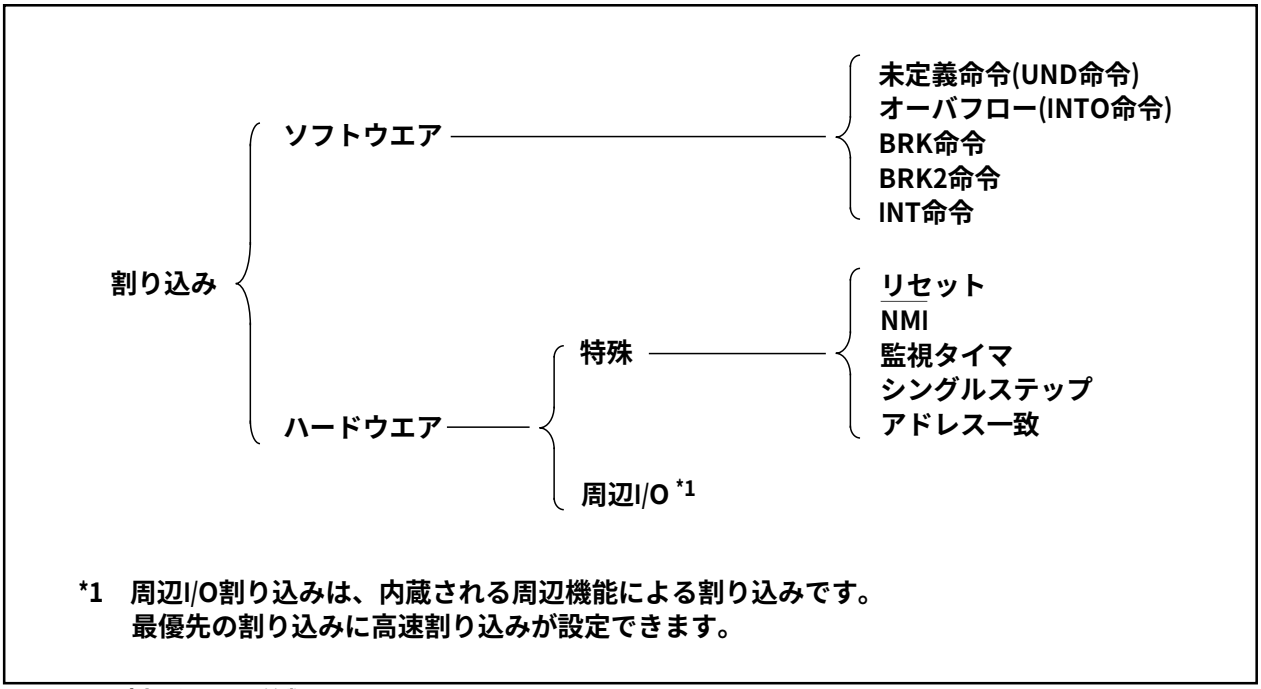


図1.9.1. 割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、 SHA、SUB、SUBX

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●BRK2割り込み

BRK2割り込みはBRK2命令を実行すると発生します。

この割り込みはエミュレータ専用割り込みです。ユーザプログラムでは使用しないでください。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～43は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

ただし、周辺I/O割り込みでは、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択します。そのため、ソフトウエア割り込み番号32～43では周辺I/O割り込みかINT命令かでUフラグの動作は異なります。

ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子に“L”を入力すると発生します。

(3 監視タイマ割り込み

監視タイマによる割り込みです。

(4) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(5) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～43と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出、スタート/ストップコンディション検出割り込み(UART2、UART3、UART4)、障害エラー割り込み(UART3、UART4)

シリアルI/Oのバス衝突検出機能による割り込みです。IICモード選択時、スタート、ストップコンディション割り込みが選択されます。$\overline{\text{SS}}$端子選択時、障害エラー割り込みが選択されます。

(2) DMA0～DMA3割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、$\overline{\text{KI}}$端子に“L”を入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2/NACK、UART3/NACK、UART4/NACK送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、UART3/ACK、UART4/ACK受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$～$\overline{\text{INT5}}$割り込み

$\overline{\text{INT}}$割り込みは、エッジセンスとレベルセンスがあります。エッジセンスでは$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると割り込みが発生します。レベルセンスでは$\overline{\text{INT}}$端子に"H"レベル、または"L"レベルを入力すると割り込みが発生します。

高速割り込み

高速割り込みは、割り込みの応答を5サイクルで、復帰を3サイクルで実行できる割り込みです。

高速割り込みでは割り込みを受け付けると、フラグレジスタ(FLG)とプログラムカウンタ(PC)の退避をフラグ退避レジスタ(SVF)とPC退避レジスタ(SVP)に行い、ベクタレジスタ(VCT)で示される番地からプログラムを実行します。

高速割り込みルーチンからの復帰はFREIT命令にて実行してください。

高速割り込みは、復帰用優先順位レジスタのビット3に割り付けられている高速割り込み指定ビットを“1”にすることで設定できます。高速割り込み指定ビットに“1”を設定することにより、割り込み制御レジスタでレベル7に設定された割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つの割り込みだけです。高速割り込みを使用する場合は、複数の割り込みでレベル7を設定しないでください。

高速割り込みに設定する割り込みのベクタは、ベクタレジスタ(VCT)に設定します。

高速割り込みを使用する場合、DMACは2チャネルまで使用できます。

高速割り込みではスタックへのレジスタ退避ではなく、レジスタバンクを切り替え、レジスタバンク1を高速割り込み用のレジスタとして使用してください。高速に処理できます。その場合レジスタバンクの切り替えは、高速割り込みのプログラムの中で行ってください。

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.9.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

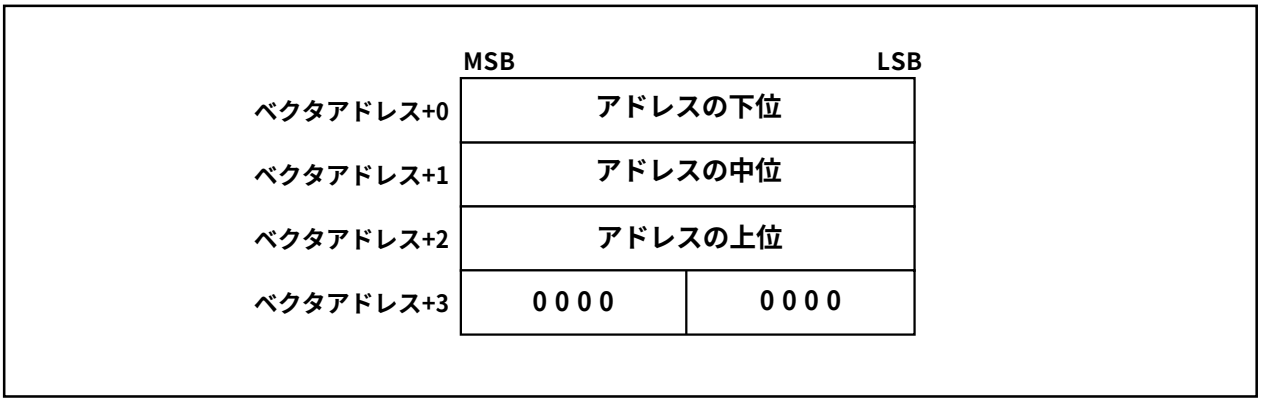


図1.9.2. 割り込みベクタのアドレスの指定形式

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFFDC16番地からFFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.9.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.9.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備　考
未定義命令	FFFFDC16～FFFFDF16	UND命令で割り込み
オーバフロー	FFFFE016～FFFFE316	INTO命令で割り込み
BRK命令	FFFFE416～FFFFE716	FFFFE716番地の内容がFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFFE816～FFFFEB16	アドレス一致割り込み許可ビットあり
監視タイマ	FFFFF016～FFFFF316	
$\overline{\text{NMI}}$	FFFFF816～FFFFFB16	$\overline{\text{NMI}}$端子入力による外部割り込み
リセット	FFFFFC16～FFFFFF16	

●エミュレータ専用割り込みベクタテーブル

表1.9.2に示す各割り込みのベクタテーブル番地はエミュレータ専用割り込みベクタテーブルレジスタ(00002016番地～00002216番地)です。これらの割り込みは割り込み許可フラグ(Iフラグ)の影響を受けません(ノンマスカブル割り込み)。

また、これらの割り込みはデバッガ専用割り込みですので通常は使用禁止です。エミュレータ専用割り込みベクタテーブルレジスタ(00002016番地～00002216番地)へはアクセスしないでください。

表1.9.2. エミュレータ専用割り込みベクタテーブルレジスタ

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備　考
BRK2命令	エミュレータ専用割り込みベクタテーブルレジスタ 00002016～00002216	デバッガ用割り込み
シングルステップ	エミュレータ専用割り込みベクタテーブルレジスタ 00002016～00002216	デバッガ用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.9.3に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

INTBに設定するベクタテーブルの先頭番地は偶数番地にしてください。偶数番地を指定した方がメモリアクセスの効率がよくなります。

表1.9.3.　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号8	+32～+35(注1)	DMA0	
ソフトウエア割り込み番号9	+36～+39(注1)	DMA1	
ソフトウエア割り込み番号10	+40～+43(注1)	DMA2	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA3	
ソフトウエア割り込み番号12	+48～+51(注1)	タイマA0	
ソフトウエア割り込み番号13	+52～+55(注1)	タイマA1	
ソフトウエア割り込み番号14	+56～+59(注1)	タイマA2	
ソフトウエア割り込み番号15	+60～+63(注1)	タイマA3	
ソフトウエア割り込み番号16	+64～+67(注1)	タイマA4	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマB0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマB1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマB2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマB3	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマB4	
ソフトウエア割り込み番号26	+104～+107(注1)	$\overline{\text{INT5}}$	
ソフトウエア割り込み番号27	+108～+111(注1)	$\overline{\text{INT4}}$	
ソフトウエア割り込み番号28	+112～+115(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号32	+128～+131(注1)	タイマB5	
ソフトウエア割り込み番号33	+132～+135(注1)	UART2送信/NACK　(注2)	
ソフトウエア割り込み番号34	+136～+139(注1)	UART2受信/ACK　(注2)	
ソフトウエア割り込み番号35	+140～+143(注1)	UART3送信/NACK　(注2)	
ソフトウエア割り込み番号36	+144～+147(注1)	UART3受信/ACK　(注2)	
ソフトウエア割り込み番号37	+148～+151(注1)	UART4送信/NACK　(注2)	
ソフトウエア割り込み番号38	+152～+155(注1)	UART4受信/ACK　(注2)	
ソフトウエア割り込み番号39	+156～+159(注1)	バス衝突検出、スタート/ストップ　(注2) コンディション検出(UART2)	
ソフトウエア割り込み番号40	+160～+163(注1)	バス衝突検出、スタート/ストップ（注2,3) コンディション検出、障害エラー(UART3)	
ソフトウエア割り込み番号41	+164～+167(注1)	バス衝突検出、スタート/ストップ（注2,3) コンディション検出、障害エラー(UART4)	
ソフトウエア割り込み番号42	+168～+171(注1)	A-D	
ソフトウエア割り込み番号43	+172～+175(注1)	キー入力割り込み	
ソフトウエア割り込み番号44 ～ ソフトウエア割り込み番号63	+176～+179(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。
注2.　IICモード選択時にNACK/ACK、スタート/ストップコンディション検出割り込みが選択されます。
注3.　$\overline{\text{SS}}$端子選択時、障害エラー割り込みが選択されます。

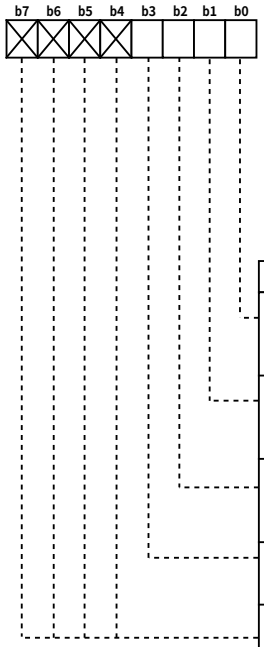
割り込み制御レジスタ

周辺I/O割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図1.9.3に割り込み制御レジスタの構成を示します。

ストップモードやウエイトモードの解除に割り込みを使用する場合、対象となる割り込みの割り込み優先レベルをあらかじめストップ/ウエイト復帰用割り込み優先順位設定ビット(009F16番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。通常、ストップ/ウエイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。

図1.9.4に復帰用優先順位レジスタの構成を示します。

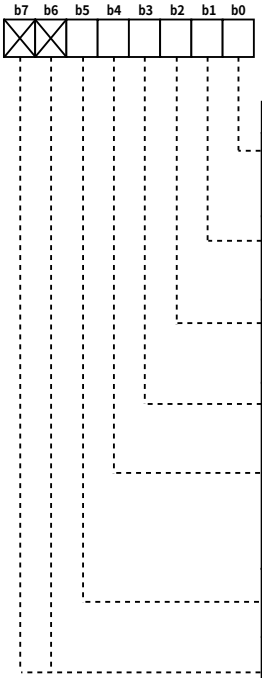
割り込み制御レジスタ



シンボル	アドレス	リセット時
ADIC	0073_{16}番地	$XXXXX000_2$
BCNiIC(i=2～4)	008F$_{16}$, 0071$_{16}$, 0091$_{16}$番地	$XXXXX000_2$
DMiIC(i=0～3)	0068$_{16}$, 0088$_{16}$, 006A$_{16}$, 008A$_{16}$番地	$XXXXX000_2$
KUPIC	0093_{16}番地	$XXXXX000_2$
TAiIC(i=0～4)	006C$_{16}$, 008C$_{16}$, 006E$_{16}$, 008E$_{16}$, 0070$_{16}$番地	$XXXXX000_2$
TBiIC(i=0～5)	0094$_{16}$, 0076$_{16}$, 0096$_{16}$, 0078$_{16}$, 0098$_{16}$, 0069$_{16}$番地	$XXXXX000_2$
SiTIC(i=0～4)	0090$_{16}$, 0092$_{16}$, 0089$_{16}$, 008B$_{16}$, 008D$_{16}$番地	$XXXXX000_2$
SiRIC(i=0～4)	0072$_{16}$, 0074$_{16}$, 006B$_{16}$, 006D$_{16}$, 006F$_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2b1b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。



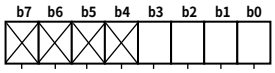
シンボル	アドレス	リセット時
INTiIC(i=0～5)	009E$_{16}$, 007E$_{16}$, 009C$_{16}$, 007C$_{16}$, 009A$_{16}$, 007A$_{16}$番地	$XX00X000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2b1b0 0 0 0：レベル0（割り込み禁止）(注2) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0：立ち下がりエッジまたは“L”レベルを選択 1：立ち上がりエッジまたは“H”レベルを選択	○	○
LVS	レベルセンス/エッジセンス切り替えビット	0：エッジセンス 1：レベルセンス (注3)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　マイクロプロセッサモード、メモリ拡張モードで、INT3～INT5がデータバスとなる場合、INT3IC、INT4IC、INT5ICは割り込み禁止に設定してください。
注3.　レベルセンスを選択した場合、割り込み要因選択レジスタ(031F$_{16}$番地)の対応するビットを片エッジ(“0”)に設定してください。

図1.9.3.　割り込み制御レジスタの構成

復帰用優先順位レジスタ



シンボル	アドレス	リセット時
RLVL	009F16番地	XXXX00002

ビットシンボル	ビット名	機　　能	R	W
RLVL0	ストップ/ウエイト復帰用割り込み優先順位設定ビット (注1)(注2)	b2 b1 b0 0 0 0：レベル0 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
RLVL1			○	○
RLVL2			○	○
FSIT	高速割り込み指定ビット (注3)	0：割り込み優先レベル7は通常割り込み 1：割り込み優先レベル7は高速割り込み	○	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. 要求のあった割り込みの優先レベルが、復帰用優先順位レジスタで設定したレベルより大きい場合、ストップ/ウエイトモードから復帰します.
注2. フラグレジスタ(FLG)に設定するプロセッサ割り込み優先レベル(IPL)と同じ値を設定してください.
注3. 高速割り込みの指定は割り込み優先レベル7の割り込みのみ指定可能。1つの割り込みでのみ割り込み優先レベルを7に設定してください。

図1.9.4. 復帰用優先順位レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.9.4に割り込み優先レベルの設定を、表1.9.5にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

・割り込み許可フラグ(Iフラグ) ＝ “1”
・割り込み要求ビット ＝ “1”
・割り込み優先レベル ＞ プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.9.4. 割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	↓
1 0 0	レベル4	↓
1 0 1	レベル5	↓
1 1 0	レベル6	↓
1 1 1	レベル7	高い

表1.9.5. プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU, SIN, SMOVB, SMOVF, SMOVU, SSTR, SOUT, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

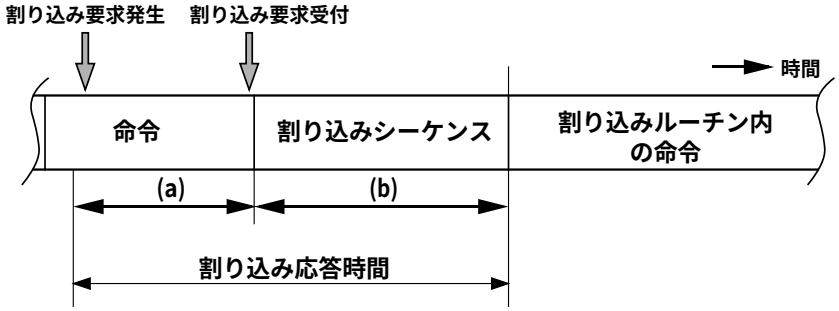
(1) 000000_{16}番地(高速割り込みの場合、00000_{216}番地)を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。高速割り込みの場合は、フラグ退避レジスタ(SVF)に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。高速割り込みの場合は、PC退避レジスタ(SVP)に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.9.5に割り込み応答時間を示します。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間
(b) 割り込みシーケンスを実行する時間

図1.9.5. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で24*1サイクルです。
(b)の時間は表1.9.6のとおりです。

*1　除数が即値かレジスタのときです。除数がメモリのときは、下記の値が加算されます。
・通常アドレッシング　2＋X
・インデクスアドレッシング　3＋X
・間接アドレッシング　5＋X＋2Y
・間接インデクスアドレッシング　6＋X＋2Y
Xは除数の領域のウエイト数です。Yは間接アドレスが格納されている領域のウエイト数です。もし、これらが奇数番地か8ビットバス領域にあるなら、その値を2倍してください。

表1.9.6.　割り込みシーケンス実行時間

割り込み	割り込みベクタの番地	16ビットバス	8ビットバス
周辺I/O	偶数	14サイクル	16サイクル
	奇数(注1)	16サイクル	16サイクル
INT命令	偶数	12サイクル	14サイクル
	奇数(注1)	14サイクル	14サイクル
$\overline{\text{NMI}}$ 監視タイマ 未定義命令 アドレス一致	偶数(注2)	13サイクル	15サイクル
オーバフロー	偶数(注2)	14サイクル	16サイクル
BRK命令(可変ベクタテーブル)	偶数	17サイクル	19サイクル
	奇数(注1)	19サイクル	19サイクル
シングルステップ BRK2命令 BRK命令(固定ベクタテーブル)	偶数(注2)	19サイクル	21サイクル
高速割り込み(注3)	ベクタテーブルは内部レジスタ	5サイクル	

注1.　割り込みベクタテーブルは、なるべく偶数番地に配置するようにしてください。
注2.　ベクタテーブルのアドレスは偶数固定です。
注3.　高速割り込みは、これらの条件に影響されません。

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.9.7に示す値がIPLに設定されます。

表1.9.7. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、$\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

スタック領域へ退避する順番は、まずFLGレジスタを退避し、次にプログラムカウンタを32ビットに拡張した上位16ビットと下位16ビットを退避します。図1.9.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。高速割り込みの割り込みシーケンスではフラグレジスタ(FLG)がフラグ退避レジスタ(SVF)に、プログラムカウンタ(PC)がPC退避レジスタ(SVP)に退避されます。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、１命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

高速割り込みではレジスタバンクを切り替え、レジスタバンク1を高速割り込みレジスタとして高速に処理してください。レジスタバンクの切り替えは高速割り込みのプログラムで行ってください。

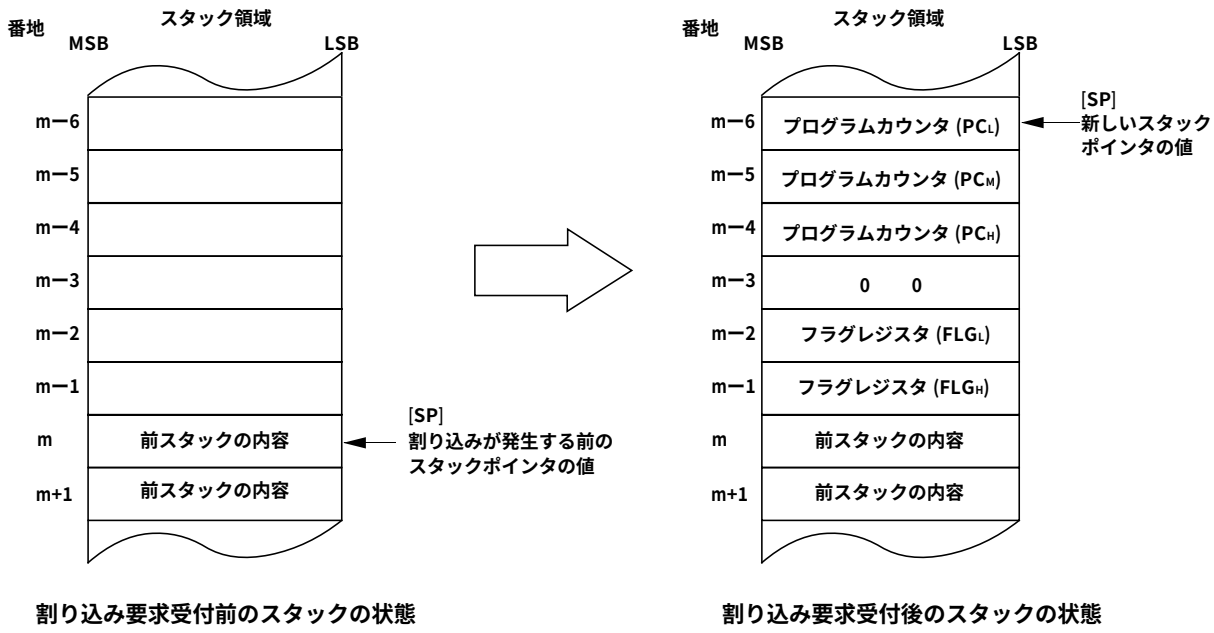


図1.9.6. 割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。高速割り込みの場合は、高速割り込みルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合はハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図1.9.7に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.9.8に割り込み優先レベルの判定回路を示します。

リセット＞$\overline{\text{NMI}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図1.9.7.　ハードウエア割り込みの割り込み優先順位

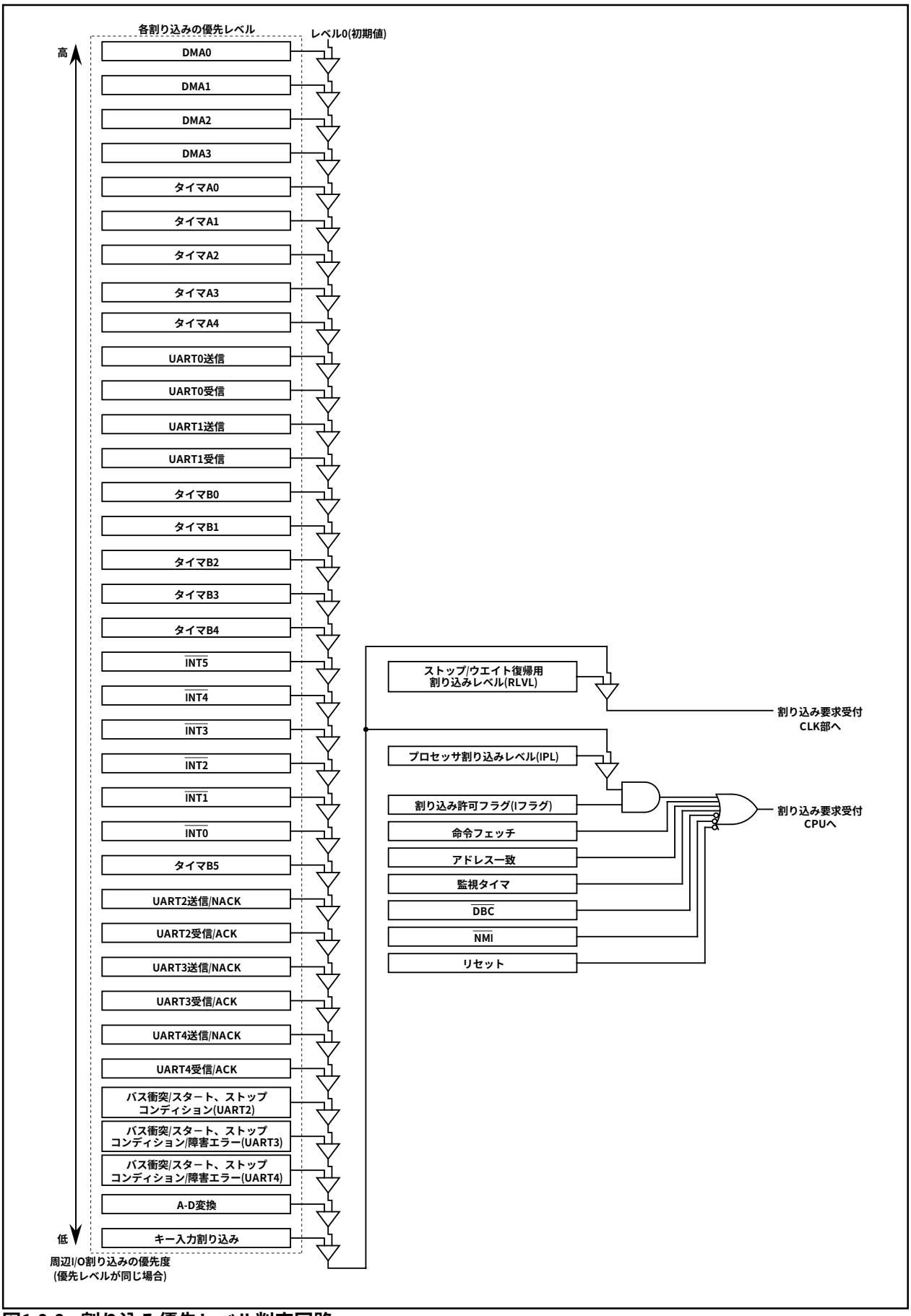


図1.9.8. 割り込み優先レベル判定回路

INT割り込み

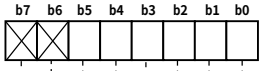
INT0～INT5は外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスとエッジで割り込みをかけるエッジセンスを割り込み制御レジスタのレベルセンス/エッジセンス切り替えビットで選択できます。また、極性を極性切り替えビットで選択できます。

外部割り込み入力のエッジセンスでは、割り込み要因選択レジスタ(031F16番地)のINTi割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

レベルセンスを選択した場合、割り込み要因選択レジスタのINTi割り込み極性切り替えビットは“0”に設定してください。

図1.9.9に割り込み要因選択レジスタの構成を示します。

割り込み要因選択レジスタ



シンボル	アドレス	リセット時
IFSR	031F16番地	XX000000₂

ビットシンボル	ビット名	機　能	R	W
IFSR0	INT0割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
IFSR1	INT1割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
IFSR2	INT2割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
IFSR3	INT3割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
IFSR4	INT4割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
IFSR5	INT5割り込み極性切り替えビット(注1)	0 : 片エッジ 1 : 両エッジ	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　レベルセンスを選択した場合、本ビットは“0”に設定してください。

図1.9.9. 割り込み要因選択レジスタの構成

NMI割り込み

P85/NMI端子の入力が“H”レベルから“L”レベルに変化したとき、NMI割り込みが発生します。NMI割り込みは、ノンマスカブル外部割り込みです。また、この端子の値はポートP85レジスタ(03C416番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

注意事項

NMI機能を使用しない場合は、必ずNMI端子に抵抗を介してVCCに接続(プルアップ)してください。NMI割り込みはノンマスカブルであり、無効にすることはできませんので、必ず端子処理が必要です。

キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.9.10に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

キー入力割り込み禁止ビット(03AF16番地のビット7)を“1”に設定すると、割り込み制御レジスタの設定にかかわらず、キー入力割り込みは発生しません。また、キー入力割り込み禁止ビットに“1”が設定されていると、方向レジスタが入力に設定されていてもポート端子からの入力は行えません。

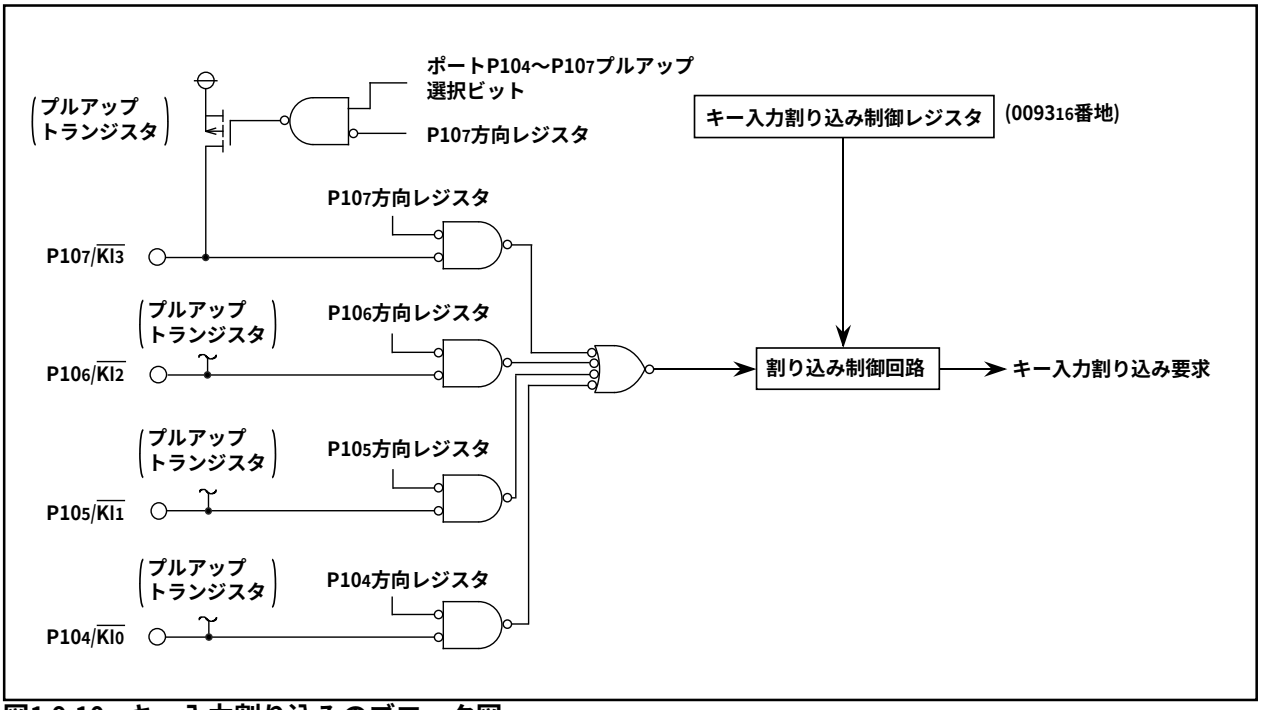


図1.9.10. キー入力割り込みのブロック図

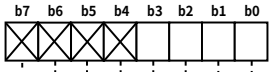
アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは4カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。

図1.9.11にアドレス一致割り込み関連レジスタの構成を示します。

アドレス一致割り込みレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

アドレス一致割り込み許可レジスタ

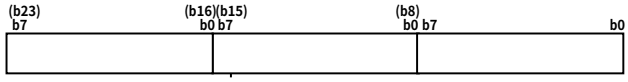


シンボル	アドレス	リセット時
AIER	0009_{16}番地	$XXXX0000_2$

ビットシンボル	ビット名	機　能	R	W
AIER0	アドレス一致割り込み0許可ビット	0 : 禁止 1 : 許可	○	○
AIER1	アドレス一致割り込み1許可ビット	0 : 禁止 1 : 許可	○	○
AIER2	アドレス一致割り込み2許可ビット	0 : 禁止 1 : 許可	○	○
AIER3	アドレス一致割り込み3許可ビット	0 : 禁止 1 : 許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			—	—

アドレス一致割り込みレジスタi(i=0～3)

シンボル	アドレス	リセット時
RMAD0	0012_{16}～0010_{16}番地	000000_{16}
RMAD1	0016_{16}～0014_{16}番地	000000_{16}
RMAD2	$001A_{16}$～0018_{16}番地	000000_{16}
RMAD3	$001E_{16}$～$001C_{16}$番地	000000_{16}



機　能	設定可能値	R	W
アドレス一致割り込み用アドレス設定レジスタ	000000_{16}～$FFFFFF_{16}$	○	○

図1.9.11. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

(1) 000000$_{16}$番地、000002$_{16}$番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を000000$_{16}$番地から読み出します。高速割り込みの場合、000002$_{16}$番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ただし、ソフトウエアにより000000$_{16}$番地、000002$_{16}$番地を読み出しても、この要求ビットは“0”になりません。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000000$_{16}$”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。$\overline{\text{NMI}}$割り込みを含むすべての割り込みは、リセット後、1命令を実行した直後から受け付けられます。スタックポインタには偶数アドレスを設定してください。偶数を設定した方が効率が良くなります。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCCに接続(プルアップ)してください。必ず端子処理は必要です。
●$\overline{\text{NMI}}$端子は、入力専用のP8$_5$と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。
●$\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロック(BCLK)の1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

●エッジセンスの場合
INT$_0$～INT$_5$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
●レベルセンスの場合
INT$_0$～INT$_5$端子に入力する信号には、BCLK1周期＋200ns以上の“L”レベル幅、または“H”レベル幅が必要です。(XIN＝20MHz、分周なしの場合は250ns以上必要です。)
●INT$_0$～INT$_5$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図1.9.12に示します。

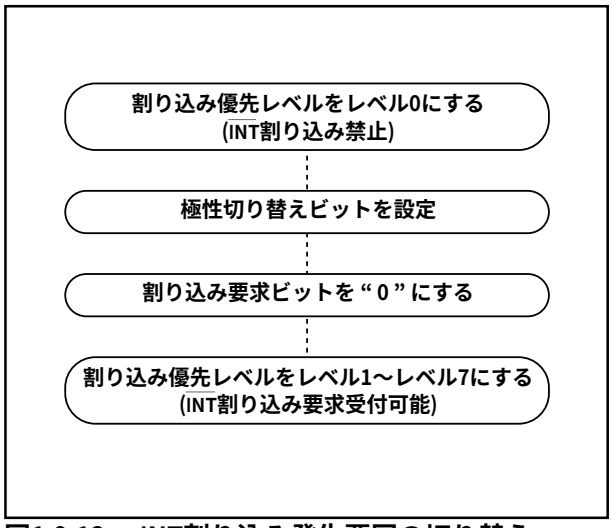


図1.9.12. INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

(6) アドレス一致割り込みの注意事項

●アドレス一致割り込みレジスタには以下のアドレスを設定しないでください。

1. 割り込みの先頭命令のアドレス
2. 割り込み制御レジスタの割り込み要求ビットをクリアする命令または割り込み優先レベルを現在より低く変更する命令から7命令分のアドレス
3. 割り込み許可フラグ(Iフラグ)をセットする命令から3命令分のアドレス
4. プロセッサ割り込み優先レベル(IPL)を現在より低く書き替える命令から3命令分のアドレス

```
例1  interrupt_A:                          ; 割り込みルーチン
     pushm     R0, R1, R2, R3, A0, A1      ; ←割り込みの先頭命令へのアドレス一致
                                           ; 割り込みの設定は禁止

例2                                        ;割り込み優先レベルは１以上
     mov.b     #0, TA0IC                   ; 割り込み優先レベルを低い値に変更
     nop                                   ; 1命令 ┐
     nop                                   ; 2命令 │
     nop                                   ; 3命令 │
     nop                                   ; 4命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                                   ; 5命令 │
     nop                                   ; 6命令 │
     nop                                   ; 7命令 ┘

例3  fset      I                           ; Iフラグセット
     nop                                   ; 1命令 ┐
     nop                                   ; 2命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                                   ; 3命令 ┘

例4  ldipl     #0                          ; IPLを低いレベルへ書き替え
     nop                                   ; 1命令 ┐
     nop                                   ; 2命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                                   ; 3命令 ┘
```

●割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合、割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまります。したがって、割り込みルーチン内で割り込み制御レジスタを書き替える場合は、最後(reit/freit命令の直前)に下記の処理を追加してください。また、その他の割り込みで多重割り込みを許可している場合は、多重割り込みを許可している割り込みの最後にも同様に下記の処理を追加してください。
ノンマスカブル割り込み処理ルーチン内で割り込み制御レジスタを書き替えている場合は、すべての割り込みの最後で下記の処理を追加してください。

追加処理内容

```
                          ; レジスタ復帰命令(popm命令)の後に行ってください
fclr      U               ; ISP選択(ISPをすでに選択している場合は必要ありません)
pushm     R0              ; R0退避
mov.w     6[SP], R0       ; スタック上のFLG読み出し(高速割り込みの場合は stc SVF, R0)
ldc       R0, FLG         ; FLGに設定
popm      R0              ; R0復帰
nop                       ; ダミー
reit                      ; 割り込み終了(高速割り込みの場合はfreit)
```

例5　割り込みAルーチンで割り込みBの割り込み制御レジスタを書き換え、割り込みCで多重割り込みを許可している場合、割り込みAと割り込みCのルーチンの最後で下記の対策が必要です。

割り込みAルーチン

```
interrupt_A:                      ; 割り込みAルーチン
pushm     R0, R1, R2, R3, A0, A1  ; レジスタ退避
・・・
bclr      3, TA0IC                ; 割り込みBの割り込み制御レジスタ書き換え
・・・
popm      R0, R1, R2, R3, A0, A1  ; レジスタ復帰
fclr      U                       ; ISP選択(ISPをすでに選択している場合は必要ありません)
pushm     R0                      ; R0退避
mov.w     6[SP], R0               ; スタック上のFLG読み出し
ldc       R0, FLG                 ; FLGに設定
popm      R0                      ; R0復帰
nop                               ; ダミー
reit                              ; 割り込み終了
```

割り込みCルーチン

```
interrupt_C:                      ; 割り込みCルーチン
pushm     R0, R1, R2, R3, A0, A1  ; レジスタ退避
fset      I                       ; 多重割り込み許可
・・・
popm      R0, R1, R2, R3, A0, A1  ; レジスタ復帰
fclr      U                       ; ISP選択(ISPをすでに選択している場合は必要ありません)
pushm     R0                      ; R0退避
mov.w     6[SP], R0               ; スタック上のFLG読み出し
ldc       R0, FLG                 ; FLGに設定
popm      R0                      ; R0復帰
nop                               ; ダミー
reit                              ; 割り込み終了
```

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みを発生させるか、リセットをかけるかを選択できます。システムクロック制御レジスタ0(0008$_{16}$番地)のビット6(CM06)が“0”で監視タイマ割り込みが、CM06が“1”でリセットが選択されます。CM06には“1”のみ書き込み可能です。一度リセット(CM06＝“1”)を設定すると監視タイマ割り込みにはソフトウェアでは変更できません。

BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F$_{16}$番地)のビット7(WDC7)でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、WDC7に関係なくプリスケーラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケーラによる誤差が生じます。

BCLKにXINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(16または128)\times監視タイマのカウント値(32768)}{BCLK}$$

BCLKにXCINを選択している場合

$$監視タイマの周期 = \frac{プリスケーラの分周比(2)\times監視タイマのカウント値(32768)}{BCLK}$$

例えば、BCLKが20MHzで、プリスケーラの分周比として16分周を選択している場合、監視タイマの周期は、約26.2msとなります。

監視タイマは、監視タイマスタートレジスタ(000E$_{16}$番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E$_{16}$番地)への書き込み動作によりカウントを開始します。また、CM06はリセット時だけ初期化されます。リセット解除後は監視タイマ割り込みが選択されます。

ストップモード時、ウエイトモード時、およびホールド状態時、監視タイマおよびプリスケーラは停止し、解除すると保持された値からカウントします。

図1.10.1に監視タイマのブロック図、図1.10.2に監視タイマ関連レジスタの構成を示します。

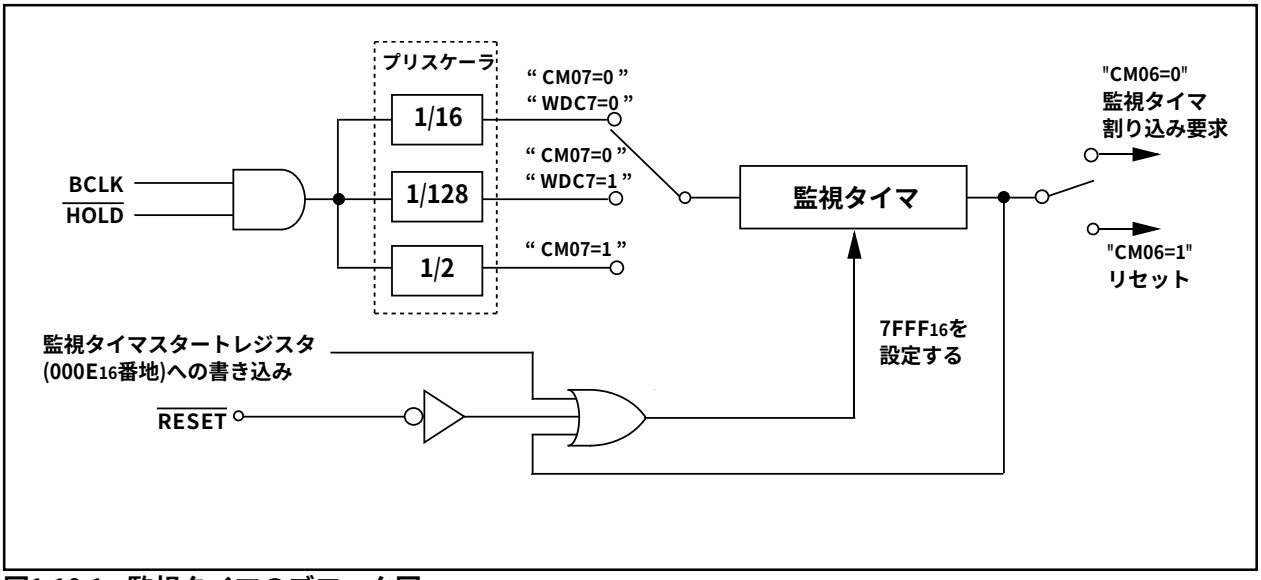


図1.10.1. 監視タイマのブロック図

監視タイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット時
WDC	000F16番地	00＊XXXXX2

ビットシンボル	ビット名	機　　能	R	W
監視タイマの上位ビット			○	×
WDC5	コールドスタート/ウォームスタート判定フラグ	0：コールドスタート 1：ウォームスタート　(注1)	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	○	○

注1. このフラグに“0”、“1”のいずれを書き込んだ場合も自動的に“1”になります。
＊：このビットはリセットの影響を受けません。

監視タイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

機　　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	×	○

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	0006$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット(注2)	b1 b0 0 0 : 入出力ポートP5$_3$ 0 1 : fcを出力(注3) 1 0 : f8を出力(注3) 1 1 : f32を出力 (注3)	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する (注10)	○	○
CM03	XCIN-XCOUT駆動能力選択ビット(注4)	0 : LOW 1 : HIGH	○	○
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能 (注11)	○	○
CM05	メインクロック (XIN-XOUT)停止ビット(注5、注6)	0 : 発振 1 : 停止　(注7)	○	○
CM06	監視タイマ機能選択ビット	0 : 監視タイマ割り込み 1 : リセット (注8)	○	○
CM07	システムクロック選択ビット(注9)	0 : XIN, XOUT選択 1 : XCIN, XCOUT選択	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット0を"1"にしてください。
注2.　BCLK出力時(プロセッサモードレジスタ0のビット7が"0")は"00"に設定してください。P5$_3$にALE出力時(プロセッサモードレジスタ1のビット5、ビット4が"01")は"00"にしてください。マイクロプロセッサ/メモリ拡張モードでプロセッサモードレジスタ0のビット7が"1"のとき"00"を設定してもポートP5$_3$機能にはなりません.
注3.　シングルチップモード時fC、f8、f32出力を選択する場合はP5$_7$端子を必ず入力端子として使用してください。
注4.　ストップモードへの移行時およびリセット時、"1"になります。
注5.　このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックを停止させる場合、サブクロックが安定して発振している状態で、システムクロック選択ビット(CM07)を"1"にしてから、このビットを"1"にしてください。
注6.　このビットが"1"の場合、XOUTは"H"レベルになります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介して、XOUT("H"レベル)にプルアップされた状態となります。
注7.　メインクロック停止時、メインクロック分周レジスタ(000C16番地)は8分周モードになります。
注8.　一度"1"を設定するとソフトウェアでは"0"には変更できません。。
注9.　このビットを"0"から"1"にする場合、CM04を"1"にし、サブクロックの発振が安定した後に行ってください。CM04と同時に書き替えないでください。また、このビットを"1"から"0"にする場合、CM05を"0"にし、メインクロックの発振が安定した後に行ってください。
注10.　fc32は含みません。
注11.　XCIN-XCOUT発振機能を使用する場合、ポートP8$_6$、P8$_7$は入力ポートで、プルアップなしを設定してください。

図1.10.2. 監視タイマ関連レジスタ

コールドスタート/ウォームスタート

M16C/80Tグループでは、監視タイマ制御レジスタ(000F16番地)のビット5(コールドスタート/ウォームスタート判定フラグ)によって電源が投入されたときのリセット処理(コールドスタート)なのか、動作中にリセット信号が入力されたときのリセット処理(ウォームスタート)を判定することができます。

コールドスタート/ウォームスタート判定フラグは、電源投入時“0”で、監視タイマ制御レジスタ(000F16番地)に書き込み動作(レジスタへの書き込む値は任意)を行うと“1”になり、ソフトウエアリセットやリセット信号の入力に対しても“0”になりません。

コールドスタート/ウォームスタート判定フラグへの書き込みは、パワーオンリセット解除後、十分な時間(約100μs以上)が経過してから行ってください。

図1.10.3にコールドスタート/ウォームスタート判定フラグ動作シーケンスを示します。

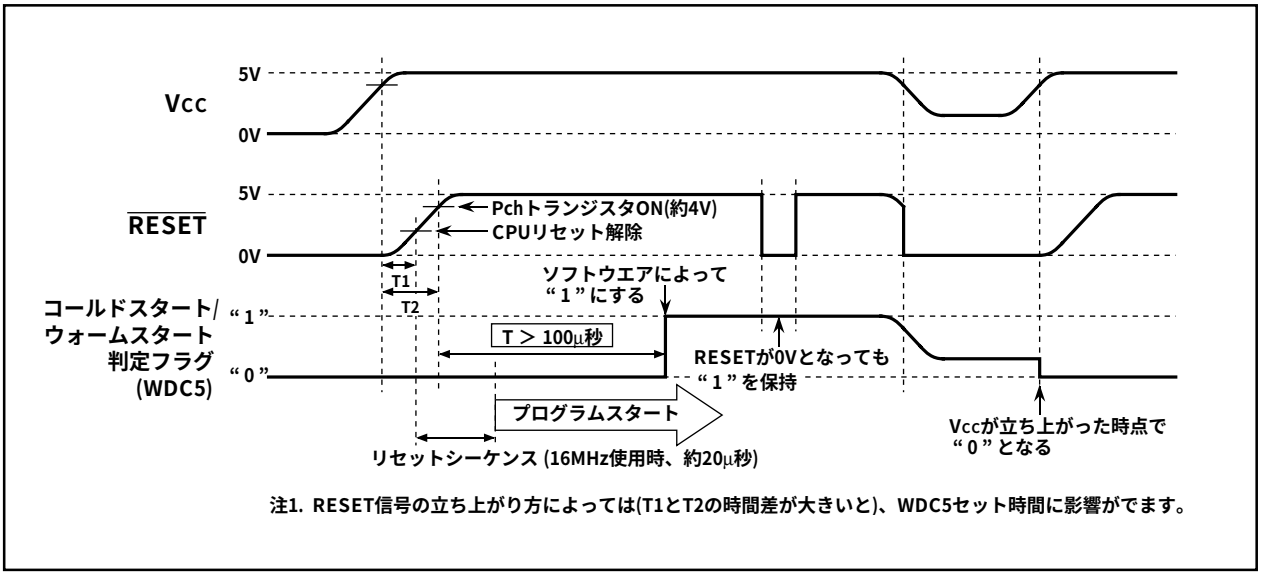


図1.10.3. コールドスタート/ウォームスタート判定フラグ動作シーケンス

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を4チャネル内蔵しています。DMACは転送要求が発生するごとに転送元番地の1データ(8ビット/16ビット)を転送先番地へデータ転送する機能です。DMACを3チャネル以上使用する場合は、レジスタバンク1のレジスタ、高速割り込み用レジスタをDMAC用のレジスタとして使用します。そのため、DMACを3チャネル以上使用する場合は高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.11.1にDMACで使用するレジスタ配置、表1.11.1にDMACの仕様、図1.11.2、図1.11.3、図1.11.4、図1.11.5にDMACで使用するレジスタの構成を示します。

図1.11.1に示すレジスタはCPU内部に配置されておりますので、書き込む際はLDC命令を使用してください。DCT2、DCT3、DRC2、DRC3、DMA2、DMA3はレジスタバンク指定フラグ(Bフラグ)を“1”にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3はレジスタバンク指定フラグ(Bフラグ)を“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。

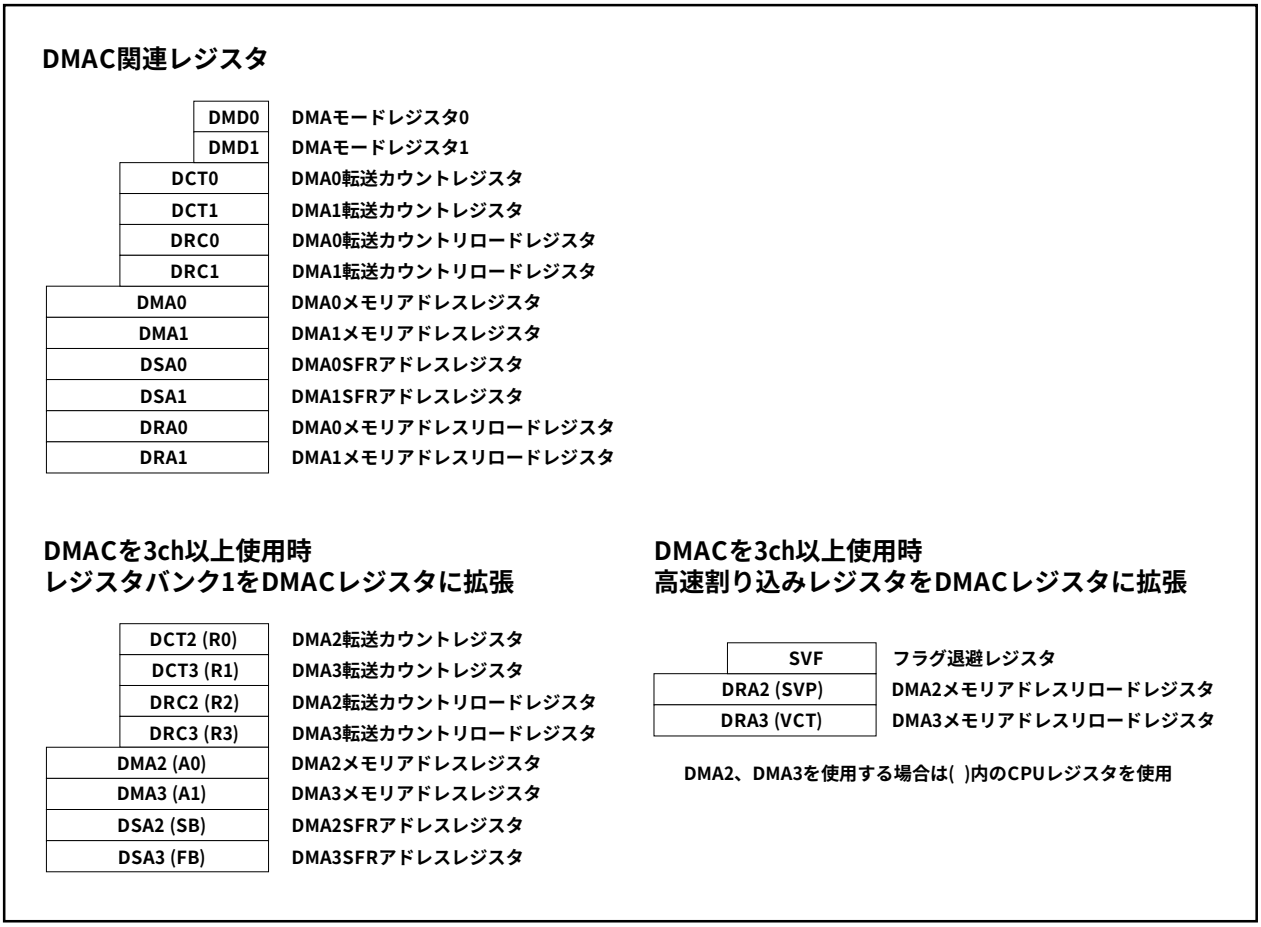


図1.11.1. DMACで使用するレジスタ配置

また、DMACの転送開始は、ソフトウエアDMA要求ビットへの書き込みの他、DMA要求要因選択ビットで指定した各機能から出力される割り込み要求信号を流用していますが、割り込み要求動作とは異なり、割り込みフラグに関係なく繰り返しDMA要求を受け付けることができます。

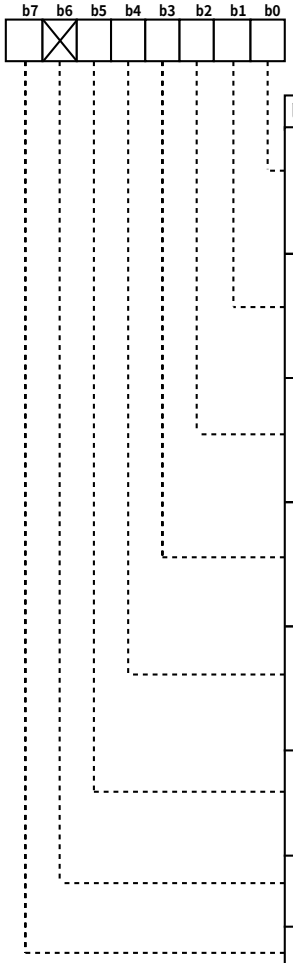
(ただし、1回のDMA転送サイクル以上に早い要求サイクルに対しては、転送要求回数と転送回数が一致しない場合が発生します。詳細についてはDMAC要求ビットの説明をご覧ください。)

表1.11.1. DMAC仕様

項　　目	仕　　様
チャネル数	4チャネル(サイクルスチール方式)
転送空間	●16Mバイトの任意の空間から固定アドレス(16Mバイト空間) ●固定アドレス(16Mバイト空間)から16Mバイトの任意の空間
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	$\overline{\text{INT0}}$～$\overline{\text{INT3}}$端子の立ち下がりエッジまたは両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0～UART4送信および受信割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0>DMA1>DMA2>DMA3(DMA0が最優先)
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向あるいは固定の指定はできません)
転送モード	●単転送 転送カウントレジスタが“ 0000_{16} ”になると転送が終了する ●リピート転送 転送カウントレジスタが“ 0000_{16} ”になると転送カウントリロードレジスタの値が転送カウントレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	転送カウントレジスタが“ 0001_{16} ”から“ 0000_{16} ”に遷移時
DMA開始	●単転送 DMA転送カウントレジスタが“ 0001_{16} ”以上の設定で、チャネルi転送モード選択ビットへの“ 01_2 ”書き込み後、DMA要求が発生すると開始 ●リピート転送 チャネルi転送モード選択ビットへの“ 11_2 ”書き込み後、DMA要求が発生すると開始
DMA停止	●単転送 チャネルi転送モード選択ビットへの“ 00_2 ”書き込み時 DMA転送あるいは書き込みにより転送カウントレジスタが“ 0000_{16} ”になった場合 ●リピート転送 チャネルi転送モード選択ビットへの“ 00_2 ”書き込み時
リロードのタイミング	リピート転送モードで転送カウントレジスタが“ 0001_{16} ”→“ 0000_{16} ”遷移時
レジスタの読み出し/書き込み	すべてのレジスタが常時読み出し、書き込み可能
DMA転送サイクル数	SFR、内蔵RAM間 : 3サイクル 外部I/O、外部メモリ間 : 最小3サイクル

注1.　DMA転送は、各割り込みに影響を与えません。

DMAi要因選択レジスタ(i = 0～3)(注1)



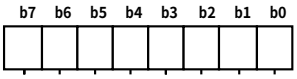
シンボル	アドレス	リセット時
DMiSL	0378_{16}～$037B_{16}$	$0X000000_{2}$

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット(注2)	b4 b3 b2 b1 b0 0 0 0 0 0 : ソフトウエアトリガ 0 0 0 0 1 : INTi端子の立ち下がりエッジ (注3) 0 0 0 1 0 : INTi端子の両エッジ (注3) 0 0 0 1 1 : タイマA0 0 0 1 0 0 : タイマA1 0 0 1 0 1 : タイマA2 0 0 1 1 0 : タイマA3 0 0 1 1 1 : タイマA4 0 1 0 0 0 : タイマB0 0 1 0 0 1 : タイマB1 0 1 0 1 0 : タイマB2 0 1 0 1 1 : タイマB3 0 1 1 0 0 : タイマB4 0 1 1 0 1 : タイマB5 0 1 1 1 0 : UART0送信 0 1 1 1 1 : UART0受信 1 0 0 0 0 : UART1送信 1 0 0 0 1 : UART1受信 1 0 0 1 0 : UART2送信 1 0 0 1 1 : UART2受信 / ACK (注4) 1 0 1 0 0 : UART3送信 1 0 1 0 1 : UART3受信 / ACK (注4) 1 0 1 1 0 : UART4送信 1 0 1 1 1 : UART4受信 / ACK (注4) 1 1 0 0 0 : A-D変換 1 1 0 0 1～1 1 1 1 1 : 設定禁止	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
DSEL4			○	○
DSR	ソフトウエアDMA要求ビット(注5)	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する(読み出した場合“0”)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
DRQ	DMA要求ビット(注5、6)	0 : 要求なし 1 : 要求あり	○	○

注1. DMACの注意事項を参照ください。
注2. 要因を変更するときは、DMA禁止状態にして行い、DRQに同時に“1”を設定してください。
(例) MOV.B #083h, DMiSL ;タイマA0設定
注3. DMAiとINTiの対応はDMA0－INT0、DMA1－INT1、DMA2－INT2、DMA3－INT3となります。ただし、マイクロプロセッサモードでINT3端子がデータバスとなる場合、DMA3－INT3は使用できません。
注4. UARTi受信 / ACKの切り換えは、UARTi特殊モードレジスタとUARTi特殊モードレジスタ2の設定によって行います。
注5. DSRに“1”を設定する場合、OR命令等を使用し、DRQに同時に“1”を設定してください。
(例) OR.B #0A0h, DMiSL
注6. “0”を書き込まないでください。DMA要求ビットをクリアする必要はありません。

図1.11.2. DMACレジスタ構成(1)

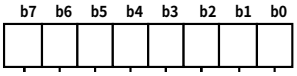
DMAモードレジスタ0
CPU内部レジスタ



シンボル　リセット時
DMD0　00000000_2

ビットシンボル	ビット名	機　能	R	W
MD00	チャネル0転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 予約 1 1 : リピート転送	○	○
MD01			○	○
BW0	チャネル0転送単位選択ビット	0 : 8ビット 1 : 16ビット	○	○
RW0	チャネル0転送方向選択ビット	0 : 固定アドレス→メモリ(順方向) 1 : メモリ(順方向)→固定アドレス	○	○
MD10	チャネル1転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 予約 1 1 : リピート転送	○	○
MD11			○	○
BW1	チャネル1転送単位選択ビット	0 : 8ビット 1 : 16ビット	○	○
RW1	チャネル1転送方向選択ビット	0 : 固定アドレス→メモリ(順方向) 1 : メモリ(順方向)→固定アドレス	○	○

DMAモードレジスタ1
CPU内部レジスタ



シンボル　リセット時
DMD1　00000000_2

ビットシンボル	ビット名	機　能	R	W
MD20	チャネル2転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 予約 1 1 : リピート転送	○	○
MD21			○	○
BW2	チャネル2転送単位選択ビット	0 : 8ビット 1 : 16ビット	○	○
RW2	チャネル2転送方向選択ビット	0 : 固定アドレス→メモリ(順方向) 1 : メモリ(順方向)→固定アドレス	○	○
MD30	チャネル3転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 予約 1 1 : リピート転送	○	○
MD31			○	○
BW3	チャネル3転送単位選択ビット	0 : 8ビット 1 : 16ビット	○	○
RW3	チャネル3転送方向選択ビット	0 : 固定アドレス→メモリ(順方向) 1 : メモリ(順方向)→固定アドレス	○	○

図1.11.3. DMACレジスタ構成(2)

DMAi転送カウントレジスタ(i = 0～3)
CPU内部レジスタ

シンボル	リセット時
DCT0	XXXX16
DCT1	XXXX16
DCT2(バンク1R0) (注1)	0000₁₆
DCT3(バンク1R1) (注1)	0000₁₆

b15 b0

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数を設定	0000₁₆～FFFF₁₆ (注2)	○	○

注1. DCT2、DCT3を設定する場合、フラグレジスタ(FLG)のレジスタバンク指定フラグ(Bフラグ)を“1”にして、レジスタバンク1のR0、R1に設定してください。
注2. “0”を設定した場合、DMA要求がきてもデータ転送は行いません。

DMAi転送カウントリロードレジスタ(i = 0～3)
CPU内部レジスタ

シンボル	リセット時
DRC0	XXXX16
DRC1	XXXX16
DRC2(バンク1R2) (注1)	0000₁₆
DRC3(バンク1R3) (注1)	0000₁₆

b15 b0

機　　能	転送回数指定	R	W
●転送カウントレジスタのリロード値 転送回数を設定	0000₁₆～FFFF₁₆	○	○

注1. DRC2、DRC3を設定する場合、フラグレジスタ(FLG)のレジスタバンク指定フラグ(Bフラグ)を“1”にして、レジスタバンク1のR2、R3に設定してください。

図1.11.4. DMACレジスタ構成(3)

DMAiメモリアドレスレジスタ(i = 0～3)
CPU内部レジスタ

シンボル	リセット時
DMA0	XXXXXX16
DMA1	XXXXXX16
DMA2(バンク1A0) (注1)	000000₁₆
DMA3(バンク1A1) (注1)	000000₁₆

b23 b0

機　　能	転送番地指定領域	R	W
●メモリアドレス (注2) 転送元あるいは転送先のメモリアドレスを設定	000000₁₆～FFFFFF₁₆ (16Mバイト空間)	○	○

注1. DMA2、DMA3を設定する場合、フラグレジスタ(FLG)のレジスタバンク指定フラグ(Bフラグ)を“1”にして、レジスタバンク1のA0、A1に設定してください。

注2. 転送方向選択ビットを“0”(固定アドレス→メモリ)とした場合、転送先のメモリアドレスとなります。
転送方向選択ビットを“1”(メモリ→固定アドレス)とした場合、転送元のメモリアドレスとなります。

DMAiSFRアドレスレジスタ(i = 0～3)
CPU内部レジスタ

シンボル	リセット時
DSA0	XXXXXX16
DSA1	XXXXXX16
DSA2(バンク1SB) (注1)	000000₁₆
DSA3(バンク1FB) (注1)	000000₁₆

b23 b0

機　　能	転送番地指定領域	R	W
●SFRアドレス (注2) 転送元あるいは転送先の固定アドレスを設定	000000₁₆～FFFFFF₁₆ (16Mバイト空間)	○	○

注1. DSA2を設定する場合、フラグレジスタ(FLG)のレジスタバンク指定フラグ(Bフラグ)を“1”にして、レジスタバンク1のSBに設定してください。
DSA3を設定する場合、フラグレジスタ(FLG)のレジスタバンク指定フラグ(Bフラグ)を“1”にして、レジスタバンク1のFBに設定してください。

注2. 転送方向選択ビットを“0”(固定アドレス→メモリ)とした場合、転送元の固定アドレスとなります。
転送方向選択ビットを“1”(メモリ→固定アドレス)とした場合、転送先の固定アドレスとなります。

DMAiメモリアドレスリロードレジスタ(i = 0～3)
CPU内部レジスタ

シンボル	リセット時
DRA0	XXXXXX16
DRA1	XXXXXX16
DRA2(SVP) (注1)	XXXXXX16
DRA3(VCT) (注1)	XXXXXX16

b23 b0

機　　能	転送番地指定領域	R	W
●メモリアドレスレジスタのリロード値 転送元あるいは転送先のメモリアドレスを設定	000000₁₆～FFFFFF₁₆ (16Mバイト空間)	○	○

注1. DRA2を設定する場合、PC退避レジスタ(SVP)に設定してください。
DRA3を設定する場合、ベクタレジスタ(VCT)に設定してください。

図1.11.5. DMACレジスタ構成(4)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、外部データバス幅制御レジスタの影響も受けます。さらに、ソフトウエアウエイトの影響により、バスサイクル自体が長くなります。

■転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

■外部データバス幅制御レジスタの影響

メモリ拡張モードとマイクロプロセッサモード時は、転送元と転送先のデータバス幅により、転送サイクルは変わります。

1. 転送元、転送先のデータバス幅が8ビットバス幅(データバス幅ビット“0”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのため、バスサイクルはデータの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。
2. 転送元のデータバス幅が8ビットバス幅(データバス幅ビット“0”)、転送先のデータバス幅が16ビットバス幅(データバス幅ビット“1”)で16ビットのデータ転送を行う場合、8ビットのデータを2回読み出し、16ビットのデータとして書き込みます。そのため、バスサイクルはデータの読み出しに2バスサイクル、書き込みに1バスサイクル必要とします。
3. 転送元のデータバス幅が16ビットバス幅(データバス幅ビット“1”)、転送先のデータバス幅が8ビットバス幅(データバス幅ビット“0”)で16ビットのデータ転送を行う場合、16ビットのデータを読み出し、8ビットのデータを2回書き込みます。そのため、バスサイクルは、データの読み出しに1バスサイクル、書き込みに2バスサイクル必要とします。

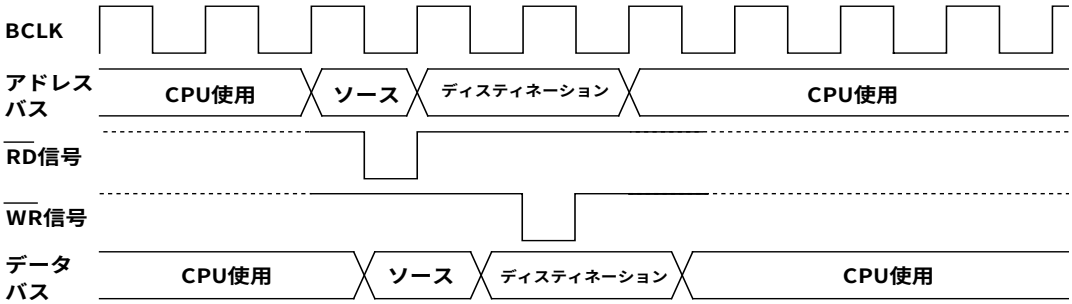
ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

■ソフトウエアウエイトの影響

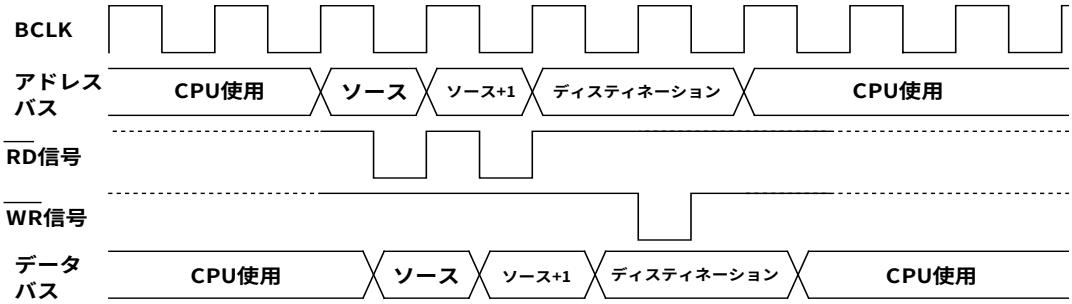
ソフトウエアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.11.6にソースリードについての転送サイクル例を示します。この図では、ディスティネーションを外部領域とし、ディスティネーションライトサイクルを2サイクル(1バスサイクル)として、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば(2)の転送単位が16ビット幅で転送元、転送先が8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

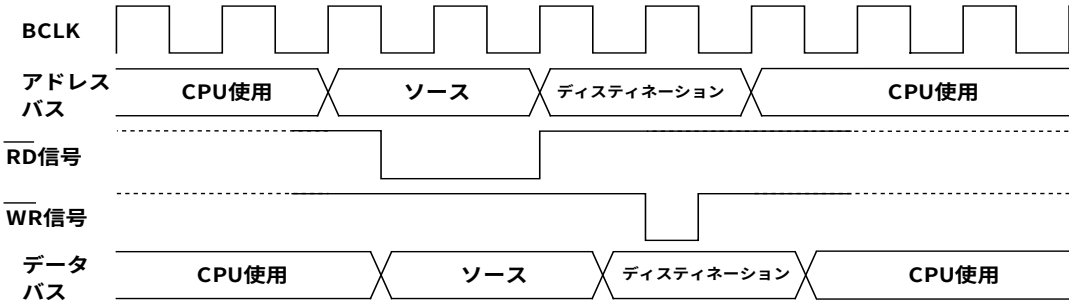
(1) 転送単位が8ビット幅のとき
転送単位、データバス幅が16ビット幅でソースアドレスが偶数番地のとき



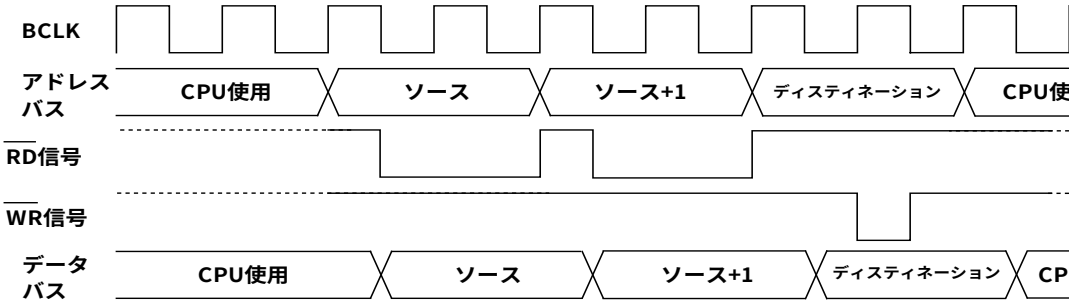
(2) 転送単位が16ビット幅でソースアドレスが奇数番地のとき
転送単位が16ビット幅で転送元が8ビットバス使用時
(転送先が8ビットバスならディスティネーションサイクルも2バスサイクルになります)



(3) (1)の条件でソースリードに1ウエイトが入ったとき



(4) (2)の条件でソースリードに1ウエイトが入ったとき
(転送単位が16ビットバス幅で転送先が8ビットバス使用時は、ディスティネーションサイクルは2バスサイクルになります)



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図1.11.6. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.11.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表1.11.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (BWi=“ 0 ”)	16ビット (DSi=“ 1 ”)	偶　数	1	1	1	1
		奇　数	1	1	1	1
	8ビット (DSi=“ 0 ”)	偶　数	—	—	1	1
		奇　数	—	—	1	1
16ビット転送 (BWi=“ 1 ”)	16ビット (DSi=“ 1 ”)	偶　数	1	1	1	1
		奇　数	2	2	2	2
	8ビット (DSi=“ 0 ”)	偶　数	—	—	2	2
		奇　数	—	—	2	2

係数j,k

内部領域			外部領域					
内部ROM/RAM		SFR領域	セパレート				マルチプレクスバス	
ウエイトなし	ウエイトあり		ウエイトなし	1ウエイト	2ウエイト	3ウエイト	2ウエイト	3ウエイト
j = 1 k = 1	j = 2 k = 2	j = 2 k = 2	j = 1 k = 2	j = 2 k = 2	j = 3 k = 3	j = 4 k = 4	j = 3 k = 3	j = 4 k = 4

注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA要求を発生させることができます。

DMA転送の要求要因には、内蔵している周辺機能からDMA要求信号を受け付ける要因、およびプログラムによるソフトウエアDMA要因と、外部の割り込み信号からの入力を利用した外部要因があります。

DMA要求要因の選択については、DMAi要因選択レジスタの説明をご覧ください。

DMA要求は、DMAi要求ビットが“ 1 ”にセットおよびチャネルi転送モード選択ビットが“ 01 ”または“ 11 ”にセットされたときに、DMA要求として受け付けられます。したがって、DMAi要求ビットが“ 1 ”でもチャネルi転送モード選択ビットが“ 00 ”の場合は、DMA要求は受け付けられません。その場合、DMAi要求ビットはクリアされます。チャネルi転送モード選択ビットは、リセット解除後“ 00 ”になっていますので、DMAC関連レジスタの設定の最後に、有効にしたいチャネルのチャネルi転送モード選択ビットをセットしてください。これによって、そのチャネルのDMA要求が受付可能となり、DMAi要求ビットがセットされることでDMA転送を行います。

次に、DMAi要求ビットのセット、クリアされるタイミングについて説明します。

(1) 内部要因

内部要因によるDMAi要求ビットが“1”にセットされるタイミングは、ソフトウエアトリガによるDMA要因を除いて、各機能から出力される割り込み要求信号を流用しているため、各要因の割り込み制御レジスタの割り込み要求ビットがセットされるタイミングと同じです。

DMAi要求ビットが“0”にクリアされるタイミングは、DMA転送開始でクリアされます。また、DMA転送不可状態(チャネルi転送モード選択ビットが“00”、DMAi転送カウントレジスタが“0”)でもクリアされます。

(2) 外部要因

$\overline{\text{INT}}$i端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMAi要求要因選択ビットで外部要因として$\overline{\text{INT}}$i端子を選択すると、これらの端子からの入力がDMA要求信号になります。

外部要因選択時にDMAi要求ビットがセットされるタイミングは、DMA要求要因選択ビットで指定された機能に応じて、各$\overline{\text{INT}}$i端子の入力信号の立ち下がりエッジまたは両エッジとなります。

外部要因選択時にDMAi要求ビットがクリアされるタイミングは、内部要因によるDMAi要求ビットのクリア同様、DMA転送開始時、およびDMA転送不可状態でクリアされます。

(3) 外部要因による要求入力とDMAi要求フラグの関係とDMA転送タイミングについて

DMAiへの要求入力が同一サンプリングに入った場合(同一サンプリングサイクルは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)は、DMAiの要求ビットは同時にセットされますが、DMAi許可ビットがともにセットされた許可状態では、DMA0が優先して転送を開始します。1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後、CPUにバス権を返します。

優先順位はDMA0>DMA1>DMA2>DMA3となります。

DMA0とDMA1の要求が同一サンプリングに入った場合の動作説明図を図1.11.7外部要因によるDMA転送例で示します。

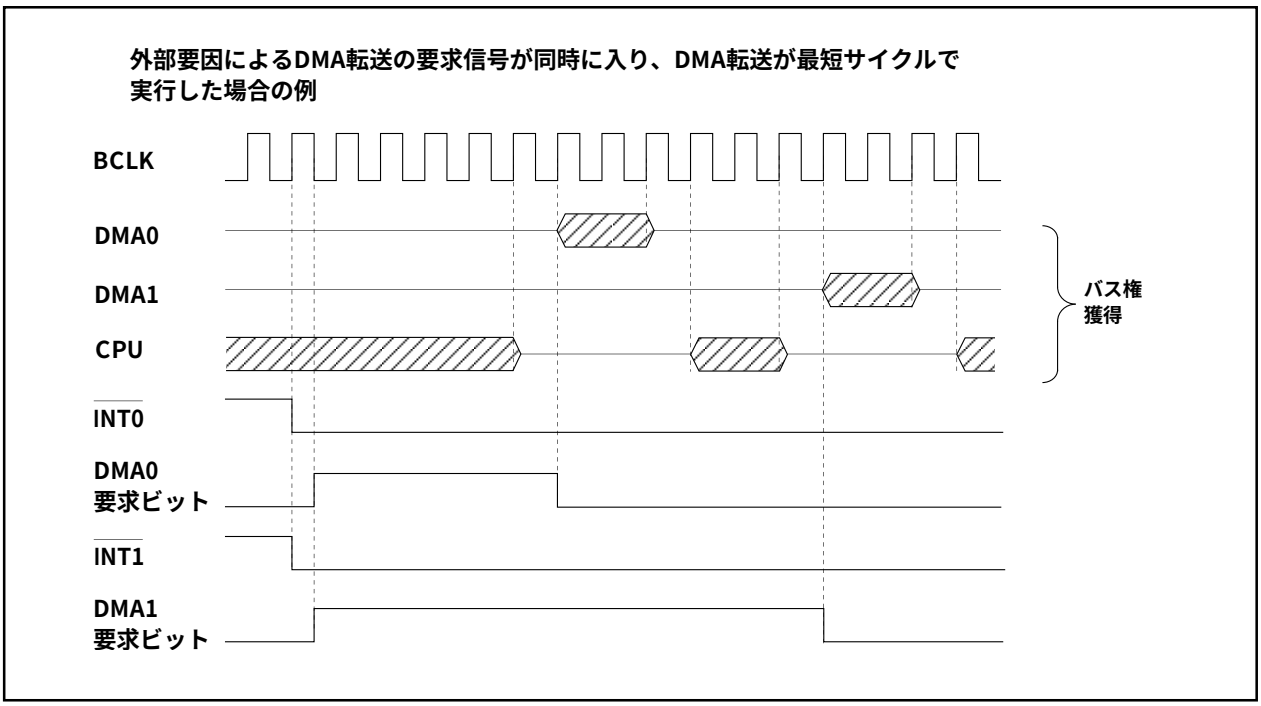


図1.11.7. 外部要因によるDMA転送例

DMACの注意事項

(1) DMAi要因選択レジスタのDMA要求ビットに“０”を書き込まないでください。
M16C/80では、DMA要求が発生した場合、そのチャネルが受け付けられない状態(注１)であればDMA転送は実行せず、そのDMA要求ビットは自動的にクリアされます。
注1. DMA禁止状態、転送カウントレジスタが“０”の状態

(2) ソフトウェアトリガでDMA転送を行う場合、OR命令を使用し、DMAi要因選択レジスタのソフトウェアDMA要求ビットとDMA要求ビットに同時に“１”を設定してください。

例） OR.B #0Ah,DMiSL ;**ソフトウェアDMA要求ビットとDMA要求ビット**
;**“１”同時書き込み**

(3) DMAi要因選択レジスタのDMA要求要因選択ビットを変更する場合は、DMA要求ビットに同時に“１”を書き込んでください。この場合、該当するDMAチャネルは禁止状態で行ってください。DMAを許可する命令は、DMAi要因要求選択レジスタに書き込みを行ってから2命令以上間をあけてください。

例）DMA0を単転送で使用しており、要因をタイマA0に変更する場合

```
push.w   R0                  ; R0レジスタ退避
stc      DMD0, R0            ; DMAモードレジスタ０読み出し
and.b    #11111100b, R0L     ; DMA0転送モード選択ビット"00"クリア
ldc      R0, DMD0            ; DMA0禁止
mov.b    #10000011b, DM0SL   ; タイマA0選択(DMA要求ビット=“１”同時書き込み)
mov.b    R0L, R0L            ; ダミーサイクル   } DMA許可まで2命令以上必要
or.b     #00000001b, R0L     ; DMA0単転送設定   }
ldc      R0, DMD0            ; DMA0許可
pop.w    R0                  ; R0レジスタ復帰
```

タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.12.1にタイマA、図1.12.2にタイマBの構成を示します。

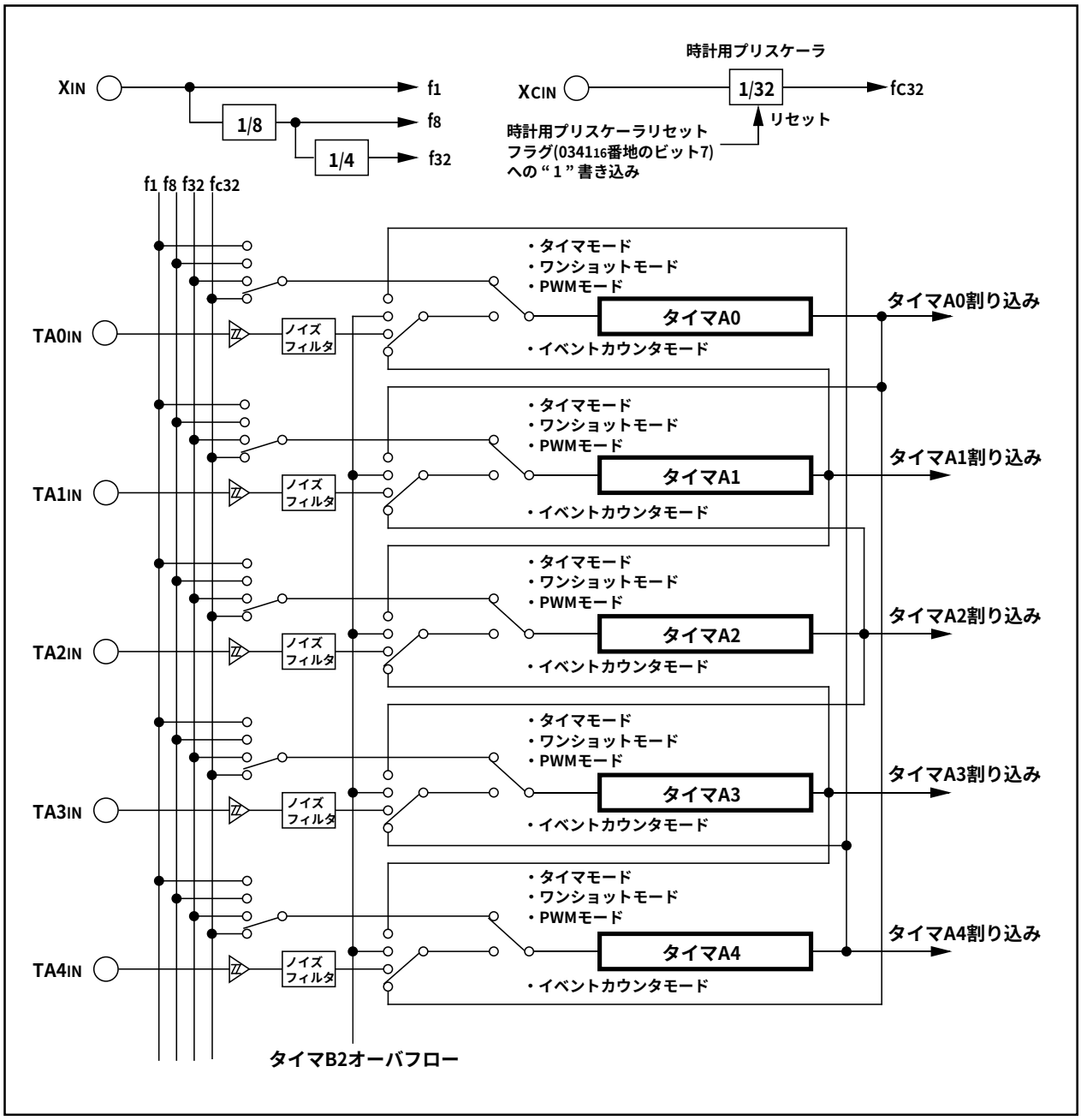


図1.12.1. タイマA構成

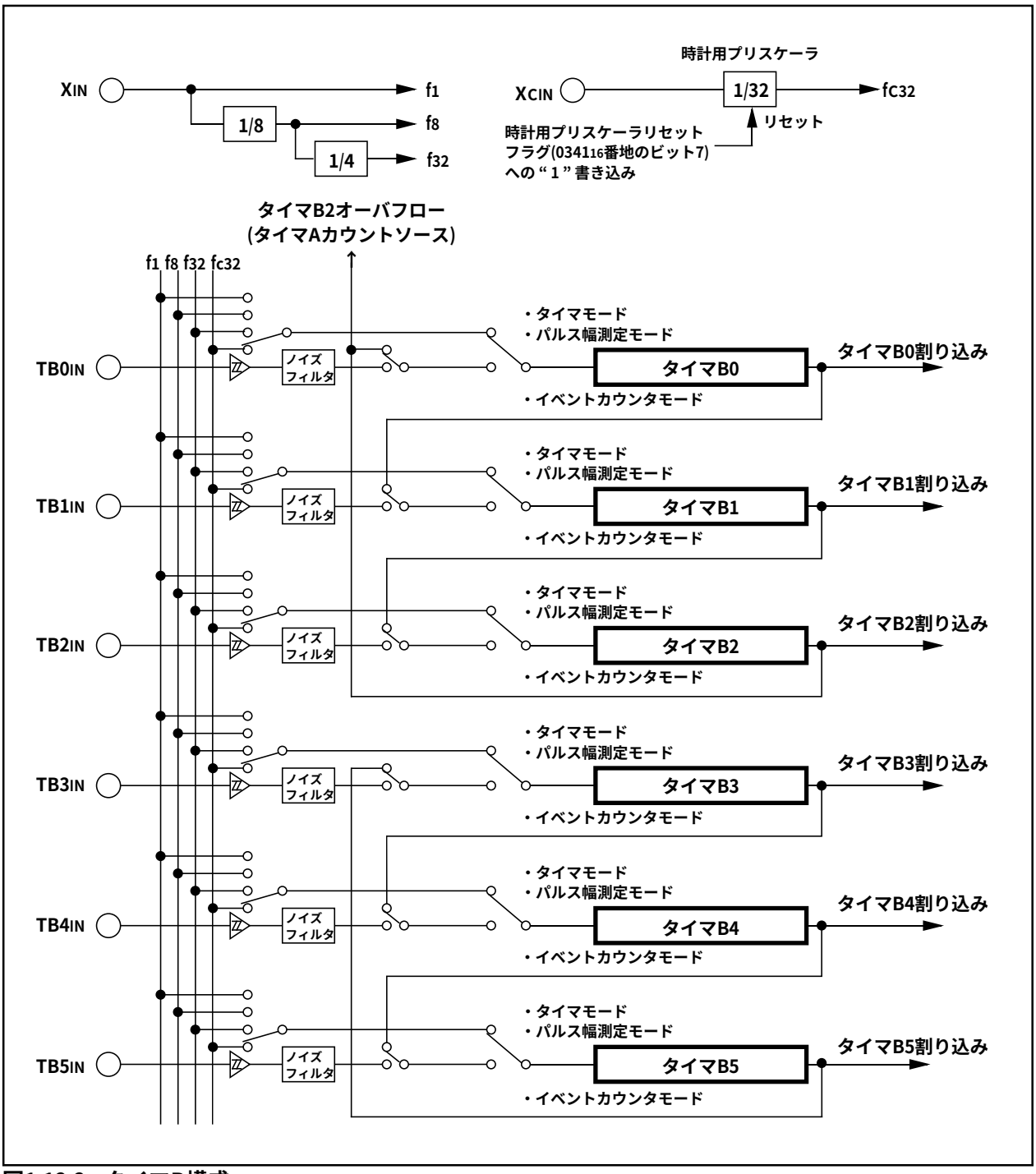


図1.12.2. タイマB構成

タイマA

図1.13.1にタイマAのブロック図を、図1.13.2～図1.13.4にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード　　カウント値が“ 0000_{16} ”になるとカウントが止まるモード
- ・パルス幅変調モード　　任意のパルス幅を連続して出力するモード

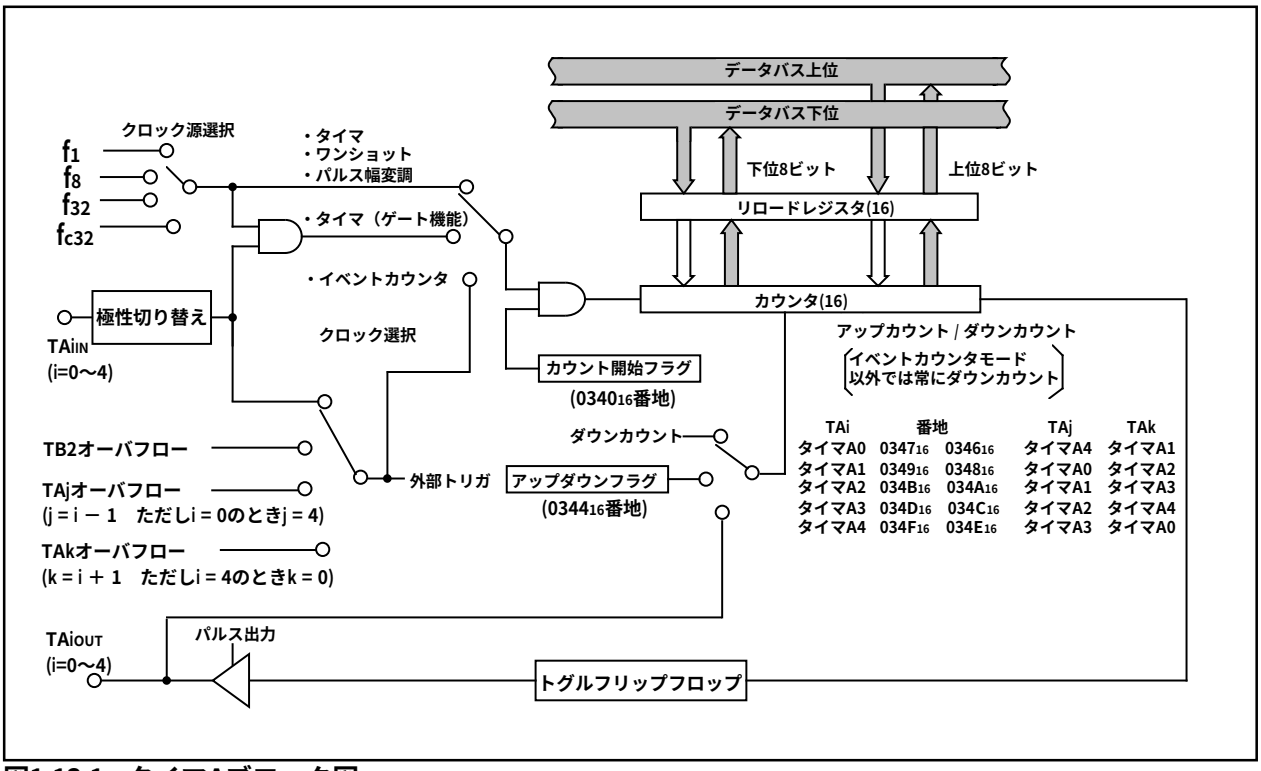


図1.13.1. タイマAブロック図

タイマAiモードレジスタ

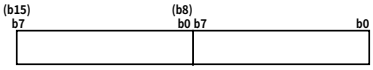
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0356_{16}～$035A_{16}$番地	$00000X00_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		—	—
MR1	動作モードによって機能が異なる		○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		○	○
TCK1			○	○

図1.13.2. タイマA関連レジスタ(1)

タイマAiレジスタ(注1)

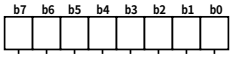


シンボル	アドレス	リセット時
TA0	0347_{16}, 0346_{16}番地	不定
TA1	0349_{16}, 0348_{16}番地	不定
TA2	$034B_{16}$, $034A_{16}$番地	不定
TA3	$034D_{16}$, $034C_{16}$番地	不定
TA4	$034F_{16}$, $034E_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●ワンショットタイマモード (注2、注3) ワンショット幅をカウント	0000_{16}～$FFFF_{16}$	×	○
●パルス幅変調モード(16ビットPWM) (注2、注4) 16ビットパルス幅変調器として動作	0000_{16}～$FFFF_{16}$	×	○
●パルス幅変調モード(8ビットPWM) (注2、注4) タイマの下位アドレスは、8ビットプリスケーラ、上位アドレスは8ビットパルス幅変調器として動作	00_{16}～FE_{16} (上位アドレス) 00_{16}～FF_{16} (下位アドレス)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。
注2.　これらのモード時、このレジスタへの書き込みはMOV命令を使用してください。
注3.　タイマAiレジスタに“0000_{16}”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。
注4.　タイマAiレジスタに“0000_{16}”を設定した場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00_{16}”を設定した場合も同様です。

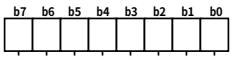
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0340_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

アップダウンフラグ(注1)



シンボル	アドレス	リセット時
UDF	0344_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

注1.　このレジスタへの書き込みはMOV命令を使用してください。

図1.13.3.　タイマA関連レジスタ(2)

ワンショット開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
ONSF	0342$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
TAZIE	Z相入力有効ビット	0 : 無効 1 : 有効	○	○
TA0TGL	タイマA0イベント／トリガ選択ビット	b7 b6 0 0 : TA0$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

注1. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TRGSR	0343$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	R	W
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : TA1$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : TA2$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／トリガ選択ビット	b5 b4 0 0 : TA3$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／トリガ選択ビット	b7 b6 0 0 : TA4$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“ 0 ”にしてください。

時計用プリスケーラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
CPSRF	0341$_{16}$番地	0XXXXXXX$_{2}$

ビットシンボル	ビット名	機　能	R	W
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラリセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“ 0 ”)	○	○

図1.13.4. タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.13.1)。図1.13.5にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.13.1. タイマモードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0356$_{16}$～035A$_{16}$番地	00000X00$_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		—	—
MR1	ゲート機能選択ビット	b4 b3 0 X(注1): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0 : TAiIN端子が“L”レベルの期間だけカウントを行う(注2) 1 1 : TAiIN端子が“H”レベルの期間だけカウントを行う(注2)	○	○
MR2			○	○
MR3	0 : タイマモードでは“0”を設定してください		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1. “0”または“1”いずれでも可。
注2. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

図1.13.5. タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.13.2に、タイマAiモードレジスタの構成を図1.13.6に示します。二相の外部信号をカウントする場合の仕様を表1.13.3に、タイマAiモードレジスタの構成を図1.13.7に示します。

表1.13.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　目	仕　様
カウントソース	●TAiIN端子に入力された外部信号(ソフトウエアにて有効エッジを選択可能) ●TB2のオーバフローおよびアンダフロー、TAjのオーバフローおよびアンダフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1.　フリーラン機能選択時は除きます。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

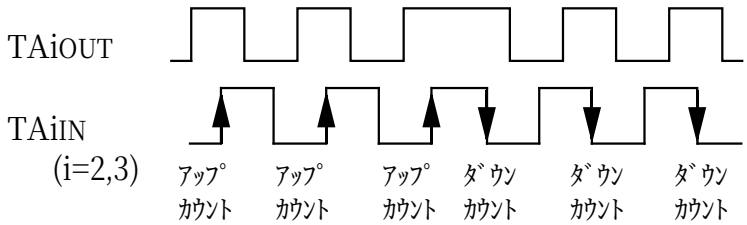
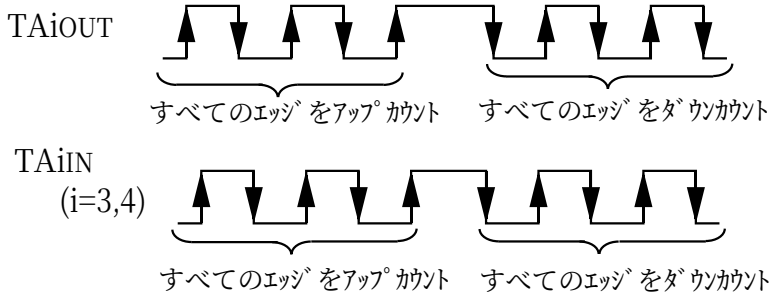
シンボル	アドレス	リセット時
TAiMR(i=0~4)	0356₁₆～035A₁₆番地	00000X00₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		—	—
MR1	カウント極性選択ビット(注1)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注2)	○	○
MR3	0 : イベントカウンタモードモードでは“0”を設定してください。		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット	二相パルス信号処理を使用しない場合は“0”を設定してください。	○	○

注1.　外部信号カウント時だけ有効。
注2.　対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

図1.13.6. イベントカウンタモード時のタイマAiモードレジスタの構成

表1.13.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項　　目	仕　　様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力 (対応する機能選択レジスタAを入出力ポートに設定)
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能 (注2)	●通常処理動作 (タイマA2、A3) TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。  ●4逓倍処理動作 (タイマA3、タイマA4) TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　フリーラン機能選択時は除く。
注2.　タイマA3のみ選択できます。タイマA2は通常処理動作、タイマA4は4逓倍処理動作に固定です。

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0		0	1

シンボル	アドレス	リセット時
TAiMR(i=2~4)	0358_{16}～$035A_{16}$番地	$00000X00_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。(注1)		—	—
MR1	0 : 二相パルス信号処理使用時では“0”を設定してください		○	○
MR2	1 : 二相パルス信号処理使用時では“1”を設定してください		○	○
MR3	0 : 二相パルス信号処理使用時では“0”を設定してください		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注2,3)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1.　対応する機能選択レジスタAを入出力ポートに設定してください。
注2.　このビットはタイマA3モードレジスタにおいて有効。
　　タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。
注3.　二相パルス信号処理を行う場合、二相パルス信号機能選択ビット(0344_{16}番地)は“1”に、
　　イベント/トリガ選択ビット(0343_{16}番地)は“00”にしてください。

図1.13.7. イベントカウンタモード時のタイマAiモードレジスタの構成

二相パルス信号処理でのカウンタリセット

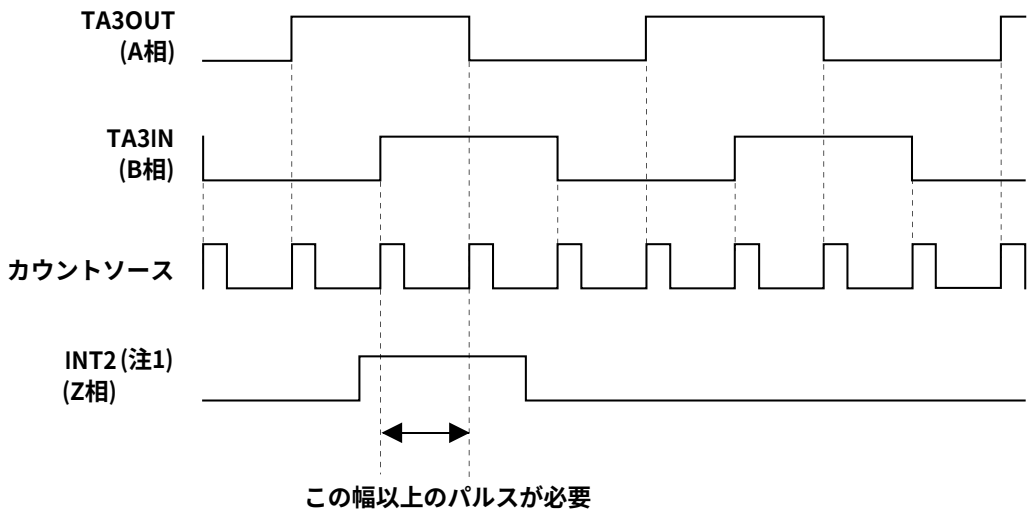
二相パルス信号処理時にZ相(カウンタリセット)入力により、タイマのカウント値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4逓倍処理でのみ使用でき、Z相入力はINT2端子入力となります。

Z相入力有効ビット(0342_{16}番地のビット5)を“1”に設定することで、Z相入力によるカウンタのリセットが有効になります。また、Z相入力でカウンタを“0”にするためには、タイマA3レジスタ($034D_{16}$、$034C_{16}$番地)にあらかじめ“0000_{16}”を書き込んでおく必要があります。

Z相入力は、INT2入力のエッジを検出して行います。エッジの極性はINT2の極性切替ビット($009C_{16}$番地のビット4)で選択できます。Z相のパルス幅は、タイマA3のカウントソースの1周期分以上になるように入力してください。二相パルス(A相、B相)とZ相の関係を図1.13.8に示します。

Z相入力でのカウンタがリセットされるタイミングは、Z相入力を受けた次のカウントソースタイミングになります。カウンタが“0”になるタイミングを図1.13.9に示します。



注1. INT2の立ち上がりエッジを選択したとき。

図1.13.8. 二相パルス(A相、B相)とZ相の関係

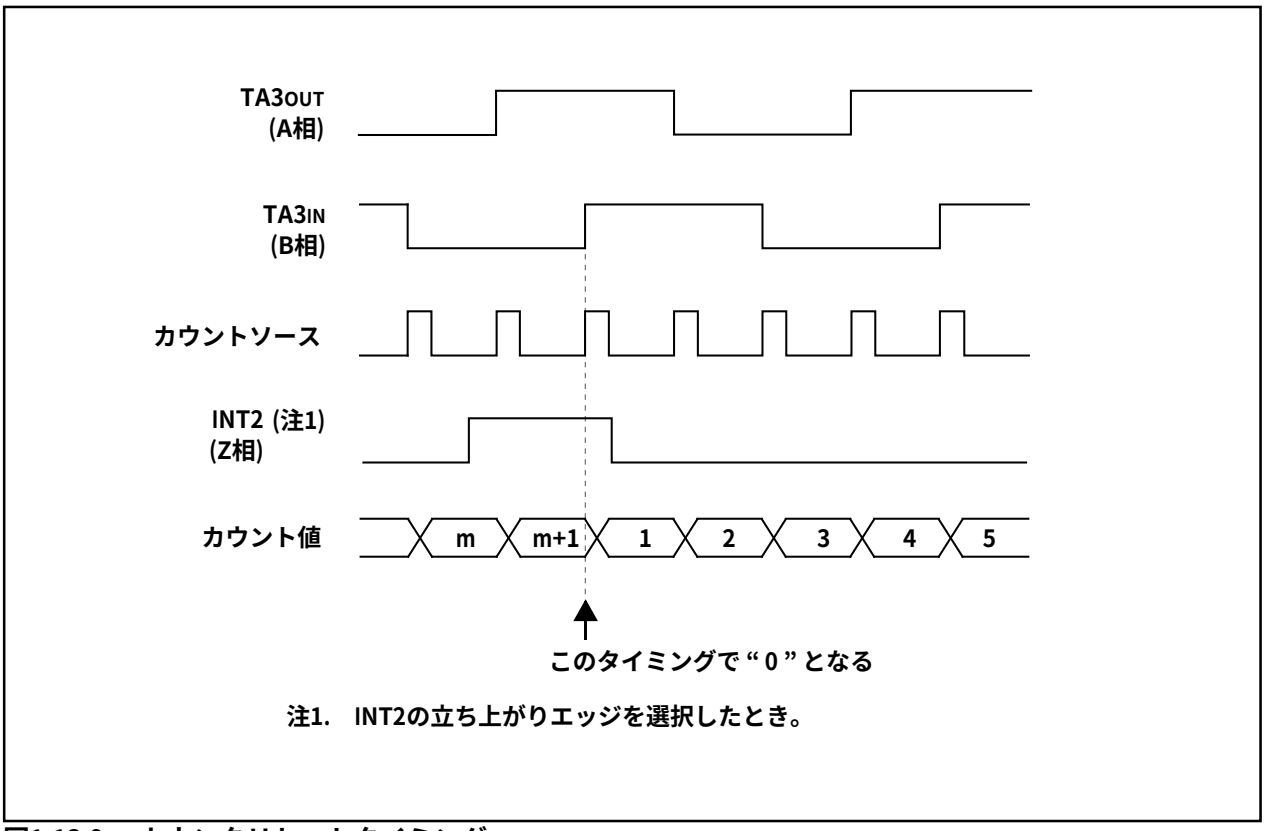


図1.13.9. カウンタリセットタイミング

タイマA3のアンダフロータイミングとINT2入力によるリロードのタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので注意が必要です。

本機能使用時はタイマA3の割り込み要求は使用しないでください。

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.13.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.13.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.13.4. ワンショットタイマモードの仕様

項　目	仕　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント ●カウントの値が0000₁₆になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000₁₆になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0356₁₆～035A₁₆番地	00000X00₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		—	—
MR1	外部トリガ選択ビット(注1)	0 : TAiIN端子の入力信号の立ち下がり(注2) 1 : TAiIN端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	0 : ワンショットタイマモードでは“0”を設定してください		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC32	○	○
TCK1			○	○

注1. イベント/トリガ選択ビット(0342₁₆, 0343₁₆番地)でTAiIN端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

図1.13.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.13.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.13.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.13.12に16ビットパルス幅変調器の動作例、および図1.13.13に8ビットパルス幅変調器の動作例を示します。

表1.13.5. パルス幅変調モードの仕様

項　目	仕　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fi　n:設定値 ●周期　$(2^{16}-1)$ / fi固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fi　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^{8}-1)\times(m+1)$ / fi　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAi_{IN}端子機能	プログラマブル入出力ポート、またはトリガ入力
TAi_{OUT}端子機能	パルス出力 (対応する機能選択レジスタA、機能選択レジスタBでTAi_{OUT}出力を選択)
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0356_{16}～$035A_{16}$番地	$00000X00_2$

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	このビットは80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		–	–
MR1	外部トリガ選択ビット(注1)	0 : TA_{IIN}端子の入力信号の立ち下がり(注2) 1 : TA_{IIN}端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. イベント/トリガ選択ビット(0342_{16}, 0343_{16}番地)でTA_{IIN}端子を選択したときだけ有効。
タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

図1.13.11. パルス幅変調モード時のタイマAiモードレジスタの構成

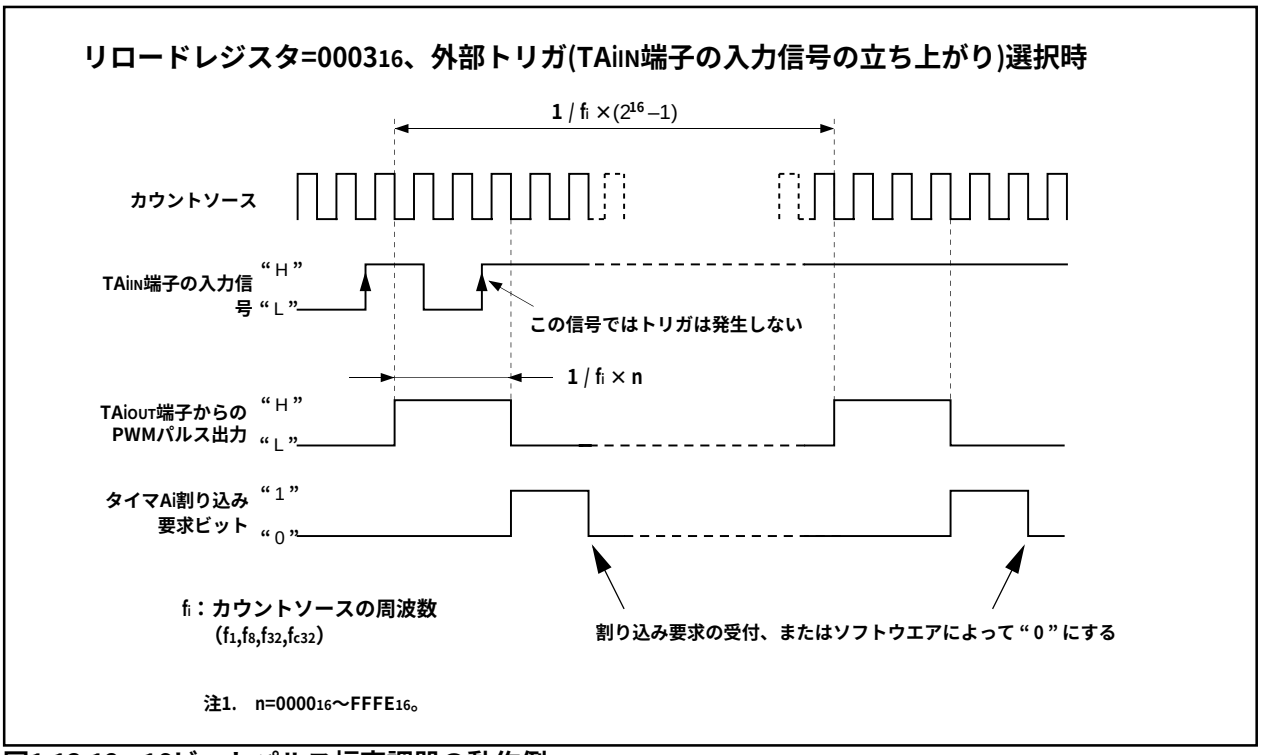


図1.13.12. 16ビットパルス幅変調器の動作例

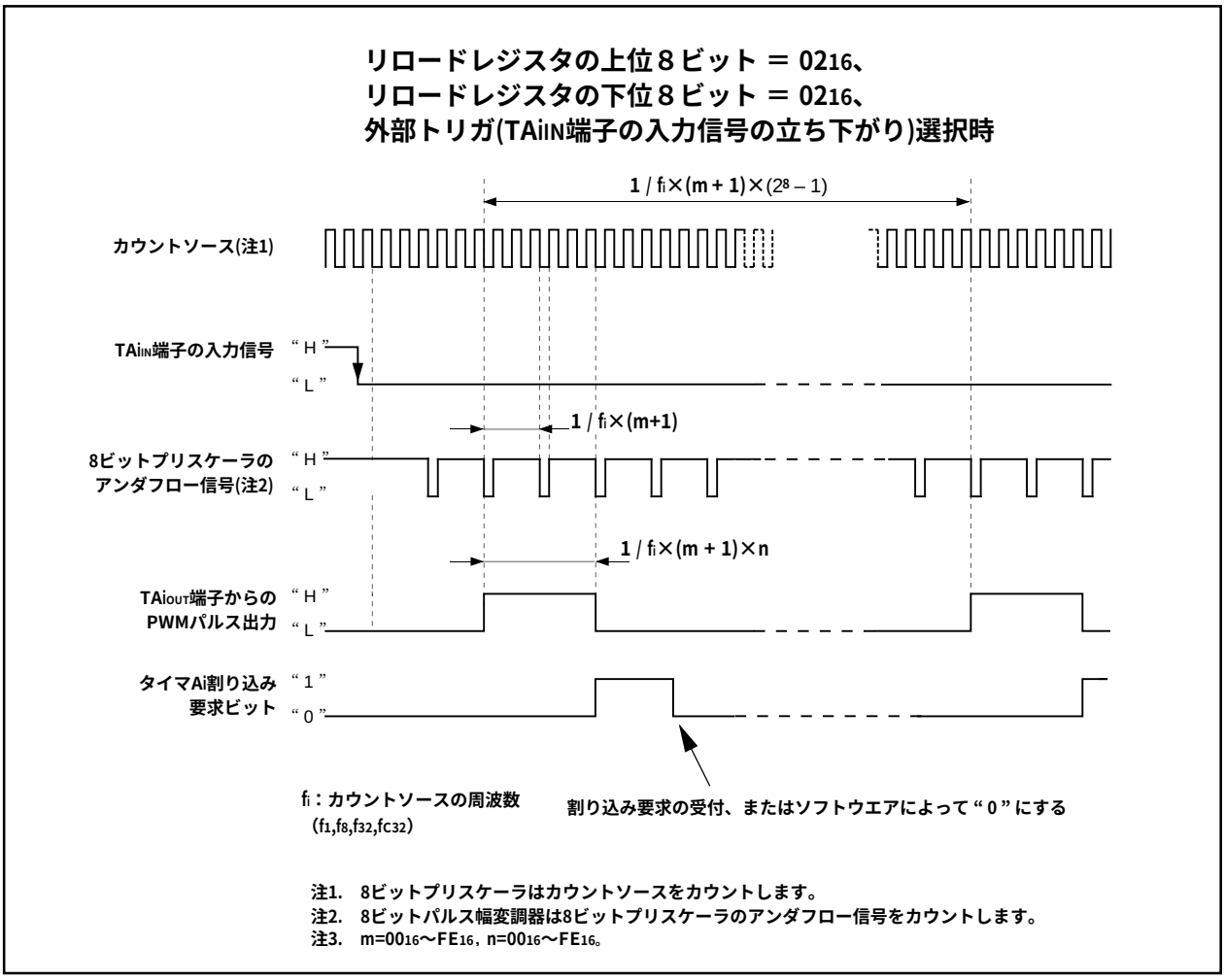


図1.13.13. 8ビットパルス幅変調器の動作例

タイマB

図1.14.1にタイマBのブロック図を、図1.14.2、図1.14.3にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～5)のビット0とビット1で選択できます。

- ・タイマモード　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・パルス周期測定／パルス幅測定モード　　外部パルスの周期またはパルス幅を測定するモード

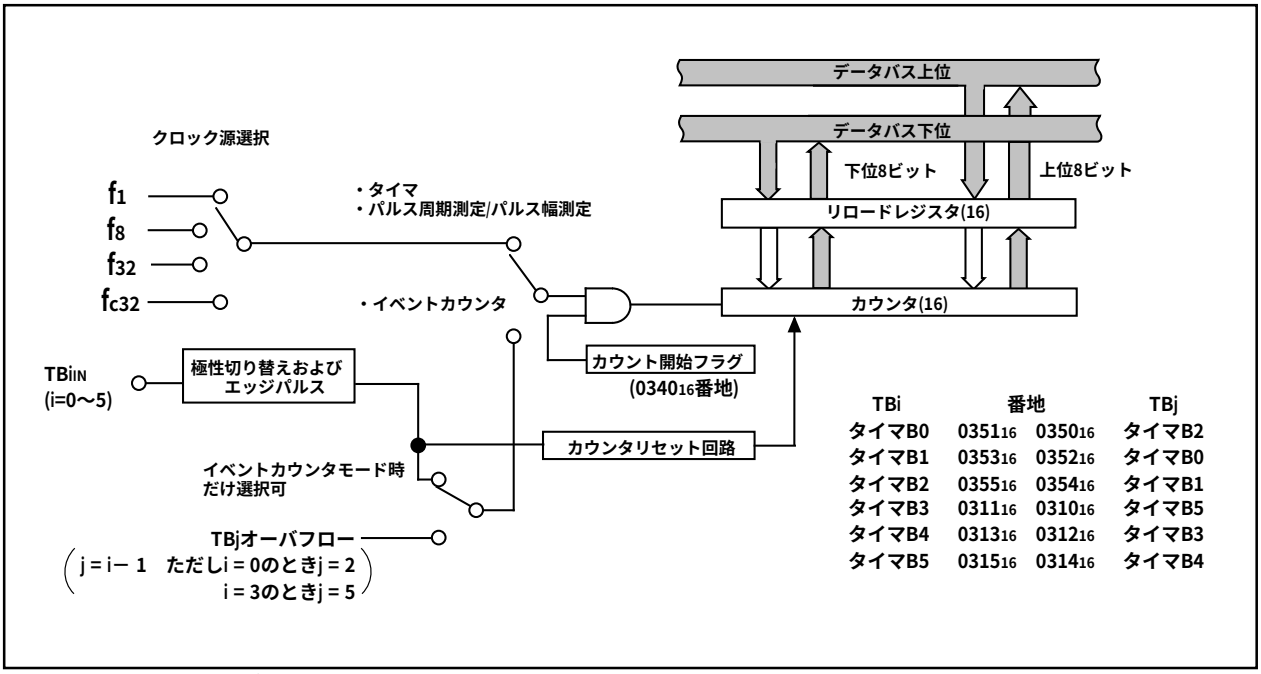
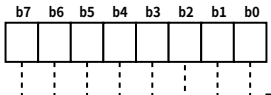


図1.14.1. タイマＢブロック図

タイマBiモードレジスタ



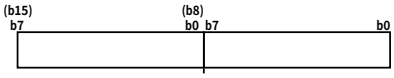
シンボル	アドレス	リセット時
TBiMR(i=0～5)	035B₁₆～035D₁₆番地 031B₁₆～031D₁₆番地	00XX0000₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.14.2. タイマB関連レジスタ(1)

タイマBiレジスタ(注1)

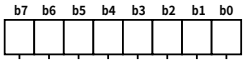


シンボル	アドレス	リセット時
TB0	0351_{16},0350_{16}番地	不定
TB1	0353_{16},0352_{16}番地	不定
TB2	0355_{16},0354_{16}番地	不定
TB3	0311_{16},0310_{16}番地	不定
TB4	0313_{16},0312_{16}番地	不定
TB5	0315_{16},0314_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

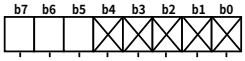
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0340_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

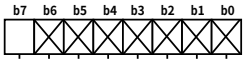
タイマB3,4,5カウント開始フラグ



シンボル	アドレス	リセット時
TBSR	0300_{16}番地	$000XXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“不定”。			—	—
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウント開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0341_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“0”)	○	○

図1.14.3.　タイマＢ関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.14.1)。図1.14.4にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.14.1. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	$035B_{16}$～$035D_{16}$番地 $031B_{16}$～$031D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”に固定(i=0, 3)。		○(注1)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.14.4. タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表1.14.2)。タイマBiレジスタの構成を図1.14.5に示します。

表1.14.2. イベントカウンタモードの仕様

項　目	仕　様
カウントソース	●TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可 ●TBiのオーバフローおよびアンダフロー
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力(対応する機能選択レジスタAを入出力ポートに設定)またはプログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット時
TBiMR(i=0～5)	035B16～035D16番地 031B16～031D16番地	00XX00002

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0 : イベントカウンタモードでは“0”に固定(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その値は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注4) 1 : TBjのオーバフロー (j = i − 1　ただしi = 0のときj = 2 i = 3のときj = 5)	○	○

注1. TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバフローを選択したときは、“0”でも“1”でも可。
注2. タイマB0、タイマB3。
注3. タイマB1、タイマB2、タイマB4、タイマB5。
注4. 対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

図1.14.5. イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.14.3)。図1.14.6にパルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成、図1.14.7にパルス周期測定時の動作図、および図1.14.8にパルス幅測定時の動作図を示します。

表1.14.3. パルス周期測定／パルス幅測定モードの仕様

項　目	仕　様
カウントソース	f_1, f_8, f_{32}, fc_{32}
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000_{16}”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。カウント開始フラグが“1”の状態で、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うとタイマBiオーバフローフラグは“0”になります。)
$TBiIN$端子機能	測定パルス入力(対応する機能選択レジスタAを入出力ポートに設定)
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
注2. カウント開始後２回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット時
TBiMR(i=0～5)	$035B_{16}$～$035D_{16}$番地 $031B_{16}$～$031D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 （測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定 （測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定 （測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“0”を設定してください(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		×(注3)	×
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	○	○
TCK1			○	○

注1. リセット時は不定です。
カウント開始フラグが“1”の状態で、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うとタイマBiオーバフローフラグは“0”になります。このフラグをソフトウエアで“1”にすることはできません。
注2. タイマB0、タイマB3。
注3. タイマB1、タイマB2、タイマB4、タイマB5。

図1.14.6. パルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成

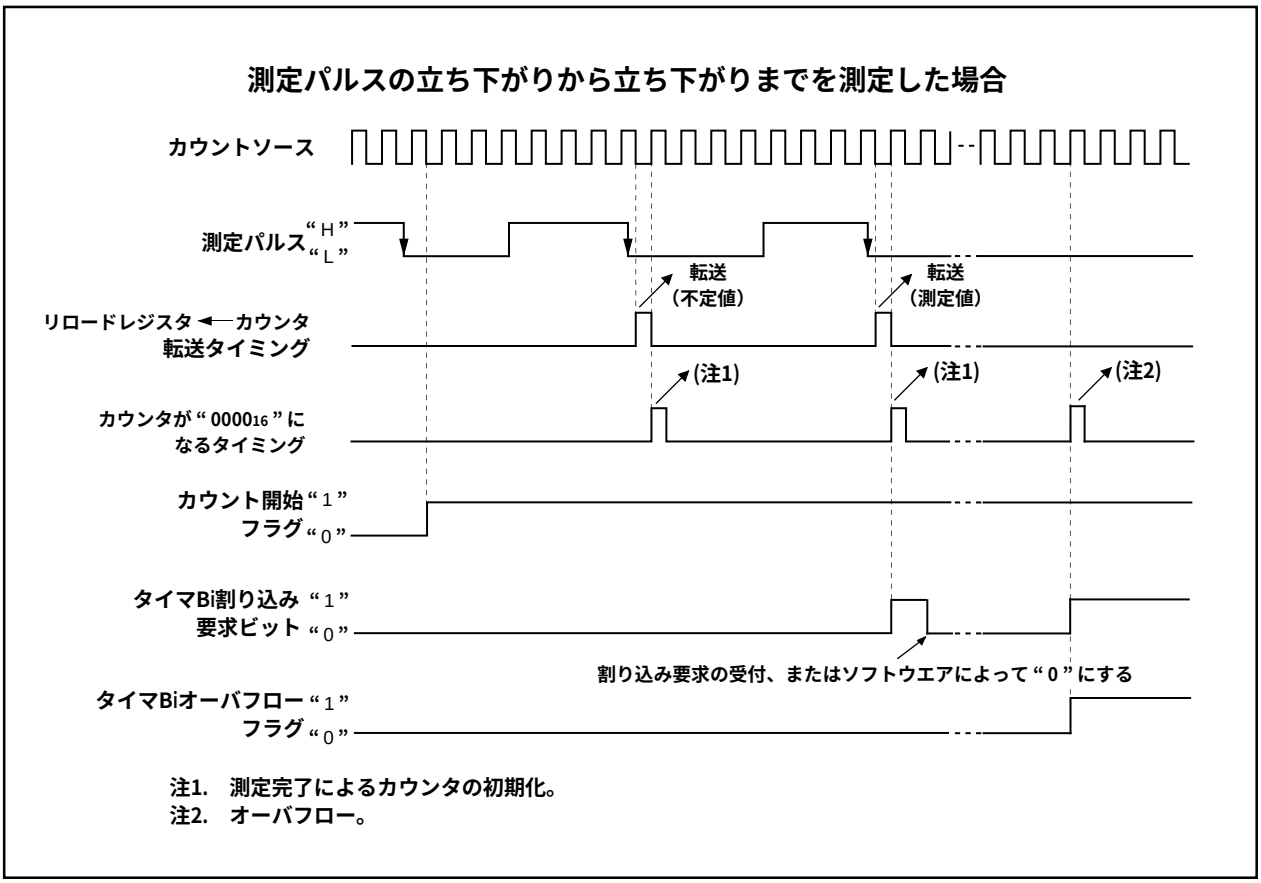


図1.14.7. パルス周期測定時の動作図

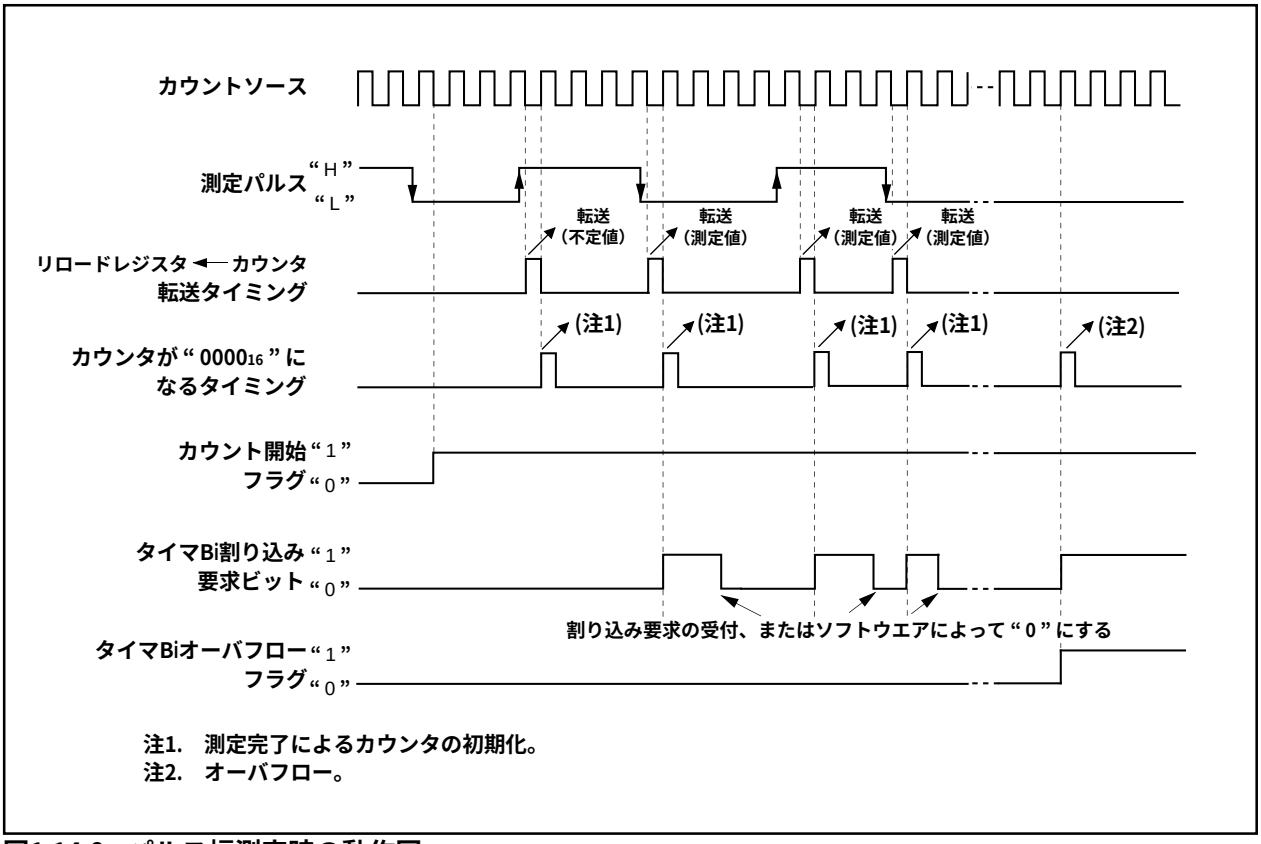


図1.14.8. パルス幅測定時の動作図

三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。
図1.15.1～図1.15.3に三相モータ制御用タイマ関連のレジスタを示します。

三相PWM制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
INVC0	030_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
INV00	割り込み有効出力極性選択ビット	0 : タイマA1リロード制御信号が "1"の時タイマB2割り込み発生 1 : タイマA1リロード制御信号が "0"の時タイマB2割り込み発生 三相モード1のときだけ有効	○	○
INV01	割り込み有効出力指定ビット(注4)	0 : 指定なし 1 : 割り込み有効出力極性選択ビットにより選択 三相モード1のときだけ有効	○	○
INV02	モード選択ビット(注2)	0 : 通常モード 1 : 三相PWM出力モード	○	○
INV03	出力制御ビット	0 : 出力禁止 1 : 出力許可	○	○
INV04	正逆相同時アクティブ出力禁止機能許可ビット	0 : 機能禁止 1 : 機能許可	○	○
INV05	正逆相同時アクティブ出力検出フラグ	0 : 未検出 1 : 検出	○	○ (注1)
INV06	変調モード選択ビット(注3)	0 : 三角波変調モード 1 : 鋸波変調モード	○	○
INV07	ソフトウエアトリガビット	1 : トリガ発生 読み出し時の値は "0"	○	○

注1. “0”だけ書き込み可。
注2. 三相PWM出力モードに設定することにより、短絡防止時間設定タイマやU, V, W相出力制御回路、タイマB2割り込み頻度設定回路が動作する。$P8_0$, $P8_1$, $P7_2$～$P7_5$をU, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$出力にするには、機能選択レジスタA、機能選択レジスタB、機能選択レジスタCの設定が必要です。
注3. 三角波変調モード時 : 短絡防止タイマはタイマAi出力の立ち下がりに同期してスタート。
三相出力バッファレジスタから三相出力シフトレジスタへのデータ転送は三相出力バッファレジスタへの書き込み実施後、転送トリガ信号に同期し一回のみ行われる。
鋸波変調モード時 : 短絡防止タイマはタイマA出力の立ち下がりと転送トリガ信号に同期してスタート。
三相出力バッファレジスタから三相出力シフトレジスタへのデータ転送は転送トリガ信号ごとに行われる。
注4. 三相PWM制御レジスタ0のビット1(INV01)に“1”を書き込む場合は、タイマB2割り込み発生頻度設定カウンタの内容を設定してから書き込んでください。

三相PWM制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳					

シンボル	アドレス	リセット時
INVC1	0309_{16}番地	$XXX0X000_2$

ビットシンボル	ビット名	機　　能	R	W
INV10	タイマAiスタートトリガ信号選択ビット	0 : タイマB2オーバフロー信号 1 : タイマB2オーバフロー信号、タイマB2への書き込み信号	○	○
INV11	タイマA1-1, A2-1, A4-1制御ビット	0 : 三相モード0 1 : 三相モード1	○	○
INV12	短絡防止タイマカウントソース選択ビット	0 : f_1 1 : $f_1/2$	○	○
INV13	搬送波状態検出フラグ (注1)	0 : 三角波立ち上がり 1 : 三角波立ち下がり	○	×
INV14	出力極性制御ビット	0 : 出力波形 Lowアクティブ 1 : 出力波形 Highアクティブ	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。。読み出した場合、その値は不定。			–	–

注1. INV13は、三角波変調モード(INV06=“0”)かつ三相モード1(INV11=“1”)のときのみ有効。

図1.15.1. 三相モータ制御用タイマ関連のレジスタ

三相出力バッファレジスタ0(注1)

シンボル	アドレス	リセット時
IDB0	030A16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DU0	U相出力バッファ0	U相出力バッファ0の設定値	○	○
DUB0	$\overline{U}$相出力バッファ0	$\overline{U}$相出力バッファ0の設定値	○	○
DV0	V相出力バッファ0	V相出力バッファ0の設定値	○	○
DVB0	$\overline{V}$相出力バッファ0	$\overline{V}$相出力バッファ0の設定値	○	○
DW0	W相出力バッファ0	W相出力バッファ0の設定値	○	○
DWB0	$\overline{W}$相出力バッファ0	$\overline{W}$相出力バッファ0の設定値	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

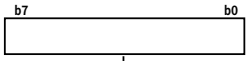
三相出力バッファレジスタ1(注1)

シンボル	アドレス	リセット時
IDB1	030B16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DU1	U相出力バッファ1	U相出力バッファ1の設定値	○	○
DUB1	$\overline{U}$相出力バッファ1	$\overline{U}$相出力バッファ1の設定値	○	○
DV1	V相出力バッファ1	V相出力バッファ1の設定値	○	○
DVB1	$\overline{V}$相出力バッファ1	$\overline{V}$相出力バッファ1の設定値	○	○
DW1	W相出力バッファ1	W相出力バッファ1の設定値	○	○
DWB1	$\overline{W}$相出力バッファ1	$\overline{W}$相出力バッファ1の設定値	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

短絡防止タイマ(注1)

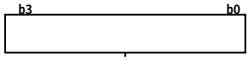


シンボル	アドレス	リセット時
DTT	030C16番地	不定

機　　能	設定可能値	R	W
短絡防止時間の設定	1～255	—	○

注1.　このレジスタへの書き込みはMOV命令を使用してください。

タイマB2割り込み発生頻度設定カウンタ(注1～3)



シンボル	アドレス	リセット時
ICTB2	030D16番地	不定

機　　能	設定可能値	R	W
タイマB2割り込み要求の発生頻度の設定	1～15	—	○

注1. 三相PWM制御レジスタ0のビット1(INV01)の割り込み有効出力指定ビットが“1”で、三相モータ制御用タイマ機能動作中には、タイマB2割り込み発生頻度設定カウンタを書き換えないでください。
注2. タイマB2のオーバフローが発生するタイミングでは書き込みを行わないでください。
注3. このレジスタへの書き込みはMOV命令を使用してください。
注4. このレジスタの設定は、三相PWM制御レジスタ0のビット2(INV02)が“1”のときのみ有効です。

図1.15.2.　三相モータ制御用タイマ関連のレジスタ

タイマAiレジスタ(注1)

(b15) b7 — (b8) b0 b7 — b0

シンボル	アドレス	リセット時
TA1	0349_{16}, 0348_{16}番地	不定
TA2	$034B_{16}$, $034A_{16}$番地	不定
TA4	$034F_{16}$, $034E_{16}$番地	不定
TB2	0355_{16}, 0354_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000_{16}～$FFFF_{16}$ (注2、注3)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。
注2.　タイマAレジスタに“0000_{16}”を設定した場合、カウンタは動作せず、タイマAi割り込みは発生しません。
注3.　このレジスタへの書き込みにはMOV命令を使用してください。

タイマAi-1レジスタ(注1)

(b15) b7 — (b8) b0 b7 — b0

シンボル	アドレス	リセット時
TA11	0303_{16}, 0302_{16}番地	不定
TA21	0305_{16}, 0304_{16}番地	不定
TA41	0307_{16}, 0306_{16}番地	不定

機　　能	設定可能値	R	W
内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TRGSR	0343_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : $TA1_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : $TA2_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／トリガ選択ビット	b5 b4 0 0 : $TA3_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／トリガ選択ビット	b7 b6 0 0 : $TA4_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にしてください。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TABSR	0340_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

図1.15.3.　三相モータ制御用タイマ関連のレジスタ

三相モータ駆動波形出力モード(三相PWM出力モード)

図1.15.1に示す三相PWM制御レジスタ0(0308$_{16}$番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1，A2，A4，B2の4つのタイマを使用する三相PWM出力モードが選択されます。図1.15.4に示すように三相PWM出力モードではタイマA1、A2、A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	1			1	0

シンボル	アドレス	リセット時
TA1MR	0357$_{16}$番地	00000X00$_2$
TA2MR	0358$_{16}$番地	00000X00$_2$
TA4MR	035A$_{16}$番地	00000X00$_2$

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	このビットはM16C/80シリーズでは無効です。 ポート出力制御は機能選択レジスタA, Bの設定で行います。		—	—
MR1	外部トリガ選択ビット	三相PWM出力モードでは無効	○	○
MR2	トリガ選択ビット	1 : イベント/トリガ選択レジスタ により選択	○	○
MR3	0 : ワンショットタイマモードでは“0”を設定してください		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	○	○
TCK1			○	○

タイマB2モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
			0			0	0

シンボル	アドレス	リセット時
TB2MR	035D$_{16}$番地	00XX0000$_2$

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”を設定してください		○	○
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	○	○
TCK1			○	○

図1.15.4.　三相PWM出力モード時のタイマモードレジスタ

三相PWM出力モード時のブロック図を図1.15.5に示します。三相PWM出力モードの出力極性“L”アクティブ時においては正相波形(U相、V相、W相)および逆相波形($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)の6つの波形が$P8_0$, $P8_1$, $P7_2$, $P7_3$, $P7_4$, $P7_5$から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、$\overline{U}$相、タイマA1はV相、$\overline{V}$相、タイマA2はW相、$\overline{W}$相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1～255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ($030C_{16}$番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(0309_{16}番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が00_{16}になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相PWM出力モードにおける正相波形(U相、V相、W相)とその逆相波形($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)は三相PWM制御レジスタ0(0308_{16}番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはハイインピーダンス状態になります。このビットは、命令で“0”にする以外に、$\overline{NMI}$入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と$\overline{U}$相、V相と$\overline{V}$相、W相と$\overline{W}$相のいずれかが同時に“L”になることでポートはハイインピーダンス状態になります。

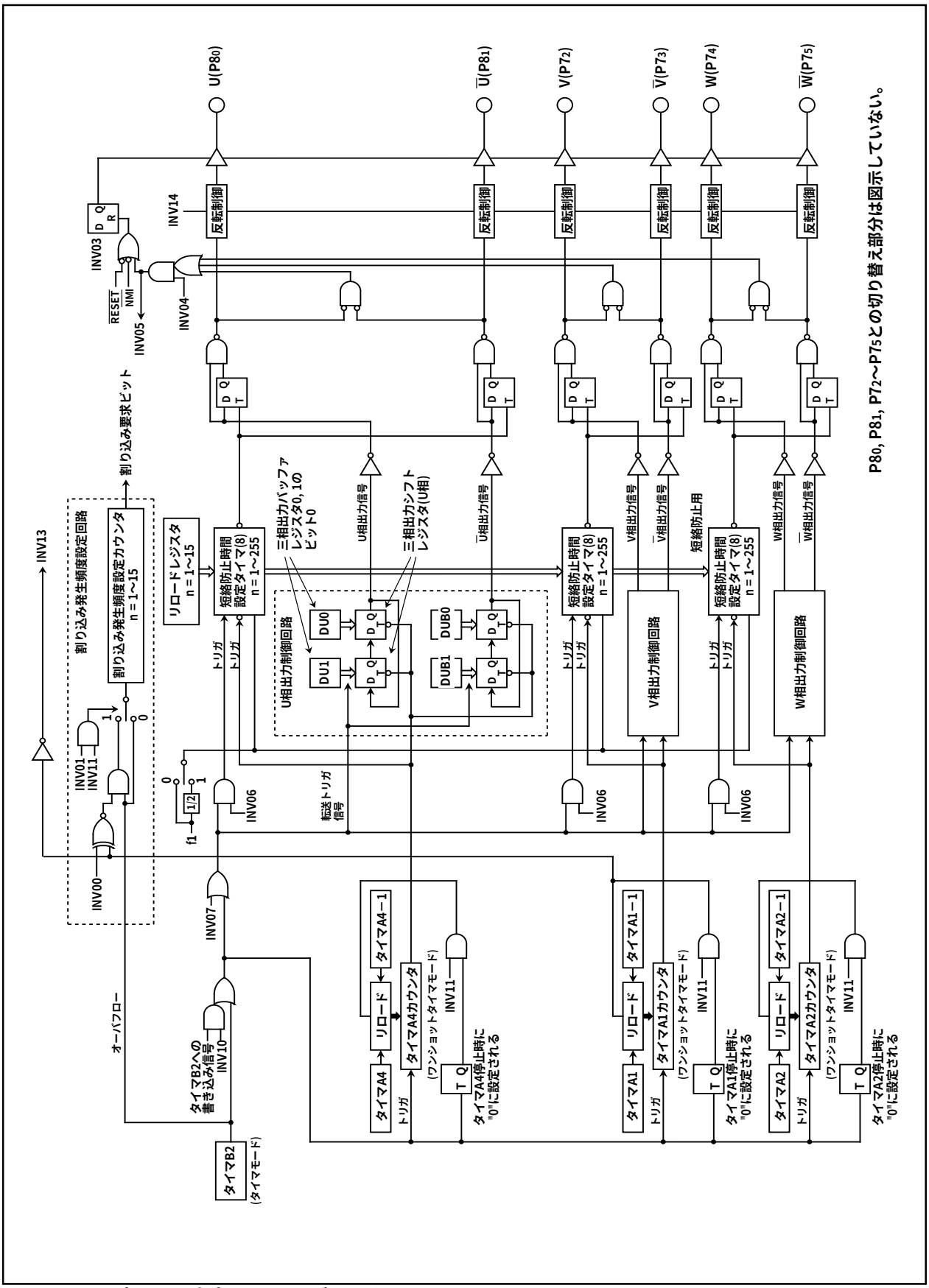


図1.15.5.　三相PWM出力モードのブロック図

三角波変調

三角波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0308$_{16}$番地)の変調モード選択ビット(ビット6)を“0”に設定します。そして、三相PWM制御レジスタ1(0309$_{16}$番地)のタイマA4-1、 A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000$_{16}$になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0308$_{16}$番地)の割り込み有効出力指定ビット(ビット1)が“0”であれば、タイマB2のカウンタの値が0000$_{16}$になるごとに発生する割り込み要求の発生頻度をタイマB2割り込み発生頻度設定カウンタ(030D$_{16}$番地)によって設定できます。発生頻度は(設定値 ; 設定値≠0)で与えられます。

また、三相PWM制御レジスタ0(0308$_{16}$番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0308$_{16}$番地)の割り込み有効出力極性選択ビット(ビット0)で行います。

次に、U相波形の一例を図1.15.6に示し、波形出力動作を説明します。三相出力バッファレジスタ0(030A$_{16}$番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(030B$_{16}$番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000$_{16}$になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”にして、割り込み有効出力極性選択ビットを“0”にし、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000$_{16}$になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ($\overline{\text{U}}$相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000$_{16}$になってもシフトレジスタへの設定はされません。

U端子(P8$_0$)にはDU0の値が、$\overline{\text{U}}$端子(P8$_1$)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(034F$_{16}$番地、034E$_{16}$番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、 U相出力信号にはDU1の値が、$\overline{\text{U}}$相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である$\overline{\text{U}}$相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000$_{16}$になるとタイマA4のカウンタがタイマA4-1(0307$_{16}$番地、0306$_{16}$番地)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相である$\overline{\text{U}}$相波形は$\overline{\text{U}}$相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{\text{U}}$相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相である$\overline{\text{V}}$相、$\overline{\text{W}}$相についても、それに対応したタイマで同様に動作し、波形が発生します。

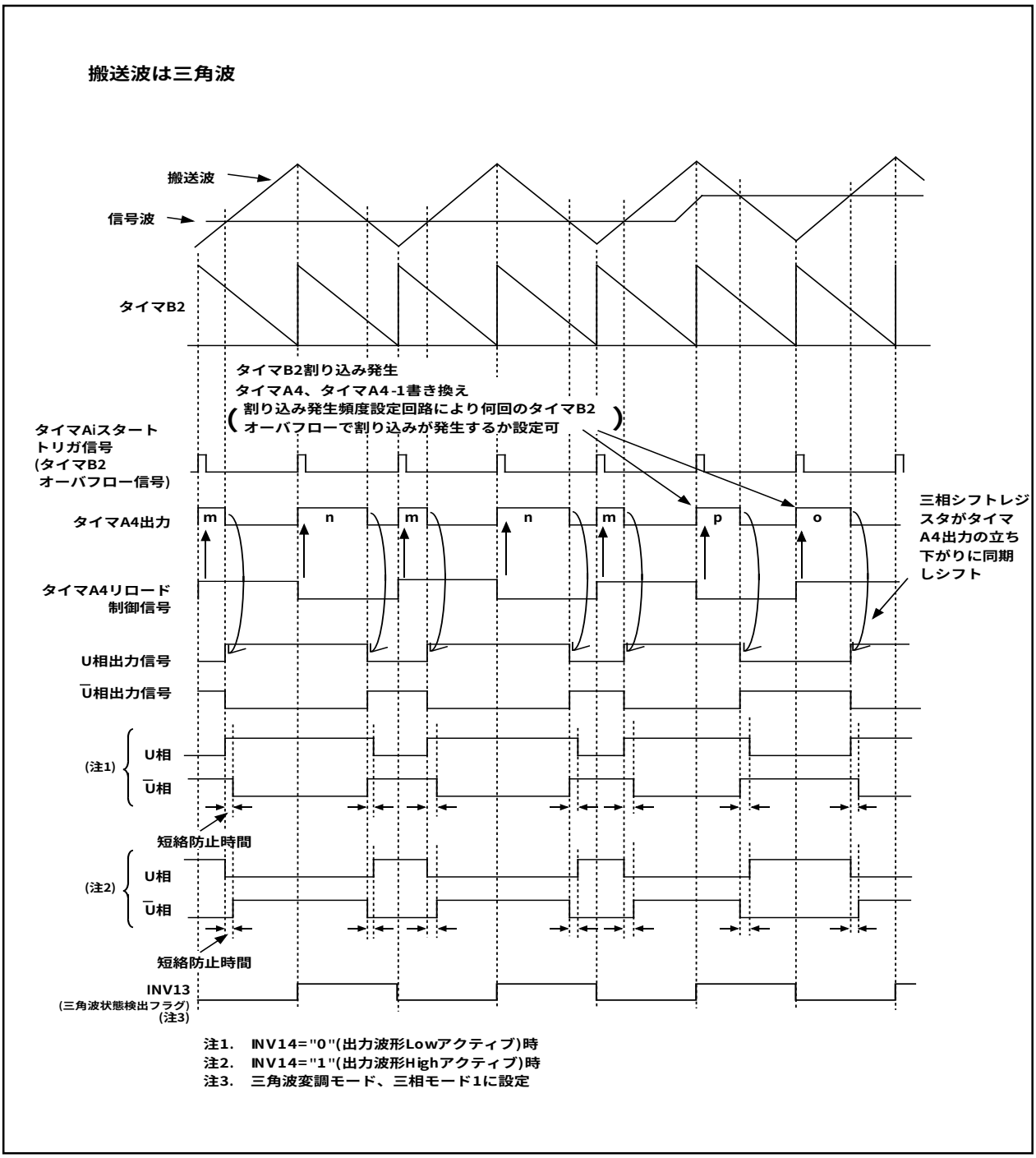


図1.15.6.　動作タイミング図(1)

また、三相出力バッファレジスタ0(030A16番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(030B16番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図1.15.7のような、U相のみ出力、$\overline{U}$相は“H”固定、またはU相は“H”固定、$\overline{U}$相のみ出力の波形を出力することができます。

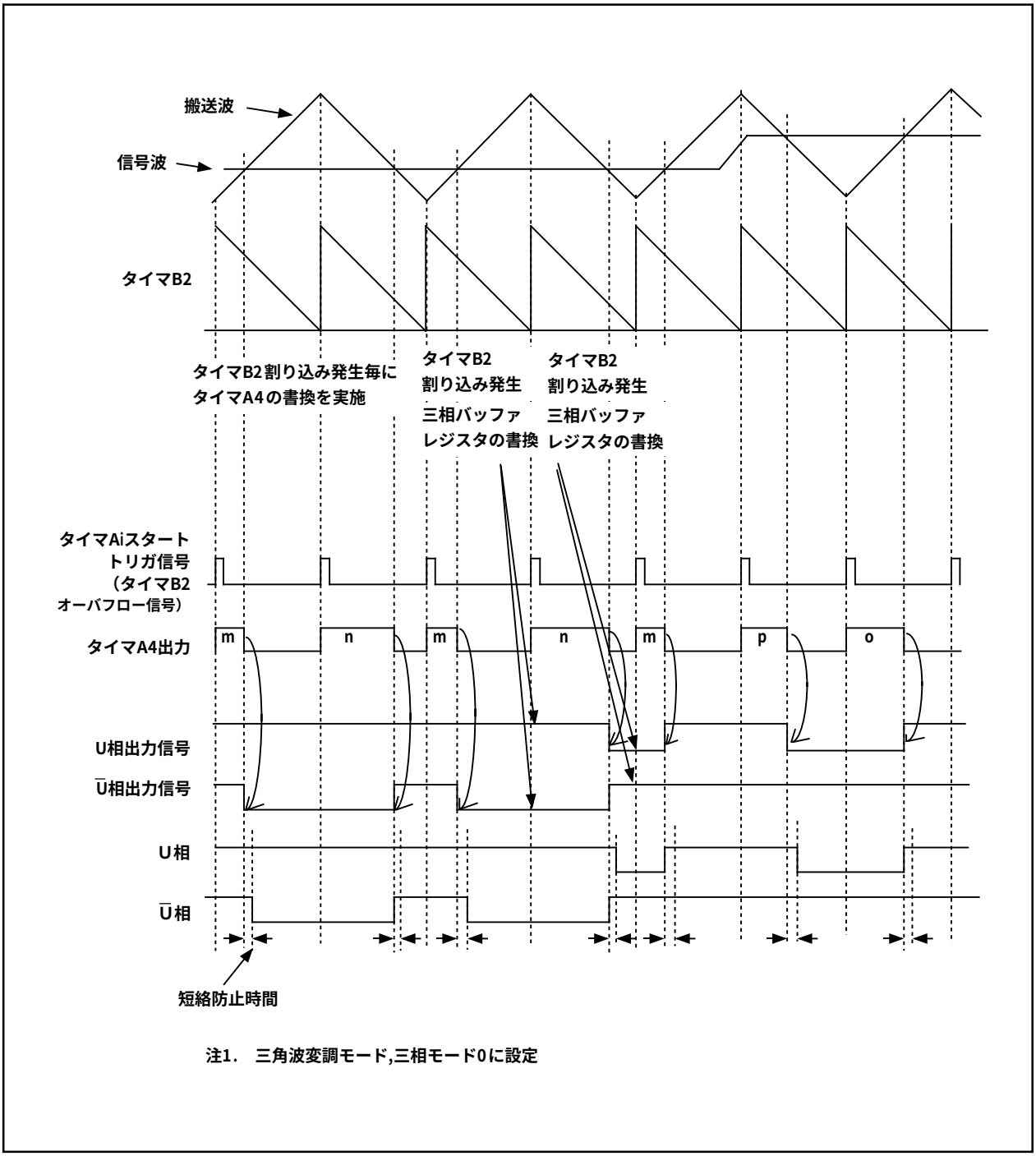


図1.15.7. 動作タイミング図(2)

鋸波変調

鋸波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0308$_{16}$番地)の変調モード選択ビット(ビット6)を“1”に設定します。そして、三相PWM制御レジスタ1(0309$_{16}$番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、タイマA4、A1、A2のタイマレジスタは従来のタイマA4，A1，A2のみで、タイマB2のカウンタの内容が0000$_{16}$になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0308$_{16}$番地)の割り込み有効出力指定ビット(ビット1)や割り込み有効出力極性選択ビット(ビット0)は無効になります。

次に、U相波形の一例を図1.15.8に示し、波形出力動作を説明します。三相出力バッファレジスタ0(030A$_{16}$番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(030B$_{16}$番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。

タイマB2のカウンタの内容が0000$_{16}$になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\overline{U}$相)に設定されます。以降タイマB2のカウンタの内容が0000$_{16}$になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P8$_0$)にはDU0の値が、$\overline{U}$端子(P8$_1$)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(034F$_{16}$番地、034E$_{16}$番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、$\overline{U}$相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である$\overline{U}$相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000$_{16}$になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\overline{U}$相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である$\overline{U}$相波形は$\overline{U}$相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{U}$相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である$\overline{V}$相、$\overline{W}$相についても、それに対応したタイマで同様に動作し、波形が発生します。

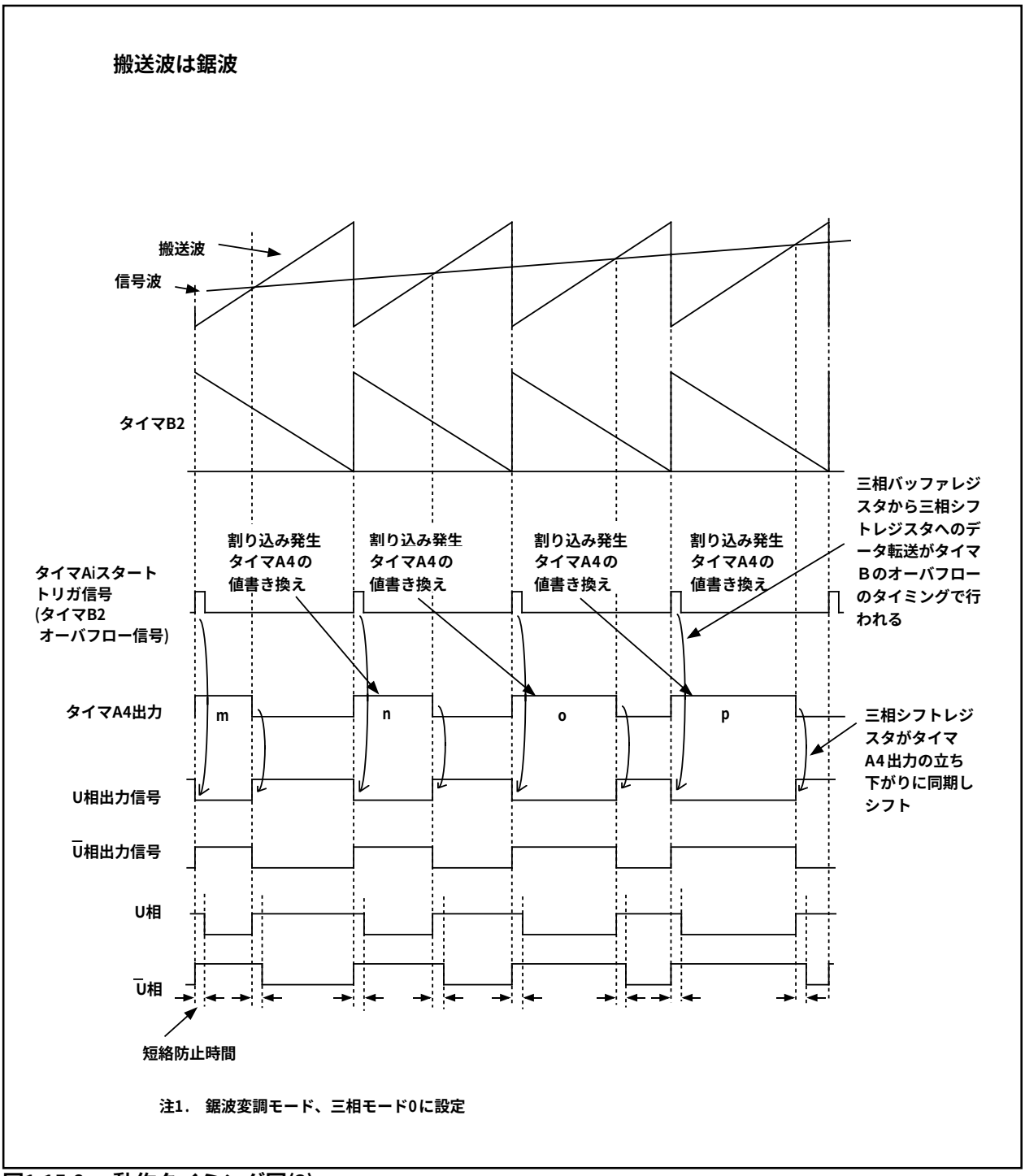


図1.15.8. 動作タイミング図(3)

また、三相出力バッファレジスタ0(030A16番地)のビット1(DUB0)と三相出力バッファレジスタ1(030B16番地)のビット1(DUB1)をともに“1”に設定することにより、図1.15.9のようにU相のみ出力し、$\overline{U}$相を“H”出力固定にすることもできます。

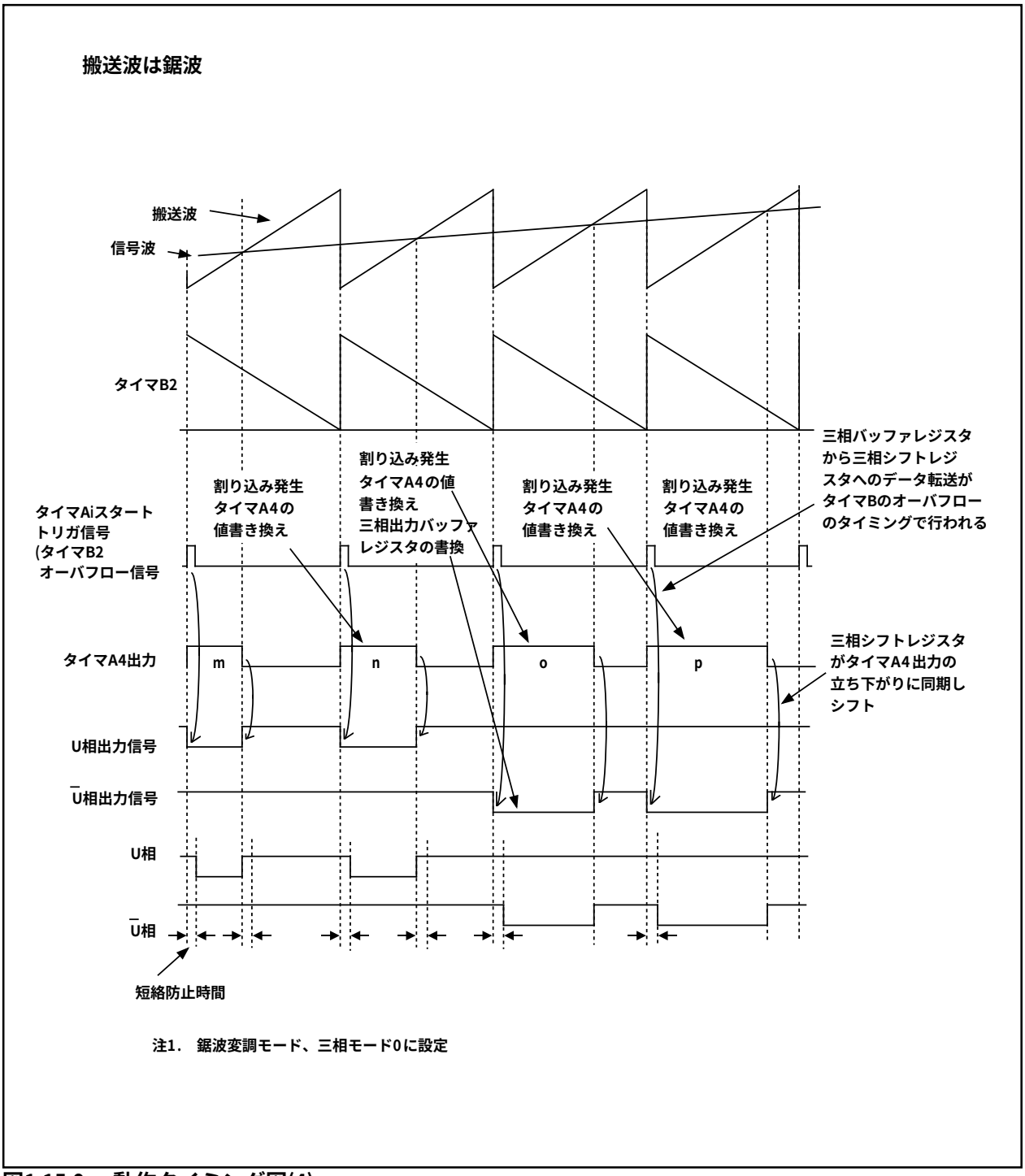


図1.15.9. 動作タイミング図(4)

シリアルI/O

シリアルI/Oは、UART0～UART4の5チャネルで構成しています。
次にそれぞれについて説明します。

UART0～4

UART0～UART4はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.16.1、図1.16.2にUARTi(i=0～4)のブロック図を、図1.16.3、図1.16.4に送受信部のブロック図を示します。

UARTi(i=0～4)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット0～ビット2)の内容で選択します。

UART0～UART4は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2～UART4は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1.　SIM：Subscriber Identity Module

表1.16.1にUART0～UART4の機能比較を、図1.16.5～図1.16.11に、UARTi関連のレジスタを示します。

表1.16.1.　UART0～UART4の機能比較

機　　能	UART0	UART1	UART2	UART3	UART4
CLK極性選択	可 (注1)	可 (注1)	可 (注1)	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)	可 (注2)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	可 (注1)	不可	不可	不可
$\overline{\text{CTS}}$/RTS分離	可	不可	不可	不可	不可
シリアルデータ論理切り替え	不可	不可	可 (注4)	可 (注4)	可 (注4)
スリープモード選択	可 (注3)	可 (注3)	不可	不可	不可
TxD、RxD入出力極性切り替え	不可	不可	可	可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャネルオープンドレイン出力	CMOS出力	CMOS出力
パリティエラー信号出力	不可	不可	可 (注4)	可 (注4)	可 (注4)
バス衝突検出	不可	不可	可	可	可

注1.　クロック同期形シリアルI/Oモード時に選択できます。
注2.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。
注3.　UARTモード時に選択できます。
注4.　SIMインタフェース対応。

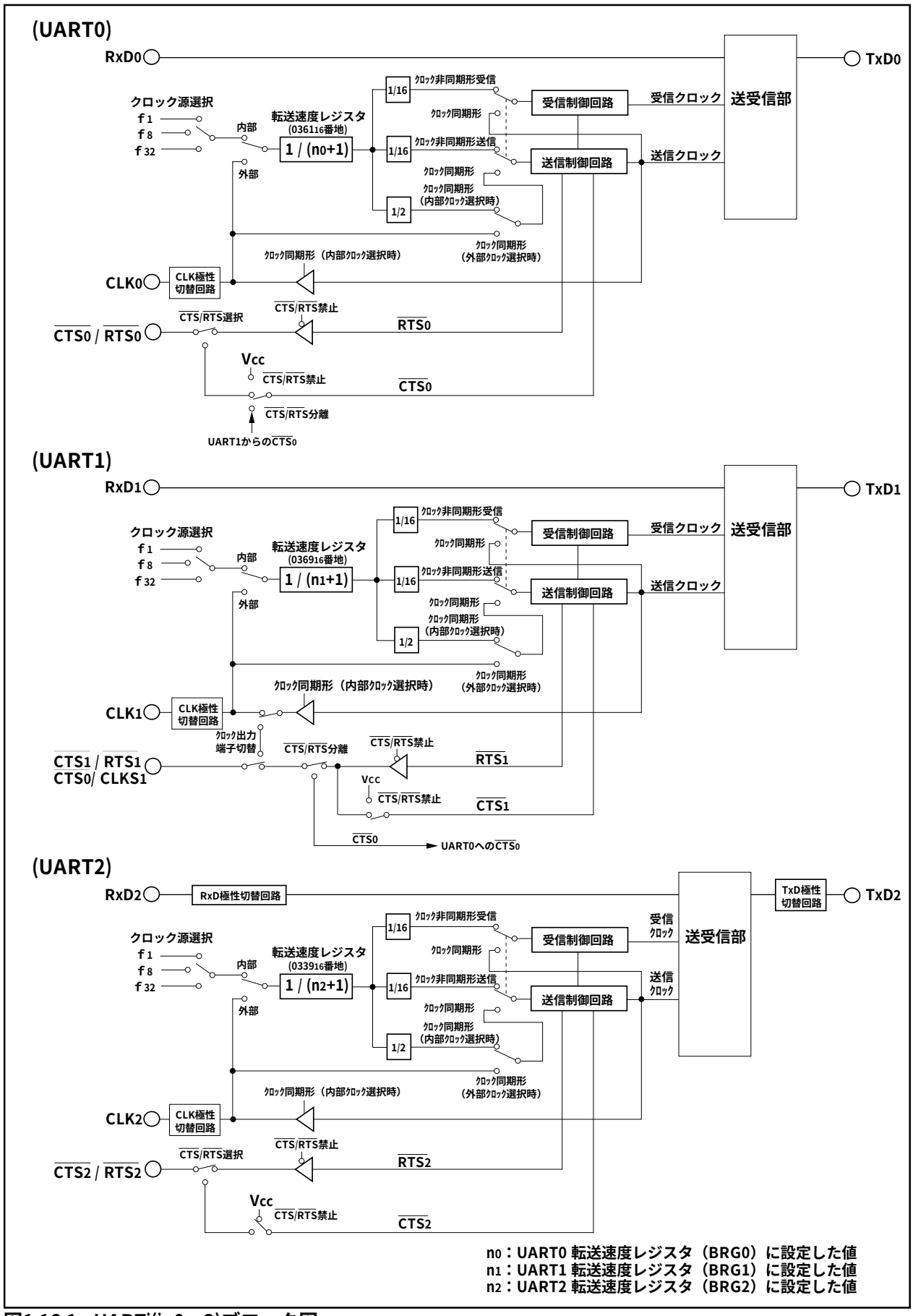


図1.16.1. UARTi(i=0～2)ブロック図

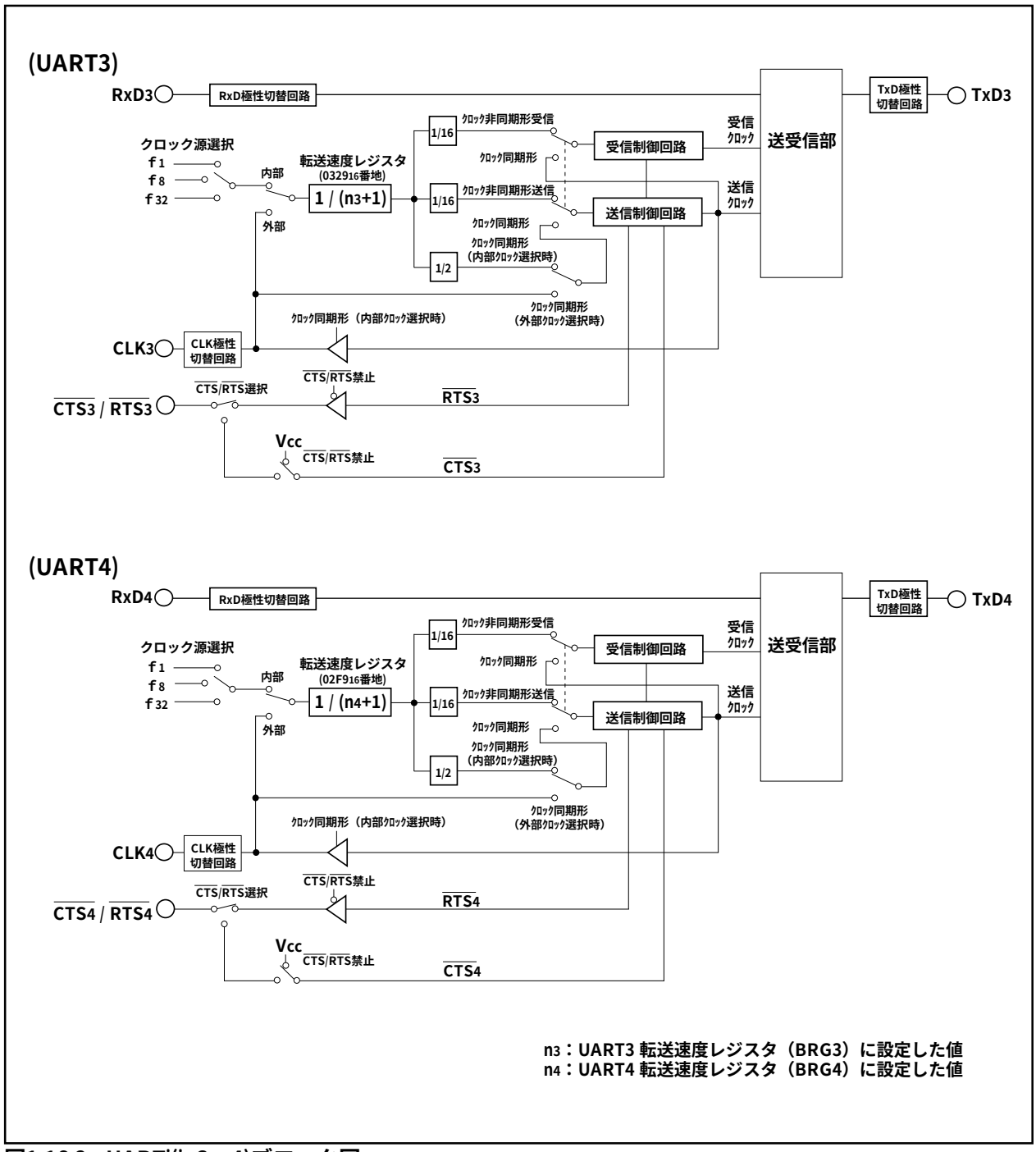


図1.16.2. UARTi(i=3、4)ブロック図

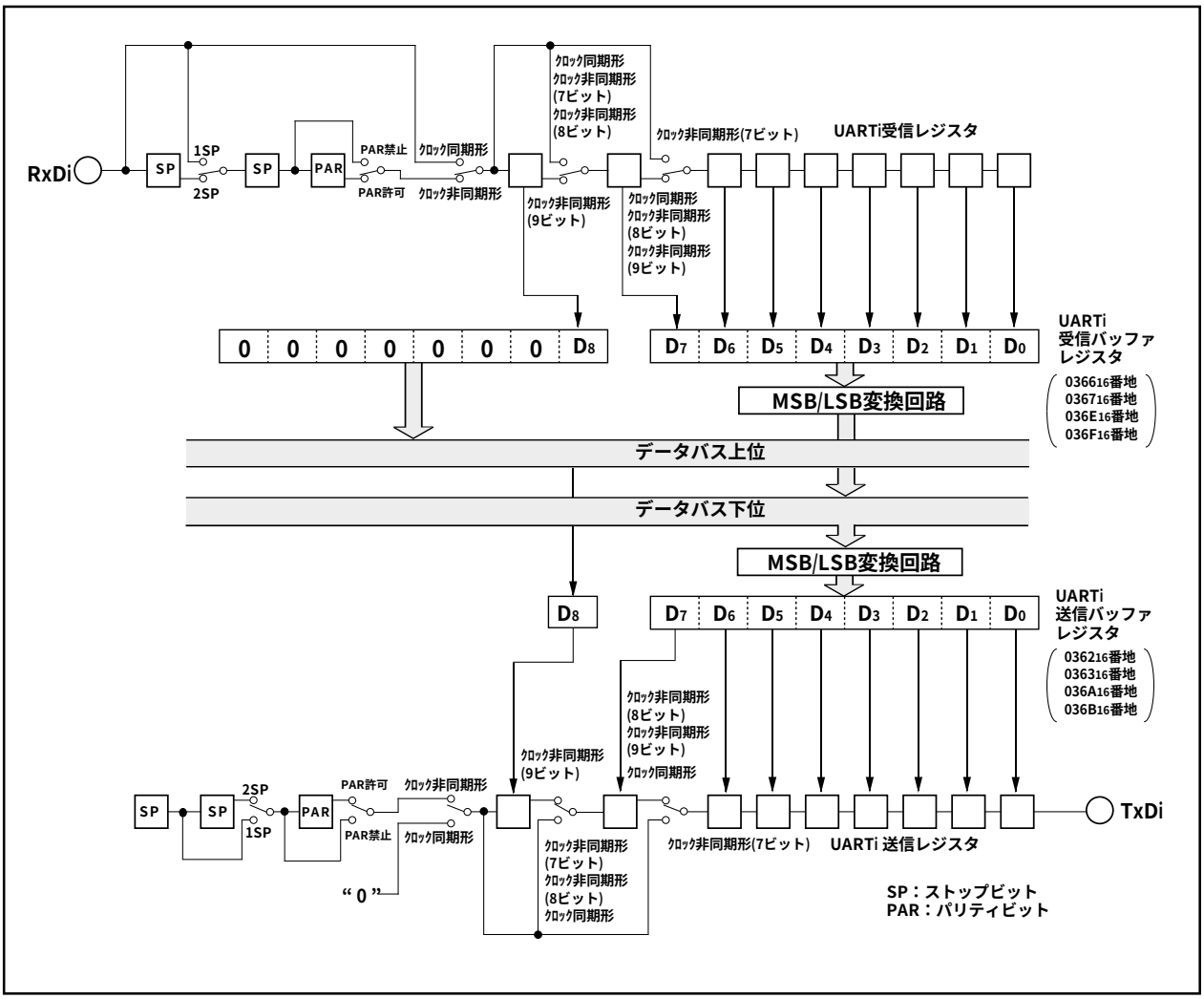


図1.16.3. UARTi(i=0, 1)送受信部ブロック図

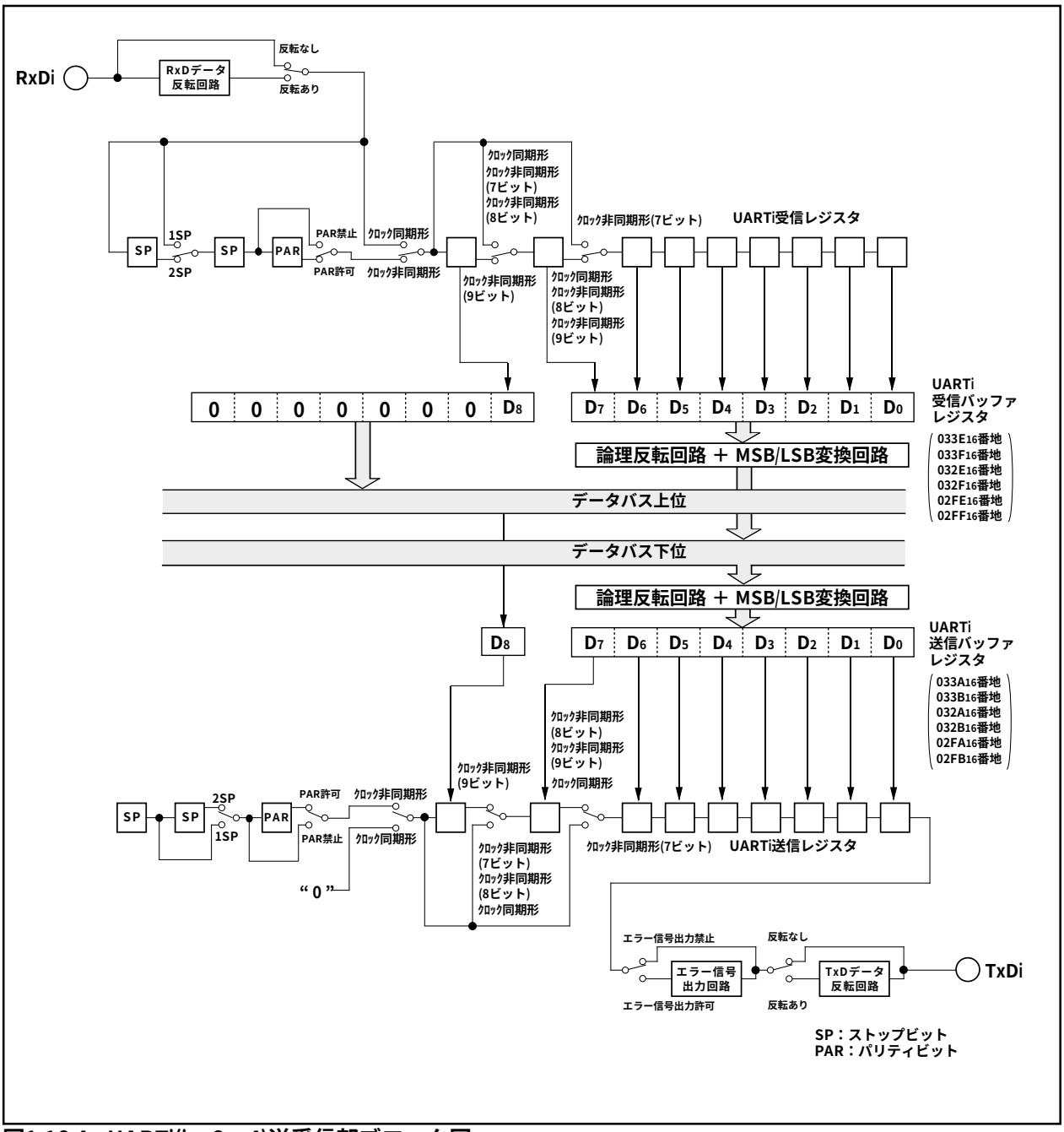
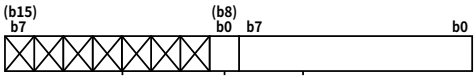


図1.16.4. UARTi(i = 2～4)送受信部ブロック図

UARTi送信バッファレジスタ(注1)

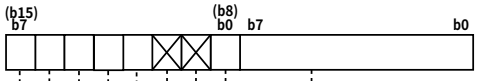


シンボル	アドレス	リセット時
U0TB	0363_{16}、0362_{16}番地	不定
U1TB	$036B_{16}$、$036A_{16}$番地	不定
U2TB	$033B_{16}$、$033A_{16}$番地	不定
U3TB	$032B_{16}$、$032A_{16}$番地	不定
U4TB	$02FB_{16}$、$02FA_{16}$番地	不定

機　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

注1.　このレジスタへの書き込みはMOV命令を使用してください。

UARTi受信バッファレジスタ



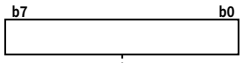
シンボル	アドレス	リセット時
U0RB	0367_{16}、0366_{16}番地	不定
U1RB	$036F_{16}$、$036E_{16}$番地	不定
U2RB	$033F_{16}$、$033E_{16}$番地	不定
U3RB	$032F_{16}$、$032E_{16}$番地	不定
U4RB	$02FF_{16}$、$02FE_{16}$番地	不定

ビットシンボル	ビット名	機　能 (クロック同期形 シリアルI/Oモード時)	機　能 (クロック非同期形 シリアルI/Oモード時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ (注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　シリアルI/Oモード選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト(0366_{16}、$036E_{16}$、$033E_{16}$、$032E_{16}$、$02FE_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RB、U3RB、U4RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	0361_{16}番地	不定
U1BRG	0369_{16}番地	不定
U2BRG	0339_{16}番地	不定
U3BRG	0329_{16}番地	不定
U4BRG	$02F9_{16}$番地	不定

機　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　このレジスタへの書き込みはMOV命令を使用してください。
注2.　値を書き込む場合は、送受信停止中に書き込んでください。

図1.16.5.　UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0, 1)	0360_{16}, 0368_{16}番地	00_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック (注1) 1 : 外部クロック (注2)	0 : 内部クロック 1 : 外部クロック (注2)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでCLK出力を選択してください。
注2. 対応する機能選択レジスタAを入出力ポートに設定してください。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i = 2～4)	0338_{16}, 0328_{16}, $02F8_{16}$番地	00_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 に固定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 使用禁止 1 1 1 : 使用禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 使用禁止 0 1 1 : 使用禁止 1 1 1 : 使用禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック (注2) 1 : 外部クロック (注3)	0 : 内部クロック 1 : 外部クロック(注3)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

注1. IICモード使用時、ビット2～ビット0は“010_2”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでCLK出力を選択してください。
注3. 対応する機能選択レジスタAを入出力ポートに設定してください。

図1.16.6. UARTi関連のレジスタ (2)

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiC0(i=0, 1)	036_{16}, $036C_{16}$番地	08_{16}

ビットシンボル	ビット名	機能(クロック同期形シリアルI/Oモード時)	機能(クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”に固定してください	○	○

注1. 対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは“0”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタBでRTS出力を選択してください。

UART2送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		╳					

シンボル	アドレス	リセット時
U2C0	$033C_{16}$番地	08_{16}

ビットシンボル	ビット名	機能(クロック同期形シリアルI/Oモード時)	機能(クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注1. 対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは“0”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタBでRTS出力を選択してください。
注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図1.16.7. UARTi関連のレジスタ (3)

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

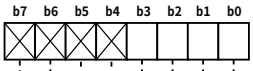
シンボル	アドレス	リセット時
UiC0(i=3, 4)	032C16, 02FC16番地	0816

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 使用禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止	○	○
NCH	データ出力選択ビット	0 : TxDi, RxDi端子はCMOS出力 1 : TxDi, RxDi端子はNチャネルオープンドレイン出力	0 : TxDi, RxDi端子はCMOS出力 1 : TxDi, RxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”に固定してください	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト	○	○

注1. 対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは“0”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタBでRTS出力を選択してください。
注3. クロック同期形シリアルI/OモードおよびUARTモード時だけ有効です。

図1.16.8. UARTi関連のレジスタ (4)

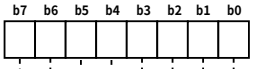
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0, 1)	0365$_{16}$, 036D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UARTi送受信制御レジスタ1

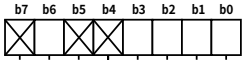


シンボル	アドレス	リセット時
UiC1(i = 2～4)	033D$_{16}$, 032D$_{16}$, 02FD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
UiIRS	UARTi送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
UiRRM	UARTi連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”に固定してください	○	○
UiLCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
UiERE	エラー信号出力許可ビット	“0”に固定してください	0 : 出力しない 1 : 出力する	○	○

図1.16.9. UARTi関連のレジスタ (5)

UART送受信制御レジスタ2



シンボル	アドレス	リセット時
UCON	037_{16}番地	$X0XX0000_2$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”に固定してください	○	○
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”に固定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—
RCSP	$\overline{CTS}$/$\overline{RTS}$分離ビット	0 : $\overline{CTS}$,$\overline{RTS}$共通端子 1 : CTS,RTS分離	0 : $\overline{CTS}$,$\overline{RTS}$共通端子 1 : CTS,RTS分離	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

UARTi特殊モードレジスタ

シンボル	アドレス	リセット時
UiSMR(i = 2～4)	033_{16}, 032_{16}, $02F7_{16}$番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0 : 通常モード 1 : IICモード	“0”に固定してください	○	○
ABC	アービトレーションロスト検出フラグ制御	0 : ビット毎に更新 1 : バイト毎に更新	“0”に固定してください	○	○
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出	“0”に固定してください	○	○ (注1)
LSYN	SCLL同期出力許可ビット	0 : 禁止 1 : 許可	“0”に固定してください	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”に固定してください	0 : 転送クロックの立ち上がり 1 : タイマAiのアンダフロー信号(注2)	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”に固定してください	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”に固定してください	0：通常 1：RxDiの立ち下がり	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

注1. “0”だけ書き込み可。
注2. UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号。

図1.16.10. UARTi関連のレジスタ (6)

UARTi特殊モードレジスタ2

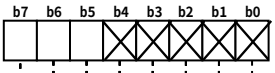
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiSMR2(i = 2～4)	0336_{16}, 0326_{16}, $02F6_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
IICM2	IICモード選択ビット2	0 : NACK/ACK割り込み DMAの要因－ACK 受信クロックの最終ビットの立ち上がりで受信バッファに転送 受信クロックの最終ビットの立ち上がりで受信割り込み発生 1 : UART送信/受信割り込み DMAの要因－UART受信 受信クロックの最終ビットの立ち下がりで受信バッファに転送 受信クロックの最終ビットの立ち下がりで受信割り込み発生	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STC	UARTi初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UARTiクロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止(ハイインピーダンス)	○	○
SHTC	スタート/ストップコンディション条件制御ビット	IICモード選択時、必ず“1”に設定してください。	○	○

図1.16.11. UARTi関連のレジスタ (7)

UART2特殊モードレジスタ3

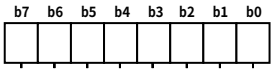


シンボル	アドレス	リセット時
U2SMR3	0335_{16}番地	$000XXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は不定。			—	—
DL0	$SDA_2(TxD_2)$ディジタル遅延値設定ビット (注1、2)	b7 b6 b5 000：遅延なし 001：1/f(XIN)の2サイクル 010：1/f(XIN)の3サイクル 011：1/f(XIN)の4サイクル 100：1/f(XIN)の5サイクル 101：1/f(XIN)の6サイクル 110：1/f(XIN)の7サイクル 111：1/f(XIN)の8サイクル	○	○
DL1			○	○
DL2			○	○

注1. 本ビットはIICインタフェースとしてUART2を使用する際、$SDA_2(TxD_2)$出力にディジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000"に設定してください。
注2. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。

UARTi特殊モードレジスタ3（i＝3,4）



シンボル	アドレス	リセット時
U3SMR3	0325_{16}番地	00000000_2
U4SMR3	$02F5_{16}$番地	00000000_2

ビットシンボル	ビット名	機　　能	R	W
SSE	$\overline{SS}$端子機能許可ビット (注3)	0: $\overline{SS}$機能禁止 1: $\overline{SS}$機能許可	○	○
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	○	○
DINC	シリアル入力端子設定ビット	0: TxDi, RxDiを選択 (マスタモード)(注5) 1: STxDi, SRxDiを選択 (スレーブモード)(注6)	○	○
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオープンドレイン出力	○	○
ERR	障害エラーフラグ	0: 障害エラー無し 1: 障害エラーあり	○	○ (注4)
DL0	SDAi(TxDi)ディジタル遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: f(XIN)の2サイクル 010: f(XIN)の3サイクル 011: f(XIN)の4サイクル 100: f(XIN)の5サイクル 101: f(XIN)の6サイクル 110: f(XIN)の7サイクル 111: f(XIN)の8サイクル	○	○
DL1			○	○
DL2			○	○

注1. 本ビットはIICインタフェースとしてUARTiを使用する際、SDAi(TxDi)出力にディジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000"に設定してください。
注2. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。
注3. $\overline{SS}$を設定する場合，$\overline{CTS}/\overline{RTS}$禁止ビット(UARTi送受信制御レジスタ0のビット4)を"1"に設定して$\overline{CTS}/\overline{RTS}$機能を禁止して下さい．
注4. "0"のみ書き込み可能．
注5. CLKi、TxDiに対応する機能選択レジスタAでCLKi出力とTxDi出力に設定し、RxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。
注6. STxDiに対応する機能選択レジスタA、機能選択レジスタBでSTxDi出力に設定し、CLKi、SRxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。

図1.16.12. UARTi関連のレジスタ (8)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.17.1、表1.17.2にクロック同期形シリアルI/Oモードの仕様を、図1.17.1にUARTi送受信モードレジスタの構成を示します。

表1.17.1. クロック同期形シリアルI/Oモードの仕様(1)

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3=“0”) ：fi/2(n+1) (注1)　fi=f1, f8, f32 ・対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのCLK選択 ●外部クロック選択時(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3=“1”)：CLKi端子からの入力 ・対応する機能選択レジスタAを入出力ポートに設定
送信制御/受信制御	●$\overline{CTS}$機能/$\overline{RTS}$機能/$\overline{CTS}$,$\overline{RTS}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット1)=“0” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が“L”レベル ・対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのTxD選択 ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット2)=“1” ・送信許可ビット(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(0370_{16}番地のビット0、ビット1、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4)=“0” ：UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(0370_{16}番地のビット0、ビット1、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4)=“1” ：UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

注2.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表1.17.2. クロック同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択(UART1) (注1) UART1の転送クロック端子を2本設定し、ソフトウエアによって出力端子を選択可 ●$\overline{\text{CTS}}$/$\overline{\text{RTS}}$ 分離(UART0) (注1) UART0の$\overline{\text{CTS}}$端子と$\overline{\text{RTS}}$端子を別々の端子に配置できる。 ●シリアルデータ論理切り替え(UART2～UART4) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2～UART4) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

注1.　転送クロック複数端子出力機能と$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能は同時に選択できません。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i=0, 1)	0360_{16}, 0368_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック (注1) 1 : 外部クロック (注2)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは必ず“0”に固定		○	○

注1.　対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCレジスタでCLK出力を選択してください。
注2.　対応する機能選択レジスタAを入出力ポートに設定してください。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i = 2～4)	0338_{16}, 0328_{16}, $02F8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック (注2) 1 : 外部クロック (注3)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD,RxD入出力極性切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1.　通常“0”にしてください。
注2.　対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでCLK出力を選択してください。
注3.　対応する機能選択レジスタAを入出力ポートに設定してください。

図1.17.1. クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

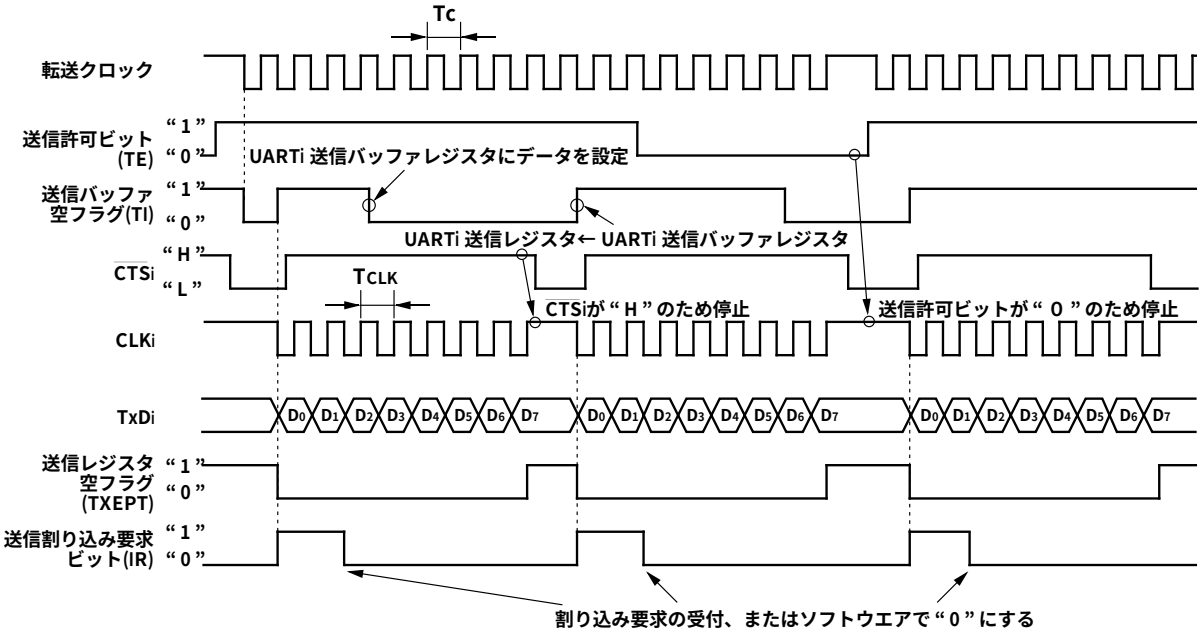
表1.17.3に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能および$\overline{CTS}$/$\overline{RTS}$分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.17.3. クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択、$\overline{CTS}$/$\overline{RTS}$分離機能非選択時)

端子名	機　　能	選択方法
TxDi ($P6_3$、$P6_7$、$P7_0$、$P9_2$、$P9_6$)	シリアルデータ出力 (注1)	(受信だけを行うときはダミーデータを出力)
RxDi ($P6_2$、$P6_6$、$P7_1$、$P9_1$、$P9_7$)	シリアルデータ入力 (注2)	ポート$P6_2$、$P6_6$、$P7_1$、$P9_1$、$P9_7$の方向レジスタ($03C2_{16}$番地のビット2、ビット6、$03C3_{16}$番地のビット1、$03C7_{16}$番地のビット1、ビット7)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi ($P6_1$、$P6_5$、$P7_2$、$P9_0$、$P9_5$)	転送クロック出力 (注1)	内/外部クロック選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3)=“0”
	転送クロック入力 (注2)	内/外部クロック選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3)=“1” ポート$P6_1$、$P6_5$、$P7_2$、$P9_0$、$P9_5$の方向レジスタ($03C2_{16}$番地のビット1、ビット5、$03C3_{16}$番地のビット2、$03C7_{16}$番地のビット0、ビット5)=“0”
$\overline{CTS}$i/$\overline{RTS}$i ($P6_0$、$P6_4$、$P7_3$、$P9_3$、$P9_4$)	$\overline{CTS}$入力(注2)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット2)=“0” ポート$P6_0$、$P6_4$、$P7_3$、$P9_3$、$P9_4$の方向レジスタ($03C2_{16}$番地のビット0、ビット4、$03C3_{16}$番地のビット3、$03C7_{16}$番地のビット3、ビット4)=“0”
	$\overline{RTS}$出力(注1)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート(注2)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“1”

注1. 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでTxD出力、CLK出力、$\overline{RTS}$出力を選択してください。
注2. 対応する機能選択レジスタAで入出力ポートを選択してください。

●送信タイミング例(内部クロック選択時)

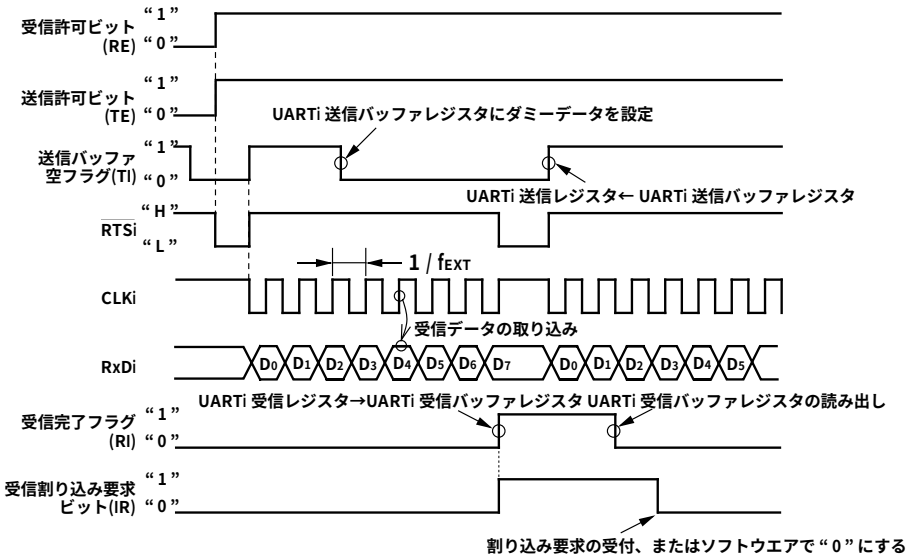


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
- fi：BRGiのカウントソースの周波数(f1, f8, f32)
- n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット =“0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図1.17.2. クロック同期形シリアルI/Oモード時の送信／受信タイミング例

■極性選択機能

図1.17.3に示すように、CLK極性選択ビット(0364$_{16}$、036C$_{16}$、033C$_{16}$、032C$_{16}$、02FC$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

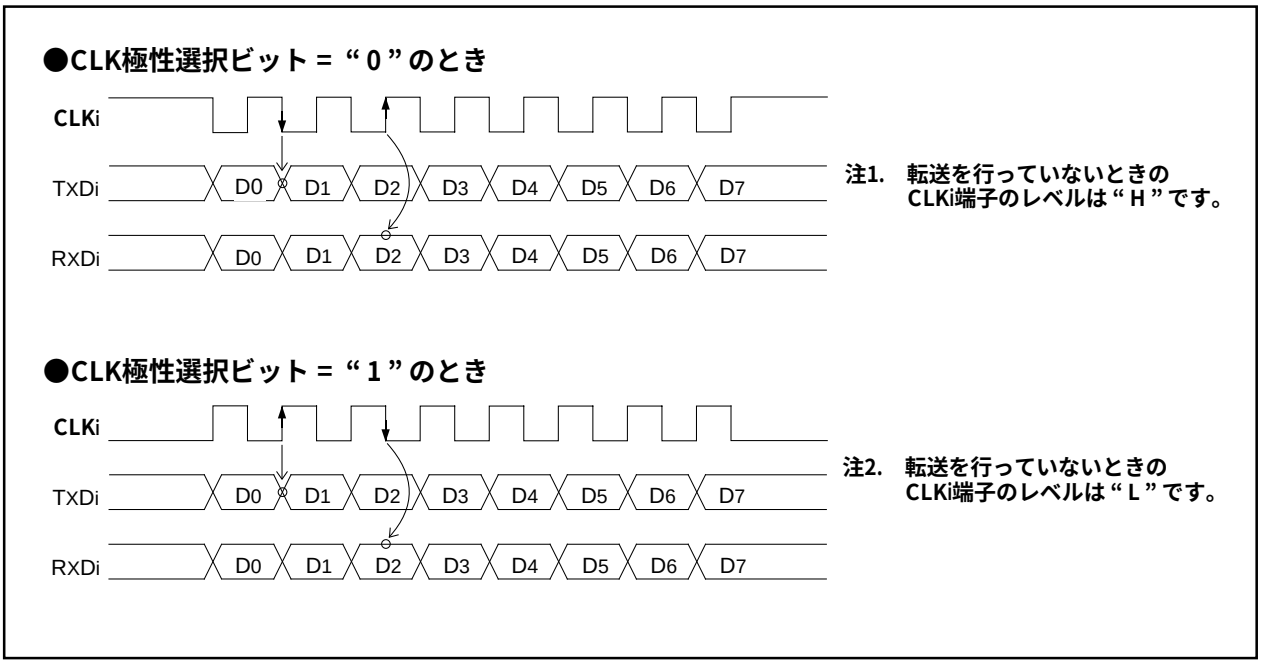


図1.17.3. 転送クロックの極性

■LSBファースト/MSBファースト選択機能

図1.17.4に示すように、転送フォーマット選択ビット(0364$_{16}$、036C$_{16}$、033C$_{16}$、032C$_{16}$、02FC$_{16}$番地のビット7)の内容が“ 0 ”のとき転送フォーマットはLSBファースト、“ 1 ”のとき転送フォーマットはMSBファーストになります。

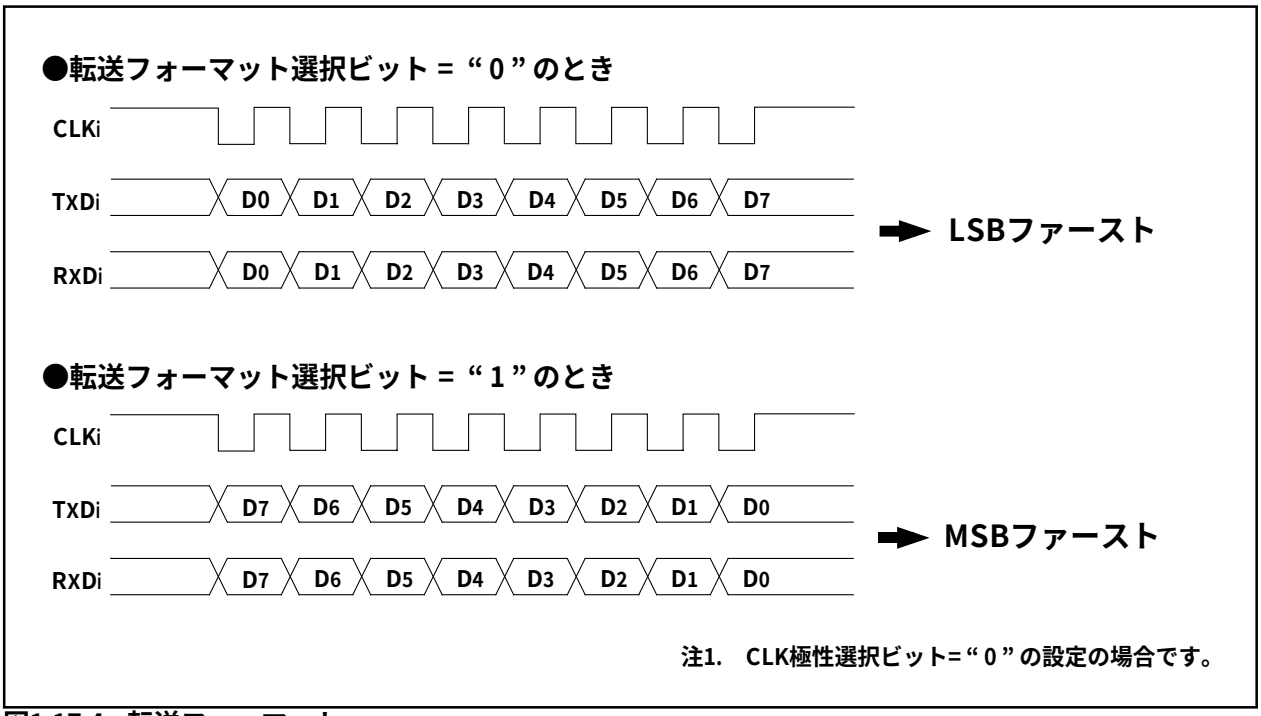
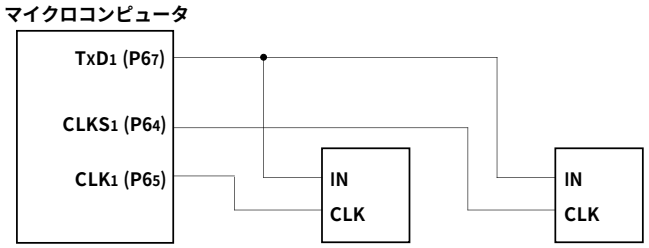


図1.17.4. 転送フォーマット

■転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、ポート機能選択レジスタ(P64、P65に相当する部分)の切り替えにより1本を選択し、クロックを出力します(図1.17.5)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1の$\overline{CTS}$/$\overline{RTS}$機能は使用できません。



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

図1.17.5. 転送クロック複数端子出力機能の使用例

■連続受信モード

連続受信モード許可ビット(0370$_{16}$番地のビット2、ビット3、033D$_{16}$、032D$_{16}$、02FD$_{16}$番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

■$\overline{CTS}$/$\overline{RTS}$分離機能(UART0)

本機能は、クロック非同期形シリアルI/O(UART)モード時と同様の機能です。設定方法、入出力端子の機能共に同様ですので、次項「(2) クロック非同期形シリアルI/O(UART)モード」の、選択機能の項を参照してください。なお、転送クロック複数端子出力機能選択時には、本機能は無効となります。

■シリアルデータ論理切り替え機能(UART2～UART4)

データ論理選択ビット(033D$_{16}$、032D$_{16}$、02FD$_{16}$番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.17.6にシリアルデータ論理切り替えのタイミング例を示します。

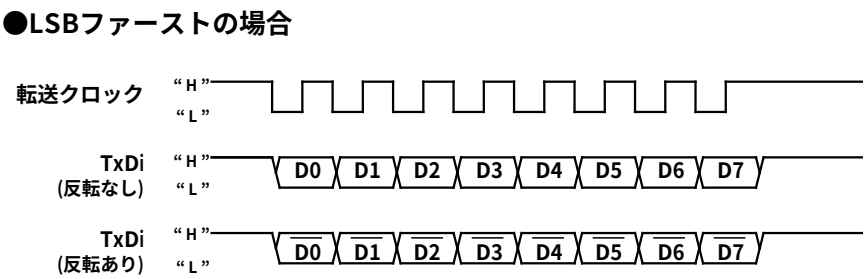


図1.17.6. シリアルデータ論理切り替えのタイミング例

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.18.1、表1.18.2にクロック非同期形シリアルI/Oモードの仕様を、図1.18.1にUARTi送受信モードレジスタの構成を示します。

表1.18.1. クロック非同期形シリアルI/Oモードの仕様(1)

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3 = “ 0 ”)：fi/16(n+1) (注1)　fi=f_1、 f_8、 f_{32} ●外部クロック選択時(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3 = “ 1 ”)： f_{EXT}/16(n+1) (注1)(注2)
送信制御/受信制御	●CTS機能/RTS機能/$\overline{CTS}$、$\overline{RTS}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット0)= “ 1 ” ・送信バッファ空フラグ(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット1)= “ 0 ” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が “ L ” レベル ・対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのTxD出力選択
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(0365_{16}、$036D_{16}$、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット2)= “ 1 ” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(0370_{16}番地のビット0、ビット1、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4)= “ 0 ” ：UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(0370_{16}番地のビット0、ビット1、$033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4)= “ 1 ” ：UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の “ 1 ” の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 “ 1 ” になります

注1. n はUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表1.18.2. クロック非同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●$\overline{\text{CTS}}$/$\overline{\text{RTS}}$ 分離(UART0) UART0の$\overline{\text{CTS}}$端子と$\overline{\text{RTS}}$端子を別々の端子に配置できる ●スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2～UART4) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2～UART4) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0, 1)	0360_{16}, 0368_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック (注1)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

注1.　対応する機能選択レジスタAを入出力ポートに設定してください。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i = 2～4)	0338_{16}, 0328_{16}, $02F8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック (注2)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性 切り替えビット (注1)	0 : 反転なし 1 : 反転あり	○	○

注1.　通常“0”にしてください。
注2.　対応する機能選択レジスタAを入出力ポートに設定してください。

図1.18.1.　UARTモード時のUARTi送受信モードレジスタの構成

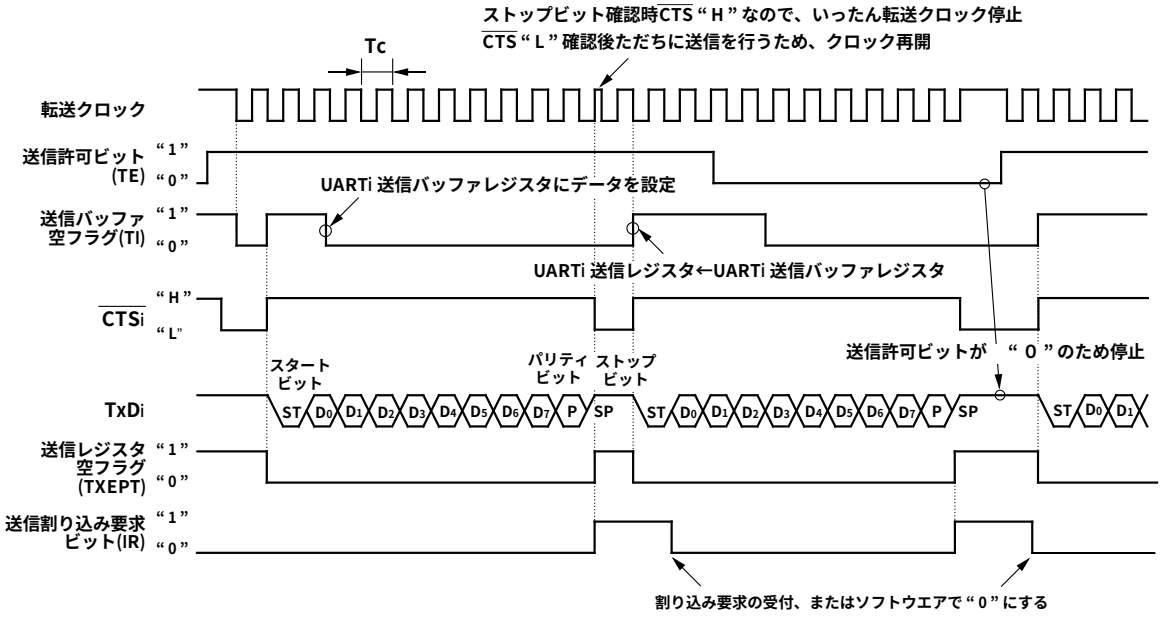
表1.18.3に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、$\overline{CTS}$/$\overline{RTS}$分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.18.3. クロック非同期形シリアルI/Oモード時($\overline{CTS}$/$\overline{RTS}$分離機能非選択時)の入出力端子の機能

端子名	機　　能	選択方法
TxDi ($P6_3$、$P6_7$、$P7_0$、$P9_2$、$P9_6$)	シリアルデータ出力 (注1)	
RxDi ($P6_2$、$P6_6$、$P7_1$、$P9_1$、$P9_7$)	シリアルデータ入力 (注2)	ポート$P6_2$、$P6_6$、$P7_1$、$P9_1$、$P9_7$の方向レジスタ($03C2_{16}$番地のビット2、ビット6、$03C3_{16}$番地のビット1、$03C7_{16}$番地のビット1、ビット7)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi ($P6_1$、$P6_5$、$P7_2$、$P9_0$、$P9_5$)	プログラマブル 入出力(注2)	内/外部クロック選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3)=“0”
	転送クロック入力 (注2)	内/外部クロック選択ビット(0360_{16}、0368_{16}、0338_{16}、0328_{16}、$02F8_{16}$番地のビット3)=“1” ポート$P6_1$、$P6_5$、$P7_2$、$P9_0$、$P9_5$の方向レジスタ($03C2_{16}$番地のビット1、ビット5、$03C3_{16}$番地のビット2、$03C7_{16}$番地のビット0、ビット5)=“0”
$\overline{CTS}$i/$\overline{RTS}$i ($P6_0$、$P6_4$、$P7_3$、$P9_3$、$P9_4$)	$\overline{CTS}$入力(注2)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット2)=“0” ポート$P6_0$、$P6_4$、$P7_3$、$P9_3$、$P9_4$の方向レジスタ($03C2_{16}$番地のビット0、ビット4、$03C3_{16}$番地のビット3、$03C7_{16}$番地のビット3、ビット4)=“0”
	$\overline{RTS}$出力(注1)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット2)=“1”
	プログラマブル 入出力ポート(注2)	$\overline{CTS}$/$\overline{RTS}$禁止ビット(0364_{16}、$036C_{16}$、$033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4)=“1”

注1.　対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでTxD出力、CLK出力、$\overline{RTS}$出力を選択してください。
注2.　対応する機能選択レジスタAで入出力ポートを選択してください。

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

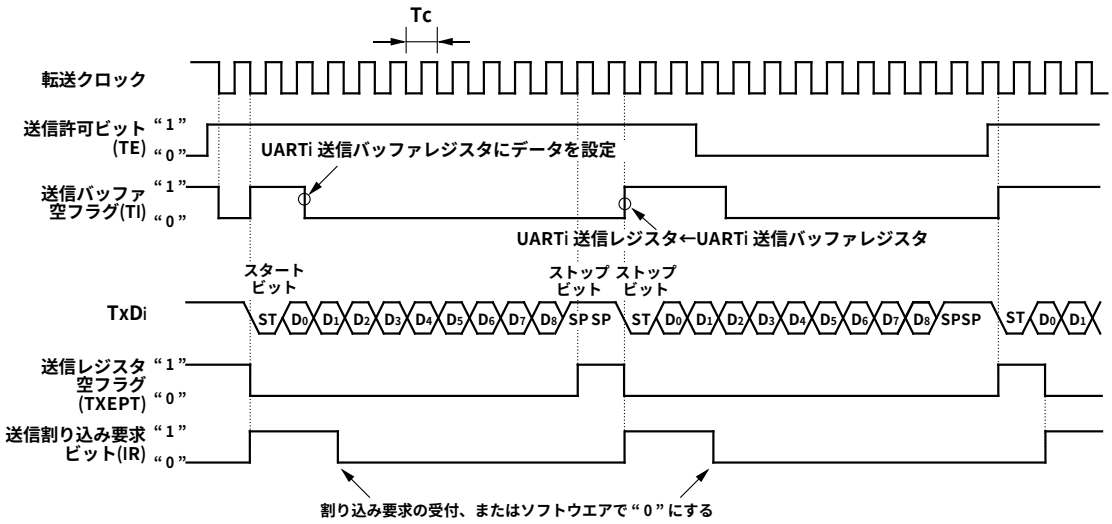


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●CTS 機能選択
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数（f_1,f_8,f_{32}）
f_{EXT}：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●CTS 機能禁止
- ●送信割り込み要因選択ビット=“0”

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数（f_1,f_8,f_{32}）
f_{EXT}：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図1.18.2. UARTモード時の送信タイミング例

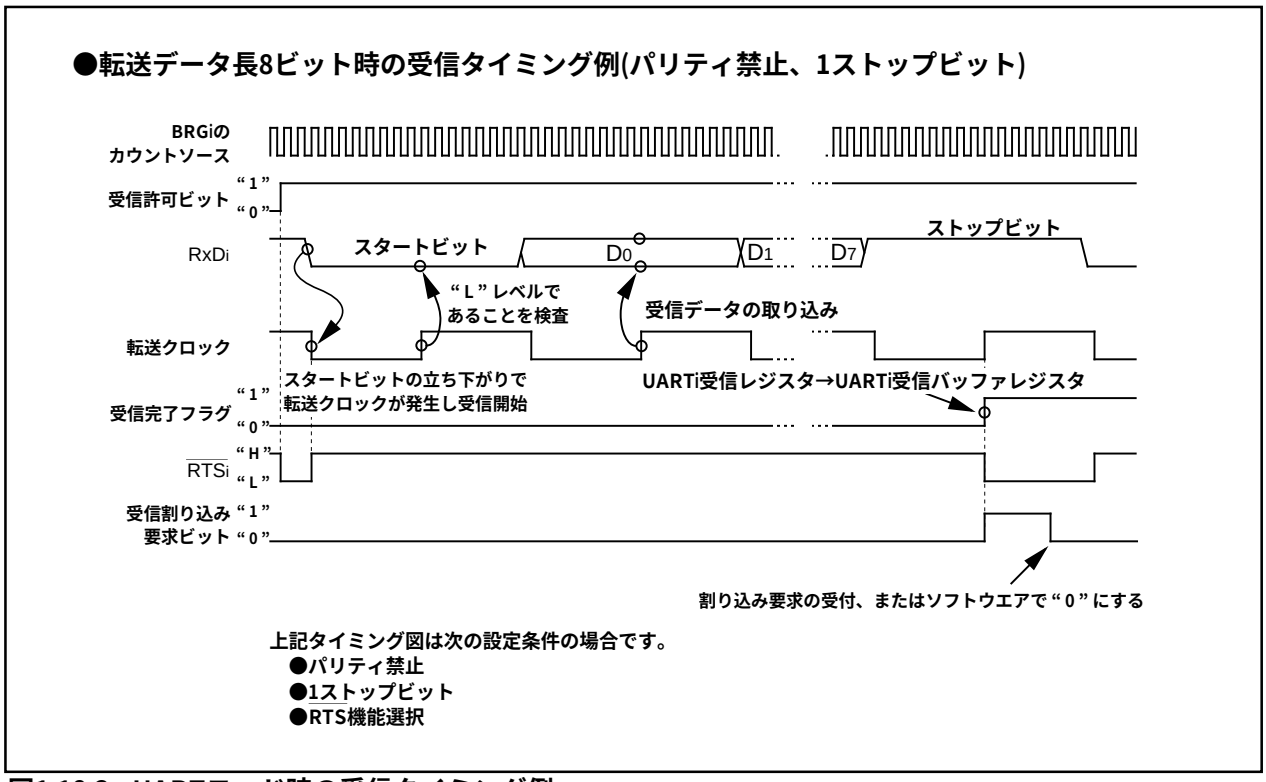


図1.18.3. UARTモード時の受信タイミング例

■$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能(UART0)

$\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離ビット(0370$_{16}$番地のビット6)を"1"にすることにより、$\overline{\text{CTS}}$信号と$\overline{\text{RTS}}$信号を別々の端子から入力／出力します(図1.18.4)。この機能は、UART0だけ有効です。なお、本機能選択時にUART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能は使用できません。

UART1の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(036C$_{16}$番地のビット2)、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(036C$_{16}$番地のビット4)をともに"0"に設定し、機能選択レジスタでP6$_4$を入出力ポートに設定してください。

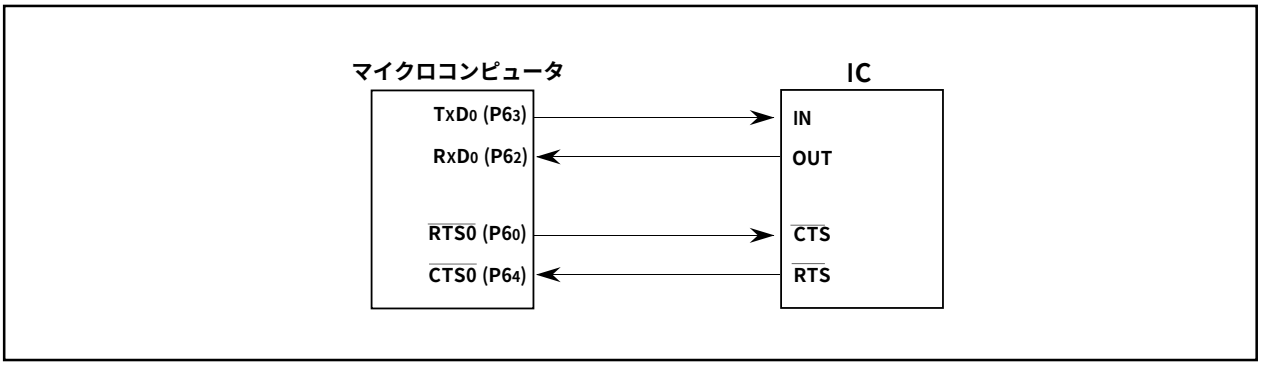


図1.18.4. $\overline{\text{CTS}}$/$\overline{\text{RTS}}$分離機能の使用例

■スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(0360$_{16}$、0368$_{16}$番地のビット7)を"1"にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが"1"のときに受信動作を行い、"0"のときには受信動作を行いません。

■シリアルデータ論理切り替え機能(UART2～UART4)

データ論理選択ビット(033D16、032D16、02FD16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.18.5に、シリアルデータ論理切り替え機能のタイミング例を示します。

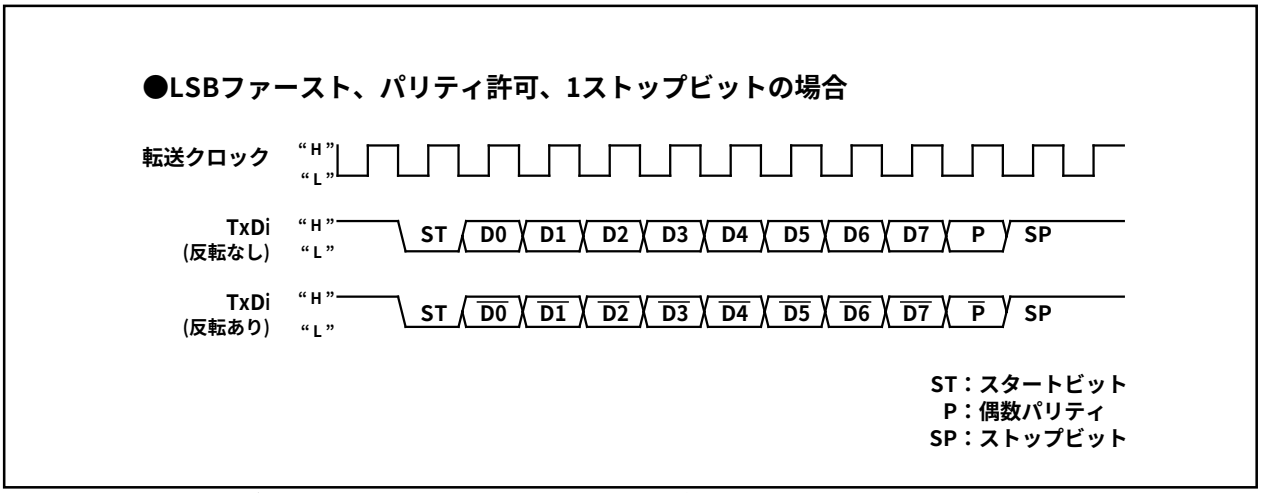


図1.18.5. シリアルデータ論理切り替え機能のタイミング例

■TxD、RxD入出力極性切り替え機能(UART2～UART4)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

■バス衝突検出機能(UART2～UART4)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.18.6にバス衝突検出タイミング例(UARTモード時)を示します。

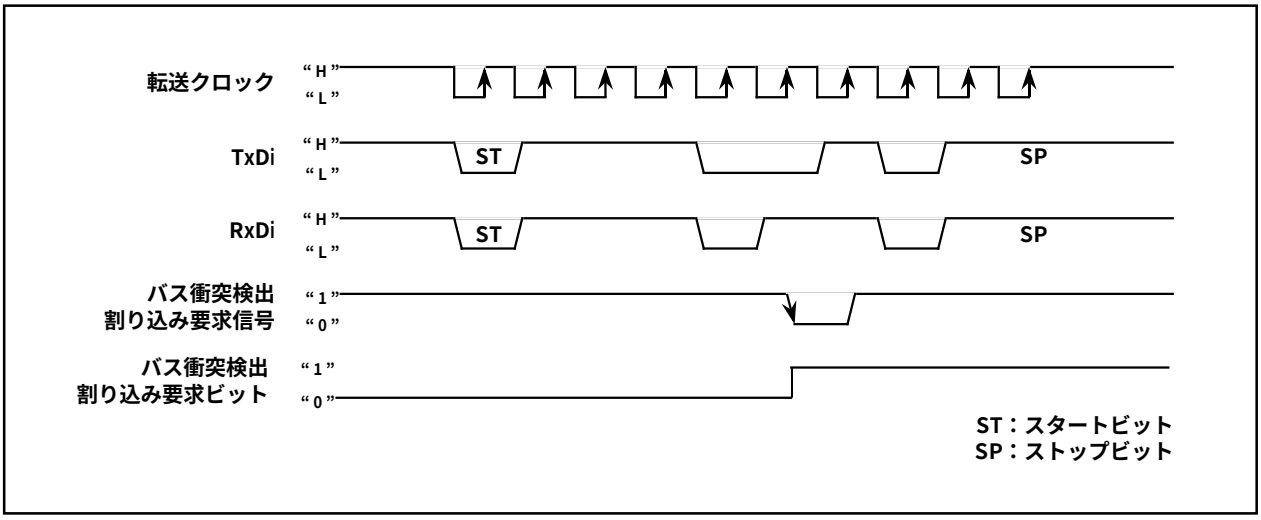


図1.18.6. バス衝突検出タイミング例(UARTモード時)

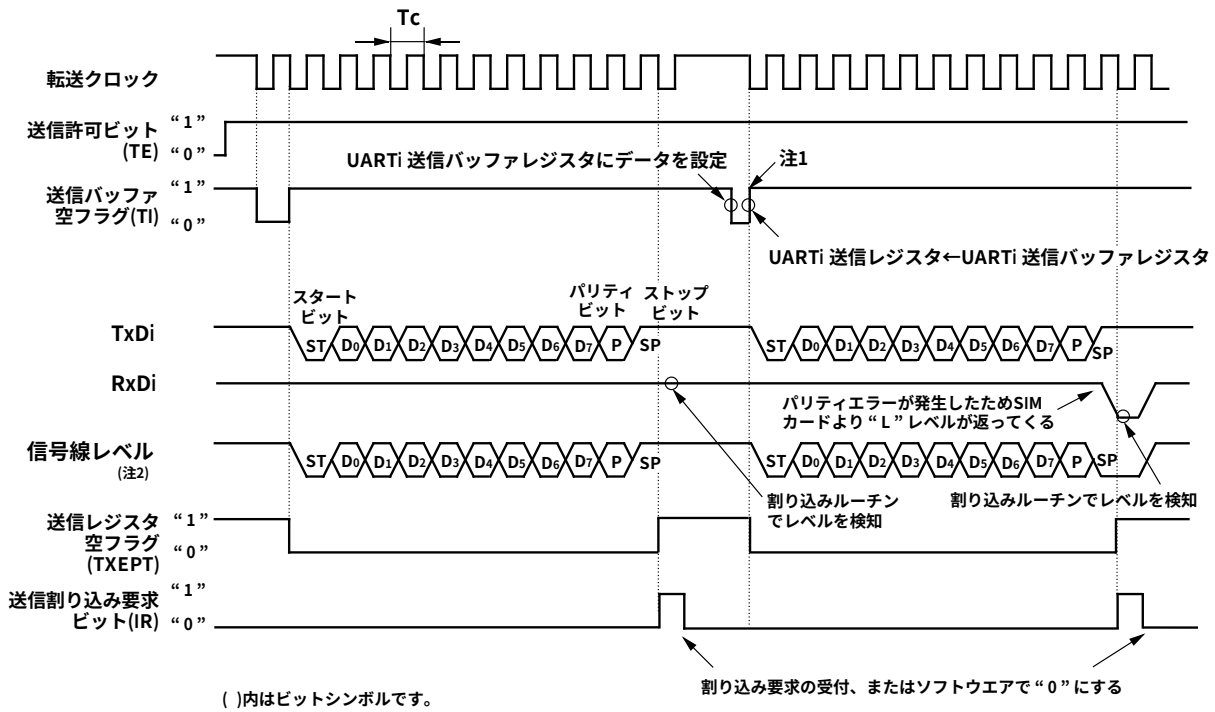
(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカードI/C等とインタフェースするための機能で、UART2～UART4のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.19.1にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.19.1. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項　目	仕　様
転送データフォーマット	●転送データ　8ビットUARTモード　(0338_{16}、0328_{16}、$02F8_{16}$番地のビット2～ビット0=“101_2”) ●1ストップビット　(0338_{16}、0328_{16}、$02F8_{16}$番地のビット4=“0”) ●ダイレクトフォーマットの場合 パリティを偶数パリティに設定　(0338_{16}、0328_{16}、$02F8_{16}$番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定　($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット6=“0”) 転送フォーマットをLSBに設定　($033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット7=“0”) ●インバースフォーマットの場合 パリティを奇数パリティに設定　(0338_{16}、0328_{16}、$02F8_{16}$番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定　($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット6=“1”) 転送フォーマットをMSBに設定　($033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット7=“1”)
転送クロック	●内部クロック選択時(0338_{16}、0328_{16}、$02F8_{16}$番地のビット3=“0”)：$f_i/16(n+1)$ (注1)　$f_i=f_1$、f_8、f_{32} ●外部クロック選択時(0338_{16}、0328_{16}、$02F8_{16}$番地のビット3=“1”)：$f_{EXT}/16(n+1)$ (注1)(注2)
送信制御/受信制御	●$\overline{CTS}$、$\overline{RTS}$機能禁止に設定 ($033C_{16}$、$032C_{16}$、$02FC_{16}$番地のビット4=“1”)
その他設定項目	●UART2、UART3ではスリープモード選択機能はありません ●送信割り込み要因を送信完了に設定 ($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4=“1”) ●UART3、4ではTxD、RxD端子はNチャネルオープンドレイン出力を設定 ($032C_{16}$、$02FC_{16}$番地のビット5=“1”)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 UART2、UART3、UART4送信レジスタからデータ転送完了時 ($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット4=“1”) ●受信時 ・UART2、UART3、UART4受信レジスタから、UART2、UART3、UART4受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注3) ●フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ●パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能($033D_{16}$、$032D_{16}$、$02FD_{16}$番地のビット7=“1”)によりTxDi端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxDi端子入力レベルによりパリティエラーを検知 ●エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

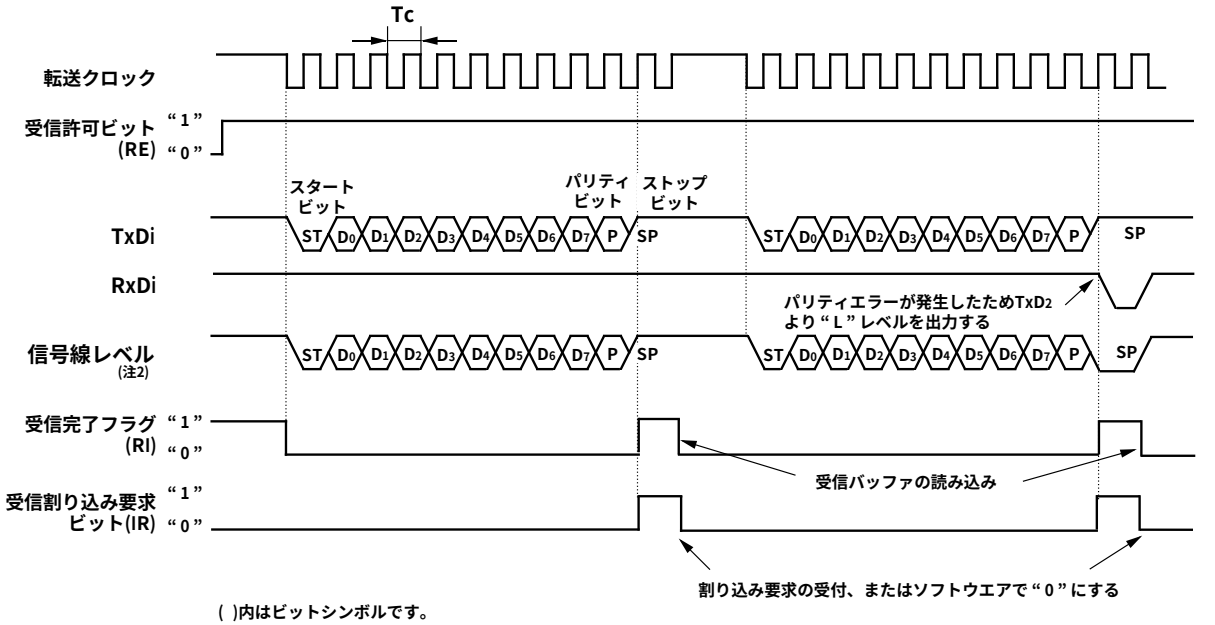
注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
注2.　f_{EXT}はCLKi端子からの入力です。
注3.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバーフロータイミングで送信が開始されます。
注2．TxDiとRxDiを接続しているため同じ波形になる。

図1.19.1. UARTモード(SIMインタフェース対応)の送受信タイミング例

■パリティエラー信号出力機能

エラー信号出力許可ビット(033D16、032D16、02FD16番地のビット7)の内容が“1”のとき、パリティエラー検出時にTxDi端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図1.19.2にパリティエラー信号出力タイミングを示します。

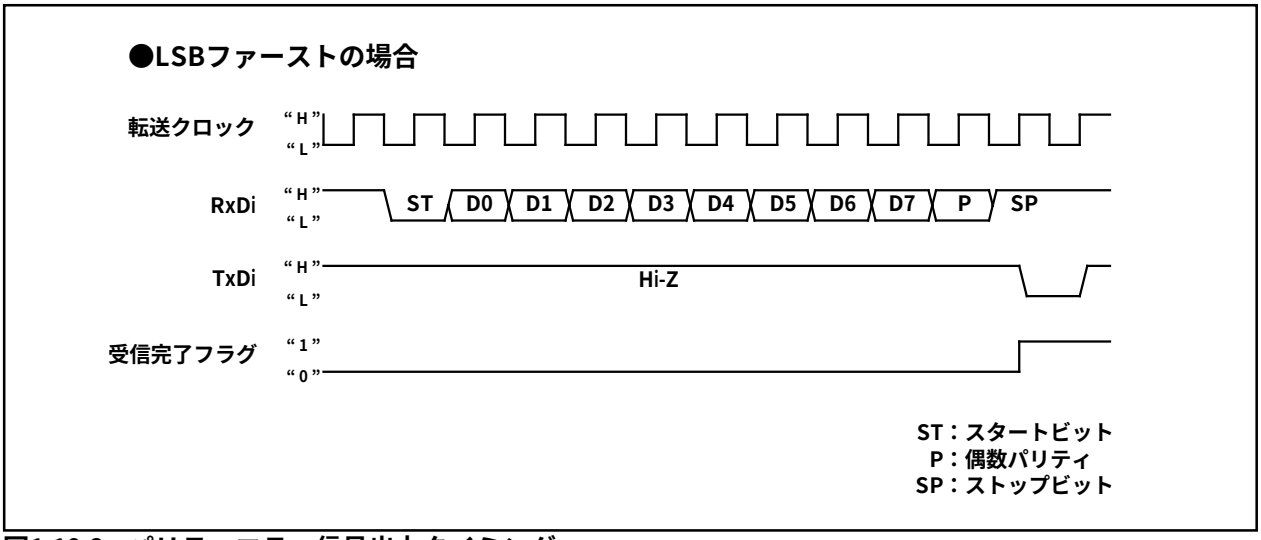


図1.19.2. パリティエラー信号出力タイミング

■ダイレクトフォーマット／インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット／インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxDiから出力されます。インバースフォーマットを選択するとD7のデータが反転してTxDiから出力されます。

図1.19.3にSIMインタフェースフォーマットを示します。

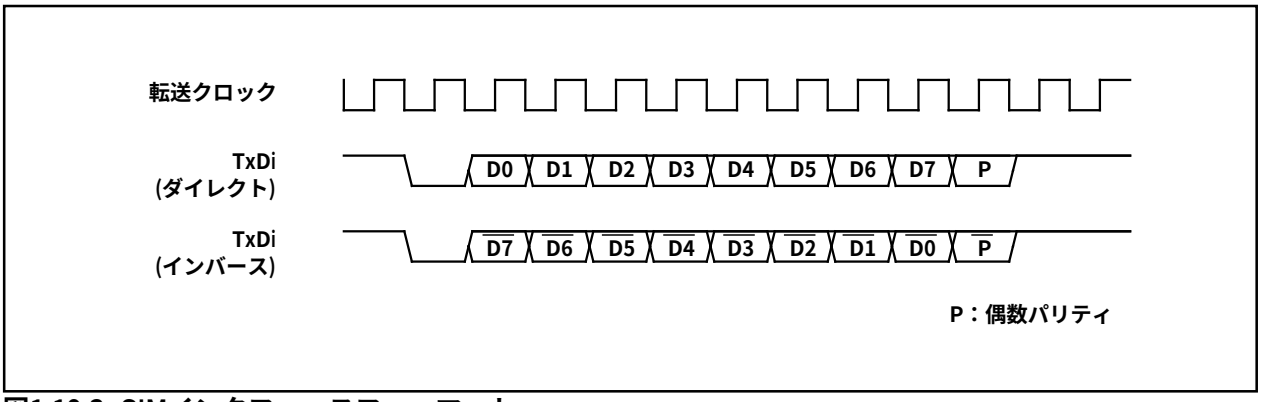
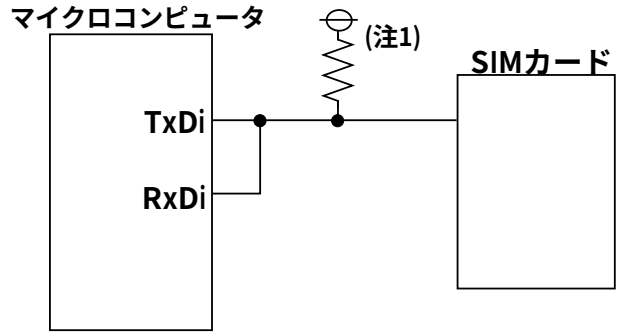


図1.19.3. SIMインタフェースフォーマット

図1.19.4にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してプルアップしてください。



注1. TxDi端子はNチャネルオープンドレイン出力のためプルアップ抵抗が必要です。

図1.19.4. SIMインタフェース接続例

UARTi特殊モードレジスタ(i = 2～4)

UART2～UART4は、UARTi特殊モードレジスタ(0337_{16}, 0327_{16}, $02F7_{16}$番地)(i = 2～4)、UARTi特殊モードレジスタ2(0336_{16}, 0326_{16}, $02F6_{16}$番地)(i = 2～4)によってIICバスインターフェース機能(簡易IICバス)を実現します。さらにUART3、UART4は、UARTi特殊モードレジスタ３(0325_{16}、$02F5_{16}$番地)(i=3, 4)によって特殊機能を付加できます。

(1)IICバスインターフェースモード

IICバスインターフェースモード(簡易IICバス)は、UART2～UART4がもつ機能です。

UARTi特殊モードレジスタ及びUARTi特殊モードレジスタ2(i = 2～4)の構成を図1.20.1に示します。

IICモード選択ビット(0337_{16}, 0327_{16}, $02F7_{16}$番地のビット0)に“１”を設定すると、IICバス(簡易IICバス)インタフェース回路が有効になります。

IICバスを使用する場合、マスタ、スレーブ側とも機能選択レジスタにてSCLi、SDAiを出力に設定してください。またUART3、4ではデータ出力選択ビット($032C_{16}$、$02FC_{16}$番地のビット5)でNチャネルオープンドレイン出力を選択してください。

IICモード選択ビットと各制御の関係を表1.20.1に示します。クロック同期型シリアルI/Oモード、クロック非同期型シリアルI/Oモードで使用する場合はこのビットを必ず“０”に設定してください。

表1.20.1.　IICモード時の各機能

	機　能	通常モード(IICM=0)	IICモード(IICM=1)(注1)
1	割り込み番号39～41の要因 (注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2	割り込み番号33, 35, 37の要因 (注2)	UARTi送信	アクノリジ未検出 (NACK)
3	割り込み番号34, 36, 38の要因 (注2)	UARTi受信	アクノリジ検出 (ACK)
4	UARTi送信出力遅延	遅延なし	遅延あり
5	UARTi使用時の$P7_0$, $P9_2$, $P9_6$	TxDi (出力)	SDAi (入出力) (注3)
6	UARTi使用時の$P7_1$, $P9_1$, $P9_7$	RxDi (入力)	SCLi (入出力)
7	UARTi使用時の$P7_2$, $P9_0$, $P9_5$	CLKi	$P7_2$, $P9_0$, $P9_5$
8	DMA要因	UARTi受信	アクノリジ検出 (ACK)
9	ノイズフィルター幅	15ns	50ns
10	$P7_1$, $P9_1$, $P9_7$のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11	UARTi出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時に$P7_0$, $P9_2$, $P9_6$ラッチに設定した値 (注3)

注1．IICモード使用時は以下の設定にしてください。
　　UARTi送受信モードレジスタのビット2, 1, 0を010に設定。
　　$\overline{RTS}$/$\overline{CTS}$機能は禁止。
　　MSBファーストに設定。

注2．要因を切り替える時は以下の手順で行ってください。
　　1. 対応する割り込み番号の割り込み禁止。
　　2. 要因の切り替え。
　　3. 対応する割り込み番号の割り込み要求フラグリセット。
　　4. 対応する割り込み番号の割り込みレベル設定。

注3．SDA送信出力の初期値の設定は、IICモード(IICモード選択ビット="1")で、かつシリアルI/Oが無効の状態で行ってください。

UARTi特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
☒							

シンボル	アドレス	リセット時
UiSMR(i = 2～4)	033_{16}, 032_{16}, $02F_{16}$番地	00_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0 : 通常モード 1 : IICモード	“0”に固定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0 : ビット毎に更新 1 : バイト毎に更新	“0”に固定してください	○	○
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出	“0”に固定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0 : 禁止 1 : 許可	“0”に固定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	“0”に固定してください	0 : 転送クロックの立ち上がり 1 : タイマAiのアンダフロー 信号(注2)	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	“0”に固定してください	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”に固定してください	0：通常 1：RxDiの立ち下がり	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

注1. “0”だけ書き込み可。
注2. UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号。

UARTi特殊モードレジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiSMR2 (i = 2～4)	0336_{16}, 0326_{16}, $02F6_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
IICM2	IICモード選択ビット2	表1.20.2参照	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STAC	UARTi初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UARTiクロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	○	○
SHTC	スタート/ストップコン ディション条件制御ビット	IICモード選択時、必ず“1”に設定してください。	○	○

図1.20.1.　UARTi特殊モードレジスタ

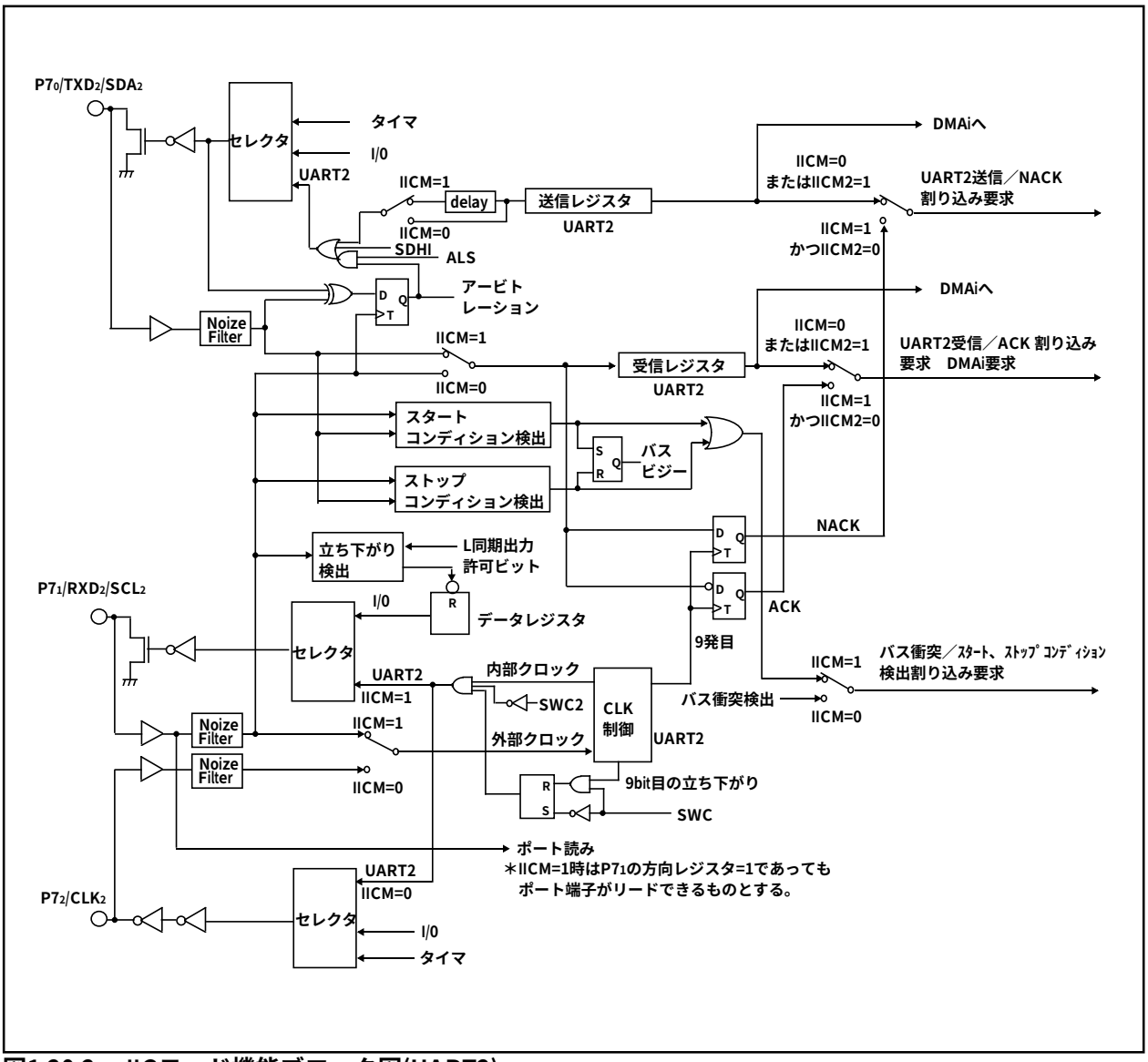


図1.20.2.　IICモード機能ブロック図(UART2)

図1.20.2が、IICバスインターフェース機能のブロック図です。
IICバスインタフェース関連の制御ビットについて、UART2を例に説明します。

UART2特殊モードレジスタ(0337$_{16}$番地)

ビット0は、IICモード選択ビットです。このビットを“1”にすると、ポートP70、P71、P72の機能がそれぞれデータ送受信端子SDA2、クロック入出力端子SCL2、ポートP72となります。SDA2送信出力にはディレイ回路が付加されますので、SCL2が十分“L”になった後、SDA2出力が変化します。ポートP71(SCL2)は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA2送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、 SCL2端子(P7$_1$) が“ H ”の状態でSDA2端子(P7$_0$)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、 SCL2端子(P7$_1$)が“ H ”の状態でSDA2端子(P7$_0$)の立ち上がりが発生したことを検出して発生する割り込みです。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時にSDA2端子のレベルが“ H ”のままであることを検出して発生する割り込みです。

アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時にSDA2端子のレベルが“ L ”になっていることを検出して発生する割り込みです。また、DMAi要求要因にUART2受信を選択することでアクノリッジ検出によってDMA転送を起動することができます。

ビット2は、バスビジーフラグです。スタートコンディション検出で“ 1 ”にセットされ、ストップコンディション検出で“ 0 ”にリセットされます。

ビット1は、アービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCL2の立ち上がりのタイミングで送信データとSDA2端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(033E$_{16}$番地)のビット11に配置されており、不一致を検出すると“ 1 ”になります。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“ 1 ”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでアービトレーションロスト検出フラグが“ 1 ”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“ 0 ”書き込み)を行ってください。

ビット3は、SCL2　L同期出力許可ビットです。このビットを“ 1 ”にすると、SCL2端子のレベルが“ L ”になるのに同期してP7$_1$のデータレジスタが“ 0 ”になります。

ビット4は、バス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxDiとTxDiのレベルが一致していないときに割り込みを発生します。このビットが“ 0 ”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“ 1 ”の場合、タイマAi(UART2ではタイマA0、UART3ではタイマA3、UART4ではタイマA4)のアンダフローのタイミングで検出します。その動作を図1.20.3に示します。

ビット5は、送信許可ビット自動クリア機能選択ビットです。このビットを“ 1 ”にすることによって、バス衝突検出割り込み要求ビットが“ 1 ”(不一致検出)のとき、送信許可ビットを自動的に“ 0 ”にリセットします。

ビット6は、送信開始条件選択ビットです。このビットを“ 1 ”にすることで、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。

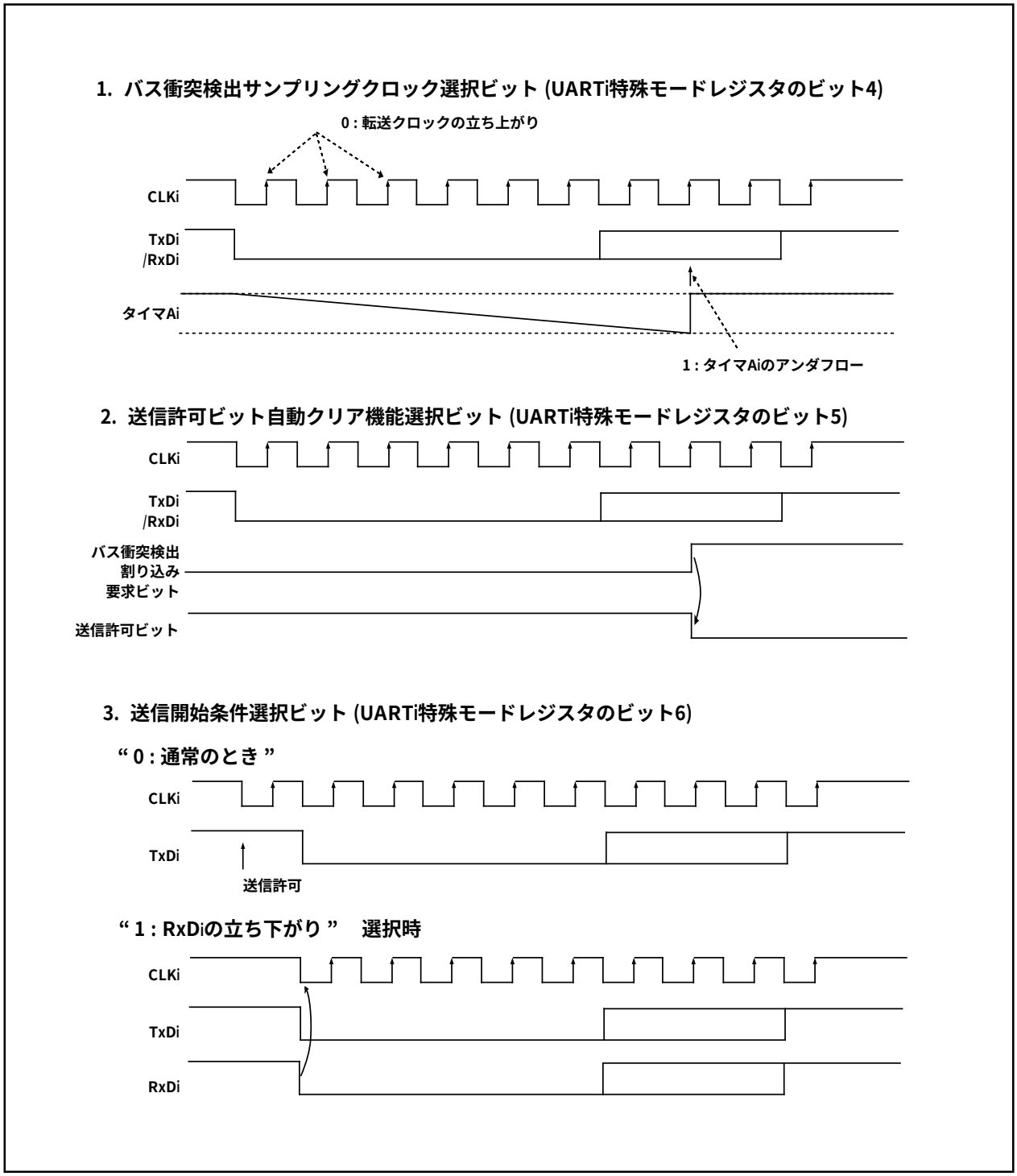


図1.20.3.　その他の追加機能

UART2特殊モードレジスタ2(0336$_{16}$番地)

ビット0は、IICモード選択ビット2です。IICモード選択ビットが“1”のとき、このビットにより変更される各制御を表1.20.2に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を図1.20.4に示します。ビット7(スタート/ストップコンディション条件制御ビット)は必ず“1”を設定して下さい。

ビット1は、クロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCL2端子に立ち下がりエッジがあれば内部SCL=“L”とし、ボーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL2端子=“L”時、内部SCLが“L”から“H”に変化すればボーレートジェネレータのカウントを停止し、SCL2端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL2端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

ビット2は、SCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりでSCL2端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

ビット3は、SDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA2端子がハイインピーダンス状態になります。

ビット4は、UART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

1. 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
2. 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
3. SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの内容は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

ビット5は、SCLウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすると、UART2動作中でもSCL2端子から強制的に“L”を出力できます。このビットを“0”にすると、SCL2端子からの“L”出力は解除され、UART2クロックが入出力されます。

ビット6は、SDA出力禁止ビットです。このビットを“1”にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

表1.20.2.　IICモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号33, 35, 37の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号34, 36, 38の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UARTi(i = 2～4)受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UARTi(i = 2～4)受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

3～6サイクル < セットアップ時間(注1)
3～6サイクル < ホールド時間(注1)

注1.　サイクル数はメインクロック入力発振周波数f(XIN)のサイクル数を示します。

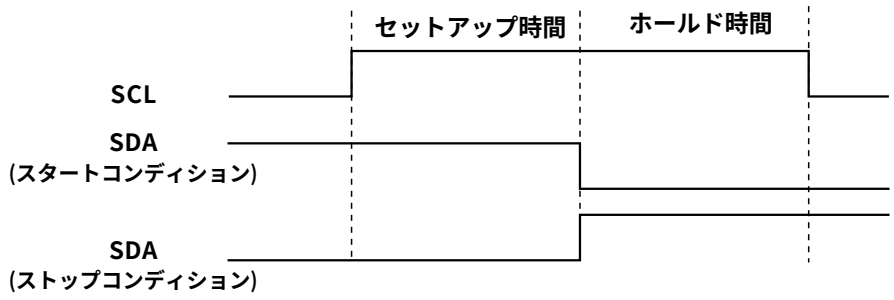


図1.20.4.　スタート/ストップコンディション検出タイミング特性

UART2特殊モードレジスタ3(0335$_{16}$番地)

ビット5～7は、SDA2ディジタル遅延値設定ビットです。このビットの設定により、SDA2の出力を遅延無し、またはf(XIN)の2サイクル～8サイクルの遅延を設定できます。

(2)シリアルインターフェース特殊機能

UART3、UART4は、$\overline{SSi}$入力端子を用いたシリアルバスの通信制御を行うことができます(図1.20.5)。転送クロックを出力するマスタは、転送クロックを入力するスレーブに対しデータを転送します。この時、データがバス上で衝突しないようにマスタは、他のスレーブ/マスタに対し、$\overline{SSi}$入力端子を用いて出力端子をフローティングにします。このモードを制御するUARTi特殊モードレジスタ3(0325_{16}, $02F5_{16}$番地)(i = 3, 4)の構成を図1.20.6に示します。

$\overline{SSi}$入力端子機能は、マスタ/スレーブで次の通りになります。

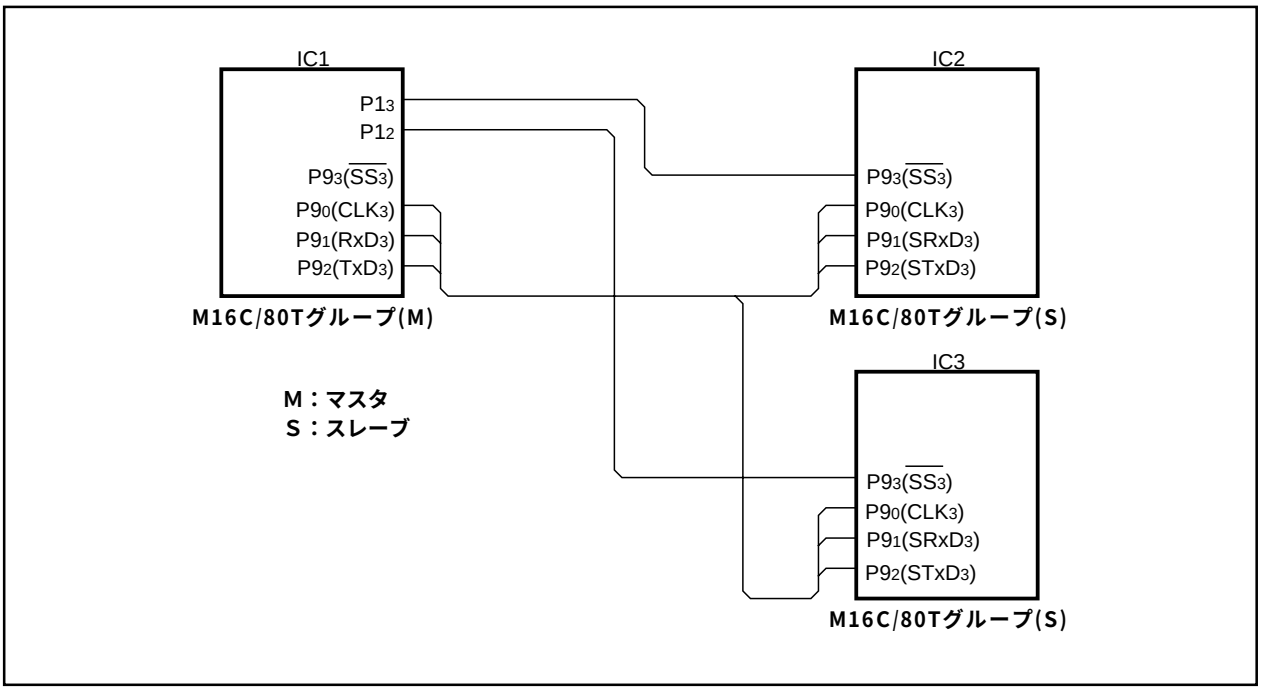


図1.20.5.　SS入力端子を用いたシリアルバスの通信制御例

＜STxDi、SRxDi選択(スレーブモード)の場合＞(DINC=1)

$\overline{SSi}$入力端子に“H”が入力されると、STxDi、SRxDiの各端子は、ハイインピーダンスになり、クロックの入力は無視されます。$\overline{SSi}$入力端子に“L”が入力されると、クロックの入力が有効となり、シリアル通信が可能になります。(i = 3, 4)

＜TxDi、RxDi選択(マスタモード)の場合＞(DINC=0)

マルチマスタのシステムの場合、$\overline{SSi}$端子入力を使用します。$\overline{SSi}$入力端子が“H”の場合、送信権を持っていることを示し、シリアル通信が可能となります。$\overline{SSi}$入力端子に“L”が入力されると、別にマスタが存在していることを示し、TxDi、RxDi、CLKiの各端子は、ハイインピーダンスになり、さらに障害エラー割り込み要求ビットが“1”になります。通信中に障害エラーが発生しても、通信の動作は停止しません。通信を停止する場合、UARTi送受信モードレジスタ(0328_{16}, $02F8_{16}$番地)のビット0、1、2に“0”を設定して下さい。(i = 3, 4)

障害エラー割り込みは、バス衝突割り込み、スタート/ストップコンディション検出割り込みと共用ですが、UARTi特殊モードレジスタ3(0325_{16}, $02F5_{16}$番地)(i = 3, 4)のビット0に“1”を設定することで障害エラー割り込みが選択されます。

障害エラーフラグに“0”を設定するとクロック出力端子、データ出力端子を出力に復帰できます。マスタモード選択時では、$\overline{SSi}$入力端子が“H”であれば、障害エラーフラグに“0”を書き込むことができます。$\overline{SSi}$入力端子が“L”であれば、障害エラーフラグに“0”を書き込めません。スレーブモードの場合、$\overline{SSi}$入力端子の入力に関係無く障害エラーフラグに“0”を書き込むことができます。

UARTi特殊モードレジスタ3（i＝3,4）

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U3SMR3	0325_{16}番地	00000000_2
U4SMR3	$02F5_{16}$番地	00000000_2

ビットシンボル	ビット名	機　　能	R	W
SSE	$\overline{SS}$端子機能許可ビット (注3)	0: $\overline{SS}$機能禁止 1: $\overline{SS}$機能許可	○	○
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	○	○
DINC	シリアル入力端子設定ビット	0: TxDi, RxDiを選択 (マスタモード)(注5) 1: STxDi, SRxDiを選択 (スレーブモード)(注6)	○	○
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオープンドレイン出力	○	○
ERR	障害エラーフラグ	0: 障害エラー無し 1: 障害エラーあり	○ (注4)	○
DL0	SDAi(TxDi)ディジタル遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: f(XIN)の2サイクル 010: f(XIN)の3サイクル 011: f(XIN)の4サイクル 100: f(XIN)の5サイクル 101: f(XIN)の6サイクル 110: f(XIN)の7サイクル 111: f(XIN)の8サイクル	○	○
DL1			○	○
DL2			○	○

注1. 本ビットはIICインタフェースとしてUARTiを使用する際、SDAi(TxDi)出力にディジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000"に設定してください。
注2. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。
注3. $\overline{SS}$を設定する場合，$\overline{CTS}$/$\overline{RTS}$禁止ビット(UARTi送受信制御レジスタ0のビット4)を"1"に設定して$\overline{CTS}$/$\overline{RTS}$機能を禁止して下さい．
注4. "0"のみ書き込み可能．
注5. CLKi、TxDiに対応する機能選択レジスタAでCLKi出力とTxDi出力に設定し、RxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。
注6. STxDiに対応する機能選択レジスタA、機能選択レジスタBでSTxDi出力に設定し、CLKi、SRxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。

図1.20.6.　UARTi特殊モードレジスタ3(i = 3、4)の構成

■クロック位相設定機能

UARTi特殊モードレジスタ3(0325$_{16}$, 02F5$_{16}$番地)(i = 3, 4)のビット1と、UARTi送受信制御レジスタ0(032C$_{16}$, 02FC$_{16}$番地)(i = 3、4)のビット6によって転送クロックの相と極性の4つの組み合わせを選択できます。

UARTi送受信制御レジスタ0(032C$_{16}$, 02FC$_{16}$番地)(i = 3, 4)のビット6によって転送クロックの極性を切り替えられ、UARTi特殊モードレジスタ3(0325$_{16}$, 02F5$_{16}$番地)(i = 3, 4)のビット1によって転送クロックの相を切り替えられます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにする必要があります。

＜マスタ(内部クロック)の場合＞(DINC=0)

図1.20.7に送受信のタイミングを示します。

＜スレーブ（外部クロック）の場合＞(DINC=1)

・UARTi特殊モードレジスタ3(0325$_{16}$, 02F5$_{16}$番地)(i = 3, 4)のビット1(CKPH)が“0”の場合

$\overline{\text{SSi}}$入力端子が“H”の時、出力データはハイインピーダンスです。$\overline{\text{SSi}}$入力端子が“L”でシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図1.20.8にタイミングを示します。

・UARTi特殊モードレジスタ3(0325$_{16}$, 02F5$_{16}$番地)(i = 3, 4)のビット1(CKPH)が“1”の場合

$\overline{\text{SSi}}$入力端子が“H”の時、出力データはハイインピーダンスです。$\overline{\text{SSi}}$端子が“L”で最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図1.20.9にタイミングを示します。

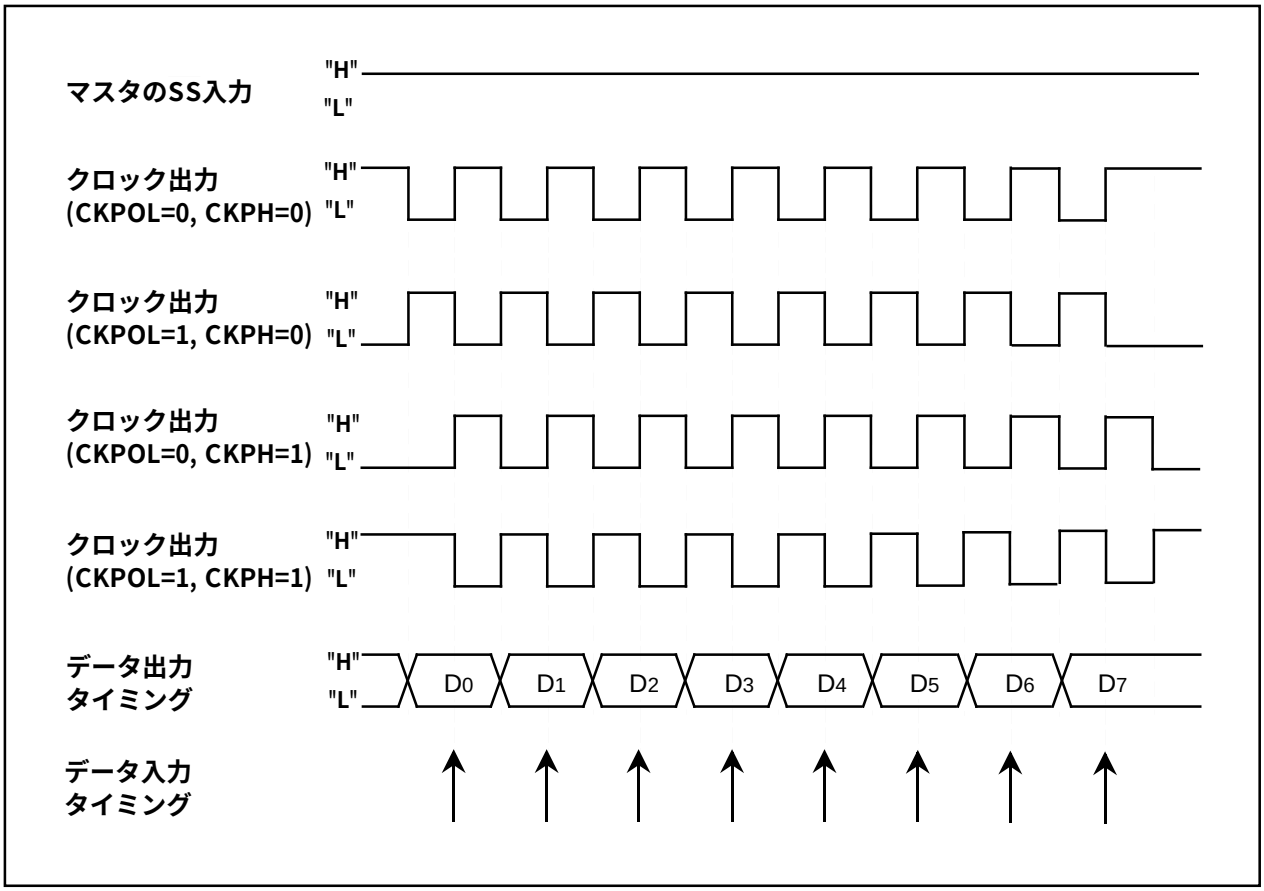


図1.20.7.　マスタ(内部クロック)の場合の送受信のタイミング

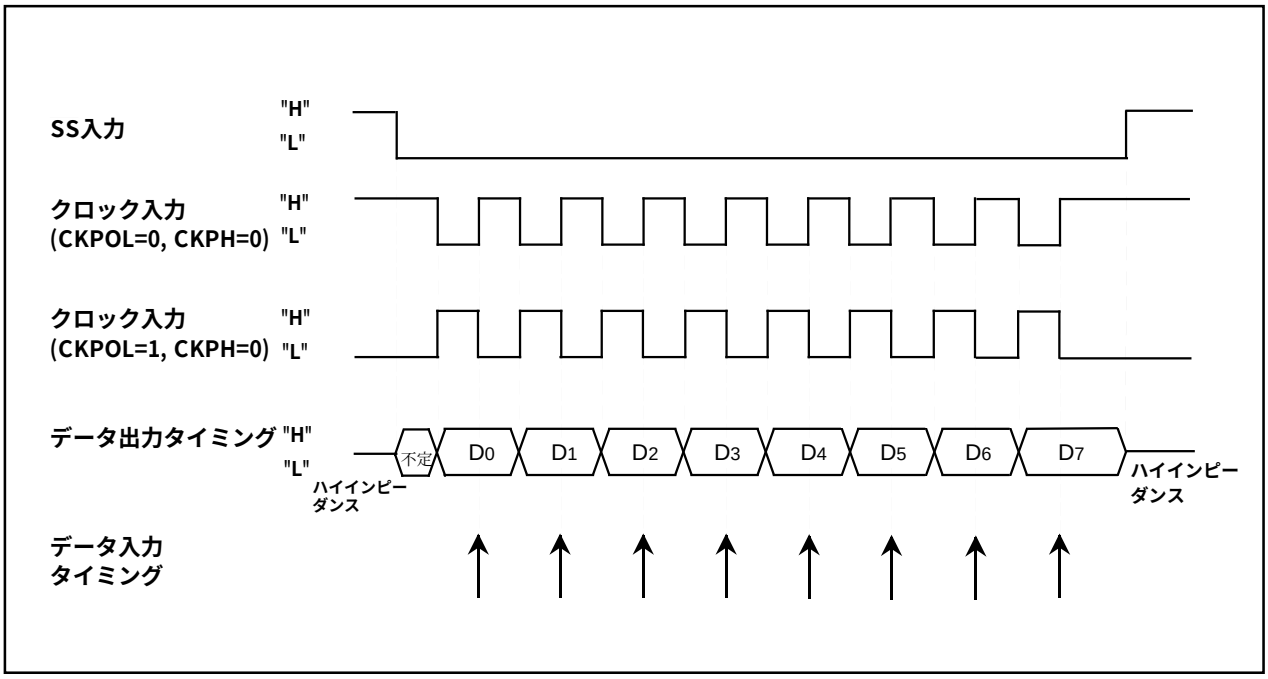


図1.20.8.　スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

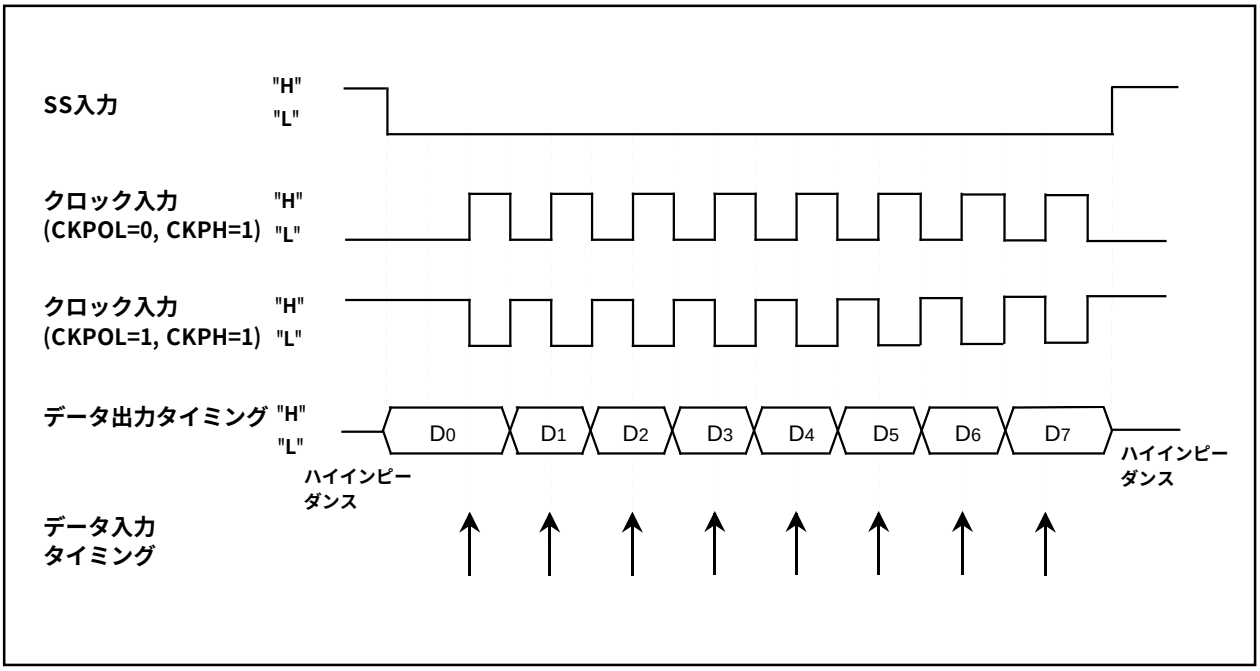


図1.20.9.　スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P10_0$～$P10_7$、$P9_5$、$P9_6$、さらにM16C/80TグループではP0₀～P0₇、P2₀～P2₇と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(0397_{16}番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.21.1にA-D変換器の性能を、図1.21.1にA-D変換器のブロック図を、図1.21.2、図1.21.3にA-D変換器関連のレジスタを示します。

表1.21.1. A-D変換器の性能

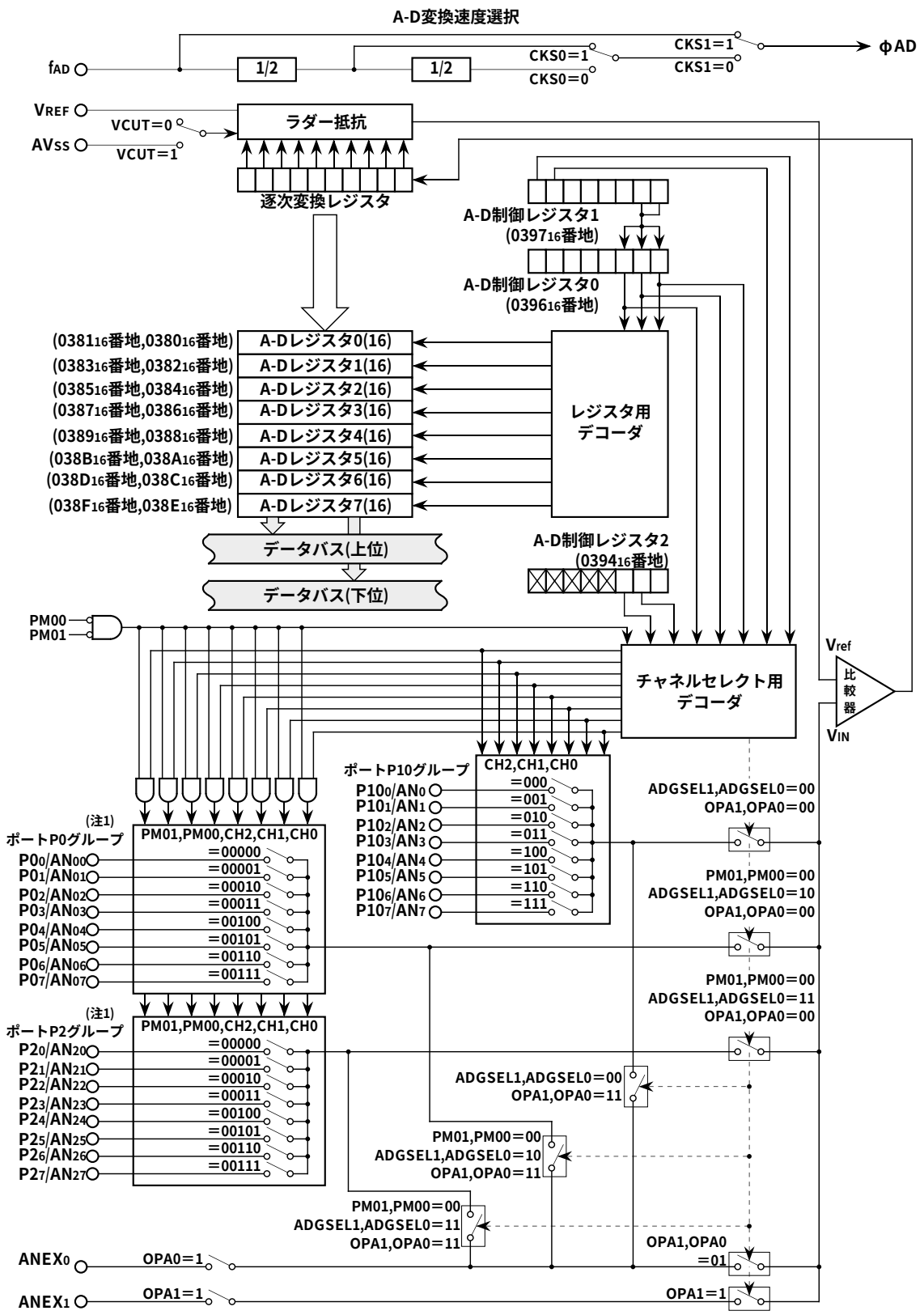
項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックφAD(注2)	f_{AD}/f_{AD}の2分周/f_{AD}の4分周　f_{AD}=f(X_{IN})　(V_{CC} = 5V)
分解能	8/10ビット選択可能
絶対精度(V_{CC} = 5V)	●分解能8ビット ±2LSB ●分解能10ビット ±3LSB ただし、AN_0～AN_7および拡張アナログ入力端子AN_{00}～AN_{07},AN_{20}～AN_{27}を外部オペアンプモード接続モードで使用する場合、±7LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0/繰り返し掃引モード1
アナログ入力端子(注3)	8本(AN_0～AN_7)＋2本(ANEX0,ANEX1)＋16本(AN_{00}～AN_{07},AN_{20}～AN_{27})(注4)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 ●外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつ$\overline{ADTRG}$/$P9_7$入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49φADサイクル 分解能10ビットの場合59φADサイクル ●サンプル&ホールドあり 分解能8ビットの場合28φADサイクル 分解能10ビットの場合33φADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(X_{IN})が10MHzを超える場合は分周し、φADの周波数を10MHz以下にしてください。
サンプル&ホールド機能なしのときφADの周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときφADの周波数は1MHz以上にしてください。

注3. アナログ入力端子として使用しない端子は、通常の入出力ポート、または各周辺機能の入出力端子として使用できます。

注4. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。



注1. M16C/80Tグループでは、AN_0と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

図1.21.1. A-D変換器のブロック図

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON0	039_{16}番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 (注2) 1 1 1 : AN_7を選択 (注3)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 繰り返し掃引モード1 (注3)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : AD_{TRG}によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON1	039_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0～ AN_3(4端子) 1 0 : AN_0～ AN_5(6端子) 1 1 : AN_0～ AN_7(8端子) 繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～ AN_2(3端子) 1 1 : AN_0～ AN_3(4端子) (注2)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1 (注3)	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない(注4) 0 1 : ANEX0入力をAD 変換(注5) 1 0 : ANEX1入力をAD 変換(注6) 1 1 : 外部オペアンプ接続モード(注7)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. $f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注4. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注5. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注6. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注7. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.2. A-D変換器関連レジスタ(1)

A-D制御レジスタ2(注1)

シンボル	アドレス	リセット時
ADCON2	0394_{16}番地	$0000XXX0_2$

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	0			

ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0：サンプル&ホールドなし 1：サンプル&ホールドあり	○	○
ADGSEL0	A-D入力グループ選択ビット (注2)	b2 b1 0 0：ポートP10グループを選択 0 1：使用禁止 1 0：ポートP0グループを選択 1 1：ポートP2グループを選択	○	○
ADGSEL1			○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			—	—

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、これらのビットで選択することによって、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	0380_{16}番地～$038F_{16}$番地	不定

(b15) b7							(b8) b0	b7						b0
╳	╳	╳	╳	╳	╳	╳								

機　　能	R	W
A-D変換結果の下位8ビット	○	×
●10ビットモード時 AD変換結果の上位2ビット	○	×
●8ビットモード時 読み出した場合、その内容は不定	×	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その内容は不定。	—	—

図1.21.3. A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.21.2に単発モードの仕様、図1.21.4に単発モード時のA-D制御レジスタ構成を示します。

表1.21.2. 単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	039_{16}番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 (注2) 1 1 1 : AN_7を選択 (注3)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード	○	○
MD1		(注3)	○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	0397_{16}番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1 (注2)	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない (注3) 0 1 : ANEX0入力をAD変換 (注4) 1 0 : ANEX1入力をAD変換 (注5) 1 1 : 外部オペアンプ接続モード (注6)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. $f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注3. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注4. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注5. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注6. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.21.3に繰り返しモードの仕様、図1.21.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.21.3. 繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7より1端子を選択(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し (常時読み出し可能)

注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

シンボル	アドレス	リセット時
ADCON0	0396_{16}番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 (注2) 1 1 1 : AN_7を選択 (注3)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード (注3)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

シンボル	アドレス	リセット時
ADCON1	0397_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1 (注2)	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0,ANEX1は使用しない (注3) 0 1 : ANEX0入力をAD 変換 (注4) 1 0 : ANEX1入力をAD 変換 (注5) 1 1 : 外部オペアンプ接続モード (注6)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. $f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注3. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注4. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注5. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注6. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.5. 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.21.4に単掃引モードの仕様、図1.21.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.21.4. 単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	0396_{16}番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			1	0			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : f_{AD}/4を選択 1 : f_{AD}/2を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	0397_{16}番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子) (注2)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1 (注3)	0 : f_{AD}/2、 f_{AD}/4を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注4)	b7 b6 0 0 : ANEX0,ANEX1は使用しない (注5) 0 1 : ANEX0入力をAD 変換 (注6) 1 0 : ANEX1入力をAD 変換 (注7) 1 1 : 外部オペアンプ接続モード (注8)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. f(X_{IN})が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注4. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。
注5. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注6. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注7. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注8. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.6. 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.21.5に繰り返し掃引モード0の仕様、図1.21.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.21.5. 繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0,AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル: ADCON0　アドレス: 039_{16}番地　リセット時: $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0		

シンボル: ADCON1　アドレス: 039_{16}番地　リセット時: 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)　(注2)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1　(注3)	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注4)	b7 b6 0 0 : ANEX0,ANEX1は使用しない (注5) 0 1 : ANEX0入力をAD変換 (注6) 1 0 : ANEX1入力をAD変換 (注7) 1 1 : 外部オペアンプ接続モード (注8)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. $f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注4. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。
注5. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注6. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注7. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注8. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.7. 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表1.21.6に繰り返し掃引モード1の仕様、図1.21.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.21.6. 繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7 重点的に行う端子：AN_0(1端子)、AN_0,AN_1(2端子)、AN_0～AN_2(3端子)、AN_0～AN_3(4端子)(注1)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	0396_{16}番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	0397_{16}番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
		1			1		

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0,AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)　(注2)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“1”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1 (注3)	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
OPA0	外部オペアンプ接続モードビット(注4)	b7 b6 0 0 : ANEX0,ANEX1は使用しない (注5) 0 1 : ANEX0入力をAD変換 (注6) 1 0 : ANEX1入力をAD変換 (注7) 1 1 : 外部オペアンプ接続モード (注8)	○	○
OPA1			○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。
注3. $f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。
注4. 外部オペアンプ接続モードビットで“01”,“10”の選択はできません。
注5. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
注6. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
注7. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
注8. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図1.21.8. 繰り返し掃引モード1時のA-D制御レジスタ

■サンプル&ホールド

A-D制御レジスタ2(0394_{16}番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28ϕ_{AD}サイクル、分解能10ビットの場合33ϕ_{AD}サイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA-D変換を開始してください。

■拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(0397_{16}番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(0397_{16}番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

また、M16C/80Tグループでは拡張アナログ入力端子AN_{00}～AN_{07}、AN_{20}～AN_{27}の16端子からの入力もA-D変換することができます。これらの端子はAN_0～AN_7と同様に扱うことができます。

A-D制御レジスタ2(0394_{16}番地)のビット1、ビット2でAN_0～AN_7、AN_{00}～AN_{07}、AN_{20}～AN_{27}から使用する端子グループを選択します。

選択された端子グループの内、アナログ入力端子として使用しない端子は、通常の入出力ポート、各周辺機能の入出力端子として使用できます。

拡張アナログ入力端子ANEX0、ANEX1の2端子を使用する場合は、機能選択レジスタB3で対応するポートの入力周辺機能を禁止に設定してください。

■外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(0397_{16}番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN_0～AN_7(注1)からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.21.9に外部オペアンプ接続モードの接続例を示します。

拡張アナログ入力端子ANEX0、ANEX1の2端子を使用する場合は、機能選択レジスタB3で対応するポートの入力周辺機能を禁止に設定してください。

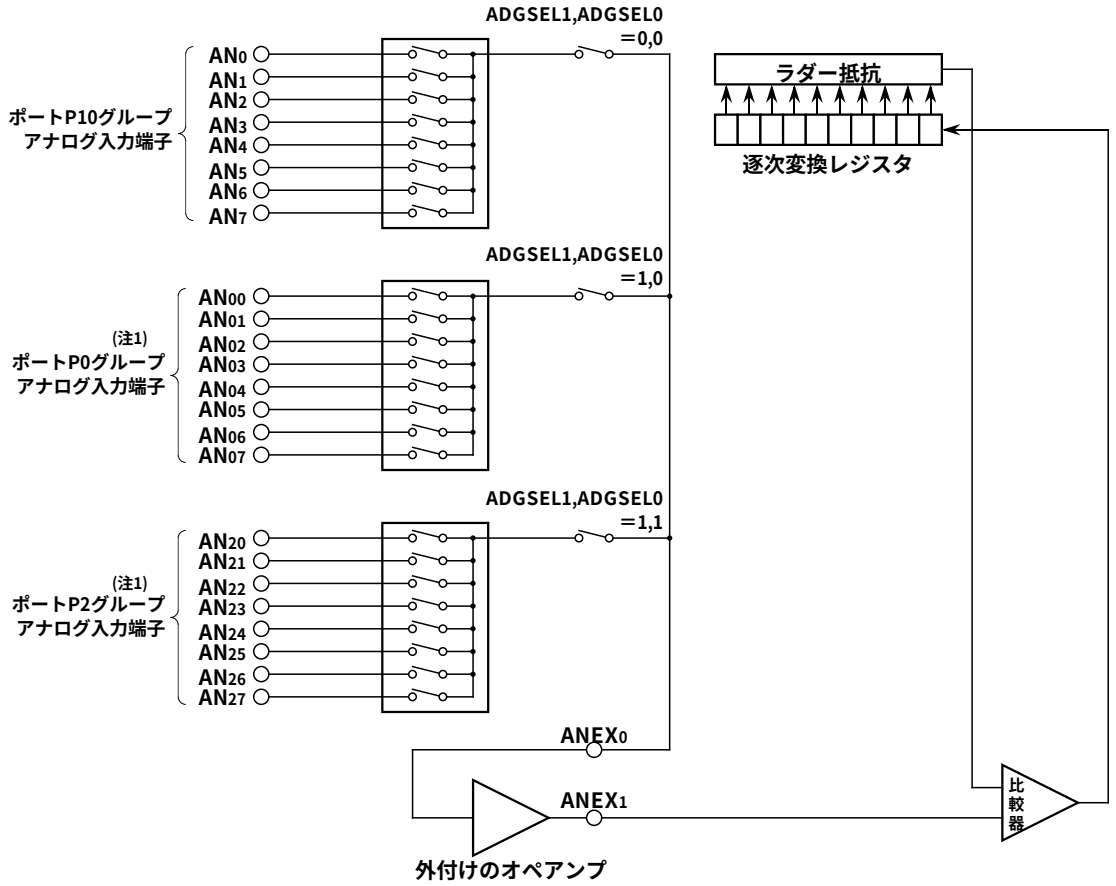
注1. M16C/80Tグループでは、AN_0～AN_7と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

■A-D変換器の使用時の注意事項

(1) アナログ入力端子として使用する端子および外部トリガ入力端子($P9_7$)に対応するポートの方向レジスタは入力に設定してください。

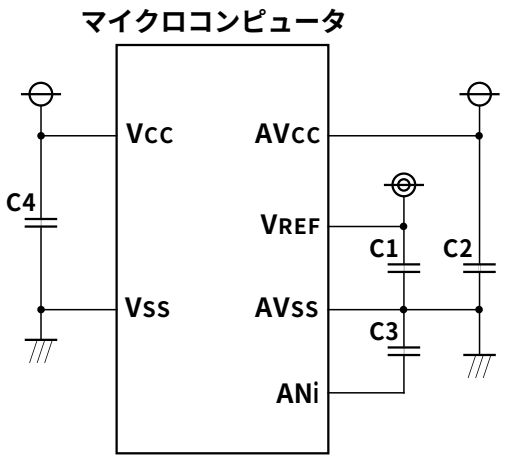
(2) キー入力割り込みを使用する場合、AN_4～AN_7は4本ともA-D変換ポートとして使用できません(A-D入力電圧が“L”レベルになると、キー入力割り込みが発生します)。

(3) ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、$AVcc$端子、$VREF$端子、およびアナログ入力端子(ANi)と$AVss$端子の間には、それぞれコンデンサを挿入してください。同様にVcc端子とVss端子の間にもコンデンサを挿入してください。図1.21.10に各端子の処理例を示します。



注1. M16C/80Tグループでは、AN_0と同様にAN_{00}～AN_{07}、AN_{20}～AN_{27}をアナログ入力端子として使用できます。

図1.21.9. 外部オペアンプ接続モードの接続例



注1.　C1≧0.47μF、C2≧0.47μF、C3≧100pF、C4≧0.1μF(参考値)
注2.　コンデンサは太い配線を使用して、最短距離で接続してください。

図1.21.10. 各端子のノイズ対策処理例

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートを出力モードに設定しないでください。対応するポートを機能選択レジスタA3で入出力ポートに、機能選択レジスタB3で入力周辺機能を禁止に、方向レジスタで入力モードに設定してください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V=V_{REF}\times n/256$(n=0～255)

V_{REF}：基準電圧

表1.22.1にD-A変換器の性能を、図1.22.1にD-A変換器のブロック図を、図1.22.2にD-A制御レジスタの構成を、図1.22.3にD-A変換器の等価回路を示します。

表1.22.1. D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャネル

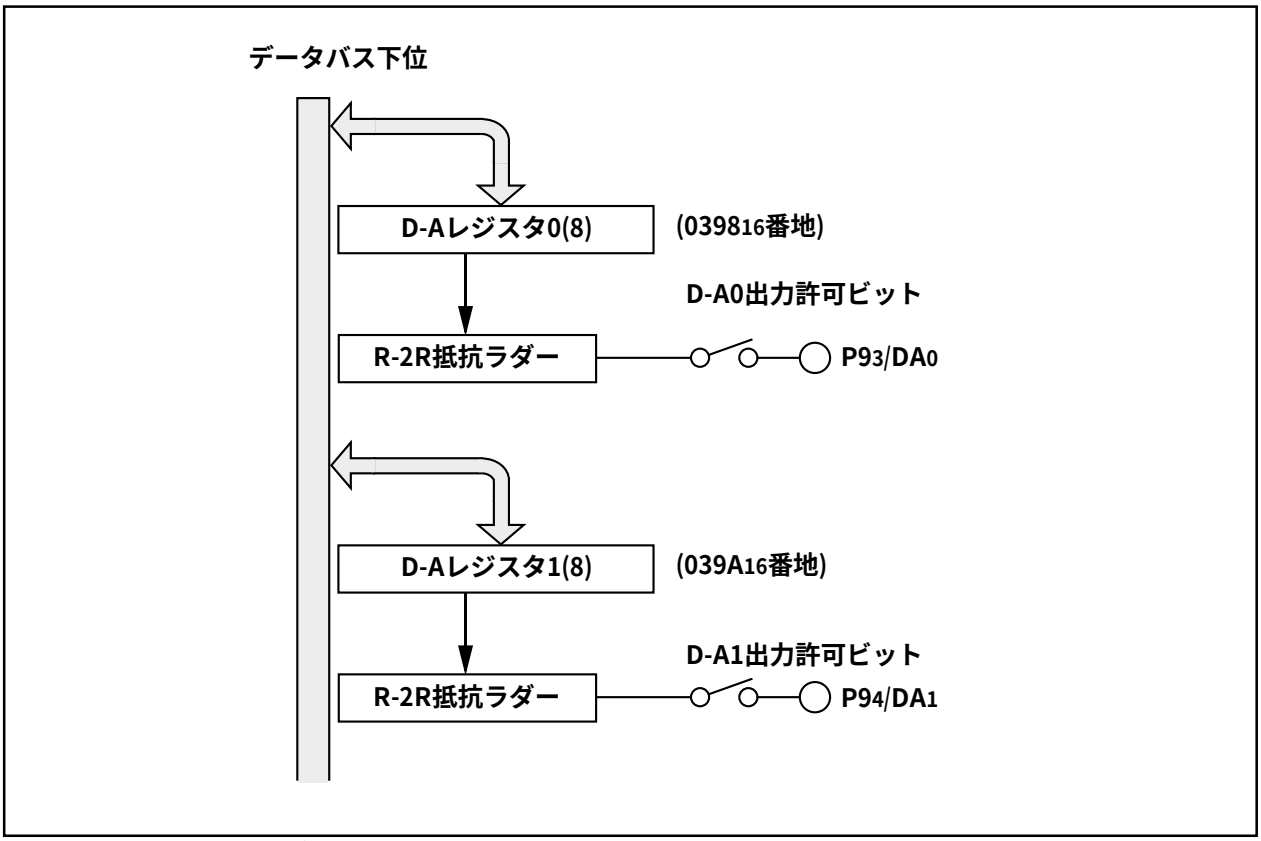


図1.22.1. D-A変換器のブロック図

D-A制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
DACON	039C16番地	0016

ビットシンボル	ビット名	機　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

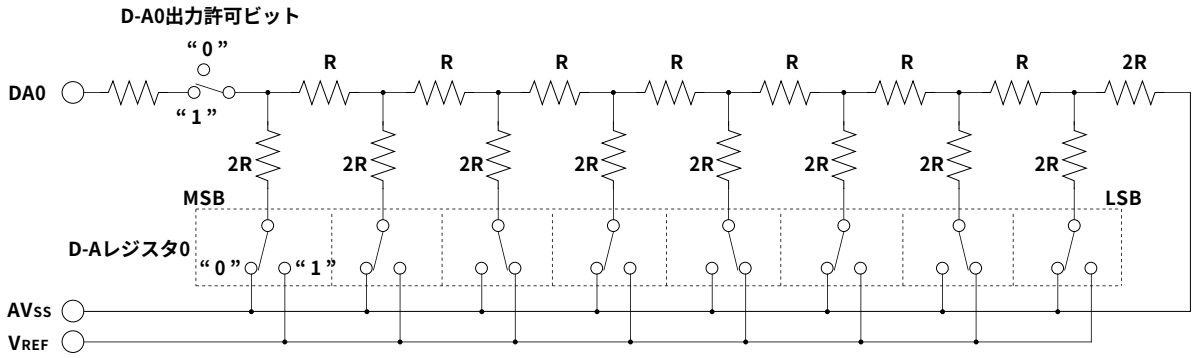
D-Aレジスタi

b7 b0

シンボル	アドレス	リセット時
DAi(0,1)	0398₁₆、039A₁₆番地	不定

機　能	R	W
D-A変換の出力値	○	○

図1.22.2. D-A制御レジスタの構成



注1. 上図はD-Aレジスタの値が“2A16”の場合です。
注2. この回路はD-A1においても同一です。
注3. D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“0”とし、D-Aレジスタを“0016”として、R-2Rの抵抗に電流が流れないようにしてください。

図1.22.3. D-A変換器の等価回路

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^{5}+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.23.1にCRCのブロック図、図1.23.2にCRCの関連レジスタを示します。また、図1.23.3にCRC演算回路の演算例を示します。

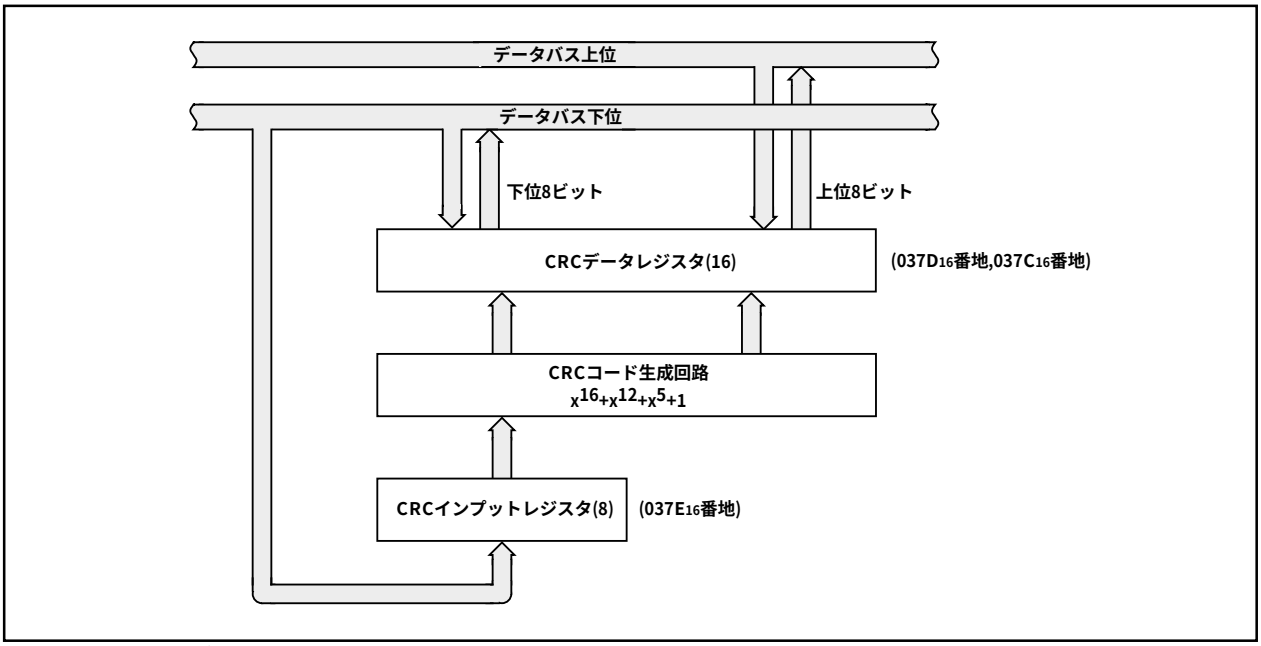


図1.23.1. CRCブロック図

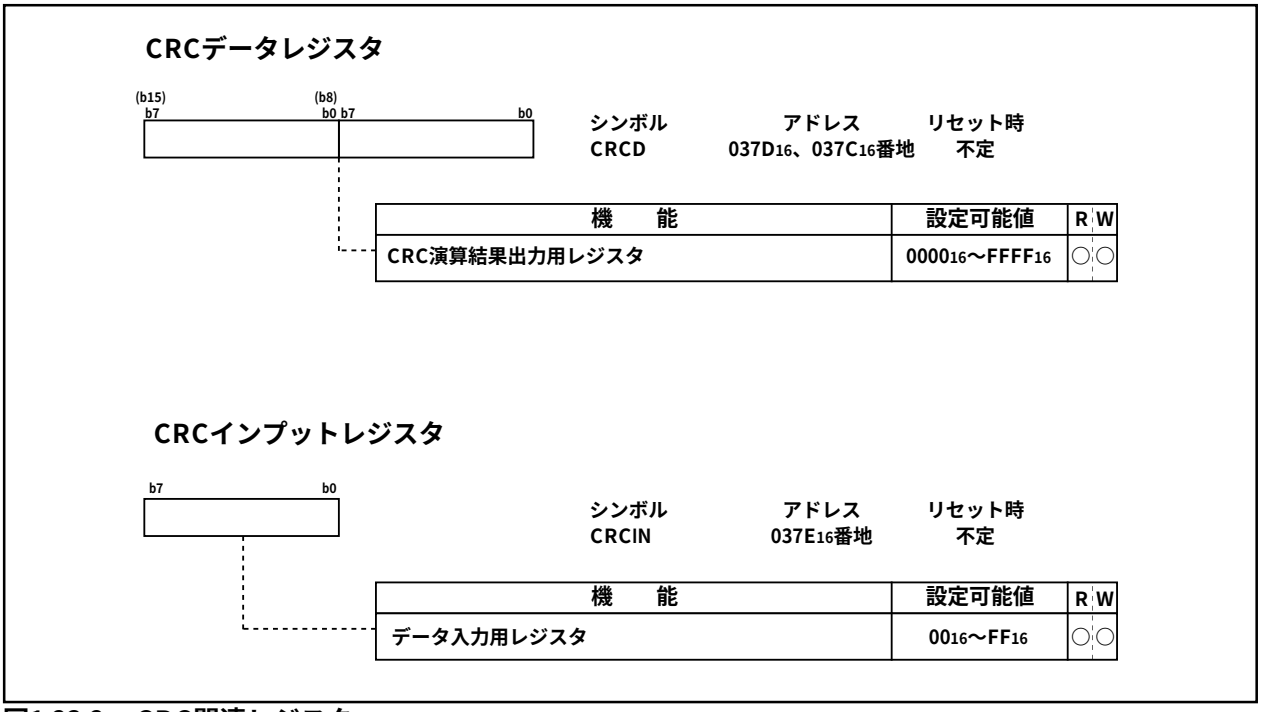


図1.23.2. CRC関連レジスタ

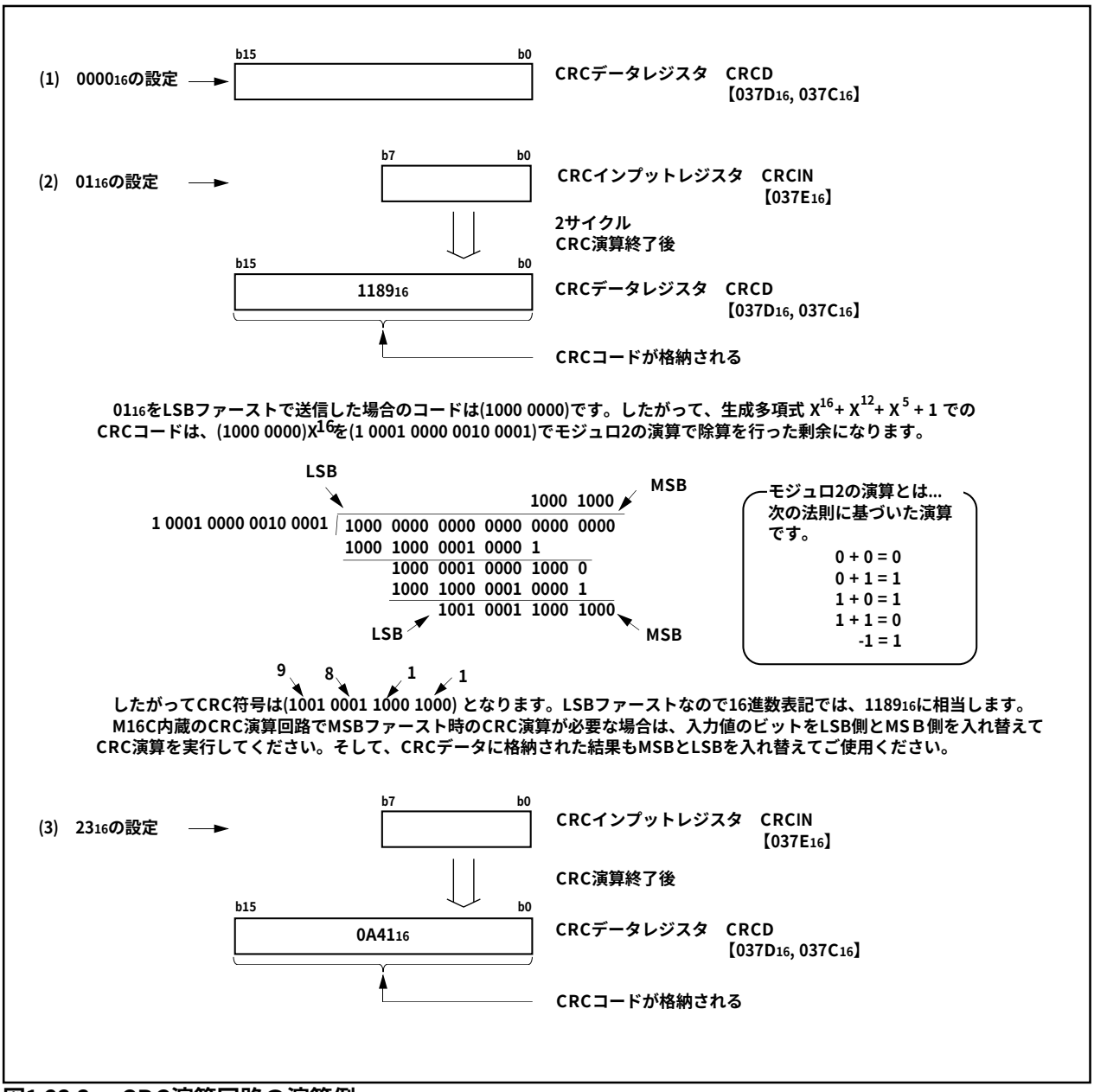


図1.23.3. CRC演算回路の演算例

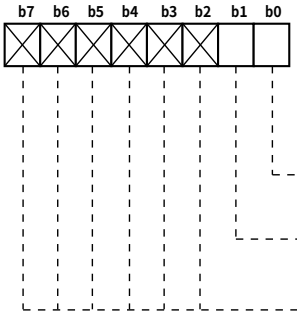
X-Y変換

X-Y変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図1.24.1にXY制御レジスタの構成を示します。

Xiレジスタ、Yiレジスタは16ビットレジスタで、それぞれ16本(i = 0～15)あります。

XiレジスタとYiレジスタは同一アドレスに配置されており、Xiレジスタは書き込み専用、Yiレジスタは読み出し専用です。XiレジスタとYiレジスタは必ず偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

XY制御レジスタ



シンボル	アドレス	リセット時
XYC	$002E_{16}$番地	$XXXXXX00_2$

ビットシンボル	ビット名	機　　能	R	W
XYC0	読み出しモード設定ビット	0:データ変換あり 1:データ変換なし	○	○
XYC1	書き込みモード設定ビット	0:ビット配置変換なし 1:ビット配置変換あり	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図1.24.1.　XY制御レジスタの構成

Yiレジスタの読み出しは、読み出しモード設定ビット(02E0$_{16}$番地のビット0)で制御されます。

読み出しモード設定ビット(02E0$_{16}$番地のビット0)=“0”でYiレジスタを読み出すと、Xiレジスタの特定ビットを同時に読み出すことができます。

例えば、Y0レジスタを読み出すと、ビット0はX0レジスタのビット0、ビット1はX1レジスタのビット0、・・・、ビット14はX14レジスタのビット0、ビット15はX15レジスタのビット0が読み出せます。同様にY15レジスタを読み出すと、ビット0はX0レジスタのビット15、ビット1はX1レジスタのビット15、・・・、ビット14はX14レジスタのビット15、ビット15はX15レジスタのビット15が読み出せます。

読み出しモード設定ビット=“0”での変換テーブルを図1.24.2に、X-Y変換例を図1.24.3に示します。

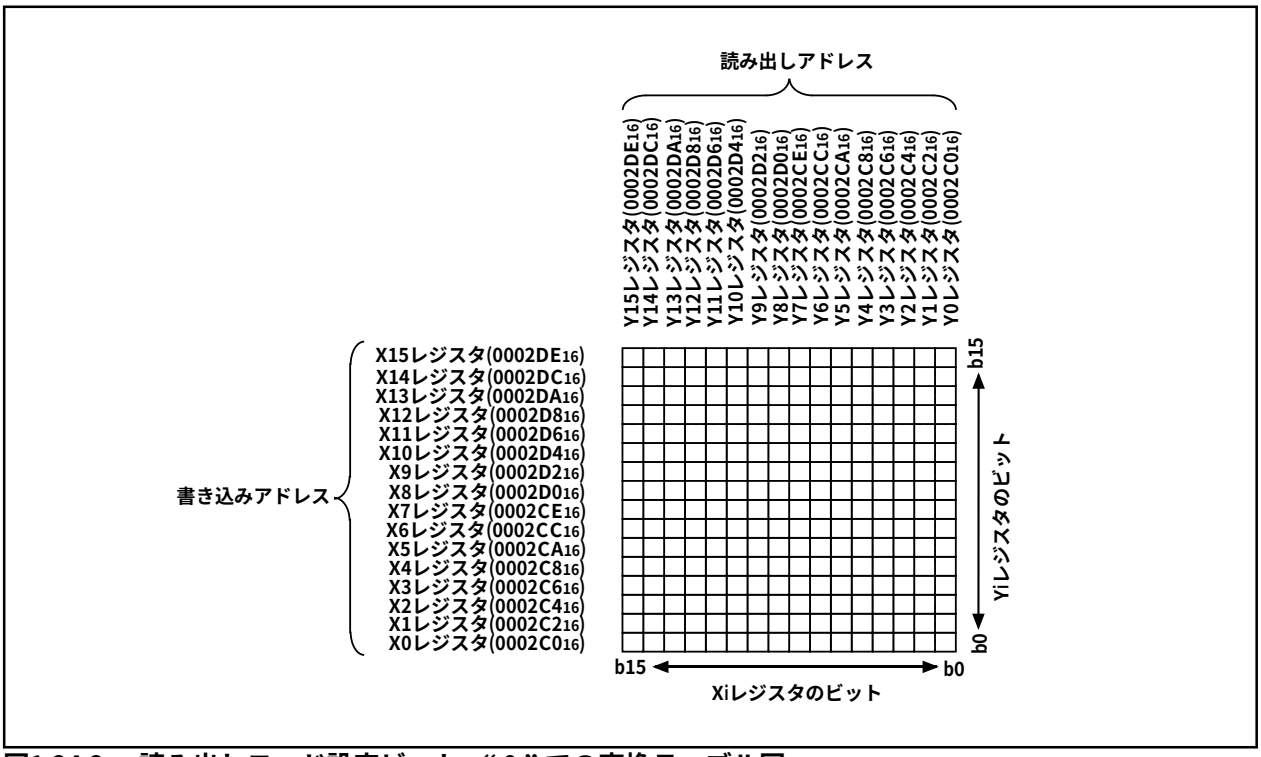


図1.24.2.　読み出しモード設定ビット=“0”での変換テーブル図

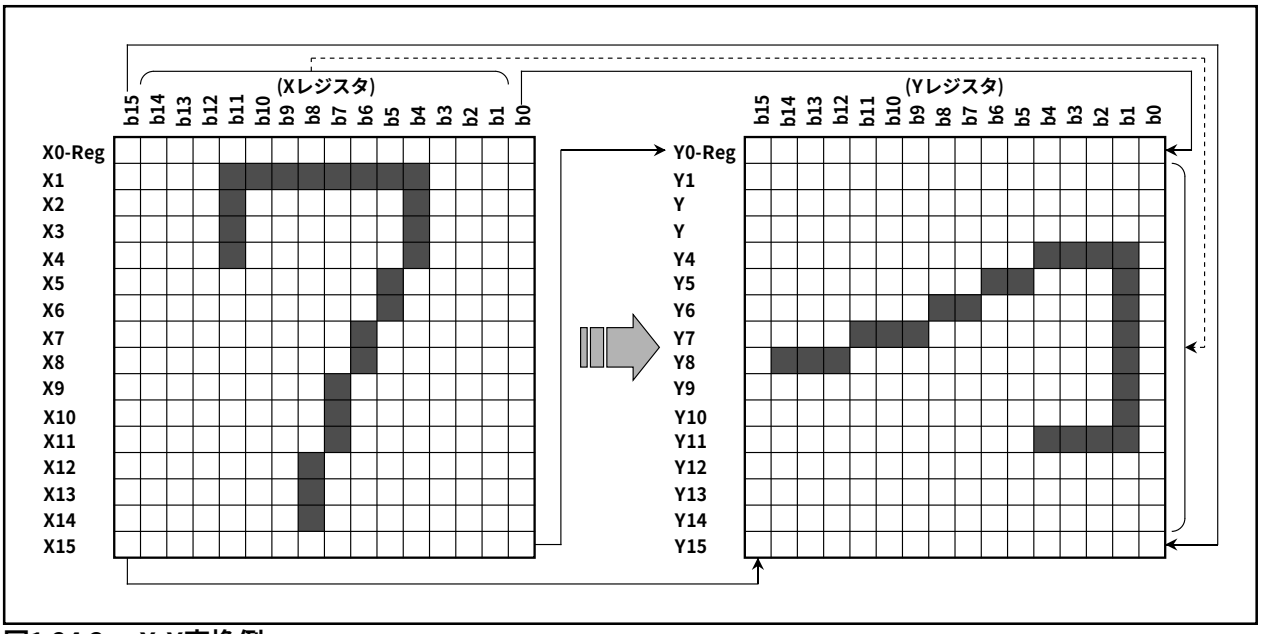


図1.24.3.　X-Y変換例

読み出しモード設定ビット(02E016番地のビット0)=“1”でYiレジスタを読み出すと、Xiレジスタに書き込まれた値がそのまま読み出すことができます。読み出しモード設定ビット=“1”での変換テーブルを図1.24.4に示します。

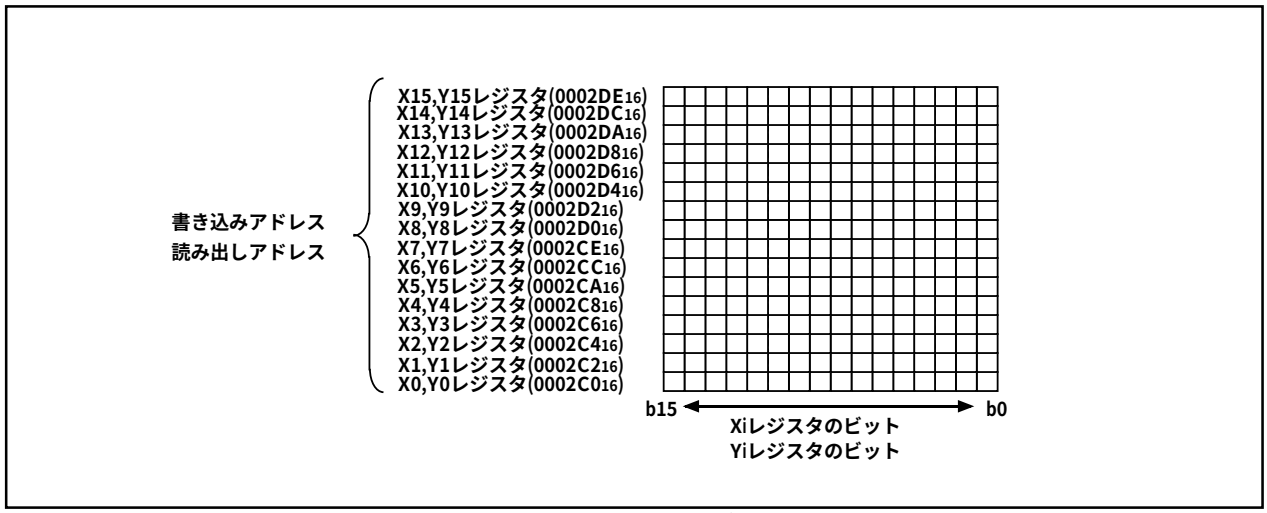


図1.24.4.　読み出しモード設定ビット=“1”での変換テーブル

Xiレジスタの書き込み内容は、書き込みモード設定ビット(02E016番地のビット1)で制御されます。

書き込みモード設定ビット(02E016番地のビット1)=“0”でXiレジスタに書き込みを行うと、ビット配列はそのまま書き込みます。

書き込みモード設定ビット(02E016番地のビット1)=“1”でXiレジスタに書き込みを行うと、ビット配置の上位と下位を反転したビット配置で書き込みます。書き込みモード設定ビット=“1”での変換テーブルを図1.24.5に示します。

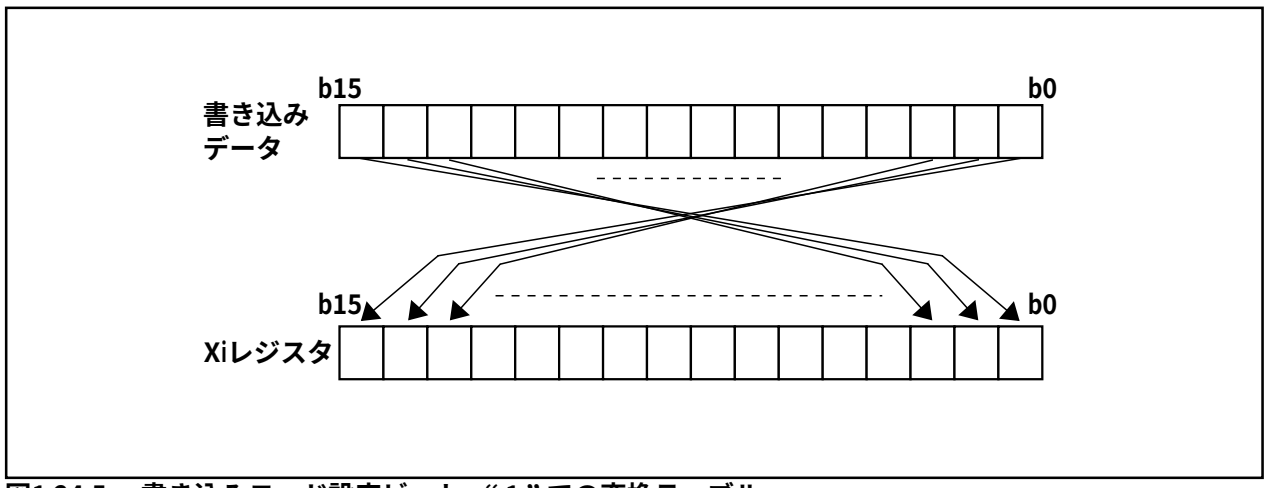


図1.24.5.　書き込みモード設定ビット=“1”での変換テーブル

DRAMコントローラ

512KバイトからM8バイトのDRAMに接続できるDRAMコントローラを内蔵します。ただし、M16C/80Tグループではメモリ拡張の動作保証をしていません。

DRAMコントローラの機能を表1.25.1に示します。

表1.25.1. DRAMコントローラの機能

DRAM空間	512KB, 1MB, 2MB, 4MB, 8MB
バス制御	2CAS/1W
リフレッシュ	$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュ セルフリフレッシュ対応
機能モード	EDO対応、ファーストページモード対応
ウエイト	1ウエイト、2ウエイト選択

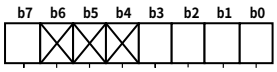
DRAMコントローラを使用するには、DRAM制御レジスタ(0040_{16}番地)のDRAM空間選択ビットでDRAMの空間を設定してください。図1.25.1にDRAM制御レジスタの構成を示します。

外部領域モードがモード3(0005_{16}番地のビット1、ビット0 = “ 11_2 ”)ではDRAMコントローラは使用できません。必ず外部領域モードはモード0～モード2で使用してください。

DRAM領域のデータバス幅が16ビットの場合、R/Wモード選択ビット(0004_{16}番地のビット2)は“ 1 ”を設定してください。

DRAM電源投入後のメモリ動作前の待ち時間とリフレッシュのダミーサイクルに必要な処理はソフトウエアにて生成してください。

DRAM制御レジスタ



シンボル	アドレス	リセット時
DRAMCONT	0004_{16}番地	不定(注4)

ビットシンボル	ビット名	機　能	R	W
WT	ウエイト選択ビット(注1)	0 : 2ウエイト 1 : 1ウエイト	○	○
AR0	DRAM空間選択ビット	b3 b2 b1 0 0 0 : DRAM無効 0 0 1 : 設定禁止 0 1 0 : 0.5MB 0 1 1 : 1MB 1 0 0 : 2MB 1 0 1 : 4MB 1 1 0 : 8MB 1 1 1 : 設定禁止	○	○
AR1			○	○
AR2			○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
SREF	セルフリフレッシュ モードビット(注2)	0 : セルフリフレッシュ解除 1 : セルフリフレッシュ設定	○	○

注1. サイクル数は2ウエイト時3－2－2・・・、1ウエイト時2－1－1・・・となります。
注2. “ 1 ”設定により$\overline{RAS}$、$\overline{CAS}$ともに“ L ”へ遷移、“ 0 ”設定により$\overline{RAS}$、$\overline{CAS}$ともに“ H ”へ遷移後通常動作(リード/ライト、リフレッシュ)へ復帰します。ストップ状態時は制御不可です。
注3. バス幅は、外部データバス幅制御レジスタ($000B_{16}$番地)により設定してください。
8ビットバス幅を選択した場合は$\overline{CASH}$は不定です。
注4. リセット解除後、データは不定です。
このレジスタにデータを書き込むことにより、DRAMコントローラは動作を開始します。

図1.25.1. DRAM制御レジスタの構成

・DRAMコントローラマルチプレクスアドレス出力

DRAMコントローラはアドレスバスのA8～A20に行アドレスと列アドレスをマルチプレクスした信号を出力します。図1.25.2にアドレスマルチプレクス時の出力形態を示します。

8ビットバスモード時

端子機能	MA12 (A20)	MA11 (A19)	MA10 (A18)	MA9 (A17)	MA8 (A16)	MA7 (A15)	MA6 (A14)	MA5 (A13)	MA4 (A12)	MA3 (A11)	MA2 (A10)	MA1 (A9)	MA0 (A8)
行アドレス	(A20)	(A19)	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	—
列アドレス	(A22)	(A22)	A19	A8	A7	A6	A5	A4	A3	A2	A1	A0	—
			512KB、1MB										
行アドレス	(A20)	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	—
列アドレス	(A22)	A21	A20	A8	A7	A6	A5	A4	A3	A2	A1	A0	—
			2MB、4MB										
行アドレス	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	—
列アドレス	(A22)	A22	A21	A8	A7	A6	A5	A4	A3	A2	A1	A0	—
			8MB										

16ビットバスモード時

端子機能	MA12 (A20)	MA11 (A19)	MA10 (A18)	MA9 (A17)	MA8 (A16)	MA7 (A15)	MA6 (A14)	MA5 (A13)	MA4 (A12)	MA3 (A11)	MA2 (A10)	MA1 (A9)	MA0 (A8)
行アドレス	(A20)	(A19)	A18	A17	A16	A15	A14	A13	A12	A11	A10	(A9)	—
列アドレス	(A22)	(A20)	$\overline{A9}$	A8	A7	A6	A5	A4	A3	A2	A1	(A0)	—
			512KB										
行アドレス	(A20)	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	(A9)	—
列アドレス	(A22)	A20	$\overline{A9}$	A8	A7	A6	A5	A4	A3	A2	A1	(A0)	—
			1MB、2MB										
行アドレス	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	(A9)	—
列アドレス	A22	A21	$\overline{A9}$	A8	A7	A6	A5	A4	A3	A2	A1	(A0)	—
			4MB、8MB(注2)										

注1. (　) 無効ビット、　　モード(8ビット/16ビットバスモード、DRAM空間)により変わるビット
注2. 4M×1、4M×4のメモリを使用する場合を示します。4M×16を使用する場合は、行アドレスにMA0～MA12、列アドレスにMA2～MA8、MA11、MA12あるいは、行アドレスにMA1～MA12、列アドレスにMA2～MA9、MA11、MA12の組み合わせで使用します。
注3. — 不定です。

図1.25.2.　アドレスマルチプレクス時の出力形態

・リフレッシュ

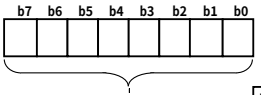
リフレッシュ方式は$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュ方式です。リフレッシュ間隔は、DRAMリフレッシュ間隔設定レジスタ(0041_{16}番地)で設定します。ホールド状態ではリフレッシュ信号は出力されません。

図1.25.3にDRAMリフレッシュ間隔設定レジスタの構成を示します。

リフレッシュ間隔設定レジスタの設定値は以下の式で求められます。

リフレッシュ間隔設定レジスタ値 (0～255) ＝ リフレッシュ間隔時間 ÷ (BCLK周期 × 32) － 1

DRAMリフレッシュ間隔設定レジスタ



シンボル	アドレス	リセット時
REFCNT	0004_{16}番地	不定

ビットシンボル	ビット名	機　　能	R	W
REFCNT0	リフレッシュ間隔設定ビット	b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 0 0 : 1.6 µs (注1) 0 0 0 0 0 0 0 1 : 3.2 µs 0 0 0 0 0 0 1 0 : 4.8 µs ・ ・ ・ 1 1 1 1 1 1 1 1 : 409.6 µs	○	○
REFCNT1			○	○
REFCNT2			○	○
REFCNT3			○	○
REFCNT4			○	○
REFCNT5			○	○
REFCNT6			○	○
REFCNT7			○	○

注1.　20MHz分周なしの動作時のリフレッシュ間隔、
リフレッシュ間隔 ＝ BCLK周期 × (リフレッシュ間隔設定ビット ＋ 1) × 32

図1.25.3.　DRAMリフレッシュ間隔設定レジスタの構成

ストップモード時などでDRAMのセルフリフレッシュ動作が行えます。

セルフリフレッシュに移行する場合は、DRAM空間選択ビットでDRAM無効を選択し、次の命令でDRAM空間選択ビットの設定とセルフリフレッシュモードビットでのセルフリフレッシュ設定を同時に行ってください。また、セルフリフレッシュモードビットを“1”に設定直後2命令はNOPを入れてください。

セルフリフレッシュ動作中は、外部へのアクセスは禁止です(全外部領域のアクセス禁止)。

セルフリフレッシュを解除する場合はDRAM空間選択ビットでDRAM無効とセルフリフレッシュモードビットでのセルフリフレッシュ解除を同時に行い、次の命令でDRAM空間選択ビットの設定を行ってください。また、DRAM空間選択ビット設定直後の命令でDRAM領域のアクセスを行わないでください。

例：ウエイト選択ビットで1ウエイト選択、DRAM空間選択ビットで4MB選択

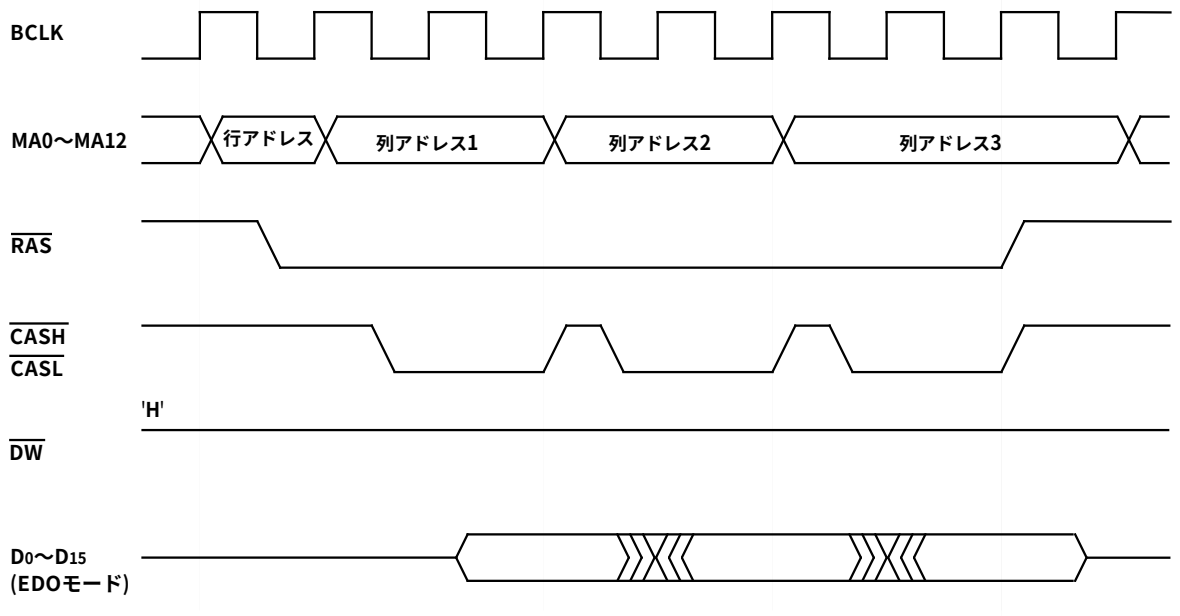
● セルフリフレッシュ移行

```
・・・
mov.b    #00000001b, DRAMCONT   ; DRAM無効、1ウエイト選択
mov.b    #10001011b, DRAMCONT   ; セルフリフレッシュ設定、4MB、1ウエイト選択
nop                             ; 2命令nopが必要
nop
・・・
```

● セルフリフレッシュ解除

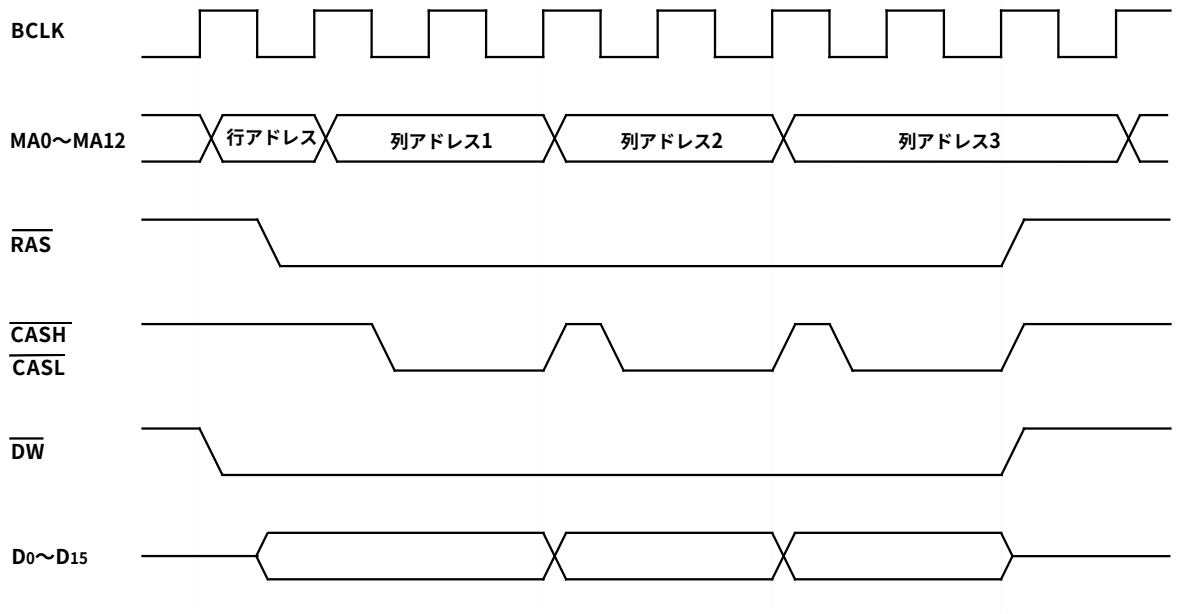
```
・・・
mov.b    #00000001b, DRAMCONT   ; セルフリフレッシュ解除、DRAM無効、1ウエイト選択
mov.b    #00001011b, DRAMCONT   ; 4MB、1ウエイト選択
nop                             ; DRAM領域をアクセスする命令は禁止
nop
・・・
```

DRAMアクセス時のバスタイミングを図1.25.4～図1.25.6に示します。



＜リードサイクル(ウェイト制御ビット：0)＞

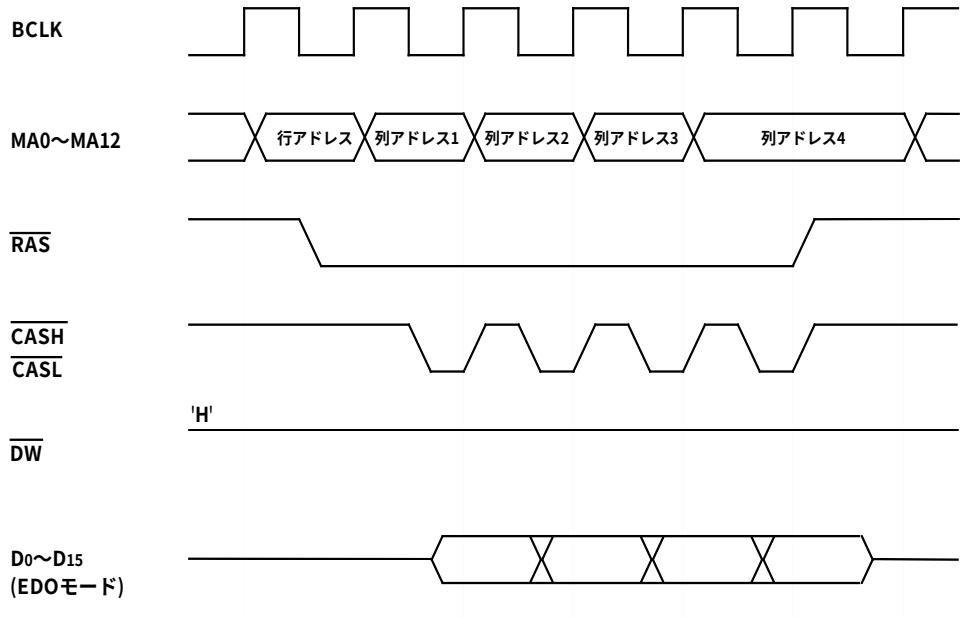
注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。



＜ライトサイクル(ウェイト制御ビット：0)＞

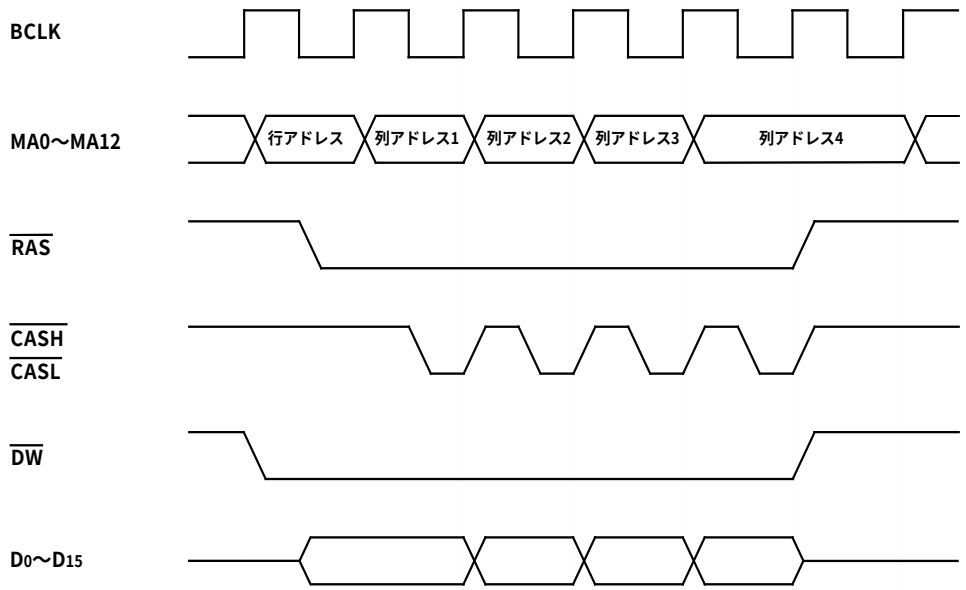
注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。

図1.25.4.　DRAMアクセス時のバスタイミング(1)



＜リードサイクル(ウェイト制御ビット：1)＞

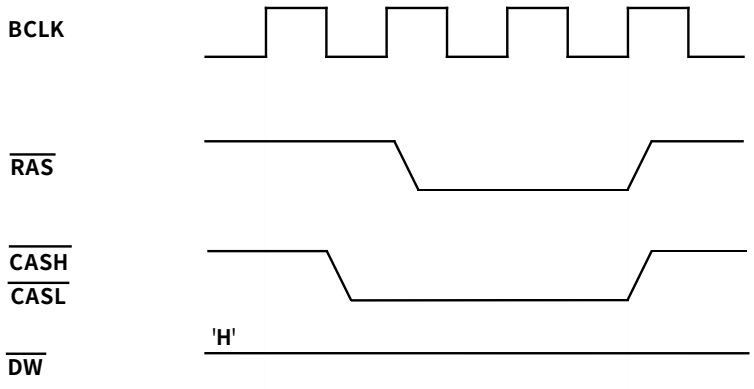
注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。



＜ライトサイクル(ウェイト制御ビット：1)＞

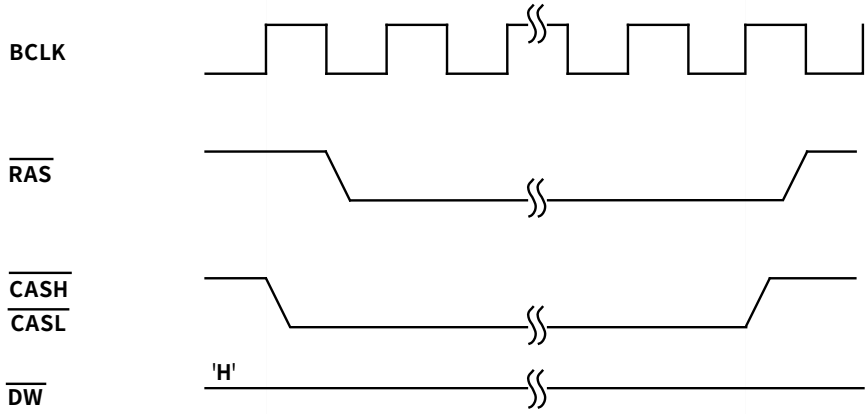
注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。

図1.25.5.　DRAMアクセス時のバスタイミング(2)



＜$\overline{\text{CAS}}$ビフォア$\overline{\text{RAS}}$リフレッシュサイクル＞

注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。



＜セルフリフレッシュサイクル＞

注1.　データバス幅が8ビットの場合は$\overline{\text{CASL}}$のみ動作します。

図1.25.6.　DRAMアクセス時のバスタイミング(3)

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図1.26.1～図1.26.3に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、各端子の周辺機能に対応した、機能選択レジスタAと機能選択レジスタB、機能選択レジスタCの設定をしてください。D-A変換器の出力端子として使用する場合は、各端子の機能選択レジスタAを入出力ポートに設定し、方向レジスタを入力モードに設定してください。各端子の周辺出力機能を表1.26.1に示します。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.26.4に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、A_0～A_{22}、A_{23}、D_0～D_{15}、MA_0～MA_{12}、$\overline{CS0}$～$\overline{CS3}$、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLK_{OUT}、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子の方向レジスタの内容を変更できません。ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

注1. $P8_5$の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.26.5に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、A_0～A_{22}、A_{23}、D_0～D_{15}、MA_0～MA_{12}、$\overline{CS0}$～$\overline{CS3}$、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLK_{OUT}、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子のポートレジスタの内容を変更できません。ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

(3) 機能選択レジスタA

機能選択レジスタAの構成を、図1.26.6、図1.26.7に示します。

端子出力機能がポート出力と周辺機能出力との多重機能になっている場合、ポート出力と周辺機能出力を選択するためのレジスタです。

このレジスタの各ビットは端子出力機能が多重機能となっている端子1本ずつに対応しています。

(4) 機能選択レジスタB

機能選択レジスタBの構成を、図1.26.8、図1.26.9に示します。

端子に周辺機能出力が複数割り付けられている場合、第一周辺機能出力と第二周辺機能出力を選択するためのレジスタです。第三周辺機能を有する端子では機能選択レジスタCを有効にするか、第二周辺機能を出力するか選択します。

このレジスタの各ビットは端子に周辺機能出力が複数割り付けられている端子1本ずつに対応しています。

このレジスタは対応する端子の機能選択レジスタAのビットが周辺機能を選択しているときに有効です。

機能選択レジスタB3のビット3～ビット6は入力周辺機能を禁止するビットです。DA0/DA1、ANEX0/ANEX1として使用する場合は対応するビットを“1”に設定してください。それ以外の入出力端子として使用する場合は“0”に設定してください。

(5) 機能選択レジスタC

機能選択レジスタCの構成を、図1.26.10に示します。

端子に周辺機能出力が3つ割り付けられている場合、第一周辺機能出力と第三周辺機能出力を選択するためのレジスタです。

このレジスタは対応する端子の機能選択レジスタAのビットが周辺機能を選択しており、機能選択レジスタBが機能選択レジスタCを有効にしているときに有効です。

また、第7ビット(PSC_7)にキー入力割り込み禁止ビットを配置します。キー入力割り込み禁止ビットを“1”に設定すると、$\overline{KI_0}$～$\overline{KI_3}$端子に“L”が入力されても割り込み制御レジスタの設定にかかわらずキー入力割り込みは発生しません。また、キー入力割り込み禁止ビットが“1”に設定されている場合、ポート方向レジスタが入力モードに設定されていてもポート端子からの入力も行えません。

(6) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.26.11、図1.26.12に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

メモリ拡張モード、マイクロプロセッサモード時、P0～P5はバスとして動作しますので、プルアップ制御レジスタの設定を行わないでください。ただし、設定により入出力ポートとして使用できるポートは、プルアップ抵抗有無の選択ができます。

(7) ポート制御レジスタ

ポート制御レジスタの構成を、図1.26.13に示します。

ポートP1をCMOSポートとするかNchオープンドレインとするか選択するレジスタです。NchオープンドレインではCMOSポートのPchを常時OFFするものであり、ポートP1を完全なオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は“-0.3V～V_{CC}+0.3V”となります。

なお、マイクロプロセッサモード、メモリ拡張モード時で全領域外部バス幅を8ビットバス幅時、ポートP1がポートとして使用できる場合も上記と同様に機能します。

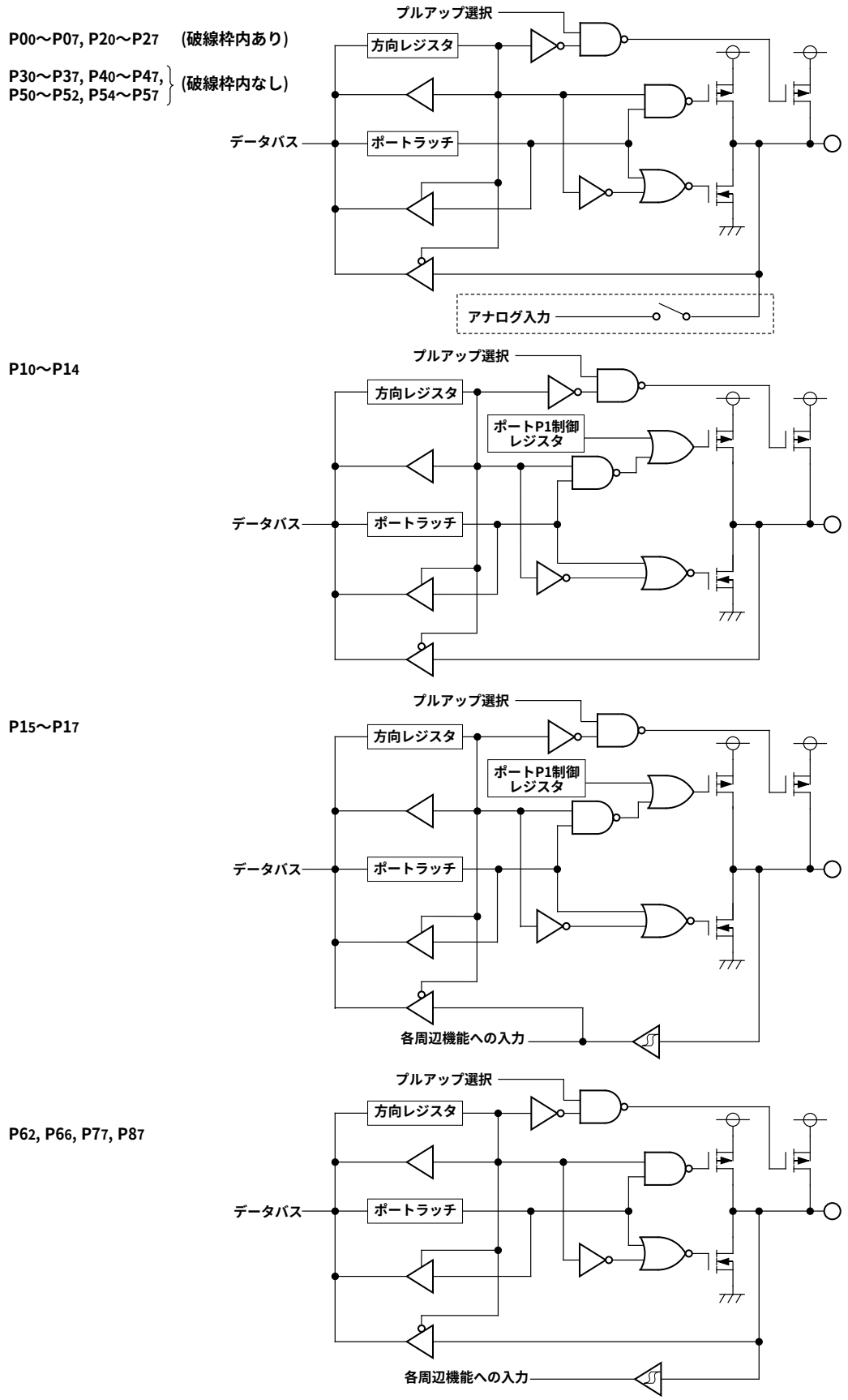


図1.26.1. プログラマブル入出力ポートの構成(1)

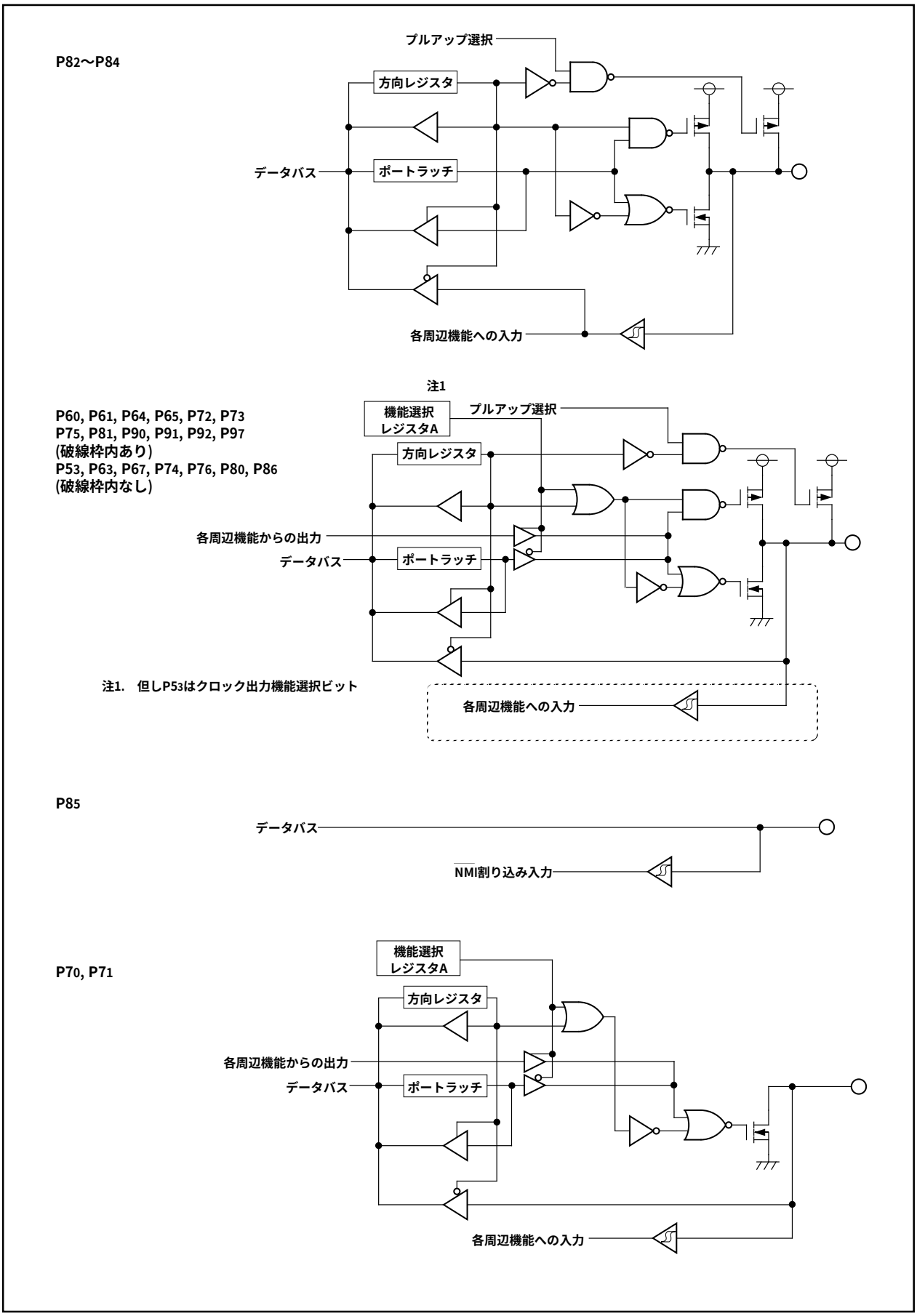


図1.26.2. プログラマブル入出力ポートの構成(2)

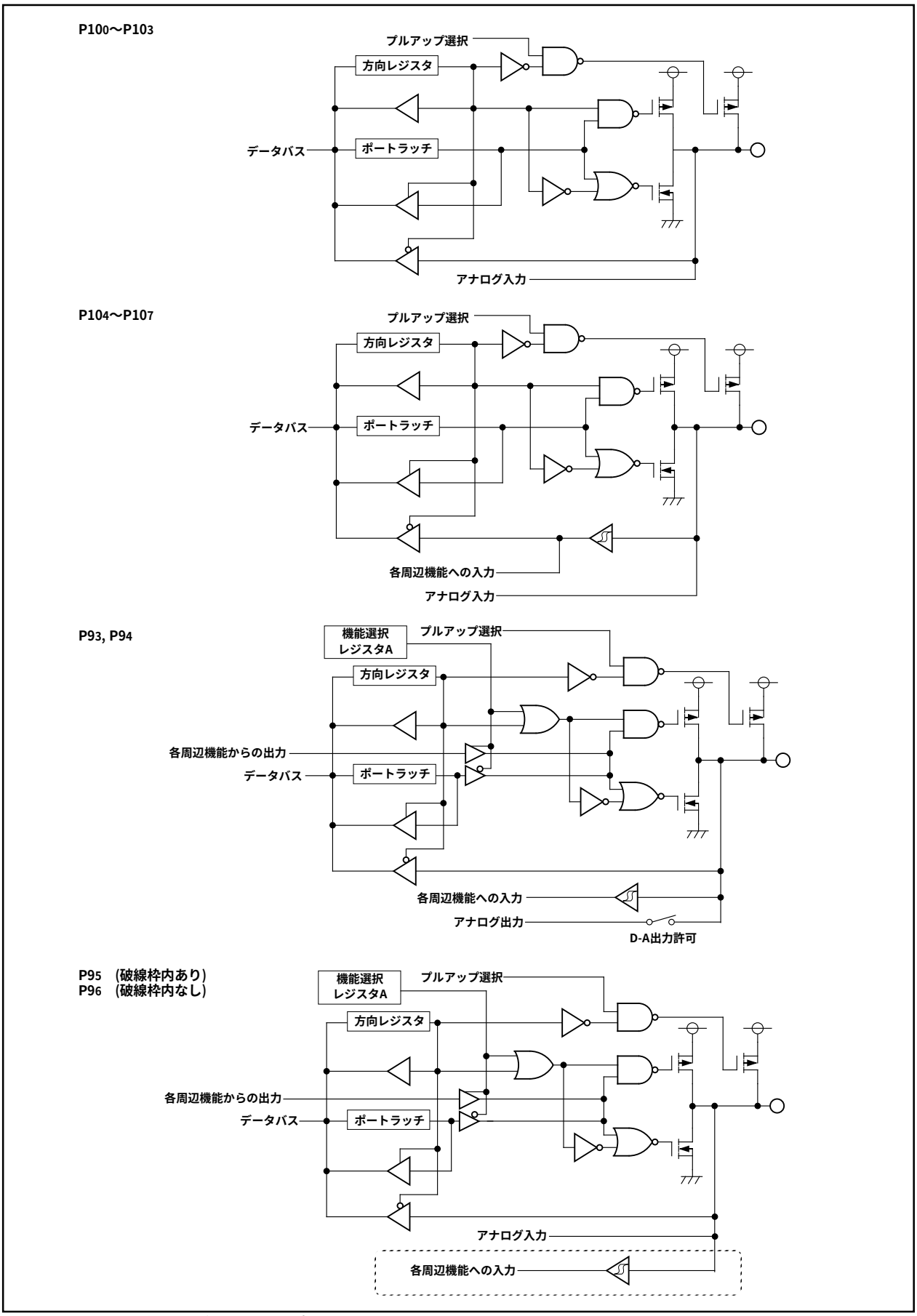


図1.26.3. プログラマブル入出力ポートの構成(3)

ポートPi方向レジスタ(注1, 2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
PDi(i=0～10 ただし8は除く)	03E2$_{16}$,03E3$_{16}$,03E6$_{16}$,03E7$_{16}$,03EA$_{16}$番地 03EB$_{16}$,03C2$_{16}$,03C3$_{16}$,03C7$_{16}$,03CA$_{16}$番地	00$_{16}$ 00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0～10 ただし8は除く)	○	○
PDi_1	ポートPi$_1$方向レジスタ		○	○
PDi_2	ポートPi$_2$方向レジスタ		○	○
PDi_3	ポートPi$_3$方向レジスタ		○	○
PDi_4	ポートPi$_4$方向レジスタ		○	○
PDi_5	ポートPi$_5$方向レジスタ		○	○
PDi_6	ポートPi$_6$方向レジスタ		○	○
PDi_7	ポートPi$_7$方向レジスタ		○	○

注1. ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット2を“1”にしてください。
注2. メモリ拡張モードまたはマイクロプロセッサモードでは、A$_0$～A$_{22}$、$\overline{A_{23}}$、D$_0$～D$_{15}$、MA$_0$～MA$_{12}$、$\overline{CS0}$～CS3、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLKOUT、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子の方向レジスタの内容を変更できません。
ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

ポートP8方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
PD8	03C6$_{16}$番地	00X00000$_2$

ビットシンボル	ビット名	機　　能	R	W
PD8_0	ポートP8$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_1	ポートP8$_1$方向レジスタ		○	○
PD8_2	ポートP8$_2$方向レジスタ		○	○
PD8_3	ポートP8$_3$方向レジスタ		○	○
PD8_4	ポートP8$_4$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PD8_6	ポートP8$_6$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD8_7	ポートP8$_7$方向レジスタ		○	○

図1.26.4. 方向レジスタの構成

ポートPiレジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
Pi(i=0～10 ただし8は除く)	$03E0_{16}$,$03E1_{16}$,$03E4_{16}$,$03E5_{16}$,$03E8_{16}$番地 $03E9_{16}$,$03C0_{16}$,$03C1_{16}$,$03C5_{16}$,$03C8_{16}$番地	不定 不定

ビットシンボル	ビット名	機　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル (注2) (i=0～10　ただし8は除く)	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

注1. メモリ拡張モードまたはマイクロプロセッサモードでは、A_0～A_{22}、$\overline{A_{23}}$、D_0～D_{15}、MA_0～MA_{12}、$\overline{CS0}$～$\overline{CS3}$、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLK_{OUT}、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子のポートレジスタの内容を変更できません。
ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

注2. $P7_0$、$P7_1$はNチャネルオープンドレイン出力ポートのため、ハイインピーダンスとなります。

ポートP8レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
P8	$03C4_{16}$番地	不定

ビットシンボル	ビット名	機　能	R	W
P8_0	ポートP80レジスタ	対応するビットの読み出し、および書き込み(ただしP85は除く)で対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P8_1	ポートP81レジスタ		○	○
P8_2	ポートP82レジスタ		○	○
P8_3	ポートP83レジスタ		○	○
P8_4	ポートP84レジスタ		○	○
P8_5	ポートP85レジスタ		○	×
P8_6	ポートP86レジスタ		○	○
P8_7	ポートP87レジスタ		○	○

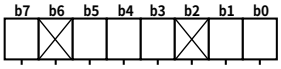
図1.26.5. ポートレジスタの構成

表1.26.1.　各端子と周辺機能 (注1)

端　子	第一周辺出力機能	第二周辺出力機能	第三周辺出力機能
$P6_0$	$\overline{RTS_0}$出力	——	——
$P6_1$	CLK_0出力	——	——
$P6_2$	——	——	——
$P6_3$	TxD_0出力	——	——
$P6_4$	$\overline{RTS_1}$出力	$CLKS_1$出力	——
$P6_5$	CLK_1出力	——	——
$P6_6$	——	——	——
$P6_7$	TxD_1出力	——	——
$P7_0$ (注2)	TxD_2(SDA_2)出力	$TA0_{OUT}$出力	——
$P7_1$ (注2)	SCL_2出力	——	——
$P7_2$	CLK_2出力	$TA1_{OUT}$出力	V相出力
$P7_3$	$\overline{RTS_2}$出力	$\overline{V}$相出力	——
$P7_4$	$TA2_{OUT}$出力	W相出力	——
$P7_5$	$\overline{W}$相出力	——	——
$P7_6$	$TA3_{OUT}$出力	——	——
$P7_7$	——	——	——
$P8_0$	$TA4_{OUT}$出力	U相	——
$P8_1$	$\overline{U}$相出力	——	——
$P8_2$	——	——	——
$P8_3$	——	——	——
$P8_4$	——	——	——
$P8_5$	——	——	——
$P8_6$	——	——	——
$P8_7$	——	——	——
$P9_0$	CLK_3出力	——	——
$P9_1$	SCL_3出力	$STxD_3$出力	——
$P9_2$	TxD_3(SDA_3)出力	——	——
$P9_3$	$\overline{RTS_3}$出力	——	——
$P9_4$	$\overline{RTS_4}$出力	——	——
$P9_5$	CLK_4出力	——	——
$P9_6$	TxD_4(SDA_4)出力	——	——
$P9_7$	SCL_4出力	$STxD_4$出力	——

注1. 周辺入力機能を使用する場合、機能選択レジスタAの対応するビットを“0”(入出力ポート)に設定してください。
注2. Nチャネルオープンドレイン出力です。

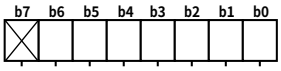
機能選択レジスタA0



シンボル	アドレス	リセット時
PS0	$03B0_{16}$番地	$0X000X00_2$

ビットシンボル	ビット名	機　　能	R	W
PS0_0	ポートP6_0出力機能選択ビット	0：入出力ポート 1：$\overline{RTS0}$出力	○	○
PS0_1	ポートP6_1出力機能選択ビット	0：入出力ポート 1：CLK0出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PS0_3	ポートP6_3出力機能選択ビット	0：入出力ポート 1：TxD_0出力	○	○
PS0_4	ポートP6_4出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL0_4有効)	○	○
PS0_5	ポートP6_5出力機能選択ビット	0：入出力ポート 1：CLK1出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PS0_7	ポートP6_7出力機能選択ビット	0：入出力ポート 1：TxD_1出力	○	○

機能選択レジスタA1



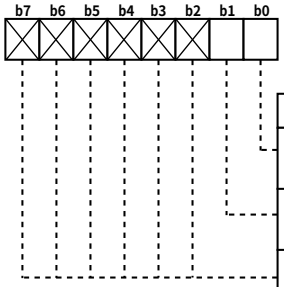
シンボル	アドレス	リセット時
PS1	$03B1_{16}$番地	$X0000000_2$

ビットシンボル	ビット名	機　　能	R	W
PS1_0	ポートP7_0出力機能選択ビット (注1)	0：入出力ポート 1：周辺機能出力(PSL1_0有効)	○	○
PS1_1	ポートP7_1出力機能選択ビット (注1)	0：入出力ポート 1：SCL_2出力	○	○
PS1_2	ポートP7_2出力機能選択ビット	0：入出力ポート 1：周辺機能出力 (PSL1_2、PSC_0有効)	○	○
PS1_3	ポートP7_3出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL1_3有効)	○	○
PS1_4	ポートP7_4出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL1_4有効)	○	○
PS1_5	ポートP7_5出力機能選択ビット	0：入出力ポート 1：$\overline{W}$相出力	○	○
PS1_6	ポートP7_6出力機能選択ビット	0：入出力ポート 1：$TA3_{OUT}$出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. Nチャネルオープンドレイン出力です。

図1.26.6.　機能選択レジスタAの構成(1)

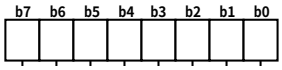
機能選択レジスタA2



シンボル	アドレス	リセット時
PS2	03B4$_{16}$番地	XXXXXX00$_2$

ビットシンボル	ビット名	機　　能	R	W
PS2_0	ポートP8$_0$出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL2_0有効)	○	○
PS2_1	ポートP8$_1$出力機能選択ビット	0：入出力ポート 1：$\overline{U}$相出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

機能選択レジスタA3(注1)



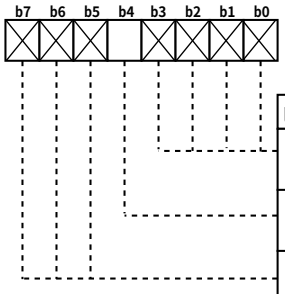
シンボル	アドレス	リセット時
PS3	03B5$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
PS3_0	ポートP9$_0$出力機能選択ビット	0：入出力ポート 1：CLK3出力	○	○
PS3_1	ポートP9$_1$出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL3_1有効)	○	○
PS3_2	ポートP9$_2$出力機能選択ビット	0：入出力ポート 1：TxD$_3$(SDA$_3$)出力	○	○
PS3_3	ポートP9$_3$出力機能選択ビット	0：入出力ポート 1：$\overline{RTS3}$出力	○	○
PS3_4	ポートP9$_4$出力機能選択ビット	0：入出力ポート 1：$\overline{RTS4}$出力	○	○
PS3_5	ポートP9$_5$出力機能選択ビット	0：入出力ポート 1：CLK4出力	○	○
PS3_6	ポートP9$_6$出力機能選択ビット	0：入出力ポート 1：TxD$_4$(SDA$_4$)出力	○	○
PS3_7	ポートP9$_7$出力機能選択ビット	0：入出力ポート 1：周辺機能出力(PSL3_7有効)	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット2を“1”にしてください。

図1.26.7.　機能選択レジスタAの構成(2)

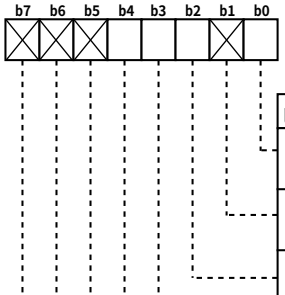
機能選択レジスタB0



シンボル	アドレス	リセット時
PSL0	$03B2_{16}$番地	$XXX0XXXX_2$

ビットシンボル	ビット名	機　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PSL0_4	ポートP6_4出力周辺機能選択ビット (PS0_4 =“1”のとき有効)	0：$\overline{RTS1}$出力 1：CLKS1出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

機能選択レジスタB1

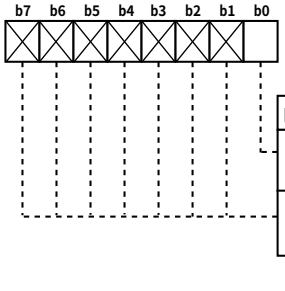


シンボル	アドレス	リセット時
PSL1	$03B3_{16}$番地	$XXX000X0_2$

ビットシンボル	ビット名	機　能	R	W
PSL1_0	ポートP7_0出力周辺機能選択ビット (PS1_0 =“1”のとき有効) (注1)	0：TxD_2(SDA_2)出力 1：$TA0_{OUT}$出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PSL1_2	ポートP7_2出力周辺機能選択ビット (PS1_2 =“1”のとき有効)	0：ポートP7_2出力周辺機能第二選択ビット(PSC_0)有効 1：$TA1_{OUT}$出力 (注2)	○	○
PSL1_3	ポートP7_3出力周辺機能選択ビット (PS1_3 =“1”のとき有効)	0：$\overline{RTS2}$出力 1：$\overline{V}$相出力	○	○
PSL1_4	ポートP7_4出力周辺機能選択ビット (PS1_4 =“1”のとき有効)	0：$TA2_{OUT}$出力 1：W相出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. Nチャネルオープンドレイン出力です。
注2. PSC_0は“0”にしてください。

機能選択レジスタB2

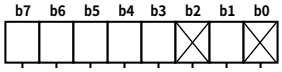


シンボル	アドレス	リセット時
PSL2	$03B6_{16}$番地	$XXXXXXX0_2$

ビットシンボル	ビット名	機　能	R	W
PSL2_0	ポートP8_0出力周辺機能選択ビット (PS2_0 =“1”のとき有効)	0：$TA4_{OUT}$出力 1：U相出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図1.26.8. 機能選択レジスタBの構成(1)

機能選択レジスタB3



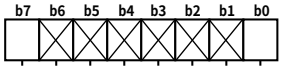
シンボル	アドレス	リセット時
PSL3	$03B7_{16}$番地	$00000X0X_2$

ビットシンボル	ビット名	機　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PSL3_1	ポートP9_1出力周辺機能選択ビット	0：SCL$_3$出力 1：STxD$_3$出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PSL3_3	ポートP9_3入力周辺機能選択ビット	0：入力周辺機能有効(DA0出力以外) (注1) 1：入力周辺機能禁止(DA0出力時)	○	○
PSL3_4	ポートP9_4入力周辺機能選択ビット	0：入力周辺機能有効(DA1出力以外) (注1) 1：入力周辺機能禁止(DA1出力時)	○	○
PSL3_5	ポートP9_5入力周辺機能選択ビット	0：入力周辺機能有効(ANEX0使用以外) (注1) 1：入力周辺機能禁止(ANEX0使用時)	○	○
PSL3_6	ポートP9_6入力周辺機能選択ビット	0：入力周辺機能有効(ANEX1使用以外) (注1) 1：入力周辺機能禁止(ANEX1使用時)	○	○
PSL3_7	ポートP9_7出力周辺機能選択ビット	0：SCL$_4$出力 1：STxD$_4$出力	○	○

注1. “0”設定時でもDA0、DA1出力、ANEX0、ANEX1を使用できますが、電源電流が増加する場合があります。

図1.26.9. 機能選択レジスタBの構成(2)

機能選択レジスタC



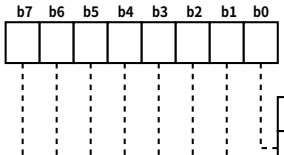
シンボル	アドレス	リセット時
PSC	$03AF_{16}$番地	$0XXXXXX0_2$

ビットシンボル	ビット名	機　能	R	W
PSC_0 (注1)	ポートP7_2出力周辺機能第二選択ビット (PS1_2 =“1”、PSL1_2 =“0”のとき有効)	0：CLK2出力 1：V相出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PSC_7 (注2)	キー入力割り込み禁止ビット	0：キー入力割り込み信号の入力許可 1：キー入力割り込み信号の入力禁止	○	○

注1. PSL1_2 =“1”のとき、本ビットは“0”にしてください。
注2. 本ビットを“1”に設定すると、ポート端子の読み込みおよび割り込み制御レジスタの設定にかかわらず、割り込みコントローラへのキー入力割り込みは禁止となります。
本ビットを変更する際は、キー入力割り込み制御レジスタで“割り込み禁止”を設定してください。

図1.26.10. 機能選択レジスタCの構成

プルアップ制御レジスタ0 (注1)

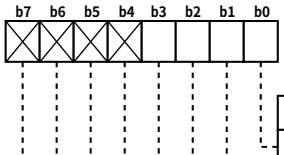


シンボル	アドレス	リセット時
PUR0	$03F0_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU01	$P0_4$～$P0_7$のプルアップ		○	○
PU02	$P1_0$～$P1_3$のプルアップ		○	○
PU03	$P1_4$～$P1_7$のプルアップ		○	○
PU04	$P2_0$～$P2_3$のプルアップ		○	○
PU05	$P2_4$～$P2_7$のプルアップ		○	○
PU06	$P3_0$～$P3_3$のプルアップ		○	○
PU07	$P3_4$～$P3_7$のプルアップ		○	○

注1. メモリ拡張モードおよびマイクロプロセッサモードでは、P0～P5はアドレスバスとして動作するので、プルアップ制御レジスタを設定しないでください。ただし、設定により入出力ポートとして使用できるポートは、プルアップ制御の有無を選択できます。
M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサの動作保証をしていません。

プルアップ制御レジスタ1 (注1)

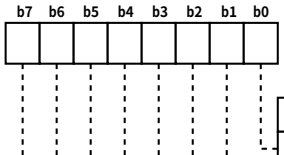


シンボル	アドレス	リセット時
PUR1	$03F1_{16}$番地	$X0_{16}$

ビットシンボル	ビット名	機　　能	R	W
PU10	$P4_0$～$P4_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU11	$P4_4$～$P4_7$のプルアップ		○	○
PU12	$P5_0$～$P5_3$のプルアップ		○	○
PU13	$P5_4$～$P5_7$のプルアップ		○	○
何も配置されていない. 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			–	–

注1. メモリ拡張モードおよびマイクロプロセッサモードでは、P0～P5はアドレスバスとして動作するので、プルアップ制御レジスタを設定しないでください。ただし、設定により入出力ポートとして使用できるポートは、プルアップ制御の有無を選択できます。
M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサの動作保証をしていません。

プルアップ制御レジスタ2



シンボル	アドレス	リセット時
PUR2	$03DA_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU20	$P6_0$～$P6_3$のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップなし 1 : プルアップあり	○	○
PU21	$P6_4$～$P6_7$のプルアップ		○	○
PU22	$P7_0$～$P7_3$のプルアップ (注1)		○	○
PU23	$P7_4$～$P7_7$のプルアップ		○	○
PU24	$P8_0$～$P8_3$のプルアップ		○	○
PU25	$P8_4$～$P8_7$のプルアップ (注2)		○	○
PU26	$P9_0$～$P9_3$のプルアップ		○	○
PU27	$P9_4$～$P9_7$のプルアップ		○	○

注1. $P7_0$、$P7_1$はNチャネルオープンドレインポートのため、プルアップはありません。
注2. ただし$P8_5$は除く。

図1.26.11. プルアップ制御レジスタの構成(1)

プルアップ制御レジスタ3

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル	アドレス	リセット時
PUR3	$03DB_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU30	$P10_0$～$P10_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU31	$P10_4$～$P10_7$のプルアップ		○	○
予約ビット		必ず“0”を設定してください。	○	○

図1.26.12. プルアップ制御レジスタの構成(2)

ポート制御レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	╳	╳	╳	

シンボル	アドレス	リセット時
PCR	$03FF_{16}$番地	$XXXXXXX0_2$

ビットシンボル	ビット名	機　　能	R	W
PCR0	ポートP1制御レジスタ	0：通常のCMOSポートとして機能する 1：ポート1はNchオープンドレイン端子として機能する　(注2)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. メモリ拡張モードおよびマイクロプロセッサモードでは、P1はデータバスとして動作するので、ポート制御レジスタを設定しないでください。ただし、設定により入出力ポートとして使用できるポートは、CMOSポートまたはNチャネルオープンドレイン端子を選択できます。
M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサの動作保証をしていません。

注2. 本機能は，CMOSポートのPchを常時OFFにするものであり、ポート1を完全オープンドレインにする機能ではありません．したがって，入力電圧の絶対最大定格は【-0.3～Vcc+0.3 V】となります．

図1.26.13. ポート制御レジスタの構成

表1.26.2. シングルチップモード時の未使用端子の処理例

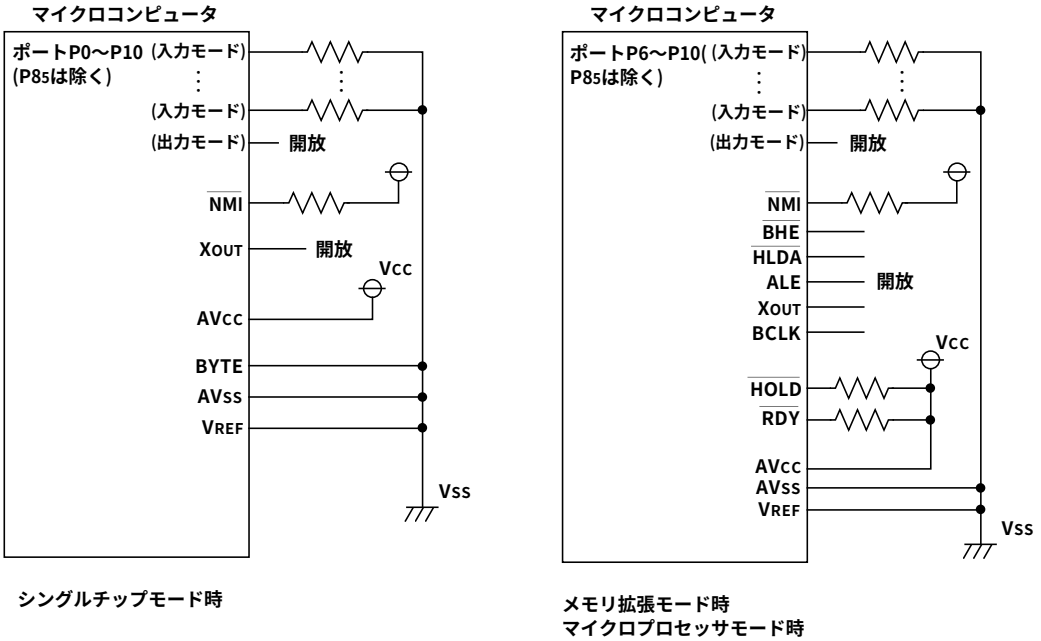
端　子　名	処　理　内　容
ポートP0～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
$\overline{NMI}$	抵抗を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS, VREF, BYTE	VSSに接続

注1. XIN端子に外部クロックを入力しているとき

表1.26.3. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端　子　名	処　理　内　容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
$\overline{BHE}$, ALE, $\overline{HLDA}$, XOUT(注1), BCLK	開放
$\overline{HOLD}$, $\overline{RDY}$, $\overline{NMI}$	抵抗を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS, VREF, BYTE	VSSに接続

注1. XIN端子に外部クロックを入力しているとき
注2. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。



注1. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

図1.26.14. 未使用端子の処理例

使用上の注意事項

SFRの注意事項

(1) 03C9$_{16}$、03CB$_{16}$～03D3$_{16}$、03DC$_{16}$番地の領域は、将来展開予定の製品のために用意しているものです。03CB$_{16}$、03CE$_{16}$、03CF$_{16}$、03D2$_{16}$、03D3$_{16}$番地には必ず“FF$_{16}$”を、03DC$_{16}$番地には必ず“00$_{16}$”を初期設定してください。

レジスタ設定時の注意事項

(1) 表1.27.1に示すレジスタはリード時に不定となるビットを含みます。これらのレジスタには即値を設定してください。頻繁に使用するレジスタの値は、RAMに設定し、RAMの内容を変更した後、レジスタに転送してください。

表1.27.1. 対象レジスター覧

レジスタ名	シンボル	アドレス
UART4 転送速度レジスタ	U4BRG	02F9$_{16}$
UART4 送信バッファレジスタ	U4TB	02FB$_{16}$, 02FA$_{16}$
短絡防止タイマ	DTT	030C$_{16}$
タイマB2 割り込み発生頻度設定カウンタ	ICTB2	030D$_{16}$
UART3 転送速度レジスタ	U3BRG	0329$_{16}$
UART3 送信バッファレジスタ	U3TB	032B$_{16}$, 032A$_{16}$
UART2 転送速度レジスタ	U2BRG	0339$_{16}$
UART2 送信バッファレジスタ	U2TB	033B$_{16}$, 033A$_{16}$
アップダウンフラグ	UDF	0344$_{16}$
タイマA0 レジスタ (注1)	TA0	0347$_{16}$, 0346$_{16}$
タイマA1 レジスタ (注1)	TA1	0349$_{16}$, 0348$_{16}$
タイマA2 レジスタ (注1)	TA2	034B$_{16}$, 034A$_{16}$
タイマA3 レジスタ (注1)	TA3	034D$_{16}$, 034C$_{16}$
タイマA4 レジスタ (注1)	TA4	034F$_{16}$, 034E$_{16}$
UART0 転送速度レジスタ	U0BRG	0361$_{16}$
UART0 送信バッファレジスタ	U0TB	0363$_{16}$, 0362$_{16}$
UART1 転送速度レジスタ	U1BRG	0369$_{16}$
UART1 送信バッファレジスタ	U1TB	036B$_{16}$, 036A$_{16}$

注1. ワンショットタイマモード時およびパルス幅変調モード時のみ対象です。

CNVss端子を“H”でリセットするときの注意事項

(1) CNVss端子を“H”にしてリセットすると、内部ROMは読み出せません。
ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

プロセッサモードレジスタ1の注意事項

(1) プロセッサモードレジスタ1(000516番地)の内部メモリウエイトビット(PM12)には、必ず“0”(ウエイトなし)を設定してください。PM12＝“1”(ウエイトあり)は使用できません。

$\overline{\text{HOLD}}$信号使用時の注意事項

(1) $\overline{\text{HOLD}}$入力を使用し、$P4_0$～$P4_7$、$P5_0$～$P5_2$をシングルチップモード時に出力設定する場合は、必ず$P4_0$～$P4_7$、$P5_0$～$P5_2$は入力設定にして、マイクロプロセッサモード、またはメモリ拡張モードに移行してください。

ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

CLKOUT端子使用時の注意事項

(1) シングルチップモード時、$P5_3$端子をCLKOUT端子(f_8、f_{32}またはfc出力)として使用する場合、$P5_7$端子は入力端子(ポート$P5_7$方向レジスタを"0"に設定)として使用してください。

出力端子(ポート$P5_7$方向レジスタを"1"に設定)としても$P5_7$端子はハイインピーダンスとなり"H"レベル、"L"レベルを出力しません。

ストップモード、ウエイトモードの注意事項

(1) ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

(2) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止制御ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

割り込みの注意事項

(1) スタックポインタの設定

● リセット直後スタックポインタの値は、“00000016”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。
スタックポインタには偶数アドレスを設定してください。偶数を設定した方がメモリアクセスの効率がよくなります。

(2) $\overline{\text{NMI}}$割り込み

● $\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子を抵抗を介してVCC端子に接続(プルアップ)してください。必ず端子処理は必要です。

● $\overline{\text{NMI}}$端子は、入力専用の$P8_5$と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。

● $\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロック(BCLK)の1クロック以上の“L”レベル幅が必要です。

(3) アドレス一致割り込み

●アドレス一致割り込みレジスタには以下のアドレスを設定しないでください。

1.割り込みの先頭命令のアドレス

2.割り込み制御レジスタの割り込み要求ビットをクリアする命令または割り込み優先レベルを現在より低く変更する命令から7命令分のアドレス

3.割り込み許可フラグ(Iフラグ)をセットする命令から3命令分のアドレス

4.プロセッサ割り込み優先レベル(IPL)を現在より低く書き替える命令から3命令分のアドレス

```
例1  interrupt_A:                          ; 割り込みルーチン
     pushm    R0, R1, R2, R3, A0, A1       ; ←割り込みの先頭命令へのアドレス一致
                                           ; 割り込みの設定は禁止

例2                                ; 割り込み優先レベルは１以上
     mov.b    #0, TA0IC            ; 割り込み優先レベルを低い値に変更
     nop                          ; 1命令 ┐
     nop                          ; 2命令 │
     nop                          ; 3命令 │
     nop                          ; 4命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                          ; 5命令 │
     nop                          ; 6命令 │
     nop                          ; 7命令 ┘

例3  fset     I                   ; Iフラグセット
     nop                          ; 1命令 ┐
     nop                          ; 2命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                          ; 3命令 ┘

例4  ldipl    #0                  ; IPLを低いレベルへ書き替え
     nop                          ; 1命令 ┐
     nop                          ; 2命令 ├ この間のアドレス一致割り込みの設定は禁止
     nop                          ; 3命令 ┘
```

●割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合
割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまります。したがって、割り込みルーチン内で割り込み制御レジスタを書き替える場合は、最後(reit/freit命令の直前)に次に示す処理を追加してください。
また、その他の割り込みで多重割り込みを許可している場合は、多重割り込みを許可している割り込みの最後にも同様に次に示す処理を追加してください。
ノンマスカブル割り込み処理ルーチン内で割り込み制御レジスタを書き替えている場合は、すべての割り込みの最後で次に示す処理を追加してください。

追加処理内容

```
                                   ; レジスタ復帰命令(popm命令)の後に行ってください
     fclr     U                    ; ISP選択(ISPをすでに選択している場合は必要ありません)
     pushm    R0                   ; R0退避
     mov.w    6[SP], R0            ; スタック上のFLG読み出し (高速割り込みの場合は stc  SVF, R0)
     ldc      R0, FLG              ; FLGに設定
     popm     R0                   ; R0復帰
     nop                           ; ダミー
     reit                          ; 割り込み終了 (高速割り込みの場合は freit)
```

例5　割り込みAルーチンで割り込みBの割り込み制御レジスタを書き替え、割り込みCで多重割り込みを許可している場合、割り込みAと割り込みCのルーチンの最後で下記の対策が必要です。

割り込みAルーチン

```
interrupt_A:                          ; 割り込みAルーチン
pushm     R0, R1, R2, R3, A0, A1      ; レジスタ退避
・・・
bclr      3, TA0IC                    ; 割り込みBの割り込み制御レジスタ書き替え
・・・
popm      R0, R1, R2, R3, A0, A1      ; レジスタ復帰
fclr      U                           ; ISP選択(ISPをすでに選択している場合は必要ありません)
pushm     R0                          ; R0退避
mov.w     6[SP], R0                   ; スタック上のFLG読み出し
ldc       R0, FLG                     ; FLGに設定
popm      R0                          ; R0復帰
nop                                   ; ダミー
reit                                  ; 割り込み終了
```

割り込みCルーチン

```
interrupt_C:                          ; 割り込みCルーチン
pushm     R0, R1, R2, R3, A0, A1      ; レジスタ退避
fset      I                           ; 多重割り込み許可
・・・
popm      R0, R1, R2, R3, A0, A1      ; レジスタ復帰
fclr      U                           ; ISP選択(ISPをすでに選択している場合は必要ありません)
pushm     R0                          ; R0退避
mov.w     6[SP], R0                   ; スタック上のFLG読み出し
ldc       R0, FLG                     ; FLGに設定
popm      R0                          ; R0復帰
nop                                   ; ダミー
reit                                  ; 割り込み終了
```

(4) 外部割り込み

● エッジセンスの場合

INT_0～INT_5端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

● レベルセンスの場合

INT_0～INT_5端子に入力する信号には、BCLK1周期＋200ns以上の“L”レベル幅、または“H”レベル幅が必要です。(X_{IN}＝20MHz、分周無しの場合は250ns以上必要です。)

● INT_0～INT_5端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{INT}$割り込み発生要因の切り替え手順例を図1.27.1に示します。

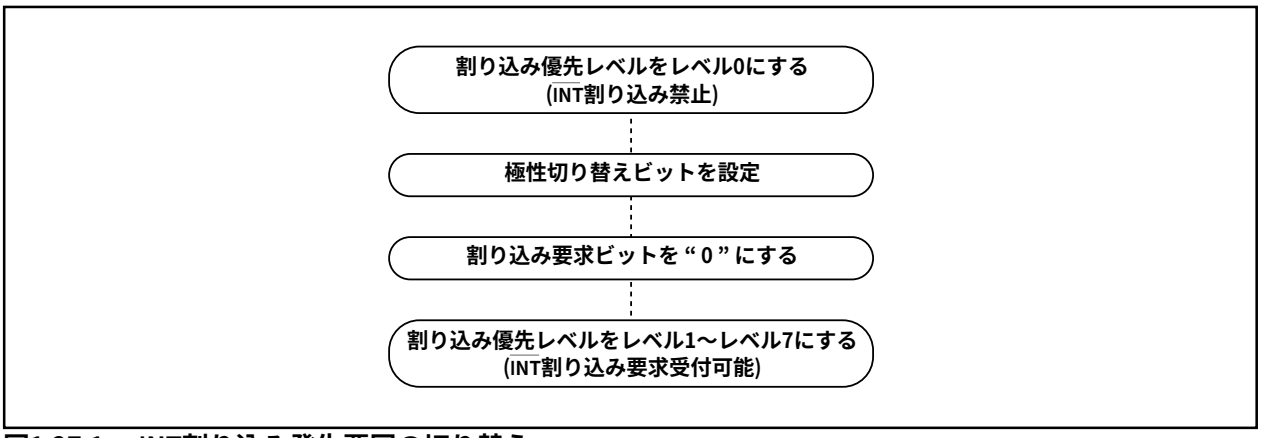


図1.27.1.　INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

(6) 割り込み制御レジスタに関する注意事項

割り込み機能を使用する場合、下記の現象に備えて、ソフトウエアで対策を行ってください。

●Iフラグ＝“0”(割り込み禁止)の状態において、割り込み優先レベルを“0”かIPLより低い値に書き替えて割り込みAを禁止するとき、以下に示す条件がすべて満たされた場合、Iフラグ＝“1”にした後、禁止した割り込みAの処理を実行することがあります。

①割り込みAの書き替え前の割り込み優先レベルと、割り込みBの割り込み優先レベルが等しく、かつ、IPLより高い割り込み優先レベルに設定されている。

②割り込みA→割り込みBの順で割り込み要求が発生する。もしくはA、B同時に発生する。

③②の後、割り込みAの割り込み優先レベルを“0”にする。もしくはCPUの持つIPLよりも低い値に書き替える。

この事例については、図1.27.2を参照してください。

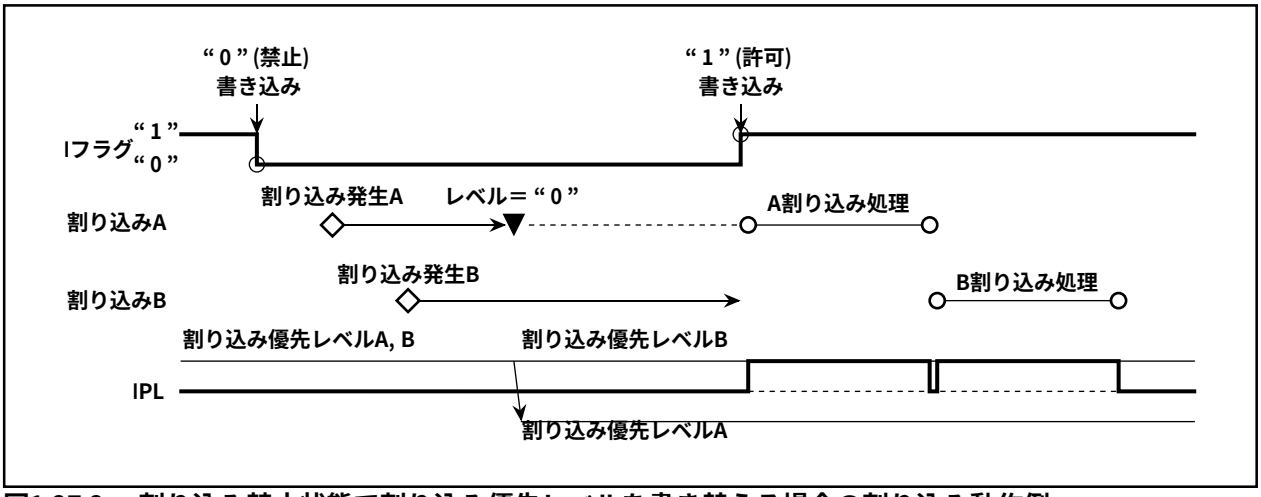


図1.27.2.　割り込み禁止状態で割り込み優先レベルを書き替える場合の割り込み動作例

●Iフラグ＝“０”(割り込み禁止)の状態において、割り込みAの要求ビットをクリアするとき、以下に示す条件がすべて満たされた場合、Iフラグ＝“１”にした後、割り込み要求をクリアした割り込みAの処理を実行することがあります。

①割り込みAの割り込み優先レベルと、割り込みBの割り込み優先レベルが等しく、かつ、IPLより高い割り込み優先レベルに設定されている。

②割り込みA→割り込みBの順で割り込み要求が発生する。もしくはA、B同時に発生する。

③②の後、割り込みAの割り込み要求ビットを“０”にクリアする。

この事例については、図1.27.3を参照してください。

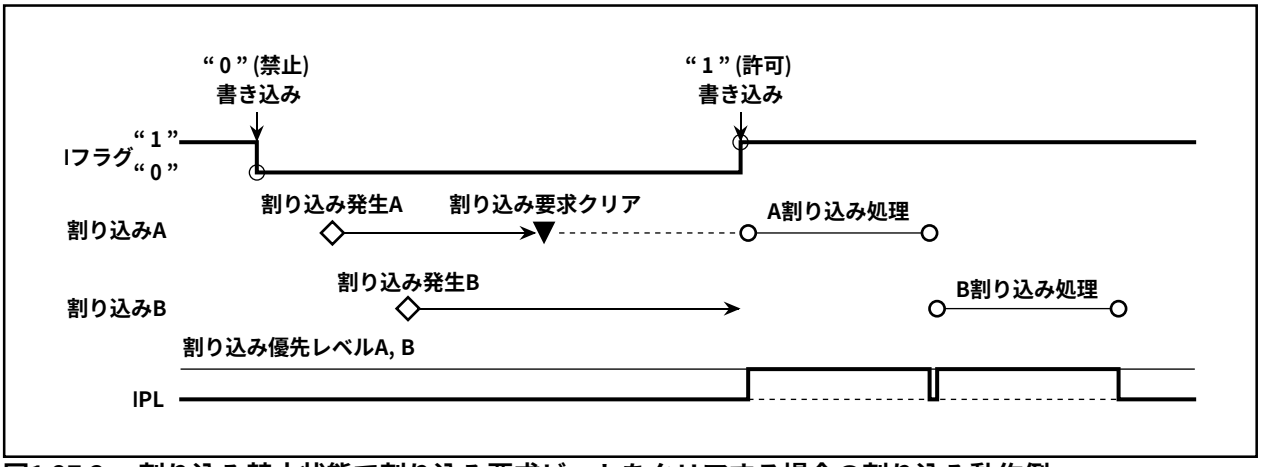


図1.27.3.　割り込み禁止状態で割り込み要求ビットをクリアする場合の割り込み動作例

対策

●下記のいずれかに該当する場合は、ソフトウエアによる対策は必要ありません。

①割り込み禁止状態(Iフラグ＝“０”)で、割り込み優先レベルを“０”またはIPL以下に、かつ、割り込み要求ビットを“０”に書き替えていない。

②割り込み禁止状態(Iフラグ＝“０”)で、割り込み優先レベルを“０”またはIPL以下に、もしくは割り込み要求ビットを“０”に書き替えているが、他に同じ割り込み優先レベル(書き替える場合は書き替え前のレベル)を持つ割り込みがない。

③割り込み禁止状態(Iフラグ＝“０”)で、割り込み優先レベルを“０”またはIPL以下に、もしくは割り込み要求ビットを“０”に書き替える際、その割り込み要求が発生しない状態(タイマ停止、シリアルI/O送受信停止等)である。

●上記①～③のいずれにも該当しない場合は、下記のいずれかの対策を行ってください。

①M16C/80Tグループでは、割り込み優先レベルを書き替える際に割り込み禁止状態(Iフラグ＝“０”)にする必要はありません。プログラムの途中で割り込み優先レベルを書き替えるときは、Iフラグ＝“１”の状態で行ってください。

②割り込み禁止状態(Iフラグ＝“０”)で、割り込み優先レベルを“０”またはIPL以下に、もしくは割り込み要求ビットを“０”に書き替える際、割り込み優先レベルを現在のレベルより高い、かつ他の割り込みが設定されていないレベルに設定してから行ってください。その後、割り込み要求ビットを“０”にクリアした場合は、割り込み優先レベルを元のレベルに戻してください。

③割り込み処理プログラムの中で、その割り込みの制御レジスタ内の割り込み優先レベルを読み出し、レベルが“０”であれば何もせずに復帰するようにプログラムで処理してください。

DMACの注意事項

(1) DMAi要因選択レジスタのDMA要求ビットに“0”を書き込まないでください。

M16C/80Tグループでは、DMA要求が発生した場合、そのチャネルが受け付けられない状態(注1)であればDMA転送は実行せず、そのDMA要求ビットは自動的にクリアされます。

注1. DMA禁止状態、転送カウントレジスタが"0"の状態

(2) ソフトウェアトリガでDMA転送を行う場合、OR命令を使用し、DMAi要因選択レジスタのソフトウェアDMA要求ビットとDMA要求ビットに同時に"1"を設定してください。

例） OR.B #0Ah, DMiSL ; **ソフトウエアDMA要求ビットとDMA要求ビット**
; **"1"同時書き込み**

(3) DMAi要因選択レジスタのDMA要求要因選択ビットを変更する場合は、DMA要求ビットに同時に“1”を書き込んでください。この場合、該当するDMAチャネルは禁止状態で行ってください。DMAを許可する命令は、DMAi要因要求選択レジスタに書き込みを行ってから2命令以上間をあけてください。

例）DMA0を単転送で使用しており、要因をタイマA0に変更する場合

```
push.w   R0                ; R0レジスタ退避
stc      DMD0, R0          ; DMAモードレジスタ0読み出し
and.b    #11111100b, R0L   ; DMA0転送モード選択ビット"00"クリア
ldc      R0, DMD0          ; DMA0禁止
mov.b    #10000011b, DM0SL ; タイマA0選択(DMA要求ビット="1"同時書き込み)
mov.b    R0L, R0L          ; ダミーサイクル   } DMA許可まで2命令以上必要
or.b     #00000001b, R0L   ; DMA0単転送設定
ldc      R0, DMD0          ; DMA0許可
pop.w    R0                ; R0レジスタ復帰
```

(4) 10信演算命令(DSUB, DSBB, DADD, DADC)実行中にDMA転送が発生すると、演算結果が正しく出力されません。DMAを使用する場合、10進演算命令は使用しないでください。または、10進演算を行う場合は16進で演算を行い、10進に変換してください。

タイマAの注意事項 (タイマモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマＡの注意事項 (イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時は$FFFF_{16}$が、オーバフロー時は0000_{16}が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

(3) フリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始前にタイマレジスタに値を設定しても、不定値からカウントを開始することがあります。

●アップカウント、ダウンカウントを切り替えない場合

リロードタイプを使用してください。カウント開始前にタイマレジスタに値を設定し、カウント開始直後タイマレジスタの値を書き替えてください。アップカウントで使用する場合は、タイマレジスタの値を0000_{16}に書き替え、ダウンカウントで使用する場合は、タイマレジスタの値を$FFFF_{16}$に書き替えることによって、フリーランタイプと同じ動作をします。

●アップカウント、ダウンカウントを切り替える場合

カウントパルスが入力されるまで、リロードタイプで使用してください。1パルス分のカウントパルスが入力されてから、フリーランタイプにモードを変更してください。

タイマＡの注意事項 (ワンショットタイマモード)

(1) カウント中にカウント開始フラグを“０”にすると次のようになります。

●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
●$TAiOUT$端子の出力レベルは“Ｌ”になります。
●割り込み要求が発生し、タイマAi割り込み要求ビットが“１”になります。

(2) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、$TAiIN$端子へのトリガ入力からワンショットタイマの出力までに、最大でカウントソースの1サイクル分の遅延が生じます。

(3) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、ワンショットタイマモードを選択したとき
●動作モードをタイマモードからワンショットタイマモードに変更したとき
●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

(4) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

タイマAの注意事項 (パルス幅変調モード)

(1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。

●リセット後、PWMモードを選択したとき
●動作モードをタイマモードからPWMモードに変更したとき
●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

(2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

(1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。

(2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

(3) カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、タイマBiオーバフローフラグが“1”になり、タイマBi割り込み要求が発生する可能性があります。

A-D変換器の注意事項

(1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。

特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始させてください。

(2) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(3) 単発モードまたは単掃引モードで使用する場合

A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。

(4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合

CPUの内部クロックは、メインクロックを分周せずに使用してください。

(5) f(XIN)が10MHzを越える場合は分周し、φADの周波数を10MHz以下にしてください。

(6) A-D変換時のセンサーの出力インピーダンス (参考値)

A-D変換を正しく行うためには、図1.27.4の内部コンデンサCへの充電が所定の時間T内に終了することが必要です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A-D変換器の精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

V_C は一般に $V_C = V_{IN}\{1 - e^{-\frac{1}{C(R0+R)}t}\}$

t=T のとき、$V_C = V_{IN} - \frac{X}{Y}$　　$V_{IN} = V_{IN}(1 - \frac{X}{Y})$ より、

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln\frac{X}{Y}$$

よって、$R0 = -\frac{T}{C \cdot \ln\frac{X}{Y}} - R$

例として図1.27.4のようなモデルを考え、V_{IN}とV_Cの差が0.1LSBとなるとき、時間Tでコンデンサ Cの端子間電圧V_Cが0からV_{IN}−(0.1/1024)V_{IN}になるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA-D変換時に、コンデンサ充電不十分によるA-D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

ϕ_{AD}=10MHzの時、サンプル&ホールド付きA-D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8kΩ、C=3pF、X=0.1、Y=1024を前式に代入し、

$$R0 = -\frac{0.3 \times 10^{-6}}{3.0 \times 10^{-12} \cdot \ln\frac{0.1}{1024}} - 7.8 \times 10^{3} \quad 3.0 \times 10^{3}$$

したがって、A-D変換器の精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.0kΩになります。表1.27.2、表1.27.3に出力インピーダンスとA-D変換器の精度(誤差)の関係を示します。

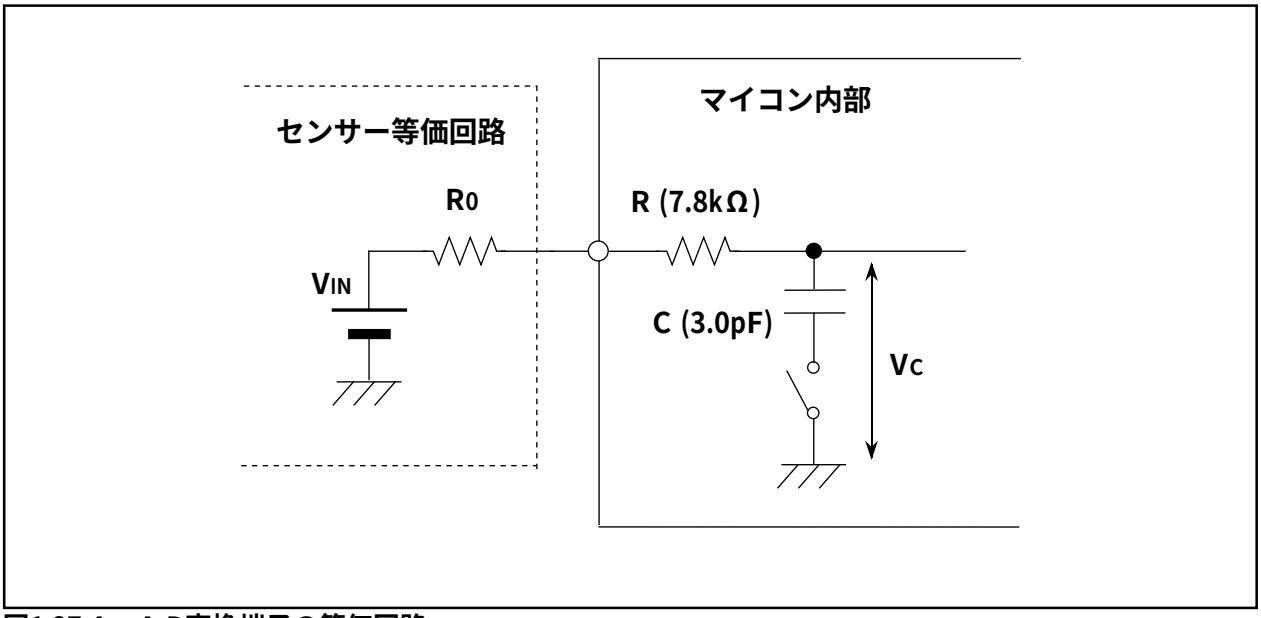


図1.27.4.　A-D変換端子の等価回路

表1.27.2.　出力インピーダンスとA-D変換器の精度(誤差)の関係 (10ビットモード、参考値)

f(XIN) (MHz)	サイクル (μs)	サンプリング時間 (μs)	R (kΩ)	C (pF)	誤差 (LSB)	R0 (kΩ)
10	0.1	0.3 (3×サイクル、サンプル&ホールド機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
					1.9	8.1
10	0.1	0.2 (2×サイクル、サンプル&ホールド機能有効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表1.27.3.　出力インピーダンスとA-D変換器の精度(誤差)の関係 (8ビットモード、参考値)

f(XIN) (MHz)	サイクル (μs)	サンプリング時間 (μs)	R (kΩ)	C (pF)	誤差 (LSB)	R0 (kΩ)
10	0.1	0.3 (3×サイクル、サンプル&ホールド機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
					1.9	12.6
10	0.1	0.2 (2×サイクル、サンプル&ホールド機能有効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
					1.9	5.8

DRAMコントローラの注意事項

ストップモード時などでDRAMのセルフリフレッシュ動作が行えます。

セルフリフレッシュに移行する場合は、DRAM空間選択ビットでDRAM無効を選択し、次の命令でDRAM空間選択ビットの設定とセルフリフレッシュモードビットでのセルフリフレッシュ設定を同時に行ってください。また、セルフリフレッシュモードビットを“1”に設定直後2命令はNOPを入れてください。

セルフリフレッシュ動作中は、外部へのアクセスは禁止です。（全外部領域のアクセス禁止）

セルフリフレッシュを解除する場合はDRAM空間選択ビットでDRAM無効とセルフリフレッシュモードビットでのセルフリフレッシュ解除を同時に行い、次の命令でDRAM空間選択ビットの設定を行ってください。また、DRAM空間選択ビット設定直後の命令でDRAM領域のアクセスを行わないでください。

例：ウエイト選択ビットで1ウエイト選択、DRAM空間選択ビットで4MB選択

セルフリフレッシュ移行

```
・・・・
mov.b   #00000001b,DRAMCONT    ;DRAM無効、1ウエイト選択
mov.b   #10001011b,DRAMCONT    ;セルフリフレッシュ設定、4MB、1ウエイト選択
nop                            ;２命令nopが必要
nop                            ;
・・・・
```

セルフリフレッシュ解除

```
・・・・
mov.b   #00000001b,DRAMCONT    ;セルフリフレッシュ解除、DRAM無効、1ウエイト選択
mov.b   #00001011b,DRAMCONT    ;4MB、1ウエイト選択
nop                            ;DRAM領域をアクセスする命令は禁止
nop
・・・・
```

フラッシュメモリ版の注意事項

(1) プロセッサモードレジスタ1(0005_{16}番地)のビット7、ビット6には必ず“11_2”を設定してください。
設定は、メインクロック8分周の時に行ってください。

ノイズに関する注意事項

(1) ノイズおよびラッチアップ対策として、V_{CC}-V_{SS}ライン間へのバイパスコンデンサ挿入

V_{CC}端子とV_{SS}端子間にバイパスコンデンサ(0.1μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

(2) ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。特にポートP2、P3、P8、およびP9は、V_{CC}端子に近く、他のポートより電源系ノイズの影響を受ける可能性が大きいと考えられます。

このような場合のソフトウエア対策として、ポートレジスタ、ポート方向レジスタ、プルアップ制御レジスタ、および機能選択レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を書き替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分ご検討の上、再設定処理を導入してください。

消費電力を小さくする場合の注意事項

(1) A-D変換を行わない場合、A-D制御レジスタ1のVref接続ビットでVref未接続を選択してください。
A-D変換を行う場合、Vrefを接続してから1μs以上経過した後、A-D変換をスタートさせてください。

(2) AN4 ($P10_4$)～AN7 ($P10_7$)を使用する場合、機能選択レジスタCのキー入力割り込み禁止ビットでキー入力割り込み信号の入力禁止を選択してください。
キー入力割り込み信号の入力禁止を選択した場合、キー入力割り込みは使用できません。また、$P10_4$～$P10_7$の方向レジスタが入力に設定されていてもポート端子からの入力は行えません(入力結果は不定となります)。
キー入力割り込み信号の入力禁止を使用する場合、AN4～AN7を全てA-D入力として使用してください。

(3) ANEX0、ANEX1を使用する場合、機能選択レジスタB3でポート$P9_5$、ポート$P9_6$入力周辺機能選択ビットで入力周辺機能禁止を選択してください。
入力周辺機能禁止を選択した場合、そのポートの方向レジスタが入力に設定されていてもポート端子からの入力は行えません（入力結果は不定となります）。また、ANEX0、ANEX1以外の周辺機能の入力も行えません。

(4) D-A変換器を使用しない場合、D-A制御レジスタのD-A出力許可ビットを出力禁止としてD-Aレジスタに"00_{16}"を設定してください。

(5) D-A変換を行う場合、機能選択レジスタB3でポート$P9_3$、ポート$P9_4$入力周辺機能選択ビットで入力周辺機能禁止を選択してください。
入力周辺機能禁止を選択した場合、そのポートの方向レジスタが入力に設定されていてもポート端子からの入力は行えません（入力結果は不定となります）。また、周辺機能の入力も行えません。

表1.28.1. 絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3～6.5	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3～6.5	V
V_I	入力電圧	RESET, (マスクROM版　CNVss, BYTE), $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, V_{REF}, X_{IN}		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$		−0.3～6.5	V
V_O	出力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_4$, $P8_6$, $P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{OUT}		−0.3～Vcc+0.3	V
		$P7_0$, $P7_1$		−0.3～6.5	V
P_d	消費電力		Topr=25 °C	500	mW
T_{opr}	動作周囲温度			−40～85	°C
T_{stg}	保存温度			−65～150	°C

表1.28.2.　推奨動作条件(指定のない場合は、Vcc=4.2V～5.5V, Topr=－40℃～85℃)

記　号	項　　目		規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧		4.2	5.0	5.5	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
V_{IH}	"H"入力電圧	$P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, RESET, CNV_{SS}, BYTE	0.8Vcc		Vcc	V
		$P7_0$, $P7_1$	0.8Vcc		6.5	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$ (シングルチップモード時)	0.8Vcc		Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0.5Vcc		Vcc	V
V_{IL}	"L "入力電圧	$P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, X_{IN}, RESET, CNV_{SS}, BYTE	0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$ (シングルチップモード時)	0		0.2Vcc	V
		$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$ (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0		0.16Vcc	V
I_{OH} (peak)	"H"尖頭出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$			－10.0	mA
I_{OH} (avg)	"H"平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$			－5.0	mA
I_{OL} (peak)	"L "尖頭出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$			10.0	mA
I_{OL} (avg)	"L "平均出力電流	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_0$～$P7_7$, $P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$			5.0	mA
f (X_{IN})	メインクロック入力発振周波数	ウエイトなし　Vcc=4.2V～5.5V	0		20	MHz
f (X_{CIN})	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0,P1,P2,$P8_6$～$P8_7$,P9,P10のI_{OL}(peak)の合計は80mA以下、ポートP0, P1, P2, $P8_6$～$P8_7$, P9, P10のI_{OH}(peak)の合計は－80mA以下、ポートP3, P4, P5, P6, P7, $P8_0$～$P8_4$のI_{OL}(peak)の合計は80mA以下、ポートP3, P4, P5, P6, $P7_2$～$P7_7$, $P8_0$～$P8_4$のI_{OH}(peak)の合計は－80mA以下にしてください。

注3. $P8_7$のV_{IH}、V_{IL}は$P8_7$をプログラマブル入力ポートとして使用する場合の規格であり、X_{CIN}として使用する場合の規格ではありません。

注4. M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。

表1.28.3. 電気的特性(指定のない場合は、Vcc=5V,Vss=0V,Topr=25°C,f(XIN)=20MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OH}=−5mA	3.0			V
V_{OH}	"H"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OH}=−200μA	4.7			V
V_{OH}	"H"出力電圧 X_{OUT}	HIGHPOWER	I_{OH}=−1mA	3.0			V
		LOWPOWER	I_{OH}=−0.5mA	3.0			
	"H"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OL}=5mA			2.0	V
V_{OL}	"L"出力電圧	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$	I_{OL}=200μA			0.45	V
V_{OL}	"L"出力電圧 X_{OUT}	HIGHPOWER	I_{OL}=1mA			2.0	V
		LOWPOWER	I_{OL}=0.5mA			2.0	
	"L"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス	$\overline{HOLD}$, $\overline{RDY}$, $TA0_{IN}$～$TA4_{IN}$, $TB0_{IN}$～$TB5_{IN}$, $\overline{INT_0}$～$\overline{INT_5}$, $\overline{AD_{TRG}}$, $\overline{CTS_0}$～$\overline{CTS_4}$, CLK_0～CLK_4,$TA0_{OUT}$～$TA4_{OUT}$,$\overline{NMI}$ $\overline{KI_0}$～$\overline{KI_3}$,RxD0～RxD4 KI_0～KI_3,RxD0～RxD4		0.2		1.0	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$		0.2		1.8	V
I_{IH}	"H"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE	V_I=5V			5.0	μA
I_{IL}	"L"入力電流	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_0$～$P7_7$,$P8_0$～$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE	V_I=0V			−5.0	μA
R_{PULLUP}	プルアップ抵抗	$P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_7$,$P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$,$P7_2$～$P7_7$,$P8_0$～$P8_4$,$P8_6$,$P8_7$,$P9_0$～$P9_7$,$P10_0$～$P10_7$	V_I=0V	30.0	50.0	167.0	kΩ
R_{fXIN}	帰還抵抗 X_{IN}				1.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}				6.0		MΩ
V_{RAM}	RAM保持電圧		クロック停止時	2.0			V
Icc	電源電流	測定条件 シングルチップモードで、出力端子は開放、その他の端子はVss	f(X_{IN})=20MHz 方形波、分周なし フラッシュ		50.0	68.0	mA
			f(X_{IN})=20MHz 方形波、分周なし マスクROM		45.0	62.0	
			f(X_{CIN})=32kHz 方形波 フラッシュ		7.0		mA
			f(X_{CIN})=32kHz 方形波 マスクROM		90.0		μA
			f(X_{CIN})=32kHz ウエイト時		4.0		μA
			クロック停止時 Topr=25°C			1.0	μA
			クロック停止時 Topr=85°C			20.0	

表1.28.4. A-D変換特性 (指定のない場合は、V_{CC}=AV_{CC}=V_{REF}=5V, V_{SS}=AV_{SS}=0V, Topr=25°C, f(X_{IN})=20MHz)

記　号	項　目		測　定　条　件		規格値 最　小	規格値 標　準	規格値 最　大	単位
–	分解能		V_{REF} =V_{CC}				10	Bits
–	絶対精度	10 bit	V_{REF} =V_{CC}=5V	AN_0～AN_7入力, AN_{00}～AN_{07}入力, AN_{20}～AN_{27}入力, ANEX0, ANEX1入力			±3	LSB
				外部オペアンプ接続モード			±7	LSB
		8 bit	V_{REF} =V_{CC}=5V				±2	LSB
R_{LADDER}	ラダー抵抗		V_{REF} =V_{CC}		10		40	kΩ
t_{CONV}	変換時間	10 bit			3.3			μs
		8 bit			2.8			μs
t_{SAMP}	サンプリング時間				0.3			μs
V_{REF}	基準電圧				2		V_{CC}	V
V_{IA}	アナログ入力電圧				0		V_{REF}	V

注1.　f(X_{IN})が10MHzを超える時は分周し、φADを10MHz以下として下さい。

表1.28.5. D-A変換特性 (指定のない場合は、V_{CC}=5V, V_{SS}=AV_{SS}=0V, V_{REF}=5V, Topr=25°C, f(X_{IN})=20MHz)

記　号	項　目	測　定　条　件	規格値 最　小	規格値 標　準	規格値 最　大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
t_{su}	設定時間				3	μs
R_O	出力抵抗		4	10	20	kΩ
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“ 00_{16} ”の場合です。
A-D変換器のラダー抵抗分は除きます。
また、D-Aレジスタの内容が“ 00_{16} ”以外の場合、A-D制御レジスタ1でVref未接続としても、I_{VREF}は流れます。

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Topr=25°C)

表1.28.6.　外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	22		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	22		ns
t_r	外部クロック立ち上がり時間		5	ns
t_f	外部クロック立ち下がり時間		5	ns

表1.28.7.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	100		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	40		ns

表1.28.8.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	400		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	200		ns

表1.28.9.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	200		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	100		ns

表1.28.10.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	100		ns

表1.28.11.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAi_{OUT}入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAi_{OUT}入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAi_{OUT}入力 "L " パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAi_{OUT}入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAi_{OUT}入力ホールド時間	400		ns

タイミング必要条件　(指定のない場合は、Vcc=5V, Vss=0V, Topr=25°C)

表1.28.12.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	80		ns

表1.28.13.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.28.14.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.28.15.　A-Dトリガ入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L " パルス幅	125		ns

表1.28.16.　シリアルI/O

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.28.17.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

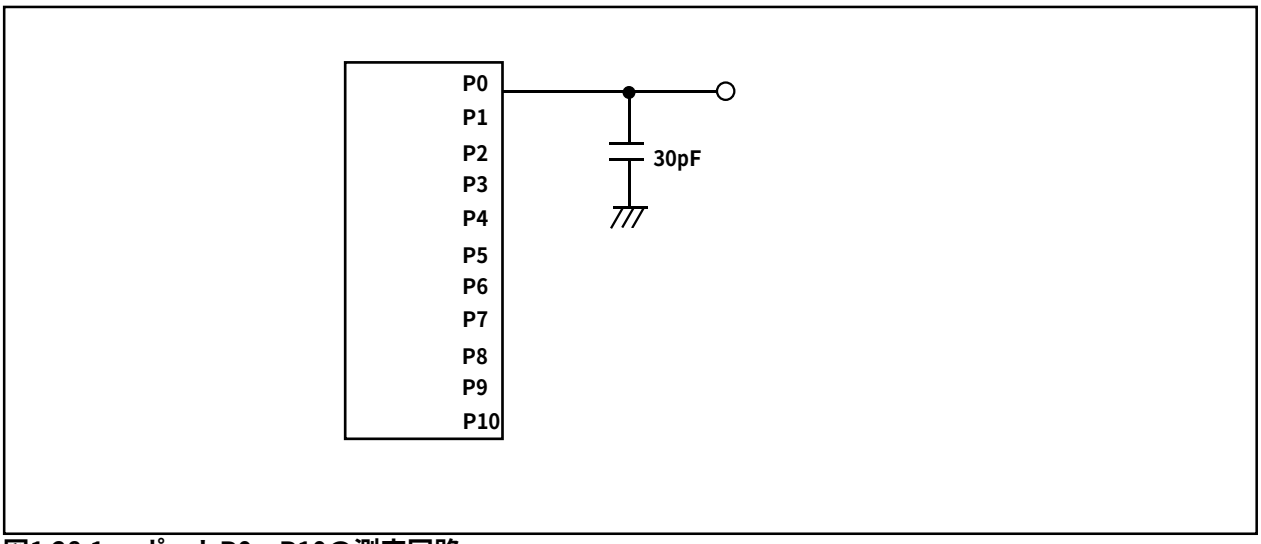


図1.28.1.　ポートP0～P10の測定回路

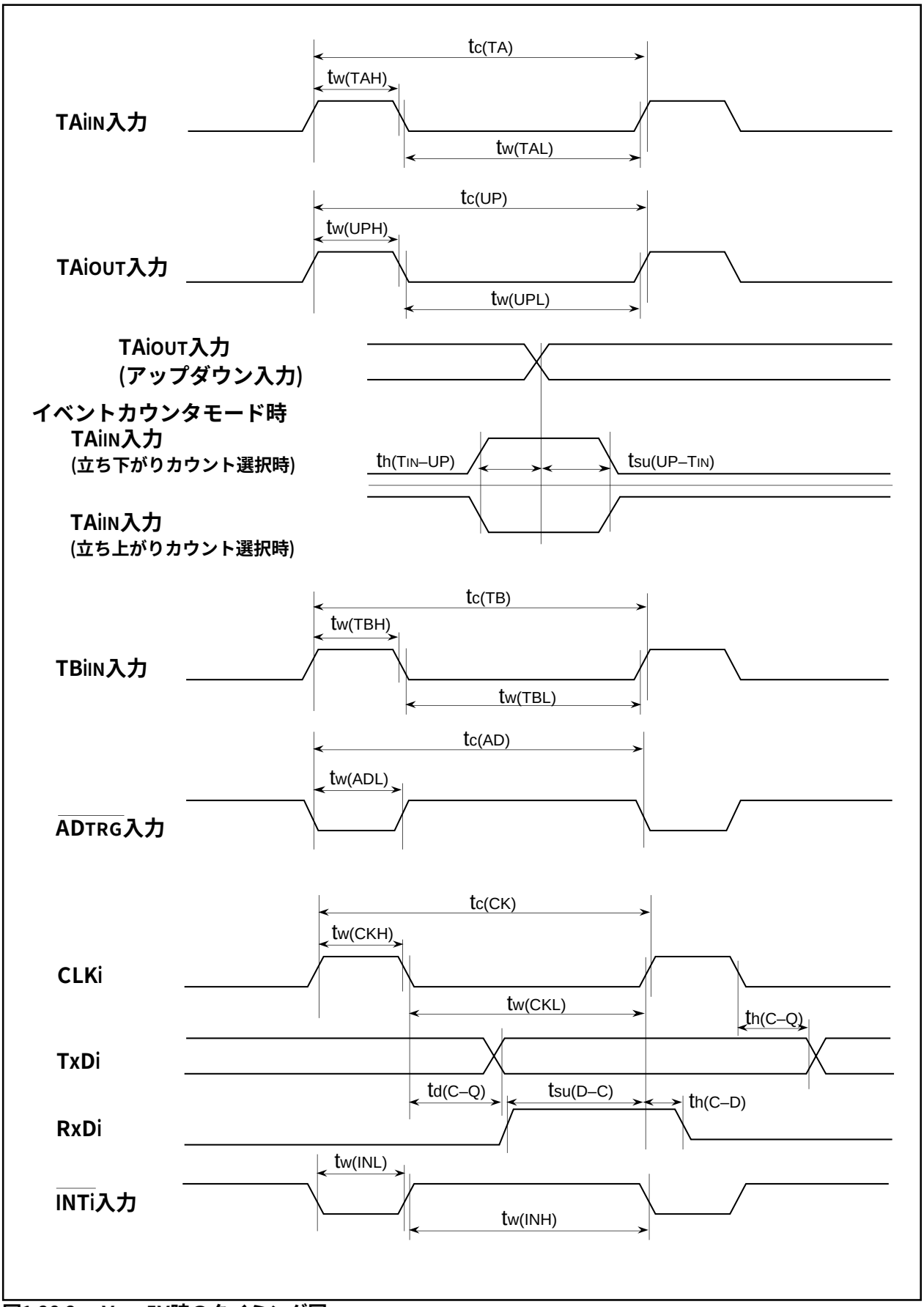


図1.28.2.　Vcc=5V時のタイミング図

性能概要

表1.29.1にM16C/80Tグループ(フラッシュメモリ内蔵版)の性能概要を示します。

表1.29.1.　M16C/80Tグループ(フラッシュメモリ内蔵版)の性能概要

項　　目		性　　能
電源電圧		4.2V～5.5V (f(XIN)=20MHz、ウエイトなし)
プログラム/イレーズ電圧		4.2V～5.5V (f(XIN)=12.5MHz、1ウエイト)
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.29.3を参照してください。
	ブートROM領域	1分割(8Kバイト) (注1)
プログラム方式		ページ(256バイト)単位
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウエアコマンドによるプログラム/イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム/イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

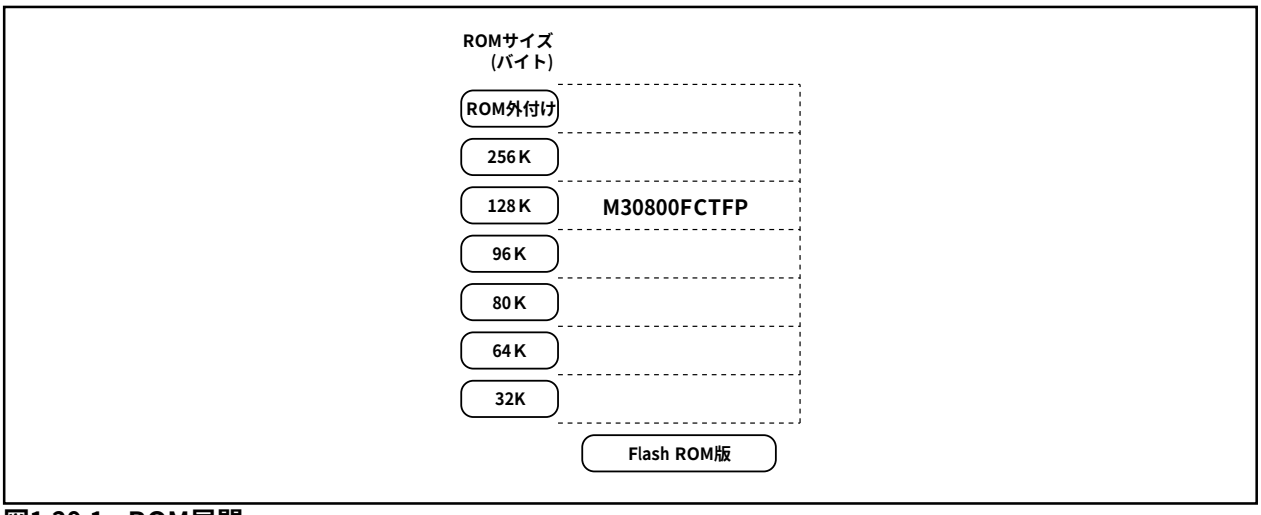


図1.29.1. ROM展開

サポートを行う予定の製品を以下に示します。

表1.29.2. 製品一覧表　　**2001年10月現在**

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M30800FCTFP	128Kバイト	10Kバイト	100P6S-A	

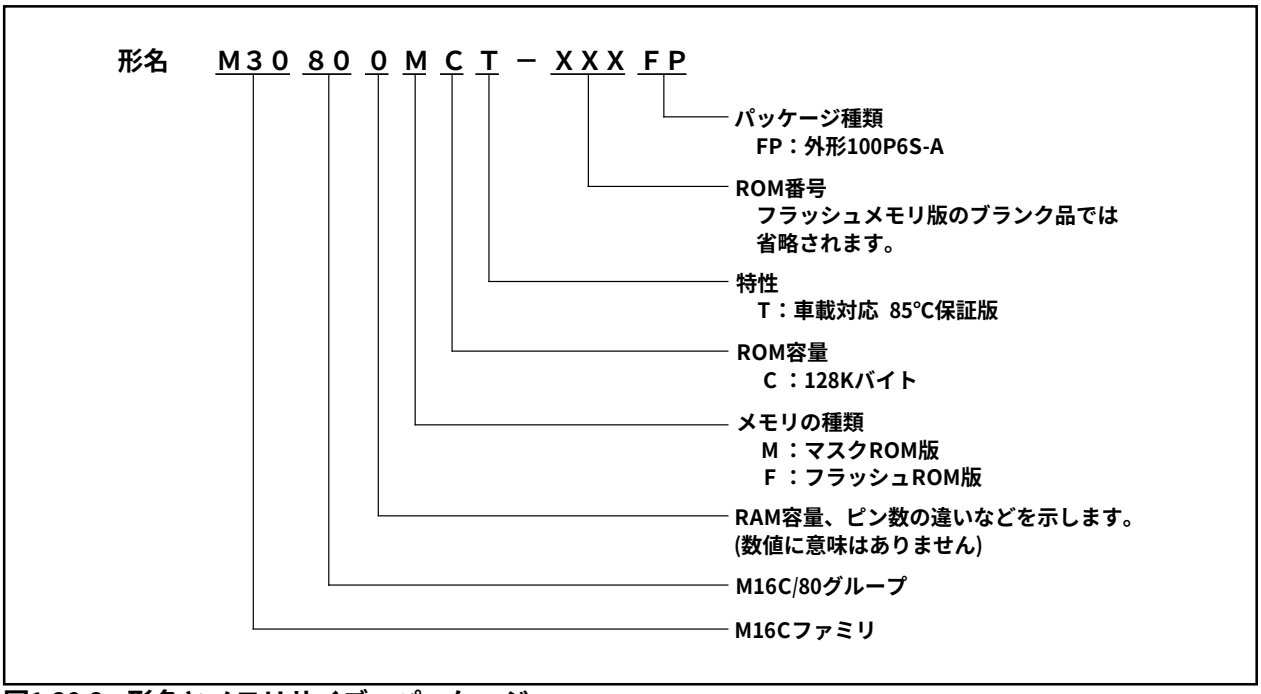


図1.29.2. 形名とメモリサイズ・パッケージ

フラッシュメモリ

M16C/80Tグループ(フラッシュメモリ版)は、5V単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.29.3に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効／無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

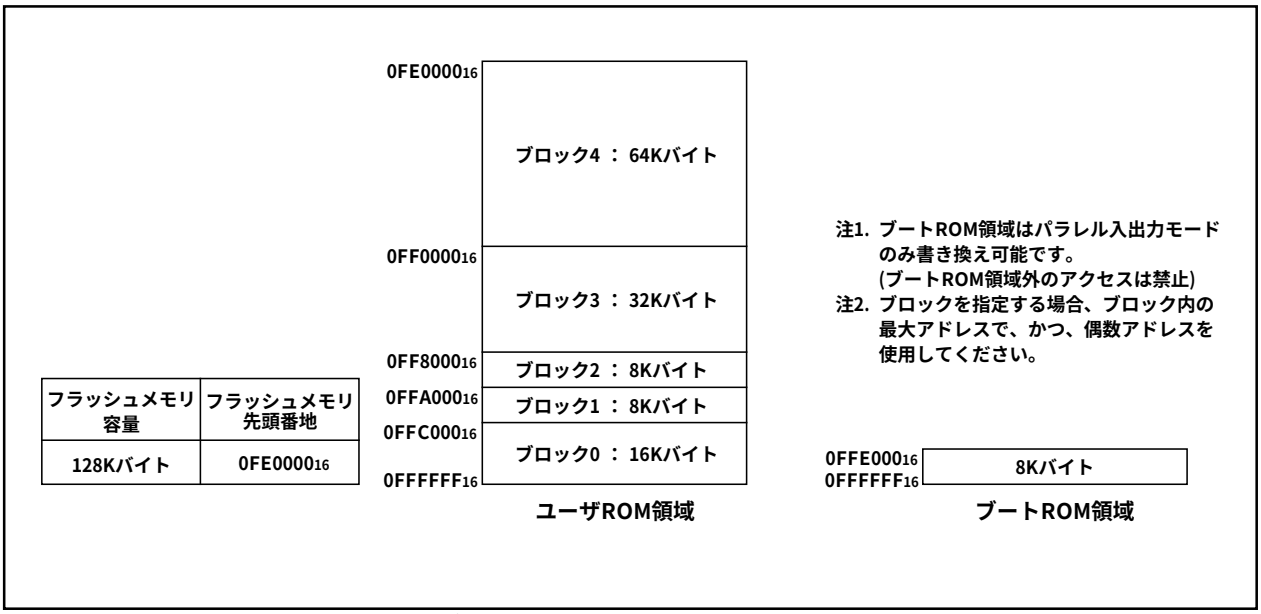


図1.29.3.　内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図1.29.3に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モード で、 ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは 使用できなくなります。)

ブートROM領域は、図1.29.3に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードでは、CPUがソフトウエアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(0377_{16}番地のビット1)に“1”を書き込むことにより移行し、ソフトウエアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウエアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA_0は“0”)へライト、リードしてください。8ビット単位のソフトウエアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウエアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図1.30.1にフラッシュメモリ制御レジスタ0およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/$\overline{BY}$ステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウエアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、NMI端子が“H”の状態で“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態で、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスされる領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ制御レジスタ1のビット3は、内蔵フラッシュメモリの電源をoffするビットです。このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ1を特別に設定する必要がありません。

図1.30.2にCPU書き換えモードの設定/解除フローチャート、図1.30.3に低速モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳		0				

シンボル	アドレス	リセット時
FMR0	0377_{16}番地	$XX000001_2$

ビットシンボル	ビット名	機　　能	R	W
FMR00	RY/$\overline{BY}$ステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	○	×
FMR01	CPU書き換えモード選択ビット (注1)	0 : 通常モード (ソフトウエアコマンド無効) 1 : CPU書き換えモード (ソフトウエアコマンド受け付け可能)	○	○
FMR02	ロックビット無効選択ビット (注2)	0 : ロックビットデータによるブロックロック有効 1 : ロックビットデータによるブロックロック無効	○	○
FMR03	フラッシュメモリリセットビット (注3)	0 : 通常動作 1 :リセット	○	○
予約ビット		必ず“0”を設定してください	○	○
FMR05	ユーザROM領域選択ビット (注4) (ブートモード時のみ有効)	0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1. “1”を設定するためには、このビット1への "0"書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。また、NMI端子が“H”の状態で行ってください。
注2. “1”を設定するためには、CPU書き換えモード選択ビットが“1”の状態で、このビット2への“0”書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
注3. CPU書き換えモード選択ビットが“1”のときのみ有効です。“1”設定(リセット)後、続いて“0”設定してください。
注4. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ制御レジスタ1

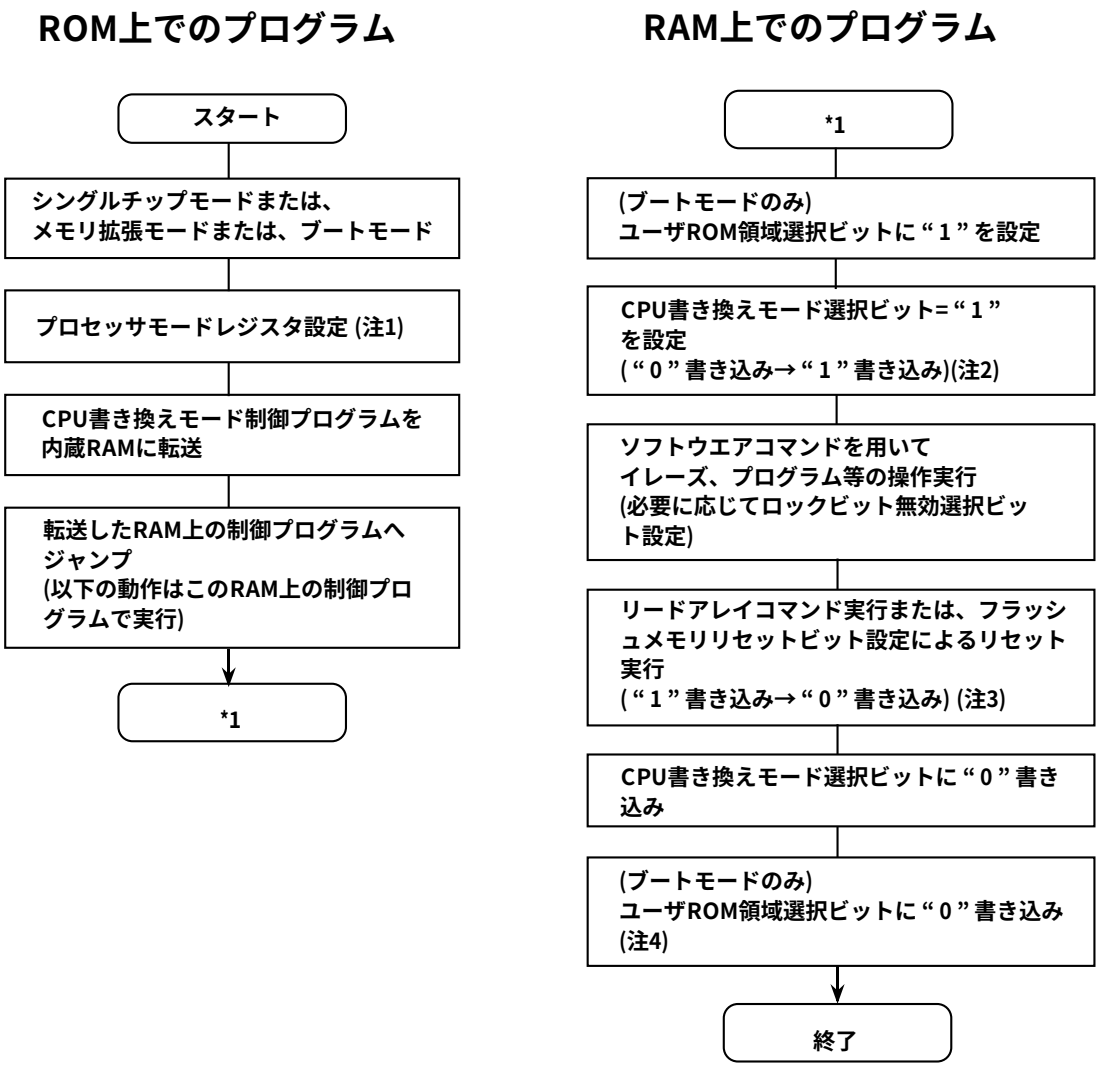
b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル	アドレス	リセット時
FMR1	0376_{16}番地	$XXXX0XXX_2$

ビットシンボル	ビット名	機　　能	R	W
予約ビット		必ず“0”を設定してください	—	○
FMR13	フラッシュメモリ供給電源offビット(注1)	0 : フラッシュメモリ供給電源接続 1 : フラッシュメモリ供給電源off	○	○
予約ビット		必ず“0”を設定してください	—	○

注1. “1”を設定するためには、このビット3への "0"書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。パラレル入出力モード時は、このビットによらず、端子により書き込みの制御がなされます。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図1.30.1.　フラッシュメモリ制御レジスタのビット構成



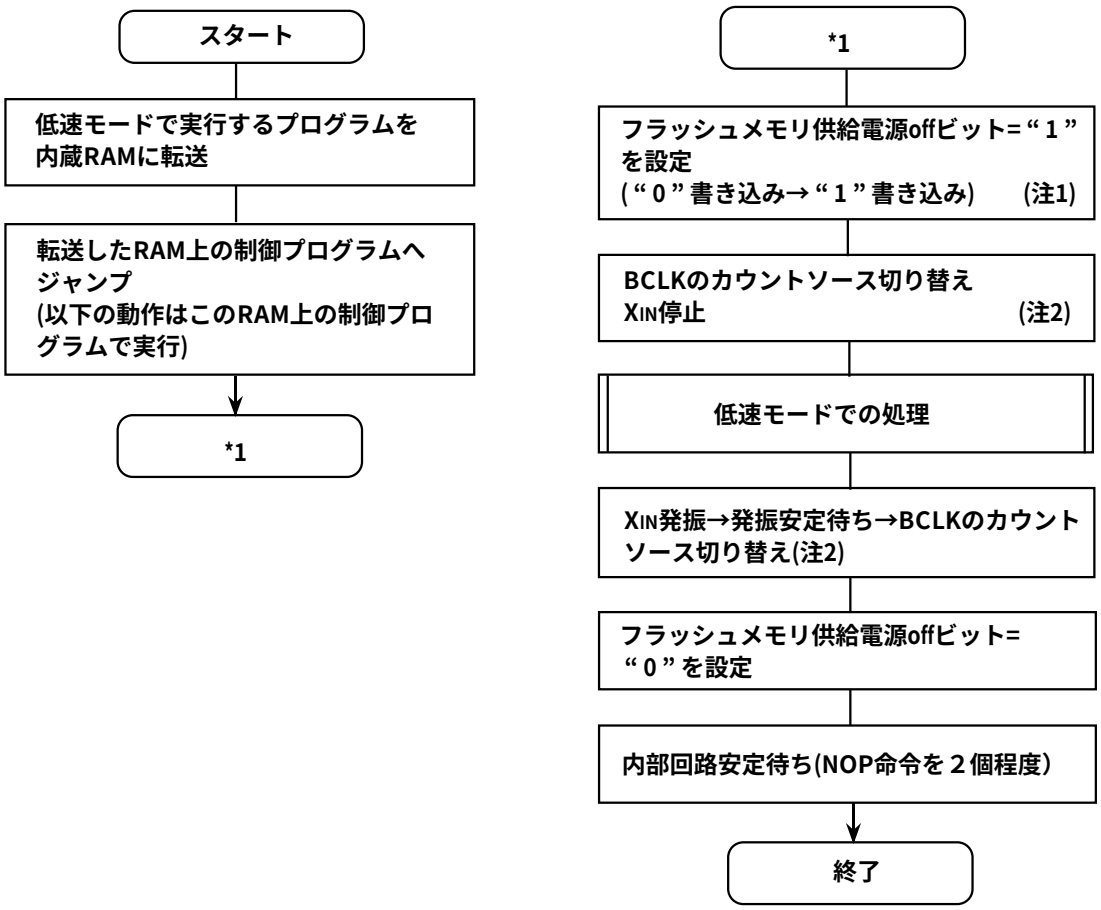
注1．メインクロック分周レジスタ(000C16番地)によって、メインクロックを次の周波数以下に設定してください。
内部メモリウエイトビット (0005₁₆番地のビット2)=0 (内部アクセスウエイトなし)　6.25MHz以下
内部メモリウエイトビット (0005₁₆番地のビット2)=1 (内部アクセスウエイトあり)　12.5MHz以下

注2．CPU書き換えモード選択ビットを“1”にする場合、このビットへの“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。
また、割り込み、DMA転送が入らないようにしてください。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。また、NMI端子が“H”の状態で行ってください。

注3．イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ずリードアレイコマンドまたはフラッシュメモリリセットを行ってください。

注4．“1”のままでもよいが、この場合は、ユーザROM領域アクセスとなります。

図1.30.2.　CPU書き換えモードの設定/解除フローチャート



注1. フラッシュメモリ供給電源offビットを“1”にする場合、このビットへの“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。
また、割り込み、DMA転送が入らないようにしてください。

注2. BCLKのカウントソースを切り替える場合、切り替え先のクロックは安定に発振している必要があります。

図1.30.3. 低速モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周レジスタ(000C16番地)によって、メインクロックを次の周波数以下に設定してください。

内部メモリウエイトビット(00051６番地のビット2)＝0(内部アクセスウエイト無し)　6.25MHz以下
内部メモリウエイトビット(00051６番地のビット2)＝1(内部アクセスウエイト有り)　12.5MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。監視タイマ割り込み、$\overline{\text{NMI}}$割り込みは、各割り込み発生時に強制的にCPU書き換えモード選択ビットを“0”(通常モード)に変更するので使用できます。ただし、固定ベクタテーブルに割り込みの飛び先が設定されており、割り込みプログラムが存在することが必要です。$\overline{\text{NMI}}$割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。

(4)リセット

常に受け付けます。

(5)アクセス禁止

CPU書き換えモード選択ビット、フラッシュメモリ供給電源offビット、ユーザROM領域選択ビットは、内蔵フラッシュメモリ以外の領域のプログラムで書き込みを行ってください。

(6)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビット、フラッシュメモリ供給電源offビットを“1”に設定する場合は、“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
CPU書き換えモード選択ビットへの書き込みは、NMI端子が“H”の状態で行ってください。

(7)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があり、その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(8)ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

ソフトウエアコマンド

表1.30.1にソフトウエアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウエアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウエアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウエアコマンドの内容を説明します。

表1.30.1. ソフトウエアコマンド一覧表(CPU書き換えモード)(注1)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)
リードアレイ	ライト	X(注6)	FF16						
リードステータスレジスタ	ライト	X	7016	リード	X	SRD(注2)			
クリアステータスレジスタ	ライト	X	5016						
ページプログラム(注3)	ライト	X	4116	ライト	WA0(注3)	WD0(注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	2016	ライト	BA(注4)	D016			
イレーズ全アンロックブロック	ライト	X	A716	ライト	X	D016			
ロックビットプログラム	ライト	X	7716	ライト	BA	D016			
リードロックビットステータス	ライト	X	7116	リード	BA	D6(注5)			

注1. ソフトウエアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。
注2. SRD＝ステータスレジスタデータ
注3. WA＝ライトアドレス、WD＝ライトデータ
WAとWDは、0016からFE16(バイトアドレス。ただし、偶数アドレス)へ順番に設定されなければなりません。ページサイズは256バイトです。
注4. BA＝ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)
注5. D6はブロックロックステータスに対応します。D6＝“1”：非ブロックロック、D6＝“0”：ブロックロック。
注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

ページプログラムコマンド(41$_{16}$)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“41$_{16}$”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA$_0$～A$_7$は“00$_{16}$”から“FE$_{16}$”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF$_{16}$)または、リードロックビットステータスコマンド(71$_{16}$)をライトするまでまたは、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/$\overline{BY}$ステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.30.4にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

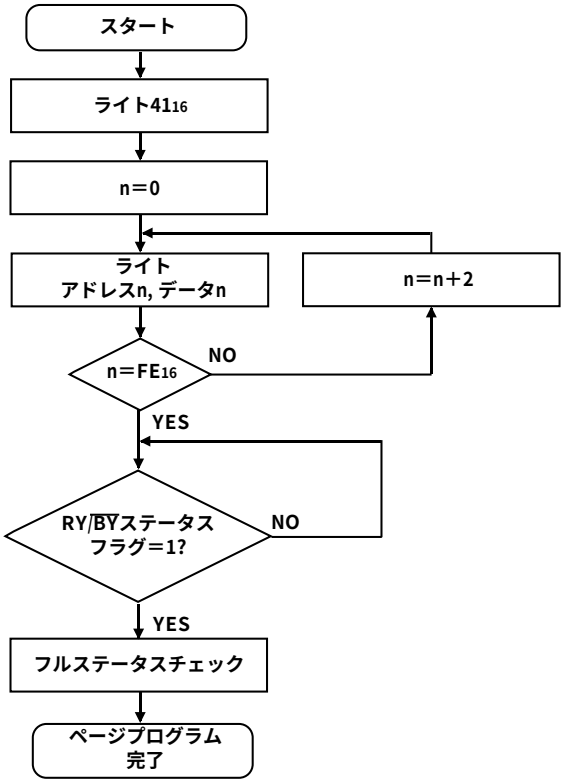


図1.30.4. ページプログラムフローチャート

ブロックイレーズコマンド(20_{16}/$D0_{16}$)

第1バスサイクルでコマンドコード“20_{16}”、続く第2バスサイクルで確認コマンドコード“$D0_{16}$”とブロックのブロックアドレスをライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF_{16})またはリードロックビットステータスコマンド(71_{16})をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/$\overline{BY}$ステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.30.5にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

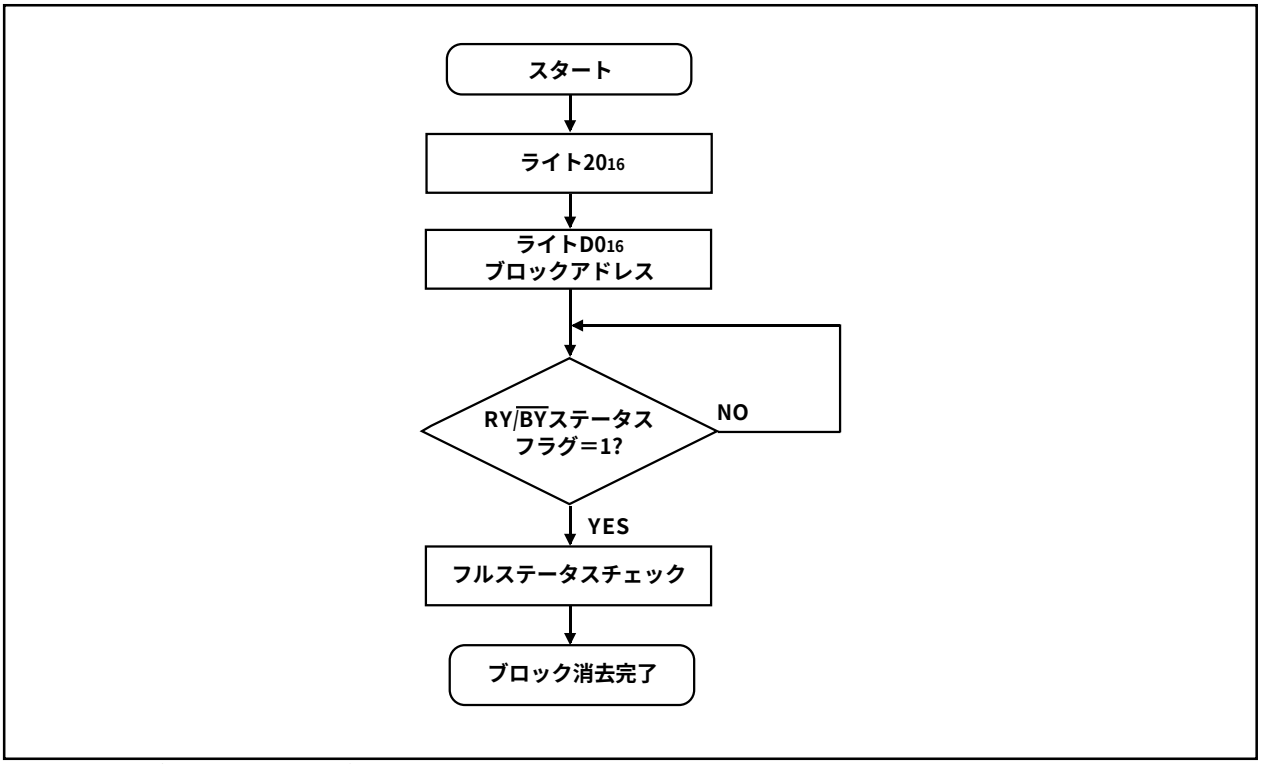


図1.30.5. ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A7$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“A7$_{16}$”、続く第2バスサイクルで確認コマンドコード“D0$_{16}$”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“1”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“0”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“1”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(77$_{16}$/D0$_{16}$)

第1バスサイクルでコマンドコード“77$_{16}$”、続く第2バスサイクルで確認コマンド“D0$_{16}$”とブロックのブロックアドレスをライトすると指定されたブロックのロックビットに“0”(ロック状態)を書き込みます。

図1.30.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

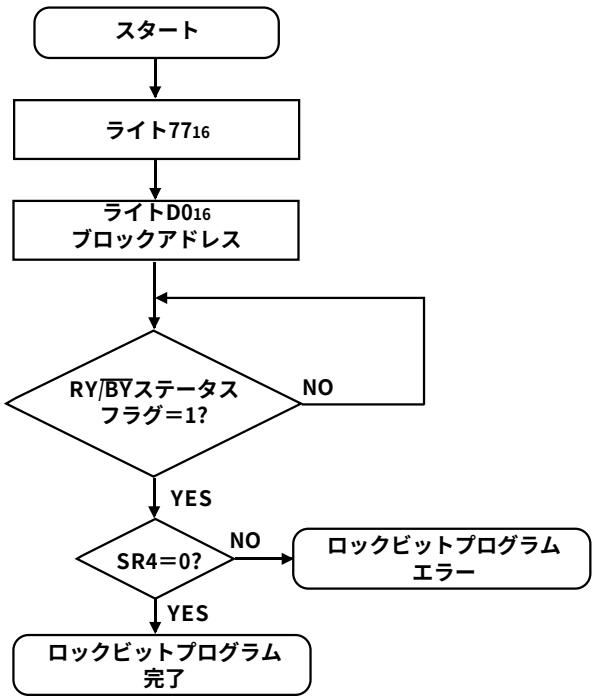


図1.30.6. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(71$_{16}$)

第1バスサイクルでコマンドコード“ 71$_{16}$ ”をライトした後、次の第2バスサイクルでブロックのブロックアドレスを入力すると指定されたブロックのロックビットの状態がデータバス(D$_6$)へ読み出されます。

図1.30.7にリードロックビットプログラムのフローチャート例を示します。

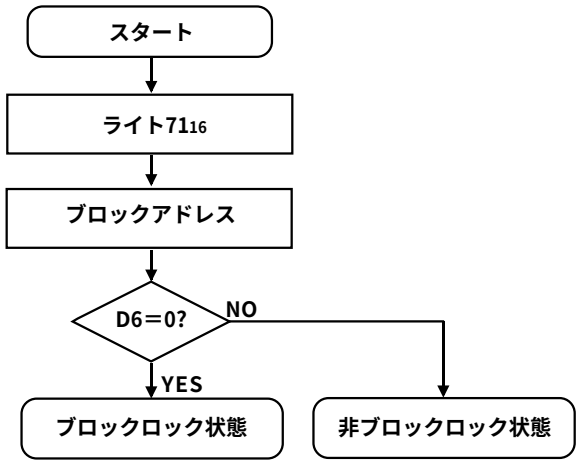


図1.30.7.　リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.29.3に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

(1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。 ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。

(2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状 態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70_{16})をライトしたとき読み出すことができます。ステータスレジスタを表1.30.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50_{16})をライトしたときクリアされます。

リセット解除後、ステータスレジスタは、“80_{16}”になります。

各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20_{16})が入力された後に確認コマンド($D0_{16}$)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、コマンドライトによる次のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

(1) 規定コマンドが正しく入力されなかった場合。

(2) ロックビットプログラム(77_{16}/$D0_{16}$)、ブロックイレーズ(20_{16}/$D0_{16}$)、イレーズオールアンロックドブロック($A7_{16}$/$D0_{16}$)の第2バスサイクルのデータに$D0_{16}$またはFF_{16}以外のデータを入力した場合。
ただし、FF_{16}を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80_{16}”を出力し、書き込みがフェイルしたときは“90_{16}”を出力、そして、過剰書き込みが発生したときに“88_{16}”が出力されます。

表1.30.2. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定　義	
		“1”	“0”
SR7 (bit 7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit 6)	リザーブ	——	——
SR5 (bit 5)	イレーズステータス	エラー終了	正常終了
SR4 (bit 4)	プログラムステータス	エラー終了	正常終了
SR3 (bit 3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit 2)	リザーブ	——	——
SR1 (bit 1)	リザーブ	——	——
SR0 (bit 0)	リザーブ	——	——

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。
図1.30.8にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

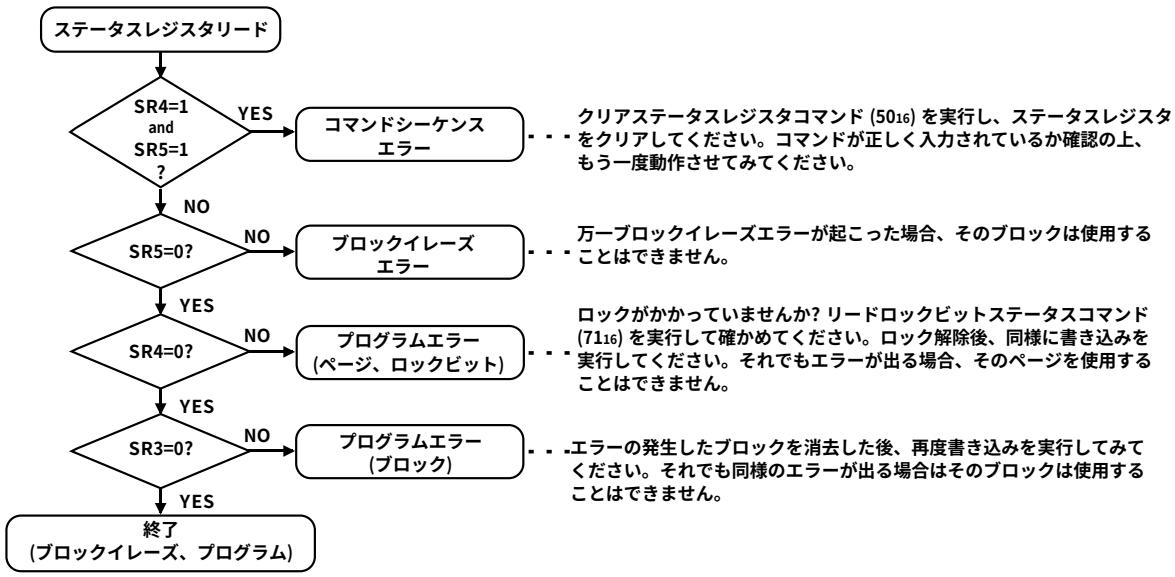


図1.30.8. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFF16番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFF16番地)の構成を図1.30.9に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスタ等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	出荷時の値
ROMCP	0FFFFFF16番地	FF16

ビットシンボル	ビット名	機　能
予約ビット		必ず“1”を設定してください
ROMCP2	ROMコードプロテクトレベル2設定ビット(注1)(注2)	b3 b2 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効
ROMCR	ROMコードプロテクト解除ビット(注3)	b5 b4 0 0 : プロテクト解除 0 1 : プロテクト設定ビット有効 1 0 : プロテクト設定ビット有効 1 1 : プロテクト設定ビット有効
ROMCP1	ROMコードプロテクトレベル1設定ビット(注1)	b7 b6 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効

注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します.
注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスタ等での、ROMコード読み出しも禁止します.
注3. ROMコードプロテクト解除ビットでは、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます.
但し、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更する必要があります.

図1.30.9.　ROMコードプロテクトのビット構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFFDF_{16}$、$0FFFFE3_{16}$、$0FFFFEB_{16}$、$0FFFFEF_{16}$、$0FFFFF3_{16}$、$0FFFFF7_{16}$、$0FFFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

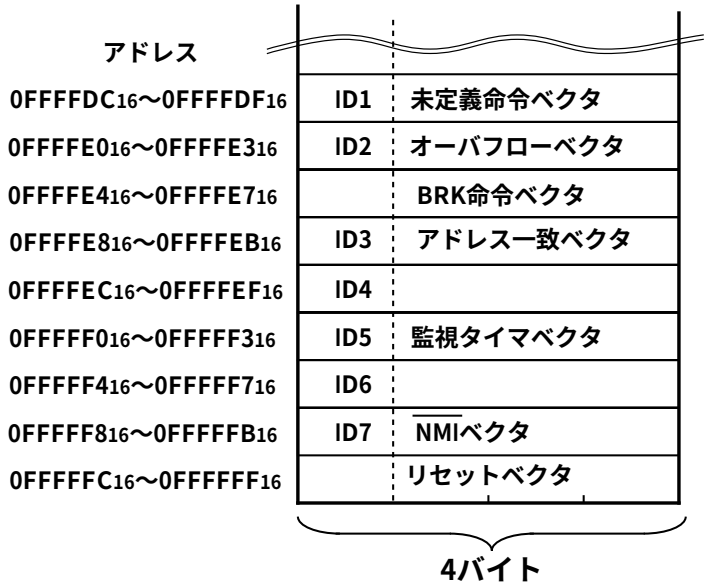


図1.30.10.　IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードでは、三菱製 フラッシュメモリM5M29FB/T800相当の動作をします。マイコンが持っていない機能やメモリ容量関連の相違点がありますので、フラッシュメモリ用のライタでは書き込みできません。

M16C/80Tグループ(フラッシュメモリ版)をサポートしている専用ライタを使用してください。使用方法の詳細は各ライタメーカの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.29.3に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図1.29.3に示します。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、 $0FFE000_{16}$～$0FFFFFF_{16}$ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウエアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　称	入出力	機　能
VCC, VSS	電源入力		VCC端子にはプログラム/イレーズの保証電圧を、VSS端子には0Vを印加してください。
CNVSS	CNVSS	入力	VCCに接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。 外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VCCまたはVSSに接続してください。
AVCC, AVSS	アナログ電源入力	入力	AVCCはVCCに、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00～P07	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P10～P17	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P20～P27	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P30～P37	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P40～P47	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P51～P54,P56,P57	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P50	$\overline{\text{CE}}$入力	入力	“H”を入力してください。
P55	$\overline{\text{EPM}}$入力	入力	“L”を入力してください。
P60～P63	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P64	BUSY出力	出力	標準シリアルモード1：BUSY信号の出力端子です。 標準シリアルモード2：プログラム動作チェック用モニタ
P65	SCLK入力	入力	標準シリアルモード1：シリアルクロックの入力端子です。 標準シリアルモード2：“L”を入力してください。
P66	RxD入力	入力	シリアルデータの入力端子です。
P67	TxD出力	出力	シリアルデータの出力端子です。
P70～P77	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P80～P84,P86,P87	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P85	$\overline{\text{NMI}}$入力	入力	VCCに接続してください。
P90～P97	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P100～P107	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

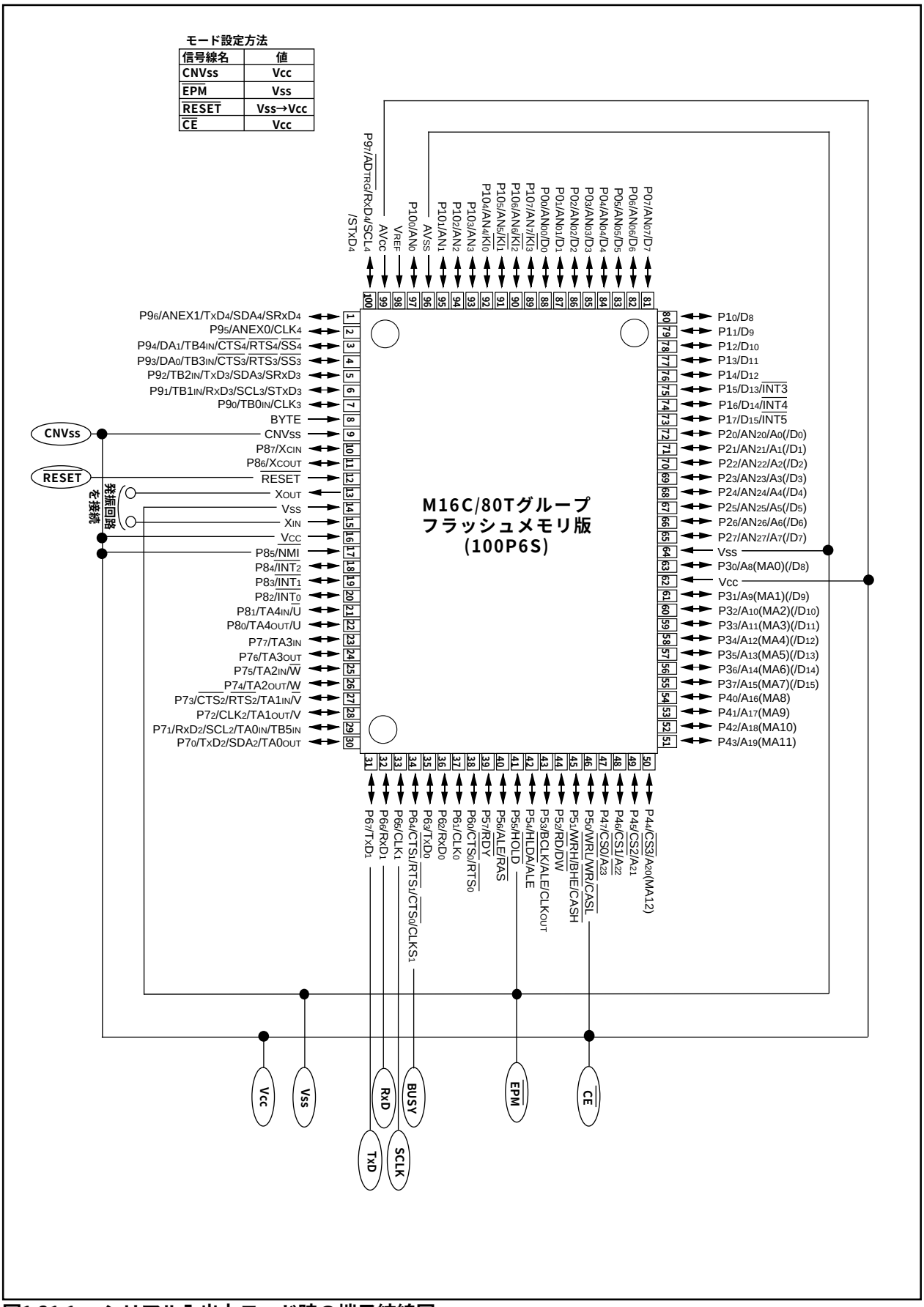


図1.31.1.　シリアル入出力モード時の端子結線図

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

・クロック同期形のモード1
・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、$P5_0$($\overline{CE}$)端子“H”、$P5_5$($\overline{EPM}$)端子を“L”、$CNVss$端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、$CNVss$は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.31.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使い、8ビット単位でシリアル転送します。リセット解除時のCLK_1端子の状態によってモード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK_1端子を“H”にしてリセットを解除します。UART1の端子CLK_1、RxD_1、TxD_1、RTS_1(BUSY)の4本を使用します。CLK_1端子は転送クロックの入力端子で、外部から転送クロックを入力します。TxD_1端子はCMOS出力です。RTS_1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK_1端子を“L”にしてリセットを解除します。UART1の端子RxD_1、TxD_1の2本を使用します。

標準シリアル入出力モードでは、図1.31.18に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライタ)から送られてくるコマンドを受け付けません。

標準シリアル入出力モード1(クロック同期形)機能概要

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウエアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がりに同期して、RxD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD1端子から外部に出力します。

TxD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常／エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウエアコマンド、ステータスレジスタ等について説明します。

ソフトウエアコマンド

表1.31.1にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウエアコマンドの内容を説明します。

表1.31.1.　ソフトウエアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF_{16}	アドレス(中位)	アドレス(上位)	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	41_{16}	アドレス(中位)	アドレス(上位)	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目データ入力	受付不可
3	ﾌﾞﾛｯｸｲﾚｰｽﾞ	20_{16}	アドレス(中位)	アドレス(上位)	$D0_{16}$				受付不可
4	ｲﾚｰｽﾞ全ｱﾝﾛｯｸﾌﾞﾛｯｸ	$A7_{16}$	$D0_{16}$						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	70_{16}	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	50_{16}							受付不可
7	ﾘｰﾄﾞﾛｯｸﾋﾞｯﾄｽﾃｰﾀｽ	71_{16}	アドレス(中位)	アドレス(上位)	ﾛｯｸﾋﾞｯﾄﾃﾞｰﾀ出力				受付不可
8	ﾛｯｸﾋﾞｯﾄﾌﾟﾛｸﾞﾗﾑ	77_{16}	アドレス(中位)	アドレス(上位)	$D0_{16}$				受付不可
9	ﾛｯｸﾋﾞｯﾄ有効	$7A_{16}$							受付不可
10	ﾛｯｸﾋﾞｯﾄ無効	75_{16}							受付不可
11	IDﾁｪｯｸ機能	$F5_{16}$	アドレス(下位)	アドレス(中位)	アドレス(上位)	IDサイズ	ID1	～ID7	受付可
12	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA_{16}	サイズ(下位)	サイズ(上位)	チェックサム	データ入力	～必要回数		受付不可
13	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB_{16}	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
14	ﾌﾞｰﾄROM領域出力機能	FC_{16}	アドレス(中位)	アドレス(上位)	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目データ出力	受付不可
15	リードチェックデータ	FD_{16}	ﾁｪｯｸﾃﾞｰﾀ(下位)	ﾁｪｯｸﾃﾞｰﾀ(上位)					受付不可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送
　　それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。
注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。
注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

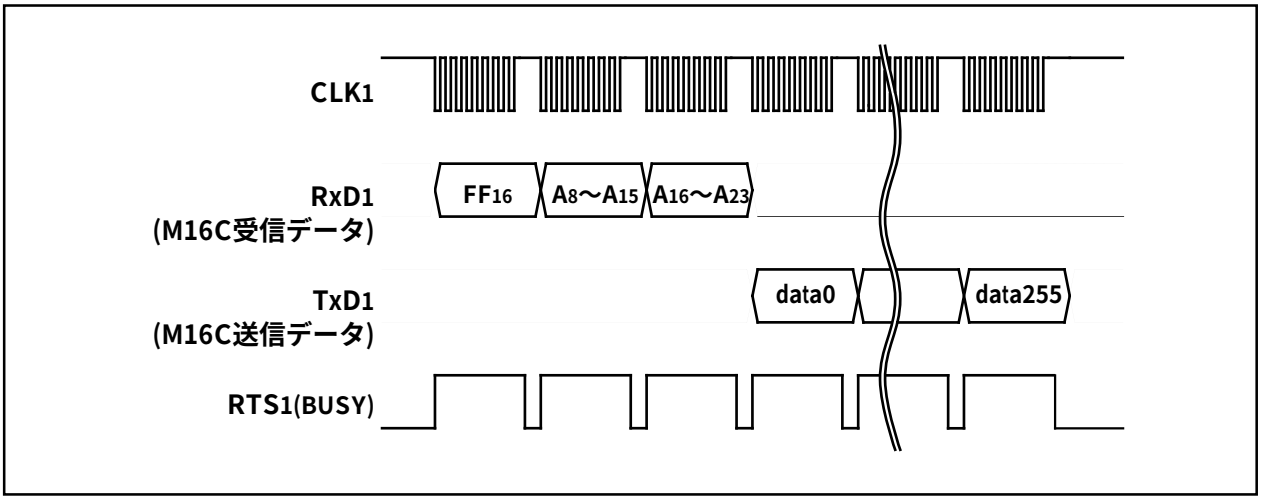


図1.31.2.　ページリード時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

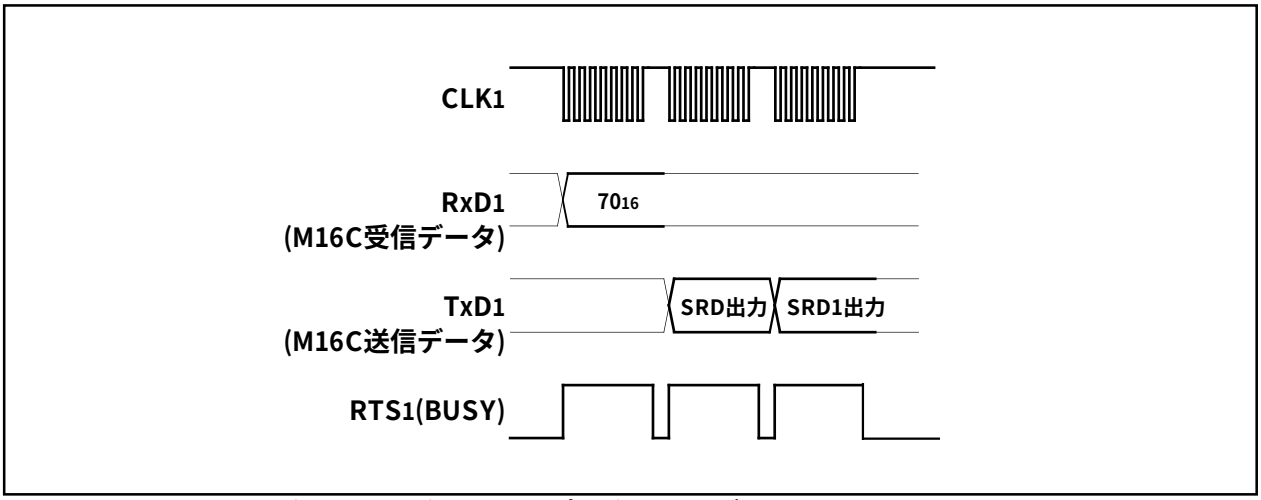


図1.31.3.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS1(BUSY)信号は“ H ”から“ L ”に変化します。

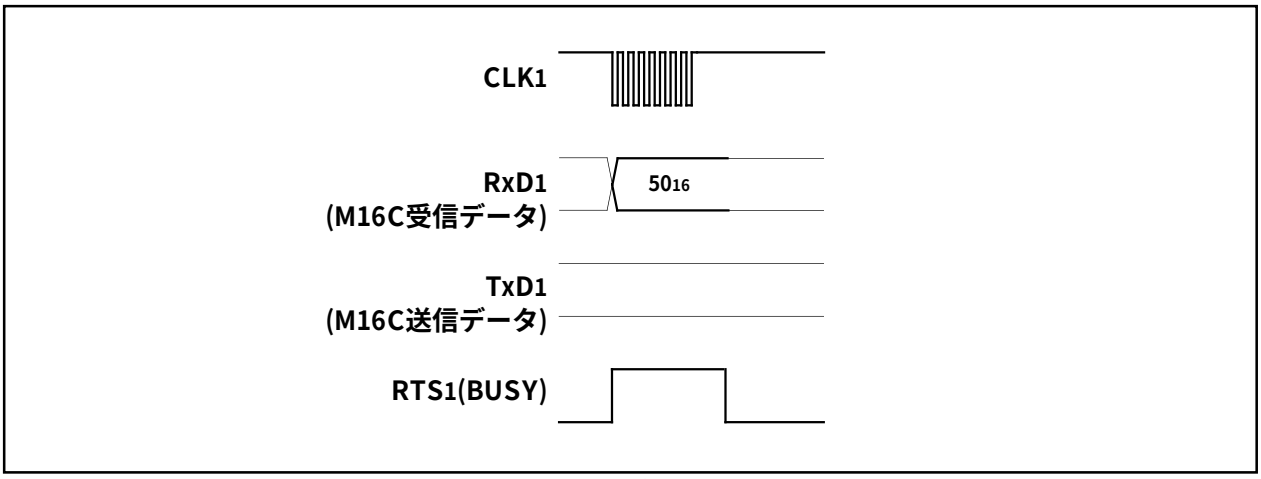


図1.31.4.　クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。
(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。
(3) 4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS1(BUSY)信号が“ H ”から“ L ”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

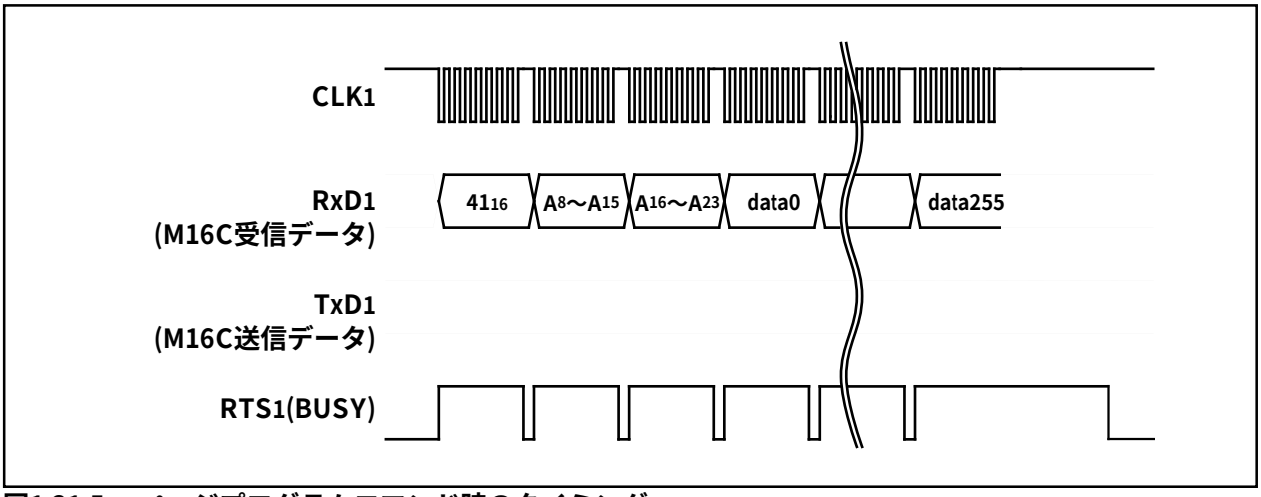


図1.31.5.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS1(BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

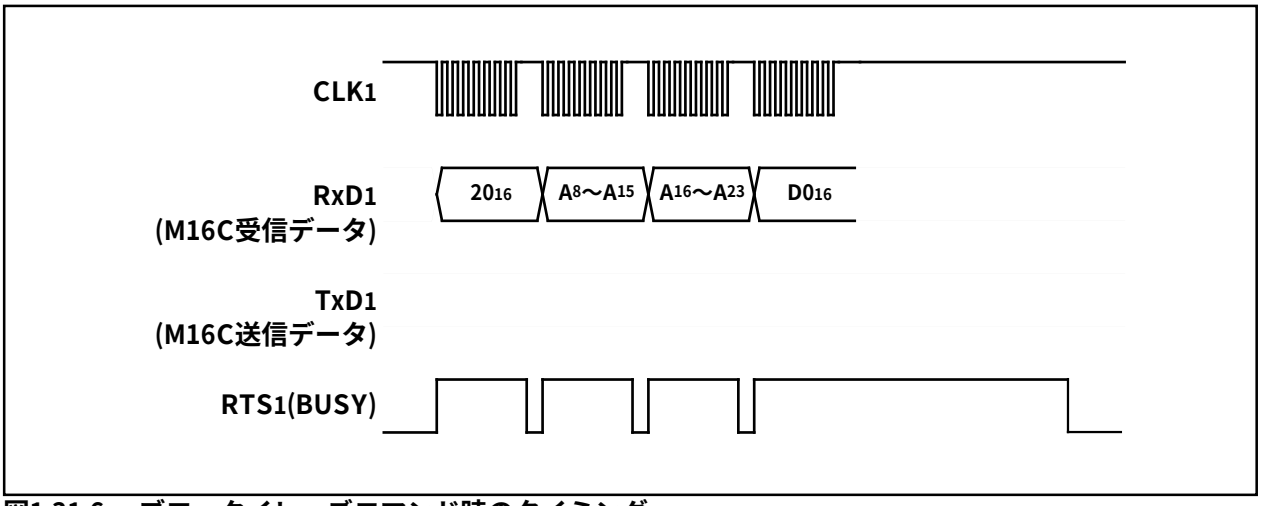


図1.31.6.　ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS1(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

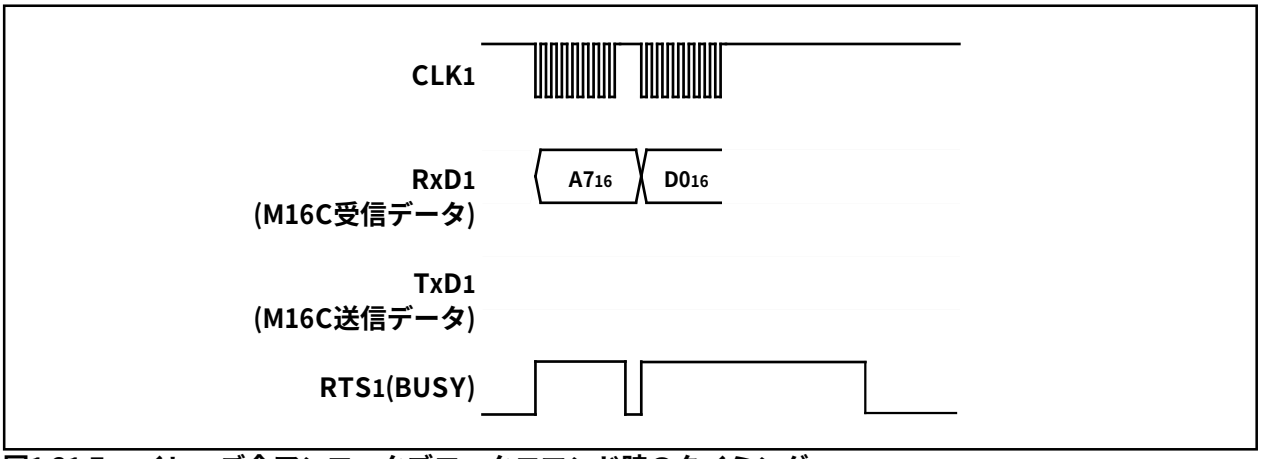


図1.31.7.　イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

(1)　1バイト目の転送でコマンドコード“ 77_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS1(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

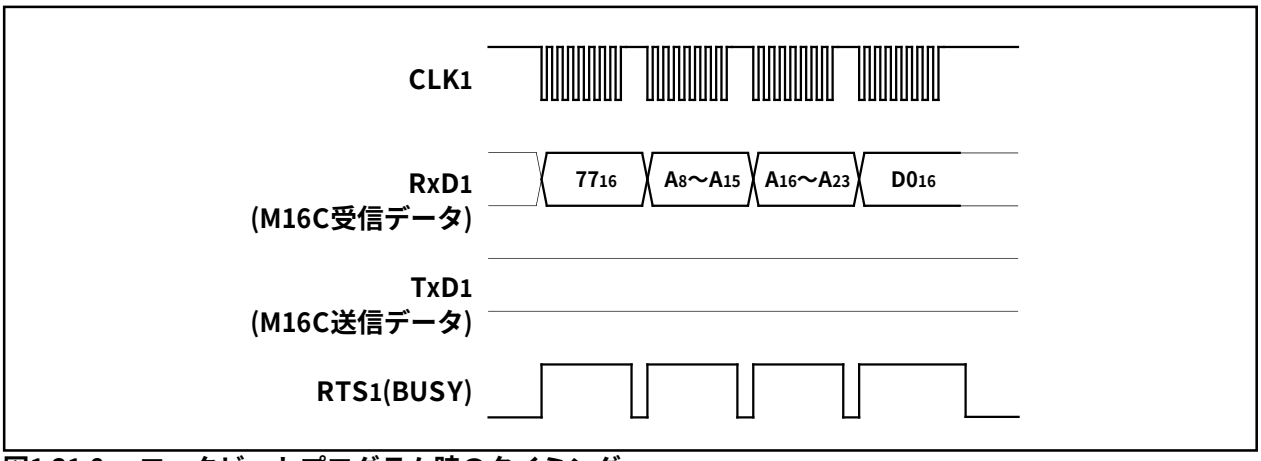


図1.31.8.　ロックビットプログラム時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

(1) 1バイト目の転送でコマンドコード“ 71_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。
出力されるデータの6ビット目(D_6)がロックビットデータです。 なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

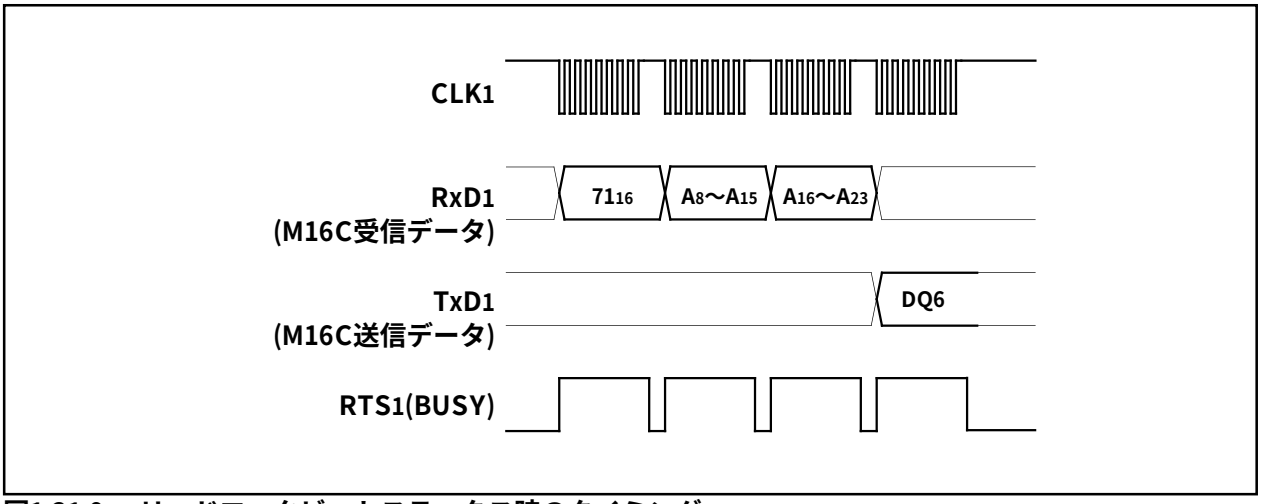


図1.31.9.　リードロックビットステータス時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。(パラレル入出力モードの$\overline{WP}$端子と同等の機能)。1バイト目のシリアル転送でコマンドコード“ $7A_{16}$ ”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

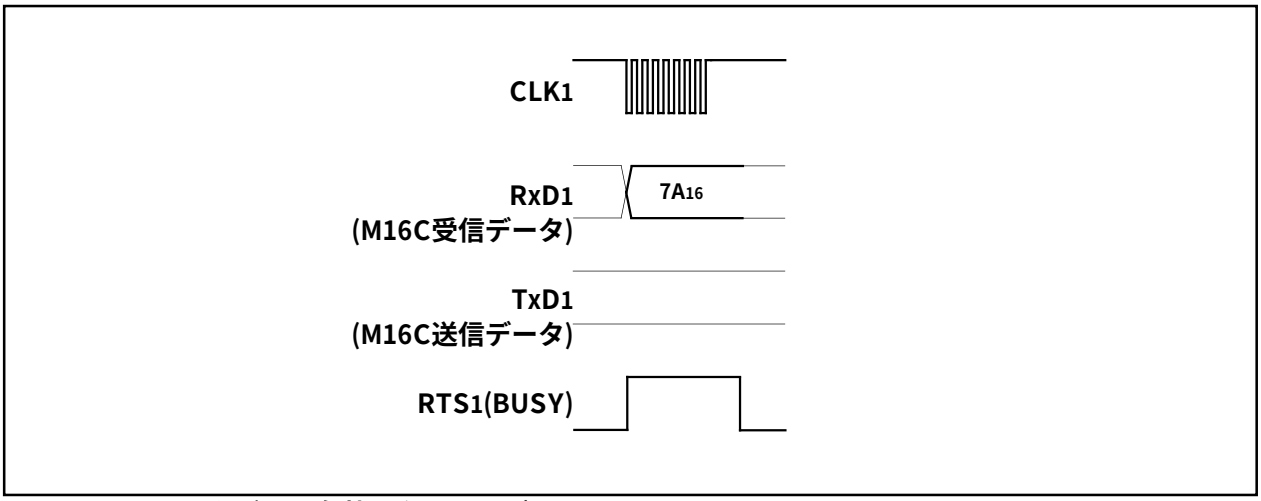


図1.31.10.　ロックビット有効のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“ 75_{16} ”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“ 0 ”(ロック状態)であったロックビットデータは、消去終了後“ 1 ”(非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

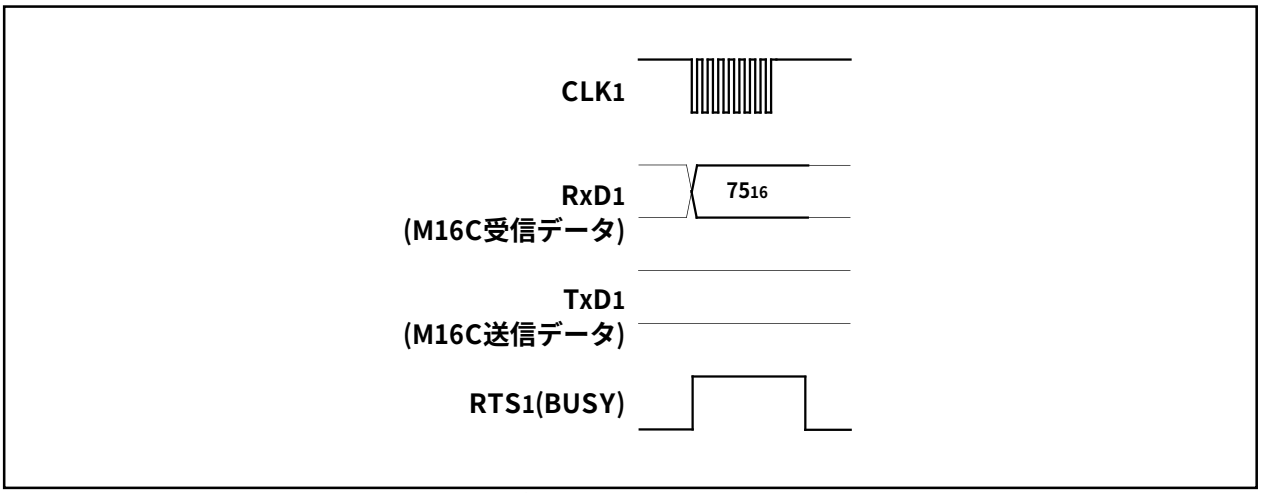


図1.31.11.　ロックビット無効のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

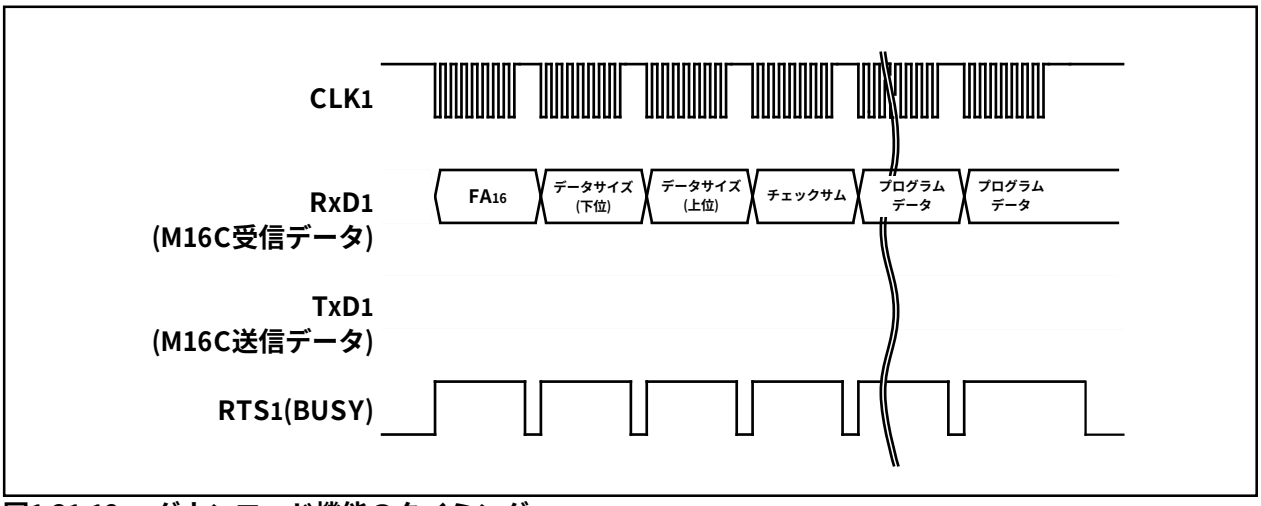


図1.31.12.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2)　2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

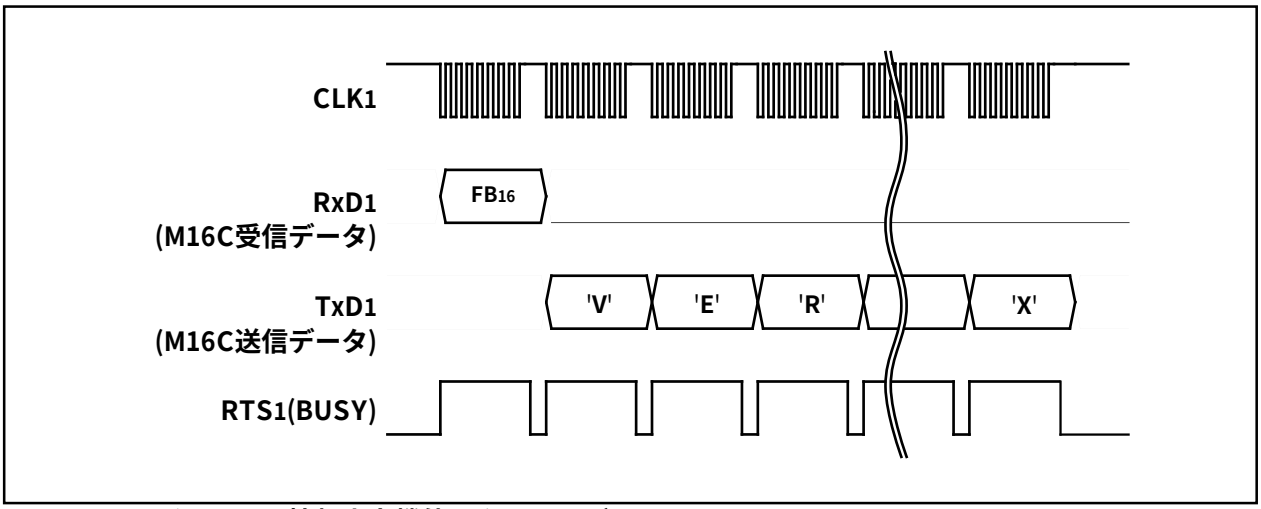


図1.31.13.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

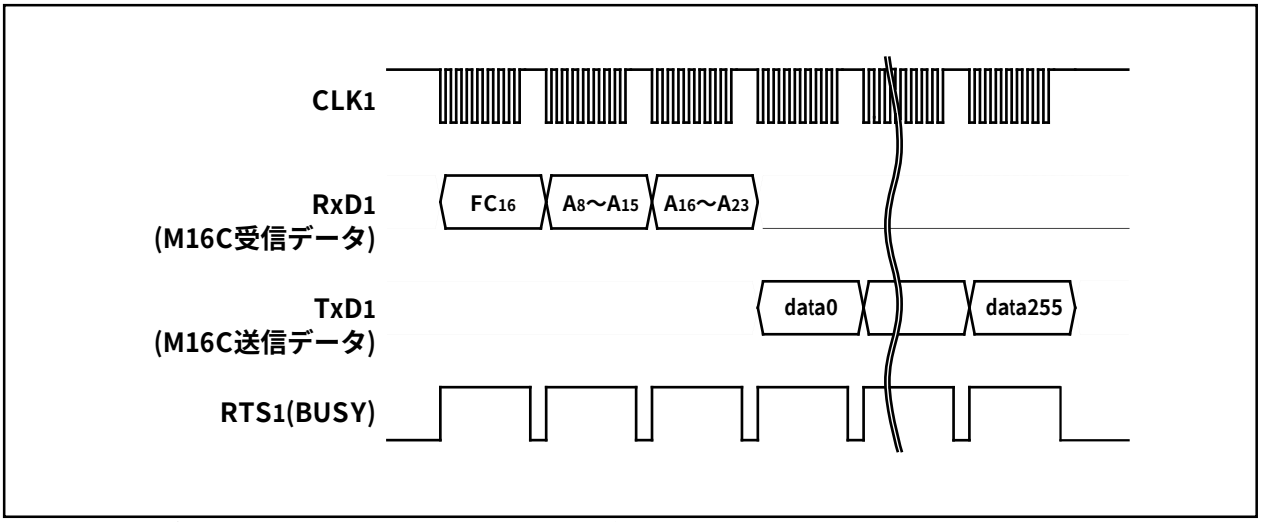


図1.31.14.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

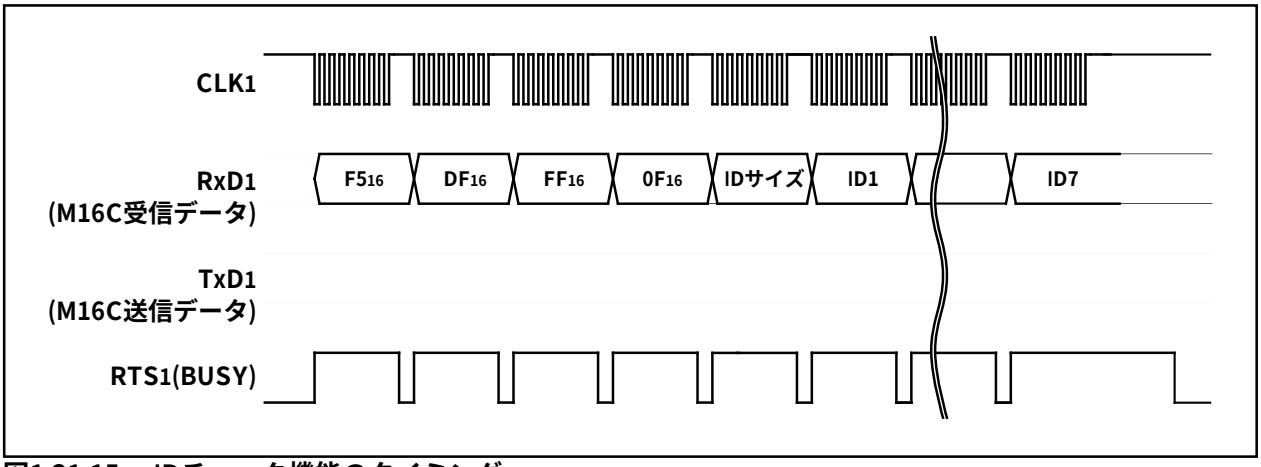


図1.31.15.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFFDF_{16}$、$0FFFFE3_{16}$、$0FFFFEB_{16}$、$0FFFFEF_{16}$、$0FFFFF3_{16}$、$0FFFFF7_{16}$、$0FFFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

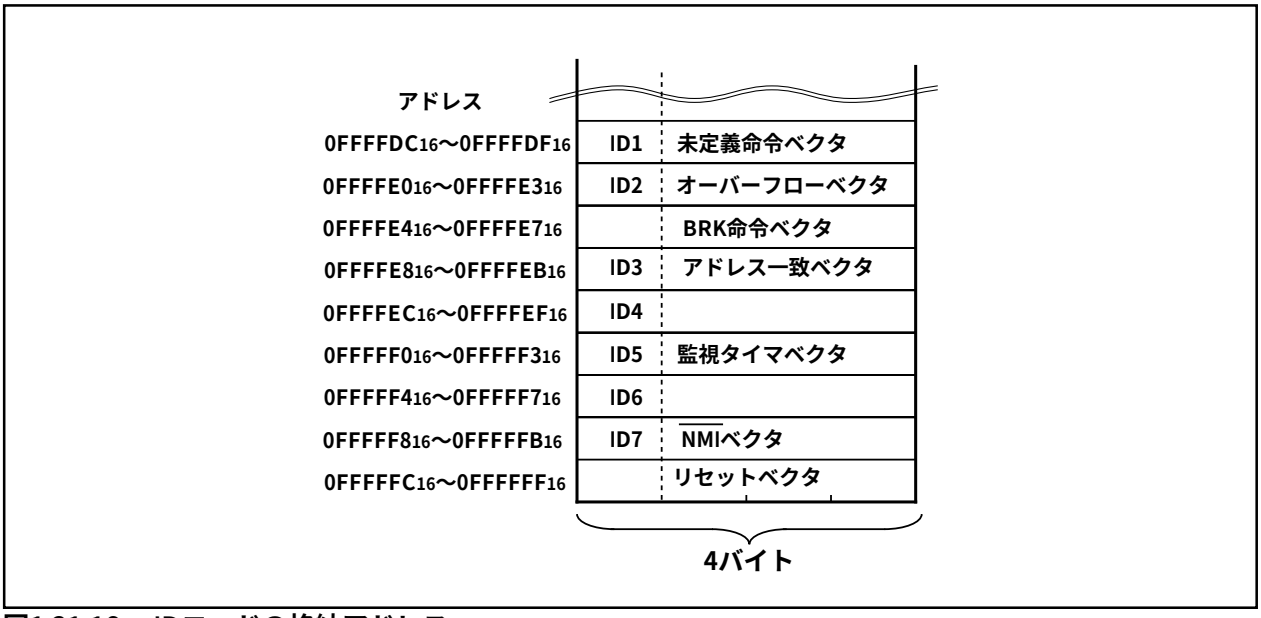


図1.31.16.　IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

(1) 1バイト目の転送でコマンドコード“ FD16 ”を転送します。

(2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

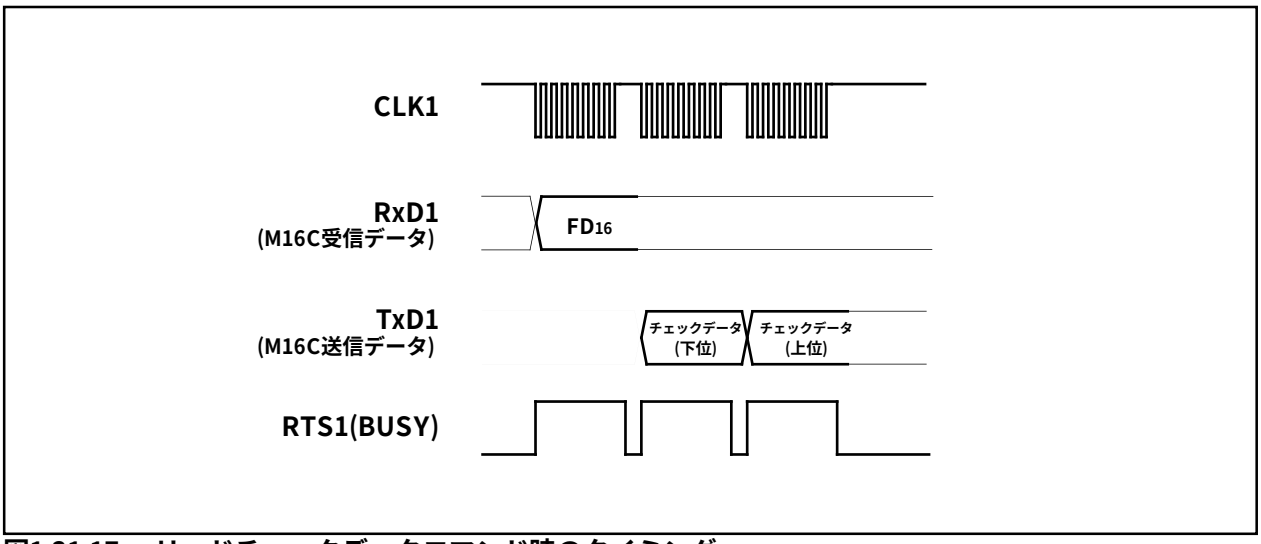


図1.31.17.　リードチェックデータコマンド時のタイミング

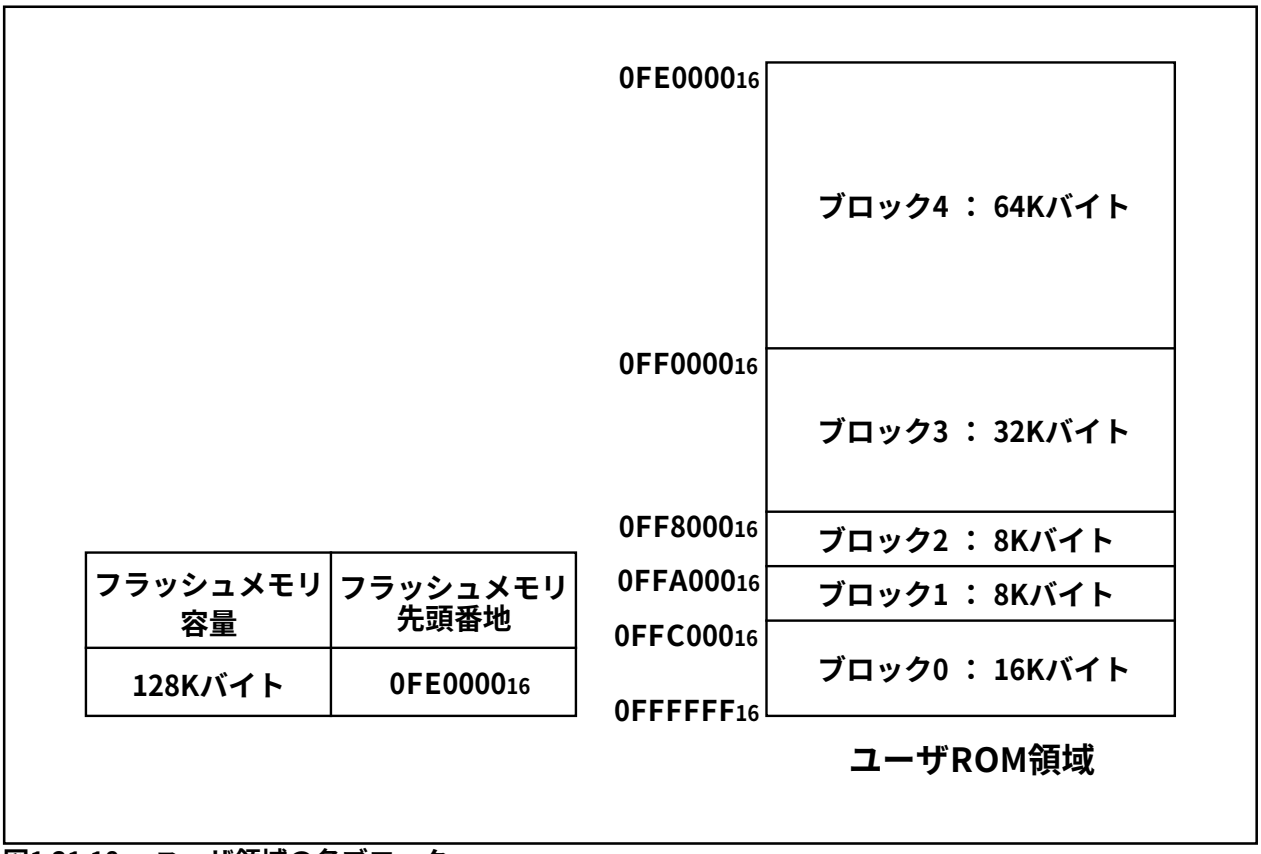
データ保護機能(ブロックロック)

図1.31.18に示す各々のブロックは、消去／書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの無効、有効はロックビットの状態とロックビット無効コマンド／ロックビット有効コマンドの実行状況で決まります。

(1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック／非ロックが設定できます。 ロックビットデータが“0”のブロックはロック状態になり消去／書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去／書き込みが可能です。

(2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去／書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。



フラッシュメモリ容量	フラッシュメモリ先頭番地
128Kバイト	0FE0000₁₆

図1.31.18.　ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70$_{16}$)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50$_{16}$)をライトしたときクリアされます。

ステータスレジスタを表1.31.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“ 80$_{16}$ ”を出力します。

表1.31.2.　ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit 7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit 6)	リザーブ	——	——
SR5 (bit 5)	イレーズステータス	エラー終了	正常終了
SR4 (bit 4)	プログラムステータス	エラー終了	正常終了
SR3 (bit 3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit 2)	リザーブ	——	——
SR1 (bit 1)	リザーブ	——	——
SR0 (bit 0)	リザーブ	——	——

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“ 1 ”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。イレーズステータスは、クリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。プログラムステータスは、クリアされると“ 0 ”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“ 1 ”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“ 80$_{16}$ ”、書き込みがフェイルしたときは“ 90$_{16}$ ”、そして、過剰書き込みが発生したときに“ 88$_{16}$ ”となります。

SR5、SR4、SR3のいずれかが“ 1 ”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50$_{16}$)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70_{16})をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50_{16})をライトしたときクリアされます。

ステータスレジスタを表1.31.3に各ビットの定義を以下に示します。

電源投入時“00_{16}”になります。フラグの状態はリセットしても保持されます。

表1.31.3.　ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		“1”	“0”
SR15 (bit 7)	ブート更新済みビット	更新済み	未更新
SR14 (bit 6)	リザーブ	——	——
SR13 (bit 5)	リザーブ	——	——
SR12 (bit 4)	チェックサム一致ビット	一致	不一致
SR11 (bit 3) SR10 (bit 2)	ID照合済みビット	00：未照合 01：照合不一致 10：リザーブ 11：照合済み	
SR9 (bit 1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit 0)	リザーブ	——	——

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうか示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうか示すフラグです。

ID照合済みビット(SR11　SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.31.19にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

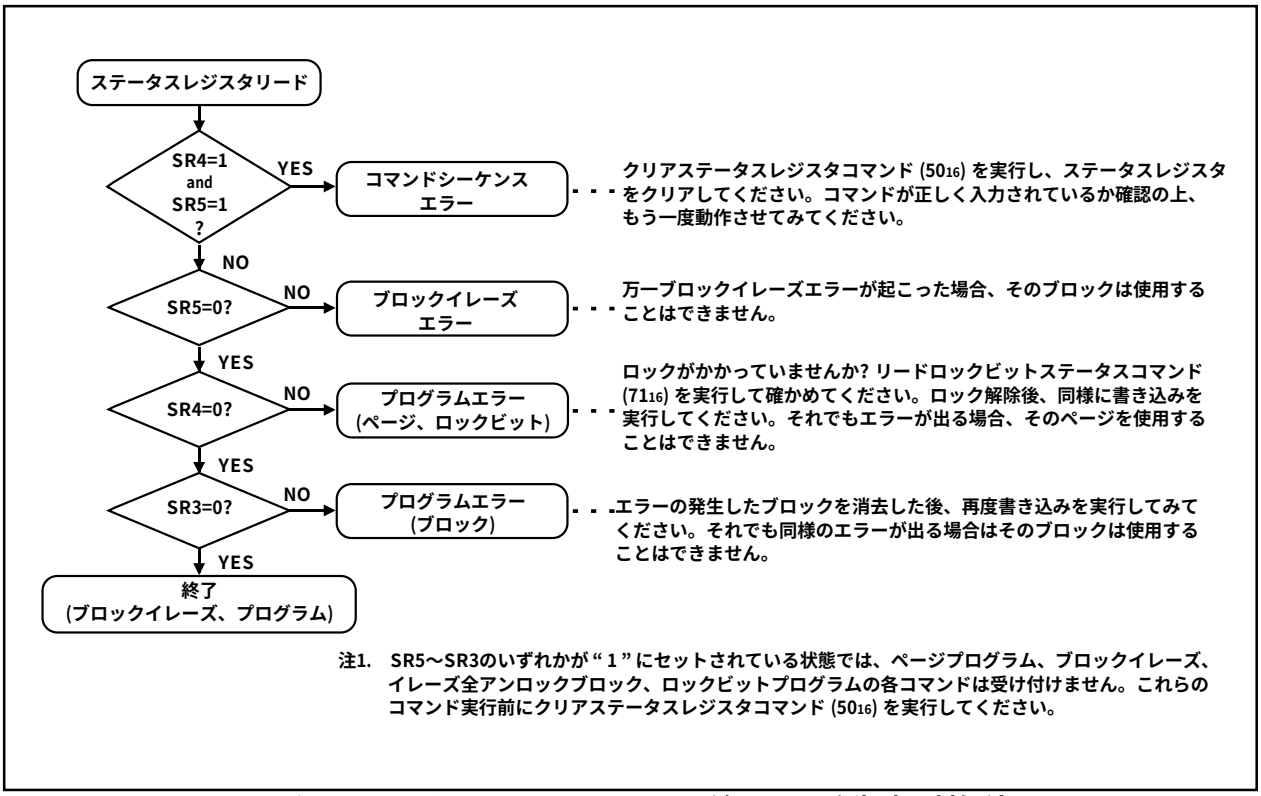
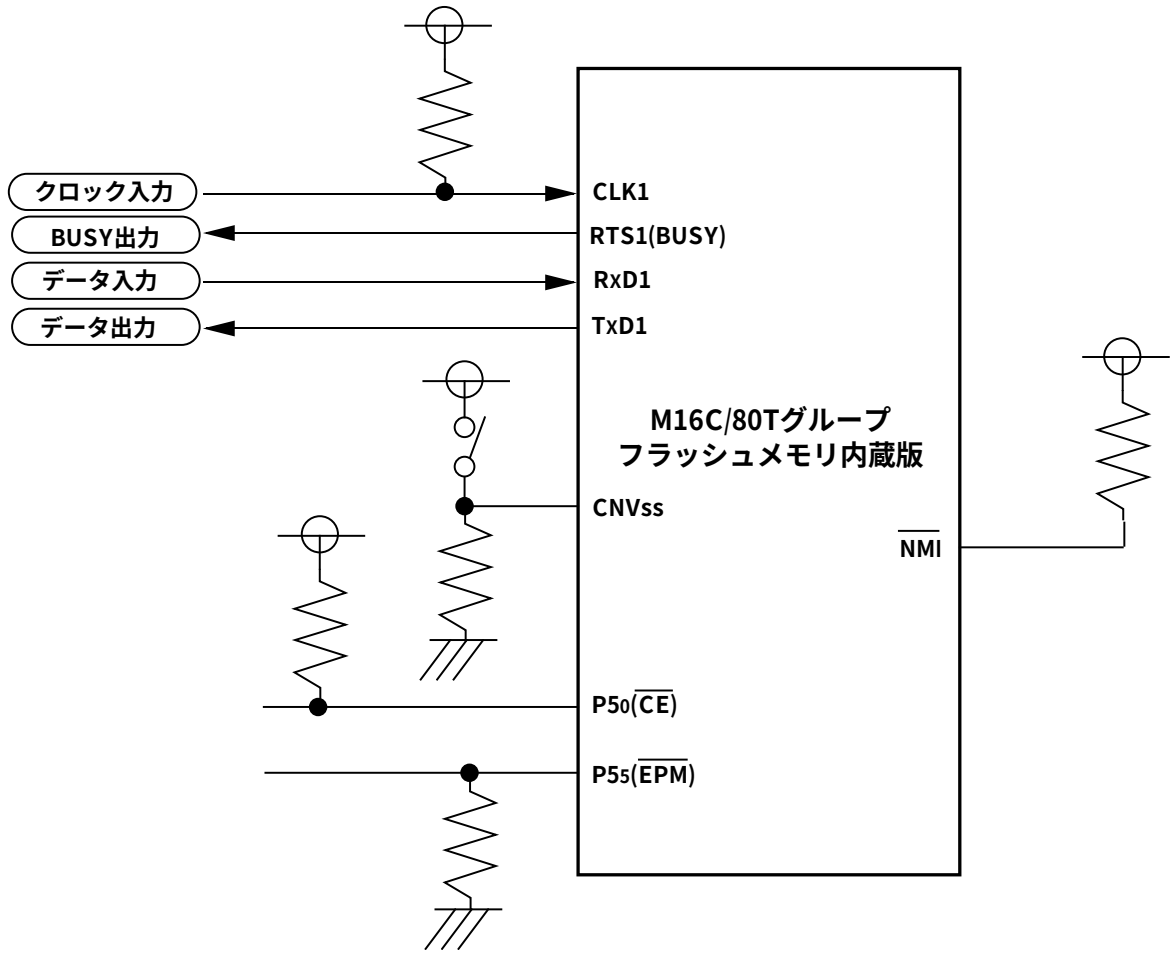


図1.31.19.　フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライタ)によって制御するピン等が違いますので、詳細は外部装置(ライタ)のマニュアルを参考にしてください。



(1) 外部装置(ライタ)によって制御する端子、外付け回路が違います。詳しくは、外部装置(ライタ)のマニュアルを参照してください。
(2) この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

図1.31.20.　標準シリアル入出力モード1時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.31.21)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウエアコマンドを実行することで、9600bps、19200bps、38400bps、57600bps、115200bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、充分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウエアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウエアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.31.21)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

(1)　外部装置から“00_{16}”を16回転送します。(フラッシュメモリ内蔵マイコンは“00_{16}”が正しく受信できるように転送速度レジスタを設定します。)

(2)　フラッシュメモリ内蔵マイコンは、確認コード“$B0_{16}$”を出力し、初期通信を終了します(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1.　外部装置に“$B0_{16}$”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

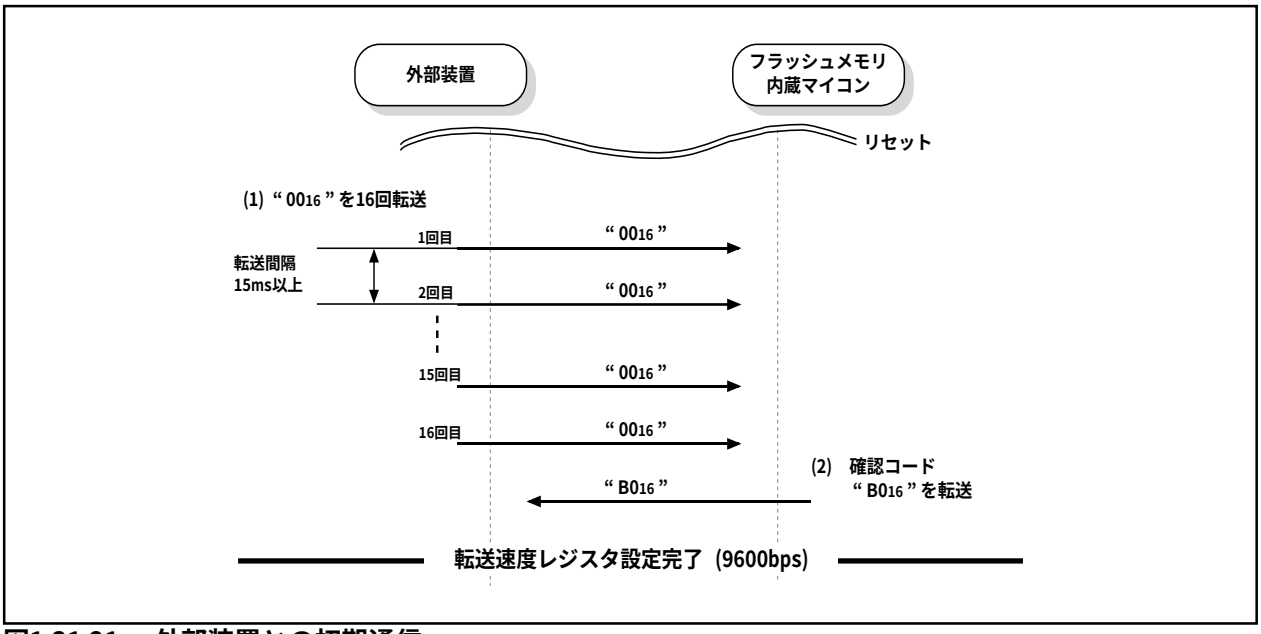


図1.31.21.　外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“00_{16}”データを16回受信することで、動作周波数(2MHz～20MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.31.4に主な周波数と実現できるボーレートの一覧を示します。

表1.31.4　動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps	ボーレート 115200bps
20MHz	○	○	○	○	○
16MHz	○	○	○	○	×
12MHz	○	○	○	○	×
11MHz	○	○	○	○	×
10MHz	○	○	○	○	×
8MHz	○	○	○	○	×
7.3728MHz	○	○	○	○	×
6MHz	○	○	○	×	×
5MHz	○	○	○	×	×
4.5MHz	○	○	○	○	×
4.194304MHz	○	○	○	×	×
4MHz	○	○	×	×	×
3.58MHz	○	○	○	○	×
3MHz	○	○	○	×	×
2MHz	○	×	×	×	×

○：通信可能
×：通信不可

ソフトウエアコマンド

表1.31.5にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウエアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600、ボーレート115200の5コマンドを追加しています。

以下に各ソフトウエアコマンドの内容を説明します

表1.31.5.　ソフトウエアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF_{16}	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	41_{16}	アドレス（中位）	アドレス（上位）	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目 データ入力	受付不可
3	ﾌﾞﾛｯｸｲﾚｰｽﾞ	20_{16}	アドレス（中位）	アドレス（上位）	$D0_{16}$				受付不可
4	ｲﾚｰｽﾞ全ｱﾝﾛｯｸﾌﾞﾛｯｸ	$A7_{16}$	$D0_{16}$						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	70_{16}	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	50_{16}							受付不可
7	ﾘｰﾄﾞﾛｯｸﾋﾞｯﾄｽﾃｰﾀｽ	71_{16}	アドレス（中位）	アドレス（上位）	ﾛｯｸﾋﾞｯﾄﾃﾞｰﾀ出力				受付不可
8	ﾛｯｸﾋﾞｯﾄﾌﾟﾛｸﾞﾗﾑ	77_{16}	アドレス（中位）	アドレス（上位）	$D0_{16}$				受付不可
9	ﾛｯｸﾋﾞｯﾄ有効	$7A_{16}$							受付不可
10	ﾛｯｸﾋﾞｯﾄ無効	75_{16}							受付不可
11	IDﾁｪｯｸ機能	$F5_{16}$	アドレス（下位）	アドレス（中位）	アドレス（上位）	IDサイズ	ID1	～ID7	受付可
12	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA_{16}	サイズ（下位）	サイズ（上位）	チェックサム	データ入力	～必要回数		受付不可
13	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB_{16}	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目 ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
14	ﾌﾞｰﾄROM領域出力機能	FC_{16}	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
15	リードチェックデータ	FD_{16}	ﾁｪｯｸﾃﾞｰﾀ（下位）	ﾁｪｯｸﾃﾞｰﾀ（上位）					受付不可
16	ボーレート9600	$B0_{16}$	$B0_{16}$						受付可
17	ボーレート19200	$B1_{16}$	$B1_{16}$						受付可
18	ボーレート38400	$B2_{16}$	$B2_{16}$						受付可
19	ボーレート57600	$B3_{16}$	$B3_{16}$						受付可
20	ボーレート115200	$B4_{16}$	$B4_{16}$						受付可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送
　　それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。
注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。
注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。
(2) 2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。
(3) 4バイト目以降に、アドレスA_8～A_{23}で指定したページ(256 バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

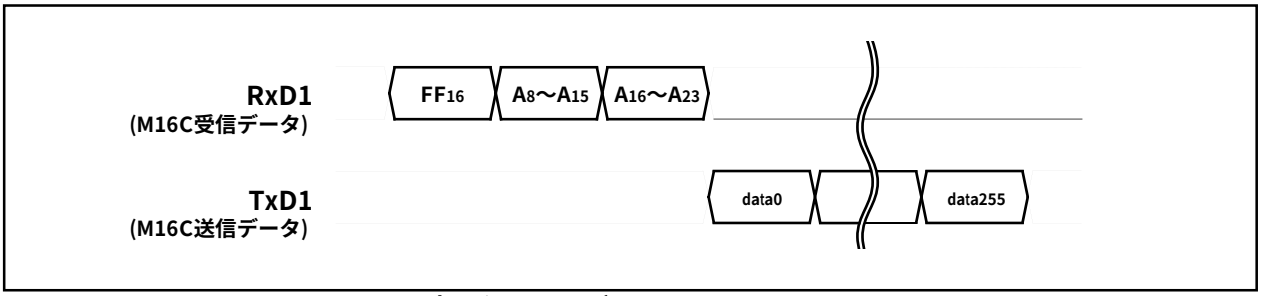


図1.31.22.　ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

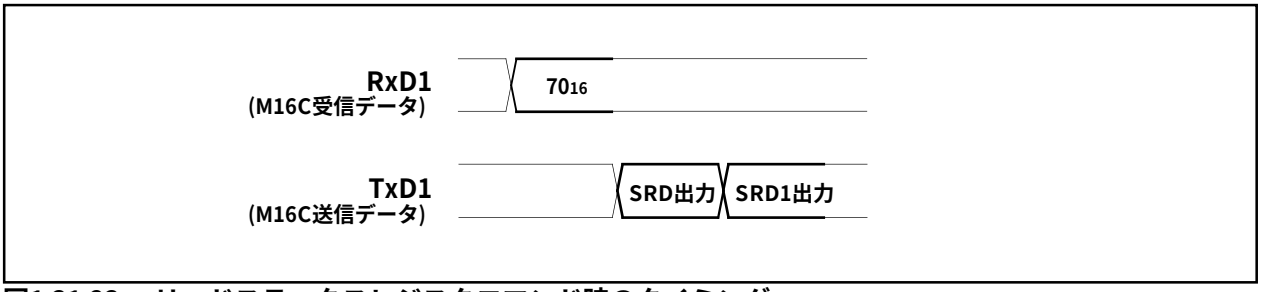


図1.31.23.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。

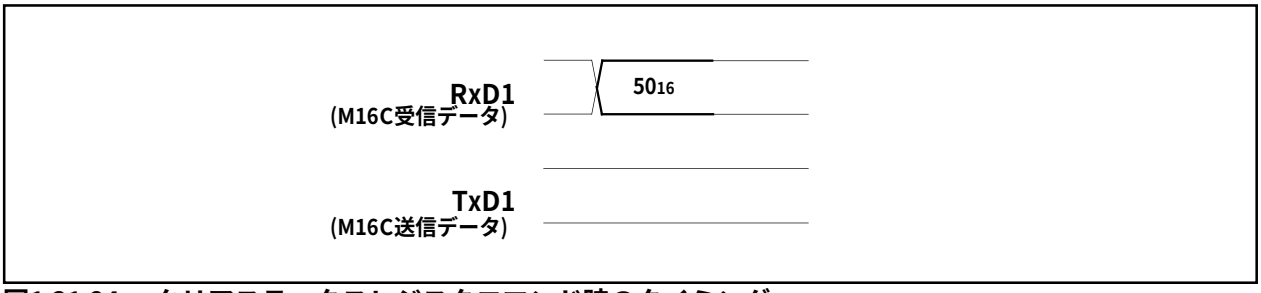


図1.31.24.　クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

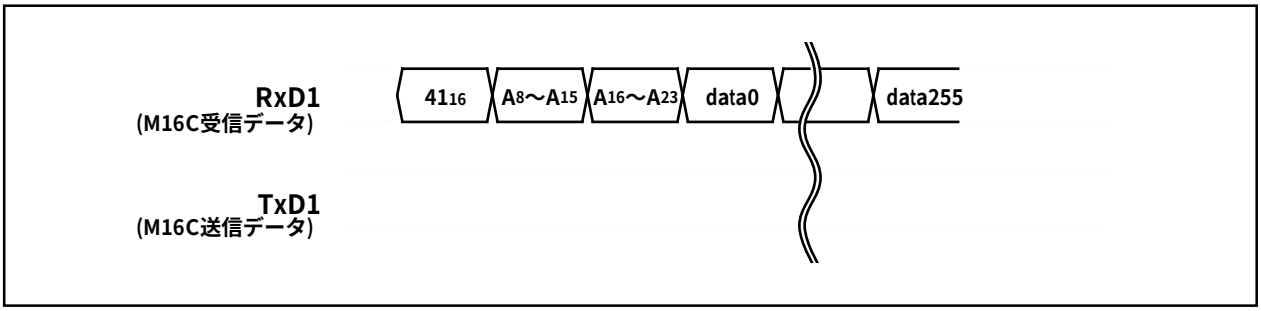


図1.31.25.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

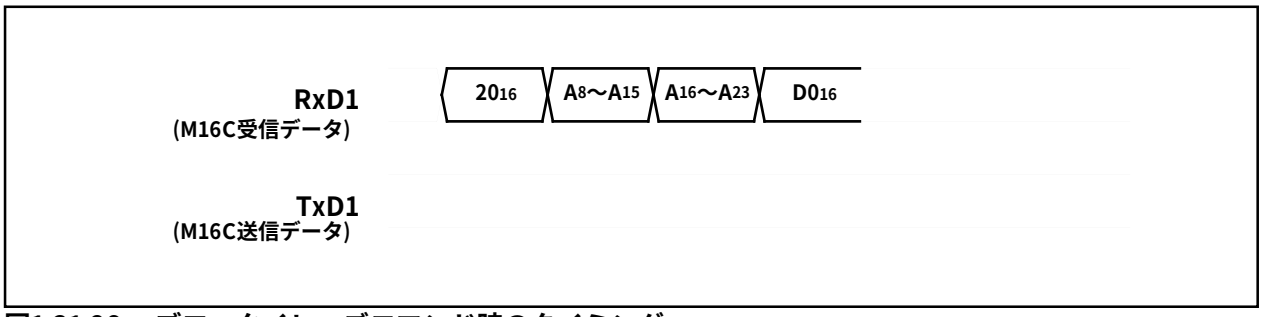


図1.31.26.　ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンブロックブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

図1.31.27.　イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

(1)　1バイト目の転送でコマンドコード“ 77_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

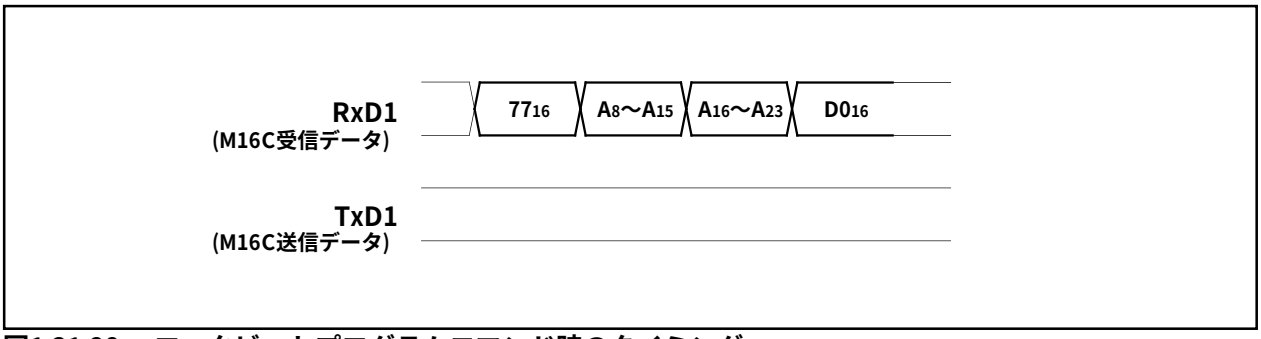


図1.31.28.　ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

(1) 1バイト目の転送でコマンドコード“ 71_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。
出力されるデータの6ビット目(D_6)がロックビットデータです。 なお、A_8～A_{23}のアドレスは、指定するブロックの最大のアドレスとしてください。

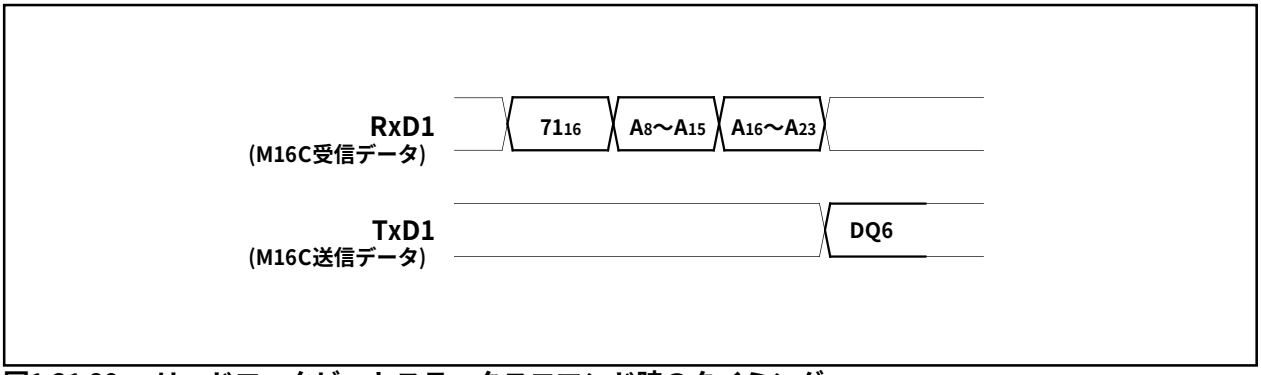


図1.31.29.　リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“ $7A_{16}$ ”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

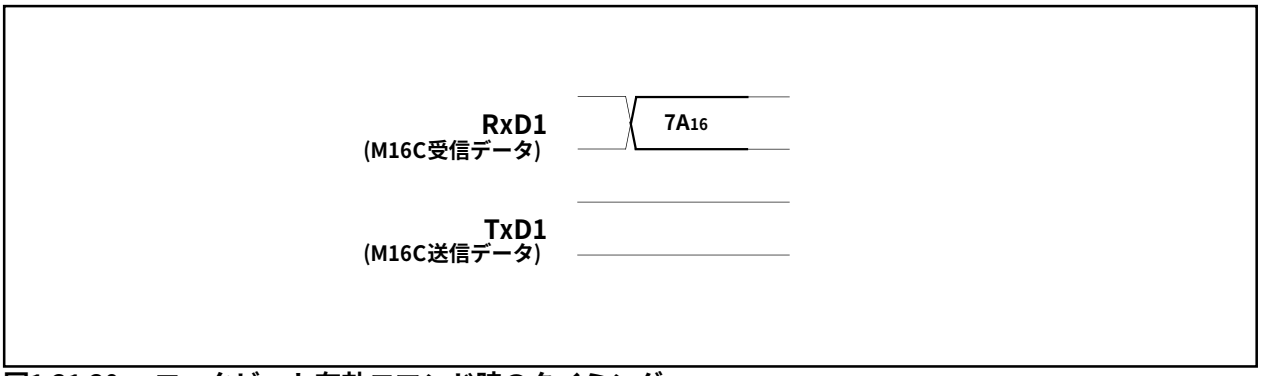


図1.31.30.　ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“ 75_{16} ”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“ 0 ”(ロック状態)であったロックビットデータは、消去終了後“ 1 ”(非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

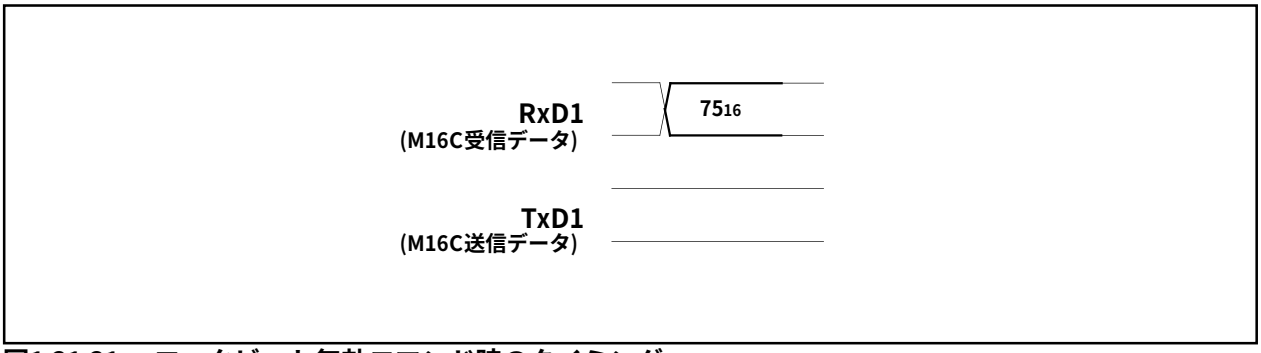


図1.31.31.　ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

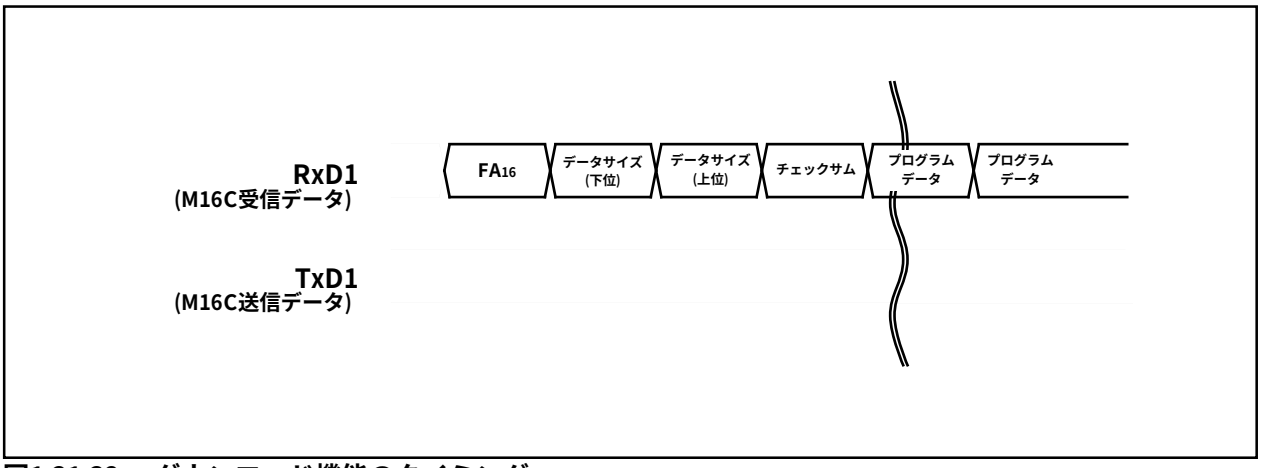


図1.31.32.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1) 1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

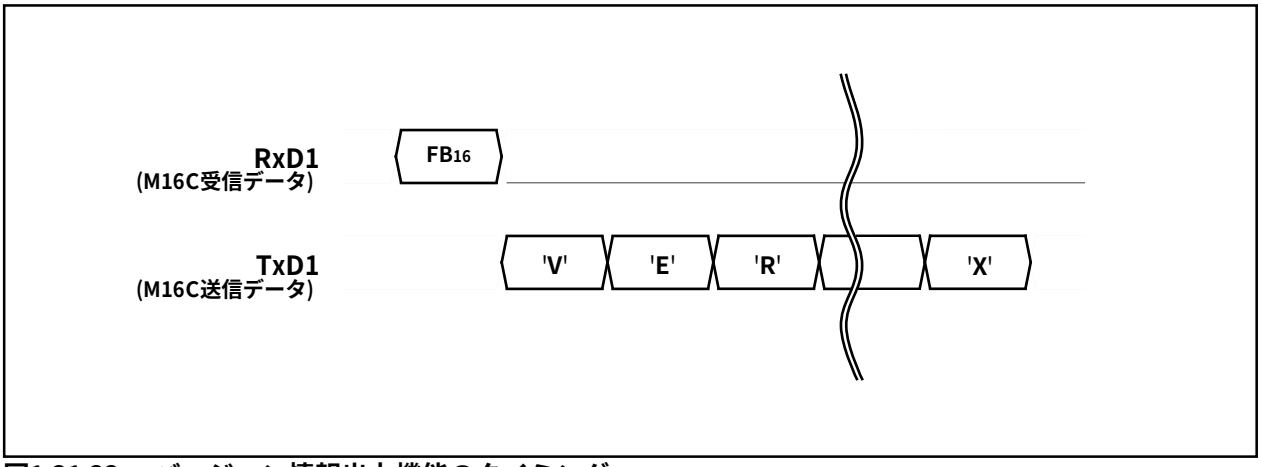


図1.31.33.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1) 1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目以降に、アドレスA_8～A_{23}で指定したページ(256 バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

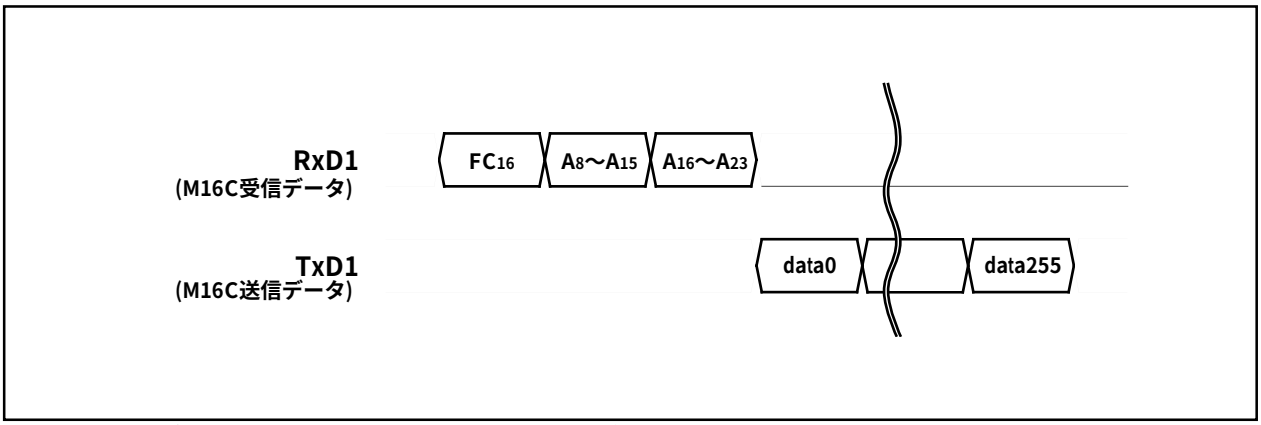


図1.31.34.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

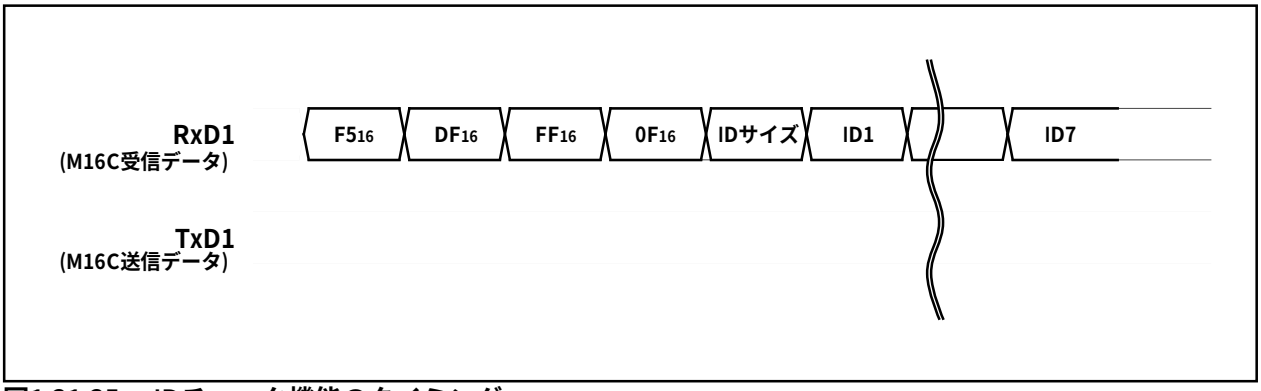


図1.31.35.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFFDF_{16}$、$0FFFFE3_{16}$、$0FFFFEB_{16}$、$0FFFFEF_{16}$、$0FFFFF3_{16}$、$0FFFFF7_{16}$、$0FFFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

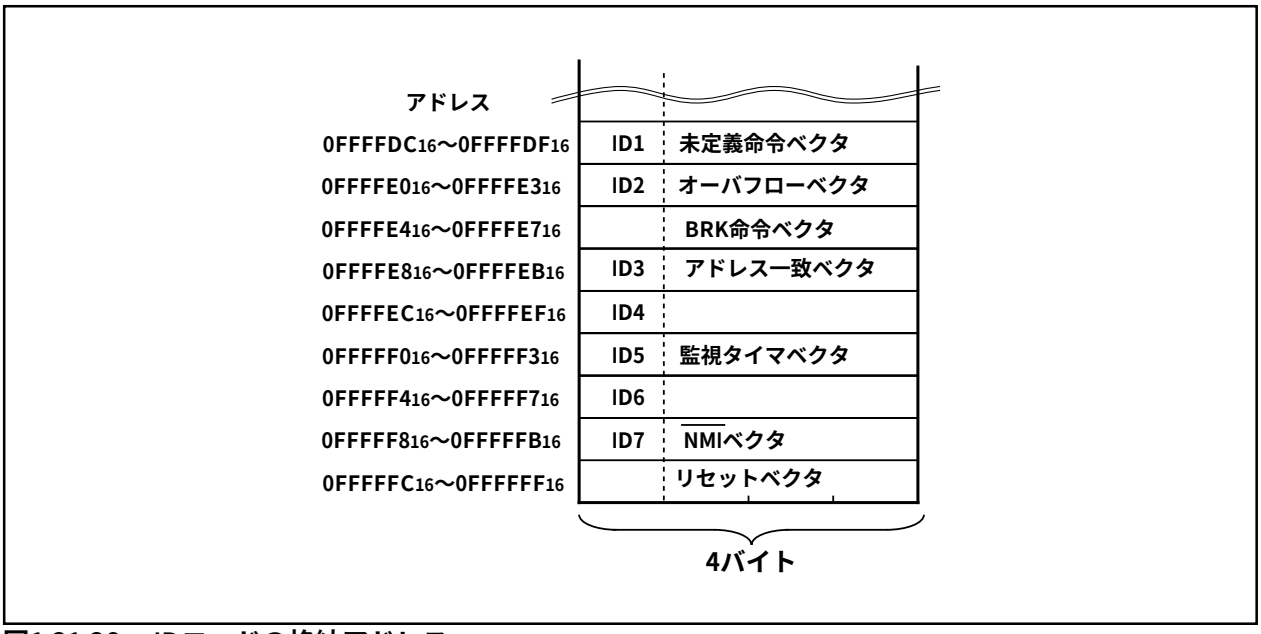


図1.31.36.　IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

(1)　1バイト目の転送でコマンドコード“ FD_{16} ”を転送します。

(2)　2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

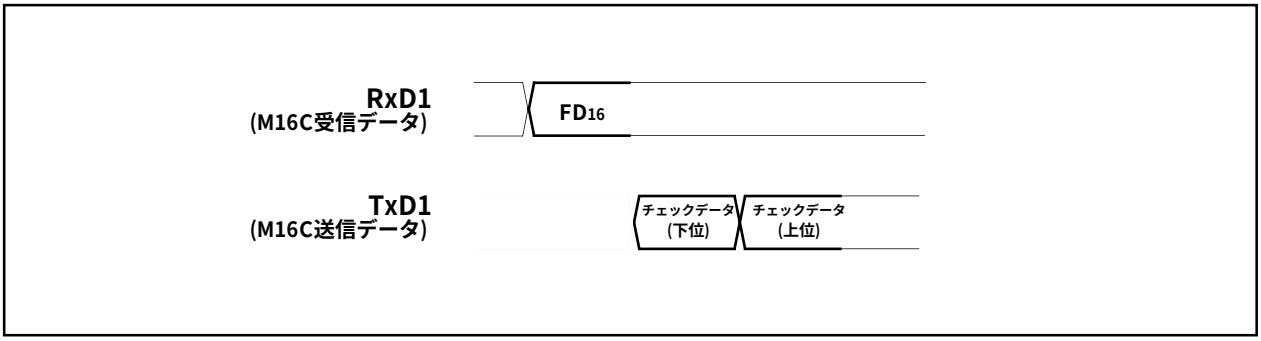


図1.31.37.　リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B0_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B0_{16}$ ”を出力した後、転送速度9600bpsに変更します。

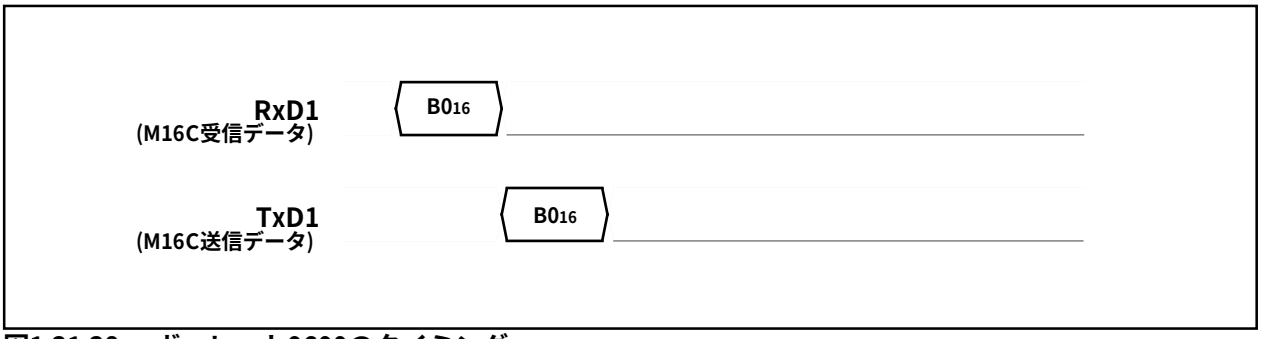


図1.31.38.　ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B1_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B1_{16}$ ”を出力した後、転送速度19200bpsに変更します。

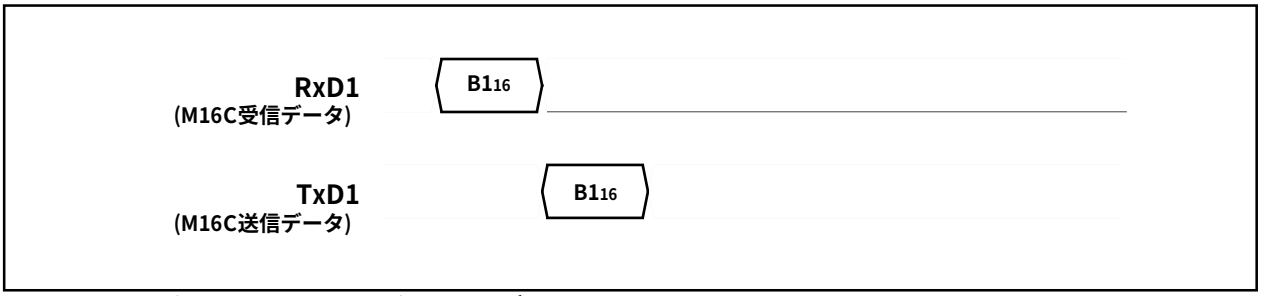


図1.31.39.　ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B2_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B2_{16}$ ”を出力した後、転送速度38400bpsに変更します。

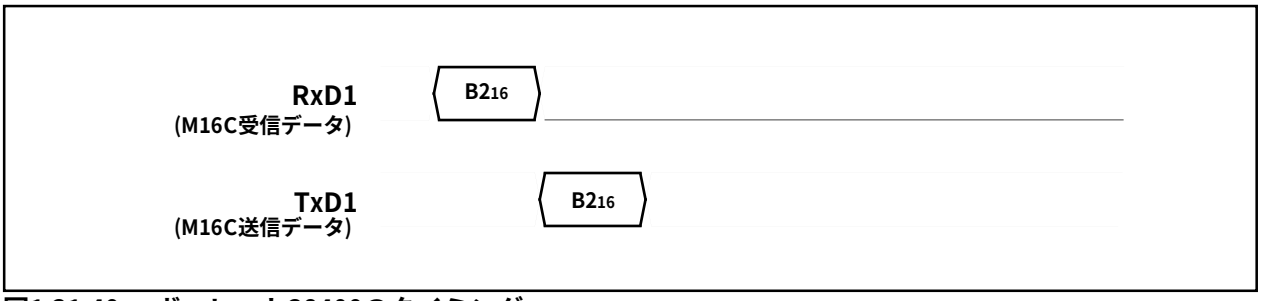


図1.31.40.　ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B3_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B3_{16}$ ”を出力した後、転送速度57600bpsに変更します。

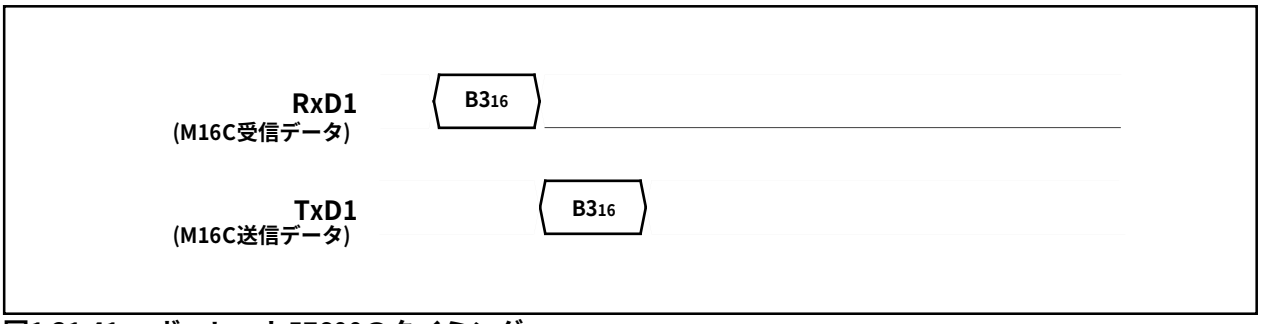


図1.31.41.　ボーレート57600のタイミング

ボーレート115200

転送速度を115200bpsに変更します。以下の手順でボーレート115200bpsを実行してください。

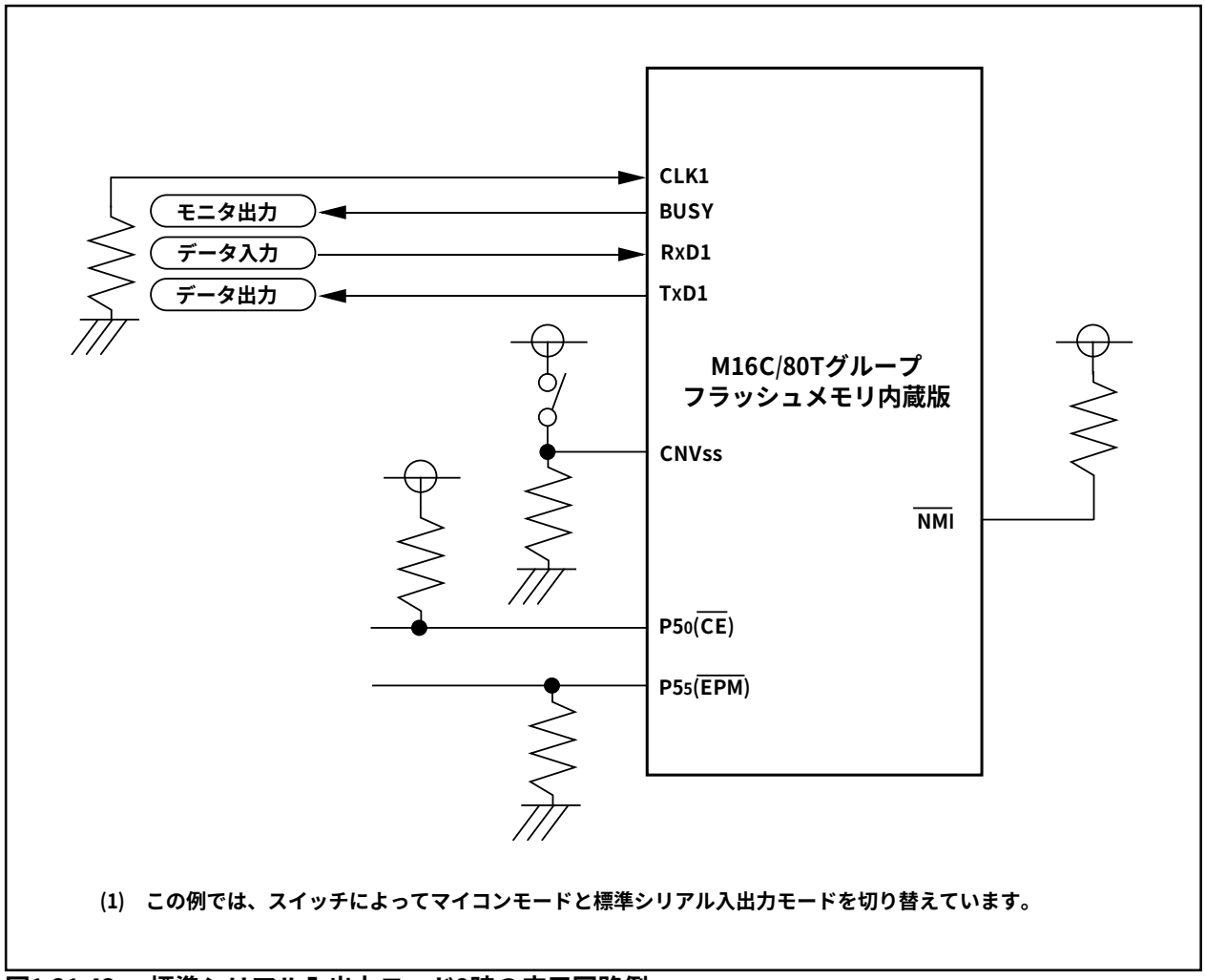
(1)　1バイト目の転送でコマンドコード“ $B4_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B4_{16}$ ”を出力した後、転送速度115200bpsに変更します。

図1.31.42.　ボーレート115200のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。



(1)　この例では、スイッチによってマイコンモードと標準シリアル入出力モードを切り替えています。

図1.31.43.　標準シリアル入出力モード2時の応用回路例

改訂記録

改訂副番	改訂内容	改訂年月日
REV.A	初版	99.7.27
REV.A1	・P1 [特長]、P201 表1.26.3、図1.26.14、およびP224 図1.28.9に注意事項「メモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。」を追加。 ・P225 [フラッシュメモリ内蔵版]を追加。	99.12.23
	・P1 [特長]、P3 表1.1.1において、「ソフトウエア割り込み要因数：5」、「DMACのスタート条件要因数：31」に修正。M16C/80Tグループではメモリ拡張の動作保証をしていないため、「DRAMC」および「メモリ拡張」に取消線を付加。 ・P2 図1.1.1において、$P7_0$、$P7_1$がNチャネルオープンドレイン出力であることを追記。 ・P3 図1.1.2において、M16C/80TグループではDRAMコントローラの動作保証をしていないことを追記。 ・P17 図1.4.3、P24 図1.6.1のプロセッサモードレジスタ1のリセット解除後の値を“00_{16}”に修正。 ・P23 [プロセッサモード](2)各モードの設定、P26[バス設定]において、M16C/80Tグループではメモリ拡張の動作保証をしていないことを追記。 ・P29 表1.7.4において、チップセレクト信号を出力しない場合のアドレスバスを記述。 ・P53 [ソフトウエア割り込み]のオーバフロー割り込みに、「CMPX」を追加。 ・P54 [ハードウエア割り込み]の周辺I/O割り込み(1)、P67 図1.9.8に、障害エラー割り込みに関する記述を追加。 ・P80 図1.11.4のDMAiカウントリロードレジスタにおいて、「転送カウンタ」を「転送カウントレジスタ」に修正。 ・P81 図1.11.5のすべてのレジスタの転送番地指定領域において、「16Mバイト空間」を追加。DMAiメモリアドレスリロードレジスタにおいて、「メモリアドレスカウンタ」を「メモリアドレスレジスタ」に修正。 ・P85 [DMA要求ビット]本文8行目に「その場合、DMAi要求ビットはクリアされます。」を追加。(1)内部要因において、「DMAi要求フラグ」を「要求ビット」に修正、本文4行目「DMAi要求ビットが“0”にクリアされるタイミングはDMA転送開始でクリアされます。」以降を修正。(2)外部要因において、6行目以降を修正。 ・P88 図1.12.2において、タイマB1からタイマAへの信号を「タイマB2オーバフロー(タイマAカウントソースへ)」に修正。 ・P102 図1.14.3のタイマB3,4,5カウント開始フラグのリセット時の値を「00_{16}」から「$000XXXXX_2$」に修正。 ・P128 図1.16.9のUARTi送受信制御レジスタのUiRRM、図1.16.10のUART送受信制御レジスタ2のU0RRM、U1RRMにおいて、クロック非同期形シリアルI/Oモード時の機能を「無効」から「“0”に固定してください」に修正。 ・P161～P171 [A-D変換器]において、AN_0～AN_7と同様にAN_{00}～AM_{07}、AN_{20}～AN_{27}がアナログ入力端子として使用できることがM16C/80Tグループのみである(M16C/80グループでは使用できない)ことを明記。 ・P173 図1.22.3の注3において、「D-A制御レジスタ」を「D-Aレジスタ」に修正。 ・P171 図1.24.3において、X-Y変換のビットの移動先を修正。 ・P179 [DRAMコントローラ]において、M16C/80Tグループでは動作保証していないことを明記。図1.25.1において、注1の付加する場所を変更。	00.2.18

改訂副番	改訂内容	改訂年月日
	・P208 表1.28.5の注1において、最終行の「また、A-D制御レジスタでVref未接続とした場合でも、...」を「また、D-Aレジスタの内容が“00_{16}”以外の場合、A-D制御レジスタ1でVref未接続としても、...」に変更。 ・P209 表1.28.7の注1において、$t_{ac4(CAS-DB)}$＝...の計算式を修正。 ・P222 図1.28.7のリフレッシュタイミングにおいて、$\overline{RAS}$の波形を修正。 ・P224 図1.28.9のメモリ拡張モードおよびマイクロプロセッサモード(ウエイトありの場合のみ有効)において、$\overline{WR}$, $\overline{WRL}$, $\overline{WRH}$の波形を修正。	
REV.B	・P4 [性能概要] 表1.1.1において、ソフトウエア割り込みを「4要因」→「5要因」に修正。DRAMコントローラとメモリ拡張に関する記述に取消線を付加。 ・P7～P8 [端子の機能説明]において、下記の通り追加/変更。 CNV$_{SS}$ ..... シングルチップモード時およびメモリ拡張モード時はV$_{SS}$端子に接続してください。マイクロプロセッサモード時はV$_{CC}$端子に接続してください。 → リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合はV$_{SS}$に、マイクロプロセッサモードで動作を開始する場合はV$_{CC}$に接続してください。(変更) BYTE ..... シングルチップモード時は、V$_{SS}$端子に接続してください。 → 外部バスを使用しない場合は、V$_{SS}$に接続してください。(変更) P$_{00}$～P$_{07}$ ..... メモリ拡張モード、マイクロプロセッサモードでは内蔵プルアップ抵抗は選択できません。ただし、設定により入出力ポートとして使用できるポートは、プルアップ抵抗有無の設定ができます。(追加) P$_{50}$～P$_{57}$ ..... シングルチップモード時、ソフトウエアで選択することによって、P$_{53}$からX$_{IN}$の8分周32分周または、X$_{CIN}$と同じ周期をもつクロックを出力します。 → ソフトウエアで選択することによって、P$_{53}$からX$_{IN}$の8分周32分周または、X$_{CIN}$と同じ周期をもつクロックを出力します。(変更) ・P19 図1.5.1～P22 図1.5.4において、「何も配置されていない領域は全て予約領域です。使用できません。」を追加。 ・P22 図1.5.4において、注意事項「03DC$_{16}$番地の領域は将来展開予定の製品のために用意しているものです。必ず“00_{16}”を初期設定してください。」を追加。 ・P25 図1.6.2を追加し、プロセッサモードレジスタ1の構成をマスクROM版とフラッシュメモリ板に分けて記述。 ・P33 図1.7.3において、チップセレクト信号に関する注意事項を追加。 ・P38 図1.7.6およびP39 図1.3.7において、チップセレクト信号変更、チップセレクト信号に関する注意事項「注2, 3」を追加。 ・P42 [(1) メインクロック]本文5行目に「メインクロック停止時(0006_{16}番地のビット5＝“1”)、およびストップモード移行時(0007_{16}番地のビット0＝“1”)、メインクロック分周レジスタ(000C$_{16}$番地)は8分周モード(“08_{16}”)になります。」を追加。 ・P42 [(3) BCLK]本文5行目において、「ストップモードへの移行時、...」→「メインクロック停止時およびストップモードへの移行時、...」に変更。	**00.7.6**

改訂副番	改訂内容	改訂年月日
	・P43 図1.8.4 [システムクロック制御レジスタ0]において、注3、注7、注9を追加。注8を「“1”のみ書き込み可。」→「一度“1”を設定するとソフトウエアでは“0”に変更できません。」に変更。 [システムクロック制御レジスタ1]において、注3を追加。 ・P44 図1.8.5において、注2を「ストップモードへの移行時」→「メインクロック停止時およびストップモードへの移行時」に変更。 ・P44 [クロック出力] 本文およびP45 表1.8.2において、シングルチップモード時クロック出力する場合の注意事項を追加。 ・P48 [BCLKの状態遷移] 本文4行目において、「ストップモードへの移行時およびリセット時、...」→「メインクロック停止時、ストップモードへの移行時およびリセット時には、...」に変更。[(12) 低消費電力モード] 本文に「メインクロックを停止させると、メインクロック分周レジスタ(000C16番地)は8分周モードになります。」を追加。 ・P51 図1.8.7において、注3、注4を追加。 ・P52 [プロテクト] 本文8行目に「ポートP9の入出力の変更や機能選択レジスタA3の変更はPRC2を“1”にする直後に行ってください。命令の間に割り込みやDMA転送が入らないようにしてください。」を追加。 ・P55 [周辺I/O割り込み] (1)を「バス衝突検出/スタート、ストップコンディション(UART2、UART3、UART4)、障害エラー(UART3、UART4)割り込み」→「バス衝突検出、スタート/ストップコンディション検出割り込み(UART2、UART3、UART4)、障害エラー割り込み(UART3、UART4)」に変更。 ・P57 [可変ベクタテーブル] 本文に「INTBに設定するベクタテーブルの先頭番地は偶数番地にしてください。偶数番地を指定した方がメモリアクセスの効率がよくなります。」を追加。 ・P58 表1.9.3 [ソフトウエア割り込み番号39]の割り込み要因を「バス衝突検出、スタート/ストップコンディション検出」に変更、[ソフトウエア割り込み番号40、41]に「障害エラー」を追加、注3を付加。注2を注2と注3に分割。 ・P71 [アドレス一致割り込み] 本文において、「アドレス一致割り込みレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。」を追加。 ・P72 [(4) 外部割り込み]において、第1項を「エッジセンスの場合」とし、第2項「レベルセンスの場合」を追加。 ・P73 [(6) アドレス一致割り込みの注意事項]を追加。 ・P75 図1.10.1において、監視タイマ機能選択ビット(CM06)のスイッチを追加。 ・P77 [コールドスタート/ウォームスタート] 本文において、「コールドスタート/ウォームスタート判定フラグへの書き込みは、パワーオンリセット解除後、十分な時間(約100μs)が経過してから行ってください。」を追加。図1.10.3において、図題変更、動作シーケンスを詳細に記述。	

改訂副番	改訂内容	改訂年月日
	・P78 [DMAC] 本文2行目に「DMACは転送要求が発生するごとに転送元番地の1データ(8ビット/16ビット)を転送先番地へデータ転送する機能です。」を追加。本文12行目に「DSA2、DSA3はレジスタバンク指定フラグ(Bフラグ)を“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。」を追加。図1.11.1において[DMACを3ch以上使用時]の注意事項を変更。 ・P79 表1.11.1 [転送空間]において、下記の通り追加。 ●16Mバイトの任意の空間から固定アドレス(16Mバイト空間) ●固定アドレス(16Mバイト空間)から16Mバイトの任意の空間 ・P80 図1.11.2において、注意事項を修正。 ・P87 [DMACの注意事項]を追加。 ・P95 表1.13.2において、 [カウントソース]を「TB2のオーバフロー、TAjのオーバフロー」→「TB2のオーバフローおよびアンダフロー、TAjのオーバフローおよびアンダフロー」に変更。 ・P97 図1.13.7 [二相パルス信号処理を使用する場合]において、注1「対応する機能選択レジスタAを入出力ポートに設定してください。」を追加。 ・P106 表1.14.2において、 [カウントソース]を「TB2のオーバフロー」→「TB2のオーバフローおよびアンダフロー」に変更。 ・P126 図1.16.5 [UARTi送信バッファレジスタ]において、注意事項「IICモード使用時、ビット8は“1”にしてください。」を削除。 ・P128 図1.16.7、P129 図1.16.8の各UART送受信制御レジスタレジスタ0の$\overline{CTS}$/$\overline{RTS}$禁止ビットにおいて、$\overline{CTS}$/$\overline{RTS}$機能禁止時の各ポートがプログラマブル入出力ポートとして機能する記述を削除。 ・P132 図1.16.11において、IICモード使用時の注意事項を削除し、スタート/ストップコンディション条件制御ビットの機能に記述。 ・P146 [CTS/RTS分離機能(UAR0)] 本文において、「UART1の$\overline{CTS}$/$\overline{RTS}$機能選択ビット($036C_{16}$番地のビット2)、$\overline{CTS}$/$\overline{RTS}$禁止ビット($036C_{16}$番地のビット4)をともに“0”に設定し、機能選択レジスタで$P6_4$を入出力ポートに設定してください。」を追加。 ・P148 表1.19.1の[その他設定項目]において、「UART3、4ではTxD、RxD端子はNチャネルオープンドレイン出力を設定($032C_{16}$、$02FC_{16}$番地のビット5=“1”)」を追加。 ・P149 図1.19.1 上図の[RxDi]において、「パリティエラーが発生したためTxD_2より“L”レベルが返ってくる」→「パリティエラーが発生したためSIMカードより“L”レベルが返ってくる」に変更。 ・P151 図1.9.4において、注意事項「TxDi端子はNチャネルオープンドレイン出力のためプルアップ抵抗が必要です。」を追加。 ・P153 図1.20.1 [UARTi特殊モードレジスタ2]において、IICモード使用時の注意事項を削除し、スタート/ストップコンディション条件制御ビットの機能に記述。 ・P158 図1.20.4において、「4～5サイクル」→「3～6サイクル」に変更。 ・P165 図1.21.2、P167 図1.21.4～P171 図1.21.8 [A-D制御レジスタ]において、外部オペアンプ接続モードビットと機能選択レジスタB3に関する注意事項を追加。	

改訂副番	改訂内容	改訂年月日
	・P172 [■拡張アナログ入力端子]、[■外部オペアンプ接続モード]の本文において、「拡張アナログ入力端子ANEX0、ANEX1の2端子を使用する場合は、機能選択レジスタB3で対応するポートの入力周辺機能を禁止に設定してください。」を追加。 ・P174 [D-A変換器] 本文4行目を「対応するポートを機能選択レジスタA3で入出力ポートに、機能選択レジスタB3で入力周辺機能を禁止に、方向レジスタで入力モードに設定してください。」に変更。 ・P181 [DRAMコントローラ] 本文に「DRAM電源投入後のメモリ動作前の待ち時間とリフレッシュのダミーサイクルに必要な時間はソフトウエアにて生成してください。」を追加。 ・P182 図1.25.2において、注1を「モード(8ビット/16ビットバスモード、DRAM空間)により変わるビット」と追加。 ・P184 セルフリフレッシュに関する記述を変更。[例]を追加。 ・P188 [(1) 方向レジスタ]および[(2) ポートレジスタ] 本文において、「メモリ拡張モードまたはマイクロプロセッサモードでは、アドレスバスやデータバスなどのバス制御に設定している端子の方向レジスタ/ポートレジスタの内容を変更できません。ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。」を追加。 ・P189 [(4) 機能選択レジスタB] 本文において、「機能選択レジスタB3のビット3～ビット6は入力周辺機能を禁止するビットです。DA0/DA1、ANEX0/ANEX1として使用する場合は対応するビットを“1”に設定してください。それ以外の入出力端子として使用する場合は“0”に設定してください。」を追加。 ・P193 図1.26.4 [ポートPi方向レジスタ]において、注意事項「メモリ拡張モードまたはマイクロプロセッサモードでは、アドレスバスやデータバスなどのバス制御に設定している端子の方向レジスタの内容を変更できません。ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。」を追加。 ・P194 図1.26.5 [ポートPiレジスタ]において、注意事項「メモリ拡張モードまたはマイクロプロセッサモードでは、アドレスバスやデータバスなどのバス制御に設定している端子の方向レジスタ/ポートレジスタの内容を変更できません。ただし、M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサモードの動作保証をしていません。」および「$P7_0$、$P7_1$はNチャネルオープンドレイン出力ポートのためハイインピーダンスとなります。」を追加。 ・P195 表1.26.1において、各端子に対する注意事項「周辺入力機能を使用する場合、機能選択レジスタAの対応するビットを“0”(入出力ポート)に設定してください。」、および$P7_0$、$P7_1$に対する注意事項「Nチャネルオープンドレイン出力です。」を追加。 ・P196 図1.26.6 [機能選択レジスタA1]およびP198 図1.26.8 [機能選択レジスタB1]の$P7_0$、$P7_1$に対して、注意事項「Nチャネルオープンドレイン出力です。」を追加。 ・P199 図1.26.9 [機能選択レジスタB3]のビット3～ビット6に対して、ビット名を「ポートP9i入力周辺機能選択ビット」に変更、機能を詳細に記述、注意事項「“0”設定時でもDA0、DA1出力、ANEX0、ANEX1を使用できますが、電源電流が増加する場合があります。」を追加。	

改訂記録	M16C/80Tグループ暫定仕様書	

改訂副番	改訂内容	改訂年月日
	・P200 図1.26.11 [プルアップ制御レジスタ0, 1]において、注意事項「メモリ拡張モードおよびマイクロプロセッサモードでは、P0～P5はアドレスバスとして動作するので、プルアップ制御レジスタを設定しないでください。ただし、設定により入出力ポートとして使用できるポートは、プルアップ制御の有無を選択できます。M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサの動作保証をしていません。」を追加。 ・P201 図1.26.13 [ポート制御レジスタ]において、注意事項「メモリ拡張モードおよびマイクロプロセッサモードでは、P1はデータバスとして動作するので、ポート制御レジスタを設定しないでください。ただし、設定により入出力ポートとして使用できるポートは、CMOSポートまたはNチャネルオープンドレイン端子を選択できます。M16C/80Tグループではメモリ拡張モードおよびマイクロプロセッサの動作保証をしていません。」を追加。 ・P204 [A-D変換器の注意事項 (6)]を追加。 ・P207 [ストップモード、ウエイトモードの注意事項 (2)]本文において、「全クロック停止ビット」→「全クロック停止制御ビット」に変更。 ・P207 [割り込みの注意事項 (1)]本文において、「スタックポインタには偶数アドレスを設定してください。偶数を設定した方がメモリアクセスの効率がよくなります。」を追加。[割り込みの注意事項 (3)]を追加。 ・P208 [DMACの注意事項]において、(1)、(3)を追加。(2)のソフトウエア例のコメントを変更。 ・P208 [ノイズに関する注意事項]を追加。 ・P209 [電流を小さくする場合の注意事項]、[CLKOUT端子使用時の注意事項]を追加。 ・P210～P220 [電気的特性]において、動作周囲温度の略記号を「Ta」→「Topr」に変更。 ・P211 表1.28.2において、注意事項「開発中につき、変更することがあります。」を削除。 ・P212 表1.28.3の$V_{T+}-V_{T-}$(ヒステリシス)において、SLC_2～SCL_4、SDA_2～SDA_4を追加。 ・P214 表1.28.6において、外部クロック“H”/“L”パルス幅を「20」→「22」、外部クロック立ち上がり/立ち下がり時間を「10」→「5」に修正。 ・P214 表1.28.7に「$t_{h(CAS-DB)}$」を追加。 ・P217 表1.28.19およびP218 表1.28.20において、「$t_{h(BCLK-DB)}$」を削除、「$t_{w(WR)}$」を追加。 ・P220 表1.28.22において、「DW出力遅延/保持時間」→「データ出力遅延/保持時間」に変更、$t_{h(BCLK-DB)}$の規格最小値を「−5」→「−7」に修正、注1のt_{RP}計算式の「×3」を削除。 ・P222～P234 [タイミング]全面改定。 ・P237 [フラッシュメモリ]本文4行目～5行目において、「標準シリアルI/Oモード、CPU書き換えモードについては次ページ以降で説明します。パラレル入出力モードについては各ライタの取扱説明書を参照してください。」→「各モードについては次ページ以降で説明します。」に変更。	

改訂記録	M16C/80Tグループ暫定仕様書	

改訂副番	改訂内容	改訂年月日
	・P239 [機能概要(CPU書き換えモード)] 本文23行目において、「パラレル入出力モードの$\overline{WP}$端子と同等の機能」を削除。	
	・P1 [特長]において、「チップセレクト出力」に取消線を付加。 ・P15 図1.4.1において、V_{CC}の動作保証電圧を「4.0V」→「4.2V」に修正。 ・P18 図1.4.4において、「(119) 機能選択レジスタB3」の初期値を「?0000???$_2$」→「00000X0X$_2$」に修正。 ・P42 [クロック発生回路]の[(3) BCLK]本文2～3行目を「メモリ拡張モード時、マイクロプロセッサモード時BCLK出力機能選択ビット...」→「メモリ拡張モード時およびマイクロプロセッサモード時、BCLK出力機能選択ビット...」に修正。 ・P47 [ウエイトモード]本文4行目の参照表番号を「表1.8.3」→「表1.8.5」に修正。 ・P51 図1.8.7において、「注3」と「注4」を図示。 ・P57 [割り込み]の[エミュレータ専用割り込みベクタテーブル]本文2行目、5行目、および表1.9.2において、ベクタテーブルレジスタのアドレスを「000020_{16}～000023_{16}」→「000020_{16}～000022_{16}」に修正。 ・P77 図1.10.3において、WDC5のコメントを「V_{CC}が立ち上がった時点で“1”となる」→「V_{CC}が立ち上がった時点で“0”となる」に修正。 ・P88 [DMACの注意事項]の(3)のプログラミング例において、コメント「DMA許可まで2命令以上必要」を追加。 ・P92 図1.13.3の「タイマAiレジスタ」および「アップダウンフラグ」において、注意事項「このレジスタへの書き込みには、MOV命令を使用してください。」を追加。 ・P97 図1.13.7の「タイマAiモードレジスタ(二相パルス信号処理を使用しない場合)」において、注3、注4を削除。新たに「二相パルス処理を使用しない場合は“0”に固定してください。」を追加。 ・P110 図1.15.2の「短絡防止タイマ」および「タイマB2割り込み発生頻度カウンタ」において、注意事項「このレジスタへの書き込みには、MOV命令を使用してください。」を追加。 ・P126 図1.16.5の「UARTi送信バッファレジスタ」および「UARTi転送速度レジスタ」において、注意事項「このレジスタへの書き込みには、MOV命令を使用してください。」を追加。 ・P127 図1.16.6の「UARTi送受信モードレジスタ」において、「CKDIR」のUART時の「1：外部クロック」に「注2」を付加。 ・P131 図1.16.10の「UART送受信制御レジスタ2」において、注意事項を削除。 ・P159 [UARTi特殊モードレジスタ]の「TxDi、RxDi選択(マスタモード)の場合」本文3行目において、「STxDi、SRxDi」→「TxDi、RxDi」に修正。 ・P163 表1.21.1の「絶対制度(分解能10ビット)」において、「ただし、拡張アナログ入力端子AN_{00}～AN_{07}、AN_{20}～AN_{27}およびANEX0、ANEX1を...」を「ただし、AN_0～AN_7および拡張アナログ入力端子AN_{00}～AN_{07}、AN_{20}～AN_{27}を...」に修正。 ・P165 図1.21.2の「A-D制御レジスタ」において、注2と注3の図示の箇所と内容が逆。 ・P171 表1.21.6の「入力端子」において、「入力端子AN_0～AN_7」を追加。	00.9.18

改訂副番	改訂内容	改訂年月日
	・P199 図1.26.9において、「機能選択レジスタB3」の初期値を「XXXXXXXX_2」→「$00000X0X_2$」に修正。 ・P203 [使用上の注意事項]の「SFRの注意事項」本文2行目に「$03DC_{16}$番地には必ず“00_{16}”を」を追加。 ・P206において、表1.27.1および表1.27.2を改定。 ・P209～P210において、「$\overline{HOLD}$信号使用時の注意事項」および「レジスタ設定時の注意事項」を追加。 ・P212 表1.28.2の条件において、「V_{CC}=4.0～5.5V」を「V_{CC}=4.2V～5.5V」に修正。「V_{CC}」および「f(X_{IN})」の項目において、フラッシュメモリ版とマスクROM版の区別をなくす。 ・P213 表1.28.3の「I_{CC}(f(X_{CIN})=32kHz方形波/フラッシュメモリ版)」において、規格値(標準)を「6.0」→「7.0」に修正。 ・P214 表1.28.4の絶対制度を修正。 ・P235 図1.28.14において、「注1」を削除。 ・P237 [概要(フラッシュメモリ板)]の「(2) パッケージ」において、「100PQ-A：プラスチックモールドQFP」を削除。	
	・P176 [ノイズに関する注意事項]において、「ポート制御レジスタのノイズ誤動作対策」を追加。	00.9.21
REV.C	・P25 図1.6.2において、内部メモリウエイトビット(PM12)に注意事項「必ず“0”(ウエイトなし)を選択してください。」を追加。 ・P73 [(6) アドレス一致割り込みの注意事項]において、2項目「割り込みルーチン内で割り込み制御レジスタを書き替える場合の注意事項」を追加。 ・P203～P212 [使用上の注意事項]において、「プロセッサモードにレジスタ1の注意事項」を追加、「$\overline{HOLD}$信号使用時の注意事項」を削除。 ・P208～P209 [(3) アドレス一致割り込みの注意事項]において、2項目「割り込みルーチン内で割り込み制御レジスタを書き替える場合の注意事項」を追加。 ・P209～P210 [割り込みの注意事項]において、「(4) 割り込み制御レジスタに関する注意事項」を追加。 ・P210～P211 [DMACの注意事項]において、「(4) 10進演算命令に関する注意事項」を追加。 ・P213～P219 [電気的特性]および[タイミング]において、メモリ拡張モードおよびマイクロプロセッサモードに関するデータを削除。	00.10.25
REV.D	・P5 本文において、ROM容量/パッケージの展開に関する記述を削除。 ・P18 [図1.4.4. リセット解除後のマイクロコンピュータの内部状態 (2)]において、[(107) A-Dレジスタ2]を「$0000XXX0_2$」→「$0000???0_2$」に訂正。 ・P24 [図1.6.1. プロセッサモードレジスタ0]において、注8(プロセッサモードビットを“01_2”または“11_2”に書き替える場合の注意事項)を追加。 ・P25 [図1.6.2. プロセッサモードレジスタ1]において、マスクROM版のb6, b7のR/Wを「○/○」→「－/－」に訂正。フラッシュメモリ版に注5(b6, b7を書き換える場合の注意事項)を追加。	01.7.6

改訂副番	改訂内容	改訂年月日
	・P26 [図1.6.3. 各プロセッサモード時のメモリ配置]において、外部領域1, 2, 3を明記。 ・P31 チップセレクトに関する記述、[図1.7.2. アドレスバスとチップセレクト信号の出力例(セパレートバス)]を追加。 ・P34 [図1.7.4. $\overline{\text{RD}}$信号が$\overline{\text{RDY}}$信号によってのびた例]において、「$\overline{\text{RDY}}$信号の入力受付はiウエイト(i=1～3)に対して i+1 サイクル目から入力してください。」→「$\overline{\text{RDY}}$信号の入力受付タイミングはiウエイト(i=1～3)に対して i+1 サイクル目です。」に訂正。 ・P43 [(2)サブクロック]本文最終行において、「サブクロックを使用する場合、ポートP86, P87は入力ポートでプルアップなしを設定してください。」を追加。 ・P44 [図1.8.4. システムクロック制御レジスタ0]において、CM02の機能を「0:ウエイトモード時、周辺機能クロック停止しない、1:ウエイトモード時、周辺機能クロック停止する」に変更。注10(周辺機能クロックにf_{C32}を含まない)、注11(X_{CIN}発振機能使用時の注意事項)を追加。 ・P45 [クロック出力]本文最後の注意事項において、「注1. ...、$P5_7/\overline{\text{RDY}}$端子は必ず入出力端子として使用してください。」→「注1. ...、$P5_7/\overline{\text{RDY}}$端子は必ず入力端子として使用してください。」に訂正。 ・P46 [ストップモード]本文15行目～16行目に「ハードウエアリセットのみでストップモードの解除を行う場合でも、割り込み許可フラグ(Iフラグ)は必ず“1”を設定してください。」を追加。 ・P47 [表1.8.4. ストップモード時のポートの状態]において、「アドレスバス, データバス, $\overline{\text{CS0}}$～$\overline{\text{CS3}}$」→「アドレスバス, データバス, $\overline{\text{CS0}}$～$\overline{\text{CS3}}$, $\overline{\text{BHE}}$」、「$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{BHE}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{W}}$, $\overline{\text{CASL}}$, $\overline{\text{CASH}}$」→「$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{DW}}$, $\overline{\text{CASL}}$, $\overline{\text{CASH}}$」に訂正。 ・P50 [表1.8.6. システムクロック制御レジスタ0とメインクロック分周レジスタの設定値に対する動作モード]において、CM0iとMCDiの記述説明を追加。 ・P52 [図1.8.7. 状態遷移図]において、一部削除。注3、注4において、「8分周(NCD=“08_{16}”)」→「8分周(MCD=“08_{16}”)」に訂正。 ・P67 [割り込み優先順位]本文4行目～「ただし、割り込み優先レベルが同じ設定値の場合は、一番最初に要求がきた割り込みを最初に受け付け、それ以降はハードウエアで設定されている優先度の高い割り込みが受け付けられます。」において、下線部を削除。 ・P72 [(3) NMI割り込み]3項目において、「...CPUの動作クロック(BCLK)...」下線部を追加。 ・P74 [(6) アドレスの一致割り込みの注意事項]2項目 文頭に「割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合、割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまります。したがって、」を追加。[追加処理]において、3行目コメントに「(高速割り込みの場合は stc SVF, R0)」を追加。4行目を「idc R0, FLG」→「ldc R0, FLG」に訂正。 ・P75 [監視タイマ]本文下から2行目～3行目「ストップモード時、ウエイトモード時、およびホールド状態時、監視タイマおよびプリスケーラは停止し、解除すると保持	

改訂副番	改訂内容	改訂年月日
	された値からカウントします。」を追加。 ・P76 [図1.10.2. システムクロック制御レジスタ0]において、CM02の機能を「0:ウエイトモード時、周辺機能クロック停止しない、1:ウエイトモード時、周辺機能クロック停止する」に変更。注10(周辺機能クロックにf_{C32}を含まない)、注11(X_{CIN}発振機能使用時の注意事項)を追加。 ・P83 [図1.11.5. DMAi/DSAiのレジスタ構成]の注2において、「“0”固定アドレス→メモリ」→「“0”(固定アドレス→メモリ)」、「“1”メモリ→固定アドレス」→「“1”(メモリ→固定アドレス)」に訂正。 ・P85 [図1.11.6. ソースリードについての転送サイクル例]において、データバスのタイミングを訂正。 ・P86 [表1.11.2. DMAC転送サイクル数]の[係数j, k]において、マルチプレクスバスを2ウエイトと3ウエイトに分割して記述。 ・P88 [図1.11.7. 外部要因によるDMA転送例]において、バス権獲得タイミングを訂正。 ・P91 図1.13.2、P94 図1.13.5、P95 図1.13.6、P97 図1.13.7、P100 図1.13.10、P101 図1.13.11 [タイマAiモードレジスタ1]において、MR0のR/Wを「○/○」→「－/－」に訂正。 ・P92 [図1.13.3. タイマAiレジスタ]において、注3、注4(いずれもタイマAiレジスタに“0000_{16}”を設定した場合の注意事項)を追加。 ・P95 [図1.13.6. イベントカウンタモード時のタイマAiモードレジスタ]を、二相パルス信号処理をしない場合の記述に変更。 ・P96 [表1.13.3. イベントカウンタモードの使用(二相パルス信号処理を使用する場合)]の[選択機能]において、注2(通常処理動作と4逓倍処理動作の選択はタイマA3のみ)を追加。通常処理動作はタイマA2、タイマA3のみ、4逓倍処理動作はタイマA3、タイマA4のみで利用可能であることを明記。 ・P97 [図1.13.7. イベントカウンタモード時のタイマAiモードレジスタ]を二相パルス信号処理を使用する場合のみに。注2を「このビットはタイマA3モードレジスタにおいて有効。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。」に訂正。 ・P107 [図1.14.6. パルス周期測定/パルス幅測定モード時のタイマBiモードレジスタ]の注1に「リセット時は不定です。」を追加。 ・P111 [図1.15.3. タイマAiレジスタ]において、注2、注3(いずれもタイマAiレジスタに“0000_{16}”を設定した場合の注意事項)を追加。 ・P112、P113 [三相モータ駆動波形出力モード]において、「三相波形モード」→「三相PWM出力モード」に変更。 ・P112 図1.15.4の図題を「三相波形モード時のタイマモードレジスタおよびトリガ選択レジスタ」→「三相PWM出力モード時のタイマモードレジスタ」に変更。 ・P126 [図1.16.5. UARTi転送速度レジスタ]において、注2(書き込み時の注意事項)を追加。	

改訂副番	改訂内容	改訂年月日
	・P127 [図1.16.6. UARTi送受信モードレジスタ]のCKDIRに「注3」を付加。 ・P134 [表1.17.1. クロック同期形シリアルI/Oモードの仕様 (1)]の注2、P141 [表1.18.1. クロック非同期形シリアルI/Oモードの仕様 (1)]の注3、P148 [表1.19.1. クロック非同期形シリアルI/Oモードの仕様 (SIMインタフェース対応)]の注3を、「...またUARTi受信割り込み要求ビットは“１”になりません。」→「...またUARTi受信割り込み要求ビットは変化しません。」に訂正。 ・P145 [図1.18.1. UARTi送受信モードレジスタ]のCKDIRに、注(対応する機能選択レジスタAを入出力ポートに設定してください。)を追加。 ・P146 [$\overline{CTS}$/$\overline{RTS}$分離機能 (UART0)]本文2行目において、「図1.20.18」→「図1.18.4」に訂正。 ・P152 [表1.20.1. IICモード時の各機能]において、IICモードのUARTi出力の初期値に「注3」を付加。注3に「SDA送信出力の初期値の設定は、IICモード(IICモード選択ビット＝“１”)で、かつシリアルI/Oが無効の状態で行ってください。」の下線部を追加。 ・P155 [UART2特殊モードレジスタ]のビット1に関する記述において、「ビット1は、アービトレーションロスト検出フラグ制御ビットです。...。この検出フラグはUART2受信バッファレジスタ1(033F$_{16}$番地)のビット3に配置されており、...」→「ビット1は、アービトレーションロスト検出フラグ制御ビットです。...。この検出フラグはUART2受信バッファレジスタ(033E$_{16}$番地)のビット11に配置されており、...」に訂正。 ・P163 [表1.21.1. A-D変換器の性能]のA-D変換開始条件2項目(外部トリガ)において、「AD$_{TRG}$/P9$_7$」→「$\overline{AD_{TRG}}$/P9$_7$」に訂正。 ・P166 [表1.21.3. A-D制御レジスタ2]において、リセット時の値を「XXXXXXX0$_2$」→「0000XXX0$_2$」に訂正。b3を「何も配置されていない。...」→「予約ビット：必ず“０”を設定してください」に変更。b4～b7を「何も配置されていない。...。読み出した場合、その内容は不定。」→「何も配置されていない。...。読み出した場合、その内容は“０”。」に訂正。 ・P168 [表1.21.3. 繰り返し掃引モードの仕様]のA-D変換値の読み出しにおいて、「(常時読み出し可能)」を追加。 ・P171 [表1.21.6. 繰り返し掃引モード1の仕様]の入力端子において、「AN$_0$～AN$_2$」→「AN$_0$～AN$_7$」に訂正。 ・P181 [DRAMコントローラ]本文下から2行目において、「DRAM電源投入後のメモリ動作前の待ち時間とリフレッシュのダミーサイクルに必要な時間はソフトウエアにて生成してください。」→「DRAM電源投入後のメモリ動作前の待ち時間とリフレッシュのダミーサイクルに必要な処理はソフトウエアにて生成してください。」に変更。 ・P182 [図1.25.2. アドレスマルチプレクス時の出力形態]において、端子機能MA0(A8)の列を「(A8)」→「－」に訂正。注8 (－：不定)を追加。	

改訂副番	改訂内容	改訂年月日
	・P188 [(1) 方向レジスタ]本文、P193 [図1.26.4. ポートPi方向レジスタ]注2において、「メモリ拡張モードまたはマイクロプロセッサモードでは、アドレスバスやデータバスなどのバス制御に設定している端子の方向レジスタの内容を変更できません。」→「メモリ拡張モードまたはマイクロプロセッサモードでは、A_0～A_{22}、A_{23}、D_0～D_{15}、MA_0～MA_{12}、$\overline{CS0}$～$\overline{CS3}$、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLK_{OUT}、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子の方向レジスタの内容を変更できません。」に変更。 ・P188 [(2) ポートレジスタ]本文、P194 [図1.26.5. ポートPiレジスタ]注1において、「メモリ拡張モードまたはマイクロプロセッサモードでは、アドレスバスやデータバスなどのバス制御に設定している端子のポートレジスタの内容を変更できません。」→「メモリ拡張モードまたはマイクロプロセッサモードでは、A_0～A_{22}、A_{23}、D_0～D_{15}、MA_0～MA_{12}、$\overline{CS0}$～$\overline{CS3}$、$\overline{WRL}$/$\overline{WR}$/$\overline{CASL}$、$\overline{WRH}$/$\overline{BHE}$/$\overline{CASH}$、$\overline{RD}$/$\overline{DW}$、BCLK/ALE/CLK_{OUT}、$\overline{HLDA}$/ALE、$\overline{HOLD}$、ALE/$\overline{RAS}$、$\overline{RDY}$に設定している端子のポートレジスタの内容を変更できません。」に変更。 ・P203 [SFRの注意事項 (1)]において、「$03C9_{16}$、$03CB_{16}$～$03D3_{16}$、$03DC_{16}$番地の領域は、...」下線部を追加。 ・P203 [マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張モード、シングルチップモードへの遷移後の注意事項]を追加。 ・P204 [$\overline{HOLD}$信号使用時の注意事項]を追加。 ・P204 [割り込みの注意事項 (1) スタックポインタの設定]において、「リセット直後スタックポインタの値は、“ 0000_{16} ”に初期化されています。」→「リセット直後スタックポインタの値は、“ 000000_{16} ”に初期化されています。」に訂正。 ・P204 [割り込み注意事項 (2) $\overline{NMI}$割り込み]1項目において、「...、$\overline{NMI}$端子を抵抗を介してV_{CC}端子に接続(プルアップ)してください。...」下線部を追加。2項目($\overline{NMI}$端子の読み込みに関する注意事項)、3項目($\overline{NMI}$端子への入力信号に関する注意事項)を追加。 ・P205 [割り込みの注意事項 (3) アドレス一致割り込み]2項目において、「割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合：割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまります。したがって、割り込みルーチン内で割り込み制御レジスタを書き替える場合は、...」下線部を追加。[追加処理内容]3行目のコメントにおいて、「スタック上のFLG読み出し(高速割り込みの場合は stc SVF, R0)」下線部を追加。4行目を「idc R0, FLG」→「ldc R0, FLG」に訂正。 ・P206 「(4) 外部割り込み」を追加 (P207 [図1.27.1. INT割り込み発生要因の切り替え]を含む)。 ・P207 「(5) 割り込み制御レジスタの変更」を追加。 ・P210 [タイマAの注意事項 (イベントカウンタモード)]において、(3) フリーランタイプで使用する場合のタイマレジスタに関する注意事項を追加。	

改訂副番	改訂内容	改訂年月日
	・P210 [タイマAの注意事項 (ワンショットタイマモード)]において、(2) ワンショットタイマ出力の遅延に関する注意事項、(4) カウント中のトリガ発生時の注意事項を追加。 ・P211 [タイマBの注意事項 (パルス周期測定/パルス幅測定モード)]において、(3) カウント開始時のカウンタの値に関する注意事項を追加。 ・P212 [A-D変換器の注意事項]の[(6) A-D変換時のセンサーの出力インピーダンス]、P213 [表1.27.2 /表1.27.3の出力インピーダンスとA-D変換器の精度(誤差)の関係]が参考値であることを明記。 ・P214 「DRAMコントローラの注意事項」を追加。 ・P214 「フラッシュメモリ版の注意事項」を追加。 ・P217 [表1.28.2. 推奨動作条件]の注2において、「ポートP0, P1, P2, $P8_6$～$P8_7$, P9, P10のI_{OH}(peak)の合計は－80mA以下」、「ポートP3, P4, P5, P6, $P7_2$～$P7_7$, $P8_0$～$P8_4$のI_{OH}(peak)の合計は－80mA以下」下線部を訂正。 ・P222 「図1.28.1. ポートP0～P10の測定回路」を追加。 ・P228 [機能概要 (CPU書き換えモード)]本文フラッシュメモリ制御レジスタ0に関する記述において、「フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。...。このビットを“1”に設定するためには、NMI端子が“H”の状態で“0”書き込みと“1”書き込みを連続して行う必要があります。...」下線部を追加。 ・P229 [図1.30.1. フラッシュメモリ制御レジスタ0]の注2に「また、NMI端子が“H”の状態で行ってください。」を追加。 ・P230 [図1.30.2. CPU書き換えモードの設定/解除フローチャート]の注2に「このビットへの書き込みは、内臓フラッシュメモリ以外の領域のプログラムで行ってください。またNMI端子が“H”の状態で行ってください。」を追加。 ・P232 [CPU書き換えモードの注意事項]において、[(3) 使用禁止割り込み]本文3行目を「...。監視タイマ割り込み、$\overline{NMI}$割り込みは、各割り込み発生時にフラッシュメモリの動作モードを強制的にリードアレイモードに変更するので使用できます。...」→「...。監視タイマ割り込み、$\overline{NMI}$割り込みは、各割り込み発生時に強制的にCPU書き換えモード選択ビットを“0”(通常モード)に変更するので使用できます。...」に訂正。6行目に「...再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。」下線部を追加。「ユーザROM領域の$FFC000_{16}$番地～$FFFFFF_{16}$番地のブロックに対する消去動作や書き換え動作を中止すると、以後の全ブロックへの消去動作や書き換え動作ができなくなることがあるので、このブロックの書き換えは、標準シリアル入出力モードを使用することを推奨します。」を削除。 [(6) アクセス方法]において、「CPU書き換えモード選択ビットへの書き込みは、NMI端子が“H”の状態で行ってください。」を追加。 「(7) ユーザROM領域の書き換え」、「(8) ロックビット対応」を追加。 ・P244 [端子の機能説明(フラッシュメモリ標準シリアル入出力モード)]において、BYTE端子の名称を「$\overline{BYTE}$入力」→「BYTE入力」に訂正。AV_{CC}, AV_{SS}端子の入出力に「入力」を追加。	

改訂副番	改訂内容	改訂年月日
	・P248 [表1.31.1. ソフトウエアコマンド一覧表 (標準シリアル入出力モード)]の注2、P265 [表1.31.5. ソフトウエアコマンド一覧表 (標準シリアル入出力モード2)]の注2を、「...。SRD1はステータスレジスタ1データ」→「...。SRD1はステータスレジスタデータ1」に訂正。	
	・P18 [図1.4.4. リセット解除後のマイクロコンピュータの内部状態]において、[(100) UART送受信制御レジスタ2]を「$X0000000_2$」→「$X0XX0000_2$」に、[(111) 機能選択レジスタC]を「00_{16}」→「$0XXXXXX0_2$」に訂正。 ・P73 [(6) アドレス一致割り込みの注意事項] 例3の1行目を「fest」→「fset」に訂正。 ・P106 [表1.14.2. イベントカウンタモードの仕様]のTBiIN端子機能において、「またはプログラマブル入出力ポート」を追加。 ・P107 [表1.14.3. パルス周期測定/パルス幅測定モードの仕様]の割り込み要求発生タイミング、[図1.14.6. パルス周期測定/パルス幅測定モード時のタイマBiモードレジスタの構成]の注1において、「タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態でタイマBiモードレジスタ書き込みを行うと“0”になります。」→「カウント開始フラグが“1”の状態で、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うとタイマBiオーバフローフラグは“0”になります。」に訂正。 ・P109 図1.15.1の三相PWM制御レジスタ0の構成において、INV00に対する注4をINV01に訂正。 ・P110 図1.15.2のタイマB2割り込み発生頻度設定カウンタの構成において、注4(レジスタ設定時の注意)を追加。 ・P131 図1.6.10のUART送受信制御レジスタ2の構成において、リセット時の値を「$X0000000_2$」→「$X0XX0000_2$」に訂正。 ・P199 図1.26.10の機能選択レジスタCの構成において、リセット時の値を「00_{16}」→「$0XXXXXX0_2$」に訂正。 ・P203 [マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張モード、シングルチップモードへの遷移後の注意事項]を[CNVSS端子を“H”でリセットするときの注意事項]に変更。 ・P205 [(3) アドレス一致割り込み] 例3の1行目を「fest」→「fset」に訂正。 ・P224 [表1.29.1. M16C/80Tグループ(フラッシュメモリ内蔵版)の性能概要]において、「データ保持：10年間」を追加。	**01.10.3**
	以　上	

改訂記録	M16C/80Tグループ暫定仕様書	

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。

・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。

・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

三菱シングルチップマイクロコンピュータ データシート
M16C / 80T グループ データシート　REV.D

2001 年 10 月発行
編集　三菱電機セミコンダクタ・アプリケーション・エンジニアリング株式会社
発行　三菱電機株式会社　北伊丹事業所

禁無断転載
　本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。
©2001 MITSUBISHI ELECTRIC CORPORATION