お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4571グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

RJJ03B0179-0102
Rev.1.02
2007.05.25

概　要

4571グループはCMOSプロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、8ビットタイマ（リロードレジスタ付き）3本、割り込み機能、電圧低下検出回路を内蔵しています。

4571グループは、異なる複数の品種があります。
詳細については下記の表を参照してください。

特　長

- ●最小命令実行時間 ..... 0.5 μs
  (発振周波数6 MHz、スルーモード時)
- ●電源電圧 ..... 1.8～5.5 V
  （動作モード及び発振周波数により異なります）
- ●タイマ
  タイマ1..... 8ビット
  （リロードレジスタ、搬送波出力自動制御機能付）
  タイマ2..... 8ビット
  （リロードレジスタ付）
  タイマ3..... 8ビット
  （リロードレジスタ2本、搬送波発生機能付）
- ●割り込み機能 6要因
- ●キーオンウェイクアップ機能.....12端子
- ●入出力ポート 17本
- ● 出力ポート 1本
- ●入力ポート 1本
- ●電圧低下検出回路
  リセット発生..... 標準1.65V（Ta = 25℃時）
  リセット解除..... 標準1.75V（Ta = 25℃時）
  割り込み発生..... 標準1.85V（Ta = 25℃時）
- ●パワーオンリセット回路
- ●ウォッチドッグタイマ
- ●クロック発生回路（セラミック共振回路）

応　用

リモートコントロール送信機

表1.　サポート製品一覧

型　　名	ROM容量（×10ビット）	RAM容量（×4ビット）	パッケージ	ROM種類
M34571G4FP　(注1)	4096語	128語	PRSP0024GA-A	QzROM
M34571G4-XXXFP	4096語	128語	PRSP0024GA-A	QzROM
M34571G6FP　(注1)	6144語	128語	PRSP0024GA-A	QzROM
M34571G6-XXXFP	6144語	128語	PRSP0024GA-A	QzROM
M34571GDFP　(注1)	16384語	128語	PRSP0024GA-A	QzROM
M34571GD-XXXFP	16384語	128語	PRSP0024GA-A	QzROM

注1.　ブランク出荷品

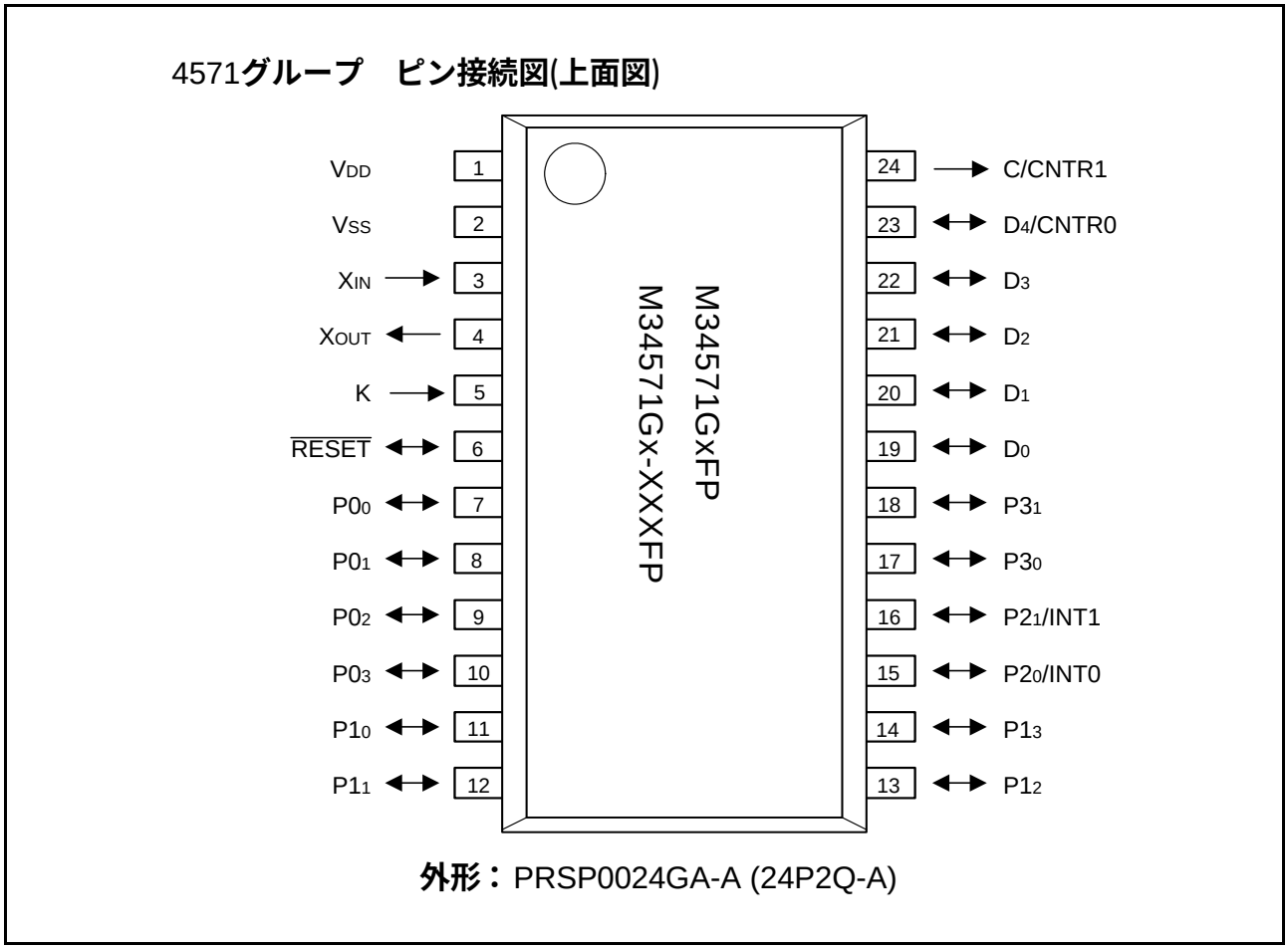


図1.　ピン接続図（PRSP0024GA-Aパッケージタイプ）

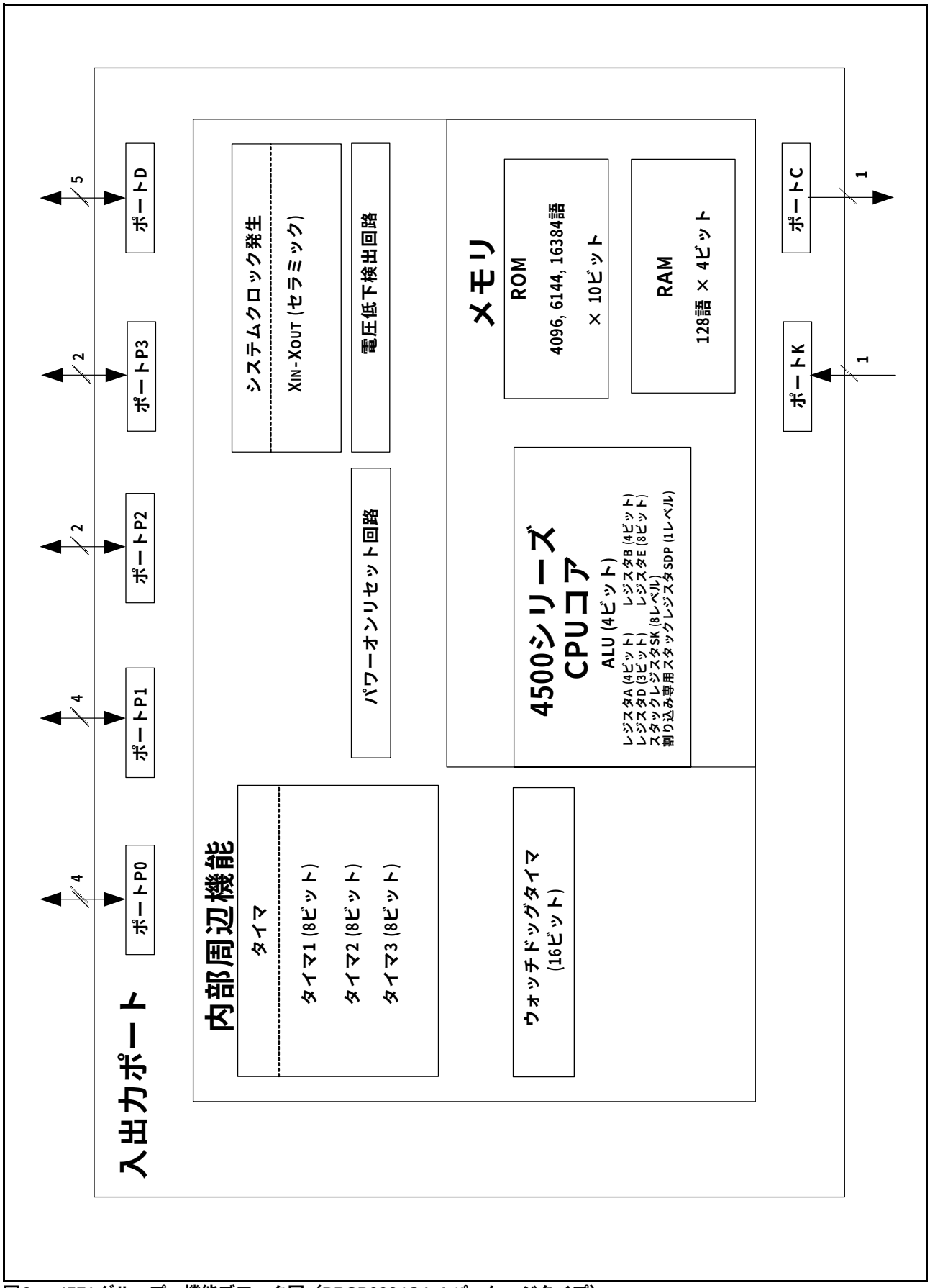


図2.　4571グループ　機能ブロック図（PRSP0024GA-Aパッケージタイプ）

性能概要

表2.　性能概要

項　目			性　能
基本命令数		M34571G4/G6	126
		M34571GD	128
最小命令実行時間			0.5 μs（発振周波数6 MHz：スルーモード時）
メモリ容量	ROM	M34571G4	4096語×10ビット
		M34571G6	6144語×10ビット
		M34571GD	16384語×10ビット
	RAM		128語×4ビット
入出力ポート	D_0～D_4	入出力 （入力は スキップ判別）	1ビット×5 ポートD_0～D_3は出力形式がソフトウェア切り替え可能 ポートD_4はCNTR0端子と兼用
	$P0_0$～$P0_3$	入出力	4ビット×1 プルアップ機能、キーオンウェイクアップ機能がソフトウェア切り替え可能
	$P1_0$～$P1_3$	入出力	4ビット×1 プルアップ機能、キーオンウェイクアップ機能がソフトウェア切り替え可能
	$P2_0$、$P2_1$	入出力	2ビット×1 プルアップ機能、キーオンウェイクアップ機能がソフトウェア切り替え可能 ポート$P2_0$、$P2_1$はそれぞれINT0、INT1端子と兼用
	$P3_0$、$P3_1$	入出力	2ビット×1 出力形式がソフトウェア切り替え可能
	C	出力	1ビット×1（CMOS出力専用） CNTR1端子と兼用
	K	入力	1ビット×1（入力専用） キーオンウェイクアップ機能がソフトウェア切り替え可能
	CNTR0	タイマ入出力	1ビット×1、ポートD_4と兼用
	CNTR1	タイマ出力	1ビット×1、ポートCと兼用
	INT0、INT1	割り込み入力	1ビット×2、INT0、INT1端子はそれぞれポート$P2_0$、$P2_1$と兼用
タイマ	タイマ1		8ビットタイマ／イベントカウンタ、リロードレジスタ、搬送波出力自動制御機能付き
	タイマ2		8ビットタイマ、リロードレジスタ付き
	タイマ3		8ビットタイマ、リロードレジスタ2本付き、搬送波発生機能付き
	ウォッチドッグタイマ		16ビットタイマ、固定分周（監視用タイマ）
パワーオンリセット回路			内蔵
電圧低下検出回路	リセット発生		標準1.65 V（Ta = 25 ℃時）
	リセット解除		標準1.75 V（Ta = 25 ℃時）
	割り込み発生		標準1.85 V（Ta = 25 ℃時）
割り込み	要因		6要因（外部×2、タイマ×3、電圧低下検出回路）
	ネスティング		1レベル
サブルーチンネスティング			8レベル
素子構造			CMOSシリコンゲート
パッケージ			24ピンプラスチックモールドSSOP（PRSP0024GA-A）
動作周囲温度			－20～85 ℃
電源電圧			1.8～5.5 V（動作モード及び発振周波数により異なります。）
消費電流	CPU動作時		0.3 mA（Ta = 25 ℃、V_{DD} = 3.0 V、f(X_{IN}) = 4 MHz、f(STCK) = f(X_{IN})/8）
	RAMバックアップ時		0.1 μA（Ta = 25 ℃、出力トランジスタ遮断状態）

端子の機能説明

表3.　端子の機能説明

端子名	名　　称	入力 出力	機　　能
V_{DD}	電源	－	正電源電圧供給端子です。
V_{SS}	接地	－	GND端子です。
X_{IN}	メインクロック入力	入力	メインクロック発生回路の入力／出力端子です。X_{IN}端子とX_{OUT}端子の間にセラミック共振子を接続して使用します。X_{IN}端子とX_{OUT}端子の間には帰還抵抗が内蔵されています。
X_{OUT}	メインクロック出力	出力	
$\overline{RESET}$	リセット入出力	入出力	リセットパルスの入出力端子です。SRST命令、ウォッチドッグタイマ、又は内蔵パワーオンリセット回路によるシステムリセット時に“L”レベルが出力されます。出力形式はNチャネルオープンドレインです。
D_0～D_4	入出力ポートD （入力はスキップ判別）	入出力	各端子ごとに1ビットの入出力機能を持っています。ポートD_0～D_3の出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ポートD_4の出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ポートD_4は、CNTR0端子と兼用です。
$P0_0$～$P0_3$	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びプルアップ機能を内蔵しています。
$P1_0$～$P1_3$	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びプルアップ機能を内蔵しています。
$P2_0$、$P2_1$	入出力ポートP2	入出力	ポートとして2ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインです。出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びプルアップ機能を内蔵しています。ポート$P2_0$、$P2_1$は、それぞれINT0,INT1端子と兼用です。
$P3_0$、$P3_1$	入出力ポートP3	入出力	ポートとして2ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。
C	出力ポートC	出力	ポートとして1ビットの出力機能を持っています。出力形式はCMOSです。 ポートCは、CNTR1端子と兼用です。
K	入力ポートK	入力	ポートとして1ビットの入力機能を持っています。 ソフトウェアで切り替え可能なキーオンウェイクアップ機能を持っています。 キーマトリクスの入力に使用する場合は、外部にプルアップ抵抗を接続してください。
CNTR0	タイマ入出力	入出力	タイマ1のイベントカウント用クロックの入力機能とタイマ1あるいはタイマ2のアンダフローの2分周信号の出力機能を持っています。 CNTR0端子は、ポートD4と兼用です。
CNTR1	タイマ入出力	入出力	タイマ3で生成されるPWM信号の出力機能を持っています。 CNTR1端子は、ポートCと兼用です。
INT0 INT1	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能を持っています。 INT0，INT1端子は、それぞれポート$P2_0$、$P2_1$と兼用です。

表4.　マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
C	CNTR1	$P2_0$	INT0	CNTR1	C	INT0	$P2_0$
D_4	CNTR0	$P2_1$	INT1	CNTR0	D_4	INT1	$P2_1$

注1.　上記以外の端子は単一機能です。
注2.　CNTR0端子の出力機能を使用している場合でもポートD_4の入力機能は有効です。CNTR0端子の入力機能を使用している場合でもポートD_4の入出力機能は有効です。CNTR0端子とポートD_4との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
注3.　CNTR1端子の出力機能を使用している場合でもポートCの“H”出力機能は有効です。
注4.　INT0端子を使用している場合でもポート$P2_0$の入出力機能は有効です。INT0端子とポート$P2_0$との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
注5.　INT1端子を使用している場合でもポート$P2_1$の入出力機能は有効です。INT1端子とポート$P2_1$との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。

表5.　ポート機能一覧

ポート名	端子名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特　記　事　項
ポートD	D_0～D_3	入出力 (5本)	Nチャネル オープンドレイン ／CMOS	1ビット	SD、RD SZD CLD	FR1	出力形式選択機能付き (ソフトウェアで切り替え可能)
	D_4/CNTR0		Nチャネル オープンドレイン			W1 W2 W5	—
ポートP0	$P0_0$ $P0_1$ $P0_2$ $P0_3$	入出力 (4本)	Nチャネル オープンドレイン	4ビット	OP0A IAP0	PU0 K0	プルアップ及びキーオンウェイクアップ機能付き (ソフトウェアで切り替え可能)
ポートP1	$P1_0$ $P1_1$ $P1_2$ $P1_3$	入出力 (4本)	Nチャネル オープンドレイン	4ビット	OP1A IAP1	PU1 K1	プルアップ及びキーオンウェイクアップ機能付き (ソフトウェアで切り替え可能)
ポートP2	$P2_0$/INT0 $P2_1$/INT1	入出力 (2本)	Nチャネル オープンドレイン	2ビット	OP2A IAP2	PU2 K2, I1, I2, L1	プルアップ及びキーオンウェイクアップ機能付き (ソフトウェアで切り替え可能)
ポートP3	$P3_0$ $P3_1$	入出力 (2本)	Nチャネル オープンドレイン ／CMOS	2ビット	OP3A IAP3	FR0	出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートC	C/CNTR1	出力 (1本)	CMOS	1ビット	RCP SCP	W1, W3, W5	—
ポートK	K	入力 (1本)	—	1ビット	IAK	K2	キーオンウェイクアップ機能付き (ソフトウェアで切り替え可能)

クロック及びサイクルの定義

●動作源クロック

動作の源となるクロックです。本製品では以下のクロックが使用できます。

- 外付けセラミック共振子によるクロック(f(XIN))
- 外部入力によるクロック(f(XIN))

●システムクロック(STCK)

本製品を制御する基本クロックです。

システムクロック(STCK)は、クロック制御レジスタMRの設定により表6のように選択できます。

表6.　システムクロックの選択

クロック制御レジスタMR		システムクロック	動作モード名
MR3	MR2		
1	1	f(STCK) = f(XIN)/8	8分周モード
1	0	f(STCK) = f(XIN)/4	4分周モード
0	1	f(STCK) = f(XIN)/2	2分周モード
0	0	f(STCK) = f(XIN)	スルーモード

注.　リセット解除後は、8分周モードが選択されます。

●マシンサイクル

命令の実行に要する基準周期です。

●インストラクションクロック(INSTCK)

CPUを制御する基準クロックです。

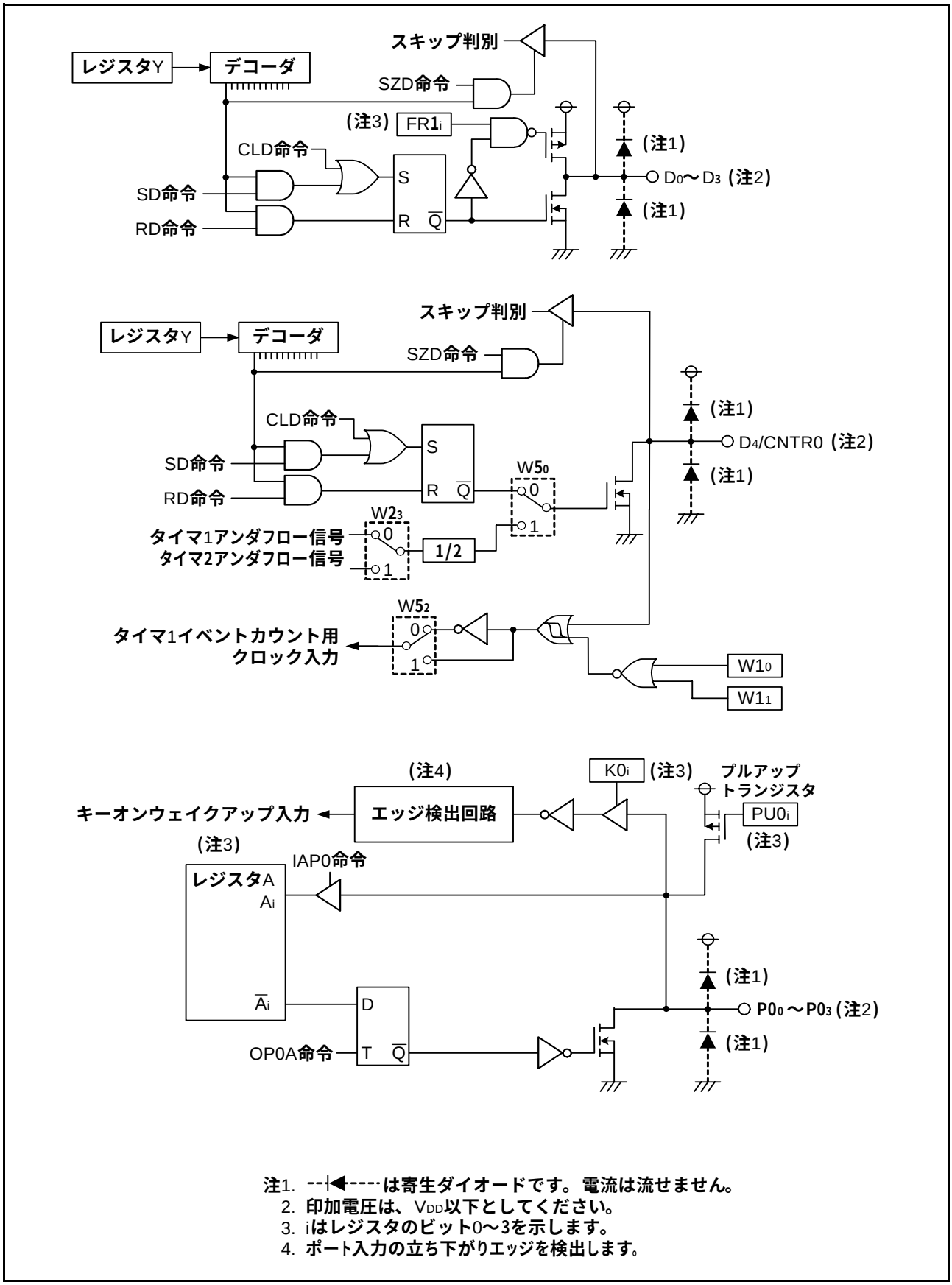
インストラクションクロック(INSTCK)はシステムクロック(STCK)を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

表7.　使用しない端子の処理

端子名	処理方法	使用条件				
		出力形式	プルアップトランジスタ	キーオンウェイクアップ	出力ラッチの値	その他
D_0～D_3，$P3_0$，$P3_1$	開放	N チャネルオープンドレイン	–	–	0/1	(注1)
		CMOS	–	–	0/1	–
	V_{SS} に接続	N チャネルオープンドレイン	–	–	0/1	–
		CMOS	–	–	0	–
	V_{DD} に接続	N チャネルオープンドレイン	–	–	1	–
		CMOS	–	–	1	–
D_4/CNTR0	開放	N チャネルオープンドレイン	–	–	0/1	(注1、2)
	V_{SS} に接続	N チャネルオープンドレイン	–	–	0/1	(注2)
	V_{DD} に接続	N チャネルオープンドレイン	–	–	1	(注2)
$P0_0$～$P0_3$，$P1_0$～$P1_3$	開放	N チャネルオープンドレイン	OFF	無効	0/1	(注1)
			ON	無効	1	–
	V_{SS} に接続	N チャネルオープンドレイン	OFF	無効	0/1	–
	V_{DD} に接続	N チャネルオープンドレイン	ON／OFF	有効／無効	1	–
$P2_0$/INT0，$P2_1$/INT1	開放	N チャネルオープンドレイン	OFF	無効	0/1	(注1、3)
			ON	無効	1	(注3)
	V_{SS} に接続	N チャネルオープンドレイン	OFF	無効	0/1	(注3)
	V_{DD} に接続	N チャネルオープンドレイン	ON／OFF	有効／無効	1	(注3)
C/CNTR1	開放	CMOS	–	–	0/1	–
	V_{SS} に接続	CMOS	–	–	0	(注4)
K	V_{SS} に接続	–	–	無効	–	–
	V_{DD} に接続	–	–	有効／無効	–	–

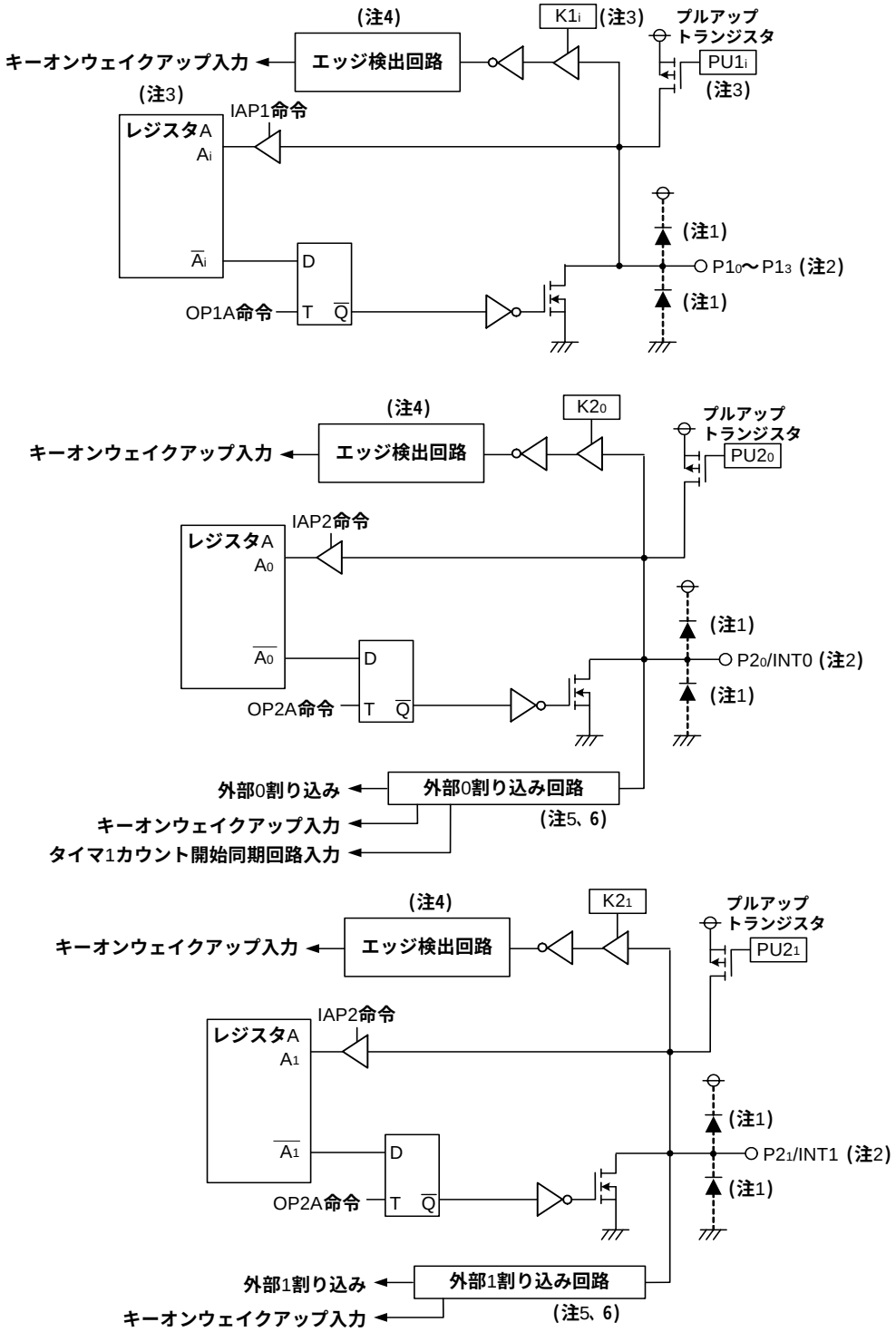
注1.　出力ラッチの値が“1”の場合、ポート入力命令（SZD，IAP0，IAP1，IAP2，IAP3）を実行すると命令実行サイクル期間で貫通電流により電源電流が増加することがあります。
注2.　タイマ1のカウントソースにCNTR0入力を選択しないでください（$W1_1$ $W1_0$ ≠“11”）。
注3.　INT0端子又はINT1端子は入力禁止に設定してください（$I1_3$＝“0”，$I2_3$＝“0”）。
注4.　CNTR1端子は出力無効に設定してください（$W3_3$＝“0”）。

（V_{DD} 端子及び V_{SS} 端子に接続する場合の注意事項）
・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。



注1. --|◀----は寄生ダイオードです。電流は流せません。
2. 印加電圧は、V_{DD}以下としてください。
3. iはレジスタのビット0～3を示します。
4. ポート入力の立ち下がりエッジを検出します。

図3. ポートブロック図(1)



注1. --|◀---- は寄生ダイオードです。電流は流せません。
2. 印加電圧は、V_{DD}以下としてください。
3. iはレジスタのビット0～3を示します。
4. ポート入力の立ち下がりエッジを検出します。
5. 詳細は外部割り込み回路の構成を参照してください。
6. ポート入力のしきい値と外部割り込み入力のしきい値とは、異なります 。

図4.　ポートブロック図(2)

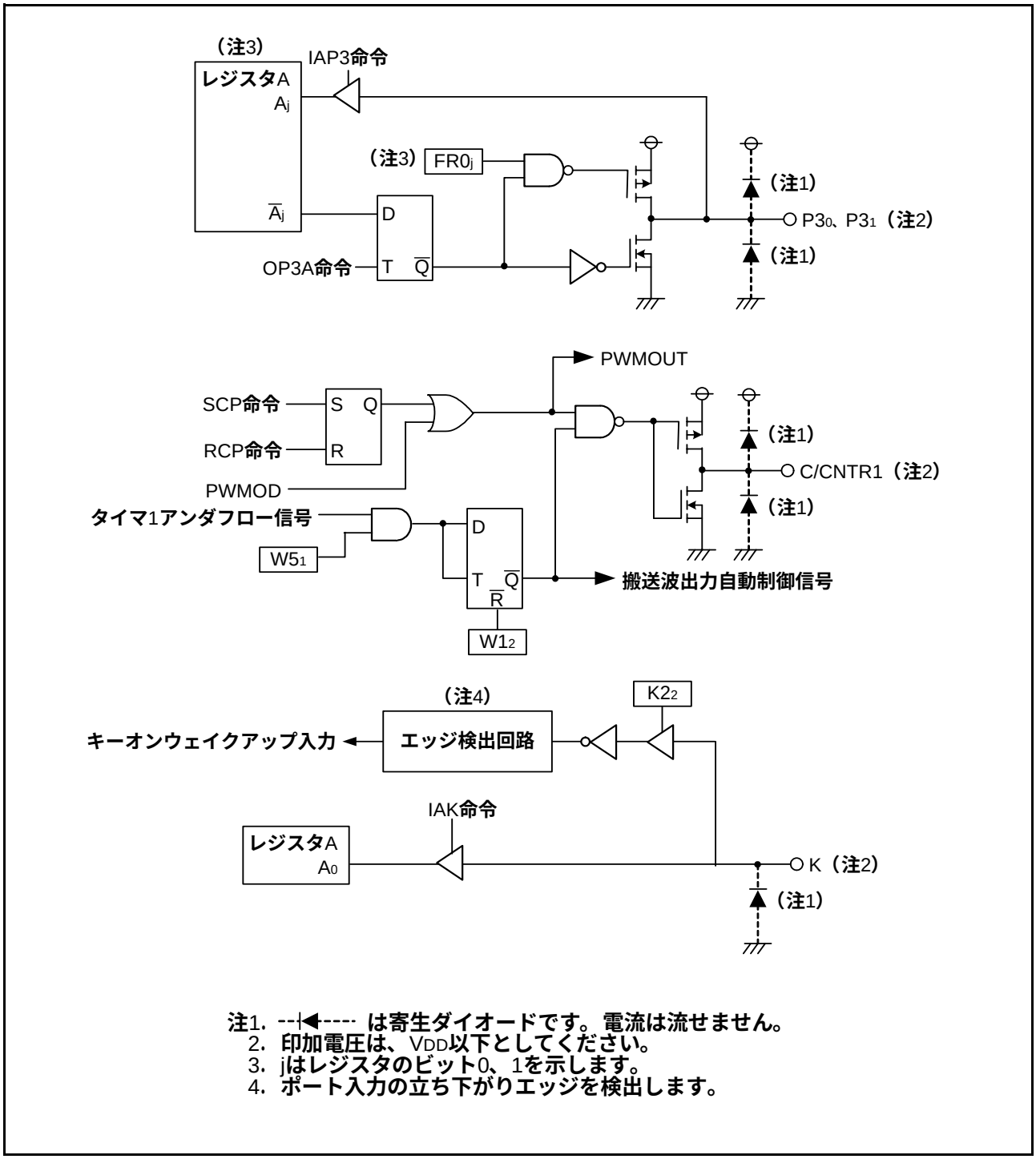
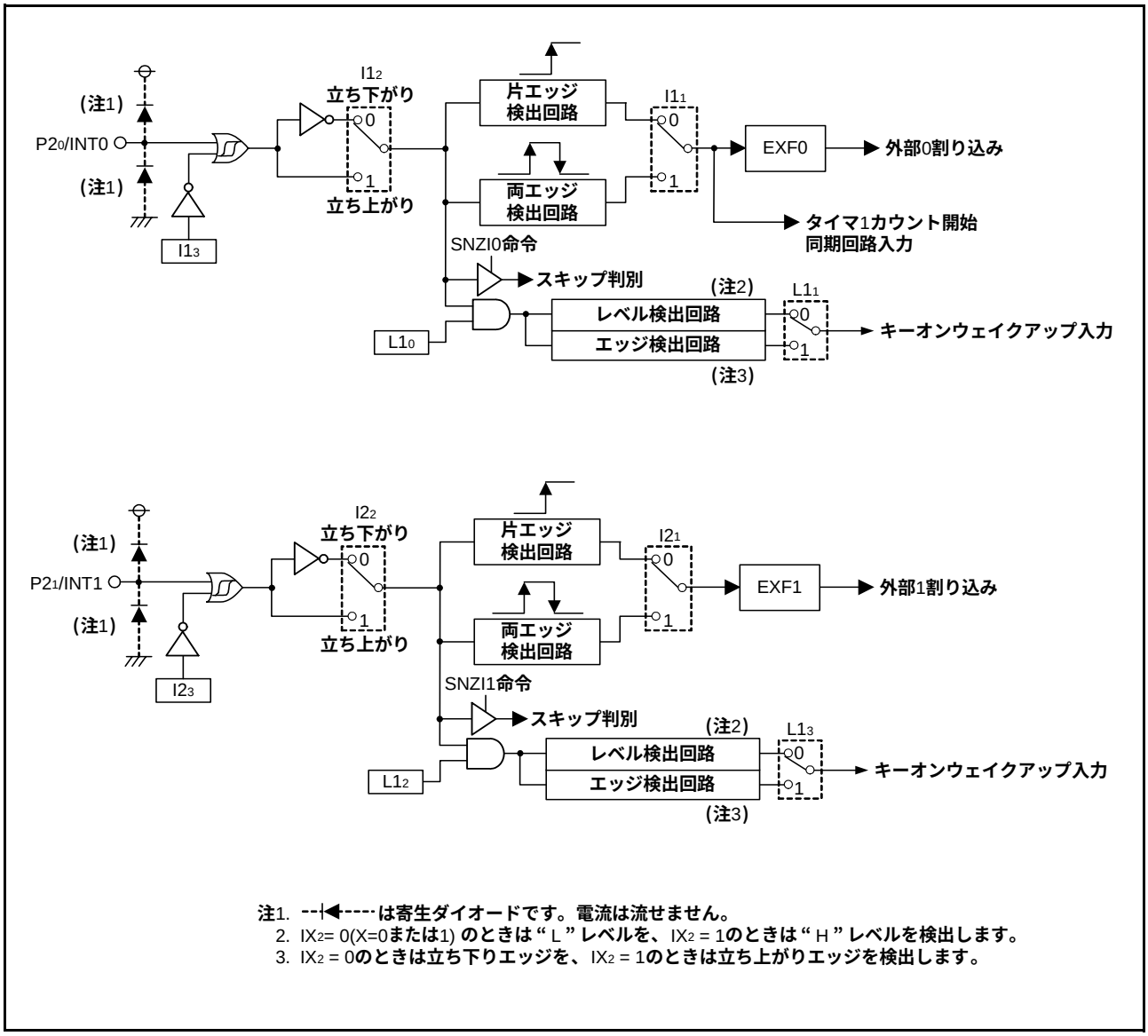


図5. ポートブロック図(3)



注1. ---|◀----は寄生ダイオードです。電流は流せません。
2. IX2= 0(X=0または1) のときは“ L ”レベルを、IX2 = 1のときは“ H ”レベルを検出します。
3. IX2 = 0のときは立ち下りエッジを、IX2 = 1のときは立ち上がりエッジを検出します。

図6. ポートブロック図(4)

機能ブロック動作説明

CPU

1. 4ビット論理演算ユニット（ALU）

ALUは4ビットの演算－加算、比較、論理積、論理和、ビット処理など－を行うユニットです。

2. レジスタA及びキャリフラグ（CY）

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると“1”にセットされます（図7）。

なお、An命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A_0の値がフラグCYに格納されます（図8）。

フラグCYはSC命令で“1”にセットされ、RC命令で“0”にクリアされます。

3. レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します（図9）。

レジスタEはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

4. レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABPp命令、BLAp命令、及びBMLAp命令の実行時に指定ページ内のポインタとして使用します（図10）。

また、フラグUPTFが“1”のときにTABPp命令を実行するとレジスタDの下位2ビットにROM内参照データの上位2ビットが格納され、レジスタDの上位1ビットが“0”になります。フラグUPTFが“0”のときは、TABPp命令を実行してもレジスタDの内容は変化しません。

フラグUPTFはSUPT命令で“1”にセットされ、RUPT命令で“0”にクリアされます。フラグUPTFの初期値は“0”です。

レジスタDはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

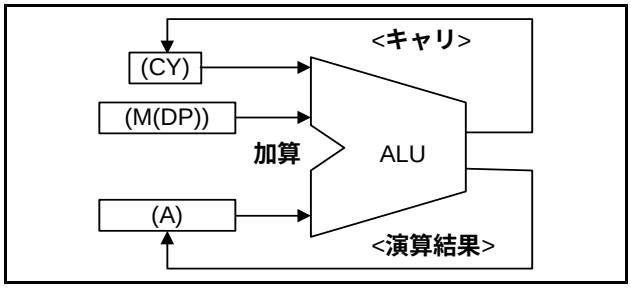


図7. AMC命令実行例

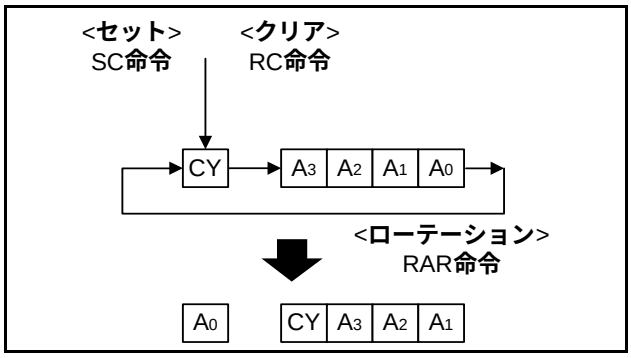


図8. RAR命令実行例

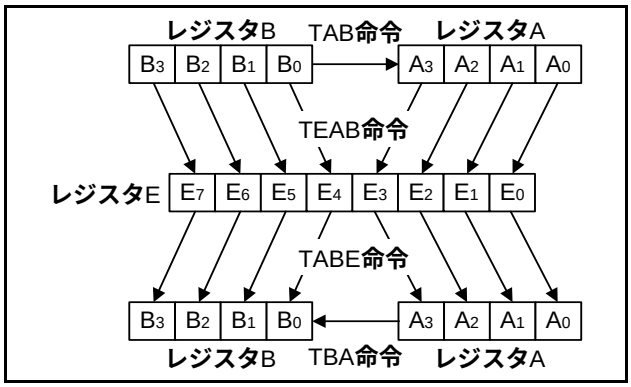


図9. レジスタA、BとレジスタE

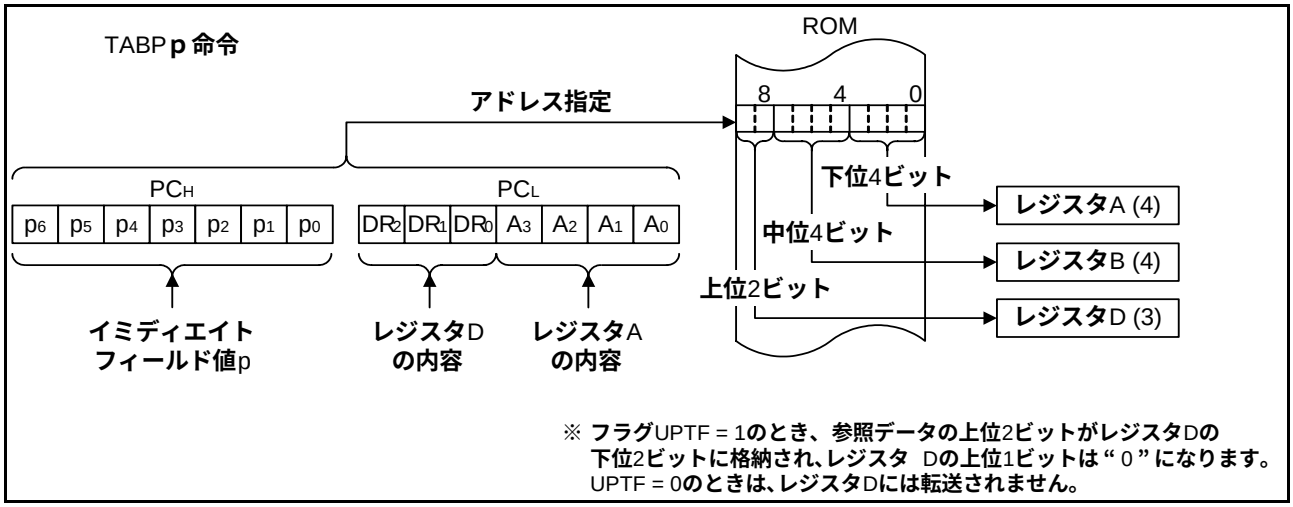


図10. TABPp命令実行例

5. スタックレジスタSK及びスタックポインタ（SP）

レジスタ SK は、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令（TABP p）を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ（SP）によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図11にレジスタSKの構成を、図12にサブルーチン呼び出し時の動作例を示します。

6. 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

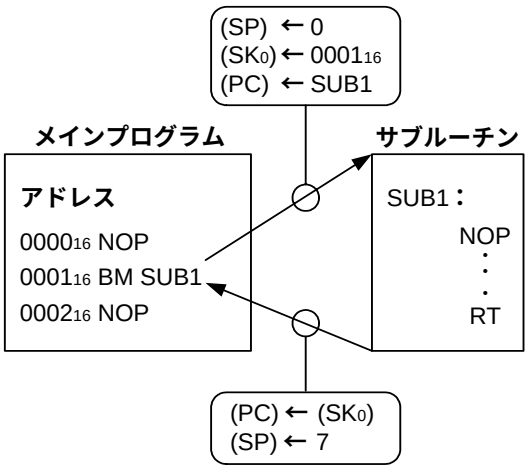
レジスタ SDP は前述のレジスタ SK と異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

7. スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。

リセット及びRAMバックアップモードからの復帰時は(SP) = 7 です。最初の BM命令などの実行によって(SP) = 0 となり、レジスタSK_0にプログラムカウンタの内容が記憶されます。
また、レジスタ SKを8段使用した後((SP) = 7)にBM命令などを実行すると 、(SP) = 0 となりレジスタSK_0の内容は破壊されます。

図11. スタックレジスタSKの構成



注. RT命令によりBM命令実行アドレスに戻りますが 、そのBM命令はNOP命令と同じ動作を行います。

図12. サブルーチン呼び出し時の動作例

8. プログラムカウンタ（PC）

プログラムカウンタはROMアドレス（ページ及び番地）を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を＋1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令（TABP p）実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPC_H（最上位ビット～ビット7）とページ内の番地を指定するPC_L（ビット6～ビット0）に分かれており、各ページの最終番地（127番地）までくると次のページの0番地を指定します（図13）。

なお、PC_Hが内蔵ROMの最終ページより後のページを指定しないように注意してください。

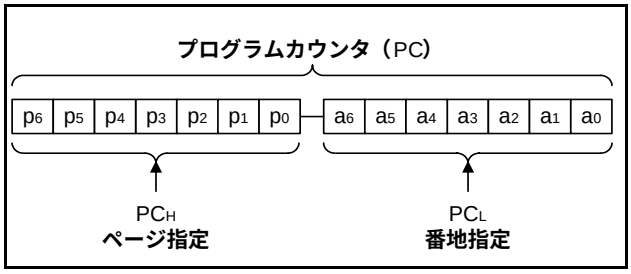


図13. プログラムカウンタ（PC）の構成

9. データポインタ（DP）

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています（図14）。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット（ピン位置）を設定し、SD、RD、SZD命令を実行してください。

図15にSD命令実行例を示します。

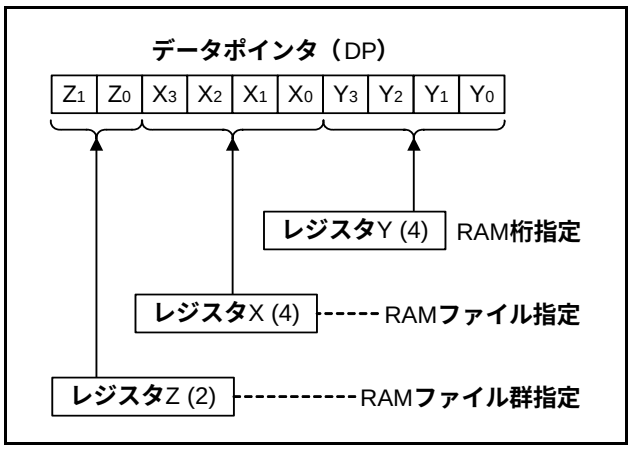


図14. データポインタ（DP）の構成

●注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタへの再設定を行ってください。

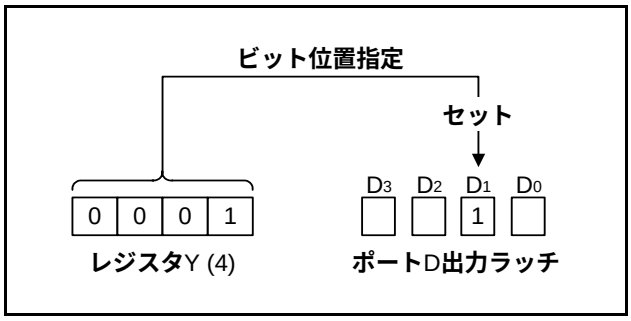


図15. SD命令実行例

プログラムメモリ（ROM）

プログラムメモリは、1語が10ビットで構成されており、128語（0～127番地）ごとにページという単位で分けられています。

1ページ（0080_{16}～$00FF_{16}$）の先頭には割り込み番地が割り付けられています（図17）。

割り込みが発生すると各割り込みに対応した番地（割り込み番地）がプログラムカウンタ（PC）に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2ページ（0100_{16}～$017F_{16}$）はサブルーチン呼び出しのための特殊なページです（図16）。このページに書き込まれたサブルーチンは、一語命令（BM命令）で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン（ビット9～0）をTABP p命令によりデータ領域として使用できます。

表8.　ROM容量とページ数

型　　名	ROM(PROM)容量（×10ビット）	ページ数
M34571G4	4096語	32(0～31)
M34571G6	6144語	48(0～47)
M34571GD(注1)	16384語	128(0～127)

注1.　初期状態はTABP命令で0～63ページのデータ参照が可能です。SBK命令実行後のTABP命令で64～127ページのデータ参照が可能になります。RBK命令実行後のTABP命令で0～63ページのデータ参照が可能になります。

●ROMコードプロテクト機能

シリアルプログラマでプロテクトビット書き込みを選択した場合、または弊社書き込み出荷の際にプロテクト有りを選択した場合はシリアルプログラマでの読み出し及び書き込みは出来ません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品でのROMコードプロテクトの有無は、発注の際にROMオプション（マスクファイル変換ユーティリティ内では“マスクオプション”表記）として選択可能です。詳細はQzROM書き込み確認書を確認してください。

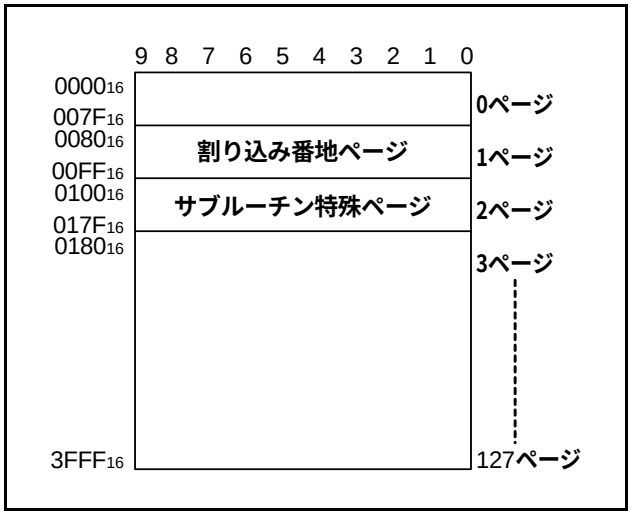


図16.　M34571GDのROMマップ

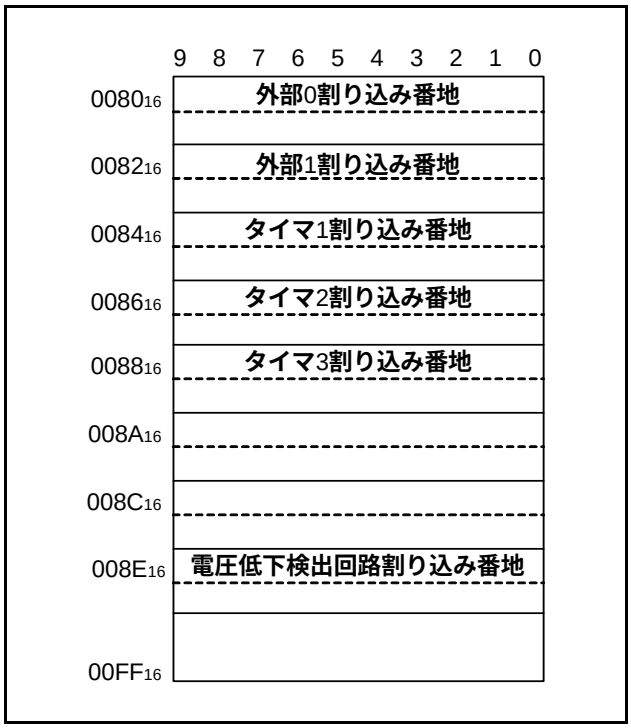


図17.　割り込み番地ページ（0080_{16}～$00FF_{16}$）の構成

データメモリ（RAM）

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行するときには、必ずデータポインタに値を設定してください（RAMバックアップからの復帰後も必ず設定してください）。

表9にRAM容量、図18にRAMマップを示します。

●注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。

表9. RAM容量

型　　名	RAM容量
M34571G4	128語×4ビット（512ビット）
M34571G6	
M34571GD	

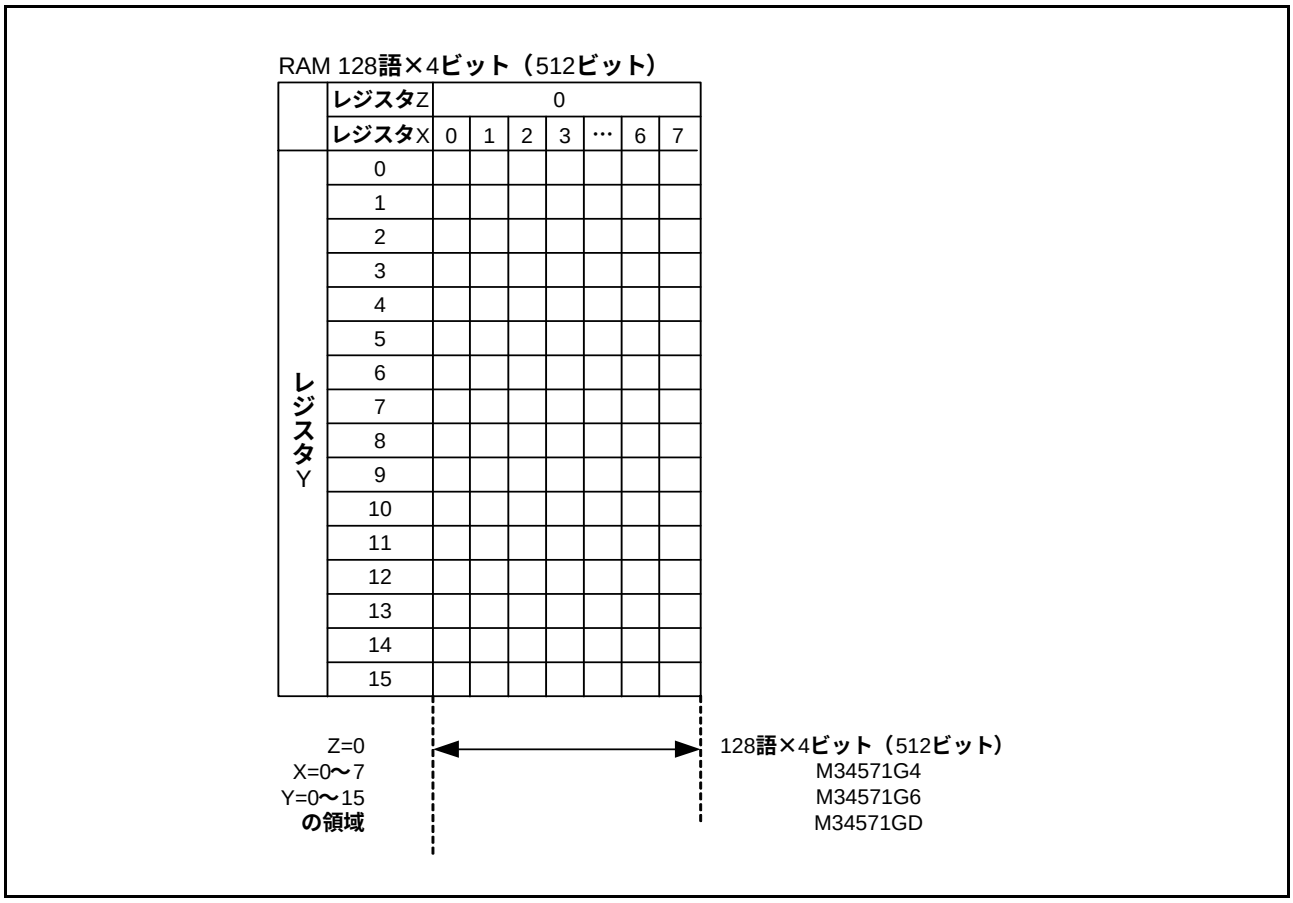


図18. RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス（割り込み番地）に分岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

●割り込み許可フラグが許可状態（INTE = “ 1 ”）
●割り込み可能ビットが可能状態（“ 1 ”）
●割り込み起動条件が成立（要求フラグ = “ 1 ”）

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表10に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

1. 割り込み許可フラグ（INTE）

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“ 1 ”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“ 0 ”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“ 0 ”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

2. 割り込み可能ビット（$V1_0$～$V1_3$、$V2_0$、$V2_3$）

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表11に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表12に割り込み可能ビットの機能を示します。

3. 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“ 1 ”にセットされます。

電圧低下検出回路割り込み要求フラグを除いて、割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“ 0 ”にクリアされます。電圧低下検出回路割り込み要求フラグは、起動条件が成立している状態でフラグを“ 0 ”にクリアすることはできません。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表10に示す優先順位に従って割り込みが発生します。

表10. 割り込み要因、割り込み番地、及び優先順位

優先順位	割り込み要因		割り込み番地
	割り込み名	起動条件	
1	電圧低下検出回路割り込み	電源電圧の低下	1ページ E番地
2	外部0割り込み	INT0端子のレベル変化	1ページ 0番地
3	外部1割り込み	INT1端子のレベル変化	1ページ 2番地
4	タイマ1割り込み	タイマ1のアンダフロー	1ページ 4番地
5	タイマ2割り込み	タイマ2のアンダフロー	1ページ 6番地
6	タイマ3割り込み	タイマ3のアンダフロー	1ページ 8番地

表11. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み要求フラグ	割り込みスキップ命令	割り込み可能ビット
電圧低下検出回路割り込み	VDF	SNZVD	$V2_3$
外部0割り込み	EXF0	SNZ0	$V1_0$
外部1割り込み	EXF1	SNZ1	$V1_1$
タイマ1割り込み	T1F	SNZT1	$V1_2$
タイマ2割り込み	T2F	SNZT2	$V1_3$
タイマ3割り込み	T3F	SNZT3	$V2_0$

表12. 割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可　能	無　効
0	禁　止	有　効

4. 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります（図20参照）。

●プログラムカウンタ（PC）

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタ SK に格納されます。

●割り込み許可フラグ（INTE）

フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

●割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます（電圧低下検出回路割り込み要求フラグを除く）。

●データポインタ、キャリフラグ（CY）、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

5. 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI 命令実行による割り込みの許可は、1 命令経過の後（次命令の実行終了直後）に行われます。したがって、RTI 命令の直前に EI 命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります（図19参照）。

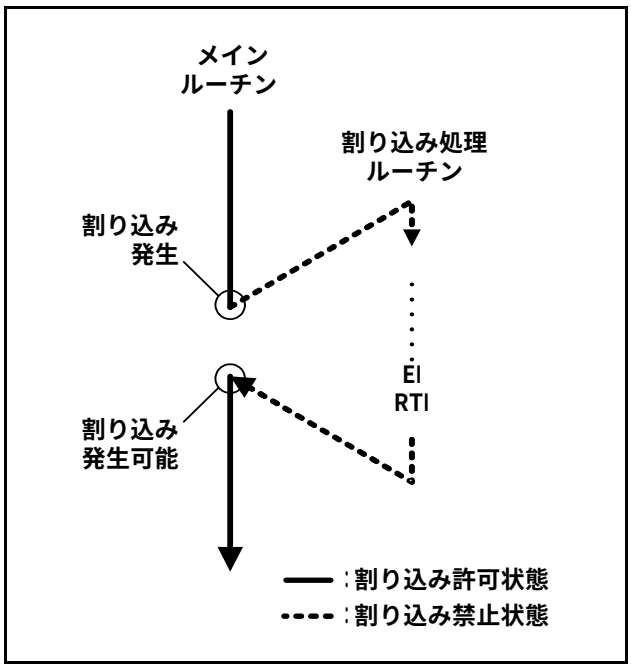


図19. 割り込み処理プログラム例

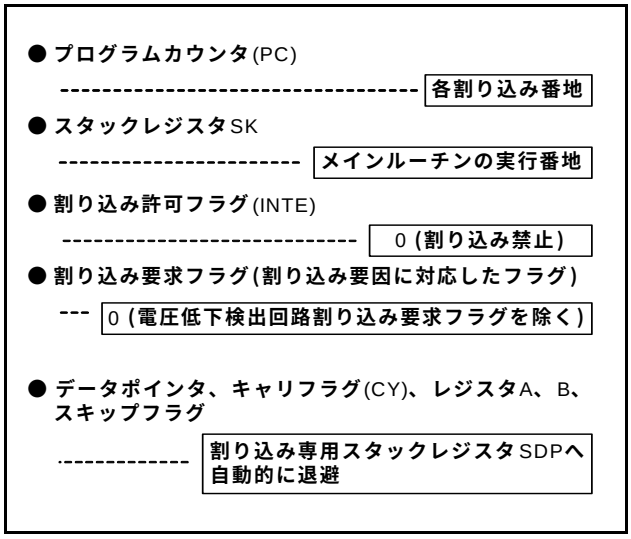


図20. 割り込み発生時の内部状態

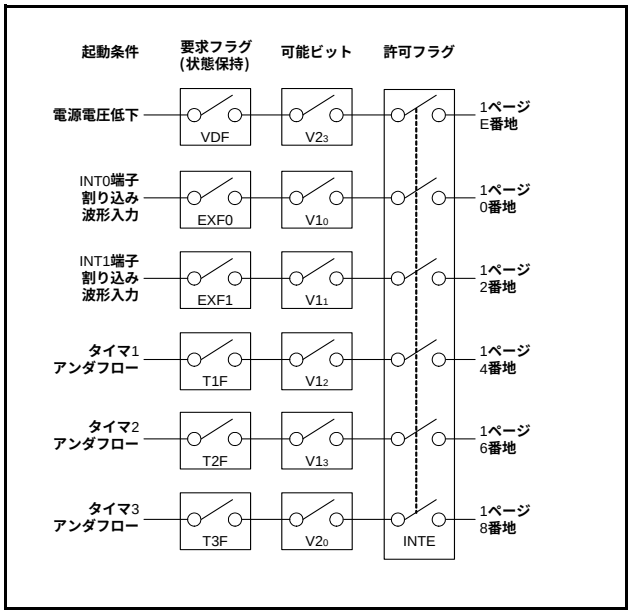


図21. 割り込み系統図

6. 割り込み制御レジスタ

●割り込み制御レジスタV1

レジスタV1には、外部0、外部1、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

●割り込み制御レジスタV2

レジスタV2には、電圧低下検出回路、タイマ3割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表13. 割り込み制御レジスタ

割り込み制御レジスタV1		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAV1／TV1A
$V1_3$	タイマ2割り込み可能ビット	0	発生禁止（SNZT2命令有効）	
		1	発生可能（SNZT2命令無効）	
$V1_2$	タイマ1割り込み可能ビット	0	発生禁止（SNZT1命令有効）	
		1	発生可能（SNZT1命令無効）	
$V1_1$	外部1割り込み可能ビット	0	発生禁止（SNZ1命令有効）	
		1	発生可能（SNZ1命令無効）	
$V1_0$	外部0割り込み可能ビット	0	発生禁止（SNZ0命令有効）	
		1	発生可能（SNZ0命令無効）	

割り込み制御レジスタV2		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAV2／TV2A
$V2_3$	電圧低下検出回路割り込み可能ビット	0	発生禁止（SNZVD命令有効）	
		1	発生可能（SNZVD命令無効）	
$V2_2$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		
$V2_1$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		
$V2_0$	タイマ3割り込み可能ビット	0	発生禁止（SNZT3命令有効）	
		1	発生可能（SNZT3命令無効）	

注. “R”は読み出し可、“W”は書き込み可を表します。

7. 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット（$V1_0$～$V1_3$、$V2_0$、$V2_3$）、各割り込み要求フラグが“1”になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したサイクルを起点として2～3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです(図22参照)。

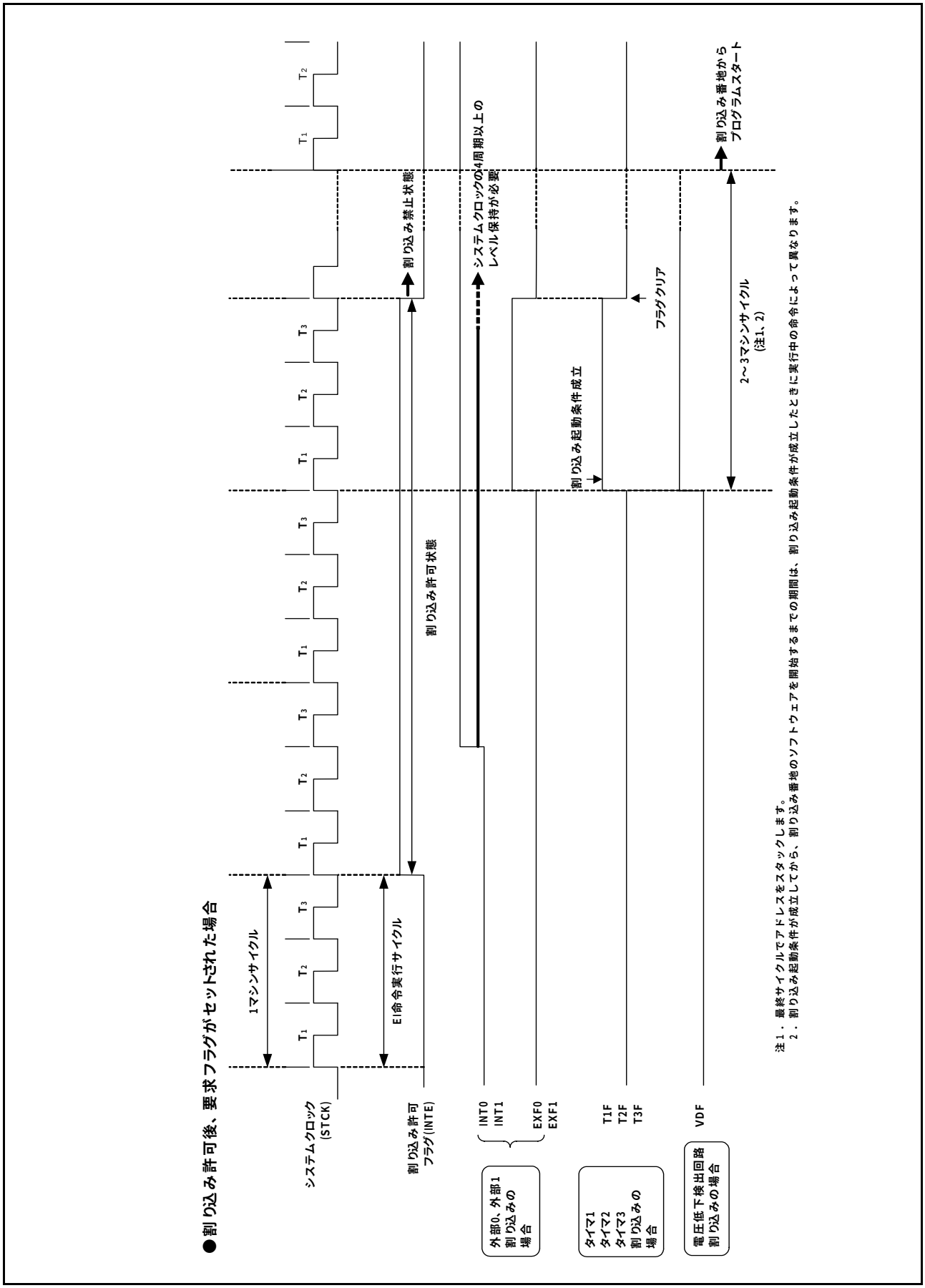


図22. 割り込みシーケンス

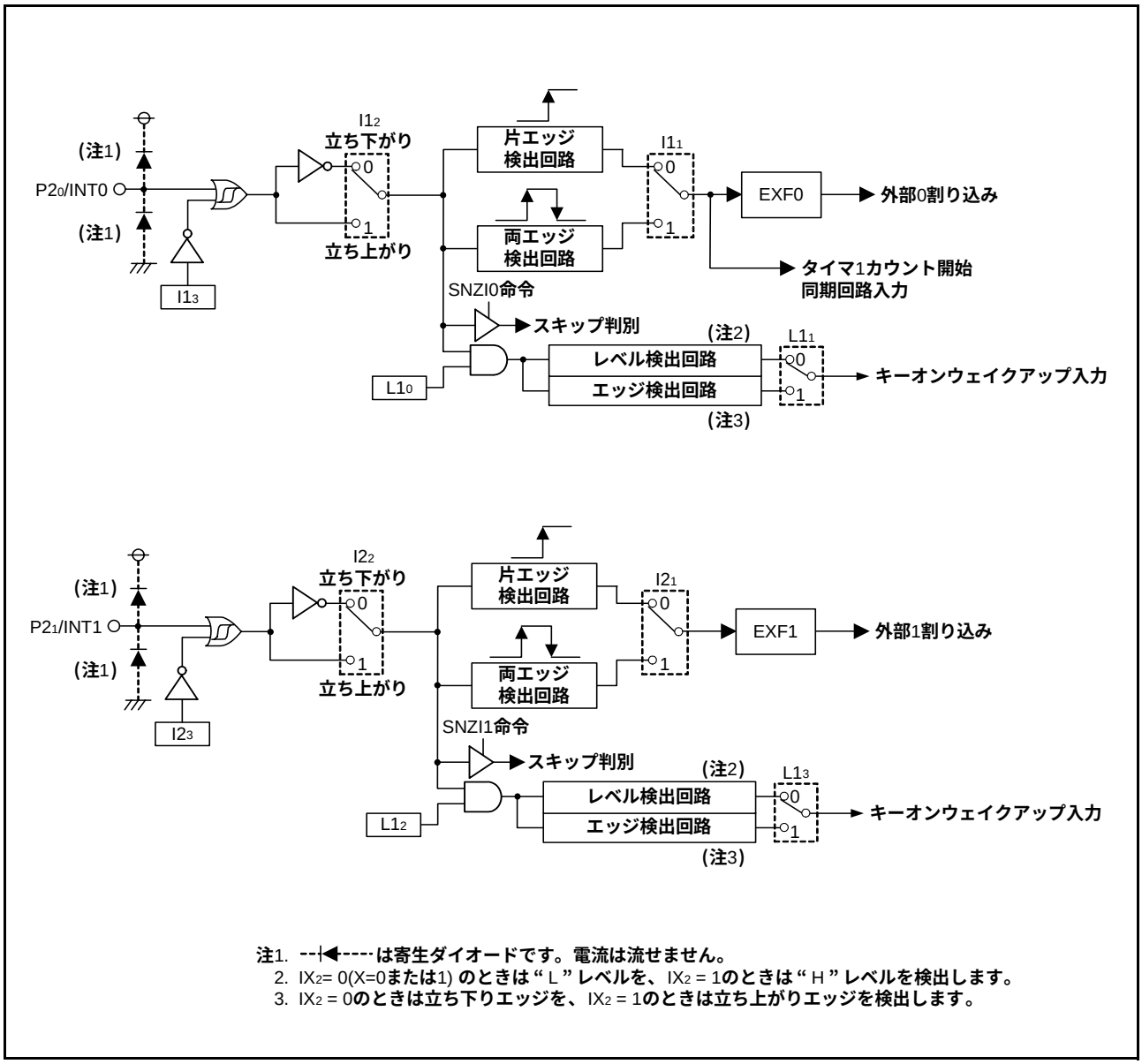
外部割り込み

外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求を発生します（エッジ検出）。

本製品は、2本の外部割り込み機能（外部0、外部1）をもっています。これらの割り込みは割り込み制御レジスタI1, I2で制御できます。

表14. 外部割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	$P2_0$/INT0	$P2_0$/INT0端子に次の波形が入力されたとき ・立ち下がり波形（“H”→“L”） ・立ち上がり波形（“L”→“H”） ・立ち下がり及び立ち上がりの両波形	$I1_1$、$I1_2$
外部1割り込み	$P2_1$/INT1	$P2_1$/INT1端子に次の波形が入力されたとき ・立ち下がり波形（“H”→“L”） ・立ち上がり波形（“L”→“H”） ・立ち下がり及び立ち上がりの両波形	$I2_1$、$I2_2$



注1. --|◀----は寄生ダイオードです。電流は流せません。
2. IX_2= 0(X=0または1) のときは“L”レベルを、IX_2 = 1のときは“H”レベルを検出します。
3. IX_2 = 0のときは立ち下りエッジを、IX_2 = 1のときは立ち上がりエッジを検出します。

図23. 外部割り込み回路の構成

1. 外部0割り込み要求フラグ（EXF0）

フラグEXF0はP2$_0$/INT0端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります（図22参照）。

フラグEXF0の状態は、スキップ命令の実行（SNZ0命令）により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

●外部0割り込み起動条件

外部0割り込みの起動条件は、P2$_0$/INT0端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形、又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部0割り込みの使用方法の一例を示します。

(1) 割り込み制御レジスタI1のビット3(I1$_3$)を“1”にセットし、INT0端子を入力可能状態に設定
(2) 割り込み制御レジスタI1のビット1(I1$_1$)、ビット2(I1$_2$)で有効波形を選択
(3) SNZ0命令を使用して、フラグEXF0を“0”にクリア
(4) SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入
(5) 外部0割り込み可能ビット（V1$_0$）及び割り込み許可フラグ（INTE）を共に“1”にセット

以上の操作により外部0割り込み発生許可状態になります。この状態でP2$_0$/INT0端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

2. 外部1割り込み要求フラグ(EXF1)

フラグEXF1はP2$_1$/INT1端子に有効波形が入力されたとき“1”にセットされます。

外部1割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります（図22参照）。

フラグEXF1の状態は、スキップ命令の実行（SNZ1命令）により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF1は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

●外部1割り込み起動条件

外部1割り込みの起動条件は、P2$_1$/INT1端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部1割り込みの使用方法の一例を示します。

(1) 割り込み制御レジスタI2のビット3(I2$_3$)を“1”にセットし、INT1端子を入力可能状態に設定
(2) 割り込み制御レジスタI2のビット1(I2$_1$)、ビット2(I2$_2$)で有効波形を選択
(3) SNZ1命令を使用して、フラグEXF1を“0”にクリア
(4) SNZ1 命令によるスキップが発生する場合を考慮して、NOP命令を挿入
(5) 外部1割り込み可能ビット（V1$_1$）及び割り込み許可フラグ（INTE）を共に“1”に設定

以上の操作により外部1割り込み発生許可状態になります。この状態でP2$_1$/INT1端子に有効波形を入力すると、フラグEXF1は“1”にセットされ、外部1割り込みが発生します。

3. 外部割り込み制御レジスタ

(1) 割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

(2) 割り込み制御レジスタI2

レジスタI2は、外部1割り込みの有効波形を制御します。このレジスタの内容は、TI2A命令でレジスタAを介して設定してください。また、TAI2命令でレジスタI2の内容をレジスタAに転送できます。

表15. 外部割り込み制御レジスタ

割り込み制御レジスタI1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAI1／TI1A
$I1_3$	INT0端子入力制御ビット(注2)	0	入力禁止	
		1	入力可能	
$I1_2$	INT0端子割り込み有効波形／ 復帰レベル選択ビット(注2)	0	立ち下がり波形／“L”レベル（SNZI0命令は“L”レベル認識）	
		1	立ち上がり波形／“H”レベル（SNZI0命令は“H”レベル認識）	
$I1_1$	INT0端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
$I1_0$	INT0端子タイマ1制御可能ビット	0	タイマ1制御禁止	
		1	タイマ1制御可能	

割り込み制御レジスタI2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAI2／TI2A
$I2_3$	INT1端子入力制御ビット(注3)	0	入力禁止	
		1	入力可能	
$I2_2$	INT1端子割り込み有効波形／ 復帰レベル選択ビット(注3)	0	立ち下がり波形／“L”レベル（SNZI1命令は“L”レベル認識）	
		1	立ち上がり波形／“H”レベル（SNZI1命令は“H”レベル認識）	
$I2_1$	INT1端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
$I2_0$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		

注1. “R”は読み出し可、“W”は書き込み可を表します。
注2. これらのビット($I1_2$、$I1_3$)の内容を変更した際に、外部割り込み要求フラグ(EXF0)がセットされる場合があります。
注3. これらのビット($I2_2$、$I2_3$)の内容を変更した際に、外部割り込み要求フラグ(EXF1)がセットされる場合があります。

4. 注意事項

(1) レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

● レジスタI1のビット3の内容を変更する場合、P2$_0$/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図24①)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上おいて(図24②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図24③)。

```
    :
    :
LA  4    ;(×××0₂)
TV1A     ;SNZ0命令有効・・・・①
LA  8    ;(1×××₂)
TI1A     ;INT0端子入力制御変更
NOP      ;・・・・・・・・・・・・②
SNZ0     ;SNZ0命令の実行
           (フラグEXF0クリア)
NOP      ;・・・・・・・・・・・・③
    :
    :
         ×：このビットは本例では関係しません。
```

図24. 外部0割り込みプログラム例1

(2) レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT0端子入力禁止の状態でRAMバックアップを使用する際は、次の点に注意してください。

● INT0端子入力を禁止する場合、(レジスタI1$_3$ = “0”)は、RAMバックアップモードに移行する前にINT0端子のキーオンウェイクアップを無効(レジスタL1$_0$ = “0”)としてください(図25①)。

```
    :
    :
LA  0    ;(×××0₂)
TL1A     ;INT0キーオンウェイクアップ無効・・・①
DI
EPOF
POF      ;RAMバックアップ
    :
    :
         ×：このビットは本例では関係しません。
```

図25. 外部0割り込みプログラム例2

(3) レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP2$_0$/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

● レジスタI1のビット2の内容を変更する場合、P2$_0$/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図26①)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上おいて(図26②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図26③)。

```
    :
    :
LA  4    ;(×××0₂)
TV1A     ;SNZ0命令有効・・・・①
LA  12   ;(1×××₂)
TI1A     ;割り込み有効波形変更
NOP      ;・・・・・・・・・・・・②
SNZ0     ;SNZ0命令の実行
           (フラグEXF0クリア)
NOP      ;・・・・・・・・・・・・③
    :
    :
         ×：このビットは本例では関係しません。
```

図26. 外部0割り込みプログラム例3

(4) レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

● レジスタI2のビット3の内容を変更する場合、$P2_1$/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を“0”にクリア(図27①)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上おいて(図27②)SNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図27③)。

```
    :
    :
LA 4    ;(××0×2)
TV1A    ;SNZ1命令有効・・・・①
LA 8    ;(1×××2)
TI2A    ;INT1端子入力制御変更
NOP     ;・・・・・・・・・・・・②
SNZ1    ;SNZ1命令の実行
          (フラグEXF1クリア)
NOP     ;・・・・・・・・・・・・③
    :
    :
        ×：このビットは本例では関係しません。
```

図27. 外部1割り込みプログラム例1

(5) レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を“0”にクリアし、INT1端子入力禁止の状態でRAMバックアップを使用する際は、次の点に注意してください。

● INT1端子入力を禁止する場合、(レジスタ$I2_3$ = “0”)は、RAMバックアップモードに移行する前にINT1端子のキーオンウェイクアップを無効(レジスタ$L1_2$ = “0”)としてください(図28①)。

```
    :
    :
LA 0    ;(×0××2)
TL1A    ;INT1キーオンウェイクアップ無効・・・①
DI
EPOF
POF     ;RAMバックアップ
    :
    :
        ×：このビットは本例では関係しません。
```

図28. 外部1割り込みプログラム例2

(6) レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によって$P2_1$/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

● レジスタI2のビット2の内容を変更する場合、$P2_1$/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を“0”にクリア(図29①)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上おいて(図29②)SNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図29③)。

```
    :
    :
LA 4    ;(××0×2)
TV1A    ;SNZ1命令有効・・・・①
LA 12   ;(1×××2)
TI2A    ;割り込み有効波形変更
NOP     ;・・・・・・・・・・・・②
SNZ1    ;SNZ1命令の実行
          (フラグEXF1クリア)
NOP     ;・・・・・・・・・・・・③
    :
    :
        ×：このビットは本例では関係しません。
```

図29. 外部1割り込みプログラム例3

タイマ

本製品が内蔵するタイマには、以下の種類があります。

●プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値nからダウンカウントを開始し、アンダフローする（n＋1カウントする）と、また新たにリロードレジスタからデータがリロードされカウントを続行します（オートリロード機能）。

●固定分周タイマ

固定分周タイマは、分周比（n）が固定されているタイマで、カウントパルスをn回カウントするごとにアンダフローが発生します。

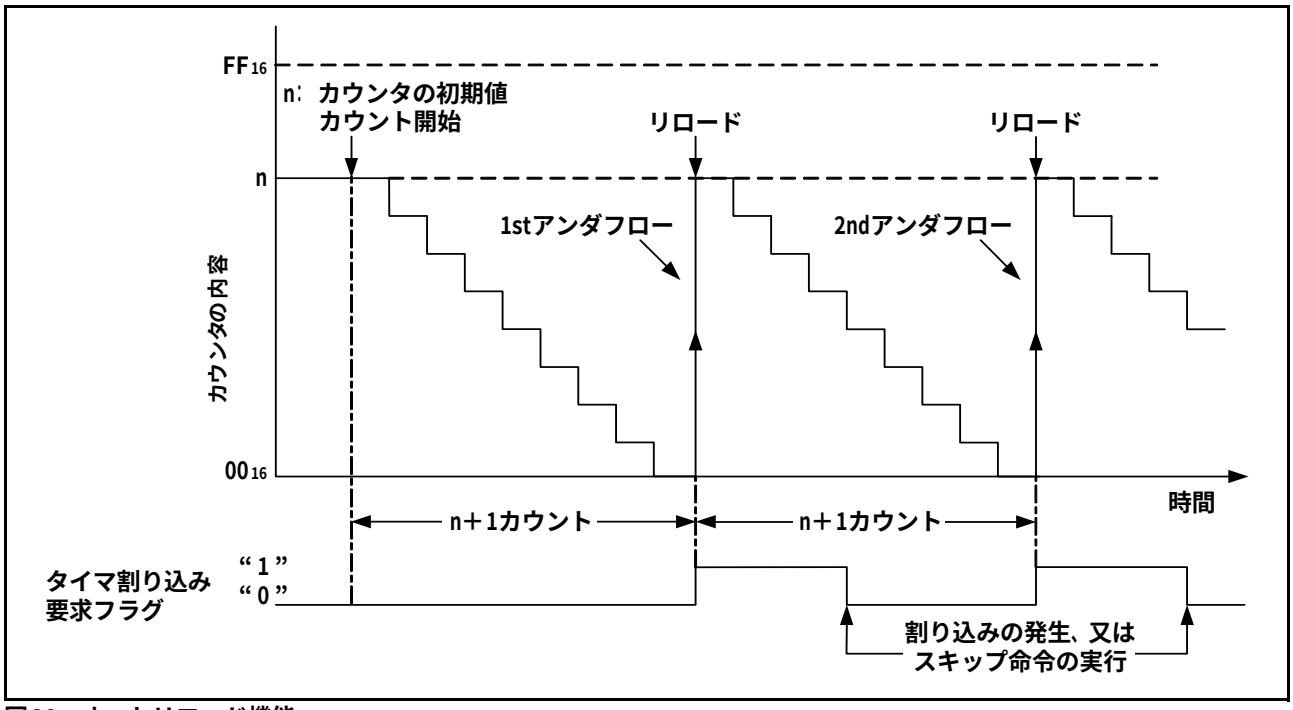


図30. オートリロード機能

本製品のタイマは以下の回路で構成されています。
- プリスケーラ：8ビットプログラマブルタイマ
- タイマ1：8ビットプログラマブルタイマ
- タイマ2：8ビットプログラマブルタイマ
- タイマ3：8ビットプログラマブルタイマ
- ウォッチドッグタイマ：16ビット固定分周タイマ
（タイマ1、2、3は割り込み機能付き）

プリスケーラ、タイマ1、2、3は、タイマ制御レジスタPA、W1、W2、W3、W5で制御できます。
ウォッチドッグタイマは、制御レジスタをもたないフリーカウンタです。

以下、各機能について説明します。

表16. タイマの機能一覧

回路名	構　成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケーラ	8ビットプログラマブルバイナリダウンカウンタ	・インストラクションクロック(INSTCK) ・インストラクションクロックの4分周信号(INSTCK/4)	1～256	・タイマ1カウントソース ・タイマ2カウントソース ・タイマ3カウントソース	PA
タイマ1	8ビットプログラマブルバイナリダウンカウンタ（INT0入力連動機能、搬送波出力自動制御機能付）	・PWM信号（PWMOUT） ・プリスケーラ出力(ORCLK) ・CNTR0入力(CNTR0IN) ・システムクロック(STCK)	1～256	・タイマ2カウントソース ・CNTR0出力 ・搬送波出力自動制御 ・タイマ1割り込み	W1 W5
タイマ2	8ビットプログラマブルバイナリダウンカウンタ	・PWM信号（PWMOUT） ・タイマ1アンダフロー (T1UDF) ・プリスケーラ出力(ORCLK) ・システムクロック(STCK)	1～256	・CNTR0出力 ・タイマ2割り込み	W2 W5
タイマ3	8ビットプログラマブルバイナリダウンカウンタ（搬送波発生機能付）	・XIN入力 ・プリスケーラ出力の2分周信号(ORCLK/2)	1～256	・タイマ1カウントソース ・タイマ2カウントソース ・CNTR1出力 ・タイマ3割り込み	W1 W3 W5
ウォッチドッグタイマ	16ビット固定分周	・インストラクションクロック(INSTCK)	65536	・システムリセット(2回カウント) ・WDF1フラグ判定	－

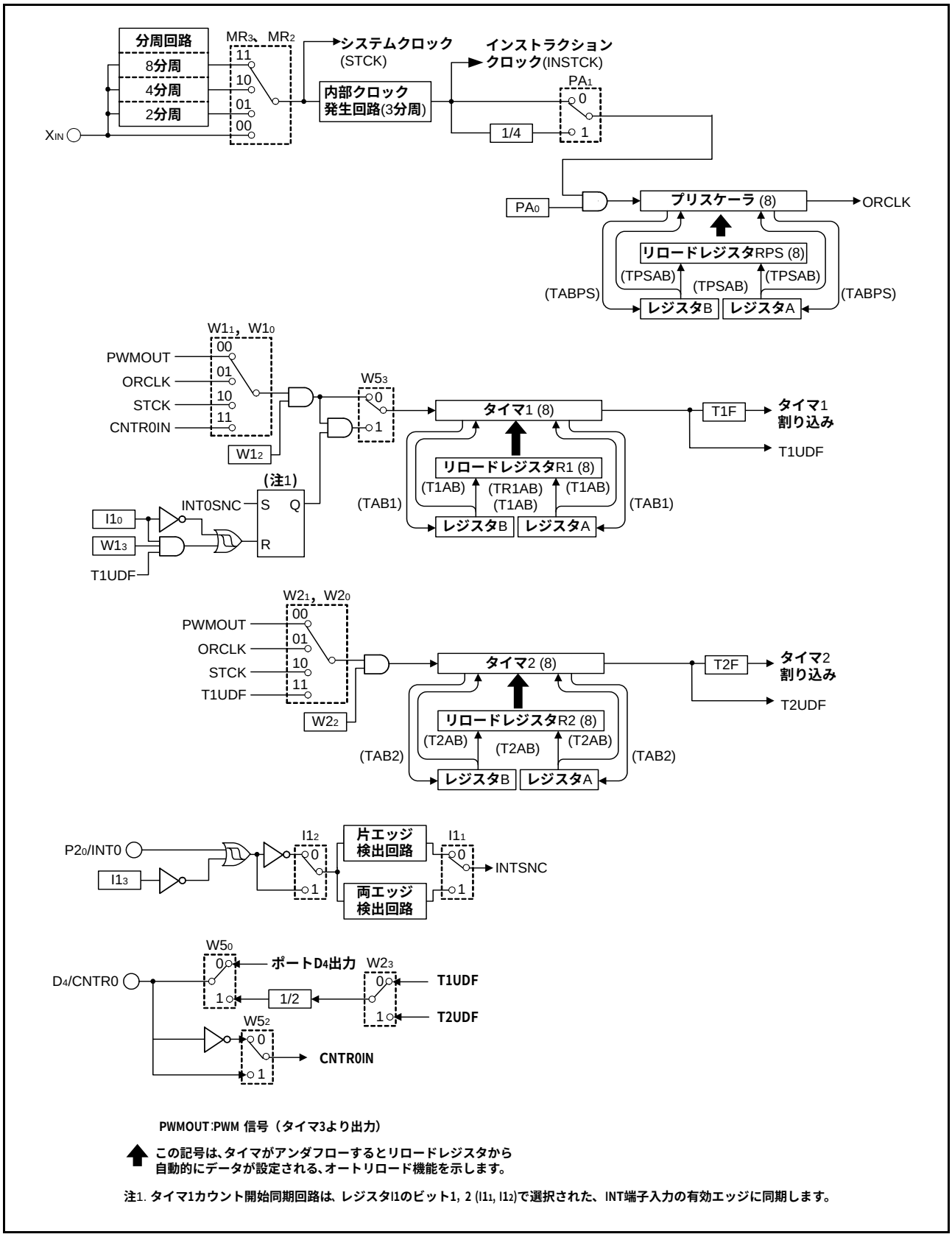
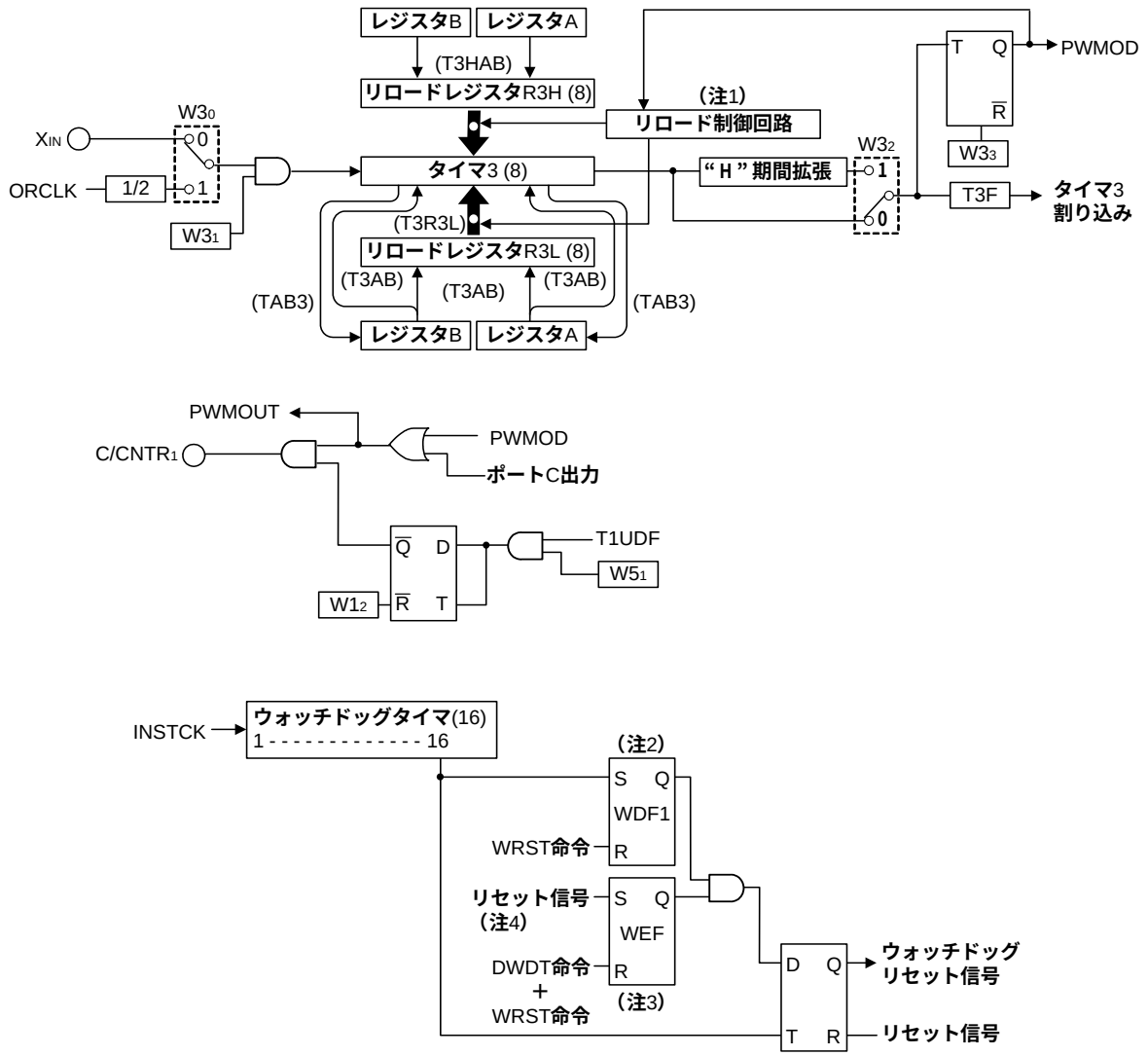

分周回路
8分周
4分周
2分周
MR3、MR2
11
10
01
00
XIN
システムクロック
(STCK)
インストラクション
クロック(INSTCK)
内部クロック
発生回路(3分周)
PA1
0
1
1/4
PA0
プリスケーラ (8)
ORCLK
リロードレジスタRPS (8)
(TPSAB)
(TPSAB)
(TPSAB)
(TABPS)
(TABPS)
レジスタB
レジスタA
W11, W10
PWMOUT
ORCLK
STCK
CNTR0IN
W12
W53
タイマ1 (8)
T1F
タイマ1
割り込み
T1UDF
リロードレジスタR1 (8)
(T1AB)
(TR1AB)
(T1AB)
(T1AB)
(TAB1)
(TAB1)
(注1)
INT0SNC
S
Q
R
I10
W13
T1UDF
W21, W20
PWMOUT
ORCLK
STCK
T1UDF
W22
タイマ2 (8)
T2F
タイマ2
割り込み
T2UDF
リロードレジスタR2 (8)
(T2AB)
(T2AB)
(T2AB)
(TAB2)
(TAB2)
P20/INT0
I13
I12
片エッジ
検出回路
両エッジ
検出回路
I11
INTSNC
W50
D4/CNTR0
ポートD4出力
W23
T1UDF
1/2
T2UDF
W52
CNTR0IN
PWMOUT:PWM 信号（タイマ3より出力）
この記号は、タイマがアンダフローするとリロードレジスタから
自動的にデータが設定される、オートリロード機能を示します。
注1. タイマ1カウント開始同期回路は、レジスタI1のビット1, 2 (I11, I12)で選択された、INT端子入力の有効エッジに同期します。

図31. タイマの構成（1）



T2UDF: タイマ2アンダフロー信号
ORCLK: プリスケーラ出力

この記号は、タイマがアンダフローするとリロードレジスタから自動的にデータが設定される、オートリロード機能を示します。

注1.CNTR1 出力を有効（W3₃＝“1”）にすると、タイマ3 アンダフローごとに、リロードレジスタR3L とR3H から交互にオートリロードします。
CNTR1 出力が無効（W3₃＝“0”）の時は、リロードレジスタR3H からはリロードされず、リロードレジスタR3L からのみリロードします。
2.フラグWDF1=“1”のときにWRST命令を実行すると、フラグWDF1をクリア(0)し、次の命令をスキップします。
フラグWDF1=“0”のときは、WRST命令はNOP命令と同等です。
3.DWDT命令とWRST命令を連続で実行すると、フラグWEFがクリア(0)され、ウォッチドッグリセットが発生しなくなります。
4.フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

図32. タイマの構成（2）

表17. タイマ制御レジスタ

タイマ制御レジスタPA		リセット時：00_2	RAMバックアップ時：00_2	W TPAA
PA_1	プリスケーラカウントソース選択ビット	0	インストラクションクロック（INSTCK）	
		1	インストラクションクロック（INSTCK）の4分周信号	
PA_0	プリスケーラ制御ビット	0	停止（状態保持）	
		1	動作	

タイマ制御レジスタW1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW1／TW1A
$W1_3$	タイマ1 カウント自動停止回路選択ビット(注2)	0	タイマ1カウント自動停止回路非選択	
		1	タイマ1カウント自動停止回路選択	
$W1_2$	タイマ1制御ビット	0	停止（状態保持）	
		1	動作	
$W1_1$ $W1_0$	タイマ1カウントソース選択ビット	$W1_1$ $W1_0$	カウントソース	
		0 0	PWM信号(PWMOUT)	
		0 1	プリスケーラ出力（ORCLK）	
		1 0	システムクロック（STCK）	
		1 1	CNTR0入力	

タイマ制御レジスタW2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW2／TW2A
$W2_3$	CNTR0端子機能選択ビット	0	タイマ1アンダフロー信号の2分周出力	
		1	タイマ2アンダフロー信号の2分周出力	
$W2_2$	タイマ2制御ビット	0	停止（状態保持）	
		1	動作	
$W2_1$ $W2_0$	タイマ2カウントソース選択ビット	$W2_1$ $W2_0$	カウントソース	
		0 0	PWM信号（PWMOUT）	
		0 1	プリスケーラ出力（ORCLK）	
		1 0	システムクロック（STCK）	
		1 1	タイマ1アンダフロー信号（T1UDF）	

タイマ制御レジスタW3		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAW3／TW3A
$W3_3$	CNTR1端子出力制御ビット	0	CNTR1端子出力無効	
		1	CNTR1端子出力有効	
$W3_2$	PWM信号 ”H”期間拡張機能制御ビット	0	PWM信号”H”期間拡張機能無効	
		1	PWM信号”H”期間拡張機能有効	
$W3_1$	タイマ3制御ビット	0	停止（状態保持）	
		1	動作	
$W3_0$	タイマ3カウントソース選択ビット	0	X_{IN}入力	
		1	プリスケーラ出力（ORCLK）の2分周信号	

タイマ制御レジスタW5		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW5／TW5A
$W5_3$	タイマ1 カウント開始同期回路選択ビット(注3)	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	
$W5_2$	CNTR0端子 入力カウントエッジ選択ビット	0	立ち下がりエッジ	
		1	立ち上がりエッジ	
$W5_1$	CNTR1端子 出力自動制御回路選択ビット	0	CNTR1端子出力自動制御回路非選択	
		1	CNTR1端子出力自動制御回路選択	
$W5_0$	D_4／CNTR0端子機能選択ビット	0	D_4入出力／CNTR0入力	
		1	D_4入力／CNTR0入出力	

注1. “R”は読み出し可、“W”は書き込み可を表します。
注2. この機能は、INT0端子タイマ1制御可能（$I1_0$ =“1”）及びタイマ1カウント開始同期回路選択（$W5_3$ =“1”）時にのみ有効です。
注3. この機能は、INT0端子タイマ1制御可能（$I1_0$ =“1”）時にのみ有効です。

1. タイマ関連の制御レジスタ

●タイマ制御レジスタPA

レジスタPAは、プリスケーラのカウントソース選択、及びカウント動作を制御します。このレジスタは、TPAA命令でレジスタAを介して設定してください。

●タイマ制御レジスタ W1

レジスタW1は、タイマ1のカウントソース選択、カウント動作、及びタイマ1カウント自動停止回路を制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

●タイマ制御レジスタ W2

レジスタW2は、タイマ2のカウントソース選択、カウント動作、及びCNTR0端子出力信号を制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

●タイマ制御レジスタ W3

レジスタW3は、タイマ3のカウントソース選択、カウント動作、CNTR1端子出力、PWM信号“H”期間拡張機能を制御します。このレジスタの内容は、TW3A命令でレジスタAを介して設定してください。またTAW3命令でレジスタW3の内容をレジスタAに転送できます。

●タイマ制御レジスタ W5

レジスタW5は、タイマ1カウント開始同期回路、CNTR0端子入力カウントエッジ、CNTR1端子出力自動制御回路、及びD4/CNTR0端子機能を制御します。このレジスタの内容はTW5A命令でレジスタAを介して設定してください。また、TAW5命令でレジスタW5の内容をレジスタAに転送できます。

2. プリスケーラ

プリスケーラは8ビットのバイナリカウンタで、プリスケーラリロードレジスタRPSをもっています。プリスケーラとリロードレジスタRPSには、TPSAB命令で同時にデータを設定できます。プリスケーラからはTABPS命令でデータを読み出すことができます。

プリスケーラデータの設定または読み出しを行う場合は、カウントを停止させた後にTPSAB命令またはTABPS命令を実行してください。

プリスケーラにデータを設定した後レジスタPAのビット0を“1”にセットすると、プリスケーラはカウント動作を開始します。

リロードレジスタRPSの設定値をnとすると、プリスケーラはカウントソースの信号をn＋1分周します（n＝0～255）。プリスケーラのカウントソースはインストラクションクロック（INSTCK）又はインストラクションクロックの4分周信号のいずれかを選択可能です。

カウント開始後、プリスケーラはアンダフローする（プリスケーラの内容が“0”になった後、次のカウントパルスが入力される）と、新たにリロードレジスタRPSからデータをリロードしてカウントを続行します（オートリロード機能）。プリスケーラの出力信号（ORCLK）は、タイマ1、2のカウントソースに使用できます。

3. タイマ1（割り込み機能付き）

タイマ1は8ビットのバイナリカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。リロードレジスタR1にはTR1AB命令でデータを設定することができます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウントを停止させた後にT1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1にデータを設定する場合は、アンダフローと重ならないタイミングでTR1AB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0，1でカウントソースを設定し、レジスタW1のビット2を“1”にセットすると、タイマ1はカウント動作を開始します。

リロードレジスタR1の設定値をnとすると、タイマ1はカウントソースの信号をn＋1分周します（n＝0～255）。

カウント開始後、タイマ1はアンダフローする（タイマ1の内容が“0”になった後、次のカウントパルスが入力される）と、タイマ1割り込み要求フラグ（T1F）を“1”にセットし、新たにリロードレジスタR1からデータをリロードしてカウントを続行します（オートリロード機能）。

レジスタI1のビット0を“1”にセットしてINT0端子によるタイマ1制御を可能状態にし、レジスタW5のビット3を“1”にセットすると、INT0端子の入力をタイマ1カウント動作の開始トリガに使用できます。また、この時レジスタW1のビット3を“1”にセットすると、タイマ1アンダフローによる自動停止が行えます。

レジスタW5のビット0を“1”にセットし、レジスタW2のビット3を“0”にセットすると、タイマ1アンダフロー信号の2分周信号をCNTR0端子から出力できます。

4. タイマ2（割り込み機能付き）

タイマ2は8ビットのバイナリカウンタで、タイマ2リロードレジスタR2をもっています。タイマ2とリロードレジスタR2には、T1AB命令で同時にデータを設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウントを停止させた後にT2AB命令またはTAB2命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0，1でカウントソースを設定し、レジスタW2のビット2を“1”にセットすると、タイマ2はカウント動作を開始します。

リロードレジスタR2の設定値をnとすると、タイマ2はカウントソースの信号をn＋1分周します（n＝0～255）。

カウント開始後、タイマ2はアンダフローする（タイマ2の内容が“0”になった後、次のカウントパルスが入力される）と、タイマ2割り込み要求フラグ（T2F）を“1”にセットし、新たにリロードレジスタR2からデータをリロードしてカウントを続行します（オートリロード機能）。

レジスタW5のビット0を“1”にセットし、レジスタW2のビット3を“1”にセットすると、タイマ2アンダフロー信号の2分周信号をCNTR0端子から出力できます。

5. タイマ3（割り込み機能付き）

タイマ3は8ビットのバイナリカウンタで、2つのタイマ3リロードレジスタR3L，R3Hをもっています。タイマ3とリロードレジスタR3Lには、T3AB命令で同時にデータを設定できます。リロードレジスタR3HにはT3HAB命令でデータを設定することができます。T3AB命令で設定したリロードレジスタR3Lの内容は、T3R3L命令でタイマ3に再設定できます。タイマ3からはTAB3命令でデータを読み出すことができます。

タイマ3データの設定または読み出しを行う場合は、カウントを停止させた後にT3AB命令またはTAB3命令を実行してください。

タイマ3動作中にリロードレジスタR3Hにデータを設定する場合は、アンダフローと重ならないタイミングでT3HAB命令を実行してください。

タイマ3にデータを設定した後、レジスタW3のビット0でカウントソースを設定し、レジスタW3のビット1を“1”にセットすると、タイマ3はカウント動作を開始します。リロードレジスタR3Lの設定値をn、R3Hの設定値をmとすると、タイマ3はカウントソースの信号をn＋1またはm＋1分周します（n＝0～255，m＝0～255）。

レジスタW3のビット3が“0”の場合、カウント開始後、タイマ3はアンダフローする（タイマ3の内容が“0”になった後、次のカウントパルスが入力される）と、タイマ3割り込み要求フラグ（T3F）を“1”にセットし、新たにリロードレジスタR3Lからデータをリロードしてカウントを続行します（オートリロード機能）。

レジスタW3のビット3が“1”の場合、タイマ3は、リロードレジスタR3Lに設定した期間“L”、リロードレジスタR3Hに設定した期間“H”のPWM信号（PWMOD）を生成してCNTR1端子に出力します。

この時レジスタW3のビット2が“1”に設定されていると、タイマ3はリロードレジスタR3Hに設定した期間を、カウントソースの半周期分拡張します。リロードレジスタR3Hの設定値をmとすると、タイマ3はカウントソースの信号をm＋1.5分周することになります（m＝1～255）。この機能を使用する場合は、リロードレジスタR3Hに“1”以上の値を設定してください。

レジスタW5のビット1を“1”にセットすると、タイマ1のアンダフローごとにCNTR1端子へのPWM信号出力の有効／無効が交互に繰り返されます。ただし、タイマ1を停止するとこの機能は解除されます。

PWM信号が“H”の期間にレジスタW3のビット1を“0”にクリアした場合でも、タイマ3は次にアンダフローするまで停止しません。

PWM出力機能使用時にタイマ3を停止させる場合、レジスタW3のビット1を“0”にクリアするタイミングがタイマ3アンダフローと重なると、CNTR1端子出力波形にハザードが発生することがあります。

6. カウント開始同期回路（タイマ1）

タイマ1は、INT0端子の入力に同期してタイマカウント動作開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0を“1”にセットしてINT0端子によるタイマ1制御を可能状態にし、レジスタW5のビット3を“1”にセットすると機能が選択されて、INT0端子の入力による制御が可能になります。

タイマ1のカウント開始同期回路を使用している場合、INT0端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT0端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1のビット0を“0”にクリアするか、システムリセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合は、タイマ1がアンダフローするとカウント開始同期回路がクリアされます（自動停止）。

7. カウント自動停止回路（タイマ1）

タイマ1はカウント開始同期回路を使用しているときに、タイマ1アンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW1のビット3を“1”にセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

8. タイマ入出力端子（D4/CNTR0）

CNTR0端子は、タイマ1のカウントソース入力機能と、タイマ1又はタイマ2のアンダフロー信号の2分周信号の出力機能をもちます。

レジスタW5のビット0でD4/CNTR0端子機能選択を、レジスタW2のビット3で出力信号選択を制御できます。

タイマ1のカウントソースとしてCNTR0入力を選択した場合、タイマ1はCNTR0入力の立ち下がり、あるいは立ち上がり波形をカウントします。カウントエッジの選択はレジスタW5のビット2で行います。

9. PWM信号出力機能（C/CNTR1，タイマ1，タイマ3）

C/CNTR1端子は、タイマ3で生成されるPWM信号の出力機能をもちます。

レジスタW3のビット3を“1”にセットするとPWM信号をC/CNTR端子より出力することができます。この場合、ポートCの出力ラッチは“0”に設定してください。

10.タイマ割り込み要求フラグ（T1F，T2F，T3F）

タイマ割り込み要求フラグは、各タイマのアンダフロー時に“1”にセットされます。これらのフラグの状態は、スキップ命令（SNZT1，SNZT2，SNZT3）の実行により確認できます。

割り込みとスキップ命令のどちらを使用するかは、レジスタV1，V2で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

11.注意事項

タイマを使用する場合は以下の点に注意してください。

●プリスケーラに関する注意

プリスケーラからデータを読み出す場合は、まずプリスケーラのカウントを停止させた後、データ読み出し命令（TABPS）を実行してください。

プリスケーラにデータを書き込む場合は、まずプリスケーラのカウントを停止させた後、データ書き込み命令（TPSAB）を実行してください。

プリスケーラのカウントソースを切り替える場合は、まずプリスケーラのカウントを停止させた後、カウントソースを切り替えてください。

●カウントソースに関する注意

タイマ1，2，3のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

●カウント値の読み出しに関する注意

タイマ1，2，3からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令（TAB1，TAB2，TAB3）を実行してください。

●タイマへのデータ書き込みに関する注意

タイマ1，2，3にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令（T1AB，T2AB，T3AB，T3R3L）を実行してください。

●リロードレジスタへのデータ書き込みに関する注意

タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータ書き込み命令（TR1AB）を実行してください。

タイマ3動作中にリロードレジスタR3Hにデータを書き込む場合は、必ずタイマ3アンダフローと重ならないタイミングでデータ書き込み命令（T3HAB）を実行してください。

●PWM信号に関する注意

PWM信号出力時に、タイマ3カウント停止タイミングとタイマ3アンダフロータイミングが重なった場合、PWM出力波形にハザードが発生することがあります。

PWM信号の“H”期間拡張機能を使用している場合は、リロードレジスタR3Hに“1”以上の値を設定してください。

PWM信号をC/CNTR1端子より出力する場合は、ポートCの出力ラッチを“0”に設定してください。

●プリスケーラ、タイマ1、2、3のカウント開始タイミングと動作開始時のカウント時間に関する注意

プリスケーラ、タイマは動作開始（図33①）後、カウントソースの最初の立ち上がり（図33②）からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間（図33③）は、以降のアンダフロー間の時間（図33④）より短く（最大でカウントソースの一周期分）なります。

なお、タイマ1のカウントソースにCNTR0入力を選択した場合、タイマ1はソフトウェアにより選択されるCNTR0入力カウントエッジ（立ち下がりエッジまたは立ち上がりエッジ）に同期して動作します。

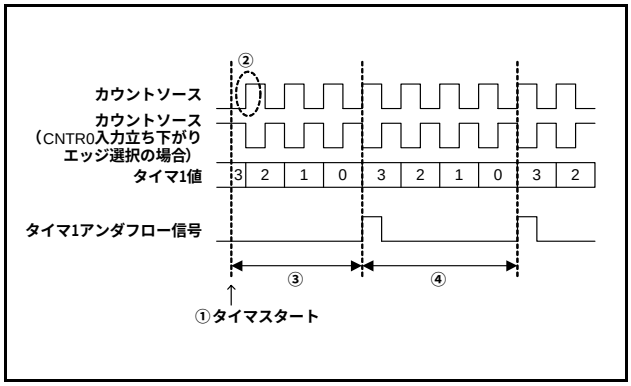
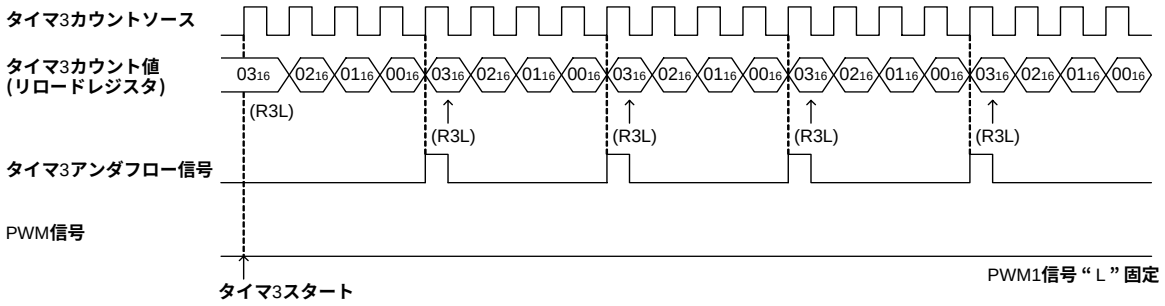
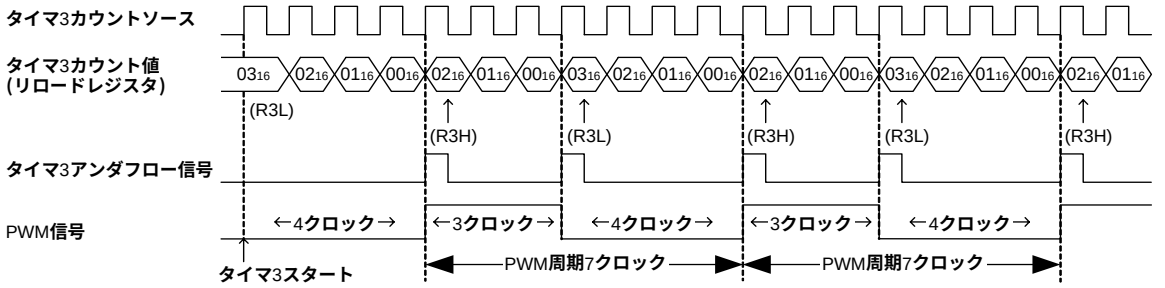


図33. タイマカウント開始タイミングと動作開始時のカウント時間

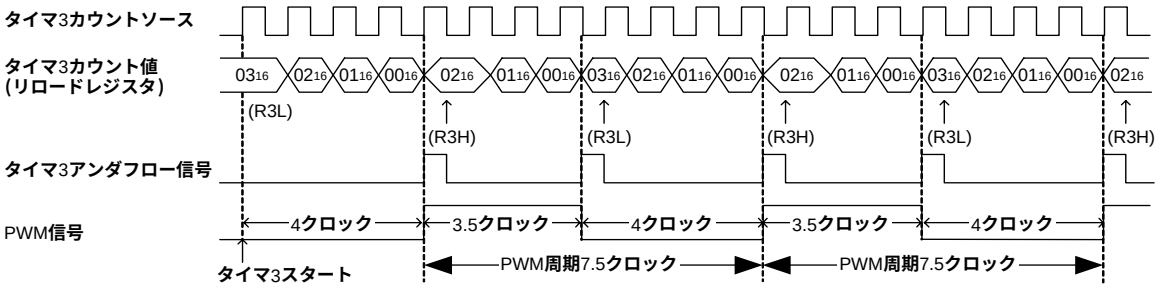
●CNTR1端子出力無効 (W3$_3$ = “ 0 ”)時



●CNTR1端子出力有効 (W3$_3$ = “ 1 ”)、PWM信号 “ H ” 期間拡張機能無効 (W3$_2$ = “ 0 ”)時



●CNTR1端子出力有効 (W3$_3$ = “ 1 ”)、PWM信号 “ H ” 期間拡張機能有効 (W3$_2$ = “ 1 ”)時 (注)

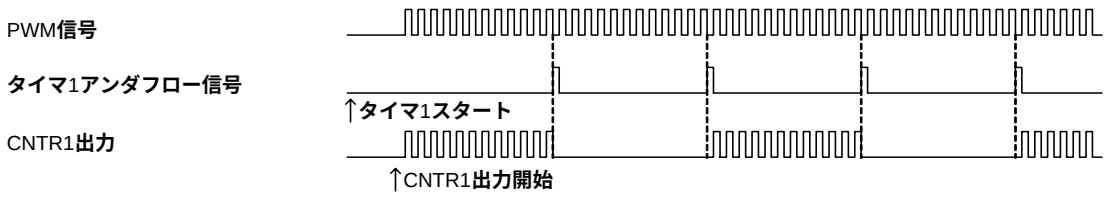


※リロードレジスタR3Lに “ 03$_{16}$ ”、リロードレジスタR3Hに “ 02$_{16}$ ” を設定した場合。

注．PWM信号 “ H ” 期間拡張機能有効時は、リロードレジスタR3Hに “ 1 ” 以上の値を設定してください。

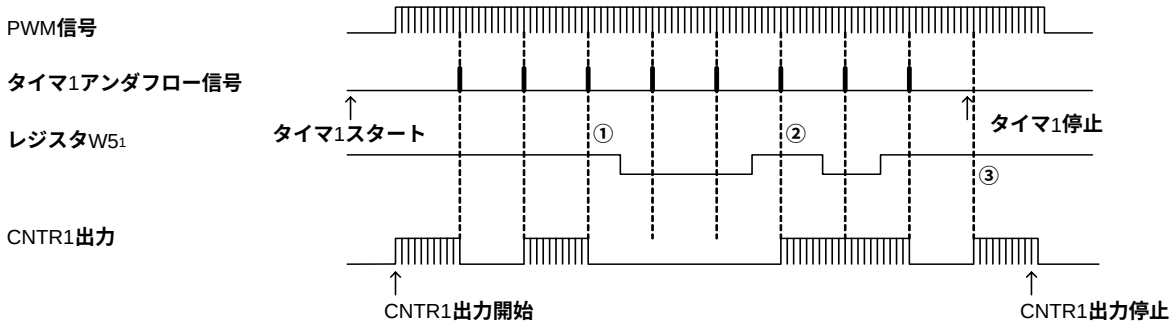
図34. タイマ3動作例

●CNTR1出力自動制御回路動作例1 (W3$_3$ = “ 1 ”、W5$_1$ = “ 1 ”)



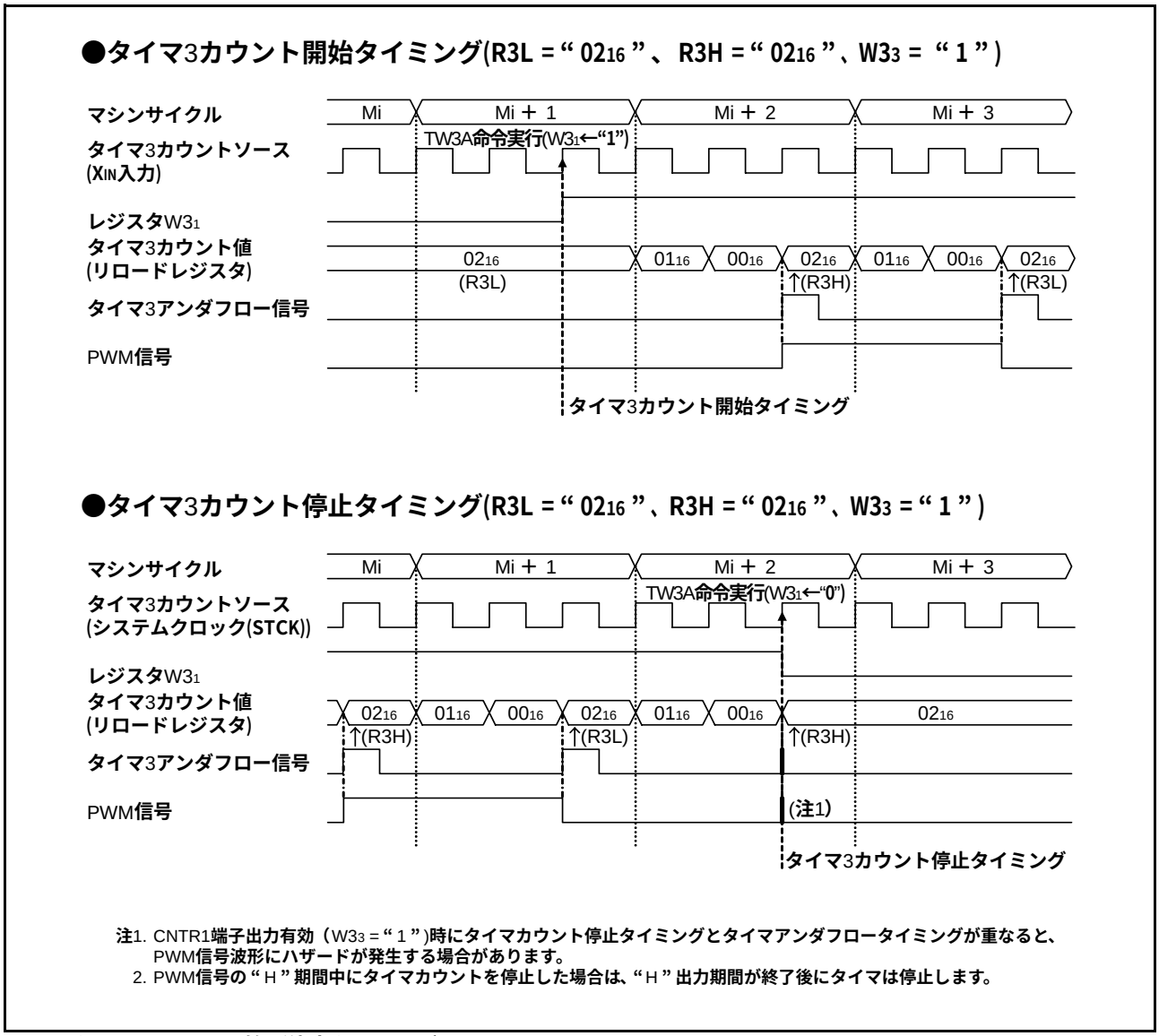
※CNTR1出力自動制御回路を選択すると、タイマ1のアンダフローごとにCNTR1出力の有効／無効が繰り返されます。

●CNTR1出力自動制御回路動作例2 (W3$_3$ = “ 1 ”、W5$_1$ = “ 1 ”)



①CNTR1出力無効時にCNTR1出力自動制御機能を非選択にすると、CNTR1出力無効状態を保持します。
②CNTR1出力有効時にCNTR1出力自動制御機能を非選択にすると、CNTR1出力有効状態を保持します。
③タイマ1を停止すると、CNTR1 出力自動制御機能は無効になります。

図35. タイマ1によるCNTR1出力自動制御機能



注1. CNTR1端子出力有効（W3₃ = “ 1 ”)時にタイマカウント停止タイミングとタイマアンダフロータイミングが重なると、PWM信号波形にハザードが発生する場合があります。
2. PWM信号の “ H ” 期間中にタイマカウントを停止した場合は、“ H ” 出力期間が終了後にタイマは停止します。

図36. タイマカウント開始／停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1、WDF2)により構成されています。

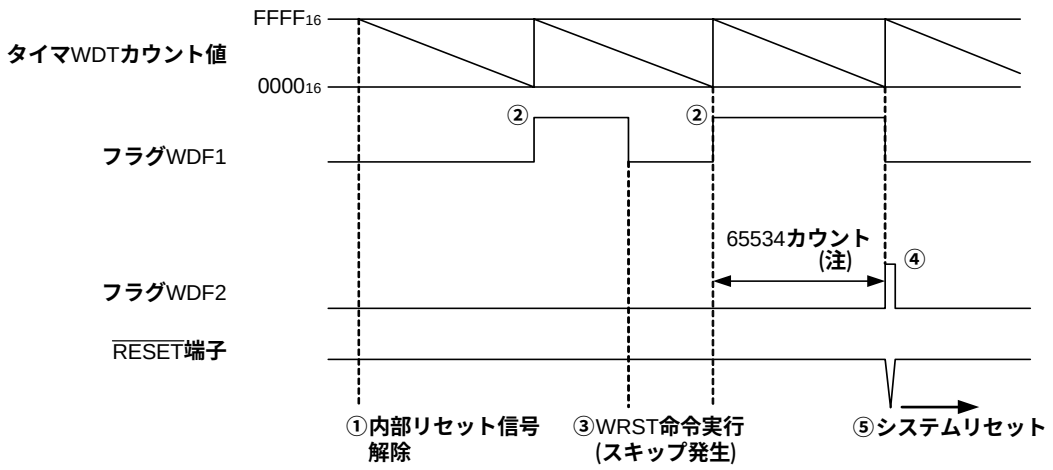
タイマWDTは、リセット解除直後に“FFFF16”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力される)と、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットし、$\overline{\text{RESET}}$端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後はフラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWDT命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、マイクロコンピュータのリセット時、及びRAMバックアップモード時に初期化されて“1”になります。

WRST命令にはスキップ機能があり、フラグWDF1の内容が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。



①リセット解除後(プログラムスタート後)、タイマWDTはダウンカウントを開始します。
②タイマWDTがアンダフローすると、フラグWDF1が“1”にセットされます。
③フラグWDF1が“1”のときにWRST命令を実行すると、フラグWDF1は“0”にクリアされ、次の命令をスキップします。
④フラグWDF1が“1”のときにタイマWDTがアンダフローするとフラグWDF2が“1”にセットされ、
ウォッチドッグリセット信号を出力します。
⑤ウォッチドッグリセット信号により、$\overline{\text{RESET}}$端子の出力トランジスタが“ON”し、システムリセットを発生します。

注.タイマWDTのカウントソースはインストラクションクロックのため、カウント数はマシンサイクル数と同じです。

図37. ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合は、WRST命令によりフラグWDF1を65534マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行してください（図38参照）。DWDT命令のみではウォッチドッグタイマ機能は停止しません。

RAMバックアップ時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドックタイマ機能とRAMバックアップを併用する場合は、RAMバックアップモードに移行する前にWRST命令を実行してフラグWDF1を初期化してください。

また、WRST命令によるスキップが発生する場合を考慮し、WRST命令の後にNOP命令を挿入してください(図39参照)。

```
    ：
    ：
WRST   ；フラグWDF1クリア
    ：
    ：
DI
DWDT   ；ウォッチドッグタイマ機能禁止許可
WRST   ；フラグWEF、WDF1クリア
    ：
    ：
```

図38. ウォッチドッグタイマ使用時、停止の時のプログラム例

```
    ：
    ：
    ：
    ：
WRST   ；フラグWDF1クリア
NOP
DI     ；割り込み禁止
EPOF   ；POF命令許可
POF    ；RAMバックアップ
  ↓
発振停止
```

図39. ウォッチドッグタイマ使用時のプログラム例

リセット機能

本製品は、以下の操作又は機能により、システムリセットが実行されます。

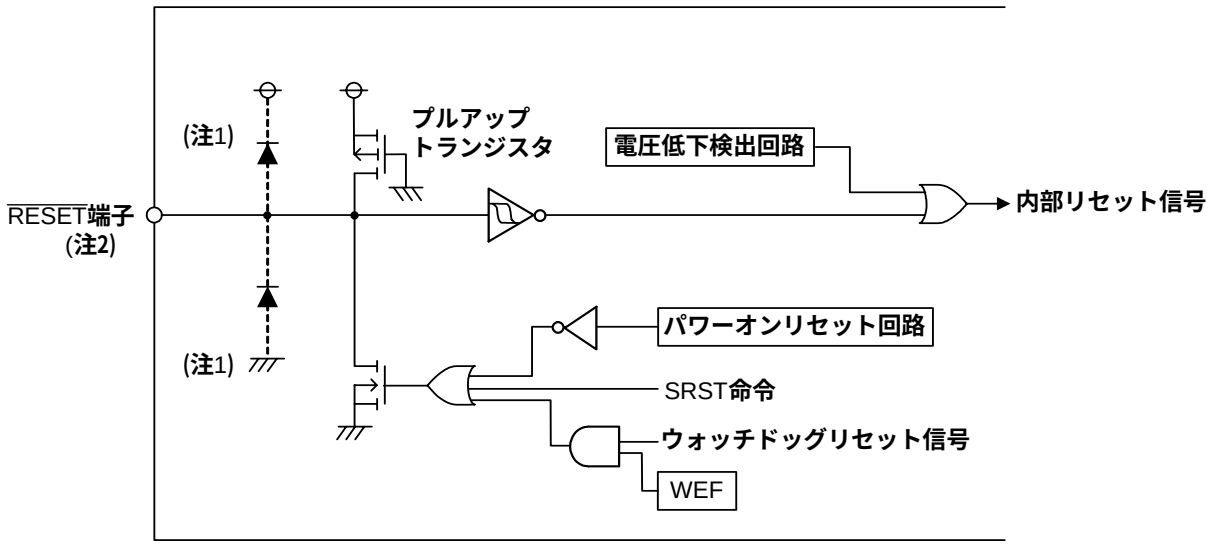
- 外部よりRESET端子に“L”レベルを印加
- システムリセット命令（SRST命令）の実行
- ウォッチドッグタイマによるリセット発生
- 内蔵パワーオンリセット回路によるリセット発生
- 電圧低下検出回路によるリセット発生

システムリセットが解除された後、0ページの0番地からソフトウェアが開始されます。

1. RESET端子入力

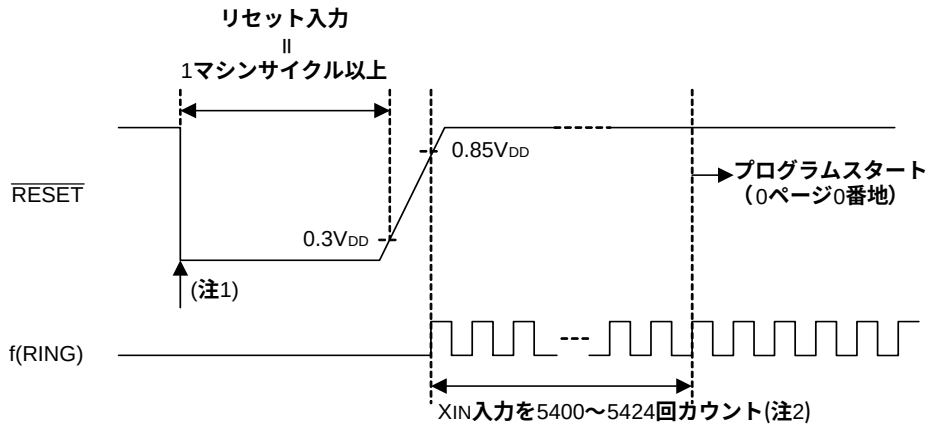
本製品のRESET端子に“L”レベルを印加すると、マイクロコンピュータがいかなる状態であっても、システムリセットが実行されます。

RESET端子への“L”レベルの印加は、電源電圧が推奨動作条件の最小規格値以上で、1マシンサイクル以上の期間必要です。



注1. --|◀----は寄生ダイオードです。電流は流せません。
2. RESET端子への印加電圧はV_{DD}を超えないようにしてください。

図40. RESET端子周辺の構成



注1. 電源電圧が推奨動作条件の最小規格値以上に達している必要があります。
2. リセット時の内部状態によって異なります。

図41. RESET端子の入力波形とリセット解除のタイミング

2. パワーオンリセット

本製品は、電源投入時に自動リセット（パワーオンリセット）をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100μS以下に設定してください。

立ち上がり時間が100μsを超える場合には、$\overline{\text{RESET}}$端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまで$\overline{\text{RESET}}$端子に“L”レベルが入力されるようにしてください。

3. システムリセット命令（$\overline{\text{SRST}}$命令）

SRST命令を実行すると$\overline{\text{RESET}}$端子に“L”レベルを出力し、システムリセットが実行されます。

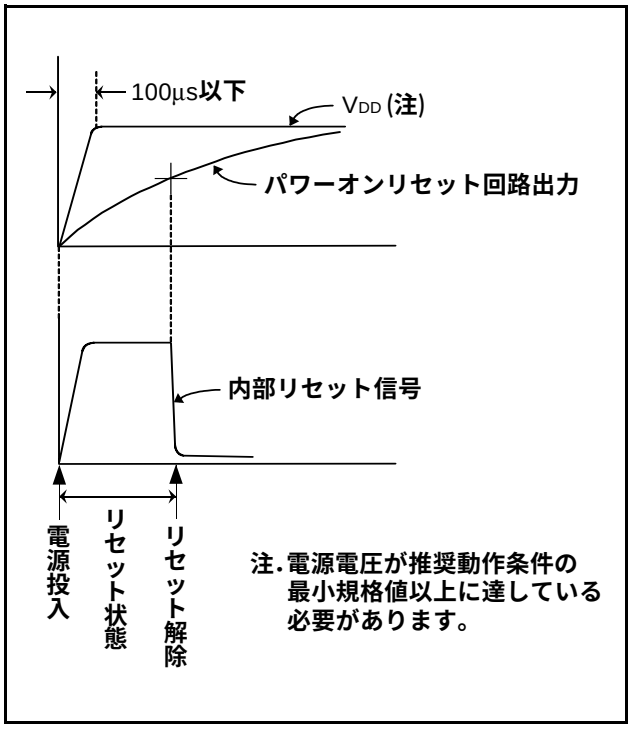


図42. パワーオンリセット動作

表18. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D_0〜D_3	D_0〜D_3	ハイインピーダンス状態 （注1、注2）
D_4/CNTR0	D_4	ハイインピーダンス状態 （注1）
$P0_0$〜$P0_3$	$P0_0$〜$P0_3$	ハイインピーダンス状態 （注1、注3）
$P1_0$〜$P1_3$	$P1_0$〜$P1_3$	ハイインピーダンス状態 （注1、注3）
$P2_0$/INT0、$P2_1$/INT1	$P2_0$、$P2_1$	ハイインピーダンス状態 （注1、注3）
$P3_0$、$P3_1$	$P3_0$、$P3_1$	ハイインピーダンス状態 （注1、注2）
C/CNTR1	C/CNTR1	“L”（V_{SS}）レベル
K	K	ハイインピーダンス状態

注1. 出力ラッチは“1”にセットされます。
注2. 出力形式は、Nチャネルオープンドレインになります。
注3. プルアップトランジスタは、OFFします。

4. リセット時の内部状態

以下にリセット時の内部状態を示します（リセット解除直後も同状態です）。図43以外のタイマ、レジスタ、フラグ、ＲＡＭなどの内容は不定になるため、初期設定が必要です。

●プログラムカウンタ (PC) 0ページの0番地がセットされます。	0 0 0 0 0 0 0 0 0 0 0 0 0 0	
●割り込み許可フラグ (INTE)	0	(割り込み禁止)
●パワーダウンフラグ (P)	0	
●外部0割り込み要求フラグ (EXF0)	0	
●外部1割り込み要求フラグ (EXF1)	0	
●割り込み制御レジスタ V1	0 0 0 0	(割り込み禁止)
●割り込み制御レジスタ V2	0 0 0 0	(割り込み禁止)
●割り込み制御レジスタ I1	0 0 0 0	
●割り込み制御レジスタ I2	0 0 0 0	
●タイマ1割り込み要求フラグ (T1F)	0	
●タイマ2割り込み要求フラグ (T2F)	0	
●タイマ3割り込み要求フラグ (T3F)	0	
●ウォッチドッグタイマフラグ (WDF1、WDF2)	0	
●ウォッチドッグタイマイネーブルフラグ (WEF)	1	
●タイマ制御レジスタ PA	0	(プリスケーラ停止)
●タイマ制御レジスタ W1	0 0 0 0	(タイマ1停止)
●タイマ制御レジスタ W2	0 0 0 0	(タイマ2停止)
●タイマ制御レジスタ W3	0 0 0 0	(タイマ3停止)
●タイマ制御レジスタ W5	0 0 0 0	
●クロック制御レジスタ MR	1 1 1 1	
●キーオンウェイクアップ制御レジスタ K0	0 0 0 0	
●キーオンウェイクアップ制御レジスタ K1	0 0 0 0	
●キーオンウェイクアップ制御レジスタ K2	0 0 0 0	
●キーオンウェイクアップ制御レジスタ L1	0 0 0 0	
●プルアップ制御レジスタ PU0	0 0 0 0	
●プルアップ制御レジスタ PU1	0 0 0 0	
●プルアップ制御レジスタ PU2	0 0 0 0	
●ポート出力形式制御レジスタ FR0	0 0 0 0	
●ポート出力形式制御レジスタ FR1	0 0 0 0	
●キャリフラグ (CY)	0	
●レジスタ A	0 0 0 0	
●レジスタ B	0 0 0 0	
●レジスタ D	× × ×	
●レジスタ E	× × × × × × × ×	
●レジスタ X	0 0 0 0	
●レジスタ Y	0 0 0 0	
●レジスタ Z	× ×	
●スタックポインタ (SP)	1 1 1	

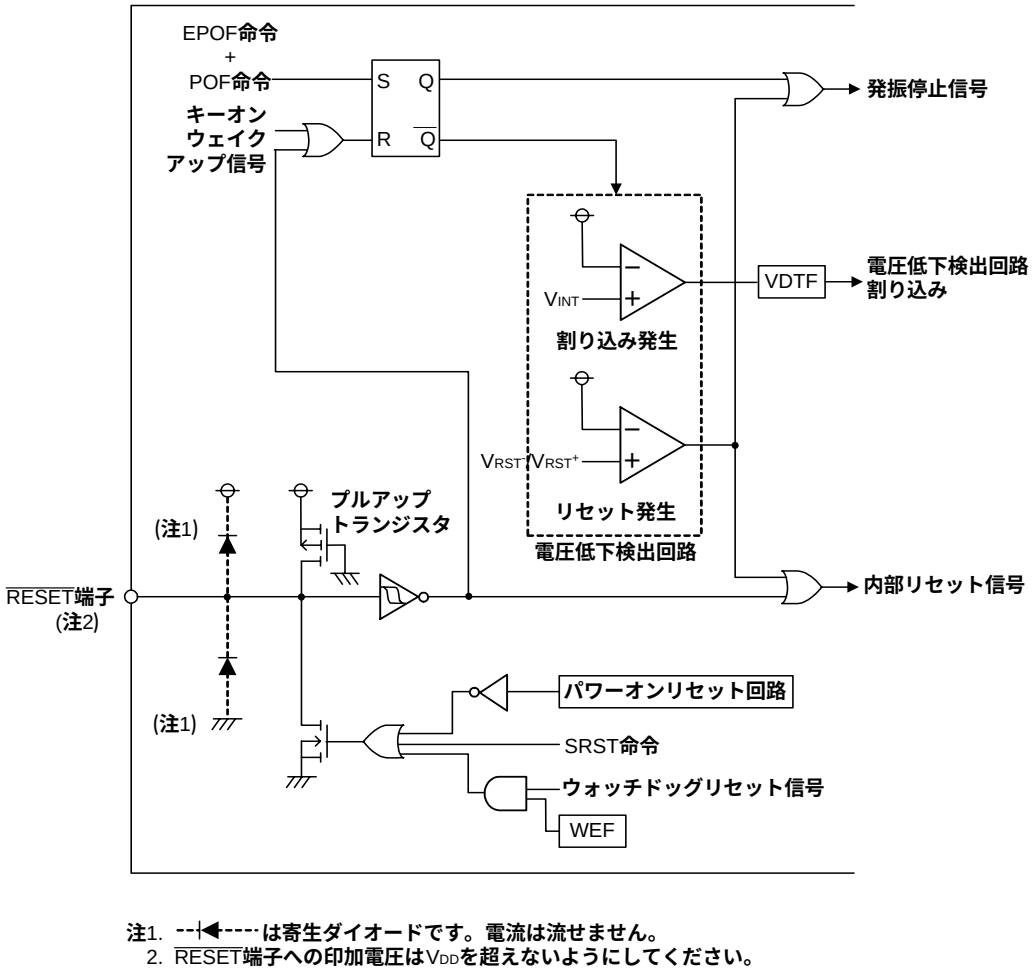
“×”は不定を表します。

図43. リセット時の内部状態

電圧低下検出回路（割り込み機能付き）

本製品は、電源電圧の低下を検出して、電圧低下検出回路割り込み要求フラグ（VDF）のセット（1）、及びシステムリセットを実行する電圧低下検出回路をもっています。

RAM バックアップモード時は、電圧低下検出回路は停止状態です。



注1. --|◀---- は寄生ダイオードです。電流は流せません。
2. RESET端子への印加電圧はV_{DD}を超えないようにしてください。

図44. 電圧低下検出回路

1. 電圧低下検出回路割り込み要求フラグ（VDF）

電源電圧がある一定値（V_{INT}）以下になると、電圧低下検出回路割り込み要求フラグ（VDF）が“1”にセットされます。また電源電圧がある一定値（V_{INT}）以上になると、電圧低下検出回路割り込み要求フラグ（VDF）が“0”にクリアされます。

割り込み要求フラグの状態は、スキップ命令（SNZVD）の実行により確認できます。

割り込みとスキップ命令のどちらを使用するかは、レジスタV2で選択してください。

電圧低下検出回路割り込み要求フラグは、他の割り込み要求フラグと異なり、割り込みが発生したとき、又はスキップ命令を実行したときでも“0”にクリアされません。

2. 電圧低下検出回路リセット

電源電圧がある一定値（V_{RST-}）以下になると、システムリセットが実行されます（$\overline{RESET}$端子に“L”レベルは出力されません）。但し通常のシステムリセットとは異なり、発振回路は停止状態になります。

電源電圧がある一定値（V_{RST+}）以上になると、発振回路が動作状態になり、システムリセットは解除されます。

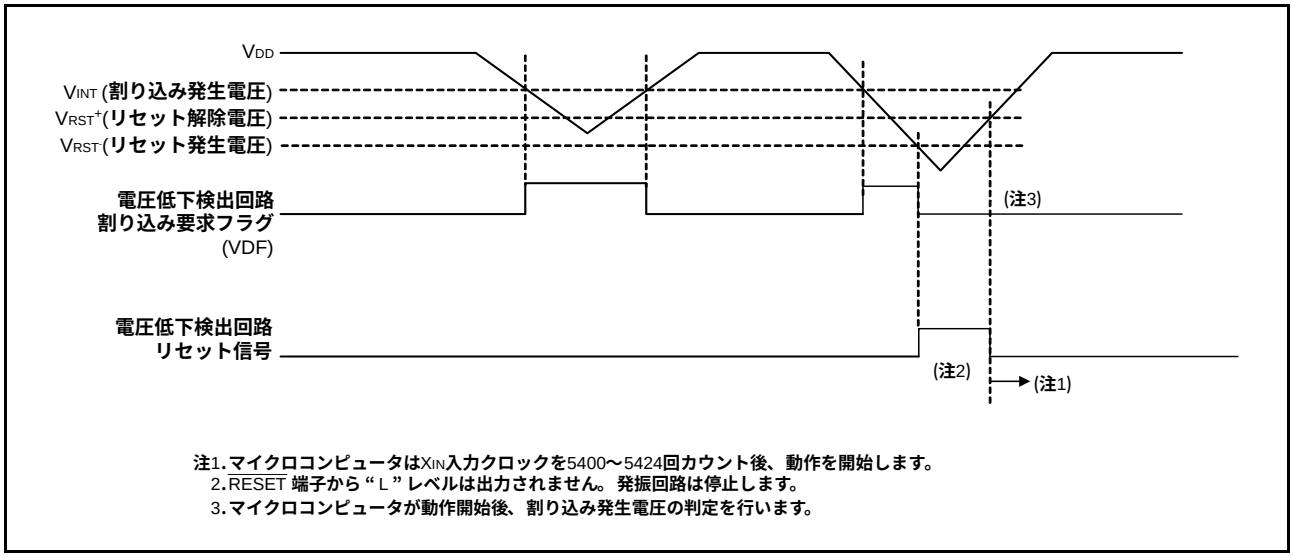


図45. 電圧低下検出回路動作波形

3. 電圧低下検出回路の注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がリセット発生電圧（V_{RST-}）以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります（図46）。

このような場合は、電源電圧を一旦リセット発生電圧（V_{RST-}）以下まで低下させ、その後再上昇するようなシステム設計をしてください。

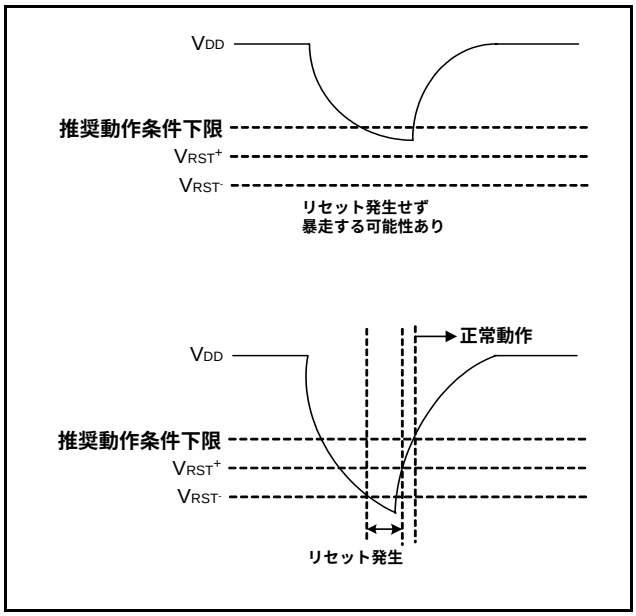


図46. V_{DD}とV_{RST-}

RAMバックアップモード

本製品は、RAMバックアップモードをもち、EPOF命令とPOF命令を連続して実行することにより、RAMバックアップ状態になります。

POF命令実行直前にEPOF命令が実行されない場合、POF命令はNOP命令と同等になります。

RAMバックアップ時には、RAM、リセット回路の機能及び状態を保持したまま発振を停止するので、RAMのデータが失われることなく消費電流を低減できます。

表19にRAMバックアップ時の内部状態、図47に状態遷移図を示します。

1. コールドスタートとウォームスタートの識別

ウォームスタート（RAMバックアップ状態からの復帰）とコールドスタート（通常のリセット状態からの復帰）とのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで行うことができます。

2. ウォームスタート条件

EPOF命令とPOF命令を連続して実行し、RAMバックアップ状態となった後、外部ウェイクアップ信号が入力されると、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“1”です。

3. コールドスタート条件

- 外部よりRESET端子に“L”レベルを印加
- システムリセット命令（SRST命令）の実行
- ウォッチドッグタイマによるリセットが発生
- 内蔵パワーオンリセット回路によるリセット発生
- 電圧低下検出回路によるリセット発生

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“0”です。

表19. RAMバックアップ時に保持される機能と状態

機　　能	RAM バックアップ
プログラムカウンタ(PC) スタックポインタ(SP)(注2) キャリフラグ(CY) レジスタA、B	×
RAMの内容	○
割り込み制御レジスタ V1、V2	×
割り込み制御レジスタ I1、I2	○
クロック制御レジスタ MR	×
タイマ1、2、3機能	(注3)
ウォッチドッグタイマ機能	×(注4)
タイマ制御レジスタPA、W3	×
タイマ制御レジスタ W1、W2、W5	○
電圧低下検出回路	(注5)
ポートのレベル	(注6)
キーオンウェイクアップ制御レジスタ K0～K2、L1	○
プルアップ制御レジスタ PU0～PU2	○
ポート出力形式制御レジスタ FR0、FR1	○
外部割り込み要求フラグ(EXF0、EXF1)	×
タイマ割り込み要求フラグ(T1F、T2F、T3F)	(注3)
電圧低下検出回路割り込み要求フラグ（VDF）	×
割り込み許可フラグ(INTE)	×
ウォッチドッグタイマフラグ(WDF1、WDF2)	×(注4)
ウォッチドッグタイマイネーブルフラグ(WEF)	×(注4)

注1. 表中、“○”は保持可能“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。
注2. スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には“7”に初期化されます。
注3. タイマの状態は不定になります。
注4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、RAMバックアップ状態にしてください。
注5. 電圧低下検出回路は無効状態になります。
注6. C/CNTR1端子は“L”レベルを出力します。その他のポートは出力レベルを保持します。

4. 復帰信号

RAMバックアップモードからの復帰は、発振が停止しているので外部ウェイクアップ信号で行います。表20に復帰要因ごとに復帰条件を示します。

5. キーオンウェイクアップ関連レジスタ

●キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタ K2

レジスタK2は、ポートK、P2のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

●キーオンウェイクアップ制御レジスタL1

レジスタL1は、INT0端子のキーオンウェイクアップ機能、復帰条件選択、INT1端子のキーオンウェイクアップ機能、復帰条件選択を制御します。

このレジスタの内容は、TL1A命令でレジスタAを介して設定してください。また、TAL1命令でレジスタL1の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

●プルアップ制御レジスタ PU2

レジスタPU2は、ポートP2のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU2A命令でレジスタAを介して設定してください。また、TAPU2命令でレジスタPU2の内容をレジスタAに転送できます。

●割り込み制御レジスタ I1

レジスタI1は、INT0端子の入力制御、有効波形／レベル選択を制御します。

このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表20. 復帰要因と復帰条件

復帰要因		復帰条件	備　考
外部ウェイクアップ信号	ポートP0$_0$～P0$_3$ ポートP1$_0$～P1$_3$ ポートP2$_0$、P2$_1$ ポートK	外部からの立ち下がりエッジ（“H”→“L”）入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。RAMバックアップ状態に遷移する前に、キーオンウェイクアップを使用するポートを“H”レベルにしてください。
	INT端子	外部からの“L”レベルあるいは“H”レベル入力、又は立ち下がりエッジ（“H”→“L”）あるいは立ち上がりエッジ（“L”→“H”）により復帰します。 復帰入力時は、割り込み要求フラグ（EXF0）はセットされません。	キーオンウェイクアップ機能は1ポート単位で選択できます。RAMバックアップ状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1で復帰レベル（“L”レベル又は“H”レベル）を、キーオンウェイクアップ制御レジスタL1で復帰条件（レベル復帰又はエッジ復帰）を選択してください。

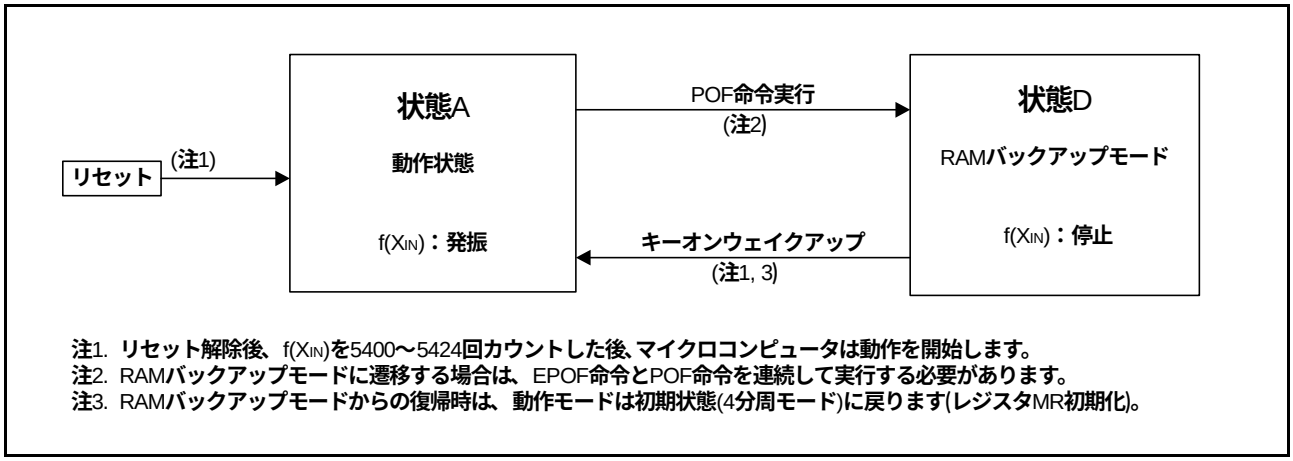


図47. 状態遷移図

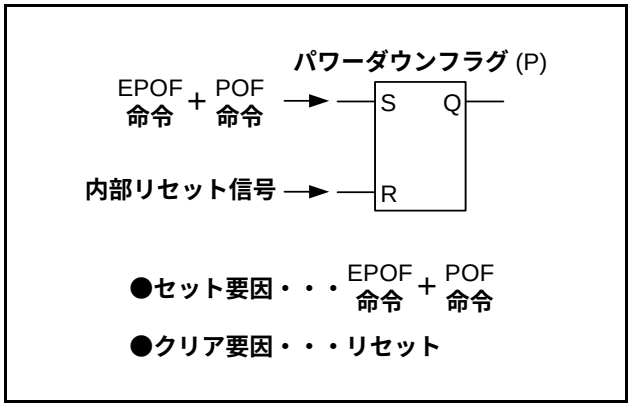


図48. パワーダウンフラグ(P)のセット要因とクリア要因

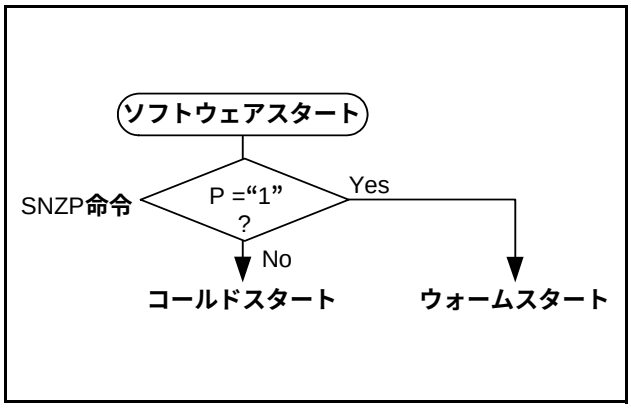


図49. SNZP命令によるスタート識別例

表21. キーオンウェイクアップ制御レジスタ

キーオンウェイクアップ制御レジスタK0		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK0／TK0A
$K0_3$	ポート$P0_3$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K0_2$	ポート$P0_2$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K0_1$	ポート$P0_1$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K0_0$	ポート$P0_0$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK1／TK1A
$K1_3$	ポート$P1_3$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K1_2$	ポート$P1_2$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K1_1$	ポート$P1_1$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K1_0$	ポート$P1_0$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK2／TK2A
$K2_3$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		
$K2_2$	ポートK キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K2_1$	ポート$P2_1$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$K2_0$	ポート$P2_0$ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタL1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAL1／TL1A
$L1_3$	INT1端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
$L1_2$	INT1端子 有効波形/レベル選択ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
$L1_1$	INT0端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
$L1_0$	INT0端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R”は読み出し可、“W”は書き込み可を表します。

表22. プルアップ制御レジスタ

プルアップ制御レジスタPU0		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU0／TPU0A
$PU0_3$	ポート$P0_3$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_2$	ポート$P0_2$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_1$	ポート$P0_1$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_0$	ポート$P0_0$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU1／TPU1A
$PU1_3$	ポート$P1_3$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_2$	ポート$P1_2$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_1$	ポート$P1_1$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_0$	ポート$P1_0$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU2／TPU2A
$PU2_3$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$PU2_2$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$PU2_1$	ポート$P2_1$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU2_0$	ポート$P2_0$ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

注1. “R”は読み出し可、“W”は書き込み可を表します。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

- セラミック発振回路
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図50にクロック制御回路の構成を示します。

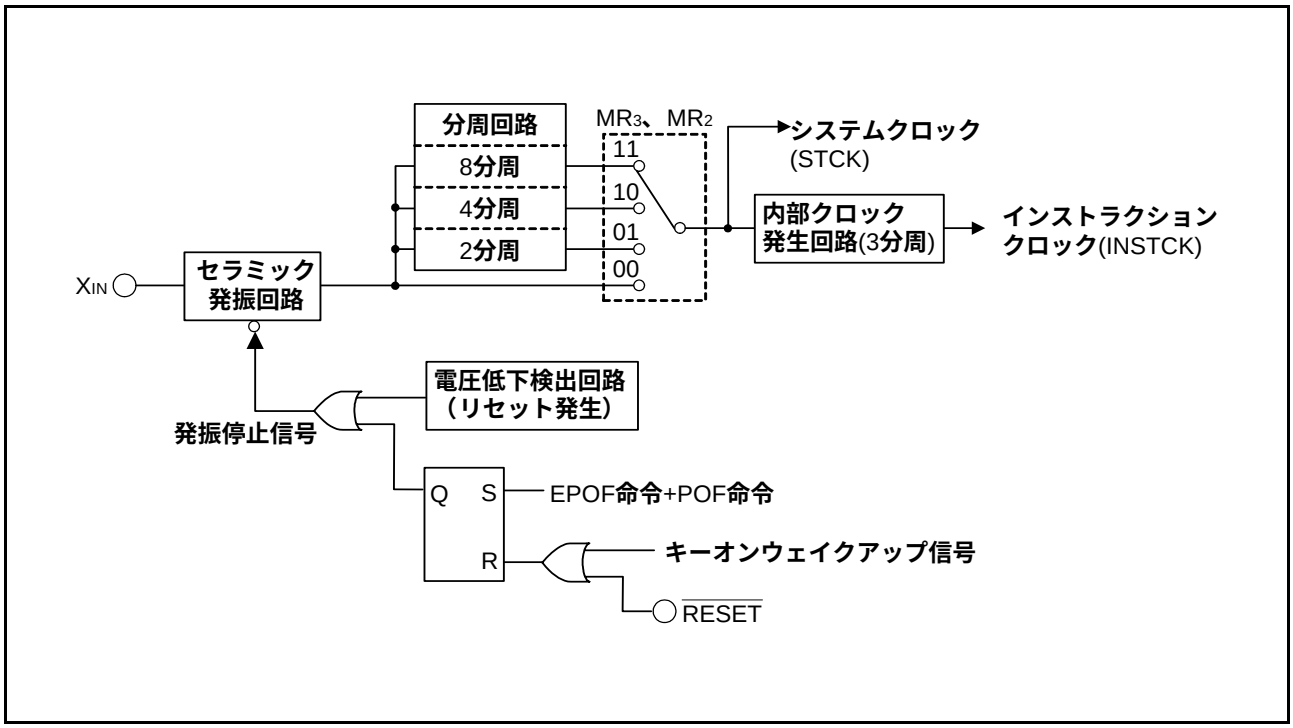


図50. クロック制御回路の構成

1. セラミック共振子を使用する場合

メインクロック (f(XIN)) にセラミック共振子を使用する場合は、XIN端子とXOUT端子にセラミック共振子および外部回路を最短距離で接続してください。XIN端子とXOUT端子の間には帰還抵抗が内蔵されています(図51)。

2. 外部クロックを使用する場合

メインクロック (f(XIN)) に外部クロックを使用する場合は、XIN端子にクロック発生源を接続し、XOUT端子は開放としてください。

外部クロック使用時の発振周波数最大値は、セラミック共振子使用時と異なりますので、注意してください（推奨動作条件参照）。

また、外部クロックを使用する際はRAMバックアップモード（POF命令）を使用しないでください。

3. クロック制御レジスタMR

レジスタMRは動作モード（システムクロック分周）選択を制御します。

このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

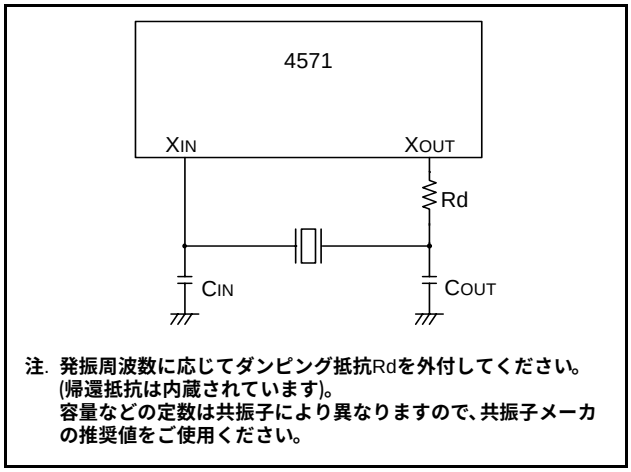


図51. セラミック共振子外付け回路

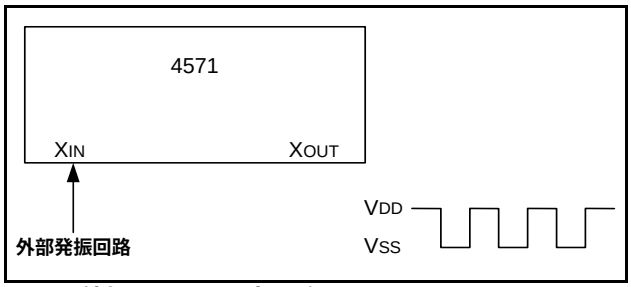


図52. 外部クロック入力回路

表23. クロック制御レジスタ

クロック制御レジスタMR		リセット時：1111_2		RAMバックアップ時：1111_2	R／W TAMR／TMRA
MR3 MR2	動作モード選択ビット	MR3	MR2	動作モード	
		0	0	スルーモード（分周なし）	
		0	1	2分周モード	
		1	0	4分周モード	
		1	1	8分周モード	
MR1	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。		
MR0	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。		

注1. “R”は読み出し可、“W”は書き込み可を表します。

QzROM書き込みモード

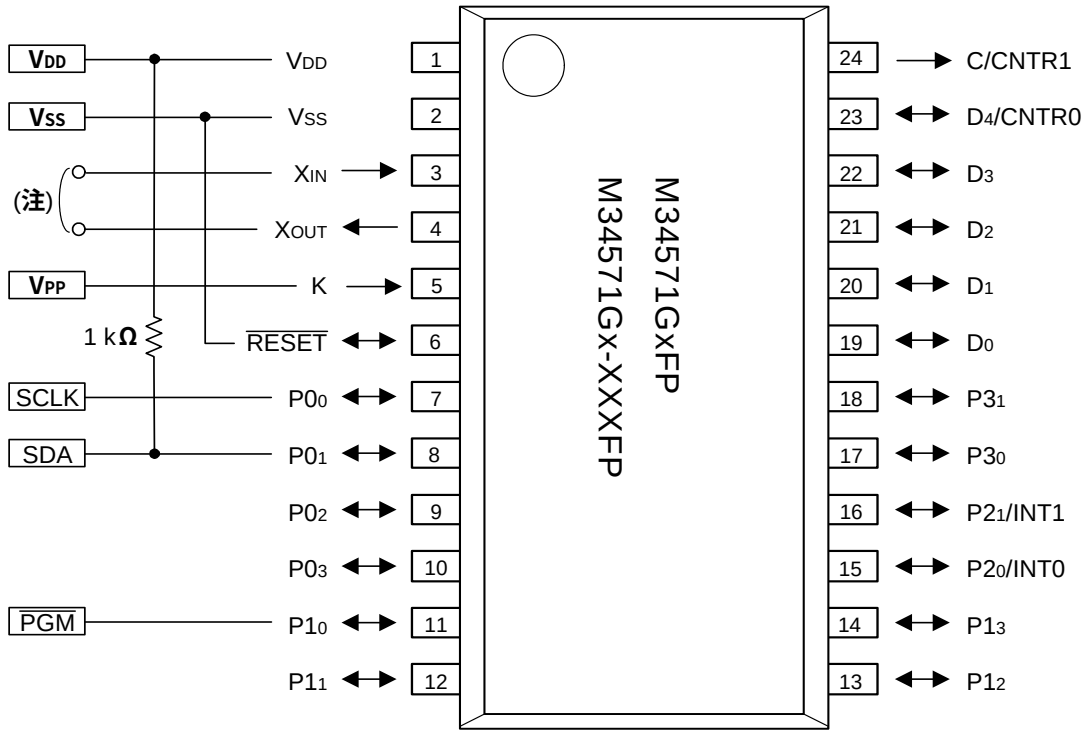
QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表24に端子の機能説明(QzROM書き込みモード)を、図53に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例(図54)を参照してください。シリアルプログラマについては、各メーカにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザーズマニュアルを参照してください。

表24. 端子の機能説明（QzROM書き込みモード）

端子名	名　称	入出力	機　　能
V_{DD}	電源	ー	電源電圧供給端子です。
V_{SS}	GND	ー	GND端子です。
K	V_{PP}入力	ー	QzROMの電源入力端子です。
$P0_1$	SDA入出力	入出力	QzROMのシリアルデータの入出力端子です。
$P0_0$	SCLK入力	入力	QzROMのシリアルクロックの入力端子です。
$P1_0$	$\overline{PGM}$入力	入力	QzROMのリード/プログラムパルス信号の入力端子です。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。 “L”を入力してください。
X_{IN}	クロック入力	ー	発振回路を接続、又はX_{IN}端子をV_{SS}に接続してX_{OUT}端子を開放してください。
X_{OUT}	クロック出力	ー	
$P0_2$, $P0_3$, $P1_1$〜$P1_3$, $P2_0$/INT0, $P2_1$/INT1, $P3_0$, $P3_1$, D_0〜D_3, D_4/CNTR0, C/CNTR1	入出力ポート	ー	“H”を入力、“L”を入力、又は開放してください。



外形： PRSP0024GA-A (24P2Q-A)

注．　発振回路を接続、又はXIN端子をVSSに接続してXOUT端子を開放してください。

：QzROM

図53.　**端子結線図**

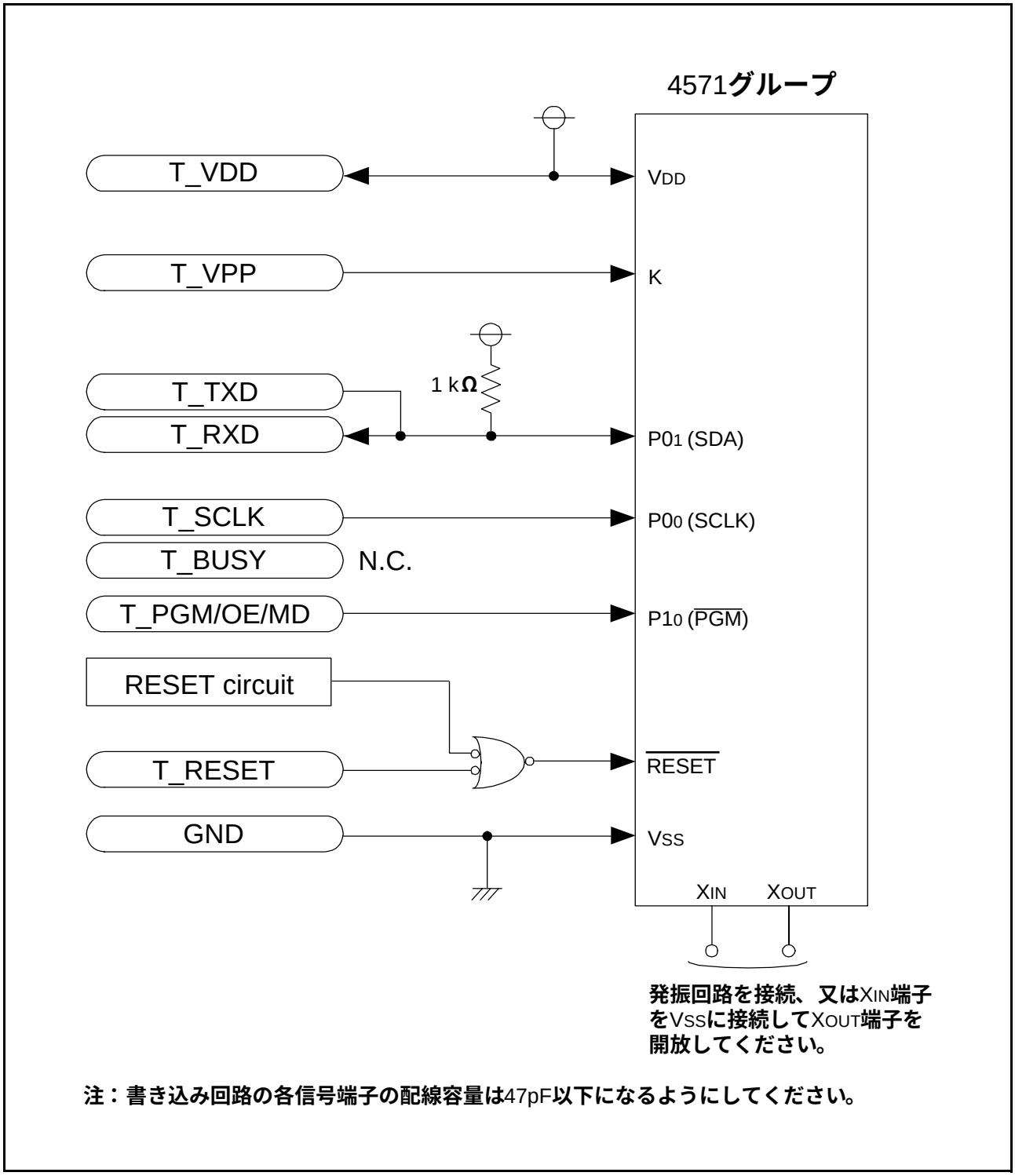


図54. 彗星電子システム製プログラマ使用時の基板上の端子処理例

QzROM書き込み発注時の提出資料

QzROM 書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM 書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (http://japan.renesas.com/homepage.jsp) を参照してください。なお、QzROM マイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

使用上の注意事項（まとめ）

1. ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策として、V_{DD}端子とV_{SS}端子間にコンデンサ（　0.1μF）を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ポートKとV_{PP}端子は兼用になっています。ポートKは開放にはせず、必ずV_{DD}端子又はV_{SS}端子に接続してください。キーマトリクスに使用する場合はプルアップ抵抗を介してV_{DD}端子に接続してください。

2. 電源電圧

マイコンの電源電圧が推奨動作条件の最小規格値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件の最小規格値未満のときにマイコンをリセットするなど、この不安定な動作によってシステムに異常をきたさないような設計に留意してください。

3. レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- レジスタZ（2ビット）
- レジスタD（3ビット）
- レジスタE（8ビット）

4. レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- レジスタZ（2ビット）
- レジスタX（4ビット）
- レジスタY（4ビット）
- レジスタD（3ビット）
- レジスタE（8ビット）

5. プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

6. スタックレジスタ（SK）

スタックレジスタ（SK）は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令（TABP p）実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。

7. マルチファンクション

- INT0端子を使用している場合でもポート$P2_0$の入出力機能は有効です。INT0端子とポート$P2_0$との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- INT1端子を使用している場合でもポート$P2_1$の入出力機能は有効です。INT1端子とポート$P2_1$との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR0　端子の出力機能を使用している場合でもポートD_4の入力機能は有効です。CNTR0端子の入力機能を使用している場合でもポートD_4の入出力機能は有効です。CNTR0端子とポートD_4との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR1端子の出力機能を使用している場合でもポートCの“H”出力機能は有効です。

8. パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100μs以下に設定してください。

立ち上がり時間が100μsを超える場合には、$\overline{\text{RESET}}$端子とV_{SS}間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまで$\overline{\text{RESET}}$端子に“L”レベルが入力されるようにしてください。

9. POF命令

EPOF命令実行直後にPOF命令を実行するとRAMバックアップ状態になります。

POF命令単独ではRAMバックアップ状態にならないので、注意してください。

またEPOF命令とPOF命令を連続して実行する前には、必ず割り込み禁止状態に（DI命令実行）してください。

10.P2$_0$/INT0端子

(1) レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT0端子の入力制御を行う際は次の点に注意してください。

● レジスタI1のビット3の内容を変更する場合、P2$_0$/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図55①)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上おいて(図55②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図55③)。

```
    ⋮
LA  4    ; (×××0₂)
TV1A     ; SNZ0命令有効・・・・①
LA  8    ; (1×××₂)
TI1A     ; INT0端子入力制御変更
NOP      ; ・・・・・・・・・・・・②
SNZ0     ; SNZ0命令実行
           (フラグEXF0クリア)
NOP      ; ・・・・・・・・・・・・③
    ⋮
         ×：このビットは本例では関係しません。
```

図55. 外部0割り込みプログラム例1

(2) レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT0端子入力禁止の状態でRAMバックアップを使用する際は、次の点に注意してください。

● INT0端子入力を禁止する場合、(レジスタI1$_3$ = “0”)は、RAMバックアップモードに移行する前にINT0端子のキーオンウェイクアップを無効(レジスタL1$_0$ = “0”)としてください(図56①)。

```
    ⋮
LA  0    ; (×0××₂)
TL1A     ; INT0キーオンウェイクアップ無効・・・①
DI
EPOF
POF      ; RAMバックアップ
    ⋮
         ×：このビットは本例では関係しません。
```

図56. 外部0割り込みプログラム例2

(3) レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP2$_0$/INT0端子の割り込み有効波形を変更する場合は、次の点に注意してください。

● レジスタI1のビット2の内容を変更する場合、P2$_0$/INT0端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図57①)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上おいて(図57②)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図57③)。

```
    ⋮
LA  4    ; (×××0₂)
TV1A     ; SNZ0命令有効・・・・①
LA  12   ; (1×××₂)
TI1A     ; 割り込み有効波形変更
NOP      ; ・・・・・・・・・・・・②
SNZ0     ; SNZ0命令実行
           (フラグEXF0クリア)
NOP      ; ・・・・・・・・・・・・③
    ⋮
         ×：このビットは本例では関係しません。
```

図57. 外部0割り込みプログラム例3

11.P2₁/INT1端子

(1) レジスタI2のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI2のビット3によってINT1端子の入力制御を行う際は次の点に注意してください。

● レジスタI2のビット3の内容を変更する場合、P2₁/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を“0”にクリア(図58①)した後、レジスタI2のビット3の内容を変更してください。更に、一命令以上おいて(図58②)SNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図58③)。

```
    :
    :
LA  4    ;(××0×2)
TV1A     ;SNZ1命令有効・・・・①
LA  8    ;(1×××2)
TI2A     ;INT1端子入力制御変更
NOP      ;・・・・・・・・・・・・②
SNZ1     ;SNZ1命令実行
           (フラグEXF1クリア)
NOP      ;・・・・・・・・・・・・③
    :
    :
         ×：このビットは本例では関係しません。
```

図58. 外部1割り込みプログラム例1

(2) レジスタI2のビット3に関する注意2

割り込み制御レジスタI2のビット3を“0”にクリアし、INT1端子入力禁止の状態でRAMバックアップを使用する際は、次の点に注意してください。

● INT1端子入力を禁止する場合、(レジスタI2₃=“0”)は、RAMバックアップモードに移行する前にINT1端子のキーオンウェイクアップを無効(レジスタL1₂=“0”)としてください(図59①)。

```
    :
    :
LA  0    ;(××0×2)
TL1A     ;INT1キーオンウェイクアップ無効・・・①
DI
EPOF
POF      ;RAMバックアップ
    :
    :
         ×：このビットは本例では関係しません。
```

図59. 外部1割り込みプログラム例2

(3) レジスタI2のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI2のビット2によってP2₁/INT1端子の割り込み有効波形を変更する場合は、次の点に注意してください。

● レジスタI2のビット2の内容を変更する場合、P2₁/INT1端子の入力状態によっては、外部1割り込み要求フラグ(EXF1)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット1を“0”にクリア(図60①)した後、レジスタI2のビット2の内容を変更してください。更に、一命令以上おいて(図60②)SNZ1命令を実行し、フラグEXF1を“0”にクリアしてください。また、SNZ1命令によるスキップが発生する場合を考慮し、SNZ1命令の後にNOP命令を挿入してください(図60③)。

```
    :
    :
LA  4    ;(××0×2)
TV1A     ;SNZ1命令有効・・・・①
LA  12   ;(1×××2)
TI2A     ;割り込み有効波形変更
NOP      ;・・・・・・・・・・・・②
SNZ1     ;SNZ1命令実行
           (フラグEXF1クリア)
NOP      ;・・・・・・・・・・・・③
    :
    :
         ×：このビットは本例では関係しません。
```

図60. 外部1割り込みプログラム例3

12.プリスケーラ

プリスケーラからデータを読み出す場合は、まずプリスケーラのカウントを停止させた後、データ読み出し命令（TABPS）を実行してください。

プリスケーラにデータを書き込む場合は、まずプリスケーラのカウントを停止させた後、データ書き込み命令（TPSAB）を実行してください。

13.カウントソース

タイマ1，2，3のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

14.カウント値の読み出し

タイマ1，2，3からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令（TAB1，TAB2，TAB3）を実行してください。

15.タイマへのデータ書き込み

タイマ1，2，3にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令（T1AB，T2AB，T3AB，T3R3L）を実行してください。

16.リロードレジスタへのデータ書き込み

タイマ1動作中にリロードレジスタR1にデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータ書き込み命令（TR1AB）を実行してください。

タイマ3動作中にリロードレジスタR3Hにデータを書き込む場合は、必ずタイマ3アンダフローと重ならないタイミングでデータ書き込み命令（T3HAB）を実行してください。

17.PWM 信号

PWM信号出力時に、タイマ3カウント停止タイミングとタイマ3アンダフロータイミングが重なった場合、PWM出力波形にハザードが発生することがあります。

PWM信号の“H”期間拡張機能を使用している場合は、リロードレジスタR3Hに“1”以上の値を設定してください。

PWM信号をC/CNTR1端子より出力する場合は、ポートCの出力ラッチを“0”に設定してください。

18.プリスケーラ、タイマ1、2、3のカウント開始タイミングと動作開始時のカウント時間

プリスケーラ、タイマは動作開始（①）後、カウントソースの最初の立ち上がり（②）からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間（③）は、以降のアンダフロー間の時間（④）より短く（最大でカウントソースの一周期分）なります。

なお、タイマ1のカウントソースにCNTR0入力を選択した場合、タイマ1はソフトウェアにより選択されるCNTR0入力カウントエッジ（立ち下がりエッジまたは立ち上がりエッジ）に同期して動作します。

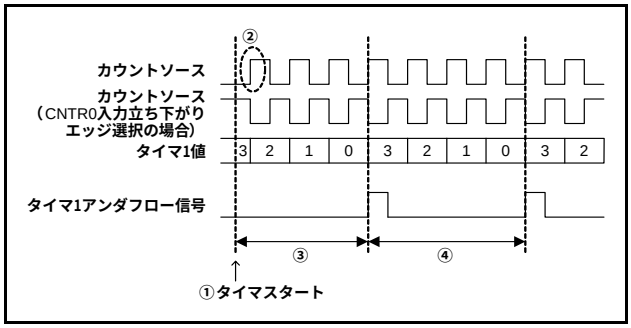


図61. タイマカウント開始タイミングと動作開始時のカウント時間

19.ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDT命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップ時は、フラグWDF1及びタイマWDTの値は初期化されます。
- ウォッチドッグタイマ機能とRAMバックアップ機能を併用する場合は、RAMバックアップモードに移行する前にWRST命令を実行してフラグWDF1を初期化してください。またWRST命令によるスキップが発生する場合を考慮し、WRST命令の後にNOP命令を挿入してください。

20.外部クロック

外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので注意してください（推奨動作条件参照）。

また外部クロックを使用する際は、RAMバックアップモード（POF命令）を使用しないでください。

21.QzROM

(1) 過電圧がかからないように注意してください。過電圧によりQzROMの内容が書き換わる可能性があります。特に電源投入時は注意してください。

(2) ブランク出荷品は、アセンブリ工程以前にQzROMの書き込み検査を十分に行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込み検査は行っていません。そのため、0.1%程度の書き込み不良が発生することがあります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触やソケット上の異物などに十分に留意してご使用ください。

注．ブランク出荷品：工場出荷時に QzROM **の内容が書き込まれていないもの**

22.ROMコードプロテクトに関する注意（書き込み出荷品）

QzROM書き込み出荷品のROMコードプロテクトは、発注時に提出していただくマスクファイル作成時のROMオプションデータの値で決定します。

マスクファイル作成時のROMオプションデータは、プロテクト有りの場合は“00_{16}”、プロテクト無しの場合は“FF_{16}”を設定します。

ROMオプションデータが設定されていない場合や、“00_{16}”、“FF_{16}”以外のデータが設定されている場合はマスクファイルを受け付け出来ませんのでご注意ください。

使用上の注意

ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も充分なシステム評価を行ってください。

1. 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVSS端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

●理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は1マシンサイクル以上必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

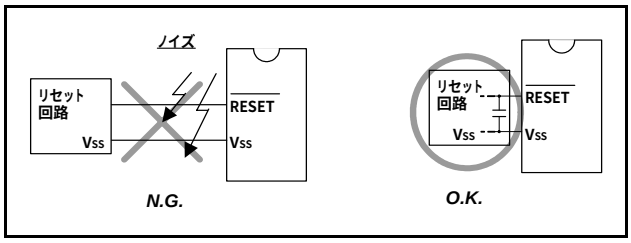


図62. リセット入力端子の配線

(2) クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短の配線で接続してください。
- 発振用のVSSパターンは発振回路専用とし、他のVSSパターンと分離してください。

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

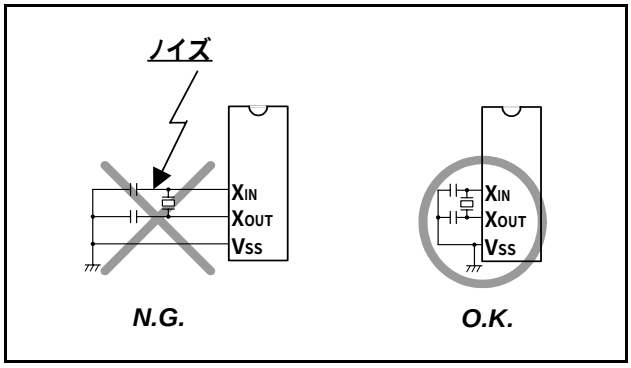


図63. クロック入出力端子の配線

(3) ポートKの配線

ポートKは開放とせずに、可能な限り太く短い配線で必ずVDD端子又はVSS端子に接続してください。

キーマトリクスに使用する場合は、プルアップ抵抗を介してVDD端子に接続してください。

その場合も、プルアップ抵抗はポートKの近くに配置し、上記同様に可能な限り太く短い配線で、ポートK及びVDD端子に接続してください。

●理由

ポートKは内蔵QzROMの電源入力端子(VPP端子)と兼用しています。

QzROMへの書き込み時に、書き込み電流が流れるようにポートKのインピーダンスを低くしているため、ノイズが侵入しやすくなっています。ポートKからノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

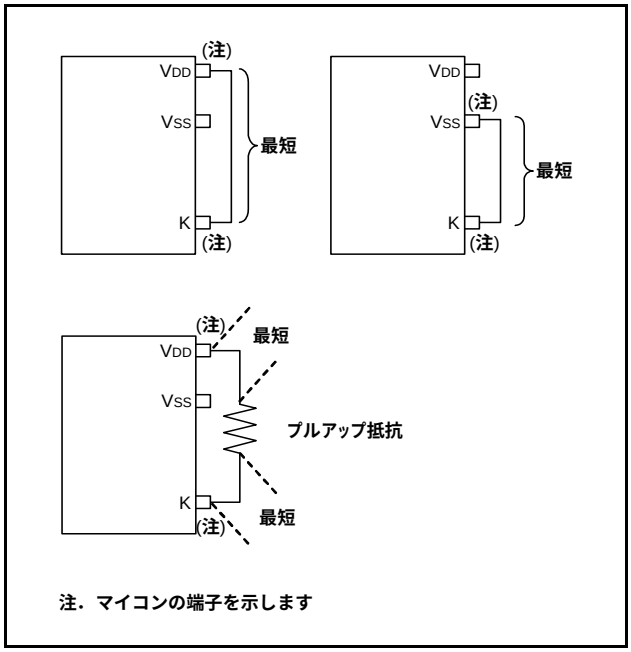


図64. ポートKの配線

2. VSS－VDD ライン間へのバイパスコンデンサ挿入

VSS－VDD ライン間に0.1μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- VSS 端子－バイパスコンデンサ間の配線長と VDD 端子－バイパスコンデンサ間の配線長を等しくする
- VSS 端子－バイパスコンデンサ間の配線長と VDD 端子－バイパスコンデンサ間の配線長を最短とする
- VSS ライン及び VDD ラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由して VSS 端子及び VDD 端子へ接続する

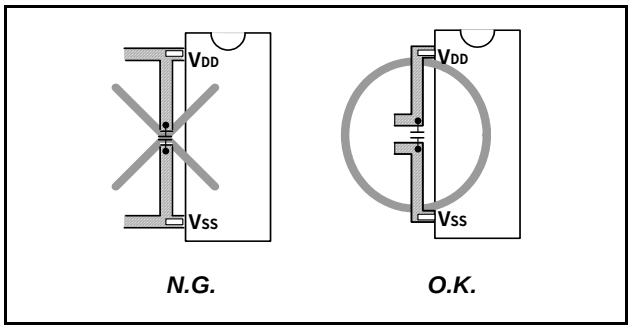


図65. VSS －VDD ライン間のバイパスコンデンサ

3. 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン (特に発振子)からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

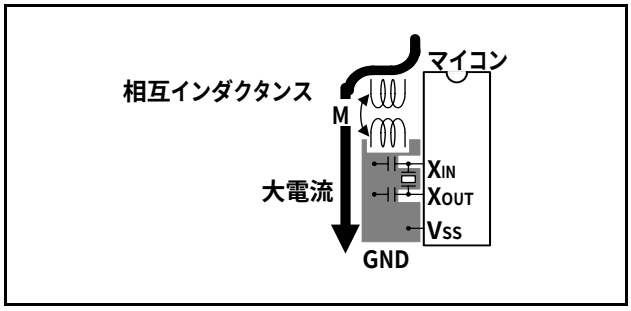


図66. 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

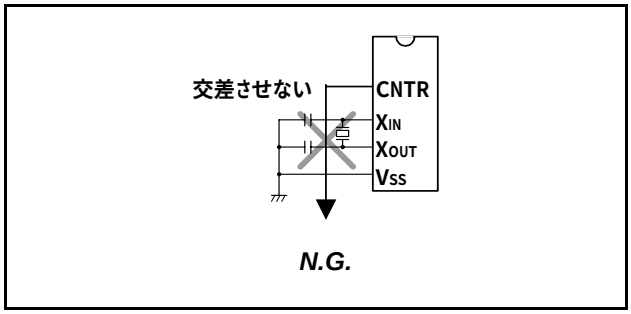


図67. 高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

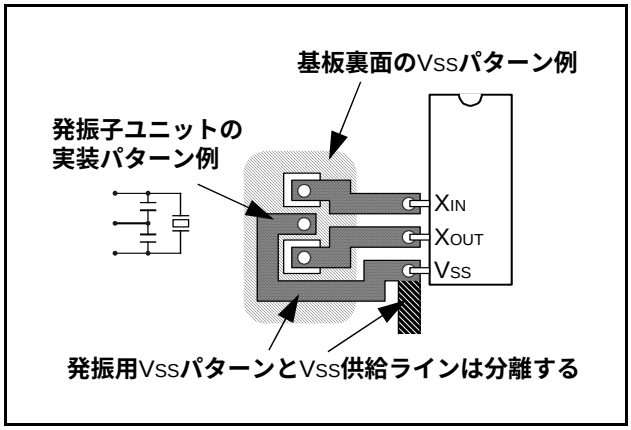


図68. 発振子の裏面のVssパターン

4. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

〈ハードウェア面〉

- 入出力ポートに100Ω以上の抵抗を直列に挿入してください。

〈ソフトウェア面〉

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- 出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でポートラッチの再書き込みを行ってください。
- 一定周期でプルアップ制御レジスタの再書き込みを行ってください。

5. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

〈メインルーチンでは〉

●RAM の 1 語をソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

N+1 ≧メインルーチンの1周期中に行われる割り込み処理の回数

注．メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

●SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
●割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

〈割り込み処理ルーチンでは〉

●SWDTの内容を1回の割り込み処理で1減算します。
●ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
●SWDT の内容が N に初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

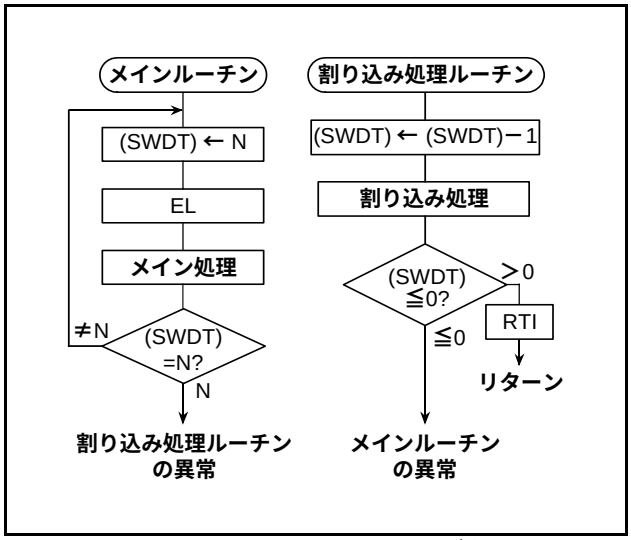


図69. ソフトウェアによるウォッチドッグタイマ

制御レジスター覧

割り込み制御レジスタV1		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAV1／TV1A
$V1_3$	タイマ2割り込み可能ビット	0	発生禁止（SNZT2命令有効）	
		1	発生可能（SNZT2命令無効）	
$V1_2$	タイマ1割り込み可能ビット	0	発生禁止（SNZT1命令有効）	
		1	発生可能（SNZT1命令無効）	
$V1_1$	外部1割り込み可能ビット	0	発生禁止（SNZ1命令有効）	
		1	発生可能（SNZ1命令無効）	
$V1_0$	外部0割り込み可能ビット	0	発生禁止（SNZ0命令有効）	
		1	発生可能（SNZ0命令無効）	

割り込み制御レジスタV2		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAV2／TV2A
$V2_3$	電圧低下検出回路割り込み可能ビット	0	発生禁止（SNZVD命令有効）	
		1	発生可能（SNZVD命令無効）	
$V2_2$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		
$V2_1$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		
$V2_0$	タイマ3割り込み可能ビット	0	発生禁止（SNZT3命令有効）	
		1	発生可能（SNZT3命令無効）	

割り込み制御レジスタI1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAI1／TI1A
$I1_3$	INT0端子入力制御ビット(注2)	0	入力禁止	
		1	入力可能	
$I1_2$	INT0端子割り込み有効波形／ 復帰レベル選択ビット(注2)	0	立ち下がり波形／ “L”レベル（SNZI0命令は“L”レベル認識）	
		1	立ち上がり波形／ “H”レベル（SNZI0命令は“H”レベル認識）	
$I1_1$	INT0端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
$I1_0$	INT0端子タイマ1制御可能ビット	0	タイマ1制御禁止	
		1	タイマ1制御可能	

割り込み制御レジスタI2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAI2／TI2A
$I2_3$	INT1端子入力制御ビット(注3)	0	入力禁止	
		1	入力可能	
$I2_2$	INT1端子割り込み有効波形／ 復帰レベル選択ビット(注3)	0	立ち下がり波形／ “L”レベル（SNZI1命令は“L”レベル認識）	
		1	立ち上がり波形／ “H”レベル（SNZI1命令は“H”レベル認識）	
$I2_1$	INT1端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
$I2_0$	使用しません	0	このビットに機能はありませんがR／Wは可能です。	
		1		

注1. “R”は読み出し可、“W”は書き込み可を表します。
注2. これらのビット(I12、I13)の内容を変更した際に、外部割り込み要求フラグ(EXF0)がセットされる場合があります。
注3. これらのビット(I22、I23)の内容を変更した際に、外部割り込み要求フラグ(EXF1)がセットされる場合があります。

タイマ制御レジスタPA		リセット時：00_2	RAMバックアップ時：00_2	W TPAA
PA_1	プリスケーラカウントソース選択ビット	0	インストラクションクロック（INSTCK）	
		1	インストラクションクロック（INSTCK）の4分周信号	
PA_0	プリスケーラ制御ビット	0	停止（状態保持）	
		1	動作	

タイマ制御レジスタW1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW1／TW1A
$W1_3$	タイマ1 カウント自動停止回路選択ビット(注2)	0	タイマ1カウント自動停止回路非選択	
		1	タイマ1カウント自動停止回路選択	
$W1_2$	タイマ1制御ビット	0	停止（状態保持）	
		1	動作	
$W1_1$ $W1_0$	タイマ1カウントソース選択ビット	$W1_1$ $W1_0$	カウントソース	
		0 0	PWM信号(PWMOUT)	
		0 1	プリスケーラ出力（ORCLK）	
		1 0	システムクロック（STCK）	
		1 1	CNTR0入力	

タイマ制御レジスタW2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW2／TW2A
$W2_3$	CNTR0端子機能選択ビット	0	タイマ1アンダフロー信号の2分周出力	
		1	タイマ2アンダフロー信号の2分周出力	
$W2_2$	タイマ2制御ビット	0	停止（状態保持）	
		1	動作	
$W2_1$ $W2_0$	タイマ2カウントソース選択ビット	$W2_1$ $W2_0$	カウントソース	
		0 0	PWM信号（PWMOUT）	
		0 1	プリスケーラ出力（ORCLK）	
		1 0	システムクロック（STCK）	
		1 1	タイマ1アンダフロー信号（T1UDF）	

タイマ制御レジスタW3		リセット時：0000_2	RAMバックアップ時：0000_2	R／W TAW3／TW3A
$W3_3$	CNTR1端子出力制御ビット	0	CNTR1端子出力無効	
		1	CNTR1端子出力有効	
$W3_2$	PWM信号 ”H”期間拡張機能制御ビット	0	PWM信号”H”期間拡張機能無効	
		1	PWM信号”H”期間拡張機能有効	
$W3_1$	タイマ3制御ビット	0	停止（状態保持）	
		1	動作	
$W3_0$	タイマ3カウントソース選択ビット	0	X_{IN}入力	
		1	プリスケーラ出力（ORCLK）の2分周信号	

タイマ制御レジスタW5		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAW5／TW5A
$W5_3$	タイマ1 カウント開始同期回路選択ビット(注3)	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	
$W5_2$	CNTR0端子 入力カウントエッジ選択ビット	0	立ち下がりエッジ	
		1	立ち上がりエッジ	
$W5_1$	CNTR1端子 出力自動制御回路選択ビット	0	CNTR1端子出力自動制御回路非選択	
		1	CNTR1端子出力自動制御回路選択	
$W5_0$	D_4／CNTR0端子機能選択ビット	0	D_4入出力／CNTR0入力	
		1	D_4入力／CNTR0入出力	

注1. “R”は読み出し可、“W”は書き込み可を表します。
注2. この機能は、INT0端子タイマ1制御可能（$I1_0$ = “1”）及びタイマ1カウント開始同期回路選択（$W5_3$ = “1”）時にのみ有効です。
注3. この機能は、INT0端子タイマ1制御可能（$I1_0$ = “1”）時にのみ有効です。

クロック制御レジスタMR		リセット時：1111_2	RAMバックアップ時：1111_2	R／W TAMR／TMRA
MR3 MR2	動作モード選択ビット	MR3 MR2	動作モード	
		0 0	スルーモード（分周なし）	
		0 1	2分周モード	
		1 0	4分周モード	
		1 1	8分周モード	
MR1	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
MR0	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	

キーオンウェイクアップ制御レジスタK0		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK0／TK0A
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK1／TK1A
K13	ポートP13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K12	ポートP12 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAK2／TK2A
K23	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
K22	ポートK キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K21	ポートP21 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K20	ポートP20 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタL1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAL1／TL1A
L13	INT1端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
L12	INT1端子 有効波形レベル選択ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
L11	INT0端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
L10	INT0端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R”は読み出し可、“W”は書き込み可を表します。

プルアップ制御レジスタPU0		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU0／TPU0A
$PU0_3$	ポートP0_3 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_2$	ポートP0_2 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_1$	ポートP0_1 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU0_0$	ポートP0_0 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU1		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU1／TPU1A
$PU1_3$	ポートP1_3 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_2$	ポートP1_2 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_1$	ポートP1_1 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU1_0$	ポートP1_0 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU2		リセット時：0000_2	RAMバックアップ時：状態保持	R／W TAPU2／TPU2A
$PU2_3$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$PU2_2$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$PU2_1$	ポートP2_1 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
$PU2_0$	ポートP2_0 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

ポート出力形式制御レジスタFR0		リセット時：0000_2	RAMバックアップ時：状態保持	W TFR0A
$FR0_3$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$FR0_2$	使用しません	0 1	このビットに機能はありませんがR／Wは可能です。	
$FR0_1$	ポートP3_1 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
$FR0_0$	ポートP3_0 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタFR1		リセット時：0000_2	RAMバックアップ時：状態保持	W TFR1A
$FR1_3$	ポートD$_3$ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
$FR1_2$	ポートD$_2$ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
$FR1_1$	ポートD$_1$ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
$FR1_0$	ポートD$_0$ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

注1. “R”は読み出し可、“W”は書き込み可を表します。

命令

各命令について、以下の構成で説明します。
1. 命令機能別索引
2. アルファベット順機械語命令一覧
3. 機能分類別機械語命令一覧（2ページ見開き形式）
4. 命令コード対応表

命令機能別索引及び機械語命令一覧では、以下の記号を用いています。

命令記号一覧表

記　号	内　容	記　号	内　容
A	レジスタ A (4ビット)	T1F	タイマ 1 割り込み要求フラグ
B	レジスタ B (4ビット)	T2F	タイマ 2 割り込み要求フラグ
DR	レジスタ DR (3ビット)	T3F	タイマ 3 割り込み要求フラグ
E	レジスタ E (8ビット)	WDF1	ウォッチドッグタイマフラグ
V1	割り込み制御レジスタ V1 (4ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
V2	割り込み制御レジスタ V2 (4ビット)	INTE	割り込み許可フラグ
I1	割り込み制御レジスタ I1 (4ビット)	EXF0	外部 0 割り込み要求フラグ
I2	割り込み制御レジスタ I2 (4ビット)	EXF1	外部 1 割り込み要求フラグ
PA	タイマ制御レジスタ PA (2ビット)	VDF	電圧低下検出回路割り込み要求フラグ
W1	タイマ制御レジスタ W1 (4ビット)	P	パワーダウンフラグ
W2	タイマ制御レジスタ W2 (4ビット)	D	ポート D (5ビット)
W3	タイマ制御レジスタ W3 (4ビット)	P0	ポート P0 (4ビット)
W5	タイマ制御レジスタ W5 (4ビット)	P1	ポート P1 (4ビット)
MR	クロック制御レジスタMR (4ビット)	P2	ポート P2 (2ビット)
K0	キーオンウェイクアップ制御レジスタ K0 (4ビット)	P3	ポート P3 (2ビット)
K1	キーオンウェイクアップ制御レジスタ K1 (4ビット)		
K2	キーオンウェイクアップ制御レジスタ K2 (4ビット)	x	16進変数
L1	キーオンウェイクアップ制御レジスタ L1 (4ビット)	y	16進変数
PU0	プルアップ制御レジスタ PU0 (4ビット)	z	16進変数
PU1	プルアップ制御レジスタ PU1 (4ビット)	p	16進変数
PU2	プルアップ制御レジスタ PU2 (4ビット)	n	16進定数
FR0	ポート出力形式制御レジスタ FR0 (4ビット)	i	16進定数
FR1	ポート出力形式制御レジスタ FR1 (4ビット)	j	16進定数
X	レジスタ X (4ビット)	A_3 A_2 A_1 A_0	16進変数 A の2進表記 (他も同様)
Y	レジスタ Y (4ビット)		
Z	レジスタ Z (2ビット)	←	データの移動する方向
DP	データポインタ (10ビット) (レジスタ X、Y、Zで構成)	(　)	レジスタ、メモリなどの内容
PC	プログラムカウンタ(14ビット)	−	否定、命令実行後もフラグは不変
PC_H	プログラムカウンタの上位7ビット	M (DP)	データポインタで指定されたRAMの番地
PC_L	プログラムカウンタの下位7ビット	a	a_6 a_5 a_4 a_3 a_2 a_1 a_0 番地を示すラベル
SK	スタックレジスタ (14ビット×8)	p、a	p_6 p_5 p_4 p_3 p_2 p_1 p_0 ページ内の a_6 a_5 a_4 a_3 a_2 a_1 a_0 番地を示すラベル
SP	スタックポインタ (3ビット)		
CY	キャリフラグ		
RPS	プリスケーラリロードレジスタ (8ビット)	C	16進数 C＋16進数 x (他も同様)
R1L	タイマ 1 リロードレジスタ (8ビット)	+	
R2	タイマ 2 リロードレジスタ (8ビット)	x	
R3L	タイマ 3 リロードレジスタ (8ビット)	?	?の前に示された状態の判定
R3H	タイマ 3 リロードレジスタ (8ビット)	←→	レジスタやメモリ間でのデータ交換
PS	プリスケーラ		
T1	タイマ 1	AND	論理積
T2	タイマ 2	OR	論理和
T3	タイマ 3		

［命令スキップの方法］スキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容＋2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。ただし、TABP p、RT、RTS命令がスキップされた場合、サイクル数は“1”となります。

命令機能別索引

分類	命令記号	機　　能	掲載ページ
レジスタ間転送命令	TAB	(A) ← (B)	90、105
	TBA	(B) ← (A)	97、105
	TAY	(A) ← (Y)	97、105
	TYA	(Y) ← (A)	103、105
	TEAB	(E_7〜E_4) ← (B) (E_3〜E_0) ← (A)	98、105
	TABE	(B) ← (E_7〜E_4) (A) ← (E_3〜E_0)	91、105
	TDA	(DR_2〜DR_0) ← (A_2〜A_0)	97、105
	TAD	(A_2〜A_0) ← (DR_2〜DR_0) (A_3) ← 0	92、105
	TAZ	(A_1、A_0) ← (Z_1、Z_0) (A_3、A_2) ← 0	97、105
	TAX	(A) ← (X)	96、105
	TASP	(A_2〜A_0) ← (SP_2〜SP_0) (A_3) ← 0	95、105
RAMアドレス命令	LXY x、y	(X) ← x、x = 0〜15 (Y) ← y、y = 0〜15	79、105
	LZ z	(Z) ← z、z = 0〜3	79、105
	INY	(Y) ← (Y) + 1	78、105
	DEY	(Y) ← (Y) − 1	76、105
RAM・レジスタ間転送命令	TAM j	(A) ← (M(DP)) (X) ← (X)EXOR(j)、j = 0〜15	93、105
	XAM j	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0〜15	104、105
	XAMD j	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0〜15 (Y) ← (Y) − 1	104、105
	XAMI j	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0〜15 (Y) ← (Y) + 1	104、105
	TMA j	(M(DP)) ← (A) (X) ← (X)EXOR(j)、j = 0〜15	100、105

M34571G4: p=0〜31
M34571G6: p=0〜47
M34571GD: p=0〜127

分類	命令記号	機　　能	掲載ページ
演算命令	LA n	(A) ← n、n = 0〜15	78、107
	TABP p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC_H) ← p (PC_L) ← (DR_2〜DR_0、A_3〜A_0) (UPTF) = 1のとき、 (DR_2) ← 0 (DR_1、DR_0) ← (ROM(PC))$_{9、8}$ (B) ← (ROM(PC))$_{7〜4}$ (A) ← (ROM(PC))$_{3〜0}$ (PC) ← (SK(SP)) (SP) ← (SP) − 1	91、107
	AM	(A) ← (A) + (M(DP))	73、107
	AMC	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ	73、107
	A n	(A) ← (A) + n、n = 0〜15	73、107
	AND	(A) ← (A)AND(M(DP))	73、107
	OR	(A) ← (A)OR(M(DP))	80、107
	SC	(CY) ← 1	84、107
	RC	(CY) ← 0	82、107
	SZC	(CY) = 0 ?	88、107
	CMA	(A) ← $\overline{(A)}$	75、107
	RAR	→ CY → $A_3A_2A_1A_0$ →	81、107
ビット操作命令	SB j	(Mj(DP)) ← 1、j = 0〜3	83、107
	RB j	(Mj(DP)) ← 0、j = 0〜3	81、107
	SZB j	(Mj(DP)) = 0 ?、j = 0〜3	88、107
比較命令	SEAM	(A) = (M(DP)) ?	85、109
	SEA n	(A) = n、n = 0〜15	85、109
ブランチ命令	B a	(PC_L) ← a_6〜a_0	74、109
	BL p、a	(PC_H) ← p (PC_L) ← a_6〜a_0	74、109
	BLA p	(PC_H) ← p (PC_L) ← (DR_2〜DR_0、A_3〜A_0)	74、109

命令機能別索引（続き）

分類	命令記号	機　　能	掲載ページ
サブルーチン呼び出し命令	BM a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC_H) ← 2 (PC_L) ← a_6～a_0	74、109
	BML p、a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC_H) ← p (PC_L) ← a_6～a_0	75、109
	BMLA p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC_H) ← p (PC_L) ← (DR_2～DR_0、A_3～A_0)	75、109
リターン命令	RTI	(PC) ← (SK(SP)) (SP) ← (SP) － 1	83、109
	RT	(PC) ← (SK(SP)) (SP) ← (SP) － 1	82、109
	RTS	(PC) ← (SK(SP)) (SP) ← (SP) － 1	83、109
割り込み制御命令	DI	(INTE) ← 0	76、111
	EI	(INTE) ← 1	76、111
	SNZ0	$V1_0$ = 0 : (EXF0) = 1 ? (EXF0) ← 0 $V1_0$ = 1 : SNZ0 : NOP	85、111
	SNZI0	$I1_2$ = 0 : (INT0) = “ L ”? $I1_2$ = 1 : (INT0) = “ H ”?	86、111
	SNZ1	$V1_1$ = 0 : (EXF1) = 1 ? (EXF1) ← 0 $V1_1$ = 1 : SNZ1 : NOP	85、111
	SNZI1	$I2_2$ = 0 : (INT1) = “ L ”? $I2_2$ = 1 : (INT1) = “ H ”?	86、111
	TAV1	(A) ← (V1)	95、111
	TV1A	(V1) ← (A)	102、111
	TAV2	(A) ← (V2)	95、111
	TV2A	(V2) ← (A)	102、111
	TAI1	(A) ← (I1)	92、111
	TI1A	(I1) ← (A)	98、111
	TAI2	(A) ← (I2)	92、111
	TI2A	(I2) ← (A)	99、111

分類	命令記号	機　　能	掲載ページ
タイマ操作命令	TPAA	(PA_0) ← (A_0)	100、111
	TAW1	(A) ← (W1)	95、111
	TW1A	(W1) ← (A)	102、111
	TAW2	(A) ← (W2)	96、111
	TW2A	(W2) ← (A)	103、111
	TAW3	(A) ← (W3)	96、111
	TW3A	(W3) ← (A)	103、111
	TAW5	(A) ← (W5)	96、111
	TW5A	(W5) ← (A)	103、111
	TABPS	(B) ← (TPS_7～TPS_4) (A) ← (TPS_3～TPS_0)	91、113
	TPSAB	(RPS_7～RPS_4) ← (B) (TPS_7～TPS_4) ← (B) (RPS_3～RPS_0) ← (A) (TPS_3～TPS_0) ← (A)	101、113
	TAB1	(B) ← ($T1_7$～$T1_4$) (A) ← ($T1_3$～$T1_0$)	90、113
	T1AB	($R1_7$～$R1_4$) ← (B) ($T1_7$～$T1_4$) ← (B) ($R1_3$～$R1_0$) ← (A) ($T1_3$～$T1_0$) ← (A)	89、113
	TR1AB	($R1_7$～$R1_4$) ← (B) ($R1_3$～$R1_0$) ← (A)	102、113
	TAB2	(B) ← ($T2_7$～$T2_4$) (A) ← ($T2_3$～$T2_0$)	90、113
	T2AB	($R2_7$～$R2_4$) ← (B) ($T2_7$～$T2_4$) ← (B) ($R2_3$～$R2_0$) ← (A) ($T2_3$～$T2_0$) ← (A)	89、113
	TAB3	(B) ← ($T3_7$～$T3_4$) (A) ← ($T3_3$～$T3_0$)	91、113
	T3AB	($R3L_7$～$R3L_4$) ← (B) ($T3_7$～$T3_4$) ← (B) ($R3L_3$～$R3L_0$) ← (A) ($T3_3$～$T3_0$) ← (A)	89、113
	T3R3L	($T3_7$～$T3_0$) ← ($R3L_7$～$R3L_0$)	90、113
	T3HAB	($R3H_7$～$R3H_4$) ← (B) ($R3H_3$～$R3H_0$) ← (A)	89、113

M34571G4: p=0～31
M34571G6: p=0～47
M34571GD: p=0～127

命令機能別索引（続き）

分類	命令記号	機　　能	掲載ページ
タイマ操作命令	SNZT1	$V1_2$ = 0 : (T1F) = 1 ? (T1F) ← 0 $V1_2$ = 1 : SNZT1=NOP	86、113
	SNZT2	$V1_3$ = 0 : (T2F) = 1 ? (T2F) ← 0 $V1_3$ = 1 : SNZT2=NOP	87、113
	SNZT3	$V2_0$ = 0 : (T3F) = 1 ? (T3F) ← 0 $V2_0$ = 1 : SNZT3=NOP	87、113
入出力命令	IAP0	(A) ← (P0)	77、115
	OP0A	(P0) ← (A)	79、115
	IAP1	(A) ←(P1)	77、115
	OP1A	(P1) ← (A)	80、115
	IAP2	(A_1、A_0) ← ($P2_1$、$P2_0$) (A_3、A_2) ← 0	78、115
	OP2A	($P2_1$、$P2_0$) ← (A_1、A_0)	80、115
	IAP3	(A_1、A_0) ← ($P3_1$、$P3_0$) (A_3、A_2) ← 0	78、115
	OP3A	($P3_1$、$P3_0$) ← (A_1、A_0)	80、115
	CLD	(D) ← 1	75、115
	RD	(D(Y)) ← 0、(Y) = 0～4	82、115
	SD	(D(Y)) ← 1、(Y) = 0～4	84、115
	SZD	(D(Y)) = 0 ?、(Y) = 0～4	88、115
	RCP	(C) ← (0)	82、115
	SCP	(C) ← (1)	84、115
	IAK	(A_0) ← (K) (A_3～A_1) ← 0	77、115
	TFR0A	(FR0) ← (A)	98、115
	TFR1A	(FR1) ← (A)	98、115
	TAPU0	(A) ← (PU0)	94、115
	TPU0A	(PU0) ← (A)	101、115
	TAPU1	(A) ← (PU1)	94、115
	TPU1A	(PU1) ← (A)	101、115
	TAPU2	(A) ← (PU2)	94、115
	TPU2A	(PU2) ← (A)	101、115
入出力命令	TAK0	(A) ← (K0)	92、117
	TK0A	(K0) ← (A)	99、117
	TAK1	(A) ← (K1)	93、117
	TK1A	(K1) ← (A)	99、117
	TAK2	(A) ← (K2)	93、117
	TK2A	(K2) ← (A)	99、117
	TAL1	(A) ← (L1)	93、117
	TL1A	(L1) ← (A)	100、117
その他	TAMR	(A) ← (MR)	94、117
	TMRA	(MR) ← (A)	100、117
	NOP	(PC) ← (PC)+1	79、117
	POF	RAMバックアップモードへ遷移	81、117
	EPOF	POF命令有効	77、117
	SNZP	(P) = 1 ?	86、117
	SNZVD	$V2_3$＝0 : (VDF)＝1？ $V2_3$＝0 : NOP	87、117
	WRST	(WDF1) = 1 ? (WDF_1) ← 0	104、117
	DWDT	ウォッチドッグタイマ停止許可	76、117
	SRST	システムリセット	87、117
	RUPT	(UPTF) ←0	83、117
	SUPT	(UPTF) ←1	88、117
	RBK(注2)	TABP p 命令実行時 : p_6 ← 0	81、117
	SBK(注2)	TABP p 命令実行時 : p_6 ← 1	84、117

注2. M34571G4/G6 では、RBK，SBK 命令は使用できません。

[アルファベット順] 機械語命令一覧

A n (Add n and accumulator)

機械語：

D9									D0					
0	0	0	1	1	0	n	n	n	n	2	0	6	n	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	オーバフロー = 0

機　能：(A) ← (A) + n　n = 0〜15

分　　類：演算命令

詳細説明：レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。
加算の結果、オーバフローするとそのまま次の命令を実行します。オーバフローしなければ次の命令をスキップします。

AM (Add accumulator and Memory)

機械語：

D9									D0					
0	0	0	0	0	0	1	0	1	0	2	0	0	A	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(A) ← (A) + (M(DP))

分　　類：演算命令

詳細説明：レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。

AMC (Add accumulator, Memory and Carry)

機械語：

D9									D0					
0	0	0	0	0	0	1	0	1	1	2	0	0	B	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	0/1	–

機　能：(A) ← (A) + (M(DP)) + (CY)
(CY) ← キャリ

分　　類：演算命令

詳細説明：レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。

AND (logical AND between accumulator and memory)

機械語：

D9									D0					
0	0	0	0	0	1	1	0	0	0	2	0	1	8	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(A) ← (A) AND (M(DP))

分　　類：演算命令

詳細説明：レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。

[アルファベット順] 機械語命令一覧（続き）

B a (Branch to address a)

機械語：

D9									D0				
0	1	1	a6	a5	a4	a3	a2	a1	a0	2	1	8 +a	a	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(PCL) ← a6～a0

分　　類：ブランチ命令

詳細説明：ページ内ブランチ：同一ページのa番地へブランチします。

留意点：　ブランチ先はこの命令の存在するページ内で指定してください。

BL p,a (Branch Long to address a in page p)

機械語：

D9									D0					
0	0	1	1	1	p4	p3	p2	p1	p0	2	0	E +p	p	16
1	p6	p5	a6	a5	a4	a3	a2	a1	a0	2	2	a	a	16

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	–

機　能：(PCH) ← p
(PCL) ← a6～a0

分　　類：ブランチ命令

詳細説明：ページ外ブランチ：pページのa番地へブランチします。

留意点：　M34571G4の場合、p = 0～31
M34571G6の場合、p = 0～47
M34571GDの場合、p = 0～127

BLA p (Branch Long to address (D)+(A) in page p)

機械語：

D9									D0					
0	0	0	0	0	1	0	0	0	0	2	0	1	0	16
1	p6	p5	p4	0	0	p3	p2	p1	p0	2	2	p	p	16

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	–

機　能：(PCH) ← p
(PCL) ← (DR2～DR0、A3～A0)

分　　類：ブランチ命令

詳細説明：ページ外ブランチ：pページのレジスタDとレジスタAの内容で示された(DR2DR1DR0A3A2A1A0)2番地へブランチします。

留意点：　M34571G4の場合、p = 0～31
M34571G6の場合、p = 0～47
M34571GDの場合、p = 0～127

BM a (Branch and Mark to address a in page 2)

機械語：

D9									D0					
0	1	0	a6	a5	a4	a3	a2	a1	a0	2	1	a	a	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(SP) ← (SP) + 1
(SK(SP)) ← (PC)
(PCH) ← 2
(PCL) ← a6～a0

分　　類：サブルーチン呼び出し命令

詳細説明：2ページのサブルーチン呼び出し：2ページのa番地のサブルーチンを呼び出します。

留意点：　2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブ ルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。

[アルファベット順] 機械語命令一覧（続き）

BML p,a (Branch and Mark Long to address a in page p)

機械語：

D9									D0				
0	0	1	1	0	p_4	p_3	p_2	p_1	p_0	$_2$	0	c +p	p $_{16}$
1	p_6	p_5	a_6	a_5	a_4	a_3	a_2	a_1	a_0	$_2$	2	a	a $_{16}$

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	–

機　能：(SP) ← (SP) + 1
(SK(SP)) ← (PC)
(PC_H) ← p
(PC_L) ← a_6〜a_0

分　　類：サブルーチン呼び出し命令

詳細説明：サブルーチン呼び出し：pページのa番地のサブルーチンを呼び出します。

留意点：M34571G4の場合、p = 0〜31
M34571G6の場合、p = 0〜47
M34571GDの場合、p = 0〜127
サブルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語：

D9									D0				
0	0	0	0	1	1	0	0	0	0	$_2$	0	3	0 $_{16}$
1	p_6	p_5	p_4	0	0	p_3	p_2	p_1	p_0	$_2$	2	p	p $_{16}$

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	–

機　能：(SP) ← (SP) + 1
(SK(SP)) ← (PC)
(PC_H) ← p
(PC_L) ← (DR_2〜DR_0、A_3〜A_0)

分　　類：サブルーチン呼び出し命令

詳細説明：サブルーチン呼び出し：pページのレジスタDとレジスタAの内容で指定された($DR_2DR_1DR_0A_3A_2A_1A_0$)$_2$番地のサブルーチンを呼び出します。

留意点：M34571G4の場合、p = 0〜31
M34571G6の場合、p = 0〜47
M34571GDの場合、p = 0〜127
サブルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。

CLD (CLear port D)

機械語：

D9									D0				
0	0	0	0	0	1	0	0	0	1	$_2$	0	1	1 $_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(D) ← (1)

分　　類：入出力命令

詳細説明：ポートDをすべてセット(1)します。

CMA (CoMplement of Accumulator)

機械語：

D9									D0				
0	0	0	0	0	1	1	1	0	0	$_2$	0	1	C $_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(A) ← $\overline{(A)}$

分　　類：演算命令

詳細説明：レジスタAの内容の1の補数をレジスタAに格納します。

[アルファベット順] 機械語命令一覧（続き）

DEY (DEcrement register Y)

機械語： D9 … D0

0	0	0	0	0	1	0	1	1	1	2	0	1	7	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(Y) = 15

機　能： (Y) ← (Y) − 1

分　　類：RAMアドレス命令

詳細説明：レジスタYの内容を−1します。その結果、レジスタYの内容が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。

DI (Disable Interrupt)

機械語： D9 … D0

0	0	0	0	0	0	0	1	0	0	2	0	0	4	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (INTE) ← 0

分　　類：割り込み制御命令

詳細説明：割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。

留意点： DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後に行われます。

DWDT (Disable WatchDog Timer)

機械語： D9 … D0

1	0	1	0	0	1	1	1	0	0	2	2	9	C	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： ウォッチドッグタイマ機能停止許可

分　　類：その他

詳細説明：DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。

EI (Enable Interrupt)

機械語： D9 … D0

0	0	0	0	0	0	0	1	0	1	2	0	0	5	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (INTE) ← 1

分　　類：割り込み制御命令

詳細説明：割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。

留意点： EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。

[アルファベット順] 機械語命令一覧（続き）

EPOF (Enable POF instruction)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 1 0 1 1 (2) 0 5 B (16)	1	1	–	–

機　能：POF命令有効

分　　類：その他

詳細説明：EPOF命令を実行すると、直後のPOF命令が有効になります。

IAK (Input Accumulator from port K)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 1 0 1 1 1 1 (2) 2 6 F (16)	1	1	–	–

機　能：$(A_0) \leftarrow (K)$
$(A_3 \sim A_1) \leftarrow 0$

分　　類：入出力命令

詳細説明：ポートK の入力を、レジスタA の最下位ビット(A_0)へ転送します。レジスタA の上位3 ビット($A_3 \sim A_1$)の内容は“0”になります。

IAP0 (Input Accumulator from port P0)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 1 0 0 0 0 0 (2) 2 6 0 (16)	1	1	–	–

機　能：$(A) \leftarrow (P0)$

分　　類：入出力命令

詳細説明：ポートP0の入力を、レジスタAへ転送します。

IAP1 (Input Accumulator from port P1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 1 0 0 0 0 1 (2) 2 6 1 (16)	1	1	–	–

機　能：$(A) \leftarrow (P1)$

分　　類：入出力命令

詳細説明：ポートP1の入力を、レジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

IAP2 (Input Accumulator from port P2)

機械語：

D9									D0					
1	0	0	1	1	0	0	0	1	0	$_2$	2	6	2	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：$(A_1、A_0) \leftarrow (P2_1、P2_0)$
$(A_3、A_2) \leftarrow 0$

分　　類：入出力命令

詳細説明：ポートP2の入力を、レジスタAの下位2ビット$(A_1、A_0)$へ転送します。レジスタAの上位2ビット$(A_3、A_2)$の内容は“0”になります。

IAP3 (Input Accumulator from port P3)

機械語：

D9									D0					
1	0	0	1	1	0	0	0	1	1	$_2$	2	6	3	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：$(A_1、A_0) \leftarrow (P3_1、P3_0)$
$(A_3、A_2) \leftarrow 0$

分　　類：入出力命令

詳細説明：ポートP3の入力を、レジスタAの下位2ビット$(A_1、A_0)$へ転送します。レジスタAの上位2ビット$(A_3、A_2)$の内容は“0”になります。

INY (INcrement register Y)

機械語：

D9									D0					
0	0	0	0	0	1	0	0	1	1	$_2$	0	1	3	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(Y) = 0

機　能：$(Y) \leftarrow (Y) + 1$

分　　類：RAMアドレス命令

詳細説明：レジスタYの内容を＋1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。

LA n (Load n in Accumulator)

機械語：

D9									D0					
0	0	0	1	1	1	n	n	n	n	$_2$	0	7	n	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	連続記述

機　能：$(A) \leftarrow n$　$n = 0 \sim 15$

分　　類：演算命令

詳細説明：イミディエイトフィールドの値nをレジスタAにロードします。LA命令を連続記述し実行した場合は、最初に実行したLA命令を除き、以下に連続記述されたLA命令はスキップされます。

[アルファベット順] 機械語命令一覧（続き）

LXY x,y (Load register X and Y with x and y)

機械語：

D9									D0				
1	1	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0	3	x	y
$_2$										$_{16}$		

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	連続記述

機　能：(X) ← x　x = 0～15
(Y) ← y　y = 0～15

分　　類：RAMアドレス命令

詳細説明：イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。

LZ z (Load register Z with z)

機械語：

D9									D0			
0	0	0	1	0	0	1	0	Z_1	Z_0	0	4	8+z
$_2$										$_{16}$		

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(Z) ← z　z = 0～3

分　　類：RAMアドレス命令

詳細説明：イミディエイトフィールドの値zをレジスタZへロードします。

NOP (No OPeration)

機械語：

D9									D0			
0	0	0	0	0	0	0	0	0	0	0	0	0
$_2$										$_{16}$		

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(PC) ← (PC) + 1

分　　類：その他

詳細説明：ノーオペレーション：プログラムカウンタの値を+1します。他は変化しません。

OP0A (Output port P0 from Accumulator)

機械語：

D9									D0			
1	0	0	0	1	0	0	0	0	0	2	2	0
$_2$										$_{16}$		

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(P0) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をポートP0へ出力します。

[アルファベット順] 機械語命令一覧（続き）

OP1A (Output port P1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 0 0 0 1 (2) / 2 2 1 (16)	1	1	–	–

機　能：(P1) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をポートP1へ出力します。

OP2A (Output port P2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 0 0 1 0 (2) / 2 2 2 (16)	1	1	–	–

機　能：($P2_1$、$P2_0$) ← (A_1、A_0)

分　　類：入出力命令

詳細説明：レジスタAの下位2ビット(A_1、A_0)の内容をポートP2へ出力します。

OP3A (Output port P3 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 0 0 1 1 (2) / 2 2 3 (16)	1	1	–	–

機　能：($P3_1$、$P3_0$) ← (A_1、A_0)

分　　類：入出力命令

詳細説明：レジスタAの下位2ビット(A_1、A_0)の内容をポートP3へ出力します。

OR (logical OR between accumulator and memory)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 1 1 0 0 1 (2) / 0 1 9 (16)	1	1	–	–

機　能：(A) ← (A) OR (M(DP))

分　　類：演算命令

詳細説明：レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。

[アルファベット順] 機械語命令一覧（続き）

POF (Power OFf)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 0 0 0 1 0 (2) 0 0 2 (16)	1	1	–	–

機　能：RAMバックアップモードへ遷移

分　　類：その他

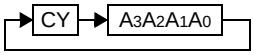
詳細説明：EPOF 命令実行直後にPOF 命令を実行すると、本製品はRAM バックアップモードになります。

留意点：　この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価になります。

RAR (Rotate Accumulator Right)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 1 1 1 0 1 (2) 0 1 D (16)	1	1	0/1	–

機　能：



分　　類：演算命令

詳細説明：キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。

RB j (Reset Bit)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 0 1 1 j j (2) 0 4 C+j (16)	1	1	–	–

機　能：(Mj(DP)) ← 0　j = 0～3

分　　類：ビット操作命令

詳細説明：M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。

RBK (Reset BanK flag)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 0 1 1 0 0 (2) 0 4 0 (16)	1	1	–	–

機　能：TABP p 命令実行時：p_6 ← 0

分　　類：その他

詳細説明：TABP p 命令実行時に参照するデータ領域を0～63 ページに設定します。この命令はTABP p 命令に対してのみ有効です。

留意点：M34571G4/G6 では、この命令は使用できません。

[アルファベット順] 機械語命令一覧（続き）

RC (Reset Carry flag)

機械語： D9 … D0

0	0	0	0	0	0	0	1	1	0	$_2$	0	0	6	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	0	–

機　能： (CY) ← 0

分　　類：演算命令

詳細説明：キャリフラグ(CY)をクリア(0)します。

RCP (Reset Port C)

機械語： D9 … D0

1	0	1	0	0	0	1	1	0	0	$_2$	2	8	C	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (C) ← 0

分　　類：入出力命令命令

詳細説明：ポートCをクリア(0)します。

RD (Reset port D specified by register Y)

機械語： D9 … D0

0	0	0	0	0	1	0	1	0	0	$_2$	0	1	4	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (D(Y)) ← 0
(Y) = 0〜4

分　　類：入出力命令

詳細説明：ポートDのレジスタYの内容で指定されたポートをクリア(0)します。

留意点： (Y) = 0〜4
レジスタYが指定範囲外のときはこの命令を実行しないでください。

RT (ReTurn from subroutine)

機械語： D9 … D0

0	0	0	1	0	0	0	1	0	0	$_2$	0	4	4	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	2	–	–

機　能： (PC) ← (SK(SP))
(SP) ← (SP) − 1

分　　類：リターン命令

詳細説明：サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。

[アルファベット順] 機械語命令一覧（続き）

RTI (ReTurn from Interrupt)

機械語： D9 … D0

0	0	0	1	0	0	0	1	1	0	$_2$	0	4	6	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	2	–	–

機　能： (PC) ← (SK(SP))
(SP) ← (SP) − 1

分　　類：リターン命令

詳細説明：割り込み処理ルーチンからメインルーチンに戻ります。データポインタ（レジスタZ，X，Y），キャリフラグ（CY），スキップステータス，LA/LXY 連続記述による NOP ステータス，レジスタA，レジスタBの各値を割り込み直前の状態に復帰させます。

RTS (ReTurn from subroutine and Skip)

機械語： D9 … D0

0	0	0	1	0	0	0	1	0	1	$_2$	0	4	5	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	2	–	無条件スキップ

機　能： (PC) ← (SK(SP))
(SP) ← (SP) − 1

分　　類：リターン命令

詳細説明：サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。

RUPT (Reset UPT flag)

機械語： D9 … D0

0	0	0	1	0	1	1	0	0	0	$_2$	0	5	8	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (UPTF) ←0

分　　類：その他

詳細説明：上位ビット参照許可フラグUPTFをクリア(0)します。

留意点：　テーブル参照命令（TABP p 命令）実行しても、ROM 内参照データの上位2 ビットはレジスタD に転送されません。

SB j (Set Bit)

機械語： D9 … D0

0	0	0	1	0	1	1	1	j	j	$_2$	0	5	C+j	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (Mj(DP)) ← 1　j = 0〜3

分　　類：ビット操作命令

詳細説明：M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。

[アルファベット順] 機械語命令一覧（続き）

SBK (Set BanK flag)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 0 0 0 1 0 0 0 0 0 1 $_2$ 0 4 1 $_{16}$	1	1	–	–

機　能： TABP p **命令実行時：** $p_6 \leftarrow 1$

分　　類：その他

詳細説明： TABP p **命令実行時に参照するデータ領域を** 64～127 **ページに定します。この命令は** TABP p **命令に対してのみ有効です。**

留意点： M34571G4/G6 **では、この命令は使用できません。**

SC (Set Carry flag)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 0 0 0 0 0 0 0 1 1 1 $_2$ 0 0 7 $_{16}$	1	1	1	–

機　能： (CY) ← 1

分　　類：演算命令

詳細説明：キャリフラグ (CY) **をセット** (1) **します。**

SCP (Set Port C)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 1 0 1 0 0 0 1 1 0 1 $_2$ 2 8 D $_{16}$	1	1	–	–

機　能： (C) ← 1

分　　類：入出力命令

詳細説明：ポート C **をセット** (1) **します。**

SD (Set port D specified by register Y)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 0 0 0 0 0 1 0 1 0 1 $_2$ 0 1 5 $_{16}$	1	1	–	–

機　能： (D(Y)) ← 1
(Y) = 0～4

分　　類：入出力命令

詳細説明：ポート D **のレジスタ** Y **の内容で指定されたポートをセット** (1) **します。**

留意点： (Y) = 0～4
レジスタ Y **が指定範囲外のときはこの命令を実行しないでください。**

[アルファベット順] 機械語命令一覧（続き）

SEA n (Skip Equal, Accumulator with immediate data n)

機械語：

D9									D0					
0	0	0	0	1	0	0	1	0	1	$_2$	0	2	5	$_{16}$
0	0	0	1	1	1	n	n	n	n	$_2$	0	7	n	$_{16}$

機　能：(A) = n？　n = 0〜15

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	(A) = n n = 0〜15

分　　類：比較命令

詳細説明：レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。

SEAM (Skip Equal, Accumulator with Memory)

機械語：

D9									D0					
0	0	0	0	1	0	0	1	1	0	$_2$	0	2	6	$_{16}$

機　能：(A) = (M(DP))？

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(A) = (M(DP))

分　　類：比較命令

詳細説明：レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語：

D9									D0					
0	0	0	0	1	1	1	0	0	0	$_2$	0	3	8	$_{16}$

機　能：$V1_0$ = 0 : (EXF0) = 1？
(EXF0) ← 0
$V1_0$ = 1 : SNZ0 = NOP

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V1_0$ = 0 : (EXF0) = 1

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタV1のビット0($V1_0$)の内容が“0”のときは、外部0割り込み要求フラグ(EXF0)が“1”であれば、フラグEXF0をクリア(0)し、次の命令をスキップします。フラグEXF0が“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV1のビット0($V1_0$)の内容が“1”のときは、この命令はNOP命令と等価となります。

SNZ1 (Skip if Non Zero condition of external interrupt 1 request flag)

機械語：

D9									D0					
0	0	0	0	1	1	1	0	0	1	$_2$	0	3	9	$_{16}$

機　能：$V1_1$ = 0 : (EXF1) = 1？
(EXF1) ← 0
$V1_1$ = 1 : SNZ1 = NOP

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V1_1$ = 0 : (EXF1) = 1

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタV1のビット1($V1_1$)の内容が“0”のときは、外部1割り込み要求フラグ(EXF1)が“1”であれば、フラグEXF1をクリア(0)し、次の命令をスキップします。フラグEXF1が“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV1のビット1($V1_1$)の内容が“1”のときは、この命令はNOP命令と等価となります。

[アルファベット順] 機械語命令一覧（続き）

SNZI0 (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語：

D9									D0					
0	0	0	0	1	1	1	0	1	0	$_2$	0	3	A	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$I1_2$ = 0 : (INT0) = “L” $I1_2$ = 1 : (INT0) = “H”

機　能：$I1_2$ = 0 : (INT0) = “L”?
$I1_2$ = 1 : (INT0) = “H”?

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタI1のビット2($I1_2$)の内容が“0”のときは、INT0端子のレベルが“L”であれば次の命令をスキップします。“H”ならば、そのまま次の命令を実行します。
割り込み制御レジスタI1のビット2($I1_2$)の内容が“1”のときは、INT0端子のレベルが“H”であれば次の命令をスキップします。“L”ならば、そのまま次の命令を実行します。

SNZI1 (Skip if Non Zero condition of external Interrupt 1 input pin)

機械語：

D9									D0					
0	0	0	0	1	1	1	0	1	1	$_2$	0	3	B	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$I2_2$ = 0 : (INT1) = “L” $I2_2$ = 1 : (INT1) = “H”

機　能：$I2_2$ = 0 : (INT1) = “L”?
$I2_2$ = 1 : (INT1) = “H”?

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタI2のビット2($I2_2$)の内容が“0”のときは、INT1端子のレベルが“L”であれば次の命令をスキップします。“H”ならば、そのまま次の命令を実行します。
割り込み制御レジスタI2のビット2($I2_2$)の内容が“1”のときは、INT1端子のレベルが“H”であれば次の命令をスキップします。“L”ならば、そのまま次の命令を実行します。

SNZP (Skip if Non Zero condition of Power down flag)

機械語：

D9									D0					
0	0	0	0	0	0	0	0	1	1	$_2$	0	0	3	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(P) = 1

機　能：(P) = 1？

分　　類：その他

詳細説明：パワーダウンフラグ(P)の内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語：

D9									D0					
1	0	1	0	0	0	0	0	0	0	$_2$	2	8	0	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V1_2$ = 0 : (T1F) = 1

機　能：$V1_2$ = 0 : (T1F) = 1？
(T1F) ← 0
$V1_2$ = 1 : SNZT1 = NOP

分　　類：タイマ操作命令

詳細説明：割り込み制御レジスタV1のビット2($V1_2$)の内容が“0”のときは、タイマ1割り込み要求フラグ(T1F)が“1”であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。フラグT1Fが“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV1のビット2($V1_2$)の内容が“1”のときは、この命令はNOP命令と等価となります。

[アルファベット順] 機械語命令一覧（続き）

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語：

D9									D0					
1	0	1	0	0	0	0	0	0	1	$_2$	2	8	1	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V1_3$ = 0 : (T2F) = 1

機　能：$V1_3$ = 0 : (T2F) = 1 ?
(T2F) ← 0
$V1_3$ = 1 : SNZT2 = NOP

分　類：タイマ操作命令

詳細説明：割り込み制御レジスタV1のビット3($V1_3$)の内容が“0”のときは、タイマ2割り込み要求フラグ(T2F)が“1”であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。フラグT2Fが“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV1のビット3($V1_3$)の内容が“1”のときは、この命令はNOP命令と等価となります。

SNZT3 (Skip if Non Zero condition of Timer 3 interrupt request flag)

機械語：

D9									D0					
1	0	1	0	0	0	0	0	1	0	$_2$	2	8	2	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V2_0$ = 0 : (T3F) = 1

機　能：$V2_0$ = 0 : (T3F) = 1 ?
(T3F) ← 0
$V2_0$ = 1 : SNZT3 = NOP

分　類：タイマ操作命令

詳細説明：割り込み制御レジスタV2のビット0($V2_0$)の内容が“0”のときは、タイマ3割り込み要求フラグ(T3F)が“1”であれば、フラグT3Fをクリア(0)し、次の命令をスキップします。フラグT3Fが“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV2のビット0($V2_0$)の内容が“1”のときは、この命令はNOP命令と等価となります。

SNZVD (Skip if Non Zero condition of Voltage Detector interrupt request flag)

機械語：

D9									D0					
1	0	1	0	0	0	1	0	1	0	$_2$	2	8	A	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	$V2_3$＝0 : (VDF)＝1

機　能：$V2_3$＝0 : (VDF)＝1?
$V2_3$＝1 : SNZVD＝NOP

分　類：その他

詳細説明：割り込み制御レジスタV2のビット3（$V2_3$）の内容が“0”のときは、電圧低下検出回路割り込み要求フラグ（VDF）が“1”であれば、次の命令をスキップします。フラグVDFはクリアされません。フラグVDFが“0”ならば、そのまま次の命令を実行します。
割り込み制御レジスタV2のビット3（$V2_3$）の内容が“1”のときは、この命令はNOP命令と等価になります。

SRST (System ReSet)

機械語：

D9									D0					
0	0	0	0	0	0	0	0	0	1	$_2$	0	0	1	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：システムリセット

分　類：その他

詳細説明：システムリセットが発生します。

[アルファベット順] 機械語命令一覧（続き）

SUPT (Set UPT flag)

機械語： D9 … D0

0	0	0	1	0	1	1	0	0	1	2	0	5	9	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能： (UPTF) ←1

分　　類：その他

詳細説明：上位ビット参照許可フラグUPTFをセット(1)します。

留意点：　テーブル参照命令(TABP p命令)を実行すると、ROM内参照データの上位2ビットがレジスタDの下位2ビットに転送されます。

SZB j (Skip if Zero, Bit)

機械語： D9 … D0

0	0	0	0	1	0	0	0	j	j	2	0	2	j	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(Mj(DP)) = 0 j = 0〜3

機　能： (Mj(DP)) = 0？　j = 0〜3

分　　類：ビット操作命令

詳細説明：M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

SZC (Skip if Zero, Carry flag)

機械語： D9 … D0

0	0	0	0	1	0	1	1	1	1	2	0	2	F	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(CY) = 0

機　能： (CY) = 0？

分　　類：演算命令

詳細説明：キャリフラグ(CY)の内容が“0”のとき、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。

SZD (Skip if Zero, port D specified by register Y)

機械語： D9 … D0

0	0	0	0	1	0	0	1	0	0	2	0	2	4	16
0	0	0	0	1	0	1	0	1	1	2	0	2	B	16

語　数	サイクル数	フラグCY	スキップ条件
2	2	–	(D(Y)) = 0

機　能： (D(Y)) = 0？
(Y) = 0〜4

分　　類：入出力命令

詳細説明：ポートDのレジスタYの内容で指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

留意点：　(Y) = 0〜4
レジスタYが指定範囲外のときはこの命令を実行しないでください。

[アルファベット順] 機械語命令一覧（続き）

T1AB (Transfer data to timer 1 and register R1 from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 0 0 0 0 (2) 2 3 0 (16)	1	1	–	–

機　能：($T1_7$〜$T1_4$) ← (B)
($R1_7$〜$R1_4$) ← (B)
($T1_3$〜$T1_0$) ← (A)
($R1_3$〜$R1_0$) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタBの内容をタイマ1の上位4ビット($T1_7$〜$T1_4$)とタイマ1のリロードレジスタR1の上位4ビット($R1_7$〜$R1_4$)へ、レジスタAの内容をタイマ1の下位4ビット($T1_3$〜$T1_0$)とタイマ1のリロードレジスタR1の下位4ビット($R1_3$〜$R1_0$)へ転送します。

T2AB (Transfer data to timer 2 and register R2 from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 0 0 0 1 (2) 2 3 1 (16)	1	1	–	–

機　能：($T2_7$〜$T2_4$) ← (B)
($R2_7$〜$R2_4$) ← (B)
($T2_3$〜$T2_0$) ← (A)
($R2_3$〜$R2_0$) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタBの内容をタイマ2の上位4ビット($T2_7$〜$T2_4$)とタイマ2のリロードレジスタR2の上位4ビット($R2_7$〜$R2_4$)へ、レジスタAの内容をタイマ2の下位4ビット($T2_3$〜$T2_0$)とタイマ2のリロードレジスタR2の下位4ビット($R2_3$〜$R2_0$)へ転送します。

T3AB (Transfer data to timer 3 and register R3L from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 0 0 1 0 (2) 2 3 2 (16)	1	1	–	–

機　能：($T3_7$〜$T3_4$) ← (B)
($R3L_7$〜$R3L_4$) ← (B)
($T3_3$〜$T3_0$) ← (A)
($R3L_3$〜$R3L_0$) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタBの内容をタイマ3の上位4ビット($T3_7$〜$T3_4$)とタイマ3のリロードレジスタR3Lの上位4ビット($R3L_7$〜$R3L_4$)へ、レジスタAの内容をタイマ3の下位4ビット($T3_3$〜$T3_0$)とタイマ3のリロードレジスタR3Lの下位4ビット($R3L_3$〜$R3L_0$)へ転送します。

T3HAB (Transfer data to register R3H from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 1 1 0 1 (2) 2 3 D (16)	1	1	–	–

機　能：($R3H_7$〜$R3H_4$) ← (B)
($R3H_3$〜$R3H_0$) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタBの内容をタイマ3のリロードレジスタR3Hの上位4ビット($R3H_7$〜$R3H_4$)へ、レジスタAの内容をタイマ3のリロードレジスタR3Hの下位4ビット($R3H_3$〜$R3H_0$)へ転送します。

[アルファベット順] 機械語命令一覧（続き）

T3R3L (Transfer data to timer 3 from register R3L)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 0 1 0 0 (2) 2 3 4 (16)	1	1	–	–

機　能：$(T3_7 \sim T3_0) \leftarrow (R3L_7 \sim R3L_0)$

分　　類：タイマ操作命令

詳細説明：リロードレジスタR3Lの内容をタイマ3へ転送します。

TAB (Transfer data to Accumulator from register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 1 1 1 1 0 (2) 0 1 E (16)	1	1	–	–

機　能：(A) ← (B)

分　　類：レジスタ間転送命令

詳細説明：レジスタBの内容をレジスタAへ転送します。

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 1 1 0 0 0 0 (2) 2 7 0 (16)	1	1	–	–

機　能：$(B) \leftarrow (T1_7 \sim T1_4)$
$(A) \leftarrow (T1_3 \sim T1_0)$

分　　類：タイマ操作命令

詳細説明：タイマ1の上位4ビット$(T1_7 \sim T1_4)$の内容をレジスタBへ、タイマ1の下位4ビット$(T1_3 \sim T1_0)$の内容をレジスタAへ転送します。

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 1 1 0 0 0 1 (2) 2 7 1 (16)	1	1	–	–

機　能：$(B) \leftarrow (T2_7 \sim T2_4)$
$(A) \leftarrow (T2_3 \sim T2_0)$

分　　類：タイマ操作命令

詳細説明：タイマ2の上位4ビット$(T2_7 \sim T2_4)$の内容をレジスタBへ、タイマ2の下位4ビット$(T2_3 \sim T2_0)$の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TAB3 (Transfer data to Accumulator and register B from timer 3)

機械語：

D9									D0				
1	0	0	1	1	1	0	0	1	0	$_2$	2 7 2	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(B) ← ($T3_7$〜$T3_4$)
(A) ← ($T3_3$〜$T3_0$)

分　　類：タイマ操作命令

詳細説明：タイマ3の上位4ビット($T3_7$〜$T3_4$)の内容をレジスタBへ、タイマ3の下位4ビット($T3_3$〜$T3_0$)の内容をレジスタAへ転送します。

TABE (Transfer data to Accumulator and register B from register E)

機械語：

D9									D0				
0	0	0	0	1	0	1	0	1	0	$_2$	0 2 A	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(B) ← (E_7〜E_4)
(A) ← (E_3〜E_0)

分　　類：レジスタ間転送命令

詳細説明：レジスタEの上位4ビット(E_7〜E_4)の内容をレジスタBへ、レジスタEの下位4ビット(E_3〜E_0)の内容をレジスタAへ転送します。

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語：

D9									D0				
0	0	1	0	p_5	p_4	p_3	p_2	p_1	p_0	$_2$	0 8+p p	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	3	–	–

機　能：(SP) ← (SP) + 1
(SK(SP)) ← (PC)
(PC_H) ← p
(PC_L) ← (DR_2〜DR_0、A_3〜A_0)
(B) ← $(ROM(PC))_{7〜4}$
(A) ← $(ROM(PC))_{3〜0}$
(UPTF) = 1のとき、
(DR_1、DR_0) ← $(ROM(PC))_{9、8}$
(DR_2) ← 0
(PC) ← (SK(SP))
(SP) ← (SP) − 1

分　　類：演算命令

詳細説明：p ページのレジスタ D とレジスタ A の内容で指定された$(DR_2DR_1DR_0A_3A_2A_1A_0)_2$番地のROMパターンのうち、ビット7〜4をレジスタBへ、ビット3〜0をレジスタAへ転送します。上位ビット参照許可フラグ UPTF の内容が“1”のときは、ROMパターンのビット9、8をレジスタDの下位2ビット(DR_1、DR_0)へ転送し、レジスタDの最上位ビット(DR_2)は“0”になります。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。

留意点：M34571G4の場合、p = 0〜31
M34571G6の場合、p = 0〜47
M34571GDの場合、p = 0〜127
TABP p命令実行時、スタックレジスタ(SK)を1段使用しますので、スタックオーバにならないよう注意してください。

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)

機械語：

D9									D0				
1	0	0	1	1	1	0	1	0	1	$_2$	2 7 5	$_{16}$

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(B) ← (TPS_7〜TPS_4)
(A) ← (TPS_3〜TPS_0)

分　　類：タイマ操作命令

詳細説明：プリスケーラの上位4ビットの内容をレジスタBへ転送し、プリスケーラの下位4ビットの内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TAD (Transfer data to Accumulator from register D)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D_9 … D_0: 0 0 0 1 0 1 0 0 0 1 $_2$ (0 5 1 $_{16}$)	1	1	–	–

機　能：$(A_2 \sim A_0) \leftarrow (DR_2 \sim DR_0)$
$(A_3) \leftarrow 0$

分　　類：レジスタ間転送命令

詳細説明：レジスタDの内容をレジスタAの下位3ビット$(A_2 \sim A_0)$へ転送します。レジスタAの最上位ビット(A_3)は“0”になります。

TAI1 (Transfer data to Accumulator from register I1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D_9 … D_0: 1 0 0 1 0 1 0 0 1 1 $_2$ (2 5 3 $_{16}$)	1	1	–	–

機　能：(A) ← (I1)

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタI1の内容をレジスタAへ転送します。

TAI2 (Transfer data to Accumulator from register I2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D_9 … D_0: 1 0 0 1 0 1 0 1 0 0 $_2$ (2 5 4 $_{16}$)	1	1	–	–

機　能：(A) ← (I2)

分　　類：割り込み制御命令

詳細説明：割り込み制御レジスタI2の内容をレジスタAへ転送します。

TAK0 (Transfer data to Accumulator from register K0)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D_9 … D_0: 1 0 0 1 0 1 0 1 1 0 $_2$ (2 5 6 $_{16}$)	1	1	–	–

機　能：(A) ← (K0)

分　　類：入出力命令

詳細説明：キーオンウェイクアップ制御レジスタK0の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TAK1 (Transfer data to Accumulator from register K1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 1 0 0 1 (2) 2 5 9 (16)	1	1	–	–

機　能：(A) ← (K1)

分　　類：入出力命令

詳細説明：キーオンウェイクアップ制御レジスタK1の内容をレジスタAへ転送します。

TAK2 (Transfer data to Accumulator from register K2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 1 0 1 0 (2) 2 5 A (16)	1	1	–	–

機　能：(A) ← (K2)

分　　類：入出力命令

詳細説明：キーオンウェイクアップ制御レジスタK2の内容をレジスタAへ転送します。

TAL1 (Transfer data to Accumulator from register L1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 0 1 0 1 0 (2) 2 4 A (16)	1	1	–	–

機　能：(A) ← (L1)

分　　類：入出力命令

詳細説明：キーオンウェイクアップ制御レジスタL1の内容をレジスタAへ転送します。

TAM j (Transfer data to Accumulator from Memory)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 1 1 0 0 j j j j (2) 2 C j (16)	1	1	–	–

機　能：(A) ← (M(DP))
(X) ← (X)EXOR(j)　j = 0～15

分　　類：RAM・レジスタ間転送命令

詳細説明：M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

[アルファベット順] 機械語命令一覧（続き）

TAMR (Transfer data to Accumulator from register MR)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 0 0 1 0 $_2$ 2 5 2 $_{16}$	1	1	–	–

機　能：(A) ← (MR)

分　　類：クロック制御命令

詳細説明：クロック制御レジスタMRの内容をレジスタAへ転送します。

TAPU0 (Transfer data to Accumulator from register PU0)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 0 1 1 1 $_2$ 2 5 7 $_{16}$	1	1	–	–

機　能：(A) ← (PU0)

分　　類：入出力命令

詳細説明：プルアップ制御レジスタPU0の内容をレジスタAへ転送します。

TAPU1 (Transfer data to Accumulator from register PU1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 1 1 1 0 $_2$ 2 5 E $_{16}$	1	1	–	–

機　能：(A) ← (PU1)

分　　類：入出力命令

詳細説明：プルアップ制御レジスタPU1の内容をレジスタAへ転送します。

TAPU2 (Transfer data to Accumulator from register PU2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 1 1 1 1 1 $_2$ 2 5 F $_{16}$	1	1	–	–

機　能：(A) ← (PU2)

分　　類：入出力命令

詳細説明：プルアップ制御レジスタPU2の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TASP (Transfer data to Accumulator from Stack Pointer)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 0 0 0 0 $_2$ 　0 5 0 $_{16}$	1	1	–	–

機　能： $(A_2 \sim A_0) \leftarrow (SP_2 \sim SP_0)$
$(A_3) \leftarrow 0$

分　　類： レジスタ間転送命令

詳細説明： スタックポインタ(SP)の内容をレジスタAの下位3ビット($A_2 \sim A_0$)へ転送します。レジスタAの最上位ビット(A_3)は“0”になります。

TAV1 (Transfer data to Accumulator from register V1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 0 1 0 0 $_2$ 　0 5 4 $_{16}$	1	1	–	–

機　能： (A) ← (V1)

分　　類： 割り込み制御命令

詳細説明： 割り込み制御レジスタV1の内容をレジスタAへ転送します。

TAV2 (Transfer data to Accumulator from register V2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 0 1 0 1 $_2$ 　0 5 5 $_{16}$	1	1	–	–

機　能： (A) ← (V2)

分　　類： 割り込み制御命令

詳細説明： 割り込み制御レジスタV2の内容をレジスタAへ転送します。

TAW1 (Transfer data to Accumulator from register W1)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 0 1 0 1 1 $_2$ 　2 4 B $_{16}$	1	1	–	–

機　能： (A) ← (W1)

分　　類： タイマ操作命令

詳細説明： タイマ制御レジスタW1の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TAW2 (Transfer data to Accumulator from register W2)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 0 1 1 0 0 (2) 2 4 C (16)	1	1	–	–

機　能：(A) ← (W2)

分　　類：タイマ操作命令

詳細説明：タイマ制御レジスタW2の内容をレジスタAへ転送します。

TAW3 (Transfer data to Accumulator from register W3)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 0 1 1 0 1 (2) 2 4 D (16)	1	1	–	–

機　能：(A) ← (W3)

分　　類：タイマ操作命令

詳細説明：タイマ制御レジスタW3の内容をレジスタAへ転送します。

TAW5 (Transfer data to Accumulator from register W5)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 1 0 0 1 1 1 1 (2) 2 4 F (16)	1	1	–	–

機　能：(A) ← (W5)

分　　類：タイマ操作命令

詳細説明：タイマ制御レジスタW5の内容をレジスタAへ転送します。

TAX (Transfer data to Accumulator from register X)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 0 0 1 0 (2) 0 5 2 (16)	1	1	–	–

機　能：(A) ← (X)

分　　類：レジスタ間転送命令

詳細説明：レジスタXの内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TAY (Transfer data to Accumulator from register Y)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 1 1 1 1 1 (2) 0 1 F (16)	1	1	–	–

機　能：(A) ← (Y)

分　　類：レジスタ間転送命令

詳細説明：レジスタYの内容をレジスタAへ転送します。

TAZ (Transfer data to Accumulator from register Z)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 1 0 1 0 0 1 1 (2) 0 5 3 (16)	1	1	–	–

機　能：(A_1、A_0) ← (Z_1、Z_0)
(A_3、A_2) ← 0

分　　類：レジスタ間転送命令

詳細説明：レジスタZの内容をレジスタAの下位2ビット(A_1、A_0)へ転送します。レジスタAの上位2ビット(A_3、A_2)は“0”になります。

TBA (Transfer data to register B from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 0 1 1 1 0 (2) 0 0 E (16)	1	1	–	–

機　能：(B) ← (A)

分　　類：レジスタ間転送命令

詳細説明：レジスタAの内容をレジスタBへ転送します。

TDA (Transfer data to register D from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 1 0 1 0 0 1 (2) 0 2 9 (16)	1	1	–	–

機　能：(DR_2～DR_0) ← (A_2～A_0)

分　　類：レジスタ間転送命令

詳細説明：レジスタAの下位3ビット(A_2～A_0)の内容をレジスタDへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TEAB (Transfer data to register E from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 0 1 1 0 1 0 (2) 0 1 A (16)	1	1	–	–

機　能：(E7～E4) ← (B)
(E3～E0) ← (A)

分　　類：レジスタ間転送命令

詳細説明：レジスタBの内容をレジスタEの上位4ビット(E7～E4)へ、レジスタAの内容をレジスタEの下位4ビット(E3～E0)へ転送します。

TFR0A (Transfer data to register FR0 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 1 0 0 0 (2) 2 2 8 (16)	1	1	–	–

機　能：(FR0) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をポート出力形式制御レジスタFR0へ転送します。

TFR1A (Transfer data to register FR1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 1 0 0 1 (2) 2 2 9 (16)	1	1	–	–

機　能：(FR1) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をポート出力形式制御レジスタFR1へ転送します。

TI1A (Transfer data to register I1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 0 1 1 1 (2) 2 1 7 (16)	1	1	–	–

機　能：(I1) ← (A)

分　　類：割り込み制御命令

詳細説明：レジスタAの内容を割り込み制御レジスタI1へ転送します。

[アルファベット順] 機械語命令一覧（続き）

TI2A (Transfer data to register I2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 1 0 0 0 $_2$ 2 1 8 $_{16}$	1	1	–	–

機　能：(I2) ← (A)

分　　類：割り込み制御命令

詳細説明：レジスタAの内容を割り込み制御レジスタI2へ転送します。

TK0A (Transfer data to register K0 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 1 0 1 1 $_2$ 2 1 B $_{16}$	1	1	–	–

機　能：(K0) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をキーオンウェイクアップ制御レジスタK0へ転送します。

TK1A (Transfer data to register K1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 0 1 0 0 $_2$ 2 1 4 $_{16}$	1	1	–	–

機　能：(K1) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をキーオンウェイクアップ制御レジスタK1へ転送します。

TK2A (Transfer data to register K2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 0 1 0 1 $_2$ 2 1 5 $_{16}$	1	1	–	–

機　能：(K2) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をキーオンウェイクアップ制御レジスタK2へ転送します。

[アルファベット順] 機械語命令一覧（続き）

TL1A (Transfer data to register L1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 0 1 0 1 0 (2) 2 0 A (16)	1	1	–	–

機　能：(L1) ← (A)

分　　類：入出力命令令

詳細説明：レジスタAの内容をキーオンウェイクアップ制御レジスタL1へ転送します。

TMA j (Transfer data to Memory from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 1 0 1 1 j j j j (2) 2 B j (16)	1	1	–	–

機　能：(M(DP)) ← (A)
(X) ← (X)EXOR(j)　j = 0〜15

分　　類：RAM・レジスタ間転送命令

詳細説明：レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

TMRA (Transfer data to register MR from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 1 0 1 1 0 (2) 2 1 6 (16)	1	1	–	–

機　能：(MR) ← (A)

分　　類：クロック制御命令

詳細説明：レジスタAの内容をクロック制御レジスタMRへ転送します。

TPAA (Transfer data to register PA from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 1 0 1 0 1 0 1 0 (2) 2 A A (16)	1	1	–	–

機　能：(PA_0) ← (A_0)

分　　類：タイマ操作命令

詳細説明：レジスタAの最下位ビット(A_0)の内容をタイマ制御レジスタPAへ転送します。

[アルファベット順] 機械語命令一覧（続き）

TPSAB (Transfer data to Pre-Scaler and register RPS from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 0 1 0 1 (2) 2 3 5 (16)	1	1	–	–

機　能：(RPS7～RPS4) ← (B)
(TPS7～TPS4) ← (B)
(RPS3～RPS0) ← (A)
(TPS3～TPS0) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタBの内容をプリスケーラ及びプリスケーラのリロードレジスタRPSの上位4ビットへ転送し、レジスタAの内容をプリスケーラ及びプリスケーラのリロードレジスタRPSの下位4ビットへ転送します。

TPU0A (Transfer data to register PU0 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 1 1 0 1 (2) 2 2 D (16)	1	1	–	–

機　能：(PU0) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をプルアップ制御レジスタPU0へ転送します。

TPU1A (Transfer data to register PU1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 1 1 1 0 (2) 2 2 E (16)	1	1	–	–

機　能：(PU1) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をプルアップ制御レジスタPU1へ転送します。

TPU2A (Transfer data to register PU2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 0 1 1 1 1 (2) 2 2 F (16)	1	1	–	–

機　能：(PU2) ← (A)

分　　類：入出力命令

詳細説明：レジスタAの内容をプルアップ制御レジスタPU2へ転送します。

[アルファベット順] 機械語命令一覧（続き）

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 1 1 1 1 1 1 (2) 2 3 F (16)	1	1	–	–

機　能： ($R1_7$〜$R1_4$) ← (B)
($R1_3$〜$R1_0$) ← (A)

分　　類： 入出力命令

詳細説明： レジスタBの内容をリロードレジスタR1の上位4ビット($R1_7$〜$R1_4$)へ、レジスタAの内容をリロードレジスタR1の下位4ビット($R1_3$〜$R1_0$)へ転送します。

TV1A (Transfer data to register V1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 1 1 1 1 1 1 (2) 0 3 F (16)	1	1	–	–

機　能： (V1) ← (A)

分　　類： 割り込み制御命令

詳細説明： レジスタAの内容を割り込み制御レジスタV1へ転送します。

TV2A (Transfer data to register V2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 0 0 0 0 1 1 1 1 1 0 (2) 0 3 E (16)	1	1	–	–

機　能： (V2) ← (A)

分　　類： 割り込み制御命令

詳細説明： レジスタAの内容を割り込み制御レジスタV2へ転送します。

TW1A (Transfer data to register W1 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 … D0: 1 0 0 0 0 0 1 1 1 0 (2) 2 0 E (16)	1	1	–	–

機　能： (W1) ← (A)

分　　類： タイマ操作命令

詳細説明： レジスタAの内容をタイマ制御レジスタW1へ転送します。

[アルファベット順] 機械語命令一覧（続き）

TW2A (Transfer data to register W2 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 1 0 0 0 0 0 1 1 1 1 $_2$ 　2 0 F $_{16}$	1	1	–	–

機　能：(W2) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタAの内容をタイマ制御レジスタW2へ転送します。

TW3A (Transfer data to register W3 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 1 0 0 0 0 1 0 0 0 0 $_2$ 　2 1 0 $_{16}$	1	1	–	–

機　能：(W3) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタAの内容をタイマ制御レジスタW3へ転送します。

TW5A (Transfer data to register W5 from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 1 0 0 0 0 1 0 0 1 0 $_2$ 　2 1 2 $_{16}$	1	1	–	–

機　能：(W5) ← (A)

分　　類：タイマ操作命令

詳細説明：レジスタAの内容をタイマ制御レジスタW5へ転送します。

TYA (Transfer data to register Y from Accumulator)

機械語：	語　数	サイクル数	フラグCY	スキップ条件
D9 D0: 0 0 0 0 0 0 1 1 0 0 $_2$ 　0 0 C $_{16}$	1	1	–	–

機　能：(Y) ← (A)

分　　類：レジスタ間転送命令

詳細説明：レジスタAの内容をレジスタYへ転送します。

[アルファベット順] 機械語命令一覧（続き）

WRST (Watchdog timer ReSeT)

機械語：

D9									D0					
1	0	1	0	1	0	0	0	0	0	2	2	A	0	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(WDF1) = 1

機　能：(WDF1) = 1 ?
(WDF1) ← 0

分　　類：その他

詳細説明：ウォッチドッグタイマフラグ(WDF1)が“1”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。
“0”ならば、そのまま次の命令を実行します。
また、DWDT命令実行直後にWRST命令を実行するとウォッチドッグタイマによるリセット発生機能を停止します。

XAM j (eXchange Accumulator and Memory data)

機械語：

D9									D0					
1	0	1	1	0	1	j	j	j	j	2	2	D	j	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	–

機　能：(A) ← → (M(DP))
(X) ← (X)EXOR(j)　j = 0〜15

分　　類：RAM・レジスタ間転送命令

詳細説明：M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語：

D9									D0					
1	0	1	1	1	1	j	j	j	j	2	2	F	j	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(Y) = 15

機　能：(A) ← → (M(DP))
(X) ← (X)EXOR(j)　j = 0〜15
(Y) ← (Y) − 1

分　　類：RAM・レジスタ間転送命令

詳細説明：M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
また、レジスタYの内容を−1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

機械語：

D9									D0					
1	0	1	1	1	0	j	j	j	j	2	2	E	j	16

語　数	サイクル数	フラグCY	スキップ条件
1	1	–	(Y) = 0

機　能：(A) ← → (M(DP))
(X) ← (X)EXOR(j)　j = 0〜15
(Y) ← (Y) + 1

分　　類：RAM・レジスタ間転送命令

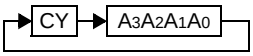
詳細説明：M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
また、レジスタYの内容を＋1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。

［機能分類別］機械語命令一覧

分類	命令記号	命令コード D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			語数	サイクル数	機能
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0	1	E	1	1	(A) ← (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0	0	E	1	1	(B) ← (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0	1	F	1	1	(A) ← (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0	0	C	1	1	(Y) ← (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0	1	A	1	1	(E_7～E_4) ← (B) (E_3～E_0) ← (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0	2	A	1	1	(B) ← (E_7～E_4) (A) ← (E_3～E_0)
	TDA	0	0	0	0	1	0	1	0	0	1	0	2	9	1	1	(DR_2～DR_0) ← (A_2～A_0)
	TAD	0	0	0	1	0	1	0	0	0	1	0	5	1	1	1	(A_2～A_0) ← (DR_2～DR_0) (A_3) ← 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0	5	3	1	1	(A_1、A_0) ← (Z_1、Z_0) (A_3、A_2) ← 0
	TAX	0	0	0	1	0	1	0	0	1	0	0	5	2	1	1	(A) ← (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0	5	0	1	1	(A_2～A_0) ← (SP_2～SP_0) (A_3) ← 0
RAMアドレス命令	LXY x、y	1	1	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0	3	x	y	1	1	(X) ← x、x = 0～15 (Y) ← y、y = 0～15
	LZ z	0	0	0	1	0	0	1	0	z_1	z_0	0	4	8 +z	1	1	(Z) ← z、z = 0～3
	INY	0	0	0	0	0	1	0	0	1	1	0	1	3	1	1	(Y) ← (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0	1	7	1	1	(Y) ← (Y) − 1
RAM・レジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2	C	j	1	1	(A) ← (M(DP)) (X) ← (X)EXOR(j)、j = 0～15
	XAM j	1	0	1	1	0	1	j	j	j	j	2	D	j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0～15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2	F	j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0～15 (Y) ← (Y) − 1
	XAMI j	1	0	1	1	1	0	j	j	j	j	2	E	j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j)、j = 0～15 (Y) ← (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2	B	j	1	1	(M(DP)) ← (A) (X) ← (X)EXOR(j)、j = 0～15

スキップ条件	フラグCY	詳細説明
−	−	レジスタBの内容をレジスタAへ転送します。
−	−	レジスタAの内容をレジスタBへ転送します。
−	−	レジスタYの内容をレジスタAへ転送します。
−	−	レジスタAの内容をレジスタYへ転送します。
−	−	レジスタBの内容をレジスタEの上位4ビット(E_7〜E_4)へ、 レジスタAの内容をレジスタEの下位4ビット(E_3〜E_0)へ転送します。
−	−	レジスタEの上位4ビット(E_7〜E_4)の内容をレジスタBへ、 レジスタEの下位4ビット(E_3〜E_0)の内容をレジスタAへ転送します。
−	−	レジスタAの下位3ビット(A_2〜A_0)の内容をレジスタDへ転送します。
−	−	レジスタDの内容をレジスタAの下位3ビット(A_2〜A_0)へ転送します。 レジスタAの最上位ビット(A_3)は“0”になります。
−	−	レジスタZの内容をレジスタAの下位2ビット(A_1、A_0)へ転送します。 レジスタAの上位2ビット(A_3、A_2)は“0”になります。
−	−	レジスタXの内容をレジスタAへ転送します。
−	−	スタックポインタ(SP)の内容をレジスタAの下位3ビット(A_2〜A_0)へ転送します。 レジスタAの最上位ビット(A_3)は“0”になります。
連続記述	−	イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。 LXY命令を連続記述し実行した場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
−	−	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	−	レジスタYの内容を＋1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。 “0”以外ならば、そのまま次の命令を実行します。
(Y) = 15	−	レジスタYの内容を－1します。その結果、レジスタYの内容が“15”であれば、次の命令をスキップします。 “15”以外ならば、そのまま次の命令を実行します。
−	−	M(DP)の内容をレジスタAへ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
−	−	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	−	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を－1し、その結果が“15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。
(Y) = 0	−	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を＋1し、その結果が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。
−	−	レジスタAの内容をM(DP)転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	16進表記			語数	サイクル数	機能
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0	7	n	1	1	(A) ← n、n = 0〜15
	TABP p	0	0	1	0	p_5	p_4	p_3	p_2	p_1	p_0	0	8 +p	p	1	3	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC_H) ← p（注） (PC_L) ← ($DR_{2〜0}$、$A_{3〜0}$) (B) ← (ROM(PC))$_{7〜4}$ (A) ← (ROM(PC))$_{3〜0}$ (UPTF) = 1のとき、 (DR_1、DR_0) ← (ROM(PC))$_{9、8}$ (DR_2) ← 0 (PC) ← (SK(SP)) (SP) ← (SP) − 1
	AM	0	0	0	0	0	0	1	0	1	0	0	0	A	1	1	(A) ← (A) + (M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0	0	B	1	1	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ
	A n	0	0	0	1	1	0	n	n	n	n	0	6	n	1	1	(A) ← (A) + n、n = 0〜15
	AND	0	0	0	0	0	1	1	0	0	0	0	1	8	1	1	(A) ← (A)AND(M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0	1	9	1	1	(A) ← (A)OR(M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0	0	7	1	1	(CY) ← 1
	RC	0	0	0	0	0	0	0	1	1	0	0	0	6	1	1	(CY) ← 0
	SZC	0	0	0	0	1	0	1	1	1	1	0	2	F	1	1	(CY) = 0 ?
	CMA	0	0	0	0	0	1	1	1	0	0	0	1	C	1	1	(A) ← $\overline{(A)}$
	RAR	0	0	0	0	0	1	1	1	0	1	0	1	D	1	1	
ビット操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0	5	C +j	1	1	(Mj(DP)) ← 1、j = 0〜3
	RB j	0	0	0	1	0	0	1	1	j	j	0	4	C +j	1	1	(Mj(DP)) ← 0、j = 0〜3
	SZB j	0	0	0	0	1	0	0	0	j	j	0	2	j	1	1	(Mj(DP)) = 0 ?、j = 0〜3

M34571G4: p=0〜31
M34571G6: p=0〜47
M34571GD: p=0〜127

スキップ条件	フラグCY	詳細説明
連続記述	–	イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に実行したLA命令を除き、以下に連続記述されたLA命令はスキップされます。
–	–	pページのレジスタDとレジスタAの内容で指定された(DR2 DR1 DR0 A3 A2 A1 A0)2番地のROMパターンのうち、ビット7～4をレジスタBへ、ビット3～0をレジスタAへ転送します。 上位ビット参照許可フラグUPTFの内容が“1”のときは、ROMパターンのビット9、8をレジスタDの下位2ビット(DR1、DR0)へ転送し、レジスタDの最上位ビット(DR2)は“0”になります。 この命令を実行するときは、スタックレジスタ(SK)を1段使用します。
–	–	レジスタAの内容にM(DP)の内容を加えます。その結果はレジスタAに格納されます。 キャリフラグの内容は変化しません。
–	0/1	レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。
オーバフロー = 0	–	レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。 キャリフラグ(CY)の内容は変化しません。加算の結果、オーバフローするとそのまま次の命令を実行します。 オーバフローしなければ次の命令をスキップします。
–	–	レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。
–	–	レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。
–	1	キャリフラグ(CY)をセット(1)します。
–	0	キャリフラグ(CY)をクリア(0)します。
(CY) = 0	–	キャリフラグ(CYの内容が“0”のとき、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。 スキップ後もフラグCYは変化しません。
–	–	レジスタAの内容の1の補数をレジスタAに格納します。
–	0/1	キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。
–	–	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。
–	–	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。
(Mj(DP)) = 0 ただし、j = 0～3	–	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			語数	サイクル数	機能
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0	2	6	1	1	(A) = (M(DP)) ?
	SEA n	0	0	0	0	1	0	0	1	0	1	0	2	5	2	2	(A) = n、n = 0〜15
		0	0	0	1	1	1	n	n	n	n	0	7	n			
ブランチ命令	B a	0	1	1	a_6	a_5	a_4	a_3	a_2	a_1	a_0	1	8+a	a	1	1	$(PC_L) \leftarrow a_6 \sim a_0$
	BL p、a	0	0	1	1	1	p_4	p_3	p_2	p_1	p_0	0	E+p	p	2	2	$(PC_H) \leftarrow p$（注） $(PC_L) \leftarrow a_6 \sim a_0$
		1	p_6	p_5	a_6	a_5	a_4	a_3	a_2	a_1	a_0	2	a	a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0	1	0	2	2	$(PC_H) \leftarrow p$（注） $(PC_L) \leftarrow (DR_2 \sim DR_0、A_3 \sim A_0)$
		1	p_6	p_5	p_4	0	0	p_3	p_2	p_1	p_0	2	p	p			
サブルーチン呼び出し命令	BM a	0	1	0	a_6	a_5	a_4	a_3	a_2	a_1	a_0	1	a	a	1	1	(SP) ← (SP) + 1 (SK(SP)) ← (PC) $(PC_H) \leftarrow 2$ $(PC_L) \leftarrow a_6 \sim a_0$
	BML p、a	0	0	1	1	0	p_4	p_3	p_2	p_1	p_0	0	C+p	p	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) $(PC_H) \leftarrow p$（注） $(PC_L) \leftarrow a_6 \sim a_0$
		1	p_6	p_5	a_6	a_5	a_4	a_3	a_2	a_1	a_0	2	a	a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0	3	0	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) $(PC_H) \leftarrow p$（注） $(PC_L) \leftarrow (DR_2 \sim DR_0、A_3 \sim A_0)$
		1	p_6	p_5	p_4	0	0	p_3	p_2	p_1	p_0	2	p	p			
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0	4	6	1	1	(PC) ← (SK(SP)) (SP) ← (SP) − 1
	RT	0	0	0	1	0	0	0	1	0	0	0	4	4	1	2	(PC) ← (SK(SP)) (SP) ← (SP) − 1
	RTS	0	0	0	1	0	0	0	1	0	1	0	4	5	1	2	(PC) ← (SK(SP)) (SP) ← (SP) − 1

M34571G4: p=0〜31
M34571G6: p=0〜47
M34571GD: p=0〜127

スキップ条件	フラグCY	詳細説明
(A) = (M(DP)) (A) = n ただし、n = 0～15	– –	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。 レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
– – –	– – –	ページ内ブランチ：同一ページのa番地へブランチします。 ページ外ブランチ：pページのa番地へブランチします。 ページ外ブランチ：pページのレジスタDとレジスタAの内容で示された$(DR_2\ DR_1\ DR_0\ A_3\ A_2\ A_1\ A_0)_2$番地へ ブランチします。
– – –	– – –	2ページのサブルーチン呼び出し：2ページのa番地のサブルーチンを呼び出します。 サブルーチン呼び出し：pページのa番地のサブルーチンを呼び出します。 サブルーチン呼び出し：pページのレジスタDとレジスタAの内容で指定された$(DR_2\ DR_1\ DR_0\ A_3\ A_2\ A_1\ A_0)_2$番地のサブルーチンを呼び出します。
– – 無条件スキップ	– – –	割り込み処理ルーチンからメインルーチンへ戻ります。 データポインタ(X，Y，Z)、キャリフラグCY、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。 サブルーチンから、このサブルーチンを呼び出したルーチンへ戻ります。 サブルーチンから、このサブルーチンを呼び出したルーチンへ戻り、次の命令を無条件にスキップします。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			語数	サイクル数	機能
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0	0	4	1	1	(INTE) ← 0
	EI	0	0	0	0	0	0	0	1	0	1	0	0	5	1	1	(INTE) ← 1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0	3	8	1	1	$V1_0$ = 0 : (EXF0) = 1 ? (EXF0) ← 0 $V1_0$ = 1 : SNZ0 = NOP
	SNZI0	0	0	0	0	1	1	1	0	1	0	0	3	A	1	1	$I1_2$ = 0 : (INT0) = “ L ”? $I1_2$ = 1 : (INT0) = “ H ”?
	SNZ1	0	0	0	0	1	1	1	0	0	1	0	3	9	1	1	$V1_1$ = 0 : (EXF1) = 1 ? (EXF1) ← 0 $V1_1$ = 1 : SNZ1 = NOP
	SNZI1	0	0	0	0	1	1	1	0	1	1	0	3	B	1	1	$I2_2$ = 0 : (INT1) = “ L ”? $I2_2$ = 1 : (INT1) = “ H ”?
	TAV1	0	0	0	1	0	1	0	1	0	0	0	5	4	1	1	(A) ← (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0	3	F	1	1	(V1) ← (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0	5	5	1	1	(A) ← (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0	3	E	1	1	(V2) ← (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2	5	3	1	1	(A) ← (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2	1	7	1	1	(I1) ← (A)
	TAI2	1	0	0	1	0	1	0	1	0	0	2	5	4	1	1	(A) ← (I2)
	TI2A	1	0	0	0	0	1	1	0	0	0	2	1	8	1	1	(I2) ← (A)
タイマ操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2	A	A	1	1	(PA_1、PA_0) ← (A_1、A_0)
	TAW1	1	0	0	1	0	0	1	0	1	1	2	4	B	1	1	(A) ← (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2	0	E	1	1	(W1) ← (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2	4	C	1	1	(A) ← (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2	0	F	1	1	(W2) ← (A)
	TAW3	1	0	0	1	0	0	1	1	0	1	2	4	D	1	1	(A) ← (W3)
	TW3A	1	0	0	0	0	1	0	0	0	0	2	1	0	1	1	(W3) ← (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2	4	F	1	1	(A) ← (W5)
	TW5A	1	0	0	0	0	1	0	0	1	0	2	1	2	1	1	(W5) ← (A)

スキップ条件	フラグCY	詳細説明能
−	−	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
−	−	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
$V1_0$ = 0 : (EXF0) = 1	−	割り込み制御レジスタV1のビット0($V1_0$)の内容が“0”のときは、外部0割り込み要求フラグ(EXF0)が“1”であれ ば、フラグEXF0をクリア(0)し、次の命令をスキップします。 フラグEXF0が“0”ならば、そのまま次の命令を実行します 。 割り込み制御レジスタV1のビット0($V1_0$)の内容が“1”のときは、この命令はNOP命令と等価になります 。
$I1_2$ = 0： (INT0) = “L”	−	割り込み制御レジスタI1のビット2($I1_2$)の内容が“0”のときは、INT0端子のレベルが、“L”であれば次の命令をスキップし、“H”ならばそのまま次の命令を実行します。
$I1_2$ = 1： (INT0) = “H”		割り込み制御レジスタI1のビット2($I1_2$)の内容が“1”のときは、INT0端子のレベルが、“H”であれば次の命令をスキップし、“L”ならばそのまま次の命令を実行します。
$V1_1$ = 0 : (EXF1) = 1	−	割り込み制御レジスタV1のビット1($V1_1$)の内容が“0”のときは、外部1割り込み要求フラグ(EXF1)が“1”であれ ば、フラグEXF1をクリア(0)し、次の命令をスキップします。 フラグEXF1が“0”ならば、そのまま次の命令を実行します 。 割り込み制御レジスタV1のビット1($V1_1$)の内容が“1”のときは、この命令はNOP命令と等価になります 。
$I2_2$ = 0： (INT1) = “L”	−	割り込み制御レジスタI2のビット2($I2_2$)の内容が“0”のときは、INT1端子のレベルが、“L”であれば次の命令をスキップし、“H”ならばそのまま次の命令を実行します。
$I2_2$ = 1： (INT1) = “H”		割り込み制御レジスタI2のビット2($I2_2$)の内容が“1”のときは、INT1端子のレベルが、“H”であれば次の命令をスキップし、“L”ならばそのまま次の命令を実行します。
−	−	割り込み制御レジスタV1の内容をレジスタAへ転送します。
−	−	レジスタAの内容を割り込み制御レジスタV1へ転送します。
−	−	割り込み制御レジスタV2の内容をレジスタAへ転送します。
−	−	レジスタAの内容を割り込み制御レジスタV2へ転送します。
−	−	割り込み制御レジスタI1の内容をレジスタAへ転送します。
−	−	レジスタAの内容を割り込み制御レジスタI1へ転送します。
−	−	割り込み制御レジスタI2の内容をレジスタAへ転送します。
−	−	レジスタAの内容を割り込み制御レジスタI2へ転送します。
−	−	レジスタAの下位2ビット(A_1、A_0)の内容をタイマ制御レジスタPAへ転送します。
−	−	タイマ制御レジスタW1の内容をレジスタAへ転送します。
−	−	レジスタAの内容をタイマ制御レジスタW1へ転送します。
−	−	タイマ制御レジスタW2の内容をレジスタAへ転送します。
−	−	レジスタAの内容をタイマ制御レジスタW2へ転送します。
−	−	タイマ制御レジスタW3の内容をレジスタAへ転送します。
−	−	レジスタAの内容をタイマ制御レジスタW3へ転送します。
−	−	タイマ制御レジスタW5の内容をレジスタAへ転送します。
−	−	レジスタAの内容をタイマ制御レジスタW5へ転送します。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			語数	サイクル数	機能
タイマ操作命令	TABPS	1	0	0	1	1	1	0	1	0	1	2	7	5	1	1	(B) ← (TPS_7～TPS_4) (A) ← (TPS_3～TPS_0)
	TPSAB	1	0	0	0	1	1	0	1	0	1	2	3	5	1	1	(RPS_7～RPS_4) ← (B) (TPS_7～TPS_4) ← (B) (RPS_3～RPS_0) ← (A) (TPS_3～TPS_0) ← (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2	7	0	1	1	(B) ← ($T1_7$～$T1_4$) (A) ← ($T1_3$～$T1_0$)
	T1AB	1	0	0	0	1	1	0	0	0	0	2	3	0	1	1	($R1_7$～$R1_4$) ← (B) ($T1_7$～$T1_4$) ← (B) ($R1_3$～$R1_0$) ← (A) ($T1_3$～$T1_0$) ← (A)
	TR1AB	1	0	0	0	1	1	1	1	1	1	2	3	F	1	1	($R1_7$～$R1_4$) ← (B) ($R1_3$～$R1_0$) ← (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2	7	1	1	1	(B) ← ($T2_7$～$T2_4$) (A) ← ($T2_3$～$T2_0$)
	T2AB	1	0	0	0	1	1	0	0	0	1	2	3	1	1	1	($R2_7$～$R2_4$) ← (B) ($T2_7$～$T2_4$) ← (B) ($R2_3$～$R2_0$) ← (A) ($T2_3$～$T2_0$) ← (A)
	TAB3	1	0	0	1	1	1	0	0	1	0	2	7	2	1	1	(B) ← ($T3_7$～$T3_4$) (A) ← ($T3_3$～$T3_0$)
	T3AB	1	0	0	0	1	1	0	0	1	0	2	3	2	1	1	($R3L_7$～$R3L_4$) ← (B) ($T3_7$～$T3_4$) ← (B) ($R3L_3$～$R3L_0$) ← (A) ($T3_3$～$T3_0$) ← (A)
	T3HAB	1	0	0	0	1	1	1	1	0	1	2	3	D	1	1	($R3H_7$～$R3H_4$) ← (B) ($R3H_3$～$R3H_0$) ← (A)
	T3R3L	1	0	0	0	1	1	0	1	0	0	2	3	4	1	1	($T3_7$) ← (R3L)
	SNZT1	1	0	1	0	0	0	0	0	0	0	2	8	0	1	1	$V1_2$ = 0 : (T1F) = 1 ? (T1F) ← 0 $V1_2$ = 1 : SNZT1=NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2	8	1	1	1	$V1_3$ = 0 : (T2F) = 1 ? (T2F) ← 0 $V1_3$ = 1 : SNZT2=NOP
	SNZT3	1	0	1	0	0	0	0	0	1	0	2	8	2	1	1	$V2_0$ = 0 : (T3F) = 1 ? (T3F) ← 0 $V2_0$ = 1 : SNZT3=NOP

スキップ条件	フラグCY	詳細説明
–	–	プリスケーラの上位4ビット(TPS7～TPS4)の内容をレジスタBへ、 プリスケーラの下位4ビット(TPS3～TPS0)の内容をレジスタAへ転送します。
–	–	レジスタBの内容をプリスケーラの上位4ビット(TPS7～TPS4)とプリスケーラのリロードレジスタRPSの上位4ビット(RPS7～RPS4)へ、レジスタAの内容をプリスケーラの下位4ビット(TPS3～TPS0)とプリスケーラのリロードレジスタRPSの下位4ビット(RPS3～RPS0)へ転送します。
–	–	タイマ1の上位4ビット(T17～T14)の内容をレジスタBへ、 タイマ1の下位4ビット(T13～T10)の内容をレジスタAへ転送します。
–	–	レジスタBの内容をタイマ1の上位4ビット(T17～T14)とタイマ1のリロードレジスタR1の上位4ビット(R17～R14)へ、レジスタAの内容をタイマ1の下位4ビット(T13～T10)とタイマ1のリロードレジスタR1Lの下位4ビット(R13～R10)へ転送します。
–	–	レジスタBの内容を、タイマ1のリロードレジスタR1の上位4ビット(R17～R14)へ転送し、 レジスタAの内容を、タイマ1のリロードレジスタR1の下位4ビット(R13～R10)へ転送します。
–	–	タイマ2の上位4ビット(T27～T24)の内容をレジスタBへ、 タイマ2の下位4ビット(T23～T20)の内容をレジスタAへ転送します。
–	–	レジスタBの内容をタイマ2の上位4ビット(T27～T24)とタイマ2のリロードレジスタR2の上位4ビット(R27～R24)へ、レジスタAの内容をタイマ2の下位4ビット(T23～T20)とタイマ2のリロードレジスタR2Lの下位4ビット(R23～R20)へ転送します。
–	–	タイマ3の上位4ビット(T37～T34)の内容をレジスタBへ、 タイマ3の下位4ビット(T33～T30)の内容をレジスタAへ転送します。
–	–	レジスタBの内容をタイマ3の上位4ビット(T37～T34)とタイマ3のリロードレジスタR3Lの上位4ビット(R3L7～R3L4)へ、レジスタAの内容をタイマ3の下位4ビット(T33～T30)とタイマ3のリロードレジスタR3Lの下位4ビット(R3L3～R3L0)へ転送します。
–	–	レジスタBの内容を、タイマ3のリロードレジスタR3Hの上位4ビット(R3H7～R3H4)へ転送し、 レジスタAの内容を、タイマ3のリロードレジスタR3Hの下位4ビット(R3H3～R3H0)へ転送します。
–	–	タイマ3のリロードレジスタR3Lの内容を、タイマ3へ転送します。
$V1_2$ = 0 : (T1F) = 1	–	割り込み制御レジスタV1のビット2($V1_2$)の内容が“0”のときは、タイマ1割り込み要求フラグ(T1F)が“1”であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。 フラグT1Fが“0ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2($V1_2$)の内容が“1”のときは、この命令はNOP命令と等価になります。
$V1_3$ = 0 : (T2F) = 1	–	割り込み制御レジスタV1のビット3($V1_3$)の内容が“0”のときは、タイマ2割り込み要求フラグ(T2F)が“1”であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。 フラグT2Fが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3($V1_3$)の内容が“1”のときは、この命令はNOP命令と等価になります。
$V2_0$ = 0 : (T3F) = 1	–	割り込み制御レジスタV2のビット0($V2_0$)の内容が“0”のときは、タイマ3割り込み要求フラグ(T3F)が“1”であれば、フラグT3Fをクリア(0)し、次の命令をスキップします。 フラグT3Fが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0($V2_0$)の内容が“1”のときは、この命令はNOP命令と等価になります。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード													語数	サイクル数	機能
		D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	16進表記					
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2	6	0	1	1	(A) ← (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2	2	0	1	1	(P0) ← (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2	6	1	1	1	(A) ←(P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2	2	1	1	1	(P1) ← (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2	6	2	1	1	(A_1、A_0) ← ($P2_1$、$P2_0$) (A_3、A_2) ← 0
	OP2A	1	0	0	0	1	0	0	0	1	0	2	2	2	1	1	($P2_1$、$P2_0$) ← (A_1、A_0)
	IAP3	1	0	0	1	1	0	0	0	1	1	2	6	3	1	1	(A_1、A_0) ← ($P3_1$、$P3_0$) (A_3、A_2) ← 0
	OP3A	1	0	0	0	1	0	0	0	1	1	2	2	3	1	1	($P3_1$、$P3_0$) ← (A_1、A_0)
	CLD	0	0	0	0	0	1	0	0	0	1	0	1	1	1	1	(D) ← 1
	RD	0	0	0	0	0	1	0	1	0	0	0	1	4	1	1	(D(Y)) ← 0、(Y) = 0～4
	SD	0	0	0	0	0	1	0	1	0	1	0	1	5	1	1	(D(Y)) ← 1、(Y) = 0～4
	SZD	0	0	0	0	1	0	0	1	0	0	0	2	4	2	2	(D(Y)) = 0 ?、(Y) = 0～4
		0	0	0	0	1	0	1	0	1	1	0	2	B			
	RCP	1	0	1	0	0	0	1	1	0	0	2	8	C	1	1	(C) ← (0)
	SCP	1	0	1	0	0	0	1	1	0	1	2	8	D	1	1	(C) ← (1)
	TFR0A	1	0	0	0	1	0	1	0	0	0	2	2	8	1	1	(FR0) ← (A)
	TFR1A	1	0	0	0	1	0	1	0	0	1	2	2	9	1	1	(FR1) ← (A)
	TAPU0	1	0	0	1	0	1	0	1	1	1	2	5	7	1	1	(A) ← (PU0)
	TPU0A	1	0	0	0	1	0	1	1	0	1	2	2	D	1	1	(PU0) ← (A)
	TAPU1	1	0	0	1	0	1	1	1	1	0	2	5	E	1	1	(A) ← (PU1)
	TPU1A	1	0	0	0	1	0	1	1	1	0	2	2	E	1	1	(PU1) ← (A)
	TAPU2	1	0	0	1	0	1	1	1	1	1	2	5	F	1	1	(A) ← (PU2)
	TPU2A	1	0	0	0	1	0	1	1	1	1	2	2	F	1	1	(PU2) ← (A)
	IAK	1	0	0	1	1	0	1	1	1	1	2	6	F	1	1	(A_0) ← (K) (A_3～A_1) ← 0

*

スキップ条件	フラグCY	詳細説明
–	–	ポートP0の入力を、レジスタAへ転送します。
–	–	レジスタAの内容をポートP0へ出力します。
–	–	ポートP1の入力を、レジスタAへ転送します。
–	–	レジスタAの内容をポートP1へ出力します。
–	–	ポートP2の入力を、レジスタAの下位2ビット(A_1、A_0)へ転送します。 レジスタA の上位2ビット(A_3、A_2)の内容は“0”になります。
–	–	レジスタAの下位2ビット(A_1、A_0)の内容をポートP2へ出力します。
–	–	ポートP3の入力を、レジスタAの下位2ビット(A_1、A_0)へ転送します。 レジスタA の上位2ビット(A_3、A_2)の内容は“0”になります。
–	–	レジスタAの下位2ビット(A_1、A_0)の内容をポートP3へ出力します。
–	–	ポートDをすべてセット(1)します。
–	–	ポートDのレジスタYの内容で指定されたポートをクリア(0)します。
–	–	ポートDのレジスタYの内容で指定されたポートをセット(1)します。
(D(Y)) = 0 Y = 0〜4	–	ポートDのレジスタYの内容で指定されたポートの内容が“0”であれば、次の命令をスキップします。 “1”ならば、そのまま次の命令を実行します 。
–	–	ポートCをクリア(0)します。
–	–	ポートCをセット(1)します。
–	–	レジスタAの内容をポート出力形式制御レジスタFR0へ転送します。
–	–	レジスタAの内容をポート出力形式制御レジスタFR1へ転送します。
–	–	プルアップ制御レジスタPU0の内容をレジスタAへ転送します。
–	–	レジスタAの内容をプルアップ制御レジスタPU0へ転送します。
–	–	プルアップ制御レジスタPU1の内容をレジスタAへ転送します。
–	–	レジスタAの内容をプルアップ制御レジスタPU1へ転送します。
–	–	プルアップ制御レジスタPU2の内容を、レジスタAへ転送します。
–	–	レジスタAの内容をプルアップ制御レジスタPU2へ転送します。
–	–	レポートK の入力を、レジスタA の最下位ビット(A_0)へ転送します。 レジスタA の上位3 ビット(A_3〜A_1)の内容は“0”になります。

［機能分類別］機械語命令一覧（続き）

分類	命令記号	命令コード D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			語数	サイクル数	機能
入出力命令	TAK0	1	0	0	1	0	1	0	1	1	0	2	5	6	1	1	(A) ← (K0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2	1	B	1	1	(K0) ← (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2	5	9	1	1	(A) ← (K1)
	TK1A	1	0	0	0	0	1	0	1	0	0	2	1	4	1	1	(K1) ← (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2	5	A	1	1	(A) ← (K2)
	TK2A	1	0	0	0	0	1	0	1	0	1	2	1	5	1	1	(K2) ← (A)
	TAL1	1	0	0	1	0	0	1	0	1	0	2	4	A	1	1	(A) ← (L1)
	TL1A	1	0	0	0	0	0	1	0	1	0	2	0	A	1	1	(L1) ← (A)
その他	TAMR	1	0	0	1	0	1	0	0	1	0	2	5	2	1	1	(A) ← (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2	1	6	1	1	(MR) ← (A)
	NOP	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	(PC) ← (PC) + 1
	POF	0	0	0	0	0	0	0	0	1	0	0	0	2	1	1	RAMバックアップモードへ遷移
	EPOF	0	0	0	1	0	1	1	0	1	1	0	5	B	1	1	POF命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0	0	3	1	1	(P) = 1？
	WRST	1	0	1	0	1	0	0	0	0	0	2	A	0	1	1	(WDF1) = 1？ (WDF1) ← 0
	DWDT	1	0	1	0	0	1	1	1	0	0	2	9	C	1	1	ウォッチドッグタイマ機能停止許可
	SRST	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	システムリセット
	RUPT	0	0	0	1	0	1	1	0	0	0	0	5	8	1	1	(UPTF) ←0
	SUPT	0	0	0	1	0	1	1	0	0	1	0	5	9	1	1	(UPTF) ←1
	SNZVD	1	0	1	0	0	0	1	0	1	0	2	8	A	1	1	$V2_3$＝0：(VDF)＝1？ $V2_3$＝1：SNZVD＝NOP
	RBK（注）	0	0	0	1	0	0	0	0	0	0	0	4	0	1	1	TABP p命令実行時：p_6 ← 0
	SBK（注）	0	0	0	1	0	0	0	0	0	1	0	4	1	1	1	TABP p命令実行時：p_6 ← 1

注．M34571G4/G6 では、RBK，SBK 命令は使用できません。

スキップ条件	フラグCY	詳細説明
–	–	キーオンウェイクアップ制御レジスタK0の内容をレジスタAへ転送します。
–	–	レジスタAの内容をキーオンウェイクアップ制御レジスタK0へ転送します。
–	–	キーオンウェイクアップ制御レジスタK1の内容をレジスタAへ転送します。
–	–	レジスタAの内容をキーオンウェイクアップ制御レジスタK1へ転送します。
–	–	キーオンウェイクアップ制御レジスタK2の内容をレジスタAへ転送します。
–	–	レジスタAの内容をキーオンウェイクアップ制御レジスタK2へ転送します。
–	–	キーオンウェイクアップ制御レジスタL1の内容をレジスタAへ転送します。
–	–	レジスタAの内容をキーオンウェイクアップ制御レジスタL1へ転送します。
–	–	クロック制御レジスタMRの内容をレジスタAへ転送します。
–	–	レジスタAの内容をクロック制御レジスタMRへ転送します。
–	–	ノーオペレーション：プログラムカウンタの値を＋1します。他は変化しません。
–	–	EPOF命令実行直後にPOF命令を実行すると、本製品はRAMバックアップモードになります。
–	–	EPOF命令を実行すると、直後のPOF命令が有効になります。
(P) = 1	–	パワーダウンフラグ(P)の内容が、“1”であれば次の命令をスキップし、“0”ならばそのまま次の命令を実行します。スキップ後もフラグPの内容は変化しません。
(WDF1) = 1		ウォッチドッグタイマフラグ(WDF1)が“1”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。また、DWDT命令実行直後にWRST命令を実行すると、ウォッチドッグタイマによるリセット発生機能を無効にします。
–	–	DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。
–	–	システムリセットが発生します。
–	–	上位ビット参照許可フラグUPTFをクリア(0)します。
–	–	上位ビット参照許可フラグUPTFをセット(1)します。
V23 = 0 : (VDF) = 1	–	割り込み制御レジスタV2のビット3（V23）の内容が“0”のときは、電圧低下検出回路割り込み要求フラグ（VDF）が“1”であれば、次の命令をスキップします。フラグVDFはクリアされません。 フラグVDFが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3（V23）の内容が“1”のときは、この命令はNOP命令と等価になります。
–	–	TABP p命令実行時に参照するデータ領域を0～63ページに設定します。 この命令はTABP p命令に対してのみ有効です。
–	–	TABP p命令実行時に参照するデータ領域を64～127ページに設定します。 この命令はTABP p命令に対してのみ有効です。

命令コード対応表

D3〜D0	D9〜D4 / 16進表記	000000	000001	000010	000011	000100	000101	000110	000111	001000	001001	001010	001011	001100	001101	001110	001111	010000〜010111	011000〜011111
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10〜17	18〜1F
0000	0	NOP	BLA	SZB 0	BMLA	RBK ***	TASP	A 0	LA 0	TABP 0	TABP 16	TABP 32*	TABP 48**	BML	BML	BL	BL	BM	B
0001	1	SRST	CLD	SZB 1	–	SBK ***	TAD	A 1	LA 1	TABP 1	TABP 17	TABP 33*	TABP 49**	BML	BML	BL	BL	BM	B
0010	2	POF	–	SZB 2	–	–	TAX	A 2	LA 2	TABP 2	TABP 18	TABP 34*	TABP 50**	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3	–	–	TAZ	A 3	LA 3	TABP 3	TABP 19	TABP 35*	TABP 51**	BML	BML	BL	BL	BM	B
0100	4	DI	RD	SZD	–	RT	TAV1	A 4	LA 4	TABP 4	TABP 20	TABP 36*	TABP 52**	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn	–	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21	TABP 37*	TABP 53**	BML	BML	BL	BL	BM	B
0110	6	RC	–	SEAM	–	RTI	–	A 6	LA 6	TABP 6	TABP 22	TABP 38*	TABP 54**	BML	BML	BL	BL	BM	B
0111	7	SC	DEY	–	–	–	–	A 7	LA 7	TABP 7	TABP 23	TABP 39*	TABP 55**	BML	BML	BL	BL	BM	B
1000	8	–	AND	–	SNZ0	LZ 0	RUPT	A 8	LA 8	TABP 8	TABP 24	TABP 40*	TABP 56**	BML	BML	BL	BL	BM	B
1001	9	–	OR	TDA	SNZ1	LZ 1	SUPT	A 9	LA 9	TABP 9	TABP 25	TABP 41*	TABP 57**	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZI0	LZ 2	–	A 10	LA 10	TABP 10	TABP 26	TABP 42*	TABP 58**	BML	BML	BL	BL	BM	B
1011	B	AMC	–	–	SNZI1	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27	TABP 43*	TABP 59**	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA	–	–	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28	TABP 44*	TABP 60**	BML	BML	BL	BL	BM	B
1101	D	–	RAR	–	–	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29	TABP 45*	TABP 61**	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB	–	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30	TABP 46*	TABP 62**	BML	BML	BL	BL	BM	B
1111	F	–	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31	TABP 47*	TABP 63**	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D_3〜D_0は機械語コードの下位4ビットを示し、D_9〜D_4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注. “ – ” で示しているコードは使用しないでください。

	第2語
BL	10 0aaa aaaa
BML	10 0aaa aaaa
BLA	10 0p00 pppp
BMLA	10 0p00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

- M34571G4 では、*，**，***は使用できません。
- M34571G6 では、**，***は使用できません。
- M34571GD のTABP 命令は、***（RBK，SBK 命令）で参照するページを切り替えることができます。
  RBK 命令実行後、TABP 命令で参照できるページは0〜63 になります。
  SBK 命令実行後、TABP 命令で参照できるページは64〜127 になります（例：TABP 0 → TABP 64）。
  SBK 命令を実行しなければ、TABP 命令で参照できるページは常に0〜63 になります。

命令コード対応表

D3～D0	D9～D4 / 16進表記	100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	110000～111111
		20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30～3F
0000	0	–	TW3A	OP0A	T1AB	–	–	IAP0	TAB1	SNZT1	–	WRST	TMA 0	TAM 0	XAM 0	XAMI 0	XAMD 0	LXY
0001	1	–	–	OP1A	T2AB	–	–	IAP1	TAB2	SNZT2	–	–	TMA 1	TAM 1	XAM 1	XAMI 1	XAMD 1	LXY
0010	2	–	TW5A	OP2A	T3AB	–	TAMR	IAP2	TAB3	SNZT3	–	–	TMA 2	TAM 2	XAM 2	XAMI 2	XAMD 2	LXY
0011	3	–	–	OP3A	–	–	TAI1	IAP3	–	–	–	–	TMA 3	TAM 3	XAM 3	XAMI 3	XAMD 3	LXY
0100	4	–	TK1A	–	T3R3L	–	TAI2	–	–	–	–	–	TMA 4	TAM 4	XAM 4	XAMI 4	XAMD 4	LXY
0101	5	–	TK2A	–	TPSAB	–	–	–	TABPS	–	–	–	TMA 5	TAM 5	XAM 5	XAMI 5	XAMD 5	LXY
0110	6	–	TMRA	–	–	–	TAK0	–	–	–	–	–	TMA 6	TAM 6	XAM 6	XAMI 6	XAMD 6	LXY
0111	7	–	TI1A	–	–	–	TAPU0	–	–	–	–	–	TMA 7	TAM 7	XAM 7	XAMI 7	XAMD 7	LXY
1000	8	–	TI2A	TFR0A	–	–	–	–	–	–	–	–	TMA 8	TAM 8	XAM 8	XAMI 8	XAMD 8	LXY
1001	9	–	–	TFR1A	–	–	TAK1	–	–	–	–	–	TMA 9	TAM 9	XAM 9	XAMI 9	XAMD 9	LXY
1010	A	TL1A	–	–	–	TAL1	TAK2	–	–	SNZVD	–	TPAA	TMA 10	TAM 10	XAM 10	XAMI 10	XAMD 10	LXY
1011	B	–	TK0A	–	–	TAW1	–	–	–	–	–	–	TMA 11	TAM 11	XAM 11	XAMI 11	XAMD 11	LXY
1100	C	–	–	–	–	TAW2	–	–	–	RCP	DWDT	–	TMA 12	TAM 12	XAM 12	XAMI 12	XAMD 12	LXY
1101	D	–	–	TPU0A	T3HAB	TAW3	–	–	–	SCP	–	–	TMA 13	TAM 13	XAM 13	XAMI 13	XAMD 13	LXY
1110	E	TW1A	–	TPU1A	–	–	TAPU1	–	–	–	–	–	TMA 14	TAM 14	XAM 14	XAMI 14	XAMD 14	LXY
1111	F	TW2A	–	TPU2A	TR1AB	TAW5	TAPU2	IAK	–	–	–	–	TMA 15	TAM 15	XAM 15	XAMI 15	XAMD 15	LXY

上表は機械語コードと機械語命令の対応表です。D3～D0は機械語コードの下位4ビットを示し、D9～D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注. “ – ” で示しているコードは使用しないでください。

	第2語
BL	10 0aaa aaaa
BML	10 0aaa aaaa
BLA	10 0p00 pppp
BMLA	10 0p00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

電気的特性

表25. 絶対最大定格

記　号	項　　目	条　　件	定　格　値	単　位
V_{DD}	電源電圧	－	－0.3～6.5	V
V_I	入力電圧　P0、P1、P2$_0$/INT0、P2$_1$/INT1、P3、D$_0$～D$_3$、D$_4$/CNTR0、K、RESET、X$_{IN}$	－	－0.3～V_{DD}＋0.3	V
V_O	出力電圧　P0、P1、P2、P3、D$_0$～D$_3$、D$_4$/CNTR0、RESET	出力トランジスタ遮断状態	－0.3～V_{DD}＋0.3	V
V_O	出力電圧　C、X$_{OUT}$	－	－0.3～V_{DD}＋0.3	V
P_d	消費電力	Ta = 25℃	300	mW
T_{opr}	動作周囲温度	－	－20～85	℃
T_{stg}	保存温度	－	－40～125	℃

表26. 推奨動作条件1 (指定のない場合は、Ta = −20〜85℃、V_{DD} = 1.8〜5.5V)

記号	項目	条件		規格値 最小	規格値 標準	規格値 最大	単位
V_{DD}	電源電圧 (セラミック共振使用時)	f(STCK) ≦ 6MHz		4		5.5	V
		f(STCK) ≦ 4.4MHz		2.7		5.5	
		f(STCK) ≦ 2.2MHz		2		5.5	
		f(STCK) ≦ 1.1MHz		1.8		5.5	
V_{DD}	電源電圧 (外部クロック使用時)	f(STCK) ≦ 4.8MHz		4		5.5	V
		f(STCK) ≦ 3.2MHz		2.7		5.5	
		f(STCK) ≦ 1.6MHz		2		5.5	
		f(STCK) ≦ 0.8MHz		1.8		5.5	
V_{RAM}	RAM保持電圧	RAMバックアップモード		1.6		5.5	V
V_{SS}	電源電圧				0		V
V_{IH}	"H"入力電圧	P0、P1、P2、P3、D_0〜D_4、K		0.8V_{DD}		V_{DD}	V
		X_{IN}		0.7V_{DD}		V_{DD}	
		$\overline{RESET}$、INT0、INT1		0.85V_{DD}		V_{DD}	
		CNTR0		0.85V_{DD}		V_{DD}	
V_{IL}	"L"入力電圧	P0、P1、P2、P3、D_0〜D_4、K		0		0.3V_{DD}	mA
		X_{IN}		0		0.3V_{DD}	
		$\overline{RESET}$、INT0、INT1		0		0.3V_{DD}	
		CNTR0		0		0.15V_{DD}	
$I_{OH(peak)}$	"H"レベル尖頭出力電流	P3、D_0〜D_3	V_{DD} = 5V			−20	mA
			V_{DD} = 3V			−10	
		C、CNTR1	V_{DD} = 5V			−30	
			V_{DD} = 3V			−15	
$I_{OH(avg)}$	"H"レベル平均出力電流(注1)	P3、D_0〜D_3	V_{DD} = 5V			−10	mA
			V_{DD} = 3V			−5	
		C、CNTR1	V_{DD} = 5V			−15	
			V_{DD} = 3V			−7	
$I_{OL(peak)}$	"L"レベル尖頭出力電流	P0、P1、P2、P3、D_0〜D_4、C、$\overline{RESET}$、CNTR0、CNTR1、	V_{DD} = 5V			24	mA
			V_{DD} = 3V			12	
$I_{OL(avg)}$	"L"レベル平均出力電流(注1)	P0、P1、P2、P3、D_0〜D_4、C、$\overline{RESET}$、CNTR0、CNTR1、	V_{DD} = 5V			12	mA
			V_{DD} = 3V			6	
$\Sigma I_{OH(avg)}$	"H"レベル総電流	P3、D_0〜D_3、C、CNTR1				−30	mA
$\Sigma I_{OL(avg)}$	"L"レベル総電流	P0、$P1_0$、$P1_1$、$\overline{RESET}$				30	mA
		$P1_0$、$P1_1$、P2、P3、D_0〜D_4、C、CNTR0、CNTR1				30	

注1. 平均出力電流は100msの期間の平均値です。

表27. 推奨動作条件1 (指定のない場合は、Ta = −20〜85℃、VDD = 1.8〜5.5V)

記　号	項　　目	条　　件		規　格　値			単位
				最小	標準	最大	
f(XIN)	発振周波数 (セラミック共振子使用時)	スルーモード	VDD = 4〜5.5V			6	MHz
			VDD = 2.7〜5.5V			4.4	
			VDD = 2〜5.5V			2.2	
			VDD = 1.8〜5.5V			1.1	
		2分周モード	VDD = 2.7〜5.5V			6	
			VDD = 2〜5.5V			4.4	
			VDD = 1.8〜5.5V			2.2	
		4、8分周モード	VDD = 2〜5.5V			6	
			VDD = 1.8〜5.5V			4.4	
f(XIN)	発振周波数 (外部クロック使用時)	スルーモード	VDD = 4〜5.5V			4.8	MHz
			VDD = 2.7〜5.5V			3.2	
			VDD = 2〜5.5V			1.6	
			VDD = 1.8〜5.5V			0.8	
		2分周モード	VDD = 2.7〜5.5V			4.8	
			VDD = 2〜5.5V			3.2	
			VDD = 1.8〜5.5V			1.6	
		4、8分周モード	VDD = 2〜5.5V			4.8	
			VDD = 1.8〜5.5V			3.2	
f(CNTR)	タイマ外部入力周波数	CNTR0、CNTR1				f(STCK)/6	Hz
tw(CNTR)	タイマ外部入力周期 (“H”及び“L”パルス幅)	CNTR0、CNTR1		3/f(STCK)			s
TPON	パワーオンリセット回路有効電源立ち上がり時間(注1)	VDD = 0 → 1.8V				100	μs

注1. 電源立ち上がり時間が最大規格値を超える場合は、RESET端子とVSS端子間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

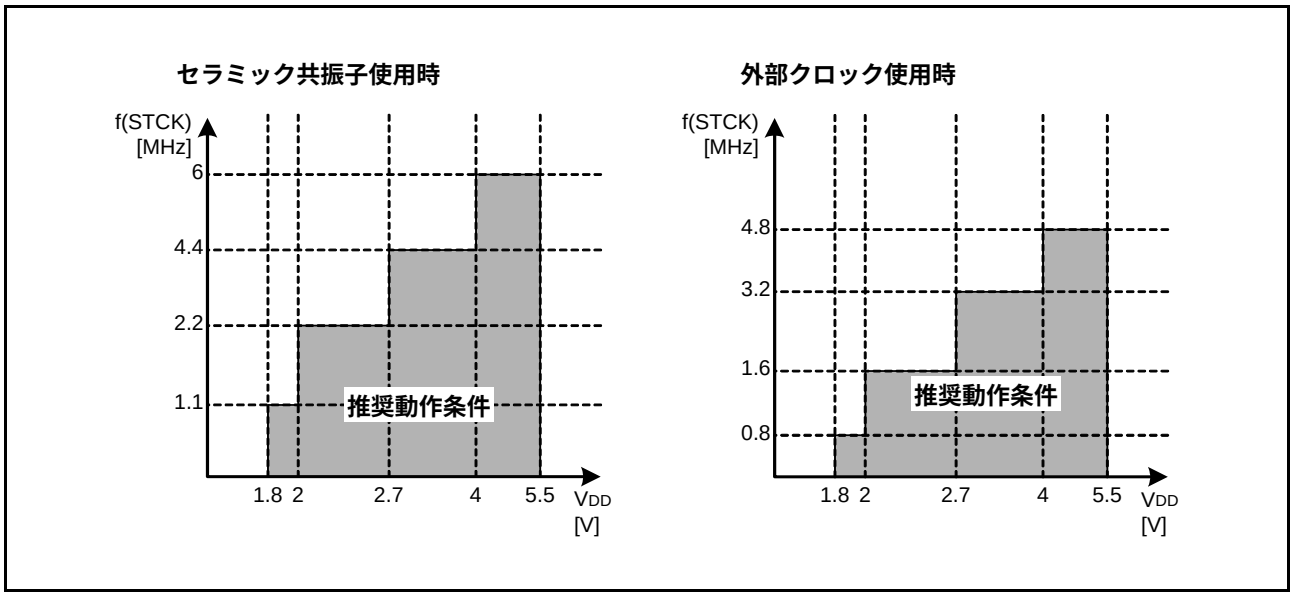


図70. システムクロック(STCK)動作条件マップ

表28. 電気的特性 (指定のない場合は、Ta = −20〜85℃、V_{DD} = 1.8〜5.5V)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H" 出力電圧	P3、D_0〜D_4 CNTR0	V_{DD} = 5V	I_{OH} = −10mA	3			V
				I_{OH} = −3mA	4.1			
			V_{DD} = 3V	I_{OH} = −5mA	2.1			
				I_{OH} = −1mA	2.4			
V_{OH}	"H" 出力電圧	C CNTR1	V_{DD} = 5V	I_{OL} = −20mA	3			V
				I_{OL} = −6mA	4.1			
			V_{DD} = 3V	I_{OL} = −10mA	2.1			
				I_{OL} = −3mA	2.4			
V_{OL}	"L" 出力電圧	P0、P1、P2、P3、D_0〜D_4 RESET、C、CNTR0、CNTR1	V_{DD} = 5V	I_{OL} = 15mA			2	V
				I_{OL} = 5mA			0.9	
			V_{DD} = 3V	I_{OL} = 9mA			1.4	
				I_{OL} =3mA			0.9	
I_{IH}	"H" 入力電流	P0、P1、P2、P3、D_0〜D_4、K RESET、INT0、INT1 CNTR0	V_I = V_{DD}				2	μA
I_{IL}	"L" 入力電流	P0、P1、P2、P3、D_0〜D_4、K RESET、INT0、INT1 CNTR0	V_I = 0V P0、P1、P2 プルアップ非選択				−2	μA
R_{PU}	プルアップ抵抗	P0、P1、P2 RESET	V_I = 0V	V_{DD} = 5V	30	60	125	kΩ
				V_{DD} = 3V	50	120	250	
V_{T+} − V_{T-}	ヒステリシス	RESET、INT0、INT1	V_{DD} = 5V			1		V
			V_{DD} = 3V			0.4		
V_{T+} − V_{T-}	ヒステリシス	CNTR0	V_{DD} = 5V			0.2		V
			V_{DD} = 3V			0.2		
I_{DD}	電源電流	CPU動作時 (セラミック共振子使用時) (注1)	V_{DD} = 5V f(X_{IN}) = 6MHz f(RING) = 停止	f(STCK) = f(X_{IN})/8		1.2	2.4	mA
				f(STCK) = f(X_{IN})/4		1.3	2.6	
				f(STCK) = f(X_{IN})/2		1.6	3.2	
				f(STCK) = f(X_{IN})		2.2	4.4	
			V_{DD} = 3V f(X_{IN}) = 4MHz f(RING) = 停止	f(STCK) = f(X_{IN})/8		0.3	0.6	mA
				f(STCK) = f(X_{IN})/4		0.4	0.8	
				f(STCK) = f(X_{IN})/2		0.6	1.2	
				f(STCK) = f(X_{IN})		0.8	1.6	
		RAMバックアップモード時 (POF命令実行時)	Ta = 25℃			0.1	3	μA
			V_{DD} = 5V				10	
			V_{DD} = 3V				6	

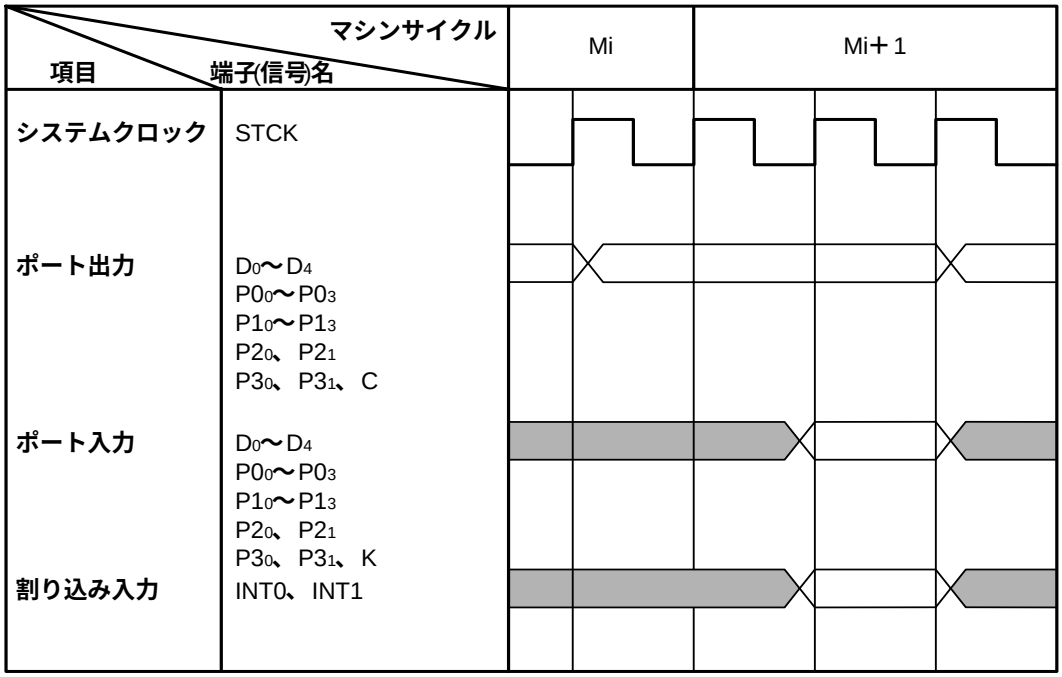
注1. 電圧低下検出回路動作電流(I_{RST})が加算されます。

表29. 電圧低下検出回路特性（指定のない場合は、Ta = －20～85℃）

記　号	項　　目	条　　件	規　格　値			単位
			最小	標準	最大	
V_{RST-}	検出電圧（リセット発生）　（注1）	Ta = 25℃		1.65		V
		－20℃ ≦ Ta < 0℃	1.6		2.2	
		0℃ ≦ Ta < 50℃	1.3		2.1	
		50℃ ≦ Ta ≦ 85℃	1.1		1.8	
V_{RST+}	検出電圧（リセット解除）　（注2）	Ta = 25℃		1.75		V
		－20℃ ≦ Ta < 0℃	1.7		2.3	
		0℃ ≦ Ta < 50℃	1.4		2.2	
		50℃ ≦ Ta ≦ 85℃	1.2		1.9	
V_{INT}	検出電圧（割り込み発生）　（注3）	Ta = 25℃		1.85		V
		－20℃ ≦ Ta < 0℃	1.8		2.4	
		0℃ ≦ Ta < 50℃	1.5		2.3	
		50℃ ≦ Ta ≦ 85℃	1.3		2.2	
V_{RST+}－V_{RST-}	検出電圧ヒステリシス			0.1		V
I_{RST}	動作電流　（注4）	V_{DD} = 5V		40	80	μA
		V_{DD} = 3V		20	40	
		V_{DD} = 1.65V		7	15	
T_{RST}	判定時間　（注5）	V_{DD} →(V_{RST-}－0.1V)		0.2	1.2	ms

注1.　検出電圧（V_{RST-}）は、電圧低下検出回路有効時に電源電圧（V_{DD}）を高い側から下げたときにリセットが発生する電圧です。
注2.　検出電圧（V_{RST+}）は、電圧低下検出回路有効時に電源電圧（V_{DD}）を低い側から上げたときにリセットを解除する電圧です。
注3.　電源電圧（V_{DD}）が検出電圧（V_{INT}）以下になると、電圧低下検出回路割り込み要求フラグ（VDTF）がセット（1）されます。
注4.　電源電流（I_{DD}）に電圧低下検出回路動作電流（I_{RST}）が加算されます。
注5.　判定時間（T_{RST}）は、電源電圧（V_{DD}）を高い側から［V_{RST-}－0.1V］に下げたときにリセットが発生するまでの時間です。

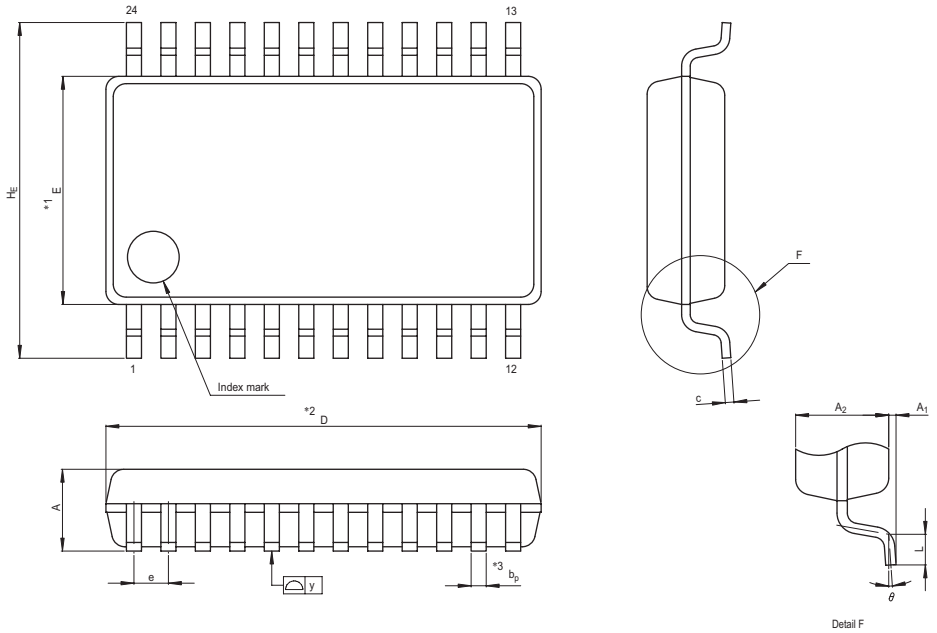
基本タイミング図



外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SSOP24-5.3x10.1-0.80	PRSP0024GA-A	24P2Q-A	0.2g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	10.0	10.1	10.2
E	5.2	5.3	5.4
A_2	—	1.8	—
A	—	—	2.1
A_1	0	0.1	0.2
b_p	0.3	0.35	0.45
c	0.18	0.2	0.25
θ	0°	—	8°
H_E	7.5	7.8	8.1
e	0.65	0.8	0.95
y	—	—	0.10
L	0.4	0.6	0.8

改訂記録	4571 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.02.14	–	初版発行
1.01	2007.04.18	4	表2：パワーオンリセット回路　追記
		10	図4：外部0割り込み→外部1割り込み
		12	図6：図題改訂
		25、26	図24、図26、図27、図29：改訂
		31	表17：タイマ制御レジスタW1　CNTR1入力→CNTR0入力
		38	ウォッチドッグタイマ　説明文改訂
		44	VDTF→VDF
		50	図50：セラミック共振回路→セラミック発振回路
		52～55	QzROM書き込みモード　追記
		57、58	図55、図57、図58、図60：改訂
		61～64	ノイズに関する注意事項　追記
		66	タイマ制御レジスタW1：CNTR1入力→CNTR0入力
		69	PS：プリスケーラ61111→プリスケーラ
		70	TAB：9782、TBA：82　削除
		71	SNZ1：V10→V11
		88	SUPT：留意点改訂
		107	TABP p：機能改訂
		120	注：改訂
		123	表26：セラミック発振使用時→セラミック共振子使用時
		123、124	セラミック共振使用時→セラミック共振子使用時
1.02	2007.05.25	全ページ	「開発中」の表記を削除

株式会社ルネサス テクノロジ　営業統括部　〒100-0004 東京都千代田区大手町2-6-2 日本ビル

本資料ご利用に際しての留意事項

1．本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2．本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3．本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4．本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(http://www.renesas.com)などを通じて公開される情報に常にご注意下さい。
5．本資料に記載した情報は、正確を期すため慎重に制作したものですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6．本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任は負いません。
7．本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8．第７項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
　１）生命維持装置。
　２）人体に埋め込み使用するもの。
　３）治療行為（患部切り出し、薬剤投与等）を行なうもの。
　４）その他、直接人命に影響を与えるもの。
9．本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10．弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウエアおよびソフトウエア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウエアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11．本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12．本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13．本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

営業お問合せ窓口
株式会社ルネサス販売

http://www.renesas.com

本社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨城支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関西支社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広島支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ　E-Mail: csc@renesas.com

© 2007. Renesas Technology Corp., All rights reserved. Printed in Japan.
Colophon 7.1