

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

455Aグループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

RJJ03B0218-0101

Rev.1.01

2008.02.15

概 要

455A グループはCMOS プロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、8ビットタイマ（リロードレジスタ付き）2本、時計カウント用16ビットタイマ1本、割り込み機能、発振回路切り替え機能を内蔵しています。

455A グループは、異なる複数の品種があります。

詳細については下記の表を参照してください。

特 長

- 最小命令実行時間 0.5 μ s
(発振周波数6 MHz、高速スルーモード時)
- 電源電圧 1.8 ~ 5.5 V
(動作源クロック、動作モード及び発振周波数により異なります。)
- タイマ
タイマ1.....8ビット
(リロードレジスタ、搬送波出力自動制御機能付き)
タイマ2.....8ビット
(リロードレジスタ2本、搬送波発生機能付き)
タイマ3.....16ビット(固定分周)

- 割り込み機能.....4要因
- キーオンウェイクアップ機能.....24端子
- 入出力ポート.....24本
- 出力ポート1本
- LCD制御回路
セグメント出力.....32本
コモン出力.....4本
- 電圧低下検出回路
リセット発生.....標準1.7V (Ta = 25 時)
リセット解除.....標準1.8V (Ta = 25 時)
スキップ発生.....標準2.0V (Ta = 25 時)
- パワーオンリセット回路
- ウォッチドッグタイマ
- クロック発生回路
内部クロック(高速/低速オンチップオシレータ)
メインクロック(セラミック共振)
サブクロック(水晶発振)
- LED直接駆動可能(ポートD)

応 用

リモートコントロール送信機

表1. サポート製品一覧

型 名	ROM容量 (× 10 ビット)	RAM容量 (× 4 ビット)	パッケージ	ROM種類
M3455AG8FP (注1)	8192 語	512 語	PLQP0052JA-A	QzROM
M3455AG8-XXXFP				
M3455AGCFP (注1)	12288 語			
M3455AGC-XXXFP				

注1. ブランク出荷品

ピン接続図

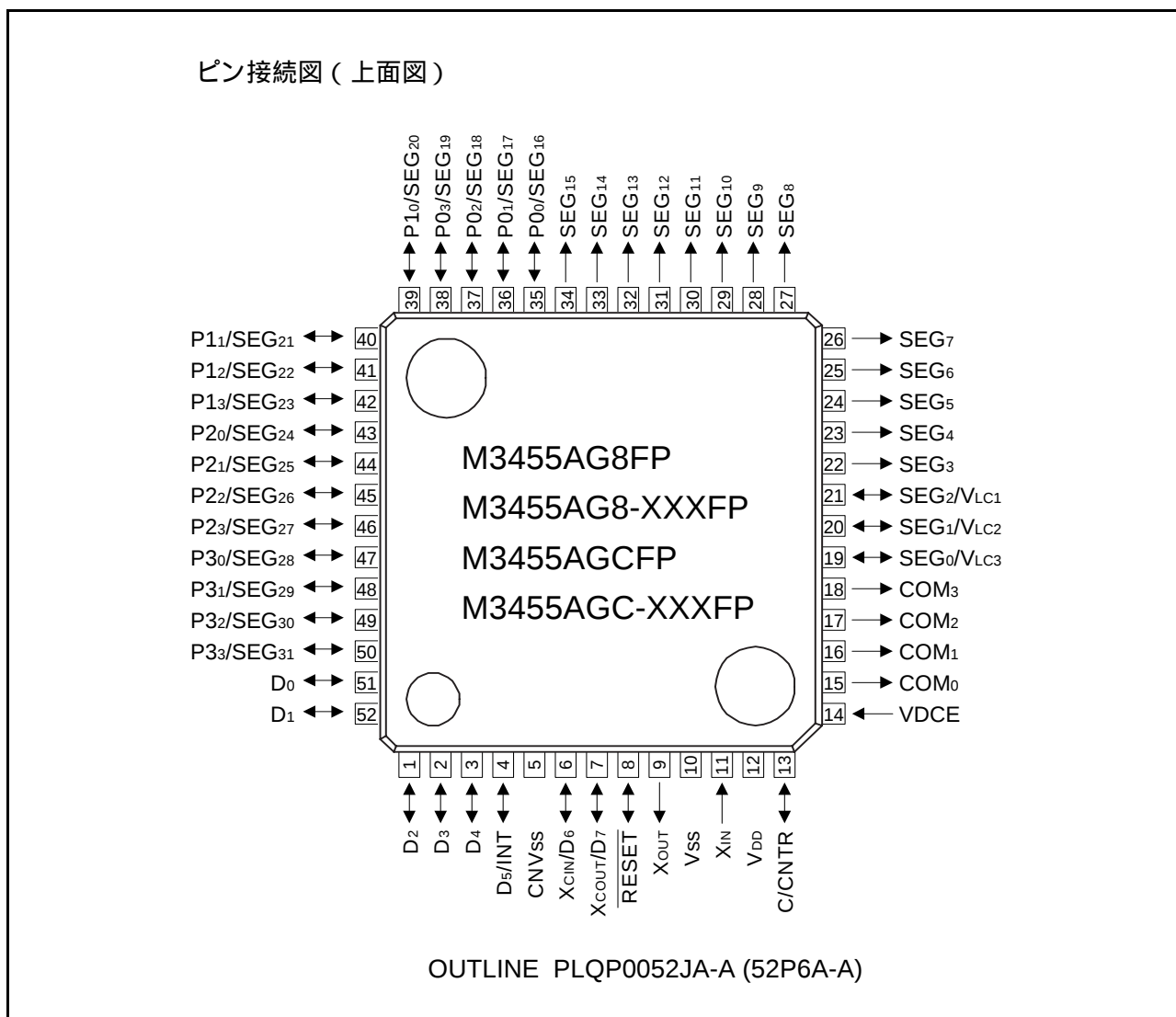


図1. ピン接続図 (PLQP0052JA-Aパッケージタイプ)

機能ブロック図

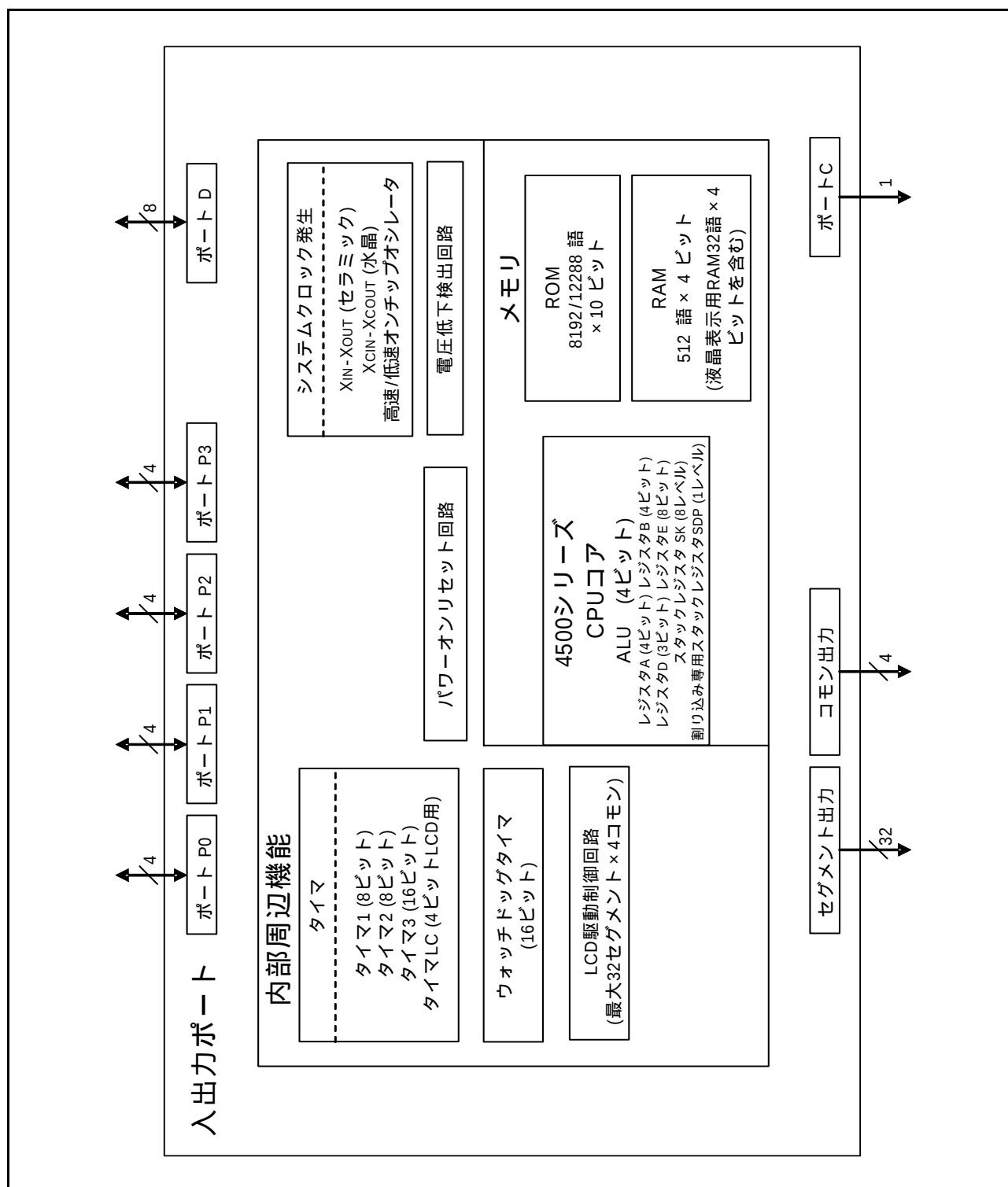


図2. 455Aグループ 機能ブロック図

性能概要

表2. 性能概要

項 目			性 能
基本命令数			138
最小命令実行時間			0.5 μs (発振周波数 6 MHz : 高速スルーモード時)
メモリ容量	ROM	M3455AG8	8192 語 × 10 ビット
		M3455AGC	12288 語 × 10 ビット
	RAM		512 語 × 4 ビット (液晶表示用 RAM 32 語 × 4 ビットを含む)
入出力ポート	D0 ~ D5	入出力 (入力はスキップ判別)	1 ビット × 6 ブルアップ機能、キーオンウェイクアップ機能及び出力形式がソフトウェア切り替え可能 ポート D5 は INT 端子と兼用
	D6, D7	入出力 (入力はスキップ判別)	1 ビット × 2 ブルアップ機能、キーオンウェイクアップ機能ソフトウェア切り替え可能 ポート D6、D7 はそれぞれ X _{CIN} 、X _{COUT} 端子と兼用
	P00 ~ P03	入出力	4 ビット × 1 ブルアップ機能、キーオンウェイクアップ機能及び出力形式がソフトウェア切り替え可能 ポート P00 ~ P03 はそれぞれ SEG ₁₆ ~ SEG ₁₉ 端子と兼用
	P10 ~ P13	入出力	4 ビット × 1 ブルアップ機能、キーオンウェイクアップ機能及び出力形式がソフトウェア切り替え可能 ポート P10 ~ P13 はそれぞれ SEG ₂₀ ~ SEG ₂₃ 端子と兼用
	P20 ~ P23	入出力	4 ビット × 1 ブルアップ機能、キーオンウェイクアップ機能及び出力形式がソフトウェア切り替え可能 ポート P20 ~ P23 はそれぞれ SEG ₂₄ ~ SEG ₂₇ 端子と兼用
	P30 ~ P33	入出力	4 ビット × 1 ブルアップ機能、キーオンウェイクアップ機能及び出力形式がソフトウェア切り替え可能 ポート P30 ~ P33 はそれぞれ SEG ₂₈ ~ SEG ₃₁ 端子と兼用
	C	出力	1 ビット × 1 CNTR 端子と兼用
タイマ	タイマ1		8 ビットタイマ / イベントカウンタ、リロードレジスタ、搬送波出力自動制御機能付き
	タイマ2		8 ビットタイマ、リロードレジスタ 2 本付き、搬送波発生機能付き
	タイマ3		16 ビットタイマ、固定分周 (時計カウント用タイマ)
	タイマ LC		4 ビットタイマ、リロードレジスタ付き (LCD クロック生成用)
ウォッチドッグタイマ			16 ビットタイマ、固定分周 (監視用タイマ)
LCD 制御回路	選択バイアス値		1/2、1/3 バイアス
	選択時分割値		2、3、4 時分割
	コモン出力		4 本
	セグメント出力		32 本
	電源用内蔵抵抗		2r × 3、2r × 2、r × 3、r × 2 (r=100 kΩ (Ta=25)、標準値)
電圧低下検出回路	リセット発生		標準 1.7 V (Ta = 25) 時)
	リセット解除		標準 1.8 V (Ta = 25) 時)
	スキップ発生		標準 2.0 V (Ta = 25) 時)
パワーオンリセット回路			内蔵
割り込み	要因		4 要因 (外部 × 1、タイマ × 3)
	ネスティング		1 レベル
サブルーチンネスティング			8 レベル
素子構造			CMOS シリコンゲート
パッケージ			52 ピンプラスチックモールド LQFP (PLQP0052JA-A)
動作周囲温度			- 20 ~ 85
電源電圧			1.8 ~ 5.5 V (動作源クロック、動作モード及び発振周波数により異なる)
消費電流 (標準値)	CPU 動作時		0.3 mA (Ta = 25)、V _{DD} = 3.0 V、f(X _{IN}) = 4 MHz、f(X _{CIN}) = 停止、f(HSOCO) = 停止、 f(LSOCO) = 停止、f(STCK) = f(X _{IN})/8
	時計動作モード時		5 μA (Ta = 25)、V _{DD} = 3.0 V、f(X _{CIN}) = 32 kHz)
	RAM バックアップ時		0.1 μA (Ta = 25)、出力トランジスタ遮断状態)

端子の機能説明

表3. 端子の機能説明

端子名	名 称	入力 出力	機 能
VDD	電源	-	正電源電圧供給端子です。
VSS	接地	-	GND端子です。
CNVSS	CNVSS	-	この端子はVSSに接続し、必ず“L”(0V)を印加してください。
VDCE	電圧低下検出回路イネーブル	入力	電圧低下検出回路の動作・停止を制御します。“H”レベルを入力すると動作状態、“L”レベルを入力すると停止状態になります。
XIN	メインクロック入力	入力	メインクロック発生回路の入力/出力端子です。セラミック共振を使用する場合は、XIN端子とXOUT端子との間にセラミック共振子を接続して使用します。XIN端子とXOUT端子との間には帰還抵抗が内蔵されています。
XOUT	メインクロック出力	出力	
XCIN	サブクロック入力	入力	サブクロック発生回路の入力/出力端子です。XCIN端子とXCOUT端子との間に32.768 kHzの水晶共振子を接続して使用します。XCIN端子とXCOUT端子の間には帰還抵抗が内蔵されています。XCIN、XCOUT端子はそれぞれポートD6、D7と兼用です。
XCOUT	サブクロック出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。SRST命令実行、ウォッチドッグタイマ、パワーオンリセット回路又は電圧低下検出回路によるリセット発生時に“L”レベルが出力されます。出力形式はNチャネルオープンドレインです。
D0 ~ D5	入出力ポートD (入力はスキップ判別)	入出力	各端子に1ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートD5はINT端子と兼用です。
D6, D7	入出力ポートD (入力はスキップ判別)	入出力	各端子に1ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインです。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートD6、D7はそれぞれXCIN、XCOUT端子と兼用です。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP00 ~ P03はそれぞれSEG16 ~ SEG19端子と兼用です。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP10 ~ P13はそれぞれSEG20 ~ SEG23端子と兼用です。
P20 ~ P23	入出力ポートP2	入出力	ポートとして4ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP20 ~ P23はそれぞれSEG24 ~ SEG27端子と兼用です。
P30 ~ P33	入出力ポートP3	入出力	ポートとして4ビットの入出力機能をもっています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にNチャネルオープンドレインを選択し、出力ラッチを“1”に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP30 ~ P33はそれぞれSEG28 ~ SEG31端子と兼用です。
C	出力ポートC	出力	ポートとして1ビットの出力機能をもっています。出力形式はCMOSです。ポートCはCNTR端子と兼用です。
COM0 ~ COM3	コモン出力	出力	LCDコモン出力端子です。2時分割選択時はCOM0、COM1を、3時分割選択時はCOM0 ~ COM2を、4時分割選択時はCOM0 ~ COM3を使用します。
SEG0 ~ SEG31	セグメント出力	出力	LCDセグメント出力端子です。SEG0 ~ SEG2はそれぞれVLC3 ~ VLC1と兼用です。SEG16 ~ SEG31はそれぞれポートP00 ~ P03、P10 ~ P13、P20 ~ P23、P30 ~ P33と兼用です。
CNTR	タイマ入出力	入出力	タイマ1のイベントカウント用クロックの入力機能とタイマ2で生成されるPWM信号の出力機能をもっています。CNTR端子はポートCと兼用です。

表3. 端子の機能説明 (つづき)

端子名	名 称	入力 出力	機 能
INT	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能をもっています。INT 端子はポート D5 と兼用です。
VLC3 ~ VLC1	LCD 用電源		LCD 用電源供給端子です。内部抵抗を使用する場合は、VLC3 端子を VDD 端子 (輝度調整が必要な場合は抵抗を介して VDD 端子) に接続します。外部電源を使用する場合は、VSS VLC1 VLC2 VLC3 VDD の電圧を印加してください。VLC3 ~ VLC1 端子はそれぞれ SEG0 ~ SEG2 端子と兼用です。

表4. マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
P00	SEG16	SEG16	P00	P30	SEG28	SEG28	P30
P01	SEG17	SEG17	P01	P31	SEG29	SEG29	P31
P02	SEG18	SEG18	P02	P32	SEG30	SEG30	P32
P03	SEG19	SEG19	P03	P33	SEG31	SEG31	P33
P10	SEG20	SEG20	P10	D5	INT	INT	D5
P11	SEG21	SEG21	P11	D6	XCIN	XCIN	D6
P12	SEG22	SEG22	P12	D7	XCOUT	XCOUT	D7
P13	SEG23	SEG23	P13	C	CNTR	CNTR	C
P20	SEG24	SEG24	P20	SEG0	VLC3	VLC3	SEG0
P21	SEG25	SEG25	P21	SEG1	VLC2	VLC2	SEG1
P22	SEG26	SEG26	P22	SEG2	VLC1	VLC1	SEG2
P23	SEG27	SEG27	P23				

注1. 上記以外の端子は単一機能です。

注2. INT 端子を使用している場合でもポート D5 の入出力機能は有効です。INT 端子とポート D5 との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。

注3. CNTR 端子の出力機能を使用している場合でもポート C の “H” 出力機能は有効です。

表5. ポート機能一覧

ポート名	端子名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特 記 事 項
ポート D	D0 ~ D4 , D5/INT	入出力 (6本)	Nチャネル オープンドレイン / CMOS	1ビット	SD, RD SZD CLD	FR1, FR2, I1, K3, PU3	ブルアップ、キーオンウェイク アップ及び出力形式選択機能付 (ソフトウェアで切り替え可能)
	D6/XCIN , D7/XCOUT	入出力 (2本)	Nチャネル オープンドレイン			RG, K3, PU3	ブルアップ、キーオンウェイク アップ機能付き
ポート P0	P00/SEG16 , P01/SEG17 , P02/SEG18 , P03/SEG19	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP0A IAP0	PU0, K0, FR0, C1	ブルアップ、キーオンウェイク アップ及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポート P1	P10/SEG20 , P11/SEG21 , P12/SEG22 , P13/SEG23	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP1A IAP1	PU0, K0, FR0, C2	ブルアップ、キーオンウェイク アップ及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポート P2	P20/SEG24 , P21/SEG25 , P22/SEG26 , P23/SEG27	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP2A IAP2	PU1, K1, FR3, L3	ブルアップ、キーオンウェイク アップ及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポート P3	P30/SEG28 , P31/SEG29 , P32/SEG30 , P33/SEG31	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP3A IAP3	PU2, K2, FR2, C3	ブルアップ、キーオンウェイク アップ及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポート C	C/CNTR	出力 (1本)	CMOS	1ビット	RCP SCP	W1, W2, W4	—

表6. 使用しない端子の処理

端子名	処理方法	使用条件
XIN	V _{SS} に接続	-
XOUT	開放	-
XCIN/D6	V _{SS} に接続	プルアップトランジスタOFF キーオンウェイクアップ無効
XCOU/D7	開放	キーオンウェイクアップ無効
D0 ~ D4	開放	キーオンウェイクアップ無効
	V _{SS} に接続	出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
D5/INT	開放	INT 端子入力禁止 キーオンウェイクアップ無効
	V _{SS} に接続	出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
C/CNTR	開放	タイマ1カウントソースにCNTR入力非選択
P00/SEG16 ~ P03/SEG19	開放	キーオンウェイクアップ無効
	V _{SS} に接続	セグメント出力非選択 出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
P10/SEG20 ~ P13/SEG23	開放	キーオンウェイクアップ無効
	V _{SS} に接続	セグメント出力非選択 出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
P20/SEG24 ~ P23/SEG27	開放	キーオンウェイクアップ無効
	V _{SS} に接続	セグメント出力非選択 出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
P30/SEG28 ~ P33/SEG31	開放	キーオンウェイクアップ無効
	V _{SS} に接続	セグメント出力非選択 出力形式にNチャネルオープンドレイン選択 プルアップトランジスタOFF キーオンウェイクアップ無効
COM0 ~ COM3	開放	-
SEG0/VLC3	開放	SEG0端子選択
SEG1/VLC2	開放	SEG1端子選択
SEG2/VLC1	開放	SEG2端子選択
SEG3 ~ SEG15	開放	-

(V_{DD} 端子及びV_{SS} 端子に接続する場合の注意事項)

・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。

クロック及びサイクルの定義

●動作源クロック

動作の源となるクロックです。本製品では以下のクロックが使用できます。

- ・ 外付けセラミック共振子によるクロック ($f(X_{IN})$)
- ・ 外部入力によるクロック ($f(X_{IN})$)
- ・ 高速オンチップオシレータによるクロック ($f(HSOCO)$)
- ・ 外付け水晶発振によるクロック ($f(X_{CIN})$)
- ・ 低速オンチップオシレータによるクロック ($f(LSOCO)$)

●システムクロック (STCK)

本製品を制御する基本クロックです。
システムクロック (STCK) は、クロック制御レジスタ MR の設定により表7のように選択できます。

●マシンサイクル

命令の実行に要する基準周期です。

●インストラクションクロック (INSTCK)

CPUを制御する基準クロックです。
インストラクションクロック (INSTCK) はシステムクロック (STCK) を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

表7. システムクロックの選択

クロック制御レジスタMR				システムクロック	動作モード名
MR3	MR2	MR1	MR0		
1	1	0	0	$f(STCK) = f(HSOCO)/8$	内部8分周モード
1	0	0	0	$f(STCK) = f(HSOCO)/4$	内部4分周モード
0	1	0	0	$f(STCK) = f(HSOCO)/2$	内部2分周モード
0	0	0	0	$f(STCK) = f(HSOCO)$	内部スルーモード
1	1	0	1	$f(STCK) = f(X_{IN})/8$	高速8分周モード
1	0	0	1	$f(STCK) = f(X_{IN})/4$	高速4分周モード
0	1	0	1	$f(STCK) = f(X_{IN})/2$	高速2分周モード
0	0	0	1	$f(STCK) = f(X_{IN})$	高速スルーモード
1	1	1	0	$f(STCK) = f(X_{CIN})/8$	低速8分周モード
1	0	1	0	$f(STCK) = f(X_{CIN})/4$	低速4分周モード
0	1	1	0	$f(STCK) = f(X_{CIN})/2$	低速2分周モード
0	0	1	0	$f(STCK) = f(X_{CIN})$	低速スルーモード
1	1	1	1	$f(STCK) = f(LSOCO)/8$	内部低速8分周モード
1	0	1	1	$f(STCK) = f(LSOCO)/4$	内部低速4分周モード
0	1	1	1	$f(STCK) = f(LSOCO)/2$	内部低速2分周モード
0	0	1	1	$f(STCK) = f(LSOCO)$	内部低速スルーモード

注. リセット解除後は、内部8分周モード ($f(HSOCO)/8$) が選択されます。

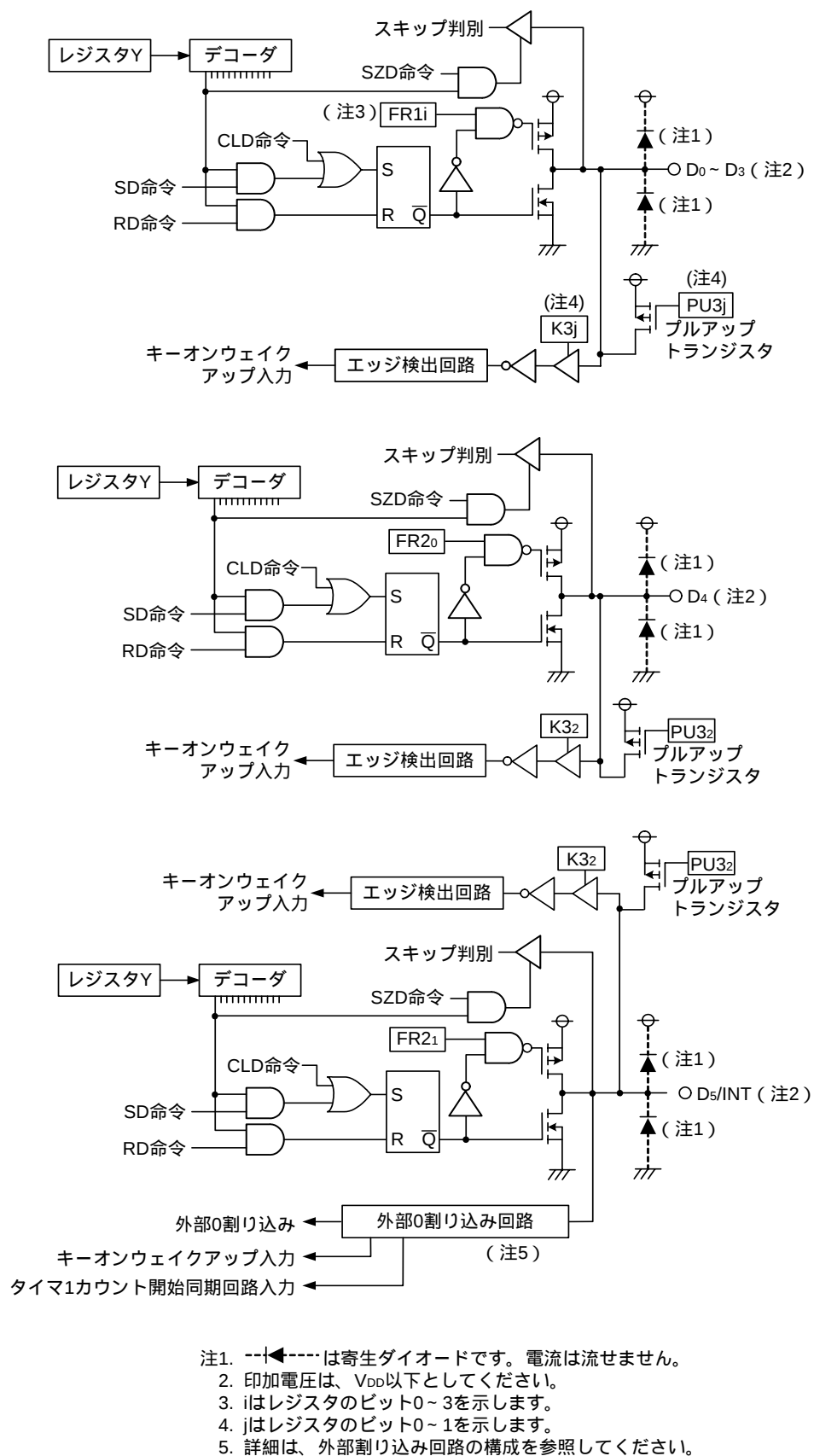
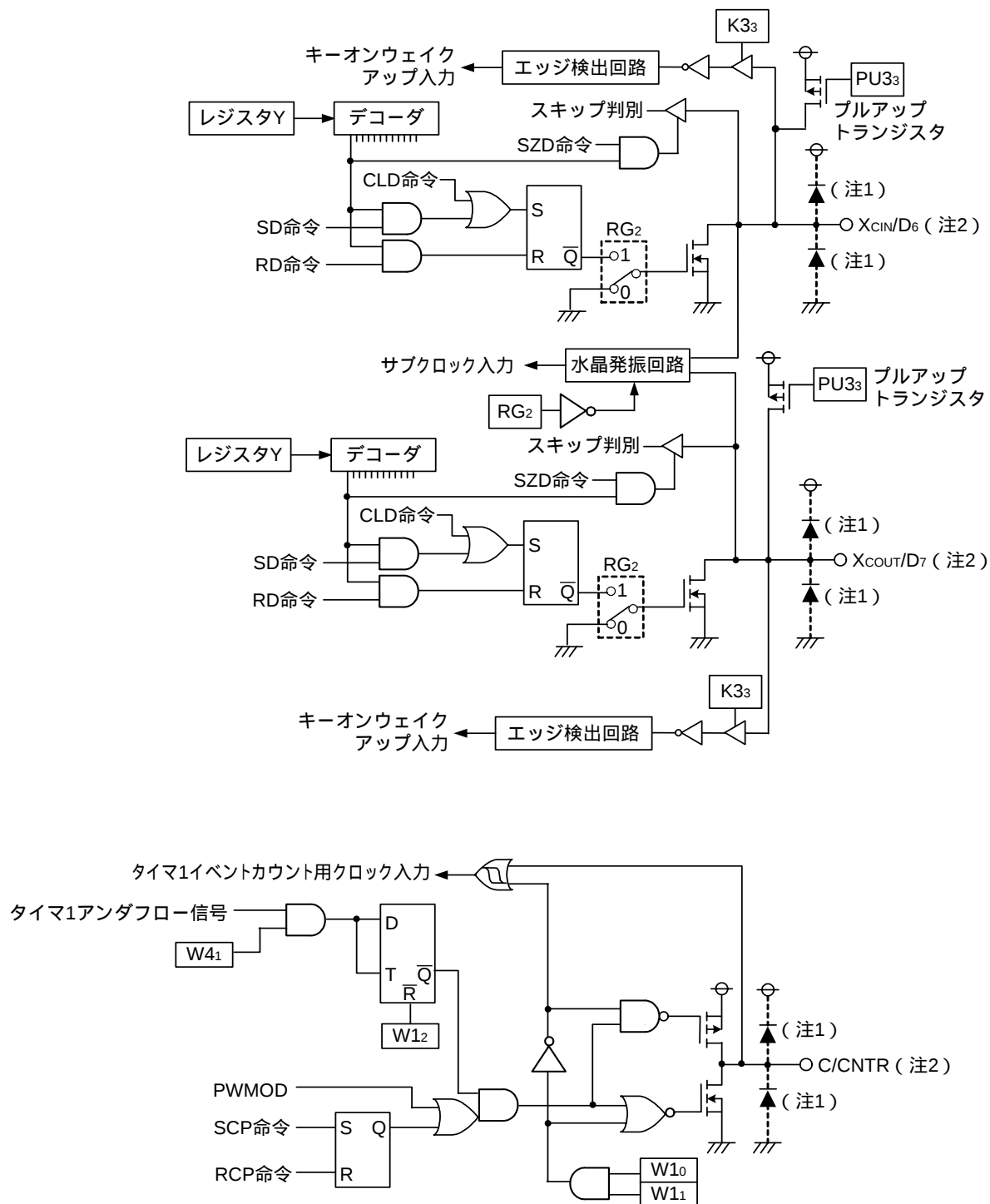


図3. ポートブロック図(1)



注1. --|<----は寄生ダイオードです。電流は流せません。
 2. 印加電圧は、 V_{DD} 以下としてください。

図4. ポートブロック図(2)

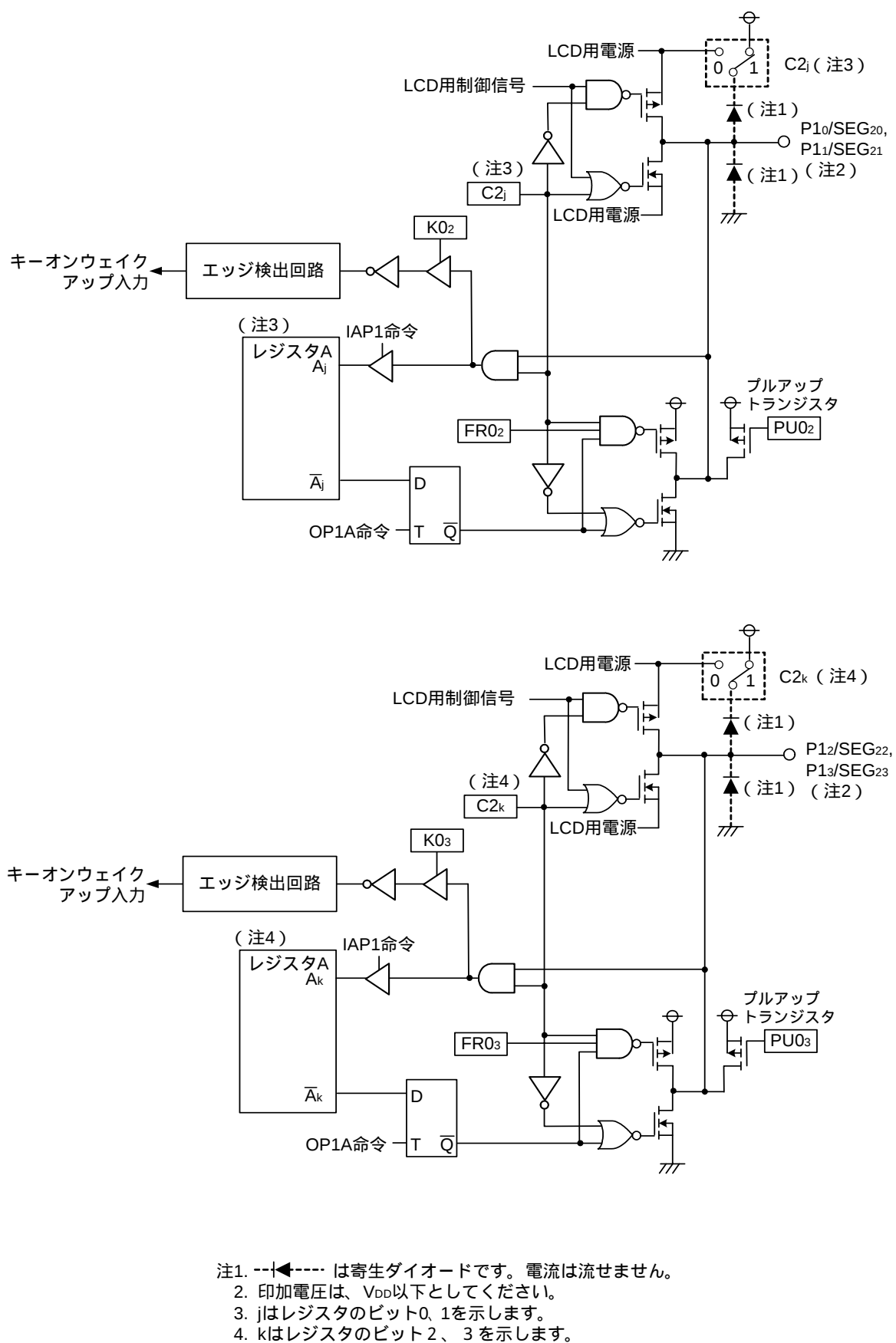
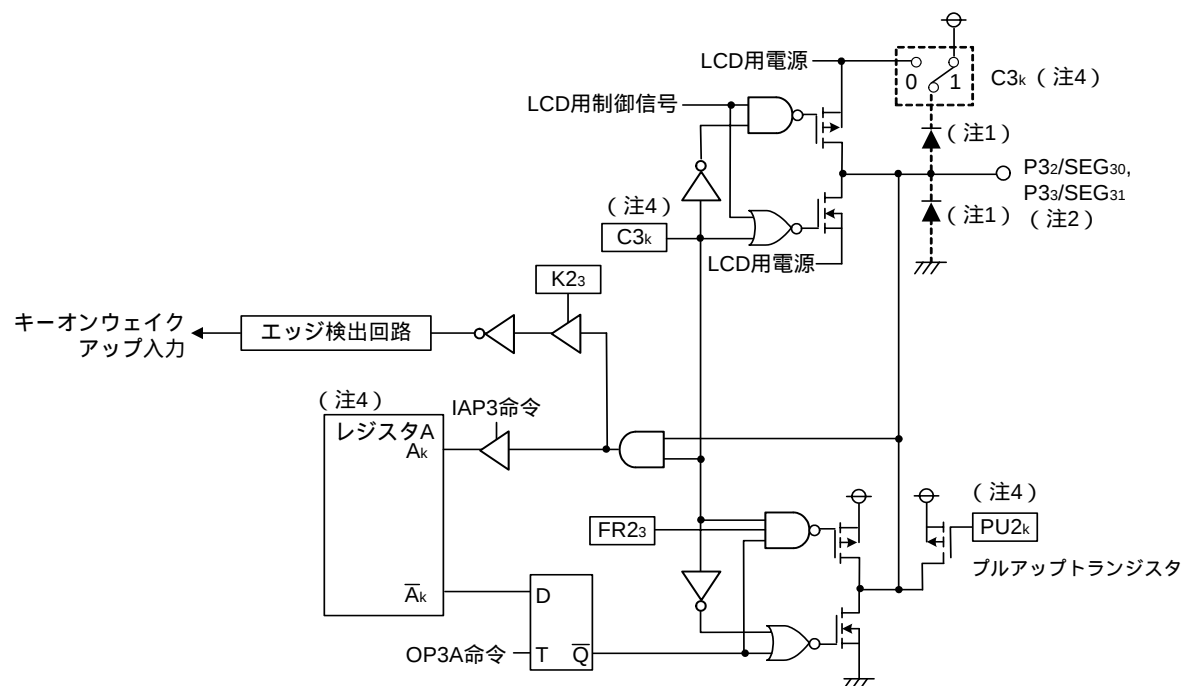
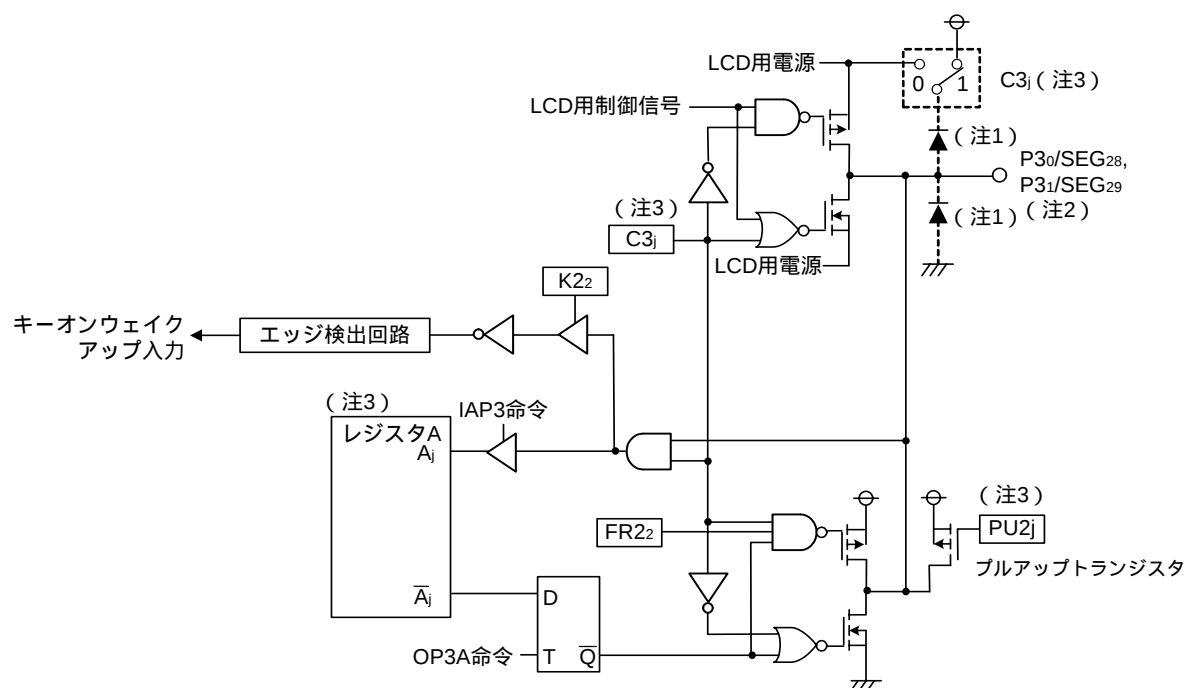
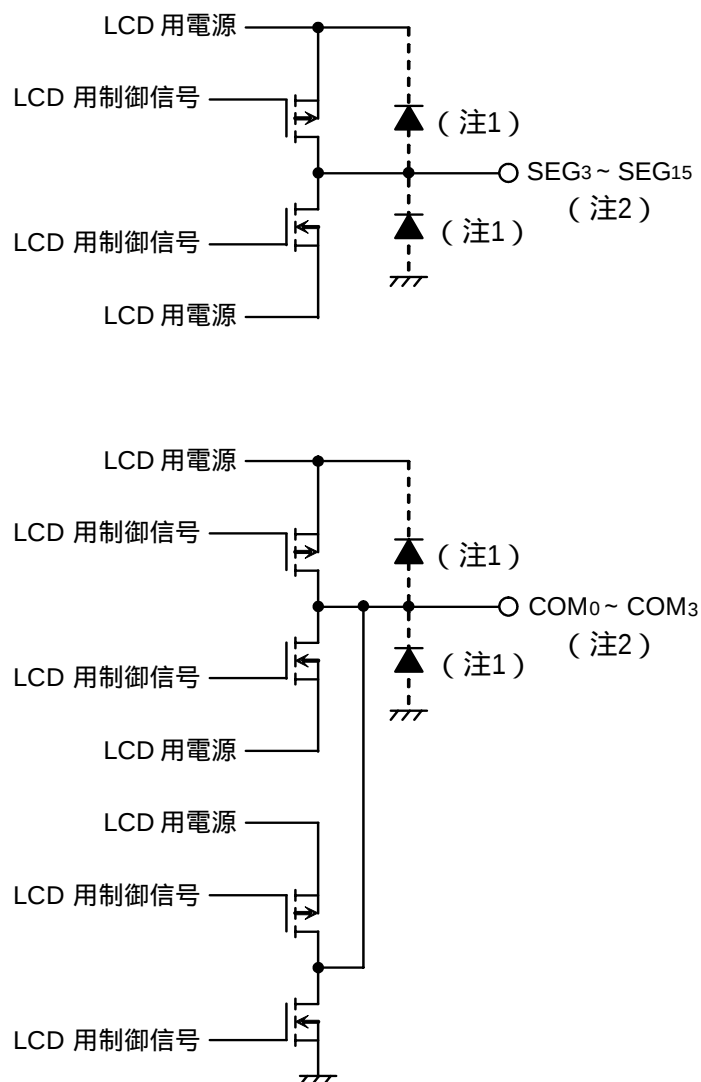


図6. ポートブロック図(4)



- 注1. $\text{---}\triangleleft\text{---}$ は寄生ダイオードです。電流は流せません。
 2. 印加電圧は、 V_{DD} 以下としてください。
 3. jはレジスタのビット0, 1を示します。
 4. kはレジスタのビット2, 3を示します。

図8. ポートブロック図(6)



注1.  は寄生ダイオードです。電流は流せません。

2. 印加電圧は、 V_{DD} 以下としてください。

図9. ポートブロック図(7)

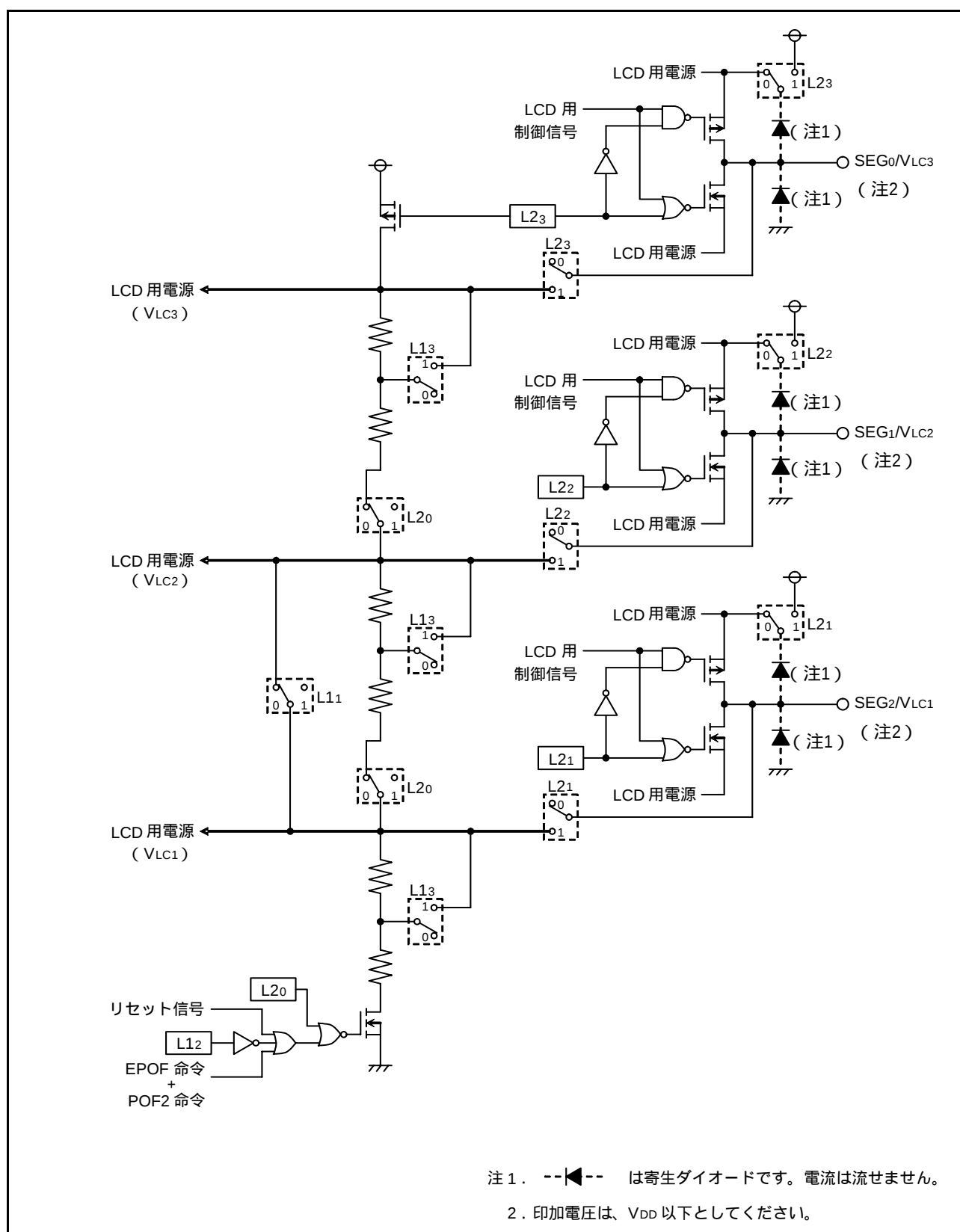


図10. ポートブロック図(8)

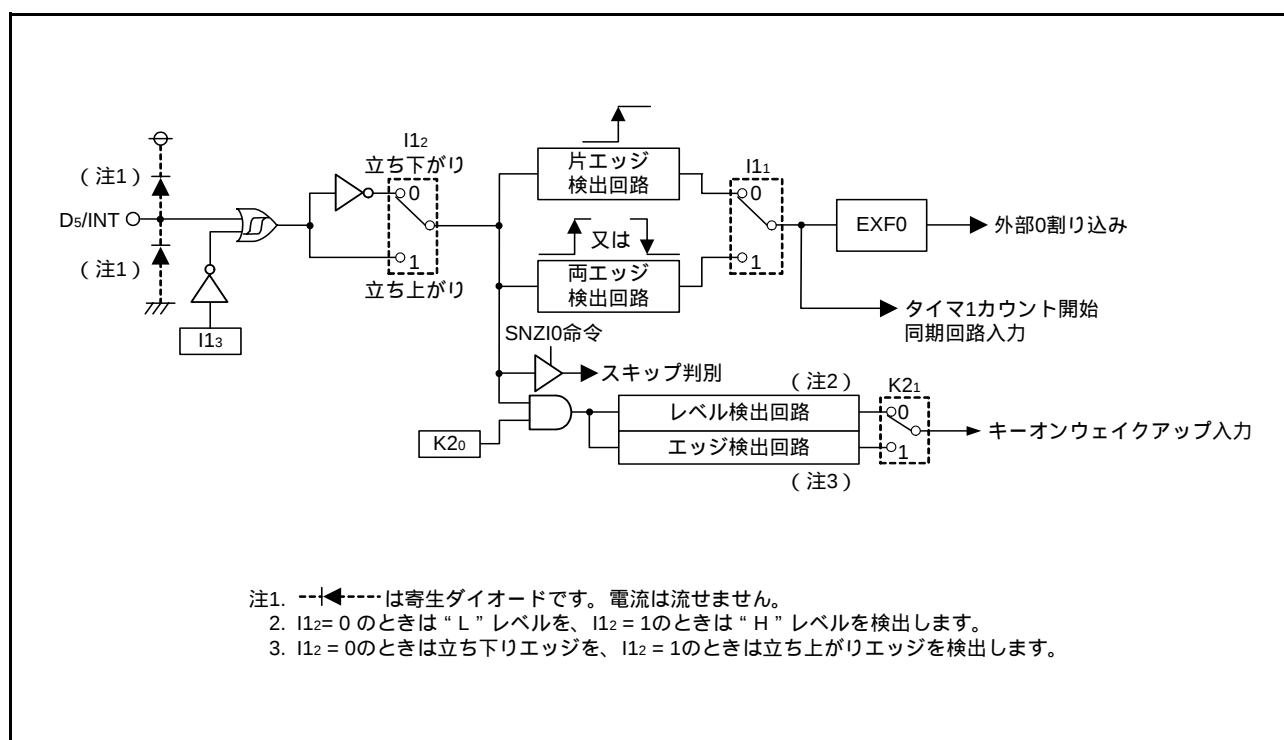


図 11. 外部割り込み回路の構成

機能ブロック動作説明

CPU

1. 4ビット論理演算ユニット (ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

2. レジスタA及びキャリフラグ (CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると“1”にセットされます (図12)。

なお、An命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます (図13)。

フラグCYはSC命令で“1”にセットされ、RC命令で“0”にクリアされます。

3. レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します (図14)。

レジスタEはリセット解除後及びRAMバックアップモードからの復帰後は不定ですので、必ず初期設定を行ってください。

4. レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP命令、BLAP命令、及びBMLAP命令の実行時に指定ページ内のポインタとして使用します (図15)。

また、フラグUPTFが“1”のときにTABP命令を実行するとレジスタDの下位2ビットにROM内参照データの上位2ビットが格納され、レジスタDの上位1ビットが“0”になります。フラグUPTFが“0”のときは、TABP命令を実行してもレジスタDの内容は変化しません。

フラグUPTFはSUPT命令で“1”にセットされ、RUPT命令で“0”にクリアされます。フラグUPTFの初期値は“0”です。

レジスタDはリセット解除後及びRAMバックアップモードからの復帰後は不定ですので、必ず初期設定を行ってください。

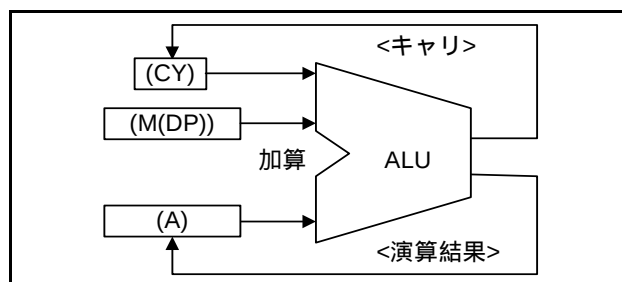


図12. AMC命令実行例

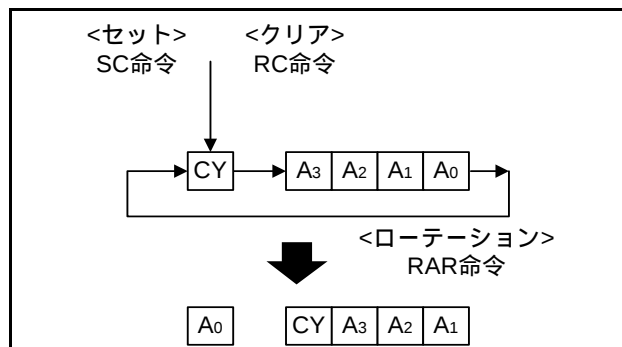


図13. RAR命令実行例

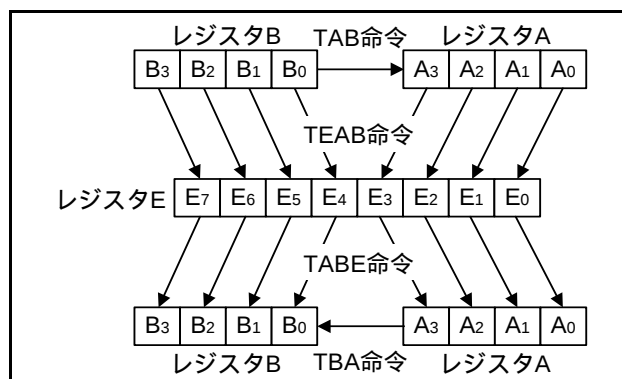


図14. レジスタA、BとレジスタE

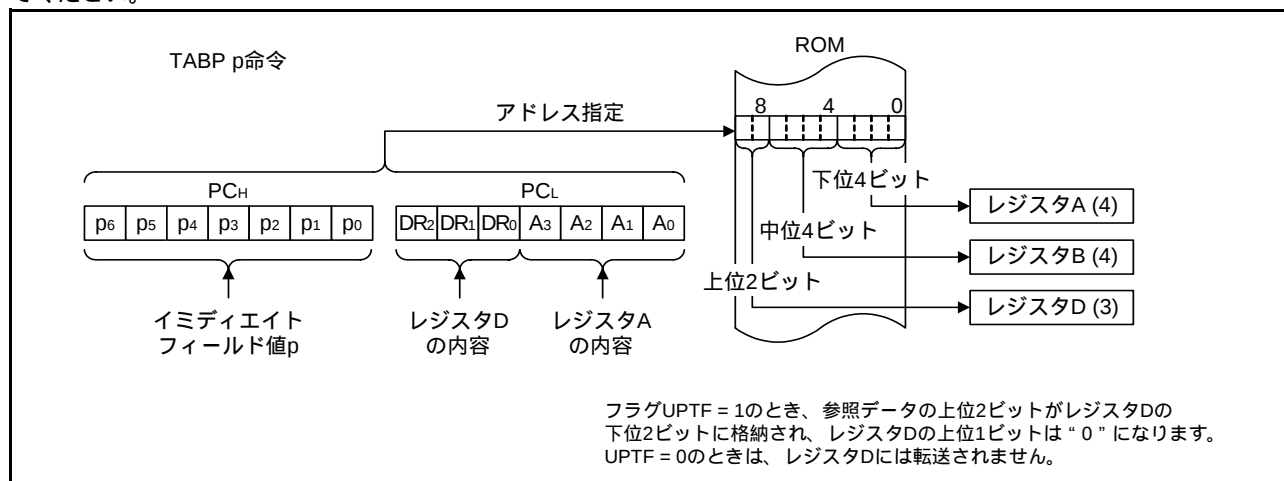


図15. TABP命令実行例

5. スタックレジスタSK及びスタックポインタ (SP)

レジスタ SK は、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令 (TABP) を実行するとき使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタ SK は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ (SP) によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図16にレジスタSKの構成を、図17にサブルーチン呼び出し時の動作例を示します。

6. 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ (CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは1段で構成されています。

レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

7. スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。

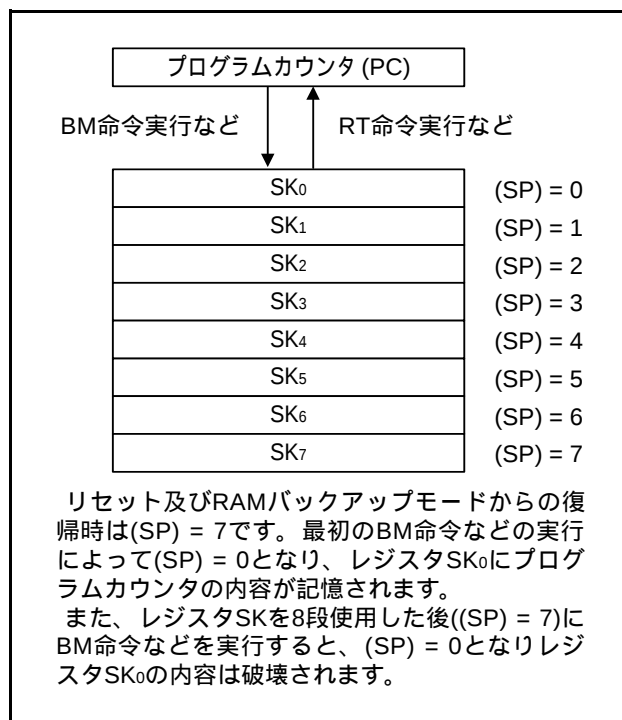


図16. スタックレジスタSKの構成

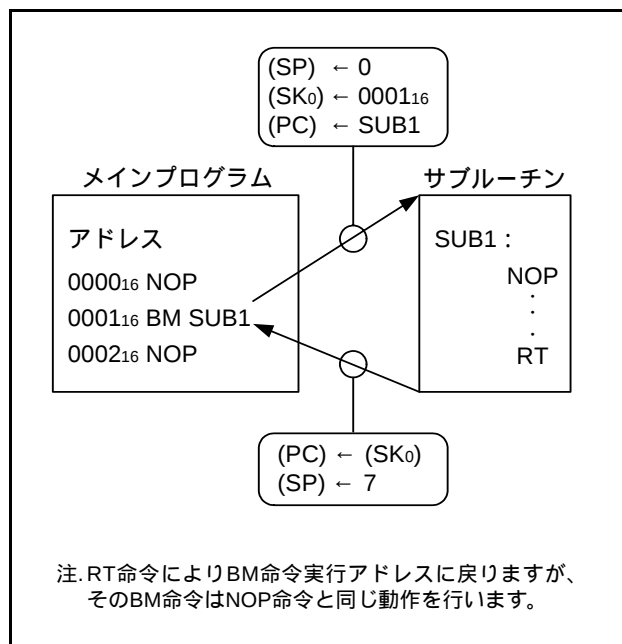


図17. サブルーチン呼び出し時の動作例

8. プログラムカウンタ (PC)

プログラムカウンタはROMアドレス (ページ及び番地) を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令 (TABP p) 実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH (最上位ビット～ビット7) とページ内の番地を指定するPCL (ビット6～ビット0) に分かれており、各ページの最終番地 (127番地) までくると次のページの0番地を指定します (図18)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

9. データポインタ (DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています (図19)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット (ピン位置) を設定し、SD、RD、SZD命令を実行してください。

図20にSD命令実行例を示します。

● 注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップモード時は不定になります。RAMバックアップモードからの復帰後、これらのレジスタへの再設定を行ってください。

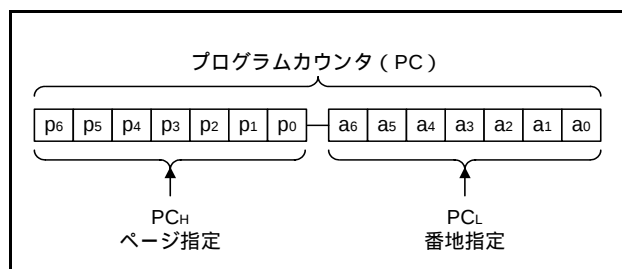


図18. プログラムカウンタ (PC) の構成

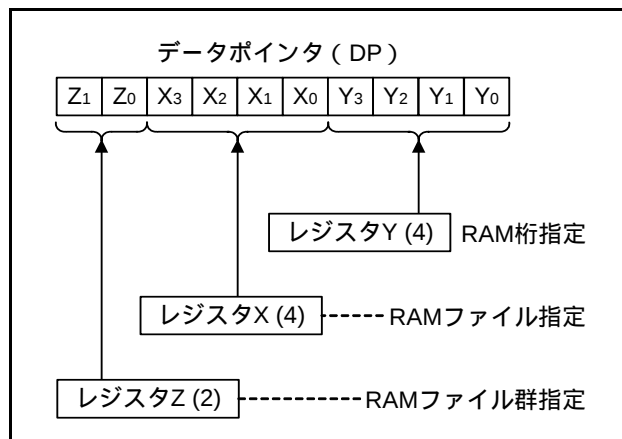


図19. データポインタ (DP) の構成

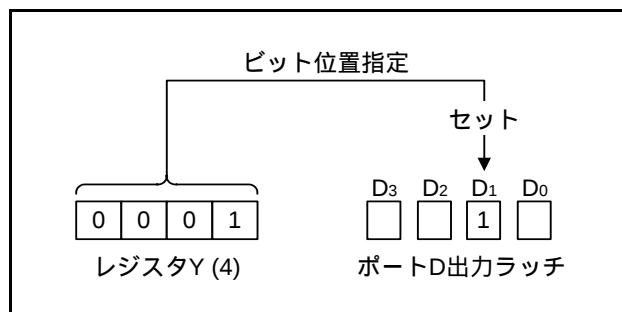


図20. SD命令実行例

プログラムメモリ (ROM)

プログラムメモリは、1語が10ビットで構成されており、128語 (0 ~ 127番地) ごとにページという単位で分けられています。

1 ページ (0080₁₆ ~ 00FF₁₆) の先頭には割り込み番地が割り付けられています (図 22)。

割り込みが発生すると各割り込みに対応した番地 (割り込み番地) がプログラムカウンタ (PC) に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2 ページ (0100₁₆ ~ 017F₁₆) はサブルーチン呼び出しのための特殊なページです (図 21)。このページに書き込まれたサブルーチンは、1語命令 (BM 命令) で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン (ビット9 ~ 0) を TABP p 命令によりデータ領域として使用できます。

表8. ROM容量とページ数

型 名	ROM(PROM)容量 (×10ビット)	ページ数
M3455AG8	8192語	64 (0 ~ 63)
M3455AGC (注1)	12288語	96 (0 ~ 95)

注1. 初期状態はTABP命令で0 ~ 63ページのデータ参照が可能です。SBK命令実行後のTABP命令で64 ~ 95ページのデータ参照が可能になります。RBK命令実行後のTABP命令で0 ~ 63ページのデータ参照が可能になります。

●ROMコードプロテクト機能

シリアルプログラマでプロテクトビット書き込みを選択した場合、又は弊社書き込み出荷の際にプロテクトありを選択した場合はシリアルプログラマでの読み出し及び書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品でのROMコードプロテクトの有無は、発注の際にROMオプション (マスクファイル変換ユーティリティ内では“マスクオプション”表記) として選択可能です。詳細はQzROM書き込み確認書を確認してください。

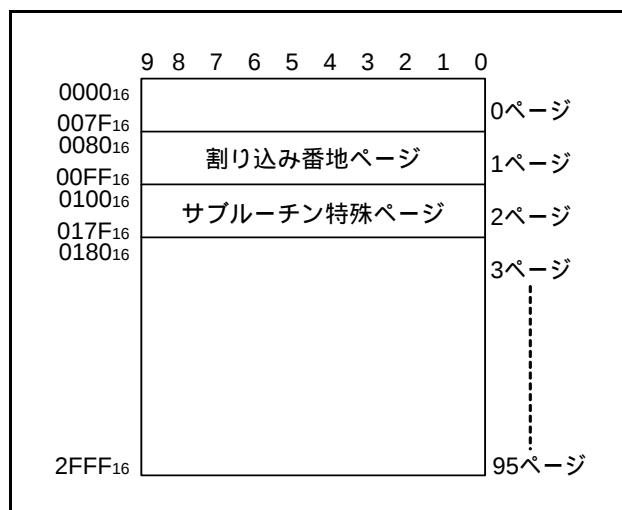


図21. M3455AGCのROMマップ

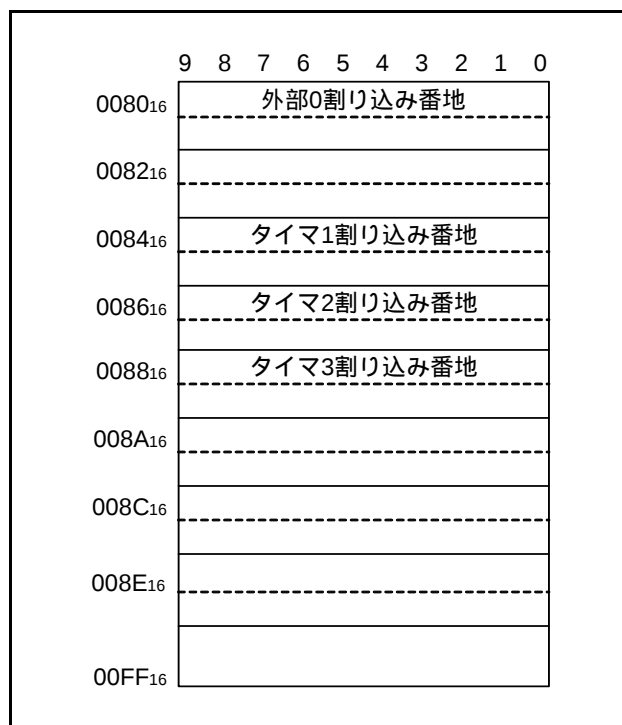


図22. 割り込み番地ページ (0080₁₆ ~ 00FF₁₆) の構成

データメモリ (RAM)

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行するときには、必ずデータポインタに値を設定してください (RAMバックアップモードからの復帰後も必ず設定してください)。

なお、RAMには液晶表示に対応した領域が含まれています。表示するセグメントに対応したビットに“1”を書き込むとそのセグメントが自動的に点灯します。

表9にRAM容量、図23にRAMマップを示します。

● 注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップモード時は不定になります。RAMバックアップモードからの復帰後、これらのレジスタの再設定を行ってください。

表9. RAM容量

型 名	RAM容量
M3455AG8	512語×4ビット (2048ビット)
M3455AGC	

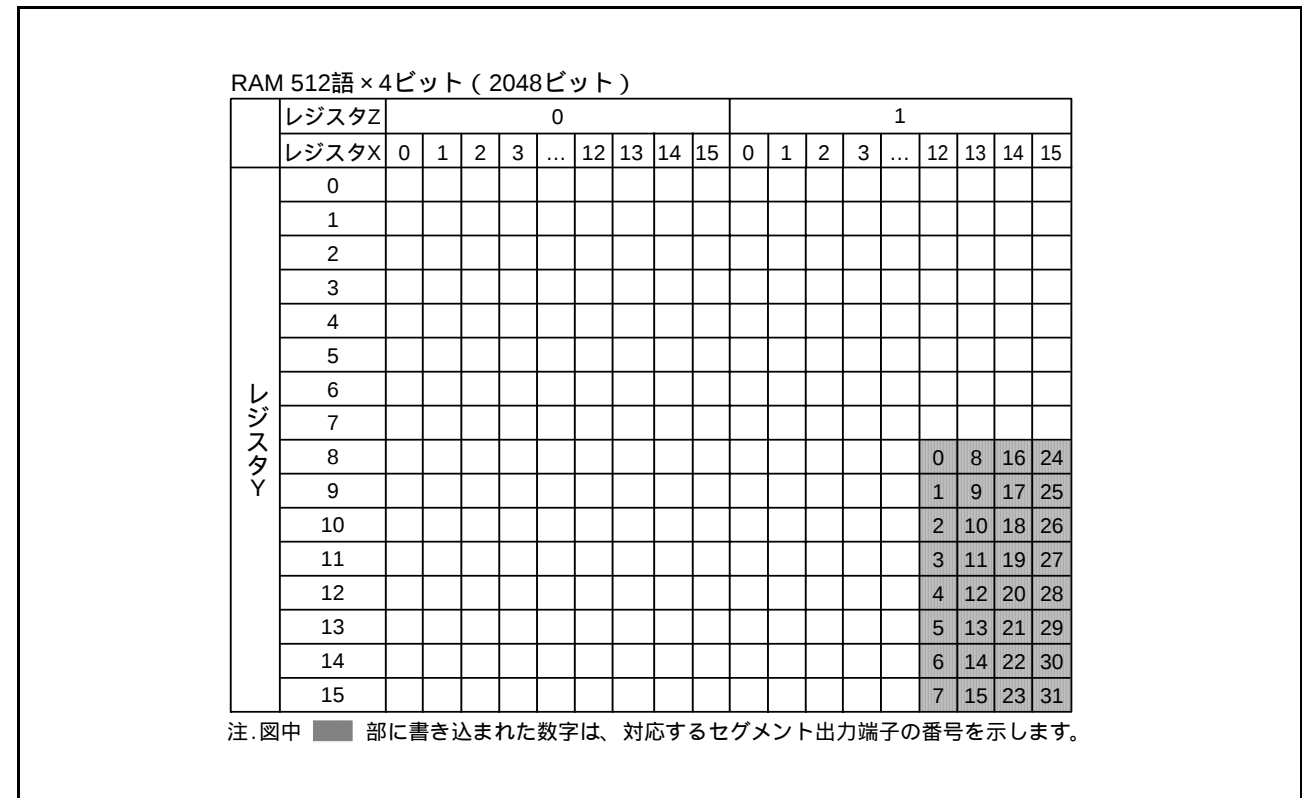


図23. RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス（割り込み番地）に岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

- 割り込み許可フラグが許可状態（INTE = “1”）
- 割り込み可能ビットが可能状態（“1”）
- 割り込み起動条件が成立（要求フラグ = “1”）

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表10に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

1. 割り込み許可フラグ（INTE）

フラグ INTE は、すべての割り込みの許可、禁止を制御するフラグです。EI 命令の実行により、フラグ INTE は “1” にセットされ、割り込みは許可されます。また、DI 命令の実行によりフラグ INTE は “0” にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグ INTE は自動的に “0” にクリアされ、次に EI 命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

2. 割り込み可能ビット（V10、V12、V13、V20）

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表11に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表12に割り込み可能ビットの機能を示します。

3. 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは “1” にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが “0” にクリアされます。各割り込み要求フラグは、フラグ INTE 又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表10に示す優先順位に従って割り込みが発生します。

表10. 割り込み要因、割り込み番地、及び優先順位

優先 順位	割り込み要因		割り込み 番地
	割り込み名	起動条件	
1	外部0割り込み	INT端子の レベル変化	1ページ 0番地
2	タイマ1割り込み	タイマ1の アンダフロー	1ページ 4番地
3	タイマ2割り込み	タイマ2の アンダフロー	1ページ 6番地
4	タイマ3割り込み	タイマ3の アンダフロー	1ページ 8番地

表11. 割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み 要求フラグ	割り込み スキップ命令	割り込み 可能ビット
外部0割り込み	EXF0	SNZ0	V10
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
タイマ3割り込み	T3F	SNZT3	V20

表12. 割り込み可能ビットの機能

割り込み可能ビット の状態	割り込みの発生	スキップ命令
1	可 能	無 効
0	禁 止	有 効

4. 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります（図25参照）。

- プログラムカウンタ（PC）
割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタ SK に格納されます。
- 割り込み許可フラグ（INTE）
フラグ INTE は“0”にクリアされ、割り込み禁止状態になります。
- 割り込み要求フラグ
割り込み要因に対応した要求フラグだけが、“0”にクリアされます。
- データポインタ、キャリフラグ（CY）、スキップフラグ、レジスタ A、B
これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタ SDP に退避されます。

- プログラムカウンタ(PC)
----- 各割り込み番地
- スタックレジスタSK
----- メインルーチンの実行番地
- 割り込み許可フラグ(INTE)
----- 0 (割り込み禁止)
- 割り込み要求フラグ (割り込み要因に対応したフラグ)
----- 0
- データポインタ、キャリフラグ(CY)、レジスタA、B、スキップフラグ
----- 割り込み専用スタックレジスタSDPへ自動的に退避

図25. 割り込み発生時の内部状態

5. 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後（次命令の実行終了直後）に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります（図24参照）。

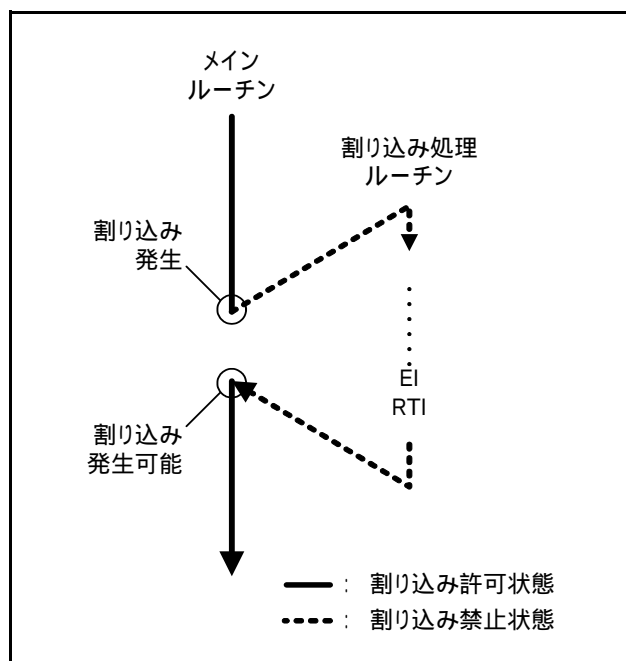


図24. 割り込み処理プログラム例

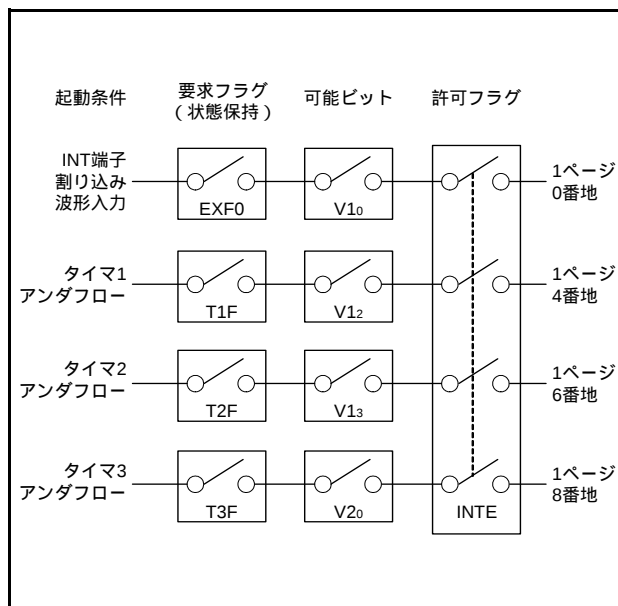


図26. 割り込み系統図

6. 割り込み制御レジスタ

● 割り込み制御レジスタ V1

レジスタ V1 には、外部 0、タイマ 1、タイマ 2 割り込み可能ビットが割り付けられています。レジスタ V1 の内容は、TV1A 命令でレジスタ A を介して設定してください。

また、TAV1 命令でレジスタ V1 の内容をレジスタ A に転送できます。

● 割り込み制御レジスタ V2

レジスタ V2 には、タイマ 3 割り込み可能ビットが割り付けられています。レジスタ V2 の内容は、TV2A 命令でレジスタ A を介して設定してください。また、TAV2 命令でレジスタ V2 の内容をレジスタ A に転送できます。

表 13. 割り込み制御レジスタ

割り込み制御レジスタ V1		リセット時 : 0000 ₂	パワードアウン時 : 0000 ₂	R / W TAV1 / TV1A
V13	タイマ 2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ 1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	使用しません	0	このビットに機能はありませんが R / W は可能です。	
		1		
V10	外部 0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効)	

割り込み制御レジスタ V2		リセット時 : 0000 ₂	パワードアウン時 : 0000 ₂	R / W TAV2 / TV2A
V23	使用しません	0	このビットに機能はありませんが R / W は可能です。	
		1		
V22	使用しません	0	このビットに機能はありませんが R / W は可能です。	
		1		
V21	使用しません	0	このビットに機能はありませんが R / W は可能です。	
		1		
V20	タイマ 3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

注. “R” は読み出し可、“W” は書き込み可を表します。

7. 割り込みシーケンス

各割り込みは、フラグ INTE、割り込み可能ビット (V10、V12、V13、V20)、各割り込み要求フラグが “1” になったときに起動します。割り込み発生のタイミングは、上記 3 条件のすべてが成立したサイクルを起点として 2 ~ 3 マシンサイクル後です。

割り込みの発生が 3 マシンサイクル後になるのは、割り込み条件が成立したときの命令が 1 サイクル命令以外のときです (図 27 参照)。

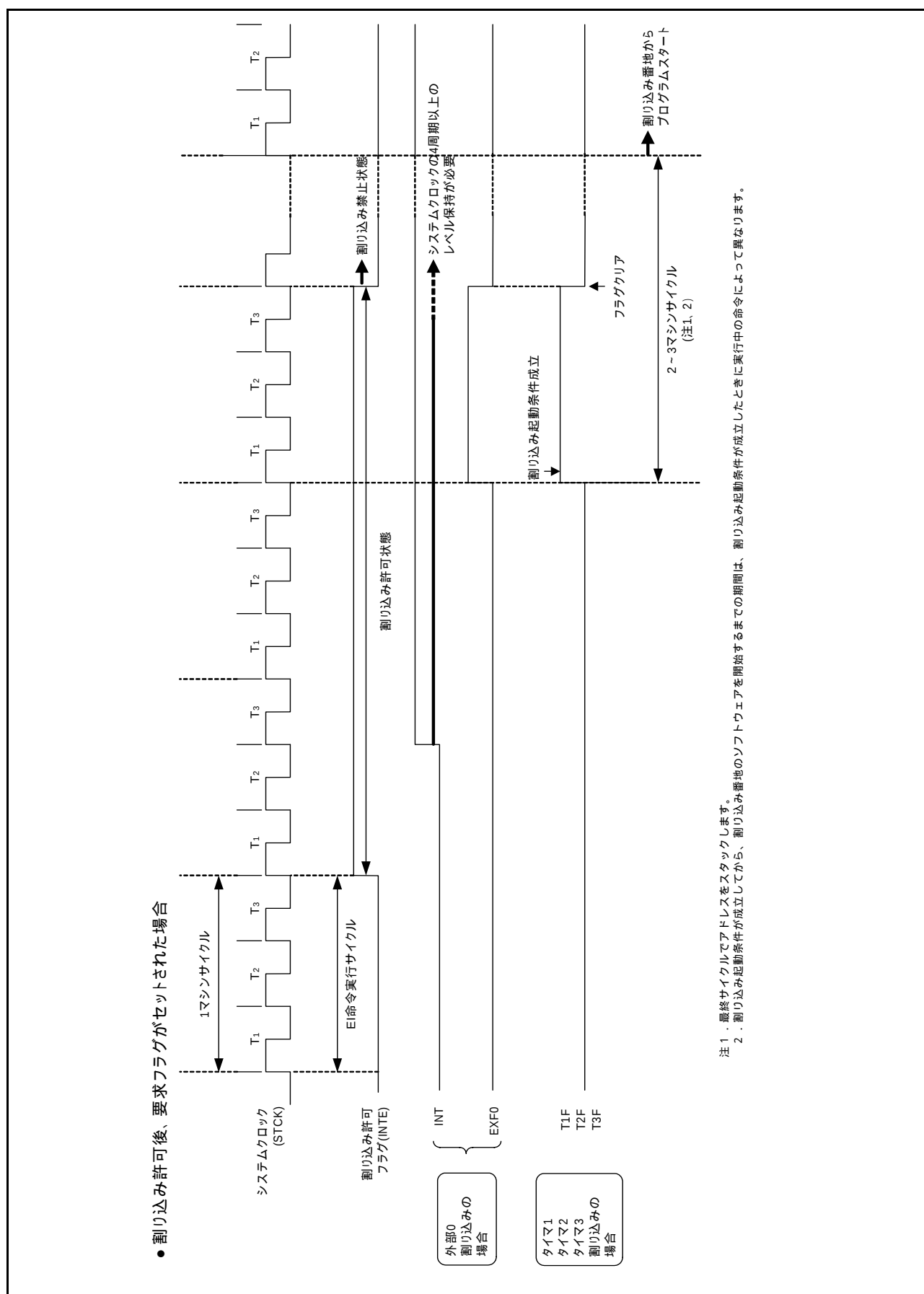


図27. 割り込みシーケンス

外部割り込み

外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求を発生します（エッジ検出）。

本製品は、1本の外部割り込み機能（外部0）をもっています。これらの割り込みは割り込み制御レジスタI1で制御できます。

表14. 外部割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	D5/INT	D5/INT端子に次の波形が入力されたとき ・ 立ち下がり波形（“H” → “L”） ・ 立ち上がり波形（“L” → “H”） ・ 立ち下がり及び立ち上がりの両波形	I11、I12

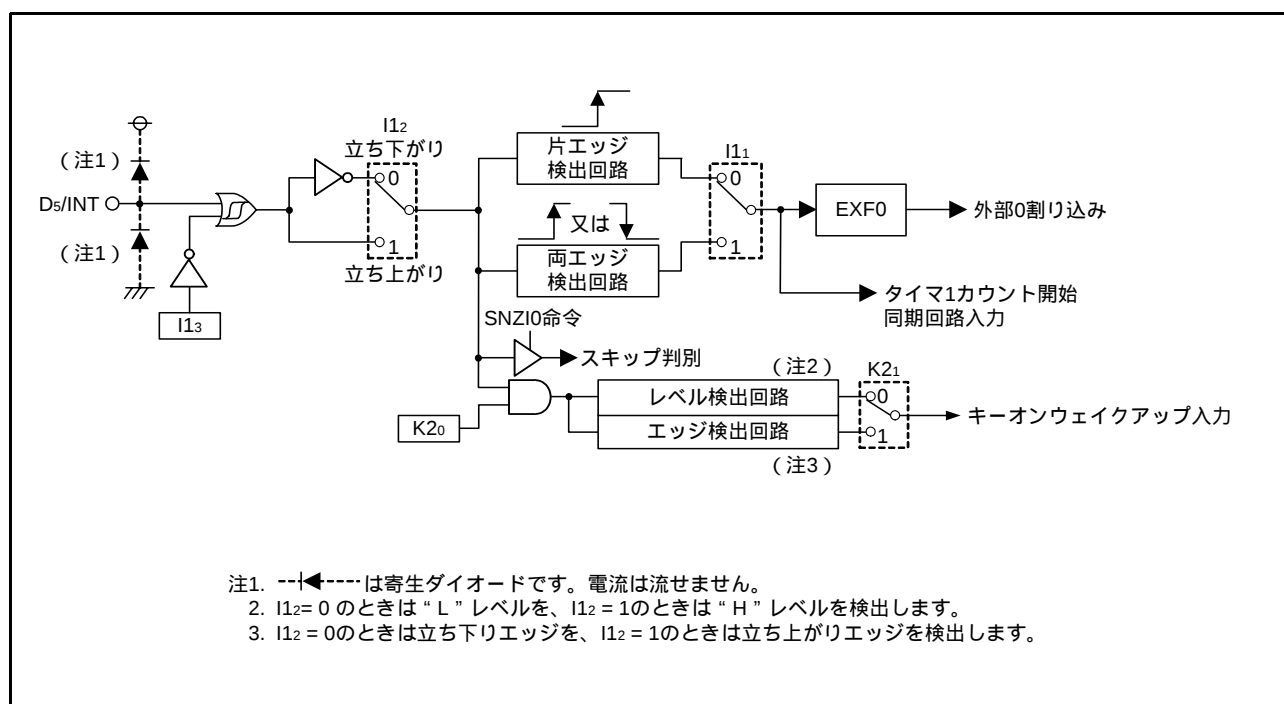


図28. 外部割り込み回路の構成

1. 外部0割り込み要求フラグ (EXF0)

フラグ EXF0 は D5/INT 端子に有効波形が入力されたとき “1” にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります (図27参照)。

フラグ EXF0 の状態は、スキップ命令の実行 (SNZ0 命令) により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタ V1 で選択してください。

フラグ EXF0 は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで “0” にクリアされます。

● 外部0割り込み起動条件

外部0割り込みの起動条件は、D5/INT 端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形、又は立ち上がりと立ち下がり両方の3種から選択できます。以下に外部0割り込みの使用法の一例を示します。

- (1) 割り込み制御レジスタ I1 のビット 3 (I13) を “1” にセットし、INT 端子を入力可能状態に設定
- (2) 割り込み制御レジスタ I1 のビット 1 (I11)、ビット 2 (I12) で有効波形を選択
- (3) SNZ0 命令を使用して、フラグ EXF0 を “0” にクリア
- (4) SNZ0 命令によるスキップが発生する場合を考慮して、NOP 命令を挿入
- (5) 外部0割り込み可能ビット (V10) 及び割り込み許可フラグ (INTE) を共に “1” にセット

以上の操作により外部0割り込み発生許可状態になります。この状態で D5/INT 端子に有効波形を入力すると、フラグ EXF0 は “1” にセットされ、外部0割り込みが発生します。

2. 外部割り込み制御レジスタ

(1) 割り込み制御レジスタ I1

レジスタ I1 は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TI1A 命令でレジスタ A を介して設定してください。また、TAI1 命令でレジスタ I1 の内容をレジスタ A に転送できます。

表15. 外部割り込み制御レジスタ

割り込み制御レジスタ I1		リセット時: 0000 ₂	パワーダウン時: 状態保持	R / W TAI1 / TI1A
I13	INT 端子入力制御ビット (注2)	0	入力禁止	
		1	入力可能	
I12	INT 端子割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “L” レベル (SNZI0 命令は “L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZI0 命令は “H” レベル認識)	
I11	INT 端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT 端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. これらのビット (I12、I13) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

3. 注意事項

(1) レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図29)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上において(図29)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図29)。

```

:
:
LA 4 ; ( × × × 02)
TV1A ; SNZ0命令有効 . . . .
LA 8 ; (1 × × × 2)
TI1A ; INT端子入力制御変更
NOP ; . . . . .
SNZ0 ; SNZ0命令の実行
      ( フラグEXF0クリア )
NOP ; . . . . .
:
:

```

× : このビットは本例では関係しません。

図29. 外部0割り込みプログラム例1

(2) レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT端子入力禁止の状態RAMバックアップを使用する際は、次の点に注意してください。

- INT端子入力を禁止する場合、(レジスタI13 = “0”)は、パワーダウンモードに移行する前にINT端子のキーオンウェイクアップを無効(レジスタK20 = “0”)としてください(図30)。

```

:
:
LA 0 ; ( × × × 02)
TK2A ; INTキーオンウェイクアップ無効 . . .
DI
EPOF
POF2 ; RAMバックアップ
:
:

```

× : このビットは本例では関係しません。

図30. 外部0割り込みプログラム例2

(3) レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってD5/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、D5/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図31)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上において(図31)SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図31)。

```

:
:
LA 4 ; ( × × × 02)
TV1A ; SNZ0命令有効 . . . .
LA 12 ; ( × 1 × × 2)
TI1A ; 割り込み有効波形変更
NOP ; . . . . .
SNZ0 ; SNZ0命令の実行
      ( フラグEXF0クリア )
NOP ; . . . . .
:
:

```

× : このビットは本例では関係しません。

図31. 外部0割り込みプログラム例3

タイマ

本製品が内蔵するタイマには、以下の種類があります。

- プログラマブルタイマ

プログラマブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値 n からダウンカウントを開始し、アンダフローする ($n + 1$ カウントする) と、また新たにリロードレジスタからデータがリロードされカウントを続行します (オートリロード機能)。

- 固定分周タイマ

固定分周タイマは、分周比 (n) が固定されているタイマで、カウントパルスを n 回カウントするごとにアンダフローが発生します。

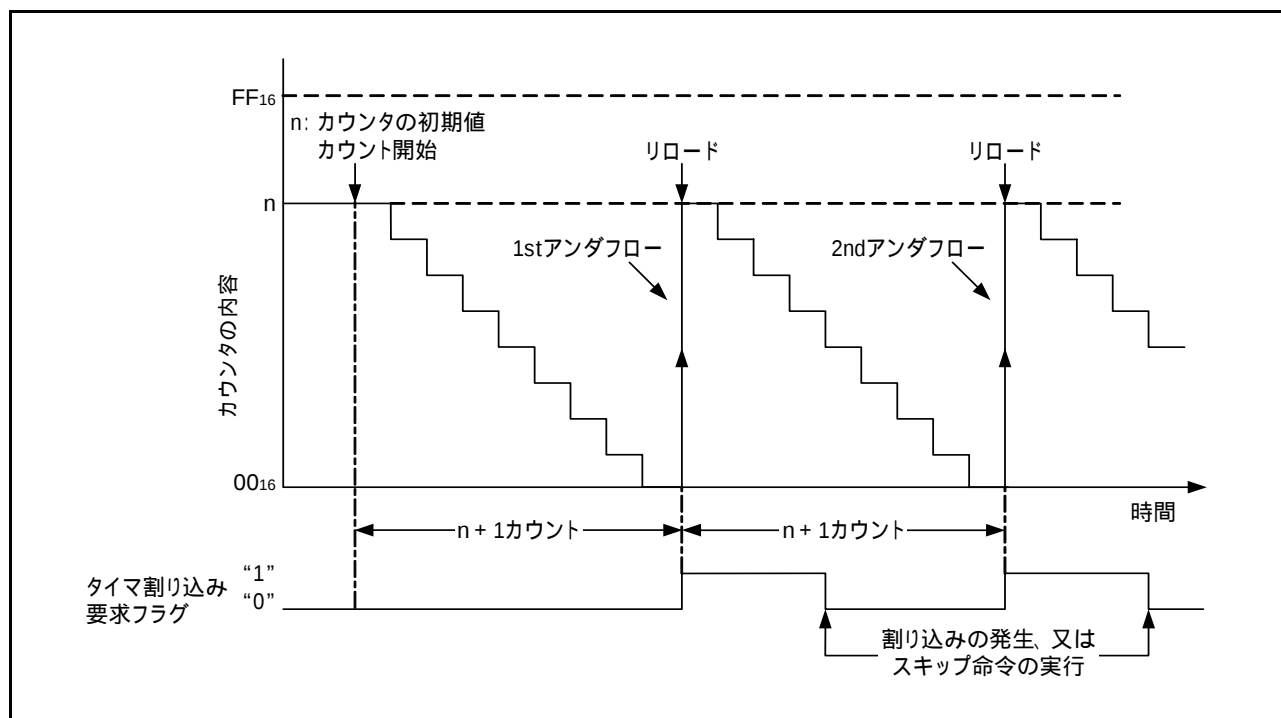


図32. オートリロード機能

本製品のタイマは以下の回路で構成されています。

- ・プリスケアラ：8ビットプログラマブルタイマ
- ・タイマ1：8ビットプログラマブルタイマ
- ・タイマ2：8ビットプログラマブルタイマ
- ・タイマ3：16ビット固定分周タイマ
- ・タイマLC：4ビットプログラマブルタイマ
- ・ウォッチドッグタイマ：16ビット固定分周タイマ
(タイマ1、2、3は割り込み機能付き)

プリスケアラ、タイマ1、2、3、LCは、タイマ制御レジスタPA、W1、W2、W3、W4、W5で制御できます。

ウォッチドッグタイマは、制御レジスタをもたないフリーカウンタです。

以下、各機能について説明します。

表16. タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケアラ	8ビットプログラマブルバイナリダウンカウンタ	・インストラクションクロック (INSTCK)	1 ~ 256	・タイマ1カウントソース ・タイマ2カウントソース ・タイマ3カウントソース	PA
タイマ1	8ビットプログラマブルバイナリダウンカウンタ (INT入力連動機能、搬送波出力自動制御機能付)	・PWM信号 (PWMOUT) ・プリスケアラ出力 (ORCLK) ・タイマ3アンダフロー (T3UDF) ・CNTR入力	1 ~ 256	・CNTR出力制御 ・タイマ1割り込み	W1 W4
タイマ2	8ビットプログラマブルバイナリダウンカウンタ (搬送波発生機能付)	・XIN入力 ・プリスケアラ出力 (ORCLK) の2分周信号	1 ~ 256	・タイマ1カウントソース ・CNTR出力 ・タイマ2割り込み	W2 W4
タイマ3	16ビット固定分周	・XCIN入力 ・プリスケアラ出力 (ORCLK) ・高速オンチップオシレータ (f(HSOCO)) ・低速オンチップオシレータ (f(LSOCO))	512 1024 2048 4096 8192 16384 32768 65536	・タイマ1カウントソース ・タイマLCカウントソース ・タイマ3割り込み	W3 W5
タイマLC	4ビットプログラマブルバイナリダウンカウンタ	・タイマ3のビット4 (T34) ・システムクロック (STCK)	1 ~ 16	LCDクロック	W4
ウォッチドッグタイマ	16ビット固定分周	・インストラクションクロック (INSTCK)	65536	・システムリセット (2回カウント) ・WDF1フラグ判定	-

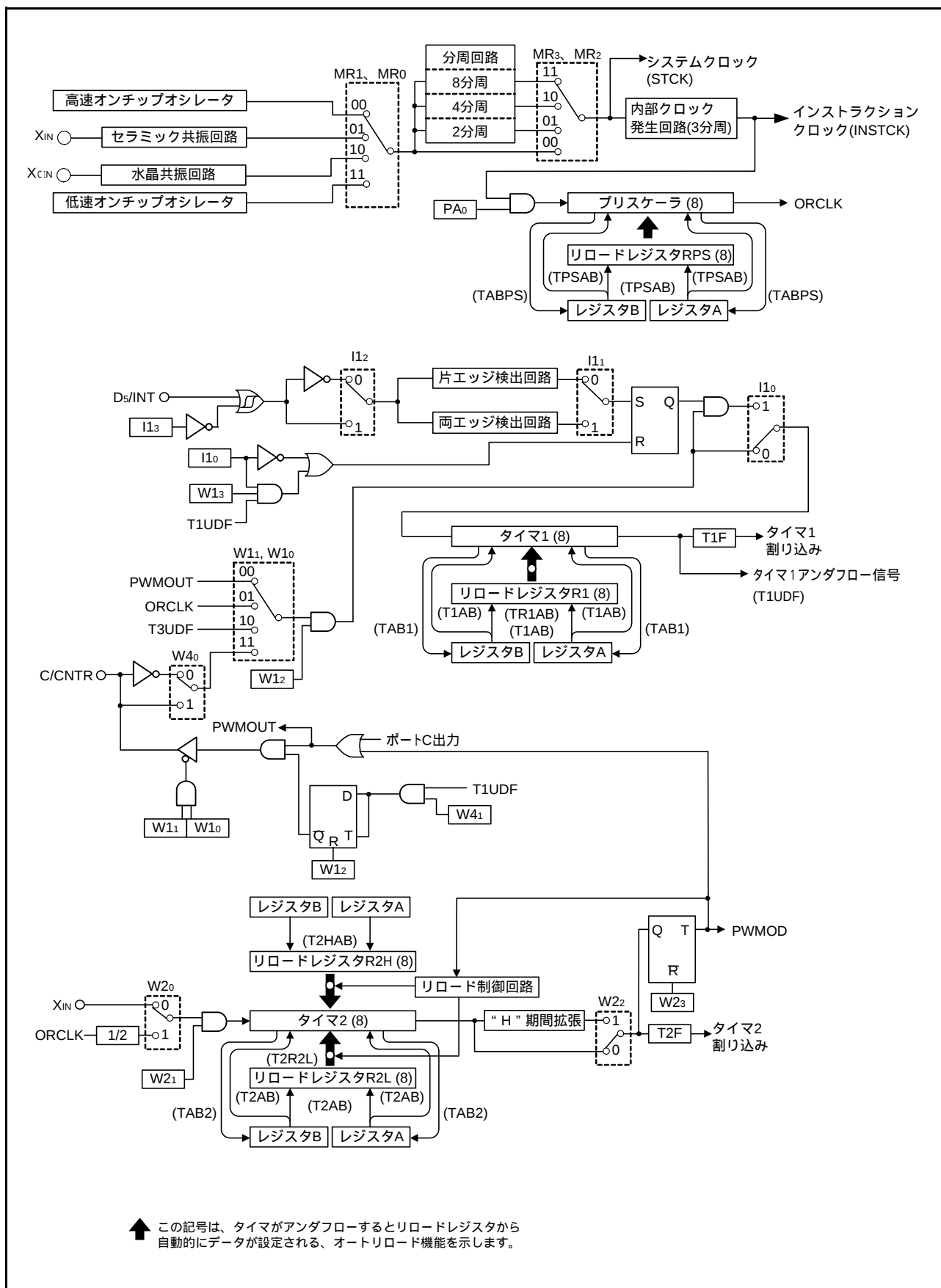


図33. タイマの構成 (1)

表17. タイマ制御レジスタ

タイマ制御レジスタPA		リセット時：0 ₂		パワーダウン時：0 ₂	W TPAA
PA ₀	プリスケアラ制御ビット	0	停止（状態保持）		
		1	動作		

タイマ制御レジスタW1		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW1 / TW1A
W1 ₃	タイマ1 カウント自動停止回路選択ビット(注2)	0	タイマ1カウント自動停止回路非選択		
		1	タイマ1カウント自動停止回路選択		
W1 ₂	タイマ1制御ビット	0	停止（状態保持）		
		1	動作		
W1 ₁	タイマ1カウントソース選択ビット(注3)	W1 ₁	W1 ₀	カウントソース	
		0	0	PWM信号(PWMOUT)	
		0	1	プリスケアラ出力 (ORCLK)	
		1	0	タイマ3アンダフロー信号 (T3UDF)	
W1 ₀		1	1	CNTR入力	

タイマ制御レジスタW2		リセット時：0000 ₂		パワーダウン時：0000 ₂	R / W TAW2 / TW2A
W2 ₃	CNTR 端子出力制御ビット	0	CNTR 端子出力無効		
		1	CNTR 端子出力有効		
W2 ₂	PWM信号 "H" 期間拡張機能制御ビット	0	PWM信号 "H" 期間拡張機能無効		
		1	PWM信号 "H" 期間拡張機能有効		
W2 ₁	タイマ2制御ビット	0	停止（状態保持）		
		1	動作		
W2 ₀	タイマ2カウントソース選択ビット	0	XIN入力		
		1	プリスケアラ出力 (ORCLK) の2分周信号		

タイマ制御レジスタW3		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW3 / TW3A
W3 ₃	タイマ3制御ビット	0	停止（初期状態）		
		1	動作		
W3 ₂	タイマ3 カウント値選択ビット	W3 ₂	W3 ₁	W3 ₀	カウント値
		000	512カウントごとにアンダーフロー発生		
		001	1024カウントごとにアンダーフロー発生		
		010	2048カウントごとにアンダーフロー発生		
W3 ₁		011	4096カウントごとにアンダーフロー発生		
		100	8192カウントごとにアンダーフロー発生		
W3 ₀		101	16384カウントごとにアンダーフロー発生		
		110	32768カウントごとにアンダーフロー発生		
		111	65536カウントごとにアンダーフロー発生		

タイマ制御レジスタW4		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW4 / TW4A
W4 ₃	タイマLC制御ビット	0	停止（状態保持）		
		1	動作		
W4 ₂	タイマLCカウントソース選択ビット	0	タイマ3のビット4 (T34)		
		1	システムクロック (STCK)		
W4 ₁	CNTR 端子出力自動制御回路選択ビット	0	CNTR 端子出力自動制御回路非選択		
		1	CNTR 端子出力自動制御回路選択		
W4 ₀	CNTR 端子 入力カウントエッジ選択ビット	0	立ち下がリエッジ		
		1	立ち上がりエッジ		

注1. "R" は読み出し可、"W" は書き込み可を表します。

注2. この機能はタイマ1 カウント開始同期回路選択 (I10 = "1") 時にのみ有効です。

注3. タイマ1 カウントソースにCNTR 入力を選択した場合、ポートC 出力は無効になります。

タイマ制御レジスタ W5		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW5 / TW5A
W5 ₃	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1	このビットに機能はありませんがR/Wは可能です		
W5 ₂	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1	このビットに機能はありませんがR/Wは可能です		
W5 ₁	タイマ3 カウントソース選択ビット	W51W52	カウントソース		
		00	XCIN入力		
W5 ₀		01	ORCLK入力		
		10	低速オンチップオシレータ		
		11	高速オンチップオシレータ		

1. タイマ関連の制御レジスタ

- タイマ制御レジスタ PA
レジスタ PA は、プリスケアラのカウント動作を制御します。このレジスタは、TPAA 命令でレジスタ A を介して設定してください。
- タイマ制御レジスタ W1
レジスタ W1 は、タイマ1のカウントソース選択、カウント動作、及びタイマ1カウント自動停止回路を制御します。このレジスタの内容は、TW1A 命令でレジスタ A を介して設定してください。また、TAW1 命令でレジスタ W1 の内容をレジスタ A に転送できます。
- タイマ制御レジスタ W2
レジスタ W2 は、タイマ2のカウントソース選択、カウント動作、CNTR 端子出力、及び PWM 信号 "H" 期間拡張機能を制御します。このレジスタの内容は、TW2A 命令でレジスタ A を介して設定してください。また、TAW2 命令でレジスタ W2 の内容をレジスタ A に転送できます。
- タイマ制御レジスタ W3
レジスタ W3 は、タイマ3のカウント値選択、及びカウント動作を制御します。このレジスタの内容は、TW3A 命令でレジスタ A を介して設定してください。また TAW3 命令でレジスタ W3 の内容をレジスタ A に転送できます。
- タイマ制御レジスタ W4
レジスタ W4 は、CNTR 端子入力カウントエッジ、CNTR 端子出力自動制御回路、タイマ LC のカウントソース、及びカウント動作を制御します。このレジスタの内容は TW4A 命令でレジスタ A を介して設定してください。また、TAW4 命令でレジスタ W4 の内容をレジスタ A に転送できます。
- タイマ制御レジスタ W5
レジスタ W5 は、タイマ3のカウントソース選択を制御します。このレジスタの内容は、TW5A 命令でレジスタ A を介して設定してください。また TAW5 命令で レジスタ W5 の内容をレジスタ A に転送できます。

2. プリスケアラ

プリスケアラは8ビットのバイナリカウンタで、プリスケアラリロードレジスタ RPS をもっています。プリスケアラとリロードレジスタ RPS には、TPSAB 命令で同時にデータを設定できます。プリスケアラからは TABPS 命令でデータを読み出すことができます。

プリスケアラデータの設定または読み出しを行う場合は、カウントを停止させた後に TPSAB 命令または TABPS 命令を実行してください。

プリスケアラにデータを設定した後レジスタ PA のビット 0 を "1" にセットすると、プリスケアラはカウント動作を開始します。

リロードレジスタ RPS の設定値を n とすると、プリスケアラはカウントソースの信号を $n + 1$ 分周します ($n = 0 \sim 255$)。プリスケアラのカウントソースはインストラクションクロック (INSTCK) です。

カウント開始後、プリスケアラはアンダフローする (プリスケアラの内容が "0" になった後、次のカウントパルスが入力される) と、新たにリロードレジスタ RPS からデータをリロードしてカウントを続行します (オートリロード機能)。プリスケアラの出力信号 (ORCLK) は、タイマ1、2、3 のカウントソースに使用できます。

3. タイマ1（割り込み機能付き）

タイマ1は8ビットのバイナリカウンタで、タイマ1リロードレジスタR1をもっています。タイマ1とリロードレジスタR1には、T1AB命令で同時にデータを設定できます。リロードレジスタR1にはTR1AB命令でデータを設定することができます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウンタを停止させた後にT1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1にデータを設定する場合は、アンダフローと重ならないタイミングでTR1AB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0, 1でカウンタソースを設定し、レジスタW1のビット2を“1”にセットすると、タイマ1はカウンタ動作を開始します。

リロードレジスタR1の設定値を n とすると、タイマ1はカウンタソースの信号を $n + 1$ 分周します（ $n = 0 \sim 255$ ）。

カウンタ開始後、タイマ1はアンダフローする（タイマ1の内容が“0”になった後、次のカウンタパルスが入力される）と、タイマ1割り込み要求フラグ（T1F）を“1”にセットし、新たにリロードレジスタR1からデータをリロードしてカウンタを続行します（オートリロード機能）。

割り込み制御レジスタI1のビット0を“1”にセットすると、INT端子の入力をタイマ1カウンタ動作の開始トリガに使用できます。また、この時レジスタW1のビット3を“1”にセットすると、タイマ1アンダフローによる自動停止が行えます。

4. タイマ2（割り込み機能付き）

タイマ2は8ビットのバイナリカウンタで、2つのタイマ2リロードレジスタR2L, R2Hをもっています。タイマ2とリロードレジスタR2Lには、T2AB命令で同時にデータを設定できます。リロードレジスタR2HにはT2HAB命令でデータを設定することができます。T2AB命令で設定したリロードレジスタR2Lの内容は、T2R2L命令でタイマ2に再設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウンタを停止させた後にT2AB命令またはTAB2命令を実行してください。

タイマ2動作中にリロードレジスタR2Hにデータを設定する場合は、アンダフローと重ならないタイミングでT2HAB命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0でカウンタソースを設定し、レジスタW2のビット1を“1”にセットすると、タイマ2はカウンタ動作を開始します。

リロードレジスタR2Lの設定値を n 、R2Hの設定値を m とすると、タイマ2はカウンタソースの信号を $n + 1$ または $m + 1$ 分周します（ $n = 0 \sim 255$, $m = 0 \sim 255$ ）。

レジスタW2のビット3が“0”の場合、カウンタ開始後、タイマ2はアンダフローする（タイマ2の内容が“0”になった後、次のカウンタパルスが入力される）と、タイマ2割り込み要求フラグ（T2F）を“1”にセットし、新たにリロードレジスタR2Lからデータをリロードしてカウンタを続行します（オートリロード機能）。

レジスタW2のビット3が“1”の場合、タイマ2は、リロードレジスタR2Lに設定した期間“L”、リロードレジスタR2Hに設定した期間“H”のPWM信号（PWMOD）を生成してCNTR端子に出力します。

この時レジスタW2のビット2が“1”に設定されていると、タイマ2はリロードレジスタR2Hに設定した期間を、カウンタソースの半周期分拡張します。リロードレジスタR2Hの設定値を m とすると、タイマ2はカウンタソースの信号を $m + 1.5$ 分周することになります（ $m = 1 \sim 255$ ）。この機能を使用する場合は、リロードレジスタR2Hに“1”以上の値を設定してください。

レジスタW4のビット1を“1”にセットすると、タイマ1のアンダフローごとにCNTR端子へのPWM信号出力の有効/無効が交互に繰り返されます。ただし、タイマ1を停止するとこの機能は解除されます。

PWM信号が“H”の期間にレジスタW2のビット1を“0”にクリアした場合でも、タイマ2は次にアンダフローするまで停止しません。

PWM出力機能使用時にタイマ2を停止させる場合、レジスタW2のビット1を“0”にクリアするタイミングがタイマ2アンダフローと重なると、CNTR端子出力波形にハザードが発生することがあります。

5. タイマ3 (割り込み機能付き)

タイマ3は16ビットのバイナリカウンタです。レジスタW3のビット0~2でカウント値を、レジスタW5のビット0、1でカウントソースを設定し、レジスタW3のビット3を“1”にセットすると、タイマ3はカウント動作を開始します。

カウント開始後、タイマ3はアンダフローする(設定したカウント値がカウントされると、タイマ3割り込み要求フラグ(T3F)を“1”にセットし、カウントを続行します。

タイマ3のビット4はLCDクロック生成用タイマLCのカウントソースに使用できます。

レジスタW3のビット3を“0”にクリアすると、タイマ3は初期化され(“FFFF16”)、カウントは停止します。

タイマ3は時計動作モード(POF命令実行)時に動作可能ですので、時計用カウンタとして使用できます。時計動作モード時にタイマ3アンダフローが発生すると、パワーダウン状態から復帰します。

時計動作モード時にタイマ3を動作させる場合は、レジスタW3のビット3を“1”にセットした後、POF命令実行までの期間をカウントソースの1周期以上にしてください。

6. タイマLC

タイマLCは4ビットのバイナリカウンタで、タイマLCリロードレジスタRLCをもっています。タイマLCとリロードレジスタRLCには、TLCA命令で同時にデータを設定できます。タイマLCからデータを読み出すことはできません。

タイマLCにデータを設定する場合は、カウントを停止させた後にTLCA命令を実行してください。

タイマLCにデータを設定した後、レジスタW4のビット2でカウントソースを設定し、レジスタW4のビット3を“1”にセットすると、タイマLCはカウント動作を開始します。

リロードレジスタRLCの設定値をnとすると、タイマLCはカウントソースの信号をn+1分周します(n=0~15)。

カウント開始後、タイマLCはアンダフローする(タイマLCの内容が“0”になった後、次のカウントパルスが入力されると、新たにリロードレジスタRLCからデータをリロードしてカウントを続行します(オートリロード機能)。

タイマLCアンダフローの2分周信号はLCDクロックに使用されます。

7. タイマ入出力端子(C/CNTR)

CNTR端子は、タイマ1のカウントソース入力機能とタイマ2で生成されるPWM信号の出力機能を持ちます。

レジスタW2のビット3でCNTR端子出力を制御できます。PWM信号をCNTR端子より出力させる場合は、ポートCの出力ラッチを“0”に設定してください。

タイマ1のカウントソースにCNTR入力を選択した場合、タイマ1はCNTR入力のレジスタW4のビット0で選択した波形をカウントします。また、CNTR入力を選択した場合はポートCの出力は無効(ハイインピーダンス状態)になります。

8. タイマ割り込み要求フラグ(T1F, T2F, T3F)

タイマ割り込み要求フラグは、各タイマのアンダフロー時に“1”にセットされます。これらのフラグの状態は、スキップ命令(SNZT1, SNZT2, SNZT3)の実行により確認できます。

割り込みとスキップ命令のどちらを使用するかは、レジスタV1, V2で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

9. カウント開始同期回路(タイマ1)

タイマ1はINT端子の入力に同期してタイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0に“1”を設定すると機能が選択されてINT端子の入力による制御が可能になります。

タイマ1のカウント開始同期回路を使用している場合、INT端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT端子入力の有効波形は、外部0割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1のビット0に“0”を設定するか、リセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合は、タイマ1がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

10. カウント自動停止回路(タイマ1)

タイマ1はカウント開始同期回路を使用しているときに、タイマ1アンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW1のビット3を“1”にセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

11. 注意事項

タイマを使用する場合は以下の点に注意してください。

● プリスケーラに関する注意

プリスケラからデータを読み出す場合は、まずプリスケラのカウンタを停止させた後、データ読み出し命令 (TABPS) を実行してください。

プリスケラにデータを書き込む場合は、まずプリスケラのカウンタを停止させた後、データ書き込み命令 (TPSAB) を実行してください。

● カウントソースに関する注意

タイマ1, 2, 3, LC のカウントソースを切り替える場合は、まず各タイマのカウンタを停止させた後、カウントソースを切り替えてください。

● カウント値の読み出しに関する注意

タイマ1, 2 からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令 (TAB1, TAB2) を実行してください。

● タイマへのデータ書き込みに関する注意

タイマ1, 2, LC にデータを書き込む場合は、まず各タイマのカウンタを停止させた後、データ書き込み命令 (T1AB, T2AB, T2R2L, TLCA) を実行してください。

● リロードレジスタへのデータ書き込みに関する注意

タイマ1 動作中にリロードレジスタ R1 にデータを書き込む場合は、必ずタイマ1 アンダフローと重ならないタイミングでデータ書き込み命令 (TR1AB) を実行してください。

タイマ2 動作中にリロードレジスタ R2H にデータを書き込む場合は、必ずタイマ2 アンダフローと重ならないタイミングでデータ書き込み命令 (T2HAB) を実行してください。

● PWM 信号に関する注意

PWM 信号出力時に、タイマ2 カウンタ停止タイミングとタイマ2 アンダフロータイミングが重なった場合、PWM 出力波形にハザードが発生することがあります。

PWM 信号の“H”期間拡張機能を使用している場合は、リロードレジスタ R2H に“1”以上の値を設定してください。

PWM 信号を C/CNTR 端子より出力する場合は、ポート C の出力ラッチを“0”に設定してください。

● タイマ3に関する注意

タイマ3のカウント値を切り替える場合は、まずタイマ3のカウントを停止させた後、カウント値を切り替えてください。

時計動作モード時にタイマ3を動作させる場合は、レジスタ W3 のビット3を“1”にセットした後、POF 命令実行までの期間をカウントソースの1周期以上にしてください。

● プリスケーラ, タイマ1 のカウント開始タイミングと動作開始時のカウント時間について

プリスケラ, タイマ1 は動作開始 (図35) 後、カウントソースの最初の立ち上がり (図35) からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの期間 (図35) は、以降のアンダフロー間の期間 (図35) より短く (最大でカウントソースの1周期分) になります。

なお、タイマ1のカウントソースとして CNTR の立ち下がりエッジを選択した場合、タイマ1はCNTR入力立ち下がりエッジに同期して動作します。

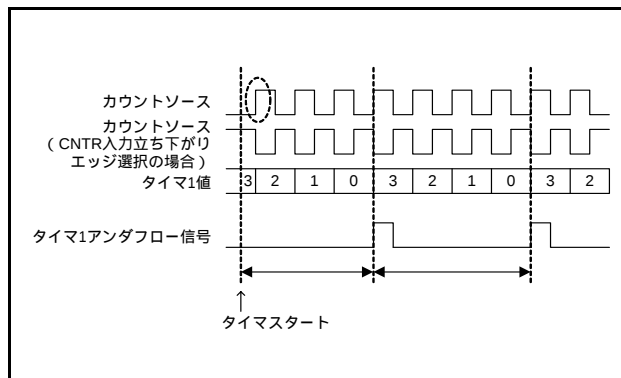


図35. タイマカウント開始タイミングと動作開始時のカウント時間1

● タイマ2, LC のカウント開始タイミングと動作開始時のカウント時間について

タイマ2, LC は、動作開始 (図36) 後、最初のカウントソース立ち下がり後の立ち上がり (図36) からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの期間 (図36) は、以降のアンダフロー間の期間と異なります。

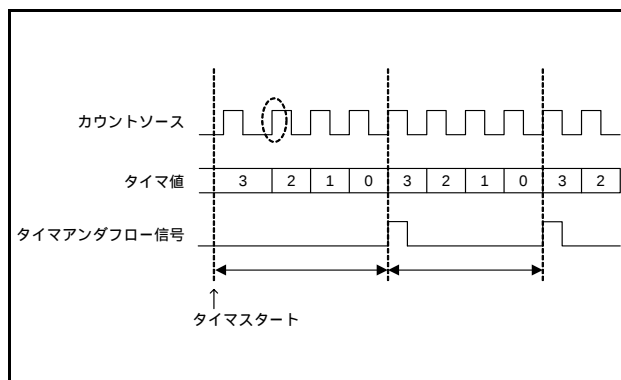
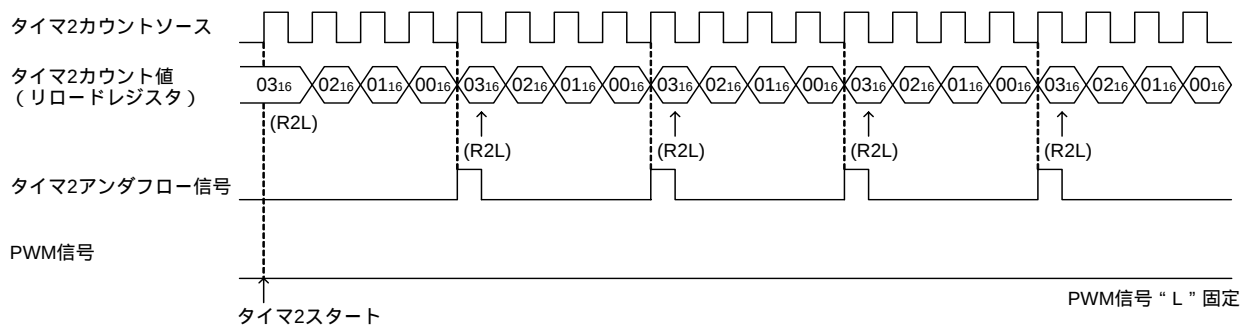
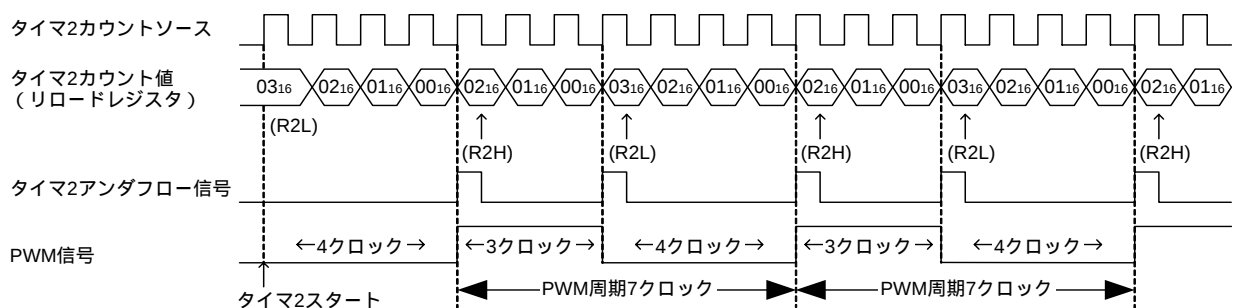


図36. タイマカウント開始タイミングと動作開始時のカウント時間2

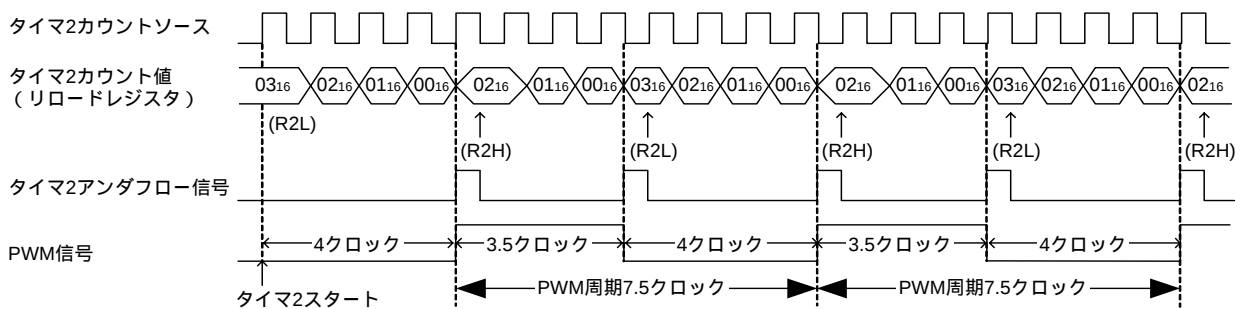
● CNTR端子出力無効 ($W2_3 = "0"$)時



● CNTR端子出力有効 ($W2_3 = "1"$)、PWM信号"H"期間拡張機能無効 ($W2_2 = "0"$)時



● CNTR端子出力有効 ($W2_3 = "1"$)、PWM信号"H"期間拡張機能有効 ($W2_2 = "1"$)時 (注)

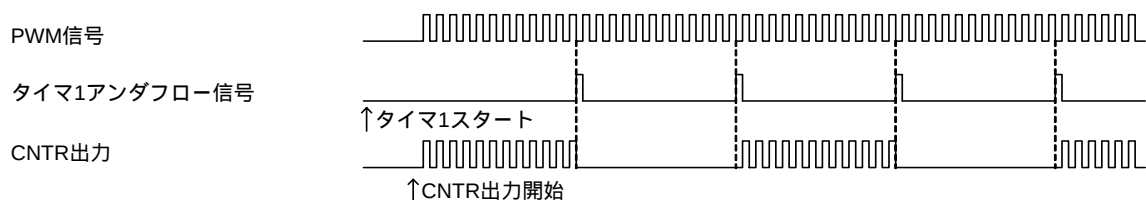


リロードレジスタR2Lに "03₁₆"、リロードレジスタR2Hに "02₁₆" を設定した場合。

注. PWM信号"H"期間拡張機能有効時は、リロードレジスタR2Hに "1"以上の値を設定してください。

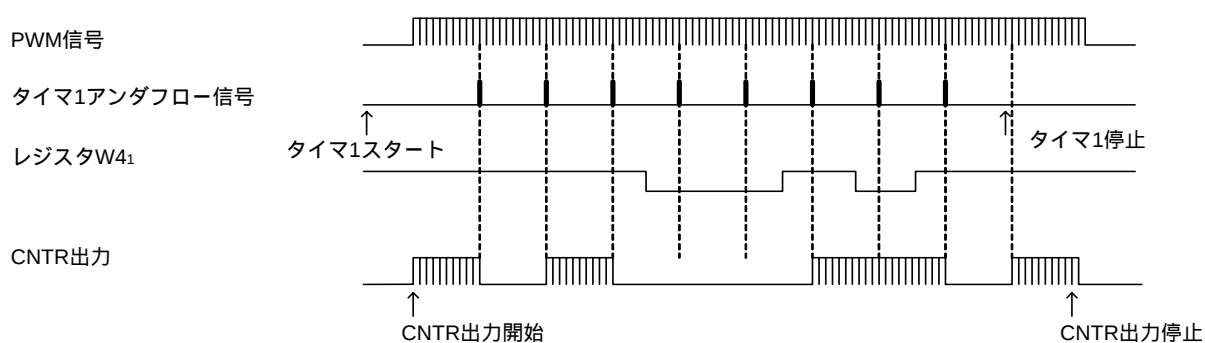
図37. タイマ2動作例

● CNTR出力自動制御回路動作例1 ($W2_3 = "1"$ 、 $W4_1 = "1"$)



CNTR出力自動制御回路を選択すると、タイマ1のアンダフローごとにCNTR出力の有効 / 無効が繰り返されます。

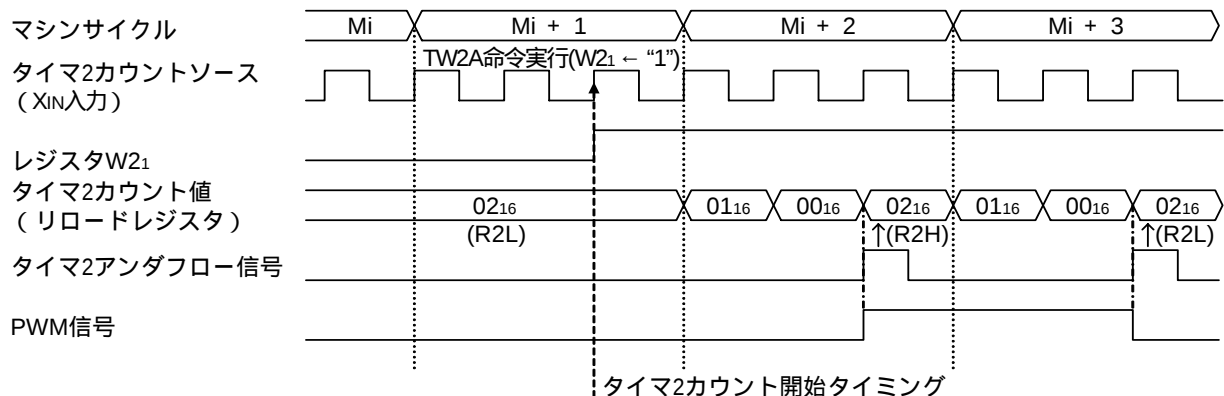
● CNTR出力自動制御回路動作例2 ($W2_3 = "1"$)



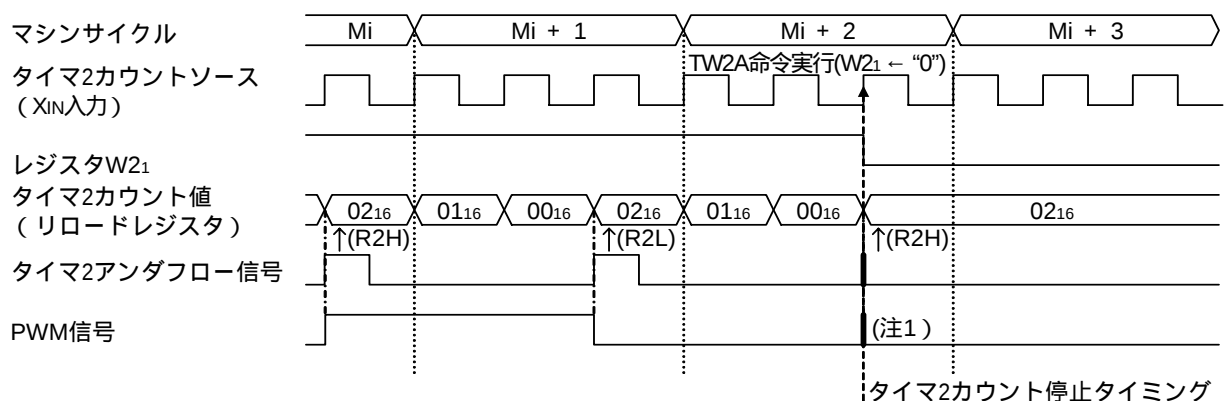
CNTR出力無効時にCNTR出力自動制御機能を非選択にすると、CNTR出力無効状態を保持します。
CNTR出力有効時にCNTR出力自動制御機能を非選択にすると、CNTR出力有効状態を保持します。
タイマ1を停止すると、CNTR出力自動制御機能は無効になります。

図38. タイマ1によるCNTR出力自動制御機能

● タイマ2カウント開始タイミング(R2L = "02₁₆"、R2H = "02₁₆"、W2₃ = "1")



● タイマ2カウント停止タイミング(R2L = "02₁₆"、R2H = "02₁₆"、W2₃ = "1")



- 注1. CNTR端子出力有効 (W2₃ = "1")時にタイマカウント停止タイミングとタイマアンダフロータイミングが重なると、PWM信号波形にハザードが発生する場合があります。
2. PWM信号の "H" 期間中にタイマカウントを停止した場合は、"H" 出力期間が終了後にタイマは停止します。

図39. タイマカウント開始 / 停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF)、及びウォッチドッグタイマフラグ(WDF1、WDF2)により構成されています。

タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロック(INSTCK)をカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力される)と、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットし、RESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後はフラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWDT命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。一度フラグWEFを“0”にクリアした後、再び“1”にセットするには、マイクロコンピュータをシステムリセットする必要があります。

WRST命令にはスキップ機能があり、フラグWDF1の内容が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。

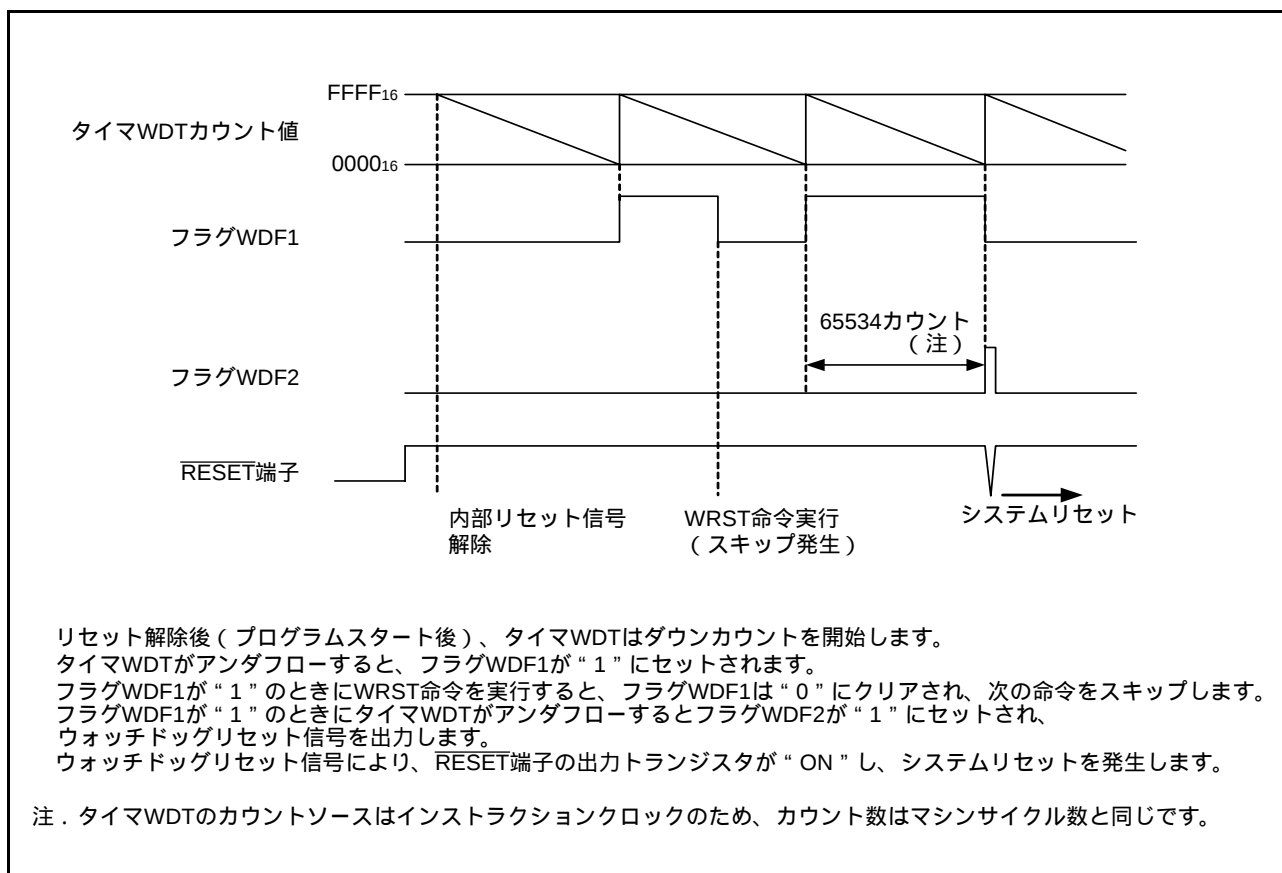


図40. ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合は、WRST 命令によりフラグ WDF1 を 65534 マシンサイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合は、DWDI 命令と WRST 命令を連続して実行してください(図 41 参照)。DWDI 命令のみではウォッチドッグタイマ機能は停止しません。

パワーダウンモード時、フラグ WDF1 及びタイマ WDT の値は初期化されます。なお、ウォッチドッグタイマ機能とパワーダウンを併用する場合は、パワーダウンモードに移行する前に WRST 命令を実行してフラグ WDF1 を初期化してください。

また、WRST 命令によるスキップが発生する場合を考慮し、WRST 命令の後に NOP 命令を挿入してください(図 42 参照)。

```

.
.
WRST ; フラグ WDF1 クリア
.
DI
DWDI ; ウォッチドッグタイマ機能禁止許可
WRST ; フラグ WDF1 クリア
.
.

```

図 41. ウォッチドッグタイマ使用時、停止の時のプログラム例

```

.
.
.
.
WRST ; フラグ WDF1 クリア
NOP
DI ; 割り込み禁止
EPOF ; POF 命令許可
POF2 ; RAM バックアップ
↓
発振停止

```

図 42. ウォッチドッグタイマ使用時のプログラム例

液晶表示機能

本製品は、LCD（液晶表示画素）コントローラ／ドライバを内蔵しています。

LCD コントローラ／ドライバは、LCD 表示用RAM 及びタイマLC にデータを設定し、LCD 制御レジスタ L1, L2, L3, C1, C2, C3 及びタイマ制御レジスタ W3, W4 を設定すると、自動的に表示データを読み出し、デューティ及びバイアス制御を行い、LCD を点灯します。

LCD の駆動には、コモン信号出力端子4 本とセグメント信号出力端子32 本が使用でき、最大128 画素の表示制御ができます（内部電源使用、1/4 デューティ、1/3 バイアス選択時）。

SEG0 ~ SEG2 端子は、LCD 用電源入力のVLC3 ~ VLC1端子と兼用です。LCD 用電源に外部入力を使用する場合は、LCD 制御レジスタ L2 で必要な端子を選択し、適切な電圧を印加してください。SEG0 端子を選択した場合は、LCD 用電源に内部電源（VDD）を使用します。

1. デューティ及びバイアス制御

LCD 表示方式であるデューティとバイアスの組み合わせは次の3 通りから選択できます。使用するLCD パネルに適用する表示方式を、LCD 制御レジスタ L1 のビット0, 1 で設定してください。

- 1 / 2 デューティ, 1 / 2 バイアス
- 1 / 3 デューティ, 1 / 3 バイアス
- 1 / 4 デューティ, 1 / 3 バイアス

デューティの設定による最大表示画素数及び使用 COM 端子の関係を、表18 に示します。

表18. デューティと最大表示画素数

デューティ	最大表示画素数	使用COM 端子
1 / 2	64 画素	COM0, COM1（注）
1 / 3	96 画素	COM0 ~ COM2（注）
1 / 4	128 画素	COM0 ~ COM3

注：使用しないCOM 端子は開放してください。

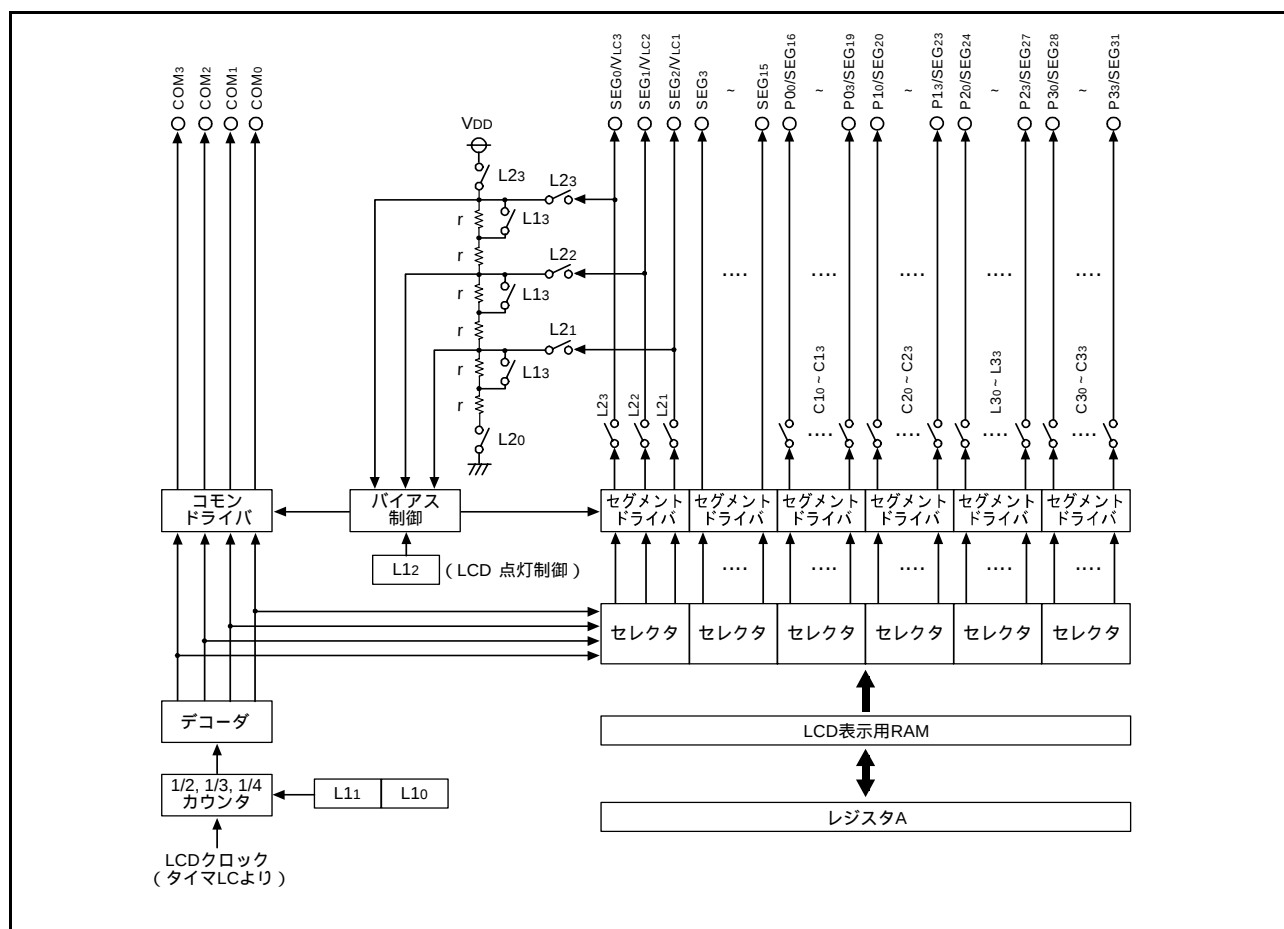


図43. LCD コントローラ／ドライバの構成

2. LCD クロック制御

LCD クロックは、タイマLCの設定値およびタイマLCのカウンタソースにより決定されます。

タイマLCにデータを設定した後、レジスタW4のビット2でカウンタソースを設定し、レジスタW4のビット3を“1”にセットすると、タイマLCはカウンタ動作を開始します。

LCD クロックの周波数 (F) は、次式で求めることができます。式下の番号 (~) は、図44中の番号に対応しています。

- システムクロック (STCK) をタイマLCのカウンタソースに設定した場合 (W42 = “1”)

$$F = \underbrace{\text{STCK}}_{\text{システムクロック}} \times \underbrace{\frac{1}{\text{LC} + 1}}_{\text{タイマLCのカウンタ値}} \times \underbrace{\frac{1}{2}}_{\text{タイマLCの出力分周}}$$

[LC : 0 ~ 15]

- タイマ3のビット4 (T34) をタイマLCのカウンタソースに設定した場合 (W42 = “0”)

$$F = \underbrace{\text{T34}}_{\text{タイマ3のビット4}} \times \underbrace{\frac{1}{\text{LC} + 1}}_{\text{タイマLCのカウンタ値}} \times \underbrace{\frac{1}{2}}_{\text{タイマLCの出力分周}}$$

[LC : 0 ~ 15]

各表示方式におけるフレーム周波数及びフレーム周期は次式で求めることができます。

$$\text{フレーム周波数} = \frac{F}{n} \quad (\text{Hz})$$

$$\text{フレーム周期} = \frac{n}{F} \quad (\text{Hz})$$

[F : LCD クロック周波数
1/n : デューティ]

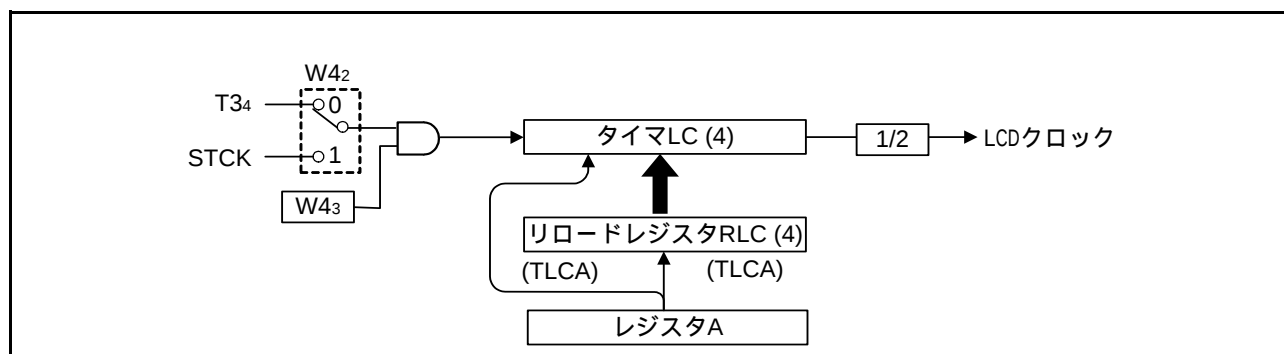


図44. LCD クロック制御回路の構成

3. LCD 表示用RAM

RAMには液晶表示に対応した領域が含まれています。

このLCD表示用RAMに“1”を書き込むと、そのビットに対応する表示画素が自動的に点灯します。

レジスタZ	1															
レジスタX	12				13				14				15			
レジスタY bit	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0
8	SEG0	SEG0	SEG0	SEG0	SEG8	SEG8	SEG8	SEG8	SEG16	SEG16	SEG16	SEG16	SEG24	SEG24	SEG24	SEG24
9	SEG1	SEG1	SEG1	SEG1	SEG9	SEG9	SEG9	SEG9	SEG17	SEG17	SEG17	SEG17	SEG25	SEG25	SEG25	SEG25
10	SEG2	SEG2	SEG2	SEG2	SEG10	SEG10	SEG10	SEG10	SEG18	SEG18	SEG18	SEG18	SEG26	SEG26	SEG26	SEG26
11	SEG3	SEG3	SEG3	SEG3	SEG11	SEG11	SEG11	SEG11	SEG19	SEG19	SEG19	SEG19	SEG27	SEG27	SEG27	SEG27
12	SEG4	SEG4	SEG4	SEG4	SEG12	SEG12	SEG12	SEG12	SEG20	SEG20	SEG20	SEG20	SEG28	SEG28	SEG28	SEG28
13	SEG5	SEG5	SEG5	SEG5	SEG13	SEG13	SEG13	SEG13	SEG21	SEG21	SEG21	SEG21	SEG29	SEG29	SEG29	SEG29
14	SEG6	SEG6	SEG6	SEG6	SEG14	SEG14	SEG14	SEG14	SEG22	SEG22	SEG22	SEG22	SEG30	SEG30	SEG30	SEG30
15	SEG7	SEG7	SEG7	SEG7	SEG15	SEG15	SEG15	SEG15	SEG23	SEG23	SEG23	SEG23	SEG31	SEG31	SEG31	SEG31
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

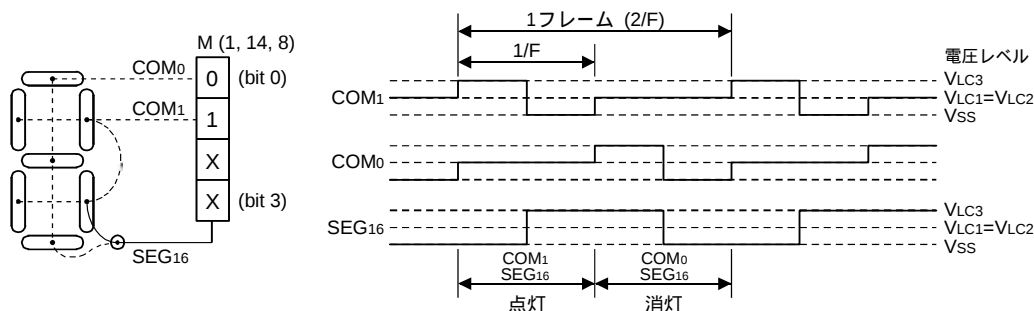
図45. LCD 表示用RAM マップ

4. LCD 駆動波形

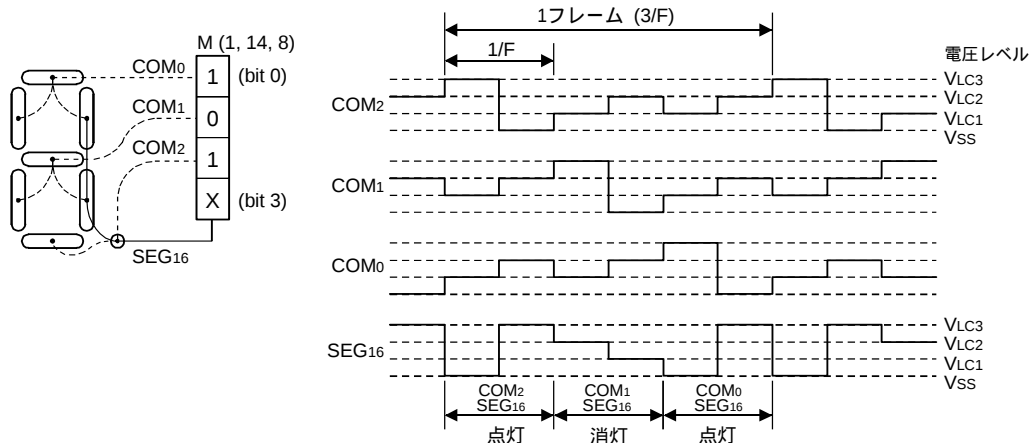
LCD 表示用 RAM データが“1”であるビットに対応する
コモン端子とセグメント端子の電位差が自動的に $|V_{LC3}|$ に
なり、その交点の表示画素が点灯します。

リセットからの復帰時及び RAM バックアップモード時
には、セグメント出力及びコモン出力端子はすべて V_{LC3} レ
ベルとなり、表示画素は消灯します。

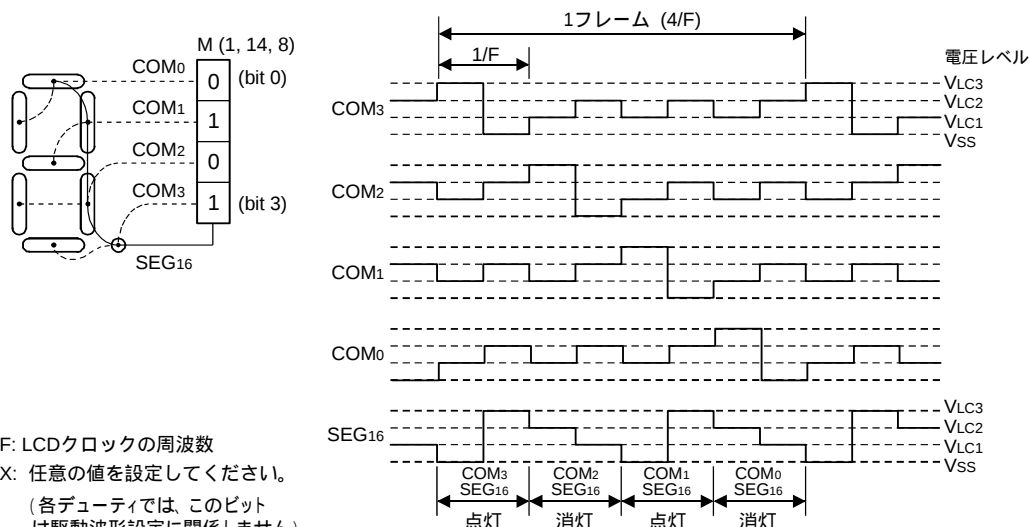
- 1/2 デューティ , 1/2 バイアス : RAM の M(1, 14, 8) 番地に (XX10)₂ を書き込んだ場合



- 1/3 デューティ , 1/3 バイアス : RAM の M(1, 14, 8) 番地に (X101)₂ を書き込んだ場合



- 1/4 デューティ , 1/3 バイアス : RAM の M(1, 14, 8) 番地に (1010)₂ を書き込んだ場合



F: LCDクロックの周波数

X: 任意の値を設定してください。

(各デューティでは、このビット
は駆動波形設定に関係しません)

図46. 駆動波形例

5. LCD 電源回路

使用する LCD パネルに適應する LCD 電源回路の構成を、LCD 制御レジスタ L1, L2 で選択してください。

LCD レジスタ L2 のビット 0 で内部分割抵抗の制御を、レジスタ L1 のビット 3 で内部分割抵抗の選択を設定し、レジスタ L1 のビット 0, 1 で選択したバイアス条件により LCD 電源回路の構成が決定します。

● 内部分割抵抗

本製品は LCD 電源用の分割抵抗を内蔵しています。

レジスタ L2 のビット 0 に “0” を設定すると、内部分割抵抗が有効状態になります。ただし、レジスタ L1 のビット 2 を “0” に設定して LCD を消灯すると、内部分割抵抗は切り離されます。

内部分割抵抗には、同一値の抵抗 (r) が 6 個用意されており、レジスタ L1 のビット 3 の設定値と使用するバイアス条件により、次のとおり抵抗が使用されます。

- $L13 = “0”$, 1/3 バイアス使用時: $2r \times 3 = 6r$
- $L13 = “0”$, 1/2 バイアス使用時: $2r \times 2 = 4r$
- $L13 = “1”$, 1/3 バイアス使用時: $r \times 3 = 3r$
- $L13 = “1”$, 1/2 バイアス使用時: $r \times 2 = 2r$

● SEG0/VLC3 端子

レジスタ L2 のビット 3 で SEG0/VLC3 端子機能の選択を制御できます。

VLC3 端子機能を選択した場合は、外部より VLC3 V_{DD} の電圧を印加してください。

SEG0 端子機能を選択した場合は、VLC3 は内部で V_{DD} に接続されます。

● SEG1/VLC2, SEG2/VLC1 端子

レジスタ L2 のビット 2 で SEG1/VLC2 端子機能の選択を、レジスタ L2 のビット 1 で SEG2/VLC1 端子機能の選択をそれぞれ制御できます。

VLC2, VLC1 端子機能を選択した場合で、内部分割抵抗を使用しない ($L20 = “1”$) ときは、外部より 0 VLC1 VLC2 VLC3 の電圧をそれぞれ印加してください。1/2 バイアス使用時は VLC2 端子と VLC1 端子とを短絡してください。

VLC2, VLC1 端子機能を選択した場合で、内部分割抵抗を使用する ($L20 = “0”$) ときは、内部で生成した分圧値が VLC2, VLC1 端子からそれぞれ出力されます。1/2 バイアス使用時は VLC2 端子と VLC1 端子は同電位になります。

SEG1, SEG2 端子機能を選択した場合は、必ず内部分割抵抗を使用してください ($L20 = “0”$)。このとき、VLC2, VLC1 は内部で生成された分圧値にそれぞれ接続されます。

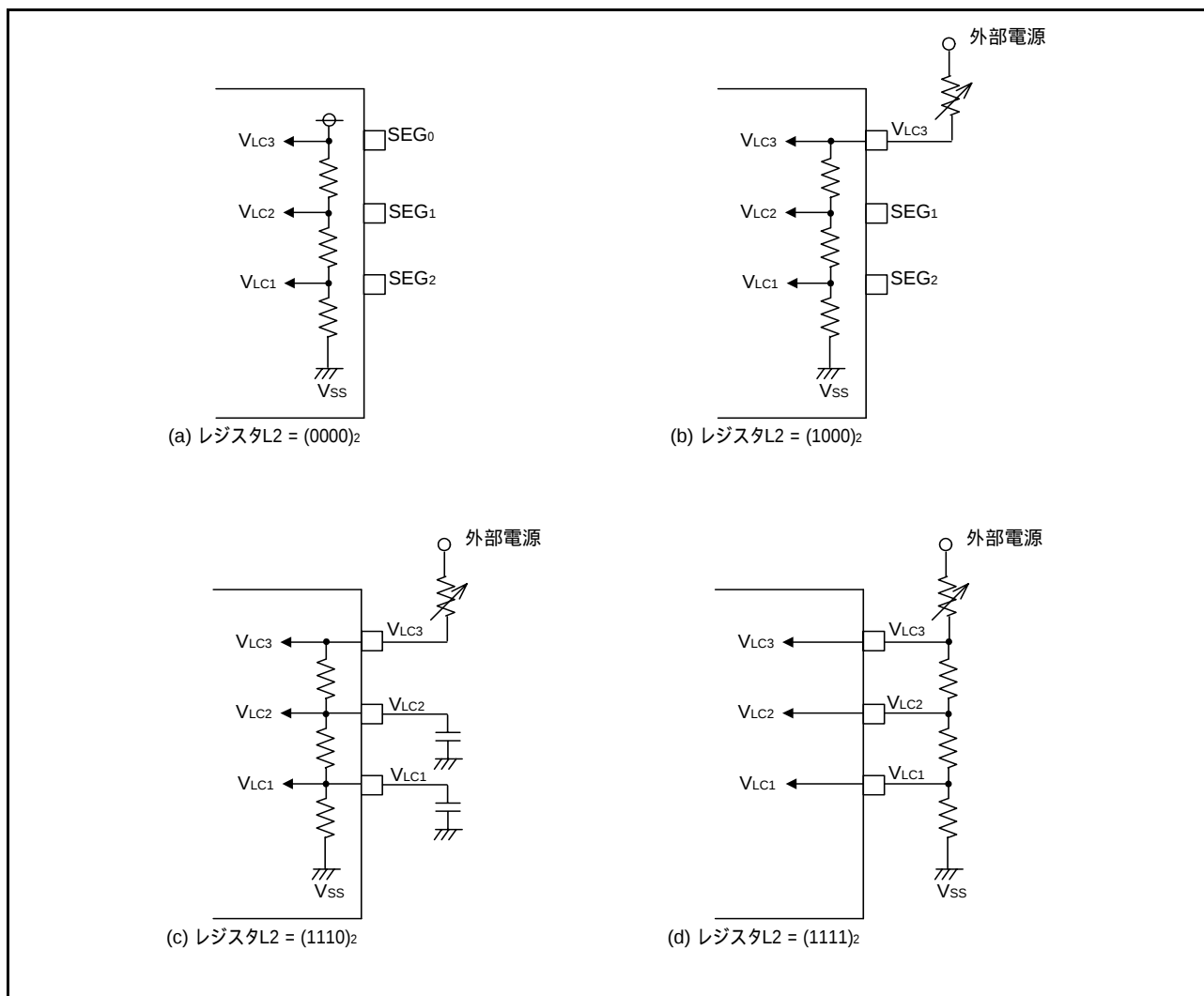


図47. LCD 電源回路構成例 (1/3 バイアス条件選択時)

6. LCD 制御レジスタ

● LCD 制御レジスタ L1

レジスタ L1 は、デューティ / バイアスの選択、LCD 動作、及び内部分割抵抗値選択を制御します。このレジスタの内容は、TL1A 命令でレジスタ A を介して設定してください。また TAL1 命令でレジスタ L1 の内容をレジスタ A に転送できます。

● LCD 制御レジスタ L2

レジスタ L2 は、内部分割抵抗動作、及び SEG0/VLC3, SEG1/VLC2, SEG2/VLC1 端子機能の選択を制御します。このレジスタの内容は、TL2A 命令でレジスタ A を介して設定してください。

● LCD 制御レジスタ L3

レジスタ L3 は、P20/SEG24 ~ P23/SEG27 端子機能の選択を制御します。このレジスタの内容は、TL3A 命令でレジスタ A を介して設定してください。

● LCD 制御レジスタ C1

レジスタ C1 は、P00/SEG16 ~ P03/SEG19 端子機能の選択を制御します。このレジスタの内容は、TC1A 命令でレジスタ A を介して設定してください。

● LCD 制御レジスタ C2

レジスタ C2 は、P10/SEG20 ~ P13/SEG23 端子機能の選択を制御します。このレジスタの内容は、TC2A 命令でレジスタ A を介して設定してください。

● LCD 制御レジスタ C3

レジスタ C3 は、P30/SEG28 ~ P33/SEG31 端子機能の選択を制御します。このレジスタの内容は、TC3A 命令でレジスタ A を介して設定してください。

表19. LCD 制御レジスタ

LCD 制御レジスタ L1		リセット時：0000 ₂		パワードアウン時：状態保持	R/W TAL1/TL1A
L13	LCD 電源用 内部分割抵抗選択ビット (注2)	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L12	LCD 制御ビット	0	停止 (消灯)		
		1	動作		
L11	LCD デューティ / バイアス選択ビット	L11	L1	デューティ	バイアス
		0	0	使用禁止	使用禁止
		0	1	1/2	1/2
		1	0	1/3	1/3
L10		1	1	1/4	1/3

LCD 制御レジスタ L2		リセット時：0000 ₂		パワードアウン時：状態保持	W TL2A
L23	SEG0/VLC3 端子機能選択ビット (注3)	0	SEG0		
		1	VLC3		
L22	SEG1/VLC2 端子機能選択ビット (注4)	0	SEG1		
		1	VLC2		
L21	SEG2/VLC1 端子機能選択ビット (注4)	0	SEG2		
		1	VLC1		
L20	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

LCD 制御レジスタ L3		リセット時：1111 ₂		パワードアウン時：状態保持	W TL3A
L33	P23/SEG27 端子機能選択ビット	0	SEG27		
		1	P23		
L32	P22/SEG26 端子機能選択ビット	0	SEG26		
		1	P22		
L31	P21/SEG25 端子機能選択ビット	0	SEG25		
		1	P21		
L30	P20/SEG24 端子機能選択ビット	0	SEG24		
		1	P20		

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. 1/3 バイアス選択時は “×3”、1/2 バイアス選択時は “×2” の抵抗を使用します。

注3. SEG0 端子を選択した場合、VLC3 は内部で VDD に接続されます。

注4. SEG1, SEG2 端子を選択した場合は、必ず内部分割抵抗を使用してください。

表20. LCD 制御レジスタ

LCD 制御レジスタ C1		リセット時：1111 ₂		パワーダウン時：状態保持	W TC1A
C13	P03/SEG19 端子機能選択ビット	0	SEG19		
		1	P03		
C12	P02/SEG18 端子機能選択ビット	0	SEG18		
		1	P02		
C11	P01/SEG17 端子機能選択ビット	0	SEG17		
		1	P01		
C10	P00/SEG16 端子機能選択ビット	0	SEG16		
		1	P00		

LCD 制御レジスタ C2		リセット時：1111 ₂		パワーダウン時：状態保持	W TC2A
C23	P13/SEG23 端子機能選択ビット	0	SEG23		
		1	P13		
C22	P12/SEG22 端子機能選択ビット	0	SEG22		
		1	P12		
C21	P11/SEG21 端子機能選択ビット	0	SEG21		
		1	P11		
C20	P10/SEG20 端子機能選択ビット	0	SEG20		
		1	P10		

LCD 制御レジスタ C3		リセット時：1111 ₂		パワーダウン時：状態保持	W TC3A
C33	P33/SEG31 端子機能選択ビット	0	SEG31		
		1	P33		
C32	P32/SEG30 端子機能選択ビット	0	SEG30		
		1	P32		
C31	P31/SEG29 端子機能選択ビット	0	SEG29		
		1	P31		
C30	P30/SEG28 端子機能選択ビット	0	SEG28		
		1	P30		

注1. “R” は読み出し可、“W” は書き込み可を表します。

リセット機能

本製品は、以下の操作又は機能により、システムリセットが実行されます。

- ・ 外部よりRESET端子に“L”レベルを印加
- ・ システムリセット命令（SRST命令）の実行
- ・ ウォッチドッグタイマによるリセット発生
- ・ 内蔵パワーオンリセット回路によるリセット発生
- ・ 電圧低下検出回路によるリセット発生

システムリセットが解除された後、0ページの0番地からソフトウェアが開始されます。

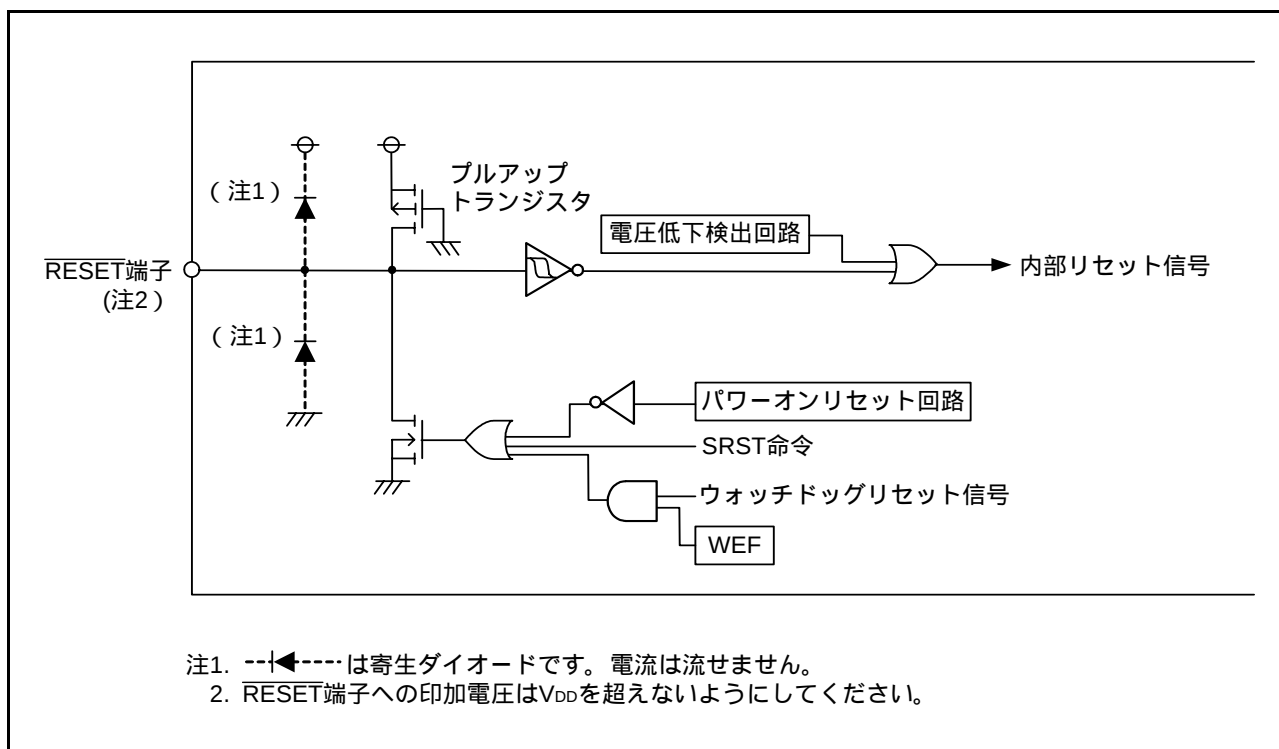


図48. RESET端子周辺の構成

表21. リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0 ~ D4	D0 ~ D4	ハイインピーダンス状態（注1、注2）
D5/INT	D5	ハイインピーダンス状態（注1、注2）
XCIN/D6, XCOUT/D7	XCIN, XCOUT	サブクロック入力
P00/SEG16 ~ P03/SEG19	P00 ~ P03	ハイインピーダンス状態（注1、注2、注3）
P10/SEG20 ~ P13/SEG23	P10 ~ P13	ハイインピーダンス状態（注1、注2、注3）
P20/SEG24 ~ P23/SEG27	P20 ~ P23	ハイインピーダンス状態（注1、注2、注3）
P30/SEG28 ~ P33/SEG31	P30 ~ P33	ハイインピーダンス状態（注1、注2、注3）
SEG0/VLC3 ~ SEG2/VLC1	SEG0 ~ SEG2	V_{LC3} (V_{DD}) レベル
SEG3 ~ SEG15	SEG3 ~ SEG15	V_{LC3} (V_{DD}) レベル
COM0 ~ COM3	COM0 ~ COM3	V_{LC3} (V_{DD}) レベル
C/CNTR	C/CNTR	“L” (V_{SS}) レベル

注1. 出力ラッチは“1”にセットされます。

注2. 出力形式は、Nチャネルオープンドレインになります。

注3. プルアップトランジスタは、OFFします。

1. RESET 端子入力

本製品のRESET端子に“L”レベルを印加すると、マイクロコンピュータがいかなる状態であっても、システムリセットが実行されます。

RESET 端子への“L”レベルの印加は、電源電圧が推奨動作条件の最小規格値以上で、1マシンサイクル以上の期間が必要です。

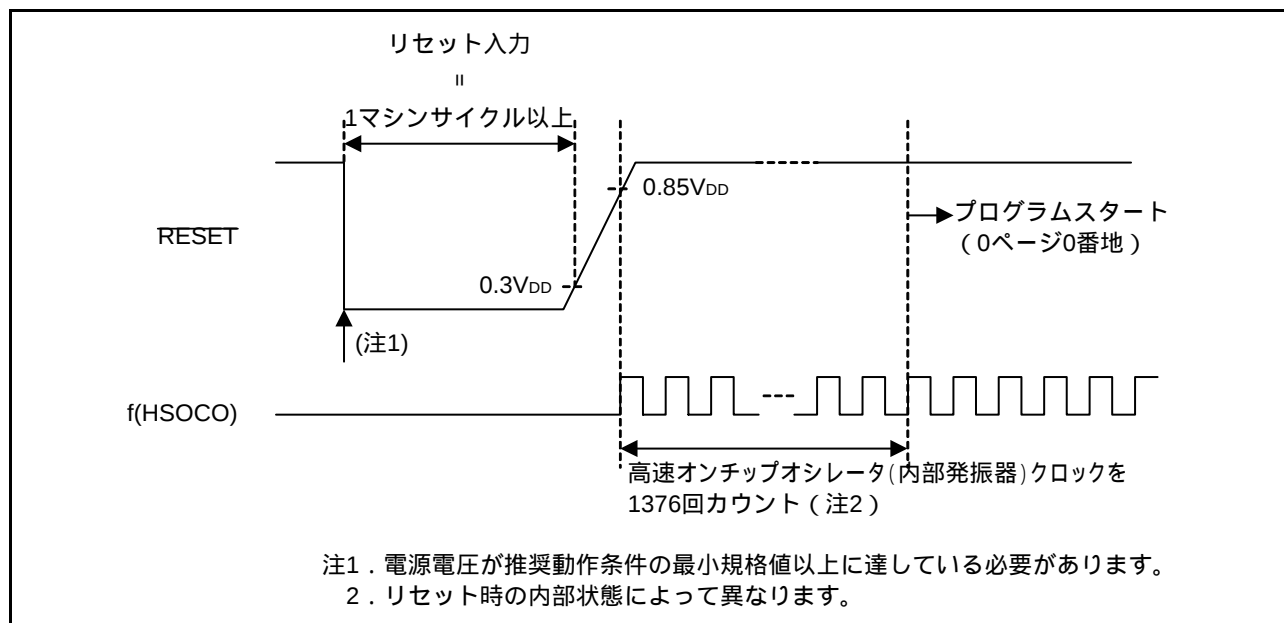


図49. RESET 端子の入力波形とリセット解除のタイミング

2. パワーオンリセット

本製品は、電源投入時に自動リセット（パワーオンリセット）をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が 0V から推奨動作条件の最小規格値以上に立ち上がるまでの時間を 100 μs 以下に設定してください。

立ち上がり時間が 100 μs を超える場合には、RESET 端子と V_{SS} 間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまで RESET 端子に“L”レベルが入力されるようにしてください。

3. システムリセット命令（SRST 命令）

SRST 命令を実行すると RESET 端子に“L”レベルを出力し、システムリセットが実行されます。

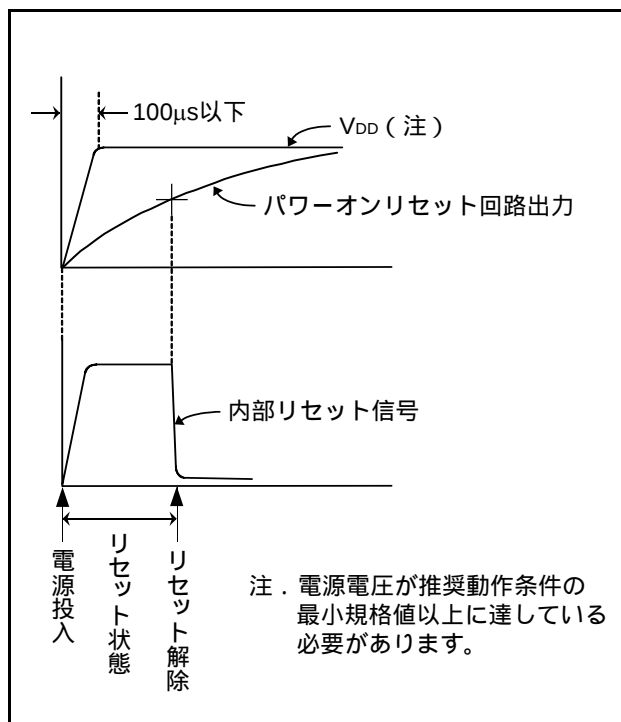


図50. パワーオンリセット動作

4. リセット時の内部状態

以下にリセット時の内部状態を示します（リセット解除直後も同状態です）。図51、図52以外のタイマ、レジスタ、フラグ、R A M などの内容は不定になるため、初期設定が必要です。

● プログラムカウンタ (PC) -----	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0ページの0番地がセットされます。	
● 割り込み許可フラグ (INTE) -----	0 (割り込み禁止)
● パワーダウンフラグ (P) -----	0
● 外部0割り込み要求フラグ (EXF0) -----	0
● 割り込み制御レジスタ V1 -----	0 0 0 0 (割り込み禁止)
● 割り込み制御レジスタ V2 -----	0 0 0 0 (割り込み禁止)
● 割り込み制御レジスタ I1 -----	0 0 0 0
● タイマ1割り込み要求フラグ (T1F) -----	0
● タイマ2割り込み要求フラグ (T2F) -----	0
● タイマ3割り込み要求フラグ (T3F) -----	0
● ウォッチドッグタイマフラグ (WDF1、WDF2) -----	0
● ウォッチドッグタイマイネーブルフラグ (WEF) -----	1
● タイマ制御レジスタ PA -----	0 (プリスケアラ停止)
● タイマ制御レジスタ W1 -----	0 0 0 0 (タイマ1停止)
● タイマ制御レジスタ W2 -----	0 0 0 0 (タイマ2停止)
● タイマ制御レジスタ W3 -----	0 0 0 0 (タイマ3停止)
● タイマ制御レジスタ W4 -----	0 0 0 0 (タイマLC停止)
● タイマ制御レジスタ W5 -----	0 0 0 0
● クロック制御レジスタ MR -----	1 1 0 0
● クロック制御レジスタ RG -----	1 0 0 0
● LCD制御レジスタ L1 -----	0 0 0 0
● LCD制御レジスタ L2 -----	0 0 0 0
● LCD制御レジスタ L3 -----	1 1 1 1
● LCD制御レジスタ C1 -----	1 1 1 1
● LCD制御レジスタ C2 -----	1 1 1 1
● LCD制御レジスタ C3 -----	1 1 1 1

図51. リセット時の内部状態（1）

●キーオンウェイクアップ制御レジスタ K0	-----	0	0	0	0
●キーオンウェイクアップ制御レジスタ K1	-----	0	0	0	0
●キーオンウェイクアップ制御レジスタ K2	-----	0	0	0	0
●キーオンウェイクアップ制御レジスタ K3	-----	0	0	0	0
●ブルアップ制御レジスタ PU0	-----	0	0	0	0
●ブルアップ制御レジスタ PU1	-----	0	0	0	0
●ブルアップ制御レジスタ PU2	-----	0	0	0	0
●ブルアップ制御レジスタ PU3	-----	0	0	0	0
●ポート出力形式制御レジスタ FR0	-----	0	0	0	0
●ポート出力形式制御レジスタ FR1	-----	0	0	0	0
●ポート出力形式制御レジスタ FR2	-----	0	0	0	0
●ポート出力形式制御レジスタ FR3	-----	0	0	0	0
●上位ビット参照許可フラグ (UPTF)	-----	0			
●キャリフラグ (CY)	-----	0			
●レジスタ A	-----	0	0	0	0
●レジスタ B	-----	0	0	0	0
●レジスタ D	-----	x	x	x	
●レジスタ E	-----	x	x	x	x
●レジスタ X	-----	0	0	0	0
●レジスタ Y	-----	0	0	0	0
●レジスタ Z	-----	x	x		
●スタックポインタ (SP)	-----	1	1	1	
●動作源クロック	-----	高速オンチップオシレータ (動作状態)			
●セラミック共振回路	-----	動作状態			
●低速オンチップオシレータ	-----	停止状態			
●水晶発振回路	-----	動作状態			

“ x ” は不定を表します。

図52. リセット時の内部状態 (2)

電圧低下検出回路

本製品は、電源電圧の低下を検出して、電圧低下検出回路フラグ（VDF）のセット、及びシステムリセットを実行する電圧低下検出回路をもっています。

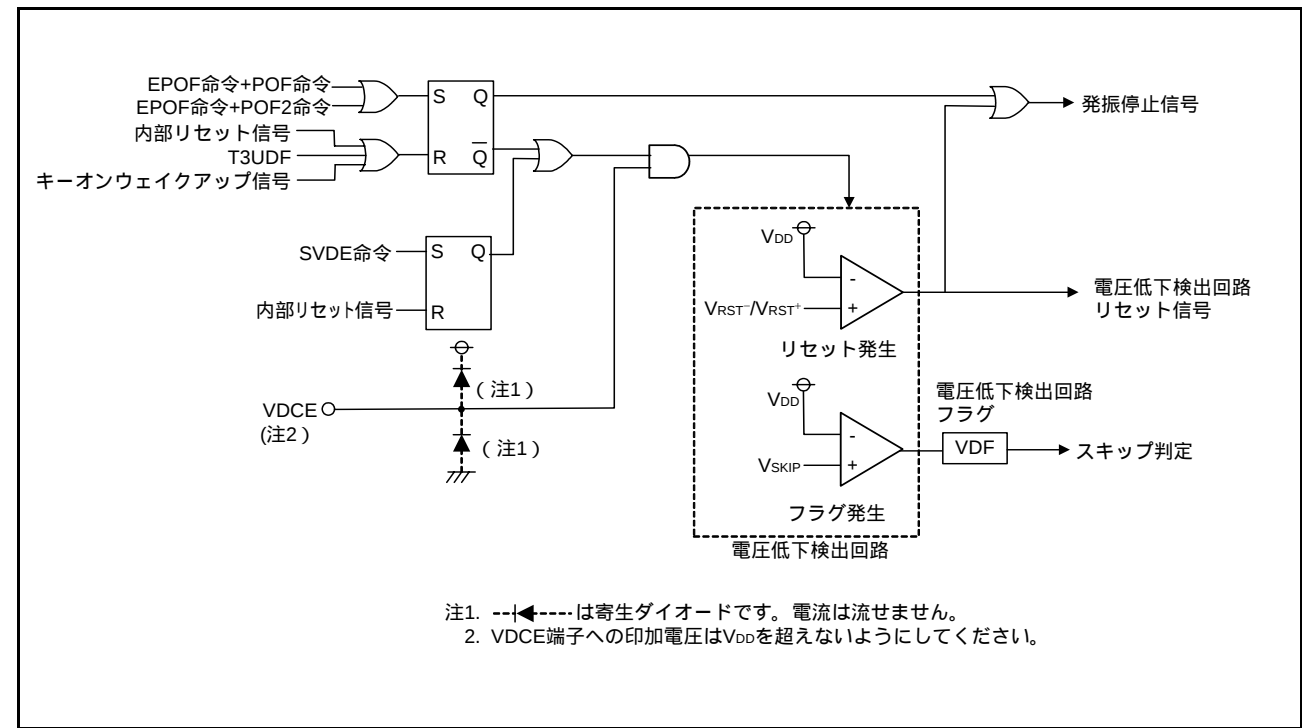


図53. 電圧低下検出回路

1. 電圧低下検出回路動作状態

電圧低下検出回路は、VDCE 端子を “H” にすると有効状態になり、“L” にすると無効状態になります。

また VDCE 端子が “H” の状態でも、SVDE 命令を実行していない場合、電圧低下検出回路はパワーダウン（RAM バックアップ、時計動作）時に無効状態になります。この場合、電圧低下検出回路はパワーダウンからの復帰時に再度有効状態になります。

VDCE 端子が “H” の状態で SVDE 命令を実行した場合、電圧低下検出回路はパワーダウン（RAM バックアップ、時計動作）時にも有効状態になります。

SVDE 命令の実行状態はシステムリセットによりクリアできます。

表22. 電圧低下検出回路動作状態

VDCE 端子	SVDE 命令	CPU 動作時	パワーダウン時
“L”	未実行	×	×
	実行	×	×
“H”	未実行	○	×
	実行	○	○

注1. “○” は有効状態、“×” は無効状態を表します。

2. 電圧低下検出回路フラグ (VDF)

電源電圧がスキップ発生電圧 (V_{SKIP}) 以下になると、電圧低下検出回路フラグ (VDF) が “1” にセットされます。また電源電圧がスキップ発生電圧 (V_{SKIP}) 以上になると、電圧低下検出回路フラグ (VDF) が “0” にクリアされます。

電圧低下検出回路フラグ (VDF) の状態は、スキップ命令 (SNZVD) の実行により確認できます。電圧低下検出回路フラグは、スキップ命令を実行したときでも “0” にクリアされません。

スキップ発生電圧値は電気的特性を参照してください。

3. 電圧低下検出回路リセット

電源電圧がリセット発生電圧 (V_{RST-}) 以下になると、システムリセットが実行されます。

また電源電圧がリセット解除電圧 (V_{RST+}) 以上になると、発振回路が動作状態になり、システムリセットは解除されます。

リセット発生電圧値及びリセット解除電圧値は電気的特性を参照してください。

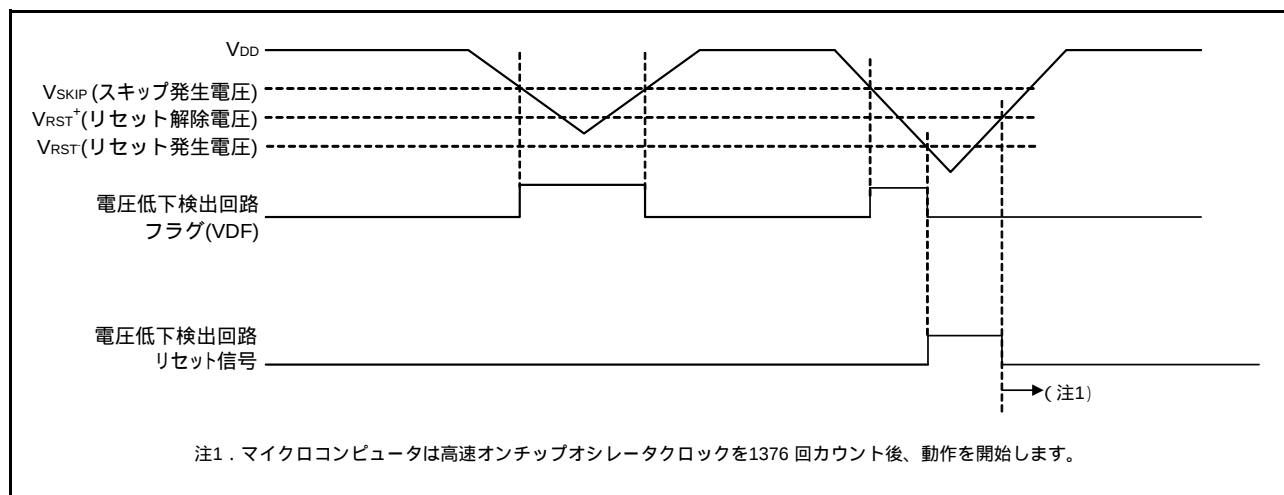


図54. 電圧低下検出回路動作波形

4. 電圧低下検出回路の注意事項

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限值より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限值以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がリセット発生電圧 (V_{RST-}) 以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります (図55)。

このような場合は、電源電圧を一旦リセット発生電圧 (V_{RST-}) 以下まで低下させ、その後再上昇するようなシステム設計をしてください。

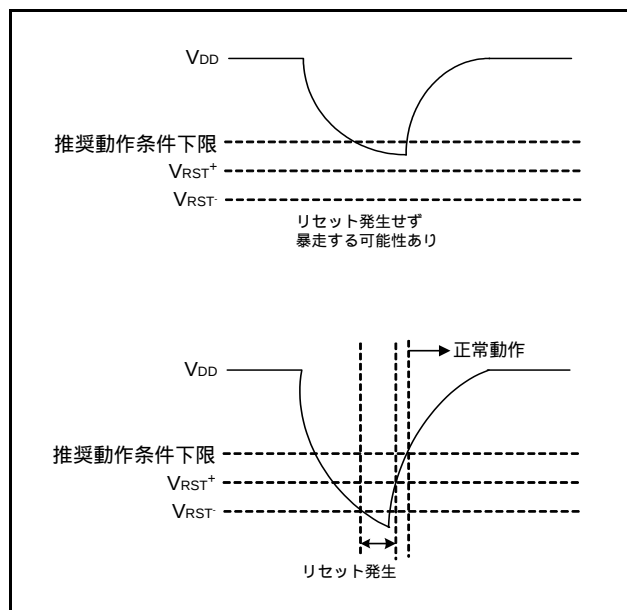


図55. V_{DD} と V_{RST-}

パワーダウン機能

本製品は2種類のパワーダウン機能を持ち、EPOF 命令とPOF 命令あるいはPOF2 命令を連続して実行することにより、それぞれ次のパワーダウン状態になります。

- 時計動作モードEPOF 命令 + POF 命令
- RAM バックアップモードEPOF 命令 + POF2 命令
POF 命令あるいはPOF2 命令実行直前に EPOF 命令が実行されない場合、これらの命令はNOP 命令と同等になります。

1. 時計動作モード

時計動作モード時は、次の機能および状態が保持されます。

- RAM
- リセット回路
- サブクロック発振回路 (XCIN - XCOUT)
- LCD 表示機能
- タイマ3
- 低速オンチップオシレータ回路

2. RAM バックアップモード

RAM バックアップモード時は、次の機能および状態が保持されます。

- RAM
- リセット回路

3. ウォームスタート条件

パワーダウン状態から復帰する場合、

- 外部ウェイクアップ信号入力
- タイマ3 アンダフロー

のいずれかで、CPU は0 ページの0 番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“1”です。

4. コールドスタート条件

- 外部より RESET 端子に“L”レベルを印加
- システムリセット命令 (SRST 命令) の実行
- ウォッチドッグタイマによるリセット発生
- 内蔵パワーオンリセット回路によるリセット発生
- 電圧低下検出回路によるリセット発生

のいずれかで、CPU は0 ページの0 番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は“0”です。

5. ウォームスタートとコールドスタートの識別

ウォームスタートとコールドスタートとのスタート条件の識別は、SNZP 命令によってパワーダウンフラグ(P)の状態を調べることでできます。

6. タイマ3 割り込み要求フラグによる復帰条件の識別

また、パワーダウンモードからの復帰時、タイマ3 割り込み要求フラグ(T3F)の状態を確認することで、以下の区別ができます。

- T3F=“1”の場合
タイマ3アンダフロー(時間経過)により復帰
- T3F=“0”の場合
キーオンウェイクアップ(キー入力)により復帰

表23. パワーダウンモード時に保持される機能と状態

機 能	パワーダウンモード	
	時計動作	RAM バック アップ
プログラムカウンタ(PC) スタックポインタ(SP) (注2) キャリフラグ(CY) レジスタ A、B	×	×
RAMの内容	○	○
割り込み制御レジスタ V1、V2	×	×
割り込み制御レジスタ I1	○	○
発振回路の選択	○	○
クロック制御レジスタ MR、RG	○	○
タイマ1、2機能	(注3)	(注3)
タイマ3機能	○	○
タイマLC機能	○	(注3)
ウォッチドッグタイマ機能	× (注4)	× (注4)
タイマ制御レジスタ PA、W2	×	×
タイマ制御レジスタ W1、W3、W4、W5	○	○
LCD 表示機能	○	(注5)
LCD 制御レジスタ L1 ~ L3、C1 ~ C3	○	○
電圧低下検出回路	(注6)	(注6)
ポートのレベル	(注7)	(注7)
キーオンウェイクアップ制御レジスタ K0 ~ K3	○	○
プルアップ制御レジスタ PU0 ~ PU3	○	○
ポート出力形式制御レジスタ FR0 ~ FR3	○	○
外部割り込み要求フラグ(EXF0)	×	×
タイマ割り込み要求フラグ(T1F、T2F)	(注3)	(注3)
タイマ割り込み要求フラグ(T3F)	○	○
電圧低下検出回路フラグ(VDF)	×	×
割り込み許可フラグ(INTE)	×	×
ウォッチドッグタイマフラグ (WDF1、WDF2)	× (注4)	× (注4)
ウォッチドッグタイマイネーブル フラグ(WEF)	× (注4)	× (注4)

注1. 表中、“○”は保持可能、“×”は初期化を示します。上記以外のレジスタ及びフラグの内容はパワーダウン時に不定です。復帰後に再設定してください。

注2. スタックポインタはスタックレジスタの位置を示すもので、パワーダウン時は“7”に初期化されます。

注3. タイマの状態は不定になります。

注4. WRST 命令でウォッチドッグタイマフラグWDF1を初期化した後に、パワーダウン状態にしてください。

注5. LCDは消灯します。

注6. 電圧低下検出回路は、SVDE 命令を実行するとパワーダウン時に有効状態になります。

注7. C/CNTR 端子は“L”レベルを出力します。ただしCNTR 入力(W11,W12=“11”)を選択している場合は、入力可能状態を保持します。その他のポートは出力レベルを保持します。

7. 復帰信号

時計動作モードからの復帰は、外部ウェイクアップ信号又はタイマ3 割り込み要求フラグ (T3F) で行います。RAM バックアップモードからの復帰は、発振が停止しているので外部ウェイクアップ信号で行います。表24に復帰要因ごとに復帰条件を示します。

8. キーオンウェイクアップ関連レジスタ

● キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0、P1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A 命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP2のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK1A 命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ K2

レジスタK2は、ポートP3とINT端子のキーオンウェイクアップ機能及びINT端子の復帰条件選択を制御します。

このレジスタの内容は、TK2A 命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ K3

レジスタK3は、ポートD0～D7端子のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK3A 命令でレジスタAを介して設定してください。また、TAK3命令でレジスタK3の内容をレジスタAに転送できます。

● ブルアップ制御レジスタ PU0

レジスタPU0は、ポートP0、P1のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A 命令でレジスタAを介して設定してください。また、TAPU0 命令でレジスタPU0の内容をレジスタAに転送できます。

● ブルアップ制御レジスタ PU1

レジスタPU1は、ポートP2のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A 命令でレジスタAを介して設定してください。また、TAPU1 命令でレジスタPU1の内容をレジスタAに転送できます。

● ブルアップ制御レジスタ PU2

レジスタPU2は、ポートP3のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU2A 命令でレジスタAを介して設定してください。また、TAPU2 命令でレジスタPU2の内容をレジスタAに転送できます。

● ブルアップ制御レジスタ PU3

レジスタPU3は、ポートD0～D7のブルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU3A 命令でレジスタAを介して設定してください。また、TAPU3 命令でレジスタPU3の内容をレジスタAに転送できます。

● 割り込み制御レジスタ I1

レジスタI1は、INT端子の入力制御、有効波形/レベル選択を制御します。

このレジスタの内容は、TI1A 命令でレジスタAを介して設定してください。また、TAI1 命令でレジスタI1の内容をレジスタAに転送できます。

表24. 復帰要因と復帰条件

復帰要因		復帰条件	備 考
外部ウェイクアップ信号	ポートP0～P03 ポートP10～P13 ポートP20～P23 ポートP30～P33 ポートD0～D7	外部からの立ち下がりエッジ (“H” → “L”) 入力により復帰します。	ポートP0、P1、P3、及びD0～D7は2ポート単位で、ポートP2は1ポート単位でキーオンウェイクアップ機能の選択ができます。
	INT 端子	外部からの “L” レベルあるいは “H” レベル入力、又は立ち下がりエッジ (“H” → “L”) あるいは立ち上がりエッジ (“L” → “H”) により復帰します。 復帰入力時は、割り込み要求フラグ (EXF0) はセットされません。	パワーダウン状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1で復帰レベル (“L” レベル又は “H” レベル) を、キーオンウェイクアップ制御レジスタK2で復帰条件 (レベル復帰又はエッジ復帰) を選択してください。
タイマ3 割り込み要求フラグ (T3F)		タイマ3がアンダフローし、割り込み要求フラグ (T3F) が “1” にセットされることにより復帰します。 時計動作モード時に使用できます。	パワーダウン状態に遷移する前に、SNZT3 命令を実行してタイマ3 割り込み要求フラグ (T3F) をクリアしてください。 タイマ3 割り込み要求フラグ (T3F) が “1” のときにパワーダウン状態に遷移すると、復帰条件であると認識してすぐに復帰します。

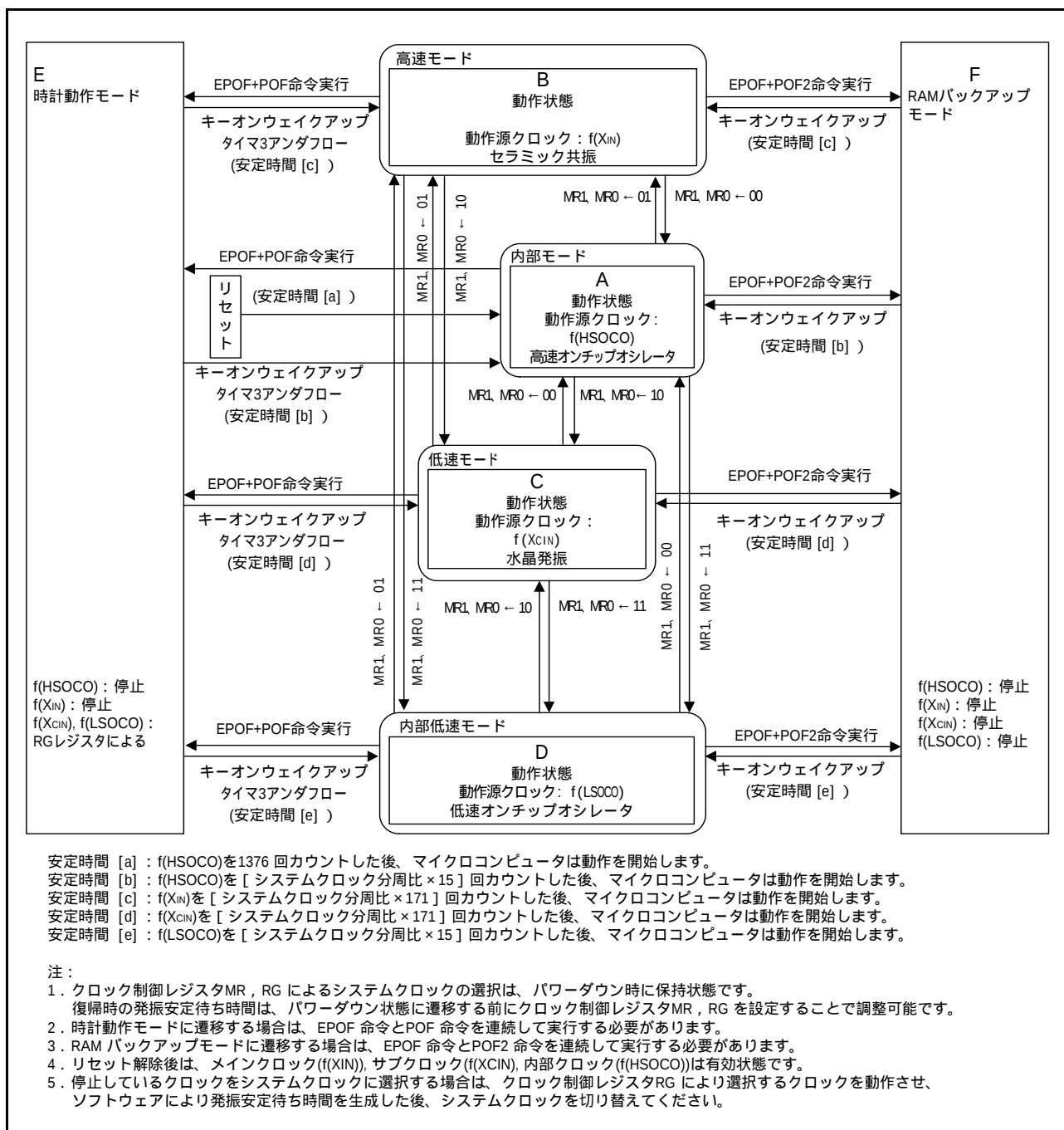


図56. 状態遷移図

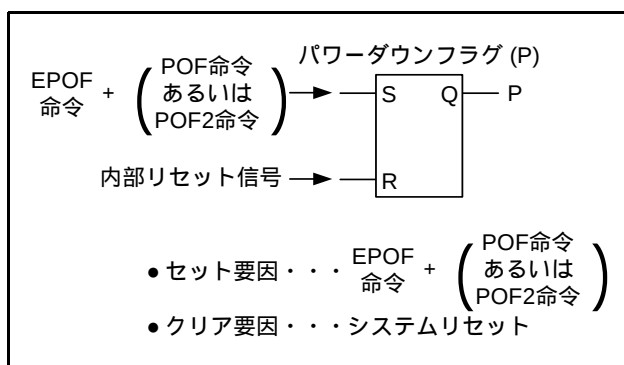


図57. パワーダウンフラグ(P)のセット要因とクリア要因

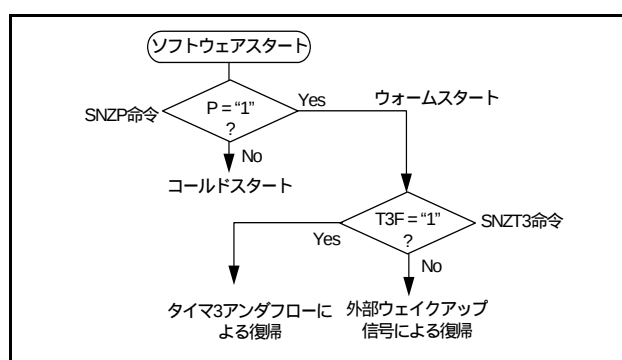


図58. SNZP 命令によるスタート識別例

表25. キーオンウェイクアップ制御レジスタ

キーオンウェイクアップ制御レジスタK0		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK0 / TK0A
K0 ₃	ポートP1 ₂ 、P1 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₂	ポートP1 ₀ 、P1 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₁	ポートP0 ₂ 、P0 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₀	ポートP0 ₀ 、P0 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK1 / TK1A
K1 ₃	ポートP2 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₂	ポートP2 ₂ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₁	ポートP2 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₀	ポートP2 ₀ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK2 / TK2A
K2 ₃	ポートP3 ₂ 、P3 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₂	ポートP3 ₀ 、P3 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₁	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K2 ₀	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタK3		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK3 / TK3A
K3 ₃	ポートD ₆ 、D ₇ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₂	ポートD ₄ 、D ₅ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₁	ポートD ₂ 、D ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₀	ポートD ₀ 、D ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R” は読み出し可、“W” は書き込み可を表します。

表26. ブルアップ制御レジスタ

ブルアップ制御レジスタPU0		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU0 ₃	ポートP1 ₂ , P1 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₂	ポートP1 ₀ , P1 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₁	ポートP0 ₂ , P0 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₀	ポートP0 ₀ , P0 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

ブルアップ制御レジスタPU1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU1 ₃	ポートP2 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₂	ポートP2 ₂ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₁	ポートP2 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₀	ポートP2 ₀ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

ブルアップ制御レジスタPU2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU2 / TPU2A
PU2 ₃	ポートP3 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU2 ₂	ポートP3 ₂ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU2 ₁	ポートP3 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU2 ₀	ポートP3 ₀ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

ブルアップ制御レジスタPU3		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU3 / TPU3A
PU3 ₃	ポートD ₆ , D ₇ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU3 ₂	ポートD ₄ , D ₅ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU3 ₁	ポートD ₂ , D ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU3 ₀	ポートD ₀ , D ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

表27. 割り込み制御レジスタ

割り込み制御レジスタI1		リセット時：0000 ₂		パワードアウン時：状態保持	R / W TAI1 / TI1A
I13	INT 端子入力制御ビット(注2)	0	入力禁止		
		1	入力可能		
I12	INT 端子割り込み有効波形 / 復帰レベル選択ビット(注2)	0	立ち下がり波形 / “L” レベル (SNZI0 命令は “L” レベル認識)		
		1	立ち上がり波形 / “H” レベル (SNZI0 命令は “H” レベル認識)		
I11	INT 端子エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT 端子 タイマ1 カウント開始同期回路選択ビット	0	タイマ1 カウント開始同期回路非選択		
		1	タイマ1 カウント開始同期回路選択		

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. これらのビット (I12, I13) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

クロック制御

本製品のクロック制御回路は、以下の回路により構成されています。

- 高速オンチップオシレータ
- セラミック共振回路
- 低速オンチップオシレータ
- 水晶発振回路
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図59にクロック制御回路の構成を示します。

本製品はリセット解除後、内部発振器である高速オンチップオシレータ ($f(\text{HSOCO})$) で動作します。

サブクロック ($f(\text{XCIN})$) には、水晶発振が使用できます。

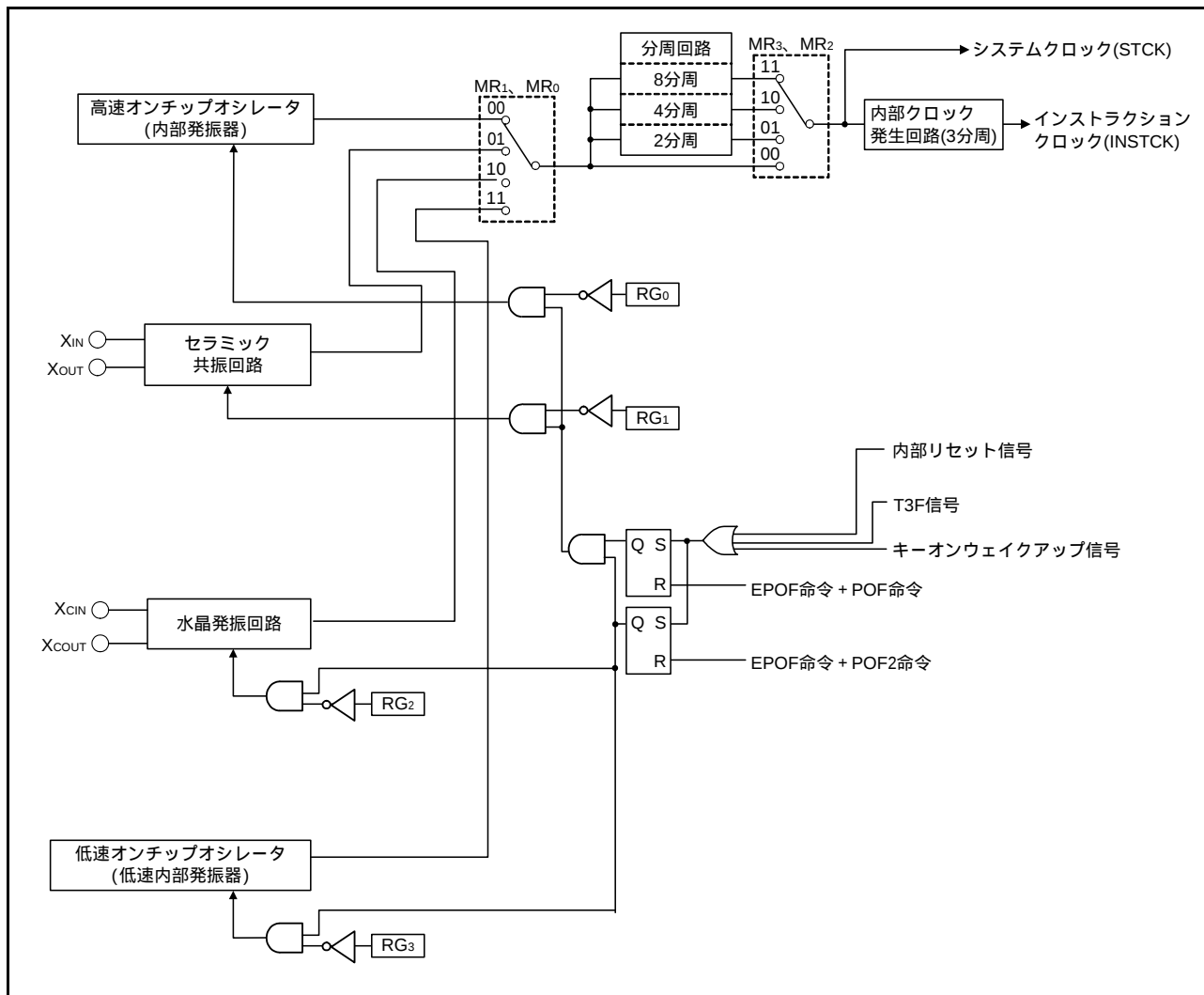


図59. クロック制御回路の構成

1. 高速オンチップオシレータ動作

本製品はリセット解除後、内部発振器である高速オンチップオシレータから出力されるクロックにより動作を開始します。

高速オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

2. メインクロック発生回路 (f(XIN))

リセット解除後、メインクロックはセラミック共振が有効状態になります。XIN 端子と XOUT 端子にセラミック共振子及び外部回路を最短距離で接続してください (図 60)。XIN 端子と XOUT 端子の間には帰還抵抗が内蔵されています。

メインクロックを使用しない場合は、XIN 端子を VSS に接続し、XOUT 端子を開放としてください。

3. 低速オンチップオシレータ動作

リセット解除後、内部発振器である低速オンチップオシレータは無効になります。発振器の動作・停止及びシステムクロックの選択は、クロックコントロールレジスタ RG および MR によって制御します。

低速オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

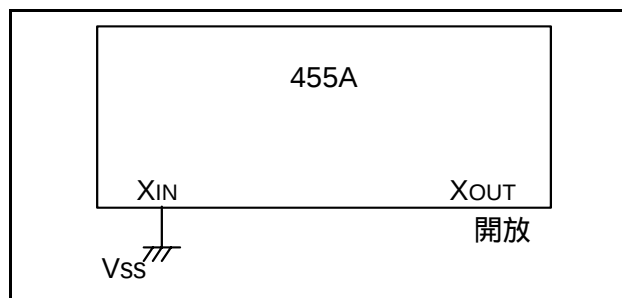


図 60. メインクロック未使用時の XIN, XOUT 端子の処理

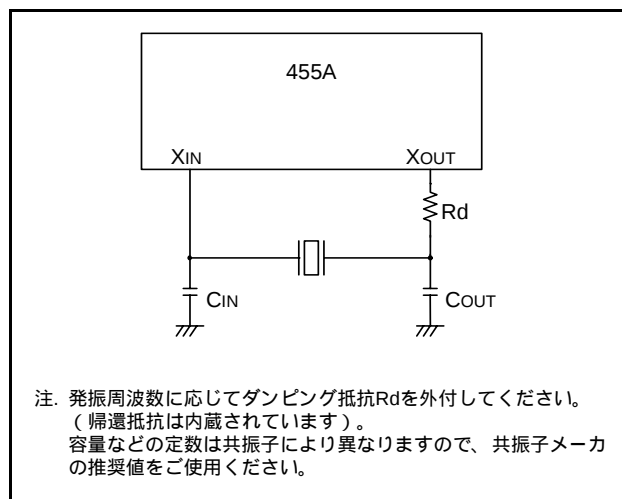


図 61. セラミック共振子外付け回路

4. 外部クロックを使用する場合

メインクロック ($f(XIN)$) に外部クロックを使用する場合は、 XIN 端子にクロック発生源を接続し、 $XOUT$ 端子は開放としてください。

外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので注意してください（推奨動作条件参照）。

また外部クロックを使用する際は、パワーダウンモード（POF 命令あるいはPOF2 命令）を使用しないでください。

5. サブクロック発生回路 ($f(XCIN)$)

本製品のサブクロック ($f(XCIN)$) には、水晶発振を使用してください。 $XCIN$ 端子と $XCOUT$ 端子に水晶発振子及び外部回路を最短距離で接続してください（図 63）。 $XCIN$ 端子と $XCOUT$ 端子の間には帰還抵抗が内蔵されています。

$XCIN$ 、 $XCOUT$ 端子は、それぞれポート D6、D7 と兼用です。クロック制御レジスタ RG のビット 2 に “1” を設定することで、サブクロック発振回路が無効になり、ポート D6、D7 の機能が有効になります。

サブクロックおよびポート D6、D7 のいずれも使用しない場合は、 $XCIN/D6$ 端子を VSS に接続し、 $XCOUT/D7$ 端子を開放としてください。

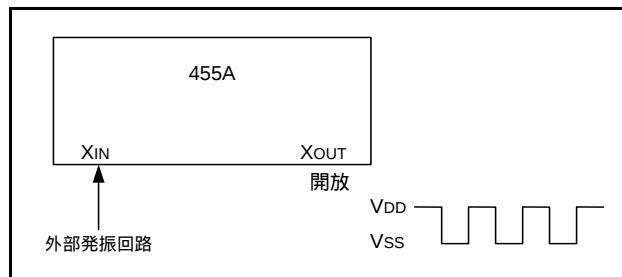


図 62. 外部クロック入力回路

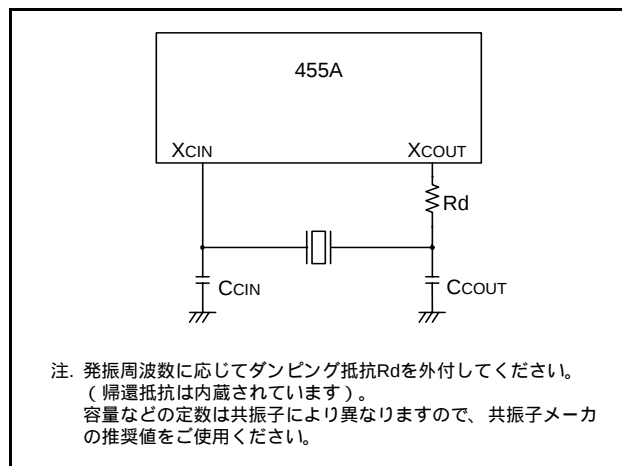


図 63. 水晶発振子外付け回路

6. クロック制御レジスタMR

レジスタMRは、システムクロックおよび動作モード（システムクロック分周）選択を制御します。

このレジスタの内容は、TMRA 命令でレジスタAを介して設定してください。またTAMR 命令でレジスタMRの内容をレジスタAに転送できます。

7. クロック制御レジスタRG

レジスタRGは、各発振回路の動作・停止を制御します。このレジスタの内容は、TRGA 命令でレジスタAを介して設定してください。

表28. クロック制御レジスタ

クロック制御レジスタMR		リセット時：1100 ₂		パワーダウン時：状態保持	R / W TAMR / TMRA
MR ₃	動作モード選択ビット	MR ₃	MR ₂	動作モード	
		0	0	スルーモード（分周なし）	
		0	1	2分周モード	
		1	0	4分周モード	
MR ₂		1	1	8分周モード	
MR ₁	システムクロック選択ビット(注2)	MR ₁	MR ₀	システムクロック	
		0	0	f(HSOCO)	
		0	1	f(XIN)	
MR ₀		1	0	f(XCIN)	
		1	1	f(LSOCO)	

クロック制御レジスタRG		リセット時：1000 ₂		パワーダウン時：状態保持	W TRGA
RG ₃	低速オンチップオシレータ（f(LSOCO)）制御ビット(注3)	0	低速オンチップオシレータ（f(LSOCO)）発振可能		
		1	低速オンチップオシレータ（f(LSOCO)）発振停止		
RG ₂	サブクロック（f(XCIN)）制御ビット(注3)	0	サブクロック（f(XCIN)）発振可能、ポートD6，D7 非選択		
		1	サブクロック（f(XCIN)）発振停止、ポートD6，D7 選択		
RG ₁	メインクロック（f(XIN)）制御ビット(注3)	0	メインクロック（f(XIN)）発振可能		
		1	メインクロック（f(XIN)）発振停止		
RG ₀	高速オンチップオシレータ（f(HSOCO)）制御ビット(注3)	0	高速オンチップオシレータ（f(HSOCO)）発振可能		
		1	高速オンチップオシレータ（f(HSOCO)）発振停止		

注1. “R”は読み出し可、“W”は書き込み可を表します。

注2. 停止しているクロックをシステムクロックに選択することはできません。

注3. システムクロックに選択している発振回路を停止することはできません。

QzROM書き込みモード

QzROM 書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表 29 に端子の機能説明(QzROM書き込みモード)を、図 64 に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例(図 65)を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザズマニュアルを参照してください。

表 29. 端子の機能説明 (QzROM書き込みモード)

端子名	名 称	入出力	機 能
VDD, VSS	電源、GND		VDD に 2.7 ~ 4.7V、VSS に 0V を印加してください。
RESET	リセット入力	入力	リセット入力端子です。 XIN の 16 サイクル以上 L レベルに保つとリセット状態になります。
XIN, XCIN	クロック入力	入力	発振回路を接続するか、XIN, XCIN を VSS に接続し、XOUT, XCOUT を開放してください。
XOUT, XCOUT	クロック出力	出力	
D0 ~ D5 P00/SEG16 ~ P03/SEG19 P10/SEG20 ~ P13/SEG23 P20/SEG24 (注) ~ P23/SEG27 P30/SEG28 ~ P33/SEG31	入出力ポート	入出力	“H” を入力、“L” を入力、又は開放してください。
CNVSS	VPP 入力	入力	QzROM の電源入力端子です。
D4	SDA 入出力	入出力	シリアルデータの入出力端子です。
D3	SCLK 入力	入力	シリアルクロックの入力端子です。
D2	PGM 入力	入力	リード/プログラムパルス信号の入力端子です。
VDCE	電圧低下検出回路 イネーブル	入力	“H” 又は、“L” を入力してください。
SEG0/VLC3 ~ SEG2/VLC1 SEG3 ~ SEG15 COM0 ~ COM3	セグメント出力/ LCD 用電源/コモン出力	出力	LCD パネルに接続、又は開放してください。
C/CNTR	出力ポート C/ タイマ入出力	出力	“L” を出力する端子です。

注. CNVSS 端子にプログラム電源 (VPP) を印加する際の過渡期 (VPP = 約 0.5VDD ~ 1.3VDD の期間) に、P20/SEG24 端子がマイコン内部でプルダウンされますので注意してください。

なお、VPP = 約 1.3VDD 以上の時は、P20/SEG24 端子はハイインピーダンス状態です。

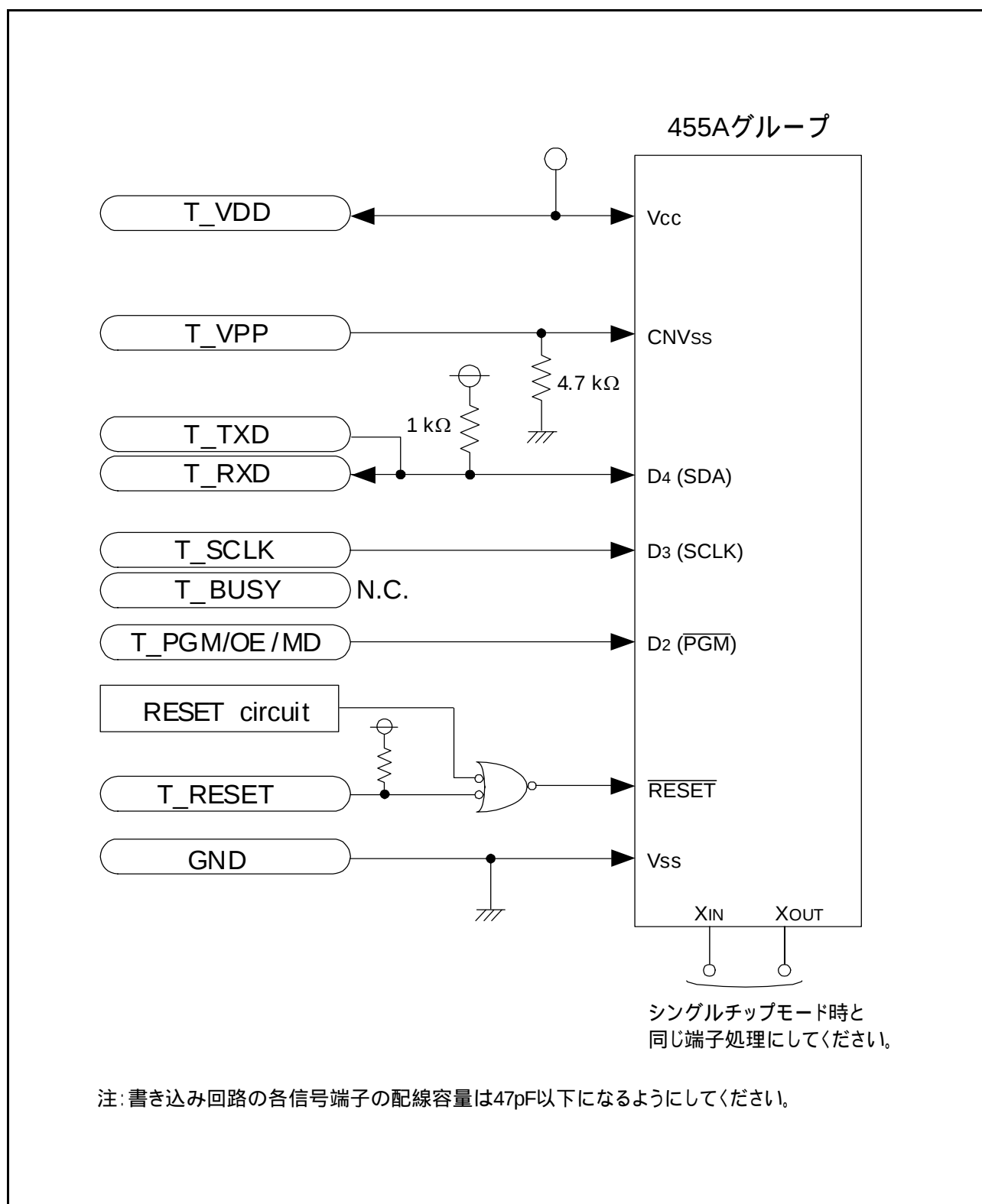


図65. 彗星電子システム製プログラマ使用時の基板上の端子処理例

使用上の注意事項（まとめ）

1. ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策として、V_{DD} 端子と V_{SS} 端子間にコンデンサ（0.1 μF）を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

CNV_{SS} 端子と V_{PP} 端子は兼用になっています。5kΩ 程度の抵抗を極力 CNV_{SS}/V_{PP} 端子の近くに配置して V_{SS} 端子に接続してください。

2. 電源電圧

マイコンの電源電圧が推奨動作条件の最小規格値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件の最小規格値未満のときにマイコンをリセットするなど、この不安定な動作によってシステムに異常をきたさないような設計に留意してください。

3. レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタ Z（2ビット）
- ・レジスタ D（3ビット）
- ・レジスタ E（8ビット）

4. レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタ Z（2ビット）
- ・レジスタ X（4ビット）
- ・レジスタ Y（4ビット）
- ・レジスタ D（3ビット）
- ・レジスタ E（8ビット）

5. プログラムカウンタ

プログラムカウンタが内蔵 ROM の最終ページより後のページを指定しないように注意してください。

6. スタックレジスタ（SK）

スタックレジスタ（SK）は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令（TABP p）実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。

7. マルチファンクション

- INT 端子を使用している場合でもポート D₅ の入出力機能は有効です。INT 端子とポート D₅ との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR 端子の出力機能を使用している場合でもポート C の“H”出力機能は有効です。

8. パワーオンリセット

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μs以下に設定してください。

立ち上がり時間が100 μsを超える場合には、RESET 端子と V_{SS} 間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまで RESET 端子に“L”レベルが入力されるようにしてください。

9. POF, POF2 命令

EPOF 命令実行直後に POF 命令あるいは POF2 命令を実行するとパワーダウン状態になります。

POF 命令あるいは POF2 命令単独ではパワーダウン状態にならないので、注意してください。

また EPOF 命令と POF 命令あるいは POF2 命令を連続して実行する前には、必ず割り込み禁止状態に（DI 命令実行）してください。

10.D5/INT 端子**(1) レジスタ I1 のビット 3 に関する注意 1**

ソフトウェアの途中で割り込み制御レジスタ I1 のビット 3 によって INT 端子の入力制御を行う際は次の点に注意してください。

- レジスタ I1 のビット 3 の内容を変更する場合、D5/INT 端子の入力状態によっては、外部 0 割り込み要求フラグ (EXF0) が “1” にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタ V1 のビット 0 を “0” にクリア (図 66) した後、レジスタ I1 のビット 3 の内容を変更してください。更に、一命令以上において (図 66) SNZ0 命令を実行し、フラグ EXF0 を “0” にクリアしてください。また、SNZ0 命令によるスキップが発生する場合を考慮し、SNZ0 命令の後に NOP 命令を挿入してください (図 66)。

```

:
:
LA 4 ; ( × × × 02)
TV1A ; SNZ0 命令有効 . . . .
LA 8 ; (1 × × × 2)
TI1A ; INT 端子入力制御変更
NOP ; . . . . .
SNZ0 ; SNZ0 命令の実行
      ( フラグ EXF0 クリア )
NOP ; . . . . .
:
:

```

× : このビットは本例では関係しません。

図 66. 外部 0 割り込みプログラム例 1

(2) レジスタ I1 のビット 3 に関する注意 2

割り込み制御レジスタ I1 のビット 3 を “0” にクリアし、INT 端子入力禁止の状態 RAM バックアップを使用する際は、次の点に注意してください。

- INT 端子入力を禁止する場合、(レジスタ I13 = “0”) は、パワーダウンモードに移行する前に INT 端子のキーオンウェイクアップを無効 (レジスタ K20 = “0”) としてください (図 67)。

```

:
:
LA 0 ; ( × × × 02)
TK2A ; INT キーオンウェイクアップ無効 . . .
DI
EPOF
POF2 ; RAM バックアップ
:
:

```

× : このビットは本例では関係しません。

図 67. 外部 0 割り込みプログラム例 2

(3) レジスタ I1 のビット 2 に関する注意

ソフトウェアの途中で割り込み制御レジスタ I1 のビット 2 によって D5/INT 端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタ I1 のビット 2 の内容を変更する場合、D5/INT 端子の入力状態によっては、外部 0 割り込み要求フラグ (EXF0) が “1” にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタ V1 のビット 0 を “0” にクリア (図 68) した後、レジスタ I1 のビット 2 の内容を変更してください。更に、一命令以上において (図 68) SNZ0 命令を実行し、フラグ EXF0 を “0” にクリアしてください。また、SNZ0 命令によるスキップが発生する場合を考慮し、SNZ0 命令の後に NOP 命令を挿入してください (図 68)。

```

:
:
LA 4 ; ( × × × 02)
TV1A ; SNZ0 命令有効 . . . .
LA 12 ; ( × 1 × × 2)
TI1A ; 割り込み有効波形変更
NOP ; . . . . .
SNZ0 ; SNZ0 命令の実行
      ( フラグ EXF0 クリア )
NOP ; . . . . .
:
:

```

× : このビットは本例では関係しません。

図 68. 外部 0 割り込みプログラム例 3

11. プリスケーラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウンタを停止させた後、データ読み出し命令 (TABPS) を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウンタを停止させた後、データ書き込み命令 (TPSAB) を実行してください。

12. カウントソース

タイマ1, 2, LC のカウントソースを切り替える場合は、まず各タイマのカウンタを停止させた後、カウントソースを切り替えてください。

13. カウント値の読み出し

タイマ1, 2 からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令 (TAB1, TAB2) を実行してください。

14. タイマへのデータ書き込み

タイマ1, 2, LC にデータを書き込む場合は、まず各タイマのカウンタを停止させた後、データ書き込み命令 (T1AB, T2AB, T2R2L, TLCA) を実行してください。

15. リロードレジスタへのデータ書き込み

タイマ1 動作中にリロードレジスタR1 にデータを書き込む場合は、必ずタイマ1 アンダフローと重ならないタイミングでデータ書き込み命令 (TR1AB) を実行してください。

タイマ2 動作中にリロードレジスタR2H にデータを書き込む場合は、必ずタイマ2 アンダフローと重ならないタイミングでデータ書き込み命令 (T2HAB) を実行してください。

16. PWM 信号

PWM 信号出力時に、タイマ2 カウンタ停止タイミングとタイマ2 アンダフロータイミングが重なった場合、PWM 出力波形にハザードが発生することがあります。

PWM 信号の“H”期間拡張機能を使用している場合は、リロードレジスタR2H に“1”以上の値を設定してください。

PWM 信号を C/CNTR 端子より出力する場合は、ポートC の出力ラッチを“0”に設定してください。

17. タイマ3 に関する注意

タイマ3 のカウント値を切り替える場合は、まずタイマ3 のカウンタを停止させた後、カウント値を切り替えてください。

時計動作モード時にタイマ3 を動作させる場合は、レジスタW3 のビット3 を“1”にセットした後、POF 命令実行までの期間をカウントソースの1周期以上にしてください。

18. プリスケーラ、タイマ1のカウンタ開始タイミングと動作開始時のカウンタ時間

プリスケアラ、タイマは動作開始 (図69) 後、カウントソースの最初の立ち上がり (図69) からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間 (図69) は、以降のアンダフロー間の時間 (図69) より短く (最大でカウントソースの一周期分) になります。

なお、タイマ1のカウントソースにCNTR入力を選択した場合、タイマ1はソフトウェアにより選択されるCNTR入力カウンタエッジ (立ち下がりエッジまたは立ち上がりエッジ) に同期して動作します。

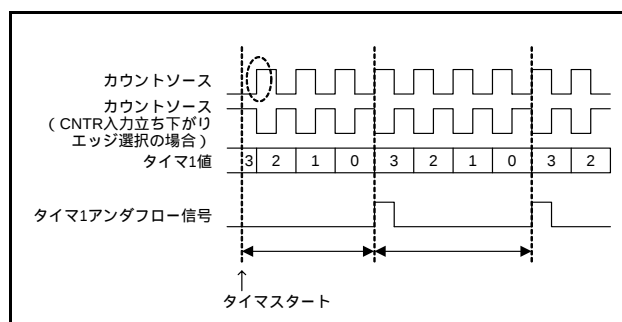


図69. タイマカウンタ開始タイミングと動作開始時のカウンタ時間

19. タイマ2, LC のカウンタ開始タイミングと動作開始時のカウンタ時間

タイマ2, LC は、動作開始 (図70) 後、カウントソースの最初の立ち下がり後の立ち上がり (図70) からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの期間 (図70) は、以降のアンダフロー間の期間と異なります。

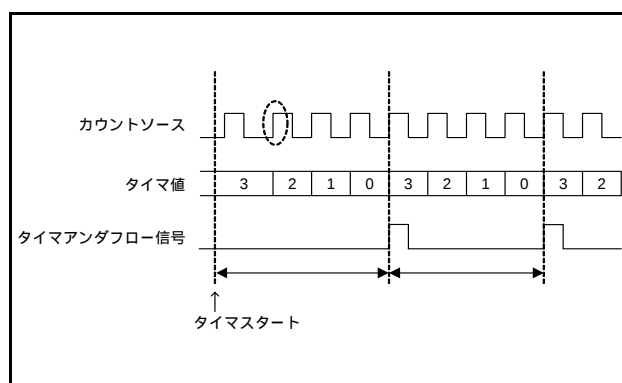


図70. タイマカウンタ開始タイミングと動作開始時のカウンタ時間2

20.ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWDWT命令とWRST命令を連続して実行し、フラグWDFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。
- パワーダウン時は、フラグWDF1及びタイマWDTの値は初期化されます。
- ウォッチドッグタイマ機能とパワーダウン機能を併用する場合は、パワーダウンモードに移行する前にWRST命令を実行してフラグWDF1を初期化してください。またWRST命令によるスキップが発生する場合を考慮し、WRST命令の後にNOP命令を挿入してください。

21.電圧低下検出回路

本製品の電圧低下検出回路検出電圧は、マイクロコンピュータの電源電圧推奨動作条件の下限値より低く設定しています。

応用製品の電池交換時など、マイクロコンピュータの電源電圧が推奨動作条件の下限値以下まで低下し、再上昇する場合は、電源端子に付加されているバイパスコンデンサの容量値によっては、電源電圧がリセット発生電圧(V_{RST-})以下に低下せず、リセットが発生しないまま再上昇し、マイクロコンピュータが暴走状態となる場合があります(図71)。

このような場合は、電源電圧を一旦リセット発生電圧(V_{RST-})以下まで低下させ、その後再上昇するようなシステム設計をしてください。

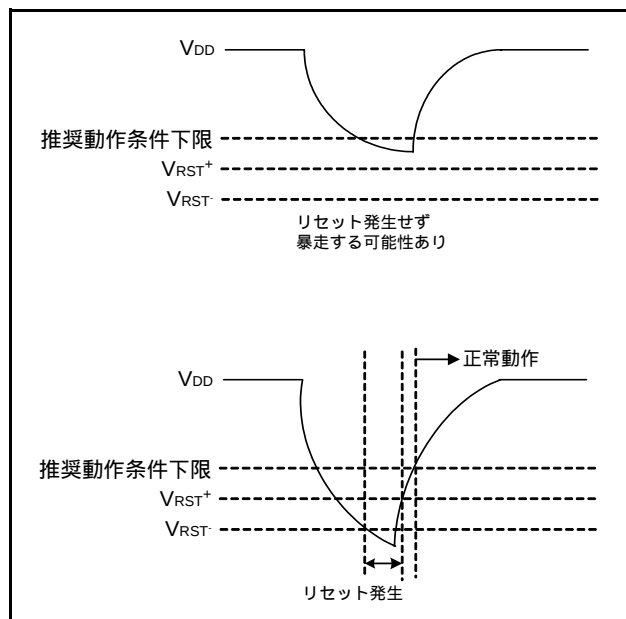


図71. V_{DD} と V_{RST-}

22.オンチップオシレータ

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

また本製品は、リセット解除後の発振安定待ち時間をオンチップオシレータクロックにより生成しています。リセット解除後の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

23.外部クロック

外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので注意してください(推奨動作条件参照)。

また外部クロックを使用する際は、パワーダウンモード(POF命令あるいはPOF2命令)を使用しないでください。

24.QzROM

- 過電圧がかからないように注意してください。過電圧によりQzROMの内容が書き換わる可能性があります。特に電源投入時は注意してください。
- ブランク出荷品は、アセンブリ工程以前にQzROMの書き込み検査を十分に行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込み検査は行っていません。そのため、0.1%程度の書き込み不良が発生することがあります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触やソケット上の異物などに十分に留意してご使用ください。

注. ブランク出荷品:工場出荷時にQzROMの内容が書き込まれていないもの

25.ROMコードプロテクトに関する注意(書き込み出荷品)

QzROM書き込み出荷品のROMコードプロテクトは、発注時に提出していただくマスクファイル作成時のROMオプションデータの値で決定します。

マスクファイル作成時のROMオプションデータは、プロテクト有りの場合は“0016”、プロテクト無しの場合は“FF16”を設定します。

ROMオプションデータが設定されていない場合や、“0016”、“FF16”以外のデータが設定されている場合はマスクファイルを受け付け出来ませんのでご注意ください。

26.QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- ・QzROM書き込み確認書*
- ・マーク指定書*
- ・ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

1. 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。

総配線長が短い (mm 単位) ほどノイズをマイコン内部に引き込む可能性は低くなります。

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子と Vss 端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

● 理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は 1 マシンサイクル以上が必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

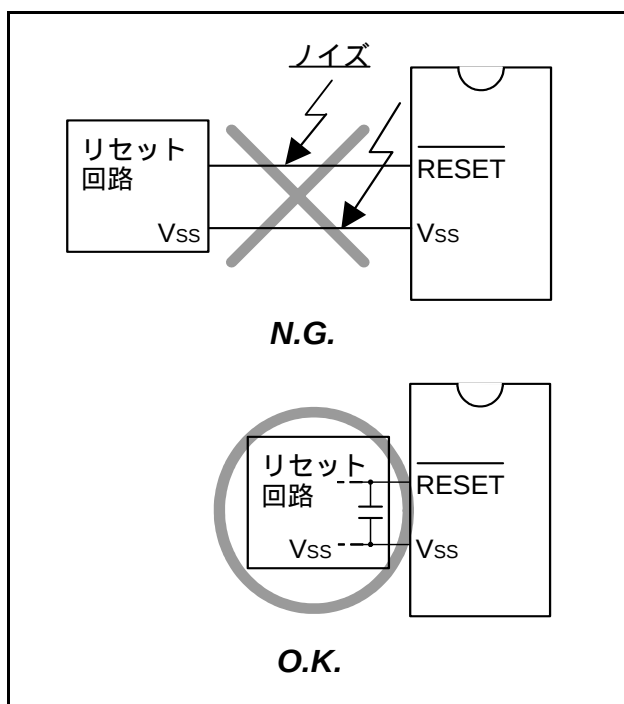


図72. リセット入力端子の配線

(2) クロック入出力端子の配線

- ・ クロック入出力端子に接続する配線は短くしてください。
- ・ 発振子に接続するコンデンサの接地側リード線とマイコンの Vss 端子とは最短の配線で接続してください。
- ・ 発振用の Vss パターンは発振回路専用とし、他の Vss パターンと分離してください。

● 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンの Vss レベルと発振子の Vss レベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

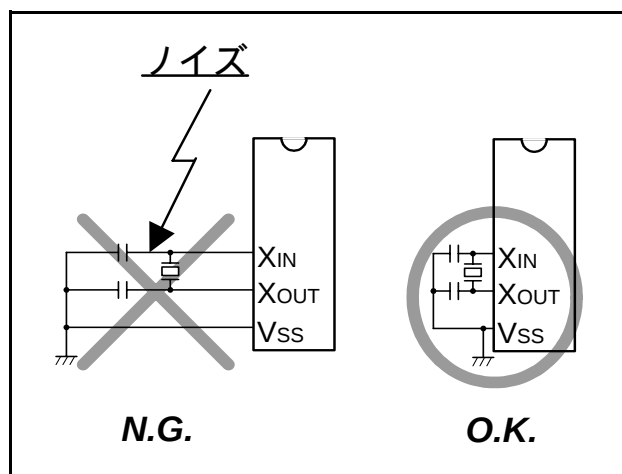


図73. クロック入出力端子の配線

(3) CNVss端子の配線

CNVss 端子に 5kΩ 程度の抵抗を直列に挿入し、マイコンの Vss 端子に供給している GND パターンに最短で接続してください。

● 理由

CNVss 端子は内蔵 QzROM の電源入力端子です。QzROM へプログラムを書き込む時に、書き込み電流が流れるように CNVss 端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。CNVss 端子からノイズが侵入すると、QzROM からの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

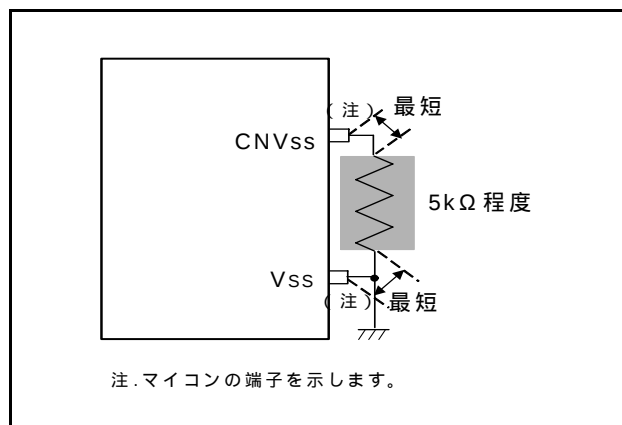


図74. CNVss端子の配線

2. VSS - VDD ライン間へのバイパスコンデンサ挿入

VSS - VDD ライン間に $0.1\mu\text{F}$ 程度のバイパスコンデンサを、以下の条件で挿入してください。

- VSS 端子 - バイパスコンデンサ間の配線長と VDD 端子 - バイパスコンデンサ間の配線長を等しくする
- VSS 端子 - バイパスコンデンサ間の配線長と VDD 端子 - バイパスコンデンサ間の配線長を最短とする
- VSS ライン及び VDD ラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由して VSS 端子及び VDD 端子へ接続する

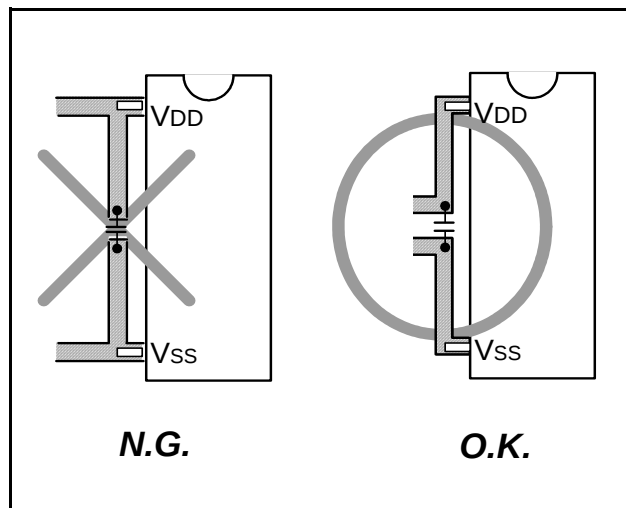


図75. VSS - VDD ライン間のバイパスコンデンサ

3. 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

• 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

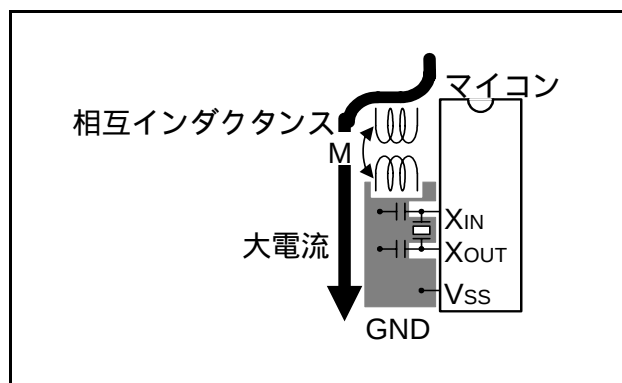


図76. 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

• 理由

高速にレベル変化する CNTR 端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

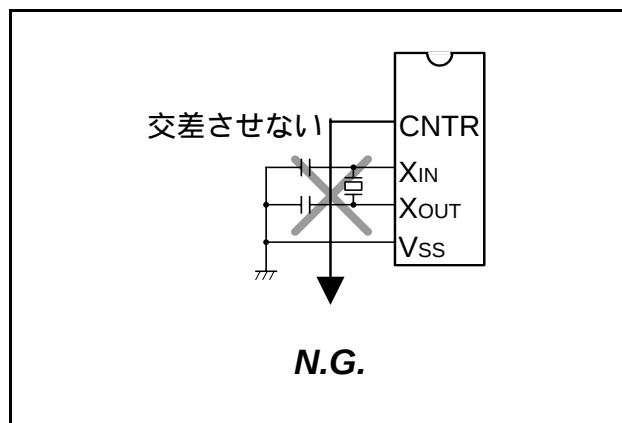


図77. 高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面（実装面）の裏側（ハンダ面）の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

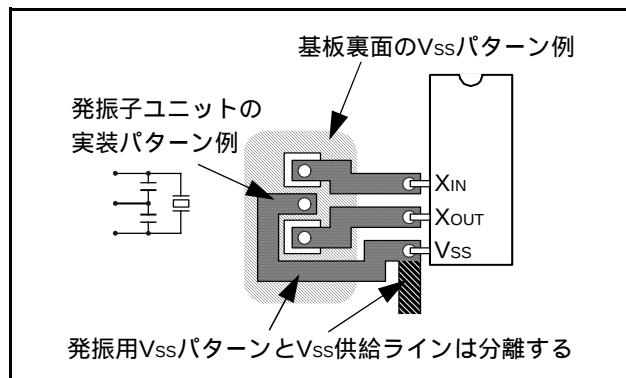


図78. 発振子の裏面のVssパターン

(4) 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- 入出力ポートに 100Ω 以上の抵抗を直列に挿入してください。

ソフトウェア面

- 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- 出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期で出力ラッチの再書き込みを行ってください。
- 一定周期でブルアップ制御レジスタの再書き込みを行ってください。

(5) ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAM の 1 語をソフトウェアウォッチドッグタイマ用 (SWDT) に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

N+1 メインルーチンの1周期中に
行われる割り込み処理の回数

メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期（一定の割り込み処理回数）でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

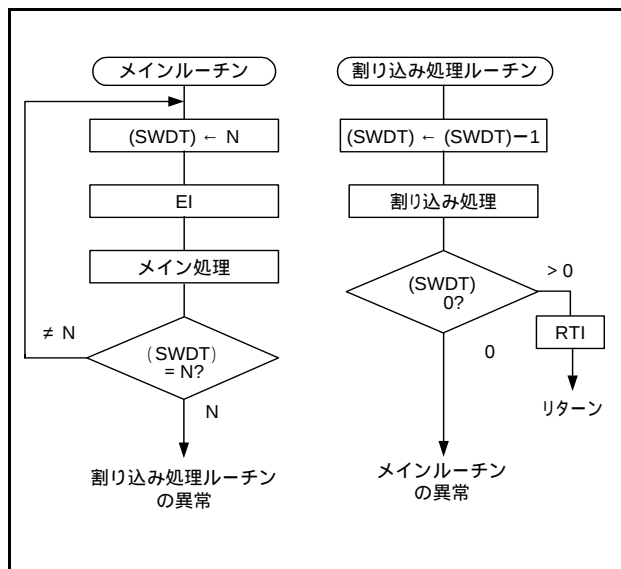


図79. ソフトウェアによるウォッチドッグタイマ

制御レジスタ一覧

割り込み制御レジスタV1		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W(注1) TAV1 / TV1A
V13	タイマ2割り込み可能ビット	0	発生禁止 (SNZT2命令有効)	
		1	発生可能 (SNZT2命令無効)	
V12	タイマ1割り込み可能ビット	0	発生禁止 (SNZT1命令有効)	
		1	発生可能 (SNZT1命令無効)	
V11	使用しません	0	このビットに機能はありませんがR / Wは可能です。	
		1		
V10	外部0割り込み可能ビット	0	発生禁止 (SNZ0命令有効)	
		1	発生可能 (SNZ0命令無効)	

割り込み制御レジスタV2		リセット時：0000 ₂	パワーダウン時：0000 ₂	R / W TAV2 / TV2A
V23	使用しません	0	このビットに機能はありませんがR / Wは可能です。	
		1		
V22	使用しません	0	このビットに機能はありませんがR / Wは可能です。	
		1		
V21	使用しません	0	このビットに機能はありませんがR / Wは可能です。	
		1		
V20	タイマ3割り込み可能ビット	0	発生禁止 (SNZT3命令有効)	
		1	発生可能 (SNZT3命令無効)	

割り込み制御レジスタI1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAI1 / TI1A
I13	INT端子入力制御ビット(注2)	0	入力禁止	
		1	入力可能	
I12	INT端子割り込み有効波形 / 復帰レベル選択ビット(注2)	0	立ち下がり波形 / “L” レベル (SNZI0命令は“L” レベル認識)	
		1	立ち上がり波形 / “H” レベル (SNZI0命令は“H” レベル認識)	
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT端子 タイマ1カウント開始同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. これらのビット (I12, I13) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

クロック制御レジスタMR		リセット時：1100 ₂		パワーダウン時：状態保持	R / W TAMR / TMRA
MR ₃	動作モード選択ビット	MR ₃	MR ₂	動作モード	
		0	0	スルーモード（分周なし）	
		0	1	2分周モード	
MR ₂		1	0	4分周モード	
		1	1	8分周モード	
MR ₁	システムクロック選択ビット(注2)	MR ₁	MR ₀	システムクロック	
		0	0	f(HSOCO)	
		0	1	f(XIN)	
MR ₀		1	0	f(XCIN)	
		1	1	f(LSOCO)	

クロック制御レジスタRG		リセット時：1000 ₂		パワーダウン時：状態保持	W TRGA
RG ₃	低速オンチップオシレータ (f(LSOCO)) 制御ビット(注3)	0	低速オンチップオシレータ (f(LSOCO)) 発振可能		
		1	低速オンチップオシレータ (f(LSOCO)) 発振停止		
RG ₂	サブクロック (f(XCIN)) 制御ビット(注3)	0	サブクロック (f(XCIN)) 発振可能、ポート D6, D7 非選択		
		1	サブクロック (f(XCIN)) 発振停止、ポート D6, D7 選択		
RG ₁	メインクロック (f(XIN)) 制御ビット(注3)	0	メインクロック (f(XIN)) 発振可能		
		1	メインクロック (f(XIN)) 発振停止		
RG ₀	高速オンチップオシレータ (f(HSOCO)) 制御ビット(注3)	0	高速オンチップオシレータ (f(HSOCO)) 発振可能		
		1	高速オンチップオシレータ (f(HSOCO)) 発振停止		

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. 停止しているクロックをシステムクロックに選択することはできません。

注3. システムクロックに選択している発振回路を停止することはできません。

タイマ制御レジスタPA		リセット時：0 ₂		パワーダウン時：0 ₂		W TPAA
PA0	プリスケアラ制御ビット	0	停止（状態保持）			
		1	動作			

タイマ制御レジスタW1		リセット時：0000 ₂		パワーダウン時：状態保持		R / W(注1) TAW1 / TW1A
W1 ₃	タイマ1 カウント自動停止回路選択ビット(注2)	0	タイマ1カウント自動停止回路非選択			
		1	タイマ1カウント自動停止回路選択			
W1 ₂	タイマ1制御ビット	0	停止（状態保持）			
		1	動作			
W1 ₁	タイマ1カウントソース選択ビット(注3)	W1 ₁ W1 ₀	カウントソース			
		0 0	PWM信号(PWMOUT)			
0 1		プリスケアラ出力（ORCLK）				
W1 ₀		1 0	タイマ3アンダフロー信号（T3UDF）			
		1 1	CNTR入力			

タイマ制御レジスタW2		リセット時：0000 ₂		パワーダウン時：0000 ₂		R / W TAW2 / TW2A
W2 ₃	CNTR 端子出力制御ビット	0	CNTR 端子出力無効			
		1	CNTR 端子出力有効			
W2 ₂	PWM 信号 " H " 期間拡張機能制御ビット	0	PWM 信号 " H " 期間拡張機能無効			
		1	PWM 信号 " H " 期間拡張機能有効			
W2 ₁	タイマ2制御ビット	0	停止（状態保持）			
		1	動作			
W2 ₀	タイマ2カウントソース選択ビット	0	XIN 入力			
		1	プリスケアラ出力（ORCLK）の2分周信号			

タイマ制御レジスタW3		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW3 / TW3A
W3 ₃	タイマ3制御ビット	0	停止（初期状態）		
		1	動作		
W3 ₂	タイマ3 カウント値選択ビット	W3 ₂ W3 ₁ W3 ₀	カウント値		
		000	512カウントごとにアンダフロー発生		
001		1024カウントごとにアンダフロー発生			
010		2048カウントごとにアンダフロー発生			
011		4096カウントごとにアンダフロー発生			
W3 ₀		100	8192カウントごとにアンダフロー発生		
		101	16384カウントごとにアンダフロー発生		
		110	32768カウントごとにアンダフロー発生		
		111	65536カウントごとにアンダフロー発生		

タイマ制御レジスタW4		リセット時：0000 ₂		パワーダウン時：状態保持		R / W TAW4 / TW4A
W4 ₃	タイマLC制御ビット	0	停止（状態保持）			
		1	動作			
W4 ₂	タイマLCカウントソース選択ビット	0	タイマ3のビット4（T34）			
		1	システムクロック（STCK）			
W4 ₁	CNTR 端子出力自動制御回路選択ビット	0	CNTR 端子出力自動制御回路非選択			
		1	CNTR 端子出力自動制御回路選択			
W4 ₀	CNTR 端子 入力カウントエッジ選択ビット	0	立ち下がリエッジ			
		1	立ち上がりエッジ			

注1. "R" は読み出し可、"W" は書き込み可を表します。

注2. この機能は、INT 端子タイマ1制御可能 (I10 = "1") 時にのみ有効です。

注3. この機能は、INT 端子タイマ1制御可能 (I10 = "1") 時にのみ有効です。

タイマ制御レジスタ W5		リセット時：0000 ₂		パワーダウン時：状態保持	R / W TAW5 / TW5A
W5 ₃	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1	このビットに機能はありませんがR/Wは可能です		
W5 ₂	使用しません	0	このビットに機能はありませんがR/Wは可能です		
		1	このビットに機能はありませんがR/Wは可能です		
W5 ₁	タイマ3 カウントソース選択ビット	W5 ₁ W5 ₂		カウントソース	
W5 ₀		00	XCIN 入力		
		01	ORCLK 入力		
		10	低速オンチップオシレータ		
		11	高速オンチップオシレータ		

LCD 制御レジスタ L1		リセット時：0000 ₂		パワーダウン時：状態保持	R/W TAL1/TL1A
L1 ₃	LCD 電源用 内部分割抵抗選択ビット(注2)	0	2r × 3, 2r × 2		
		1	r × 3, r × 2		
L1 ₂	LCD 制御ビット	0	停止 (消灯)		
		1	動作		
L1 ₁	LCD デューティ / バイアス選択ビット	L1 ₁ L1 ₀	デューティ		バイアス
		0 0	使用禁止		使用禁止
		0 1	1/2		1/2
		1 0	1/3		1/3
L1 ₀		1 1	1/4		1/3

LCD 制御レジスタ L2		リセット時：0000 ₂		パワーダウン時：状態保持	W TL2A
L2 ₃	SEG0/VLC3 端子機能選択ビット(注3)	0	SEG0		
		1	VLC3		
L2 ₂	SEG1/VLC2 端子機能選択ビット(注4)	0	SEG1		
		1	VLC2		
L2 ₁	SEG2/VLC1 端子機能選択ビット(注4)	0	SEG2		
		1	VLC1		
L2 ₀	LCD 電源用内部分割抵抗制御ビット	0	内部分割抵抗有効		
		1	内部分割抵抗無効		

LCD 制御レジスタ L3		リセット時：1111 ₂		パワーダウン時：状態保持	W TL3A
L3 ₃	P23/SEG27 端子機能選択ビット	0	SEG27		
		1	P23		
L3 ₂	P22/SEG26 端子機能選択ビット	0	SEG26		
		1	P22		
L3 ₁	P21/SEG25 端子機能選択ビット	0	SEG25		
		1	P21		
L3 ₀	P20/SEG24 端子機能選択ビット	0	SEG24		
		1	P20		

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. 1 / 3 バイアス選択時は “× 3”、1 / 2 バイアス選択時は “× 2” の抵抗を使用します。

注3. SEG0 端子を選択した場合、VLC3 は内部でVDDに接続されます。

注4. SEG1, SEG2 端子を選択した場合は、必ず内部分割抵抗を使用してください。

LCD 制御レジスタ C1		リセット時：1111 ₂		パワーダウン時：状態保持	W TC1A
C13	P03/SEG19 端子機能選択ビット	0	SEG19		
		1	P03		
C12	P02/SEG18 端子機能選択ビット	0	SEG18		
		1	P02		
C11	P01/SEG17 端子機能選択ビット	0	SEG17		
		1	P01		
C10	P00/SEG16 端子機能選択ビット	0	SEG16		
		1	P00		

LCD 制御レジスタ C2		リセット時：1111 ₂		パワーダウン時：状態保持	W TC2A
C23	P13/SEG23 端子機能選択ビット	0	SEG23		
		1	P13		
C22	P12/SEG22 端子機能選択ビット	0	SEG22		
		1	P12		
C21	P11/SEG21 端子機能選択ビット	0	SEG21		
		1	P11		
C20	P10/SEG20 端子機能選択ビット	0	SEG20		
		1	P10		

LCD 制御レジスタ C3		リセット時：1111 ₂		パワーダウン時：状態保持	W TC3A
C33	P33/SEG31 端子機能選択ビット	0	SEG31		
		1	P33		
C32	P32/SEG30 端子機能選択ビット	0	SEG30		
		1	P32		
C31	P31/SEG29 端子機能選択ビット	0	SEG29		
		1	P31		
C30	P30/SEG28 端子機能選択ビット	0	SEG28		
		1	P30		

注1. “R” は読み出し可、“W” は書き込み可を表します。

キーオンウェイクアップ制御レジスタ K0		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK0 / TK0A
K0 ₃	ポート P1 ₂ 、P1 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₂	ポート P1 ₀ 、P1 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₁	ポート P0 ₂ 、P0 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₀	ポート P0 ₀ 、P0 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK1 / TK1A
K1 ₃	ポート P2 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₂	ポート P2 ₂ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₁	ポート P2 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₀	ポート P2 ₀ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK2 / TK2A
K2 ₃	ポート P3 ₂ 、P3 ₃ （注3） キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₂	ポート P3 ₀ 、P3 ₁ （注2） キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₁	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K2 ₀	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

キーオンウェイクアップ制御レジスタ K3		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAK3 / TK3A
K3 ₃	ポート D ₆ 、D ₇ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₂	ポート D ₄ 、D ₅ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₁	ポート D ₂ 、D ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₀	ポート D ₀ 、D ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. ポート P3₀、P3₁のキーオンウェイクアップを無効（K2₂ = “0”）にする場合は、レジスタ K3₀、K3₁の値を“0”に設定してください。

注3. ポート P3₂、P3₃のキーオンウェイクアップを無効（K2₃ = “0”）にする場合は、レジスタ K3₂、K3₃の値を“0”に設定してください。

ブルアップ制御レジスタPU0		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU0 / TPU0A
PU0 ₃	ポート P1 ₂ , P1 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU0 ₂	ポート P1 ₀ , P1 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU0 ₁	ポート P0 ₂ , P0 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU0 ₀	ポート P0 ₀ , P0 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタPU1		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU1 / TPU1A
PU1 ₃	ポート P2 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU1 ₂	ポート P2 ₂ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU1 ₁	ポート P2 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU1 ₀	ポート P2 ₀ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタPU2		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU2 / TPU2A
PU2 ₃	ポート P3 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU2 ₂	ポート P3 ₂ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU2 ₁	ポート P3 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU2 ₀	ポート P3 ₀ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

ブルアップ制御レジスタPU3		リセット時：0000 ₂	パワーダウン時：状態保持	R / W TAPU3 / TPU3A
PU3 ₃	ポート D ₆ , D ₇ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU3 ₂	ポート D ₄ , D ₅ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU3 ₁	ポート D ₂ , D ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	
PU3 ₀	ポート D ₀ , D ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタ OFF	
		1	ブルアップトランジスタ ON	

注1. “ R ” は読み出し可、“ W ” は書き込み可を表します。

ポート出力形式制御レジスタFR0		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR0A
FR0 ₃	ポートP12, P13 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₂	ポートP10, P11 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₁	ポートP02, P03 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₀	ポートP00, P01 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタFR1		リセット時：0000 ₂	パワーダウン時：状態保持	W(注1) TFR1A
FR1 ₃	ポートD ₃ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₂	ポートD ₂ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₁	ポートD ₁ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₀	ポートD ₀ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタFR2		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR2A
FR2 ₃	ポートP32, P33 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₂	ポートP30, P31 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₁	ポートD ₅ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₀	ポートD ₄ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

ポート出力形式制御レジスタFR3		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR3A
FR3 ₃	ポートP2 ₃ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₂	ポートP2 ₂ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₁	ポートP2 ₁ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₀	ポートP2 ₀ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

命令

各命令について、以下の構成で説明します。

1. 命令機能別索引
2. アルファベット順機械語命令一覧

3. 機能分類別機械語命令一覧（2ページ見開き形式）

4. 命令コード対応表

命令機能別索引及び機械語命令一覧では、以下の記号を用いています。

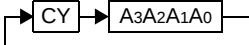
命令記号一覧表

記 号	内 容	記 号	内 容
A	レジスタ A (4ビット)	R1	タイマ 1 リロードレジスタ (8ビット)
B	レジスタ B (4ビット)	R2L	タイマ 2 リロードレジスタ (8ビット)
DR	レジスタ DR (3ビット)	R2H	タイマ 2 リロードレジスタ (8ビット)
E	レジスタ E (8ビット)	RLC	タイマ LC リロードレジスタ (4ビット)
V1	割り込み制御レジスタ V1 (4ビット)	PS	プリスケアラ
V2	割り込み制御レジスタ V2 (4ビット)	T1	タイマ 1
I1	割り込み制御レジスタ I1 (4ビット)	T2	タイマ 2
PA	タイマ制御レジスタ PA (1ビット)	TLC	タイマ LC
W1	タイマ制御レジスタ W1 (4ビット)	T1F	タイマ 1 割り込み要求フラグ
W2	タイマ制御レジスタ W2 (4ビット)	T2F	タイマ 2 割り込み要求フラグ
W3	タイマ制御レジスタ W3 (4ビット)	T3F	タイマ 3 割り込み要求フラグ
W4	タイマ制御レジスタ W4 (4ビット)	WDF1	ウォッチドッグタイマフラグ
W5	タイマ制御レジスタ W5 (4ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
MR	クロック制御レジスタ MR (4ビット)	INTE	割り込み許可フラグ
RG	クロック制御レジスタ RG (3ビット)	EXF0	外部 0 割り込み要求フラグ
L1	LCD制御レジスタ L1 (4ビット)	VDF	電圧低下検出回路フラグ
L2	LCD制御レジスタ L2 (4ビット)	P	パワーダウンフラグ
L3	LCD制御レジスタ L3 (4ビット)	D	ポート D (8ビット)
C1	LCD制御レジスタ C1 (4ビット)	P0	ポート P0 (4ビット)
C2	LCD制御レジスタ C2 (4ビット)	P1	ポート P1 (4ビット)
C3	LCD制御レジスタ C3 (4ビット)	P2	ポート P2 (4ビット)
K0	キーオンウェイクアップ制御レジスタ K0 (4ビット)	P3	ポート P3 (4ビット)
K1	キーオンウェイクアップ制御レジスタ K1 (4ビット)	C	ポート C (1ビット)
K2	キーオンウェイクアップ制御レジスタ K2 (4ビット)	INT	INT 端子 (1ビット)
K3	キーオンウェイクアップ制御レジスタ K3 (4ビット)		
PU0	ブルアップ制御レジスタ PU0 (4ビット)	x	16進変数
PU1	ブルアップ制御レジスタ PU1 (4ビット)	y	16進変数
PU2	ブルアップ制御レジスタ PU2 (4ビット)	z	16進変数
PU3	ブルアップ制御レジスタ PU3 (4ビット)	p	16進変数
FR0	ポート出力形式制御レジスタ FR0 (4ビット)	n	16進定数
FR1	ポート出力形式制御レジスタ FR1 (4ビット)	i	16進定数
FR2	ポート出力形式制御レジスタ FR2 (4ビット)	j	16進定数
FR3	ポート出力形式制御レジスタ FR3 (4ビット)	A3 A2 A1 A0	16進変数 A の 2 進表記 (他も同様)
X	レジスタ X (4ビット)	←	データの移動する方向
Y	レジスタ Y (4ビット)	()	レジスタ、メモリなどの内容
Z	レジスタ Z (2ビット)	-	否定、命令実行後もフラグは不変
DP	データポインタ (10ビット) (レジスタ X、Y、Z で構成)	M (DP)	データポインタで指定された RAM の番地
PC	プログラムカウンタ (14ビット)	a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
PCH	プログラムカウンタの上位 7 ビット	p, a	p6 p5 p4 p3 p2 p1 p0 ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
PCL	プログラムカウンタの下位 7 ビット	C+x	16進数 C + 16進数 x
SK	スタックレジスタ (14ビット × 8)	?	? の前に示された状態の判定
SP	スタックポインタ (3ビット)	← →	レジスタやメモリ間でのデータ交換
CY	キャリフラグ		
UPTF	上位ビット参照許可フラグ		
RPS	プリスケアラリロードレジスタ (8ビット)		

[命令スキップの方法] スキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容 + 2 を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。ただし、TABP p、RT、RTS

命令がスキップされた場合、サイクル数は“1”となります。

命令機能別索引

分類	命令記号	機 能	分類	命令記号	機 能
レジスタ間転送命令	TAB	$(A) \leftarrow (B)$	演算命令	LA n	$(A) \leftarrow n, n = 0 \sim 15$
	TBA	$(B) \leftarrow (A)$		TABP p	$(SP) \leftarrow (SP) + 1$ $(SK(SP)) \leftarrow (PC)$ $(PCH) \leftarrow p$ $(PCL) \leftarrow (DR_2 \sim DR_0, A_3 \sim A_0)$ $(UPTF) = 1$ のとき、 $(DR_2) \leftarrow 0$ $(DR_1, DR_0) \leftarrow (ROM(PC))_{9,8}$ $(B) \leftarrow (ROM(PC))_{7 \sim 4}$ $(A) \leftarrow (ROM(PC))_{3 \sim 0}$ $(PC) \leftarrow (SK(SP))$ $(SP) \leftarrow (SP) - 1$
	TAY	$(A) \leftarrow (Y)$		AM	$(A) \leftarrow (A) + (M(DP))$
	TYA	$(Y) \leftarrow (A)$		AMC	$(A) \leftarrow (A) + (M(DP)) + (CY)$ $(CY) \leftarrow \text{キャリ}$
	TEAB	$(E_7 \sim E_4) \leftarrow (B)$ $(E_3 \sim E_0) \leftarrow (A)$		A n	$(A) \leftarrow (A) + n, n = 0 \sim 15$
	TABE	$(B) \leftarrow (E_7 \sim E_4)$ $(A) \leftarrow (E_3 \sim E_0)$		AND	$(A) \leftarrow (A) \text{AND} (M(DP))$
	TDA	$(DR_2 \sim DR_0) \leftarrow (A_2 \sim A_0)$		OR	$(A) \leftarrow (A) \text{OR} (M(DP))$
	TAD	$(A_2 \sim A_0) \leftarrow (DR_2 \sim DR_0)$ $(A_3) \leftarrow 0$		SC	$(CY) \leftarrow 1$
	TAZ	$(A_1, A_0) \leftarrow (Z_1, Z_0)$ $(A_3, A_2) \leftarrow 0$		RC	$(CY) \leftarrow 0$
	TAX	$(A) \leftarrow (X)$		SZC	$(CY) = 0 ?$
	TASP	$(A_2 \sim A_0) \leftarrow (SP_2 \sim SP_0)$ $(A_3) \leftarrow 0$		CMA	$(A) \leftarrow \overline{(A)}$
RAMアドレス命令	LXY x, y	$(X) \leftarrow x, x = 0 \sim 15$ $(Y) \leftarrow y, y = 0 \sim 15$		RAR	
	LZ z	$(Z) \leftarrow z, z = 0 \sim 3$	ビット操作命令	SB j	$(M_j(DP)) \leftarrow 1, j = 0 \sim 3$
	INY	$(Y) \leftarrow (Y) + 1$		RB j	$(M_j(DP)) \leftarrow 0, j = 0 \sim 3$
	DEY	$(Y) \leftarrow (Y) - 1$		SZB j	$(M_j(DP)) = 0 ?, j = 0 \sim 3$
RAM・レジスタ間転送命令	TAM j	$(A) \leftarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$	比較命令	SEAM	$(A) = (M(DP)) ?$
	XAM j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$		SEA n	$(A) = n ?, n = 0 \sim 15$
	XAMD j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$ $(Y) \leftarrow (Y) - 1$	ブランチ命令	B a	$(PCL) \leftarrow a_6 \sim a_0$
	XAMI j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$ $(Y) \leftarrow (Y) + 1$		BL p, a	$(PCH) \leftarrow p$ $(PCL) \leftarrow a_6 \sim a_0$
	TMA j	$(M(DP)) \leftarrow (A)$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$		BLA p	$(PCH) \leftarrow p$ $(PCL) \leftarrow (DR_2 \sim DR_0, A_3 \sim A_0)$

注. M3455AG8の場合p=0～63、M3455AGCの場合p=0～95です。

命令機能別索引 (続き)

分類	命令記号	機 能	分類	命令記号	機 能
サ ブ リ ー チ ン 呼 び 出 し 命 令	BM a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a6 ~ a0	タイ マ 操 作 命 令	TPAA	(PA) ← (A)
	BML p, a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a6 ~ a0		TAW1	(A) ← (W1)
	BMLA p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0, A3 ~ A0)		TW1A	(W1) ← (A)
リ タ ー ン 命 令	RTI	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW2	(A) ← (W2)
	RT	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TW2A	(W2) ← (A)
	RTS	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW3	(A) ← (W3)
割 り 込 み 制 御 命 令	DI	(INTE) ← 0		TW3A	(W3) ← (A)
	EI	(INTE) ← 1		TAW4	(A) ← (W4)
	SNZ0	V10 = 0 : (EXF0) = 1 ? (EXF0) ← 0 V10 = 1 : SNZ0 = NOP		TW4A	(W4) ← (A)
	SNZI0	I12 = 0 : (INT) = " L " ? I12 = 1 : (INT) = " H " ?		TAW5	(A) ← (W5)
	TAV1	(A) ← (V1)		TW5A	(W5) ← (A)
	TV1A	(V1) ← (A)		TABPS	(B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)
	TAV2	(A) ← (V2)		TPSAB	(RPS7 ~ RPS4) ← (B) (TPS7 ~ TPS4) ← (B) (RPS3 ~ RPS0) ← (A) (TPS3 ~ TPS0) ← (A)
	TV2A	(V2) ← (A)		TAB1	(B) ← (T17 ~ T14) (A) ← (T13 ~ T10)
	TAI1	(A) ← (I1)		T1AB	(R17 ~ R14) ← (B) (T17 ~ T14) ← (B) (R13 ~ R10) ← (A) (T13 ~ T10) ← (A)
	TI1A	(I1) ← (A)		TR1AB	(R17 ~ R14) ← (B) (R13 ~ R10) ← (A)
				TAB2	(B) ← (T27 ~ T24) (A) ← (T23 ~ T20)
				T2AB	(R2L7 ~ R2L4) ← (B) (T27 ~ T24) ← (B) (R2L3 ~ R2L0) ← (A) (T23 ~ T20) ← (A)
				T2R2L	(T27 ~ T20) ← (R2L7 ~ R2L0)
				T2HAB	(R2H7 ~ R2H4) ← (B) (R2H3 ~ R2H0) ← (A)

注. M3455AG8の場合p=0 ~ 63、M3455AGCの場合0 ~ 95です。

命令機能別索引 (続き)

分類	命令記号	機 能	分類	命令記号	機 能
タイム 操作命令	TLCA	(RLC) ← (A) (TLC) ← (A)	入出力 命令	TAPU3	(A) ← (PU3)
	SNZT1	V12 = 0 : (T1F) = 1 ? (T1F) ← 0 V12 = 1 : SNZT1=NOP		TPU3A	(PU3) ← (A)
	SNZT2	V13 = 0 : (T2F) = 1 ? (T2F) ← 0 V13 = 1 : SNZT2=NOP		TAK0	(A) ← (K0)
	SNZT3	V20 = 0 : (T3F) = 1 ? (T3F) ← 0 V20 = 1 : SNZT3=NOP		TK0A	(K0) ← (A)
入出力 命令	IAP0	(A) ← (P0)		TAK1	(A) ← (K1)
	OP0A	(P0) ← (A)		TK1A	(K1) ← (A)
	IAP1	(A) ← (P1)		TAK2	(A) ← (K2)
	OP1A	(P1) ← (A)		TK2A	(K2) ← (A)
	IAP2	(A) ← (P2)		TAK3	(A) ← (K3)
	OP2A	(P2) ← (A)		TK3A	(K3) ← (A)
	IAP3	(A) ← (P3)	L C D 制 御 命 令	TAL1	(A) ← (L1)
	OP3A	(P3) ← (A)		TL1A	(L1) ← (A)
	CLD	(D) ← 1		TL2A	(L2) ← (A)
	RD	(D(Y)) ← 0、(Y) = 0 ~ 4		TL3A	(L3) ← (A)
	SD	(D(Y)) ← 1、(Y) = 0 ~ 4		TC1A	(C1) ← (A)
	SZD	(D(Y)) = 0 ?、(Y) = 0 ~ 4		TC2A	(C2) ← (A)
	RCP	(C) ← 0		TC3A	(C3) ← (A)
	SCP	(C) ← 1	ク ロ ッ ク 制 御 命 令	TAMR	(A) ← (MR)
	TFR0A	(FR0) ← (A)		TMRA	(MR) ← (A)
	TFR1A	(FR1) ← (A)		TRGA	(RG2 ~ RG0) ← (A2 ~ A0)
	TFR2A	(FR2) ← (A)	そ の 他	NOP	(PC) ← (PC)+1
	TFR3A	(FR3) ← (A)		POF	時計動作モードへ遷移
	TAPU0	(A) ← (PU0)		POF2	RAMバックアップモードへ遷移
	TPU0A	(PU0) ← (A)		EPOF	POF命令有効
	TAPU1	(A) ← (PU1)		SNZP	(P) = 1 ?
	TPU1A	(PU1) ← (A)		SNZVD	(VDF) = 1 ?
	TAPU2	(A) ← (PU2)		WRST	(WDF1) = 1 ? (WDF1) ← 0
	TPU2A	(PU2) ← (A)		DWDT	ウォッチドッグタイマ停止許可
				SRST	システムリセット
				RUPT	(UPTF) ← 0
				SUPT	(UPTF) ← 1
				SVDE	パワーダウンモード時 電圧低下検出回路有効
				RBK(注1)	TABPp 命令実行時 : p6 ← 0
				SBK(注1)	TABPp 命令実行時 : p6 ← 1

注1. M3455AG8では、RBK、SBK命令は使用できません。

[アルファベット順] 機械語命令一覧

A n (Add n and accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 1 0 n n n n ₂	0 6 n ₁₆	1	1	-	オーバーフロー = 0
機能: (A) ← (A) + n n = 0 ~ 15		分類: 演算命令 詳細説明: レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

AM (Add accumulator and Memory)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 1 0 ₂	0 0 A ₁₆	1	1	-	-
機能: (A) ← (A) + (M(DP))		分類: 演算命令 詳細説明: レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 1 1 ₂	0 0 B ₁₆	1	1	0/1	-
機能: (A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ		分類: 演算命令 詳細説明: レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

AND (logical AND between accumulator and memory)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 0 0 0 ₂	0 1 8 ₁₆	1	1	-	-
機能: (A) ← (A) AND (M(DP))		分類: 演算命令 詳細説明: レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。			

[アルファベット順] 機械語命令一覧 (続き)

B a (Branch to address a)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 1 1 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2	1 8 +a a 16	1	1	-	-
機 能 : (PCL) ← a ₆ ~ a ₀		分 類 : ブランチ命令			
		詳細説明 : ページ内ブランチ : 同一ページのa番地へブランチします。			
		留意点 : ブランチ先はこの命令の存在するページ内で指定してください。			

BL p,a (Branch Long to address a in page p)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 1 1 1 p ₄ p ₃ p ₂ p ₁ p ₀ 2	0 E +p p 16	2	2	-	-
1 p ₆ p ₅ a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2	2 a a 16	分 類 : ブランチ命令			
機 能 : (PCH) ← p (PCL) ← a ₆ ~ a ₀		詳細説明 : ページ外ブランチ : pページのa番地へブランチします。			
		留意点 : M3455AG8の場合 p = 0 ~ 63 p ₆ = 0 M3455AGCの場合 p = 0 ~ 95			

BLA p (Branch Long to address (D)+(A) in page p)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 0 0 0 2	0 1 0 16	2	2	-	-
1 p ₆ p ₅ p ₄ 0 0 p ₃ p ₂ p ₁ p ₀ 2	2 p p 16	分 類 : ブランチ命令			
機 能 : (PCH) ← p (PCL) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)		詳細説明 : ページ外ブランチ : pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地へブランチします。			
		留意点 : M3455AG8の場合 p = 0 ~ 63 p ₆ = 0 M3455AGCの場合 p = 0 ~ 95			

BM a (Branch and Mark to address a in page 2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 1 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2	1 a a 16	1	1	-	-
機 能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a ₆ ~ a ₀		分 類 : サブルーチン呼び出し命令			
		詳細説明 : 2ページのサブルーチン呼び出し : 2ページのa番地のサブルーチンを読み出します。			
		留意点 : 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスタリングは最大8レベルです。で、スタックオーバーにならないよう注意してください。			

[アルファベット順] 機械語命令一覧 (続き)

BML p,a (Branch and Mark Long to address a in page p)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 1 1 0 p ₄ p ₃ p ₂ p ₁ p ₀ 2	0 c _p p 16	2	2	-	-
1 p ₆ p ₅ a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ 2	2 a a 16	分類: サブルーチン呼び出し命令			
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a ₆ ~ a ₀		詳細説明: サブルーチン呼び出し: p ページの a 番地のサブルーチンを呼び出します。 留意点: M3455AG8 の場合 p = 0 ~ 63 p ₆ = 0 M3455AGC の場合 p = 0 ~ 95 サブルーチンネスタングは最大 8 レベルですので、スタックオーバーにならないよう注意してください。			

BLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 0 0 0 0 2	0 3 0 16	2	2	-	-
1 p ₆ p ₅ p ₄ 0 0 p ₃ p ₂ p ₁ p ₀ 2	2 p p 16	分類: サブルーチン呼び出し命令			
機能: (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)		詳細説明: サブルーチン呼び出し: p ページのレジスタ D とレジスタ A の内容で指定された (DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチンを呼び出します。 留意点: M3455AG8 の場合 p = 0 ~ 63 p ₆ = 0 M3455AGC の場合 p = 0 ~ 95 サブルーチンネスタングは最大 8 レベルですので、スタックオーバーにならないよう注意してください。			

CLD (Clear port D)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 0 0 1 2	0 1 1 16	1	1	-	-
機能: (D) ← 1		分類: 入出力命令 詳細説明: ポート D をすべてセット (1) します。			

CMA (CoMplement of Accumulator)

機械語: D ₉	D ₀	語数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 0 0 2	0 1 C 16	1	1	-	-
機能: (A) ← $\overline{(A)}$		分類: 演算命令 詳細説明: レジスタ A の内容の 1 の補数をレジスタ A に格納します。			

[アルファベット順] 機械語命令一覧 (続き)

DEY (DEcrement register Y)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 1 1	2 0 1 7	1	1	-	(Y) = 15
機 能 : (Y) ← (Y) - 1		分 類 : RAM アドレス命令			
		詳細説明 : レジスタYの内容を - 1 します。その結果、レジスタYの内容が “ 15 ” であれば、次の命令をスキップします。“ 15 ” 以外ならば、そのまま次の命令を実行します。			

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 0 0	2 0 0 4	1	1	-	-
機 能 : (INTE) ← 0		分 類 : 割り込み制御命令			
		詳細説明 : 割り込み許可フラグ (INTE) をクリア (0) し、割り込み発生禁止状態にします。			
		留意点 : DI 命令による割り込み禁止は、DI 命令実行から 1 マシンサイクル後に行われます。			

DWDT (Disable WatchDog Timer)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 1 1 0 0	2 2 9 C	1	1	-	-
機 能 : ウォッチドッグタイマ機能停止許可		分 類 : その他			
		詳細説明 : DWDT 命令を実行すると、直後の WRST 命令によりウォッチドッグタイマ機能を停止することができます。			

[アルファベット順] 機械語命令一覧 (続き)

EI (Enable Interrupt)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 0 1	0 0 5	1	1	-	-
機 能 : (INTE) ← 1		分 類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 1 1	0 5 B	1	1	-	-
機 能 : POF命令又はPOF2命令有効		分 類 : その他 詳細説明 : EPOF命令を実行すると、直後のPOF命令又はPOF2命令が有効になります。			

IAP0 (Input Accumulator from port P0)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 0 0	2 6 0	1	1	-	-
機 能 : (A) ← (P0)		分 類 : 入出力命令 詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

IAP1 (Input Accumulator from port P1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 0 1	2 6 1	1	1	-	-
機 能 : (A) ← (P1)		分 類 : 入出力命令 詳細説明 : ポートP1の入力を、レジスタAへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

IAP2 (Input Accumulator from port P2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 1 0 ₂	2 6 2 ₁₆	1	1	-	-
機 能 : (A) ← (P2)		分 類 : 入出力命令			
		詳細説明 : ポートP2の入力を、レジスタAへ転送します。			

IAP3 (Input Accumulator from port P3)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 0 0 0 1 1 ₂	2 6 3 ₁₆	1	1	-	-
機 能 : (A) ← (P3)		分 類 : 入出力命令			
		詳細説明 : ポートP3の入力を、レジスタAへ転送します。			

INY (INcrement register Y)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 0 1 1 ₂	0 1 3 ₁₆	1	1	-	(Y) = 0
機 能 : (Y) ← (Y) + 1		分 類 : RAM アドレス命令			
		詳細説明 : レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。			

LA n (Load n in Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 1 1 n n n n ₂	0 7 n ₁₆	1	1	-	連続記述
機 能 : (A) ← n n = 0 ~ 15		分 類 : 演算命令			
		詳細説明 : イミディエイトフィールドの値nをレジスタAにロードします。LA命令を連続記述し実行した場合は、最初に行われたLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

[アルファベット順] 機械語命令一覧 (続き)

LXY x,y (Load register X and Y with x and y)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 1 x ₃ x ₂ x ₁ x ₀ y ₃ y ₂ y ₁ y ₀ z 3 x y	16	1	1	-	連続記述
機能: (X) ← x x = 0 ~ 15 (Y) ← y y = 0 ~ 15		分類: RAM アドレス命令 詳細説明: イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

LZ z (Load register Z with z)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 1 0 z ₁ z ₀ z 0 4 8 +z	16	1	1	-	-
機能: (Z) ← z z = 0 ~ 3		分類: RAM アドレス命令 詳細説明: イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No OPeration)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 0 0 z 0 0 0	16	1	1	-	-
機能: (PC) ← (PC) + 1		分類: その他 詳細説明: ノーオペレーション: プログラムカウンタの値を+1します。他は変化しません。			

OP0A (Output port P0 from Accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 0 0 z 2 2 0	16	1	1	-	-
機能: (P0) ← (A)		分類: 入出力命令 詳細説明: レジスタAの内容をポートP0へ出力します。			

[アルファベット順] 機械語命令一覧 (続き)

OP1A (Output port P1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 0 1	2 2 1	1	1	-	-
機能 : (P1) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をポートP1へ出力します。			

OP2A (Output port P2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 1 0	2 2 2	1	1	-	-
機能 : (P2) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をポートP2へ出力します。			

OP3A (Output port P3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 0 1 1	2 2 3	1	1	-	-
機能 : (P3) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をポートP3へ出力します。			

OR (logical OR between accumulator and memory)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 0 0 1	0 1 9	1	1	-	-
機能 : (A) ← (A) OR (M(DP))		分 類 : 演算命令			
		詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

[アルファベット順] 機械語命令一覧 (続き)

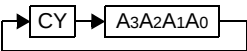
POF (Power OFf)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 1 0	0 0 2	1	1	-	-
機能: 時計動作モードへ遷移		分類: その他 詳細説明: EPOF 命令実行直後にPOF 命令を実行すると、本製品は時計動作モードになります。 留意点: この命令の実行直前にEPOF 命令が実行されていない場合、この命令はNOP 命令と等価になります。			

POF2 (Power OFf 2)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 0 0 0	0 0 8	1	1	-	-
機能: RAMバックアップモードへ遷移		分類: その他 詳細説明: EPOF 命令実行直後にPOF2 命令を実行すると、本製品はRAM バックアップモードになります。 留意点: この命令の実行直前にEPOF 命令が実行されていない場合、この命令はNOP 命令と等価となります。			

RAR (Rotate Accumulator Right)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 0 1	0 1 D	1	1	0/1	-
機能: 		分類: 演算命令 詳細説明: キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。			

RB j (Reset Bit)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 1 1 j j	0 4 C+j	1	1	-	-
機能: (Mj(DP)) ← 0 j = 0 ~ 3		分類: ビット操作命令 詳細説明: M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。			

[アルファベット順] 機械語命令一覧 (続き)

RBK (Reset Bank flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 0 0 0	0 0 4 0	1	1	-	-
機能 : TABPp命令実行時 : p6 ← 0		分類 : その他 詳細説明 : TABP p命令実行時に参照するデータ領域を0 ~ 63ページに設定します。この命令はTABP p命令に対してのみ有効です。 留意点 : M3455AG8では、この命令は使用できません。			

RC (Reset Carry flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 0	0 0 6	1	1	0	-
機能 : (CY) ← 0		分類 : 演算命令 詳細説明 : キャリフラグ(CY)をクリア(0)します。			

RCP (Reset Port C)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 0	2 8 C	1	1	-	-
機能 : (C) ← 0		分類 : 入出力命令 詳細説明 : ポートCをクリア(0)します。			

RD (Reset port D specified by register Y)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 0 0	0 1 4	1	1	-	-
機能 : (D(Y)) ← 0 (Y) = 0 ~ 7		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。 留意点 : (Y) = 0 ~ 7 レジスタYが指定範囲外のときはこの命令を実行しないでください。			

[アルファベット順] 機械語命令一覧 (続き)

RT (ReTurn from subroutine)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 0	0 4 4	1	2	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。			

RTI (ReTurn from Interrupt)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 1 0	0 4 6	1	1	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ (レジスタ Z, X, Y), キャリフラグ (CY), スキップステータス, LA/LXY 連続記述による NOP ステータス, レジスタ A, レジスタ B の各値を割り込み直前の状態に復帰させます。			

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 1 0 1	0 4 5	1	2	-	無条件スキップ
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

RUPT (Reset UPT flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 0 0	0 5 8	1	1	-	-
機能 : (UPTF) ← 0		分類 : その他 詳細説明 : 上位ビット参照許可フラグ UPTF をクリア (0) します。 留意点 : テーブル参照命令 (TABP p 命令) 実行しても、ROM 内参照データの上位 2 ビットはレジスタ D に転送されません。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 1 j j	0 5 C+j	1	1	-	-
機能 : (Mj(DP)) ← 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP) の第 j ビット (イミディエイトフィールドの値 j で指定されたビット) の内容をセット (1) します。			

[アルファベット順] 機械語命令一覧 (続き)

SBK (Set Bank flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 0 0 0 0 1	0 4 1	1	1	-	-
機能 : TABPp命令実行時 : p6 ← 1		分 類 : その他			
		詳細説明 : TABP p命令実行時に参照するデータ領域を64 ~ 127ページに設定します。この命令はTABP p命令に対してのみ有効です。			
		留意点 : M3455AG8では、この命令は使用できません。			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 1 1 1	0 0 7	1	1	1	-
機能 : (CY) ← 1		分 類 : 演算命令			
		詳細説明 : キャリフラグ(CY)をセット(1)します。			

SCP (Set Port C)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 1 0 1	2 8 D	1	1	-	-
機能 : (C) ← 1		分 類 : 入出力命令			
		詳細説明 : ポートCをセット(1)します。			

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	-	-
機能 : (D(Y)) ← 1 (Y) = 0 ~ 7		分 類 : 入出力命令			
		詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。			
		留意点 : (Y) = 0 ~ 7 レジスタYが指定範囲外のときはこの命令を実行しないでください。			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 1 0 1	0 2 5	2	2	-	(A) = n n = 0 ~ 15
0 0 0 1 1 1 n n n n	0 7 n	分 類 : 比較命令			
機能 : (A) = n ? n = 0 ~ 15		詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

[アルファベット順] 機械語命令一覧 (続き)

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 1 1 0	0 2 6	1	1	-	(A) = (M(DP))
機能 : (A) = (M(DP)) ?		分類 : 比較命令 詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 0 0 0	0 3 8	1	1	-	V1 ₀ = 0 : (EXF0) = 1
機能 : V1 ₀ = 0 : (EXF0) = 1 ? (EXF0) ← 0 V1 ₀ = 1 : SNZ0 = NOP		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1のビット0(V1 ₀)の内容が“0”のときは、外部0割り込み要求フラグ(EXF0)が“1”であれば、フラグEXF0をクリア(0)し、次の命令をスキップします。フラグEXF0が“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V1 ₀)の内容が“1”のときは、この命令はNOP命令と等価となります。			

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 0 1 0	0 3 A	1	1	-	I1 ₂ = 0 : (INT) = “L” I1 ₂ = 1 : (INT) = “H”
機能 : I1 ₂ = 0 : (INT) = “L” ? I1 ₂ = 1 : (INT) = “H” ?		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1のビット2(I1 ₂)の内容が“0”のときは、INT端子のレベルが“L”であれば次の命令をスキップします。“H”ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I1 ₂)の内容が“1”のときは、INT端子のレベルが“H”であれば次の命令をスキップします。“L”ならば、そのまま次の命令を実行します。			

SNZP (Skip if Non Zero condition of Power down flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 1 1	0 0 3	1	1	-	(P) = 1
機能 : (P) = 1 ?		分類 : その他 詳細説明 : パワーダウフラグ(P)の内容が“1”であれば、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。			

[アルファベット順] 機械語命令一覧 (続き)

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 0 0 0 0	2 8 0	1	1	-	V1 ₂ = 0 : (T1F) = 1
機能: V1 ₂ = 0 : (T1F) = 1 ? (T1F) ← 0 V1 ₂ = 1 : SNZT1 = NOP		分類: タイマ操作命令 詳細説明: 割り込み制御レジスタV1のビット2(V1 ₂)の内容が“0”のときは、タイマ1割り込み要求フラグ(T1F)が“1”であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。フラグT1Fが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V1 ₂)の内容が“1”のときは、この命令はNOP命令と等価となります。			

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 0 0 0 1	2 8 1	1	1	-	V1 ₃ = 0 : (T2F) = 1
機能: V1 ₃ = 0 : (T2F) = 1 ? (T2F) ← 0 V1 ₃ = 1 : SNZT2 = NOP		分類: タイマ操作命令 詳細説明: 割り込み制御レジスタV1のビット3(V1 ₃)の内容が“0”のときは、タイマ2割り込み要求フラグ(T2F)が“1”であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。フラグT2Fが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V1 ₃)の内容が“1”のときは、この命令はNOP命令と等価となります。			

SNZT3 (Skip if Non Zero condition of Timer 3 interrupt request flag)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 0 0 1 0	2 8 2	1	1	-	V2 ₀ = 0 : (T3F) = 1
機能: V2 ₀ = 0 : (T3F) = 1 ? (T3F) ← 0 V2 ₀ = 1 : SNZT3 = NOP		分類: タイマ操作命令 詳細説明: 割り込み制御レジスタV2のビット0(V2 ₀)の内容が“0”のときは、タイマ3割り込み要求フラグ(T3F)が“1”であれば、フラグT3Fをクリア(0)し、次の命令をスキップします。フラグT3Fが“0”ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0(V2 ₀)の内容が“1”のときは、この命令はNOP命令と等価となります。			

SNZVD (Skip if Non Zero condition of Voltage drop detection circuit flag)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 0 1 0 1 0	2 8 A	1	1	-	(VDF) = 1
機能: (VDF) = 1 ?		分類: その他 詳細説明: 電圧低下検出回路フラグ (VDF) が“1”であれば、次の命令をスキップし、フラグVDFが“0”ならば、そのまま次の命令を実行します。 スキップ後もフラグVDFの内容は変化しません。			

[アルファベット順] 機械語命令一覧 (続き)

SRST (System ReSet)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 0 0 0 1	0 0 1	1	1	-	-
機 能 : システムリセット		分 類 : その他			
		詳細説明 : システムリセットが発生します。			

SUPT (Set UPT flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 1 0 0 1	0 5 9	1	1	-	-
機 能 : (UPTF) ← 1		分 類 : その他			
		詳細説明 : 上位ビット参照許可フラグUPTFをセット(1)します。			
		留意点 : テーブル参照命令(TABP p命令)を実行すると、ROM内参照データの上位2ビットがレジスタDに転送されます。			

SVDE (Set Voltage Detector Enable flag)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 0 0 1 1	2 9 3	1	1	-	-
機 能 : パワーダウンモード時電圧低下検出回路有効		分 類 : その他			
		詳細説明 : パワーダウン(時計動作モード、RAMバックアップモード)時に電圧低下検出回路を有効にします。			

SZB j (Skip if Zero, Bit)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 0 j j	0 2 j	1	1	-	(Mj(DP)) = 0 j = 0 ~ 3
機 能 : (Mj(DP)) = 0 ? j = 0 ~ 3		分 類 : ビット操作命令			
		詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。			

[アルファベット順] 機械語命令一覧 (続き)

SZC (Skip if Zero, Carry flag)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 1 1 1	0 2 F	1	1	-	(CY) = 0
機能: (CY) = 0 ?		分類: 演算命令 詳細説明: キャリフラグ(CY)の内容が“0”のとき、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。スキップ後もフラグCYは変化しません。			

SZD (Skip if Zero, port D specified by register Y)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 0 1 0 0	0 2 4	2	2	-	(D(Y)) = 0
0 0 0 0 1 0 1 0 1 1	0 2 B	分類: 入出力命令 詳細説明: ポートDのレジスタYの内容で指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。 留意点: (Y) = 0 ~ 5 レジスタYが指定範囲外のときはこの命令を実行しないでください。			
機能: (D(Y)) = 0 ? (Y) = 0 ~ 5					

T1AB (Transfer data to timer 1 and register R1 from Accumulator and register B)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 0 0	2 3 0	1	1	-	-
機能: (T17 ~ T14) ← (B) (R17 ~ R14) ← (B) (T13 ~ T10) ← (A) (R13 ~ R10) ← (A)		分類: タイマ操作命令 詳細説明: レジスタBの内容をタイマ1の上位4ビット(T17 ~ T14)とタイマ1のリロードレジスタR1の上位4ビット(R17 ~ R14)へ、レジスタAの内容をタイマ1の下位4ビット(T13 ~ T10)とタイマ1のリロードレジスタR1の下位4ビット(R13 ~ R10)へ転送します。			

T2AB (Transfer data to timer 2 and register R2L from Accumulator and register B)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 0 0 1	2 3 1	1	1	-	-
機能: (T27 ~ T24) ← (B) (R2L7 ~ R2L4) ← (B) (T23 ~ T20) ← (A) (R2L3 ~ R2L0) ← (A)		分類: タイマ操作命令 詳細説明: レジスタBの内容をタイマ2の上位4ビット(T27 ~ T24)とタイマ2のリロードレジスタR2Lの上位4ビット(R2L7 ~ R2L4)へ、レジスタAの内容をタイマ2の下位4ビット(T23 ~ T20)とタイマ2のリロードレジスタR2Lの下位4ビット(R2L3 ~ R2L0)へ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

T2HAB (Transfer data to register R2H from Accumulator and register B)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 0 1 0 0	2 9 4	1	1	-	-
機能 : (R2H ₇ ~ R2H ₄) ← (B) (R2H ₃ ~ R2H ₀) ← (A)		分 類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ2のリロードレジスタR2Hの上位4ビット(R2H ₇ ~ R2H ₄)へ、レジスタAの内容をタイマ2のリロードレジスタR2Hの下位4ビット(R2H ₃ ~ R2H ₀)へ転送します。			

T2R2L (Transfer data to timer 2 from register R2L)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 0 1 0 1 0 1	2 9 5	1	1	-	-
機能 : (T2 ₇ ~ T2 ₀) ← (R2L ₇ ~ R2L ₀)		分 類 : タイマ操作命令 詳細説明 : タイマ2のリロードレジスタR2Lの内容をタイマ2へ転送します。			

TAB (Transfer data to Accumulator from register B)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 1 0	0 1 E	1	1	-	-
機能 : (A) ← (B)		分 類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタAへ転送します。			

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 0 0	2 7 0	1	1	-	-
機能 : (B) ← (T1 ₇ ~ T1 ₄) (A) ← (T1 ₃ ~ T1 ₀)		分 類 : タイマ操作命令 詳細説明 : タイマ1の上位4ビット(T1 ₇ ~ T1 ₄)の内容をレジスタBへ、タイマ1の下位4ビット(T1 ₃ ~ T1 ₀)の内容をレジスタAへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 0 0 1	2 7 1	1	1	-	-
機能 : (B) ← (T27 ~ T24) (A) ← (T23 ~ T20)		分 類 : タイマ操作命令 詳細説明 : タイマ2の上位4ビット(T27 ~ T24)の内容をレジスタBへ、 タイマ2の下位4ビット(T23 ~ T20)の内容をレジスタAへ 転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 0 1 0	0 2 A	1	1	-	-
機能 : (B) ← (E7 ~ E4) (A) ← (E3 ~ E0)		分 類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E7 ~ E4)の内容をレジスタBへ、 レジスタEの下位4ビット(E3 ~ E0)の内容をレジスタAへ 転送します。			

TABP p (Transfer data to Accumulator and register B from Program memory in page p)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 1 0 p ₅ p ₄ p ₃ p ₂ p ₁ p ₀	0 ⁸ _{+p} p	1	3	-	-
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR2 ~ DR0, A3 ~ A0) (B) ← (ROM(PC)) _{7 ~ 4} (A) ← (ROM(PC)) _{3 ~ 0} (UPTF) = 1 のとき、 (DR1, DR0) ← (ROM(PC)) _{9, 8} (DR2) ← 0 (PC) ← (SK(SP)) (SP) ← (SP) - 1		分 類 : 演算命令 詳細説明 : p ページのレジスタ D とレジスタ A の内容で指定された (DR2DR1DR0A3A2A1A0) ₂ 番地のROMパターンのうち、ビット 7 ~ 4 をレジスタBへ、ビット3 ~ 0 をレジスタAへ転送し ます。上位ビット参照許可フラグUPTF の内容が " 1 " のと きは、ROMパターンのビット9、8 をレジスタDの下位2ビット (DR1, DR0) へ転送し、レジスタDの最上位ビット(DR2) は " 0 " になります。この命令を実行するときは、スタック レジスタ(SK)を1段使用します。 留意点 : M3455AG8の場合p = 0 ~ 63、M3455AGCの場合p = 0 ~ 95 です。 TABP p命令実行時、スタックレジスタ(SK)を1段使用しま すので、スタックオーバにならないよう注意してください。			

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 1 1 0 1 0 1	2 7 5	1	1	-	-
機能 : (B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)		分 類 : タイマ操作命令 詳細説明 : プリスケアラの上位4ビットの内容をレジスタBへ転送し、 プリスケアラの下位4ビットの内容をレジスタAへ転送し ます。			

[アルファベット順] 機械語命令一覧 (続き)

TAD (Transfer data to Accumulator from register D)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 0 1	0 5 1	1	1	-	-
機能 : (A ₂ ~ A ₀) ← (DR ₂ ~ DR ₀) (A ₃) ← 0		分類 : レジスタ間転送命令 詳細説明 : レジスタDの内容をレジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。レジスタAの最上位ビット(A ₃)は“0”になります。			

TAI1 (Transfer data to Accumulator from register I1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 0 1 1	2 5 3	1	1	-	-
機能 : (A) ← (I1)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1の内容をレジスタAへ転送します。			

TAK0 (Transfer data to Accumulator from register K0)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 1 1 0	2 5 6	1	1	-	-
機能 : (A) ← (K0)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK0の内容をレジスタAへ転送します。			

TAK1 (Transfer data to Accumulator from register K1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 0 0 1	2 5 9	1	1	-	-
機能 : (A) ← (K1)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK1の内容をレジスタAへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TAK2 (Transfer data to Accumulator from register K2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 0 1 0	2 5 A	1	1	-	-
機能 : (A) ← (K2)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK2の内容をレジスタAへ転送します。			

TAK3 (Transfer data to Accumulator from register K3)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 0 1 1	2 5 B	1	1	-	-
機能 : (A) ← (K3)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK3の内容をレジスタAへ転送します。			

TAL1 (Transfer data to Accumulator from register L1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 0 1 0	2 4 A	1	1	-	-
機能 : (A) ← (L1)		分類 : LCD制御命令 詳細説明 : LCD制御レジスタL1の内容をレジスタAへ転送します。			

TAM j (Transfer data to Accumulator from Memory)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 1 0 0 j j j j	2 C j	1	1	-	-
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和を取り、その結果をレジスタXに格納します。			

[アルファベット順] 機械語命令一覧 (続き)

TAMR (Transfer data to Accumulator from register MR)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 0 1 0	2 5 2	1	1	-	-

機 能 : (A) ← (MR)

分 類 : クロック制御命令

詳細説明 : クロック制御レジスタMRの内容をレジスタAへ転送します。

TAPU0 (Transfer data to Accumulator from register PU0)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 0 1 1 1	2 5 7	1	1	-	-

機 能 : (A) ← (PU0)

分 類 : 入出力命令

詳細説明 : ブルアップ制御レジスタPU0の内容をレジスタAへ転送します。

TAPU1 (Transfer data to Accumulator from register PU1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 1 1 0	2 5 E	1	1	-	-

機 能 : (A) ← (PU1)

分 類 : 入出力命令

詳細説明 : ブルアップ制御レジスタPU1の内容をレジスタAへ転送します。

TAPU2 (Transfer data to Accumulator from register PU2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 1 1 1	2 5 F	1	1	-	-

機 能 : (A) ← (PU2)

分 類 : 入出力命令

詳細説明 : ブルアップ制御レジスタPU2の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧 (続き)

TAPU3 (Transfer data to Accumulator from register PU3)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 1 1 1 0 1 ₂	2 5 D ₁₆	1	1	-	-

機 能 : (A) ← (PU3)

分 類 : 入出力命令

詳細説明 : ブルアップ制御レジスタPU3の内容をレジスタAへ転送します。

TASP (Transfer data to Accumulator from Stack Pointer)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 0 0 ₂	0 5 0 ₁₆	1	1	-	-

機 能 : (A₂ ~ A₀) ← (SP₂ ~ SP₀)
(A₃) ← 0

分 類 : レジスタ間転送命令

詳細説明 : スタックポインタ(SP)の内容をレジスタAの下位3ビット(A₂ ~ A₀)へ転送します。レジスタAの最上位ビット(A₃)は“0”になります。**TAV1** (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 1 0 0 ₂	0 5 4 ₁₆	1	1	-	-

機 能 : (A) ← (V1)

分 類 : 割り込み制御命令

詳細説明 : 割り込み制御レジスタV1の内容をレジスタAへ転送します。

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 1 0 1 ₂	0 5 5 ₁₆	1	1	-	-

機 能 : (A) ← (V2)

分 類 : 割り込み制御命令

詳細説明 : 割り込み制御レジスタV2の内容をレジスタAへ転送します。

[アルファベット順] 機械語命令一覧 (続き)

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 0 1 1	2 4 B	1	1	-	-
機能 : (A) ← (W1)		分 類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW1の内容をレジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 0 0	2 4 C	1	1	-	-
機能 : (A) ← (W2)		分 類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW2の内容をレジスタAへ転送します。			

TAW3 (Transfer data to Accumulator from register W3)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 0 1	2 4 D	1	1	-	-
機能 : (A) ← (W3)		分 類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW3の内容をレジスタAへ転送します。			

TAW4 (Transfer data to Accumulator from register W4)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 1 0	2 4 E	1	1	-	-
機能 : (A) ← (W4)		分 類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW4の内容をレジスタAへ転送します。			

TAW5 (Transfer data to Accumulator from register W5)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 1 0 0 1 1 1 1	2 4 F	1	1	-	-
機能 : (A) ← (W5)		分 類 : タイマ操作命令			
		詳細説明 : タイマ制御レジスタW5の内容をレジスタAへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 1 0	0 5 2	1	1	-	-
機 能 : (A) ← (X)		分 類 : レジスタ間転送命令			
		詳細説明 : レジスタXの内容をレジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 1 1 1	0 1 F	1	1	-	-
機 能 : (A) ← (Y)		分 類 : レジスタ間転送命令			
		詳細説明 : レジスタYの内容をレジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 1 0 1 0 0 1 1	0 5 3	1	1	-	-
機 能 : (A ₁ , A ₀) ← (Z ₁ , Z ₀) (A ₃ , A ₂) ← 0		分 類 : レジスタ間転送命令			
		詳細説明 : レジスタZの内容をレジスタAの下位2ビット(A ₁ , A ₀)へ転送します。レジスタAの上位2ビット(A ₃ , A ₂)は“0”になります。			

TBA (Transfer data to register B from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 1 1 0	0 0 E	1	1	-	-
機 能 : (B) ← (A)		分 類 : レジスタ間転送命令			
		詳細説明 : レジスタAの内容をレジスタBへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TC1A (Transfer data to register C1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 1 0 0 0	2 A 8	1	1	-	-
機能 : (C1) ← (A)		分 類 : LCD制御命令			
		詳細説明 : レジスタAの内容をLCD制御レジスタC1へ転送します。			

TC2A (Transfer data to register C2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 1 0 0 1	2 A 9	1	1	-	-
機能 : (C2) ← (A)		分 類 : LCD制御命令			
		詳細説明 : レジスタAの内容をLCD制御レジスタC2へ転送します。			

TC3A (Transfer data to register C3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 0 1 1 0	2 2 6	1	1	-	-
機能 : (C3) ← (A)		分 類 : LCD制御命令			
		詳細説明 : レジスタAの内容をLCD制御レジスタC3へ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 0 1 0 0 1	0 2 9	1	1	-	-
機能 : (DR ₂ ~ DR ₀) ← (A ₂ ~ A ₀)		分 類 : レジスタ間転送命令			
		詳細説明 : レジスタAの下位3ビット(A ₂ ~ A ₀)の内容をレジスタDへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TEAB (Transfer data to register E from Accumulator and register B)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 1 1 0 1 0	0 1 A	1	1	-	-
機 能 : (E ₇ ~ E ₄) ← (B) (E ₃ ~ E ₀) ← (A)		分 類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~ E ₄)へ、 レジスタAの内容をレジスタEの低位4ビット(E ₃ ~ E ₀)へ 転送します。			

TFR0A (Transfer data to register FR0 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 0 0 0	2 2 8	1	1	-	-
機 能 : (FR0) ← (A)		分 類 : 入出力命令 詳細説明 : レジスタAの内容をポート出力形式制御レジスタFR0へ転送します。			

TFR1A (Transfer data to register FR1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 0 0 1	2 2 9	1	1	-	-
機 能 : (FR1) ← (A)		分 類 : 入出力命令 詳細説明 : レジスタAの内容をポート出力形式制御レジスタFR1へ転送します。			

TFR2A (Transfer data to register FR2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 0 1 0	2 2 A	1	1	-	-
機 能 : (FR2) ← (A)		分 類 : 入出力命令 詳細説明 : レジスタAの内容をポート出力形式制御レジスタFR2へ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TFR3A (Transfer data to register FR3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 0 1 1	2 2 B	1	1	-	-
機 能 : (FR3) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をポート出力形式制御レジスタFR3へ転送します。			

TI1A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 1 1	2 1 7	1	1	-	-
機 能 : (I1) ← (A)		分 類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を割り込み制御レジスタI1へ転送します。			

TK0A (Transfer data to register K0 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 1 0 1 1	2 1 B	1	1	-	-
機 能 : (K0) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をキーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 0 0	2 1 4	1	1	-	-
機 能 : (K1) ← (A)		分 類 : 入出力命令			
		詳細説明 : レジスタAの内容をキーオンウェイクアップ制御レジスタK1へ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TK2A (Transfer data to register K2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 0 1	2 1 5	1	1	-	-

機 能 : (K2) ← (A)

分 類 : 入出力命令

詳細説明 : レジスタAの内容をキーオンウェイクアップ制御レジスタK2へ転送します。

TK3A (Transfer data to register K3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 1 0 0	2 2 C	1	1	-	-

機 能 : (K3) ← (A)

分 類 : 入出力命令

詳細説明 : レジスタAの内容をキーオンウェイクアップ制御レジスタK3へ転送します。

TL1A (Transfer data to register L1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 0 1 0	2 0 A	1	1	-	-

機 能 : (L1) ← (A)

分 類 : LCD制御命令

詳細説明 : レジスタAの内容をLCD制御レジスタL1へ転送します。

TL2A (Transfer data to register L2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 0 1 1	2 0 B	1	1	-	-

機 能 : (L2) ← (A)

分 類 : LCD制御命令

詳細説明 : レジスタAの内容をLCD制御レジスタL2へ転送します。

[アルファベット順] 機械語命令一覧 (続き)

TL3A (Transfer data to register L3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 0 0	2 0 C	1	1	-	-
機 能 : (L3) ← (A)		分 類 : LCD制御命令			
		詳細説明 : レジスタAの内容をLCD制御レジスタL3へ転送します。			

TLCA (Transfer data to register LC and register RLC from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 0 1	2 0 D	1	1	-	-
機 能 : (LC) ← (A) (RLC) ← (A)		分 類 : タイマ操作命令			
		詳細説明 : レジスタAの内容をタイマLCとタイマLCのリロードレジスタRLCへ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 1 j j j j	2 B j	1	1	-	-
機 能 : (M(DP)) ← (A) (X) ← (X)EXOR(j) j = 0 ~ 15		分 類 : RAM・レジスタ間転送命令			
		詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和を取り、その結果をレジスタXに格納します。			

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 1 1 0	2 1 6	1	1	-	-
機 能 : (MR) ← (A)		分 類 : クロック制御命令			
		詳細説明 : レジスタAの内容をクロック制御レジスタMRへ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TPAA (Transfer data to register PA from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 1 0 1 0	2 A A	1	1	-	-

機 能 : (PA₀) ← (A₀)

分 類 : タイマ操作命令

詳細説明 : レジスタAの最下位ビット(A₀)の内容をタイマ制御レジスタPAへ転送します。

TPSAB (Transfer data to Pre-Scaler and register RPS from Accumulator and register B)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 0 1 0 1	2 3 5	1	1	-	-

機 能 : (RPS₇ ~ RPS₄) ← (B)
 (TPS₇ ~ TPS₄) ← (B)
 (RPS₃ ~ RPS₀) ← (A)
 (TPS₃ ~ TPS₀) ← (A)

分 類 : タイマ操作命令

詳細説明 : レジスタBの内容をプリスケラ及びプリスケラのリロードレジスタRPSの上位4ビットへ転送し、レジスタAの内容をプリスケラ及びプリスケラのリロードレジスタRPSの下位4ビットへ転送します。

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 1 0 1	2 2 D	1	1	-	-

機 能 : (PU₀) ← (A)

分 類 : 入出力命令

詳細説明 : レジスタAの内容をブルアップ制御レジスタPU₀へ転送します。

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 1 1 0	2 2 E	1	1	-	-

機 能 : (PU₁) ← (A)

分 類 : 入出力命令

詳細説明 : レジスタAの内容をブルアップ制御レジスタPU₁へ転送します。

[アルファベット順] 機械語命令一覧 (続き)

TPU2A (Transfer data to register PU2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 0 1 1 1 1	2 2 F	1	1	-	-

機 能 : (PU2) ← (A)

分 類 : 入出力命令

詳細説明: レジスタAの内容をプルアップ制御レジスタPU2へ転送します。

TPU3A (Transfer data to register PU3 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 0 0 0	2 0 8	1	1	-	-

機 能 : (PU3) ← (A)

分 類 : 入出力命令

詳細説明: レジスタAの内容をプルアップ制御レジスタPU3へ転送します。

TR1AB (Transfer data to register R1 from Accumulator and register B)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 1 1 1 1 1 1	2 3 F	1	1	-	-

機 能 : (R17 ~ R14) ← (B)
(R13 ~ R10) ← (A)

分 類 : タイマ操作命令

詳細説明: レジスタBの内容をタイマ1のリロードレジスタR1の上位4ビット(R17 ~ R14)へ、レジスタAの内容をタイマ1のリロードレジスタR1の下位4ビット(R13 ~ R10)へ転送します。

TRGA (Transfer data to register RG from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 0 0 1	2 0 9	1	1	-	-

機 能 : (RG2 ~ RG0) ← (A2 ~ A0)

分 類 : クロック制御命令

詳細説明: レジスタAの下位3ビット(A2 ~ A0)の内容をクロック制御レジスタRGへ転送します。

[アルファベット順] 機械語命令一覧 (続き)

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 1 1 1	2 0 3 F	1	1	-	-
機 能 : (V1) ← (A)		分 類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を割り込み制御レジスタV1へ転送します。			

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 1 1 1 1 1 0	2 0 3 E	1	1	-	-
機 能 : (V2) ← (A)		分 類 : 割り込み制御命令			
		詳細説明 : レジスタAの内容を割り込み制御レジスタV2へ転送します。			

TW1A (Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 1 0	2 2 0 E	1	1	-	-
機 能 : (W1) ← (A)		分 類 : タイマ操作命令			
		詳細説明 : レジスタAの内容をタイマ制御レジスタW1へ転送します。			

TW2A (Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 0 1 1 1 1	2 2 0 F	1	1	-	-
機 能 : (W2) ← (A)		分 類 : タイマ操作命令			
		詳細説明 : レジスタAの内容をタイマ制御レジスタW2へ転送します。			

[アルファベット順] 機械語命令一覧 (続き)

TW3A (Transfer data to register W3 from Accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 0 0 0	2 1 0	1	1	-	-
機能: (W3) ← (A)		分 類: タイマ操作命令			
		詳細説明: レジスタAの内容をタイマ制御レジスタW3へ転送します。			

TW4A (Transfer data to register W4 from Accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 0 0 1	2 1 1	1	1	-	-
機能: (W4) ← (A)		分 類: タイマ操作命令			
		詳細説明: レジスタAの内容をタイマ制御レジスタW4へ転送します。			

TW5A (Transfer data to register W5 from Accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 0 0 0 1 0 0 1 0	2 1 2	1	1	-	-
機能: (W5) ← (A)		分 類: タイマ操作命令			
		詳細説明: レジスタAの内容をタイマ制御レジスタW5へ転送します。			

TYA (Transfer data to register Y from Accumulator)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
0 0 0 0 0 0 1 1 0 0	0 0 C	1	1	-	-
機能: (Y) ← (A)		分 類: レジスタ間転送命令			
		詳細説明: レジスタAの内容をレジスタYへ転送します。			

WRST (Watchdog timer ReSeT)

機械語: D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 0 1 0 0 0 0 0	2 A 0	1	1	-	(WDF1) = 1
機能: (WDF1) = 1 ? (WDF1) ← 0		分 類: その他			
		詳細説明: ウォッチドッグタイマフラグ(WDF1)が“1”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。 “0”ならば、そのまま次の命令を実行します。 また、DWD命令実行直後にWRST命令を実行するとウォッチドッグタイマによるリセット発生機能を停止します。			

[アルファベット順] 機械語命令一覧 (続き)

XAM j (eXchange Accumulator and Memory data)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 1 0 1 j j j j ₂	2 D j ₁₆	1	1	-	-
機 能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15		分 類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 1 1 1 j j j j ₂	2 F j ₁₆	1	1	-	(Y) = 15
機 能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) - 1		分 類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1 し、その結果が “ 15 ” であれば、次の命令をスキップします。“ 15 ” 以外ならば、そのまま次の命令を実行します。			

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

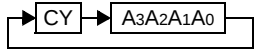
機械語 : D ₉	D ₀	語 数	サイクル数	フラグCY	スキップ条件
1 0 1 1 1 0 j j j j ₂	2 E j ₁₆	1	1	-	(Y) = 0
機 能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) + 1		分 類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1 し、その結果が “ 0 ” であれば、次の命令をスキップします。“ 0 ” 以外ならば、そのまま次の命令を実行します。			

[機能分類別] 機械語命令一覧

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) ← (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) ← (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) ← (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) ← (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E ₇ ~ E ₄) ← (B) (E ₃ ~ E ₀) ← (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) ← (E ₇ ~ E ₄) (A) ← (E ₃ ~ E ₀)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR ₂ ~ DR ₀) ← (A ₂ ~ A ₀)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A ₂ ~ A ₀) ← (DR ₂ ~ DR ₀) (A ₃) ← 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A ₁ , A ₀) ← (Z ₁ , Z ₀) (A ₃ , A ₂) ← 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) ← (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A ₂ ~ A ₀) ← (SP ₂ ~ SP ₀) (A ₃) ← 0
RAMアドレス命令	LXY x, y	1	1	x ₃	x ₂	x ₁	x ₀	y ₃	y ₂	y ₁	y ₀	3 x y	1	1	(X) ← x, x = 0 ~ 15 (Y) ← y, y = 0 ~ 15
	LZ z	0	0	0	1	0	0	1	0	z ₁	z ₀	0 4 8 +z	1	1	(Z) ← z, z = 0 ~ 3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) ← (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) ← (Y) - 1
RAM・レジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) ← (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15 (Y) ← (Y) - 1
	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) ←→ (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15 (Y) ← (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) ← (A) (X) ← (X)EXOR(j), j = 0 ~ 15

スキップ条件	フラグ CY	詳細説明
-	-	レジスタBの内容をレジスタAへ転送します。
-	-	レジスタAの内容をレジスタBへ転送します。
-	-	レジスタYの内容をレジスタAへ転送します。
-	-	レジスタAの内容をレジスタYへ転送します。
-	-	レジスタBの内容をレジスタEの上位4ビット(E7 ~ E4)へ、 レジスタAの内容をレジスタEの下位4ビット(E3 ~ E0)へ転送します。
-	-	レジスタEの上位4ビット(E7 ~ E4)の内容をレジスタBへ、 レジスタEの下位4ビット(E3 ~ E0)の内容をレジスタAへ転送します。
-	-	レジスタAの下位3ビット(A2 ~ A0)の内容をレジスタDへ転送します。
-	-	レジスタDの内容をレジスタAの下位3ビット(A2 ~ A0)へ転送します。 レジスタAの最上位ビット(A3)は“0”になります。
-	-	レジスタZの内容をレジスタAの下位2ビット(A1, A0)へ転送します。 レジスタAの上位2ビット(A3, A2)は“0”になります。
-	-	レジスタXの内容をレジスタAへ転送します。
-	-	スタックポインタ(SP)の内容をレジスタAの下位3ビット(A2 ~ A0)へ転送します。 レジスタAの最上位ビット(A3)は“0”になります。
連続記述	-	イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロード します。 LXY命令を連続記述し実行した場合は、最初に実行したLXY命令を除き、以下に連続記述されたLXY命令 はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップしま す。 “0”以外ならば、そのまま次の命令を実行します。
(Y) = 15	-	レジスタYの内容を-1します。その結果、レジスタYの内容が“15”であれば、次の命令をスキップしま す。 “15”以外ならば、そのまま次の命令を実行します。
-	-	M(DP)の内容をレジスタAへ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的 論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの 排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの 排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を-1し、その結果が “15”であれば、次の命令をスキップします。“15”以外ならば、そのまま次の命令を実行します。
(Y) = 0	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの 排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を+1し、その結果が “0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。
-	-	レジスタAの内容をM(DP)転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論 理和をとり、その結果をレジスタXに格納します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) ← n、n = 0 ~ 15
	TABP p	0	0	1	0	p5	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← p (注) (B) ← (ROM(PC)) _{7 ~ 4} (A) ← (ROM(PC)) _{3 ~ 0} (UPTF) = 1 のとき、 (DR ₁ 、DR ₀) ← (ROM(PC)) _{9、8} (DR ₂) ← 0 (PC) ← (SK(SP)) (SP) ← (SP) - 1
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) ← (A) + (M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ
	A n	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) ← (A) + n、n = 0 ~ 15
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) ← (A)AND(M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) ← (A)OR(M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) ← 1
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) ← 0
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0 ?
ビット操作命令	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) ← $\overline{(A)}$
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	
	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) ← 1、j = 0 ~ 3
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) ← 0、j = 0 ~ 3
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP)) = 0 ?、j = 0 ~ 3

注. M3455AG8 の場合 p=0 ~ 63、M3455AGC の場合 p=0 ~ 95 です。

スキップ条件	フラグ CY	詳細説明
連続記述	-	イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。
-	-	pページのレジスタDとレジスタAの内容で指定された(DR2 DR1 DR0 A3 A2 A1 A0)2番地のROMパターンのうち、ビット7～4をレジスタBへ、ビット3～0をレジスタAへ転送します。 上位ビット参照許可フラグUPTFの内容が“1”のときは、ROMパターンのビット9、8をレジスタDの下位2ビット(DR1、DR0)へ転送し、レジスタDの最上位ビット(DR2)は“0”になります。 この命令を実行するときは、スタックレジスタ(SK)を1段使用します。
-	-	レジスタAの内容にM(DP)の内容を加えます。その結果はレジスタAに格納されます。 キャリフラグの内容は変化しません。
-	0/1	レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。
オーバーフロー = 0	-	レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。 キャリフラグ(CY)の内容は変化しません。加算の結果、オーバーフローするとそのまま次の命令を実行します。 オーバーフローしなければ次の命令をスキップします。
-	-	レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。
-	-	レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。
-	1	キャリフラグ(CY)をセット(1)します。
-	0	キャリフラグ(CY)をクリア(0)します。
(CY) = 0	-	キャリフラグ(CY)の内容が“0”のとき、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。 スキップ後もフラグCYは変化しません。
-	-	レジスタAの内容の1の補数をレジスタAに格納します。
-	0/1	キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。
-	-	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。
-	-	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。
(Mj(DP)) = 0 ただし、j = 0～3	-	M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が“0”であれば、次の命令をスキップします。“1”ならば、そのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP)) ?
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n ?、n = 0 ~ 15
		0	0	0	1	1	1	n	n	n	n	0 7 n			
ブランチ命令	B a	0	1	1	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1 8 a +a	1	1	(PC _L) ← a ₆ ~ a ₀
	BL p、a	0	0	1	1	1	p ₄	p ₃	p ₂	p ₁	p ₀	0 E p +p	2	2	(PC _H) ← p (注) (PC _L) ← a ₆ ~ a ₀
		1	p ₆	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	2 a a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PC _H) ← p (注) (PC _L) ← (DR ₂ ~ DR ₀ 、A ₃ ~ A ₀)
		1	p ₆	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	2 p p			
サブリーチン呼び出し命令	BM a	0	1	0	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	1 a a	1	1	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← 2 (PC _L) ← a ₆ ~ a ₀
	BML p、a	0	0	1	1	0	p ₄	p ₃	p ₂	p ₁	p ₀	0 C p +p	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← p (注) (PC _L) ← a ₆ ~ a ₀
		1	p ₆	p ₅	a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	2 a a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← p (注) (PC _L) ← (DR ₂ ~ DR ₀ 、A ₃ ~ A ₀)
		1	p ₆	p ₅	p ₄	0	0	p ₃	p ₂	p ₁	p ₀	2 p p			
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1

注. M3455AG8の場合p=0 ~ 63、p6=0、M3455AGCの場合p=0 ~ 95です。

スキップ条件	フ ラ グ CY	詳細説明
(A) = (M(DP))	-	レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
(A) = n ただし、n = 0 ~ 15	-	レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
-	-	ページ内ブランチ：同一ページのa番地へブランチします。
-	-	ページ外ブランチ：pページのa番地へブランチします。
-	-	ページ外ブランチ：pページのレジスタDとレジスタAの内容で示された(DR2 DR1 DR0 A3 A2 A1 A0) ₂ 番地へブランチします。
-	-	2ページのサブルーチン呼び出し：2ページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し：pページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し：pページのレジスタDとレジスタAの内容で指定された(DR2 DR1 DR0 A3 A2 A1 A0) ₂ 番地のサブルーチンを読み出します。
-	-	割り込み処理ルーチンからメインルーチンへ戻ります。 データポインタ(X, Y, Z)、キャリフラグCY、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。
-	-	サブルーチンから、このサブルーチンを読み出したルーチンへ戻ります。
無条件スキップ	-	サブルーチンから、このサブルーチンを読み出したルーチンへ戻り、次の命令を無条件にスキップします。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) ← 0
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) ← 1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10 = 0 : (EXF0) = 1 ? (EXF0) ← 0 V10 = 1 : SNZ0 = NOP
	SNZI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 0 : (INT) = “ L ” ? I12 = 1 : (INT) = “ H ” ?
	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) ← (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) ← (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) ← (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) ← (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) ← (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) ← (A)
タイム操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2 A A	1	1	(PA) ← (A)
	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) ← (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) ← (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) ← (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) ← (A)
	TAW3	1	0	0	1	0	0	1	1	0	1	2 4 D	1	1	(A) ← (W3)
	TW3A	1	0	0	0	0	1	0	0	0	0	2 1 0	1	1	(W3) ← (A)
	TAW4	1	0	0	1	0	0	1	1	1	0	2 4 E	1	1	(A) ← (W4)
	TW4A	1	0	0	0	0	1	0	0	0	1	2 1 1	1	1	(W4) ← (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2 4 F	1	1	(A) ← (W5)
	TW5A	1	0	0	0	0	1	0	0	1	0	2 1 2	1	1	(W5) ← (A)

スキップ条件	フ ラ グ CY	詳細説明能
-	-	割り込み許可フラグ (INTE) をクリア (0) し、割り込み発生禁止状態にします。
-	-	割り込み許可フラグ (INTE) をセット (1) し、割り込み発生可能状態にします。
V10 = 0 : (EXF0) = 1	-	割り込み制御レジスタ V1 のビット 0 (V10) の内容が “ 0 ” のときは、外部 0 割り込み要求フラグ (EXF0) が “ 1 ” であれば、フラグ EXF0 をクリア (0) し、次の命令をスキップします。 フラグ EXF0 が “ 0 ” ならば、そのまま次の命令を実行します。 割り込み制御レジスタ V1 のビット 0 (V10) の内容が “ 1 ” のときは、この命令は NOP 命令と等価になります。
I12 = 0 : (INT) = “ L ”	-	割り込み制御レジスタ I1 のビット 2 (I12) の内容が “ 0 ” のときは、INT 端子のレベルが、 “ L ” であれば次の命令をスキップし、 “ H ” ならばそのまま次の命令を実行します。
I12 = 1 : (INT) = “ H ”	-	割り込み制御レジスタ I1 のビット 2 (I12) の内容が “ 1 ” のときは、INT 端子のレベルが、 “ H ” であれば次の命令をスキップし、 “ L ” ならばそのまま次の命令を実行します。
-	-	割り込み制御レジスタ V1 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容を割り込み制御レジスタ V1 へ転送します。
-	-	割り込み制御レジスタ V2 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容を割り込み制御レジスタ V2 へ転送します。
-	-	割り込み制御レジスタ I1 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容を割り込み制御レジスタ I1 へ転送します。
-	-	レジスタ A の最下位ビット (A0) の内容をタイマ制御レジスタ PA へ転送します。
-	-	タイマ制御レジスタ W1 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容をタイマ制御レジスタ W1 へ転送します。
-	-	タイマ制御レジスタ W2 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容をタイマ制御レジスタ W2 へ転送します。
-	-	タイマ制御レジスタ W3 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容をタイマ制御レジスタ W3 へ転送します。
-	-	タイマ制御レジスタ W4 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容をタイマ制御レジスタ W4 へ転送します。
-	-	タイマ制御レジスタ W5 の内容をレジスタ A へ転送します。
-	-	レジスタ A の内容をタイマ制御レジスタ W5 へ転送します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	16進表記			
タイム操作命令	TABPS	1	0	0	1	1	1	0	1	0	1	2 7 5	1	1	(B) ← (TPS ₇ ~ TPS ₄) (A) ← (TPS ₃ ~ TPS ₀)
	TPSAB	1	0	0	0	1	1	0	1	0	1	2 3 5	1	1	(RPS ₇ ~ RPS ₄) ← (B) (TPS ₇ ~ TPS ₄) ← (B) (RPS ₃ ~ RPS ₀) ← (A) (TPS ₃ ~ TPS ₀) ← (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(B) ← (T1 ₇ ~ T1 ₄) (A) ← (T1 ₃ ~ T1 ₀)
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	(R1 ₇ ~ R1 ₄) ← (B) (T1 ₇ ~ T1 ₄) ← (B) (R1 ₃ ~ R1 ₀) ← (A) (T1 ₃ ~ T1 ₀) ← (A)
	TR1AB	1	0	0	0	1	1	1	1	1	1	2 3 F	1	1	(R1 ₇ ~ R1 ₄) ← (B) (R1 ₃ ~ R1 ₀) ← (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B) ← (T2 ₇ ~ T2 ₄) (A) ← (T2 ₃ ~ T2 ₀)
	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(R2L ₇ ~ R2L ₄) ← (B) (T2 ₇ ~ T2 ₄) ← (B) (R2L ₃ ~ R2L ₀) ← (A) (T2 ₃ ~ T2 ₀) ← (A)
	T2HAB	1	0	1	0	0	1	0	1	0	0	2 9 4	1	1	(R2H ₇ ~ R2H ₄) ← (B) (R2H ₃ ~ R2H ₀) ← (A)
	T2R2L	1	0	1	0	0	1	0	1	0	1	2 9 5	1	1	(T2) ← (R2L)
	TLCA	1	0	0	0	0	0	1	1	0	1	2 0 D	1	1	(RLC) ← (A) (TLC) ← (A)
	SNZT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V1 ₂ = 0 : (T1F) = 1 ? (T1F) ← 0 V1 ₂ = 1 : SNZT1=NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V1 ₃ = 0 : (T2F) = 1 ? (T2F) ← 0 V1 ₃ = 1 : SNZT2=NOP
	SNZT3	1	0	1	0	0	0	0	0	1	0	2 8 2	1	1	V2 ₀ = 0 : (T3F) = 1 ? (T3F) ← 0 V2 ₀ = 1 : SNZT3=NOP

スキップ条件	フ ラ グ CY	詳細説明
-	-	プリスケアラの上位4ビット (TPS ₇ ~ TPS ₄)の内容をレジスタBへ、 プリスケアラの下位4ビット (TPS ₃ ~ TPS ₀)の内容をレジスタAへ転送します。
-	-	レジスタBの内容をプリスケアラの上位4ビット (TPS ₇ ~ TPS ₄)とプリスケアラのリロードレジスタRPSの 上位4ビット (RPS ₇ ~ RPS ₄)へ、レジスタAの内容をプリスケアラの下位4ビット (TPS ₃ ~ TPS ₀)とプリ スケアラのリロードレジスタRPSの下位4ビット (RPS ₃ ~ RPS ₀)へ転送します。
-	-	タイマ1の上位4ビット (T1 ₇ ~ T1 ₄)の内容をレジスタBへ、 タイマ1の下位4ビット (T1 ₃ ~ T1 ₀)の内容をレジスタAへ転送します。
-	-	レジスタBの内容をタイマ1の上位4ビット (T1 ₇ ~ T1 ₄)とタイマ1のリロードレジスタR1の上位4ビット (R1 ₇ ~ R1 ₄)へ、レジスタAの内容をタイマ1の下位4ビット (T1 ₃ ~ T1 ₀)とタイマ1のリロードレジスタR1L の下位4ビット (R1 ₃ ~ R1 ₀)へ転送します。
-	-	レジスタBの内容を、タイマ1のリロードレジスタR1の上位4ビット (R1 ₇ ~ R1 ₄)へ転送し、 レジスタAの内容を、タイマ1のリロードレジスタR1の下位4ビット (R1 ₃ ~ R1 ₀)へ転送します。
-	-	タイマ2の上位4ビット (T2 ₇ ~ T2 ₄)の内容をレジスタBへ、 タイマ2の下位4ビット (T2 ₃ ~ T2 ₀)の内容をレジスタAへ転送します。
-	-	レジスタBの内容をタイマ2の上位4ビット (T2 ₇ ~ T2 ₄)とタイマ2のリロードレジスタR2Lの上位4ビット (R2L ₇ ~ R2L ₄)へ、レジスタAの内容をタイマ2の下位4ビット (T2 ₃ ~ T2 ₀)とタイマ2のリロードレジスタ R2Lの下位4ビット (R2L ₃ ~ R2L ₀)へ転送します。
-	-	レジスタBの内容を、タイマ2のリロードレジスタR2Hの上位4ビット (R2H ₇ ~ R2H ₄)へ転送し、 レジスタAの内容を、タイマ2のリロードレジスタR2Hの下位4ビット (R2H ₃ ~ R2H ₀)へ転送します。
-	-	タイマ2のリロードレジスタR2Lの内容を、タイマ2へ転送します。
-	-	レジスタAの内容を、タイマLCとタイマLCのリロードレジスタRLCへ転送します。
V12 = 0 : (T1F) = 1	-	割り込み制御レジスタV1のビット2(V1 ₂)の内容が “ 0 ” のときは、タイマ1割り込み要求フラグ(T1F)が “ 1 ” であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。 フラグT1Fが “ 0 ” ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V1 ₂)の内容が “ 1 ” のときは、この命令はNOP命令と等価になります。
V13 = 0 : (T2F) = 1	-	割り込み制御レジスタV1のビット3(V1 ₃)の内容が “ 0 ” のときは、タイマ2割り込み要求フラグ(T2F)が “ 1 ” であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。 フラグT2Fが “ 0 ” ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V1 ₃)の内容が “ 1 ” のときは、この命令はNOP命令と等価になります。
V20 = 0 : (T3F) = 1	-	割り込み制御レジスタV2のビット0(V2 ₀)の内容が “ 0 ” のときは、タイマ3割り込み要求フラグ(T3F)が “ 1 ” であれば、フラグT3Fをクリア(0)し、次の命令をスキップします。 フラグT3Fが “ 0 ” ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット0(V2 ₀)の内容が “ 1 ” のときは、この命令はNOP命令と等価になります。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) ← (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) ← (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) ← (P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) ← (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A) ← (P2)
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P2) ← (A)
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A) ← (P3)
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P3) ← (A)
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) ← 1
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) ← 0、(Y) = 0 ~ 7
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) ← 1、(Y) = 0 ~ 7
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y)) = 0 ?、(Y) = 0 ~ 5
		0	0	0	0	1	0	1	0	1	1	0 2 B			
	RCP	1	0	1	0	0	0	1	1	0	0	2 8 C	1	1	(C) ← 0
	SCP	1	0	1	0	0	0	1	1	0	1	2 8 D	1	1	(C) ← 1
	TFR0A	1	0	0	0	1	0	1	0	0	0	2 2 8	1	1	(FR0) ← (A)
	TFR1A	1	0	0	0	1	0	1	0	0	1	2 2 9	1	1	(FR1) ← (A)
	TFR2A	1	0	0	0	1	0	1	0	1	0	2 2 A	1	1	(FR2) ← (A)
	TFR3A	1	0	0	0	1	0	1	0	1	1	2 2 B	1	1	(FR3) ← (A)
	TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) ← (PU0)
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) ← (A)
	TAPU1	1	0	0	1	0	1	1	1	1	0	2 5 E	1	1	(A) ← (PU1)
	TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) ← (A)
	TAPU2	1	0	0	1	0	1	1	1	1	1	2 5 F	1	1	(A) ← (PU2)
	TPU2A	1	0	0	0	1	0	1	1	1	1	2 2 F	1	1	(PU2) ← (A)
	TAPU3	1	0	0	1	0	1	1	1	0	1	2 5 D	1	1	(A) ← (PU3)
	TPU3A	1	0	0	0	0	0	1	0	0	0	2 0 8	1	1	(PU3) ← (A)

スキップ条件	フ ラ グ CY	詳細説明
(D(Y)) = 0 Y = 0 ~ 5	-	ポートP0の入力を、レジスタAへ転送します。
	-	レジスタAの内容をポートP0へ出力します。
	-	ポートP1の入力を、レジスタAへ転送します。
	-	レジスタAの内容をポートP1へ出力します。
	-	ポートP2の入力を、レジスタAへ転送します。
	-	レジスタAの内容をポートP2へ出力します。
	-	ポートP3の入力を、レジスタAへ転送します。
	-	レジスタAの内容をポートP3へ出力します。
	-	ポートDをすべてセット(1)します。
	-	ポートDのレジスタYの内容で指定されたポートをクリア(0)します。
	-	ポートDのレジスタYの内容で指定されたポートをセット(1)します。
	-	ポートDのレジスタYの内容で指定されたポートの内容が“ 0 ” であれば、次の命令をスキップします。 “ 1 ” ならば、そのまま次の命令を実行します。
	-	ポートCをクリア(0)します。
	-	ポートCをセット(1)します。
	-	レジスタAの内容をポート出力形式制御レジスタFR0へ転送します。
	-	レジスタAの内容をポート出力形式制御レジスタFR1へ転送します。
	-	レジスタAの内容をポート出力形式制御レジスタFR2へ転送します。
	-	レジスタAの内容をポート出力形式制御レジスタFR3へ転送します。
	-	プルアップ制御レジスタPU0の内容をレジスタAへ転送します。
	-	レジスタAの内容をプルアップ制御レジスタPU0へ転送します。
	-	プルアップ制御レジスタPU1の内容をレジスタAへ転送します。
	-	レジスタAの内容をプルアップ制御レジスタPU1へ転送します。
	-	プルアップ制御レジスタPU2の内容を、レジスタAへ転送します。
	-	レジスタAの内容をプルアップ制御レジスタPU2へ転送します。
	-	プルアップ制御レジスタPU3の内容を、レジスタAへ転送します。
	-	レジスタAの内容をプルアップ制御レジスタPU3へ転送します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) ← (K0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) ← (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) ← (K1)
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) ← (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) ← (K2)
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) ← (A)
	TAK3	1	0	0	1	0	1	1	0	1	1	2 5 B	1	1	(A) ← (K3)
	TK3A	1	0	0	0	1	0	1	1	0	0	2 2 C	1	1	(K3) ← (A)
LCD制御命令	TAL1	1	0	0	1	0	0	1	0	1	0	2 4 A	1	1	(A) ← (L1)
	TL1A	1	0	0	0	0	0	1	0	1	0	2 0 A	1	1	(L1) ← (A)
	TL2A	1	0	0	0	0	0	1	0	1	1	2 0 B	1	1	(L2) ← (A)
	TL3A	1	0	0	0	0	0	1	1	0	0	2 0 C	1	1	(L3) ← (A)
	TC1A	1	0	1	0	1	0	1	0	0	0	2 A 8	1	1	(C1) ← (A)
	TC2A	1	0	1	0	1	0	1	0	0	1	2 A 9	1	1	(C2) ← (A)
	TC3A	1	0	0	0	1	0	0	1	1	0	2 2 6	1	1	(C3) ← (A)
クロック制御命令	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) ← (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) ← (A)
	TRGA	1	0	0	0	0	0	1	0	0	1	2 0 9	1	1	(RG2 ~ RG0) ← (A2 ~ A0)

スキップ条件	フ ラ グ CY	詳細説明
- - - - - - - -	- - - - - - - -	キーオンウェイクアップ制御レジスタK0の内容をレジスタAへ転送します。 レジスタAの内容をキーオンウェイクアップ制御レジスタK0へ転送します。 キーオンウェイクアップ制御レジスタK1の内容をレジスタAへ転送します。 レジスタAの内容をキーオンウェイクアップ制御レジスタK1へ転送します。 キーオンウェイクアップ制御レジスタK2の内容をレジスタAへ転送します。 レジスタAの内容をキーオンウェイクアップ制御レジスタK2へ転送します。 キーオンウェイクアップ制御レジスタK3の内容をレジスタAへ転送します。 レジスタAの内容をキーオンウェイクアップ制御レジスタK3へ転送します。
- - - - - - -	- - - - - - -	LCD制御レジスタL1の内容をレジスタAへ転送します。 レジスタAの内容をLCD制御レジスタL1へ転送します。 レジスタAの内容をLCD制御レジスタL2へ転送します。 レジスタAの内容をLCD制御レジスタL3へ転送します。 レジスタAの内容をLCD制御レジスタC1へ転送します。 レジスタAの内容をLCD制御レジスタC2へ転送します。 レジスタAの内容をLCD制御レジスタC3へ転送します。
- - -	- - -	クロック制御レジスタMRの内容をレジスタAへ転送します。 レジスタAの内容をクロック制御レジスタMRへ転送します。 レジスタAの下位3ビット(A ₂ ~ A ₀)内容をクロック制御レジスタRGへ転送します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
その他	NOP	0	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) ← (PC) + 1
	POF	0	0	0	0	0	0	0	0	1	0	0 0 2	1	1	時計動作モードへ遷移
	POF2	0	0	0	0	0	0	1	0	0	0	0 0 8	1	1	RAMバックアップモードへ遷移
	EPOF	0	0	0	1	0	1	1	0	1	1	0 5 B	1	1	POF 命令、POF2 命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0 0 3	1	1	(P) = 1 ?
	WRST	1	0	1	0	1	0	0	0	0	0	2 A 0	1	1	(WDF1) = 1 ? (WDF1) ← 0
	DWDT	1	0	1	0	0	1	1	1	0	0	2 9 C	1	1	ウォッチドッグタイマ機能停止許可
	SRST	0	0	0	0	0	0	0	0	0	1	0 0 1	1	1	システムリセット
	RUPT	0	0	0	1	0	1	1	0	0	0	0 5 8	1	1	(UPTF) ← 0
	SUPT	0	0	0	1	0	1	1	0	0	1	0 5 9	1	1	(UPTF) ← 1
	SVDE	1	0	1	0	0	1	0	0	1	1	2 9 3	1	1	パワーダウン時：電圧低下検出回路有効
	SNZVD	1	0	1	0	0	0	1	0	1	0	2 8 A	1	1	(VDF) = 1 ?
	RBK(注1)	0	0	0	1	0	0	0	0	0	0	0 4 0	1	1	TABPp 命令実行時：p6 ← 0
	SBK(注1)	0	0	0	1	0	0	0	0	0	1	0 4 1	1	1	TABPp 命令実行時：p6 ← 1

注1. M3455AG8では、RBK、SBK 命令は使用できません。M3455AGCでは、SBK 命令実行後、参照できるページは 64 ~ 95 ページになります。

スキップ条件	フ ラ グ CY	詳細説明
-	-	ノーオペレーション：プログラムカウンタの値を + 1 します。他は変化しません。
-	-	EPOF 命令実行直後に POF 命令を実行すると、本製品は時計動作モードになります。
-	-	EPOF 命令実行直後に POF2 命令を実行すると、本製品は RAM バックアップモードになります。
-	-	EPOF 命令を実行すると、直後の POF 命令又は POF2 命令が有効になります。
(P) = 1	-	パワーダウンフラグ(P)の内容が、“1”であれば次の命令をスキップし、“0”ならばそのまま次の命令を実行します。スキップ後もフラグPの内容は変化しません。
(WDF1) = 1	-	ウォッチドッグタイマフラグ(WDF1)が“1”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。“0”ならば、そのまま次の命令を実行します。また、DWDT 命令実行直後に WRST 命令を実行すると、ウォッチドッグタイマによるリセット発生機能を無効にします。
-	-	DWDT 命令を実行すると、直後の WRST 命令によりウォッチドッグタイマ機能を停止することができます。
-	-	システムリセットが発生します。
-	-	上位ビット参照許可フラグ UPTF をクリア (0) します。
-	-	上位ビット参照許可フラグ UPTF をセット (1) します。
-	-	パワーダウン (時計動作モード、RAM バックアップモード) 時に電圧低下検出回路を有効にします。
(VDF) = 1	-	電圧低下検出回路フラグ (VDF) が “1” であれば、次の命令をスキップし、フラグ VDF が “0” ならば、そのまま次の命令を実行します。スキップ後もフラグ VDF の内容は変化しません。
-	-	TABPp 命令実行時に参照するデータ領域を 0 ~ 63 ページに設定します。 この命令は TABPp 命令に対してのみ有効です。
-	-	TABPp 命令実行時に参照するデータ領域を 64 ~ 127 ページに設定します。 この命令は TABPp 命令に対してのみ有効です。

命令コード対応表

D ₃ ~ D ₀	16進 表記	D ₉ ~ D ₄																010000 101011	011000 101111
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10 ~ 17	18 ~ 1F
0000	0	NOP	BLA	SZB 0	BMLA	RBK**	TASP	A 0	LA 0	TABP 0	TABP 16	TABP 32*	TABP 48*	BML	BML	BL	BL	BM	B
0001	1	SRST	CLD	SZB 1	-	SBK**	TAD	A 1	LA 1	TABP 1	TABP 17	TABP 33*	TABP 49*	BML	BML	BL	BL	BM	B
0010	2	POF	-	SZB 2	-	-	TAX	A 2	LA 2	TABP 2	TABP 18	TABP 34*	TABP 50*	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3	-	-	TAZ	A 3	LA 3	TABP 3	TABP 19	TABP 35*	TABP 51*	BML	BML	BL	BL	BM	B
0100	4	DI	RD	SZD	-	RT	TAV1	A 4	LA 4	TABP 4	TABP 20	TABP 36*	TABP 52*	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn	-	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21	TABP 37*	TABP 53*	BML	BML	BL	BL	BM	B
0110	6	RC	-	SEAM	-	RTI	-	A 6	LA 6	TABP 6	TABP 22	TABP 38*	TABP 54*	BML	BML	BL	BL	BM	B
0111	7	SC	DEY	-	-	-	-	A 7	LA 7	TABP 7	TABP 23	TABP 39*	TABP 55*	BML	BML	BL	BL	BM	B
1000	8	POF2	AND	-	SNZ0	LZ 0	RUPT	A 8	LA 8	TABP 8	TABP 24	TABP 40*	TABP 56*	BML	BML	BL	BL	BM	B
1001	9	-	OR	TDA	-	LZ 1	SUPT	A 9	LA 9	TABP 9	TABP 25	TABP 41*	TABP 57*	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZ10	LZ 2	-	A 10	LA 10	TABP 10	TABP 26	TABP 42*	TABP 58*	BML	BML	BL	BL	BM	B
1011	B	AMC	-	-	-	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27	TABP 43*	TABP 59*	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA	-	-	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28	TABP 44*	TABP 60*	BML	BML	BL	BL	BM	B
1101	D	-	RAR	-	-	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29	TABP 45*	TABP 61*	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB	-	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30	TABP 46*	TABP 62*	BML	BML	BL	BL	BM	B
1111	F	-	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31	TABP 47*	TABP 63*	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D₃ ~ D₀は機械語コードの下位4ビットを示し、D₉ ~ D₄は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したもの併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注：“-”で示しているコードは使用しないでください。

第2語	
BL	10 paaa aaaa
BML	10 paaa aaaa
BLA	10 pp00 pppp
BMLA	10 pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

- ・ M3455AG8では、**(SBK, RBK 命令)は使用できません。
- ・ M3455AGCでは、SBK 命令後には*は使用できません。
- ・ M3455AGCのTABP 命令は、SBK, RBK 命令で参照するページを切り替えることができます。
- ・ M3455AGCはSBK 命令実行後、TABP 命令で参照できるページは64 ~ 95になります。
- ・ RBK 命令実行後、TABP 命令で参照できるページは0 ~ 63になります。
- ・ SBK 命令を実行しなければ、TABP 命令で参照できるページは常に0 ~ 63になります。

命令コード対応表

D ₉ ~ D ₄	D ₃ ~ D ₀	16進 表記																110000 111111
		100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111	30 ~ 3F
0000	0	-	TW3A	OP0A	T1AB	-	-	IAP0	TAB1	SNZT1	-	WRST	TMA 0	TAM 0	XAM 0	XAMI 0	XAMD 0	LXY
0001	1	-	TW4A	OP1A	T2AB	-	-	IAP1	TAB2	SNZT2	-	-	TMA 1	TAM 1	XAM 1	XAMI 1	XAMD 1	LXY
0010	2	-	TW5A	OP2A	-	-	TAMR	IAP2	-	SNZT3	-	-	TMA 2	TAM 2	XAM 2	XAMI 2	XAMD 2	LXY
0011	3	-	-	OP3A	-	-	TAI1	IAP3	-	-	SVDE	-	TMA 3	TAM 3	XAM 3	XAMI 3	XAMD 3	LXY
0100	4	-	TK1A	-	-	-	-	-	-	-	T2HAB	-	TMA 4	TAM 4	XAM 4	XAMI 4	XAMD 4	LXY
0101	5	-	TK2A	-	TPSAB	-	-	-	TABPS	-	T2R2L	-	TMA 5	TAM 5	XAM 5	XAMI 5	XAMD 5	LXY
0110	6	-	TMRA	TC3A	-	-	TAK0	-	-	-	-	-	TMA 6	TAM 6	XAM 6	XAMI 6	XAMD 6	LXY
0111	7	-	TI1A	-	-	-	TAPU0	-	-	-	-	-	TMA 7	TAM 7	XAM 7	XAMI 7	XAMD 7	LXY
1000	8	TPU3A	-	TFR0A	-	-	-	-	-	-	-	TC1A	TMA 8	TAM 8	XAM 8	XAMI 8	XAMD 8	LXY
1001	9	TRGA	-	TFR1A	-	-	TAK1	-	-	-	-	TC2A	TMA 9	TAM 9	XAM 9	XAMI 9	XAMD 9	LXY
1010	A	TL1A	-	TFR2A	-	TAL1	TAK2	-	-	SNZVD	-	TPAA	TMA 10	TAM 10	XAM 10	XAMI 10	XAMD 10	LXY
1011	B	TL2A	TK0A	TFR3A	-	TAW1	TAK3	-	-	-	-	-	TMA 11	TAM 11	XAM 11	XAMI 11	XAMD 11	LXY
1100	C	TL3A	-	TK3A	-	TAW2	-	-	-	RCP	DWDT	-	TMA 12	TAM 12	XAM 12	XAMI 12	XAMD 12	LXY
1101	D	TLCA	-	TPU0A	-	TAW3	TAPU3	-	-	SCP	-	-	TMA 13	TAM 13	XAM 13	XAMI 13	XAMD 13	LXY
1110	E	TW1A	-	TPU1A	-	TAW4	TAPU1	-	-	-	-	-	TMA 14	TAM 14	XAM 14	XAMI 14	XAMD 14	LXY
1111	F	TW2A	-	TPU2A	TR1AB	TAW5	TAPU2	-	-	-	-	-	TMA 15	TAM 15	XAM 15	XAMI 15	XAMD 15	LXY

上表は機械語コードと機械語命令の対応表です。D₃ ~ D₀は機械語コードの下位4ビットを示し、D₉ ~ D₄は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注.“ - ”で示しているコードは使用しないでください。

	第2語
BL	10 paaa aaaa
BML	10 paaa aaaa
BLA	10 pp00 pppp
BMLA	10 pp00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

電気的特性

絶対最大定格

表 30. 絶対最大定格

記 号	項 目	条 件	定 格 値	単 位
V _{DD}	電源電圧	-	- 0.3 ~ 6.5	V
V _I	入力電圧 P0、P1、P2、P3、D0 ~ D7、 $\overline{\text{RESET}}$ 、 X _{IN} 、X _{CIN} 、INT、CNTR	-	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 P0、P1、P2、P3、D0 ~ D7、 $\overline{\text{RESET}}$	出力トランジスタ遮断状態	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 C/CNTR、X _{OUT} 、X _{COUT}	-	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 SEG0 ~ SEG31、COM0 ~ COM3	-	- 0.3 ~ V _{DD} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	
T _{stg}	保存温度	-	- 40 ~ 125	

推奨動作条件

表 31. 推奨動作条件 1 (指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	条 件	規 格 値			単位
			最小	標準	最大	
V _{DD}	電源電圧 (セラミック共振使用時)	f(STCK) 6MHz	4		5.5	V
		f(STCK) 4.4MHz	2.7		5.5	
		f(STCK) 2.2MHz	2		5.5	
		f(STCK) 1.1MHz	1.8		5.5	
V _{DD}	電源電圧 (外部クロック使用時)	f(STCK) 4.8MHz	4		5.5	V
		f(STCK) 3.2MHz	2.7		5.5	
		f(STCK) 1.6MHz	2		5.5	
		f(STCK) 0.8MHz	1.8		5.5	
V _{DD}	電源電圧 (水晶発振使用時)	f(STCK) 50kHz	1.8		5.5	V
V _{DD}	電源電圧 (低速/高速オンチップオシレータ使用時)		1.8		5.5	V
V _{RAM}	RAM保持電圧	RAMバックアップモード	1.6		5.5	V
V _{SS}	電源電圧			0		V
V _{LC3}	LCD 電源電圧 (注1)		1.8		V _{DD}	V
V _{IH}	“H” 入力電圧	P0、P1、P2、P3、D0 ~ D7	0.8V _{DD}		V _{DD}	V
		X _{IN} 、X _{CIN}	0.7V _{DD}		V _{DD}	
		RESET	0.85V _{DD}		V _{DD}	
		INT	0.85V _{DD}		V _{DD}	
		CNTR	0.8V _{DD}		V _{DD}	
V _{IL}	“L” 入力電圧	P0、P1、P2、P3、D0 ~ D7	0		0.2V _{DD}	V
		X _{IN} 、X _{CIN}	0		0.3V _{DD}	
		RESET	0		0.3V _{DD}	
		INT	0		0.15V _{DD}	
		CNTR	0		0.15V _{DD}	
I _{OH(peak)}	“H” レベル尖塔出力電流	P0、P1、P2、P3、D0 ~ D5	V _{DD} = 5V		- 20	mA
			V _{DD} = 3V		- 10	
		C/CNTR	V _{DD} = 5V		- 30	
			V _{DD} = 3V		- 15	
I _{OH(avg)}	“H” レベル平均出力電流 (注2)	P0、P1、P2、P3、D0 ~ D5	V _{DD} = 5V		- 10	mA
			V _{DD} = 3V		- 5	
		C/CNTR	V _{DD} = 5V		- 20	
			V _{DD} = 3V		- 10	
I _{OL(peak)}	“L” レベル尖塔出力電流	P0、P1、P2、P3、D0 ~ D7、C/CNTR	V _{DD} = 5V		24	mA
			V _{DD} = 3V		12	
		RESET	V _{DD} = 5V		10	
			V _{DD} = 3V		4	
I _{OL(avg)}	“L” レベル平均出力電流 (注2)	P0、P1、P2、P3、D0 ~ D7、C/CNTR	V _{DD} = 5V		15	mA
			V _{DD} = 3V		7	
		RESET	V _{DD} = 5V		5	
			V _{DD} = 3V		2	
Σ I _{OH(avg)}	“H” レベル総電流	P0、C/CNTR			- 40	mA
		P1、P2、P3、D0 ~ D5			- 40	
Σ I _{OL(avg)}	“L” レベル総電流	P0、C/CNTR			40	mA
		P1、P2、P3、D0 ~ D7、RESET			40	

注1. 1 / 2 バイアス使用時: $V_{LC1} = V_{LC2} = (1 / 2) \cdot V_{LC3}$ 1 / 3 バイアス使用時: $V_{LC1} = (1 / 3) \cdot V_{LC3}$ 、 $V_{LC2} = (2 / 3) \cdot V_{LC3}$

注2. 平均出力電流は、100msの期間の平均値です。

表32. 推奨動作条件2 (指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	条 件	規 格 値			単位
			最小	標準	最大	
f(XIN)	発振周波数 (セラミック共振使用時)	f(STCK) = f(XIN)	$V_{DD} = 4 \sim 5.5V$		6	MHz
			$V_{DD} = 2.7 \sim 5.5V$		4.4	
			$V_{DD} = 2 \sim 5.5V$		2.2	
			$V_{DD} = 1.8 \sim 5.5V$		1.1	
		f(STCK) = f(XIN)/2	$V_{DD} = 2.7 \sim 5.5V$		6	
			$V_{DD} = 2 \sim 5.5V$		4.4	
			$V_{DD} = 1.8 \sim 5.5V$		2.2	
		f(STCK) = f(XIN)/4, f(XIN)/8	$V_{DD} = 2 \sim 5.5V$		6	
f(XIN)	発振周波数 (外部クロック使用時)	f(STCK) = f(XIN)	$V_{DD} = 4 \sim 5.5V$		4.8	MHz
			$V_{DD} = 2.7 \sim 5.5V$		3.2	
			$V_{DD} = 2 \sim 5.5V$		1.6	
			$V_{DD} = 1.8 \sim 5.5V$		0.8	
		f(STCK) = f(XIN)/2	$V_{DD} = 2.7 \sim 5.5V$		4.8	
			$V_{DD} = 2 \sim 5.5V$		3.2	
			$V_{DD} = 1.8 \sim 5.5V$		1.6	
		f(STCK) = f(XIN)/4, f(XIN)/8	$V_{DD} = 2 \sim 5.5V$		4.8	
f(XCIN)	発振周波数 (水晶発振使用時)	水晶発振子			50	kHz
f(CNTR)	タイマ外部入力周波数	CNTR			f(STCK)/6	Hz
tw(CNTR)	タイマ外部入力周期 ("H"及び"L"パルス幅)	CNTR	3/f(STCK)			s
T _{PON}	パワーオンリセット回路 有効電源立ち上がり時間 (注1)	$V_{DD} = 0 \rightarrow 1.8V$			100	μs

注1. 電源立ち上がり時間が最大規格値を超える場合は、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

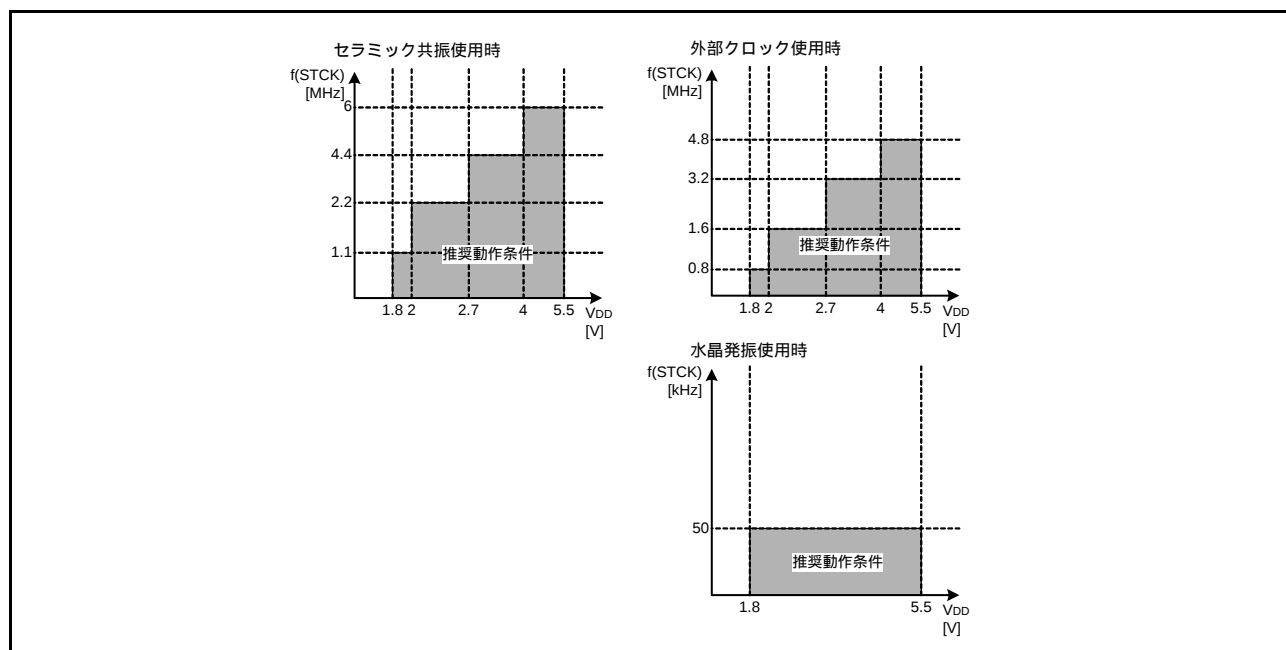


図80. システムクロック (STCK) 動作条件マップ

電気的特性

表33. 電気的特性 1 (指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	測 定 条 件	規 格 値			単位	
			最小	標準	最大		
V _{OH}	“ H ” 出力電圧 P0、P1、P2、P3、D0 ~ D5	V _{DD} = 5V	I _{OH} = - 10mA	3		V	
			I _{OH} = - 3mA	4.1			
		V _{DD} = 3V	I _{OH} = - 5mA	2.1			
			I _{OH} = - 1mA	2.4			
V _{OH}	“ H ” 出力電圧 C/CNTR	V _{DD} = 5V	I _{OL} = - 20mA	3		V	
			I _{OL} = - 6mA	4.1			
		V _{DD} = 3V	I _{OL} = - 10mA	2.1			
			I _{OL} = - 3mA	2.4			
V _{OL}	“ L ” 出力電圧 P0、P1、P2、P3、D0 ~ D7 C/CNTR	V _{DD} = 5V	I _{OL} = 15mA		2	V	
			I _{OL} = 5mA		0.9		
		V _{DD} = 3V	I _{OL} = 9mA		1.4		
			I _{OL} =3mA		0.9		
V _{OL}	“ L ” 出力電圧 <u>RESET</u>	V _{DD} = 5V	I _{OL} = 5mA		2	V	
			I _{OL} = 1mA		0.6		
		V _{DD} = 3V	I _{OL} = 2mA		0.9		
I _{IH}	“ H ” 入力電流 P0、P1、P2、P3、D0 ~ D7 RESET、X _{IN} 、X _{CIN} 、INT CNTR	V _I = V _{DD}			2	μA	
I _{IL}	“ L ” 入力電流 P0、P1、P2、P3、D0 ~ D7 RESET、X _{IN} 、X _{CIN} 、INT CNTR	V _I = 0V P0、P1、P2、P3、D0 ~ D7 プルアップ非選択			- 2	μA	
R _{PU}	プルアップ抵抗 P0、P1、P2、P3、D0 ~ D7 <u>RESET</u>	V _I = 0V	V _{DD} = 5V	30	60	125	kΩ
			V _{DD} = 3V	50	120	250	
V _{T+} - V _{T-}	ヒステリシス <u>RESET</u>	V _{DD} = 5V			1		V
		V _{DD} = 3V			0.4		
V _{T+} - V _{T-}	ヒステリシス INT	V _{DD} = 5V			0.6		V
		V _{DD} = 3V			0.3		
V _{T+} - V _{T-}	ヒステリシス CNTR	V _{DD} = 5V			0.2		V
		V _{DD} = 3V			0.2		
f(HSOCO)	高速オンチップオシレータクロック周波数	V _{DD} = 5V		400	1000	1600	kHz
		V _{DD} = 3V		200	500	800	
f(LSOCO)	低速オンチップオシレータクロック周波数	V _{DD} = 5V		40	100	160	kHz
		V _{DD} = 3V		20	50	80	
R _{COM}	COM出力インピーダンス (注1)	V _{DD} = 5V			1.5	7.5	kΩ
		V _{DD} = 3V			2	10	
R _{SEG}	SEG出力インピーダンス (注1)	V _{DD} = 5V			1.5	7.5	kΩ
		V _{DD} = 3V			2	10	
R _{VLC}	LCD電源用内部分割抵抗	分割抵抗2r × 3選択時		300	600	1200	kΩ
		分割抵抗2r × 2選択時		200	400	800	
		分割抵抗r × 3選択時		150	300	600	
		分割抵抗r × 2選択時		100	200	400	

注1. 出力インピーダンスは、下記の出力電圧のときの抵抗値です。

- V_{L3} レベル出力時 : V_O = 0.8V_{L3}
- V_{L2} レベル出力時 : V_O = 0.8V_{L2}
- V_{L1} レベル出力時 : V_O = 0.2V_{L2} + V_{L1}
- V_{SS} レベル出力時 : V_O = 0.2V_{L1}

表 34. 電気的特性2 (指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	測 定 条 件	規 格 値			単位			
			最小	標準	最大				
IDD	電源電流	CPU動作時 (注1、2) (セラミック共振使用時)	VDD = 5V	f(STCK) = f(XIN)/8		1.2	2.4	mA	
			f(XIN) = 6MHz	f(STCK) = f(XIN)/4		1.3	2.6		
			f(HSOCO) = 停止	f(STCK) = f(XIN)/2		1.6	3.2		
			f(XCIN) = 停止	f(STCK) = f(XIN)		2.2	4.4		
			f(LSOCO) = 停止						
			VDD = 5V	f(STCK) = f(XIN)/8		0.9	1.8	mA	
			f(XIN) = 4MHz	f(STCK) = f(XIN)/4		1	2		
			f(HSOCO) = 停止	f(STCK) = f(XIN)/2		1.2	2.4		
			f(XCIN) = 停止	f(STCK) = f(XIN)		1.6	3.2		
			f(LSOCO) = 停止						
			VDD = 3V	f(STCK) = f(XIN)/8		0.3	0.6	mA	
			f(XIN) = 4MHz	f(STCK) = f(XIN)/4		0.4	0.8		
			f(HSOCO) = 停止	f(STCK) = f(XIN)/2		0.5	1		
			f(XCIN) = 停止	f(STCK) = f(XIN)		0.7	1.4		
			f(LSOCO) = 停止						
		CPU動作時 (注1、2) (水晶共振使用時)	VDD = 5V	f(STCK) = f(XCIN)/8		7	14	μ A	
			f(XIN) = 停止	f(STCK) = f(XCIN)/4		8	16		
			f(HSOCO) = 停止	f(STCK) = f(XCIN)/2		10	20		
			f(XCIN) = 32kHz	f(STCK) = f(XCIN)		14	28		
			f(LSOCO) = 停止						
			VDD = 3V	f(STCK) = f(XCIN)/8		5	10	μ A	
			f(XIN) = 停止	f(STCK) = f(XCIN)/4		6	12		
			f(HSOCO) = 停止	f(STCK) = f(XCIN)/2		7	14		
			f(XCIN) = 32kHz	f(STCK) = f(XCIN)		8	16		
			f(LSOCO) = 停止						
			CPU動作時 (注1、2) (高速オンチップオシレータ f(HSOCO)使用時)	VDD = 5V	f(STCK) = f(HSOCO)/8		50	100	μ A
				f(XIN) = 停止	f(STCK) = f(HSOCO)/4		70	140	
				f(HSOCO) = 動作	f(STCK) = f(HSOCO)/2		110	220	
				f(XCIN) = 停止	f(STCK) = f(HSOCO)		190	380	
				f(LSOCO) = 停止					
	VDD = 3V	f(STCK) = f(HSOCO)/8			12	24	μ A		
	f(XIN) = 停止	f(STCK) = f(HSOCO)/4			18	36			
	f(HSOCO) = 動作	f(STCK) = f(HSOCO)/2			30	60			
	f(XCIN) = 停止	f(STCK) = f(HSOCO)			54	108			
	f(LSOCO) = 停止								
	CPU動作時 (注1、2) (低速オンチップオシレータ f(LSOCO)使用時)	VDD = 5V	f(STCK) = f(LSOCO)/8		10	20	μ A		
		f(XIN) = 停止	f(STCK) = f(LSOCO)/4		12	24			
		f(HSOCO) = 停止	f(STCK) = f(LSOCO)/2		16	32			
		f(XCIN) = 停止	f(STCK) = f(LSOCO)		24	48			
		f(LSOCO) = 動作							
		VDD = 3V	f(STCK) = f(LSOCO)/8		3	6	μ A		
		f(XIN) = 停止	f(STCK) = f(LSOCO)/4		4	8			
		f(HSOCO) = 停止	f(STCK) = f(LSOCO)/2		5	10			
		f(XCIN) = 停止	f(STCK) = f(LSOCO)		7	14			
		f(LSOCO) = 動作							
	時計動作モード時 (注1、2) (POF命令実行時)	f(XCIN) = 32kHz	VDD = 5V		6	12	μ A		
			VDD = 3V		5	10			
		f(LSOCO) = 動作	VDD = 5V		20	40			
			VDD = 3V		5	10			
	RAMバックアップモード時(注1) (POF2命令実行時)		Ta = 25		0.1	3	μ A		
			VDD = 5V			10			
			VDD = 3V			6			

注1. 電圧低下検出回路使用時は、電圧低下検出回路動作電流(I_{RST})が加算されます。

注2. LCD電源用内部分割抵抗使用時は、使用する抵抗値に応じた電流値が加算されます。

電圧低下検出回路特性

表35. 電圧低下検出回路特性（指定のない場合は、 $T_a = -20 \sim 85$ ）

記 号	項 目	条 件	規 格 値			単位
			最小	標準	最大	
VRST-	検出電圧（リセット発生）（注1）	$T_a = 25$		1.7		V
		$-20 \leq T_a < 0$	1.6		2.2	
		$0 \leq T_a < 50$	1.3		2.1	
		$50 \leq T_a \leq 85$	1.1		1.8	
VRST+	検出電圧（リセット解除）（注2）	$T_a = 25$		1.8		V
		$-20 \leq T_a < 0$	1.7		2.3	
		$0 \leq T_a < 50$	1.4		2.2	
		$50 \leq T_a \leq 85$	1.2		1.9	
VSKIP	検出電圧（スキップ発生）（注3）	$T_a = 25$		2		V
		$-20 \leq T_a < 0$	1.9		2.5	
		$0 \leq T_a < 50$	1.6		2.4	
		$50 \leq T_a \leq 85$	1.4		2.1	
VRST+ - VRST-	検出電圧ヒステリシス			0.1		V
IRST	動作電流（注4）	$V_{DD} = 5V$		30	60	μA
		$V_{DD} = 3V$		15	30	
		$V_{DD} = 1.8V$		6	12	
TRST	判定時間（注5）	$V_{DD} \rightarrow (VRST- - 0.1V)$		0.2	1.2	ms

注1. 検出電圧（VRST-）は、電圧低下検出回路有効時に電源電圧（VDD）を高い側から下げたときにリセットが発生する電圧です。

注2. 検出電圧（VRST+）は、電圧低下検出回路有効時に電源電圧（VDD）を低い側から上げたときにリセットを解除する電圧です。

注3. 電源電圧（VDD）が検出電圧（VSKIP）以下になると、電圧低下検出回路フラグ（VDF）がセット（1）されます。

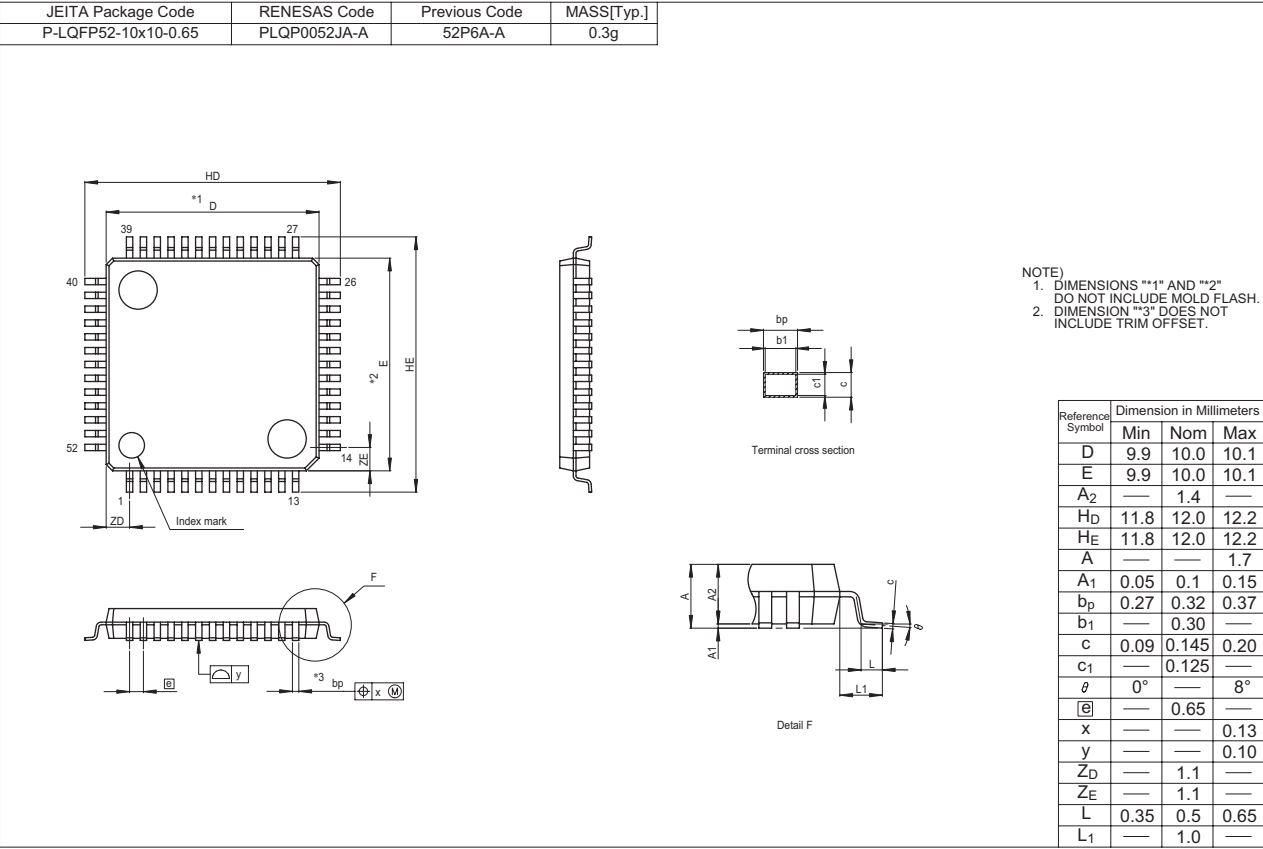
注4. 電圧低下検出回路使用時は、電源電流（IDD）に電圧低下検出回路動作電流（IRST）が加算されます。

注5. 判定時間（TRST）は、電源電圧（VDD）を高い側から $[VRST- - 0.1V]$ に下げたときにリセットが発生するまでの時間です。

基本タイミング図

マシンスイクル		Mi		Mi + 1	
項目	端子(信号)名				
システムクロック	STCK				
ポート出力	D ₀ ~ D ₇ P ₀₀ ~ P ₀₃ P ₁₀ ~ P ₁₃ P ₂₀ ~ P ₂₃ P ₃₀ ~ P ₃₃ 、C				
ポート入力	D ₀ ~ D ₇ P ₀₀ ~ P ₀₃ P ₁₀ ~ P ₁₃ P ₂₀ ~ P ₂₃ P ₃₀ ~ P ₃₃				
割り込み入力	INT				

外形寸法図



改訂記録	455A グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.10.18	-	初版発行
1.01	2008.2.15	-	「開発中」表記削除
		5	表3 「P0 ₀ ~ P0 ₃ 」欄に「ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。」追記 表3 「D ₆ 、D ₇ 」機能欄 「出力機能」→「入出力機能」
		7	表6 「XCOUT/D ₇ 」の「開放」欄、「D ₀ ~ D ₄ 」の「開放」欄、および「D ₅ /INT」の「開放」欄に「キーオンウェイクアップ無効」追記
		28	表15 改訂
		50	図48 改訂
		57	キーオンウェイクアップ制御レジスタK3「及びINT端子の復帰条件選択」削除
		58	図56 全面改訂
		76	「割り込み制御レジスタI1」の「INT端子 タイマ1カウント開始同期回路選択ビット」の「0」:「タイマ1制御禁止」→「タイマ1カウント開始同期回路非選択」、「1」:「タイマ1制御可能」→「タイマ1カウント開始同期回路選択」
		89	BL p,a命令の2語目のD ₈ :「0」→「p ₆ 」 留意点:「p=0 ~ 47」→「M3455AG8の場合p = 0 ~ 63 p ₆ = 0 M3455AGCの場合p = 0 ~ 95」 BLA p命令の2語目のD ₈ :「0」→「p ₆ 」 留意点:「p=0 ~ 47」→「M3455AG8の場合p = 0 ~ 63 p ₆ = 0 M3455AGCの場合p = 0 ~ 95」
		90	BML p,a命令の2語目のD ₈ :「0」→「p ₆ 」 留意点:「p=0 ~ 47」→「M3455AG8の場合p = 0 ~ 63 p ₆ = 0 M3455AGCの場合p = 0 ~ 95」 BMLA p命令の2語目のD ₈ :「0」→「p ₆ 」 留意点:「p=0 ~ 47」→「M3455AG8の場合p = 0 ~ 63 p ₆ = 0 M3455AGCの場合p = 0 ~ 95」
		98	RBK命令の位置をRBjの次に移動
		126	BL p,a命令の2語目のD ₈ :「0」→「p ₆ 」 BLA p命令の2語目のD ₈ :「0」→「p ₆ 」 BML p,a命令の2語目のD ₈ :「0」→「p ₆ 」 BMLA p命令の2語目のD ₈ :「0」→「p ₆ 」 注に「M3455AG8の場合p ₆ = 0」追加
		144	表34 「CPU動作時 低速オンチップオシレータ(LSOCO)使用時」 ・「注1、2」追加 ・「測定条件」欄:すべての「f(STCK)=f(X _{IN})」→「f(STCK)=f(LSOCO)」

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com