

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4509グループ

SINGLE-CHIP 4-BIT CMOS MICROCOMPUTER

RJJ03B0145-0102

Rev.1.02

2006.12.22

概要

4509グループはCMOSプロセスを用いて開発されたオリジナル4ビットシングルチップマイクロコンピュータです。シンプルで高速な命令体系をもつ4500シリーズのCPUをコアとして、8ビットタイマ(リロードレジスタ付き)2本、割り込み機能、10ビットA/Dコンバータ、シリアルインタフェース、発振回路切り替え機能を内蔵しています。

4509グループは、異なる複数の品種があります。

詳細については下記の表を参照してください。

特長

- 最小命令実行時間 0.5 μ s
(発振周波数6MHz、スルーモード時)
- 電源電圧 1.8 ~ 5.5V
(動作源クロック、動作モード及び発振周波数により異なります)
- タイマ
タイマ1 8ビット(リロードレジスタ2本付き)
タイマ2 8ビット(リロードレジスタ2本付き)

- 割り込み機能 5要因
- キーオンウェイクアップ機能 12端子
- 入出力ポート 18本
- A/Dコンバータ
10ビット逐次近似方式 6ch
- シリアルインタフェース 8ビット $\times$ 1
- 電圧低下検出回路(Hバージョンのみ)
リセット発生 標準2.6V($T_a=25^\circ\text{C}$ 時)
リセット解除 標準2.7V($T_a=25^\circ\text{C}$ 時)
- パワーオンリセット回路
(Hバージョンのみ)
- ウォッチドッグタイマ
- クロック発生回路
(オンチップオシレータ/セラミック共振/RC発振)
- LED直接駆動可能(ポートD)

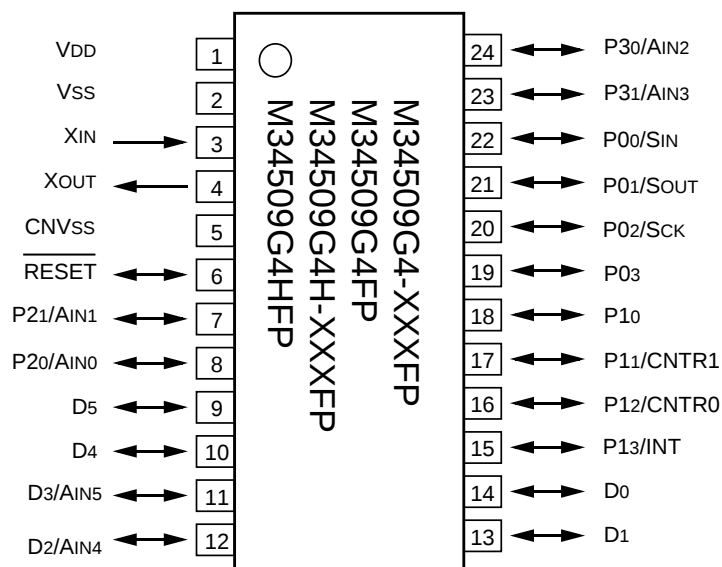
応用

家電、民生機器、OA機器など

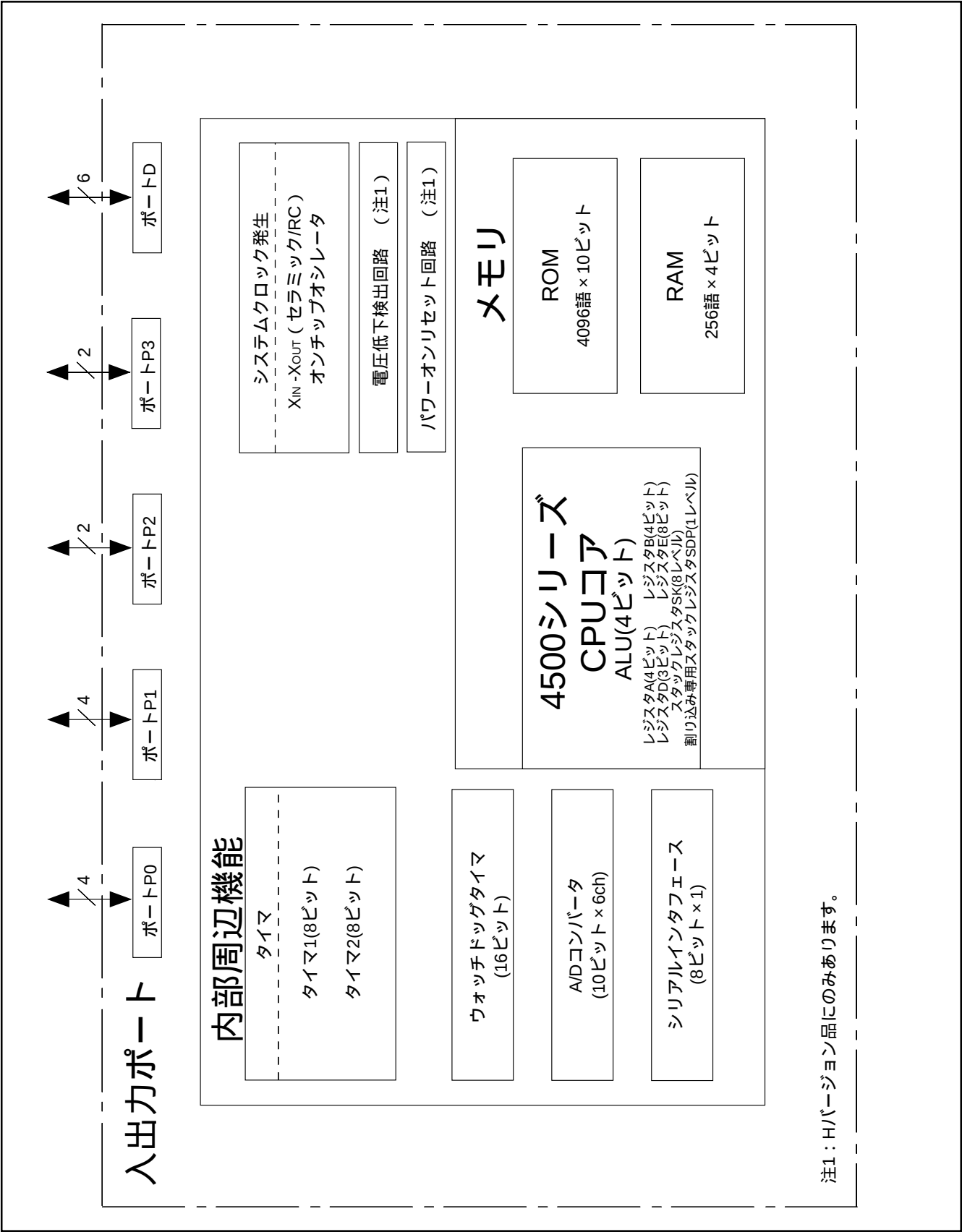
型 名	ROM容量 ($\times 10$ ビット)	RAM容量 ($\times 4$ ビット)	パッケージ	ROM種類
M34509G4FP (注)	4096語	256語	PRSP0024GA-A	QzROM
M34509G4-XXXXFP	4096語	256語	PRSP0024GA-A	QzROM
M34509G4HFP (注)	4096語	256語	PRSP0024GA-A	QzROM
M34509G4H-XXXXFP	4096語	256語	PRSP0024GA-A	QzROM

注：ブランク出荷品

4509グループ ピン接続図(上面図)



外形 PRSP0024GA-A (24P2Q-A)



4509グループ 機能ブロック図

性能概要

項 目			性 能
基本命令数	M34509G4		134
	M34509G4H		135
最小命令実行時間			0.5μs(発振周波数6MHz：スルーモード時)
メモリ容量	ROM		4096語×10ビット
	RAM		256語×4ビット
入出力ポート	D0～D5	入出力 (入力は スキップ判別)	1ビット×6 出力形式がソフトウェア切り替え可能 ポートD2、D3はプルアップ機能及びキーオンウェイクアップ機能が ソフトウェア切り替え可能 ポートD2、D3はそれぞれAIN4、AIN5端子と兼用
	P00～P03	入出力	4ビット×1 プルアップ機能、キーオンウェイクアップ機能及び出力形式が ソフトウェア切り替え可能 ポートP00、P01、P02はそれぞれSIN、SOUT、SCK端子と兼用
	P10～P13	入出力	4ビット×1 プルアップ機能、キーオンウェイクアップ機能及び出力形式が ソフトウェア切り替え可能 ポートP11、P12、P13はそれぞれCNTR1、CNTR0、INT端子と兼用
	P20、P21	入出力	2ビット×1 プルアップ機能、キーオンウェイクアップ機能及び出力形式が ソフトウェア切り替え可能 ポートP20、P21はそれぞれAIN0、AIN1端子と兼用
	P30、P31	入出力	2ビット×1 出力形式がソフトウェア切り替え可能 ポートP30、P31はそれぞれAIN2、AIN3端子と兼用
	CNTR0、 CNTR1	タイマ入出力	1ビット×2 CNTR1、CNTR0端子はそれぞれポートP11、P12と兼用
	INT	割り込み入力	1ビット×1、ポートP13と兼用
	SIN、SOUT、 SCK	シリアルインタ フェース入出力	1ビット×3 SIN、SOUT、SCK端子はそれぞれポートP00、P01、P02と兼用
	AIN0～AIN5	アナログ入力	1ビット×6 AIN0～AIN5端子はそれぞれポートP20、P21、P30、P31、D2、D3と兼用
タイマ	タイマ1	8ビットタイマ/イベントカウンタ、リロードレジスタ2本付き、PWM出力機能付き	
	タイマ2	8ビットタイマ/イベントカウンタ、リロードレジスタ2本付き、PWM出力機能付き	
	ウォッチドッグタイマ	16ビットタイマ、固定分周(監視用タイマ)	
A/Dコンバータ			10ビット×6ch(AIN0～AIN5端子)、8ビットコンパレータ機能付き
シリアルインタフェース			8ビット×1
電圧低下検出回路 (注)	リセット発生	標準2.6V(Ta=25 時)	
	リセット解除	標準2.7V(Ta=25 時)	
パワーオンリセット回路(注)			内蔵
割り込み	要因	5要因(外部×1、タイマ×2、A/D、シリアルインタフェース)	
	ネスティング	1レベル	
サブルーチンネスティング			8レベル
素子構造			CMOSシリコンゲート
パッケージ			24ピンプラスチックモールドSSOP(PRSP0024GA-A)
動作周囲温度			－20～85
電源電圧			1.8～5.5V(動作源クロック、動作モード及び発振周波数により異なります。)
消費電流	CPU動作時	2.2mA(Ta=25、VDD=5.0V、f(XIN)=6MHz、f(STCK)=f(XIN)/1)	
	RAMバックアップ時	0.1μA(Ta=25、VDD=5.0V、出力トランジスタ遮断状態)	

注 Hバージョン品にのみあります。

端子の機能説明

端 子 名	名 称	入力 出力	機 能
VDD	電源	—	正電源電圧供給端子です。
VSS	接地	—	GND端子です。
CNVSS	CNVSS	-	この端子はVssに接続し、必ず $L^{-}(0V)$ を印加してください。
XIN	メインクロック 入力	入力	メインクロック発生回路の入力 / 出力端子です。セラミック共振子を使用する場合は、XIN端子とXOUT端子との間にセラミック共振子を接続して使用します。XIN端子とXOUT端子との間には帰還抵抗が内蔵されています。RC発振を使用する場合は、XIN端子に抵抗・コンデンサを接続し、XOUT端子を開放にして使用します。
XOUT	メインクロック 出力	出力	
RESET	リセット入出力	入出力	リセットパルスの入出力端子です。SRST命令実行、ウォッチドッグタイマ、パワーオンリセット(Hバージョンのみ)又は電圧低下検出回路(Hバージョンのみ)によるシステムリセット時に L^{-} レベルが出力されます。出力形式はNチャネルオープンドレインです。
D0 ~ D5	入出力ポートD (入力はスキップ 判別)	入出力	各端子ごとに1ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にはNチャネルオープンドレインを選択し、出力ラッチを 1^{-} に設定すると入力可能状態になります。ポートD2、D3はソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートD2、D3はそれぞれAIN4、AIN5端子と兼用です。
P00 ~ P03	入出力ポートP0	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にはNチャネルオープンドレインを選択し、出力ラッチを 1^{-} に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP00、P01、P02はそれぞれSIN、SOUT、SCK端子と兼用です。
P10 ~ P13	入出力ポートP1	入出力	ポートとして4ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にはNチャネルオープンドレインを選択し、出力ラッチを 1^{-} に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP11、P12、P13はそれぞれCNTR1、CNTR0、INT端子と兼用です。
P20、P21	入出力ポートP2	入出力	ポートとして2ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にはNチャネルオープンドレインを選択し、出力ラッチを 1^{-} に設定すると入力可能状態になります。ソフトウェアで切り替え可能なキーオンウェイクアップ機能及びブルアップ機能を内蔵しています。ポートP20、P21はそれぞれAIN0、AIN1端子と兼用です。
P30、P31	入出力ポートP3	入出力	ポートとして2ビットの入出力機能を持っています。出力形式はNチャネルオープンドレインあるいはCMOSをソフトウェアで切り替え可能です。出力形式にはNチャネルオープンドレインを選択し、出力ラッチを 1^{-} に設定すると入力可能状態になります。ポートP30、P31はそれぞれAIN2、AIN3端子と兼用です。
CNTR0	タイマ入出力	入出力	タイマ2のイベントカウンタ用クロックの入力機能とタイマ1で生成されるPWM信号の出力機能をもっています。CNTR0端子はポートP12と兼用です。
CNTR1	タイマ入出力	入出力	タイマ1のイベントカウンタ用クロックの入力機能とタイマ2で生成されるPWM信号の出力機能をもっています。CNTR1端子はポートP11と兼用です。
INT	割り込み入力	入力	外部からの割り込みを受け付ける機能とソフトウェアで切り替え可能なキーオンウェイクアップ機能をもっています。INT端子はポートP13と兼用です。
AIN0 ~ AIN5	アナログ入力	入力	A/Dコンバータのアナログ入力端子です。AIN0 ~ AIN5端子はそれぞれポートP20、P21、P30、P31、D2、D3と兼用です。
SCK	シリアルインタフェース クロック入出力	入出力	シリアルインタフェースのデータ転送同期クロック入出力端子です。SCK端子はポートP02と兼用です。
SOUT	シリアルインタフェース データ出力	出力	シリアルインタフェースのデータ出力端子です。SOUT端子はポートP01と兼用です。
SIN	シリアルインタフェース データ入力	入力	シリアルインタフェースのデータ入力端子です。SIN端子はポートP00と兼用です。

マルチファンクション一覧

端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション	端子名	マルチファンクション
P00	SIN	SIN	P00	P20	AIN0	AIN0	P20
P01	SOUT	SOUT	P01	P21	AIN1	AIN1	P21
P02	SCK	SCK	P02	P30	AIN2	AIN2	P30
P11	CNTR1	CNTR1	P11	P31	AIN3	AIN3	P31
P12	CNTR0	CNTR0	P12	D2	AIN4	AIN4	D2
P13	INT	INT	P13	D3	AIN5	AIN5	D3

注1. 上記以外の端子は単一機能です。

- SIN端子を使用している場合でもポートP00の入出力機能は有効です。SIN端子とポートP00との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- SOUT端子を使用している場合でもポートP01の入出力機能は有効です。
- SCK端子を使用している場合でもポートP02の入出力機能は有効です。SCK端子とポートP02との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR1端子の出力機能を使用している場合でもポートP11の入出力機能は有効です。CNTR1端子の入出力機能を使用している場合でもポートP11の入出力機能は有効です。CNTR1端子とポートP11との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR0端子の出力機能を使用している場合でもポートP12の入出力機能は有効です。CNTR0端子の入出力機能を使用している場合でもポートP12の入出力機能は有効です。CNTR0端子とポートP12との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- INT端子を使用している場合でもポートP13の入出力機能は有効です。INT端子とポートP13との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- アナログ入力(AIN0 ~ AIN5)を使用している場合でも各ポート(P20、P21、P30、P31、D2、D3)の入出力機能は有効です。

ポート機能一覧

ポート名	端子名	入力/出力	出力形式	入出力単位	制御命令	制御レジスタ	特記事項
ポートD	D0、D1、D4、D5	入出力 (6本)	Nチャネル オープンドレイン / CMOS	1ビット	SD、RD SZD CLD	FR3、C1	出力形式選択機能付き (ソフトウェアで切り替え可能)
	D2/AIN4、D3/AIN5					FR3、PU2 K2 Q1	ブルアップ、キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP0	P00/SIN、P01/SOUT P02/SCK、P03	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP0A IAP0	FR0、PU0 K0 J1	ブルアップ、キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP1	P10、P11/CNTR1 P12/CNTR0 P13/INT	入出力 (4本)	Nチャネル オープンドレイン / CMOS	4ビット	OP1A IAP1	FR1、PU1 K1、L1、I1 W1、W2 W5、W6	ブルアップ、キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP2	P20/AIN0、P21/AIN1	入出力 (2本)	Nチャネル オープンドレイン / CMOS	2ビット	OP2A IAP2	FR2、PU2 K2 Q1	ブルアップ、キーオンウェイクアップ 及び出力形式選択機能付き (ソフトウェアで切り替え可能)
ポートP3	P30/AIN2、P31/AIN3	入出力 (2本)	Nチャネル オープンドレイン / CMOS	2ビット	OP3A IAP3	C1 Q1	出力形式選択機能付き (ソフトウェアで切り替え可能)

クロック及びサイクルの定義

- 動作源クロック
動作の源となるクロックです。本製品では以下のクロックが使用できます。
 - ・オンチップオシレータによるクロック($f(RING)$)
 - ・外付けセラミック共振子によるクロック($f(XIN)$)
 - ・外付けRC発振によるクロック($f(XIN)$)
 - ・外部入力によるクロック($f(XIN)$)
 - システムクロック(STCK)
本製品を制御する基本クロックです。
システムクロック(STCK)は、クロック制御レジスタMR、RGの設定により表UA-1のように選択できます。
- マシンサイクル
命令の実行に要する基準周期です。
 - インストラクションクロック(INSTCK)
CPUを制御する基準クロックです。
インストラクションクロック(INSTCK)はシステムクロック(STCK)を3分周した信号で、1周期で1マシンサイクルの期間を生成します。

表 UA-1 . システムクロックの選択

クロック制御レジスタMR、RG					システムクロック	動作モード名
MR3	MR2	MR1	MR0	RG0		
1	1	-	1	0	$f(STCK)=f(RING)/8$	内部8分周モード
1	0	-	1	0	$f(STCK)=f(RING)/4$	内部4分周モード
0	1	-	1	0	$f(STCK)=f(RING)/2$	内部2分周モード
0	0	-	1	0	$f(STCK)=f(RING)$	内部スルーモード
1	1	0	0	-	$f(STCK)=f(XIN)/8$	高速8分周モード
1	0	0	0	-	$f(STCK)=f(XIN)/4$	高速4分周モード
0	1	0	0	-	$f(STCK)=f(XIN)/2$	高速2分周モード
0	0	0	0	-	$f(STCK)=f(XIN)$	高速スルーモード

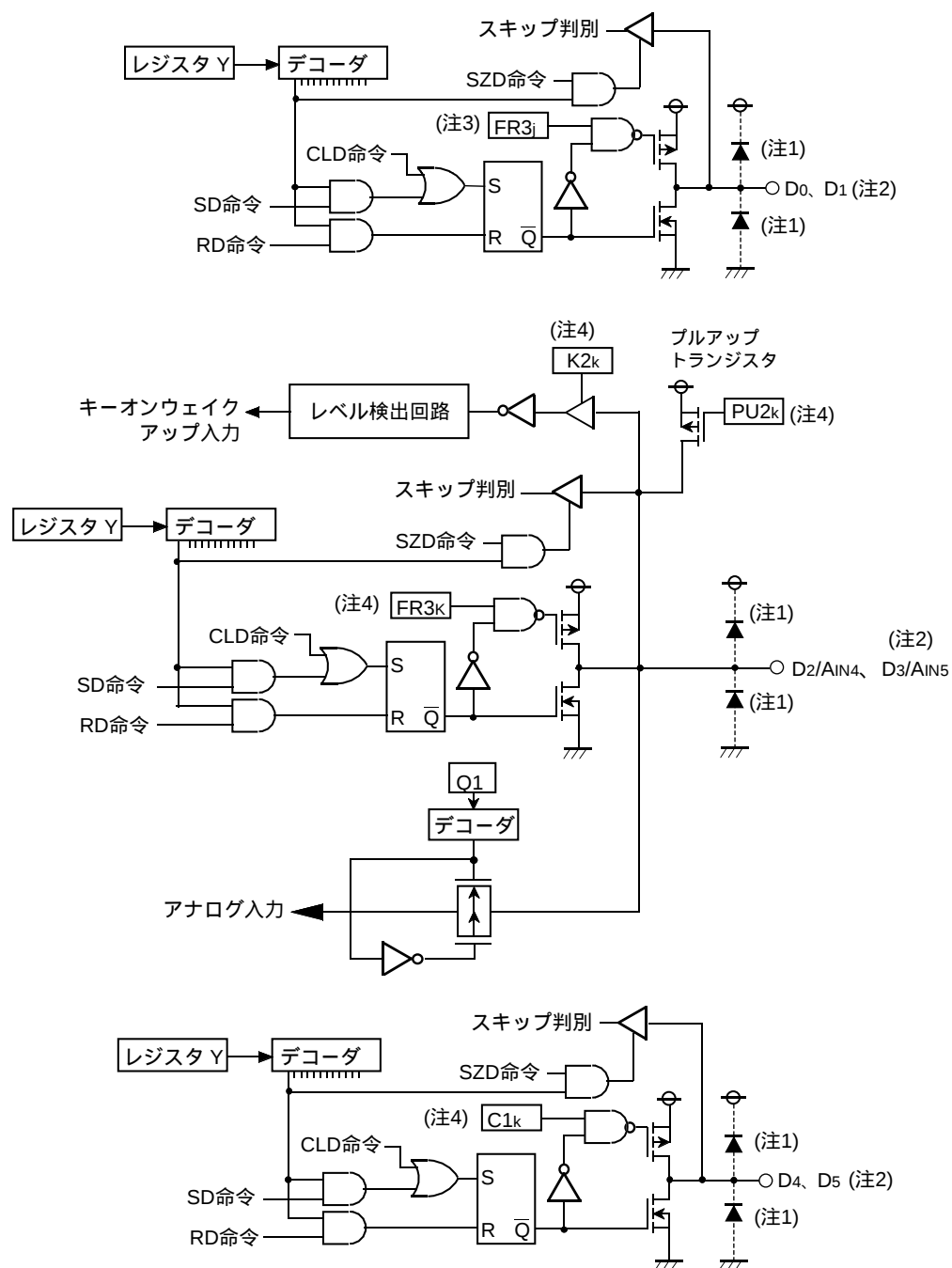
注. リセット解除後は、「内部8分周モード」が選択されます。

使用しない端子の処理

端 子 名	処 理 方 法	使 用 条 件
XIN	Vssに接続	RC発振回路非選択(CRCK命令未実行)
XOUT	開放	-
D0、D1、D4、D5	開放	-
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR30、FR31、C12、C13≠ 0)
D2/AIN4、D3/AIN5	開放	キーオンウェイクアップ無効(K22、K23≠ 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR32、FR33≠ 0) プルアップトランジスタOFF(PU22、PU23≠ 0) キーオンウェイクアップ無効(K22、K23≠ 0)
P00/SIN	開放	SIN端子非選択(J11≠ 0) キーオンウェイクアップ無効(K00≠ 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR00≠ 0) プルアップトランジスタOFF(PU00≠ 0) キーオンウェイクアップ無効(K00≠ 0)
P01/SOUT	開放	キーオンウェイクアップ無効(K01 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR01 = 0) プルアップトランジスタOFF(PU01 = 0) キーオンウェイクアップ無効(K01 = 0)
P02/SCK	開放	SCK端子非選択(J11 J10 = 00) キーオンウェイクアップ無効(K02 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR02 = 0) プルアップトランジスタOFF(PU02 = 0) キーオンウェイクアップ無効(K02 = 0)
P03	開放	キーオンウェイクアップ無効(K03 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR03 = 0) プルアップトランジスタOFF(PU03 = 0) キーオンウェイクアップ無効(K03 = 0)
P10	開放	キーオンウェイクアップ無効(K10 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR10 = 0) プルアップトランジスタOFF(PU10 = 0) キーオンウェイクアップ無効(K10 = 0)
P11/CNTR1	開放	タイマ1カウントソースにCNTR1入力非選択(W11 W10 ≠ 10) キーオンウェイクアップ無効(K11 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR11 = 0) プルアップトランジスタOFF(PU11 = 0) キーオンウェイクアップ無効(K11 = 0)
P12/CNTR0	開放	タイマ2カウントソースにCNTR0入力非選択(W21 W20 ≠ 10) キーオンウェイクアップ無効(K12 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR12 = 0) プルアップトランジスタOFF(PU12 = 0) キーオンウェイクアップ無効(K12 = 0)
P13/INT	開放	INT端子入力禁止(I13 = 0) キーオンウェイクアップ無効(K13 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR13 = 0) プルアップトランジスタOFF(PU13 = 0) キーオンウェイクアップ無効(K13 = 0)
P20/AIN0、P21/AIN1	開放	キーオンウェイクアップ無効(K20、K21 = 0)
	Vssに接続	出力形式にNチャネルオープンドレイン選択(FR20、FR21 = 0) プルアップトランジスタOFF(PU20、PU21 = 0) キーオンウェイクアップ無効(K20、K21 = 0)
P30/AIN2、P31/AIN3	開放	-
	Vssに接続	出力形式にNチャネルオープンドレイン選択(C10、C11 = 0)

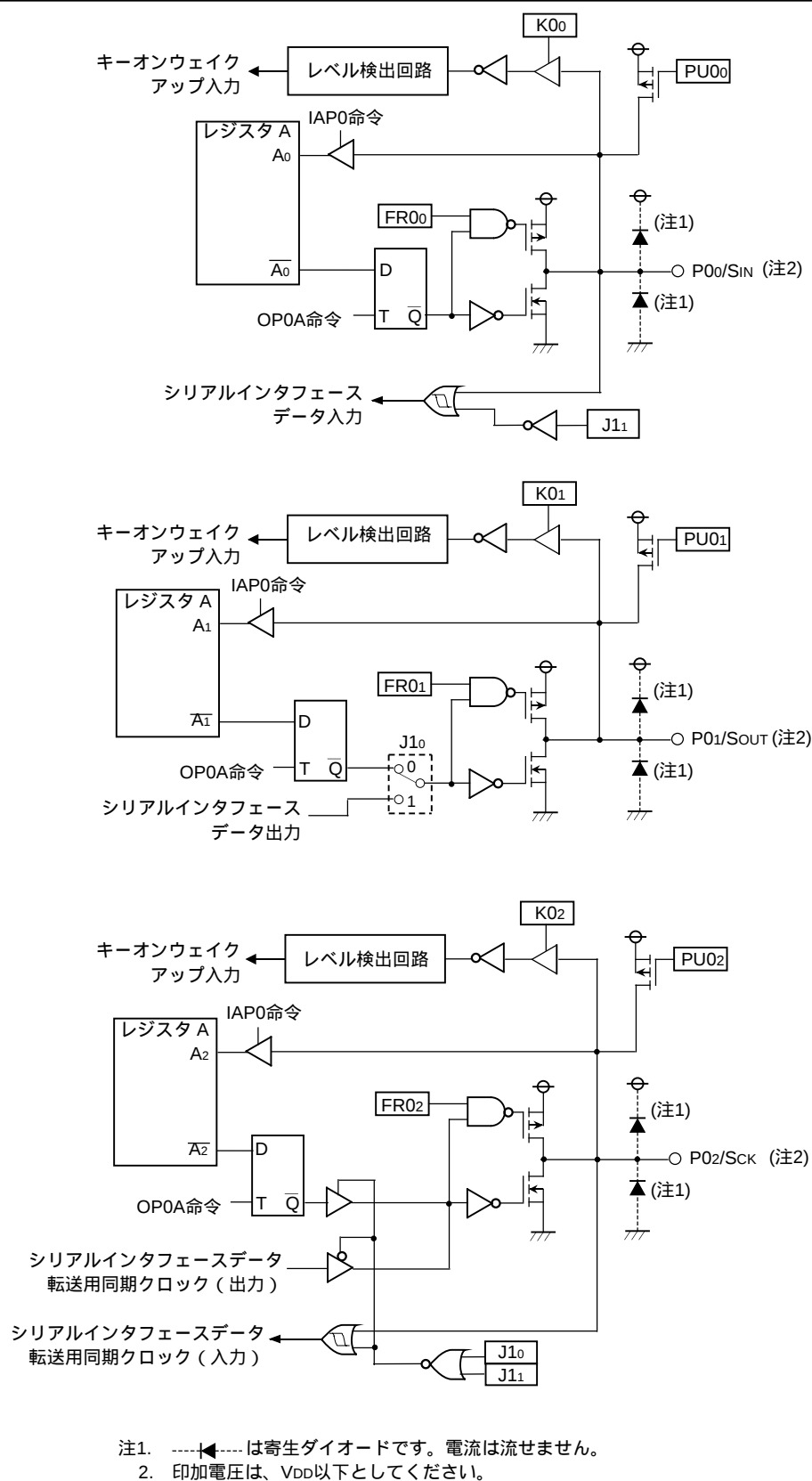
(VDD端子及びVss端子に接続する場合の注意事項)

・使用しない端子は、ノイズの伝搬を避けるためにできる限り短くて太い配線で処理してください。

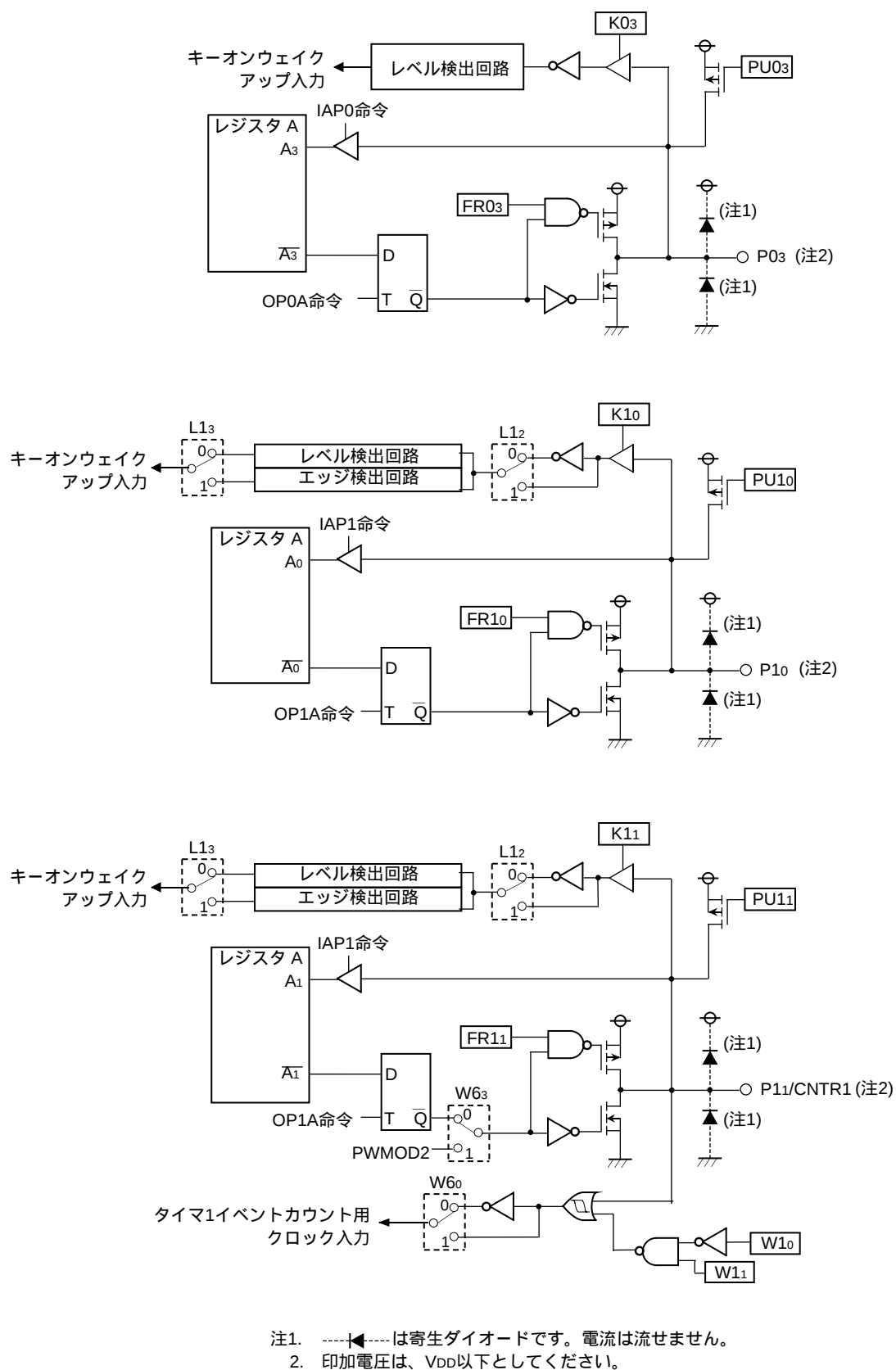


- 注1. ----|<----は寄生ダイオードです。電流は流せません。
2. 印加電圧は、V_{DD}以下としてください。
3. jはレジスタのビット0、1を示します。
4. kはレジスタのビット2、3を示します。

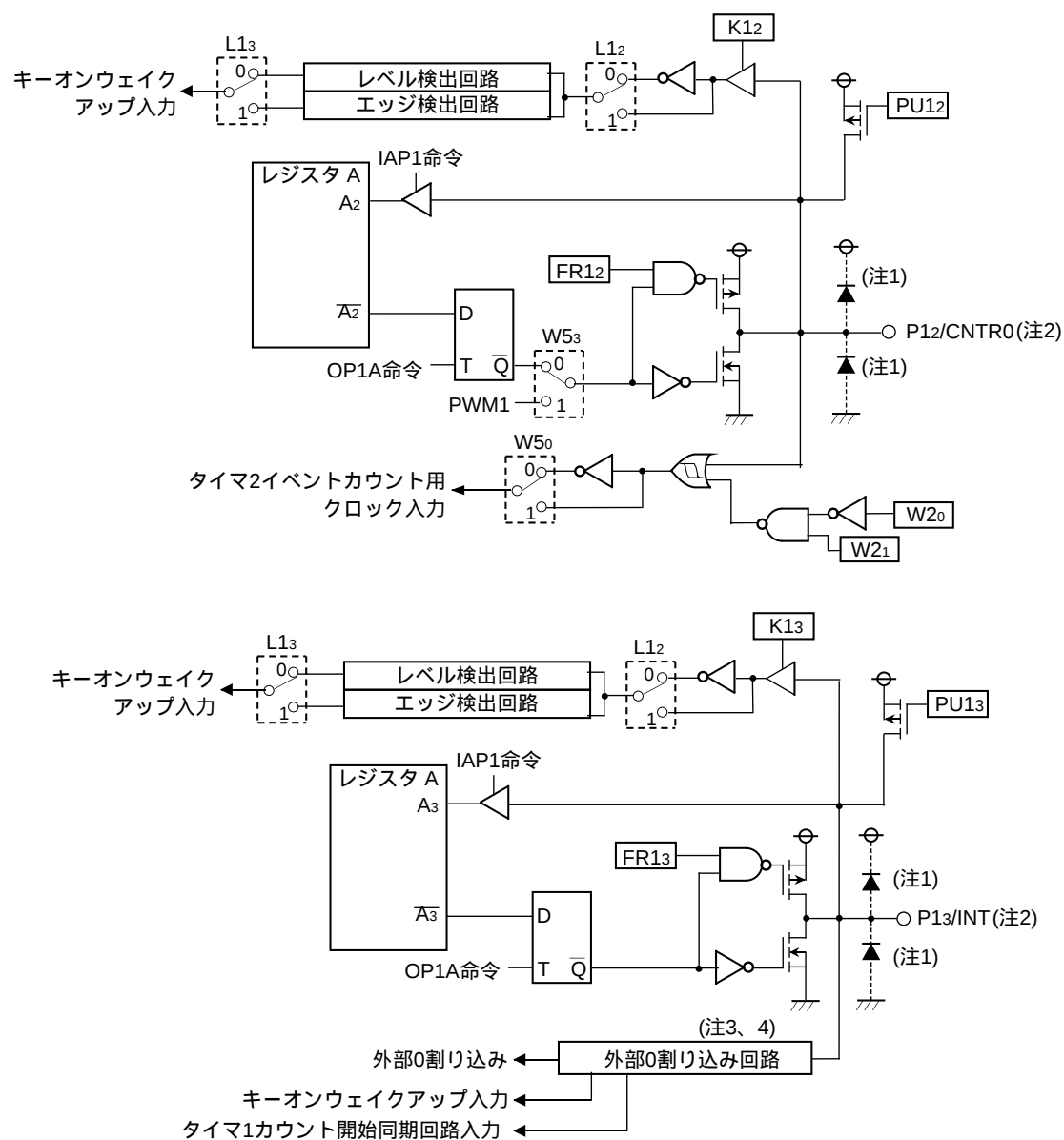
ポートブロック図(1)



ポートブロック図(2)

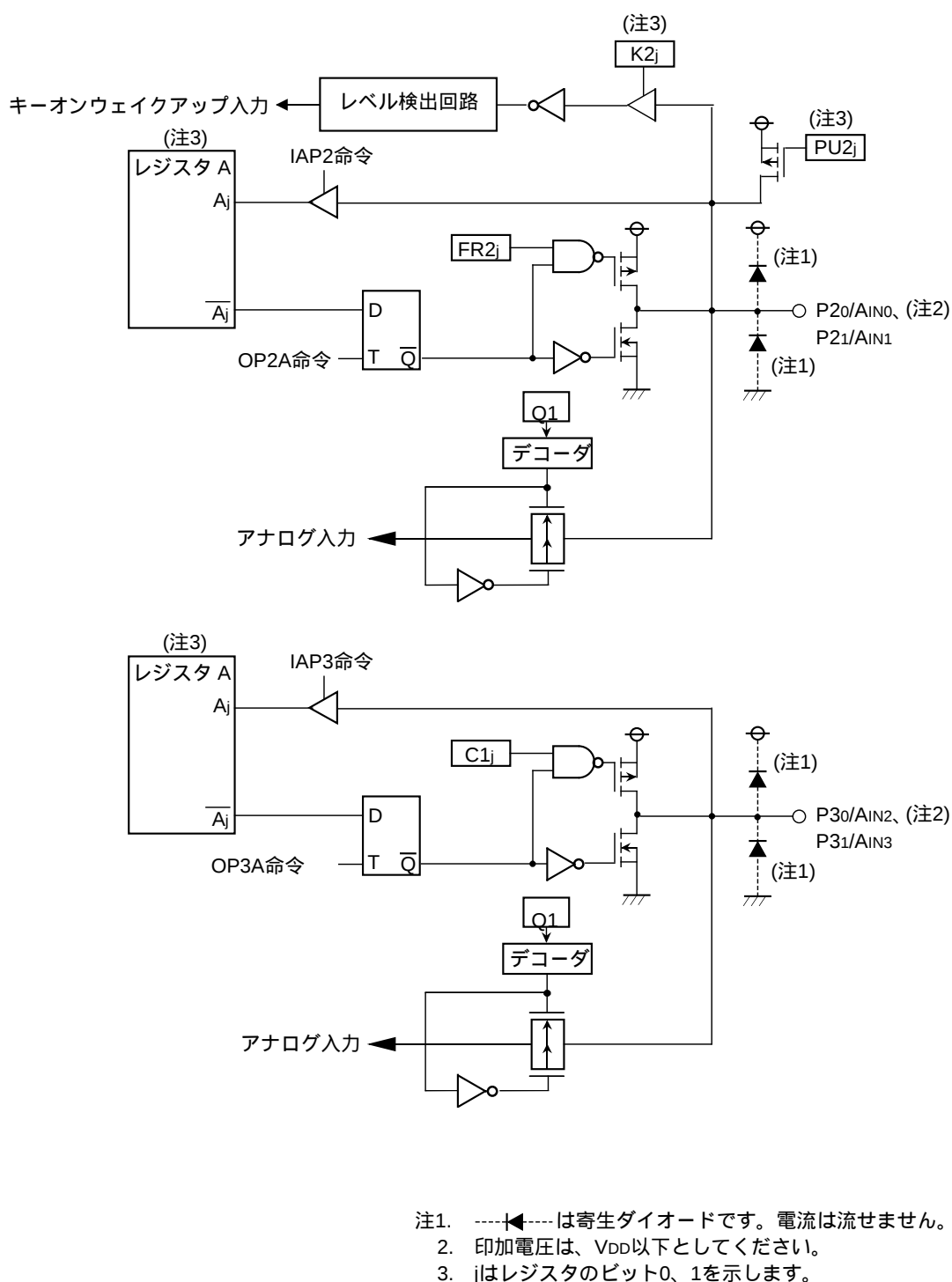


ポートブロック図(3)

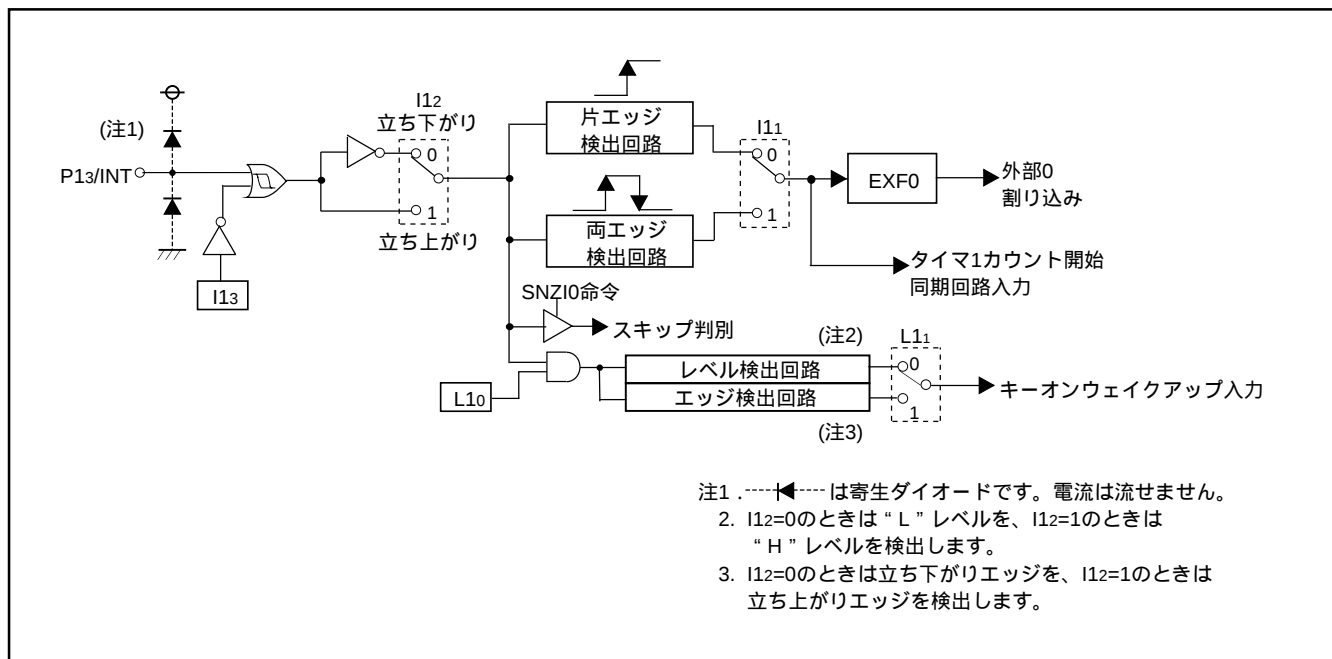


- 注1. ----<----は寄生ダイオードです。電流は流せません。
2. 印加電圧は、V_{DD}以下としてください。
3. 詳細は外部割り込み回路の構成を参照してください。
4. ポート入力のしきい値と外部割り込み入力のしきい値とは、異なります。

ポートブロック図(4)



ポートブロック図(5)



外部割り込み回路の構成

機能ブロック動作説明

CPU

(1) 4ビット論理演算ユニット (ALU)

ALUは4ビットの演算 - 加算、比較、論理積、論理和、ビット処理など - を行うユニットです。

(2) レジスタA及びキャリフラグ (CY)

レジスタAは、演算、転送、交換、入出力などのデータ処理の中心となる4ビットのレジスタです。

フラグCYはAMC命令の実行時に桁上がりが発生すると「1」にセットされます(図BA-1)。

なお、A n命令及びAM命令を実行しても、フラグCYの内容は変化しません。また、RAR命令の実行により、A0の値がフラグCYに格納されます(図BA-2)。

フラグCYはSC命令で「1」にセットされ、RC命令で「0」にクリアされます。

(3) レジスタB及びE

レジスタBは4ビットで構成され、4ビットデータの一時記憶に、又はレジスタAと組み合わせて8ビットデータの転送に使用します。

レジスタEは8ビットで構成され、レジスタBを上位4ビット、レジスタAを下位4ビットとする8ビットデータの転送に使用します(図BA-3)。

レジスタEはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。

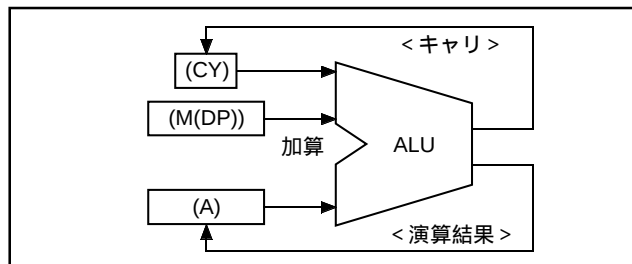
(4) レジスタD

レジスタDは3ビットで構成され、レジスタAと組み合わせて7ビットの番地を格納し、TABP p命令、BLA p命令、及びBMLA p命令の実行時に指定ページ内のポインタとして使用します(図BA-4)。

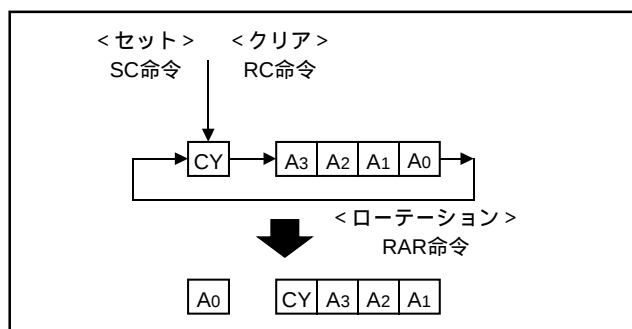
また、フラグUPTFが「1」のときにTABP p命令を実行するとレジスタDの下位2ビットにROM内参照データの上位2ビットが格納され、レジスタDの上位1ビットが「0」になります。フラグUPTFが「0」のときは、TABP p命令を実行してもレジスタDの内容は変化しません。

フラグUPTFはSUPT命令で「1」にセットされ、RUPT命令で「0」にクリアされます。フラグUPTFの初期値は「0」です。

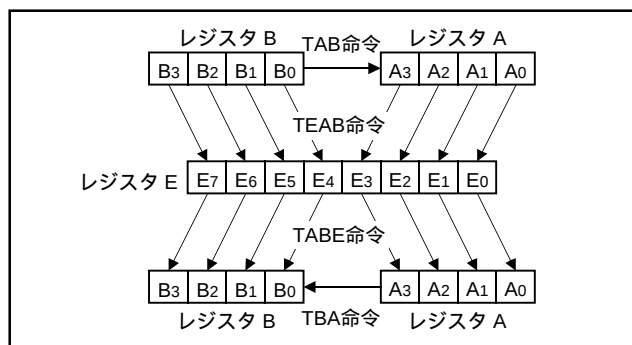
レジスタDはリセット解除後及びRAMバックアップからの復帰後は不定ですので、必ず初期設定を行ってください。



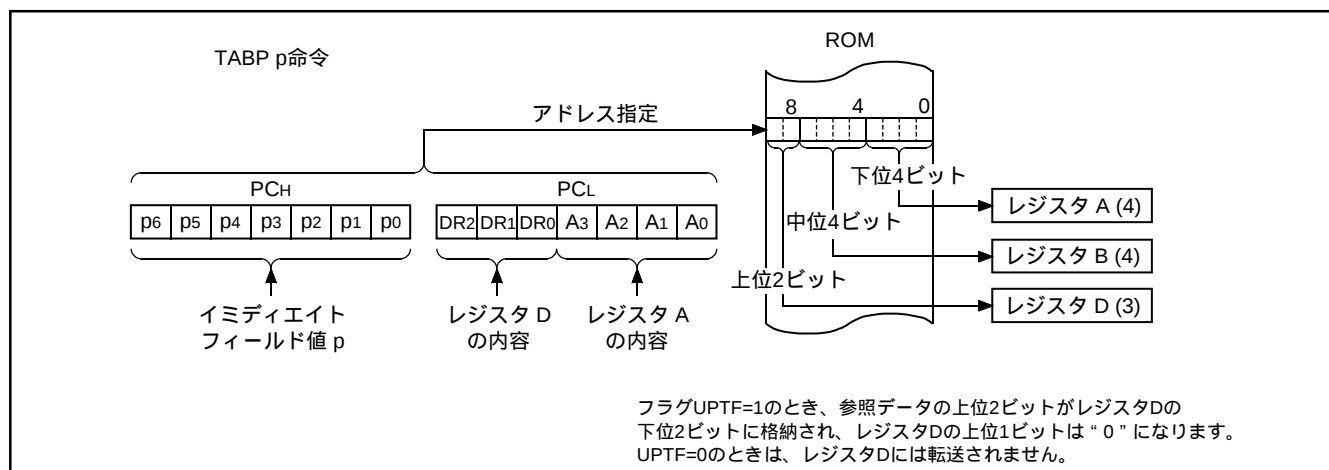
図BA-1. AMC命令実行例



図BA-2. RAR命令実行例



図BA-3. レジスタA、BとレジスタE



図BA-4. TABP p命令実行例

(5) スタックレジスタSK及びスタックポインタ(SP)

レジスタSKは、割り込み処理ルーチンへの分岐、サブルーチン呼び出し、又はテーブル参照命令(TABP p)を実行するときに使用する8段の14ビットレジスタです。分岐直前のプログラムカウンタの内容をもとのルーチンに戻るまでの間、一時的に記憶します。

レジスタSKは8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。8レベルを超えた場合、レジスタSKの内容は破壊されます。

なお、レジスタSKのネスティングは、3ビットで構成されるスタックポインタ(SP)によって自動的に指定されます。スタックポインタの内容は、TASP命令によりレジスタAに転送できます。

図BA-5にレジスタSKの構成を、図BA-6にサブルーチン呼び出し時の動作例を示します。

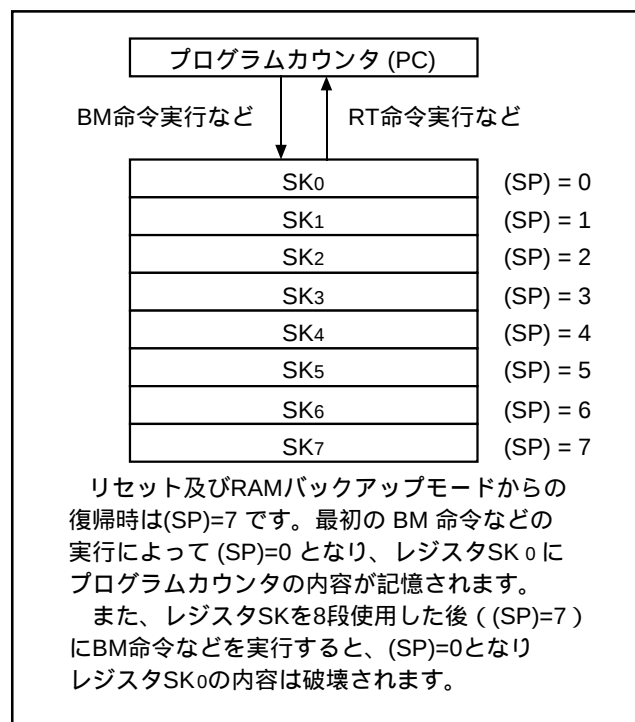
(6) 割り込み専用スタックレジスタSDP

レジスタSDPは、割り込み発生時に、割り込み発生直前のデータポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、Bの内容を、もとのルーチンに戻るまで一時記憶するためのレジスタです。レジスタSDPは一段で構成されています。

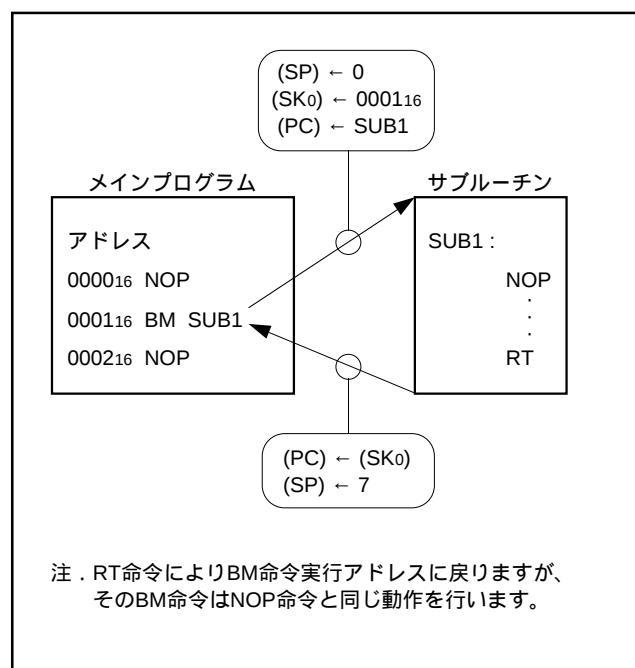
レジスタSDPは前述のレジスタSKと異なり、サブルーチン呼び出し命令、及びテーブル参照命令実行時には使用しません。

(7) スキップフラグ

スキップフラグは、条件スキップ命令及び連続記述スキップ命令用のスキップ判定を制御するフラグです。割り込みが発生すると、スキップフラグの内容は自動的にレジスタSDPに退避され、スキップ条件が保持されます。



図BA-5．スタックレジスタSKの構成



図BA-6．サブルーチン呼び出し時の動作例

(8) プログラムカウンタ(PC)

プログラムカウンタはROMアドレス(ページ及び番地)を指定するカウンタで、ROMに格納されている命令の読み出しシーケンスを決定します。

プログラムカウンタは2進カウンタで、命令を一つ実行するごとに命令バイト数を+1します。

ただし、分岐命令、サブルーチン呼び出し命令、リターン命令、及びテーブル参照命令(TABP p)実行時には指定された番地の値になります。

プログラムカウンタは、ROMのページを指定するPCH(最上位ビット～ビット7)とページ内の番地を指定するPCL(ビット6～ビット0)に分かれており、各ページの最終番地(127番地)までくると次のページの0番地を指定します(図BA-7)。

なお、PCHが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(9) データポインタ(DP)

データポインタはRAMのアドレスを指定するポインタで、レジスタZ、X、Yで構成されています(図BA-8)。このうち、レジスタZはRAMのファイル群を、レジスタXはRAMのファイルを、レジスタYはRAMの桁を指定します。

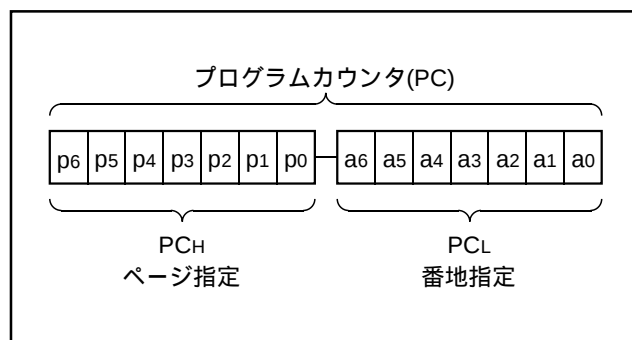
なお、レジスタYはポートDのビット位置指定にも使用します。ポートDを使用する際は、必ずレジスタYにポートDのビット(ピン位置)を設定し、SD、RD、SZD命令を実行してください。

図BA-9にSD命令実行例を示します。

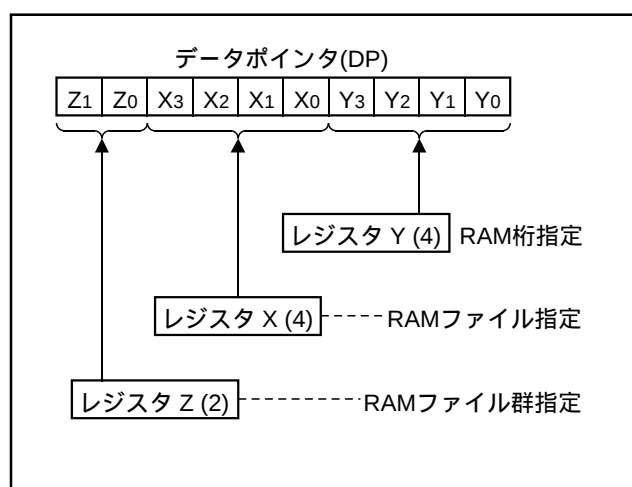
● 注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

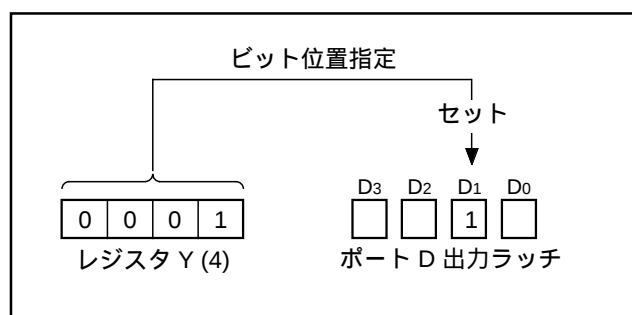
また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタへの再設定を行ってください。



図BA-7. プログラムカウンタ(PC)の構成



図BA-8. データポインタ(DP)の構成



図BA-9. SD命令実行例

プログラムメモリ(ROM)

プログラムメモリは、1語が10ビットで構成されており、128語(0～127番地)ごとにページという単位で分けられています。

1ページ(0080₁₆～00FF₁₆)の先頭には割り込み番地が割り付けられています(図BC-2)。

割り込みが発生すると各割り込みに対応した番地(割り込み番地)がプログラムカウンタ(PC)に設定され、割り込み番地の命令が実行されます。割り込み処理ルーチンを使用する場合は、割り込み番地にそのルーチンに分岐する命令を書き込んでください。

2ページ(0100₁₆～017F₁₆)はサブルーチン呼び出しのための特殊なページです(図BC-1)。このページに書き込まれたサブルーチンは、一語命令(BM命令)で任意のページから呼び出すことができます。なお、2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあればBM命令で呼び出すことができます。

また、すべてのアドレスのROMパターン(ビット7～0)をTABP p命令によりデータ領域として使用できます。

表BC-1．ROM容量とページ数

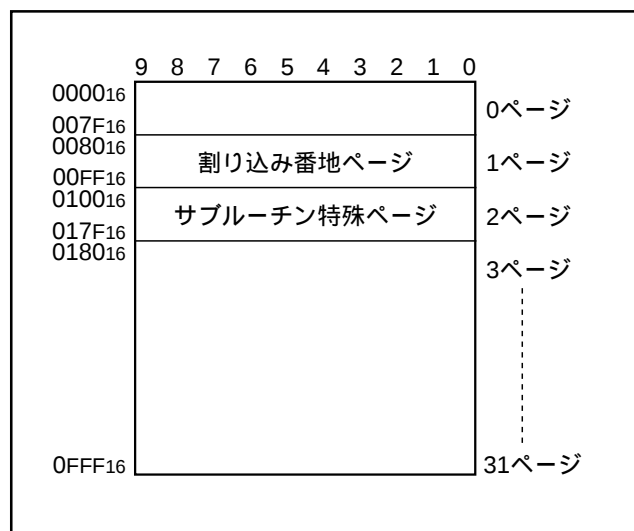
型 名	ROM(PROM)容量 (×10ビット)	ページ数
M34509G4	4096語	32(0～31)
M34509G4H	4096語	32(0～31)

●ROMコードプロテクト機能

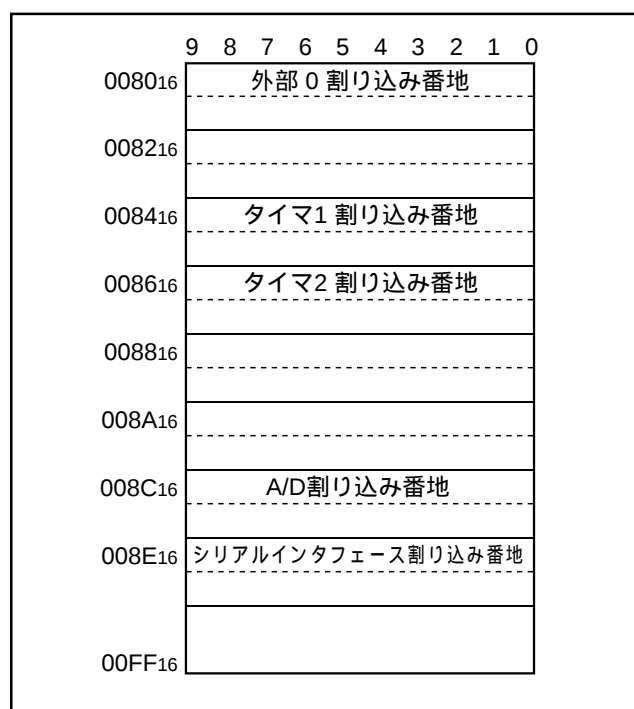
シリアルプログラマでプロテクトビット書き込みを選択した場合、または弊社書き込み出荷の際にプロテクト有りを選択した場合はシリアルプログラマでの読み出し及び書き込みは出来ません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品でのROMコードプロテクトの有無は、発注の際にROMオプション(マスクファイル変換ユーティリティ内では「マスクオプション」表記)として選択可能です。詳細はQzROM書き込み確認書を確認してください。



図BC-1．M34509G4のROMマップ



図BC-2．割り込み番地ページ(008016～00FF16)の構成

データメモリ(RAM)

RAMは1語が4ビットで構成されていますが、SB j、RB j、SZB j命令により、全メモリ領域に対して1ビット単位で処理できます。

RAMの番地は、レジスタZ、X、Yで構成されるデータポインタで指定します。RAMをアクセスする命令を実行するときには、必ずデータポインタに値を設定してください (RAMバックアップからの復帰後も必ず設定してください)。

表BD-1にRAM容量、図BD-1にRAMマップを示します。

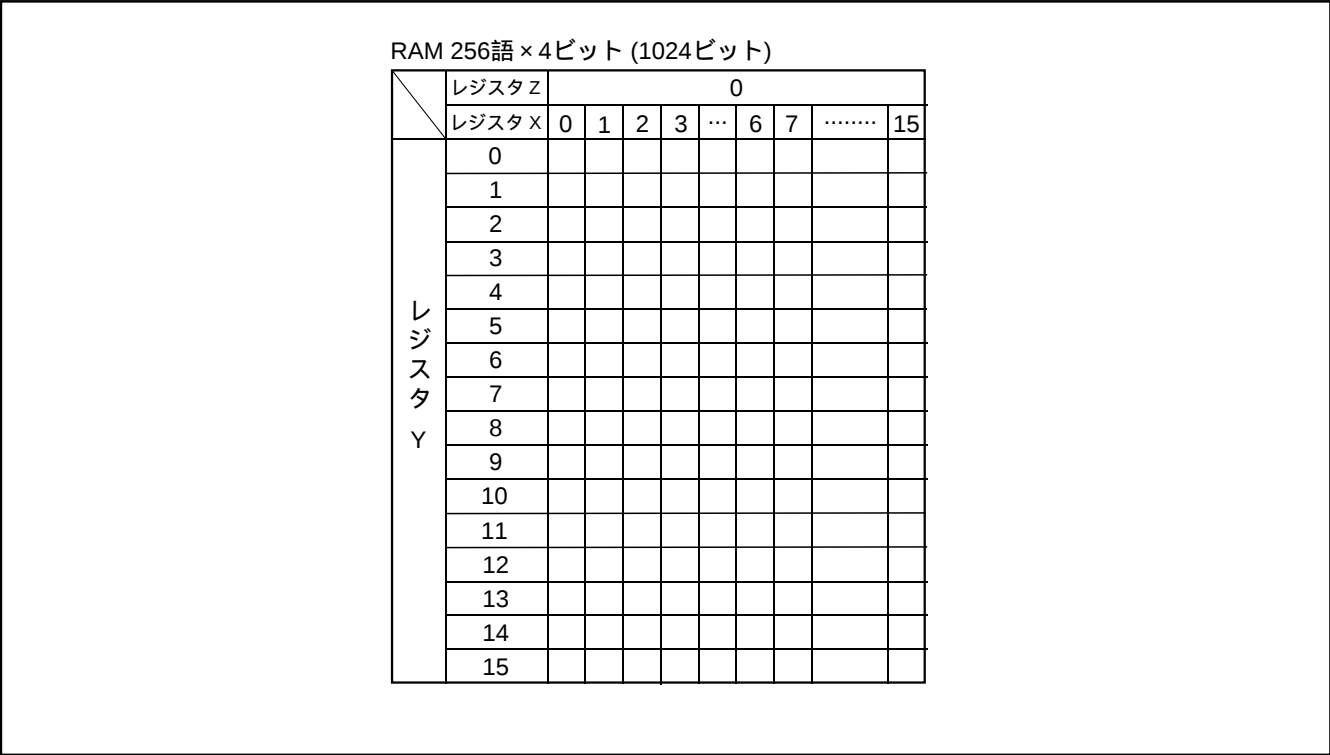
表BD-1 . RAM容量

型 名	RAM容量
M34509G4	256語 × 4ビット(1024ビット)
M34509G4H	256語 × 4ビット(1024ビット)

●注意事項

データポインタのレジスタZは、リセット解除後は不定ですので、必ず初期設定を行ってください。

また、レジスタZ、X、YはRAMバックアップ時は不定になります。RAMバックアップからの復帰後、これらのレジスタの再設定を行ってください。



図BD-1 . RAMマップ

割り込み機能

割り込みの形式は、割り込み要因ごとに異なるアドレス（割り込み番地）に岐する、ベクトル割り込みです。割り込みは次の3つの条件が満たされたとき発生します。

- 割り込み許可フラグが許可状態（INTE = “1”）
- 割り込み可能ビットが可能状態（“1”）
- 割り込み起動条件が成立（要求フラグ = “1”）

割り込み要因ごとの起動条件及び割り込み番地と、割り込みの優先順位の対応を表DD-1に示します。

起動条件の詳細については各割り込み要求フラグの項を参照してください。

(1) 割り込み許可フラグ（INTE）

フラグINTEは、すべての割り込みの許可、禁止を制御するフラグです。EI命令の実行により、フラグINTEは“1”にセットされ、割り込みは許可されます。また、DI命令の実行によりフラグINTEは“0”にクリアされ、割り込みは禁止されます。いずれかの割り込みが発生すると、フラグINTEは自動的に“0”にクリアされ、次にEI命令が実行されるまでの間、マイクロコンピュータ内部を割り込み禁止状態に保ちます。

(2) 割り込み可能ビット（V10、V12、V13、V22、V23）

それぞれの割り込み要因に対して、割り込み要求を有効とするか、あるいはスキップ命令を有効とするかを、制御します。表DD-2に割り込み要因ごとの要求フラグ、スキップ命令と割り込み制御レジスタの割り込み可能ビットとの関係を、また表DD-3に割り込み可能ビットの機能を示します。

(3) 割り込み要求フラグ

各割り込みの起動条件が成立すると、その割り込みに対応する割り込み要求フラグは“1”にセットされます。

割り込みが発生したとき、又はスキップ命令を実行したときは、これに対応した割り込み要求フラグが“0”にクリアされます。各割り込み要求フラグは、フラグINTE又は割り込み可能ビットによって割り込み禁止状態に設定されていても、起動条件が成立するとセットされます。一度セットされた割り込み要求フラグは、クリア条件が成立するまでその状態を保持します。

したがって、割り込み要求を保持した状態で割り込み禁止状態を解除すると、その時点で割り込みが発生します。割り込み禁止状態を解除したときに、2つ以上の割り込み要求フラグがセットされている場合、表DD-1に示す優先順位に従って割り込みが発生します。

表DD-1．割り込み要因、割り込み番地、及び優先順位

優先順位	割り込み要因		割り込み番地
	割り込み名	起動条件	
1	外部0割り込み	INT端子のレベル変化	1ページ0番地
2	タイマ1割り込み	タイマ1のアンダフロー	1ページ4番地
3	タイマ2割り込み	タイマ2のアンダフロー	1ページ6番地
4	A/D割り込み	A/D変換終了	1ページC番地
5	シリアルインタフェース割り込み	シリアルインタフェース送受信終了	1ページE番地

表DD-2．割り込み要求フラグ、スキップ命令と割り込み制御レジスタビット

割り込み要因	割り込み要求フラグ	割り込みスキップ命令	割り込み可能ビット
外部0割り込み	EXF0	SNZ0	V10
タイマ1割り込み	T1F	SNZT1	V12
タイマ2割り込み	T2F	SNZT2	V13
A/D割り込み	ADF	SNZAD	V22
シリアルインタフェース割り込み	SIOF	SNZSI	V23

表DD-3．割り込み可能ビットの機能

割り込み可能ビットの状態	割り込みの発生	スキップ命令
1	可 能	無 効
0	禁 止	有 効

(4) 割り込み発生時の内部状態

割り込みが発生したとき、マイクロコンピュータの内部状態は次のようになります(図DD-2参照)。

- プログラムカウンタ(PC)

割り込み番地が設定されます。メインルーチン復帰時の実行番地は、自動的にスタックレジスタSKに格納されます。

- 割り込み許可フラグ(INTE)

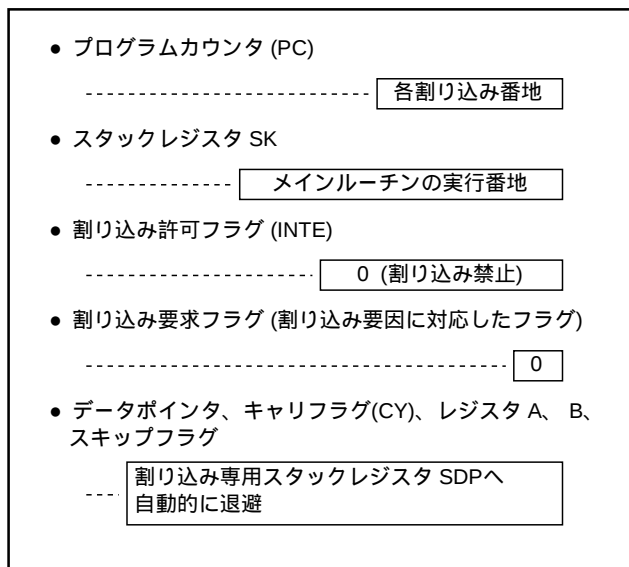
フラグINTEは“0”にクリアされ、割り込み禁止状態になります。

- 割り込み要求フラグ

割り込み要因に対応した要求フラグだけが、“0”にクリアされます。

- データポインタ、キャリフラグ(CY)、スキップフラグ、レジスタA、B

これらのレジスタ及びフラグの内容は自動的に割り込み専用スタックレジスタSDPに退避されます。

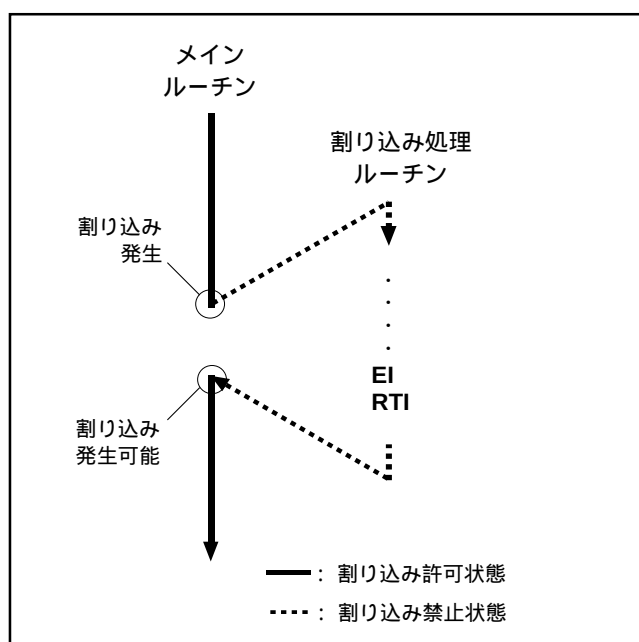


図DD-2．割り込み発生時の内部状態

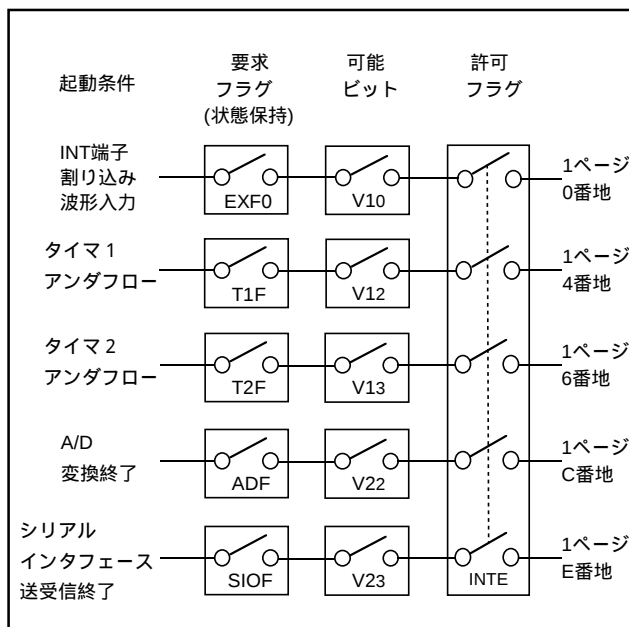
(5) 割り込みの処理方法

割り込みが発生すると、レジスタSKへのデータ退避シーケンスを経て、割り込み番地からプログラムを実行します。割り込み番地には、割り込み処理ルーチンへの分岐命令を書き込んでください。また、メインルーチンへの復帰にはRTI命令を使用してください。

なお、EI命令実行による割り込みの許可は、1命令経過の後(次命令の実行終了直後)に行われます。したがって、RTI命令の直前にEI命令を実行すると、メインルーチン復帰直後に割り込み発生可能になります(図DD-1参照)。



図DD-1．割り込み処理プログラム例



図DD-3．割り込み系統図

(6) 割り込み制御レジスタ

● 割り込み制御レジスタV1

レジスタV1には、外部0、タイマ1、タイマ2割り込み可能ビットが割り付けられています。レジスタV1の内容は、TV1A命令でレジスタAを介して設定してください。

また、TAV1命令でレジスタV1の内容をレジスタAに転送できます。

● 割り込み制御レジスタV2

レジスタV2には、A/D、シリアルインタフェース割り込み可能ビットが割り付けられています。レジスタV2の内容は、TV2A命令でレジスタAを介して設定してください。また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表DD-4. 割り込み制御レジスタ

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R / W TAV1 / TV1A
V13	タイマ2割り込み可能ビット	0	発生禁止 (SNZT2命令有効)		
		1	発生可能 (SNZT2命令無効)		
V12	タイマ1割り込み可能ビット	0	発生禁止 (SNZT1命令有効)		
		1	発生可能 (SNZT1命令無効)		
V11	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
V10	外部0割り込み可能ビット	0	発生禁止 (SNZ0命令有効)		
		1	発生可能 (SNZ0命令無効)		

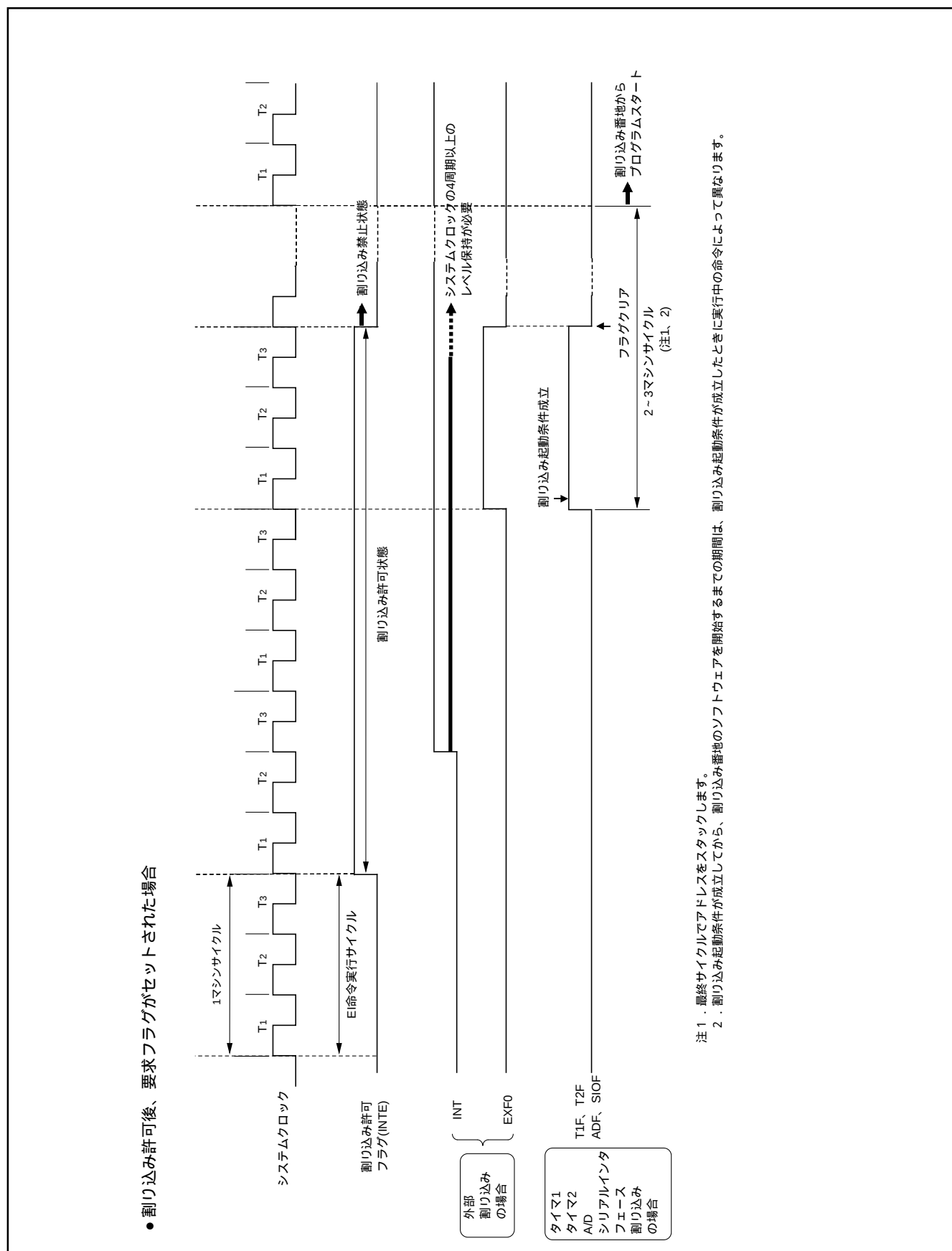
割り込み制御レジスタV2		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R / W TAV2 / TV2A
V23	シリアルインタフェース割り込み可能ビット	0	発生禁止 (SNZSI命令有効)		
		1	発生可能 (SNZSI命令無効)		
V22	A/D割り込み可能ビット	0	発生禁止 (SNZAD命令有効)		
		1	発生可能 (SNZAD命令無効)		
V21	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
V20	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			

注：“R”は読み出し可、“W”は書き込み可を表します。

(7) 割り込みシーケンス

各割り込みは、フラグINTE、割り込み可能ビット (V10、V12、V13、V22、V23) 各割り込み要求フラグが“1”になったときに起動します。割り込み発生のタイミングは、上記3条件のすべてが成立したサイクルを起点として2～3マシンサイクル後です。

割り込みの発生が3マシンサイクル後になるのは、割り込み条件が成立したときの命令が1サイクル命令以外のときです (図DD-4参照)。



図DD-4. 割り込みシーケンス

外部割り込み

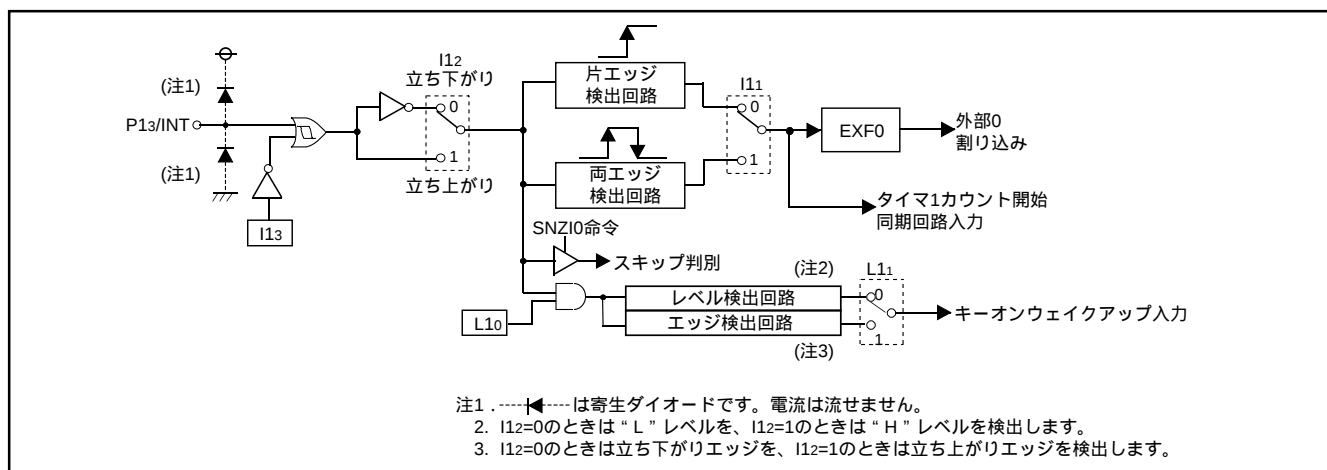
外部割り込みは、割り込み入力端子に有効波形が入力されると割り込み要求が発生します(エッジ検出)。

本製品は、1本の外部割り込み機能をもっています。

この割り込みは割り込み制御レジスタI1で制御できます。

表DD-5．外部割り込み起動条件

割り込み名	入力端子	有効波形	有効波形選択ビット
外部0割り込み	P13/INT	P13/INT端子に次の波形が入力されたとき ・立ち下がり波形(“H”→“L”) ・立ち上がり波形(“L”→“H”) ・立ち下がり及び立ち上がりの両波形	I11、I12



図DD-5．外部割り込み回路の構成

(1) 外部0割り込み要求フラグ(EXF0)

フラグEXF0はP13/INT端子に有効波形が入力されたとき“1”にセットされます。

外部0割り込みの起動条件となる有効波形は、変化前後のレベルをシステムクロックの4周期以上保持する必要があります(図DD-4参照)。

フラグEXF0の状態は、スキップ命令の実行(SNZ0命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV1で選択してください。

フラグEXF0は、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

●外部0割り込み起動条件

外部0割り込みの起動条件は、P13/INT端子に有効波形が入力されたときに成立します。有効波形は、立ち下がり波形、立ち上がり波形、又は立ち上がりと立ち下がりの両波形の3種から選択できます。以下に外部0割り込みの使用方法の一例を示します。

割り込み制御レジスタI1のビット3(I13)を“1”にセットし、INT端子入力可能状態に設定

割り込み制御レジスタI1のビット1(I11)、ビット2(I12)で有効波形を選択

SNZ0命令を使用して、フラグEXF0を“0”にクリア
 SNZ0命令によるスキップが発生する場合を考慮して、NOP命令を挿入

外部0割り込み可能ビット(V10)及び割り込み許可フラグ(INTE)を共に“1”にセット

以上の操作により外部0割り込み発生許可状態になります。この状態でP13/INT端子に有効波形を入力すると、フラグEXF0は“1”にセットされ、外部0割り込みが発生します。

(2) 外部割り込み制御レジスタ

● 割り込み制御レジスタI1

レジスタI1は、外部0割り込みの有効波形を制御します。このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表DD-6 . 外部割り込み制御レジスタ

割り込み制御レジスタI1		リセット時 : 0000 ₂	RAMバックアップ時 : 状態保持	R / W TAI1 / TI1A
I13	INT端子入力制御ビット (注2)	0	入力禁止	
		1	入力可能	
I12	INT端子割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “ L ”レベル(SNZIO命令はINT端子の“ L ”レベル認識)	
		1	立ち上がり波形 / “ H ”レベル(SNZIO命令はINT端子の“ H ”レベル認識)	
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I10	INT端子タイマ1制御可能ビット	0	タイマ1制御禁止	
		1	タイマ1制御可能	

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. これらのビット(I12、I13)の内容を変更した際に、外部割り込み要求フラグ(EXF0)がセットされる場合があります。

(3) 注意事項

レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-6)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上において(図DD-6) SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-6)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・①
LA 8	; (1×××2)
TI1A	; INT端子入力制御変更
NOP	; ・・・・・・・・・・②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	; ・・・・・・・・・・③
⋮	

×：このビットはINT端子の入力制御には関係しません。

図DD-6．外部0割り込みプログラム例1

レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を“0”にクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- INT端子入力を禁止する場合(レジスタI13≠“0”)は、RAMバックアップモードに移行する前にINT端子のキーオンウェイクアップを無効(レジスタL10≠“0”)としてください(図DD-7)。

⋮	
LA 0	; (×××02)
TL1A	; INTキーオンウェイクアップ無効・・・①
DI	
EPOF	
POF	; RAMバックアップ
⋮	

×：このビットは本例では関係しません。

図DD-7．外部0割り込みプログラム例2

レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP13/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が“1”にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を“0”にクリア(図DD-8)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上において(図DD-8) SNZ0命令を実行し、フラグEXF0を“0”にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図DD-8)。

⋮	
LA 4	; (×××02)
TV1A	; SNZ0命令有効・・・①
LA 12	; (1×××2)
TI1A	; 割り込み有効波形変更
NOP	; ・・・・・・・・・・②
SNZ0	; SNZ0命令実行 (フラグEXF0クリア)
NOP	; ・・・・・・・・・・③
⋮	

×：このビットはINT端子の設定には関係しません。

図DD-8．外部0割り込みプログラム例3

タイマ

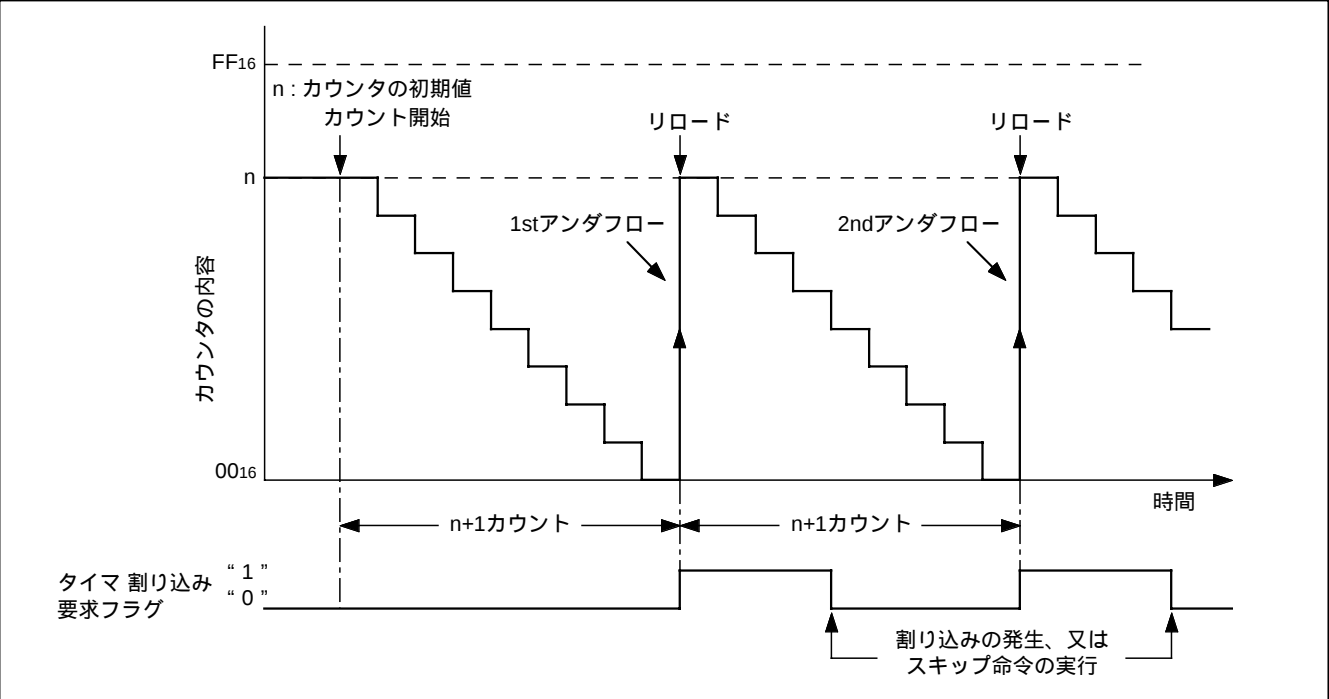
本製品が内蔵するタイマには、以下の種類があります。

● プログラブルタイマ

プログラブルタイマは分周比を設定できるタイマで、リロードレジスタをもちます。設定値nからダウンカウントを開始し、アンダフローする(n+1カウントする)と、また新たにリロードレジスタからデータがリロードされカウントを続行します(オートリロード機能)。

● 固定分周タイマ

固定分周タイマは、分周比(n)が固定されているタイマで、カウントパルスをn回カウントするごとに割り込み要求フラグを“1”にセットします。



図FB-1．オートリロード機能

本製品のタイマは以下の回路で構成されています。

- プリスケラ：8ビットプログラブルタイマ
- タイマ1：8ビットプログラブルタイマ
- タイマ2：8ビットプログラブルタイマ
- ウォッチドッグタイマ：16ビット固定分周タイマ
(タイマ1、2は割り込み機能付き)

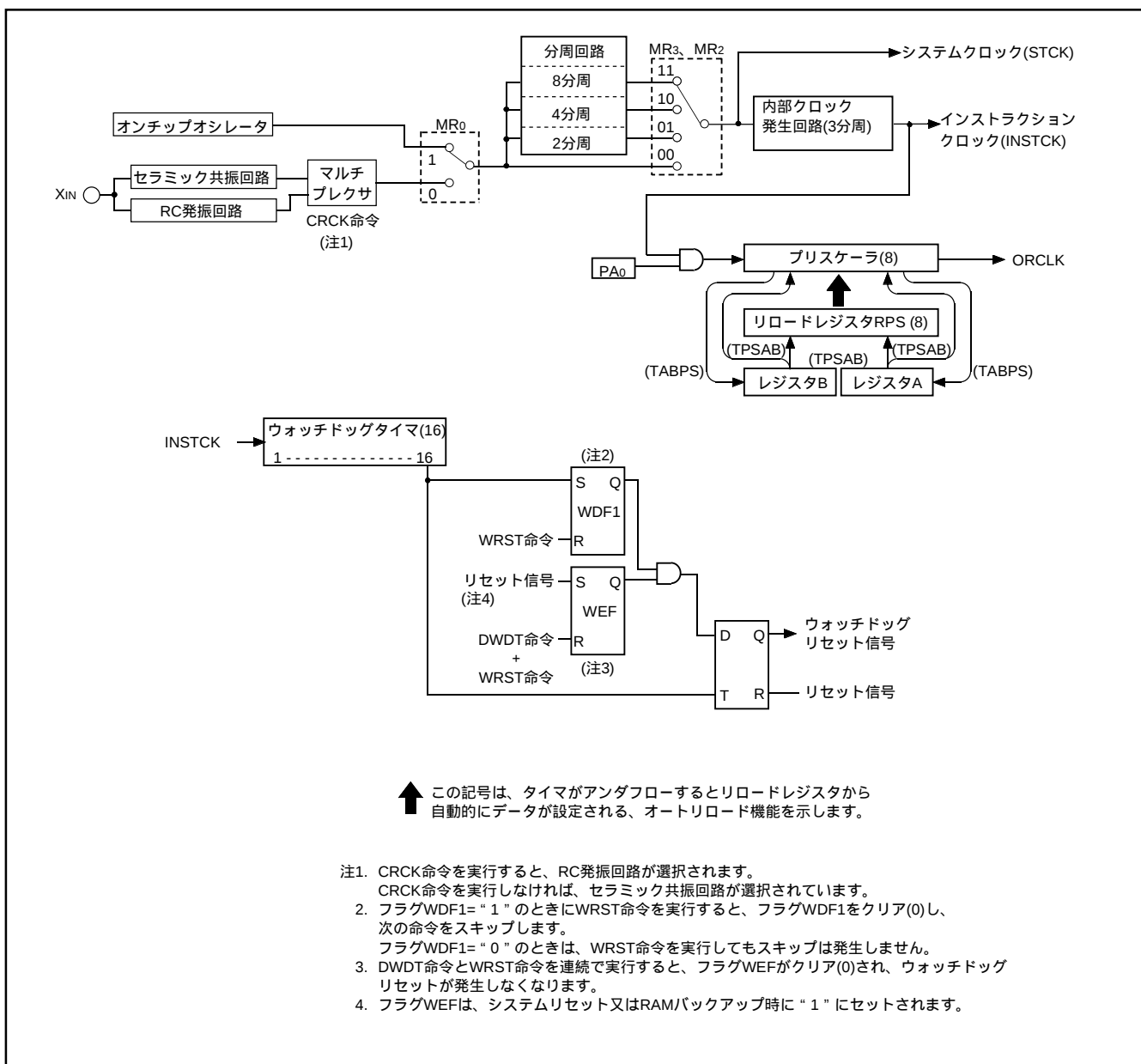
プリスケラ、タイマ1、2は、タイマ制御レジスタPA、W1、W2、W5、W6で制御できます。

16ビットタイマは、制御レジスタをもたないフリーカウンタです。

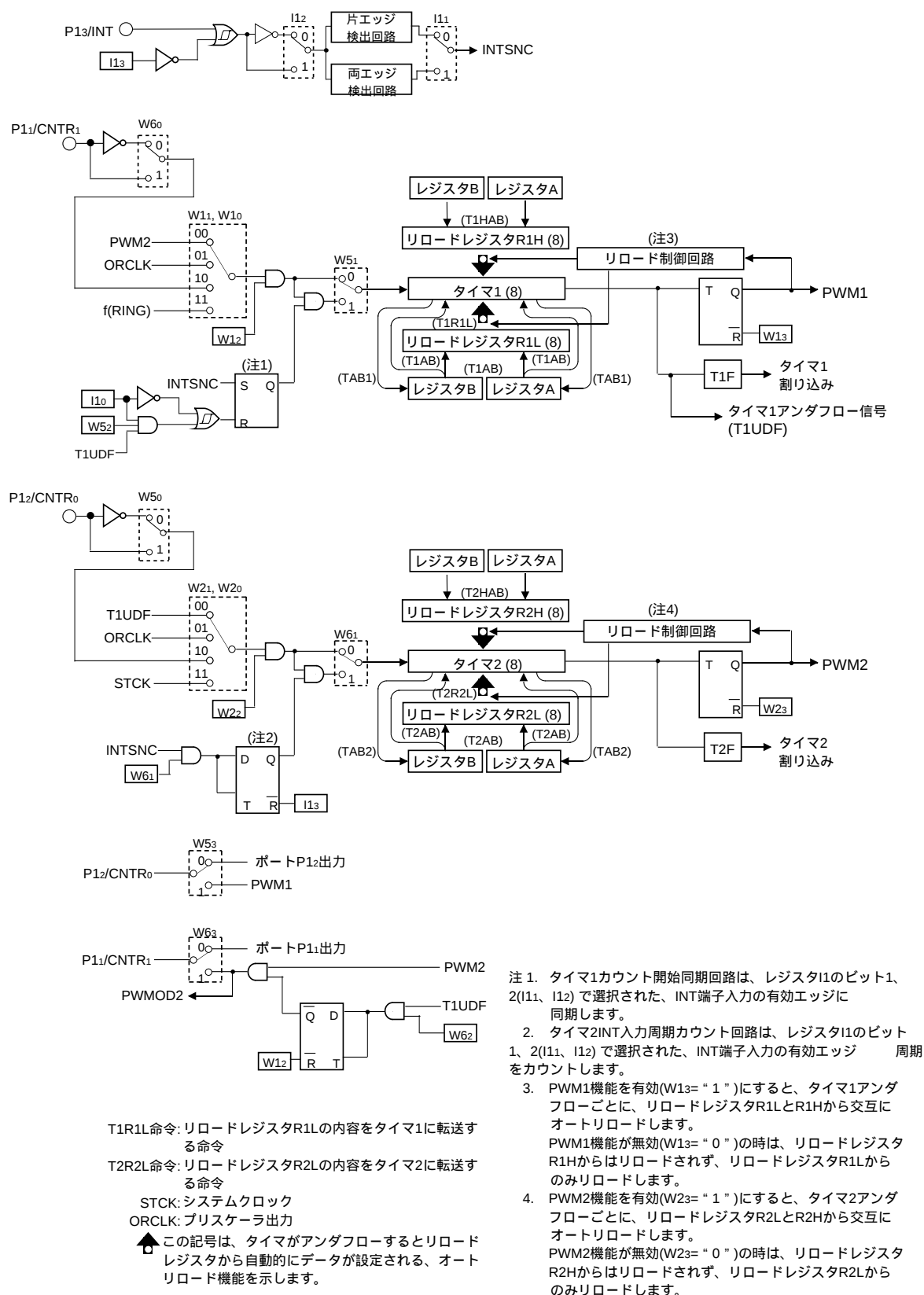
以下、各機能について説明します。

表FB-1．タイマの機能一覧

回路名	構成	カウントソース	分周比	出力信号の用途	制御レジスタ
プリスケラ	8ビットプログラブルバイナリダウンカウンタ	・ インストラクションクロック (INSTCK)	1 ~ 256	・ タイマ1、2カウントソース	PA
タイマ1	8ビットプログラブルバイナリダウンカウンタ (INT入力に連動機能あり) (PWM出力機能付)	・ PWM2信号 (PWMOD2) ・ プリスケラ出力 (ORCLK) ・ CNTR1入力 ・ オンチップオシレータクロック (f(RING))	1 ~ 256	・ タイマ2カウントソース ・ CNTR0出力 ・ タイマ1割り込み	W1 W5 W6
タイマ2	8ビットプログラブルバイナリダウンカウンタ (INT入力周期カウント機能付) (PWM出力機能付)	・ タイマ1アンダフロー (T1UDF) ・ プリスケラ出力 (ORCLK) ・ CNTR0入力 ・ システムクロック (STCK)	1 ~ 256	・ タイマ1カウントソース ・ CNTR1出力 ・ タイマ2割り込み	W2 W5 W6
ウォッチドッグタイマ	16ビット固定分周	・ インストラクションクロック (INSTCK)	65536	・ システムリセット (2回カウント) ・ WDF1フラグ判定	-



図FB-2. タイマの構成(1)



図FB-3. タイマの構成(2)

表FB-2. タイマ制御レジスタ

タイマ制御レジスタPA		リセット時: 02		RAMバックアップ時: 02	W TPAA
PA0	プリスケアラ制御ビット	0	停止(状態保持)		
		1	動作		

タイマ制御レジスタW1		リセット時：00002		RAMバックアップ時：00002	R / W TAW1 / TW1A
W13	PWM1機能制御ビット	0	PWM1機能無効		
		1	PWM1機能有効		
W12	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		
W11	タイマ1カウントソース選択ビット	W11	W10	カウントソース	
		0	0	PWM2信号	
0		1	プリスケアラ出力(ORCLK)		
W10		1	0	CNTR1入力	
		1	1	オンチップオシレータクロック(f(RING))	

タイマ制御レジスタW2		リセット時：00002		RAMバックアップ時：00002	R / W TAW2 / TW2A
W23	PWM2機能制御ビット	0	PWM2機能無効		
		1	PWM2機能有効		
W22	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W21	タイマ2カウントソース選択ビット	W21	W20	カウントソース	
		0	0	タイマ1アンダフロー信号(T1UDF)	
0		1	プリスケアラ出力(ORCLK)		
W20		1	0	CNTR0入力	
		1	1	システムクロック(STCK)	

タイマ制御レジスタW5		リセット時: 00002		RAMバックアップ時: 状態保持	R / W TAW5 / TW5A
W53	P12/CNTR0端子機能選択ビット	0	P12入出力 / CNTR0入力		
		1	P12入力 / CNTR0入出力		
W52	タイマ1 カウント自動停止回路選択ビット (注2)	0	カウント自動停止回路非選択		
		1	カウント自動停止回路選択		
W51	タイマ1 カウント開始同期回路選択ビット (注3)	0	カウント開始同期回路非選択		
		1	カウント開始同期回路選択		
W50	CNTR0端子 入力カウントエッジ選択ビット	0	立ち下がリエッジ		
		1	立ち上がりエッジ		

タイマ制御レジスタW6		リセット時: 00002		RAMバックアップ時: 状態保持	R / W TAW6 / TW6A
W63	P11/CNTR1端子機能選択ビット	0	P11入出力 / CNTR1入力		
		1	P11入力 / CNTR1入出力		
W62	CNTR1端子 出力自動制御回路選択ビット	0	出力自動制御回路非選択		
		1	出力自動制御回路選択		
W61	タイマ2 INT端子入力周期カウント回路選択ビット	0	INT端子入力周期カウント回路非選択		
		1	INT端子入力周期カウント回路選択		
W60	CNTR1端子 入力カウントエッジ選択ビット	0	立ち下がリエッジ		
		1	立ち上がりエッジ		

注1. “R”は読み出し可、“W”は書き込み可を表します。

2. この機能は、INT端子タイマ1制御可能(I10 = “1”)及びタイマ1 カウント開始同期回路選択(W51 = “1”)時にのみ有効です。

3. この機能は、INT 端子タイマ1制御可能(I10 = “1”)時にのみ有効です。

(1) タイマ関連の制御レジスタ

● タイマ制御レジスタ PA

レジスタPAは、プリスケアラのカウンタ動作を制御します。このレジスタは、TPAA命令でレジスタAを介して設定してください。

● タイマ制御レジスタ W1

レジスタW1は、タイマ1のカウンタソース選択、カウンタ動作、及びPWM1機能を制御します。このレジスタの内容は、TW1A命令でレジスタAを介して設定してください。また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

● タイマ制御レジスタ W2

レジスタW2は、タイマ2のカウンタソース選択、カウンタ動作及びPWM2機能を制御します。このレジスタの内容は、TW2A命令でレジスタAを介して設定してください。また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

● タイマ制御レジスタ W5

レジスタW5は、CNTR0端子入力カウンタエッジ、タイマ1カウンタ開始同期回路、タイマ1自動停止回路及びP12/CNTR0端子機能を制御します。このレジスタの内容は、TW5A命令でレジスタAを介して設定してください。またTAW5命令でレジスタW5の内容をレジスタAに転送できます。

● タイマ制御レジスタ W6

レジスタW6は、CNTR1端子入力カウンタエッジ、INT端子入力周期カウンタ回路、CNTR1端子出力自動制御回路、及びP11/CNTR1端子機能を制御します。このレジスタの内容はTW6A命令でレジスタAを介して設定してください。また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

(2) プリスケアラ

プリスケアラは8ビットのバイナリカウンタで、プリスケアラリロードレジスタRPSをもっています。プリスケアラとリロードレジスタRPSには、TPSAB命令で同時にデータを設定できます。プリスケアラからはTABPS命令でデータを読み出すことができます。

プリスケアラデータの設定または読み出しを行う場合は、カウンタを停止させた後にTPSAB命令またはTABPS命令を実行してください。

プリスケアラにデータを設定した後レジスタPAのビット0を"1"にセットすると、プリスケアラはカウンタ動作を開始します。

リロードレジスタRPSの設定値をnとすると、プリスケアラはカウンタソースの信号をn+1分周します(n=0~255)。プリスケアラのカウンタソースはインストラクションクロック(INSTCK)です。

カウンタ開始後、プリスケアラはアンダフローする(プリスケアラの内容が"0"になった後、次のカウンタパルスが入力される)と、新たにリロードレジスタRPSからデータをリロードしてカウンタを続行します(オートリロード機能)。プリスケアラの出力信号(ORCLK)は、タイマ1、2のカウンタソースに使用できます。

(3) タイマ1(割り込み機能付き)

タイマ1は8ビットのバイナリカウンタで、2つのタイマ1リロードレジスタR1L、R1Hをもっています。タイマ1とリロードレジスタR1Lには、T1AB命令で同時にデータを設定できます。リロードレジスタR1HにはT1HAB命令でデータを設定することができます。T1AB命令で設定したリロードレジスタR1Lの内容は、T1R1L命令でタイマ1に再設定できます。タイマ1からはTAB1命令でデータを読み出すことができます。

タイマ1データの設定または読み出しを行う場合は、カウンタを停止させた後にT1AB命令またはTAB1命令を実行してください。

タイマ1動作中にリロードレジスタR1Hにデータを設定する場合は、アンダフローと重ならないタイミングでT1HAB命令を実行してください。

タイマ1にデータを設定した後、レジスタW1のビット0、1でカウンタソースを設定し、レジスタW1のビット2を"1"にセットすると、タイマ1はカウンタ動作を開始します。

リロードレジスタR1Lの設定値をn、R1Hの設定値をmとすると、タイマ1はカウンタソースの信号をn+1またはm+1分周します(n=0~255、m=0~255)。

レジスタW1のビット3が"0"(PWM1機能無効)の場合、カウンタ開始後、タイマ1はアンダフローする(タイマ1の内容が"0"になった後、次のカウンタパルスが入力される)と、タイマ1割り込み要求フラグ(T1F)を"1"にセットし、新たにリロードレジスタR1Lからデータをリロードしてカウンタを続行します(オートリロード機能)。

レジスタW1のビット3が"1"(PWM1機能有効)の場合、タイマ1は、リロードレジスタR1Lに設定した期間" L "、リロードレジスタR1Hに設定した期間" H "のPWM1信号を生成します。

レジスタW5のビット3を"1"にセットすると、タイマ1で生成したPWM1信号をCNTR0端子から出力することができます。

レジスタI1のビット0を"1"にセットしてINT端子によるタイマ1制御を可能状態にし、レジスタW5のビット1を"1"にセットすると、INT端子の入力をタイマ1カウンタ動作の開始トリガに使用できます。また、この時レジスタW5のビット2を"1"にセットすると、タイマ1アンダフローによる自動停止が行えます。

(4) タイマ2(割り込み機能付き)

タイマ2は8ビットのバイナリカウンタで、2つのタイマ2リロードレジスタR2L、R2Hをもっています。タイマ2とリロードレジスタR2Lには、T2AB命令で同時にデータを設定できます。リロードレジスタR2HにはT2HAB命令でデータを設定することができます。T2AB命令で設定したリロードレジスタR2Lの内容は、T2R2L命令でタイマ2に再設定できます。タイマ2からはTAB2命令でデータを読み出すことができます。

タイマ2データの設定または読み出しを行う場合は、カウントを停止させた後にT2AB命令またはTAB2命令を実行してください。

タイマ2動作中にリロードレジスタR2Hにデータを設定する場合は、アンダフローと重ならないタイミングでT2HAB命令を実行してください。

タイマ2にデータを設定した後、レジスタW2のビット0、1でカウントソースを設定し、レジスタW2のビット2を"1"にセットすると、タイマ2はカウント動作を開始します。

リロードレジスタR2Lの設定値をn、R2Hの設定値をmとすると、タイマ2はカウントソースの信号をn+1またはm+1分周します(n=0~255、m=0~255)。

レジスタW2のビット3が"0"(PWM2機能無効)の場合、カウント開始後、タイマ2はアンダフローする(タイマ2の内容が"0"になった後、次のカウントパルスが入力される)と、タイマ2割り込み要求フラグ(T2F)を"1"にセットし、新たにリロードレジスタR2Lからデータをリロードしてカウントを続行します(オートリロード機能)。

レジスタW2のビット3が"1"(PWM2機能有効)の場合、タイマ2は、リロードレジスタR2Lに設定した期間" L "、リロードレジスタR2Hに設定した期間" H "のPWM2信号を生成します。

レジスタW6のビット3を"1"にセットすると、タイマ2で生成したPWM2信号をCNTR1端子から出力することができます。

レジスタW6のビット2を"1"にセットすると、タイマ1と組み合わせてCNTR1端子へのPWM2出力制御を行うことができます。

レジスタW6のビット1を"1"にセットすると、タイマ2によるINT端子の入力周期カウントを行うことができます。

(5) カウント開始同期回路(タイマ1)

タイマ1はINT端子の入力に同期して、タイマカウント動作を開始できるカウント開始同期回路をもっています。

タイマ1のカウント開始同期回路は、レジスタI1のビット0を"1"にセットしてINT端子によるタイマ制御を可能状態にし、レジスタW5のビット1を"1"にセットすると機能が選択されて、INT端子の入力による制御が可能になります。

タイマ1のカウント開始同期回路を使用している場合、INT端子に有効波形が入力された時にカウント開始同期回路がセットされ、カウントソースが入力されます。

カウント開始同期回路をセットするためのINT端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたカウント開始同期回路は、レジスタI1のビット0を"0"にクリアするか、システムリセットによりクリアされます。

ただし、カウント自動停止回路が選択されている場合(レジスタW2のビット1)は、タイマ1がアンダフローするとカウント開始同期回路がクリアされます(自動停止)。

(6) カウント自動停止回路(タイマ1)

タイマ1はカウント開始同期回路を使用している時に、タイマ1のアンダフロー発生により自動的にカウントを停止するカウント自動停止回路をもっています。

タイマ1のカウント自動停止回路は、レジスタW5のビット2に"1"をセットすると有効になり、タイマ1がアンダフローするとカウント開始同期回路をクリアし、タイマ1へのカウントソース入力が停止します。

この機能は、タイマ1カウント開始同期回路を選択している場合のみ有効です。

(7) INT端子入力周期カウント回路(タイマ2)

タイマ2はINT端子の有効波形入力間隔をカウントするINT端子入力周期カウント回路をもっています。

タイマ2のINT端子入力周期カウント回路は、レジスタW6のビット1を"1"にセットすると有効になり、INT端子に有効波形が入力されるとカウントソースが入力されます。次のINT端子への有効波形入力でカウントソース入力が停止します。その後INT端子に有効波形が入力されるごとに、カウントソース入力の開始/停止が交互に繰り返されます。

INT端子入力の有効波形は、外部割り込みの起動条件と同じです。

なお、一度セットされたINT端子入力周期カウント回路は、レジスタI1のビット3を"0"にクリアしてINT端子入力を禁止状態にすることによりクリアされます。

(8) タイマ入出力端子(P12/CNTR0、P11/CNTR1)

CNTR0端子は、タイマ2のカウントソース入力機能と、タイマ1で生成されるPWM1信号の出力機能をもちます。

CNTR1端子は、タイマ1のカウントソース入力機能と、タイマ2で生成されるPWM2信号の出力機能をもちます。

レジスタW5のビット3でP12/CNTR0端子機能選択を、レジスタW6のビット3でP11/CNTR1端子機能選択を制御できます。

タイマ2のカウントソースとしてCNTR0入力を選択した場合、タイマ2はCNTR0入力の立ち下がり、あるいは立ち上がり波形をカウントします。カウントエッジの選択はレジスタW5のビット0で行います。

タイマ1のカウントソースとしてCNTR1入力を選択した場合、タイマ1はCNTR1入力の立ち下がり、あるいは立ち上がり波形をカウントします。カウントエッジの選択はレジスタW6のビット0で行います。

(9) PWM1出力機能(P12/CNTR0、タイマ1)

レジスタW1のビット3を'1'にセットすると、タイマ1はアンダフローするごとにリロードレジスタR1H、R1Lから交互にデータをリロードし、リロードレジスタR1Lに設定した期間' L '、リロードレジスタR1Hに設定した期間' H 'のPWM1信号を生成します。

このとき、レジスタW5のビット3を'1'にセットすると、タイマ1で生成されたPWM1信号がCNTR0端子に出力されます。

PWM1信号が' H 'の期間にTW1A命令を実行した場合、レジスタW1の内容はPWM1信号の' H '期間終了後に変更されます。

(10) PWM2出力機能(P1/CNTR1、タイマ1、タイマ2)

レジスタW2のビット3を'1'にセットすると、タイマ2はアンダフローするごとにリロードレジスタR2H、R2Lから交互にデータをリロードし、リロードレジスタR2Lに設定した期間' L '、リロードレジスタR2Hに設定した期間' H 'のPWM2信号を生成します。

このとき、レジスタW6のビット3を'1'にセットすると、タイマ2で生成されたPWM2信号がCNTR1端子に出力されます。

レジスタW6のビット2を'1'にセットすると、タイマ1のアンダフローごとに、CNTR1端子へのPWM2信号出力の有効/無効が交互に繰り返されます。ただし、タイマ1を停止(レジスタW1のビット2を'0'にクリア)するとこの機能は解除されます。

PWM2信号が' H 'の期間にTW2A命令を実行した場合、レジスタW2の内容はPWM2信号の' H '期間終了後に変更されます。

(11) タイマ割り込み要求フラグ(T1F、T2F)

タイマ割り込み要求フラグは各タイマのアンダフロー時に'1'にセットされます。これらフラグの状態は、スキップ命令の実行(SNZT1、SNZT2命令)により確認できます。

割り込みとスキップ命令のどちらを使用するかはレジスタV1で選択してください。

割り込み要求フラグは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで'0'にクリアされます。

(12) 注意事項

タイマを使用する場合は以下の点に注意してください。

●プリスケアラに関する注意

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウンタを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウンタを停止させた後、データ書き込み命令(TPSAB)を実行してください。

●カウンタソースに関する注意

タイマ1、2のカウンタソースを切り替える場合は、まず各タイマのカウンタを停止させた後、カウンタソースを切り替えてください。

●カウンタ値の読み出しに関する注意

タイマ1、2からデータを読み出す場合は、まず各タイマのカウンタを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

●タイマへのデータ書き込みに関する注意

タイマ1、2にデータを書き込む場合は、まず各タイマのカウンタを停止させた後、データ書き込み命令(T1AB、T1R1L、T2AB、T2R2L)を実行してください。

●リロードレジスタへのデータ書き込みに関する注意

タイマ1動作中にリロードレジスタR1Hにデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータ書き込み命令(T1HAB)を実行してください。

タイマ2動作中にリロードレジスタR2Hにデータを書き込む場合は、必ずタイマ2アンダフローと重ならないタイミングでデータ書き込み命令(T2HAB)を実行してください。

●PWM信号(PWM1、PWM2)に関する注意

PWM1信号出力時に、タイマ1カウンタ停止タイミングとタイマ1アンダフロータイミングが重なった場合、PWM1出力波形にハザードが発生することがあります。

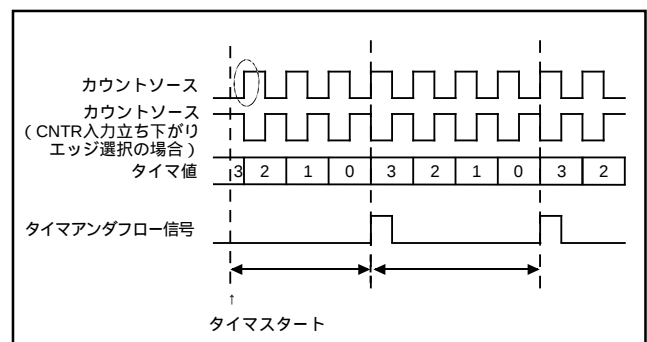
PWM2信号出力時に、タイマ2カウンタ停止タイミングとタイマ2アンダフロータイミングが重なった場合、PWM2出力波形にハザードが発生することがあります。

●プリスケアラ、タイマ1、2のカウンタ開始タイミングと動作開始時のカウンタ時間に関する注意

プリスケアラ、タイマは動作開始()後、カウンタソースの最初の立ち上がり()からカウンタを開始します。

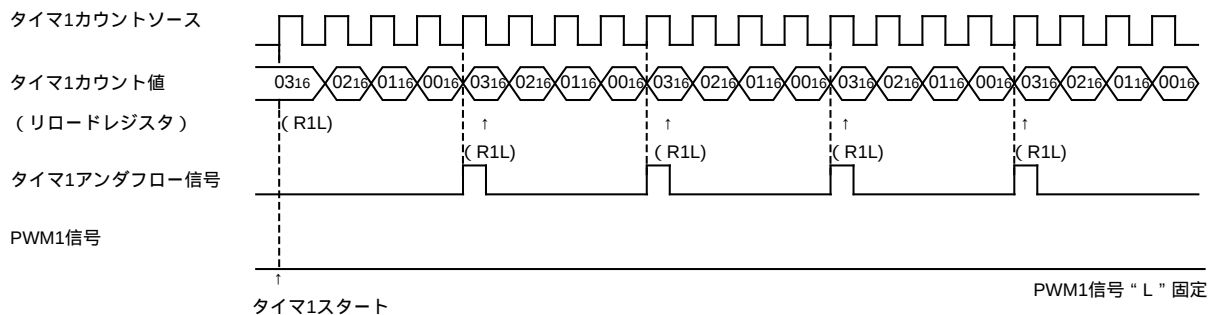
タイマ及びカウンタソースの動作開始タイミングによって、カウンタ開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウンタソースの一周期分)なります。

なお、タイマのカウンタソースにCNTR入力を選択した場合、タイマはソフトウェアにより選択されるCNTR入力カウンタエッジ(立ち下がりエッジまたは立ち上がりエッジ)に同期して動作します。

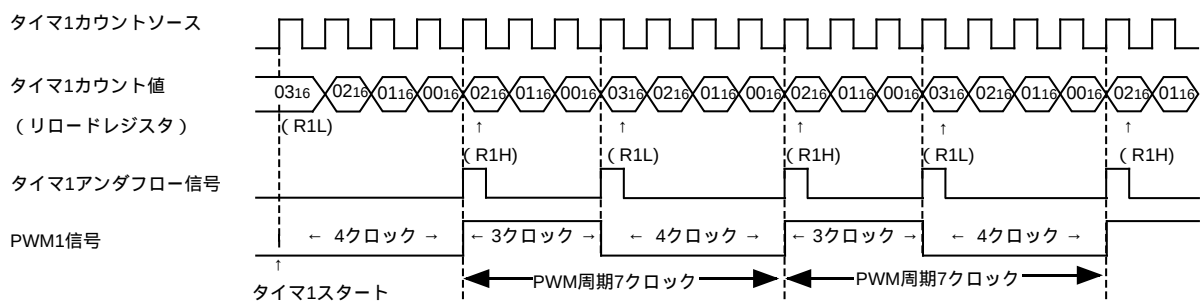


図FB-4. タイマカウンタ開始タイミングと動作開始時のカウンタ時間

●PWM1機能無効 (W13 = “0”) 時



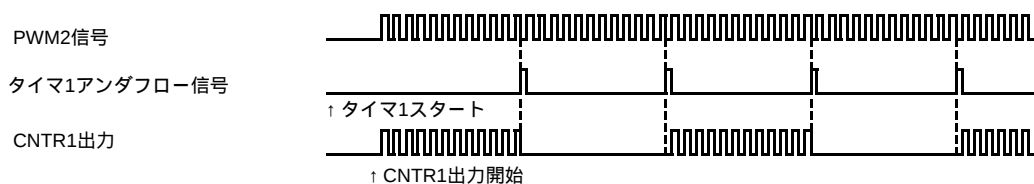
●PWM1機能有効 (W13 = “1”) 時



リロードレジスタR1Lに “0316”、リロードレジスタR1Hに “0216” を設定した場合。

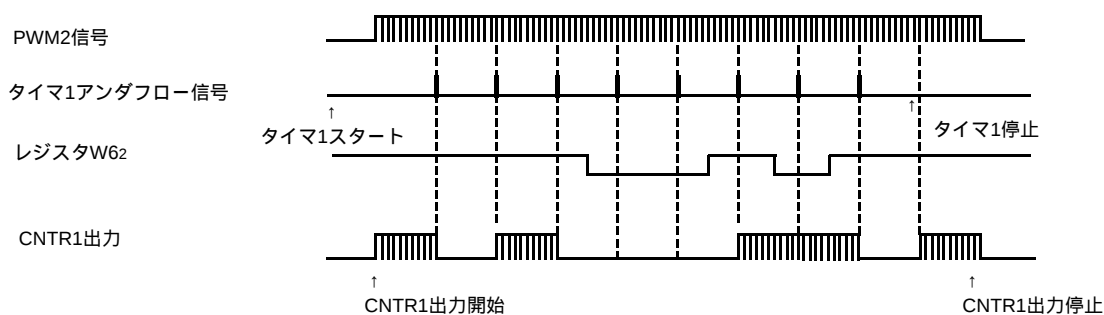
図FB-5. タイマ1動作例

- CNTR1出力自動制御回路動作例1 (W23= " 1 "、W63= " 1 "、W62= " 1 ")



CNTR1出力自動制御回路を選択すると、タイマ1のアンダフローごとにCNTR1出力の有効 / 無効が繰り返されます。

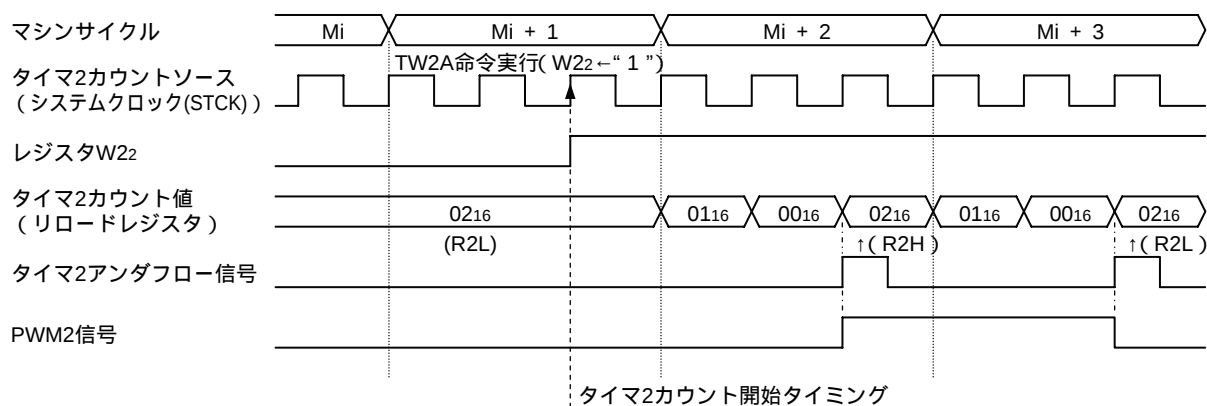
- CNTR1出力自動制御回路動作例2 (W23= " 1 "、W63= " 1 ")



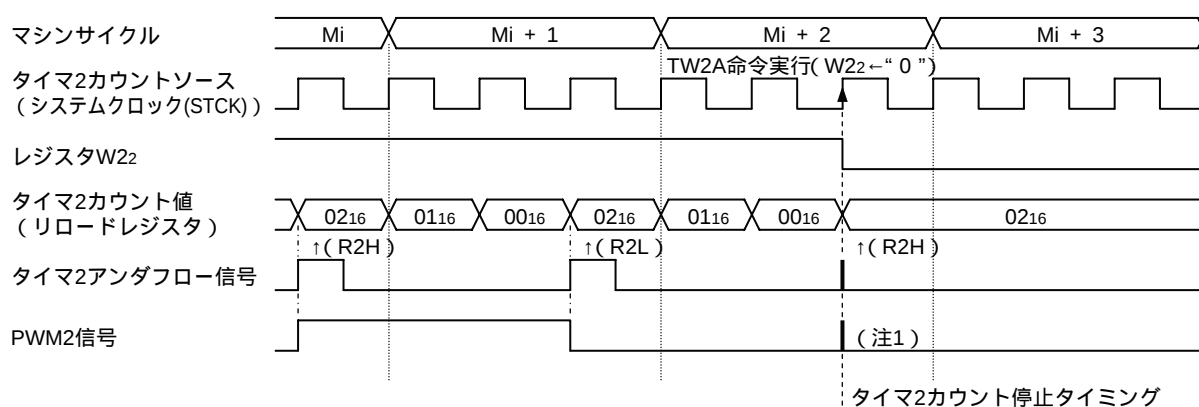
CNTR1出力無効時にCNTR1出力自動制御機能を非選択にすると、CNTR1出力無効状態を保持します。
CNTR1出力有効時にCNTR1出力自動制御機能を非選択にすると、CNTR1出力有効状態を保持します。
タイマ1を停止すると、CNTR1出力自動制御機能は無効になります。

図FB-6 . タイマ1によるCNTR1出力自動制御機能

● タイマ2カウント開始タイミング (R2L = "02₁₆"、R2H = "02₁₆"、W23 = "1")



● タイマ2カウント停止タイミング (R2L = "02₁₆"、R2H = "02₁₆"、W23 = "1")



注1. PWM機能有効 (W13 = "1" または W23 = "1") 時にタイマカウント停止タイミングとタイマアンダフロータイミングが重なると、PWM信号波形にハザードが発生する場合があります。

2. PWM信号の "H" 期間中にタイマカウントを停止した場合は、"H" 出力期間が終了後にタイマは停止します。

図FB-7. タイマカウント開始 / 停止タイミング

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムを正常に実行できなくなった場合に、マイクロコンピュータをリセット状態にし、再起動させるためのものです。ウォッチドッグタイマは、タイマWDT(16ビットバイナリカウンタ)、ウォッチドッグタイマイネーブルフラグ(WEF) 及びウォッチドッグタイマフラグ(WDF1、WDF2)により構成されています。

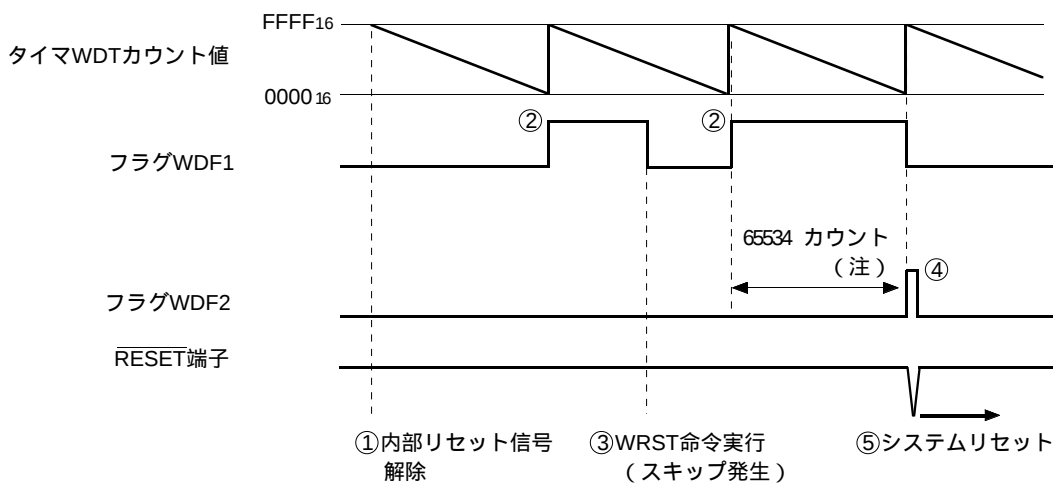
タイマWDTは、リセット解除直後に“FFFF₁₆”の値からインストラクションクロックをカウントソースとしてダウンカウントを開始します。

カウント開始後、タイマWDTはアンダフローする(タイマWDTの内容が“0000₁₆”になった後、次のカウントパルスが入力されると、まずフラグWDF1を“1”にセットします。その後、次のタイマWDTアンダフローが発生する(タイマWDTが65534カウントする)までの間にWRST命令が実行されなければ、フラグWDF2を“1”にセットし、RESET端子から“L”レベルを出力してマイクロコンピュータをリセット状態にします。

ウォッチドッグタイマを使用する場合のソフトウェアでは、マイクロコンピュータに正常な動作を持続させるため、65534マシンサイクル以下の周期でWRST命令を実行するように処理してください。

リセット解除後はフラグWEFが“1”にセットされ、ウォッチドッグタイマの機能が有効になります。DWD命令とWRST命令を連続して実行すると、フラグWEFが“0”にクリアされ、ウォッチドッグタイマの機能が無効になります。フラグWEFは、システムリセット又はRAMバックアップ時に“1”にセットされます。

WRST命令にはスキップ機能があり、フラグWDF1の内容が“1”の時にWRST命令を実行すると、フラグWDF1を“0”にクリアして次の命令をスキップします。フラグWDF1が“0”の時にWRST命令を実行しても、スキップは発生しません。WRST命令のスキップ機能は、ウォッチドッグタイマの機能を無効にしている場合でも使用できます。



- ①リセット解除後（プログラムスタート後）、タイマWDTはダウンカウントを開始します。
- ②タイマWDTがアンダフローすると、フラグWDF1が“1”にセットされます。
- ③フラグWDF1が“1”のときにWRST命令を実行すると、フラグWDF1は“0”にクリアされ、次の命令をスキップします。
- ④フラグWDF1が“1”のときにタイマWDTがアンダフローするとフラグWDF2が“1”にセットされ、ウォッチドッグリセット信号を出力します。
- ⑤ウォッチドッグリセット信号により、RESET端子の出力トランジスタが“ON”し、システムリセットが発生します。

注．タイマWDTのカウントソースはインストラクションクロックのため、カウント数はマシンサイクル数と同じです。

図FB-8．ウォッチドッグタイマ機能の動作

ウォッチドッグタイマ機能を使用する場合は、WRST命令によりフラグWDF1を65534マシンスイクル以下の周期でクリアしてください。ウォッチドッグタイマ機能を使用しない場合は、DWD命令とWRST命令を連続して実行してください(図FB-9参照)。DWD命令のみではウォッチドッグタイマ機能は停止しません。

RAMバックアップ時、フラグWDF1及びタイマWDTの値は初期化されます。なお、ウォッチドッグタイマ機能とRAMバックアップを併用する場合は、RAMバックアップモードに移行する前にWRST命令を実行してフラグWDF1を初期化してください。

また、WRST命令によるスキップが発生する場合を考慮し、WRST命令の後にNOP命令を挿入してください(図FB-10参照)。

```

      ⋮
WRST      ; フラグWDF1クリア
      ⋮
DI
DWD        ; ウォッチドッグタイマ機能禁止許可
WRST      ; フラグWDF1クリア
      ⋮

```

図FB-9. ウォッチドッグタイマ使用時、停止の時のプログラム例

```

      ⋮
      ⋮
      ⋮
WRST      ; フラグWDF1クリア
NOP
DI         ; 割り込み禁止
EPOF      ; POF命令許可
POF       ; RAMバックアップ
↓
発振停止

```

図FB-10. ウォッチドッグタイマ使用時のプログラム例

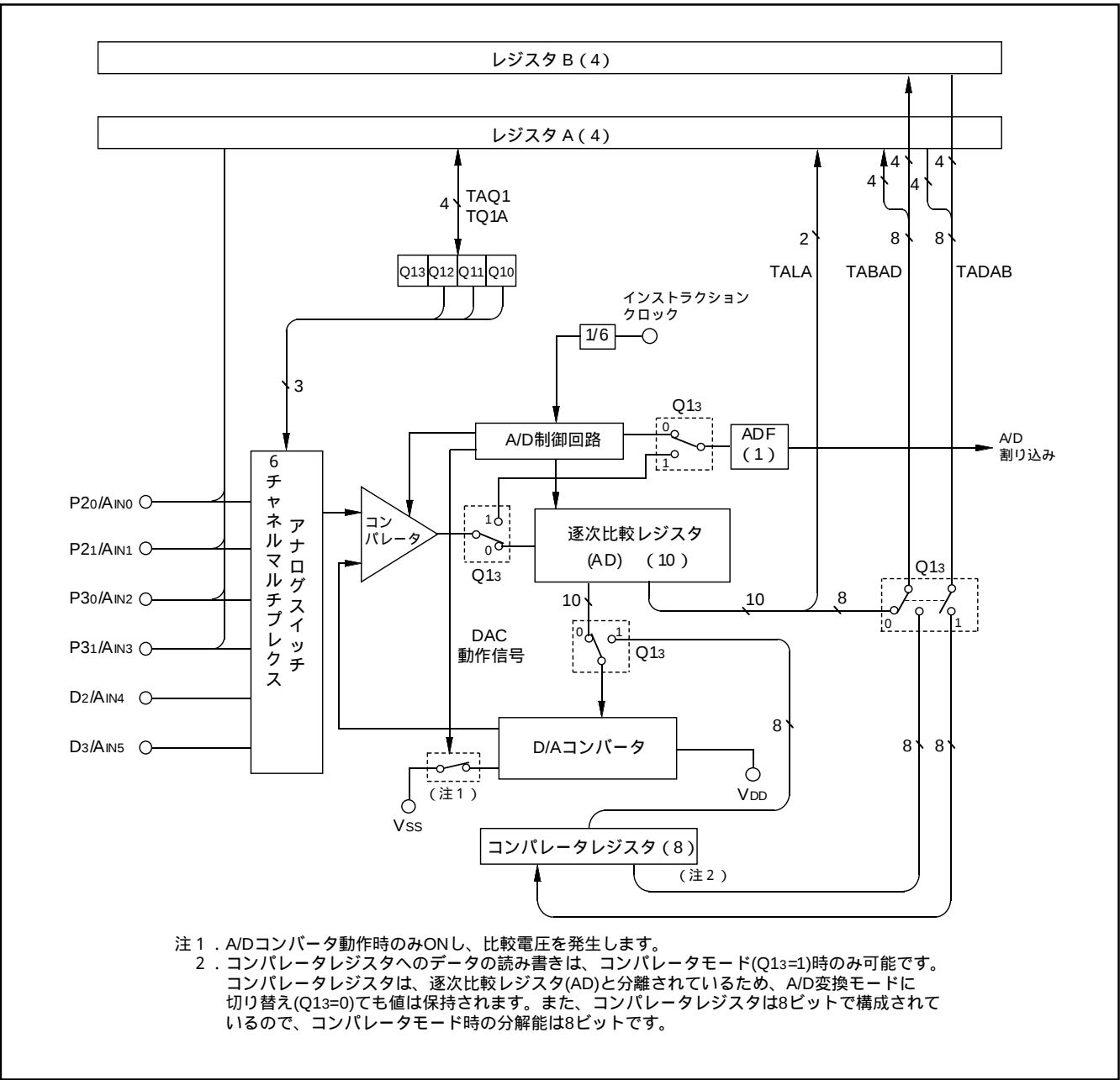
A/Dコンバータ(コンパレータ)

本製品は、10ビット逐次比較方式によるA/Dコンバータを内蔵しています。A/Dコンバータの性能を表JA-1に示します。

また、このA/Dコンバータはアナログ入力端子から入力されたアナログ電圧をあらかじめ設定した値と比較する8ビットのコンパレータとしても使用できます。

表JA-1. A/Dコンバータの性能

項 目	特 性
変換形式	逐次比較方式
分解能	10ビット
相対精度	直線性誤差 : $\pm 2\text{LSB}(V_{\text{DD}}=2.7 \sim 5.5\text{V})$
	微分非直線性誤差 : $\pm 0.9\text{LSB}(V_{\text{DD}}=2.7 \sim 5.5\text{V})$
変換速度	$31 \mu\text{s} (f(\text{XIN})=6\text{MHz}, f(\text{STCK})=f(\text{XIN})\text{時})$
アナログ入力端子	6本



図JA-1. A/Dコンバータの構成

表JA-2. A/D制御レジスタ

A/D制御レジスタQ1		リセット時：0000 ₂			RAMバックアップ時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D動作モード制御ビット	0	A/D変換モード			
		1	コンパレータモード			
Q12	アナログ入力端子選択ビット	Q12	Q11	Q10	アナログ入力端子	
		0	0	0	AIN0	
		0	0	1	AIN1	
Q11		0	1	0	AIN2	
		0	1	1	AIN3	
		1	0	0	AIN4	
Q10		1	0	1	AIN5	
		1	1	0	使用禁止	
		1	1	1	使用禁止	

注：“R”は読み出し可、“W”は書き込み可を表します。

(1)A/D制御レジスタ Q1

レジスタQ1はA/D動作モードの選択及びアナログ入力端子の選択を制御します。このレジスタの内容は、TQ1A命令でレジスタAを介して設定してください。また、TAQ1命令でレジスタQ1の内容をレジスタAに転送できます。

(2)A/D変換モード時の動作

このA/DコンバータはレジスタQ1のビット3に“0”を設定することにより、A/D変換モードに設定されます。

(3)逐次比較レジスタAD

レジスタADには、アナログ入力端子のA/D変換結果である10ビットのデジタルデータが格納されます。レジスタADの内容はTABAD命令により、上位8ビットがレジスタBとレジスタAに、下位2ビットはTALA命令によりレジスタAの上位2ビットに格納されます。ただしA/D変換中は、これらの命令を実行しないでください。

レジスタADの内容をnとしたとき、基準電圧V_{DD} から内蔵DAコンバータが発生する比較電圧V_{ref}の理論値を次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{1024} \times n$$

n: レジスタADの値(n=0 ~ 1023)

(4)A/D変換終了フラグ(ADF)

フラグADFはA/D変換が終了したとき“1”にセットされます。フラグADFの状態は、スキップ命令(SNZAD命令)の実行により確認できます。割り込みとスキップ命令のどちらを使用するかは、割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令実行により次の命令をスキップしたときのいずれかで“0”にクリアされます。

(5)A/D変換開始命令(ADST命令)

ADST命令を実行するとA/D変換を開始します。変換結果は自動的にレジスタADに格納されます。

(6)A/D変換動作説明

A/D変換は、A/D変換開始命令(ADST命令)によって開始されます。A/D変換時の内部動作を以下に示します。

A/D変換が開始されると、まず逐次比較レジスタADが“000₁₆”にクリアされます。

次に、レジスタADの最上位ビットに“1”がセットされ、比較電圧V_{ref}とアナログ入力電圧V_{IN}との比較が行われます。

比較結果がV_{ref} < V_{IN}ならば、レジスタADの最上位ビットの値“1”をそのまま保持します。V_{ref} > V_{IN}ならば“0”にクリアします。

本製品は、以上の動作をレジスタADの最下位ビットまで行うことで、アナログ値をデジタル値に変換します。A/D変換は、開始後62マシンサイクル(f(X_{IN})=6.0MHz、高速スルーモード時31μs)で終了し、変換結果がレジスタADに格納されます。A/D変換終了と同時にA/D割り込み起動条件が成立し、A/D割り込み要求フラグ(ADF)が“1”にセットされます(図JA-2参照)。

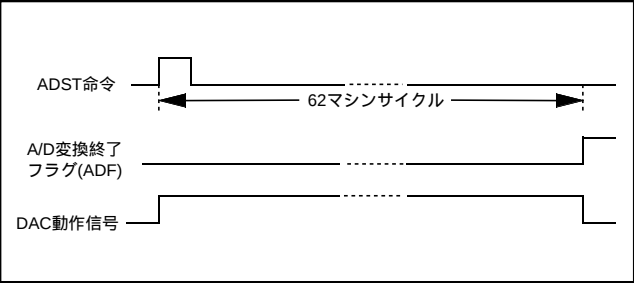
表JA-3. A/D変換中の逐次比較レジスタ(AD)の変化

	レジスタADの変化	比較電圧(Vref)値							
1回目 比較	<table><tr><td>1</td><td>0</td><td>0</td><td>.....</td><td>0</td><td>0</td><td>0</td></tr></table>	1	0	0		0	0	0	$\frac{V_{DD}}{2}$
1	0	0		0	0	0			
2回目 比較	<table><tr><td>*1</td><td></td><td>0</td><td>.....</td><td>0</td><td>0</td><td>0</td></tr></table>	*1		0		0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4}$
*1		0		0	0	0			
3回目 比較	<table><tr><td>*1</td><td>2</td><td>1</td><td>.....</td><td>0</td><td>0</td><td>0</td></tr></table>	*1	2	1		0	0	0	$\frac{V_{DD}}{2} \pm \frac{V_{DD}}{4} \pm \frac{V_{DD}}{8}$
*1	2	1		0	0	0			
10回目 の比較 終了後	A/D変換結果 <table><tr><td>*1</td><td>2</td><td>*3</td><td>.....</td><td>*8</td><td>*9</td><td>*A</td></tr></table>	*1	2	*3		*8	*9	*A	$\frac{V_{DD}}{2} \pm \text{.....} \pm \frac{V_{DD}}{1024}$
*1	2	*3		*8	*9	*A			

*1：1回目の比較結果 *2：2回目の比較結果
*3：3回目の比較結果 *8：8回目の比較結果
*9：9回目の比較結果 *A：10回目の比較結果

(7)A/D変換タイミングチャート

A/D変換タイミングチャートを図JA-2に示します。



図JA-2. A/D変換タイミングチャート

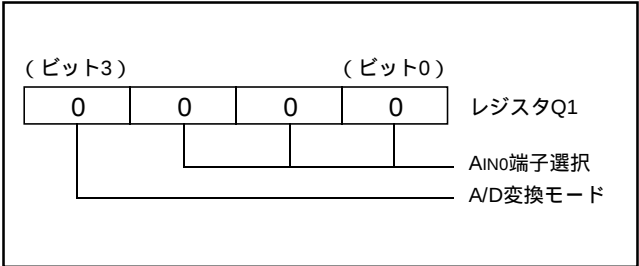
(8)A/Dコンバータの使用法

P20 / AIN0端子からのアナログ入力信号をA/D変換し、変換データの上位4ビットをRAMのM(Z、X、Y)=(0、0、0)番地、中位4ビットをM(Z、X、Y)=(0、0、1)番地、下位2ビットをM(Z、X、Y)=(0、0、2)番地、にそれぞれ格納する方法を例にA/Dコンバータの使用法を説明します。この例ではA/D割り込みは使用していません。

- A/D制御レジスタQ1でAIN0端子を選択及びA/D変換モードに選択します(図JA-3参照)。
- ADST命令を実行しA/D変換を開始します。
- SNZAD命令でA/D変換終了フラグ(ADF)の状態を調べるにより、A/D変換の終了を認識します。
- 変換データの下位2ビットをレジスタAの上位2ビットに転送します(TALA命令)。
- レジスタAの内容をM(Z、X、Y)=(0、0、2)に転送します。

変換データの上位8ビットをレジスタA、Bに転送します (TABAD命令)。

レジスタAの内容をM(Z、X、Y)=(0、0、1)に転送します。レジスタBの内容をレジスタAに転送した後、M(Z、X、Y)=(0、0、0)に格納します。



図JA-3 . レジスタ設定例

(9)コンパレータモード時の動作

このA/DコンバータはA/D制御レジスタQ1のビット3に“1”を設定することにより、コンパレータモードに設定されます。以下に、コンパレータモード時の動作について説明します。

(10)コンパレータレジスタ

コンパレータモード時、内蔵DAコンバータには、比較電圧を設定するレジスタとしてコンパレータレジスタが接続されます。このコンパレータレジスタは8ビットで構成されており、TADAB命令によりコンパレータレジスタの上位4ビットにレジスタBの値が、下位4ビットにはレジスタAの値が格納されます。

A/D変換モードからコンパレータモードに動作モードを変更した場合、A/D変換結果(逐次比較レジスタAD)は不定になります。

一方、コンパレータレジスタは、レジスタADと分離されているため、コンパレータモードからA/D変換モードに動作モードを変更しても値は保持されます。またコンパレータレジスタの読み書きは、コンパレータモード時に限られます。

コンパレータレジスタの内容をnとしたとき、内蔵DAコンバータが発生する比較電圧Vrefの理論値は次式で求めることができます。

$$V_{ref} = \frac{V_{DD}}{256} \times n$$

n : レジスタADの値(n:0 ~ 255)

(11)比較結果格納フラグ(ADF)

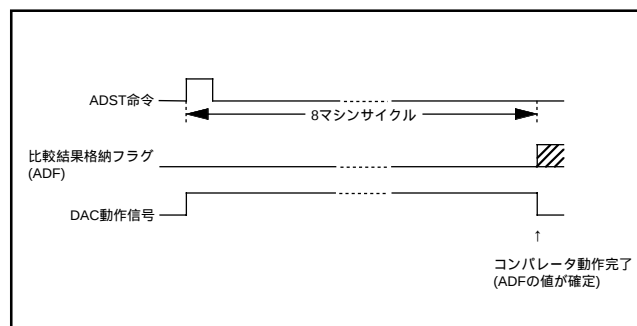
コンパレータモード時、A/D変換終了フラグ(ADF)は、アナログ入力電圧と比較電圧の比較結果を格納するフラグとなります。アナログ入力電圧が比較電圧よりも低い場合に、フラグADFは'1'にセットされます。このフラグの状態は、スキップ命令の実行(SNZAD命令)により確認できます。割り込みとスキップ命令のどちらかを使用するかは割り込み制御レジスタV2で選択してください。

フラグADFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで'0'にクリアされます。

(12)コンパレータ動作開始命令(ADST命令)

コンパレータモード時、ADST命令を実行するとコンパレータ動作を開始します。

コンパレータ動作は、動作開始後、8マシンサイクル($f_{XIN}=4.0\text{MHz}$ 、高速スルーモード時 $6\mu\text{s}$)で終了し、アナログ入力電圧が比較電圧よりも低い場合に、フラグADFが'1'にセットされます。



図JC-1. コンパレータ動作タイミングチャート

(13)注意事項1

● TALA命令に関する注意

TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを'0'にします。

● A/Dコンバータの動作モードに関する注意

A/Dコンバータの動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/Dコンバータの動作モードを変更しないでください。

コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が'0'になっている必要があります。

コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1のビット3に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

(14) A/D変換精度の定義

A/D変換精度の定義について、以下に説明します(図JA-4参照)。

● 相対精度

ゼロトランジション電圧(V_{0T})

実際のA/D変換出力データが 0 から 1 に変化する
ときのアナログ入力電圧

フルスケルトランジション電圧(V_{FST})

実際のA/D変換出力データが 1023 から 1022 に変化
するときのアナログ入力電圧

直線性誤差

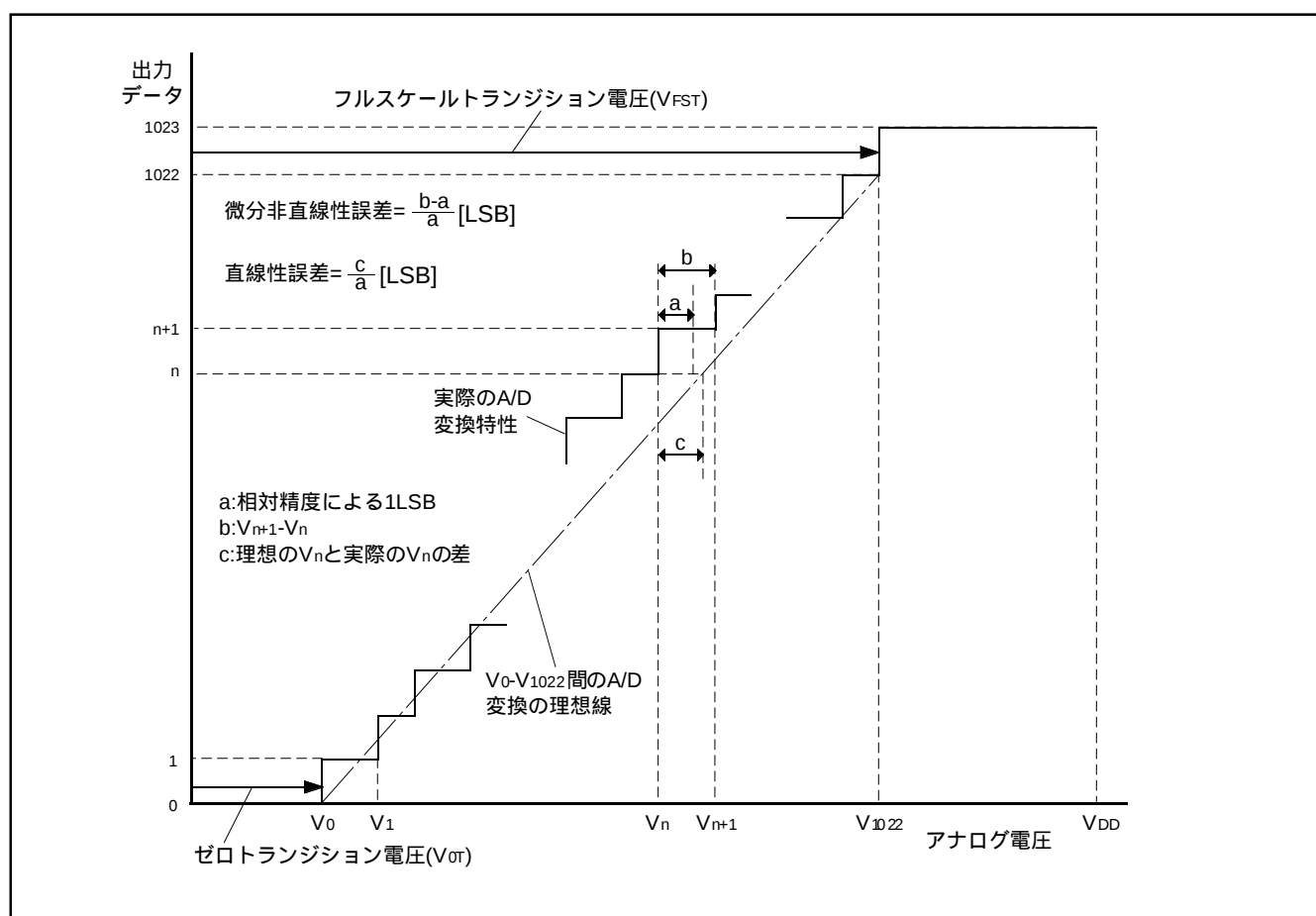
V_{0T} と V_{FST} を結ぶ直線と、 V_{0T} から V_{FST} 間の任意の変換値との偏差

微分非直線性誤差

V_{0T} と V_{FST} 間の任意の変換値を1LSB変化させるために
必要な入力電位差と、相対精度における1LSBとの偏差

● 絶対精度

$0 \sim V_{DD}$ 間の理想特性と、実際のA/D変換特性との偏差



図JA-4. A/D変換精度の定義

V_n : 出力データが n から $n+1$ に変化する
ときのアナログ入力電圧
($n=0 \sim 1022$)

- 相対精度における1LSB $\rightarrow \frac{V_{FST}-V_{0T}}{1022}$ (V)
- 絶対精度における1LSB $\rightarrow \frac{V_{DD}}{1024}$ (V)

シリアルインタフェース

本製品はクロック同期形式で8ビットデータを直列に送信及び受信できるシリアルインタフェースを内蔵しています。

シリアルインタフェースは、

- シリアルインタフェースレジスタSI
- シリアルインタフェース制御レジスタJ1
- シリアルインタフェース送受信終了フラグSIOF
- シリアルインタフェースカウンタ

で構成されています。内部CPUとはレジスタA、レジスタBを介してデータの転送を行います。

シリアルインタフェース入出力の端子機能はレジスタJ1で設定できます。

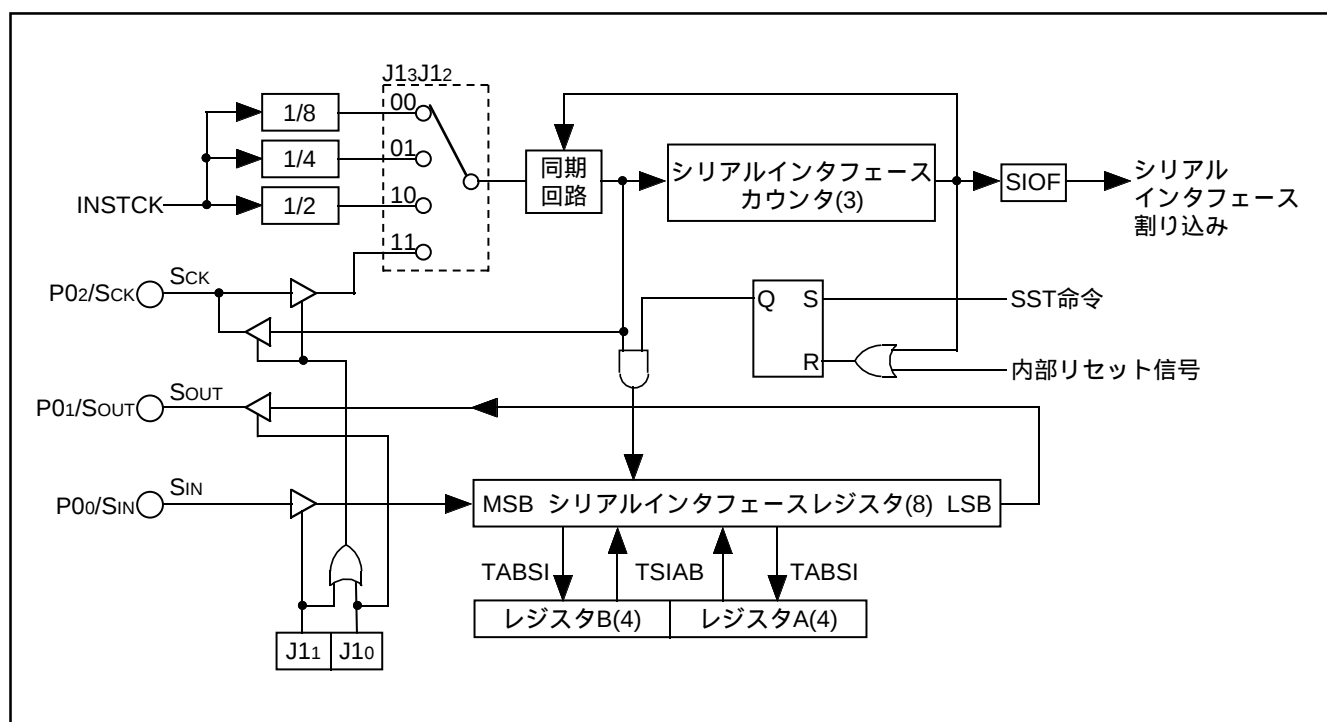
表GA-1. シリアルインタフェース入出力端子

端子名	シリアルインタフェース 選択時の端子機能
P02/SCK	クロック入出力端子(SCK)
P01/SOUT	シリアルデータ出力端子(SOUT)
P00/SIN	シリアルデータ入力端子(SIN)

注. SIN端子を使用している場合でもポートP00の入出力機能は有効です。

SOUT端子を使用している場合でもポートP01の入力機能は有効です。

SCK端子を使用している場合でもポートP02の入力機能は有効です。SCK端子とポートP02との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。

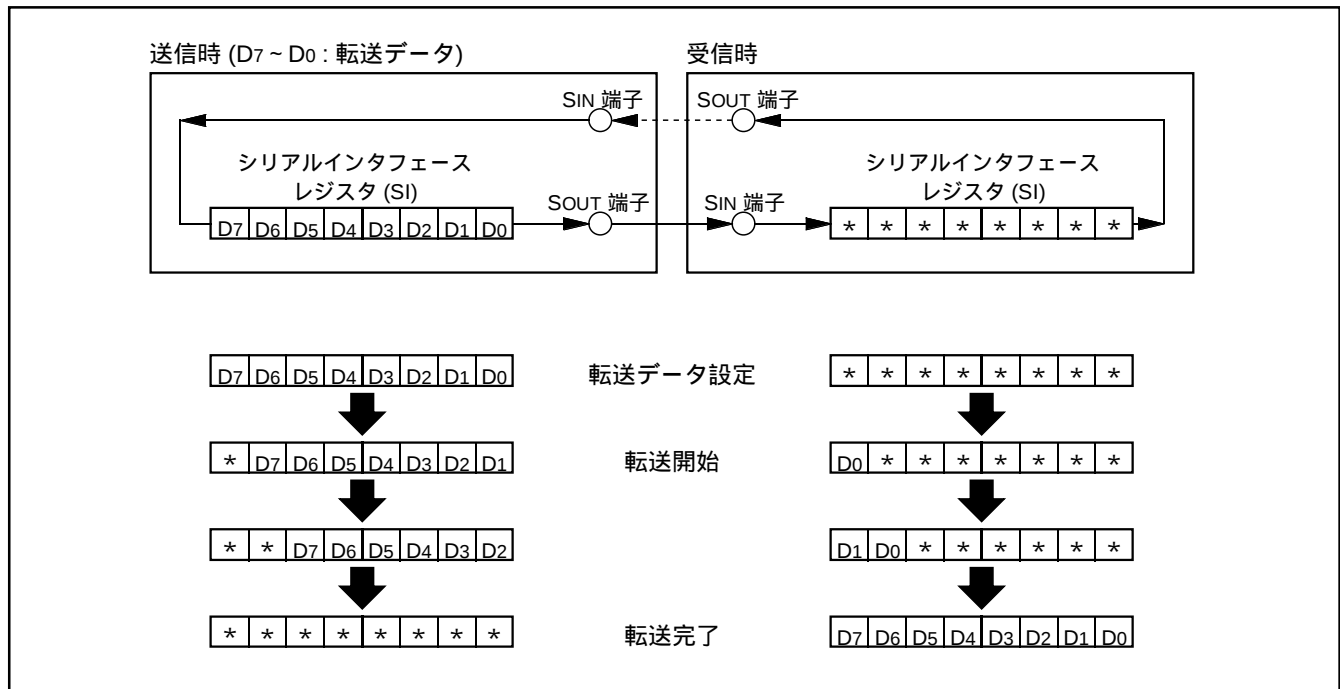


図GA-1. シリアルインタフェースの構成

表GA-2. シリアルインタフェース制御レジスタ

シリアルインタフェース制御レジスタ J1		リセット時 : 00002	RAM バックアップ時 : 状態保持	R / W TAJ1 / TJ1A
J13 J12	シリアルインタフェース 同期クロック選択ビット	J13 J12	同期クロック	
		0 0	インストラクションクロック (INSTCK) の 8 分周信号	
		0 1	インストラクションクロック (INSTCK) の 4 分周信号	
		1 0	インストラクションクロック (INSTCK) の 2 分周信号	
		1 1	外部クロック (SCK 入力)	
J11 J10	シリアルインタフェース ポート機能選択ビット	J11 J10	ポート機能	
		0 0	P00、P01、P02 選択 / SIN、SOUT、SCK 非選択	
		0 1	P00、SOUT、SCK 選択 / SIN、P01、P02 非選択	
		1 0	SIN、P01、SCK 選択 / P00、SOUT、P02 非選択	
		1 1	SIN、SOUT、SCK 選択 / P00、P01、P02 非選択	

注 : “R”は読み出し可、“W”は書き込み可を表します。



図GA-2. 送受信時のシリアルインタフェースレジスタの状態

(1) シリアルインタフェースレジスタSI

レジスタSIは、8ビットのデータ転送用直列変換レジスタです。

TSIAB命令でレジスタA、レジスタBを介してデータを設定できます。なお、レジスタAの内容は、レジスタSIの下位4ビットに、レジスタBの内容はレジスタSIの上位4ビットに転送されます。送信時はレジスタSIの最下位ビット(ビット0)からLSBファーストで1ビットずつデータを送り出し、受信時にはレジスタSIの最上位ビット(ビット7)からLSBファーストで1ビットずつデータを受け取ります。シリアルインタフェースを使用せず、レジスタSIをワークレジスタとして使用する場合は、SCK端子機能を選択しないようにしてください。

(2) シリアルインタフェース送受信終了フラグ(SIOF)

フラグSIOFは、シリアルデータ送信又は受信が終了すると“1”にセットされます。フラグSIOFの状態は、スキップ命令の実行(SNZSI命令)により確認できます。割り込みとスキップ命令のどちらを使用するかは割り込み制御レジスタV2で選択してください。

フラグSIOFは、割り込みが発生したとき、又はスキップ命令を実行したときのいずれかで“0”にクリアされます。

(3) シリアルインタフェーススタート命令(SST命令)

SST命令を実行すると、フラグSIOFを“0”にクリアした後、シリアルインタフェース送受信が開始されます。

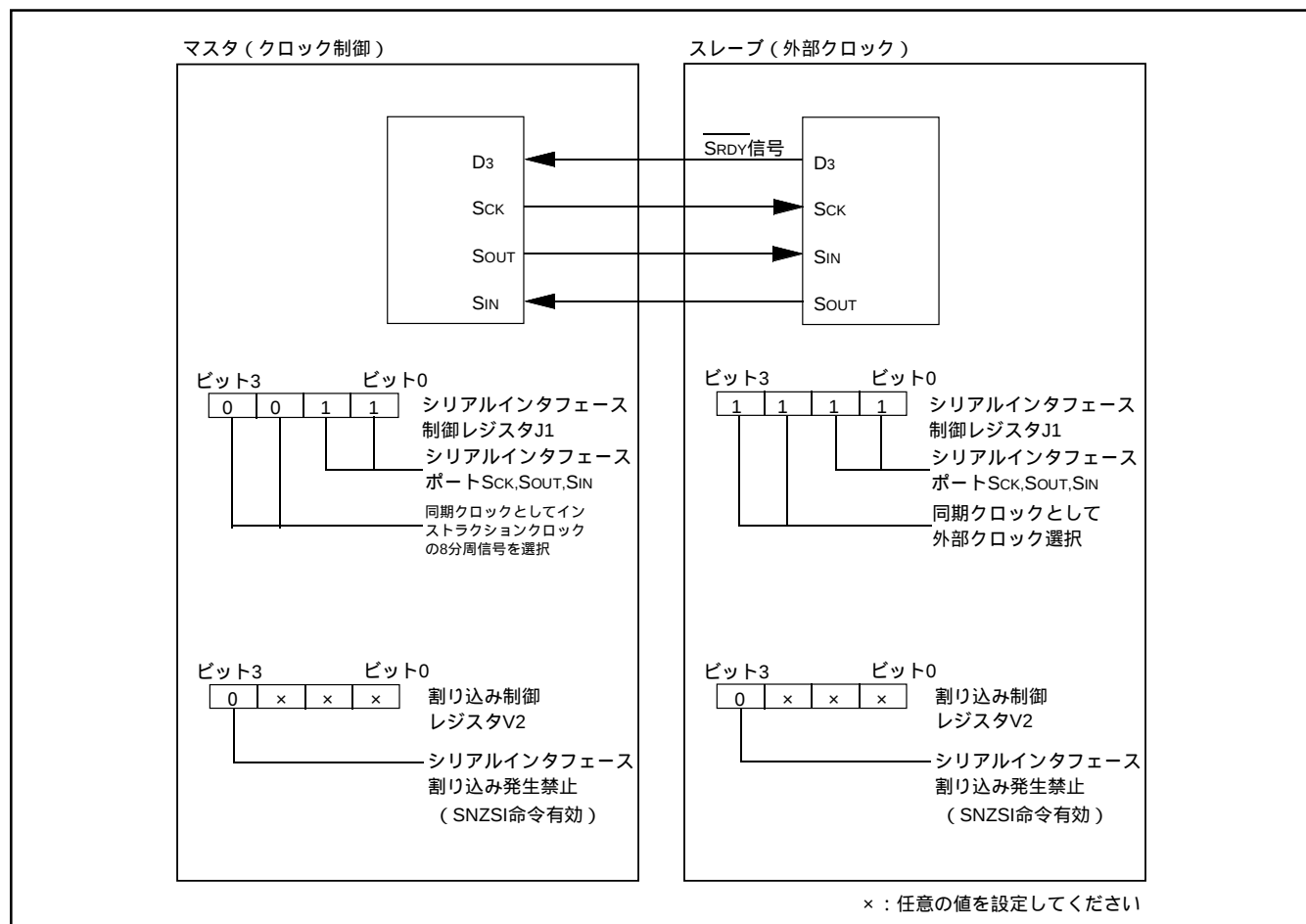
(4) シリアルインタフェース制御レジスタJ1

レジスタJ1は同期クロック、P02/SCK端子、P01/SOUT端子、P00/SIN端子の機能を制御します。このレジスタの内容は、TJ1A命令でレジスタAを介して設定してください。またTAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

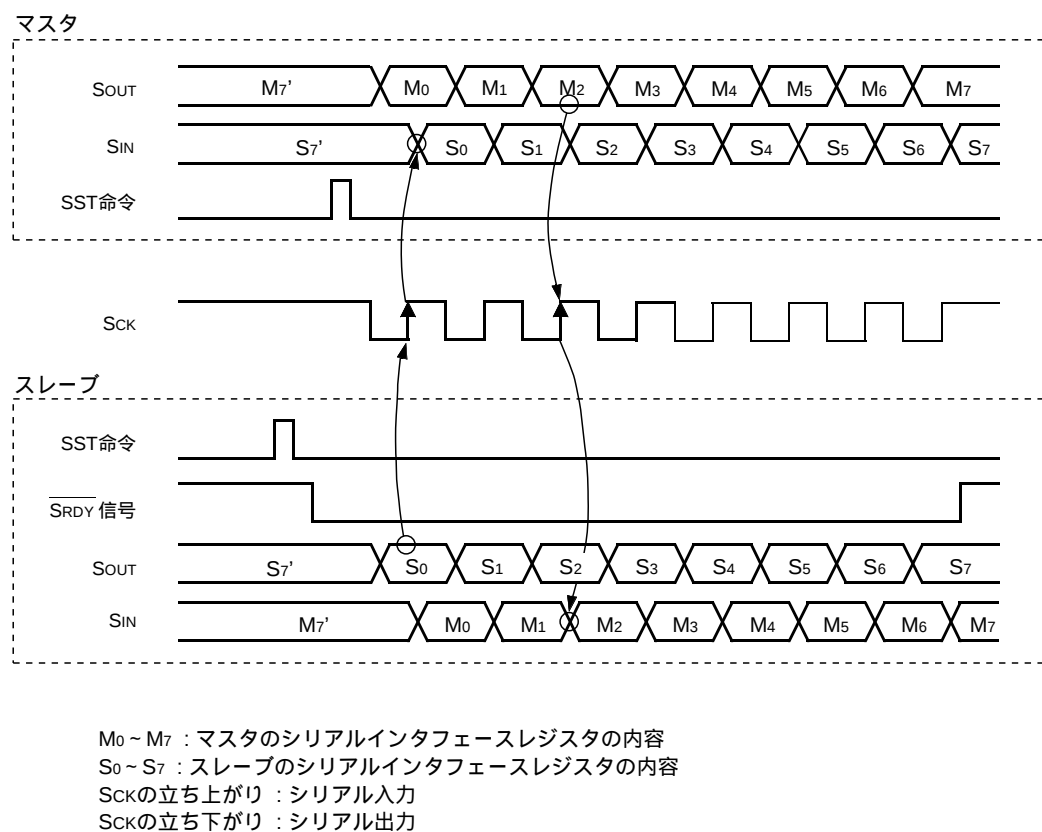
(5) シリアルインタフェースの使用方法

図GA-3の接続例でのデータ転送タイミング、データ転送処理シーケンスを示します。

この例ではシリアルインタフェース割り込みは使用していません。また、実配線では各端子間の配線は、抵抗を介してプルアップしてください。



図GA-3. シリアルインタフェースの接続例



図GA-4. シリアルインタフェース転送のタイミング

表GA-3. マスタからスレーブへのデータ転送の処理シーケンス

マスタ(送信時)	スレーブ(受信時)
【初期設定】 ・図GA-3に示すように、シリアルインタフェース制御レジスタJ1及び割り込み制御レジスタV2を設定 TJ1A、TV2A命令 ・受信可能信号(SRDY)を受けるポートを入力に設定 （この例では、ポートD ₃ を使用します。） SD命令	【初期設定】 ・図GA-3に示すように、シリアルインタフェース制御レジスタJ1及び割り込み制御レジスタV2を設定 TJ1A、TV2A命令 ・受信可能信号(SRDY)を出力するポートに“H”を出力 （この例では、ポートD ₃ を使用します。） SD命令
*【送信可能状態】 ・シリアルインタフェースレジスタSIに送信データを格納 TSIAB命令	*【受信可能状態】 ・シリアルインタフェース送受信終了フラグ(SIOF)を“0”にクリア SST命令 ・ポートD ₃ から“L”(受信可能)を出力 RD命令
【送信】 ・ポートD ₃ が“L”になったことを確認 SZD命令 ・シリアル転送を開始 SST命令 ・送信終了を確認 SNZSI命令 ・ウェイト(連続転送時のタイミング)	【受信】 ・受信終了を確認 SNZSI命令 ・ポートD ₃ から“H”を出力 SD命令
	【データ処理】

以上の処理で、1バイトのデータがシリアル転送されます。以後は、*以降の処理を繰り返すことにより、多数のデータを連続転送することができます。

同期クロックとして外部クロックを選択した場合、外部からクロックが入力される限りシリアル転送は実行されますので、外部でクロックを制御してください(内部クロック使用時と異なり、転送終了時に外部クロックは停止しません)。

ただし、シリアルインタフェース送受信終了フラグ(SIOF)はSST命令実行後、クロックを8回カウントしたとき“1”にセットされます。なお、外部クロックの初期レベルは必ず“H”にしてください。

リセット機能

本製品は、以下の操作又は機能により、システムリセットが実行されます。

- 外部よりRESET端子に“L”レベルを印加
- システムリセット命令(SRST命令)の実行
- ウォッチドッグタイマによるリセット発生
- 内蔵パワーオンリセット回路によるリセット発生

(Hバージョンのみ)

- 電圧低下検出回路によるリセット発生

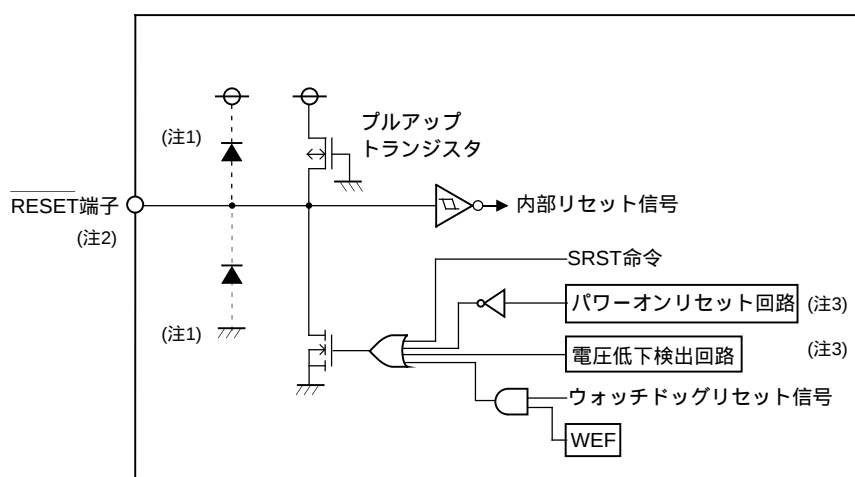
(Hバージョンのみ)

システムリセットが解除された後、0ページの0番地からソフトウェアが開始されます。

(1) RESET端子入力

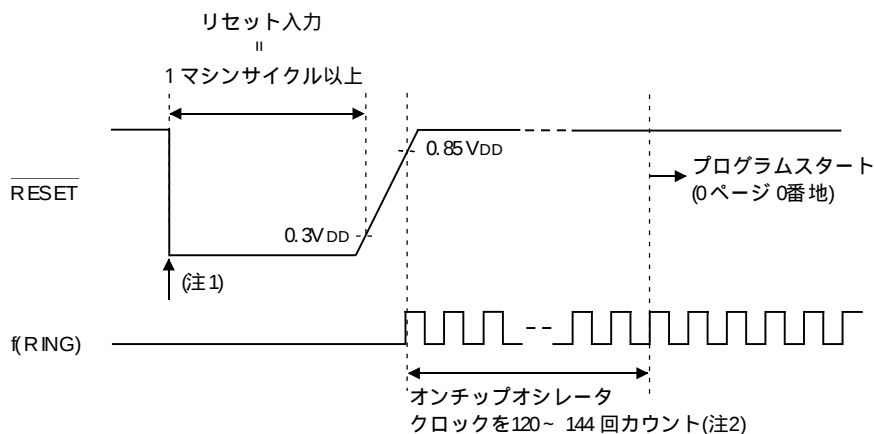
本製品のRESET端子に“L”レベルを印加すると、マイクロコンピュータがいかなる状態であっても、システムリセットが実行されます。

RESET端子への“L”レベルの印加は、電源電圧が推奨動作条件の最小規格値以上で、1マシンサイクル以上の期間必要です。



- 注1. ---|<--- は寄生ダイオードであり、電流は流せません。
 2. RESET端子への印加電圧は V_{DD} を超えないようにしてください。
 3. Hバージョン品にのみあります。

図VB-1. RESET端子周辺の構成



- 注1. 電源電圧が推奨動作条件の最小規格値以上に達している必要があります。
 2. リセット時の内部状態によって異なります。

図VB-2. RESET端子の入力波形とリセット解除のタイミング

(2) パワーオンリセット(Hバージョンのみ)

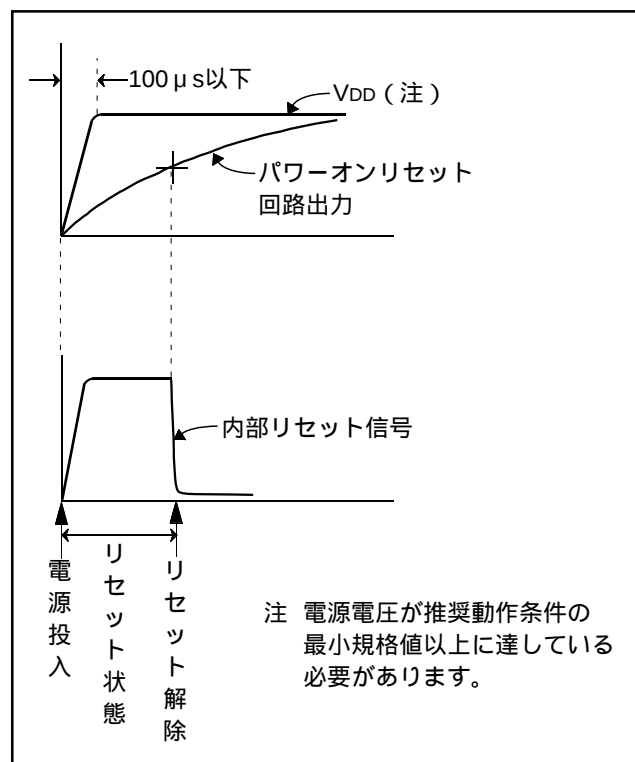
本製品のHバージョン品は、電源投入時に自動リセット(パワーオンリセット)をかけるためのパワーオンリセット回路を内蔵しています。

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。

立ち上がり時間が100 μ sを超える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

(3) システムリセット命令(SRST命令)

SRST命令を実行するとRESET端子に“L”レベルを出力し、システムリセットが実行されます。



図VB-3 . パワーオンリセット動作

表VB-1 . リセット時のポートの状態

ポート名	リセット時の機能	リセット時の状態
D0、D1	D0、D1	ハイインピーダンス状態（注1、注2）
D2/AIN4、D3/AIN5	D2、D3	ハイインピーダンス状態（注1、注2、注3）
D4、D5	D4、D5	ハイインピーダンス状態（注1、注2）
P00/SIN、P01/SOUT、P02/SCK	P00、P01、P02	ハイインピーダンス状態（注1、注2、注3）
P03	P03	ハイインピーダンス状態（注1、注2、注3）
P10	P10	ハイインピーダンス状態（注1、注2、注3）
P11/CNTR1	P11	ハイインピーダンス状態（注1、注2、注3）
P12/CNTR0	P12	ハイインピーダンス状態（注1、注2、注3）
P13/INT	P13	ハイインピーダンス状態（注1、注2、注3）
P20/AIN0、P21/AIN1	P20、P21	ハイインピーダンス状態（注1、注2、注3）
P30/AIN2、P31/AIN3	P30、P31	ハイインピーダンス状態（注1、注2）

注1. 出力ラッチは“1”にセットされます。

2. 出力形式は、Nチャネルオープンドレインになります。

3. ブルアップトランジスタは、OFFします。

(4)リセット時の内部状態

以下にリセット時の内部状態を示します(リセット解除直後も同状態です)。図VB-4以外のタイマ、レジスタ、フラグ、RAMなどの内容は不定になるため、初期設定が必要です。

● プログラムカウンタ (PC)	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0ページの0番地がセットされます。
● 割り込み許可フラグ (INTE)	0	(割り込み禁止)
● パワーダウフラグ (P)	0	
● 外部0割り込み要求フラグ (EXF0)	0	
● 割り込み制御レジスタ V1	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ V2	0 0 0 0	(割り込み禁止)
● 割り込み制御レジスタ I1	0 0 0 0	
● タイマ 1 割り込み要求フラグ (T1F)	0	
● タイマ 2 割り込み要求フラグ (T2F)	0	
● ウォッチドッグタイマフラグ (WDF1, WDF2)	0	
● ウォッチドッグタイマイネーブルフラグ (WEF)	1	
● タイマ制御レジスタ PA	0	(プリスケアラ停止)
● タイマ制御レジスタ W1	0 0 0 0	(タイマ 1停止)
● タイマ制御レジスタ W2	0 0 0 0	(タイマ 2停止)
● タイマ制御レジスタ W5	0 0 0 0	
● タイマ制御レジスタ W6	0 0 0 0	
● クロック制御レジスタ MR	1 1 0 1	
● クロック制御レジスタ RG	0	(オンチップオシレータ動作)
● シリアルインタフェース送受信終了フラグ (SIOF)	0	
● シリアルインタフェース制御レジスタ J1	0 0 0 0	(シリアルインタフェースポート非選択)
● シリアルインタフェースレジスタ SI	X X X X X X X X	
● A/D変換終了フラグ (ADF)	0	
● A/D制御レジスタ Q1	0 0 0 0	
● 逐次比較レジスタ AD	X X X X X X X X X X	
● コンパレータレジスタ	X X X X X X X X	

“X” は不定を表します。

図VB-4 . リセット時の内部状態(1)

● キーオンウェイクアップ制御レジスタ K0	0	0	0	0
● キーオンウェイクアップ制御レジスタ K1	0	0	0	0
● キーオンウェイクアップ制御レジスタ K2	0	0	0	0
● キーオンウェイクアップ制御レジスタ L1	0	0	0	0
● ブルアップ制御レジスタ PU0	0	0	0	0
● ブルアップ制御レジスタ PU1	0	0	0	0
● ブルアップ制御レジスタ PU2	0	0	0	0
● ポート出力形式制御レジスタ FR0	0	0	0	0
● ポート出力形式制御レジスタ FR1	0	0	0	0
● ポート出力形式制御レジスタ FR2	0	0	0	0
● ポート出力形式制御レジスタ FR3	0	0	0	0
● ポート出力形式制御レジスタ C1	0	0	0	0
● キャリフラグ (CY)	0			
● レジスタ A	0	0	0	0
● レジスタ B	0	0	0	0
● レジスタ D	X	X	X	
● レジスタ E	X	X	X	X
● レジスタ X	0	0	0	0
● レジスタ Y	0	0	0	0
● レジスタ Z	X	X		
● スタックポインタ (SP)	1	1	1	
● 動作源クロック	オンチップオシレータ (動作状態)			
● セラミック発振回路	動作状態			
● RC発振回路	停止状態			

“X” は不定を表します。

図VB-5 . リセット時の内部状態(2)

電圧低下検出回路(Hバージョンのみ)

本製品には、電源電圧の低下を検出し電源電圧がある一定値以下になると、RESET端子に“ L ”レベルを出力してシステムリセットを実行する電圧低下検出回路が内蔵されています。

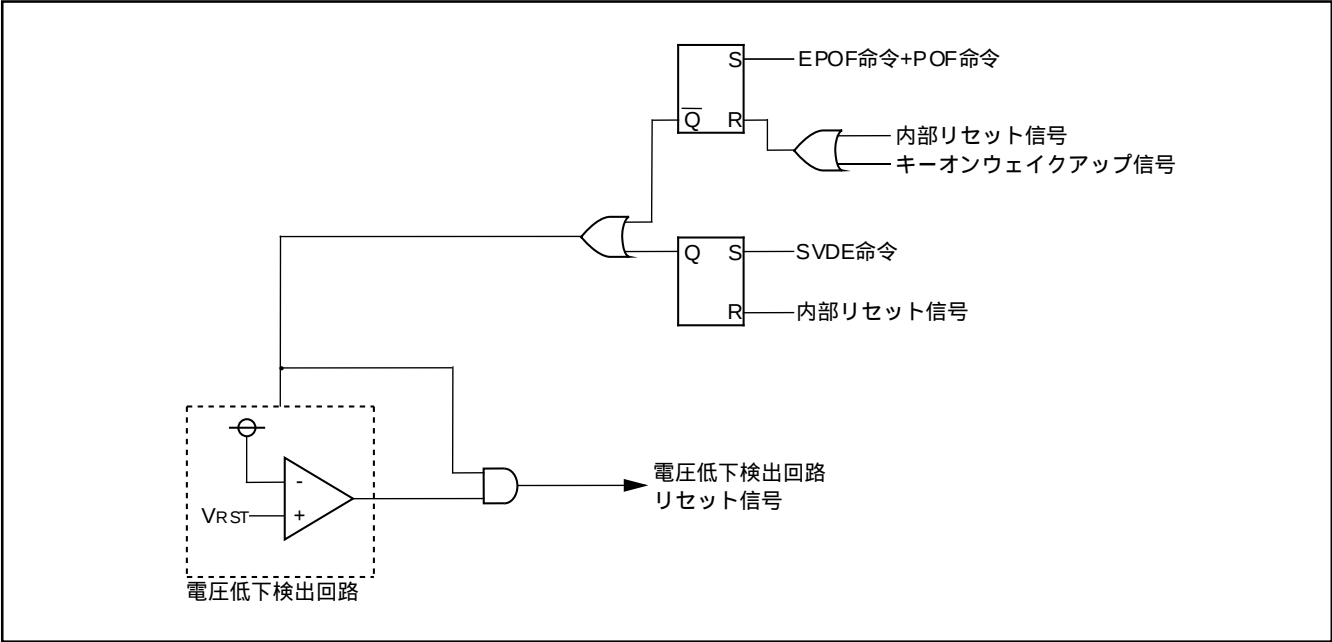
(1)SVDE命令

SVDE命令を未実行の場合(初期状態) RAMバックアップモード時に電圧低下検出回路は無効状態になります。

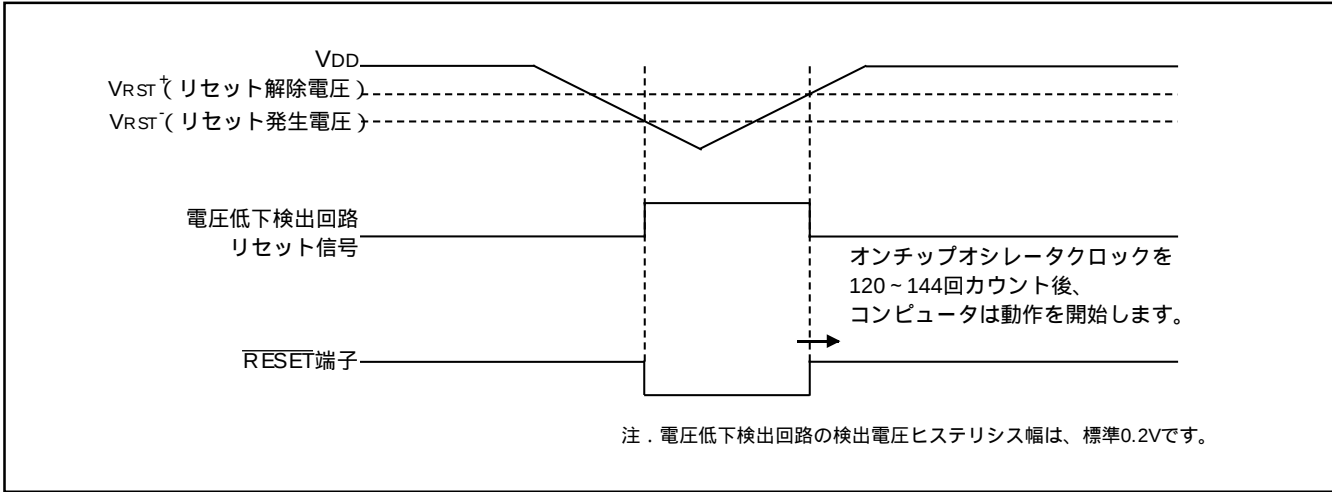
SVDE命令を実行すると、RAMバックアップモードに遷移後も電圧低下検出回路が有効になります。

SVDE命令の実行は、一度のみ有効です。

SVDE命令の実行を解除するには、マイクロコンピュータをシステムリセットする必要があります。



図VC-1 . 電圧低下検出回路



図VC-2 . 電圧低下検出回路動作波形

表VC-1 . 電圧低下検出回路動作状態

	CPU動作時	RAMバックアップモード時
SVDE命令未実行	有効	無効
SVDE命令実行	有効	有効

RAMバックアップモード

本製品は、RAMバックアップモードをもち、EPOF命令とPOF命令を連続して実行することにより、RAMバックアップ状態になります。

POF命令実行直前にEPOF命令が実行されない場合、POF命令はNOP命令と同等になります。

RAMバックアップ時には、RAM、リセット回路の機能及び状態を保持したまま発振を停止するので、RAMのデータが失われることなく消費電流を低減できます。

表WD-1にRAMバックアップ時の内部状態、図WD-1に状態遷移図を示します。

(1) コールドスタートとウォームスタートの識別

ウォームスタート(RAMバックアップ状態からの復帰)とコールドスタート(通常のリセット状態からの復帰)とのスタート条件の識別は、SNZP命令によってパワーダウンフラグ(P)の状態を調べることで認識できます。

(2) ウォームスタート条件

EPOF命令とPOF命令を連続して実行し、RAMバックアップ状態となった後、外部ウェイクアップ信号が入力されると、CPUは0ページの0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は「1」です。

(3) コールドスタート条件

- 外部よりRESET端子に「L」レベルを印加
- システムリセット命令(SRST命令)の実行
- ウォッチドッグタイマによるリセットが発生
- 内蔵パワーオンリセット回路によるリセット発生
(Hバージョンのみ)
- 電圧低下検出回路によるリセット発生
(Hバージョンのみ)

のいずれかで、CPUは0ページ0番地からプログラムの実行を開始します。このときパワーダウンフラグ(P)は「0」です。

表WD-1. RAMバックアップ時に保持される機能と状態

機 能	RAMバックアップ
プログラムカウンタ(PC) スタックポインタ(SP)(注2) キャリフラグ(CY) レジスタA、B	×
RAMの内容	○
割り込み制御レジスタ V1、V2	×
割り込み制御レジスタ I1	○
発振回路の選択(CRCK命令の実行)	○
クロック制御レジスタ MR	×
クロック制御レジスタ RG	×
タイマ1、2機能	(注3)
ウォッチドッグタイマ機能	×(注4)
タイマ制御レジスタ PA	×
タイマ制御レジスタ W1、W2	×
タイマ制御レジスタ W5、W6	○
シリアルインタフェース機能	×
シリアルインタフェース制御レジスタ J1	○
A/Dコンバータ機能	×
A/D制御レジスタ Q1	○
電圧低下検出回路	(注5)
ポートのレベル	○
キーオンウェイクアップ制御レジスタ K0~K2、L1	○
ブルアップ制御レジスタ PU0~PU2	○
ポート出力形式制御レジスタ FR0~FR3、C1	○
外部割り込み要求フラグ(EXF0)	×
タイマ割り込み要求フラグ(T1F、T2F)	(注3)
A/D変換終了フラグ(ADF)	×
シリアルインタフェース送受信終了フラグ(SIOF)	×
割り込み許可フラグ(INTE)	×
ウォッチドッグタイマフラグ(WDF1、WDF2)	×(注4)
ウォッチドッグタイマイネーブルフラグ(WEF)	×(注4)

- 注1. 表中、「○」は保持可能「×」は初期化を示します。上記以外のレジスタ及びフラグの内容はRAMバックアップ時には不定ですので、復帰後初期値を設定してください。
2. スタックポインタは、スタックレジスタの位置を示すもので、RAMバックアップ時には「7」に初期化されます。
3. タイマの状態は不定になります。
4. WRST命令でウォッチドッグタイマフラグWDF1を初期化した後で、RAMバックアップ状態にしてください。
5. 電圧低下検出回路はHバージョンのみあります。RAMバックアップ時、SVDE命令未実行の場合は、無効状態、SVDE命令を実行している場合は有効状態になります。

(4) 復帰信号

RAMバックアップモードからの復帰は、発振が停止しているので外部ウェイクアップ信号で行います。表WD-2に復帰要因ごとに復帰条件を示します。

(5) キーオンウェイクアップ関連レジスタ

● キーオンウェイクアップ制御レジスタ K0

レジスタK0は、ポートP0のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK0A命令でレジスタAを介して設定してください。また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ K1

レジスタK1は、ポートP1のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK1A命令でレジスタAを介して設定してください。また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ K2

レジスタK2は、ポートP2、D2、D3のキーオンウェイクアップ機能を制御します。

このレジスタの内容は、TK2A命令でレジスタAを介して設定してください。また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

● キーオンウェイクアップ制御レジスタ L1

レジスタL1は、ポートP1の復帰条件、有効波形 / レベル選択及びINT端子のキーオンウェイクアップ機能、復帰条件選択を制御します。

このレジスタの内容は、TL1A命令でレジスタAを介して設定してください。また、TAL1命令でレジスタL1の内容をレジスタAに転送できます。

● プルアップ制御レジスタ PU0

レジスタPU0は、ポートP0のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU0A命令でレジスタAを介して設定してください。また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

● プルアップ制御レジスタ PU1

レジスタPU1は、ポートP1のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU1A命令でレジスタAを介して設定してください。また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

● プルアップ制御レジスタ PU2

レジスタPU2は、ポートP2、D2、D3のプルアップトランジスタのON/OFFを制御します。

このレジスタの内容は、TPU2A命令でレジスタAを介して設定してください。また、TAPU2命令でレジスタPU2の内容をレジスタAに転送できます。

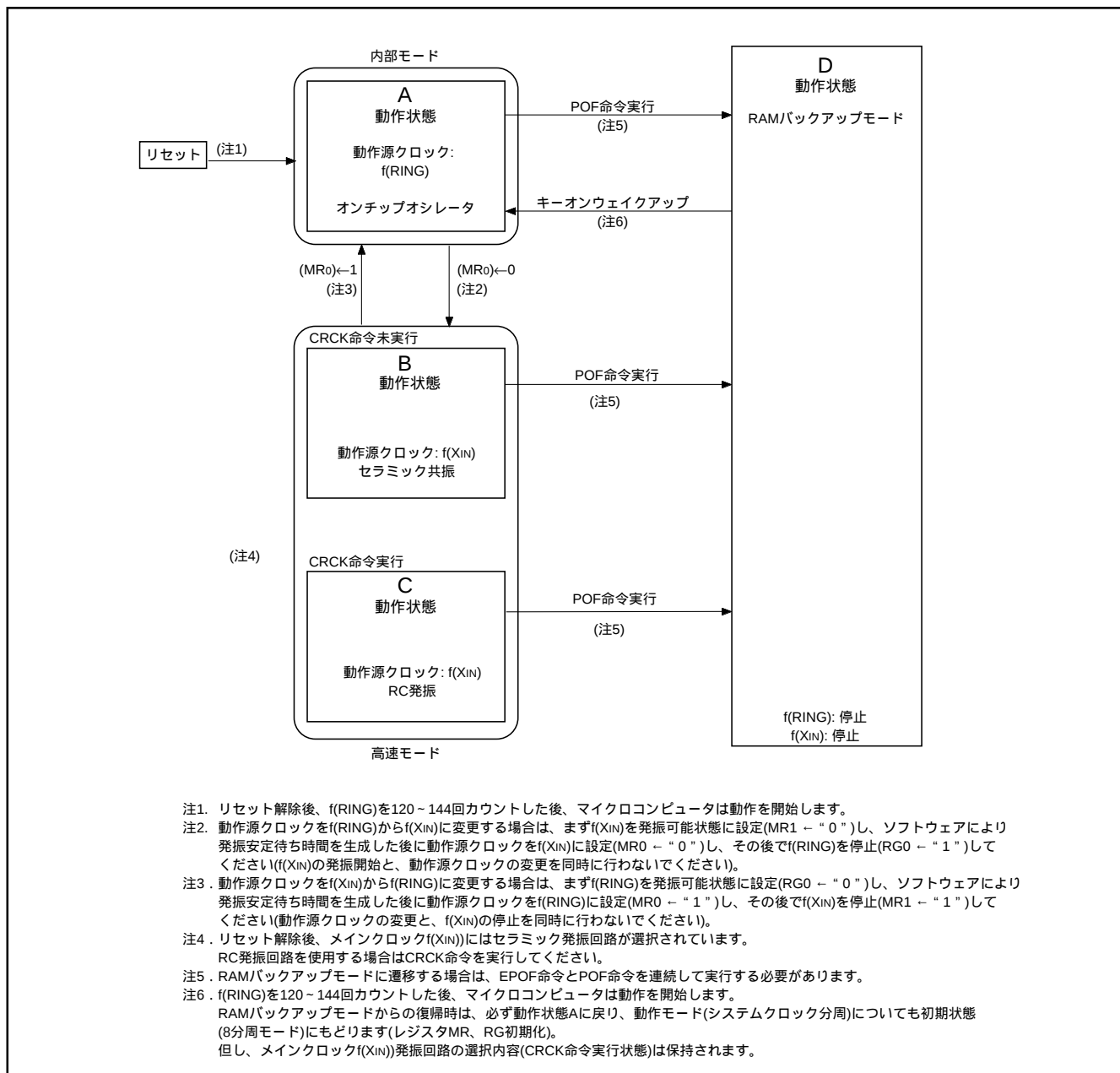
● 割り込み制御レジスタ I1

レジスタI1は、INT端子の入力制御、有効波形 / レベル選択を制御します。

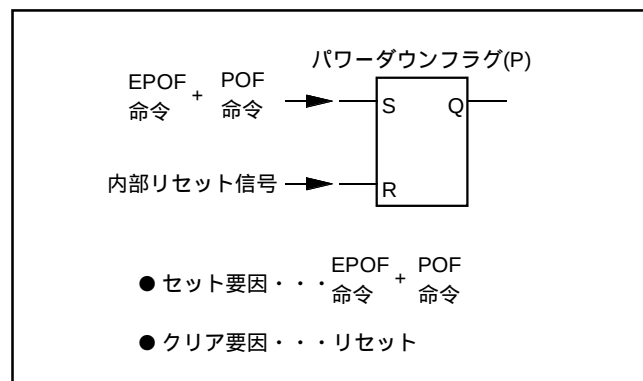
このレジスタの内容は、TI1A命令でレジスタAを介して設定してください。また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表WD-2．復帰要因と復帰条件

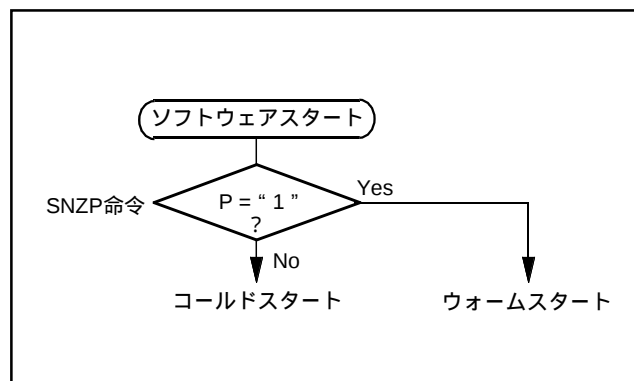
復帰要因		復帰条件	備 考
外部ウェイクアップ信号	ポートP00～P03 ポートP20、P21 ポートD2、D3	外部からの“L”レベル入力により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。 RAMバックアップ状態に遷移する前に、キーオンウェイクアップを使用するポートを“H”レベルにしてください。
	ポートP10～P13	外部からの“L”レベルあるいは“H”レベル入力、又は立ち下がりエッジ(“H”→“L”)あるいは立ち上がりエッジ(“L”→“H”)により復帰します。	キーオンウェイクアップ機能は1ポート単位で選択できます。 RAMバックアップ状態に遷移する前に、外部の状態に応じてキーオンウェイクアップ制御レジスタL1で復帰レベル(“L”レベル又は“H”レベル)及び復帰条件(レベル復帰又はエッジ復帰)を選択してください。 RAMバックアップ状態に遷移する前に、キーオンウェイクアップを使用するポートを、選択した復帰レベル(エッジ)と反対のレベルにしてください。
	INT端子	外部からの“L”レベルあるいは“H”レベル入力、又は立ち下がりエッジ(“H”→“L”)あるいは立ち上がりエッジ(“L”→“H”)により復帰します。 復帰入力時は、割り込み要求フラグ(EXF0)はセットされません。	キーオンウェイクアップ機能は1ポート単位で選択できます。 RAMバックアップ状態に遷移する前に、外部の状態に応じて割り込み制御レジスタI1で復帰レベル(“L”レベル又は“H”レベル)を、キーオンウェイクアップ制御レジスタL1で復帰条件(レベル復帰又はエッジ復帰)を選択してください。



図WD-1. 状態遷移図



図WD-2. パワーダウンフラグ(P)のセット要因とクリア要因



図WD-3. SNZP命令によるスタート識別例

表WD-3 . キーオンウェイクアップ制御レジスタ、プルアップ制御レジスタ

キーオンウェイクアップ制御レジスタK0		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK0 / TK0A
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK1 / TK1A
K13	ポートP13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K12	ポートP12 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK2		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK2 / TK2A
K23	ポートD3 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K22	ポートD2 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	ポートP21 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K20	ポートP20 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタL1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAL1 / TL1A
L13	ポートP10～P13 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
L12	ポートP10～P13 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ”レベル		
		1	立ち上がり波形 / “ H ”レベル		
L11	INT端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
L10	INT端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“ R ”は読み出し可、“ W ”は書き込み可を表します。

プルアップ制御レジスタPU0		リセット時：00002	RAMバックアップ時：状態保持	R / W TAPU0 / TPU0A
PU03	ポートP03 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU02	ポートP02 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU01	ポートP01 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU00	ポートP00 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU1		リセット時：00002	RAMバックアップ時：状態保持	R / W TAPU1 / TPU1A
PU13	ポートP13 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU12	ポートP12 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU11	ポートP11 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU10	ポートP10 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

プルアップ制御レジスタPU2		リセット時：00002	RAMバックアップ時：状態保持	R / W TAPU2 / TPU2A
PU23	ポートD3 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU22	ポートD2 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU21	ポートP21 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU20	ポートP20 プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

注：“R”は読み出し可、“W”は書き込み可を表します。

クロック制御

本製品のクロック制御回路は以下の回路により構成されています。

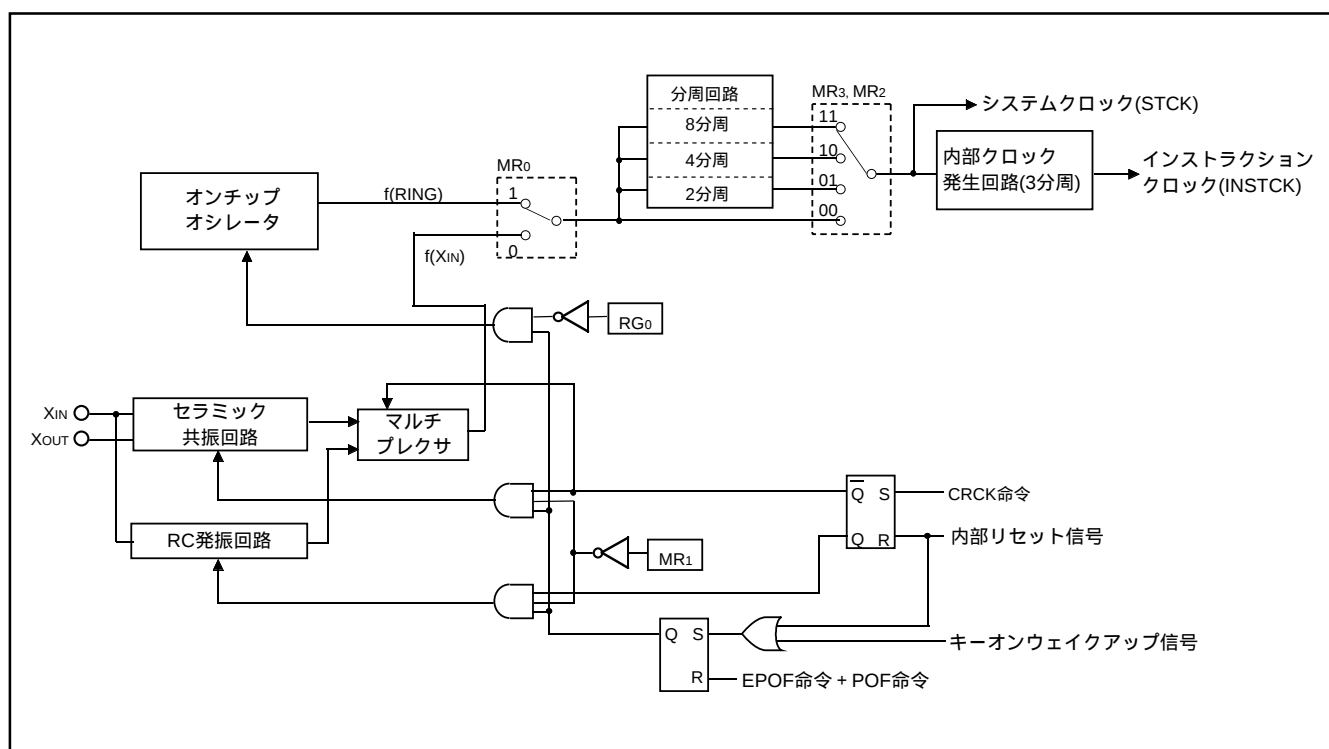
- オンチップオシレータ(内部発振器)
- セラミック発振回路
- RC発振回路
- マルチプレクサ(クロック選択回路)
- 分周回路
- 内部クロック発生回路

これらの回路により、本製品の動作源となるシステムクロック、インストラクションクロックが生成されます。

図WA-1にクロック制御回路の構成を示します。

本製品はリセット解除後、内部発振器であるオンチップオシレータクロック($f(RING)$)で動作します。

また、本製品の源発振($f(XIN)$)には、セラミック共振子あるいはRC発振が使用できます。



図WA-1 . クロック制御回路の構成

(1) オンチップオシレータ動作

本製品はリセット解除後、内部発振器であるオンチップオシレータから出力されるクロックにより動作を開始します。

なお、オンチップオシレータのクロック周波数は電源電圧及び動作周囲温度により大きく変動します。応用製品設計の際には、この周波数変動に対し十分なマージンが得られるよう注意してください。

(2) メインクロック発生回路($f(XIN)$)

本製品のメインクロック($f(XIN)$)には、セラミック共振器またはRC発振が使用できます。

リセット解除後、メインクロックはセラミック発振回路が有効状態になります。

CRCK命令を実行することで、メインクロックはセラミック共振回路が無効になり、RC発振回路が有効になります。CRCK命令は、必ずプログラムの初期ルーチンで実行してください(0ページ0番地で実行することを推奨します)。CRCK命令の実行は、一度だけ有効です。

メインクロック($f(XIN)$)の発振可能・停止及び動作源クロック選択の制御はレジスタMRで行います。

メインクロック($f(XIN)$)を使用せずオンチップオシレータのみで動作させる場合は、 XIN 端子を VSS に接続して $XOUT$ 端子を開放とし、CRCK命令は実行しないでください(図WA-3)。

(3) セラミック共振器を使用する場合

メインクロック($f(XIN)$)にセラミック共振器を使用する場合は、 XIN 端子と $XOUT$ 端子にセラミック共振器および外部回路を最短距離で接続してください。 XIN 端子と $XOUT$ 端子の間には帰還抵抗が内蔵されています(図WA-4)。

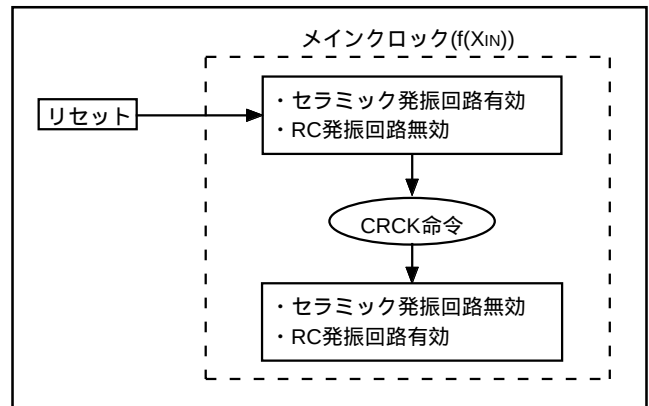
なお、CRCK命令は実行しないでください。

セラミック発振回路で生成されたクロックを動作源クロックに選択する場合は、ソフトウェアで発振安定待ち時間を生成した後に、レジスタMRのビット0を"0"に設定してください。

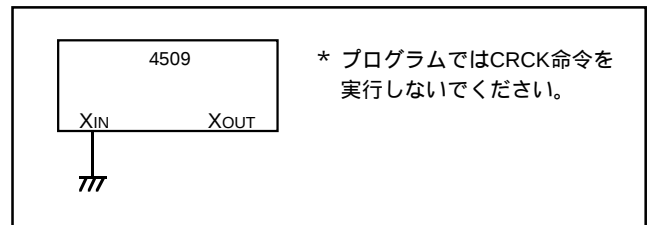
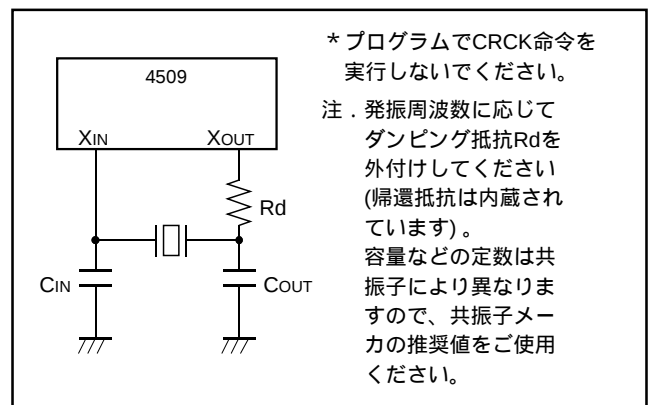
(4) RC発振を使用する場合

メインクロック($f(XIN)$)にRC発振を使用する場合は、 XIN 端子に抵抗 R 、コンデンサ C の外付け回路を最短距離で接続し、 $XOUT$ 端子は開放とし、CRCK命令を実行してください(図WA-5)。

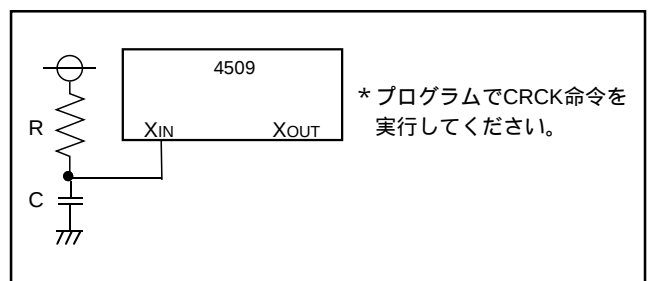
なお、RC発振用の抵抗 R およびコンデンサ C の定数は、マイクロコンピュータのバラツキと抵抗およびコンデンサ自身のバラツキによる周波数の変動が、入力周波数の推奨動作条件範囲を越えないよう注意してください。



図WA-2. セラミック発振回路からRC発振回路への切り替え

図WA-3. メインクロック($f(XIN)$)未使用時の XIN 、 $XOUT$ 端子の処理

図WA-4. セラミック共振器外付け回路



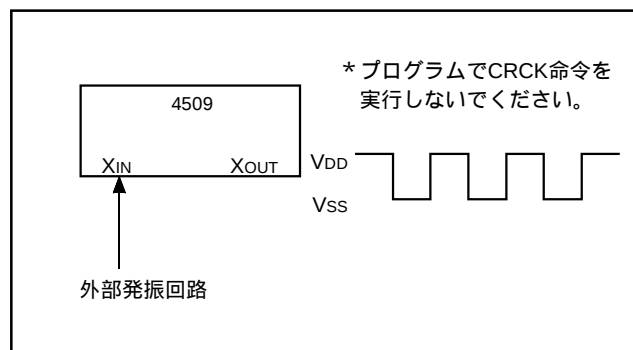
図WA-5. RC外付け回路

(5)外部クロックを使用する場合

メインクロック($f(XIN)$)に外部クロックを使用する場合は、 XIN 端子にクロック発生源を接続し、 $XOUT$ 端子は開放としてください。なお、CRCK命令は実行しないでください(図WA-6)。

外部クロック使用時の発振周波数最大値は、セラミック共振器使用時と異なりますので、注意してください(推奨動作条件参照)。

また、外部クロックを使用する際はRAMバックアップモード(POF命令)を使用しないでください。



図WA-6 外部クロック入力回路

(6)クロック制御レジスタMR

レジスタMRは動作源クロック選択、メインクロック($f(XIN)$)発振回路及び動作モード選択を制御します。

このレジスタの内容は、TMRA命令でレジスタAを介して設定してください。また、TAMR命令でレジスタMRの内容をレジスタAに転送できます。

(7)クロック制御レジスタRG

レジスタRGは、オンチップオシレータを制御します。

このレジスタの内容は、TRGA命令でレジスタAを介して設定してください。

表WA-1 クロック制御レジスタ

クロック制御レジスタMR		リセット時：11012		RAMバックアップ時：11012	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3	MR2	動作モード	
		0	0	スルーモード(分周なし)	
0		1	2分周モード		
MR2		1	0	4分周モード	
		1	1	8分周モード	
MR1	メインクロック(f(XIN))制御ビット(注2、注5)	0	メインクロック(f(XIN))発振可能		
		1	メインクロック(f(XIN))発振停止		
MR0	動作源クロック選択ビット (注3、注5)	0	メインクロック(f(XIN))選択		
		1	オンチップオシレータ(f(RING))選択		

クロック制御レジスタRG		リセット時: 02		RAMバックアップ時: 02	W TRGA
RG0	オンチップオシレータ($f(RING)$)制御ビット(注4)	0	オンチップオシレータ($f(RING)$)発振可能		
		1	オンチップオシレータ($f(RING)$)発振停止		

注1. “R”は読み出し可、“W”は書き込み可を表します。

注2. 動作源クロックにメインクロック($f(XIN)$)が選択されている場合は、メインクロック($f(XIN)$)を停止することはできません。

注3. 停止しているクロックを動作源クロックに選択することはできません。動作源クロックの選択を変更する場合は、変更先のクロックを動作させ、ソフトウェアによる発振安定待ち時間を生成した後に行ってください。

注4. 動作源クロックにオンチップオシレータ($f(RING)$)が選択されている場合は、オンチップオシレータ($f(RING)$)を停止することはできません。

注5. MR1、MR0 = “00” → “11”に変更する場合は、“00” → “01” → “11”の順で設定してください。

MR1、MR0 = “11” → “00”に変更する場合は、“11” → “01” → “00”の順で設定してください。

QzROM書き込みモード

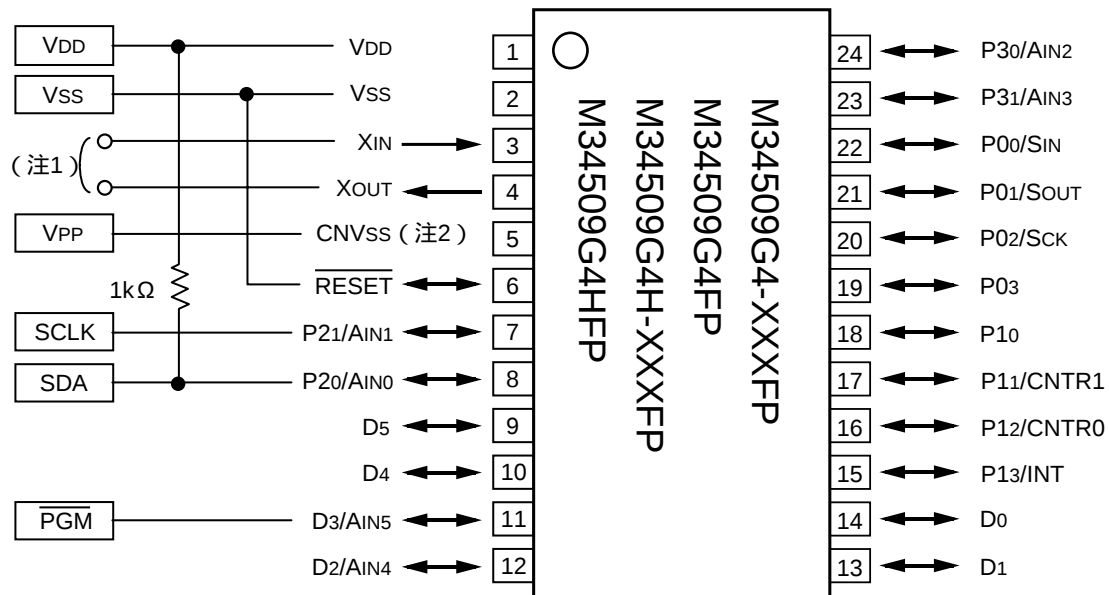
QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表QZ-1に端子の機能説明 (QzROM書き込みモード) を、図QZ-1に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例 (図QZ-2) を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザズマニュアルを参照してください。

表QZ-1．端子の機能説明 (QzROM書き込みモード)

端子名	名 称	入出力	機 能
VDD	電源	－	電源電圧供給端子です。
VSS	GND	－	GND端子です。
CNVSS	VPP入力	－	QzROMの電源入力端子です。 5k Ω 程度の抵抗を介してVSSに接続した状態でVPP入力可能です。
P20/AIN0	SDA入出力	入出力	QzROMのシリアルデータの入出力端子です。
P21/AIN1	SCLK入力	入力	QzROMのシリアルクロックの入力端子です。
D3/AIN5	PGM入力	入力	QzROMのリード/プログラムパルス信号の入力端子です。
RESET	リセット入力	入力	リセット入力端子です。 “L”を入力してください。
XIN	クロック入力	－	発振回路を接続、又はXIN端子をVSSに接続してXOUT端子を開放してください。
XOUT	クロック出力	－	
D0, D1, D2/AIN4, D4, D5, P00/SIN, P01/SOUT, P02/SCK, P03, P10, P11/CNTR1, P12/CNTR0, P13/INT, P30/AIN2, P31/AIN3	入出力ポート	－	“H”を入力、“L”を入力、又は開放してください。

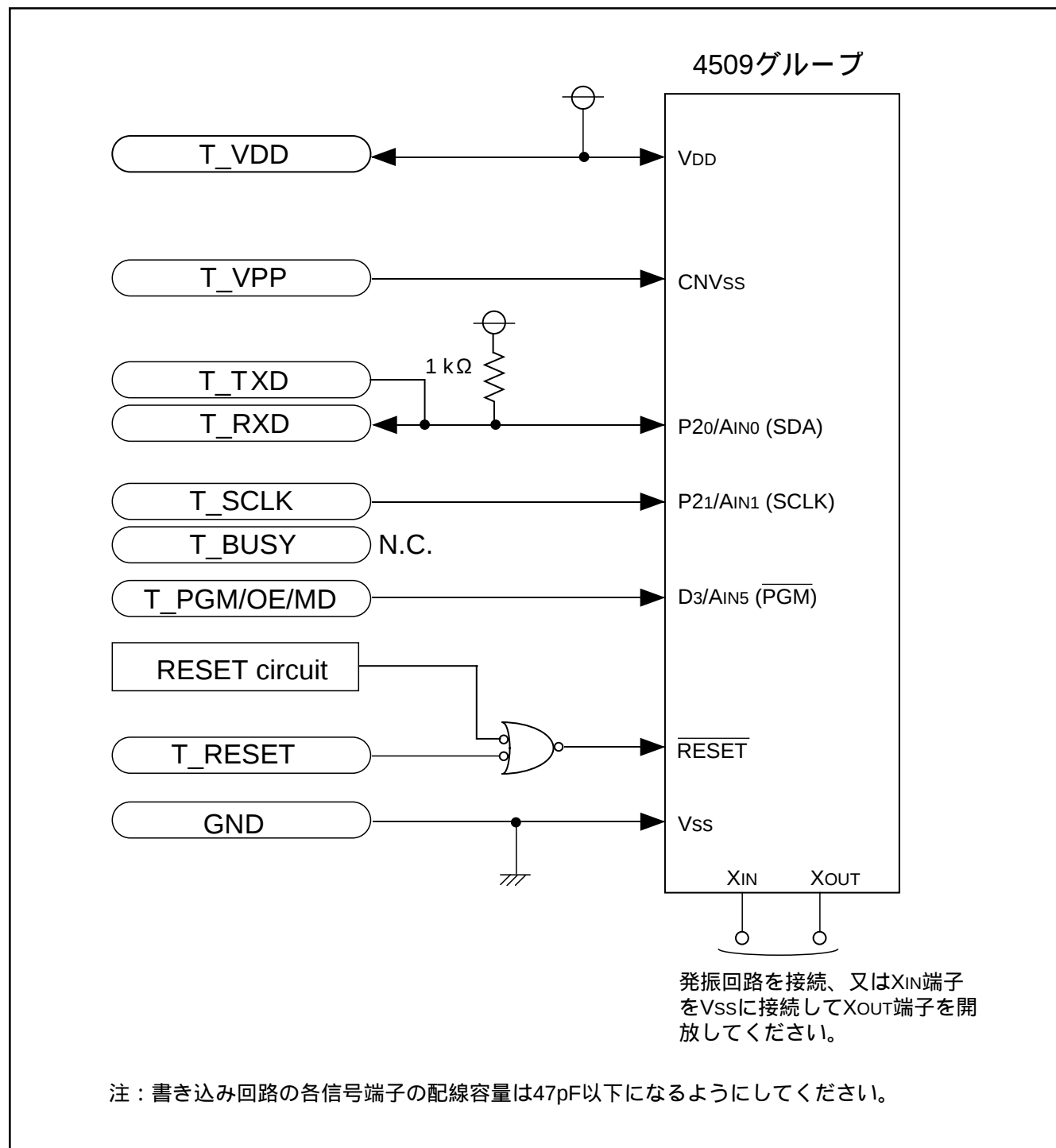


外形 PRSP0024GA-A (24P2Q-A)

- 注1. 発振回路を接続、又はXIN端子をVSSに接続してXOUT端子を開放してください。
 注2. CNVSS端子に5kΩ程度の抵抗を介してVSSに接続した状態でVPP入力可能です。

□ : QzROM

図QZ-1. 端子結線図



図QZ-2 . 彗星電子システム製プログラマ使用時の基板上の端子処理例

QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- ・QzROM書き込み確認書*
- ・マーク指定書*
- ・ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ (<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

使用上の注意(まとめ)

(1)ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策として、VDD端子とVSS端子間にコンデンサ(0.1 μ F)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

CNVSS端子とVPP端子は兼用になっています。5k Ω 程度の抵抗を極力CNVSS/VPP端子の近くに配置してVSS端子に接続してください。

(2)電源電圧

マイコンの電源電圧が推奨動作条件の最小規格値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件の最小規格値未満のときにマイコンをリセットするなど、この不安定な動作によってシステムに異常をきたさないような設計に留意してください。

(3)レジスタの初期値1

次のレジスタは、リセット解除後の初期値が不定です。リセット解除後、必ず初期設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(3ビット)
- ・レジスタE(8ビット)

(4)レジスタの初期値2

次のレジスタは、RAMバックアップ時は不定です。RAMバックアップからの復帰後、必ず再設定を行ってください。

- ・レジスタZ(2ビット)
- ・レジスタX(4ビット)
- ・レジスタY(4ビット)
- ・レジスタD(3ビット)
- ・レジスタE(8ビット)

(5)プログラムカウンタ

プログラムカウンタが内蔵ROMの最終ページより後のページを指定しないように注意してください。

(6)スタックレジスタ(SK)

スタックレジスタ(SK)は8段で構成されているため、サブルーチンは8レベルまで使用できます。しかし、割り込み処理ルーチン使用時及びテーブル参照命令(TABP)実行時にも、それぞれレジスタSKを1段使用するため、これらの処理を併用する場合はその合計が8レベルを超えないように注意してください。

(7)マルチファンクション

- SIN端子を使用している場合でもポートP00の入出力機能は有効です。SIN端子とポートP00との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- SOUT端子を使用している場合でもポートP01の入出力機能は有効です。
- SCK端子を使用している場合でもポートP02の入出力機能は有効です。
SCK端子とポートP02との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR1端子の出力機能を使用している場合でもポートP11の入出力機能は有効です。CNTR1端子の入出力機能を使用している場合でもポートP11の入出力機能は有効です。CNTR1端子とポートP11との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- CNTR0端子の出力機能を使用している場合でもポートP12の入出力機能は有効です。CNTR0端子の入出力機能を使用している場合でもポートP12の入出力機能は有効です。CNTR0端子とポートP12との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- INT端子を使用している場合でもポートP13の入出力機能は有効です。INT端子とポートP13との入力しきい値は異なりますので、両方の入力を使用する際は注意してください。
- アナログ入力(AIN0 ~ AIN5)を使用している場合でも各ポート(P20、P21、P30、P31、D2、D3)の入出力機能は有効です。

(8)パワーオンリセット(Hバージョンのみ)

内蔵のパワーオンリセット回路を使用する際は、電源電圧が0Vから推奨動作条件の最小規格値以上に立ち上がるまでの時間を100 μ s以下に設定してください。

立ち上がり時間が100 μ sを超える場合には、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“L”レベルが入力されるようにしてください。

(9)POF命令

EPOF命令実行直後にPOF命令を実行するとRAMバックアップ状態になります。

POF命令単独ではRAMバックアップ状態にならないので、注意してください。

またEPOF命令とPOF命令を連続して実行する前には、必ず割り込み禁止状態に(DI命令実行)してください。

(10) P13/INT端子

レジスタI1のビット3に関する注意1

ソフトウェアの途中で割り込み制御レジスタI1のビット3によってINT端子の入力制御を行う際は次の点に注意してください。

- レジスタI1のビット3の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図XB-1)した後、レジスタI1のビット3の内容を変更してください。更に、一命令以上おいて(図XB-1)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図XB-1)。

```

      ⋮
LA 4   ; (×××02)
TV1A   ; SNZ0命令有効・・・①
LA 8   ; (1×××2)
TI1A   ; INT端子入力制御変更
NOP    ; .....②
SNZ0   ; SNZ0命令実行
      (フラグEXF0クリア)
NOP    ; .....③
      ⋮
      × : このビットはINT端子の入力
            制御には関係しません。

```

図XB-1．外部0割り込みプログラム例1

レジスタI1のビット3に関する注意2

割り込み制御レジスタI1のビット3を"0"にクリアし、INT端子入力禁止の状態ではRAMバックアップを使用する際は、次の点に注意してください。

- INT端子入力を禁止する場合、(レジスタI13≠"0")は、RAMバックアップモードに移行する前にINT端子のキーオンウェイクアップを無効(レジスタI10≠"0")としてください(図XB-2)。

```

      ⋮
LA 0   ; (×××02)
TL1A   ; キーオンウェイクアップ無効・・・①
DI
EPOF
POF    ; RAMバックアップ
      ⋮
      × : このビットは本例では関係
            しません。

```

図XB-2．外部0割り込みプログラム例2

レジスタI1のビット2に関する注意

ソフトウェアの途中で割り込み制御レジスタI1のビット2によってP13/INT端子の割り込み有効波形を変更する場合は、次の点に注意してください。

- レジスタI1のビット2の内容を変更する場合、P13/INT端子の入力状態によっては、外部0割り込み要求フラグ(EXF0)が"1"にセットされることがあります。不測の割り込み発生を防止するために、割り込み制御レジスタV1のビット0を"0"にクリア(図XB-3)した後、レジスタI1のビット2の内容を変更してください。更に、一命令以上おいて(図XB-3)SNZ0命令を実行し、フラグEXF0を"0"にクリアしてください。また、SNZ0命令によるスキップが発生する場合を考慮し、SNZ0命令の後にNOP命令を挿入してください(図XB-3)。

```

      ⋮
LA 4   ; (×××02)
TV1A   ; SNZ0命令有効・・・①
LA 12  ; (1×××2)
TI1A   ; 割り込み有効波形変更
NOP    ; .....②
SNZ0   ; SNZ0命令実行
      (フラグEXF0クリア)
NOP    ; .....③
      ⋮
      × : このビットはINT端子の設定
            には関係しません。

```

図XB-3．外部0割り込みプログラム例3

(11) プリスケアラ

プリスケアラからデータを読み出す場合は、まずプリスケアラのカウントを停止させた後、データ読み出し命令(TABPS)を実行してください。

プリスケアラにデータを書き込む場合は、まずプリスケアラのカウントを停止させた後、データ書き込み命令(TPSAB)を実行してください。

(12) カウントソース

タイマ1、2のカウントソースを切り替える場合は、まず各タイマのカウントを停止させた後、カウントソースを切り替えてください。

(13) カウント値の読み出し

タイマ1、2からデータを読み出す場合は、まず各タイマのカウントを停止させた後、データ読み出し命令(TAB1、TAB2)を実行してください。

(14) タイマへのデータ書き込み

タイマ1、2にデータを書き込む場合は、まず各タイマのカウントを停止させた後、データ書き込み命令(T1AB、T1R1L、T2AB、T2R2L)を実行してください。

(15) リロードレジスタへのデータ書き込み

タイマ1動作中にリロードレジスタR1Hにデータを書き込む場合は、必ずタイマ1アンダフローと重ならないタイミングでデータ書き込み命令(T1HAB)を実行してください。

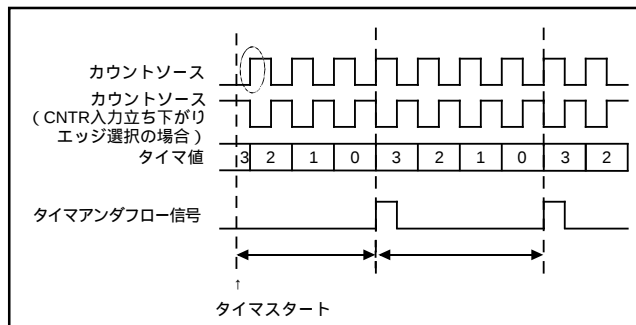
タイマ2動作中にリロードレジスタR2Hにデータを書き込む場合は、必ずタイマ2アンダフローと重ならないタイミングでデータ書き込み命令(T2HAB)を実行してください。

(16) プリスケアラ、タイマ1、2のカウント開始タイミングと動作開始時のカウント時間

プリスケアラ、タイマは動作開始()後、カウントソースの最初の立ち上がり()からカウントを開始します。

タイマ及びカウントソースの動作開始タイミングによって、カウント開始後、最初のアンダフローまでの時間()は、以降のアンダフロー間の時間()より短く(最大でカウントソースの一周期分)なります。

なお、タイマのカウントソースにCNTR入力を選択した場合、タイマはソフトウェアにより選択されるCNTR入力カウントエッジ(立ち下がりエッジまたは立ち上がりエッジ)に同期して動作します。



図FB-4. タイマカウント開始タイミングと動作開始時のカウント時間

(17) PWM信号(PWM1、PWM2)

PWM1信号出力時に、タイマ1カウント停止タイミングとタイマ1アンダフロータイミングが重なった場合、PWM1出力波形にハザードが発生することがあります。

PWM2信号出力時に、タイマ2カウント停止タイミングとタイマ2アンダフロータイミングが重なった場合、PWM2出力波形にハザードが発生することがあります。

(18) ウォッチドッグタイマ

- ウォッチドッグタイマ機能はリセット解除直後から有効です。ウォッチドッグタイマ機能を使用しない場合は、DWD命令とWRST命令を連続して実行し、フラグWEFを“0”にクリアしてウォッチドッグタイマ機能を停止してください。
- RAMバックアップ時は、フラグWDF1及びタイマWDTの値は初期化されます。
- ウォッチドッグタイマ機能とRAMバックアップ機能を併用する場合は、RAMバックアップモードに移行する前にWRST命令を実行してフラグWDF1を初期化してください。またWRST命令によるスキップが発生する場合を考慮し、WRST命令の後にNOP命令を挿入してください。

(19) クロック制御

メインクロック $f(XIN)$ にRC発振を使用する場合は、必ずCRCK命令をプログラムの初期ルーチンで実行してください(0ページ0番地で実行することを推奨します)。CRCK命令の実行は、一度だけ有効です。

CRCK命令が実行されない場合、メインクロック $f(XIN)$ にはセラミック共振が選択された状態になります。

メインクロック $f(XIN)$ を使用せずオンチップオシレータのみで動作させる場合は、 XIN 端子を VSS に接続して $XOUT$ 端子を開放とし、CRCK命令は実行しないでください。

動作源クロック $f(RING)$ または $f(XIN)$ の切り替えは、必ず切り替え先のクロックを発振可能状態に設定し、ソフトウェアにより発振安定待ち時間を生成した後に実施してください。

RAMバックアップモードからの復帰時は、レジスタMR、RG初期化されます。但し、メインクロック $f(XIN)$ 発振回路の選択内容(CRCK命令実行状態)は保持されます。

(20) オンチップオシレータ

オンチップオシレータのクロック周波数は、電源電圧及び動作周囲温度により大きく変動しますので、応用製品設計の際には、この周波数変動に対して十分なマージンが得られるよう注意してください。

クロック切り替え時の発振安定待ち時間検討の際も、オンチップオシレータクロックの周波数変動に留意してください。

(21) 外部クロック

メインクロック $f(XIN)$ に外部クロックを使用する場合は、 XIN 端子にクロック発生源を接続し、 $XOUT$ 端子は開放としてください。CRCK命令は実行しないでください。

外部クロック使用時の発振周波数最大値は、セラミック共振使用時と異なりますので注意してください(推奨動作条件参照)。

また外部クロックを使用する際は、RAMバックアップモード(POF命令)を使用しないでください。

(22) A/Dコンバータ1

- TALA命令を実行すると、逐次比較レジスタADの下位2ビットをレジスタAの上位2ビットに転送し、同時にレジスタAの下位2ビットを“0”にします。
- A/Dコンバータの動作中(A/D変換モード、コンパレータモードとも)にレジスタQ1のビット3によってA/Dコンバータの動作モードを変更しないでください。
- コンパレータモードからA/D変換モードに変更するためには、割り込み制御レジスタV2のビット2が“0” (図XB-4) になっている必要があります。
- コンパレータモードからA/D変換モードに変更した場合、A/D変換終了フラグ(ADF)がセットされることがあります。レジスタQ1のビット3に値を設定した後、SNZAD命令を実行して、フラグADFをクリアしてください。

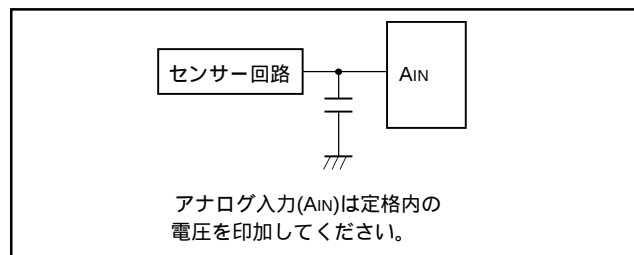
⋮	
LA 8	; (0×2)
TV2A	; SNZAD命令有効・・・①
LA 0	; (0×2)
TQ1A	; A/Dコンバータの動作モードを コンパレータモードから A/D変換モードに変更
SNZAD	
NOP	
⋮	
×	: このビットはA/Dコンバータの動作 モード変更には関係しません。

図XB-4 . A/Dコンバータの動作モードプログラム例

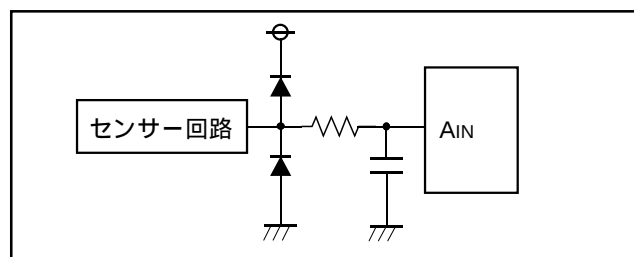
(23) A/Dコンバータ2

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、信号源インピーダンスの高い回路を用いて、アナログ電圧を入力した場合、充放電ノイズが発生し、十分なA/D精度が得られない場合があります。十分なA/D精度を得るためには、アナログ入力の信号源インピーダンスを下げるか、又はアナログ入力端子に、 $0.01 \sim 1 \mu\text{F}$ のコンデンサを付加してください(図XB-5を参照)。

また、やむをえずアナログ入力に定格以上の電圧がかかる場合は、図XB-6に示すように定格内の電圧になるように外付け回路を構成してください。更に、応用製品の十分な動作確認を行ってください。



図XB-5 . アナログ入力外付け回路例1



図XB-6 . アナログ入力外付け回路例2

(24) QzROM

過電圧がかからないように注意してください。過電圧によりQzROMの内容が書き換わる可能性があります。特に電源投入時は注意してください。

ブランク出荷品は、アセンブリ工程以前にQzROMの書き込み検査を十分に行っていますが、アセンブリ工程以降はユーザーROM領域に対する書き込み検査は行っていません。そのため、0.1%程度の書き込み不良が発生することがあります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触やソケット上の異物などに十分に留意してご使用ください。

注 . ブランク出荷品: 工場出荷時にQzROMの内容が書き込まれていないもの

(25) ROMコードプロテクトに関する注意(書き込み出荷品)

QzROM書き込み出荷品のROMコードプロテクトは、発注時に提出していただくマスクファイル作成時のROMオプションデータの値で決定します。

マスクファイル作成時のROMオプションデータは、プロテクト有りの場合は“00₁₆”、プロテクト無しの場合は“FF₁₆”を設定します。

ROMオプションデータが設定されていない場合や、“00₁₆”、“FF₁₆”以外のデータが設定されている場合はマスクファイルを受け付け出来ませんのでご注意ください。

使用上の注意

ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

1. 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い配線で接続してください。

●理由

マイコンを正常にリセットするために、リセット端子に入力されるパルス幅は1マシンサイクル以上が必要です。これより短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

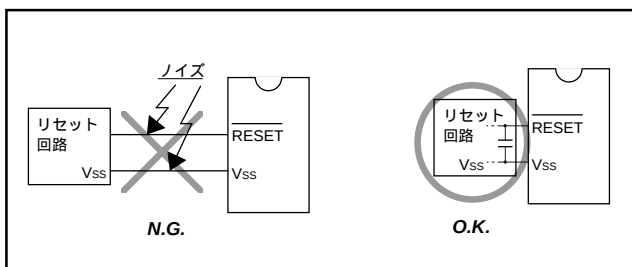


図 NS-1 . リセット入力端子の配線

(2) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

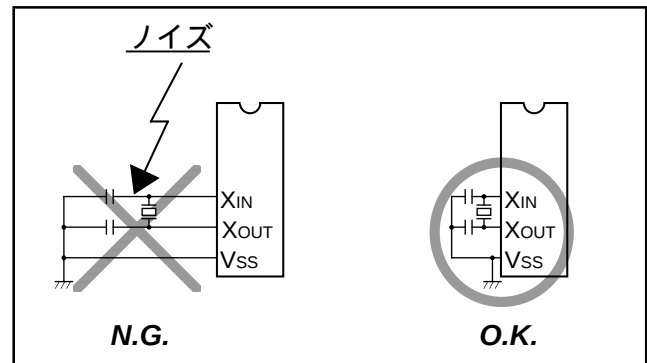


図 NS-2 . クロック入出力端子の配線

(3) CNVss端子配線

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いIGNDパターンに最短で接続してください。また、5kΩ程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いIGNDパターンに最短で接続してください。

●理由

CNVss端子は内蔵QzROMの電源入力端子です。

QzROMへのプログラム書き込み時に、書き込み電流が流れるようにCNVss端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。CNVss端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

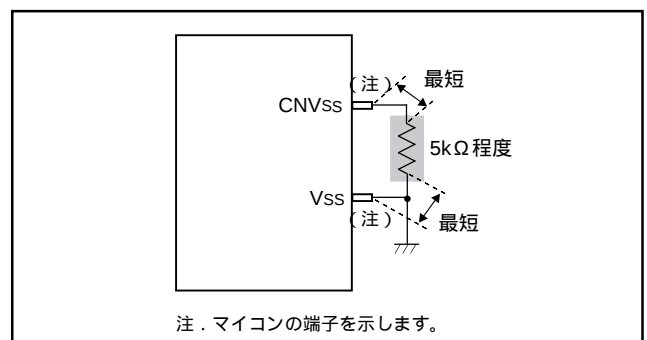
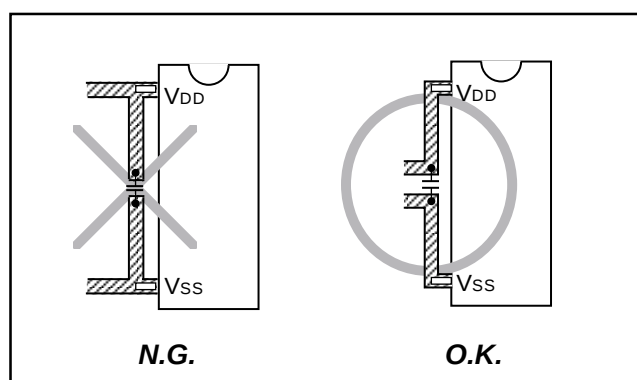


図 NS-3 . QzROM 版の CNVss 端子の配線

2. VSS - VDDライン間へのバイパスコンデンサ挿入

VSS - VDDライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・VSS端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を等しくする
- ・VSS端子 - バイパスコンデンサ間の配線長とVDD端子 - バイパスコンデンサ間の配線長を最短とする
- ・VSSライン及びVDDラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVSS端子及びVDD端子へ接続する



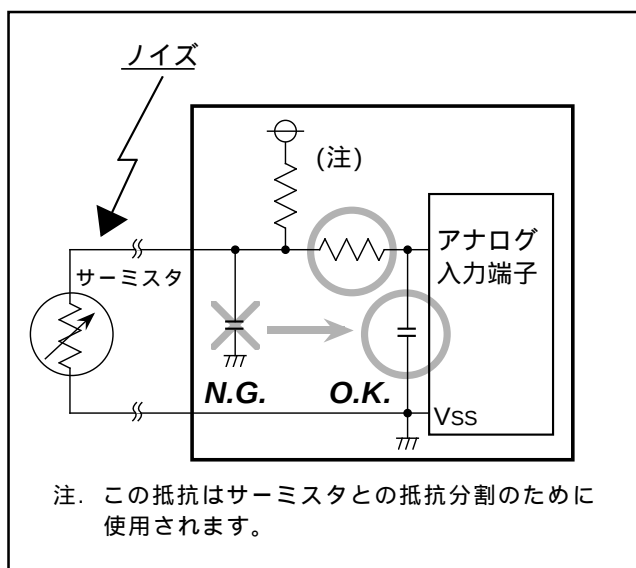
図NS-4 . VSS - VDDライン間のバイパスコンデンサ

3. アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100 ~ 1k Ω 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVSS端子間の、VSS端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVSS端子 - コンデンサ間の配線長を等しくしてください。

●理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。



図NS-5 . アナログ信号線と抵抗及びコンデンサ

4. 発振子への配慮

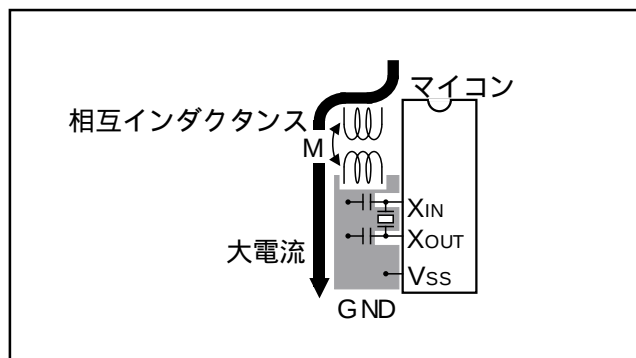
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。



図NS-6．大電流が流れる信号線の配線

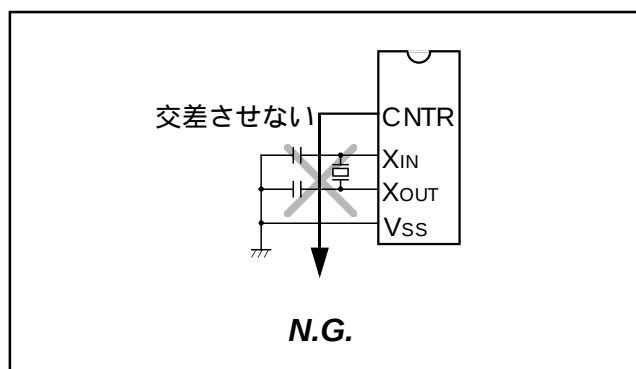
(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

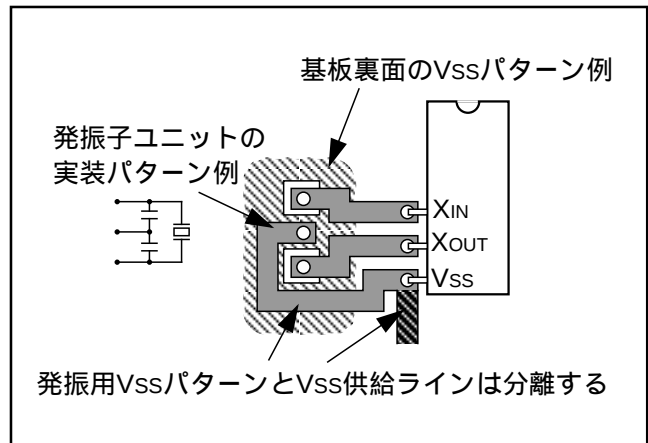


図NS-7．高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子を実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。



図NS-8．発振子の裏面のVssパターン

5. 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面に対策を行ってください。

ハードウェア面

- ・入出力ポートに100Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポート及び入出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でポートラッチの再書き込みを行ってください。
- ・一定周期でプルアップ制御レジスタの再書き込みを行ってください。

6. ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- ・RAMの1語をソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注：メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- ・SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- ・割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- ・SWDTの内容を1回の割り込み処理で1減算します。
- ・ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- ・SWDTの内容がNに初期化されことなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

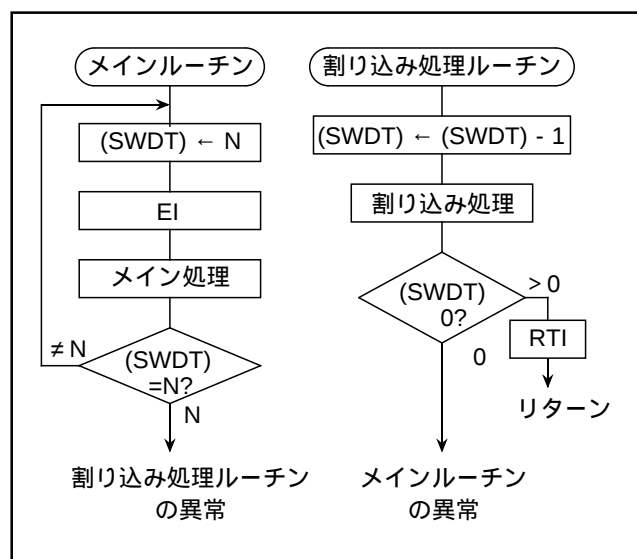


図 NS-9 . ソフトウェアによるウォッチドッグタイマ

制御レジスタ一覧

割り込み制御レジスタV1		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R / W TAV1 / TV1A
V13	タイマ2割り込み可能ビット	0	発生禁止(SNZT2命令有効)		
		1	発生可能(SNZT2命令無効)		
V12	タイマ1割り込み可能ビット	0	発生禁止(SNZT1命令有効)		
		1	発生可能(SNZT1命令無効)		
V11	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
V10	外部0割り込み可能ビット	0	発生禁止(SNZ0命令有効)		
		1	発生可能(SNZ0命令無効)		

割り込み制御レジスタV2		リセット時：0000 ₂		RAMバックアップ時：0000 ₂	R / W TAV2 / TV2A
V23	シリアルインタフェース割り込み可能ビット	0	発生禁止(SNZSI命令有効)		
		1	発生可能(SNZSI命令無効)		
V22	A/D割り込み可能ビット	0	発生禁止(SNZAD命令有効)		
		1	発生可能(SNZAD命令無効)		
V21	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			
V20	使用しません	0	このビットに機能はありませんがR / Wは可能です。		
		1			

割り込み制御レジスタI1		リセット時：0000 ₂		RAMバックアップ時：状態保持	R / W TAI1 / TI1A
I13	INT端子入力制御ビット (注2)	0	入力禁止		
		1	入力可能		
I12	INT端子割り込み有効波形 / 復帰レベル選択ビット (注2)	0	立ち下がり波形 / “ L ”レベル(SNZI0命令はINT端子の“ L ”レベル認識)		
		1	立ち上がり波形 / “ H ”レベル(SNZI0命令はINT端子の“ H ”レベル認識)		
I11	INT端子エッジ検出回路制御ビット	0	片エッジ検出		
		1	両エッジ検出		
I10	INT端子タイマ1制御可能ビット	0	タイマ1制御禁止		
		1	タイマ1制御可能		

クロック制御レジスタMR		リセット時：11012		RAMバックアップ時：11012	R / W TAMR / TMRA
MR3	動作モード選択ビット	MR3	MR2	動作モード	
		0	0	スルーモード(分周なし)	
		0	1	2分周モード	
MR2		1	0	4分周モード	
		1	1	8分周モード	
MR1	メインクロック(f(XIN))制御ビット (注3、注6)	0	メインクロック(f(XIN))発振可能		
		1	メインクロック(f(XIN))発振停止		
MR0	動作源クロック選択ビット (注4、注6)	0	メインクロック(f(XIN))選択		
		1	オンチップオシレータ(f(RING))選択		

クロック制御レジスタRG		リセット時：0 ₂		RAMバックアップ時：0 ₂	W TRGA
RG0	オンチップオシレータ(f(RING))制御ビット (注5)	0	オンチップオシレータ(f(RING))発振可能		
		1	オンチップオシレータ(f(RING))発振停止		

注1. “ R ”は読み出し可、“ W ”は書き込み可を表します。

2. これらのビット(I12、I13)の内容を変更した際に、外部割り込み要求フラグ(EXF0)がセットされる場合があります。

3. 動作源クロックにメインクロック(f(XIN))が選択されている場合は、メインクロック(f(XIN))を停止することはできません。

4. 停止しているクロックを動作源クロックに選択することはできません。動作源クロックの選択を変更する場合は、変更先のクロックを動作させ、ソフトウェアによる発振安定待ち時間を生成した後に行ってください。

5. 動作源クロックにオンチップオシレータ(f(RING))が選択されている場合は、オンチップオシレータ(f(RING))を停止することはできません。

6. MR1、MR0を変更する場合は、MR1 MR0 = “ 00 ” → “ 01 ” → “ 11 ”の順で設定してください。

タイマ制御レジスタPA		リセット時：02		RAMバックアップ時：02	W TPAA
PA0	プリスケアラ制御ビット	0	停止(状態保持)		
		1	動作		

タイマ制御レジスタW1		リセット時：00002		RAMバックアップ時：00002	R / W TAW1 / TW1A
W13	PWM1機能制御ビット	0	PWM1機能無効		
		1	PWM1機能有効		
W12	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		
W11	タイマ1カウントソース選択ビット	W11	W10	カウントソース	
		0	0	PWM2信号	
0		1	プリスケアラ出力(ORCLK)		
W10		1	0	CNTR1入力	
		1	1	オンチップオシレータクロック(f(RING))	

タイマ制御レジスタW2		リセット時：00002		RAMバックアップ時：00002	R / W TAW2 / TW2A
W23	PWM2機能制御ビット	0	PWM2機能無効		
		1	PWM2機能有効		
W22	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W21	タイマ2カウントソース選択ビット	W21	W20	カウントソース	
		0	0	タイマ1アンダフロー信号(T1UDF)	
0		1	プリスケアラ出力(ORCLK)		
W20		1	0	CNTR0入力	
		1	1	システムクロック(STCK)	

タイマ制御レジスタW5		リセット時：00002		RAMバックアップ時：状態保持	R / W TAW5 / TW5A
W53	P12/CNTR0端子機能選択ビット	0	P12入出力 / CNTR0入力		
		1	P12入力 / CNTR0入出力		
W52	タイマ1 カウント自動停止回路選択ビット (注2)	0	カウント自動停止回路非選択		
		1	カウント自動停止回路選択		
W51	タイマ1 カウント開始同期回路選択ビット (注3)	0	カウント開始同期回路非選択		
		1	カウント開始同期回路選択		
W50	CNTR0端子 入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		

タイマ制御レジスタW6		リセット時：00002		RAMバックアップ時：状態保持	R / W TAW6 / TW6A
W63	P11/CNTR1端子機能選択ビット	0	P11入出力 / CNTR1入力		
		1	P11入力 / CNTR1入出力		
W62	CNTR1端子 出力自動制御回路選択ビット	0	出力自動制御回路非選択		
		1	出力自動制御回路選択		
W61	タイマ2 INT端子入力周期カウント回路選択ビット	0	INT端子入力周期カウント回路非選択		
		1	INT端子入力周期カウント回路選択		
W60	CNTR1端子 入力カウントエッジ選択ビット	0	立ち下がりエッジ		
		1	立ち上がりエッジ		

注1. “R”は読み出し可、“W”は書き込み可を表します。

2. この機能は、INT端子タイマ1制御可能(I10=“1”)及びタイマ1 カウント開始同期回路選択(W51=“1”)時にのみ有効です。

3. この機能は、INT 端子タイマ1制御可能(I10=“1”)時にのみ有効です。

A/D制御レジスタQ1		リセット時：00002			RAMバックアップ時：状態保持	R / W TAQ1 / TQ1A
Q13	A/D動作モード制御ビット	0	A/D変換モード			
		1	コンパレータモード			
Q12	アナログ入力端子選択ビット	Q12	Q11	Q10	アナログ入力端子	
		0	0	0	AIN0	
		0	0	1	AIN1	
Q11		0	1	0	AIN2	
		0	1	1	AIN3	
		1	0	0	AIN4	
Q10		1	0	1	AIN5	
		1	1	0	使用禁止	
		1	1	1	使用禁止	

シリアルインタフェース制御レジスタJ1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAJ1 / TJ1A
J13	シリアルインタフェース同期クロック 選択ビット	J13	J12	同期クロック	
		0	0	インストラクションクロック(INSTCK)8分周信号	
		0	1	インストラクションクロック(INSTCK)4分周信号	
J12		1	0	インストラクションクロック(INSTCK)2分周信号	
		1	1	外部クロック(SCK入力)	
J11	シリアルインタフェースポート機能 選択ビット	J11	J10	ポート機能	
		0	0	P00、P01、P02選択 / SIN、SOUT、SCK非選択	
		0	1	P00、SOUT、SCK選択 / SIN、P01、P02非選択	
J10		1	0	SIN、P01、SCK選択 / P00、SOUT、P02非選択	
		1	1	SIN、SOUT、SCK選択 / P00、P01、P02非選択	

キーオンウェイクアップ制御レジスタK0		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK0 / TK0A
K03	ポートP03 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K02	ポートP02 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K01	ポートP01 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K00	ポートP00 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタK1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK1 / TK1A
K13	ポートP13 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K12	ポートP12 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K11	ポートP11 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K10	ポートP10 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

注：“R”は読み出し可、“W”は書き込み可を表します。

キーオンウェイクアップ制御レジスタK2		リセット時：00002		RAMバックアップ時：状態保持	R / W TAK2 / TK2A
K23	ポートD3 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K22	ポートD2 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K21	ポートP21 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		
K20	ポートP20 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

キーオンウェイクアップ制御レジスタL1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAL1 / TL1A
L13	ポートP10～P13 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
L12	ポートP10～P13 有効波形 / レベル選択ビット	0	立ち下がり波形 / “ L ”レベル		
		1	立ち上がり波形 / “ H ”レベル		
L11	INT端子 復帰条件選択ビット	0	レベル復帰		
		1	エッジ復帰		
L10	INT端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効		
		1	キーオンウェイクアップ有効		

ブルアップ制御レジスタPU0		リセット時：00002		RAMバックアップ時：状態保持	R / W TAPU0 / TPU0A
PU03	ポートP03 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU02	ポートP02 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU01	ポートP01 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU00	ポートP00 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		

ブルアップ制御レジスタPU1		リセット時：00002		RAMバックアップ時：状態保持	R / W TAPU1 / TPU1A
PU13	ポートP13 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU12	ポートP12 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU11	ポートP11 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU10	ポートP10 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		

ブルアップ制御レジスタPU2		リセット時：00002		RAMバックアップ時：状態保持	R / W TAPU2 / TPU2A
PU23	ポートD3 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU22	ポートD2 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU21	ポートP21 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		
PU20	ポートP20 ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF		
		1	ブルアップトランジスタON		

注：“ R ”は読み出し可、“ W ”は書き込み可を表します。

ポート出力形式制御レジスタFR0		リセット時：00002		RAMバックアップ時：状態保持	W TFR0A
FR03	ポートP03 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR02	ポートP02 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR01	ポートP01 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR00	ポートP00 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタFR1		リセット時：00002		RAMバックアップ時：状態保持	W TFR1A
FR13	ポートP13 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR12	ポートP12 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR11	ポートP11 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR10	ポートP10 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタFR2		リセット時：00002		RAMバックアップ時：状態保持	W TFR2A
FR23	使用しません	0	このビットに機能はありませんがR/Wは可能です。		
		1			
FR22	使用しません	0	このビットに機能はありませんがR/Wは可能です。		
		1			
FR21	ポートP21 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR20	ポートP20 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタFR3		リセット時：00002		RAMバックアップ時：状態保持	W TFR3A
FR33	ポートD3 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR32	ポートD2 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR31	ポートD1 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
FR30	ポートD0 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		

ポート出力形式制御レジスタC1		リセット時：00002		RAMバックアップ時：状態保持	W TC1A
C13	ポートD5 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
C12	ポートD4 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
C11	ポートP31 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		
C10	ポートP30 出力形式選択ビット	0	Nチャネルオープンドレイン出力		
		1	CMOS出力		

注1. “ W ”は書き込み可を表します。

命令

各命令について、以下の構成で説明します。

- (1)命令機能別索引
- (2)アルファベット順機械語命令一覧
- (3)機能分類別機械語命令一覧(2ページ見開き形式)
- (4)命令コード対応表

命令機能別索引及び機械語命令一覧では、以下の記号を用いています。

命令記号一覧表

記 号	内 容	記 号	内 容
A	レジスタ A (4ビット)	PS	プリスケアラ
B	レジスタ B (4ビット)	T1	タイマ 1
DR	レジスタ DR (3ビット)	T2	タイマ 2
E	レジスタ E (8ビット)	T1F	タイマ 1 割り込み要求フラグ
Q1	A/D制御レジスタ Q1 (4ビット)	T2F	タイマ 2 割り込み要求フラグ
V1	割り込み制御レジスタ V1 (4ビット)	ADF	A/D変換終了フラグ
V2	割り込み制御レジスタ V2 (4ビット)	SIOF	シリアルインタフェース送受信終了フラグ
I1	割り込み制御レジスタ I1 (4ビット)	WDF1	ウォッチドッグタイマフラグ
PA	タイマ制御レジスタ PA (1ビット)	WEF	ウォッチドッグタイマイネーブルフラグ
W1	タイマ制御レジスタ W1 (4ビット)	INTE	割り込み許可フラグ
W2	タイマ制御レジスタ W2 (4ビット)	EXF0	外部 0 割り込み要求フラグ
W5	タイマ制御レジスタ W5 (4ビット)	P	パワーダウンフラグ
W6	タイマ制御レジスタ W6 (4ビット)		
J1	シリアルインタフェース制御レジスタ J1 (4ビット)	D	ポート D (6ビット)
MR	クロック制御レジスタ MR (4ビット)	P0	ポート P0 (4ビット)
RG	クロック制御レジスタ RG (1ビット)	P1	ポート P1 (4ビット)
K0	キーオンウェイクアップ制御レジスタ K0 (4ビット)	P2	ポート P2 (2ビット)
K1	キーオンウェイクアップ制御レジスタ K1 (4ビット)	P3	ポート P3 (2ビット)
K2	キーオンウェイクアップ制御レジスタ K2 (4ビット)	x	16進変数
L1	キーオンウェイクアップ制御レジスタ L1 (4ビット)	y	16進変数
PU0	ブルアップ制御レジスタ PU0 (4ビット)	z	16進変数
PU1	ブルアップ制御レジスタ PU1 (4ビット)	p	16進変数
PU2	ブルアップ制御レジスタ PU2 (4ビット)	n	16進定数
FR0	ポート出力形式制御レジスタ FR0 (4ビット)	i	16進定数
FR1	ポート出力形式制御レジスタ FR1 (4ビット)	j	16進定数
FR2	ポート出力形式制御レジスタ FR2 (4ビット)	A3 A2 A1 A0	16進変数 A の 2進表記 (他も同様)
FR3	ポート出力形式制御レジスタ FR3 (4ビット)	←	データの移動する方向
C1	ポート出力形式制御レジスタ C1 (4ビット)	()	レジスタ、メモリなどの内容
X	レジスタ X (4ビット)	—	否定、命令実行後もフラグは不変
Y	レジスタ Y (4ビット)	M (DP)	データポイントで指定された RAM の番地
Z	レジスタ Z (2ビット)	a	a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
DP	データポイント (10ビット) (レジスタ X、Y、Z で構成)	p、a	p6 p5 p4 p3 p2 p1 p0 ページ内の a6 a5 a4 a3 a2 a1 a0 番地を示すラベル
PC	プログラムカウンタ (14ビット)	C	16進数 C + 16進数 x (他も同様)
PC _H	プログラムカウンタの上位 7 ビット	+	
PC _L	プログラムカウンタの下位 7 ビット	x	
SK	スタックレジスタ (14ビット × 8)	?	?の前に示された状態の判定
SP	スタックポインタ (3ビット)	← →	レジスタやメモリ間でのデータ交換
CY	キャリフラグ		
RPS	プリスケアラリロードレジスタ (8ビット)		
R1L	タイマ 1 リロードレジスタ (8ビット)		
R1H	タイマ 1 リロードレジスタ (8ビット)		
R2L	タイマ 2 リロードレジスタ (8ビット)		
R2H	タイマ 2 リロードレジスタ (8ビット)		

[命令スキップの方法] スキップが生じた場合は、次の命令を無効にするのみで、プログラムカウンタの内容 + 2 を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。
ただし、TABP p、RT、RTS 命令がスキップされた場合、サイクル数は " 1 " となります。

命令機能別索引

分類	命令記号	機能	分類	命令記号	機能
レジスタ間転送命令	TAB	$(A) \leftarrow (B)$	演算命令	LA n	$(A) \leftarrow n, n = 0 \sim 15$
	TBA	$(B) \leftarrow (A)$		TABP p	$(SP) \leftarrow (SP) + 1$ $(SK(SP)) \leftarrow (PC)$ $(PCH) \leftarrow p, p = 0 \sim 31$ $(PCL) \leftarrow (DR2 \sim DR0, A3 \sim A0)$ $(B) \leftarrow (ROM(PC))_{7 \sim 4}$ $(A) \leftarrow (ROM(PC))_{3 \sim 0}$ (UPTF) = 1のとき、 $(DR1, DR0) \leftarrow (ROM(PC))_{9, 8}$ $(DR2) \leftarrow 0$ $(PC) \leftarrow (SK(SP))$ $(SP) \leftarrow (SP) - 1$
	TAY	$(A) \leftarrow (Y)$		AM	$(A) \leftarrow (A) + (M(DP))$
	TYA	$(Y) \leftarrow (A)$		AMC	$(A) \leftarrow (A) + (M(DP)) + (CY)$ $(CY) \leftarrow \text{キャリ}$
	TEAB	$(E7 \sim E4) \leftarrow (B)$ $(E3 \sim E0) \leftarrow (A)$		A n	$(A) \leftarrow (A) + n, n = 0 \sim 15$
	TABE	$(B) \leftarrow (E7 \sim E4)$ $(A) \leftarrow (E3 \sim E0)$		AND	$(A) \leftarrow (A) \text{AND} (M(DP))$
	TDA	$(DR2 \sim DR0) \leftarrow (A2 \sim A0)$		OR	$(A) \leftarrow (A) \text{OR} (M(DP))$
	TAD	$(A2 \sim A0) \leftarrow (DR2 \sim DR0)$ $(A3) \leftarrow 0$		SC	$(CY) \leftarrow 1$
	TAZ	$(A1, A0) \leftarrow (Z1, Z0)$ $(A3, A2) \leftarrow 0$		RC	$(CY) \leftarrow 0$
	TAX	$(A) \leftarrow (X)$		SZC	$(CY) = 0 ?$
	TASP	$(A2 \sim A0) \leftarrow (SP2 \sim SP0)$ $(A3) \leftarrow 0$		CMA	$(A) \leftarrow \overline{(A)}$
RAMアドレス命令	LXY x, y	$(X) \leftarrow x, x = 0 \sim 15$ $(Y) \leftarrow y, y = 0 \sim 15$		RAR	$\rightarrow \boxed{CY} \rightarrow \boxed{A3A2A1A0}$
	LZ z	$(Z) \leftarrow z, z = 0 \sim 3$			
	INY	$(Y) \leftarrow (Y) + 1$			
	DEY	$(Y) \leftarrow (Y) - 1$			
RAM・レジスタ間転送命令	TAM j	$(A) \leftarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$	ビット操作命令	SB j	$(Mj(DP)) \leftarrow 1, j = 0 \sim 3$
	XAM j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$		RB j	$(Mj(DP)) \leftarrow 0, j = 0 \sim 3$
	XAMD j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$ $(Y) \leftarrow (Y) - 1$		SZB j	$(Mj(DP)) = 0 ?, j = 0 \sim 3$
	XAMI j	$(A) \leftrightarrow (M(DP))$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$ $(Y) \leftarrow (Y) + 1$	比較命令	SEAM	$(A) = (M(DP)) ?$
	TMA j	$(M(DP)) \leftarrow (A)$ $(X) \leftarrow (X) \text{EXOR}(j), j = 0 \sim 15$		SEA n	$(A) = n, n = 0 \sim 15$
			ブランチ命令	B a	$(PCL) \leftarrow a6 \sim a0$
				BL p, a	$(PCH) \leftarrow p, p = 0 \sim 31$ $(PCL) \leftarrow a6 \sim a0$
				BLA p	$(PCH) \leftarrow p, p = 0 \sim 31$ $(PCL) \leftarrow (DR2 \sim DR0, A3 \sim A0)$

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
サブ ルー チ ン 呼 び 出 し 命 令	BM a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a6 ~ a0	タイ マ 操 作 命 令	TPAA	(PA) ← (A)
	BML p、 a	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p、 p=0 ~ 31 (PCL) ← a6 ~ a0		TAW1	(A) ← (W1)
	BMLA p	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p、 p=0 ~ 31 (PCL) ← (DR2 ~ DR0、 A3 ~ A0)		TW1A	(W1) ← (A)
リ タ ー ン 命 令	RTI	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW2	(A) ← (W2)
	RT	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TW2A	(W2) ← (A)
	RTS	(PC) ← (SK(SP)) (SP) ← (SP) - 1		TAW5	(A) ← (W5)
割 り 込 み 制 御 命 令	DI	(INTE) ← 0		TW5A	(W5) ← (A)
	EI	(INTE) ← 1		TAW6	(A) ← (W6)
	SNZ0	V10 = 0 : (EXF0) = 1 ? (EXF0) ← 0 V10 = 1 : SNZ0 = NOP		TW6A	(W6) ← (A)
	SNZIO	I12 = 1 : (INT) = " H " ? I12 = 0 : (INT) = " L " ?		TABPS	(B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)
	TAV1	(A) ← (V1)		TPSAB	(RPS7 ~ RPS4) ← (B) (TPS7 ~ TPS4) ← (B) (RPS3 ~ RPS0) ← (A) (TPS3 ~ TPS0) ← (A)
	TV1A	(V1) ← (A)		TAB1	(B) ← (T17 ~ T14) (A) ← (T13 ~ T10)
	TAV2	(A) ← (V2)		T1AB	(R1L7 ~ R1L4) ← (B) (T17 ~ T14) ← (B) (R1L3 ~ R1L0) ← (A) (T13 ~ T10) ← (A)
	TV2A	(V2) ← (A)		T1HAB	(R1H7 ~ R1H4) ← (B) (R1H7 ~ R1H4) ← (A)
	TAI1	(A) ← (I1)		TAB2	(B) ← (T27 ~ T24) (A) ← (T23 ~ T20)
	TI1A	(I1) ← (A)		T2AB	(R2L7 ~ R2L4) ← (B) (T27 ~ T24) ← (B) (R2L3 ~ R2L0) ← (A) (T23 ~ T20) ← (A)
				T2HAB	(R2H7 ~ R2H4) ← (B) (R2H3 ~ R2H0) ← (A)
				T1R1L	(T17 ~ T10) ← (R1L7 ~ R1L0)
				T2R2L	(T27 ~ T20) ← (R2L7 ~ R2L0)
				SNZT1	V12 = 0 : (T1F) = 1 ? (T1F) ← 0 V12 = 1 : SNZT1 = NOP
				SNZT2	V13 = 0 : (T2F) = 1 ? (T2F) ← 0 V13 = 1 : SNZT2 = NOP

命令機能別索引(続き)

分類	命令記号	機能	分類	命令記号	機能
入出力命令	IAP0	(A) ← (P0)	シリアルインタフェース命令	TABSI	(B) ← (SI7 ~ SI4) (A) ← (SI3 ~ SI0)
	OP0A	(P0) ← (A)		TSIAB	(SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)
	IAP1	(A) ← (P1)		TAJ1	(A) ← (J1)
	OP1A	(P1) ← (A)		TJ1A	(J1) ← (A)
	IAP2	(A1、A0) ← (P21、P20) (A3、A2) ← 0		SST	(SIOF) ← 0 シリアルインタフェース送受信開始
	OP2A	(P21、P20) ← (A1、A0)		SNZSI	V23 = 0 : (SIOF) = 1 ? (SIOF) ← 0 V23 = 1 : SNZSI = NOP
	IAP3	(A1、A0) ← (P31、P30) (A3、A2) ← 0			
	OP3A	(P31、P30) ← (A1、A0)	A / D 変換命令	TABAD	Q13 = 0 : (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) Q13 = 1 : (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)
	CLD	(D) ← 1		TALA	(A3、A2) ← (AD1、AD0) (A1、A0) ← 0
	RD	(D(Y)) ← 0、(Y) = 0 ~ 5		TADAB	Q13 = 1 : (AD7 ~ AD4) ← (B) (AD3 ~ AD0) ← (A) Q13 = 0 : TADAB = NOP
	SD	(D(Y)) ← 1、(Y) = 0 ~ 5		TAQ1	(A) ← (Q1)
	SZD	(D(Y)) = 0 ?、(Y) = 0 ~ 5		TQ1A	(Q1) ← (A)
	TFR0A	(FR0) ← (A)		ADST	(ADF) ← 0、 Q13 = 0 : A/D変換開始 Q13 = 1 : コンパレ - タ動作開始
	TFR1A	(FR1) ← (A)		SNZAD	V22 = 0 : (ADF) = 1 ? (ADF) ← 0 V22 = 1 : SNZAD = NOP
	TFR2A	(FR2) ← (A)	クロック制御命令	CRCK	RC発振回路選択
	TFR3A	(FR3) ← (A)		TAMR	(A) ← (MR)
	TC1A	(C1) ← (A)		TMRA	(MR) ← (A)
	TAPU0	(A) ← (PU0)		TRGA	(RG) ← (A)
	TPU0A	(PU0) ← (A)	その他	NOP	(PC) ← (PC)+1
	TAPU1	(A) ← (PU1)		POF	RAMバックアップモードへ遷移
	TPU1A	(PU1) ← (A)		EPOF	POF命令有効
	TAPU2	(A) ← (PU2)		SNZP	(P) = 1 ?
	TPU2A	(PU2) ← (A)		WRST	(WDF1) = 1 ? (WDF1) ← 0
	TAK0	(A) ← (K0)		DWDT	ウォッチドッグタイマ停止許可
	TK0A	(K0) ← (A)		SRST	システムリセット
	TAK1	(A) ← (K1)		RUPT	(UPTF) ← 0
	TK1A	(K1) ← (A)		SUPT	(UPTF) ← 1
	TAK2	(A) ← (K2)		SVDE*	RAMバックアップ時：電圧低下 検出回路有効
	TK2A	(K2) ← (A)			
	TAL1	(A) ← (L1)			
	TL1A	(L1) ← (A)			

注.*はHバージョンのみあります。

[アルファベット順]機械語命令一覧

A n (Add n and accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 0 n n n n ₂	0 6 n ₁₆	1	1	—	オーバーフロー = 0
機能 : (A) ← (A) + n n = 0 ~ 15		分類 : 演算命令 詳細説明 : レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。 加算の結果、オーバーフローするとそのまま次の命令を実行します。オーバーフローしなければ次の命令をスキップします。			

ADST (A/D conversion SStart)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 1 1 ₂	2 9 F ₁₆	1	1	—	-
機能 : (ADF) ← 0 Q13 = 0 : A/D変換開始 Q13 = 1 : コンパレータ動作開始		分類 : A/D変換命令 詳細説明 : A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 0 のとき)はA/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 1 のとき)はコンパレータ動作を開始します。			

AM (Add accumulator and Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 0 ₂	0 0 A ₁₆	1	1	—	-
機能 : (A) ← (A) + (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容を加えます。その結果は、レジスタAに格納されます。キャリフラグ(CY)の内容は変化しません。			

AMC (Add accumulator, Memory and Carry)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 0 1 1 ₂	0 0 B ₁₆	1	1	0/1	-
機能 : (A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ		分類 : 演算命令 詳細説明 : レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。			

[アルファベット順]機械語命令一覧(続き)

BM a (Branch and Mark to address a in page 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 1 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ ₂ 1 a a ₁₆		1	1	—	-
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← 2 (PCL) ← a ₆ ~ a ₀		分類 : サブルーチン呼び出し命令 詳細説明 : 2ページのサブルーチン呼び出し : 2ページのa番地のサブルーチン呼び出します。 留意点 : 2ページから他のページにわたって書き込まれたサブルーチンでも、その先頭が2ページにあれば呼び出すことができます。サブルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。			

BML p,a (Branch and Mark Long to address a in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 1 1 0 p ₄ p ₃ p ₂ p ₁ p ₀ ₂ 0 C _{+p} p ₁₆		2	2	-	-
1 0 0 a ₆ a ₅ a ₄ a ₃ a ₂ a ₁ a ₀ ₂ 2 a a ₁₆		分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのa番地のサブルーチン呼び出します。 留意点 : p = 0 ~ 31です。 サブルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。			
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← a ₆ ~ a ₀					

BMLA p (Branch and Mark Long to address (D)+(A) in page p)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 0 0 0 0 ₂ 0 3 0 ₁₆		2	2	-	-
1 0 0 p ₄ 0 0 p ₃ p ₂ p ₁ p ₀ ₂ 2 p p ₁₆		分類 : サブルーチン呼び出し命令 詳細説明 : サブルーチン呼び出し : pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のサブルーチン呼び出します。 留意点 : p = 0 ~ 31です。 サブルーチンネスティングは最大8レベルですので、スタックオーバにならないよう注意してください。			
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p (PCL) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)					

CLD (CLear port D)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 0 0 1 ₂ 0 1 1 ₁₆		1	1	-	-
機能 : (D) ← 1		分類 : 入出力命令 詳細説明 : ポートDをすべてセット(1)します。			

[アルファベット順]機械語命令一覧(続き)

CMA (CoMplement of Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 0 0 ₂	0 1 C ₁₆	1	1	-	-
機能 : (A) ← $\overline{(A)}$		分類 : 演算命令 詳細説明 : レジスタAの内容の1の補数をレジスタAに格納します。			

CRCK (Clock select : Rc oscillation Clock)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 0 1 1 ₂	2 9 B ₁₆	1	1	-	-
機能 : RC発振回路選択		分類 : クロック制御命令 詳細説明 : メインクロックf(XIN)にRC発振回路を選択します。			

DEY (DEcrement register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 1 1 ₂	0 1 7 ₁₆	1	1	-	(Y) = 15
機能 : (Y) ← (Y) - 1		分類 : RAMアドレス命令 詳細説明 : レジスタYの内容を - 1します。その結果、レジスタYの内容が " 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。			

DI (Disable Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 0 0 ₂	0 0 4 ₁₆	1	1	-	-
機能 : (INTE) ← 0		分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。 留意点 : DI命令による割り込み禁止は、DI命令実行から1マシンサイクル後に行われます。			

[アルファベット順]機械語命令一覧(続き)

DWDT (Disable WatchDog Timer)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1010011100 2 29C 16	1	1	-	-
機能 : ウォッチドッグタイマ機能停止許可	分類 : その他 詳細説明 : DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。			

EI (Enable Interrupt)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0000000101 2 005 16	1	1	-	-
機能 : (INTE) ← 1	分類 : 割り込み制御命令 詳細説明 : 割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。 留意点 : EI命令による割り込み許可は、EI命令の実行から1マシンサイクル後に行われます。			

EPOF (Enable POF instruction)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0001011011 2 05B 16	1	1	-	-
機能 : POF命令有効	分類 : その他 詳細説明 : EPOF命令を実行すると、直後のPOF2命令が有効になります。			

IAP0 (Input Accumulator from port P0)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1001100000 2 260 16	1	1	-	-
機能 : (A) ← (P0)	分類 : 入出力命令 詳細説明 : ポートP0の入力を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

IAP1 (Input Accumulator from port P1)

機械語 : D ₉ 1 0 0 1 1 0 0 0 0 1 ₂ 2 6 1 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A) ← (P1)				
分類 : 入出力命令				
詳細説明 : ポートP1の入力を、レジスタAへ転送します。				

IAP2 (Input Accumulator from port P2)

機械語 : D ₉ 1 0 0 1 1 0 0 0 1 0 ₂ 2 6 2 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A ₁ , A ₀) ← (P2 ₁ , P2 ₀) (A ₃ , A ₂) ← 0				
分類 : 入出力命令				
詳細説明 : ポートP2の入力を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。レジスタAの上位2ビット(A ₃ , A ₂)の内容は“0”になります。				

IAP3 (Input Accumulator from port P3)

機械語 : D ₉ 1 0 0 1 1 0 0 0 1 1 ₂ 2 6 3 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (A ₁ , A ₀) ← (P3 ₁ , P3 ₀) (A ₃ , A ₂) ← 0				
分類 : 入出力命令				
詳細説明 : ポートP3の入力を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。レジスタAの上位2ビット(A ₃ , A ₂)の内容は“0”になります。				

INY (INcrement register Y)

機械語 : D ₉ 0 0 0 0 0 1 0 0 1 1 ₂ 0 1 3 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	(Y) = 0
機能 : (Y) ← (Y) + 1				
分類 : RAMアドレス命令				
詳細説明 : レジスタYの内容を+1します。その結果、レジスタYの内容が“0”であれば、次の命令をスキップします。“0”以外ならば、そのまま次の命令を実行します。				

[アルファベット順]機械語命令一覧(続き)

LA n (Load n in Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 1 1 n n n n ₂	0 7 n ₁₆	1	1	-	連続記述
機能 : (A) ← n n = 0 ~ 15		分類 : 演算命令 詳細説明 : イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に行ったLA命令を除き、以下に連続記述されたLA命令はスキップされます。			

LXY x,y (Load register X and Y with x and y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 1 x ₃ x ₂ x ₁ x ₀ y ₃ y ₂ y ₁ y ₀ ₂	3 x y ₁₆	1	1	-	連続記述
機能 : (X) ← x x = 0 ~ 15 (Y) ← y y = 0 ~ 15		分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。			

LZ z (Load register Z with z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 1 0 z ₁ z ₀ ₂	0 4 ⁸ _{+z} ₁₆	1	1	-	-
機能 : (Z) ← z z = 0 ~ 3		分類 : RAMアドレス命令 詳細説明 : イミディエイトフィールドの値zをレジスタZへロードします。			

NOP (No Operation)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 0 0 ₂	0 0 0 ₁₆	1	1	-	-
機能 : (PC) ← (PC) + 1		分類 : その他 詳細説明 : ノーオペレーション : プログラムカウンタの値を+1します。他は変化しません。			

[アルファベット順]機械語命令一覧(続き)

OP0A (Output port P0 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 0 0 0 0 0 2 D ₀ 2 2 0 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (P0) ← (A)				
分類 : 入出力命令				
詳細説明 : レジスタAの内容を、ポートP0へ出力します。				

OP1A (Output port P1 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 0 0 0 0 1 2 D ₀ 2 2 1 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (P1) ← (A)				
分類 : 入出力命令				
詳細説明 : レジスタAの内容を、ポートP1へ出力します。				

OP2A (Output port P2 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 0 0 1 0 2 D ₀ 2 2 2 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (P2 ₁ , P2 ₀) ← (A ₁ , A ₀)				
分類 : 入出力命令				
詳細説明 : レジスタAの下位2ビット(A ₁ , A ₀)の内容を、ポートP2へ出力します。				

OP3A (Output port P3 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 0 0 1 1 2 D ₀ 2 2 3 16	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (P3 ₁ , P3 ₀) ← (A ₁ , A ₀)				
分類 : 入出力命令				
詳細説明 : レジスタAの下位2ビット(A ₁ , A ₀)の内容を、ポートP3へ出力します。				

[アルファベット順]機械語命令一覧(続き)

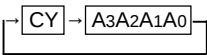
OR (logical OR between accumulator and memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 0 1 ₂	0 1 9 ₁₆	1	1	-	-
機能 : (A) ← (A) OR (M(DP))		分類 : 演算命令 詳細説明 : レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。			

POF (Power OFF)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 1 0 ₂	0 0 2 ₁₆	1	1	-	-
機能 : RAMバックアップモードへ遷移		分類 : その他 詳細説明 : EPOF命令との連続実行により、RAMバックアップモードになります。 留意点 : この命令の実行直前にEPOF命令が実行されていない場合、この命令はNOP命令と等価になります。			

RAR (Rotate Accumulator Right)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 0 1 ₂	0 1 D ₁₆	1	1	0/1	-
機能 : 		分類 : 演算命令 詳細説明 : キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。			

RB j (Reset Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 1 1 j j ₂	0 4 C+j ₁₆	1	1	-	-
機能 : (Mj(DP)) ← 0 j = 0~3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。			

[アルファベット順]機械語命令一覧(続き)

RC (Reset Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 1 0	0	1	1	0	-
機能 : (CY) ← 0					
分類 : 演算命令					
詳細説明 : キャリフラグ(CY)をクリア(0)します。					

RD (Reset port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 0	0	1	1	-	-
機能 : (D(Y)) ← 0 (Y) = 0 ~ 5					
分類 : 入出力命令					
詳細説明 : ポートDのレジスタYの内容で指定されたポートをクリア(0)します。					
留意点 : (Y)=0 ~ 5 レジスタYが指定範囲外のときはこの命令を実行しないでください。					

RT (ReTurn from subroutine)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 0 0	0	1	2	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1					
分類 : リターン命令					
詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻ります。					

RTI (ReTurn from Interrupt)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 1 0	0	1	1	-	-
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1					
分類 : リターン命令					
詳細説明 : 割り込み処理ルーチンからメインルーチンに戻ります。データポインタ(レジスタZ、X、Y)、キャリフラグ(CY)、スキップステータス、LALXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。					

[アルファベット順]機械語命令一覧(続き)

RTS (ReTurn from subroutine and Skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 0 0 1 0 1	0 4 5	1	2	-	無条件スキップ
機能 : (PC) ← (SK(SP)) (SP) ← (SP) - 1		分類 : リターン命令 詳細説明 : サブルーチンから、このサブルーチンを呼んだルーチンに戻り、次の命令を無条件にスキップします。			

RUPT (Reset UPT flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 1 0 0 0	0 5 8	1	1	-	-
機能 : (UPTF) ← 0		分類 : その他 詳細説明 : 上位ビット参照許可フラグUPTFをクリア(0)します。			

SB j (Set Bit)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 1 1 j j	0 5 C _{+j}	1	1	-	-
機能 : (Mj(DP)) ← 1 j = 0 ~ 3		分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。			

SC (Set Carry flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 1 1 1	0 0 7	1	1	1	-
機能 : (CY) ← 1		分類 : 演算命令 詳細説明 : キャリフラグ(CY)をセット(1)します。			

[アルファベット順]機械語命令一覧(続き)

SD (Set port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 0 1 0 1	0 1 5	1	1	-	-
機能 : (D(Y)) ← 1 (Y) = 0 ~ 5		分類 : 入出力命令 詳細説明 : ポートDのレジスタYの内容で指定されたポートをセット(1)します。 留意点 : (Y)=0 ~ 5 レジスタYが指定範囲外のときはこの命令を実行しないでください。			

SEA n (Skip Equal, Accumulator with immediate data n)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 0 1	0 2 5	2	2	-	(A) = n n = 0 ~ 15
0 0 0 1 1 1 n n n n	0 7 n	分類 : 比較命令 詳細説明 : レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			
機能 : (A) = n ? n = 0 ~ 15					

SEAM (Skip Equal, Accumulator with Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 1 0	0 2 6	1	1	-	(A) = (M(DP))
機能 : (A) = (M(DP)) ?		分類 : 比較命令 詳細説明 : レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。			

SNZ0 (Skip if Non Zero condition of external interrupt 0 request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 0 0	0 3 8	1	1	-	V1 ₀ = 0 : (EXF0) = 1
機能 : V1 ₀ = 0 : (EXF0) = 1 ? (EXF0) ← 0 V1 ₀ = 1 : SNZ0 = NOP		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1のビット0(V1 ₀)の内容が* 0 "のときは、外部0割り込み要求フラグ(EXF0)が* 1 "であれば、フラグEXF0をクリア(0)し、次の命令をスキップします。フラグEXF0が* 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット0(V1 ₀)の内容が* 1 "のときは、この命令はNOP命令と等価となります。			

[アルファベット順]機械語命令一覧(続き)

SNZAD (Skip if Non Zero condition of A/D conversion completion flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 1 1 1	2 8 7	1	1	-	V2 ₂ = 0 : (ADF) = 1
機能 : V2 ₂ = 0 : (ADF) = 1 ? (ADF) ← 0 V2 ₂ = 1 : SNZAD = NOP		分類 : A/D変換命令 詳細説明 : 割り込み制御レジスタV2のビット2(V2 ₂)の内容が* 0 "のときは、A/D変換終了フラグ(ADF)が* 1 "であれば、フラグADFをクリア(0)し、次の命令をスキップします。フラグADFが* 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V2 ₂)の内容が* 1 "のときは、この命令はNOP命令と等価となります。			

SNZIO (Skip if Non Zero condition of external Interrupt 0 input pin)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 0 1 0	0 3 A	1	1	-	I1 ₂ = 1 : (INT) = " H " I1 ₂ = 0 : (INT) = " L "
機能 : I1 ₂ = 1 : (INT) = " H " ? I1 ₂ = 0 : (INT) = " L " ?		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1のビット2(I1 ₂)の内容が* 1 "のときは、INT端子のレベルが* H "であれば次の命令をスキップします。" L "ならば、そのまま次の命令を実行します。 割り込み制御レジスタI1のビット2(I1 ₂)の内容が* 0 "のときは、INT端子のレベルが* L "であれば次の命令をスキップします。" H "ならば、そのまま次の命令を実行します。			

SNZP (Skip if Non Zero condition of Power down flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 1 1	0 0 3	1	1	-	(P) = 1
機能 : (P) = 1 ?		分類 : その他 詳細説明 : パワーダウンフラグ(P)の内容が* 1 "であれば、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。スキップ後もフラグPは変化しません。			

SNZSI (Skip if Non Zero condition of Serial Interface interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 1 0 0 0	2 8 8	1	1	-	V2 ₃ = 0 : (SIOF) = 1
機能 : V2 ₃ = 0 : (SIOF) = 1 ? (SIOF) ← 0 V2 ₃ = 1 : SNZSI = NOP		分類 : シリアルインタフェース命令 詳細説明 : 割り込み制御レジスタV2のビット3(V2 ₃)の内容が* 0 "で、シリアルインタフェース送受信終了フラグSIOFが* 1 "のとき、フラグSIOFをクリア(0)し、次の命令をスキップします。フラグSIOFが* 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3(V2 ₃)の内容が* 1 "のときは、この命令はNOP命令と等価となります。			

[アルファベット順]機械語命令一覧(続き)

SNZT1 (Skip if Non Zero condition of Timer 1 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 0 0 0	0	1	1	-	V12 = 0 : (T1F) = 1
機能 : V12 = 0 : (T1F) = 1 ? (T1F) ← 0 V12 = 1 : SNZT1 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット2(V12)の内容が* 0 'のときは、タイマ1割り込み要求フラグ(T1F)が* 1 "であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。“ 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット2(V12)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SNZT2 (Skip if Non Zero condition of Timer 2 interrupt request flag)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 0 0 0 0 1	1	1	1	-	V13 = 0 : (T2F) = 1
機能 : V13 = 0 : (T2F) = 1 ? (T2F) ← 0 V13 = 1 : SNZT2 = NOP		分類 : タイマ操作命令 詳細説明 : 割り込み制御レジスタV1のビット3(V13)の内容が* 0 'のときは、タイマ2割り込み要求フラグ(T2F)が* 1 "であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。“ 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3(V13)の内容が* 1 'のときは、この命令はNOP命令と等価となります。			

SRST (System ReSet)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 0 0 0 1	1	1	1	-	-
機能 : システムリセット		分類 : その他 詳細説明 : システムリセットが発生します。			

SST (Serial interface transmission/reception STart)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 1 1 1 0	0	1	1	-	-
機能 : (SIOF) ← 0、シリアルインタフェース送受信開始		分類 : シリアルインタフェース命令 詳細説明 : シリアルインタフェース送受信終了フラグSIOFをクリア(0)、シリアルインタフェース送受信を開始します。			

[アルファベット順]機械語命令一覧(続き)

SUPT (Set UPT flag)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0001011001 2 059 16	1	1	-	-
機能 : (UPTF) ← 1	分類 : その他 詳細説明 : 上位ビット参照許可フラグUPTFをセット(1)します。 留意点 : テーブル参照命令(TABP p命令)を実行すると、ROM内参照データ の上位2ビットがレジスタDの下位2ビットに転送されます。			

SVDE (Set Voltage Detector Enable flag)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1010010011 2 293 16	1	1	-	-
機能 : RAMバックアップ時電圧低下検出回路有効	分類 : その他 詳細説明 : RAMバックアップモード時電圧低下検出回路を有効にします。 留意点 : この命令はHバージョンのみ使用できます。			

SZB j (Skip if Zero, Bit)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
00001000j j 2 02j 16	1	1	-	(Mj(DP)) = 0 j = 0 ~ 3
機能 : (Mj(DP)) = 0 ? j = 0 ~ 3	分類 : ビット操作命令 詳細説明 : M(DP)の第jビット(イミディエイトフィールドの値jで指定された ビット)の内容が* 0 "であれば、次の命令をスキップします。" 1 " ならば、そのまま次の命令を実行します。			

SZC (Skip if Zero, Carry flag)

機械語 : D ₉ D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0000101111 2 02F 16	1	1	-	(CY) = 0
機能 : (CY) = 0 ?	分類 : 演算命令 詳細説明 : キャリフラグ(CY)の内容が* 0 "のとき、次の命令をスキップしま す。" 1 "ならば、そのまま次の命令を実行します。スキップ後も フラグCYは変化しません。			

[アルファベット順]機械語命令一覧(続き)

SZD (Skip if Zero, port D specified by register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 0 1 0 0	0	2	2	-	(D(Y)) = 0 (Y) = 0 ~ 5
0 0 0 0 1 0 1 0 1 1	0				
機能 : (D(Y)) = 0 ? (Y) = 0 ~ 5					
分類 : 入出力命令					
詳細説明 : ポートDのレジスタYの内容で指定されたポートの内容が* 0 "であれば、次の命令をスキップします。" 1 "ならば、そのまま次の命令を実行します。					
留意点 : (Y)=0 ~ 5 レジスタYが指定範囲外のときはこの命令を実行しないでください。					

T1AB (Transfer data to timer 1 and register R1L from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 0 0 0 0	0	1	1	-	-
1 0 0 0 1 1 0 0 0 0	2				
機能 : (T1 ₇ ~ T1 ₄) ← (B) (R1L ₇ ~ R1L ₄) ← (B) (T1 ₃ ~ T1 ₀) ← (A) (R1L ₃ ~ R1L ₀) ← (A)					
分類 : タイマ操作命令					
詳細説明 : レジスタBの内容をタイマ1とリロードレジスタR1の上位4ビットへ、レジスタAの内容をタイマ1とリロードレジスタR1の下位4ビットへ転送します。					

T1HAB (Transfer data to register R1H from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 0 1 0 0 1 0	0	1	1	-	-
1 0 1 0 0 1 0 0 1 0	2				
機能 : (R1H ₇ ~ R1H ₄) ← (B) (R1H ₃ ~ R1H ₀) ← (A)					
分類 : タイマ操作命令					
詳細説明 : レジスタBの内容を、タイマ1のリロードレジスタR1Hの上位4ビット(R1H ₇ ~ R1H ₄)へ転送し、レジスタAの内容を、タイマ1のリロードレジスタR1Hの下位4ビット(R1H ₃ ~ R1H ₀)へ転送します。					

T1R1L (Transfer data to timer 1 from register R1L)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 0 0 1 1 1	0	1	1	-	-
1 0 1 0 1 0 0 1 1 1	2				
機能 : (T1 ₇ ~ T1 ₀) ← (R1L ₇ ~ R1L ₀)					
分類 : タイマ操作命令					
詳細説明 : タイマ1のリロードレジスタR1Lの内容を、タイマ1へ転送します。					

[アルファベット順]機械語命令一覧(続き)

T2AB (Transfer data to timer 2 and register R2L from Accumulator and register B)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 0 0 1 1 0 0 0 1	2 3 1	1	1	-
機能 : (T ₂₇ ~ T ₂₄) ← (B) (R _{2L7} ~ R _{2L4}) ← (B) (T ₂₃ ~ T ₂₀) ← (A) (R _{2L3} ~ R _{2L0}) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容をタイマ2の上位4ビット(T ₂₇ ~ T ₂₄)とタイマ2のリロードレジスタR _{2L} の上位4ビット(R _{2L7} ~ R _{2L4})へ、レジスタAの内容をタイマ2の下位4ビット(T ₂₃ ~ T ₂₀)とタイマ2のリロードレジスタR _{2L} の下位4ビット(R _{2L3} ~ R _{2L0})へ転送します。		
T2HAB (Transfer data to register R2H from Accumulator and register B)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 1 0 0 1 0 1 0 0	2 9 4	1	1	-
機能 : (R _{2H7} ~ R _{2H4}) ← (B) (R _{2H3} ~ R _{2H0}) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタBの内容を、タイマ2のリロードレジスタR _{2H} の上位4ビット(R _{2H7} ~ R _{2H4})へ転送し、レジスタAの内容を、タイマ2のリロードレジスタR _{2H} の下位4ビット(R _{2H3} ~ R _{2H0})へ転送します。		
T2R2L (Transfer data to timer 2 from register R2L)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 1 0 0 1 0 1 0 1	2 9 5	1	1	-
機能 : (T ₂₇ ~ T ₂₀) ← (R _{2L7} ~ R _{2L0})		分類 : タイマ操作命令 詳細説明 : タイマ2のリロードレジスタR _{2L} の内容を、タイマ2へ転送します。		
TAB (Transfer data to Accumulator from register B)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
0 0 0 0 0 1 1 1 1 0	2 0 1 E	1	1	-
機能 : (A) ← (B)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容を、レジスタAへ転送します。		

[アルファベット順]機械語命令一覧(続き)

TAB1 (Transfer data to Accumulator and register B from timer 1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 0	2 7 0	1	1	-	-
機能 : (B) ← (T17 ~ T14) (A) ← (T13 ~ T10)		分類 : タイマ操作命令 詳細説明 : タイマ1の上位4ビット(T17 ~ T14)の内容をレジスタBへ、タイマ1の下位4ビット(T13 ~ T10)の内容をレジスタAへ転送します。			

TAB2 (Transfer data to Accumulator and register B from timer 2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 0 0 0 1	2 7 1	1	1	-	-
機能 : (B) ← (T27 ~ T24) (A) ← (T23 ~ T20)		分類 : タイマ操作命令 詳細説明 : タイマ2の上位4ビット(T27 ~ T24)の内容をレジスタBへ、タイマ2の下位4ビット(T23 ~ T20)の内容をレジスタAへ転送します。			

TABAD (Transfer data to Accumulator and register B from register AD)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 1 1 1 0 0 1	2 7 9	1	1	-	-
機能 : Q13 = 0 : (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) Q13 = 1 : (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)		分類 : A/D変換命令 詳細説明 : A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が " 0 " のとき)は、レジスタADの上位4ビット(AD9 ~ AD6)をレジスタBへ、レジスタADの中位4ビット(AD5 ~ AD2)をレジスタAへ転送します。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が " 1 " のとき)は、コンパレータレジスタの上位4ビット(AD7 ~ AD4)をレジスタBへ、コンパレータレジスタの下位4ビット(AD3 ~ AD0)をレジスタAへ転送します。			

TABE (Transfer data to Accumulator and register B from register E)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 1 0	0 2 A	1	1	-	-
機能 : (B) ← (E7 ~ E4) (A) ← (E3 ~ E0)		分類 : レジスタ間転送命令 詳細説明 : レジスタEの上位4ビット(E7 ~ E4)をレジスタBへ、レジスタEの下位4ビット(E3 ~ E0)をレジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TABP p (Transfer data to Accumulator and register B from Program memory in page p)				
機械語 : D ₉ 00100 p₄p₃p₂p₁p₀ 2 0 8 +p p 16	語数 1	サイクル数 3	フラグ C Y -	スキップ条件 -
機能 : (SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p, p=0 ~ 31 (PCL) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀) (B) ← (ROM(PC)) _{7 ~ 4} (A) ← (ROM(PC)) _{3 ~ 0} (UPTF) = 1のとき、 (DR ₁ , DR ₀) ← (ROM(PC)) _{9, 8} (DR ₂) ← 0 (PC) ← (SK(SP)) (SP) ← (SP) - 1	分類 : 演算命令 詳細説明 : p ページのレジスタD とレジスタA の内容で指定された (DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀) ₂ 番地のROM/パターンのうち、ビット7 ~ 4をレジスタBへ、ビット3 ~ 0をレジスタAへ転送します。上位ビット参照許可フラグUPTFの内容が 1 のときは、ROMパターンのビット9、8をレジスタDの下位2ビット(DR ₁ 、DR ₀)へ転送し、レジスタDの最上位ビット(DR ₂)は 0 になります。この命令を実行するときは、スタックレジスタ(SK)を1段使用します。 留意点 : p=0 ~ 31です。 TABP p命令実行時、スタックレジスタ(SK)を1段使用しますので、スタックオーバにならないよう注意してください。			

TABPS (Transfer data to Accumulator and register B from Pre-Scaler)				
機械語 : D ₉ 1001110101 2 275 16	語数 1	サイクル数 1	フラグ C Y -	スキップ条件 -
機能 : (B) ← (TPS ₇ ~ TPS ₄) (A) ← (TPS ₃ ~ TPS ₀)	分類 : タイマ操作命令 詳細説明 : プリスケアラの上位4ビットの内容を、レジスタBへ転送し、プリスケアラの下位4ビットの内容を、レジスタAへ転送します。			

TABSI (Transfer data to Accumulator and register B from register SI)				
機械語 : D ₉ 1001111000 2 278 16	語数 1	サイクル数 1	フラグ C Y -	スキップ条件 -
機能 : (B) ← (SI ₇ ~ SI ₄) (A) ← (SI ₃ ~ SI ₀)	分類 : シリアルインタフェース命令 詳細説明 : レジスタSIの上位4ビットの内容を、レジスタBへ転送し、レジスタSIの下位4ビットの内容を、レジスタAへ転送します。			

TAD (Transfer data to Accumulator from register D)				
機械語 : D ₉ 0001010001 2 051 16	語数 1	サイクル数 1	フラグ C Y -	スキップ条件 -
機能 : (A ₂ ~ A ₀) ← (DR ₂ ~ DR ₀) (A ₃) ← 0	分類 : レジスタ間転送命令 詳細説明 : レジスタDの内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。レジスタAの最上位ビット(A ₃)は 0 になります。			

[アルファベット順]機械語命令一覧(続き)

TADAB (Transfer data to register AD from Accumulator from register B)

機械語 : D ₉ D₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 0 1 2 2 3 9 16	1	1	-	-
機能 : Q ₁₃ = 1 : (AD ₇ ~ AD ₄) ← (B) (AD ₃ ~ AD ₀) ← (A) Q ₁₃ = 0 : TADAB = NOP	分類 : A/D変換命令 詳細説明 : コンパレータモード時(A/D制御レジスタQ1のビット3(Q ₁₃)の内容が“1”のとき)に、レジスタBの内容をコンパレータレジスタの上位4ビット(AD ₇ ~ AD ₄)へ、レジスタAの内容をコンパレータレジスタの下位4ビット(AD ₃ ~ AD ₀)へ転送します。 A/D変換モード時(A/D制御レジスタQ1のビット3(Q ₁₃)の内容が“0”のとき)は、この命令はNOP命令と等価となります。			

TAI1 (Transfer data to Accumulator from register I1)

機械語 : D ₉ D₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 1 2 2 5 3 16	1	1	-	-
機能 : (A) ← (I1)	分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタI1の内容を、レジスタAへ転送します。			

TAJ1 (Transfer data to Accumulator from register J1)

機械語 : D ₉ D₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 0 1 0 2 2 4 2 16	1	1	-	-
機能 : (A) ← (J1)	分類 : シリアルインタフェース命令 詳細説明 : シリアルインタフェース制御レジスタJ1の内容を、レジスタAへ転送します。			

TAK0 (Transfer data to Accumulator from register K0)

機械語 : D ₉ D₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 0 2 2 5 6 16	1	1	-	-
機能 : (A) ← (K0)	分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK0の内容を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAK1 (Transfer data to Accumulator from register K1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 0 1 ₂	2 5 9 ₁₆	1	1	-	-
機能 : (A) ← (K1)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK1の内容を、レジスタAへ転送します。			

TAK2 (Transfer data to Accumulator from register K2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 0 1 0 ₂	2 5 A ₁₆	1	1	-	-
機能 : (A) ← (K2)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタK2の内容を、レジスタAへ転送します。			

TAL1 (Transfer data to Accumulator from register L1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 0 ₂	2 4 A ₁₆	1	1	-	-
機能 : (A) ← (L1)		分類 : 入出力命令 詳細説明 : キーオンウェイクアップ制御レジスタL1の内容を、レジスタAへ転送します。			

TALA (Transfer data to Accumulator from register LA)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 0 1 ₂	2 4 9 ₁₆	1	1	-	-
機能 : (A ₃ , A ₂) ← (AD ₁ , AD ₀) (A ₁ , A ₀) ← 0		分類 : A/D変換命令 詳細説明 : レジスタADの下位2ビット(AD ₁ , AD ₀)の内容を、レジスタAの上位2ビット(A ₃ , A ₂)へ転送します。レジスタAの下位2ビット(A ₁ , A ₀)は"0"になります。			

[アルファベット順]機械語命令一覧(続き)

TAM j (Transfer data to Accumulator from Memory)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 0 0 j j j j ₂	2 C j ₁₆	1	1	-	-
機能 : (A) ← (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容をレジスタAに転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TAMR (Transfer data to Accumulator from register MR)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 1 0 ₂	2 5 2 ₁₆	1	1	-	-
機能 : (A) ← (MR)		分類 : クロック制御命令 詳細説明 : クロック制御レジスタMRの内容を、レジスタAへ転送します。			

TAPU0 (Transfer data to Accumulator from register PU0)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 1 1 1 ₂	2 5 7 ₁₆	1	1	-	-
機能 : (A) ← (PU0)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU0の内容を、レジスタAへ転送します。			

TAPU1 (Transfer data to Accumulator from register PU1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 1 1 0 ₂	2 5 E ₁₆	1	1	-	-
機能 : (A) ← (PU1)		分類 : 入出力命令 詳細説明 : プルアップ制御レジスタPU1の内容を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAPU2 (Transfer data to Accumulator from register PU2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 1 1 1 1	2 5 F	1	1	-	-
機能 : (A) ← (PU2)		分類 : 入出力命令 詳細説明 : ブルアップ制御レジスタPU2の内容を、レジスタAへ転送します。			

TAQ1 (Transfer data to Accumulator from register Q1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 0 1 0 0	2 4 4	1	1	-	-
機能 : (A) ← (Q1)		分類 : A/D変換命令 詳細説明 : A/D制御レジスタQ1の内容を、レジスタAへ転送します。			

TASP (Transfer data to Accumulator from Stack Pointer)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 0 0	2 0 5 0	1	1	-	-
機能 : (A ₂ ~ A ₀) ← (SP ₂ ~ SP ₀) (A ₃) ← 0		分類 : レジスタ間転送命令 詳細説明 : スタックポインタ(SP)の内容を、レジスタAの下位3ビット(A ₂ ~ A ₀)へ転送します。レジスタAの最上位ビット(A ₃)は"0"になります。			

TAV1 (Transfer data to Accumulator from register V1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 0	2 0 5 4	1	1	-	-
機能 : (A) ← (V1)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV1の内容を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAV2 (Transfer data to Accumulator from register V2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 1 0 1	0 5 5	1	1	-	-
機能 : (A) ← (V2)		分類 : 割り込み制御命令 詳細説明 : 割り込み制御レジスタV2の内容を、レジスタAへ転送します。			

TAW1 (Transfer data to Accumulator from register W1)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 0 1 1	2 4 B	1	1	-	-
機能 : (A) ← (W1)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW1の内容を、レジスタAへ転送します。			

TAW2 (Transfer data to Accumulator from register W2)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 0 0	2 4 C	1	1	-	-
機能 : (A) ← (W2)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW2の内容を、レジスタAへ転送します。			

TAW5 (Transfer data to Accumulator from register W5)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 0 1 1 1 1	2 4 F	1	1	-	-
機能 : (A) ← (W5)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW5の内容を、レジスタAへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TAW6 (Transfer data to Accumulator from register W6)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 1 0 1 0 0 0 0	2 5 0	1	1	-	-
機能 : (A) ← (W6)		分類 : タイマ操作命令 詳細説明 : タイマ制御レジスタW6の内容を、レジスタAへ転送します。			

TAX (Transfer data to Accumulator from register X)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 0	0 5 2	1	1	-	-
機能 : (A) ← (X)		分類 : レジスタ間転送命令 詳細説明 : レジスタXの内容を、レジスタAへ転送します。			

TAY (Transfer data to Accumulator from register Y)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 1 1 1	0 1 F	1	1	-	-
機能 : (A) ← (Y)		分類 : レジスタ間転送命令 詳細説明 : レジスタYの内容を、レジスタAへ転送します。			

TAZ (Transfer data to Accumulator from register Z)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 1 0 1 0 0 1 1	0 5 3	1	1	-	-
機能 : (A ₁ , A ₀) ← (Z ₁ , Z ₀) (A ₃ , A ₂) ← 0		分類 : レジスタ間転送命令 詳細説明 : レジスタZの内容を、レジスタAの下位2ビット(A ₁ , A ₀)へ転送します。レジスタAの上位2ビット(A ₃ , A ₂)は“0”になります。			

[アルファベット順]機械語命令一覧(続き)

TBA (Transfer data to register B from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 0 1 1 1 0	0 0 E	1	1	-	-
機能 : (B) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタBへ転送します。			

TC1A (Transfer data to register C1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 0 1 0 0 0	2 A 8	1	1	-	-
機能 : (C1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタC1へ転送します。			

TDA (Transfer data to register D from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 0 1 0 0 1	0 2 9	1	1	-	-
機能 : (DR ₂ ~ DR ₀) ← (A ₂ ~ A ₀)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの下位3ビット(A ₂ ~ A ₀)の内容を、レジスタDへ転送します。			

TEAB (Transfer data to register E from Accumulator and register B)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 0 1 1 0 1 0	0 1 A	1	1	-	-
機能 : (E ₇ ~ E ₄) ← (B) (E ₃ ~ E ₀) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタBの内容をレジスタEの上位4ビット(E ₇ ~ E ₄)へ、レジスタAの内容をレジスタEの下位4ビット(E ₃ ~ E ₀)へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TFR0A (Transfer data to register FR0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 0	2 2 8	1	1	-	-
機能 : (FR0) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR0へ転送します。			

TFR1A (Transfer data to register FR1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 0 1	2 2 9	1	1	-	-
機能 : (FR1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR1へ転送します。			

TFR2A (Transfer data to register FR2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 0	2 2 A	1	1	-	-
機能 : (FR2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR2へ転送します。			

TFR3A (Transfer data to register FR3 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 0 1 1	2 2 B	1	1	-	-
機能 : (FR3) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、ポート出力形式制御レジスタFR3へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TI1A (Transfer data to register I1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 1	2 1 7	1	1	-	-
機能 : (I1) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタI1へ転送します。			

TJ1A (Transfer data to register J1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 0 1 0	2 0 2	1	1	-	-
機能 : (J1) ← (A)		分類 : シリアルインタフェース命令 詳細説明 : レジスタAの内容を、シリアインタフェース制御レジスタJ1へ転送します。			

TK0A (Transfer data to register K0 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 1 0 1 1	2 1 B	1	1	-	-
機能 : (K0) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK0へ転送します。			

TK1A (Transfer data to register K1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 0	2 1 4	1	1	-	-
機能 : (K1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK1へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TK2A (Transfer data to register K2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 0 1	2 1 5	1	1	-	-
機能 : (K2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタK2へ転送します。			

TL1A (Transfer data to register L1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 0 1 0	2 0 A	1	1	-	-
機能 : (L1) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、キーオンウェイクアップ制御レジスタL1へ転送します。			

TMA j (Transfer data to Memory from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 0 1 1 j j j j	2 B j	1	1	-	-
機能 : (M(DP)) ← (A) (X) ← (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

TMRA (Transfer data to register MR from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 1 0 1 1 0	2 1 6	1	1	-	-
機能 : (MR) ← (A)		分類 : クロック制御命令 詳細説明 : レジスタAの内容を、クロック制御レジスタMRへ転送します。			

[アルファベット順]機械語命令一覧(続き)

TPAA (Transfer data to register PA from Accumulator)

機械語 : D ₉ 1 0 1 0 1 0 1 0 1 0 D ₀ 2 2 A A ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (PA ₀) ← (A ₀)				
分類 : タイマ操作命令 詳細説明 : レジスタAの最下位ビット(A ₀)の内容を、タイマ制御レジスタPAへ転送します。				

TPSAB (Transfer data to Pre-Scaler and register RPS from Accumulator and register B)

機械語 : D ₉ 1 0 0 0 1 1 0 1 0 1 D ₀ 2 2 3 5 ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (RPS ₇ ~ RPS ₄) ← (B) (TPS ₇ ~ TPS ₄) ← (B) (RPS ₃ ~ RPS ₀) ← (A) (TPS ₃ ~ TPS ₀) ← (A)				
分類 : タイマ操作命令 詳細説明 : レジスタBの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの上位4ビットへ転送し、レジスタAの内容を、プリスケアラ及びプリスケアラのリロードレジスタRPSの下位4ビットへ転送します。				

TPU0A (Transfer data to register PU0 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 1 1 0 1 D ₀ 2 2 2 D ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (PU ₀) ← (A)				
分類 : 入出力命令 詳細説明 : レジスタAの内容を、ブルアップ制御レジスタPU ₀ へ転送します。				

TPU1A (Transfer data to register PU1 from Accumulator)

機械語 : D ₉ 1 0 0 0 1 0 1 1 1 0 D ₀ 2 2 2 E ₁₆	語数	サイクル数	フラグ C Y	スキップ条件
	1	1	-	-
機能 : (PU ₁) ← (A)				
分類 : 入出力命令 詳細説明 : レジスタAの内容を、ブルアップ制御レジスタPU ₁ へ転送します。				

[アルファベット順]機械語命令一覧(続き)

TPU2A (Transfer data to register PU2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 0 1 1 1 1	2 2 F	1	1	-	-
機能 : (PU2) ← (A)		分類 : 入出力命令 詳細説明 : レジスタAの内容を、プルアップ制御レジスタPU2へ転送します。			

TQ1A (Transfer data to register Q1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 0 1 0 0	2 0 4	1	1	-	-
機能 : (Q1) ← (A)		分類 : A/D変換命令 詳細説明 : レジスタAの内容を、A/D制御レジスタQ1へ転送します。			

TRGA (Transfer data to register RG from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 0 0 1	2 0 9	1	1	-	-
機能 : (RG0) ← (A0)		分類 : クロック制御命令 詳細説明 : レジスタAの最下位ビット(A0)の内容を、クロック制御レジスタRGへ転送します。			

TSIAB (Transfer data to register SI from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 1 1 1 0 0 0	2 3 8	1	1	-	-
機能 : (SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)		分類 : シリアルインタフェース命令 詳細説明 : レジスタBの内容を、レジスタSIの上位4ビット(SI7 ~ SI4)へ転送し、レジスタAの内容を、レジスタSIの下位4ビット(SI3 ~ SI0)へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TV1A (Transfer data to register V1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 1	0 3 F	1	1	-	-
機能 : (V1) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV1へ転送します。			

TV2A (Transfer data to register V2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
0 0 0 0 1 1 1 1 1 0	0 3 E	1	1	-	-
機能 : (V2) ← (A)		分類 : 割り込み制御命令 詳細説明 : レジスタAの内容を、割り込み制御レジスタV2へ転送します。			

TW1A (Transfer data to register W1 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 0	2 0 E	1	1	-	-
機能 : (W1) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW1へ転送します。			

TW2A (Transfer data to register W2 from Accumulator)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 0 0 0 0 1 1 1 1	2 0 F	1	1	-	-
機能 : (W2) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW2へ転送します。			

[アルファベット順]機械語命令一覧(続き)

TW5A (Transfer data to register W5 from Accumulator)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 0 0 0 1 0 0 1 0	2 2 1 2	1	1	-
機能 : (W5) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW5へ転送します。		

TW6A (Transfer data to register W6 from Accumulator)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 0 0 0 1 0 0 1 1	2 2 1 3	1	1	-
機能 : (W6) ← (A)		分類 : タイマ操作命令 詳細説明 : レジスタAの内容を、タイマ制御レジスタW6へ転送します。		

TYA (Transfer data to register Y from Accumulator)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
0 0 0 0 0 0 1 1 0 0	2 0 0 C	1	1	-
機能 : (Y) ← (A)		分類 : レジスタ間転送命令 詳細説明 : レジスタAの内容を、レジスタYへ転送します。		

WRST (Watchdog timer ReSeT)				
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y
1 0 1 0 1 0 0 0 0 0	2 2 A 0	1	1	-
機能 : (WDF1) = 1 ? (WDF1) ← 0		分類 : その他 詳細説明 : ウォッチドッグタイマフラグ(WDF1)が“ 1 ”であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。“ 0 ”ならば、そのまま次の命令を実行します。 また、DWD命令実行直後にWRST命令を実行するとウォッチドッグタイマ機能を停止します。		

[アルファベット順]機械語命令一覧(続き)

XAM j (eXchange Accumulator and Memory data)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 0 1 j j j j	2 D j	1	1	-	-
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。			

XAMD j (eXchange Accumulator and Memory data and Decrement register Y and skip)

機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 1 1 j j j j	2 F j	1	1	-	(Y) = 15
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) - 1		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を - 1し、その結果が " 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。			

XAMI j (eXchange Accumulator and Memory data and Increment register Y and skip)

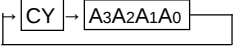
機械語 : D ₉	D ₀	語数	サイクル数	フラグ C Y	スキップ条件
1 0 1 1 1 0 j j j j	2 E j	1	1	-	(Y) = 0
機能 : (A) ← → (M(DP)) (X) ← (X)EXOR(j) j = 0 ~ 15 (Y) ← (Y) + 1		分類 : RAM・レジスタ間転送命令 詳細説明 : M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。 また、レジスタYの内容を + 1し、その結果が " 0 "であれば、次の命令をスキップします。" 0 "以外ならば、そのまま次の命令を実行します。			

[機能分類別] 機械語命令一覧

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
レジスタ間転送命令	TAB	0	0	0	0	0	1	1	1	1	0	0 1 E	1	1	(A) ← (B)
	TBA	0	0	0	0	0	0	1	1	1	0	0 0 E	1	1	(B) ← (A)
	TAY	0	0	0	0	0	1	1	1	1	1	0 1 F	1	1	(A) ← (Y)
	TYA	0	0	0	0	0	0	1	1	0	0	0 0 C	1	1	(Y) ← (A)
	TEAB	0	0	0	0	0	1	1	0	1	0	0 1 A	1	1	(E7 ~ E4) ← (B) (E3 ~ E0) ← (A)
	TABE	0	0	0	0	1	0	1	0	1	0	0 2 A	1	1	(B) ← (E7 ~ E4) (A) ← (E3 ~ E0)
	TDA	0	0	0	0	1	0	1	0	0	1	0 2 9	1	1	(DR2 ~ DR0) ← (A2 ~ A0)
	TAD	0	0	0	1	0	1	0	0	0	1	0 5 1	1	1	(A2 ~ A0) ← (DR2 ~ DR0) (A3) ← 0
	TAZ	0	0	0	1	0	1	0	0	1	1	0 5 3	1	1	(A1, A0) ← (Z1, Z0) (A3, A2) ← 0
	TAX	0	0	0	1	0	1	0	0	1	0	0 5 2	1	1	(A) ← (X)
	TASP	0	0	0	1	0	1	0	0	0	0	0 5 0	1	1	(A2 ~ A0) ← (SP2 ~ SP0) (A3) ← 0
RAM アドレス命令	LXY x, y	1	1	x3	x2	x1	x0	y3	y2	y1	y0	3 x y	1	1	(X) ← x, x = 0 ~ 15 (Y) ← y, y = 0 ~ 15
	LZ z	0	0	0	1	0	0	1	0	z1	z0	0 4 8 +z	1	1	(Z) ← z, z = 0 ~ 3
	INY	0	0	0	0	0	1	0	0	1	1	0 1 3	1	1	(Y) ← (Y) + 1
	DEY	0	0	0	0	0	1	0	1	1	1	0 1 7	1	1	(Y) ← (Y) - 1
RAMレジスタ間転送命令	TAM j	1	0	1	1	0	0	j	j	j	j	2 C j	1	1	(A) ← (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15
	XAM j	1	0	1	1	0	1	j	j	j	j	2 D j	1	1	(A) ← → (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15
	XAMD j	1	0	1	1	1	1	j	j	j	j	2 F j	1	1	(A) ← → (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15 (Y) ← (Y) - 1
	XAMI j	1	0	1	1	1	0	j	j	j	j	2 E j	1	1	(A) ← → (M(DP)) (X) ← (X)EXOR(j), j = 0 ~ 15 (Y) ← (Y) + 1
	TMA j	1	0	1	0	1	1	j	j	j	j	2 B j	1	1	(M(DP)) ← (A) (X) ← (X)EXOR(j), j = 0 ~ 15

スキップ条件	フラグ CY	詳細説明
-	-	レジスタBの内容をレジスタAへ転送します。
-	-	レジスタAの内容をレジスタBへ転送します。
-	-	レジスタYの内容をレジスタAへ転送します。
-	-	レジスタAの内容をレジスタYへ転送します。
-	-	レジスタBの内容をレジスタEの上位4ビット(E7 ~ E4)へ、 レジスタAの内容をレジスタEの下位4ビット(E3 ~ E0)へ転送します。
-	-	レジスタEの上位4ビット(E7 ~ E4)の内容をレジスタBへ、 レジスタEの下位4ビット(E3 ~ E0)の内容をレジスタAへ転送します。
-	-	レジスタAの下位3ビット(A2 ~ A0)の内容をレジスタDへ転送します。
-	-	レジスタDの内容をレジスタAの下位3ビット(A2 ~ A0)へ転送します。 レジスタAの最上位ビット(A3)は" 0 "になります。
-	-	レジスタZの内容をレジスタAの下位2ビット(A1, A0)へ転送します。 レジスタAの上位2ビット(A3, A2)は" 0 "になります。
-	-	レジスタXの内容をレジスタAへ転送します。
-	-	スタックポインタ(SP)の内容をレジスタAの下位3ビット(A2 ~ A0)へ転送します。 レジスタAの最上位ビット(A3)は" 0 "になります。
連続記述	-	イミディエイトフィールドの値xをレジスタXへ、イミディエイトフィールドの値yをレジスタYへロードします。 LXY命令を連続記述し実行した場合は、最初に行ったLXY命令を除き、以下に連続記述されたLXY命令はスキップされます。
-	-	イミディエイトフィールドの値zをレジスタZへロードします。
(Y) = 0	-	レジスタYの内容を + 1します。その結果、レジスタYの内容が" 0 "であれば、次の命令をスキップします。 " 0 "以外ならば、そのまま次の命令を実行します。
(Y) = 15	-	レジスタYの内容を - 1します。その結果、レジスタYの内容が" 15 "であれば、次の命令をスキップします。 " 15 "以外ならば、そのまま次の命令を実行します。
-	-	M(DP)の内容をレジスタAへ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
-	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
(Y) = 15	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を - 1し、その結果が" 15 "であれば、次の命令をスキップします。" 15 "以外ならば、そのまま次の命令を実行します。
(Y) = 0	-	M(DP)の内容とレジスタAの内容を交換した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を + 1し、その結果が" 0 "であれば、次の命令をスキップします。" 0 "以外ならば、そのまま次の命令を実行します。
-	-	レジスタAの内容をM(DP)へ転送した後、レジスタXの内容とイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
演算命令	LA n	0	0	0	1	1	1	n	n	n	n	0 7 n	1	1	(A) ← n、n = 0 ~ 15
	TABP p	0	0	1	0	0	p4	p3	p2	p1	p0	0 8 p +p	1	3	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PCH) ← p、p=0 ~ 31 (B) ← (ROM(PC)) ₇₋₄ (A) ← (ROM(PC)) ₃₋₀ (UPTF) = 1のとき、 (DR1、DR0) ← (ROM(PC)) _{9、8} (DR2) ← 0 (PC) ← (SK(SP)) (SP) ← (SP) - 1
	AM	0	0	0	0	0	0	1	0	1	0	0 0 A	1	1	(A) ← (A) + (M(DP))
	AMC	0	0	0	0	0	0	1	0	1	1	0 0 B	1	1	(A) ← (A) + (M(DP)) + (CY) (CY) ← キャリ
	A n	0	0	0	1	1	0	n	n	n	n	0 6 n	1	1	(A) ← (A) + n、n = 0 ~ 15
	AND	0	0	0	0	0	1	1	0	0	0	0 1 8	1	1	(A) ← (A)AND(M(DP))
	OR	0	0	0	0	0	1	1	0	0	1	0 1 9	1	1	(A) ← (A)OR(M(DP))
	SC	0	0	0	0	0	0	0	1	1	1	0 0 7	1	1	(CY) ← 1
	RC	0	0	0	0	0	0	0	1	1	0	0 0 6	1	1	(CY) ← 0
	SZC	0	0	0	0	1	0	1	1	1	1	0 2 F	1	1	(CY) = 0 ?
	CMA	0	0	0	0	0	1	1	1	0	0	0 1 C	1	1	(A) ← $\overline{(A)}$
	RAR	0	0	0	0	0	1	1	1	0	1	0 1 D	1	1	
ビット操作命令	SB j	0	0	0	1	0	1	1	1	j	j	0 5 C +j	1	1	(Mj(DP)) ← 1、j = 0 ~ 3
	RB j	0	0	0	1	0	0	1	1	j	j	0 4 C +j	1	1	(Mj(DP)) ← 0、j = 0 ~ 3
	SZB j	0	0	0	0	1	0	0	0	j	j	0 2 j	1	1	(Mj(DP)) = 0 ?、j = 0 ~ 3
比較命令	SEAM	0	0	0	0	1	0	0	1	1	0	0 2 6	1	1	(A) = (M(DP)) ?
	SEA n	0	0	0	0	1	0	0	1	0	1	0 2 5	2	2	(A) = n、n = 0 ~ 15
		0	0	0	1	1	1	n	n	n	n	0 7 n			

スキップ条件	フラグ CY	詳細説明
連続記述		- イミディエイトフィールドの値nをレジスタAにロードします。 LA命令を連続記述し実行した場合は、最初に実行したLA命令を除き、以下に連続記述されたLA命令はスキップされます。
-		- pページのレジスタDとレジスタAの内容で指定された(DR2 DR1 DR0 A3 A2 A1 A0)番地のROMパターンのうち、ビット7～4をレジスタBへ、ビット3～0をレジスタAへ転送します。 上位ビット参照許可フラグUPTFの内容が* 1 "のときは、ROMパターンのビット9、8をレジスタDの下位2ビット(DR1、DR0)へ転送し、レジスタDの最上位ビット(DR2)は* 0 "になります。 この命令を実行するときは、スタックレジスタ(SK)を1段使用します。
-		- レジスタAの内容にM(DP)の内容を加えます。その結果はレジスタAに格納されます。 キャリフラグの内容は変化しません。
-	0/1	- レジスタAの内容にM(DP)の内容とキャリフラグ(CY)の内容を加えます。その結果はレジスタAとフラグCYに格納されます。
オーバーフロー = 0		- レジスタAの内容にイミディエイトフィールドの値nを加えます。その結果はレジスタAに格納されます。 キャリフラグ(CY)の内容は変化しません。加算の結果、オーバーフローするとそのまま次の命令を実行します。 オーバーフローしなければ次の命令をスキップします。
-		- レジスタAの内容とM(DP)の内容の論理積をとります。その結果はレジスタAに格納されます。
-		- レジスタAの内容とM(DP)の内容の論理和をとります。その結果はレジスタAに格納されます。
-	1	- キャリフラグ(CY)をセット(1)します。
-	0	- キャリフラグ(CY)をクリア(0)します。
(CY) = 0		- キャリフラグ(CY)の内容が* 0 "のとき、次の命令をスキップします。* 1 "ならば、そのまま次の命令を実行します。 スキップ後もフラグCYは変化しません。
-		- レジスタAの内容の1の補数をレジスタAに格納します。
-	0/1	- キャリフラグ(CY)を含め、レジスタAの内容を右へ1ビットローテーションします。
-		- M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をセット(1)します。
-		- M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容をクリア(0)します。
(Mj(DP)) = 0 ただし、j = 0～3		- M(DP)の第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が* 0 "であれば、次の命令をスキップします。* 1 "ならば、そのまま次の命令を実行します。
(A) = (M(DP))		- レジスタAの内容とM(DP)の内容とが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。
(A) = n ただし、n = 0～15		- レジスタAの内容とイミディエイトフィールドの値nとが等しければ、次の命令をスキップします。異なる場合は、そのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
ブランチ命令	B a	0	1	1	a6	a5	a4	a3	a2	a1	a0	1 8 a +a	1	1	(PC _L) ← a6 ~ a0
	BL p, a	0	0	1	1	1	p4	p3	p2	p1	p0	0 E p +p	2	2	(PC _H) ← p, p=0 ~ 31 (PC _L) ← a6 ~ a0
		1	0	0	a6	a5	a4	a3	a2	a1	a0	2 a a			
	BLA p	0	0	0	0	0	1	0	0	0	0	0 1 0	2	2	(PC _H) ← p, p=0 ~ 31 (PC _L) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)
		1	0	0	p4	0	0	p3	p2	p1	p0	2 p p			
サブルーチン呼び出し命令	BM a	0	1	0	a6	a5	a4	a3	a2	a1	a0	1 a a	1	1	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← 2 (PC _L) ← a6 ~ a0
	BML p, a	0	0	1	1	0	p4	p3	p2	p1	p0	0 C p +p	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← p, p=0 ~ 31 (PC _L) ← a6 ~ a0
		1	0	0	a6	a5	a4	a3	a2	a1	a0	2 a a			
	BMLA p	0	0	0	0	1	1	0	0	0	0	0 3 0	2	2	(SP) ← (SP) + 1 (SK(SP)) ← (PC) (PC _H) ← p, p=0 ~ 31 (PC _L) ← (DR ₂ ~ DR ₀ , A ₃ ~ A ₀)
		1	0	0	p4	0	0	p3	p2	p1	p0	2 p p			
リターン命令	RTI	0	0	0	1	0	0	0	1	1	0	0 4 6	1	1	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RT	0	0	0	1	0	0	0	1	0	0	0 4 4	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
	RTS	0	0	0	1	0	0	0	1	0	1	0 4 5	1	2	(PC) ← (SK(SP)) (SP) ← (SP) - 1
割り込み制御命令	DI	0	0	0	0	0	0	0	1	0	0	0 0 4	1	1	(INTE) ← 0
	EI	0	0	0	0	0	0	0	1	0	1	0 0 5	1	1	(INTE) ← 1
	SNZ0	0	0	0	0	1	1	1	0	0	0	0 3 8	1	1	V10 = 0 : (EXF0) = 1 ? (EXF0) ← 0 V10 = 1 : SNZ0 = NOP
	SNZI0	0	0	0	0	1	1	1	0	1	0	0 3 A	1	1	I12 = 0 : (INT) = " L " ? I12 = 1 : (INT) = " H " ?

スキップ条件	フラグCY	詳細説明
-	-	ページ内ブランチ:同一ページのa番地へブランチします。
-	-	ページ外ブランチ:pページのa番地へブランチします。
-	-	ページ外ブランチ:pページのレジスタDとレジスタAの内容で示された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀)番地へブランチします。
-	-	2ページのサブルーチン呼び出し:2ページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し:pページのa番地のサブルーチンを読み出します。
-	-	サブルーチン呼び出し:pページのレジスタDとレジスタAの内容で指定された(DR ₂ DR ₁ DR ₀ A ₃ A ₂ A ₁ A ₀)2番地のサブルーチンを読み出します。
-	-	割り込み処理ルーチンからメインルーチンへ戻ります。 データポインタ(X , Y , Z)、キャリフラグCY、スキップステータス、LA/LXY連続記述によるNOPステータス、レジスタA、レジスタBの各値を割り込み直前の状態に復帰させます。
-	-	サブルーチンから、このサブルーチンを読み出したルーチンへ戻ります。
無条件スキップ	-	サブルーチンから、このサブルーチンを読み出したルーチンへ戻り、次の命令を無条件にスキップします。
-	-	割り込み許可フラグ(INTE)をクリア(0)し、割り込み発生禁止状態にします。
-	-	割り込み許可フラグ(INTE)をセット(1)し、割り込み発生可能状態にします。
V10 = 0 : (EXF0) = 1	-	割り込み制御レジスタV1のビットα(V10)の内容が 0 のときは、外部0割り込み要求フラグ(EXF0)が 1 であれば、フラグEXF0をクリア(0)し、次の命令をスキップします。 フラグEXF0が 0 ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビットα(V10)の内容が 1 のときは、この命令はNOP命令と等価になります。
I12 = 0 : (INT) = " L "	-	割り込み制御レジスタI1のビットα(I12)の内容が 0 のときは、INT端子のレベルが、" L "であれば次の命令をスキップし、" H "ならばそのまま次の命令を実行します。
I12 = 1 : (INT) = " H "	-	割り込み制御レジスタI1のビットα(I12)の内容が 1 のときは、INT端子のレベルが、" H "であれば次の命令をスキップし、" L "ならばそのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
割り込み制御命令	TAV1	0	0	0	1	0	1	0	1	0	0	0 5 4	1	1	(A) ← (V1)
	TV1A	0	0	0	0	1	1	1	1	1	1	0 3 F	1	1	(V1) ← (A)
	TAV2	0	0	0	1	0	1	0	1	0	1	0 5 5	1	1	(A) ← (V2)
	TV2A	0	0	0	0	1	1	1	1	1	0	0 3 E	1	1	(V2) ← (A)
	TAI1	1	0	0	1	0	1	0	0	1	1	2 5 3	1	1	(A) ← (I1)
	TI1A	1	0	0	0	0	1	0	1	1	1	2 1 7	1	1	(I1) ← (A)
タイマ操作命令	TPAA	1	0	1	0	1	0	1	0	1	0	2 A A	1	1	(PA0) ← (A0)
	TAW1	1	0	0	1	0	0	1	0	1	1	2 4 B	1	1	(A) ← (W1)
	TW1A	1	0	0	0	0	0	1	1	1	0	2 0 E	1	1	(W1) ← (A)
	TAW2	1	0	0	1	0	0	1	1	0	0	2 4 C	1	1	(A) ← (W2)
	TW2A	1	0	0	0	0	0	1	1	1	1	2 0 F	1	1	(W2) ← (A)
	TAW5	1	0	0	1	0	0	1	1	1	1	2 4 F	1	1	(A) ← (W5)
	TW5A	1	0	0	0	0	1	0	0	1	0	2 1 2	1	1	(W5) ← (A)
	TAW6	1	0	0	1	0	1	0	0	0	0	2 5 0	1	1	(A) ← (W6)
	TW6A	1	0	0	0	0	1	0	0	1	1	2 1 3	1	1	(W6) ← (A)
	TABPS	1	0	0	1	1	1	0	1	0	1	2 7 5	1	1	(B) ← (TPS7 ~ TPS4) (A) ← (TPS3 ~ TPS0)
	TPSAB	1	0	0	0	1	1	0	1	0	1	2 3 5	1	1	(RPS7 ~ RPS4) ← (B) (TPS7 ~ TPS4) ← (B) (RPS3 ~ RPS0) ← (A) (TPS3 ~ TPS0) ← (A)
	TAB1	1	0	0	1	1	1	0	0	0	0	2 7 0	1	1	(B) ← (T17 ~ T14) (A) ← (T13 ~ T10)
	T1AB	1	0	0	0	1	1	0	0	0	0	2 3 0	1	1	(R1L7 ~ R1L4) ← (B) (T17 ~ T14) ← (B) (R1L3 ~ R1L0) ← (A) (T13 ~ T10) ← (A)
	T1HAB	1	0	1	0	0	1	0	0	1	0	2 9 2	1	1	(R1H7 ~ R1H4) ← (B) (R1H7 ~ R1H4) ← (A)
	TAB2	1	0	0	1	1	1	0	0	0	1	2 7 1	1	1	(B) ← (T27 ~ T24) (A) ← (T23 ~ T20)
	T2AB	1	0	0	0	1	1	0	0	0	1	2 3 1	1	1	(R2L7 ~ R2L4) ← (B) (T27 ~ T24) ← (B) (R2L3 ~ R2L0) ← (A) (T23 ~ T20) ← (A)

[illegible]

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語 数	サイ クル 数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
タイム 操作命令	T2HAB	1	0	1	0	0	1	0	1	0	0	2 9 4	1	1	(R2H7 ~ R2H4) ← (B) (R2H3 ~ R2H0) ← (A)
	T1R1L	1	0	1	0	1	0	0	1	1	1	2 A 7	1	1	(T1) ← (R1L)
	T2R2L	1	0	1	0	0	1	0	1	0	1	2 9 5	1	1	(T2) ← (R2L)
	SNZT1	1	0	1	0	0	0	0	0	0	0	2 8 0	1	1	V12 = 0 : (T1F) = 1 ? (T1F) ← 0 V12 = 1 : SNZT1=NOP
	SNZT2	1	0	1	0	0	0	0	0	0	1	2 8 1	1	1	V13 = 0 : (T2F) = 1 ? (T2F) ← 0 V13 = 1 : SNZT2=NOP
入出力命令	IAP0	1	0	0	1	1	0	0	0	0	0	2 6 0	1	1	(A) ← (P0)
	OP0A	1	0	0	0	1	0	0	0	0	0	2 2 0	1	1	(P0) ← (A)
	IAP1	1	0	0	1	1	0	0	0	0	1	2 6 1	1	1	(A) ← (P1)
	OP1A	1	0	0	0	1	0	0	0	0	1	2 2 1	1	1	(P1) ← (A)
	IAP2	1	0	0	1	1	0	0	0	1	0	2 6 2	1	1	(A1, A0) ← (P21, P20) (A3, A2) ← 0
	OP2A	1	0	0	0	1	0	0	0	1	0	2 2 2	1	1	(P21, P20) ← (A1, A0)
	IAP3	1	0	0	1	1	0	0	0	1	1	2 6 3	1	1	(A1, A0) ← (P31, P30) (A3, A2) ← 0
	OP3A	1	0	0	0	1	0	0	0	1	1	2 2 3	1	1	(P31, P30) ← (A1, A0)
	CLD	0	0	0	0	0	1	0	0	0	1	0 1 1	1	1	(D) ← 1
	RD	0	0	0	0	0	1	0	1	0	0	0 1 4	1	1	(D(Y)) ← 0 (Y) = 0 ~ 5
	SD	0	0	0	0	0	1	0	1	0	1	0 1 5	1	1	(D(Y)) ← 1 (Y) = 0 ~ 5
	SZD	0	0	0	0	1	0	0	1	0	0	0 2 4	2	2	(D(Y)) = 0 ? (Y) = 0 ~ 5
		0	0	0	0	1	0	1	0	1	1	0 2 B			

スキップ条件	フラグ CY	詳細説明
- - - V12 = 0 : (T1F) = 1 V13 = 0 : (T2F) = 1	- - - - -	レジスタBの内容をタイマ2のリロードレジスタR2Hの上位4ビット(R2H7 ~ R2H4) へ、レジスタAの内容をタイマ2のリロードレジスタR2Hの下位4ビット(R2H3 ~ R2H0) へ転送します。 タイマ1のリロードレジスタR1Lの内容をタイマ1へ転送します。 タイマ2のリロードレジスタR2Lの内容をタイマ2へ転送します。 割り込み制御レジスタV1のビット3 (V12) の内容が 0 のときは、タイマ1割り込み要求フラグ(T1F)が 1 であれば、フラグT1Fをクリア(0)し、次の命令をスキップします。 フラグT1Fが 0 ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3 (V12) の内容が 1 のときは、この命令はNOP命令と等価になります。 割り込み制御レジスタV1のビット3 (V13) の内容が 0 のときは、タイマ2割り込み要求フラグ(T2F)が 1 であれば、フラグT2Fをクリア(0)し、次の命令をスキップします。 フラグT2Fが 0 ならば、そのまま次の命令を実行します。 割り込み制御レジスタV1のビット3 (V13) の内容が 1 のときは、この命令はNOP命令と等価になります。
- - - - - - - - - - - (D(Y)) = 0	- - - - - - - - - - - -	ポートP0の入力を、レジスタAへ転送します。 レジスタAの内容をポートP0へ出力します。 ポートP1の入力を、レジスタAへ転送します。 レジスタAの内容をポートP1へ出力します。 ポートP2の入力を、レジスタAの下位2ビット(A1、A0)へ転送します。 レジスタA の上位2ビット(A3、A2)の内容は 0 になります。 レジスタAの下位2ビット(A1、A0)の内容をポートP2へ出力します。 ポートP3の入力を、レジスタAの下位2ビット(A1、A0)へ転送します。 レジスタA の上位2ビット(A3、A2)の内容は 0 になります。 レジスタAの下位2ビット(A1、A0)の内容を、ポートP3へ出力します。 ポートDをすべてセット(1)します。 ポートDのレジスタYの内容で指定されたポートをクリア(0)します。 ポートDのレジスタYの内容で指定されたポートをセット(1)します。 ポートDのレジスタYの内容で指定されたポートの内容が 0 であれば、次の命令をスキップします。 " 1 " ならば、そのまま次の命令を実行します。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
入出力命令	TFR0A	1	0	0	0	1	0	1	0	0	0	2 2 8	1	1	(FR0) ← (A)
	TFR1A	1	0	0	0	1	0	1	0	0	1	2 2 9	1	1	(FR1) ← (A)
	TFR2A	1	0	0	0	1	0	1	0	1	0	2 2 A	1	1	(FR2) ← (A)
	TFR3A	1	0	0	0	1	0	1	0	1	1	2 2 B	1	1	(FR3) ← (A)
	TC1A	1	0	1	0	1	0	1	0	0	0	2 A 8	1	1	(C1) ← (A)
	TAPU0	1	0	0	1	0	1	0	1	1	1	2 5 7	1	1	(A) ← (PU0)
	TPU0A	1	0	0	0	1	0	1	1	0	1	2 2 D	1	1	(PU0) ← (A)
	TAPU1	1	0	0	1	0	1	1	1	1	0	2 5 E	1	1	(A) ← (PU1)
	TPU1A	1	0	0	0	1	0	1	1	1	0	2 2 E	1	1	(PU1) ← (A)
	TAPU2	1	0	0	1	0	1	1	1	1	1	2 5 F	1	1	(A) ← (PU2)
	TPU2A	1	0	0	0	1	0	1	1	1	1	2 2 F	1	1	(PU2) ← (A)
	TAK0	1	0	0	1	0	1	0	1	1	0	2 5 6	1	1	(A) ← (K0)
	TK0A	1	0	0	0	0	1	1	0	1	1	2 1 B	1	1	(K0) ← (A)
	TAK1	1	0	0	1	0	1	1	0	0	1	2 5 9	1	1	(A) ← (K1)
	TK1A	1	0	0	0	0	1	0	1	0	0	2 1 4	1	1	(K1) ← (A)
	TAK2	1	0	0	1	0	1	1	0	1	0	2 5 A	1	1	(A) ← (K2)
	TK2A	1	0	0	0	0	1	0	1	0	1	2 1 5	1	1	(K2) ← (A)
	TAL1	1	0	0	1	0	0	1	0	1	0	2 4 A	1	1	(A) ← (L1)
	TL1A	1	0	0	0	0	0	1	0	1	0	2 0 A	1	1	(L1) ← (A)
シリアルインタフェース命令	TABSI	1	0	0	1	1	1	1	0	0	0	2 7 8	1	1	(B) ← (SI7 ~ SI4) (A) ← (SI3 ~ SI0)
	TSIAB	1	0	0	0	1	1	1	0	0	0	2 3 8	1	1	(SI7 ~ SI4) ← (B) (SI3 ~ SI0) ← (A)
	TAJ1	1	0	0	1	0	0	0	0	1	0	2 4 2	1	1	(A) ← (J1)
	TJ1A	1	0	0	0	0	0	0	0	1	0	2 0 2	1	1	(J1) ← (A)
	SST	1	0	1	0	0	1	1	1	1	0	2 9 E	1	1	(SIOF) ← 0、シリアルインタフェース送受信開始
	SNZSI	1	0	1	0	0	0	1	0	0	0	2 8 8	1	1	V23 = 0: (SIOF) = 1? (SIOF) ← 0 V23 = 1: SNZSI = NOP

スキップ条件	フ ラ グ CY	詳細説明
-	-	レジスタAの内容をポート出力形式制御レジスタFR0へ転送します。
-	-	レジスタAの内容をポート出力形式制御レジスタFR1へ転送します。
-	-	レジスタAの内容をポート出力形式制御レジスタFR2へ転送します。
-	-	レジスタAの内容をポート出力形式制御レジスタFR3へ転送します。
-	-	レジスタAの内容をポート出力形式制御レジスタC1へ転送します。
-	-	ブルアップ制御レジスタPU0の内容をレジスタAへ転送します。
-	-	レジスタAの内容をブルアップ制御レジスタPU0へ転送します。
-	-	ブルアップ制御レジスタPU1の内容をレジスタAへ転送します。
-	-	レジスタAの内容をブルアップ制御レジスタPU1へ転送します。
-	-	ブルアップ制御レジスタPU2の内容を、レジスタAへ転送します。
-	-	レジスタAの内容をブルアップ制御レジスタPU2へ転送します。
-	-	キーオンウェイクアップ制御レジスタK0の内容をレジスタAへ転送します。
-	-	レジスタAの内容をキーオンウェイクアップ制御レジスタK0へ転送します。
-	-	キーオンウェイクアップ制御レジスタK1の内容をレジスタAへ転送します。
-	-	レジスタAの内容をキーオンウェイクアップ制御レジスタK1へ転送します。
-	-	キーオンウェイクアップ制御レジスタK2の内容をレジスタAへ転送します。
-	-	レジスタAの内容をキーオンウェイクアップ制御レジスタK2へ転送します。
-	-	キーオンウェイクアップ制御レジスタL1の内容をレジスタAへ転送します。
-	-	レジスタAの内容をキーオンウェイクアップ制御レジスタL1へ転送します。
V23 = 0: (SIOF) = 1	-	レジスタSIの上位4ビット(SI7 ~ SI4)の内容をレジスタBへ、 レジスタSIの下位4ビット(SI3 ~ SI0)の内容をレジスタAへ転送します。
	-	レジスタBの内容をレジスタSIの上位4ビット(SI7 ~ SI4)へ、 レジスタAの内容をレジスタSIの下位4ビット(SI3 ~ SI0)へ転送します。
	-	シリアルインタフェース制御レジスタJ1の内容をレジスタAへ転送します。
	-	レジスタAの内容をシリアルインタフェース制御レジスタJ1へ転送します。
	-	シリアルインタフェース送受信終了フラグSIOFをクリア(0)し、シリアルインタフェース送受信動作を開始します。
	-	割り込み制御レジスタV2のビット3(V23)の内容が0のときは、シリアルインタフェース送受信終了フラグ(SIOF)が1であれば、フラグSIOFをクリア(0)し、次の命令をスキップします。 フラグSIOFが0ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット3(V23)の内容が1のときは、この命令はNOP命令と等価になります。

[機能分類別] 機械語命令一覧 (続き)

分類	命令記号	命令コード											語数	サイクル数	機能
		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	16進表記			
A / D 変換命令	TABAD	1	0	0	1	1	1	1	0	0	1	2 7 9	1	1	Q13 = 0 : (B) ← (AD9 ~ AD6) (A) ← (AD5 ~ AD2) Q13 = 1 : (B) ← (AD7 ~ AD4) (A) ← (AD3 ~ AD0)
	TALA	1	0	0	1	0	0	1	0	0	1	2 4 9	1	1	(A3, A2) ← (AD1, AD0) (A1, A0) ← 0
	TADAB	1	0	0	0	1	1	1	0	0	1	2 3 9	1	1	Q13 = 0 : (AD7 ~ AD4) ← (B) (AD3 ~ AD0) ← (A) Q13 = 1 : TADAB=NOP
	TAQ1	1	0	0	1	0	0	0	1	0	0	2 4 4	1	1	(A) ← (Q1)
	TQ1A	1	0	0	0	0	0	0	1	0	0	2 0 4	1	1	(Q1) ← (A)
	ADST	1	0	1	0	0	1	1	1	1	1	2 9 F	1	1	(ADF) ← 0, Q13=0 : A/D変換開始 Q13=1 : コンパレータ動作開始
	SNZAD	1	0	1	0	0	0	0	1	1	1	2 8 7	1	1	V22 = 0 : (ADF) = 1 ? (ADF) ← 0 V22 = 1 : SNZAD=NOP
クロック制御命令	CRCK	1	0	1	0	0	1	1	0	1	1	2 9 B	1	1	RC発振回路選択
	TAMR	1	0	0	1	0	1	0	0	1	0	2 5 2	1	1	(A) ← (MR)
	TMRA	1	0	0	0	0	1	0	1	1	0	2 1 6	1	1	(MR) ← (A)
	TRGA	1	0	0	0	0	0	1	0	0	1	2 0 9	1	1	(RG0) ← (A0)
その他	NOP	0	0	0	0	0	0	0	0	0	0	0 0 0	1	1	(PC) ← (PC)+1
	POF	0	0	0	0	0	0	0	0	1	0	0 0 2	1	1	RAMバックアップモードへ遷移
	EPOF	0	0	0	1	0	1	1	0	1	1	0 5 B	1	1	POF命令有効
	SNZP	0	0	0	0	0	0	0	0	1	1	0 0 3	1	1	(P) = 1 ?
	WRST	1	0	1	0	1	0	0	0	0	0	2 A 0	1	1	(WDF1) = 1 ? (WDF1) ← 0
	DWDT	1	0	1	0	0	1	1	1	0	0	2 9 C	1	1	ウォッチドッグタイマ機能停止許可
	SRST	0	0	0	0	0	0	0	0	0	1	0 0 1	1	1	システムリセット
	RUPT	0	0	0	1	0	1	1	0	0	0	0 5 8	1	1	(UPTF) ← 0
	SUPT	0	0	0	1	0	1	1	0	0	1	0 5 9	1	1	(UPTF) ← 1
	SVDE*	1	0	1	0	0	1	0	0	1	1	2 9 3	1	1	RAMバックアップ時電圧低下検出回路有効

注. *はHバージョンのみあります。

スキップ条件	フラグCY	詳細説明
- - - - - -	- - - - - -	A/D変換モード(A/D制御レジスタQ1のビット3(Q13)の内容が* 0 "時は、レジスタADの上位4ビット(AD9 ~ AD6)をレジスタBへ、中位4ビット(AD5 ~ AD2)をレジスタAへ転送します。 コンパレータモード(A/D制御レジスタQ1のビット3(Q13)の内容が* 1 "時は、コンパレータレジスタの上位4ビット(AD7 ~ AD4)をレジスタBへ、下位4ビット(AD3 ~ AD0)をレジスタAへ転送します。 レジスタADの下位2ビット(AD1、AD0)の内容をレジスタAの上位2ビット(A3、A2)へ転送します。レジスタAの下位2ビット(A1、A0)は* 0 "になります。 コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 1 "のとき)に、レジスタBの内容をコンパレータレジスタの上位4ビット(AD7 ~ AD4)へ、レジスタAの内容をコンパレータレジスタの下位4ビット(AD3 ~ AD0)へ転送します。 A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 0 "のとき)は、この命令はNOP命令と等価となります。 A/D制御レジスタQ1の内容をレジスタAへ転送します。 レジスタAの内容をA/D制御レジスタQ1へ転送します。 A/D変換終了フラグ(ADF)をクリア(0)し、A/D変換モード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 0 "のとき)はA/D変換、コンパレータモード時(A/D制御レジスタQ1のビット3(Q13)の内容が* 1 "のとき)はコンパレータ動作を開始します。 割り込み制御レジスタV2のビット2(V22)の内容が* 0 "のときは、A/D変換終了フラグ(ADF)が* 1 "であれば、フラグADFをクリア(0)し、次の命令をスキップします。フラグADFが* 0 "ならば、そのまま次の命令を実行します。フラグADFが* 0 "ならば、そのまま次の命令を実行します。 割り込み制御レジスタV2のビット2(V22)の内容が* 1 "のときは、この命令はNOP命令と等価になります。
- - - -	- - - -	メインクロックf(XIN)にRC発振回路を選択します。 クロック制御レジスタMRの内容をレジスタAへ転送します。 レジスタAの内容をクロック制御レジスタMRへ転送します。 レジスタA最下位ビット(A0)の内容をクロック制御レジスタRGへ転送します。
- - - (P) = 1 (WDF1) = 1 - - - - -	- - - - - - - - - -	ノーオペレーション: プログラムカウンタの値を +1します。他は変化しません。 EPOF命令実行直後にPOF命令を実行すると、本製品はRAMバックアップモードになります。 EPOF命令を実行すると、直後のPOF命令が有効になります。 パワーダウンフラグ(P)の内容が、" 1 "であれば次の命令をスキップし、" 0 "ならばそのまま次の命令を実行します。スキップ後もフラグPの内容は変化しません。 ウォッチドッグタイマフラグ(WDF1)が* 1 "であれば、フラグWDF1をクリア(0)し、次の命令をスキップします。" 0 "ならば、そのまま次の命令を実行します。また、DWDT命令実行直後にWRST命令を実行すると、ウォッチドッグタイマによるリセット発生機能を無効にします。 DWDT命令を実行すると、直後のWRST命令によりウォッチドッグタイマ機能を停止することができます。 システムリセットが発生します。 上位ビット参照許可フラグUPTFをクリア(0)します。 上位ビット参照許可フラグUPTFをセット(1)します。 RAMバックアップモード時に電圧低下検出回路を有効にします。

命令コード対応表

D3 ~ D0	16進表記	D9 ~ D4																010000	011000
		00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10 ~ 17	18 ~ 1F
0000	0	NOP	BLA	SZB 0	BMLA	-	TASP	A 0	LA 0	TABP 0	TABP 16	-	-	BML	BML	BL	BL	BM	B
0001	1	SRST	CLD	SZB 1	-	-	TAD	A 1	LA 1	TABP 1	TABP 17	-	-	BML	BML	BL	BL	BM	B
0010	2	POF	-	SZB 2	-	-	TAX	A 2	LA 2	TABP 2	TABP 18	-	-	BML	BML	BL	BL	BM	B
0011	3	SNZP	INY	SZB 3	-	-	TAZ	A 3	LA 3	TABP 3	TABP 19	-	-	BML	BML	BL	BL	BM	B
0100	4	DI	RD	SZD	-	RT	TAV1	A 4	LA 4	TABP 4	TABP 20	-	-	BML	BML	BL	BL	BM	B
0101	5	EI	SD	SEAn	-	RTS	TAV2	A 5	LA 5	TABP 5	TABP 21	-	-	BML	BML	BL	BL	BM	B
0110	6	RC	-	SEAM	-	RTI	-	A 6	LA 6	TABP 6	TABP 22	-	-	BML	BML	BL	BL	BM	B
0111	7	SC	DEY	-	-	-	-	A 7	LA 7	TABP 7	TABP 23	-	-	BML	BML	BL	BL	BM	B
1000	8	-	AND	-	SNZ0	LZ 0	RUPT	A 8	LA 8	TABP 8	TABP 24	-	-	BML	BML	BL	BL	BM	B
1001	9	-	OR	TDA	-	LZ 1	SUPT	A 9	LA 9	TABP 9	TABP 25	-	-	BML	BML	BL	BL	BM	B
1010	A	AM	TEAB	TABE	SNZ10	LZ 2	-	A 10	LA 10	TABP 10	TABP 26	-	-	BML	BML	BL	BL	BM	B
1011	B	AMC	-	-	-	LZ 3	EPOF	A 11	LA 11	TABP 11	TABP 27	-	-	BML	BML	BL	BL	BM	B
1100	C	TYA	CMA	-	-	RB 0	SB 0	A 12	LA 12	TABP 12	TABP 28	-	-	BML	BML	BL	BL	BM	B
1101	D	-	RAR	-	-	RB 1	SB 1	A 13	LA 13	TABP 13	TABP 29	-	-	BML	BML	BL	BL	BM	B
1110	E	TBA	TAB	-	TV2A	RB 2	SB 2	A 14	LA 14	TABP 14	TABP 30	-	-	BML	BML	BL	BL	BM	B
1111	F	-	TAY	SZC	TV1A	RB 3	SB 3	A 15	LA 15	TABP 15	TABP 31	-	-	BML	BML	BL	BL	BM	B

上表は機械語コードと機械語命令の対応表です。D3 ~ D0は機械語コードの下位4ビットを示し、D9 ~ D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注：- で示しているコードは使用しないでください。

	第2語
BL	10 0aaa aaaa
BML	10 0aaa aaaa
BLA	10 0p00 pppp
BMLA	10 0p00 pppp
SEA	00 0111 nnnn
SZD	00 0010 1011

命令コード対応表

D3 ~ D0	16進 表記	D9 ~ D4																		110000 111111
		100000	100001	100010	100011	100100	100101	100110	100111	101000	101001	101010	101011	101100	101101	101110	101111			
0000	0	-	-	OP0A	T1AB	-	TAW6	IAP0	TAB1	SNZT1	-	WRST	TMA 0	TAM 0	XAM 0	XAMI 0	XAMD 0			LXY
0001	1	-	-	OP1A	T2AB	-	-	IAP1	TAB2	SNZT2	-	-	TMA 1	TAM 1	XAM 1	XAMI 1	XAMD 1			LXY
0010	2	TJ1A	TW5A	OP2A	-	TAJ1	TAMR	IAP2	-	-	T1HAB	-	TMA 2	TAM 2	XAM 2	XAMI 2	XAMD 2			LXY
0011	3	-	TW6A	OP3A	-	-	TAI1	IAP3	-	-	SVDE*	-	TMA 3	TAM 3	XAM 3	XAMI 3	XAMD 3			LXY
0100	4	TQ1A	TK1A	-	-	TAQ1	-	-	-	-	T2HAB	-	TMA 4	TAM 4	XAM 4	XAMI 4	XAMD 4			LXY
0101	5	-	TK2A	-	TPSAB	-	-	-	TABPS	-	T2R2L	-	TMA 5	TAM 5	XAM 5	XAMI 5	XAMD 5			LXY
0110	6	-	TMRA	-	-	-	TAK0	-	-	-	-	-	TMA 6	TAM 6	XAM 6	XAMI 6	XAMD 6			LXY
0111	7	-	TI1A	-	-	-	TAPU0	-	-	SNZAD	-	T1R1L	TMA 7	TAM 7	XAM 7	XAMI 7	XAMD 7			LXY
1000	8	-	-	TFR0A	TSIAB	-	-	-	TABSI	SNZSI	-	TC1A	TMA 8	TAM 8	XAM 8	XAMI 8	XAMD 8			LXY
1001	9	TRGA	-	TFR1A	TADAB	TALA	TAK1	-	TABAD	-	-	-	TMA 9	TAM 9	XAM 9	XAMI 9	XAMD 9			LXY
1010	A	TL1A	-	TFR2A	-	TAL1	TAK2	-	-	-	-	TPAA	TMA 10	TAM 10	XAM 10	XAMI 10	XAMD 10			LXY
1011	B	-	TK0A	TFR3A	-	TAW1	-	-	-	-	CRCK	-	TMA 11	TAM 11	XAM 11	XAMI 11	XAMD 11			LXY
1100	C	-	-	-	-	TAW2	-	-	-	-	DWDT	-	TMA 12	TAM 12	XAM 12	XAMI 12	XAMD 12			LXY
1101	D	-	-	TPU0A	-	-	-	-	-	-	-	-	TMA 13	TAM 13	XAM 13	XAMI 13	XAMD 13			LXY
1110	E	TW1A	-	TPU1A	-	-	TAPU1	-	-	-	SST	-	TMA 14	TAM 14	XAM 14	XAMI 14	XAMD 14			LXY
1111	F	TW2A	-	TPU2A	-	TAW5	TAPU2	-	-	-	ADST	-	TMA 15	TAM 15	XAM 15	XAMI 15	XAMD 15			LXY

上表は機械語コードと機械語命令の対応表です。D3 ~ D0は機械語コードの下位4ビットを示し、D9 ~ D4は、機械語コードの上位6ビットを示します。また、そのコードを16進表記したものを併記してあります。1語命令、2語命令の2種類ありますが、各命令の第1語目のコードを上表に、第2語目のコードを下表に示します。

注 “ - ”で示しているコードは使用しないでください。

第2語			
BL	10	0aaa	aaaa
BML	10	0aaa	aaaa
BLA	10	0p00	pppp
BMLA	10	0p00	pppp
SEA	00	0111	nnnn
SZD	00	0010	1011

・*はHバージョンのみ使用できます。

電気的特性

絶対最大定格

記 号	項 目	条 件	定 格 値	単位
V _{DD}	電源電圧	-	- 0.3 ~ 6.5	V
V _I	入力電圧 P0、P1、P2、P3、D0 ~ D5、 $\overline{\text{RESET}}$ 、X _{IN}	-	- 0.3 ~ V _{DD} + 0.3	V
V _I	入力電圧 INT、CNTR0、CNTR1、S _{IN} 、S _{CK}	-	- 0.3 ~ V _{DD} + 0.3	V
V _I	入力電圧 A _{IN0} ~ A _{IN5}	-	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 P0、P1、P2、P3、D0 ~ D5、 $\overline{\text{RESET}}$	出力トランジスタ遮断状態	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 CNTR0、CNTR1、S _{OUT} 、S _{CK}	出力トランジスタ遮断状態	- 0.3 ~ V _{DD} + 0.3	V
V _O	出力電圧 X _{OUT}	-	- 0.3 ~ V _{DD} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	
T _{stg}	保存温度	-	- 40 ~ 125	

推奨動作条件1(指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
V _{DD}	電源電圧 (セラミック共振子使用時)	f(STCK) 6MHz	4		5.5	V
		f(STCK) 4.4MHz	2.7		5.5	
		f(STCK) 2.2MHz	2		5.5	
		f(STCK) 1.1MHz	1.8		5.5	
V _{DD}	電源電圧 (RC発振使用時)	f(STCK) 4.4MHz	2.7		5.5	V
V _{DD}	電源電圧 (オンチップオシレータ使用時)		1.8		5.5	V
V _{RAM}	RAM保持電圧	RAMバックアップモード	1.6		5.5	V
V _{SS}	電源電圧			0		V
V _{IH}	“ H ”入力電圧	P0、P1、P2、P3、D0～D5	0.8V _{DD}		V _{DD}	V
		X _{IN}	0.7V _{DD}		V _{DD}	
		RESET	0.85V _{DD}		V _{DD}	
		INT、CNTR0、CNTR1、S _{IN} 、S _{CK}	0.85V _{DD}		V _{DD}	
V _{IL}	“ L ”入力電圧	P0、P1、P2、P3、D0～D5	0		0.2V _{DD}	V
		X _{IN}	0		0.3V _{DD}	
		RESET	0		0.3V _{DD}	
		INT、CNTR0、CNTR1、S _{IN} 、S _{CK}	0		0.15V _{DD}	
I _{OH} (peak)	“ H ”レベル尖頭出力電流	P0、P1、P2、P3、D0～D5	V _{DD} =5V		- 20	mA
		CNTR0、CNTR1、S _{OUT} 、S _{CK}	V _{DD} =3V		- 10	
I _{OH} (avg)	“ H ”レベル平均出力電流 (注)	P0、P1、P2、P3、D0～D5	V _{DD} =5V		- 10	mA
		CNTR0、CNTR1、S _{OUT} 、S _{CK}	V _{DD} =3V		- 5	
I _{OL} (peak)	“ L ”レベル尖頭出力電流	P0、P1	V _{DD} =5V		24	mA
		CNTR0、CNTR1、S _{OUT} 、S _{CK}	V _{DD} =3V		12	
		P2、P3、RESET	V _{DD} =5V		10	
			V _{DD} =3V		4	
		D0、D1、D4、D5	V _{DD} =5V		40	
			V _{DD} =3V		30	
		D2、D3	V _{DD} =5V		24	
			V _{DD} =3V		12	
I _{OL} (avg)	“ L ”レベル平均出力電流 (注)	P0、P1	V _{DD} =5V		12	mA
		CNTR0、CNTR1、S _{OUT} 、S _{CK}	V _{DD} =3V		6	
		P2、P3、RESET	V _{DD} =5V		5	
			V _{DD} =3V		2	
		D0、D1、D4、D5	V _{DD} =5V		30	
			V _{DD} =3V		15	
		D2、D3	V _{DD} =5V		15	
			V _{DD} =3V		7	
Σ I _{OH} (avg)	“ H ”レベル総電流	P0、P1、P3、CNTR0、CNTR1、S _{OUT} 、S _{CK}			- 40	mA
		P2、D0～D5			- 40	
Σ I _{OL} (avg)	“ L ”レベル総電流	P0、P1、P3、CNTR0、CNTR1、S _{OUT} 、S _{CK}			60	mA
		P2、D0～D5、RESET			60	

注．平均出力電流は、100msの期間の平均値です。

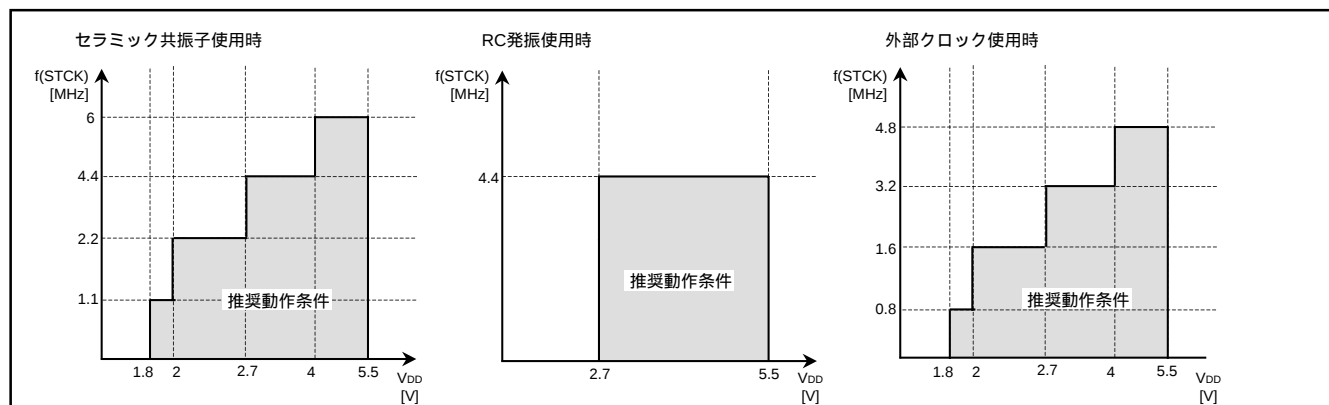
推奨動作条件2(指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$)

記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
f(XIN)	発振周波数 (セラミック共振子使用時)	スルーモード	$V_{DD}=4 \sim 5.5V$		6	MHz
			$V_{DD}=2.7 \sim 5.5V$		4.4	
			$V_{DD}=2 \sim 5.5V$		2.2	
			$V_{DD}=1.8 \sim 5.5V$		1.1	
		2分周モード	$V_{DD}=2.7 \sim 5.5V$		6	
			$V_{DD}=2 \sim 5.5V$		4.4	
			$V_{DD}=1.8 \sim 5.5V$		2.2	
		4、8分周モード	$V_{DD}=2 \sim 5.5V$		6	
			$V_{DD}=1.8 \sim 5.5V$		4.4	
f(XIN)	発振周波数 (注1) (RC発振使用時)	$V_{DD}=2.7 \sim 5.5V$			4.4	MHz
f(XIN)	発振周波数 (セラミック発振回路選択、 外部クロック使用時)	スルーモード	$V_{DD}=4 \sim 5.5V$		4.8	MHz
			$V_{DD}=2.7 \sim 5.5V$		3.2	
			$V_{DD}=2 \sim 5.5V$		1.6	
			$V_{DD}=1.8 \sim 5.5V$		0.8	
		2分周モード	$V_{DD}=2.7 \sim 5.5V$		4.8	
			$V_{DD}=2 \sim 5.5V$		3.2	
			$V_{DD}=1.8 \sim 5.5V$		1.6	
		4、8分周モード	$V_{DD}=2 \sim 5.5V$		4.8	
			$V_{DD}=1.8 \sim 5.5V$		3.2	
f(CNTR)	タイマ外部入力周波数	CNTR0、CNTR1			f(STCK)/6	Hz
tw(CNTR)	タイマ外部入力周期 (“ H ” 及び “ L ” パルス幅)	CNTR0、CNTR1		3/f(STCK)		s
f(SCK)	シリアルインタフェース 外部入力周波数	SCK			f(STCK)/6	Hz
tw(SCK)	シリアルインタフェース 外部入力周期 (“ H ” 及び “ L ” パルス幅)	SCK		3/f(STCK)		s
TPON	パワーオンリセット回路 (注2) 有効電源立ち上がり時間	$V_{DD}=0 \rightarrow 1.8V$			100	μs

注1. RC発振時の発振周波数は、外付けの抵抗・コンデンサ及びマイクロコンピュータのバラツキの影響を受けますので、最大のバラツキにおいても周波数規格を超えないように外付け定数(抵抗値、容量値)を設定してください。

2. パワーオンリセット回路は、M34509G4Hのみあります。

電源立ち上がり時間が最大規格値を超える場合は、RESET端子とVss間にコンデンサを最短距離で接続し、電源電圧が推奨動作条件の最小規格値以上になるまでRESET端子に“ L ”レベルが入力されるようにしてください。



システムクロック(STCK)動作条件マップ

電気的特性1(指定のない場合は、Ta = - 20 ~ 85 、VDD = 1.8 ~ 5.5V)

記 号	項 目	測 定 条 件		規 格 値			単位
				最 小	標 準	最 大	
VOH	“ H ”出力電圧 P0、P1、P2、P3、D0 ~ D5 CNTR0、CNTR1、SOUT、SCK	VDD=5V	IOH= - 10mA	3			V
			IOH= - 3mA	4.1			
		VDD=3V	IOH= - 5mA	2.1			
			IOH= - 1mA	2.4			
VOL	“ L ”出力電圧 P0、P1 CNTR0、CNTR1、SOUT、SCK	VDD=5V	IOL=12mA			2	V
			IOL=4mA			0.9	
		VDD=3V	IOL=6mA			0.9	
			IOL=2mA			0.6	
VOL	“ L ”出力電圧 P2、P3、RESET	VDD=5V	IOL=5mA			2	V
			IOL=1mA			0.6	
		VDD=3V	IOL=2mA			0.9	
VOL	“ L ”出力電圧 D0、D1、D4、D5	VDD=5V	IOL=30mA			2	V
			IOL=10mA			0.9	
		VDD=3V	IOL=15mA			2	
			IOL=5mA			0.9	
VOL	“ L ”出力電圧 D2、D3	VDD=5V	IOL=15mA			2	V
			IOL=5mA			0.9	
		VDD=3V	IOL=9mA			1.4	
			IOL=3mA			0.9	
IiH	“ H ”入力電流 P0、P1、P2、P3、D0 ~ D5 RESET、INT CNTR0、CNTR1、SIN、SCK	Vi=VDD				2	μA
IiL	“ L ”入力電流 P0、P1、P2、P3、D0 ~ D5 RESET、INT CNTR0、CNTR1、SIN、SCK	Vi=0V P0、P1、P2、D2、D3 ブルアップ非選択				- 2	μA
RPU	ブルアップ抵抗 P0、P1、P2、D2、D3 RESET	Vi=0V	VDD=5V	30	60	125	kΩ
			VDD=3V	50	120	250	
VT+ - VT-	ヒステリシス RESET	VDD=5V			1		V
		VDD=3V			0.4		
VT+ - VT-	ヒステリシス INT、CNTR0、CNTR1 SIN、SCK	VDD=5V			0.2		V
		VDD=3V			0.2		
f(RING)	オンチップオシレータクロック周波数	VDD=5V		200	500	700	kHz
		VDD=3V		100	250	400	
		VDD=1.8V		30	120	200	
f(XIN)	周波数誤差 (注) (RC発振使用時、外付けR、Cの誤差は含まず)	VDD=5V ± 10%、Ta=25 中心				± 17	%
		VDD=3V ± 10%、Ta=25 中心				± 17	

注：RC発振使用時は、外付けのコンデンサに33pFを使用してください。

電気的特性 χ 指定のない場合は、 $T_a = -20 \sim 85$ 、 $V_{DD} = 1.8 \sim 5.5V$

記 号	項 目		測 定 条 件		規 格 値			単位
					最 小	標 準	最 大	
IDD	電源電流	CPU動作時 (セラミック共振子使用時) (注1、注2)	VDD=5V f(XIN)=6MHz f(RING)=停止	f(STCK)=f(XIN)/8		1.2	2.4	mA
				f(STCK)=f(XIN)/4		1.3	2.6	
				f(STCK)=f(XIN)/2		1.6	3.2	
				f(STCK)=f(XIN)		2.2	4.4	
			VDD=5V f(XIN)=4MHz f(RING)=停止	f(STCK)=f(XIN)/8		0.9	1.8	mA
				f(STCK)=f(XIN)/4		1	2	
				f(STCK)=f(XIN)/2		1.2	2.4	
				f(STCK)=f(XIN)		1.6	3.2	
			VDD=3V f(XIN)=2MHz f(RING)=停止	f(STCK)=f(XIN)/8		0.2	0.4	mA
				f(STCK)=f(XIN)/4		0.25	0.5	
				f(STCK)=f(XIN)/2		0.3	0.6	
				f(STCK)=f(XIN)		0.4	0.8	
		CPU動作時 (オンチップオシレータ使用時) (注1、注2)	VDD=5V f(XIN)=停止 f(RING)=動作	f(STCK)=f(RING)/8		50	100	μ A
				f(STCK)=f(RING)/4		60	120	
				f(STCK)=f(RING)/2		80	160	
				f(STCK)=f(RING)		120	240	
			VDD=3V f(XIN)=停止 f(RING)=動作	f(STCK)=f(RING)/8		10	20	μ A
				f(STCK)=f(RING)/4		13	26	
				f(STCK)=f(RING)/2		19	38	
				f(STCK)=f(RING)		31	62	
	RAMバックアップモード時 (POF命令実行時) (注3)	Ta=25			0.1	3	μ A	
		VDD=5V				10		
		VDD=3V				6		

注1 . A/Dコンバータを使用する場合は、A/D動作電流(I_{ADD})が加算されます。

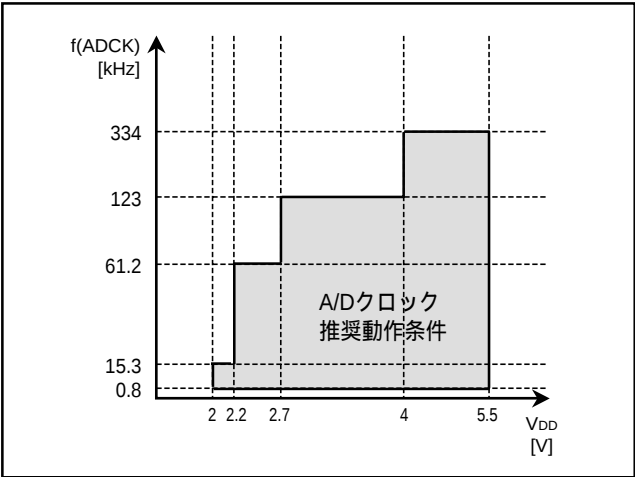
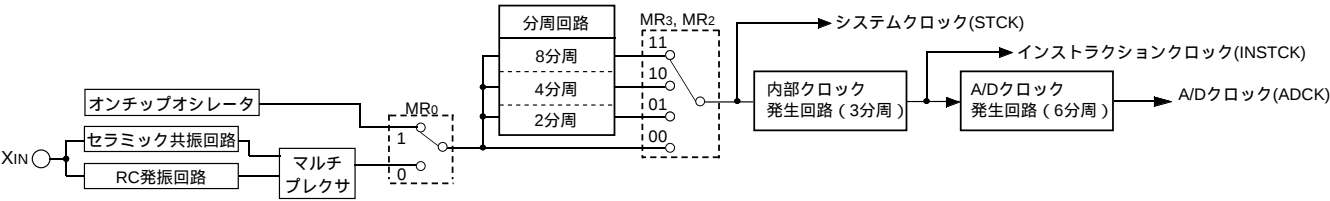
2 . M34509G4Hでは、電圧低下検出回路動作電流(I_{RST})が加算されます。

3 . M34509G4HでSVDE命令を実行している場合は、電圧低下検出回路動作電流(I_{RST})が加算されます。

A/Dコンバータ推奨動作条件（コンパレータモード含む。指定のない場合は、Ta = - 20 ~ 85 ）

記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
V _{DD}	電源電圧	Ta=0 ~ 50	2		5.5	V
		Ta= - 20 ~ 85	2.7		5.5	
V _{IA}	アナログ入力電圧		0		V _{DD}	V
f(ADCK)	A/Dクロック周波数（注）	V _{DD} =4 ~ 5.5V	0.8		334	kHz
		V _{DD} =2.7 ~ 5.5V	0.8		123	
		V _{DD} =2.2 ~ 5.5V	0.8		61.2	
		V _{DD} =2 ~ 5.5V	0.8		15.3	

注 A/Dクロックの定義



A/Dクロック(ADCK)動作条件マップ

A/Dコンバータ特性（指定のない場合は、Ta = -20 ~ 85 °C）

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
-	分解能				10	bits
-	直線性誤差	Ta=0 ~ 50 °C、2.2V VDD < 2.7V			± 4	LSB
		Ta= -20 ~ 85 °C、2.7V VDD 5.5V			± 2	
-	微分非直線性誤差	Ta=0 ~ 50 °C、2.2V VDD < 2.7V			± 0.9	LSB
		Ta= -20 ~ 85 °C、2.7V VDD 5.5V			± 0.9	
V0T	ゼロトランジション電圧	VDD=2.56V	0	7.5	15	mV
		VDD=3.075V	0	7.5	15	
		VDD=5.12V	0	10	20	
VFST	フルスケルトランジション電圧	VDD=2.56V	2552.5	2560	2567.5	mV
		VDD=3.075V	3064.5	3072	3079.5	
		VDD=5.12V	5100	5110	5120	
-	絶対精度(量子化誤差は除く)	Ta=0 ~ 50 °C、2.0V VDD < 2.2V			± 8	LSB
IADD	A/D動作電流 (注1)	VDD=5V		300	900	μA
		VDD=3V		100	300	
TCONV	A/D変換時間	f(ADCK)=334kHz			31	μs
		f(ADCK)=123kHz			85	
		f(ADCK)=61.2kHz			169	
		f(ADCK)=15.3kHz			676	
-	コンパレータ分解能				8	bits
-	コンパレータ誤差 (注2)	VDD=2.56V			± 15	mV
		VDD=3.072V			± 15	
		VDD=5.12V			± 20	
-	コンパレータ比較時間	f(ADCK)=334kHz			4	μs
		f(ADCK)=123kHz			11	
		f(ADCK)=61.2kHz			22	
		f(ADCK)=15.3kHz			88	

注1. A/Dコンバータ使用時は、IDD(電源電流)にIADDが加算されます。

2. コンパレータモード時の理論値に対する誤差で、コンパレータレジスタの内容をnとしたとき、内蔵DAコンバータが発生する比較電圧Vrefの理論値は次式で求めることができます。

— 比較電圧Vrefの理論値 —

$$V_{\text{ref}} = \frac{V_{\text{DD}}}{256} \times n$$

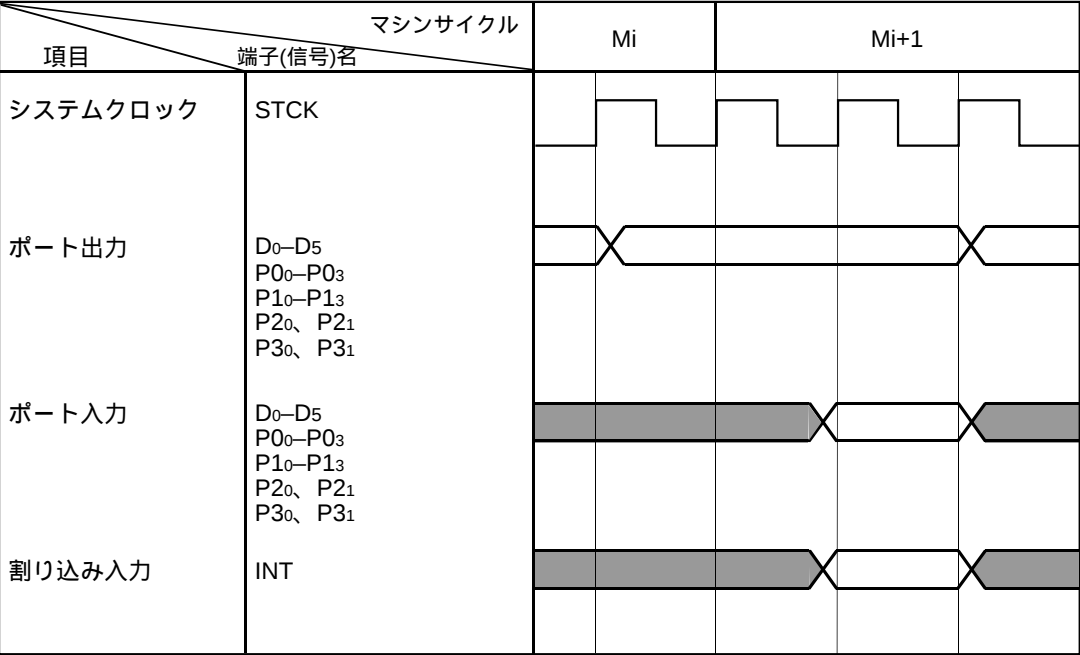
n: レジスタADの値(n=0 ~ 255)

電圧低下検出回路特性(指定のない場合は、Ta = - 20 ~ 85)

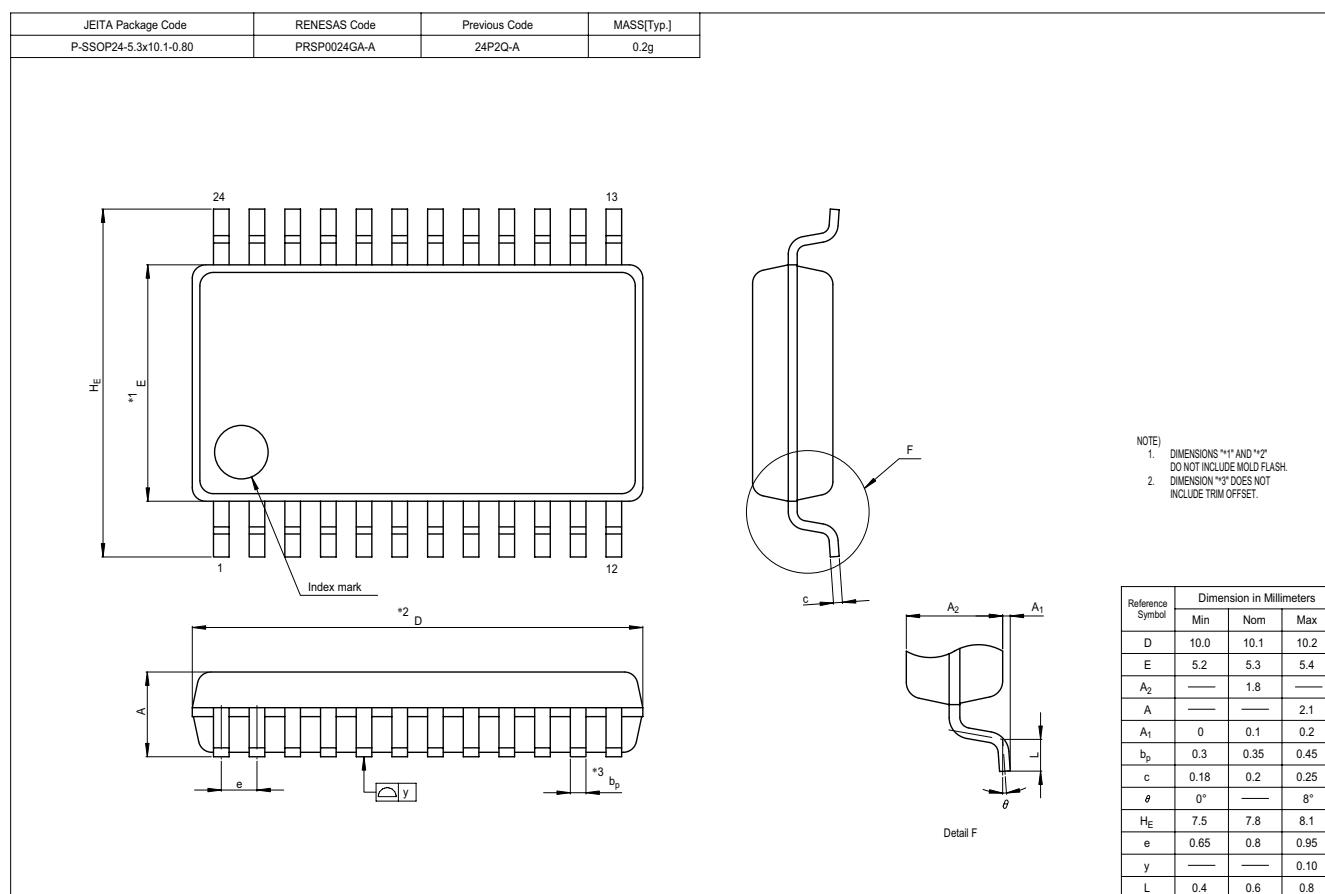
記 号	項 目	条 件	規 格 値			単位
			最 小	標 準	最 大	
VRST ⁻	検出電圧(リセット発生) (注2)	Ta=25		2.6		V
		- 20 Ta < 0	2.5		3.1	
		0 Ta < 50	2.2		3	
		50 Ta 85	2		2.7	
VRST ⁺	検出電圧(リセット解除) (注3)	Ta=25		2.7		V
		- 20 Ta < 0	2.6		3.2	
		0 Ta < 50	2.3		3.1	
		50 Ta 85	2.1		2.8	
VRST ⁺ - VRST ⁻	検出電圧ヒステリシス			0.1		V
IRST	動作電流 (注4)	VDD=5V		50	100	μ A
		VDD=3V		30	60	
TRST	判定時間 (注5)	VDD → (VRST ⁻ - 0.1V)		0.2	1.2	ms

- 注1．電圧低下検出回路はM34509G4Hのみあります。
- 2．検出電圧(VRST⁻)は、電圧低下検出回路有効時に電源電圧(VDD)を高い側から下げたときにリセットが発生する電圧です。
- 3．検出電圧(VRST⁺)は、電圧低下検出回路有効時に電源電圧(VDD)を低い側から上げたときにリセットを解除する電圧です。
- 4．M34509G4Hでは、電源電流(IDD)に電圧低下検出回路動作電流(I_{IRST})が加算されます。
- 5．判定時間(TRST)は、電源電圧(VDD)を高い側から[VRST⁻ - 0.1V]に下げたときにリセットが発生するまでの時間です。

基本タイミング図



パッケージ外形寸法図



4509 グループ データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.01.07	-	初版発行
1.01	2005.08.12	全ページ 17 55 60 61 62 66 132 133	“開発中”表記削除 「ROMコードプロテクト」追記 表WD-2：ポートP1の備考に説明追記 図WA-4：改訂 図WA-6：改訂 「QzROM発注時の提出資料」追記 「(25)ROMコードプロテクトに関する注意」追記 A/Dコンバータ特性、直線性誤差、微分非直線性誤差、絶対精度： 項目および測定条件改訂 電圧低下検出回路 VRST ₋ 、VRST ₊ ：条件改訂
1.02	2006.12.22	5 43 56 61 62 ~ 64 66 70 ~ 73 → 135 138	注4：Sck端子に関する記述改訂 表GA-1：Sck端子に関する記述改訂 図WD-1：注改訂 表WA-1：注5追記 Qz書き込みモード 追記 (7)：Sck端子に関する記述改訂 ノイズに関する注意事項 追記 81, 82, 94 ~ 96, 115, 121, 122, 125 ~ 130 ページ： SNZ0, SNZT1, SNZT2, SNZSI, SNZAD, WRST 命令に関する記述改訂 tw(Sck)：シリアルインタフェース外部入力周波数 → シリアルインタフェース外部入力周期 A/Dコンバータ推奨動作条件：システムクロック（ADCK）動作条件マップ [MHz] → [kHz] 図題改訂、“セラミック共振使用時”削除

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com