

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38K2グループ SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0188-0400
Rev.4.00
2006.10.15

概要

38K2グループは、740ファミリコアを採用した8ビットマイクログループコンピュータです。USB、8ビットバスインタフェース、シリアルインタフェース、8ビットタイマ、A/D変換器を内蔵しており、パソコン周辺入出力機器に最適です。

38K2グループには、メモリの種類、容量、パッケージの異なる複数の品種があります。詳細についてはグループ展開の項を参照してください。

特長

- 基本機械語命令 71
- 命令実行時間 0.25 μs
(最短命令、システムクロック*8MHz時)
システムクロック* : USB機能以外の内部回路への基準周波数
- メモリ容量 ROM 16~32Kバイト
RAM 1024~2048バイト
- プログラマブル入出力ポート 44本
- ソフトウェアブルアップ抵抗 内蔵
- 割り込み 16要因16ベクタ
- USB機能(Full-Speed USB2.0仕様) 4エンドポイント
- USB HUB機能(Full-Speed USB2.0仕様) 2ダウンポート
- 外部バスインタフェース 8ビット×1チャンネル
- タイマ 8ビット×3

- ウォッチドッグタイマ 16ビット×1
- シリアルインタフェース
シリアルI/O (UART又はクロック同期形) 8ビット×1
- A/D変換器 10ビット×8チャンネル
(8ビット読み出し可能)
- LED直接駆動ポート 4本
- クロック発生回路 内蔵
(セラミック共振子又は水晶共振子外付け)
- 電源電圧 (L仕様)
システムクロック / 内部クロック分周モード
12MHz/2分周モード(6MHz)時 4.00~5.25V
8MHz/スルーモード(8MHz)時 4.00~5.25V
6MHz/スルーモード(6MHz)時 3.00~5.25V
- 消費電力
電源電圧5V時 125mW(標準)
(システムクロック8MHz、スルーモード時)
電源電圧3.3V時 30mW(標準)
(システムクロック6MHz、スルーモード時)
- 動作周囲温度 -20~85
- パッケージ
FP PLQP0064GA-A (64ピン 14×14mm LQFP)
HP PLQP0064KB-A (64ピン 10×10mm LQFP)

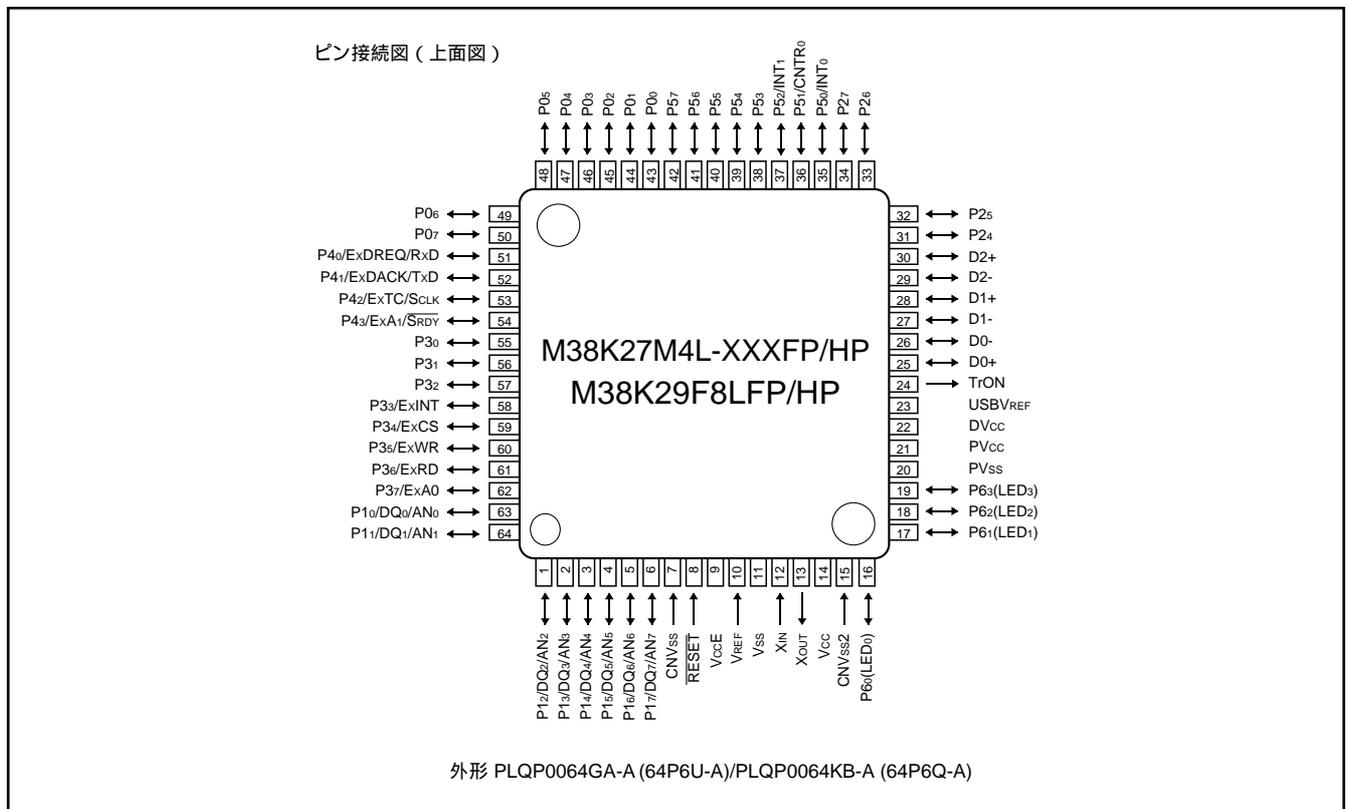


図1. 38K2グループのピン接続図

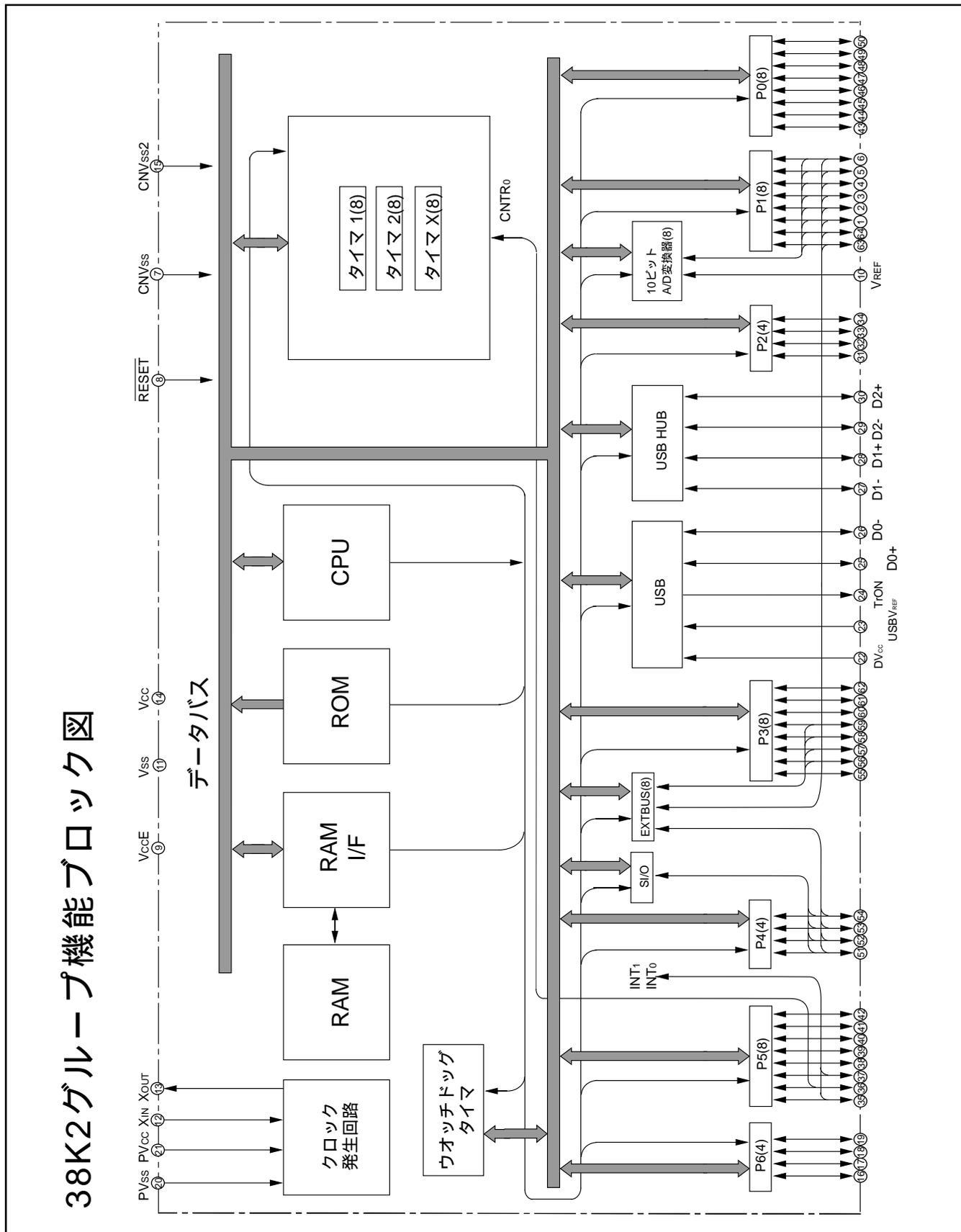


図2 . 38K2グループ機能ブロック図(64ピン)

表1. 38K2グループ端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc、Vss	電源	Vccに3.0～5.25V(L仕様)、Vssに0Vを印加します。	
VccE	アナログ電源	P1、P3、P4ポート及びアナログ回路の電源端子です。Vccに接続してください。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。フラッシュメモリモードでは、VPP電源入力端子になります。	
CNVss2	CNVss2	チップの動作モードを制御する端子です。Vssに接続してください。	
VREF	基準電圧入力	A/D変換器の基準電圧入力端子です。	
DVcc PVcc、PVss	アナログ電源	アナログ回路の電源端子です。 DVcc、PVcc端子はVcc、PVss端子はVssに接続してください。	
RESET	リセット入力	アクティブ'L'のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
USBVREF	USB基準電源	USB用ポート回路の電源端子です。 Vcc=4.0～5.25Vの時は、内蔵USB基準電圧回路を使用してください。 Vcc=3.6～4.0Vの時は、内蔵USB基準電圧回路は使用できません。外部より3.3V電源をこの端子に供給して下さい。 Vcc=3.0～3.6Vの時は、内蔵USB基準電圧回路は使用できません。Vccに接続してください。	
TrON	USB基準電圧出力	D0+を1.5k Ω の外付け抵抗でプルアップするための出力端子です。	
D0+、D0-	USBアップストリーム入出力	USBアップストリーム入出力ポートです。USB入力レベルで、出力形式はUSB出力レベルです。	
D1+、D1- D2+、D2-	USBダウンストリーム入出力	USBダウンストリーム入出力ポートです。USB入力レベルで、出力形式はUSB出力レベルです。	
P00～P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウエイクアップ割り込み入力)端子
P10/DQ0/AN0～ P17/DQ7/AN7	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/D変換器入力端子 外部バスインタフェース機能端子
P24～P27	入出力ポートP2	4ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	
P30～P32 P33/EXINT P34/EXCS P35/EXWR P36/EXRD P37/EXA0	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	外部バスインタフェース機能端子
P40/EXDREQ/RxD P41/EXDACK/TxD P42/EXTC/SCLK P43/EXA1/SRDY	入出力ポートP4	4ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアルI/O機能端子 外部バスインタフェース機能端子
P50/INT0 P51/CNTR0 P52/INT1 P53～P57	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。	割り込み入力端子 タイマX機能端子 割り込み入力端子
P60～P63	入出力ポートP6	4ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。LED駆動用の大電流出力が可能です。	

グループ展開

38K2グループは次のような展開を計画しています。

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

メモリ容量

フラッシュメモリ容量 32Kバイト

マスクROM容量 16Kバイト

RAM容量 1024 ~ 2048バイト

パッケージ

PLQP0064GA-A

..... 0.8mmピッチプラスチックモールドLQFP

PLQP0064KB-A

..... 0.5mmピッチプラスチックモールドLQFP

100D0M 0.65mmピッチセラミックPIGGY BACK

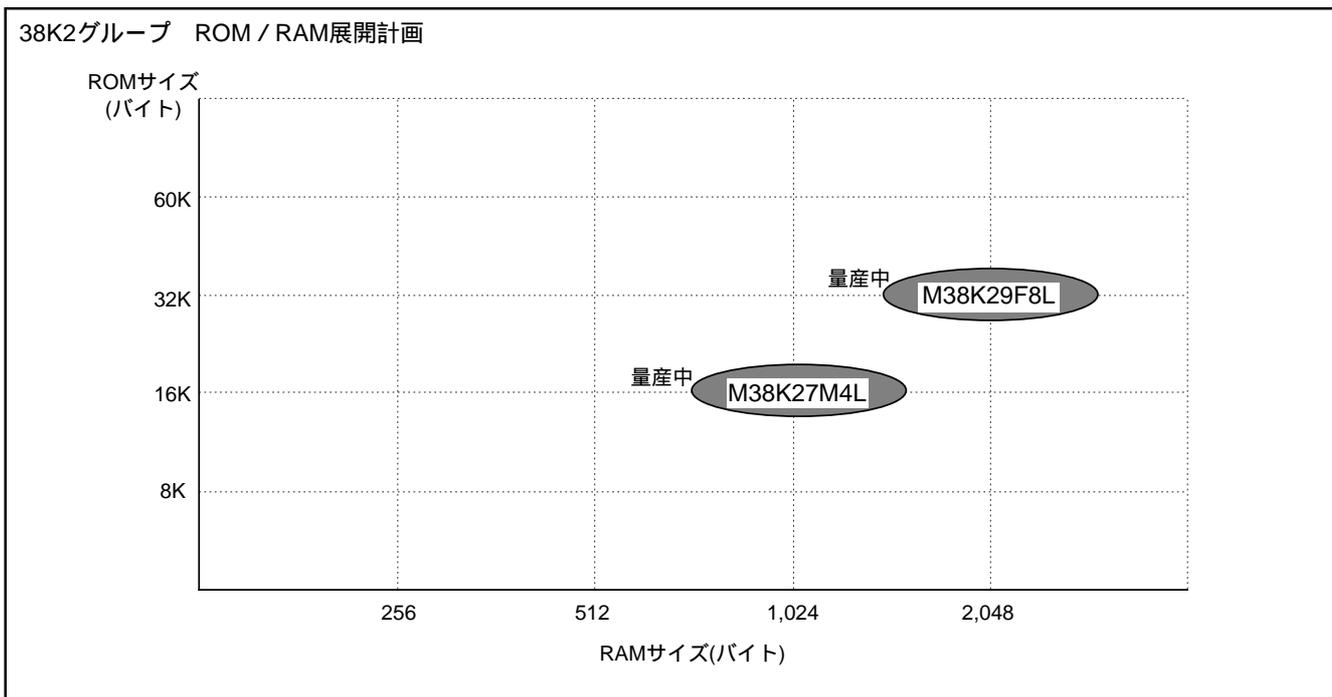


図3 . ROM/RAM展開計画

現在サポートを計画している製品を下記に示します。

表2 . 38K2グループ(L仕様)サポート製品一覧

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38K27M4L-XXXFP	16384	1024	PLQP0064GA-A	マスクROM版
M38K27M4L-XXXHP	(16254)		PLQP0064KB-A	
M38K29F8LFP	32768	2048	PLQP0064GA-A	フラッシュメモリ版
M38K29F8LHP	(32638)		PLQP0064KB-A	
M38K29RFS	—————	2048	100D0	

機能ブロック動作説明

中央演算処理装置(CPU)

38K2グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算装置(CPU)には6個のレジスタがあります。図4にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図5に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

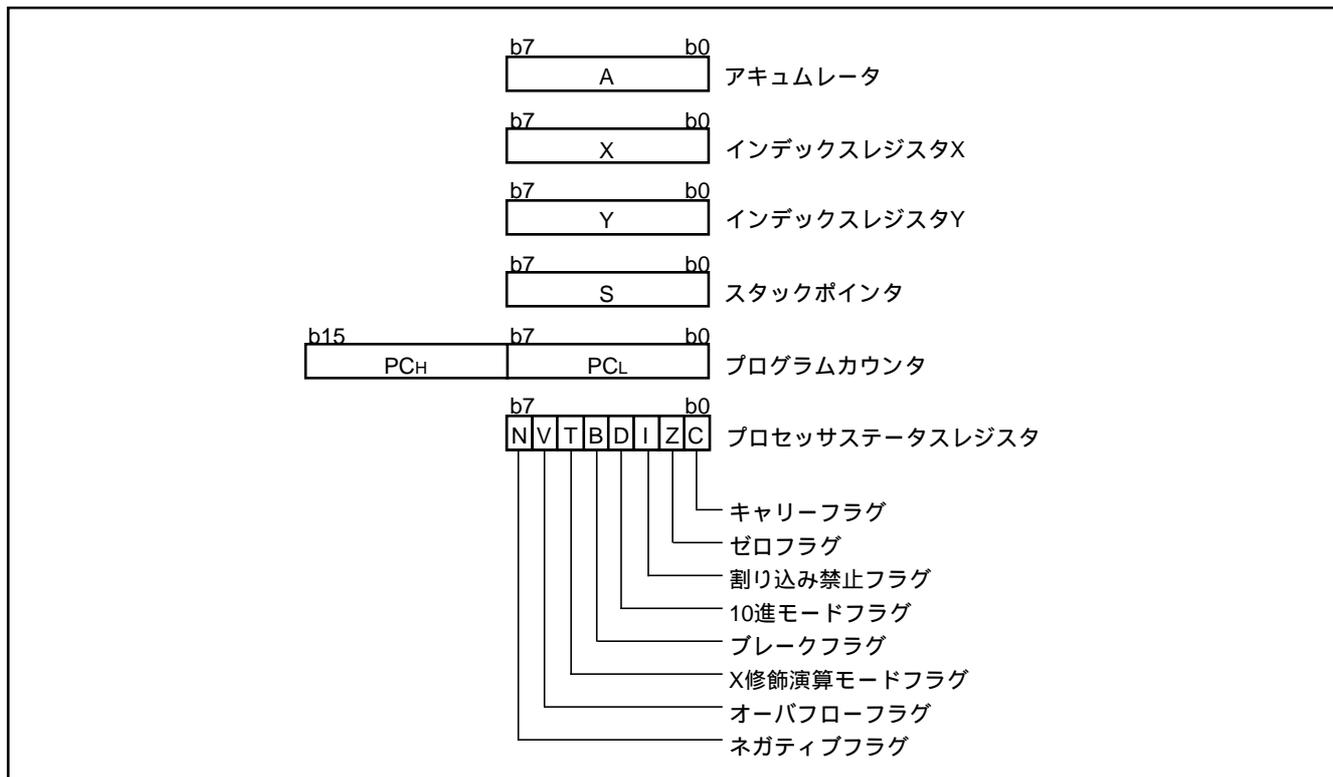


図4. 740ファミリCPUの構成

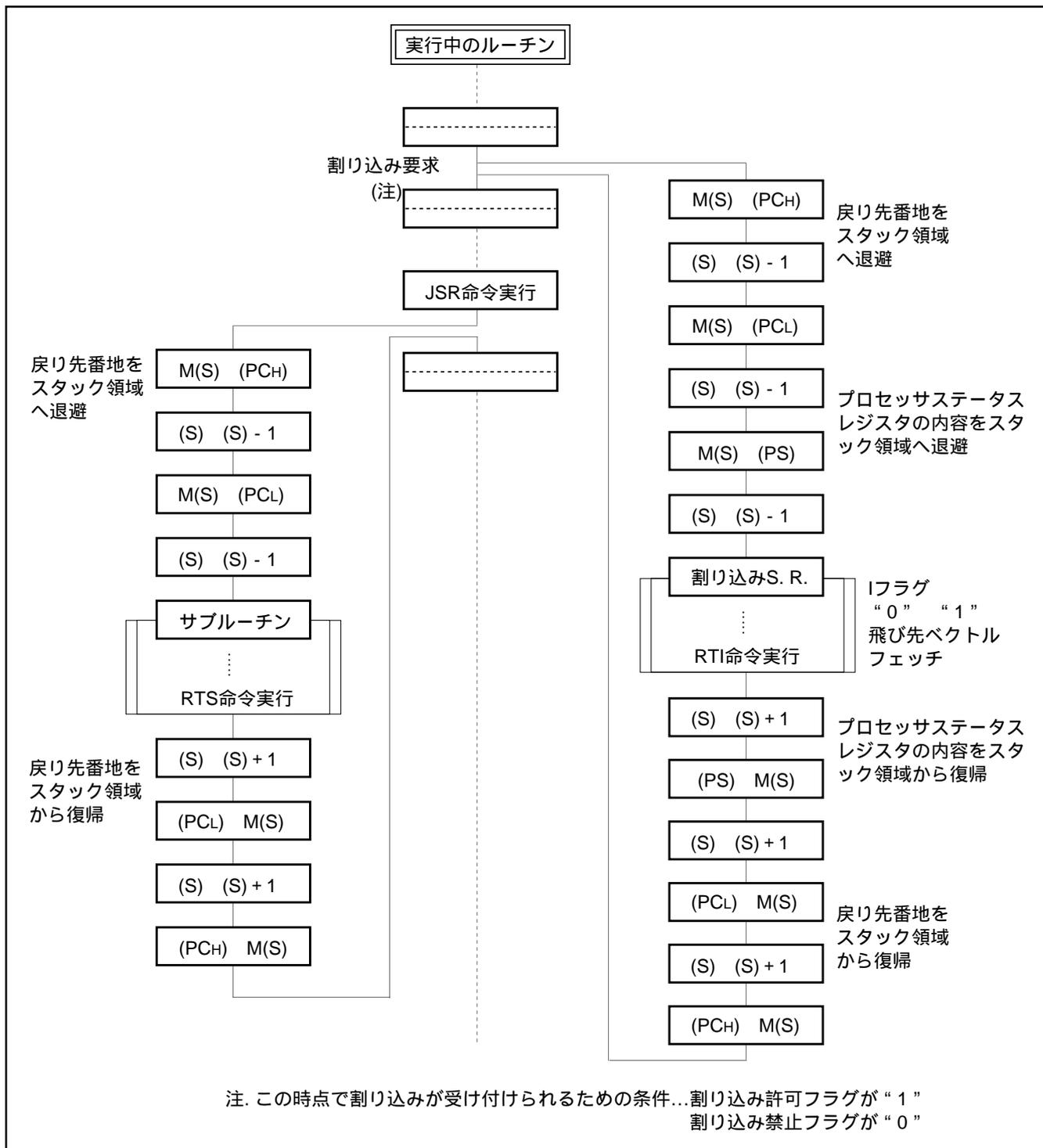


図5. スタックへの退避及び復帰動作

表3. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは003B16番地に配置されています。

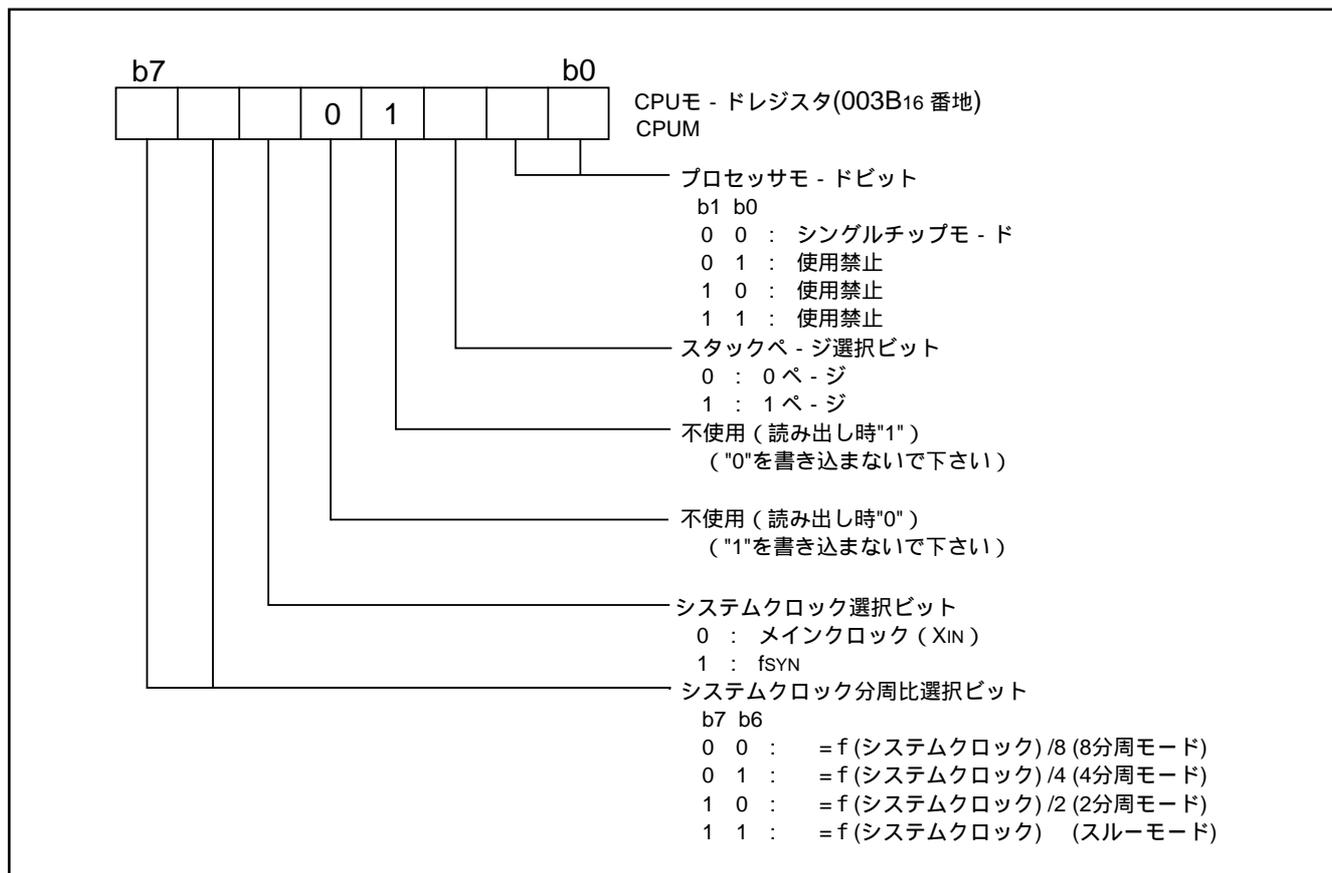


図6 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。フラッシュメモリ版では、予約ROM領域のプログラム/イレーズが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

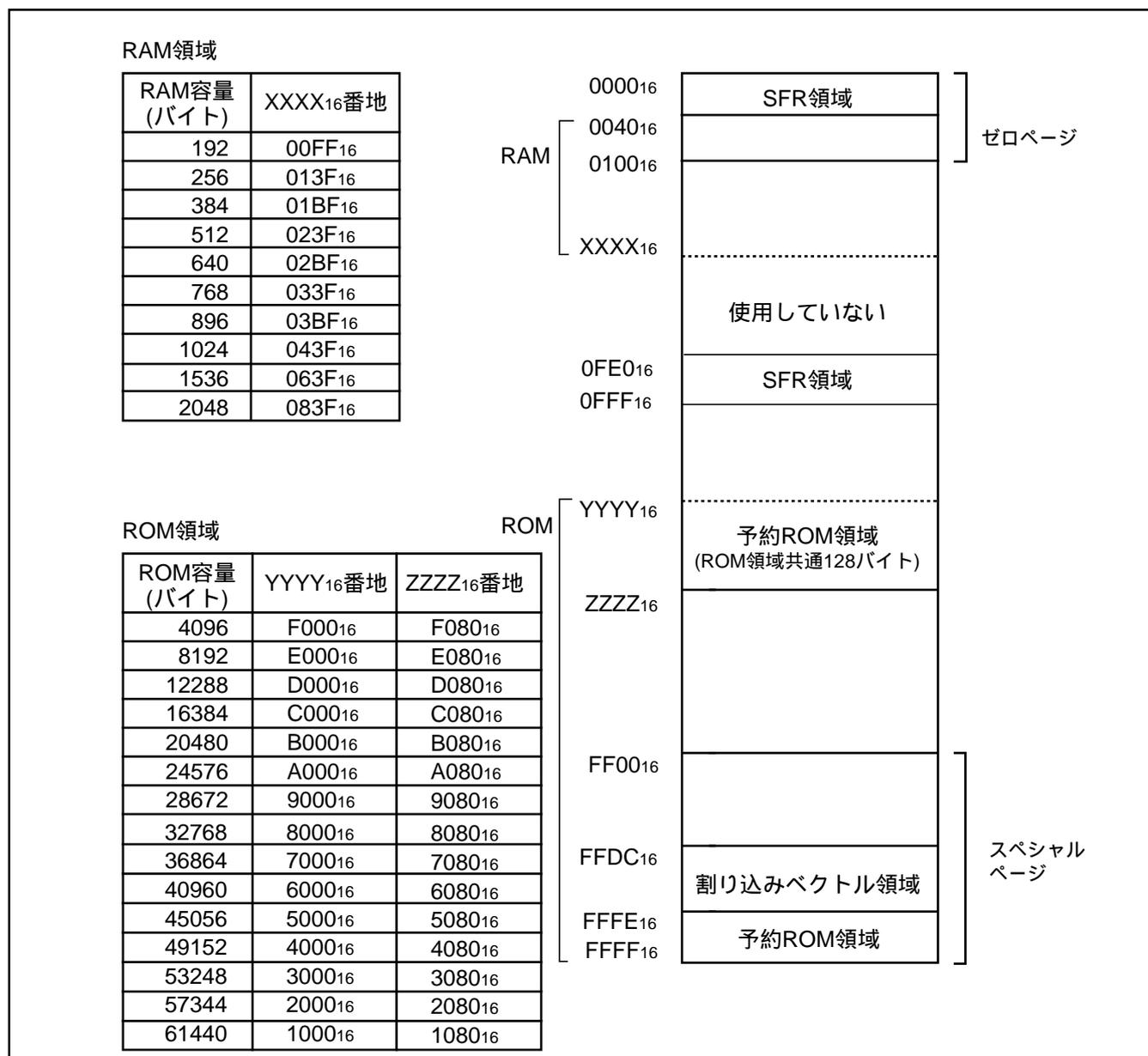


図7. メモリ配置図

000016	ポートP0(P0)	002016	プリスケラ12(PRE12)
000116	ポートP0方向レジスタ(P0D)	002116	タイマ1(T1)
000216	ポートP1(P1)	002216	タイマ2(T2)
000316	ポートP1方向レジスタ(P1D)	002316	タイマXモードレジスタ(TM)
000416	ポートP2(P2)	002416	プリスケラX(PREX)
000516	ポートP2方向レジスタ(P2D)	002516	タイマX(TX)
000616	ポートP3(P3)	002616	送信/受信バッファレジスタ(TB/RB)
000716	ポートP3方向レジスタ(P3D)	002716	シリアルI/Oステータスレジスタ(SIOSTS)
000816	ポートP4(P4)	002816	HUB割り込み要因許可レジスタ(HUBICON)
000916	ポートP4方向レジスタ(P4D)	002916	HUB割り込み要因レジスタ(HUBIREQ)
000A16	ポートP5(P5)	002A16	HUBポートインデックスレジスタ(HUBINDEX)
000B16	ポートP5方向レジスタ(P5D)	002B16	HUBポートフィールドレジスタ1(DPXREG1)
000C16	ポートP6(P6)	002C16	HUBポートフィールドレジスタ2(DPXREG2)
000D16	ポートP6方向レジスタ(P6D)	002D16	HUBポートフィールドレジスタ3(DPXREG3)
000E16	予約領域	002E16	予約領域
000F16	予約領域	002F16	予約領域
001016	USB制御レジスタ(USBCON)	003016	EXB割り込み要因許可レジスタ(EXBICON)
001116	USBファンクション/ハブ許可レジスタ(USBAE)	003116	EXB割り込み要因レジスタ(EXBIREQ)
001216	USBファンクションアドレスレジスタ(USBA0)	003216	予約領域
001316	USBハブアドレスレジスタ(USBA1)	003316	EXBインデックスレジスタ(EXBINDEX)
001416	フレームナンバ下位レジスタ(FNUML)	003416	EXBフィールドレジスタ1(EXBREG1)
001516	フレームナンバ上位レジスタ(FNUMH)	003516	EXBフィールドレジスタ2(EXBREG2)
001616	USB割り込み要因許可レジスタ(USBICON)	003616	AD制御レジスタ(ADCON)
001716	USB割り込み要因レジスタ(USBIREQ)	003716	AD変換レジスタ1(AD1)
001816	エンドポイントインデックスレジスタ(USBINDEX)	003816	AD変換レジスタ2(AD2)
001916	エンドポイントフィールドレジスタ1(EPXXREG1)	003916	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A16	エンドポイントフィールドレジスタ2(EPXXREG2)	003A16	予約領域
001B16	エンドポイントフィールドレジスタ3(EPXXREG3)	003B16	CPUモードレジスタ(CPUM)
001C16	エンドポイントフィールドレジスタ4(EPXXREG4)	003C16	割り込み要求レジスタ1(IREQ1)
001D16	エンドポイントフィールドレジスタ5(EPXXREG5)	003D16	割り込み要求レジスタ2(IREQ2)
001E16	エンドポイントフィールドレジスタ6(EPXXREG6)	003E16	割り込み制御レジスタ1(ICON1)
001F16	エンドポイントフィールドレジスタ7(EPXXREG7)	003F16	割り込み制御レジスタ2(ICON2)
0FE016	シリアルI/O制御レジスタ(SIOCON)	0FF016	ポートP0プルアップ制御レジスタ(PULL0)
0FE116	UART制御レジスタ(UARTCON)	0FF116	予約領域
0FE216	ポーレートジェネレータ(BRG)	0FF216	ポートP5プルアップ制御レジスタ(PULL5)
0FE316	予約領域	0FF316	割り込みエッジ選択レジスタ(INTEDGE)
0FE416	予約領域	0FF416	予約領域
0FE516	予約領域	0FF516	予約領域
0FE616	予約領域	0FF616	予約領域
0FE716	予約領域	0FF716	予約領域
0FE816	予約領域	0FF816	PLL制御レジスタ(PLLCON)
0FE916	予約領域	0FF916	ダウンポート制御レジスタ(DPCTL)
0FEA16	予約領域	0FFA16	予約領域
0FEB16	予約領域	0FFB16	MISRG
0FEC16	エンドポイントフィールドレジスタ8(EPXXREG8)	0FFC16	予約領域
0FED16	エンドポイントフィールドレジスタ9(EPXXREG9)	0FFD16	予約領域
0FEE16	予約領域	0FFE16	フラッシュメモリ制御レジスタ(FMCR)
0FEF16	予約領域	0FFF16	予約領域

注 . 予約領域は書き込み及び読み出しを行わないでください。

図8. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表5. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キーオンウェイクアップ	ポートP0プルアップ 制御レジスタ	(1)
P10 ~ P17	ポートP1		CMOS入力レベル CMOS3ステート出力 (電源はVCCE)	A/D変換器入力 外部バスインターフェース機能 入出力	AD制御レジスタ EXB制御レジスタ	(2)
P24 ~ P27	ポートP2		CMOS入力レベル CMOS3ステート出力	—	—	(3)
P30 ~ P32	ポートP3		CMOS/TTL入力レベル CMOS3ステート出力 (電源はVCCE)	—	—	(4)
P33/ExINT				外部バスインターフェース機能出力	EXB制御レジスタ	(5)
P34/ExCS P35/ExWR P36/ExRD P37/ExA0				外部バスインターフェース機能入力	EXB制御レジスタ	(6)
P40/RxD/ ExDREQ				シリアルI/O入力 外部バスインタフェース機能出力	シリアルI/O制御レジスタ EXB制御レジスタ	(7)
P41/TxD/ ExDACK	ポートP4		CMOS入力レベル CMOS3ステート出力	シリアルI/O出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(8)
P42/SCLK /ExTC				シリアルI/O入出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(9)
P43/SRDY /ExA1				シリアルI/O出力 外部バスインタフェース機能入力	シリアルI/O制御レジスタ EXB制御レジスタ	(10)
P50/INT0 P52/INT1	ポートP5		CMOS入力レベル CMOS3ステート出力	外部割り込み入力	ポートP5プルアップ 制御レジスタ 割り込みエッジ選択 レジスタ	(11)
P51/CNTR0				タイマX機能入出力	タイマXモードレジスタ	(12)
P53 ~ P57	ポートP6		CMOS入力レベル CMOS3ステート出力	—	—	(13)
P60 ~ P63				—	—	(14)

注.STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

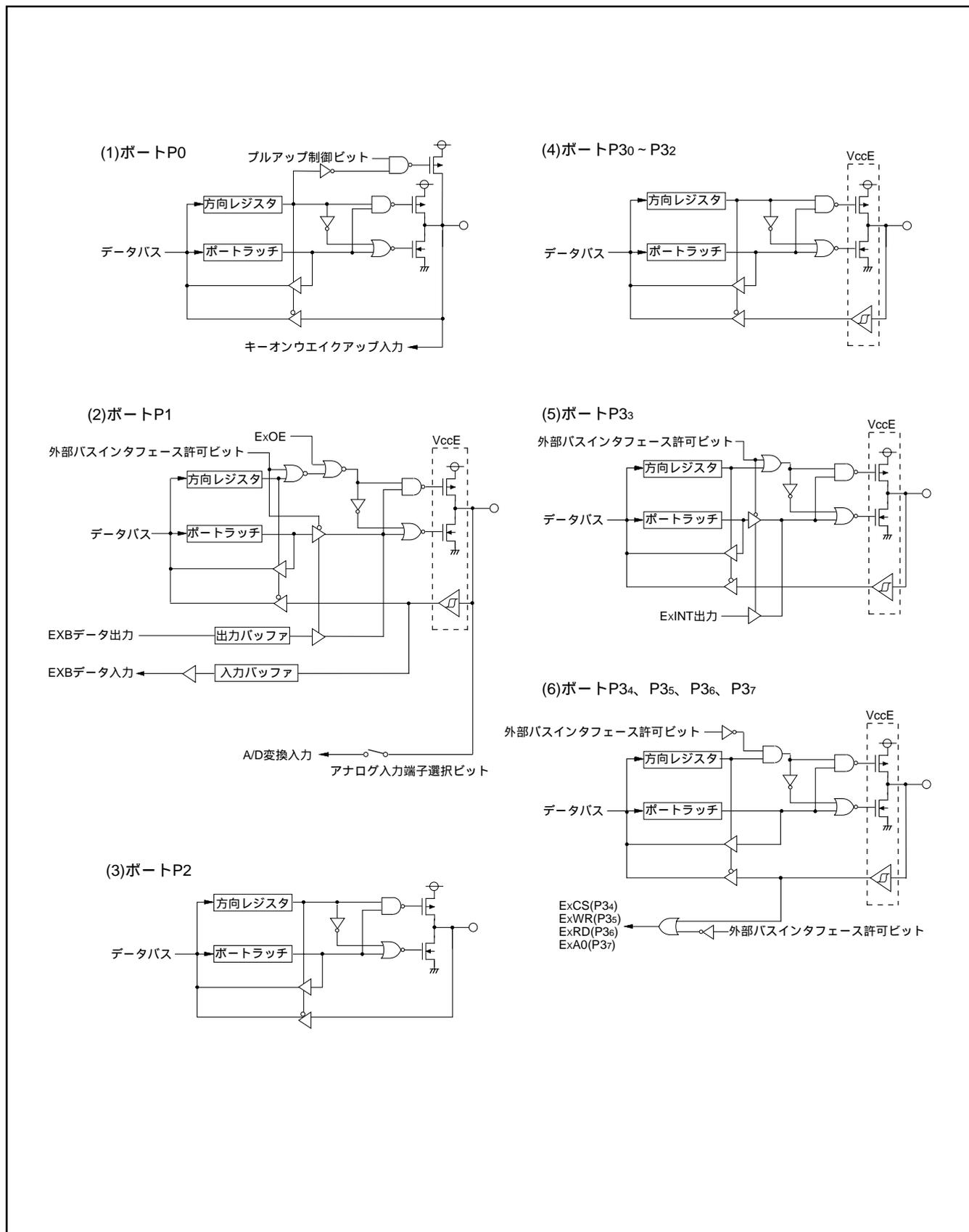


図9 . ポートブロック図(1)

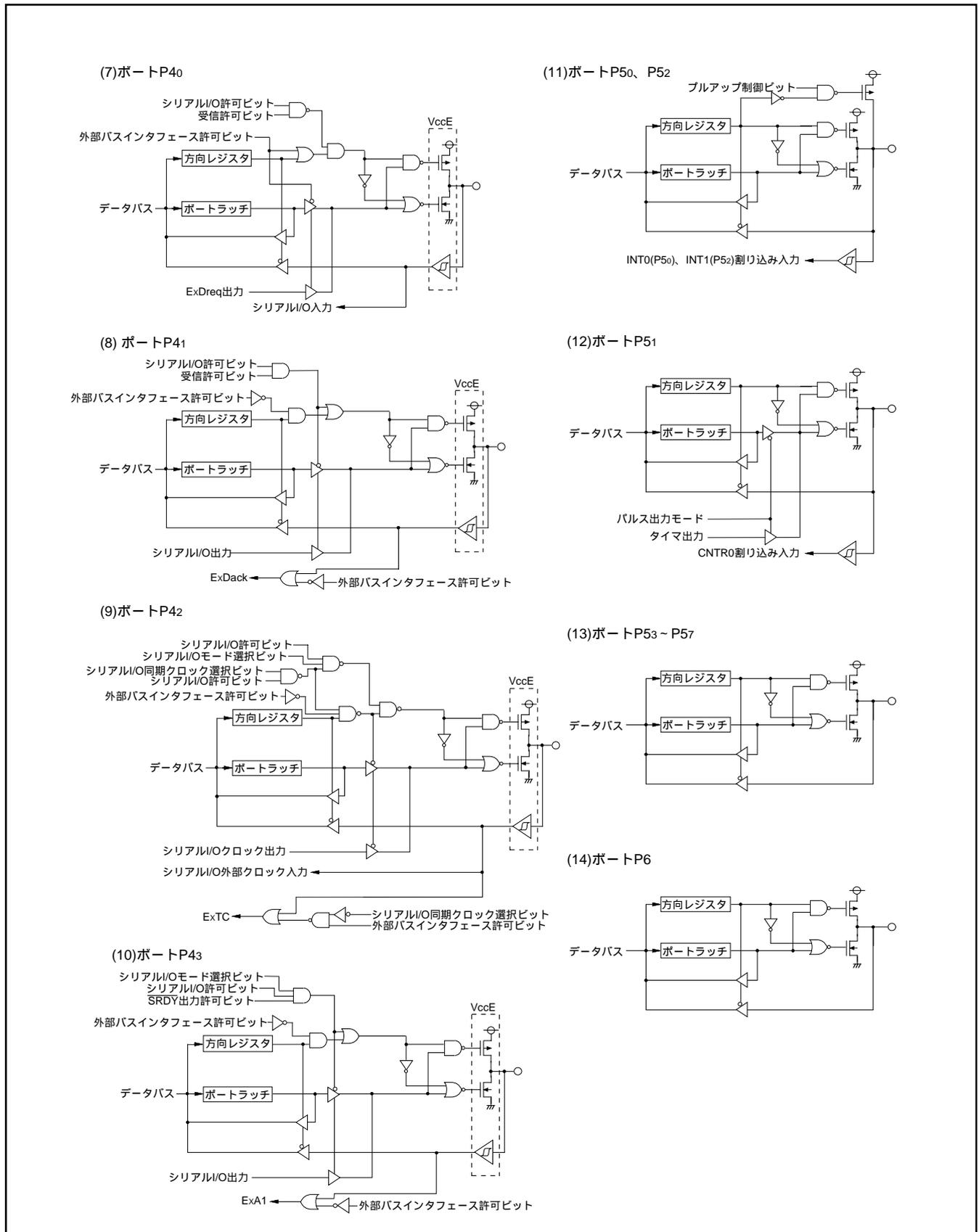


図10 . ポートブロック図(2)

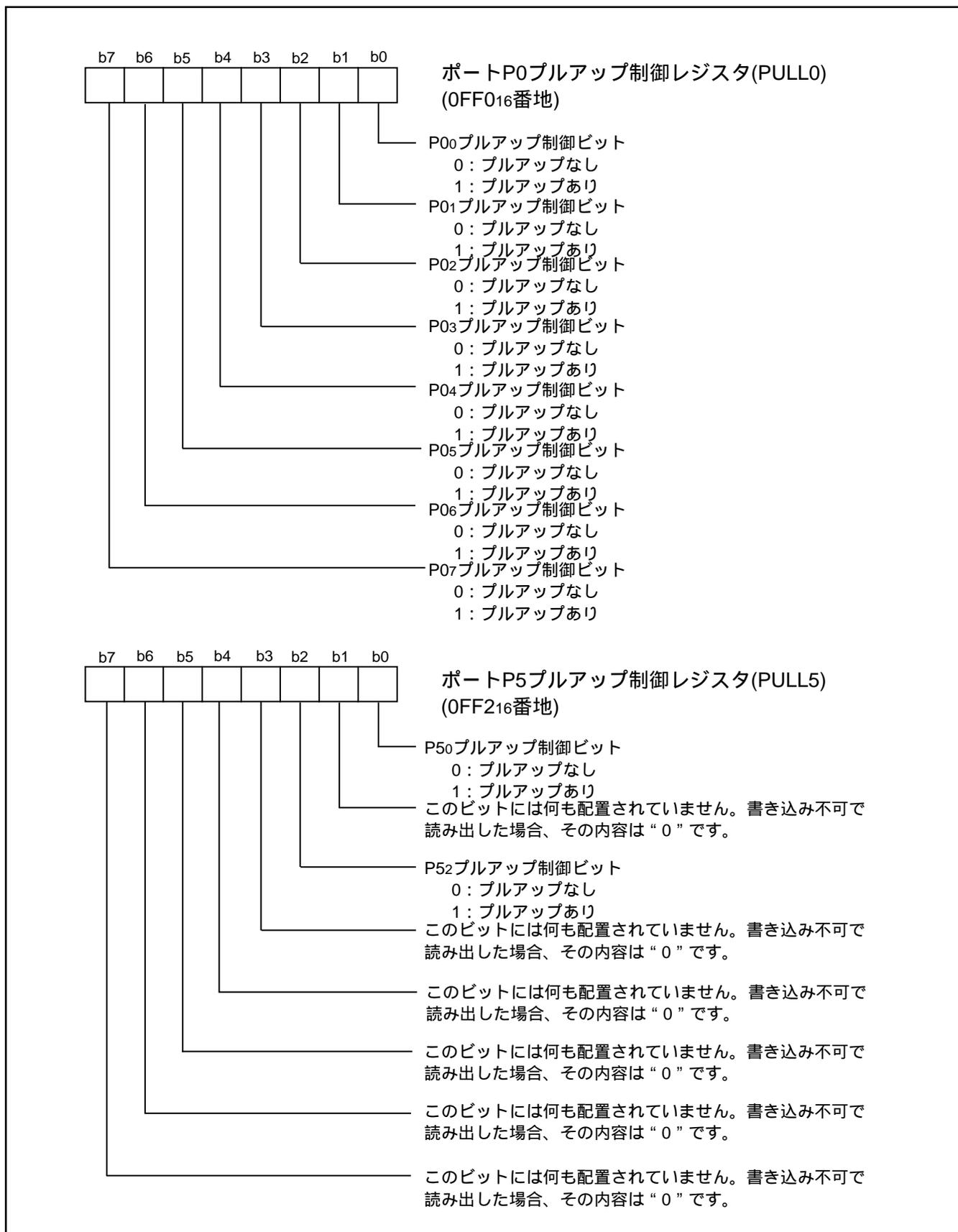


図11 . ポート制御関連レジスタの構成

割り込み

割り込みはベクトル割り込みで、外部4要因、内部11要因、ソフトウェア1要因の16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

・外部割り込みのアクティブエッジを切り替える際

対象レジスタ：割り込みエッジ選択レジスタ(0FF316番地)、
タイマXモードレジスタ(002316番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定して下さい。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)を設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表6．割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件
		上位	下位	
リセット(注2)	1	FFFD16	FFFC16	リセット時
USBバスリセット	2	FFFB16	FFFA16	USBバスリセット信号(2.5μs間のSE0)検出時
USB SOF	3	FFF916	FFF816	USB SOF信号検出時
USBデバイス	4	FFF716	FFF616	レジューム信号(KステートもしくはSE0)検出時又はサスペンド信号(3ms間のバスアイドル)検出時又はトランザクション終了時
外部バス	5	FFF516	FFF416	受信又は送信終了時又はDMA転送完了時
INT0	6	FFF316	FFF216	INT0入力の立ち上がり又は立ち下がりエッジ検出時
タイマX	7	FFF116	FFF016	タイマXアンダーフロー時
タイマ1	8	FFEF16	FFEE16	タイマ1アンダーフロー時
タイマ2	9	FFED16	FFEC16	タイマ2アンダーフロー時
INT1	10	FFEB16	FFEA16	INT1入力の立ち上がり又は立ち下がりエッジ検出時
USBハブ	11	FFE916	FFE816	USB HUBダウンポート状態変化検出時
シリアルI/O受信	12	FFE716	FFE616	シリアルI/Oデータ受信終了時
シリアルI/O送信	13	FFE516	FFE416	シリアルI/Oデータ送信終了時
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時
キーオンウエイクアップ	15	FFE116	FFE016	ポートP0(入力時)の入力論理レベルの論理積の立ち下がり時
A/D変換	16	FFDF16	FFDE16	A/D変換終了時
BRK命令	17	FFDD16	FFDC16	BRK命令実行時

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

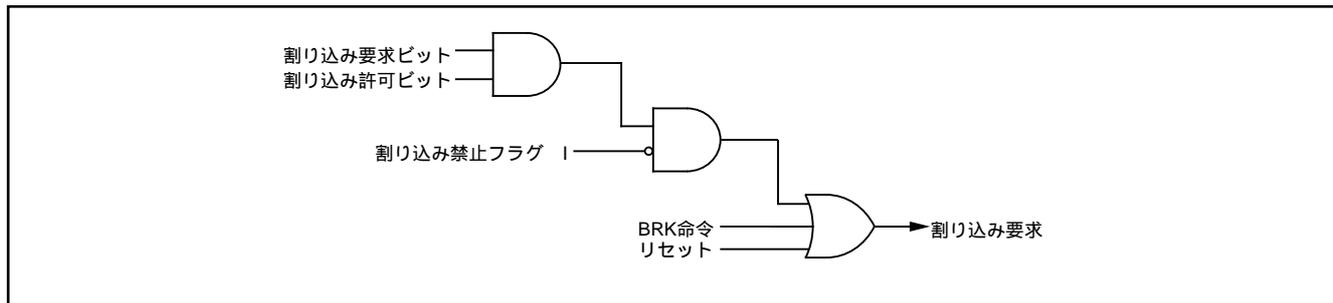


図12. 割り込み制御図

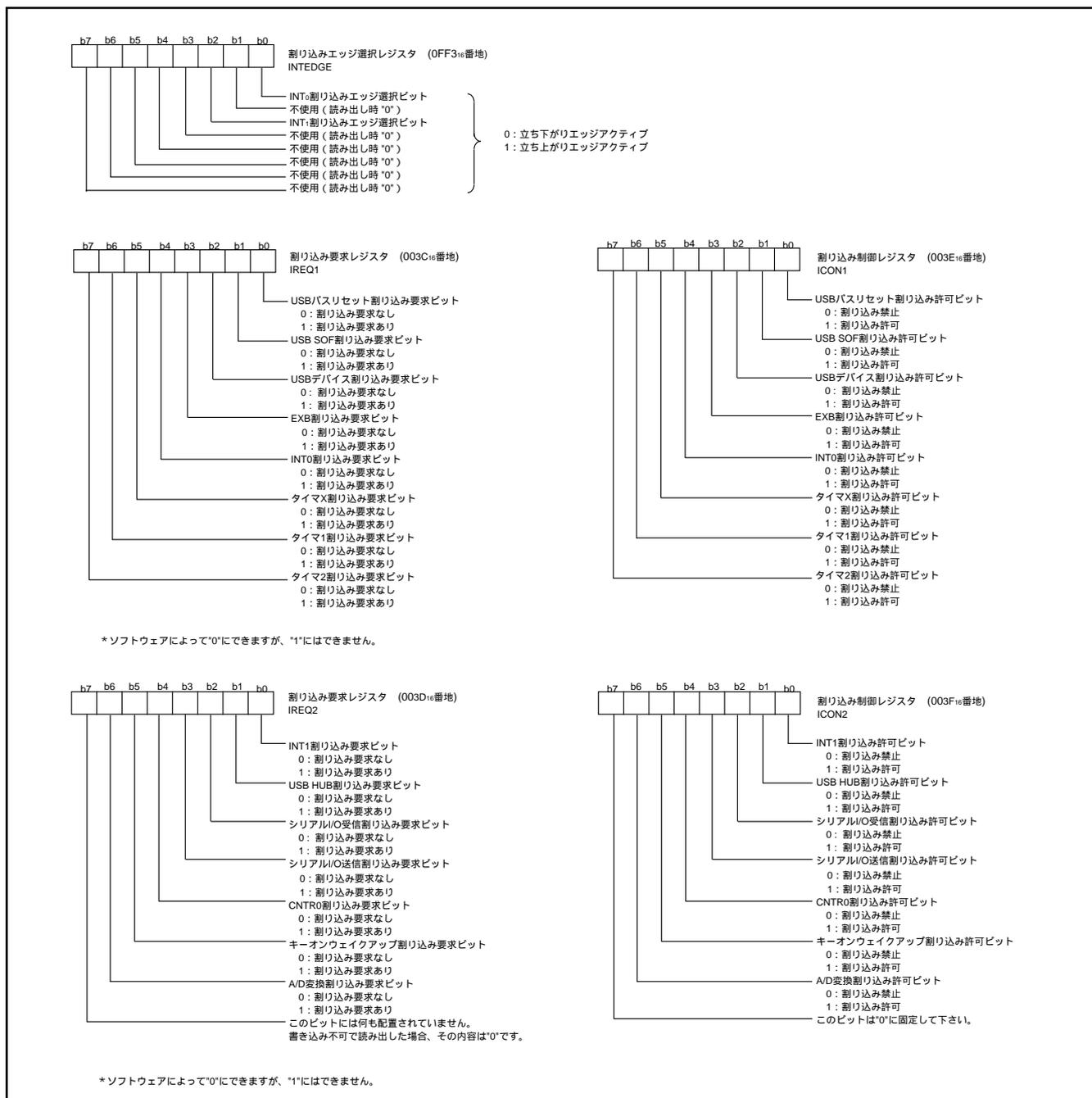


図13. 割り込み関係レジスタの構成(1)

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が

発生します。図14はキー入力割り込みを用いた一例で、ポートP0₀~P0₃を入力とするアクティブ L のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

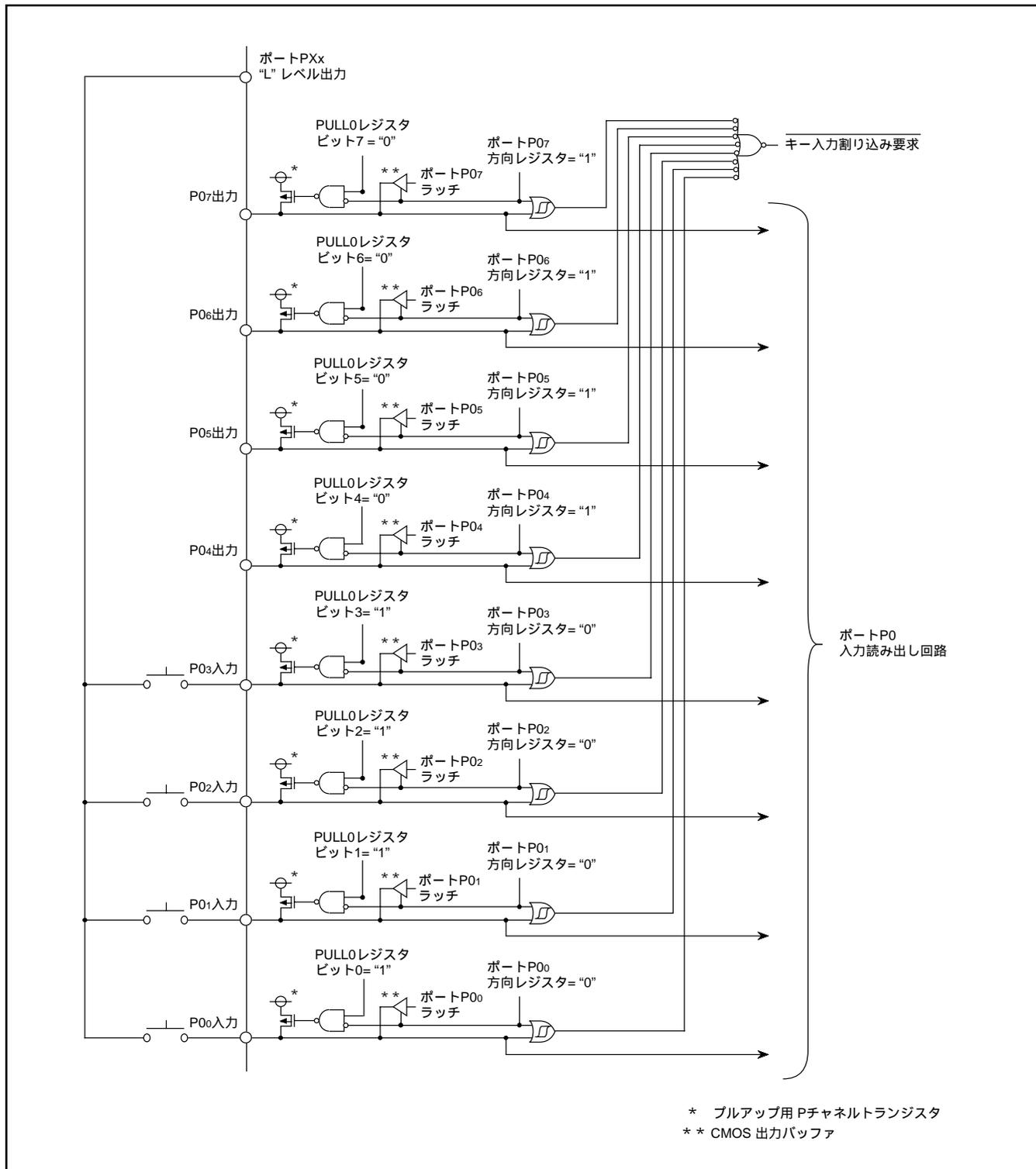


図14 . キー入力割り込み使用時の結線例とポートP0のブロック図

タイマ

タイマはタイマX、タイマ1及びタイマ2の3本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0016_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

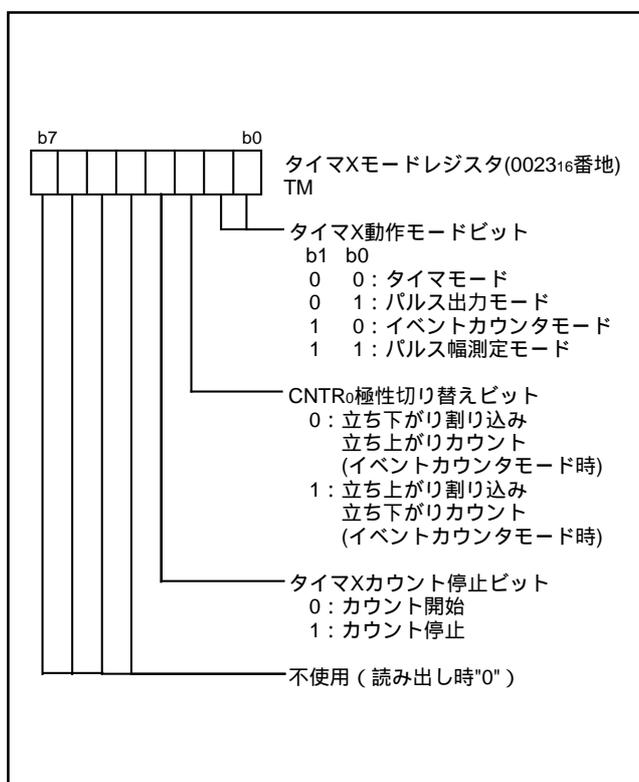


図15. タイマXモードレジスタの構成

●タイマ1、タイマ2

プリスケアラ12は、常にシステムクロックを16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX

タイマXはタイマXモードレジスタを設定することにより、4つの動作モードを選択することができます。

(1)タイマモード

システムクロックを16分周した信号をカウントします。

(2)パルス出力モード

システムクロックを16分周した信号をカウントし、タイマの内容が 0016_{16} になるたびに極性の反転する出力をCNTR0端子より出力します。CNTR0極性切り替えビットが 0 のときは、CNTR0端子の出力は H 出力から開始します。 1 のときは、 L 出力から開始します。このモードを使用する場合はポートP51の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0極性切り替えビットが 0 のときは、CNTR0端子の立ち上がりエッジを、 1 のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0極性切り替えビットが 0 のときは、CNTR0端子が H の期間、システムクロックを16分周した信号をカウントします。 1 のときは、 L の期間、カウントします。

いずれのモードでも、タイマXカウント停止ビットを 1 に設定することによりカウントを停止することが可能です。また、タイマがオーバーフローするたびに割り込み要求ビットをセットします。

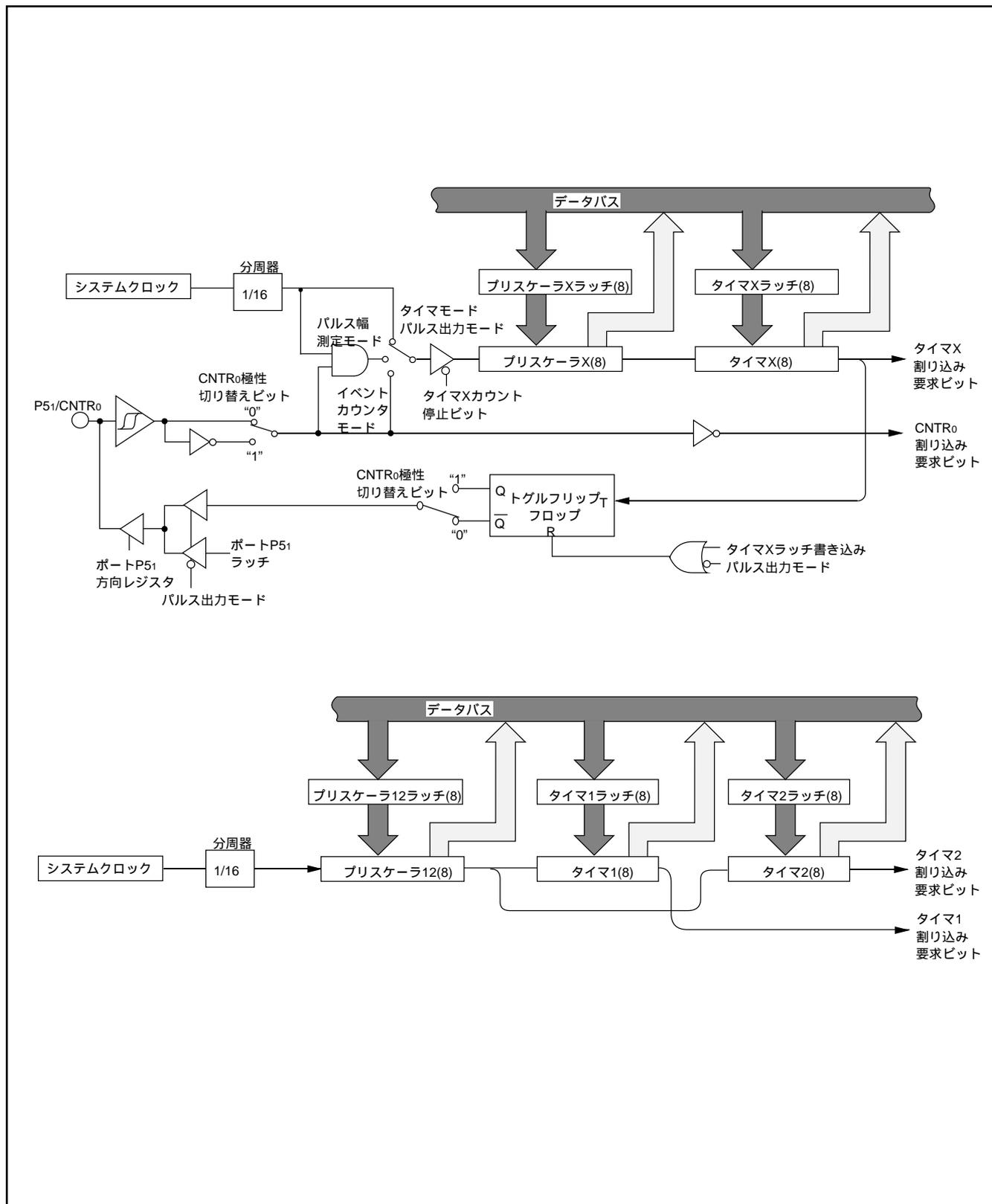


図16 . タイマX , タイマ1及びタイマ2のブロック図

シリアルインタフェース

●シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(0FE0₁₆番地のビット6)を'1'にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

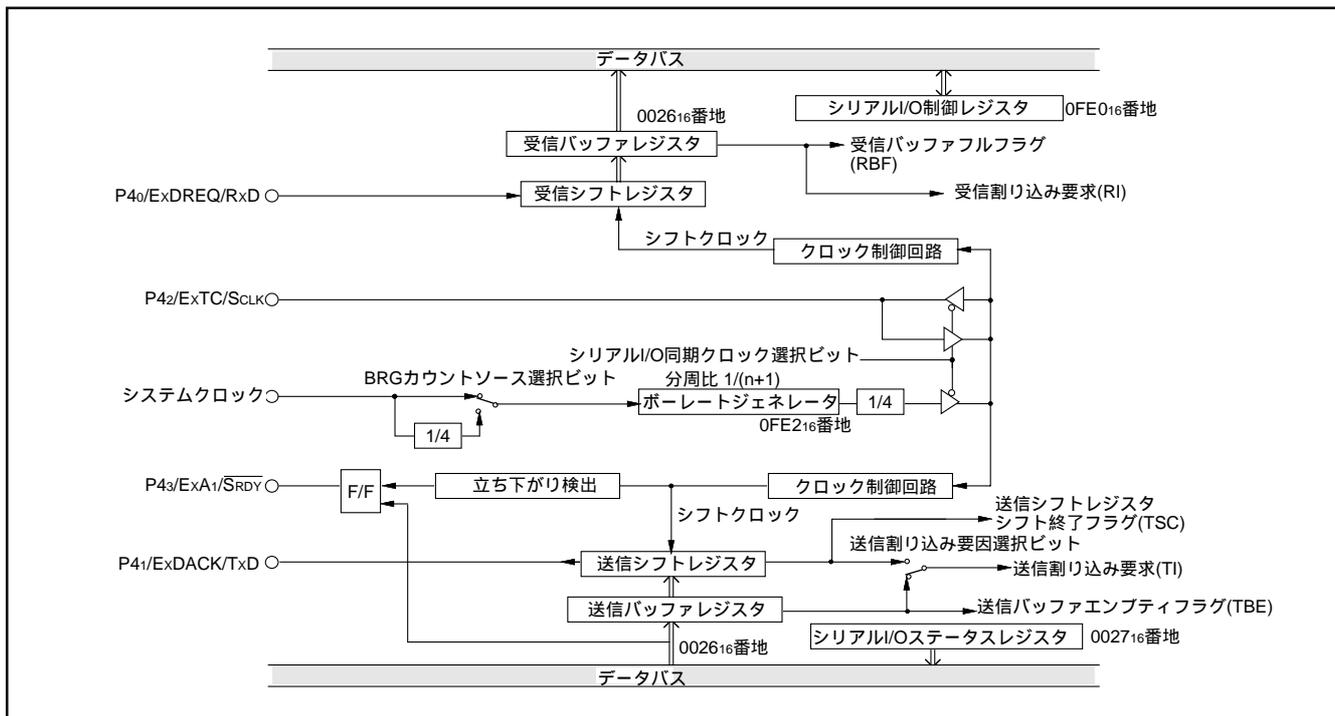


図17. クロック同期形シリアルI/Oブロック図

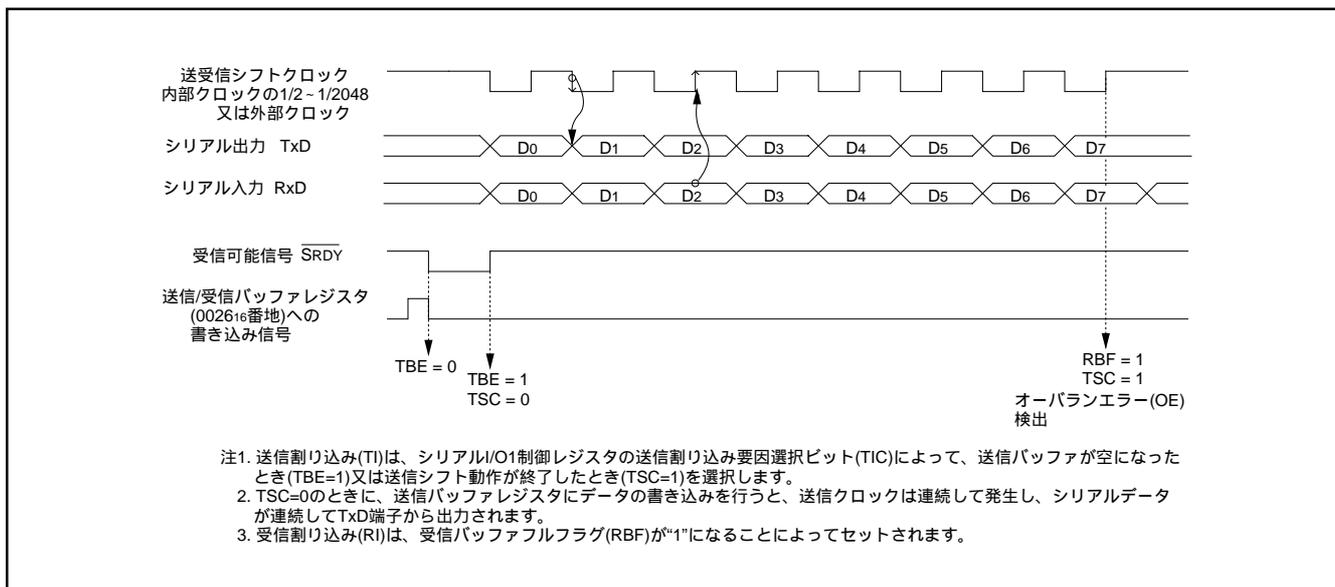


図18. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビットを“0”にすることによってUARTが選択されます。

38K2グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38K2グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレ

ジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

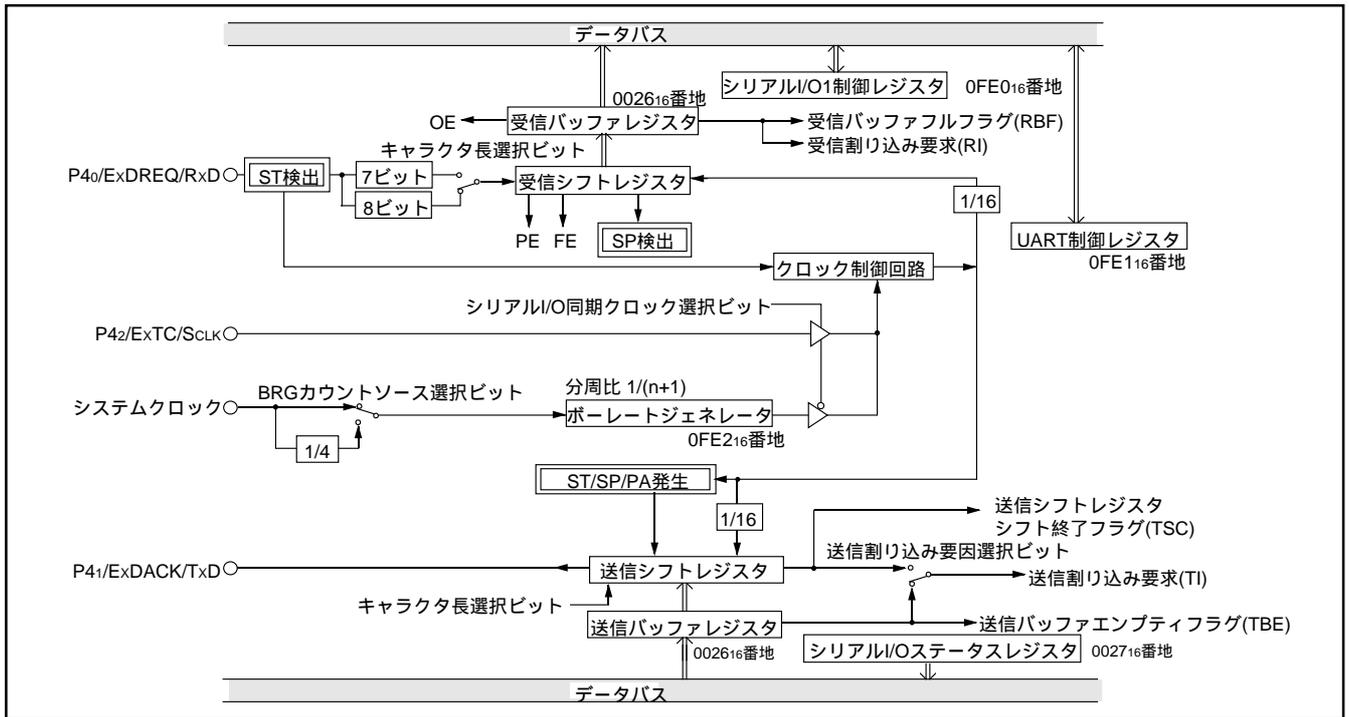


図19 . UART形シリアルI/Oブロック図

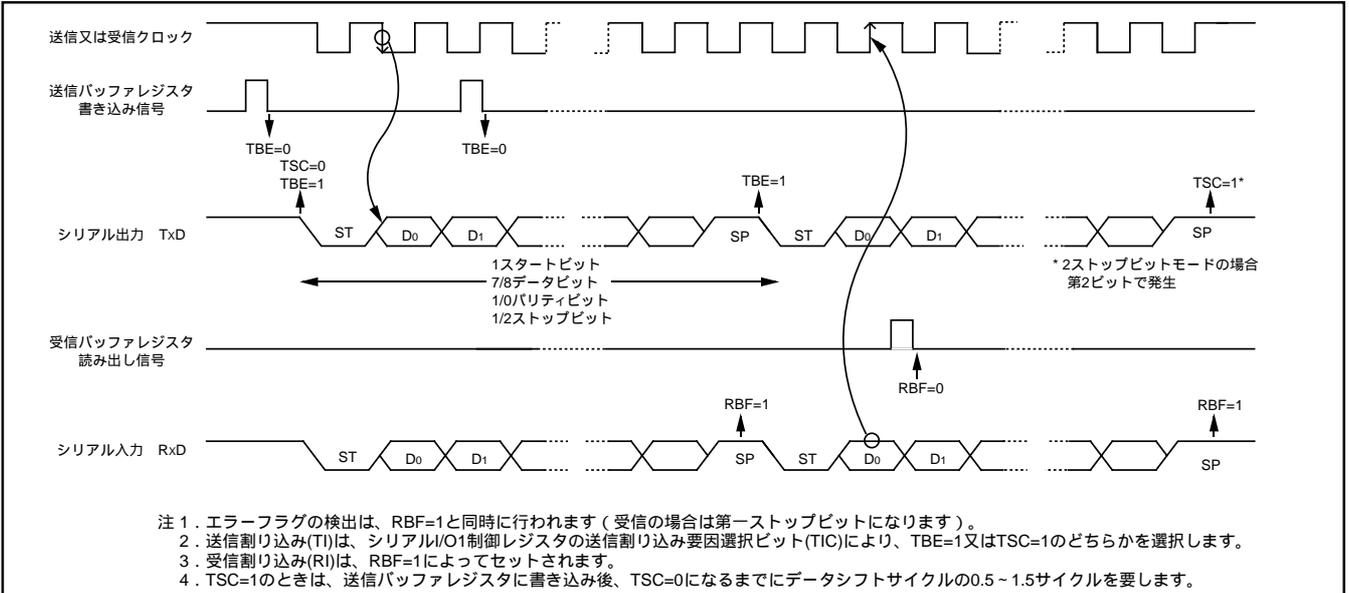


図20 . UART形シリアルI/O動作図

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御レジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P41/ExDACK/TxD端子の出力形式などを設定します。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4~6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0~6はリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

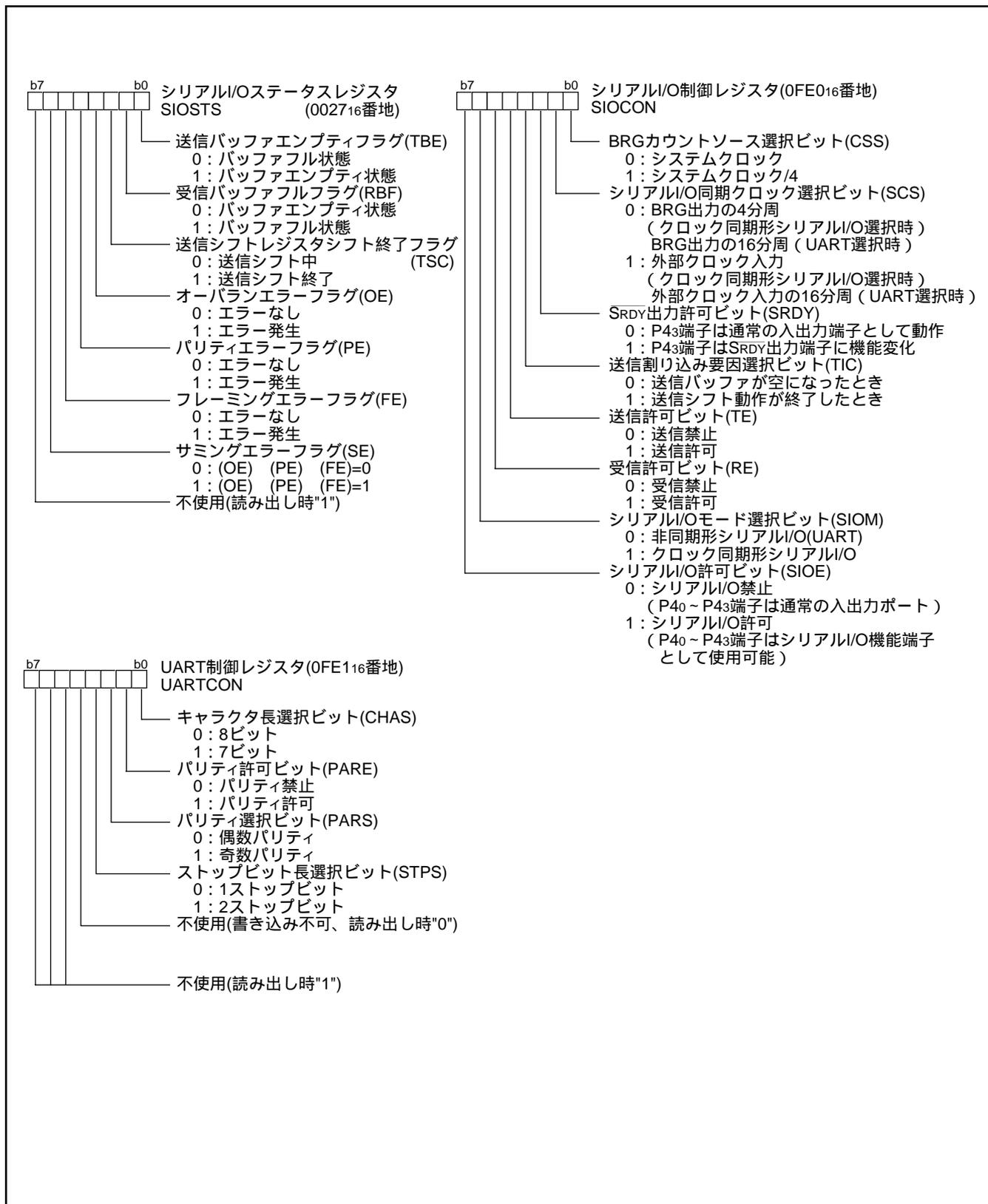


図21 . シリアルI/O関係レジスタの構成

USB機能

38K2グループはUSBファンクション制御回路を内蔵しています。USBファンクション制御回路を使用することにより、ホストコンピュータとの通信を効率よく行います。この回路はUSB2.0仕様のUSBフルスピード転送モード(12Mbps、USB1.1仕様と同等)に準拠しています。さらにUSB仕様で定義されている4種類の転送タイプすべてに対応しています。

38K2グループのUSBファンクション制御回路は2つのUSBアドレス、6つのエンドポイントを搭載しており、HUB機能用と周辺機能用を独立して制御できます。

HUB機能用USBアドレスには2つのエンドポイントが搭載されており、各々転送タイプは固定されています。(エンドポイント0はコントロール転送、エンドポイント1はインタラプト転送にそれぞれ固定)

周辺機能用USBアドレスには4つのエンドポイントが搭載されており、転送タイプを設定できます。(エンドポイント0はコントロール転送に固定、エンドポイント1~3はインタラプト転送、バルク転送、アイソクロナス転送に設定可能)

コントロール転送のステージ管理やトランザクションのパケット管理に必要となる、データ送受信のタイミング、エラー検出、エラーに対するリトライなどをハードウェアで自動処理するため、プログラム作成やタイミング設計を容易に行うこと

ができます。またそれぞれのエンドポイントは、データ転送条件をプログラマブルに設定でき、USBの各種デバイスクラスの転送システムに対応できます。

各エンドポイント用のデータバッファは、マルチチャネルRAMの任意の領域に設定できます。そのため再バッファリングが不要でデータ加工が容易になり、メモリを効率よく使用できます。データ送受信は制御回路から直接データバッファに行われる(ダイレクトRAMアクセス方式)ため、CPU負荷が軽減されパフォーマンスを落とさずにデータ転送を行うことができます。さらにダブルバッファ構成を設定することで通信ロスを最小限にし、データのスループットを向上できます。(最大64バイト×2本)

その他特殊信号処理として、USBバスリセット信号、レジューム信号、サスペンド信号、SOF信号の各検出機能及びリモートウェイクアップ信号送信機能を搭載しています。

データ転送完了時や特殊信号受信時はCPUに対して割り込みを発生します。(3ベクタ、24要因)

このように必要かつ十分なハードウェアを搭載しており、あらゆるUSBアプリケーションに適用できます。

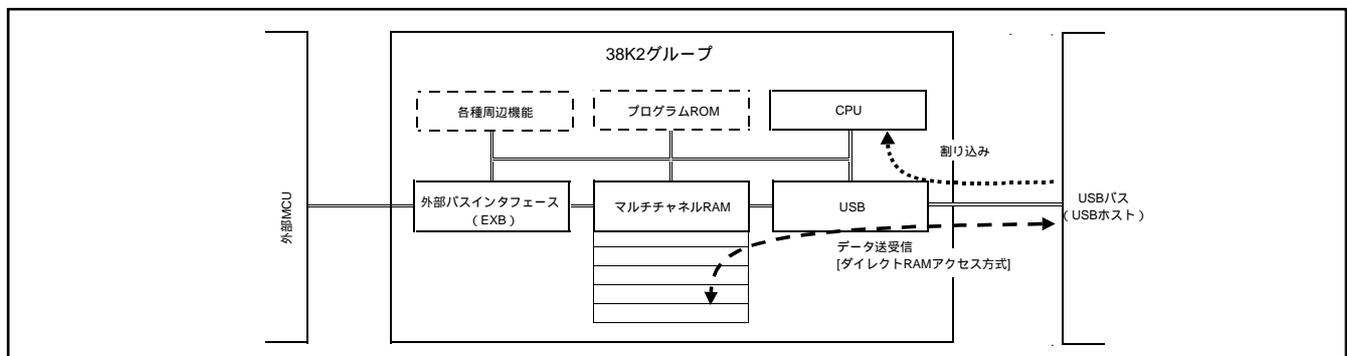


図22 . USB機能

USBのデータ転送

USBフルスピード転送モードでは12Mbpsで通信されます。よって通常は1.5Mバイト/秒でバイトデータが扱われます。

ただしUSBの通信データはその内容に依存してビットスタッフィング処理が発生する場合があります。1バイトのデータを通常8ビット、最長10ビットで取り扱うことがあります。

またUSBは非同期通信のため、内部のUSB基準クロック長が位相調整のために伸縮する場合があります。

そのため、USBファンクション制御回路からマルチチャネルRAMへのアクセスタイミングは内部クロックの周期により以下のように考えられます。

=8MHzの場合、通常のデータ転送では5又は6サイクルごとにマルチチャネルRAMへのアクセスが発生します。

ビットスタッフィング処理が発生した場合は最大7サイクル

のアクセス間隔となる場合があります。

さらにEXB機能と併用時は最大1クロックの待ち時間が発生するため、最小で4サイクル、最大で8サイクルのアクセス間隔となる場合があります。

=6MHzの場合、通常のデータ転送では4サイクルごとにマルチチャネルRAMへのアクセスが発生します。

内部USB基準クロックの位相調整が発生した場合は、3~5サイクルごとにマルチチャネルRAMへのアクセスが発生します。

ビットスタッフィング処理が発生した場合は最大6サイクルのアクセス間隔となる場合があります。

さらにEXB機能と併用時は最大1クロックの待ち時間が発生するため、最小で2サイクル、最大で7サイクルのアクセス間隔となる場合があります。

USBファンクション制御回路ブロック図

USBファンクション制御回路のブロック図を図23に示します。

USBファンクション制御回路は、次で構成されています。

- (1)シリアルインタフェースエンジン部(SIE)
- (2)デバイスコントロール部(DCU)
- (3)内部メモリインタフェース部(MIF)
- (4)CPUインタフェース部(CIF)

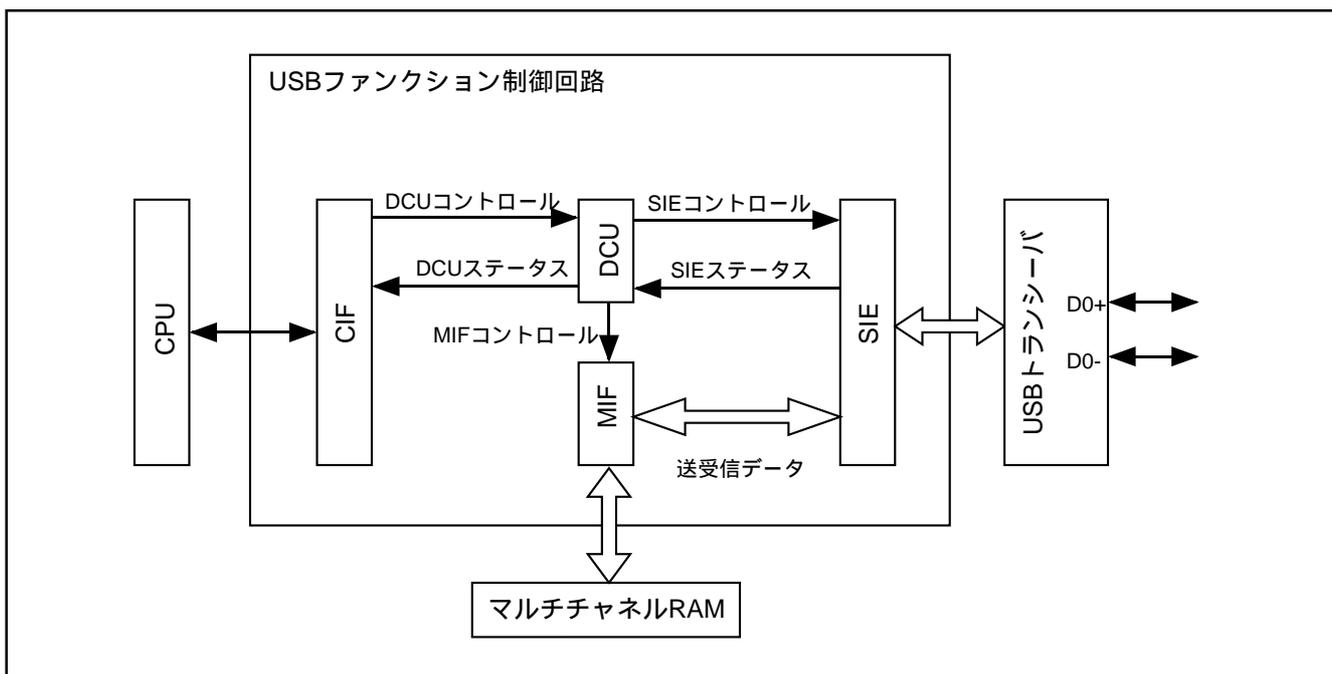


図23 . USBファンクション制御回路ブロック図

(1)シリアルインタフェースエンジン部(SIE)

シリアルインタフェースエンジン部(SIE)は、以下に示すUSBの下位プロトコル(パケット、トランザクション)の処理を行います。

- ・受信データ/受信クロックの抽出、送信クロックの生成
- ・送受信データのシリアル/パラレル変換
- ・NRZI(Non Return Zero Invert)エンコード/デコード
- ・ビットスタッフィング/ビットアンスタッフィング
- ・SYNC(Synchronization pattern)検出、EOP(End of Packet)検出
- ・USBアドレス検出、エンドポイント検出
- ・CRC(Cyclic Redundancy Check)ジェネレータ/チェッカ

(2)デバイスコントロール部(DCU)

デバイスコントロール部(DCU)は、以下に示すUSBの上位プロトコル(アドレス/エンドポイント、コントロール転送シーケンス)の処理を行います。

- ・エンドポイントごとの状態制御
- ・コントロール転送シーケンス制御
- ・内部メモリインタフェース回路の状態管理

(3)内部メモリインタフェース部(MIF)

内部メモリインタフェース部(MIF)は、DCUの状態管理の元で、SIEとマルチチャネルRAM間のデータ送受信を制御します。

(4)CPUインタフェース部(CIF)

CPUインタフェース部(CIF)は、以下に示す処理を行います。

- ・レジスタによるモード設定、DCUコントロール信号生成、DCUステータス信号読み出し
- ・割り込み信号の生成
- ・内部バスインタフェース制御

USBポートの周辺回路設定

USBポートの周辺回路は、USB制御レジスタ[001016番地]で設定できます。

図24、図25にブロック図を示します。

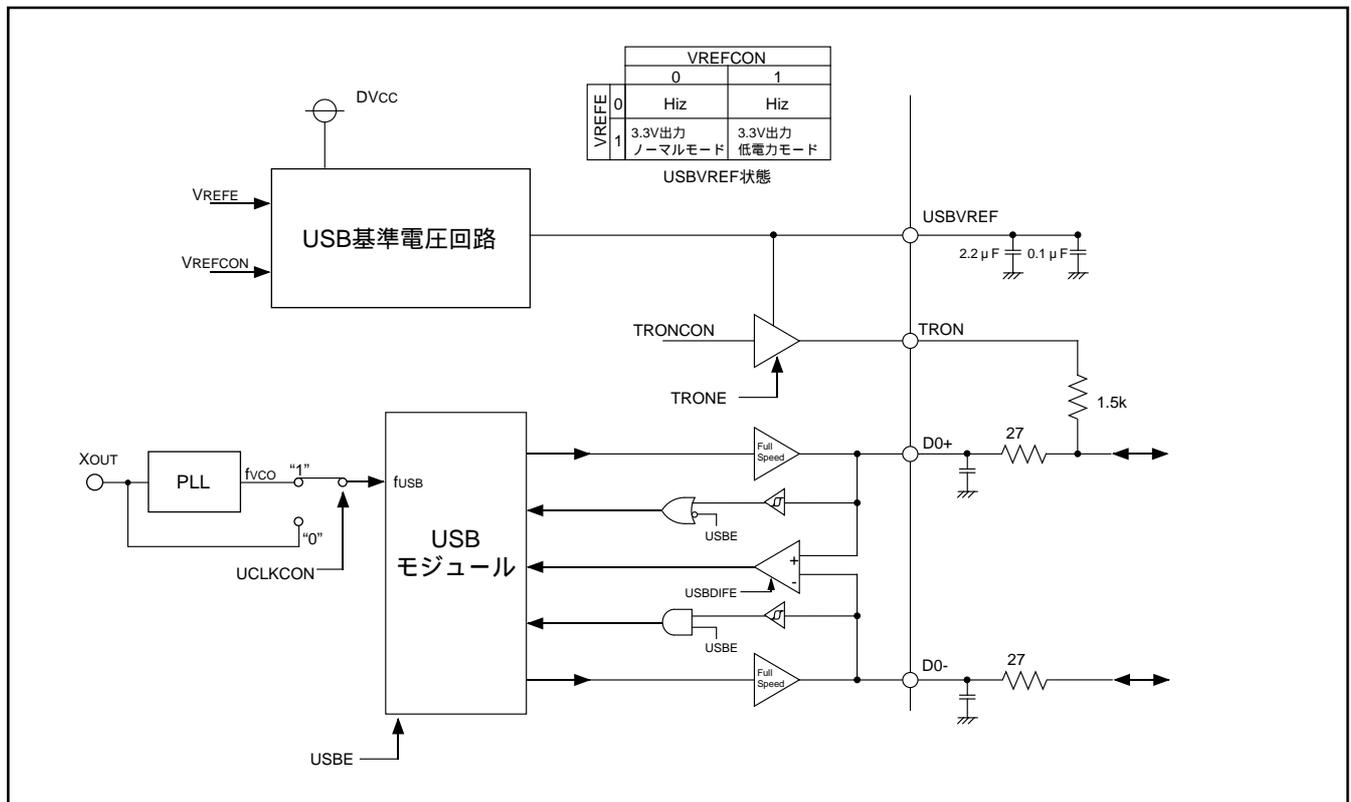


図24 . USBポート周辺回路(D0+ , D0- , USBVREF , TrON)のブロック図(4.0V Vcc 5.25Vのとき)

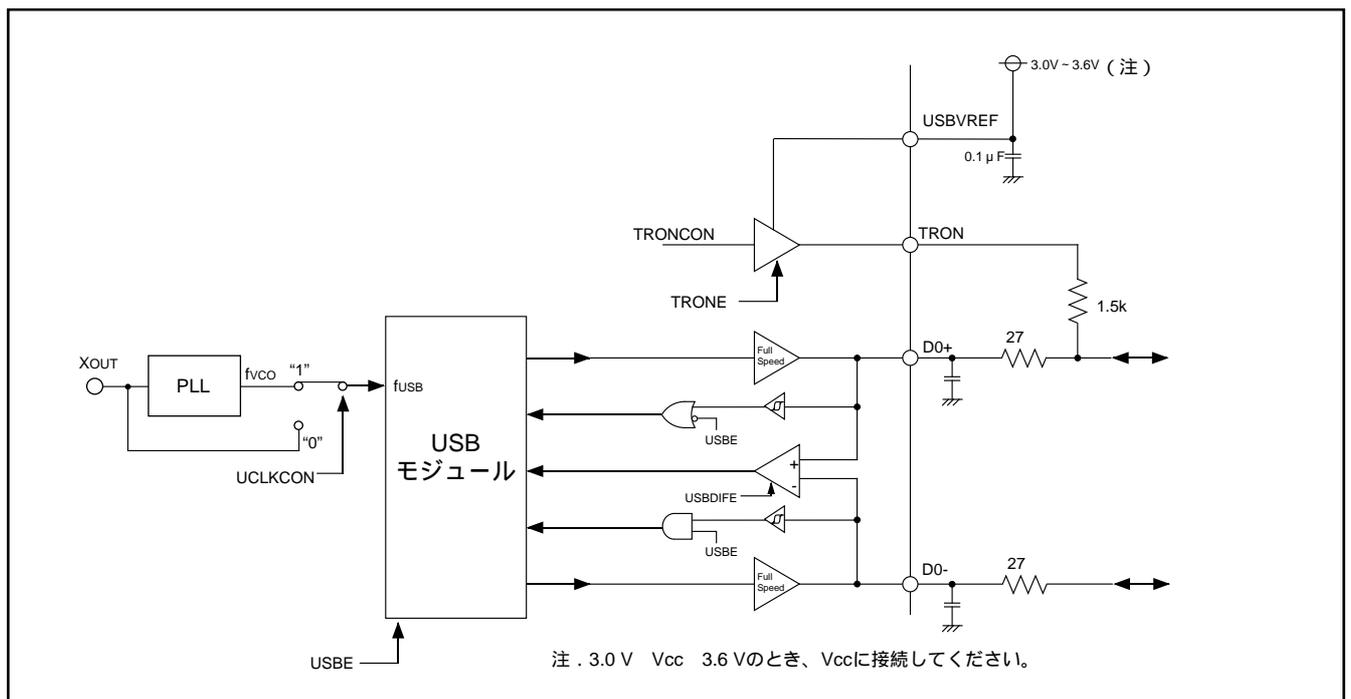


図25 . USBポート周辺回路(D0+ , D0- , USBVREF , TrON)のブロック図(3.0V Vcc 4.0Vのとき)

エンドポイントのバッファ領域設定

USBデータ送受信時のバッファ領域は、エンドポイントごとにマルチチャンネルRAMの任意の領域を設定できます。

バッファ領域先頭アドレス

バッファ領域設定レジスタ[0FED₁₆番地]で領域の先頭アドレスを設定します(32バイト単位)。エンドポイントごとに設定できます。ただしRAM領域のみ使用できます。

- (00h[0000₁₆番地]、01h[0020₁₆番地]：使用禁止)
- (02h[0040₁₆番地]～1Fh[03E0₁₆番地]：使用可能)

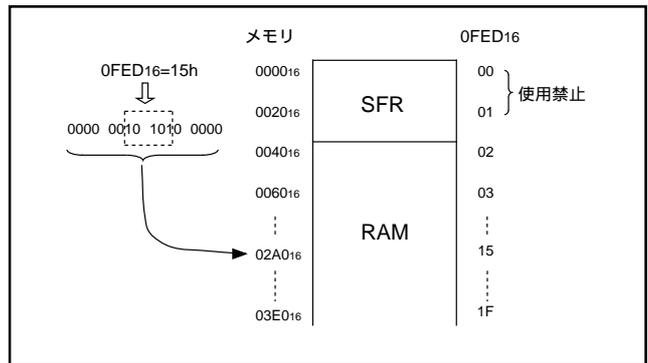


図26．バッファ領域先頭アドレス設定例

割り込み要因別バッファ領域オフセットアドレス

各エンドポイントで割り込み要因レジスタ[001D₁₆番地]の要因ごとに先頭番地にオフセットが発生します。バッファ領域設定レジスタで指定された先頭番地をオフセット00h番地として、以下エンドポイント別に詳細を示します。

(1)エンドポイント00の場合

エンドポイント00のバッファアクセスに関する割り込み要因は2種類あります。それぞれのオフセットアドレスは以下の通りです。

- ・BSRDY00(SETUPバッファレディ割り込み)
オフセットアドレス 00h
- ・BRDY00(OUTまたはINバッファレディ割り込み)
オフセットアドレス 08h

(2)エンドポイント01の場合

エンドポイント01の割り込み要因別バッファ領域オフセットアドレスはEP01設定レジスタ[0019₁₆番地]の設定モードにより異なります。

シングルバッファモード(DBLB01=0)時

エンドポイント01のバッファアクセスに関する割り込み要因は1種類のみです。オフセットアドレスは以下の通りです。

- ・B0RDY01(バッファ0レディ割り込み)
オフセットアドレス 00h

ダブルバッファモード(DBLB01=1)時

エンドポイント01のバッファアクセスに関する割り込み要因は2種類あります。それぞれのオフセットアドレスは以下の通りです。

- ・B0RDY01(バッファ0レディ割り込み)
オフセットアドレス 00h
- ・B1RDY01(バッファ1レディ割り込み)

ダブルバッファ先頭アドレス設定ビット(BSIZ01)により異なります。

- オフセットアドレス 08h(BSIZ01=00の時)
- オフセットアドレス 10h(BSIZ01=01の時)
- オフセットアドレス 40h(BSIZ01=10の時)
- オフセットアドレス 80h(BSIZ01=11の時)

(3)エンドポイント02,03の場合

エンドポイント01の場合と同様です。

(4)エンドポイント10の場合

エンドポイント00の場合と同様です。

(5)エンドポイント11の場合

エンドポイント11のバッファアクセスに関する割り込み要因は1種類のみです。オフセットアドレスは以下の通りです。

- ・B0RDY11(バッファ0レディ割り込み)
オフセットアドレス 00h

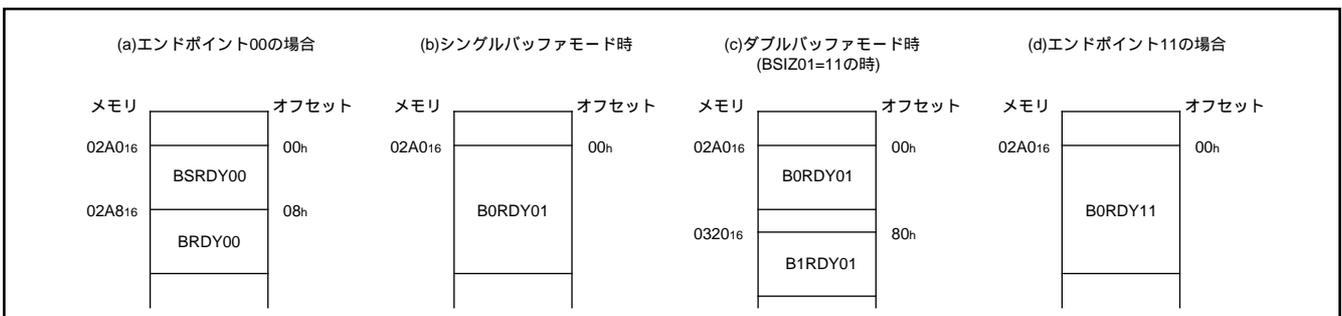


図27．割り込み要因別バッファ領域オフセットアドレス設定例

注意事項

使用できるRAM領域は0040₁₆～03FF₁₆番地です。

オフセットアドレスや送受信するデータ量を考慮して、バッファ領域先頭アドレスを設定してください。

特にダブルバッファモード設定時や64バイト長のデータを取り扱う場合は注意してください。

USB割り込み機能

USBファンクション制御回路には3つの割り込み要求があります。さらにUSBデバイス割り込み要求には22要因あり、各割り込み要因レジスタでその要因を判別できます。

USB割り込み要因一覧を表7に示します。

表7. USB割り込み要因一覧

割り込み要求ビット [IREQ1:003C ₁₆ 番地]	USB割り込み要因ビット [USBIREQ:0017 ₁₆ 番地]	割り込み要因
USBバスリセット	-	USBバスリセット信号検出時 ・ USBモジュール動作許可後(USBE=1)、D0+/D0-ポートに2.5 μ s間のSE0状態を検出すると発生。 (fUSB=48MHz時の120クロック長に相当)
USB SOF	-	SOFパケット受信時 ・ USBモジュール動作許可後(USBE=1)、D0+/D0-ポートにSOFパケットを検出すると発生。 SOFパケット後のフレームタイム値やCRC値に依存しない。 (通常 fUSB=48MHz時のみ検出可能)
USBデバイス	EP00	エンドポイント00データ転送完了時 ・ バッファレディ(読み出し/書き込み可能状態) ・ コントロール転送完了 ・ ステータスステージ遷移 ・ SETUPバッファレディ(読み出し可能状態) ・ コントロール転送エラー
	EP01	エンドポイント01データ転送完了時 ・ バッファ0レディ(読み出し/書き込み可能状態) ・ バッファ1レディ(読み出し/書き込み可能状態) ・ 転送エラー
	EP02	エンドポイント02データ転送完了時 ・ バッファ0レディ(読み出し/書き込み可能状態) ・ バッファ1レディ(読み出し/書き込み可能状態) ・ 転送エラー
	EP03	エンドポイント03データ転送完了時 ・ バッファ0レディ(読み出し/書き込み可能状態) ・ バッファ1レディ(読み出し/書き込み可能状態) ・ 転送エラー
	EP10	エンドポイント10データ転送完了時 ・ バッファレディ(読み出し/書き込み可能状態) ・ コントロール転送完了 ・ ステータスステージ遷移 ・ SETUPバッファレディ(読み出し可能状態) ・ コントロール転送エラー
	EP11	エンドポイント11データ転送完了時 ・ バッファ0レディ(書き込み可能状態)
	SUS	サスペンド信号検出時 ・ USBモジュール動作許可後(USBE=1)、D0+/D0-ポートに3ms間のJ状態を検出すると発生。 (fUSB=48MHz時の144,000クロック長に相当)
	RSM	レジューム信号検出時 ・ USBモジュール動作許可後(USBE=1)かつレジューム割り込み許可後(RSME=1)、D0-ポートのバス状態変化(J状態 SE0またはK状態)を検出すると発生する。

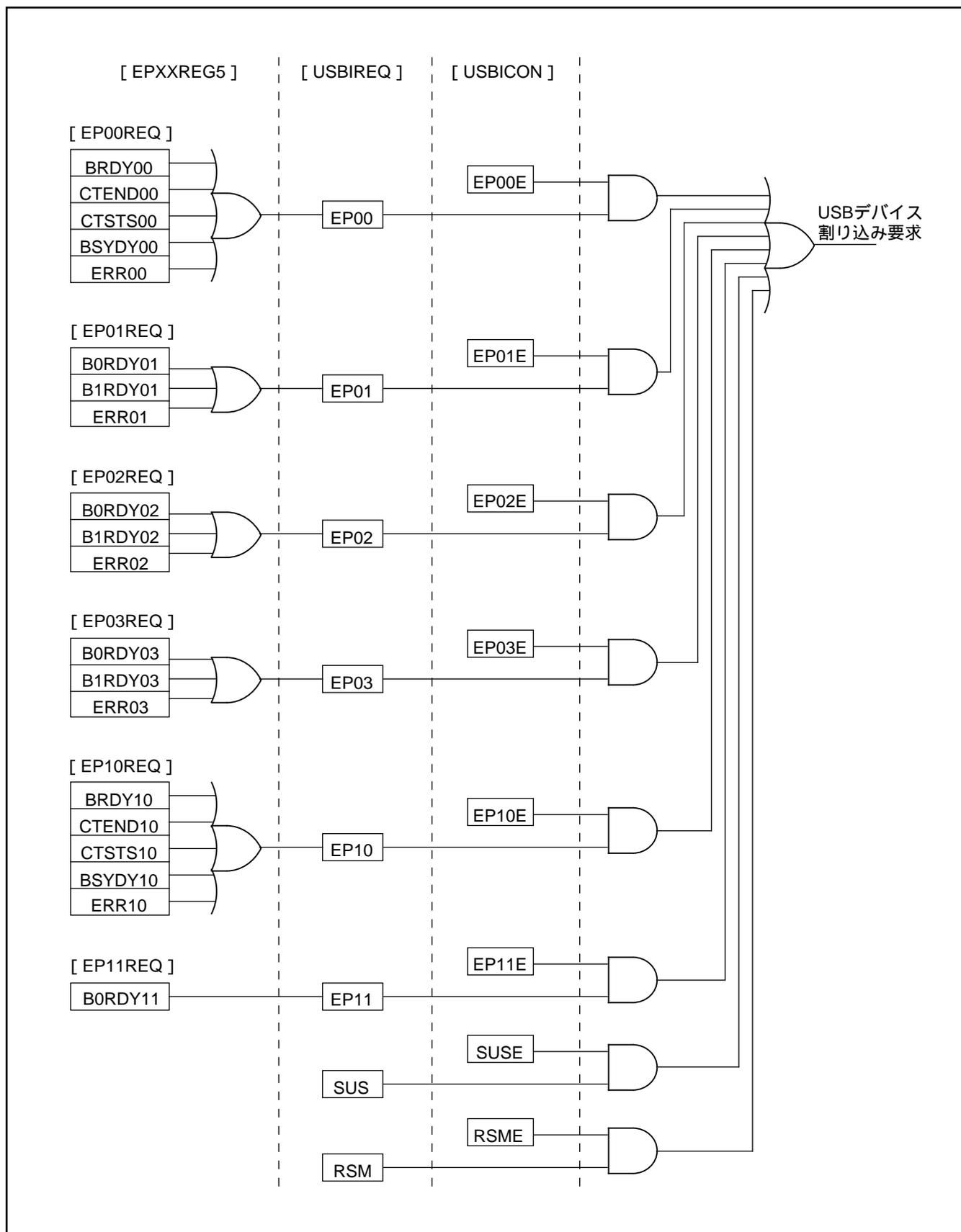


図28 . USBデバイス割り込み制御図

USBレジスタ一覧

USBレジスタ一覧を下記に示します。

番地	レジスタ名	SYMBOL	USB SFR								
			bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
0010h	USB制御レジスタ	USBCON	USBE	UCLKCON	USBDIFE	VREFE	VREFCON	TRONE	TRONCON	WKUP	
0011h	USBファンクション/ハブ許可レジスタ	USBAE							AD1E	AD0E	
0012h	USBファンクションアドレスレジスタ	USBA0									
0013h	USBハブアドレスレジスタ	USBA1									
0014h	フレームナンバ下位レジスタ	FNUML									
0015h	フレームナンバ上位レジスタ	FNUMH									
0016h	USB割り込み要因許可レジスタ	USBICON	RSME	SUSE	EP11E	EP10E	EP03E	EP02E	EP01E	EP00E	
0017h	USB割り込み要因レジスタ	USBIREQ	RSM	SUS	EP11	EP10	EP03	EP02	EP01	EP00	
0018h	エンドポイントインデックスレジスタ	USBINDEX						ADIDX		EPIDX[1:0]	
0019h	エンドポイントフィールドレジスタ1	EPXXREG1									
001Ah	エンドポイントフィールドレジスタ2	EPXXREG2									
001Bh	エンドポイントフィールドレジスタ3	EPXXREG3									
001Ch	エンドポイントフィールドレジスタ4	EPXXREG4									
001Dh	エンドポイントフィールドレジスタ5	EPXXREG5									
001Eh	エンドポイントフィールドレジスタ6	EPXXREG6									
001Fh	エンドポイントフィールドレジスタ7	EPXXREG7									
0FEC1h	エンドポイントフィールドレジスタ8	EPXXREG8									
0FED1h	エンドポイントフィールドレジスタ9	EPXXREG9									

(1) エンドポイント00

0019h	EP00ステータスレジスタ	EP00STG								SETUP00
001Ah	EP00制御レジスタ1	EP00CON1							PID00[1:0]	
001Bh	EP00制御レジスタ2	EP00CON2								BVAL00
001Ch	EP00制御レジスタ3	EP00CON3								CTENDE00
001Dh	EP00割り込み要因レジスタ	EP00REQ			ERR00	BSRDY00	CTSTS00	CTEND00		BRDY00
001Eh	EP00バイト数レジスタ	EP00BYT						BBYT00[3:0]		
001Fh										
0FEC1h										
0FED1h	EP00バッファ領域設定レジスタ	EP00BUF						BADD00[4:0]		

(2) エンドポイント01

0019h	EP01設定レジスタ	EP01CFG	TYP01[1:0]		DIR01	ITMD01	SQCL01	DBLB01		BSIZ01[1:0]
001Ah	EP01制御レジスタ1	EP01CON1							PID01[1:0]	
001Bh	EP01制御レジスタ2	EP01CON2								B0VAL01
001Ch	EP01制御レジスタ3	EP01CON3								B1VAL01
001Dh	EP01割り込み要因レジスタ	EP01REQ						ERR01	B1RDY01	B0RDY01
001Eh	EP01バイト数レジスタ0	EP01BYT0					B0BYT01[6:0]			
001Fh	EP01バイト数レジスタ1	EP01BYT1					B1BYT01[6:0]			
0FEC1h	EP01MAXバケットサイズレジスタ	EP01MAX					MXPS01[6:0]			
0FED1h	EP01バッファ領域設定レジスタ	EP01BUF						BADD01[4:0]		

(3) エンドポイント02

0019h	EP02設定レジスタ	EP02CFG	TYP02[1:0]		DIR02	ITMD02	SQCL02	DBLB02		BSIZ02[1:0]
001Ah	EP02制御レジスタ1	EP02CON1								
001Bh	EP02制御レジスタ2	EP02CON2								B0VAL02
001Ch	EP02制御レジスタ3	EP02CON3								B1VAL02
001Dh	EP02割り込み要因レジスタ	EP02REQ						ERR02	B1RDY02	B0RDY02
001Eh	EP02バイト数レジスタ0	EP02BYT0					B0BYT02[6:0]			
001Fh	EP02バイト数レジスタ1	EP02BYT1					B1BYT02[6:0]			
0FEC1h	EP02MAXバケットサイズレジスタ	EP02MAX					MXPS02[6:0]			
0FED1h	EP02バッファ領域設定レジスタ	EP02BUF						BADD02[4:0]		

(4) エンドポイント03

0019h	EP03設定レジスタ	EP03CFG	TYP03[1:0]		DIR03	ITMD03	SQCL03	DBLB03		BSIZ03[1:0]
001Ah	EP03制御レジスタ1	EP03CON1								
001Bh	EP03制御レジスタ2	EP03CON2								B0VAL03
001Ch	EP03制御レジスタ3	EP03CON3								B1VAL03
001Dh	EP03割り込み要因レジスタ	EP03REQ						ERR03	B1RDY03	B0RDY03
001Eh	EP03バイト数レジスタ0	EP03BYT0					B0BYT03[6:0]			
001Fh	EP03バイト数レジスタ1	EP03BYT1					B1BYT03[6:0]			
0FEC1h	EP03MAXバケットサイズレジスタ	EP03MAX					MXPS03[6:0]			
0FED1h	EP03バッファ領域設定レジスタ	EP03BUF						BADD03[4:0]		

(5) エンドポイント10

0019h	EP10設定レジスタ	EP10STG								SETUP10
001Ah	EP10制御レジスタ1	EP10CON1								PID10[1:0]
001Bh	EP10制御レジスタ2	EP10CON2								BVAL10
001Ch	EP10制御レジスタ3	EP10CON3								CTENDE10
001Dh	EP10割り込み要因レジスタ	EP10REQ			ERR10	BSRDY10	CTSTS10	CTEND10		BRDY10
001Eh	EP10バイト数レジスタ	EP10BYT						BBYT10[3:0]		
001Fh										
0FEC1h										
0FED1h	EP10バッファ領域設定レジスタ	EP10BUF						BADD10[4:0]		

(6) エンドポイント11

0019h	EP11設定レジスタ	EP11CFG	TYP11		DIR11		SQCL11			
001Ah	EP11制御レジスタ1	EP11CON1								PID11[1:0]
001Bh	EP11制御レジスタ2	EP11CON2								B0VAL11
001Ch										
001Dh	EP11割り込み要因レジスタ	EP11REQ								B0RDY11
001Eh	EP11バイト数レジスタ	EP11BYT0								B0BYT11
001Fh										
0FEC1h										
0FED1h	EP11バッファ領域設定レジスタ	EP11BUF						BADD11[4:0]		

 : 不使用

図29 . USBレジスタ一覧

USB関連レジスタ

USB関連レジスタを下記に示します。

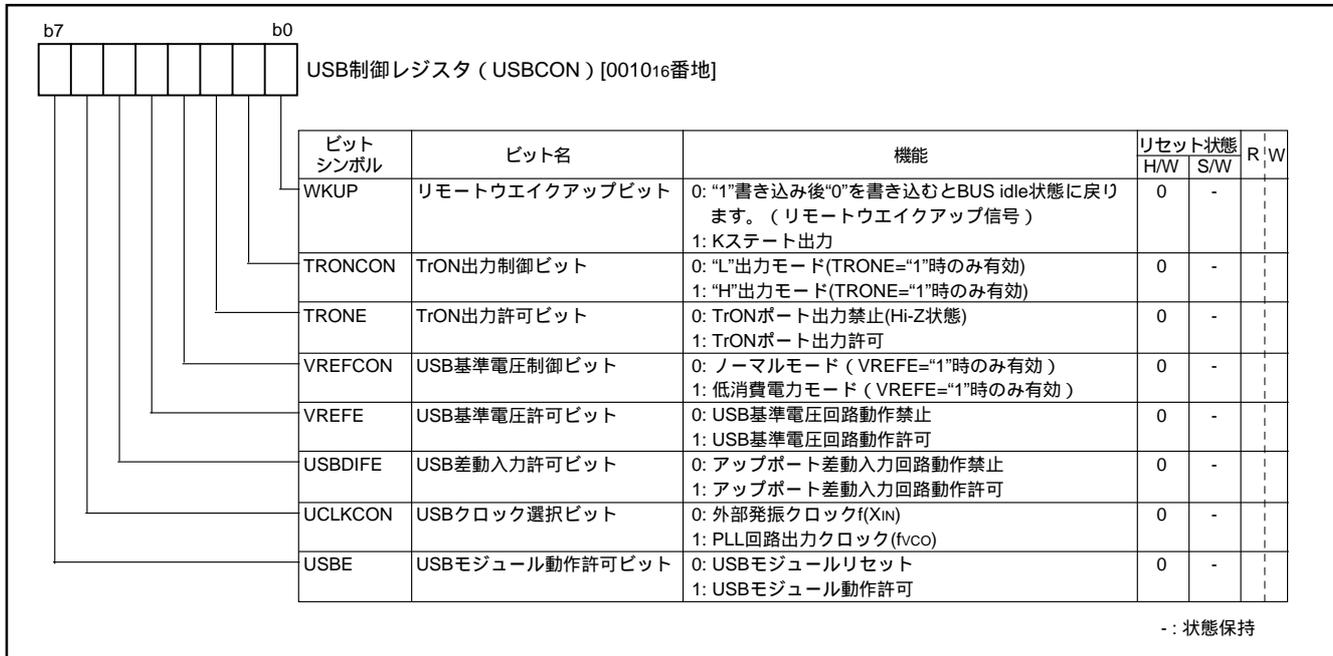


図30 . USB制御レジスタ(USBCON)

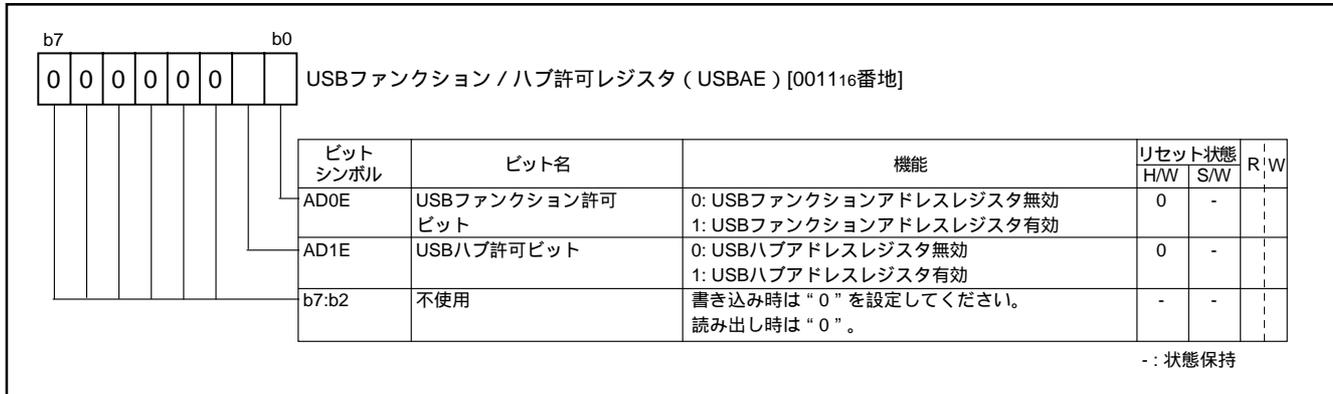


図31 . USBファンクション/ハブ許可レジスタ(USBAE)



図32 . USBファンクションアドレスレジスタ(USBA0)

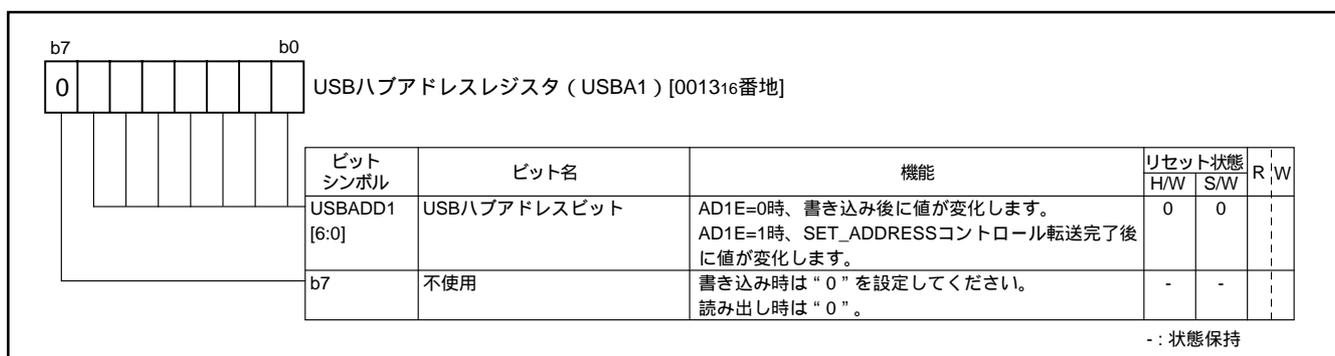


図33 . USBハブアドレスレジスタ(USBA1)



図34 . フレームナンバ下位レジスタ(FNUML)

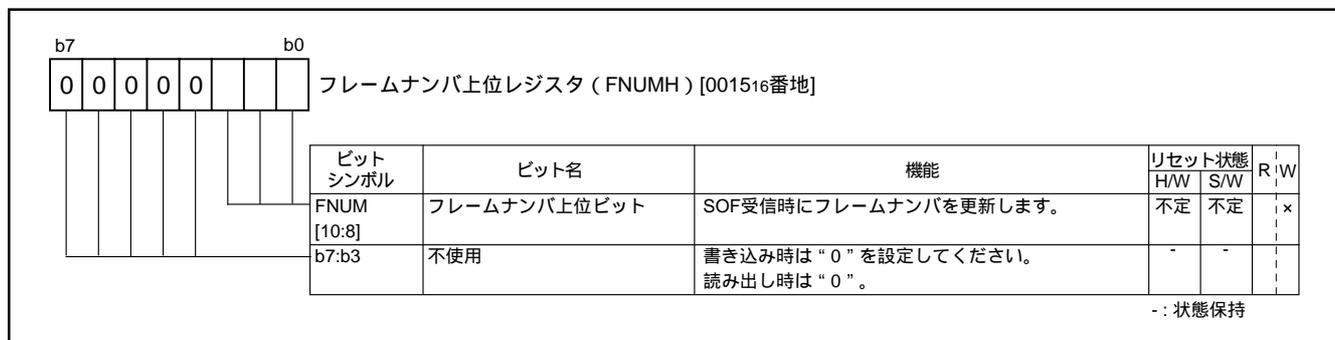


図35 . フレームナンバ上位レジスタ(FNUMH)



図36 . USB割り込み要因許可レジスタ(USBICON)

USB割り込み要因レジスタ (USBIREQ) [0017₁₆番地]

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EP00	USBファンクション/エンドポイント0割り込みビット	EP00割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP00割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
EP01	USBファンクション/エンドポイント1割り込みビット	EP01割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP01割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
EP02	USBファンクション/エンドポイント2割り込みビット	EP02割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP02割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
EP03	USBファンクション/エンドポイント3割り込みビット	EP03割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP03割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
EP10	USBハブ/エンドポイント0割り込みビット	EP10割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP10割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
EP11	USBハブ/エンドポイント1割り込みビット	EP11割り込み要因レジスタを“00 ₁₆ ”にクリアすることにより、“0”にクリアされます。書き込みを行ってもフラグは変化しません。EP11割り込み要因レジスタの少なくとも1ビットがセットされると、“1”にセットされます。	0	0	-	x
SUS	サスペンド割り込みビット	0: 割り込み要求なし 1: 割り込み要求あり USBクロック(f _{usb})が48MHzのとき、3ms以上の“J”を検出すると、“1”にセットされます。ソフトウェアによって“0”にできますが、“1”にはできません。	0	0	-	-
RSM	レジューム割り込みビット	レジューム割り込み許可フラグをクリアすると、要因フラグがクリアされます。書き込みを行ってもフラグは変化しません。レジューム割り込み許可フラグがセット状態でUSBbusの状態が変化(“J” “K”またはSE0)すると、“1”にセットされます。内部クロックが停止状態でも“1”にセットされます。	0	0	-	x

図37 . USB割り込み要因レジスタ(USBIREQ)

エンドポイントインデックスレジスタ (USBINDEX) [0018₁₆番地]

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
EPIDX [1:0]	エンドポイントインデックスビット	b1 b0 0 0: エンドポイント0 0 1: エンドポイント1 1 0: エンドポイント2 1 1: エンドポイント3	0	-	-	-
ADIDX	アドレスインデックスビット	0: USBファンクション 1: USBハブ	0	-	-	-
b7:b3	不使用	書き込み時は“0”を設定してください。読み出し時は“0”。	-	-	-	-

-: 状態保持

図38 . エンドポイントインデックスレジスタ(USBINDEX)

(1) エンドポイント00



図39 . EP00ステージレジスタ(EP00STG)

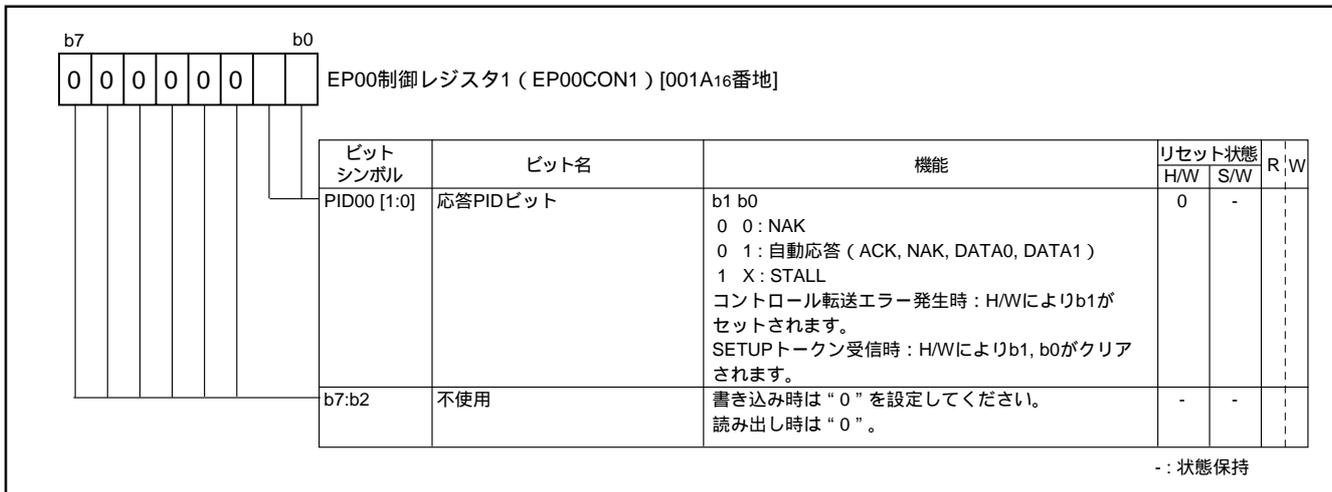


図40 . EP00制御レジスタ1(EP00CON1)

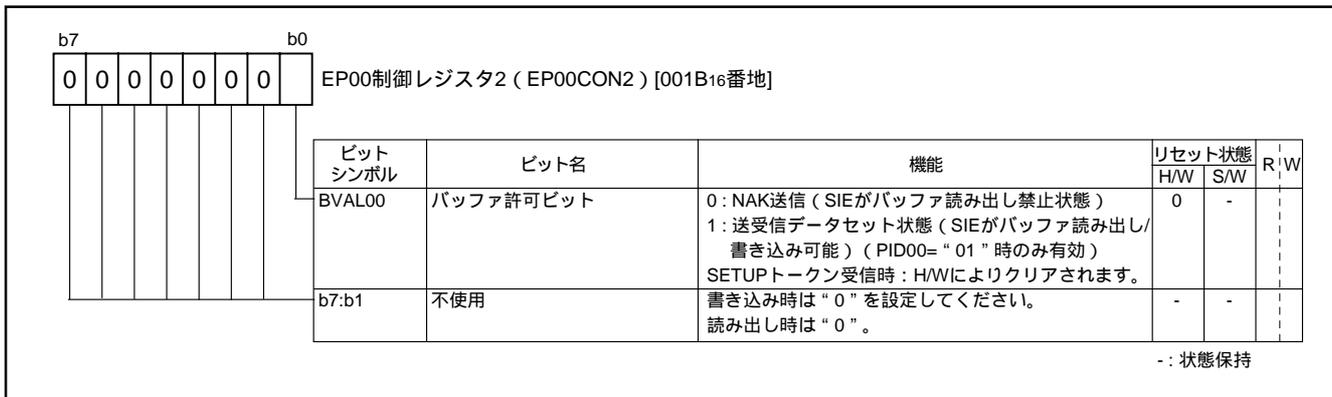


図41 . EP00制御レジスタ2(EP00CON2)

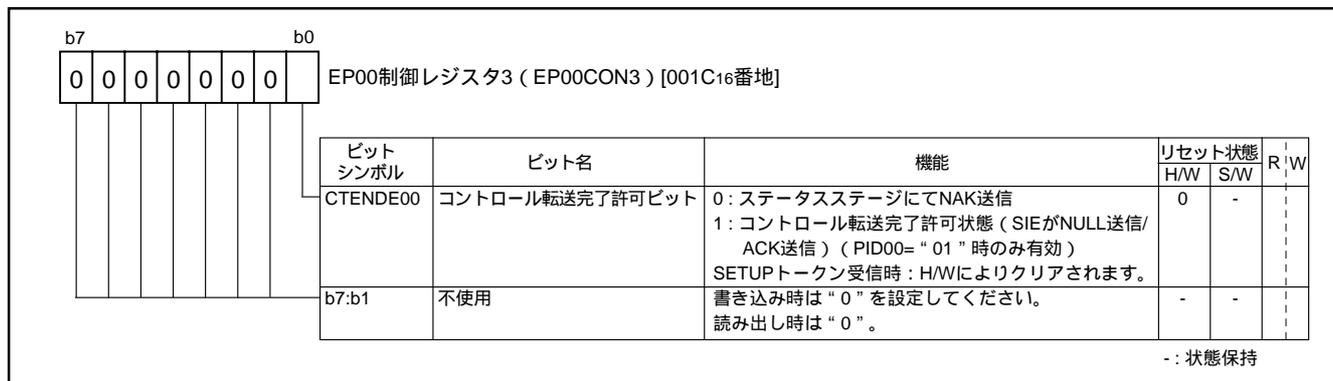


図42 . EP00制御レジスタ3(EP00CON3)

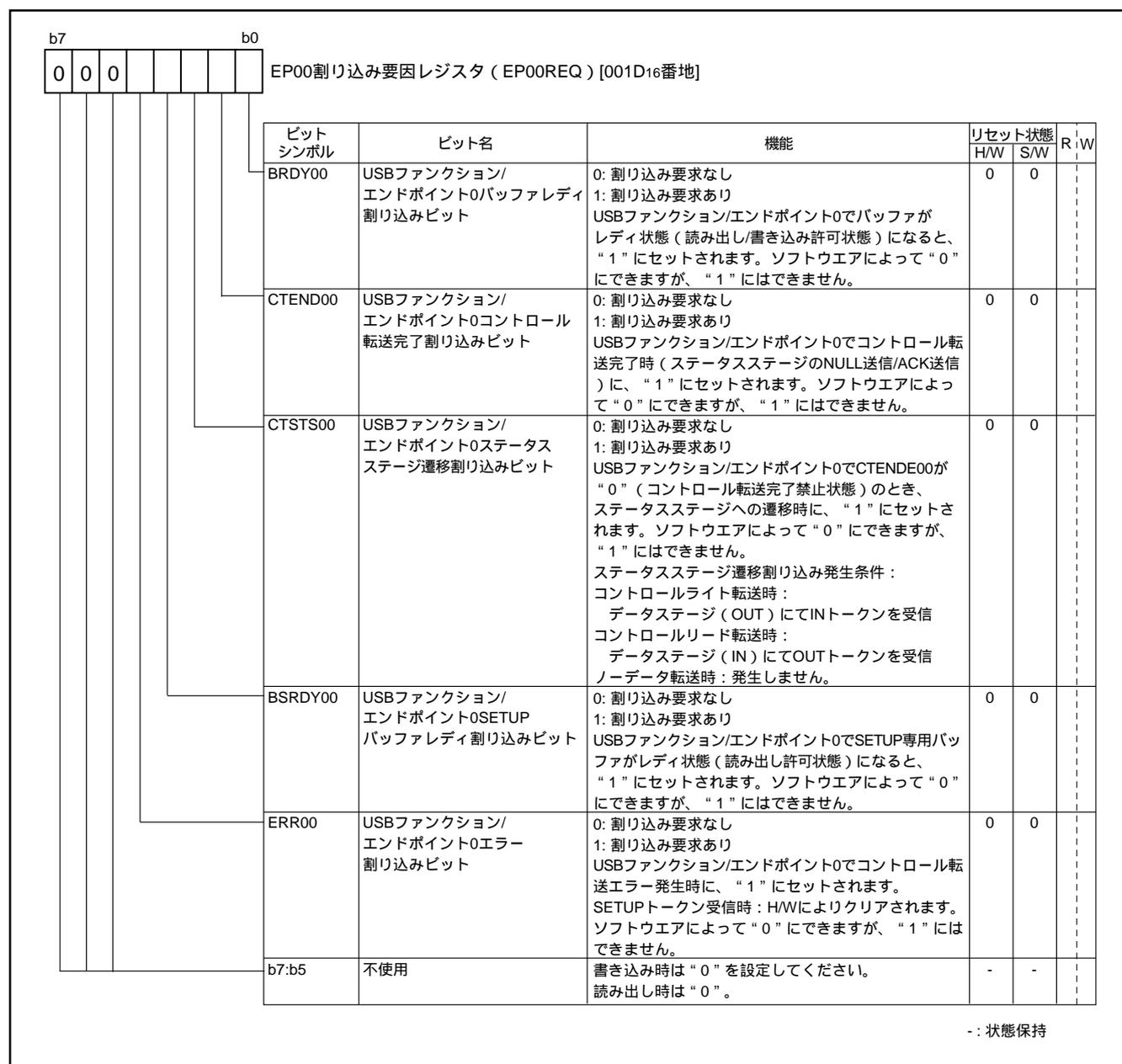


図43 . EP00割り込み要因レジスタ(EP00REQ)

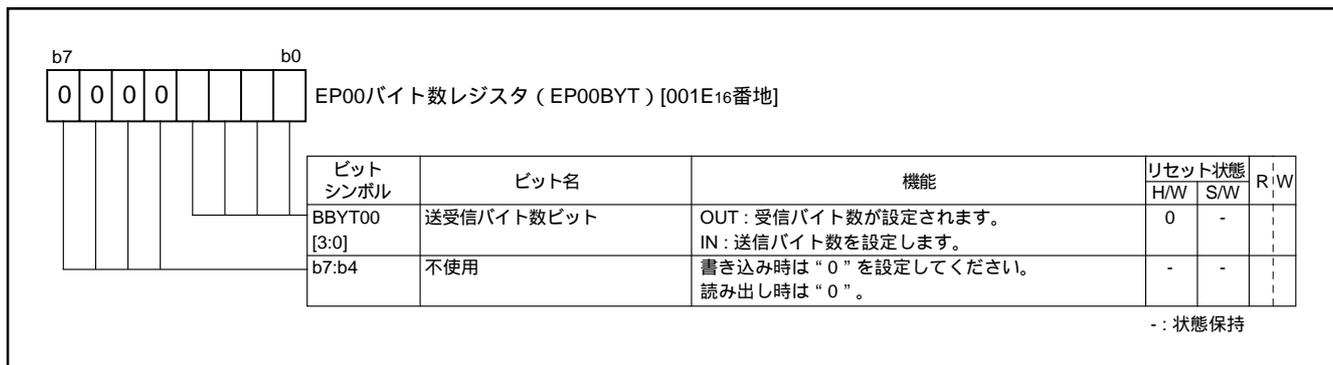


図44 . EP00バイト数レジスタ(EP00BYT)

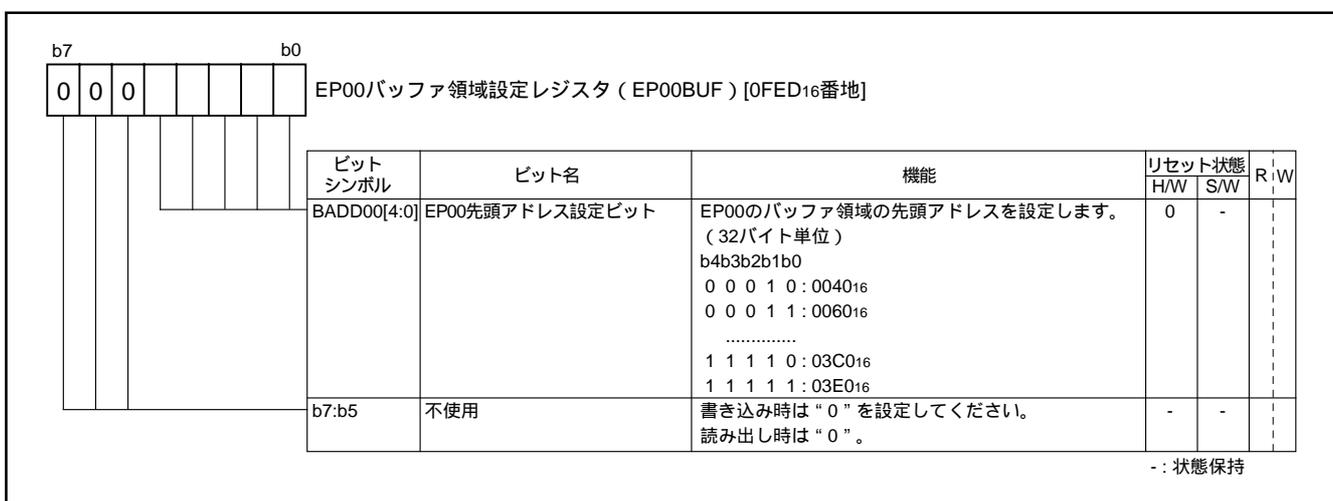


図45 . EP00バッファ領域設定レジスタ(EP00BUF)

(2) エンドポイント01

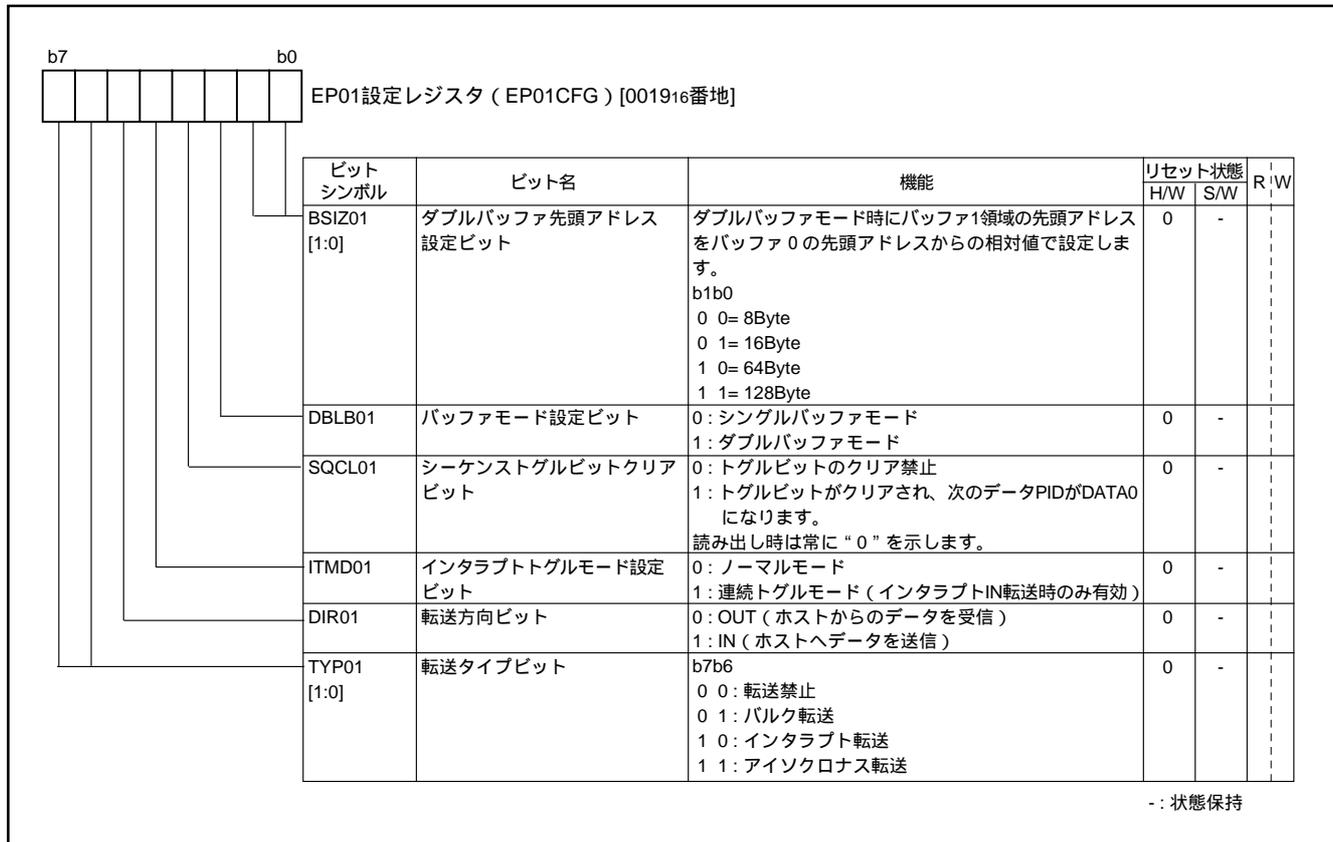


図46 . EP01設定レジスタ(EP01CFG)



図47 . EP01制御レジスタ1(EP01CON1)

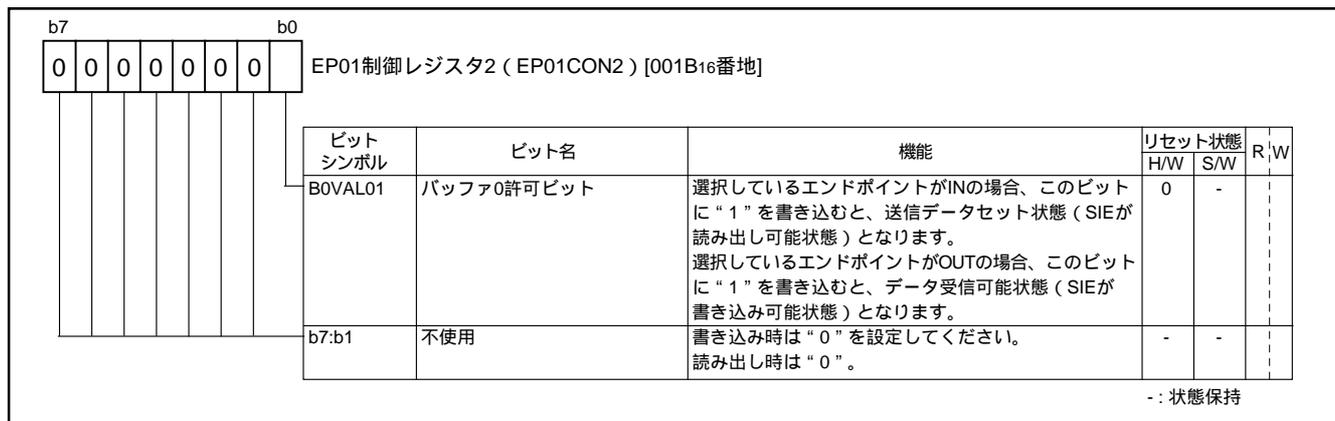


図48 . EP01制御レジスタ2(EP01CON2)

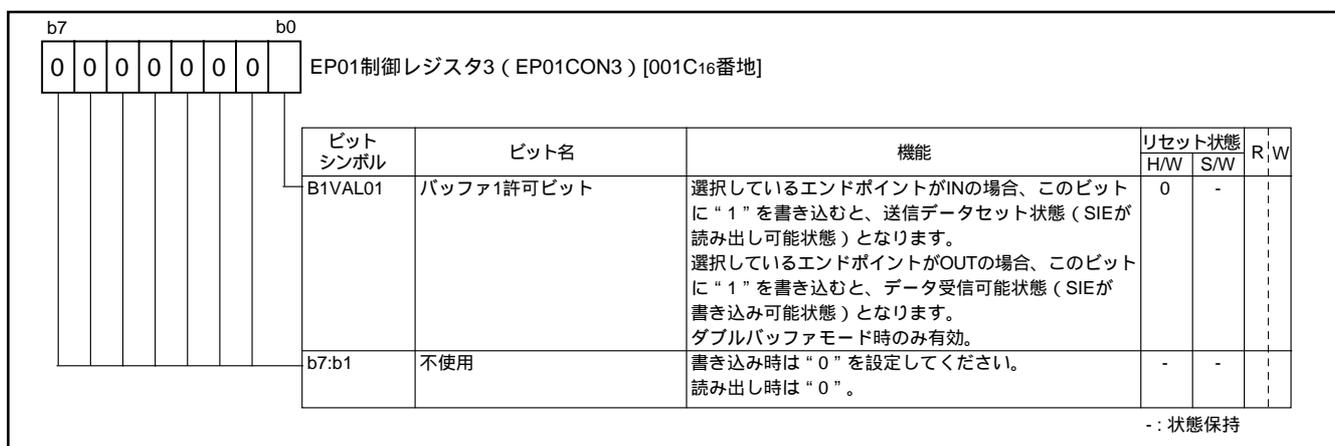


図49 . EP01制御レジスタ3(EP01CON3)

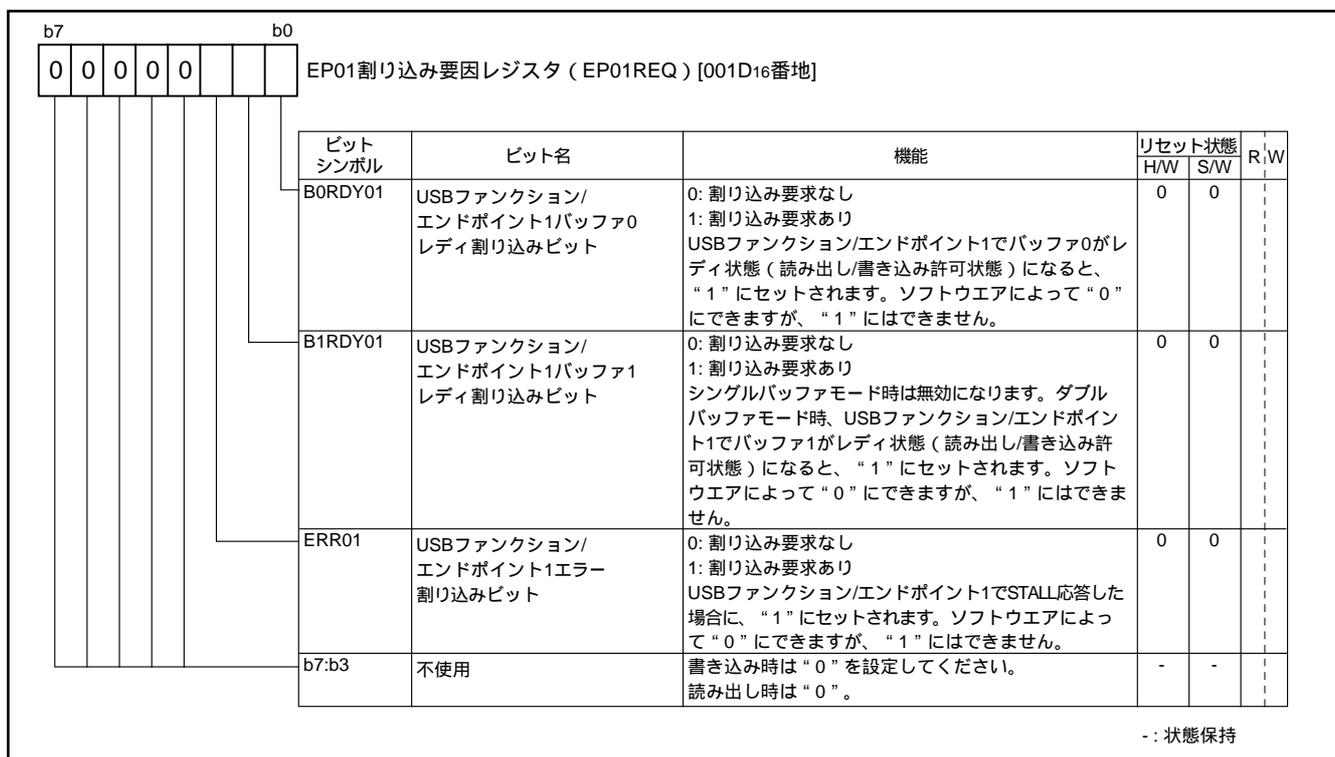


図50 . EP01割り込み要因レジスタ(EP01REQ)

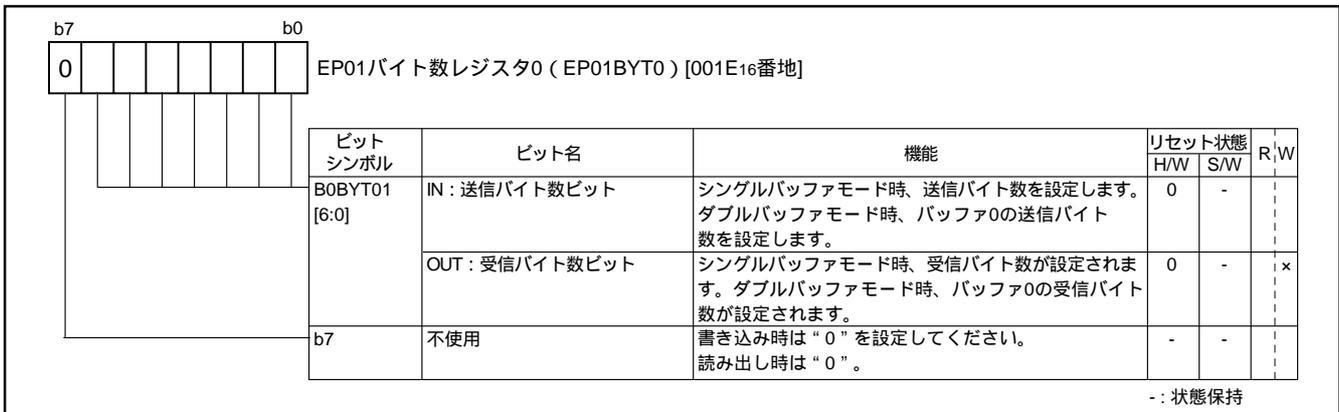


図51 . EP01バイト数レジスタ0(EP01BYT0)



図52 . EP01バイト数レジスタ1(EP01BYT1)

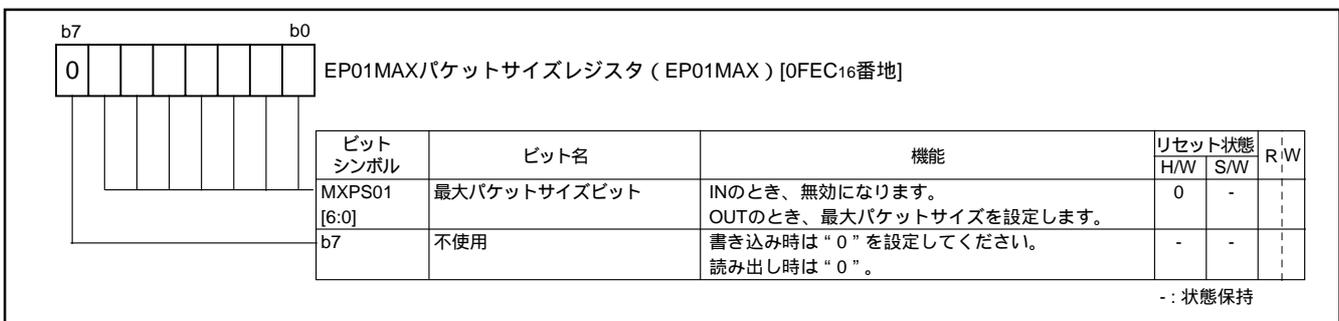


図53 . EP01MAXパケットサイズレジスタ(EP01MAX)

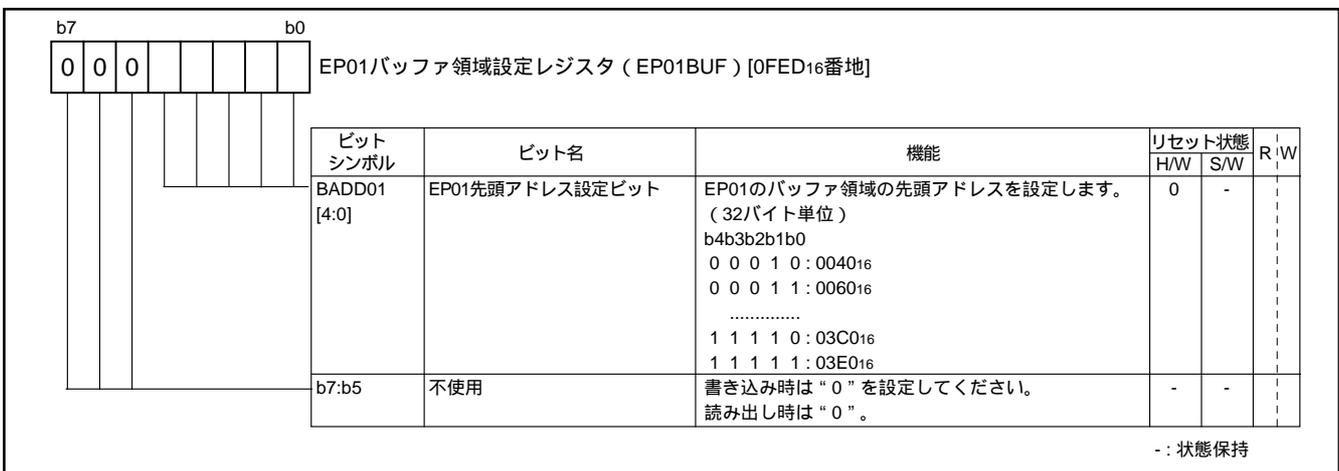


図54 . EP01バッファ領域設定レジスタ(EP01BUF)

(3) エンドポイント02

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
BSIZ02 [1:0]	ダブルバッファ先頭アドレス設定ビット	ダブルバッファモード時にバッファ1領域の先頭アドレスをバッファ0の先頭アドレスからの相対値で設定します。 b1b0 0 0= 8Byte 0 1=16Byte 1 0=64Byte 1 1=128Byte	0	-		
DBLB02	バッファモード設定ビット	0: シングルバッファモード 1: ダブルバッファモード	0	-		
SQCL02	シーケンストグルビットクリアビット	0: トグルビットのクリア禁止 1: トグルビットがクリアされ、次のデータPIDがDATA0になります。 読み出し時は常に "0" を示します。	0	-		
ITMD02	インタラプトグルモード設定ビット	0: ノーマルモード 1: 連続トグルモード (インタラプトIN転送時のみ有効)	0	-		
DIR02	転送方向ビット	0: OUT (ホストからのデータを受信) 1: IN (ホストへデータを送信)	0	-		
TYP02 [1:0]	転送タイプビット	b7b6 0 0: 転送禁止 0 1: バルク転送 1 0: インタラプト転送 1 1: アイソクロナス転送	0	-		

-: 状態保持

図55 . EP02設定レジスタ(EP02CFG)

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
PID02 [1:0]	応答PIDビット	b1 b0 0 0: NAK 0 1: 自動応答 (ACK, NAK, DATA0, DATA1) 1 X: STALL (最大パケットサイズオーバー時: H/Wによりb1がセットされます。)	0	-		
b7:b2	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-		

-: 状態保持

図56 . EP02制御レジスタ1(EP02CON1)

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
B0VAL02	バッファ0許可ビット	選択しているエンドポイントがINの場合、このビットに "1" を書き込むと、送信データセット状態 (SIEが読み出し可能状態) となります。 選択しているエンドポイントがOUTの場合、このビットに "1" を書き込むと、データ受信可能状態 (SIEが書き込み可能状態) となります。	0	-		
b7:b1	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-		

-: 状態保持

図57 . EP02制御レジスタ2(EP02CON2)

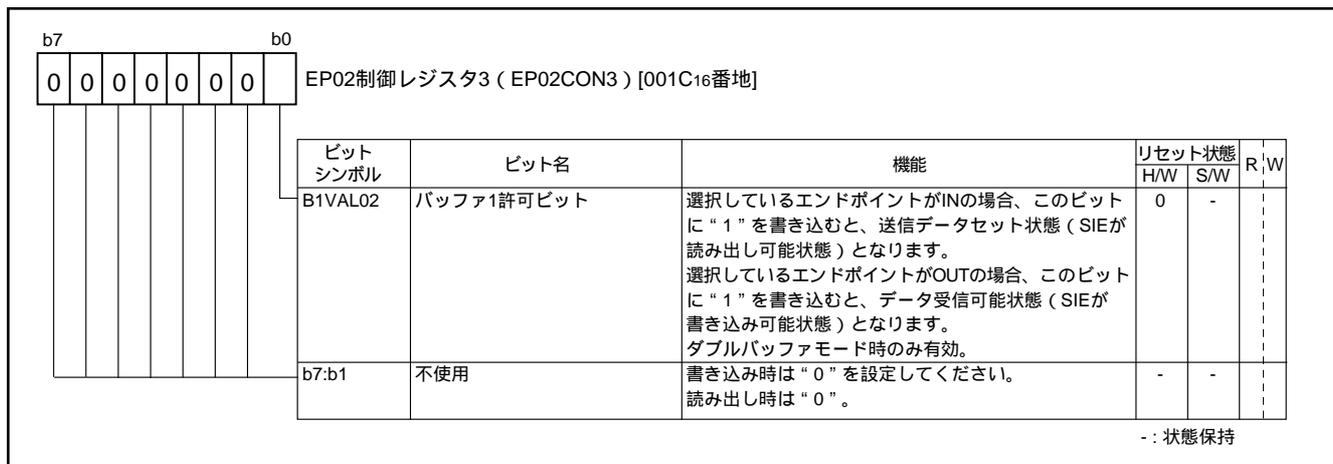


図58 . EP02制御レジスタ3(EP02CON3)

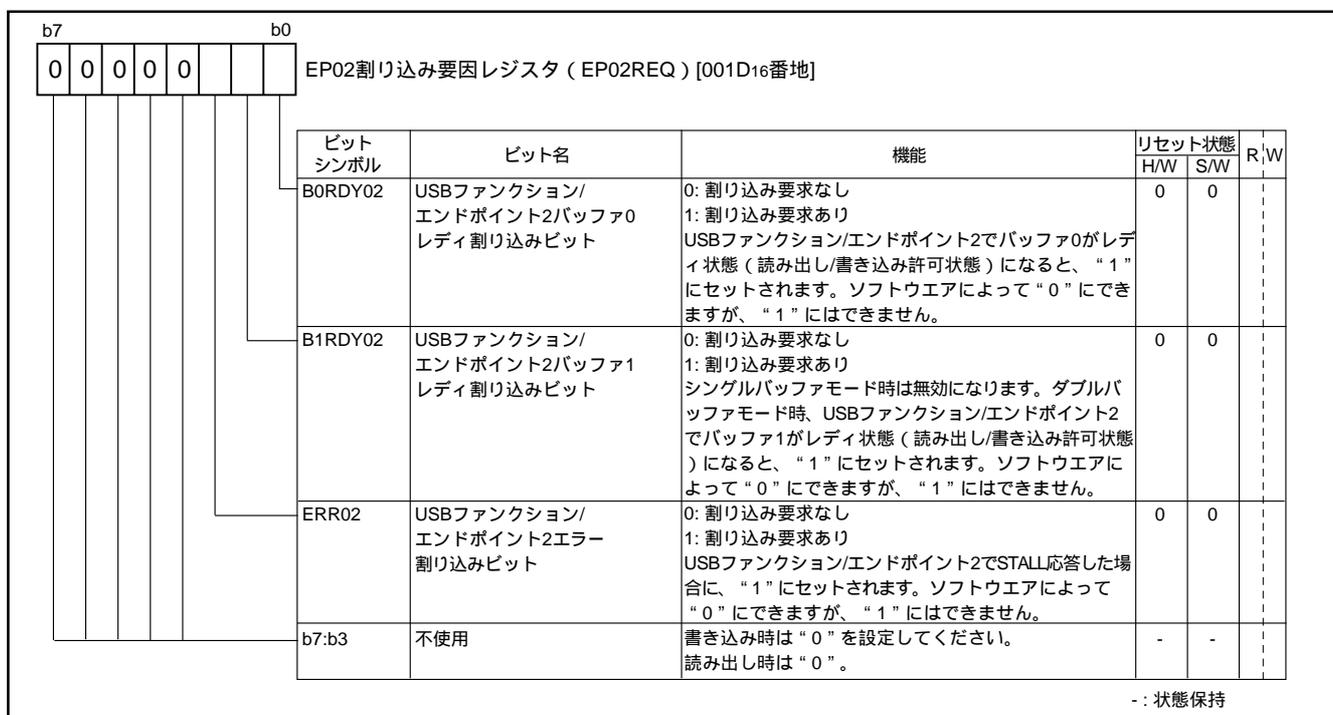


図59 . EP02割り込み要因レジスタ(EP02REQ)

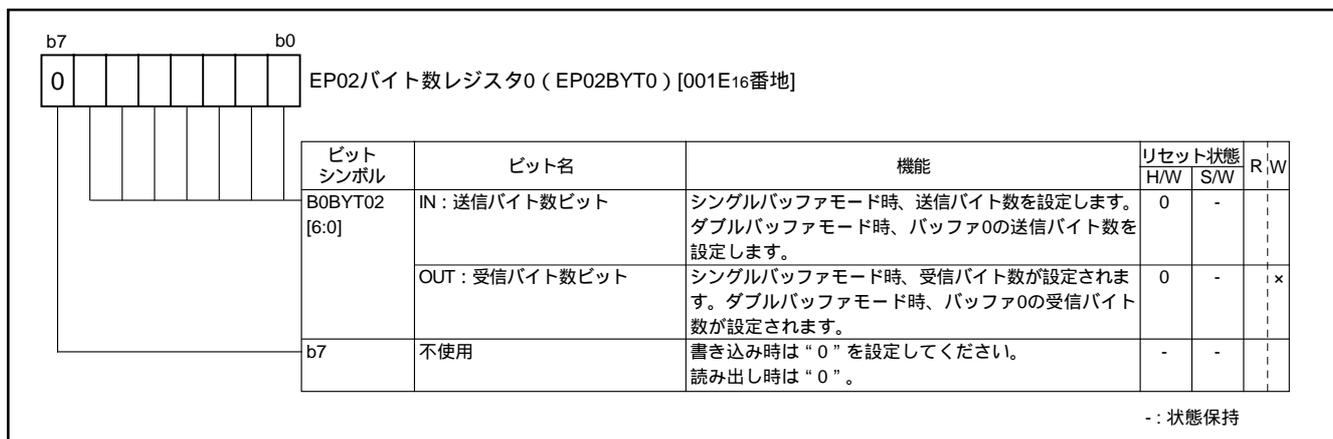


図60 . EP02バイト数レジスタ0(EP02BYT0)



図61 . EP02バイト数レジスタ1(EP02BYT1)

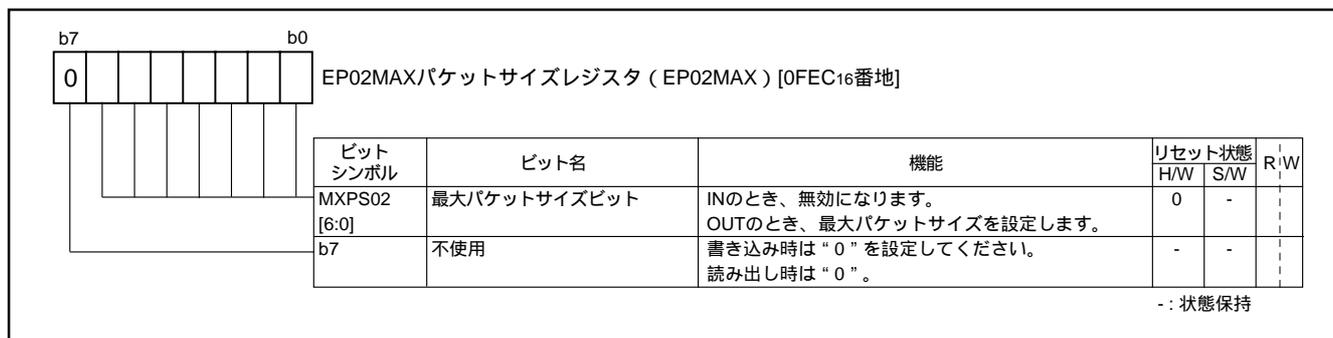


図62 . EP02MAXパケットサイズレジスタ(EP02MAX)

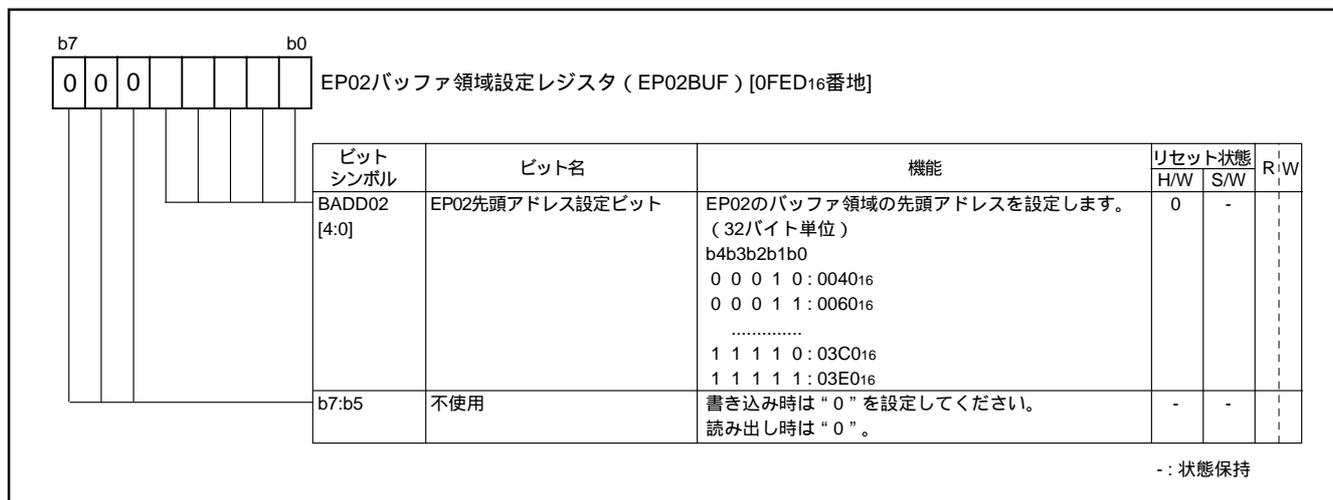


図63 . EP02バッファ領域設定レジスタ(EP02BUF)

(4) エンドポイント03

b7		b0		EP03設定レジスタ (EP03CFG) [001916番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
BSIZ03 [1:0]	ダブルバッファ先頭アドレス設定ビット	ダブルバッファモード時にバッファ1領域の先頭アドレスをバッファ0の先頭アドレスからの相対値で設定します。 b1b0 0 0= 8Byte 0 1=16Byte 1 0=64Byte 1 1=128Byte	0	-			
DBLB03	バッファモード設定ビット	0: シングルバッファモード 1: ダブルバッファモード	0	-			
SQCL03	シーケンストグルビットクリアビット	0: トグルビットのクリア禁止 1: トグルビットがクリアされ、次のデータPIDがDATA0になります。 読み出し時は常に "0" を示します。	0	-			
ITMD03	インタラプトグルモード設定ビット	0: ノーマルモード 1: 連続トグルモード (インタラプトIN転送時のみ有効)	0	-			
DIR03	転送方向ビット	0: OUT (ホストからのデータを受信) 1: IN (ホストヘデータを送信)	0	-			
TYP03 [1:0]	転送タイプビット	b7b6 0 0: 転送禁止 0 1: バルク転送 1 0: インタラプト転送 1 1: アイソクロナス転送	0	-			

-: 状態保持

図64 . EP03設定レジスタ(EP03CFG)

b7		b0		EP03制御レジスタ1 (EP03CON1) [001A16番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
PID03 [1:0]	応答PIDビット	b1 b0 0 0: NAK 0 1: 自動応答 (ACK, NAK, DATA0, DATA1) 1 X: STALL (最大パケットサイズオーバー時: H/Wによりb1がセットされます。)	0	-			
b7:b2	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-			

-: 状態保持

図65 . EP03制御レジスタ1(EP03CON1)

b7		b0		EP03制御レジスタ2 (EP03CON2) [001B16番地]			
ビットシンボル	ビット名	機能	リセット状態		R	W	
			H/W	S/W			
B0VAL03	バッファ0許可ビット	選択しているエンドポイントがINの場合、このビットに "1" を書き込むと、送信データセット状態 (SIEが読み出し可能状態) となります。 選択しているエンドポイントがOUTの場合、このビットに "1" を書き込むと、データ受信可能状態 (SIEが書き込み可能状態) となります。	0	-			
b7:b1	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-			

-: 状態保持

図66 . EP03制御レジスタ2(EP03CON2)

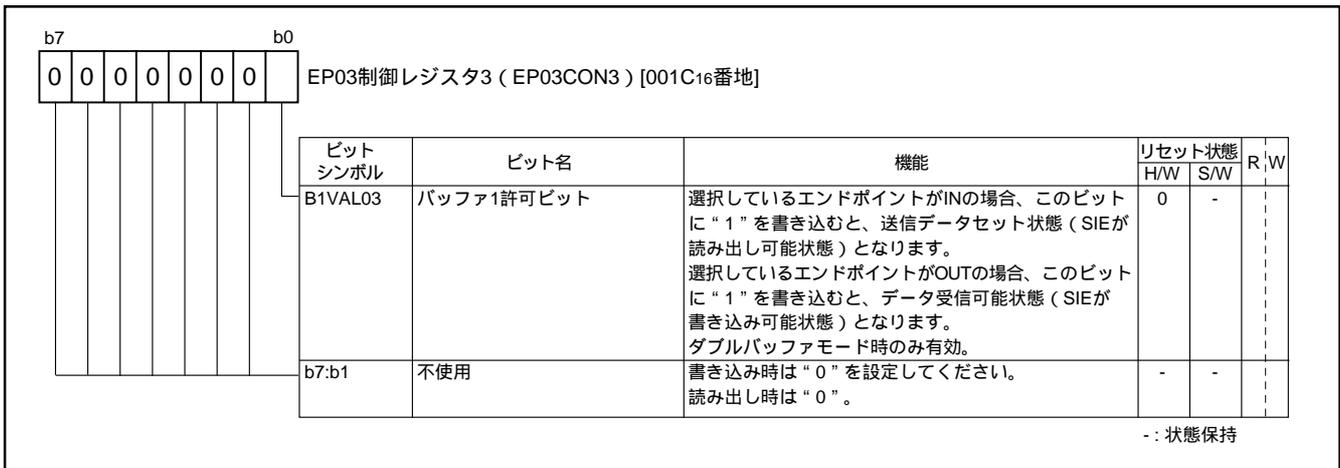


図67 . EP03制御レジスタ3(EP03CON3)

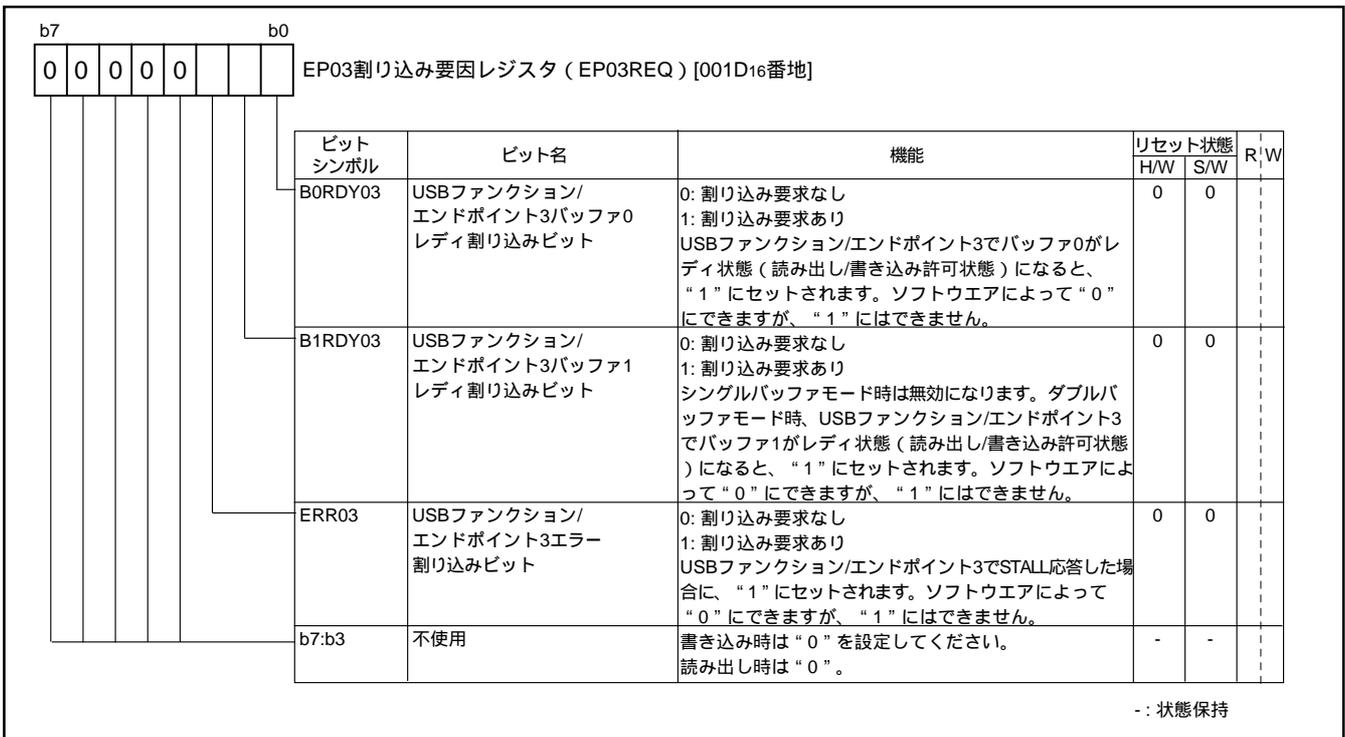


図68 . EP03割り込み要因レジスタ(EP03REQ)

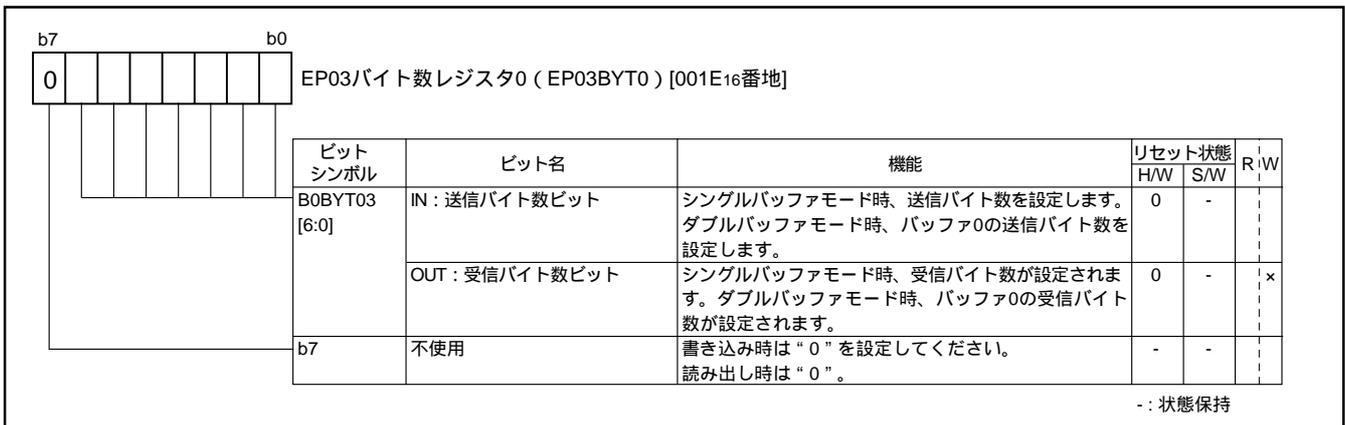


図69 . EP03バイト数レジスタ0(EP03BYT0)



図70 . EP03バイト数レジスタ1(EP03BYT1)

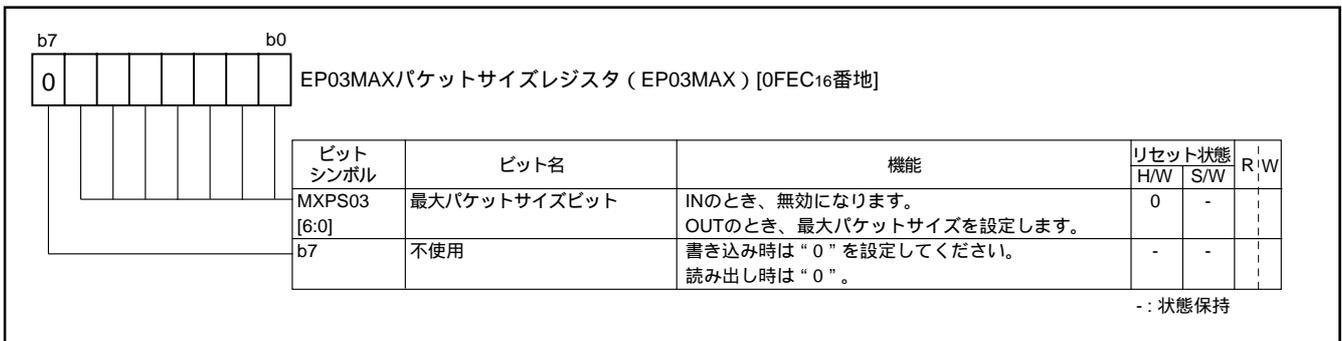


図71 . EP03MAXパケットサイズレジスタ(EP03MAX)

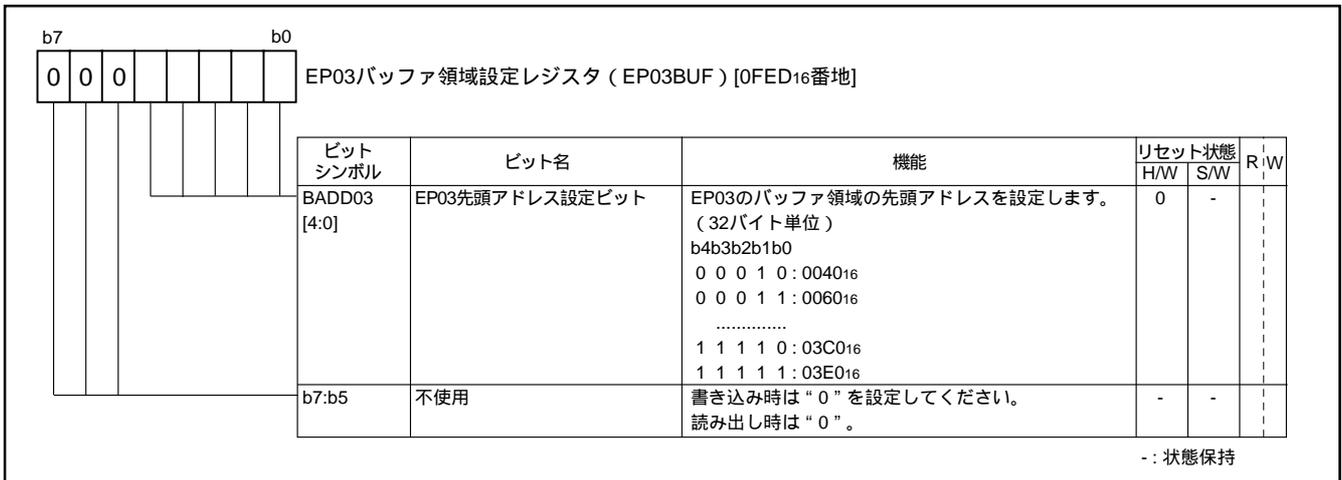


図72 . EP03バッファ領域設定レジスタ(EP03BUF)

(5) エンドポイント10

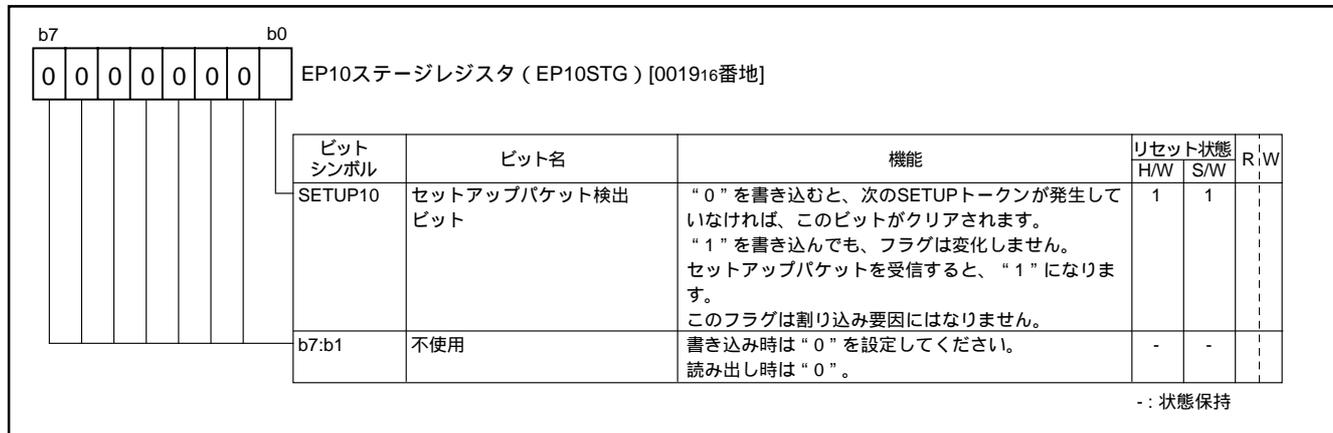


図73 . EP10ステージレジスタ(EP10STG)

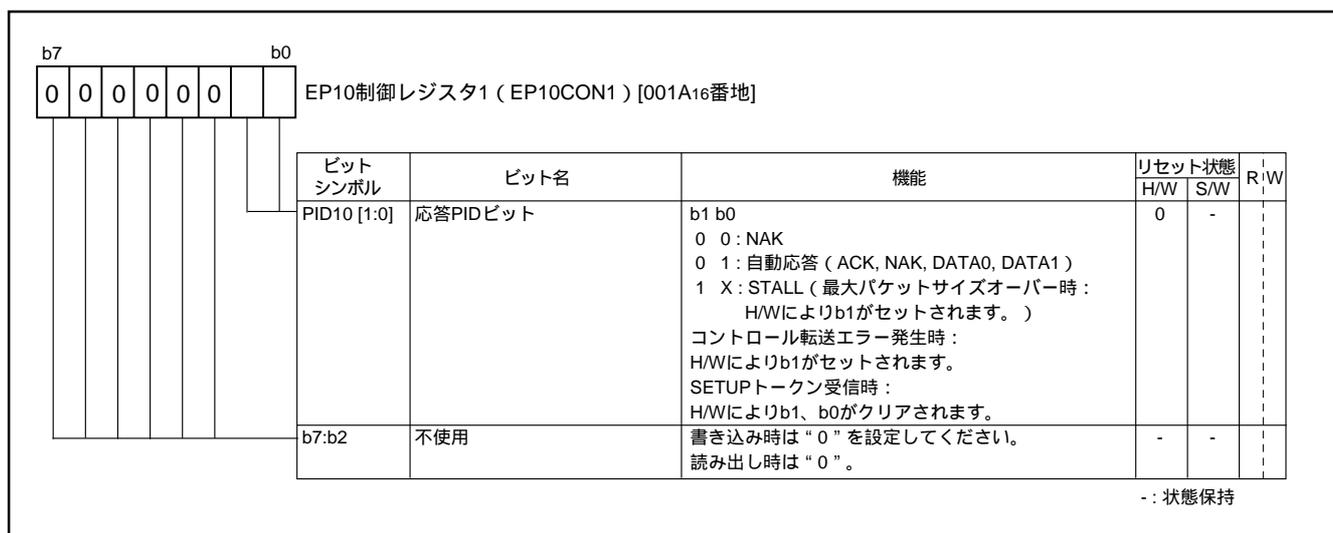


図74 . EP10制御レジスタ1(EP10CON1)

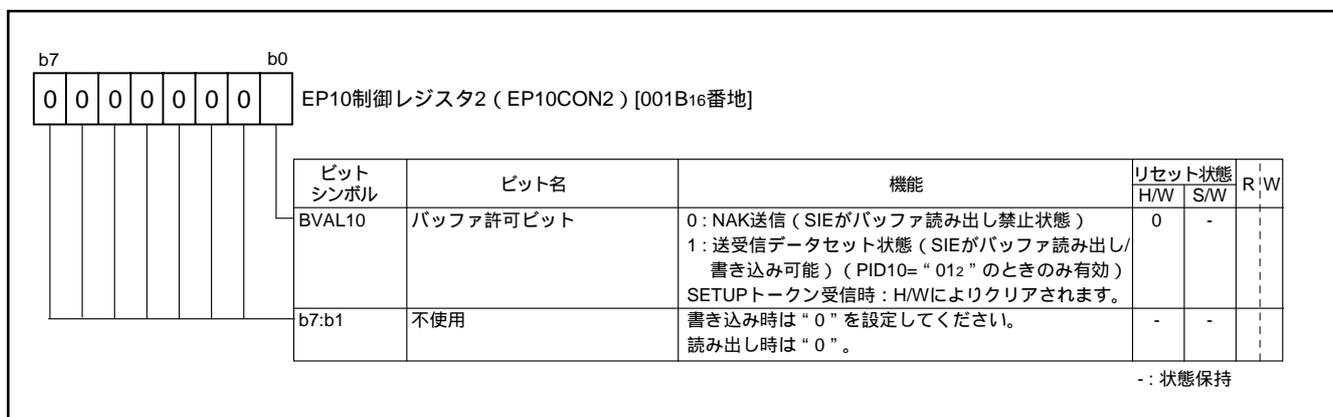


図75 . EP10制御レジスタ2(EP10CON2)

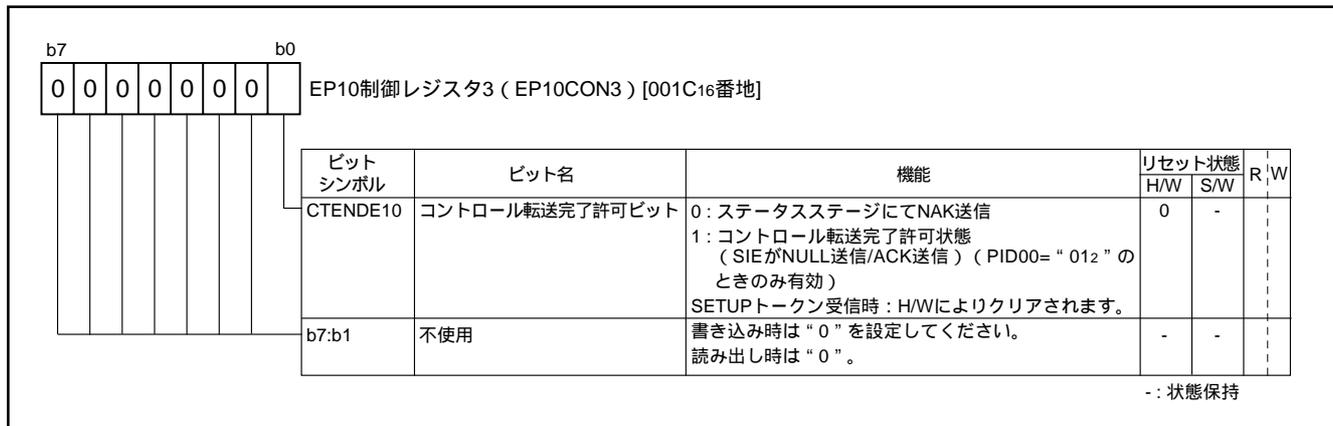


図76 . EP10制御レジスタ3(EP10CON3)

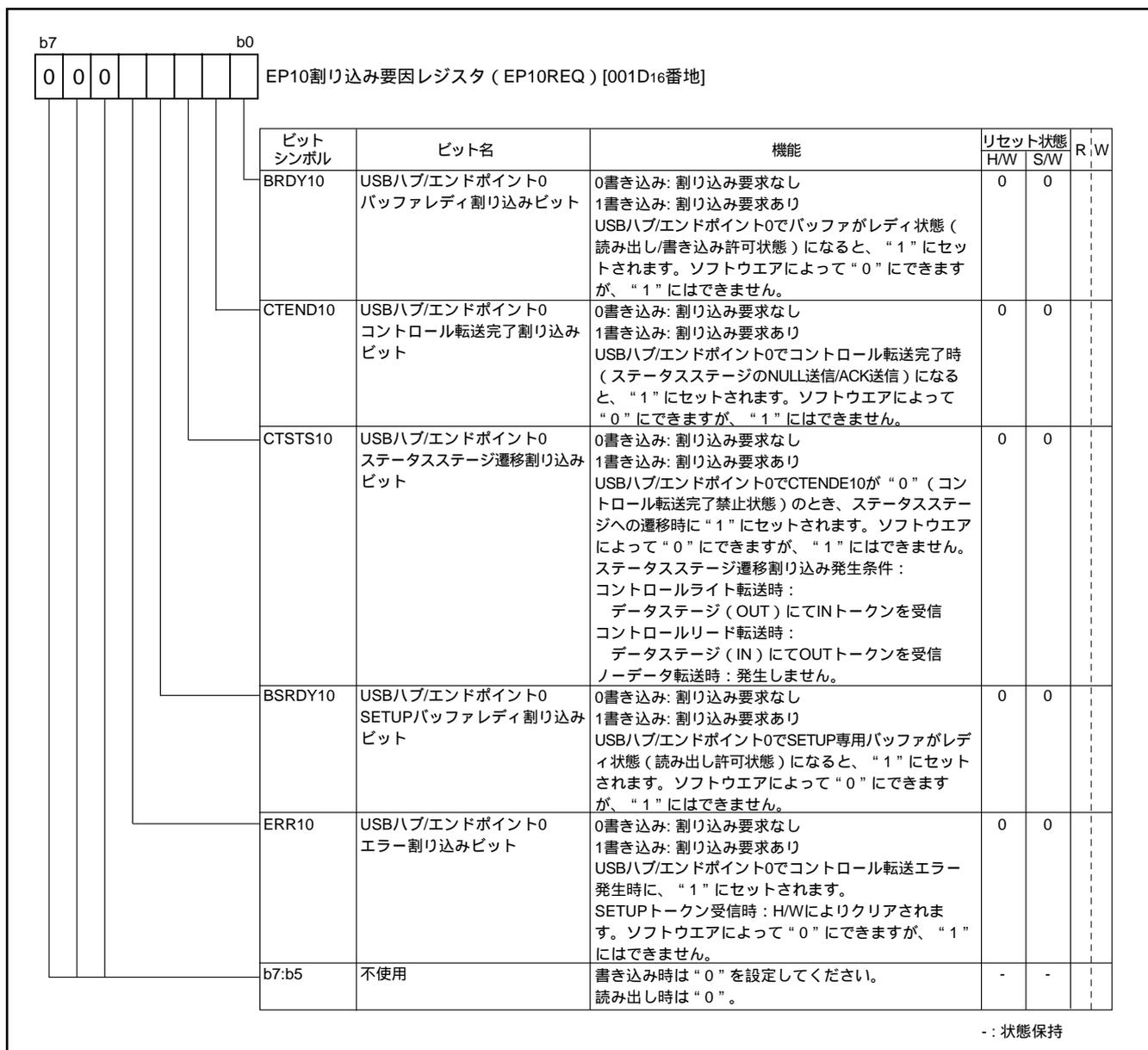


図77 . EP10割り込み要因レジスタ(EP10REQ)



図78 . EP10バイト数レジスタ(EP10BYT)

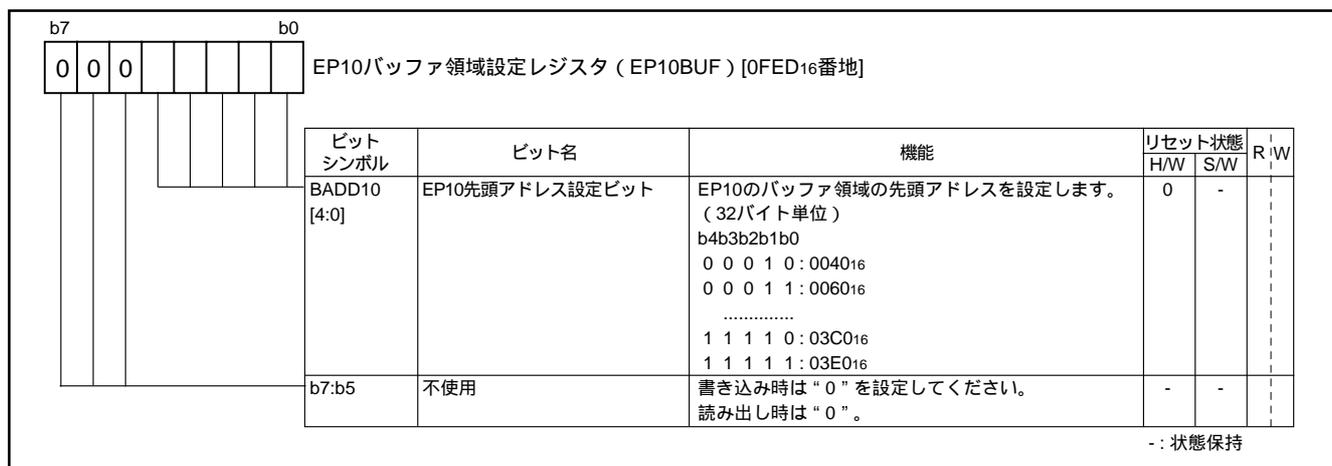


図79 . EP10バッファ領域設定レジスタ(EP10BUF)

(6) エンドポイント11

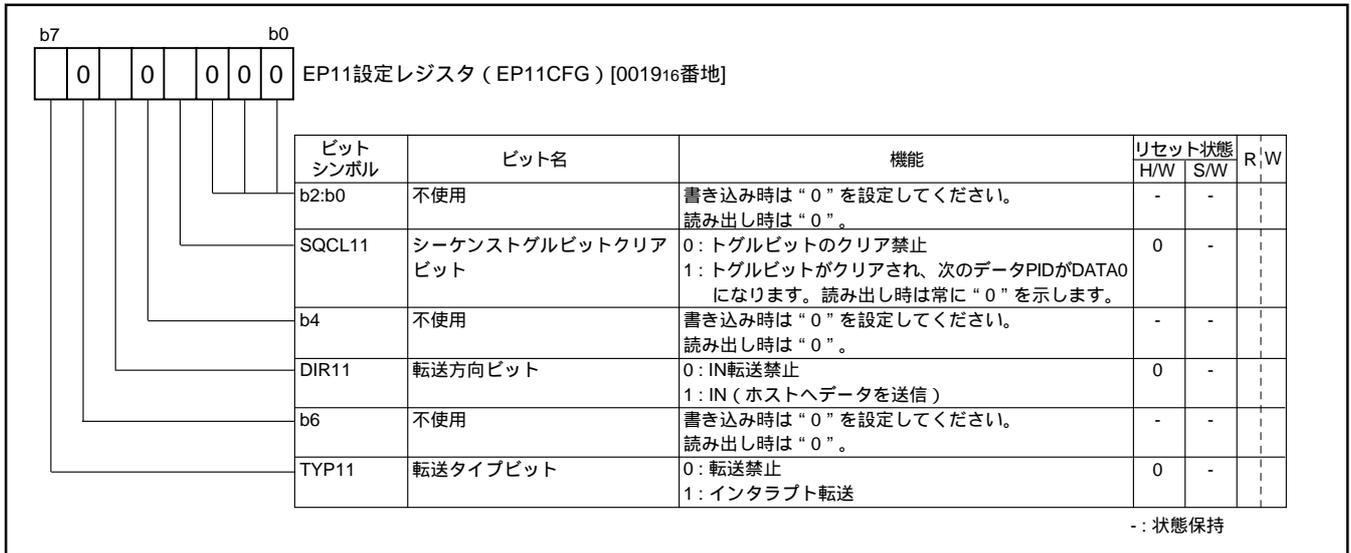


図80 . EP11設定レジスタ(EP11CFG)



図81 . EP11制御レジスタ1(EP11CON1)



図82 . EP11設定レジスタ2(EP11CON2)

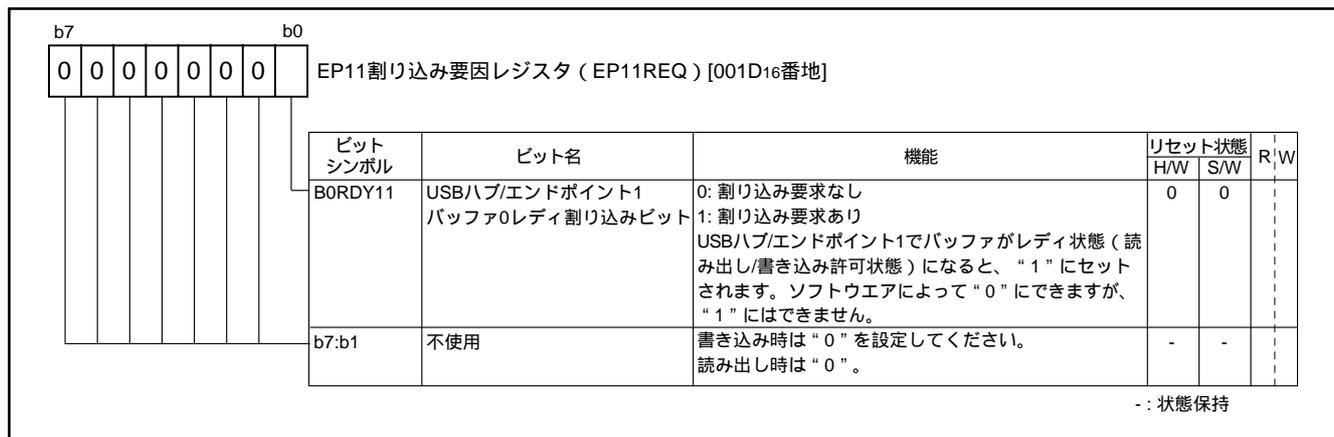


図83 . EP11割り込み要因レジスタ(EP11REQ)



図84 . EP11バイト数レジスタ(EP11BYT0)

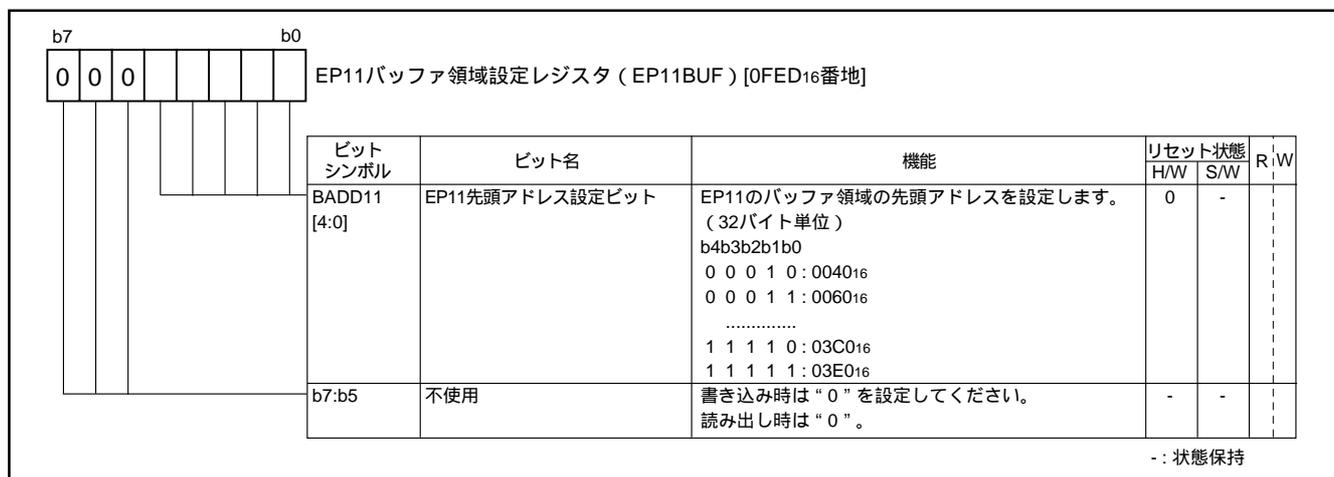


図85 . EP11バッファ領域設定レジスタ(EP11BUF)

HUB機能

38K2グループはHUBファンクション制御回路を内蔵しています。HUBファンクション制御回路を使用することにより、USBハブ機能(信号リポート、バス状態検知)を容易に実現できます。この回路はUSB仕様Ver2.0フル/ロースピード転送モード(12Mbps/1.5Mbps、Ver1.1と同等)に準拠しています。

38K2グループのHUBファンクション制御回路は2本の外部ダウンポートを搭載しており、さらに周辺機能用USBアドレスを用いることで1本の内蔵ダウンポートの動作が可能で、計3本のダウンポートを独立して制御できます。

ハブリピータ回路のシーケンス管理やデータリポート機能、及びダウンポートのステータス管理に必要なバス状態変化検出、エラー検出などをハードウェアで自動処理するため、プログラム作成やタイミング設計を容易に行うことができます。

各ダウンポート用のレジスタは、HUB機能用USBアドレスを用いたUSBコマンドやダウンポートのバス状態変化を検出して、制御できます。

その他、特殊信号処理として、グローバルレジューム時のリモートウエイクアップ信号送信機能を搭載しています。

ダウンポートの状態変化検出時はCPUに対して割り込みを発生します。(1ベクタ、10要因)

このように必要かつ十分なハードウェアを搭載しており、さらにUSBハブに必要な電源管理機能を汎用回路である外部割り込み機能や入出力ポートで実現することができるため、システムに最適な構成を柔軟に構築できます。

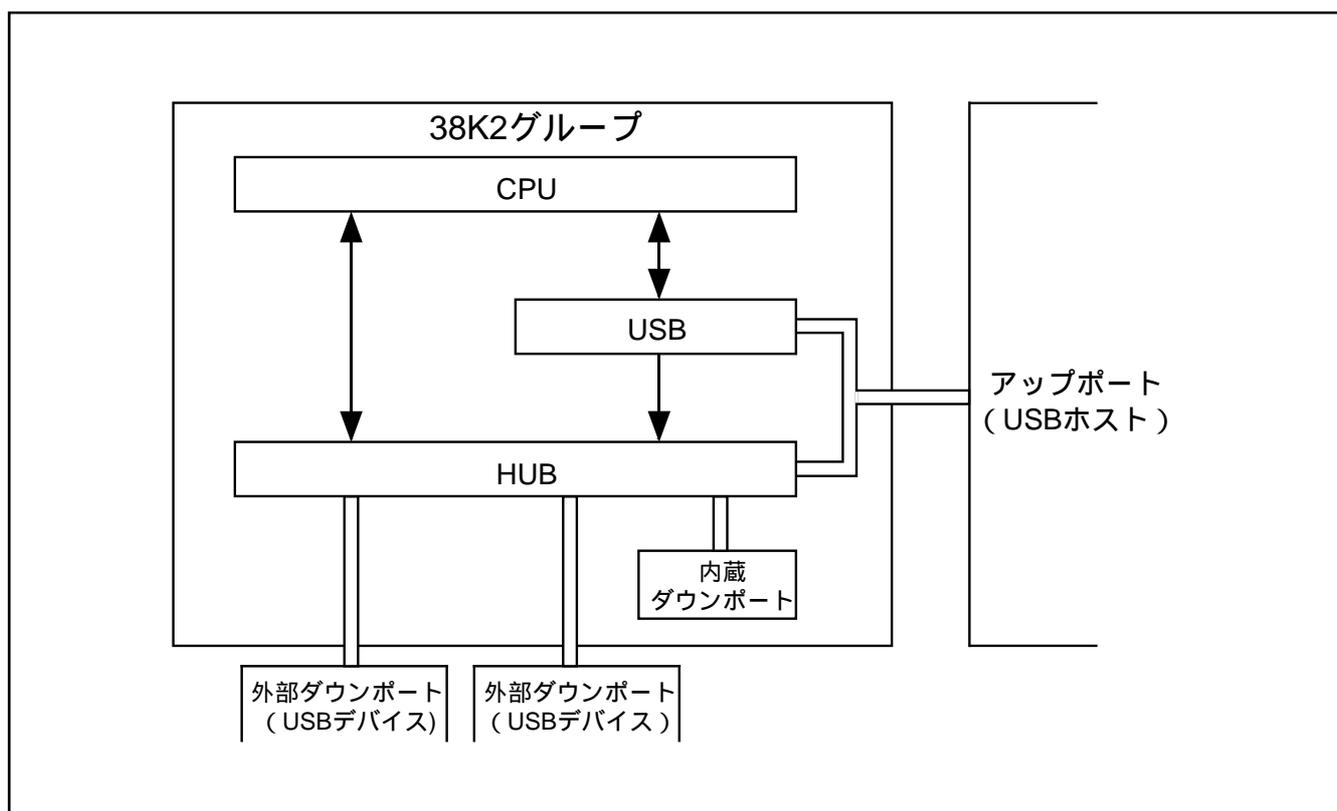


図86 . HUB機能

HUBファンクション制御回路ブロック図

HUBファンクション制御回路のブロック図を下記に示します。

HUBファンクション制御回路は、次で構成されています。

- (1)ハブリピータ部
- (2)ダウンポートコントロール部
- (3)CPUインタフェース部(CIF)

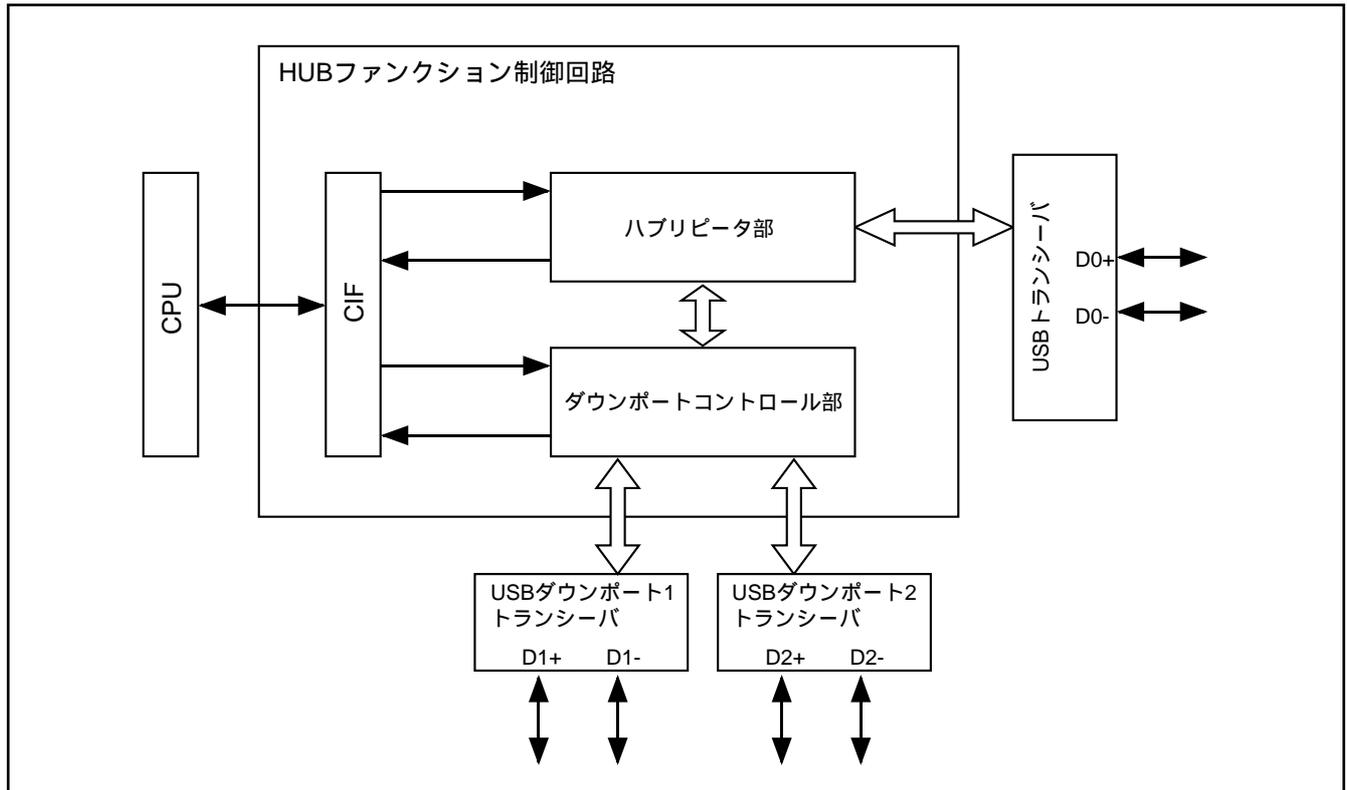


図87 . HUBファンクション制御回路ブロック図

(1)ハブリピータ部

ハブリピータ部は、以下に示す回路で構成され、HUBリピート機能のシーケンス処理を行います。USBモジュール動作許可(USBE=1)で有効になります。

- ・リピータ回路(SOP/EOP信号の検出)
- ・フレームタイマ回路(SOF信号に同期1msフレームの管理)
- ・レシーバ回路(アップポートの状態管理)
- ・トランスミッタ回路(アップポートの出力制御)

(2)ダウンポートコントロール部

ダウンポートコントロール部は、以下に示す回路で構成され、ハブリピータ部の状態管理の基、ダウンポート制御動作を行います。

- ・ダウンポートシーケンサ回路
- ・ダウンポート状態変化検出回路

(3)CPUインタフェース部(CIF)

CPUインタフェース部(CIF)は、以下に示す処理を行います。

- ・レジスタによる、リピータ/ダウンポート状態制御
- ・割り込み信号の生成
- ・内部バスインタフェース制御

USBダウンポートの周辺回路設定

USBダウンポートの周辺回路は、ダウンポート制御レジスタ[0FF9₁₆番地]で設定できます。

図88、89にブロック図を示します。

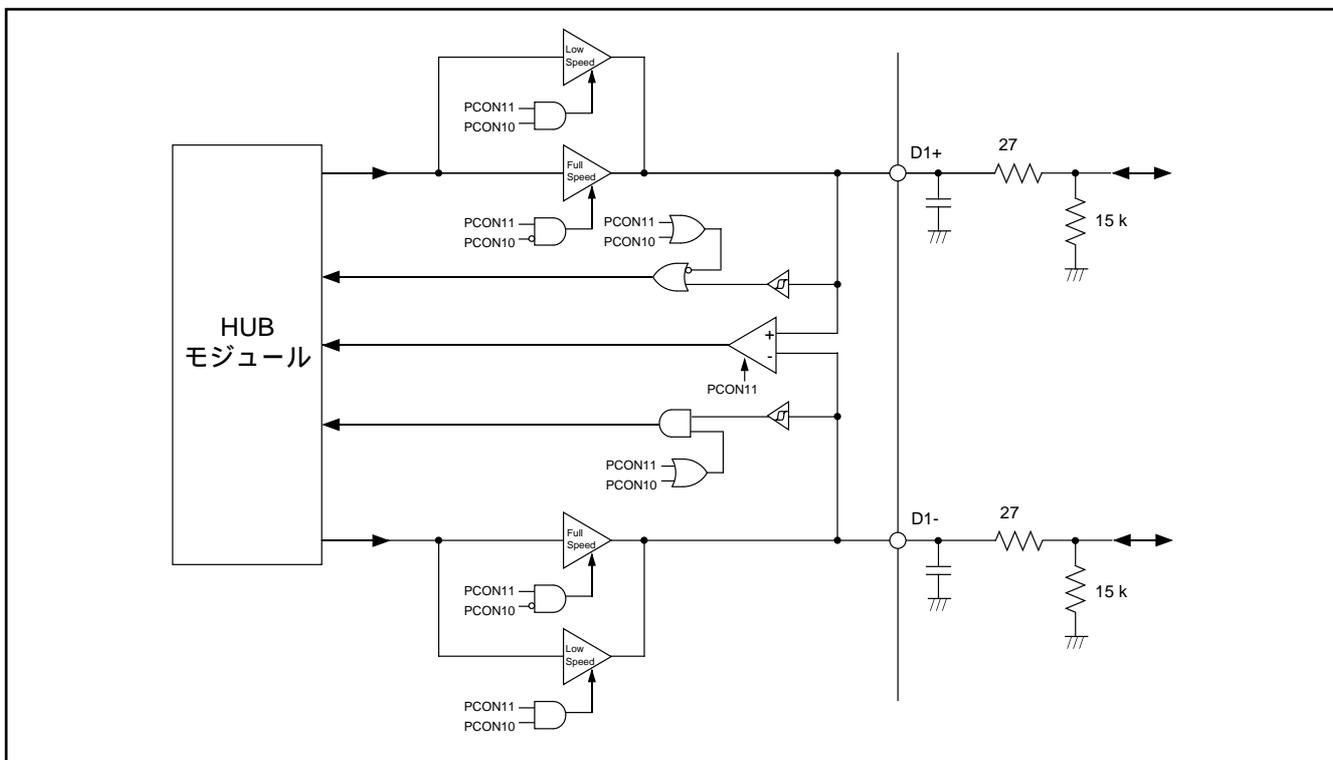


図88 . USBダウンポート周辺回路(D1+ , D1-)のブロック図

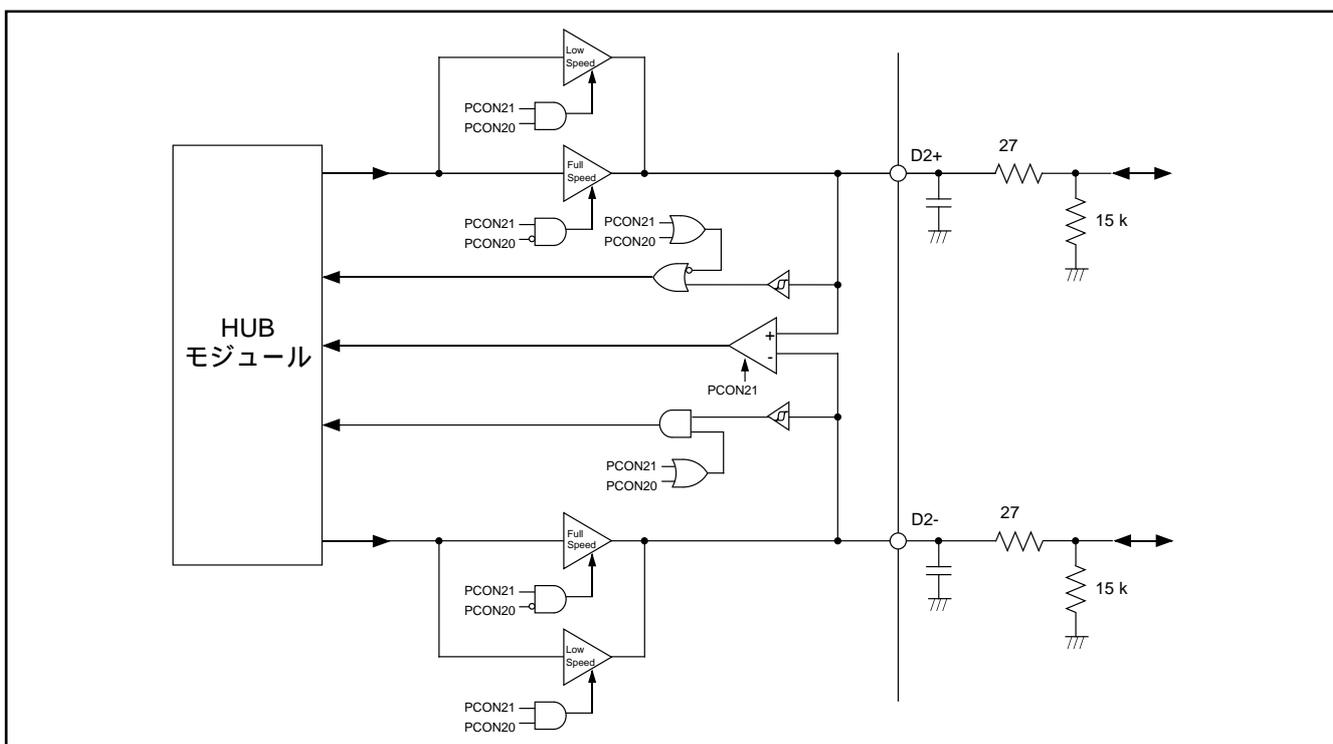


図89 . USBダウンポート周辺回路(D2+ , D2-)のブロック図

HUB割り込み機能

HUBファンクション制御回路には1つの割り込み要求があります。その中に割り込み要因が10要因あり、各割り込み要因レジスタでその要因を判別できます。

HUB割り込み要因一覧を下記に示します。

表8 . HUB割り込み要因一覧

割り込み要求ビット [IREQ2:003D16番地]	HUB割り込み要因ビット [HUBIREQ:002916番地]	割り込み要因
USBハブ	DP1	HUBダウンポート1状態変化検出時 ・非接続状態検出 ・接続状態検出 ・ポートエラー状態検出 ・レジューム信号検出 ・バス状態変化検出
	DP2	HUBダウンポート2状態変化検出時 ・非接続状態検出 ・接続状態検出 ・ポートエラー状態検出 ・レジューム信号検出 ・バス状態変化検出

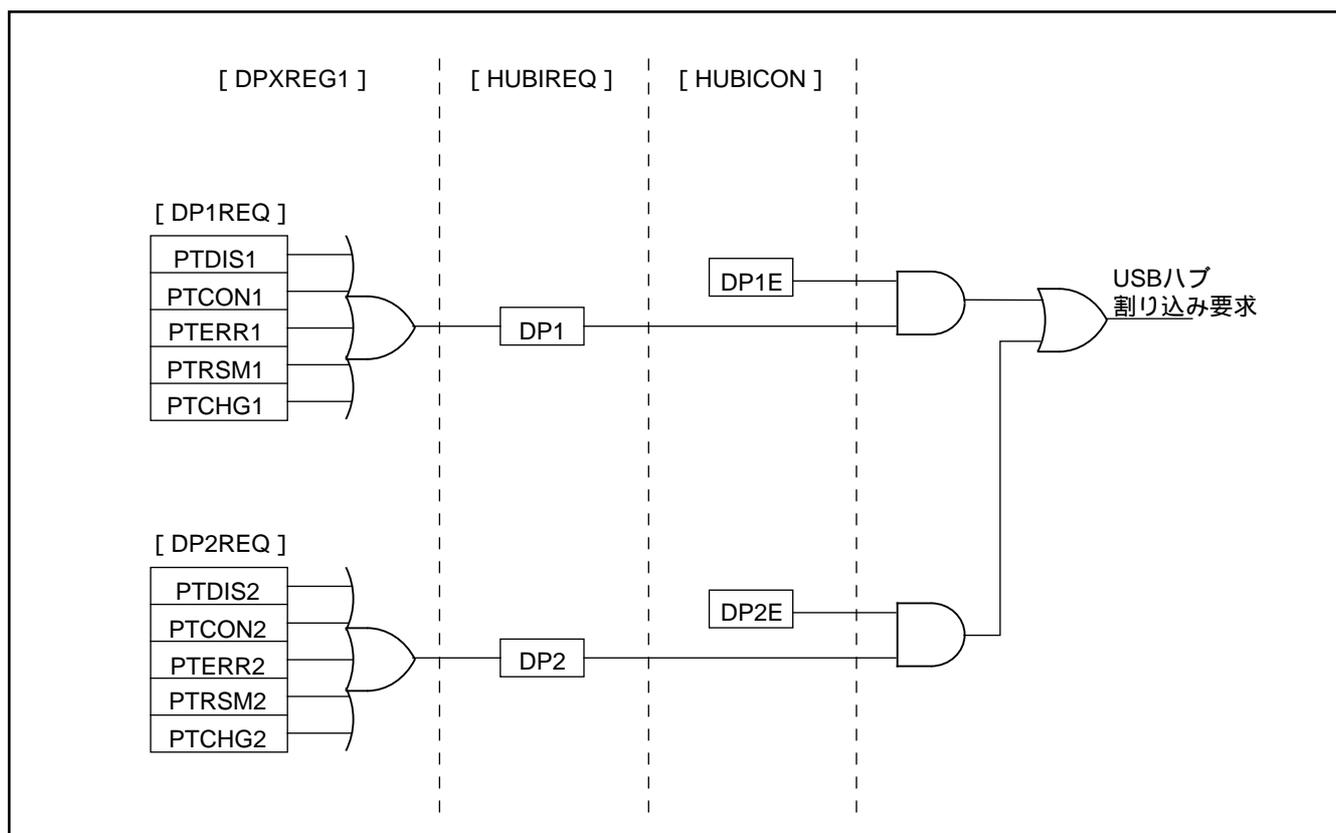


図90 . USBハブ割り込み制御図

HUBレジスタ一覧

HUBレジスタ一覧を下記に示します。

番地	レジスタ名	SYMBOL	HUB SFR								
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
0028 ₁₆	HUB割り込み要因許可レジスタ	HUBICON	HRWUE							DP2E	DP1E
0029 ₁₆	HUB割り込み要因レジスタ	HUBIREQ	HRWU							DP2	DP1
002A ₁₆	HUBポートインデックスレジスタ	HUBINDEX									DPIDX
002B ₁₆	HUBポートフィールドレジスタ1	DPXREG1									
002C ₁₆	HUBポートフィールドレジスタ2	DPXREG2									
002D ₁₆	HUBポートフィールドレジスタ3	DPXREG3									
(1) HUBポート1											
002B ₁₆	DP1割り込み要因レジスタ	DP1REQ				PTCHG1	PTRSM1	PTERR1	PTCON1	PTDIS1	
002C ₁₆	DP1制御レジスタ	DP1CON	DSLSPD1	DSRMOD1	DSRSMO1	DSRSTO1	DSEDE1	DSSUSP1	DSPTEN1	DSCONN1	
002D ₁₆	DP1ステータスレジスタ	DP1STS							D1PLUS	D1MINUS	
(2) HUBポート2											
002B ₁₆	DP2割り込み要因レジスタ	DP2REQ				PTCHG2	PTRSM2	PTERR2	PTCON2	PTDIS2	
002C ₁₆	DP2制御レジスタ	DP2CON	DSLSPD2	DSRMOD2	DSRSMO2	DSRSTO2	DSEDE2	DSSUSP2	DSPTEN2	DSCONN2	
002D ₁₆	DP2ステータスレジスタ	DP2STS							D2PLUS	D2MINUS	
0FF9 ₁₆	ダウンポート制御レジスタ	DPCTL						PCON2[1:0]		PCON1[1:0]	

 : 不使用

図91 . HUBレジスタ一覧

HUB関連レジスタ

HUB関連レジスタを下記に示します。

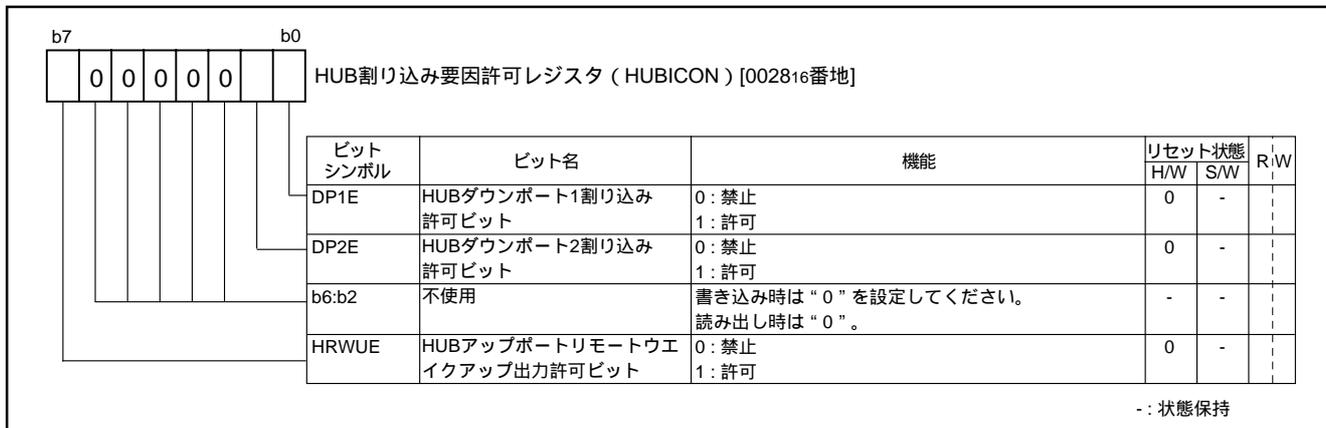


図92 . HUB割り込み要因許可レジスタ(HUBICON)

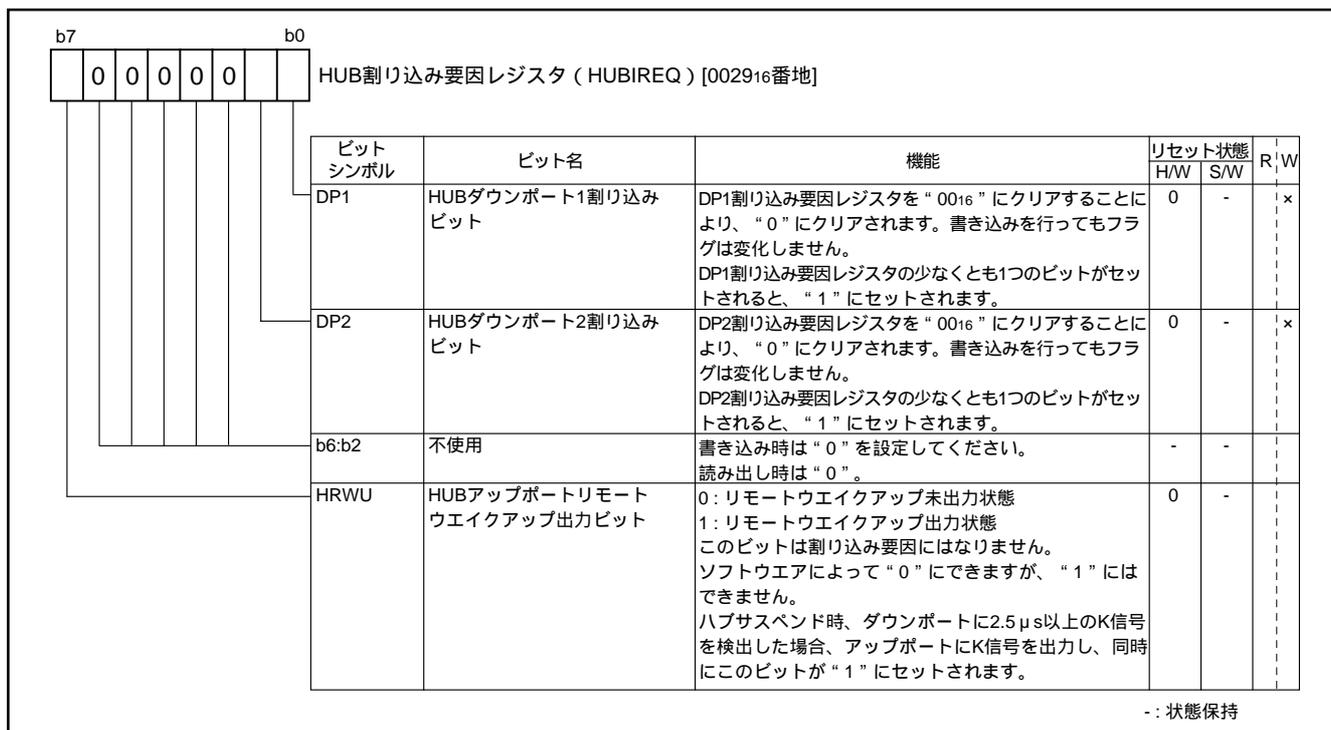


図93 . HUB割り込み要因レジスタ(HUBIREQ)

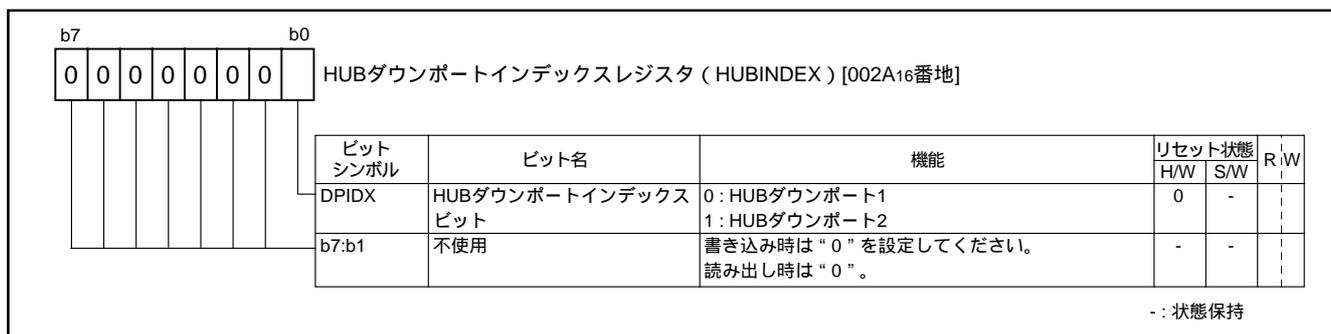


図94 . HUBダウンポートインデックスレジスタ(HUBINDEX)

(1) ダウンポート1

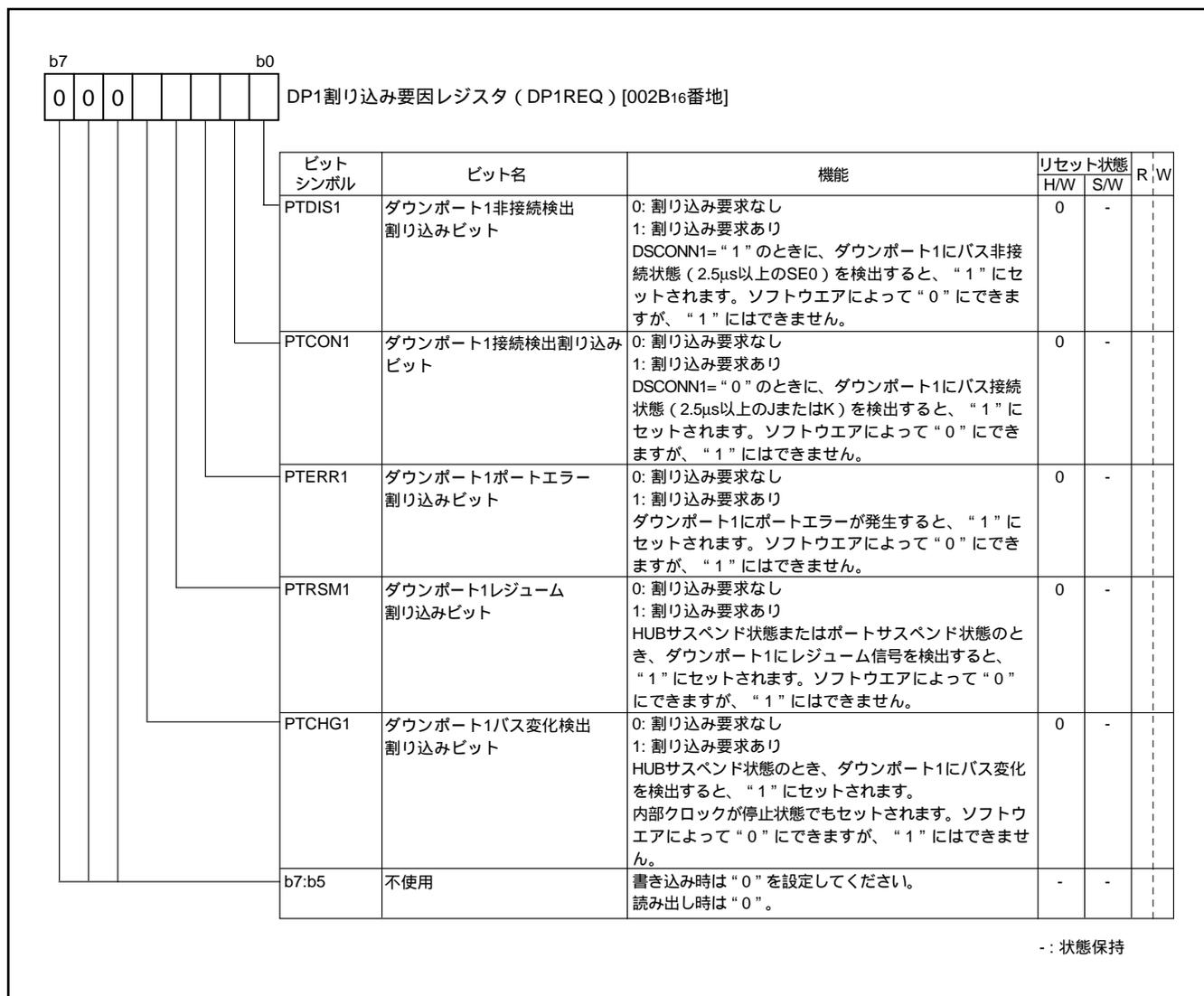


図95 . DP1割り込み要因レジスタ(DP1REQ)

DP1制御レジスタ (DP1CON) [002C16番地]

ビット シンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
DSCONN1	ダウンポート1接続ビット	0: 非接続状態: PTCON1割り込み許可 1: 接続状態: PTDIS1割り込み許可	0	-		
DSPTEN1	ダウンポート1許可ビット	0: ダウンポート1禁止 1: ダウンポート1許可: PTDIS1、PTERR1割り込みが発生すると、クリアされます。	0	-		
DSSUSP1	ダウンポート1サスペンドビット	0: 非ポートサスペンド状態 1: ポートサスペンド状態: PTDIS1、PTRSM1割り込みが発生すると、クリアされます。	0	-		
DSDETE1	ダウンポート1接続状態検出許可ビット	0: 接続 / 非接続状態検出禁止: PTCON1、PTDIS1割り込みが禁止されます。 1: 接続 / 非接続状態検出許可: PTCON1、PTDIS1、PTERR1割り込みが発生すると、クリアされます。	0	-		
DSRSTO1	ダウンポート1SE0信号送信ビット	0: 非出力状態 1: SE0信号出力状態	0	-		
DSRSMO1	ダウンポート1レジューム信号送信ビット	0: 非出力状態 1: K信号出力状態: "0" を書き込むと、ロースピードEOPを出力した後、非出力状態に遷移します。	0	-		
DSRMOD1	ダウンポート1バス状態読み込みモード制御ビット	0: RD信号でダウンポート1のバス状態を読み込むモード。 1: EOF2信号 (内部信号) でダウンポート1のバス状態を読み込むモード。	0	-		
DSLSPD1	ダウンポート1USB転送スピード選択ビット	0: フルスピードモード (12MHz) 1: ロースピードモード (1.5MHz)	0	-		

-: 状態保持

図96 . DP1制御レジスタ(DP1CON)

DP1ステータスレジスタ (DP1STS) [002D16番地]

ビット シンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
D1MINUS	D1-信号ビット	DSRMOD1=0のとき、RD信号でダウンポート1のバス状態を読み込みます。 DSRMOD1=1のとき、EOF2信号 (内部信号) でダウンポート1のバス状態を読み込みます。	不定	不定		x
D1PLUS	D1+信号ビット	DSRMOD1=0のとき、RD信号でダウンポート1のバス状態を読み込みます。 DSRMOD1=1のとき、EOF2信号 (内部信号) でダウンポート1のバス状態を読み込みます。	不定	不定		x
b7:b2	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-		

-: 状態保持

図97 . DP1ステータスレジスタ(DP1STS)

(2) ダウンポート2

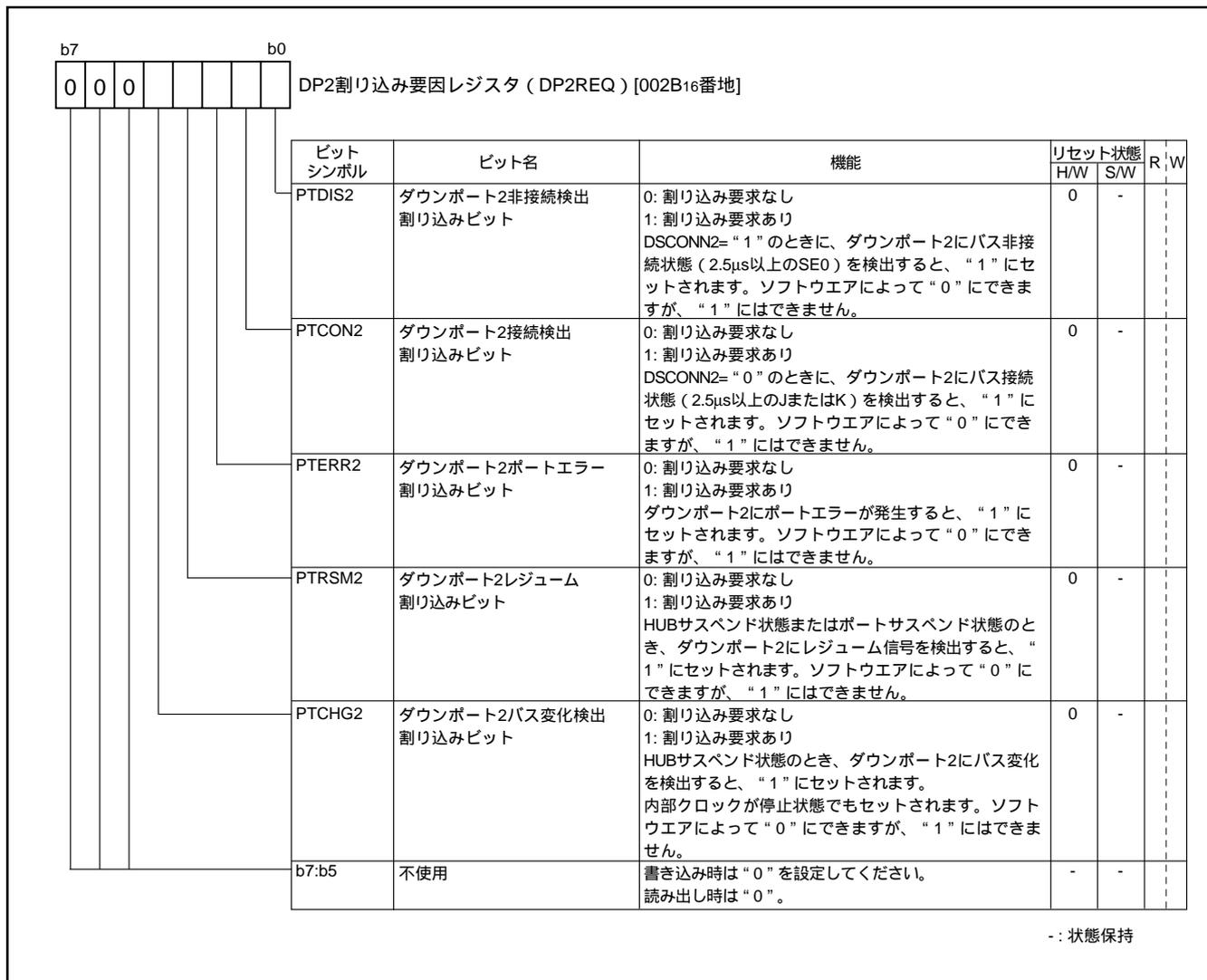


図98 . DP2割り込み要因レジスタ(DP2REQ)



図99 . DP2制御レジスタ(DP2CON)

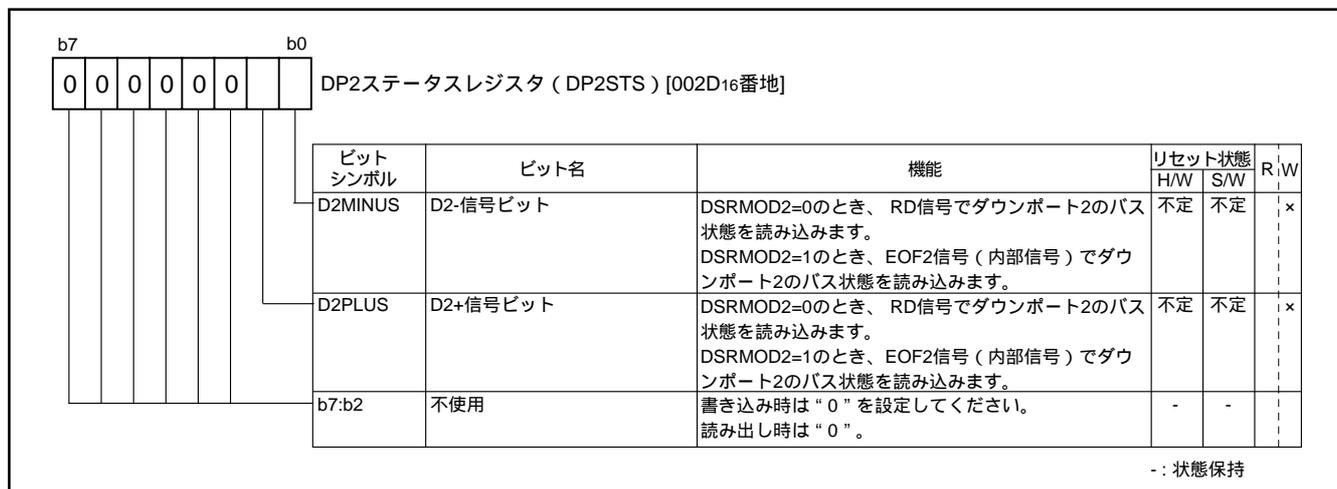


図100 . DP2ステータスレジスタ(DP2STS)



図101 . ダウンポート制御レジスタ(DPCTL)

外部バスインタフェース

外部バスインタフェースを下記に示します。

外部バスインタフェース(EXB)は、外部MCUと38K2グループのCPUまたはメモリ(マルチチャンネルRAM)間のデータ転送を制御します。

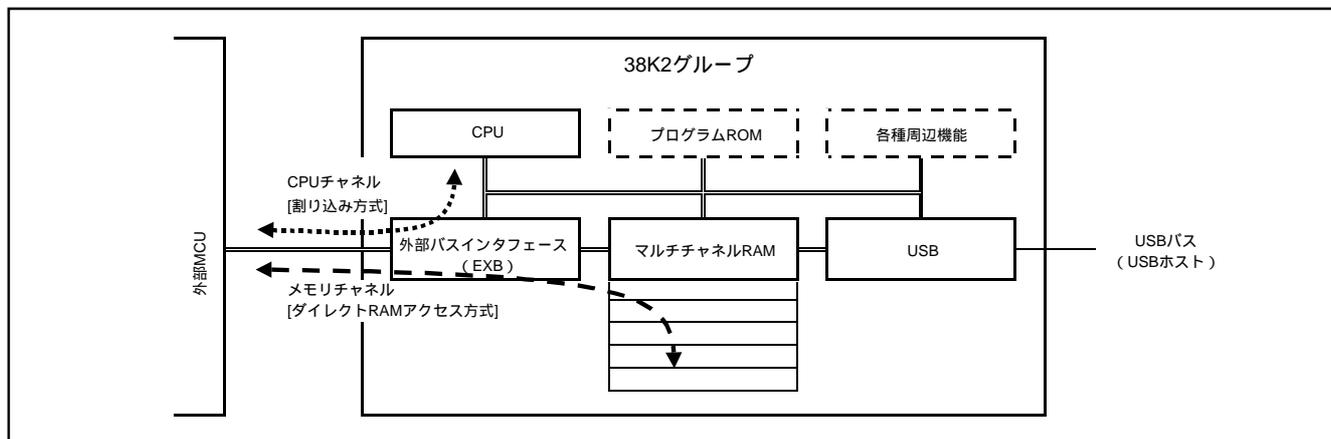


図102 . 外部バスインタフェース

CPUチャンネル

外部MCUと38K2グループCPU間の、割り込み処理によるデータ転送経路です。

メモリチャンネル

外部MCUと38K2グループメモリ(マルチチャンネルRAM)間の、メモリチャンネルコントローラのダイレクトRAMアクセスによるデータ転送経路です。

メモリチャンネルのデータ転送

メモリチャンネル動作モードレジスタのバーストビットでバーストモードを選択すると、最も高速にデータ転送することができます。

外部バスインタフェースは、外部のリード信号/ライト信号の立ち上がりを検出してから内部クロックで同期化した後、2クロックで送受信バッファとマルチチャンネルRAMの間のデータ転送を完了します。

ただし、USB動作時は、マルチチャンネルRAMへのアクセスはUSBが優先されるため、最大で2クロックの待ち時間が発生します。

このため、外部MCUバス側で、下記のタイミングを満たす

アクセス間隔を設定する必要があります。

=8MHzの場合、最大で約2Mバイト/秒のデータ転送が可能です。USBから同時にアクセスがある場合は、約1.3Mバイト/秒です。

=6MHzの場合、データ転送は最大で約1.5Mバイト/秒、USBから同時にアクセスがある場合は、約1Mバイト/秒です。

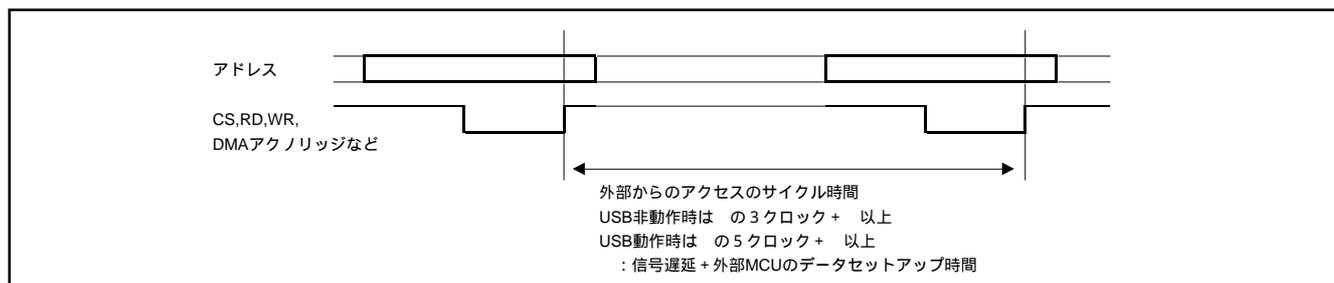


図103 . メモリチャンネルのデータ転送タイミング

EXB端子図

外部バスインタフェース(EXB)の端子を下記に示します。

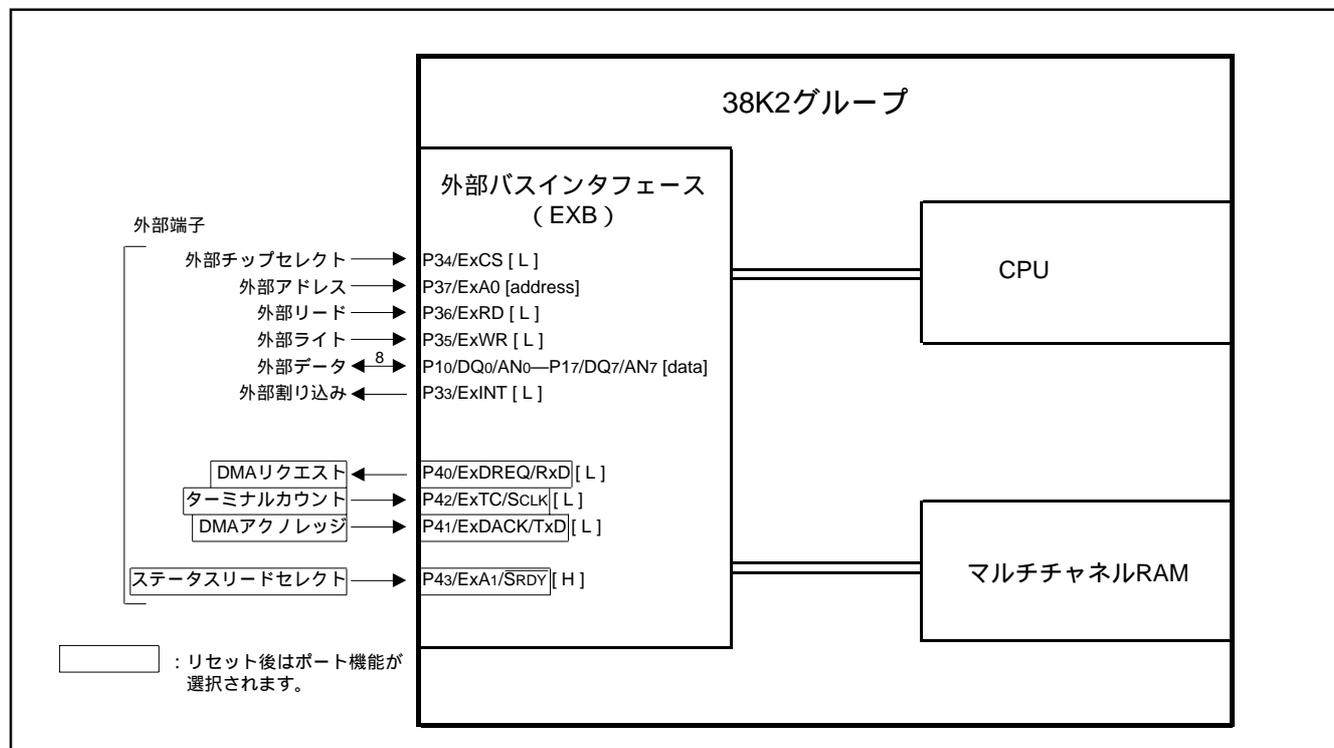


図104 . 外部バスインタフェース(EXB)の端子図

38K2グループは、以下の信号によって外部MCUとデータの送受信ができます。

- ・制御入力信号 4本(ExCS・ ExA0・ ExRD・ ExWR)
- ・データ入出力信号 8本(DQ0 ~ DQ7)
- ・割り込み出力信号 1本(ExINT)

また、DMAインタフェース信号と、38K2グループのバッファステータスリードセレクト信号を、プログラムにより1本単位で設定できます。

- ・制御入力信号 3本(ExTC・ ExDACK・ ExA1)
- ・割り込み出力信号 1本(ExDREQ)

EXBブロック図

外部バスインタフェース(EXB)のブロック図を下記に示します。

- (1)外部I/Oインタフェース部
- (2)CPUインタフェース部
- (3)内部メモリインタフェース部
- (4)送受信データバッファ部

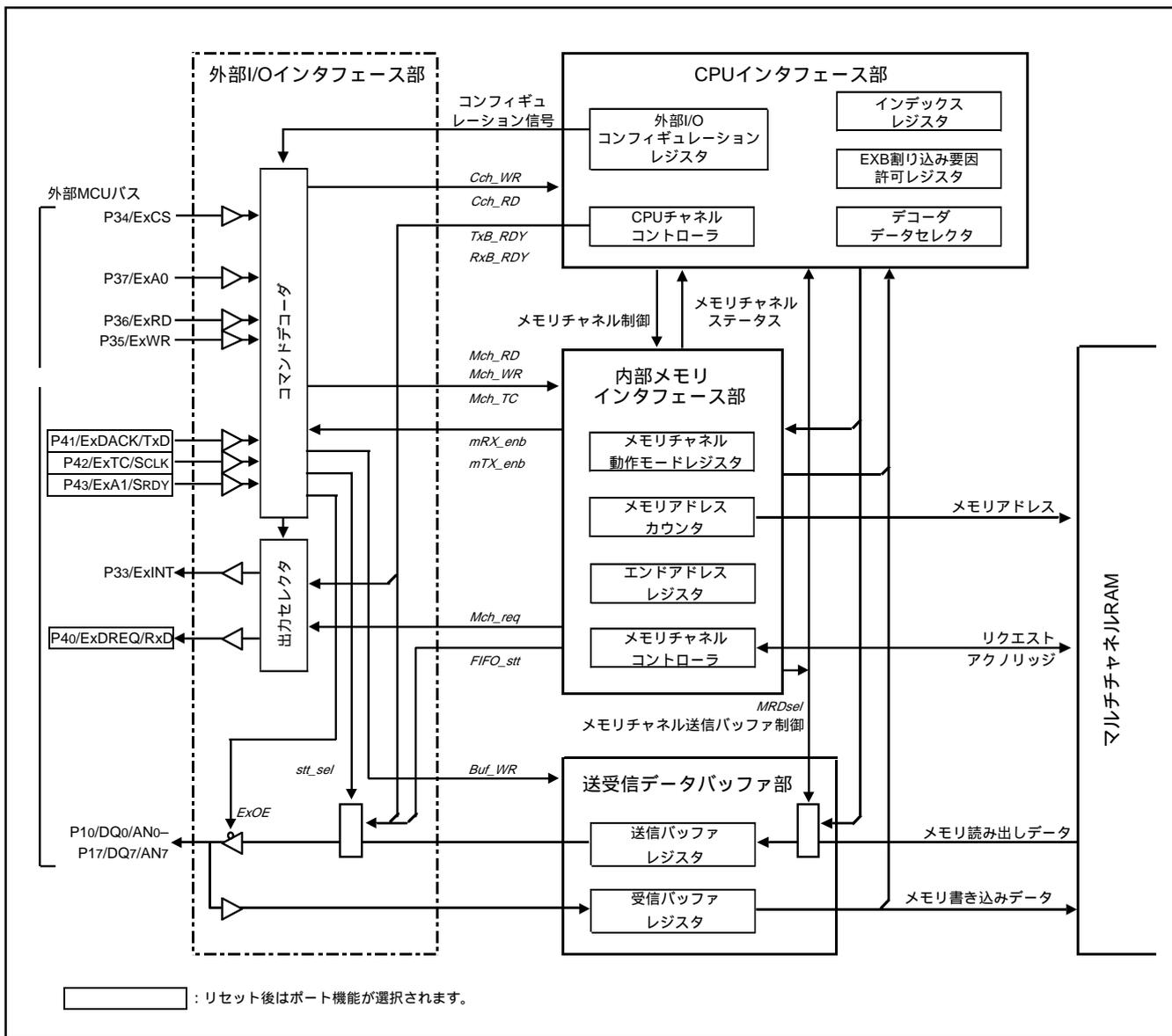


図105 . 外部バスインタフェース(EXB)ブロック図

(1)外部I/Oインタフェース部

外部I/Oインタフェース部は、コマンドデコーダ及び出力セクタで構成されています。

コマンドデコーダは、各ユニットに対して次の信号を生成します。

CPUインタフェース部

- ・CPUチャンネルリード(Cch_RD)
- ・CPUチャンネルライト(Cch_WR)

内部メモリインタフェース部

- ・メモリチャンネルリード(Mch_RD)
- ・メモリチャンネルライト(Mch_WR)
- ・メモリチャンネルターミナルカウンタ(Mch_TC)

送受信データバッファ部

- ・バッファライト(Buf_WR)

外部I/Oインタフェース内部

- ・ステータスセレクト(stt_sel)
- ・アウトプットイネーブル(ExOE)

CPUチャンネルへのアクセスは、外部信号の設定のみで制御します。

メモリチャンネルへのアクセスは、外部I/Oコンフィギュレーションレジスタの値と、内部メモリインタフェース部の状態(mRX_enb、mTX_enb信号)で制御します。

出力セクタは、P33/ExINT端子とP40/ExDREQ/RxD端子に割り当てる信号を、CPUチャンネルの状態(TxB_RDYとRxD_RDY)と、メモリチャンネルの状態(Mch_req)から選択する機能を持ちます。

(2)CPUインタフェース部

CPUインタフェース部は、CPUチャンネルのデコーダ/データセクタ、CPU書き込みレジスタ及びCPUチャンネルコントローラで構成されています。

CPUチャンネルのデコーダ/データセクタ

CPUレジスタへの書き込みは、アドレスデコード信号とライト信号で、レジスタごとのライト信号を生成して行います。

CPUレジスタの読み出しは、モジュールセレクト信号とリード信号で内部データバスのアウトプットイネーブル信号を生成し、アドレスデコード信号でレジスタごとのセレクト信号を生成して行います。

CPU書き込みレジスタ

CPU書き込みレジスタは、以下の3つです。

- ・EXB割り込み要因許可レジスタ
- ・インデックスレジスタ
- ・外部I/Oコンフィギュレーションレジスタ

EXB割り込み要因レジスタは、読み出し専用です。CPUチャンネルコントローラのステータス信号と、内部メモリインタフェース部のメモリチャンネルコントローラのステータス信号を生成します。

CPUチャンネルコントローラ

CPUチャンネルコントローラは、EXB割り込み要因許可レジスタのビット0とビット1(RXB_ENB、TXB_ENB)で、次の信号を生成します。

- ・メモリチャンネル送信バッファ制御信号(MRD_sel) : 内部メモリインタフェース部で生成されます。
- ・CPUチャンネルコマンド信号(Cch_RD、Cch_WR) : 外部I/Oインタフェース部で生成されます。
- ・RxB_RDY/RxB_full、TxB_RDY/TxB_empty信号 : CPUチャンネルからのリード・ライト信号で生成されます。

(3)内部メモリインタフェース部

内部メモリインタフェース部は、CPUレジスタ及びメモリチャンネルコントローラで構成されています。

CPUレジスタ

CPUレジスタは、次で構成されています。

- ・メモリチャンネル動作モードレジスタ
- ・メモリアドレスカウンタ
- ・エンドアドレスレジスタ

メモリアドレスカウンタは、EXB割り込み要因許可レジスタのメモリチャンネル動作許可ビット(MC_ENB)が 0 のとき、CPUからスタートアドレスを設定することができます。このビットが 1 のとき、CPUからの書き込みは無効で、外部バスからのアクセスごとにカウントアップ動作を行います。

メモリチャンネルコントローラ

メモリチャンネルコントローラは、次で構成されています。

- ・メインシーケンサ
- ・内部メモリリクエスト信号生成回路
- ・外部メモリチャンネルリクエスト信号生成回路
- ・アドレスエンド検出回路
- ・ターミナルエンド入力処理回路

(4)送受信データバッファ部

送受信データバッファ部は、8ビットの送信バッファレジスタ(TXBUF)及び8ビットの受信バッファレジスタ(RXBUF)で構成されています。

外部MCUバスとのデータ転送には、CPUチャンネルでもメモリチャンネルでも、同じ送信バッファレジスタ/受信バッファレジスタを使用します。

(5)外部端子

外部バスインタフェースは、外部MCUバスと接続するために以下の端子を持っています。

チップセレクト	P34/ExCS
アドレス	P37/ExA0
データ	P10/DQ0/AN0 ~ P17/DQ7/AN7
リード	P36/ExRD
ライト	P35/ExWR
割り込み要求	P33/ExINT

また、外部DMACと接続するために次の端子を持ちます。各端子ごとに、通常のポート機能またはDMAインタフェース端子機能をプログラムにより選択できます。

DMAリクエスト	P40/ExDREQ/RxD
DMAアクノリッジ	P41/ExDACK/TxD
ターミナルカウント	P42/ExTC/SCLK

また、外部MCUバスからデータバッファの準備状況を確認するために、ステータスリードセレクト端子(P43/ExA1/SRDY端子)を持ちます。この端子は、リセット後はポート機能が選択されますが、プログラムによりステータスリードセレクト機能を設定できます。

ステータスリードセレクト	P43/ExA1/SRDY
--------------	---------------

- ・CPUチャンネル：38K2グループCPUとの通信

外部MCUバスからアドレス信号ExA0="H"で読み出し/書き込みを行うと、割り込みを発生して38K2グループCPUにアクセスを知らせます。

38K2グループCPUは割り込み要因を判別し、外部MCUバスとデータの送受信を行います。

- ・メモリチャンネル：38K2グループメモリ(マルチチャンネルRAM)との通信

外部MCUバスからアドレス信号ExA0="L"で読み出し/書き込みを行うと、マルチチャンネルRAMに対してアクセスが行われます。このとき、マルチチャンネルRAMの番地は外部バスインタフェースで生成され、1回のアクセスが終わるたびにインクリメントされます。このため、FIFOアクセスが行われます。

(ExCS="L")かつ(ExA0="L")の代わりに、DACK="L"で読み出し/書き込みを行っても、マルチチャンネルRAMにFIFOアクセスできます。

FIFOアクセスのスタートアドレスとエンドアドレスは、あらかじめCPUで設定しておく必要があります。

・ P33/ExINT端子

この端子は、次の信号のいずれかを選択できます。

TxB_RDY(送信バッファレディ)出力、

RxB_RDY(受信バッファレディ)出力、

Mch_req(メモリチャネルリクエスト)出力

通常は、TxB_RDYまたはRxB_RDYが選択されます。

メモリチャネルリクエストは、メモリチャネルへのアクセス要求信号です。

小規模なシステムでは、割り込みプログラムで内部メモリとのデータ転送処理を行う場合があります。38K2グループでは、このような環境に対応して、割り込み端子に割り付ける割り込み要因を、プログラムによって自動的に切り替える機能を持ちます。

・ P40/ExDREQ/RxD端子

この端子は、初期状態ではポートに設定されています。プログラムによって次の信号のどちらかを設定できます。

・ RxB_RDY(受信バッファレディ)出力

・ Mch_req(メモリチャネルリクエスト)出力

通常は、DMACのMch_reqが選択されます。

メモリチャネルリクエスト信号は、メモリチャネル動作モードレジスタのバーストビット(BURST)によって信号の出力が異なります。バーストビットが 0 の場合、この信号は、1バイトの転送ごとにパルス出力されます(図123, 126)。バーストビットが 1 の場合、この信号は、メモリアドレスカウンタがスタートアドレスからエンドアドレスまでカウントしている期間、連続して出力されます(図124, 127)。

・ P41/ExDACK/TxD端子

この端子は、初期状態ではポートに設定されています。プログラムによってDMAアクノリッジ信号を設定できます。

DMAアクノリッジ信号DACK= L は、(CS= L)かつ(A0= L)と同じ状態であり、この期間に設定されるリード信号またはライト信号の立ち上がりで、マルチチャネルRAMへのアクセスを開始します。

注 . DMAアクノリッジ信号と同時に、チップセレクト信号が設定される場合(DACK= L 、かつCS= L)には、アドレス信号A0も L にしてください。A0= H の場合、メモリチャネルとCPUチャネルの両方が起動し、不具合を生じる可能性があります。

・ P42/ExTC/SCLK端子

この端子は、初期状態ではポートに設定されています。プログラムによってターミナルカウント信号を設定できます。

外部MCUバスからメモリチャネル動作書き込みが行われている期間に、あるバスサイクルでターミナルカウント信号が設定されると、38K2グループはそのバスサイクルを最終データの書き込みサイクルと判定し、メモリアドレスカウンタがエンドアドレスに達していない場合でも、メモリチャネルステータスピットを 11 にし、割り込みを発生してメモリチャネル動作を終了します。

CPUは、メモリアドレスカウンタの値を読むことによって、データが書き込まれた最終番地を知ることができます(図125)。

EXBレジスタ一覧

EXBのレジスタマップを下記に示します。

番地	レジスタ名	SYMBOL	EXB SFR							
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0030 ₁₆	EXB割り込み要因許可レジスタ	EXBICON	X				MC_ENB		TXB_ENB	RXB_ENB
0031 ₁₆	EXB割り込み要因レジスタ	EXBIREQ	X				MC_STS[1:0]		TXB_EMPTY	RXB_FULL
0033 ₁₆	インデックスレジスタ	EXBINDEX	0	0	0	0	INDEX[2:0]			
0034 ₁₆	レジスタウィンドウ1 (low)	EXBREG1	LOW_WIN[7:0]							
0035 ₁₆	レジスタウィンドウ2 (high)	EXBREG2	HIGH_WIN[7:0]							

: 不使用
 0: "0" 固定

図106 . EXBレジスタマップ(1)

- ・ EXB割り込み要因許可レジスタ
外部MCUバスからのアクセスと内部割り込みを許可/禁止するレジスタです。
- ・ EXB割り込み要因レジスタ
CPUチャネルの送受信バッファレジスタの状態と、メモリチャネルの状態を示します。
バッファステータスリードセレクト信号(A1端子="H")によって、外部MCUバスからも同じ値を読み出せます。

- ・ インデックスレジスタ/レジスタウィンドウ1, 2
0034₁₆番地と0035₁₆番地をレジスタウィンドウとし、0033₁₆番地のインデックスレジスタの値によって、アクセスするレジスタを切り替えます。

インデックス	low/high	レジスタ名	SYMBOL	EXB SFR							
				bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0016	low	外部I/Oコンフィギュレーションレジスタ	EXBCFGL	X			A1_CTR	INT_CTR[2:0]		EXB_CTR	
	high		EXBCFGH	X			TC_CTR	DAK_CTR[1:0]	DRQ_CTR[1:0]		
0116	low	送受信バッファレジスタ	RXBUF/TXBUF	CPU読み出し時=RXBUF[7:0] CPU書き込み時=TXBUF[7:0]							
	high			X							
0216	low	メモリチャネル動作モードレジスタ	MCHMOD	X				BURST	MC_DIR[1:0]		
	high		X								
0316	low	メモリアドレスカウンタ	MEMADL	IM_A[7:0]							
	high		MEMADH	0	0	0	0	0	IM_A[10:8]		
0416	low	エンドアドレスレジスタ	ENDADL	END_A[7:0]							
	high		ENDADH	0	0	0	0	0	END_A[10:8]		

: 不使用
 0: "0" 固定

図107 . EXBレジスタマップ(2)

- ・ 外部I/Oコンフィギュレーションレジスタ
各端子ごとの機能を選択するレジスタです。
- ・ 送受信バッファレジスタ
受信バッファレジスタ(RXBUF)と送信バッファレジスタ(TXBUF)で構成されています。
- ・ メモリチャネル動作モードレジスタ
メモリチャネルの動作モードを設定するレジスタです。

- ・ メモリアドレスカウンタ
FIFOアクセスするスタートアドレスを設定するレジスタです。このレジスタは外部MCUバスからのアクセスによってインクリメントします。
- ・ エンドアドレスレジスタ
FIFOアクセスするエンドアドレスを設定するレジスタです。

EXB関連レジスタ

EXB関連レジスタを下記に示します。

EXB割り込み要因許可レジスタ (EXBICON) [0030₁₆番地] (注1)

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
RXB_ENB	CPUチャンネル受信許可ビット	0: 動作禁止 (割り込み禁止) 1: 動作許可 (受信バッファフル割り込み許可)	0	-	-	-
TXB_ENB	CPUチャンネル送信許可ビット	0: 動作禁止 (割り込み禁止) 1: 動作許可 (送信バッファエンpty割り込み許可)	0	-	-	-
MC_ENB	メモリチャンネル動作許可ビット	0: 動作禁止 (メモリチャンネル動作終了割り込み禁止) 1: 動作開始 (メモリチャンネル動作終了割り込み許可)	0	-	-	-
b7:b3	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-	-	-

-: 状態保持

注1. 各許可ビットは同時に使用できません。

図108 . EXB割り込み要因許可レジスタ(EXBICON)

EXB割り込み要因レジスタ (EXBIREQ) [0031₁₆番地] (注1)

ビットシンボル	ビット名	機能	リセット状態		R	W
			H/W	S/W		
RXB_FULL	受信バッファフルビット	0: 受信バッファエンpty 1: 受信バッファフル	0	0 (注3)	-	-
TXB_EMPTY	送信バッファエンptyビット	0: 送信バッファフル 1: 送信バッファエンpty	0	0 (注4)	-	-
MC_STS [1:0] (注2)	メモリチャンネルステータスビット	b3b2 0 0: メモリチャンネル動作停止 0 1: メモリチャンネル動作中 (外部アクセス未) 1 0: メモリチャンネル動作中 (外部アクセス有) 1 1: メモリチャンネル動作終了 (メモリチャンネル動作終了割り込み発生)	0	0	-	-
b7:b4	不使用	書き込み時は "0" を設定してください。 読み出し時は "0"。	-	-	-	-

-: 状態保持

注1 . 外部I/OコンフィギュレーションレジスタのA1端子制御ビットが^{*}1"のとき、外部MCUバスからもA1端子="H"にすることによって、このレジスタの値を読み出すことができます。

2 . メモリチャンネルステータスビットはメモリチャンネルの状態を示すビットです。MC_ENB="0"のとき、これらのビットは常に"00"です。メモリチャンネル動作が終了すると、これらのビットは"11"になり、メモリチャンネル動作終了割り込みが発生します。動作中も読み出し可能で、外部MCUバスからのアクセスの有無を知ることができます。

3 . CPUチャンネル受信許可ビットが^{*}1"のときに送受信バッファレジスタを読み出したとき、又はCPUチャンネル受信許可ビットが^{*}0"のとき、リセットされます。

4 . CPUチャンネル送信許可ビットが^{*}1"のときに送受信バッファレジスタに書き込んだとき、又はCPUチャンネル送信許可ビットが^{*}0"のとき、リセットされます。

図109 . EXB割り込み要因レジスタ(EXBIREQ)

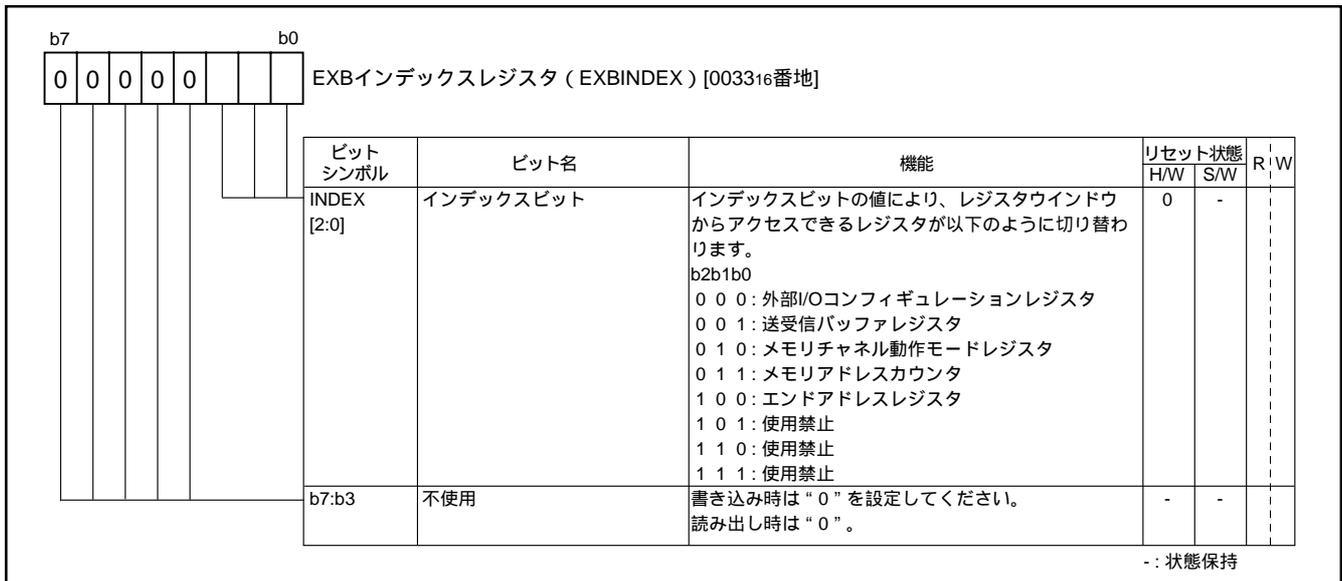


図110 . EXBインデックスレジスタ(EXBINDEX)

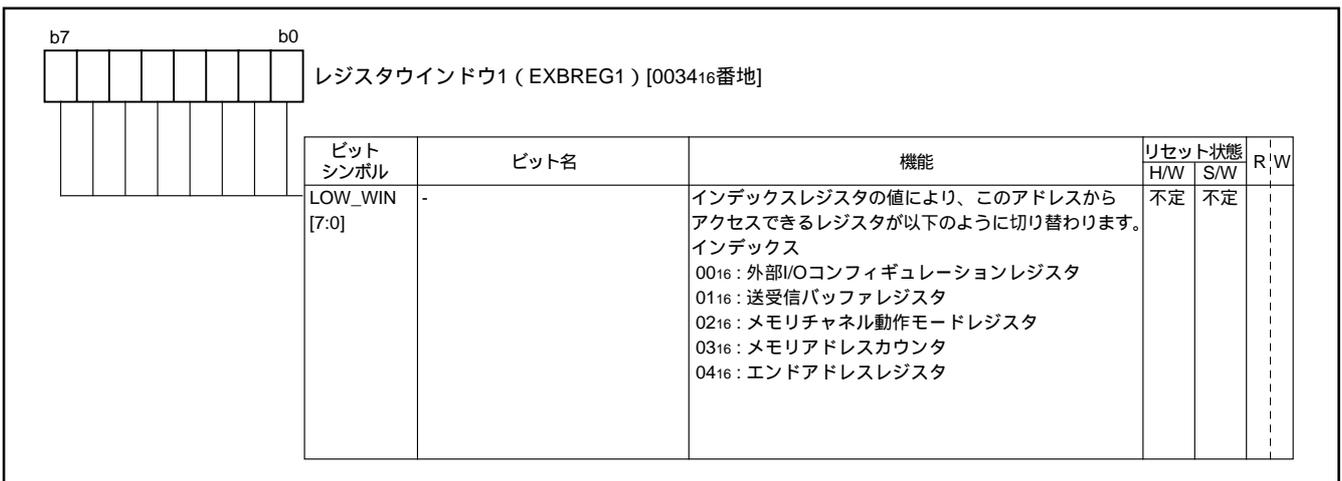


図111 . レジスタウィンドウ1(EXBREG1)

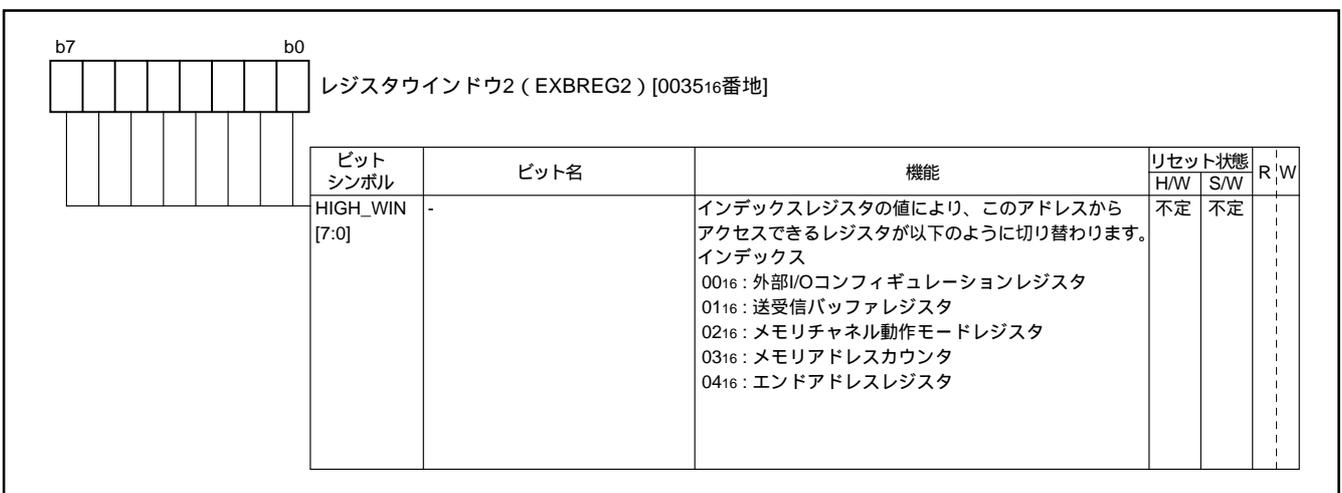


図112 . レジスタウィンドウ2(EXBREG2)

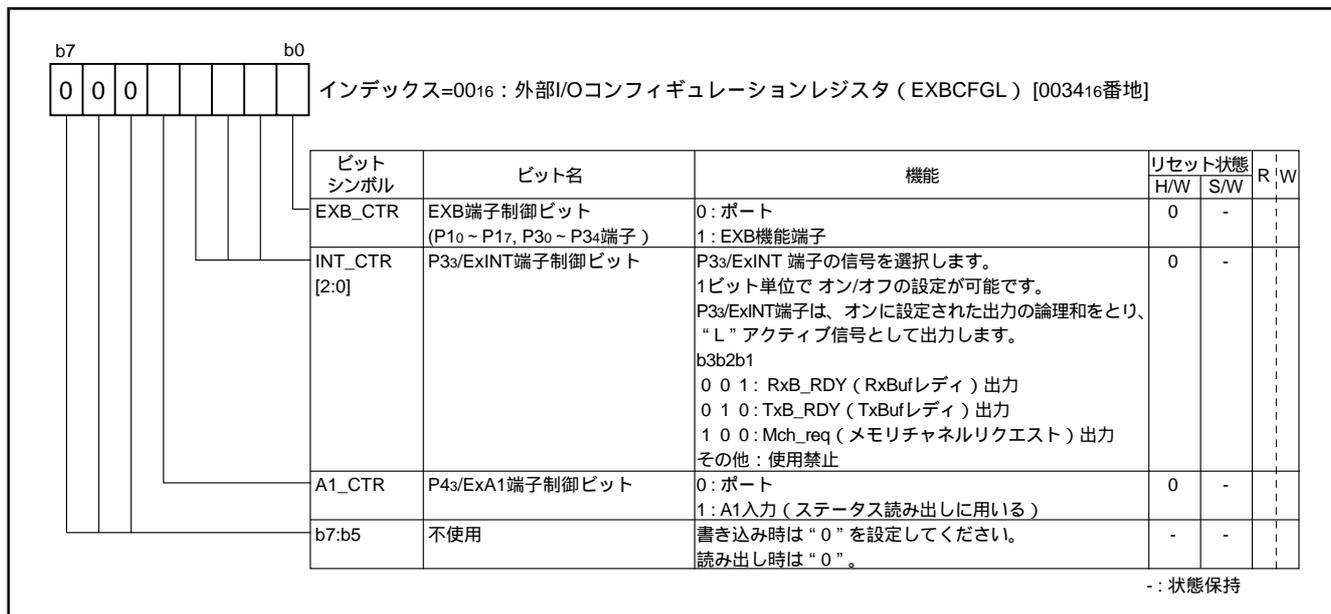


図113 . インデックス00[low]

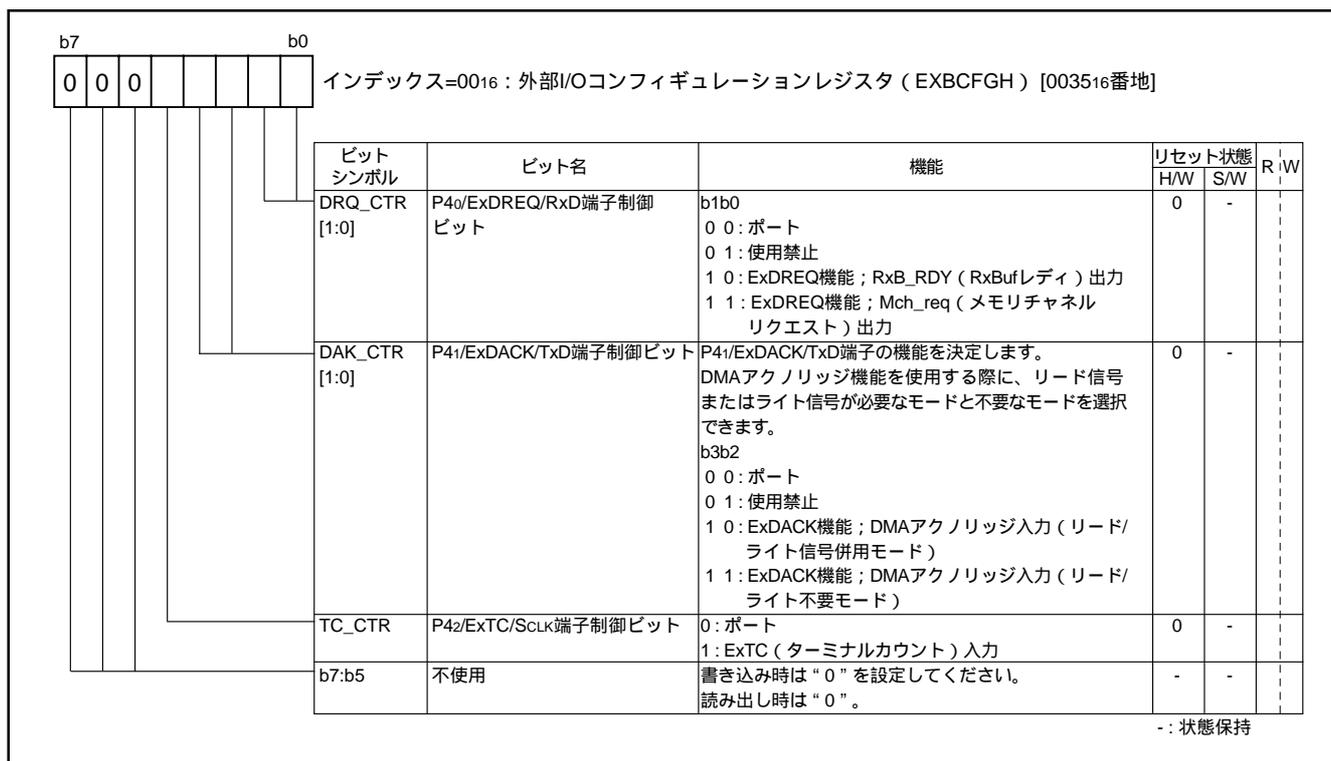


図114 . インデックス00[high]

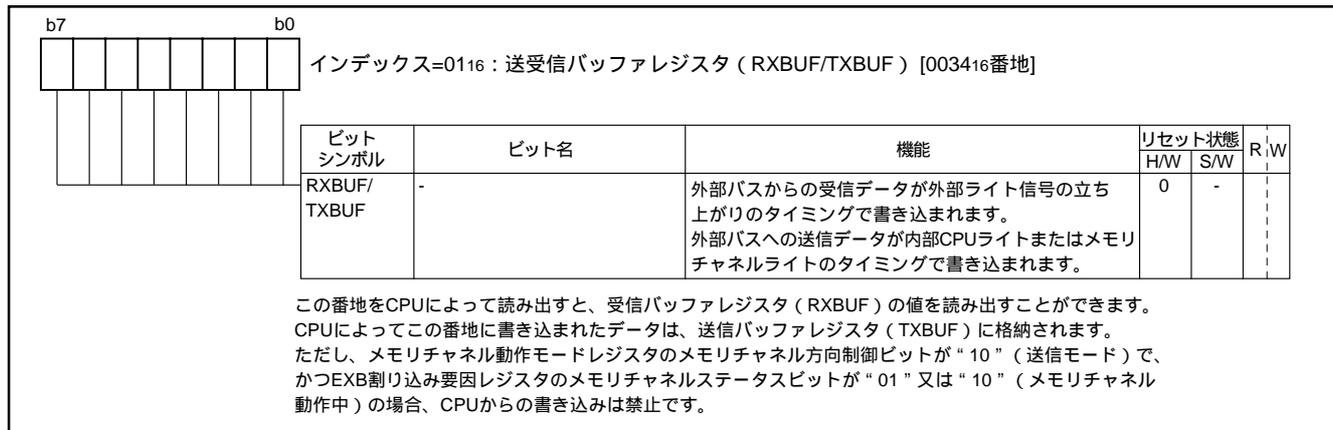


図115 . インデックス01[low]

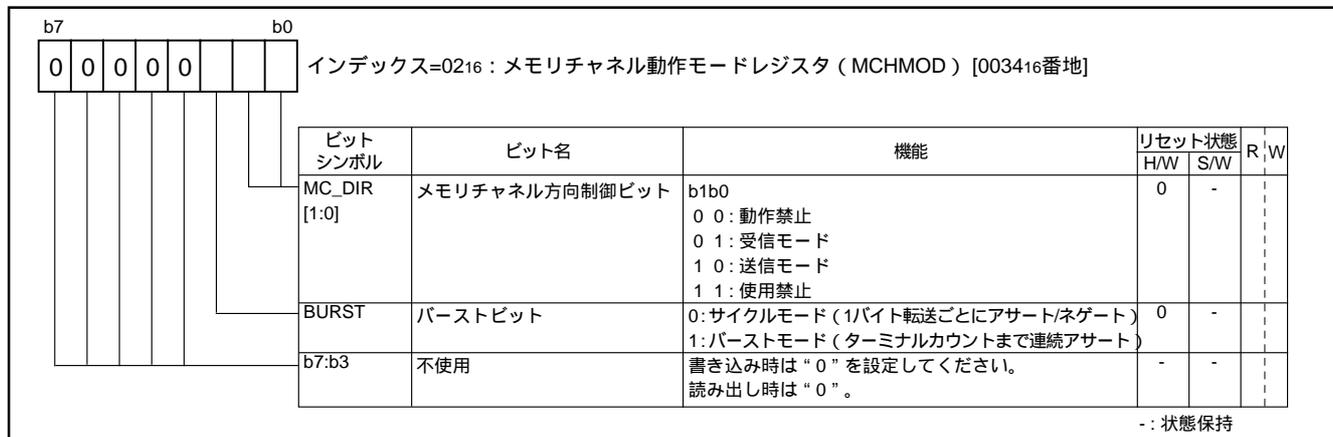


図116 . インデックス02[low]

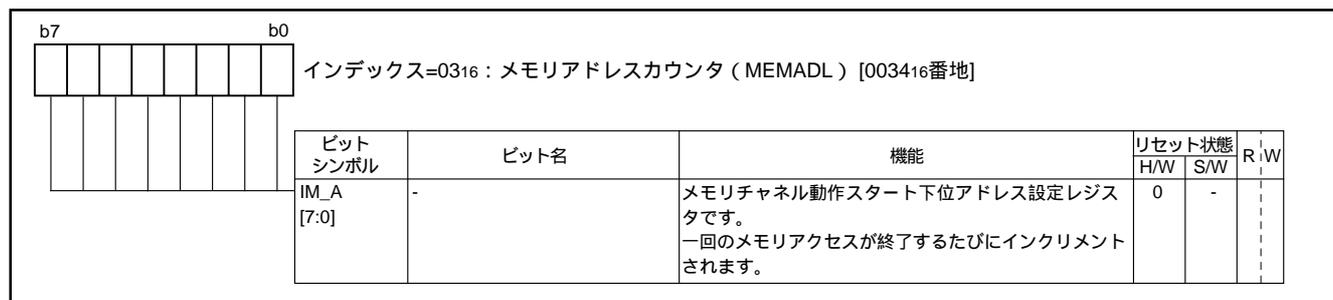


図117 . インデックス03[low]

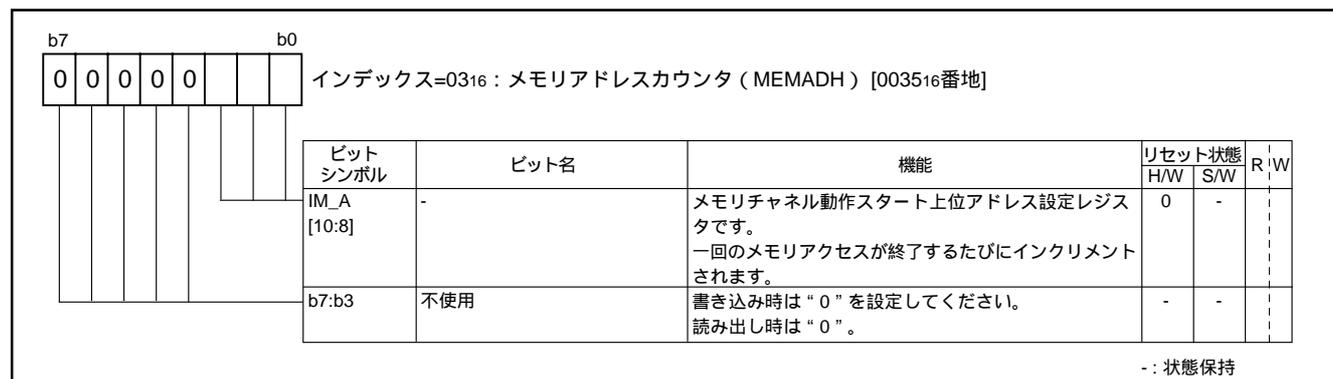


図118 . インデックス03[high]

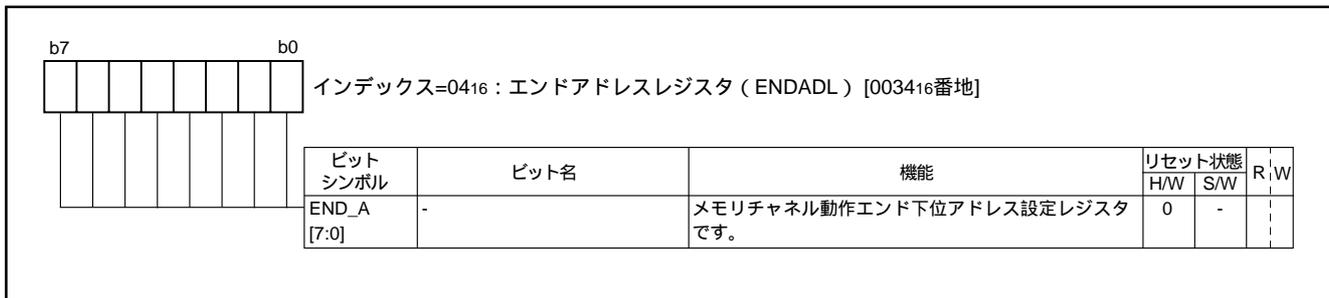


図119 . インデックス04[low]

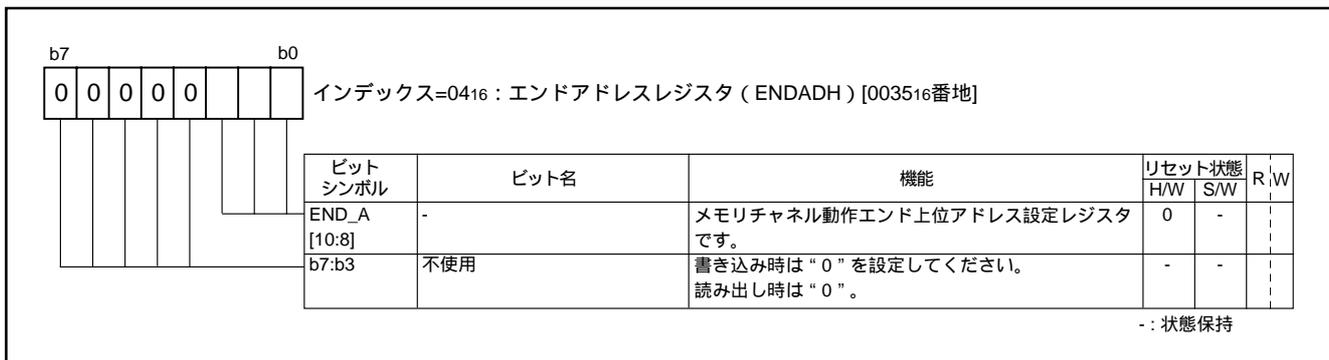


図120 . インデックス04[high]

EXB動作タイミング図

(1)CPUチャンネル受信動作

CPUチャンネル受信動作を下記に示します。

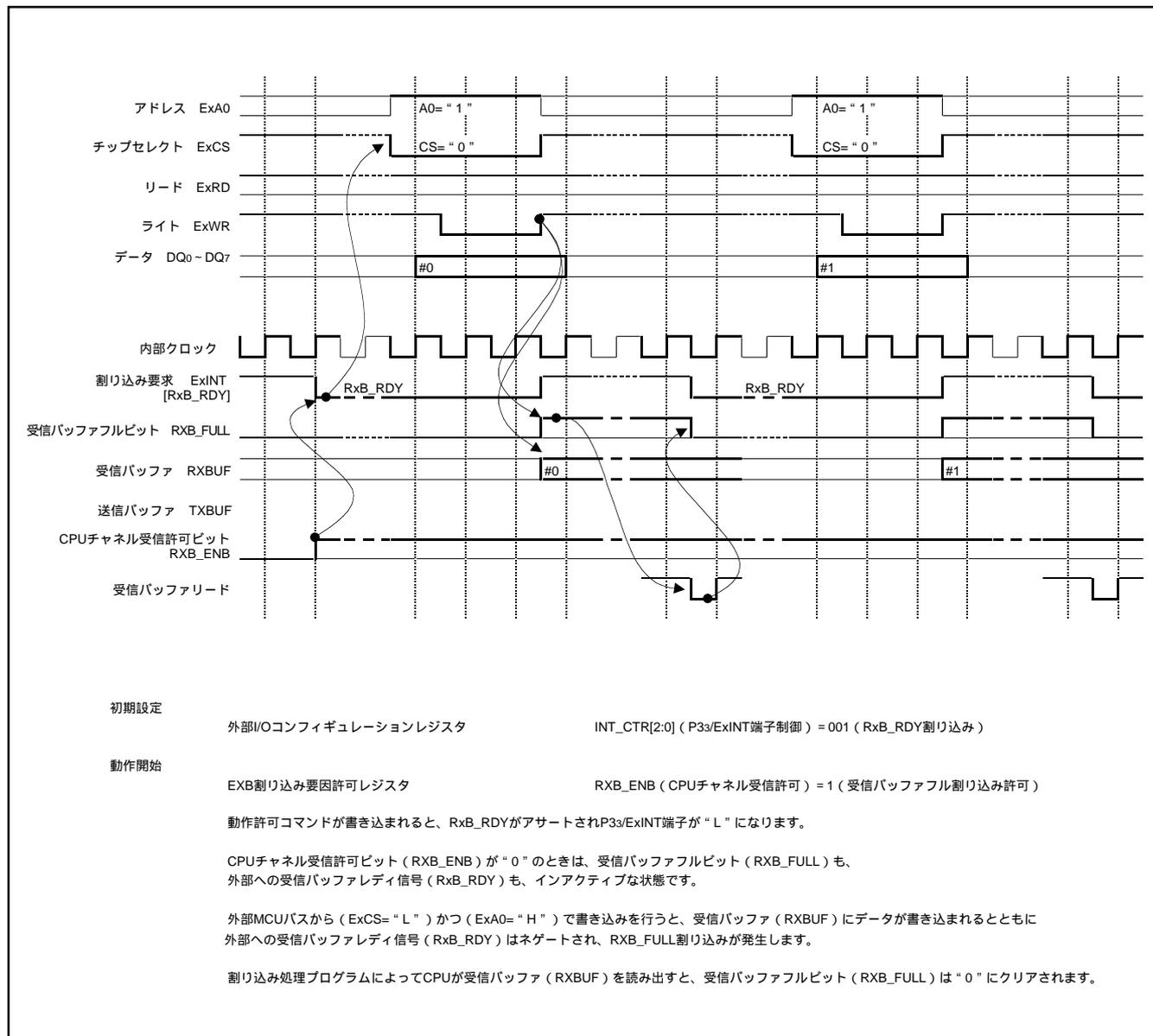


図121 . CPUチャンネル受信動作

(2)CPUチャンネル送信動作

CPUチャンネル送信動作を下記に示します。

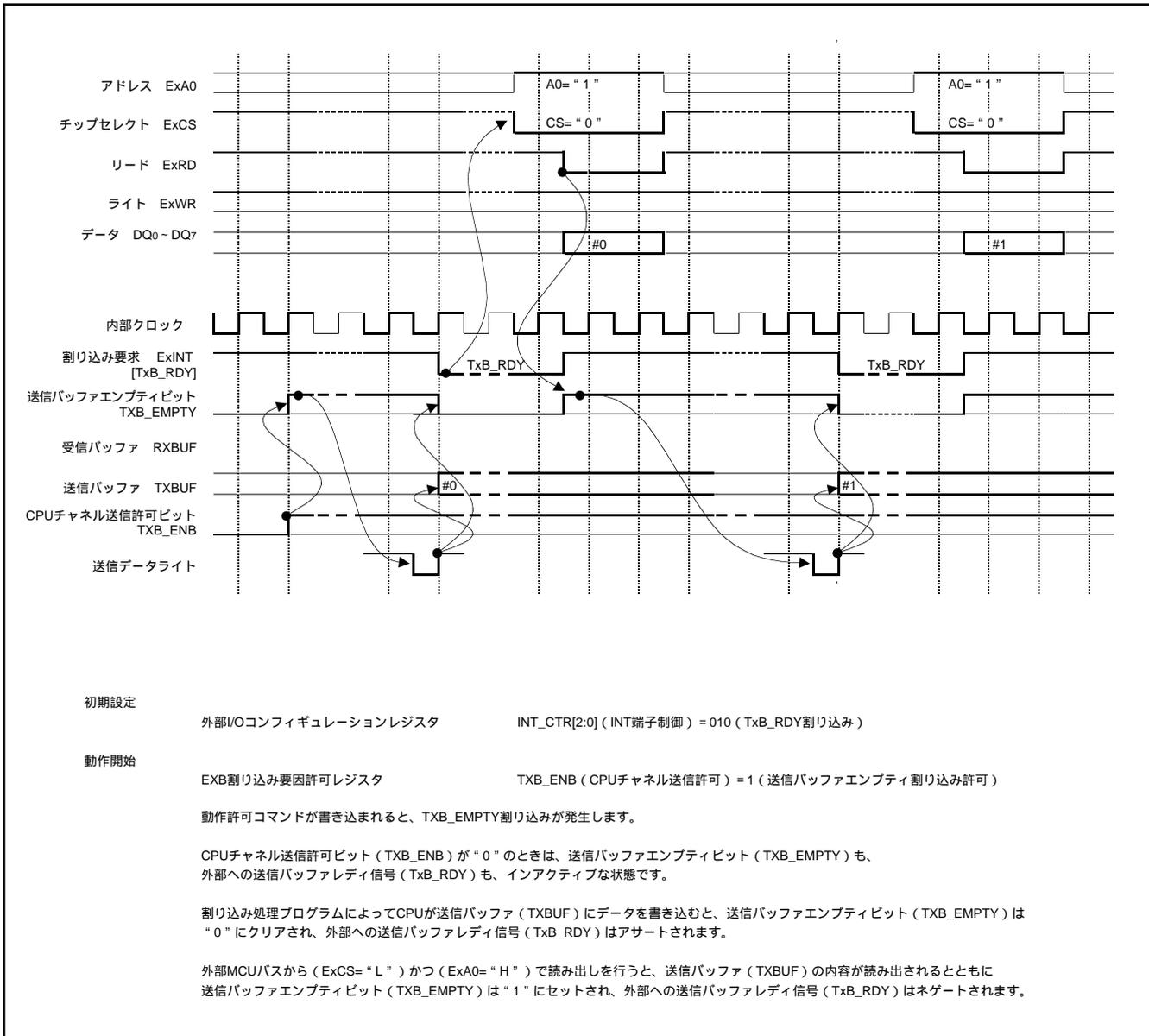


図122 . CPUチャンネル送信動作

(3)メモリチャネル受信動作(1) - サイクルモード
メモリチャネル受信動作(1)を下記に示します。

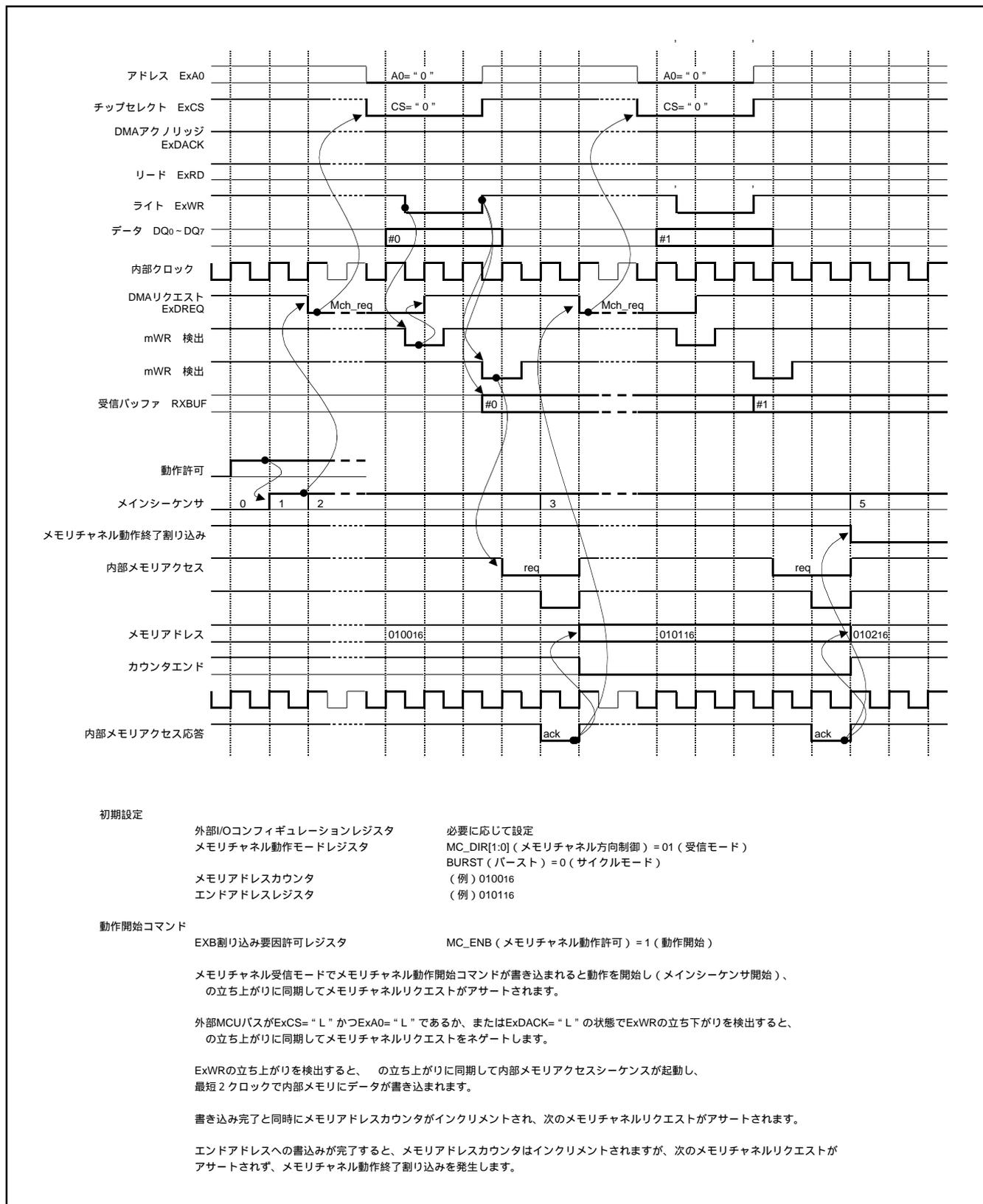


図123 . メモリチャネル受信動作(1)

(4)メモリチャネル受信動作(2) - バーストモード
メモリチャネル受信動作(2)を下記に示します。

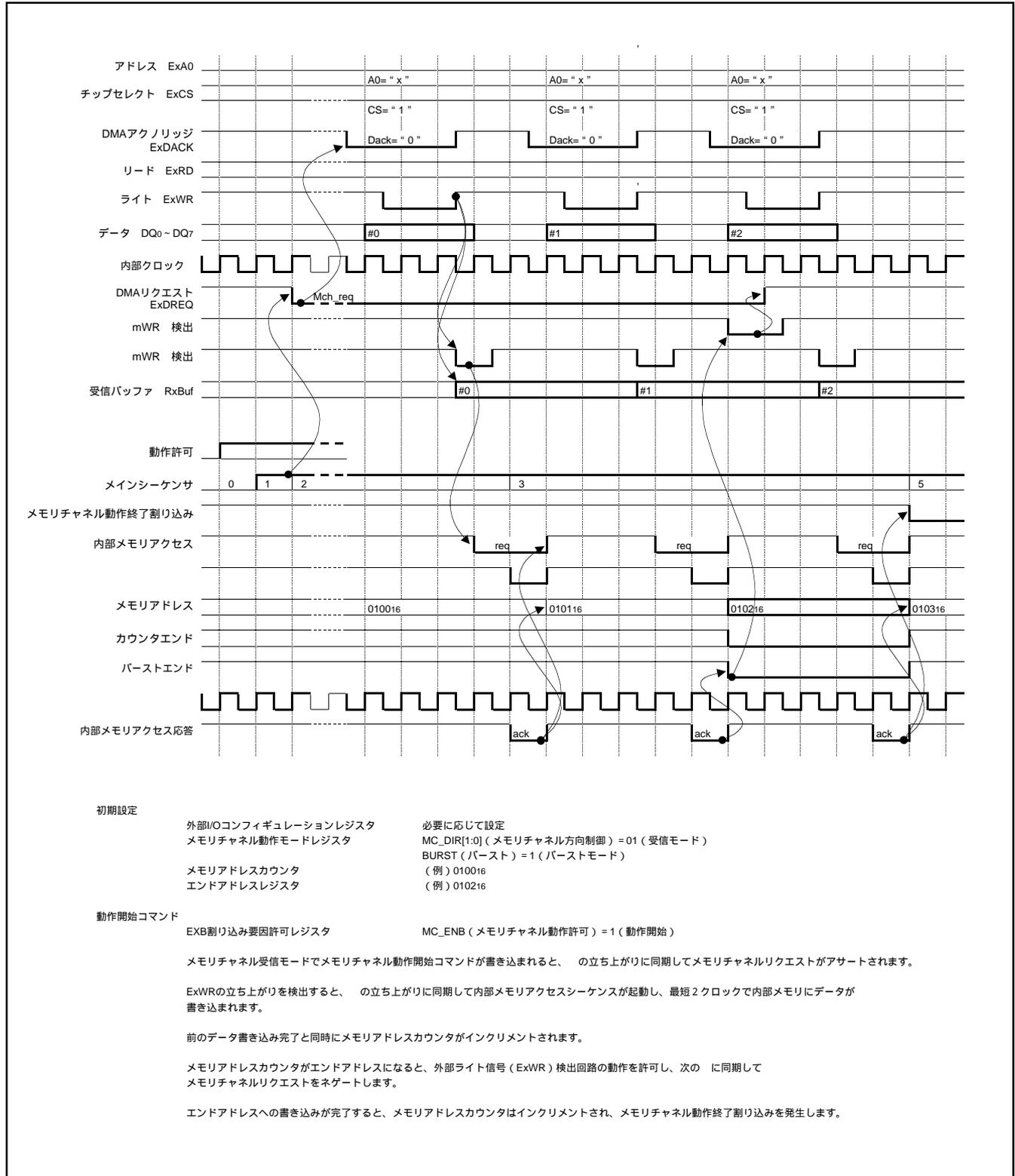


図124 . メモリチャネル受信動作(2)

(5)メモリチャネル受信動作(3) - バーストモード(ターミナル
 カウント)
 メモリチャネル受信動作(3)を下記に示します。

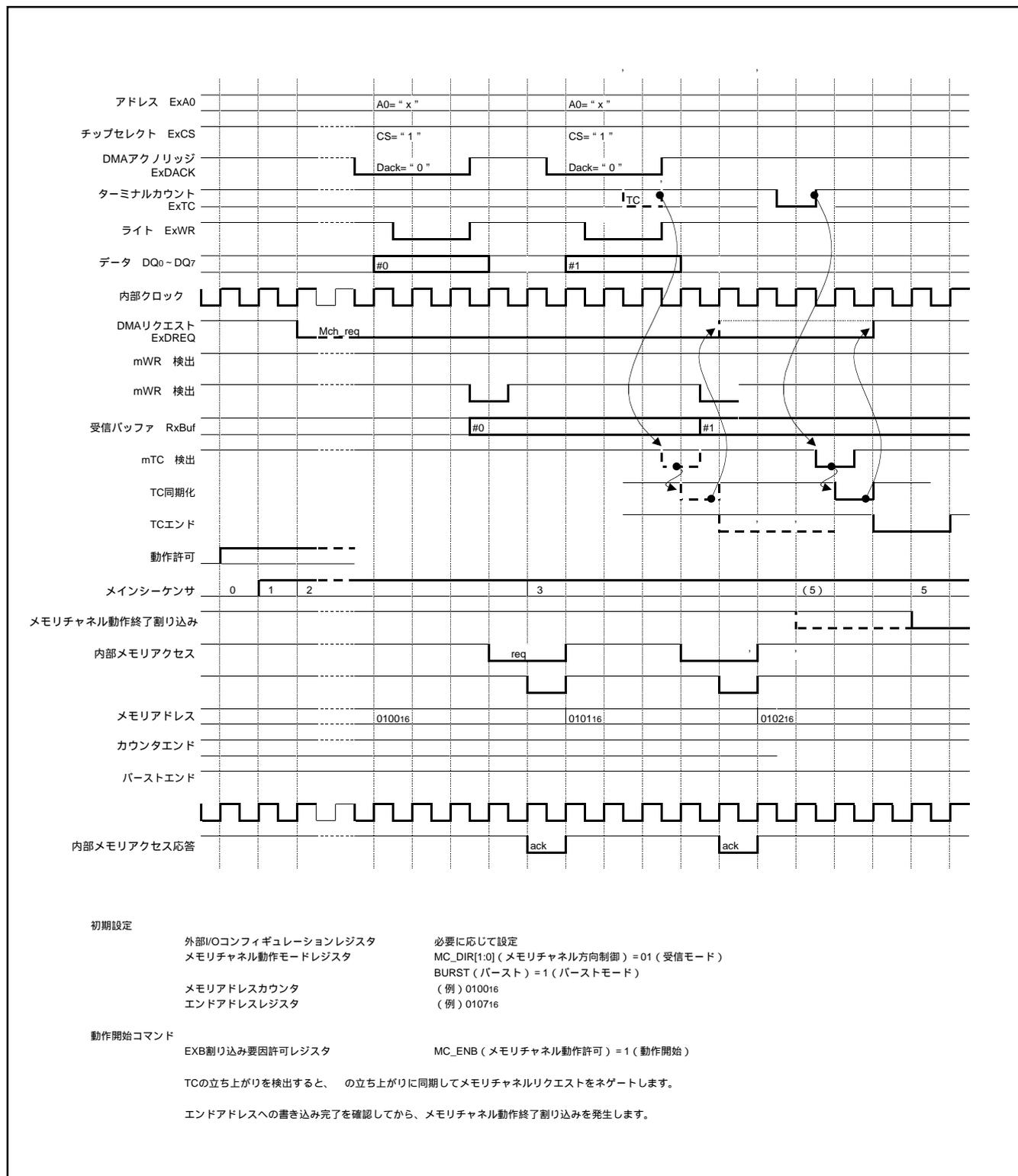


図125 . メモリチャネル受信動作(3)

(6)メモリチャネル送信動作(1) - サイクルモード
メモリチャネル送信動作(1)を下記に示します。

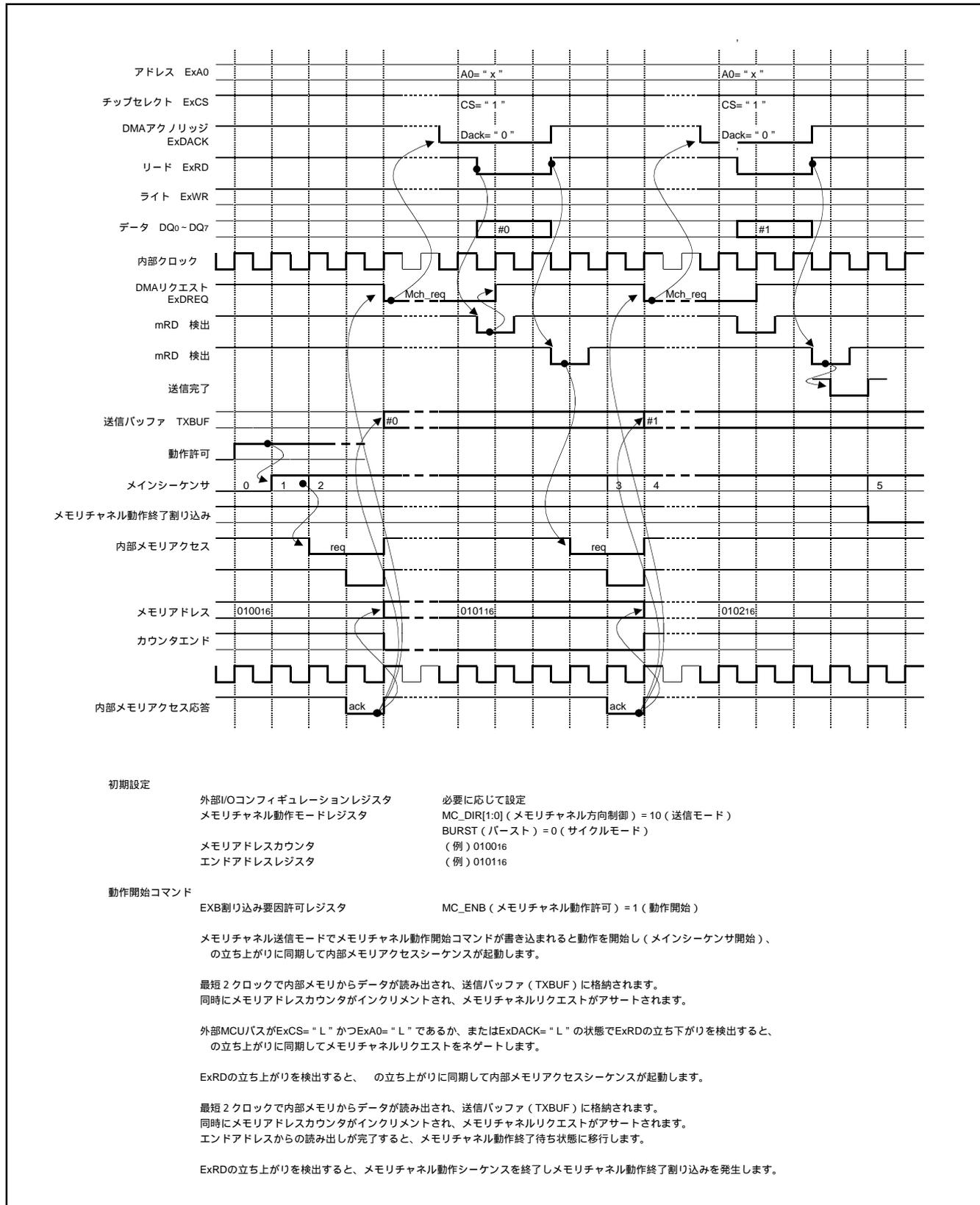


図126 . メモリチャネル送信動作(1)

(7)メモリチャネル送信動作(2) - バーストモード
メモリチャネル送信動作(2)を下記に示します。

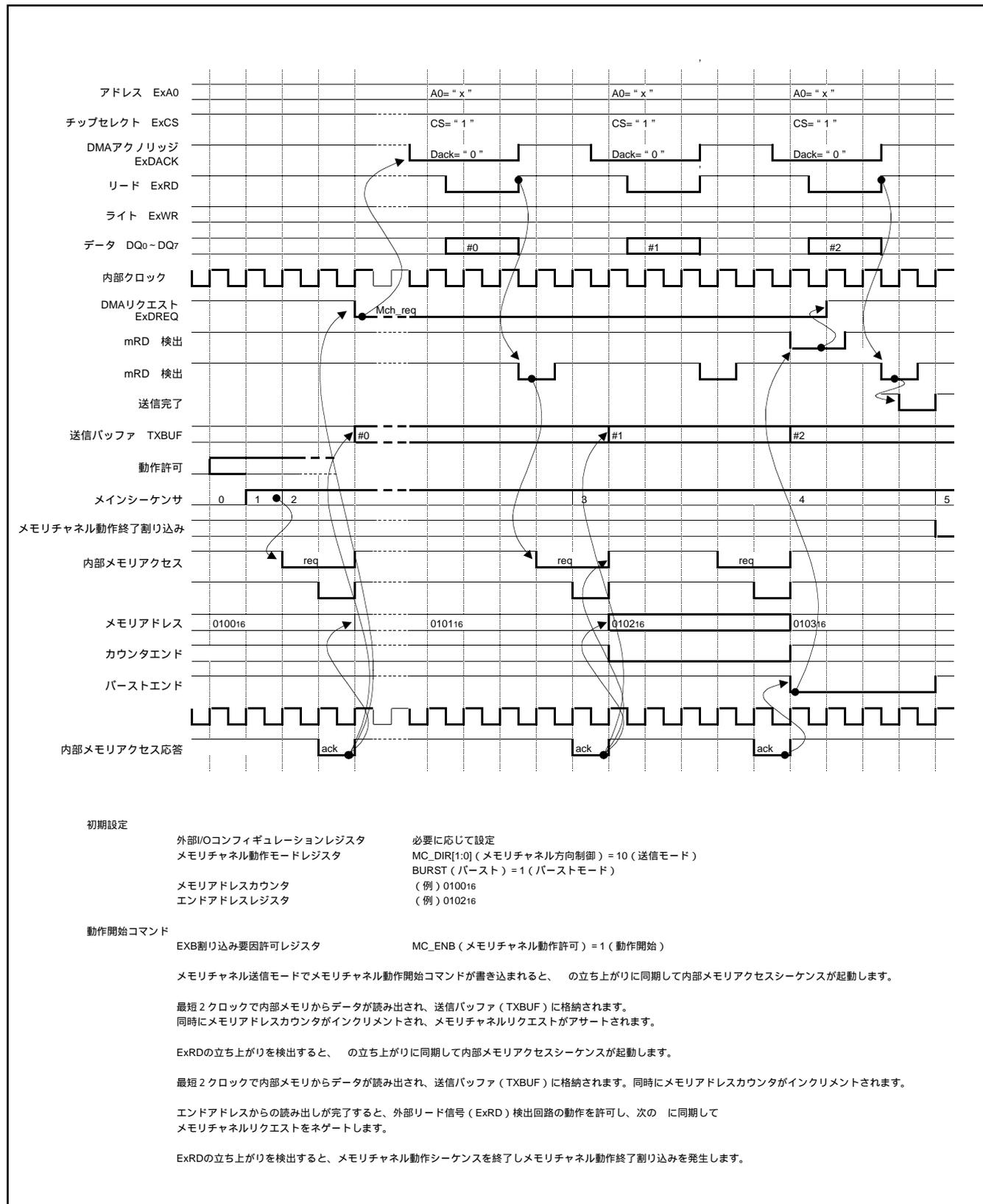


図127 . メモリチャネル送信動作(2)

マルチチャネルRAM

38K2グループは、通常のRAMの代わりに、小規模なロジック回路(RAM I/F)を付加したマルチチャネルRAMを内蔵しています。

マルチチャネルRAMは、CPUチャネル以外にUSBチャネルとEXBチャネルを持ちます。

マルチチャネルRAMは、に同期して、CPU,USB,EXBからのアクセスを制御します。USBの転送レートは約1.5Mバイト/秒で、=8MHzでは約5.3クロックごとに、=6MHzでは約4クロックごとに、マルチチャネルRAMにアクセスしま

す。USBとEXB間では、USBからのアクセスが優先されます。

CPUとのアクセス制御には、38000CPUのワンウエイト機能(ONW機能)を内部で用いています。USBまたはEXBからアクセス要求を受け取ると、マルチチャネルRAMはONW信号を出力してCPUを1クロックウエイトさせ、その間にUSBまたはEXBのアクセスを実行します。

CPUがRAM領域を読み出し又は書き込み状態であるときマルチチャネルRAMがONW信号を出力していると、CPUのリードサイクル又はライトサイクルがの1周期分延長されます。

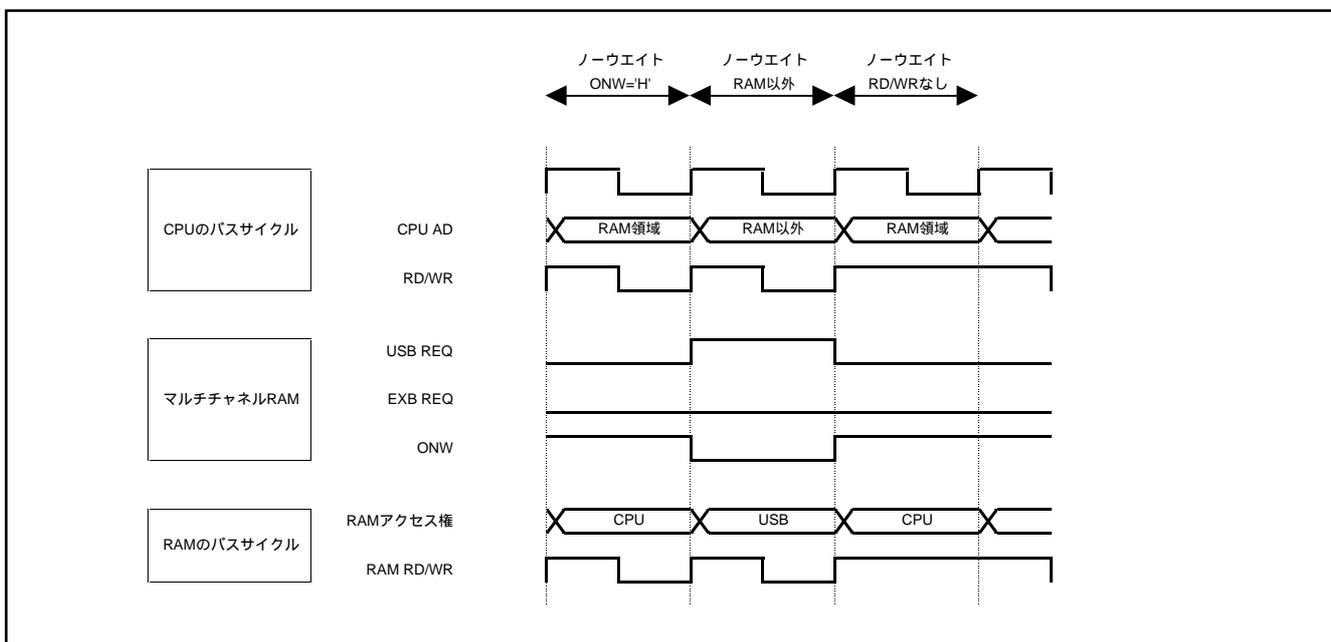


図128 . マルチチャネルRAMタイミング図(ノーウエイト時)

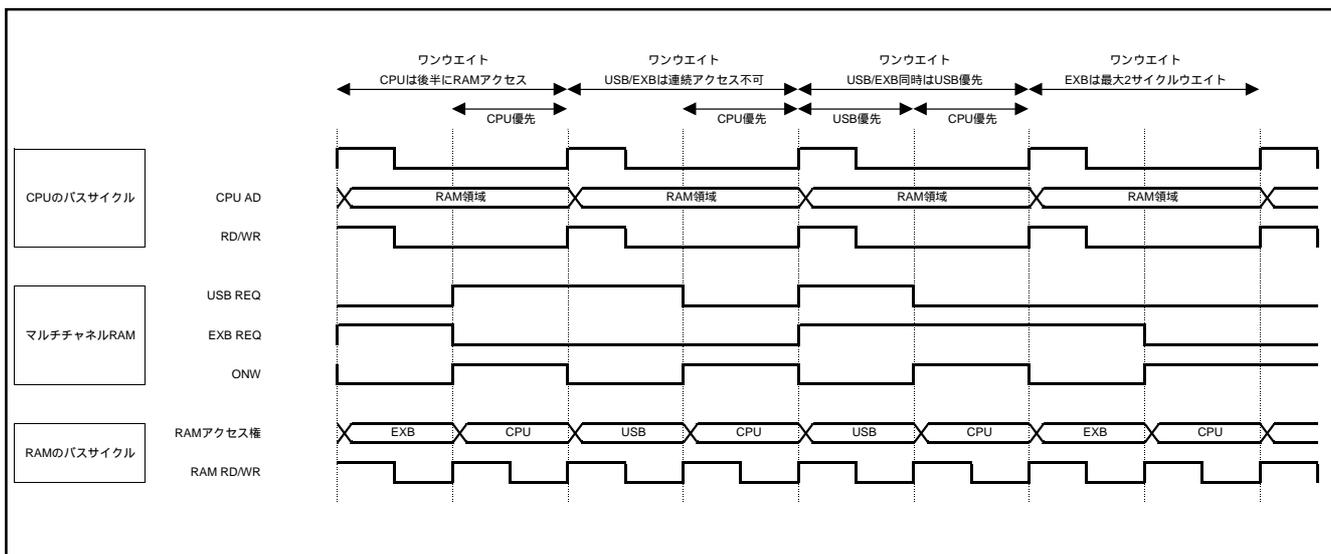


図129 . マルチチャネルRAMタイミング図(ワンウエイト時)

マルチチャネルRAMの動作例

マルチチャネルRAMの動作例を下記に示します。

この例は、外部MCUが38K2グループを周辺LSI(USBコントローラ)として使う場合を示しています。

外部MCUが、USBバスから受信したデータを読み出す場合の動作を以下に示します。

USBが受信したデータをマルチチャネルRAMに書き込みます。

受信完了がCPUに伝えられます。

CPUによって外部バスインタフェースが起動します。

- 1 外部バスインタフェースは、マルチチャネルRAMから読み出したデータを内部のデータバッファにセットします。
- 2 外部MCUは、外部バスインタフェース内部のデータバッファを読み出します。
- 3 この動作を受信バイト数分繰り返し、データ転送を完了します。

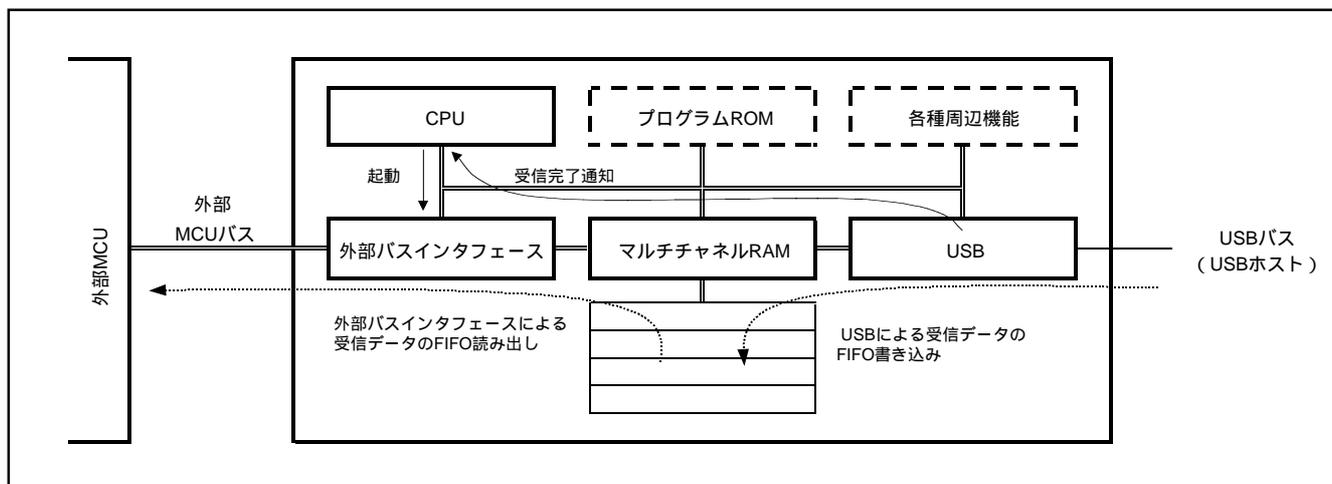


図130 . マルチチャネルRAMの動作例

A/D変換器

【AD変換レジスタ1, 2】AD1,AD2

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、“0”に設定してください。図132のようにA/D変換終了後にAD変換レジスタ1, 2を読み出す順序を選ぶことで、10ビット読み出しあるいは8ビット読み出しを行うことも可能です。

AD変換レジスタ1は、リセット、A/D変換開始あるいはAD変換レジスタ1読み出しが発生した後MSB寄りの8ビット読み出しになり、AD変換レジスタ2読み出しが発生した後LSB寄りの8ビット読み出しになります。

【AD制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2~ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{REF}間の電圧を1024分割し分圧を出力します。各モードでの比較電圧V_{ref}はV_{REF}を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビット読み出し

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

8ビット読み出し

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

【チャンネルセクタ】

ポートP17/AN7~P10/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1, 2に格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はシステムクロックを500kHz以上にしてください。

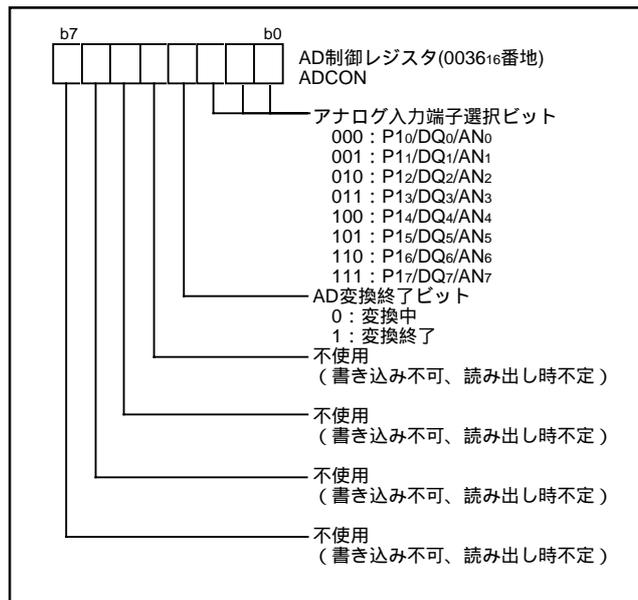


図131 . AD制御レジスタの構成

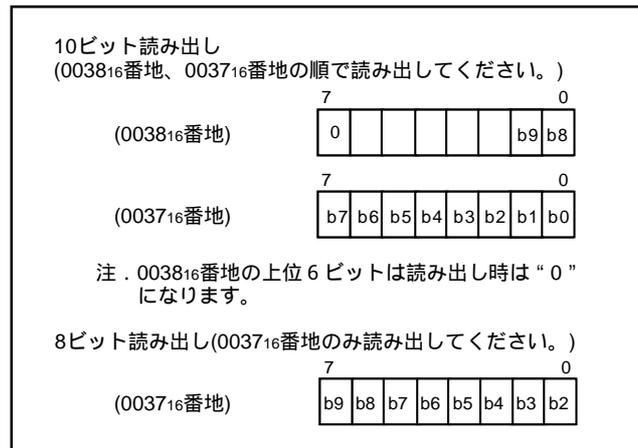


図132 . 10ビットA/Dモードの読み出し構成

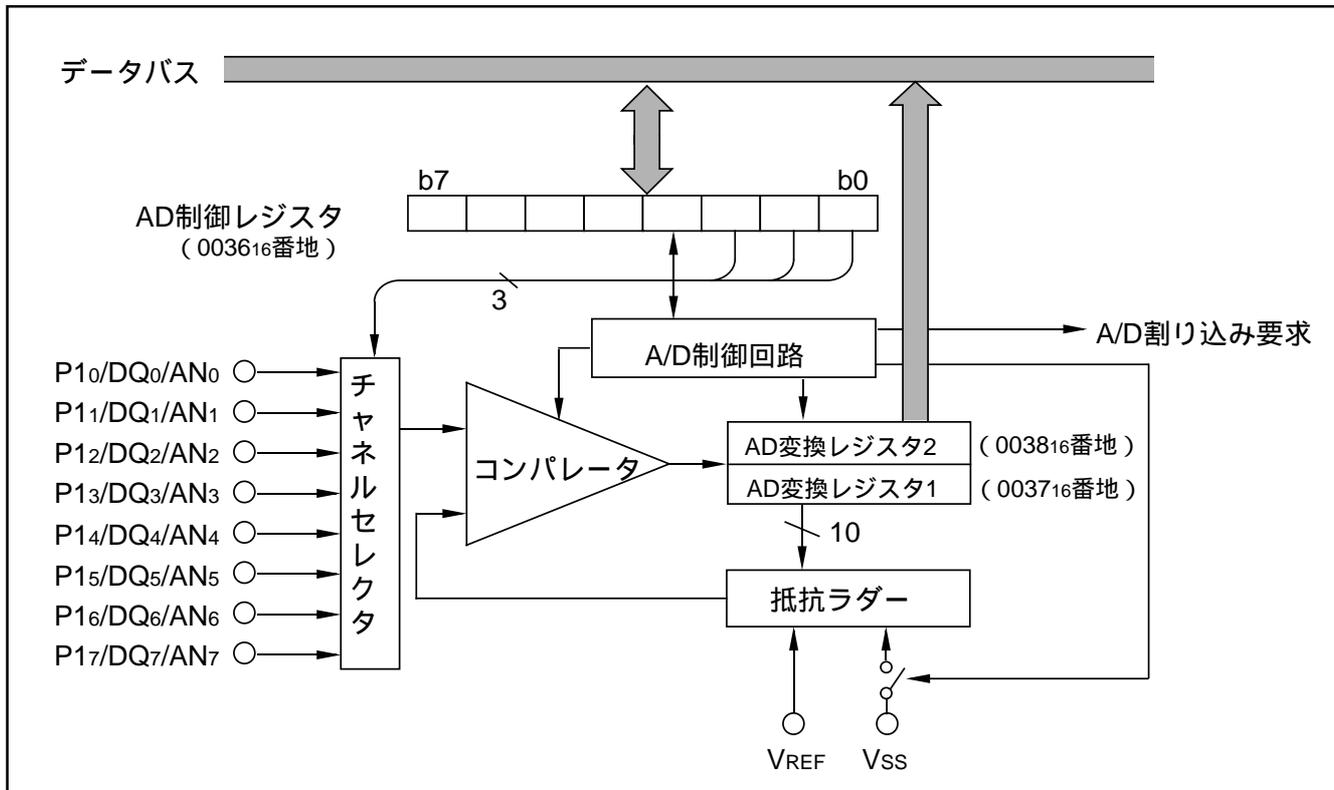


図133 . A/D変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット(ビット0~5)、STP命令禁止ビット(ビット6)、ウォッチドッグタイマHカウントソース選択ビット(ビット7)の値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、

ウォッチドッグタイマLは“FF₁₆”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間はシステムクロック=8MHz時131.072msになります。

このビットが“1”の場合、カウントソースはシステムクロックの16分周信号となります。この場合の検出時間はシステムクロック=8MHz時512μsになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

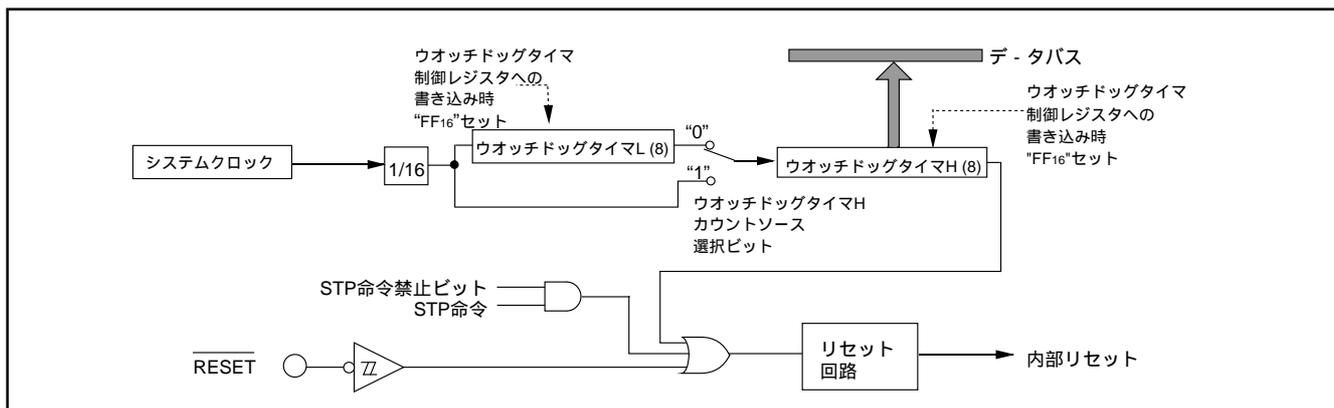


図134 . ウォッチドッグタイマのブロック図

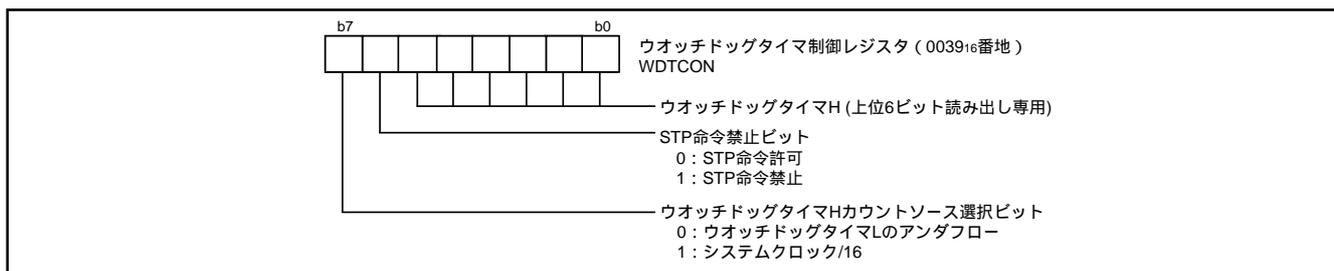


図135 . ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が3.0~5.25V(L仕様)にあり、XINが安定発振しているとき、RESET端子をXINの16サイクル以上「L」レベルに保つとリセット状態になり、その後RESET端子を「H」レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が3.0V(L仕様)を通過する時点で0.6V(L仕様)以下になるようにしてください。

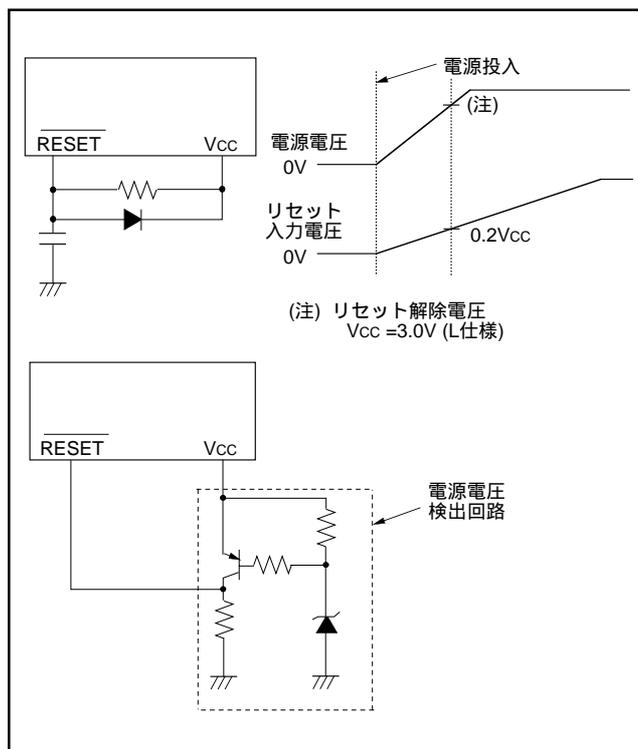


図136 . リセット回路例

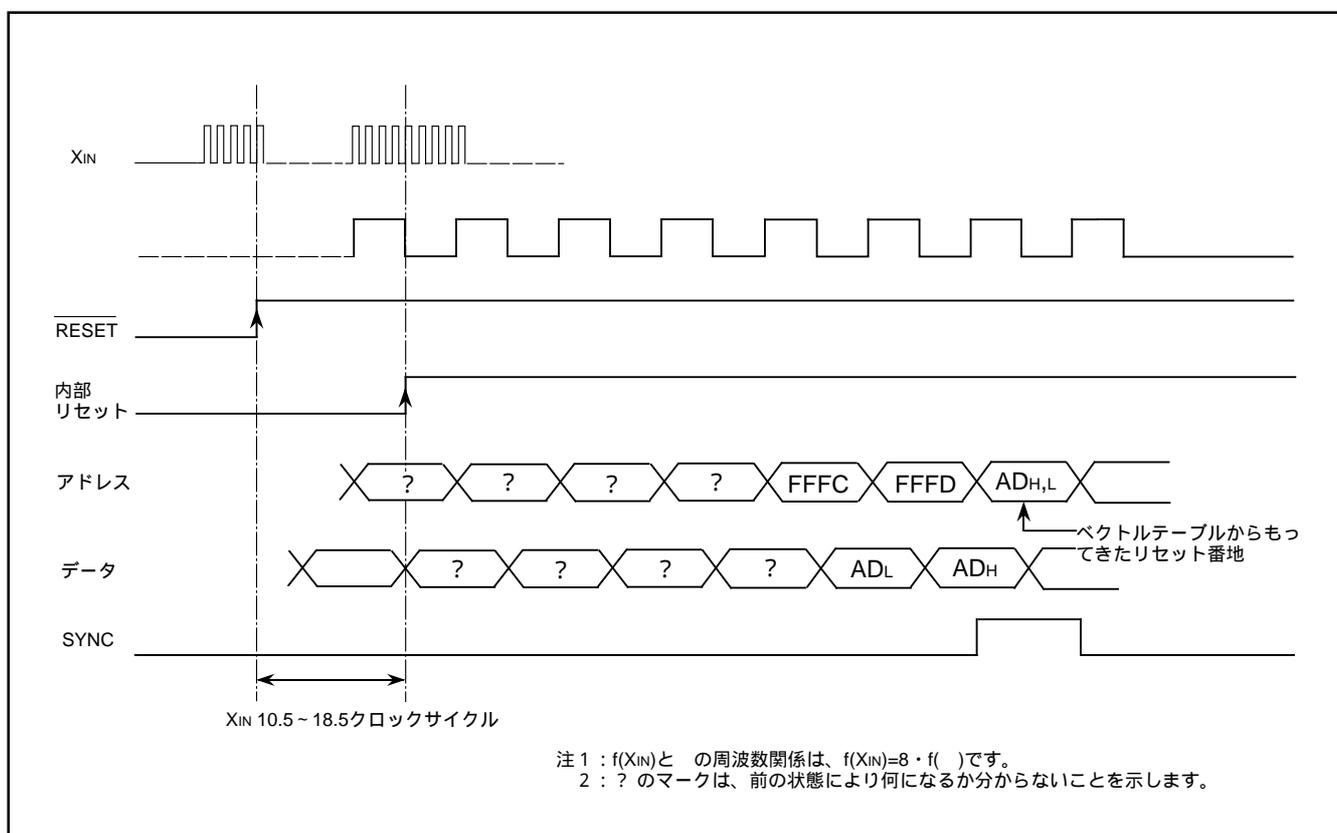


図137 . リセットシーケンス

注1 : $f(XIN)$ と の周波数関係は、 $f(XIN) = 8 \cdot f()$ です。
 注2 : ? のマークは、前の状態により何になるか分からないことを示します。

PLL回路(周波数シンセサイザ)

PLL回路は、 $f(XIN)$ (外部入力基準クロック)から f_{USB} (USBクロック)及び f_{SYN} (f_{USB} 分周クロック)に必要な f_{VCO} (PLL出力クロック)を生成します。下記にPLL回路ブロック図を示します。

基準クロック入力として外部より6MHz又は12MHzを入力することが可能です。USB機能を用いる場合は、 f_{VCO} が48MHzになるようにPLL動作モード選択ビットを設定する必要があります。

PLL回路は、PLL動作許可ビットを許可することで動作します。USBブロックへ f_{VCO} を供給する場合、PLLの発振安定時間(1ms以内)を待った後にUSBクロック選択ビットを f_{VCO} に設定してください。

f_{SYN} にはUSBクロック分周比選択ビットの設定に応じて、 f_{USB} クロックの分周クロックが供給されます。システムクロックとして用いる場合6MHz又は8MHz又は12MHzになるように設定する必要があります。(f_{USB} が48MHzの時のみ使用してください。)

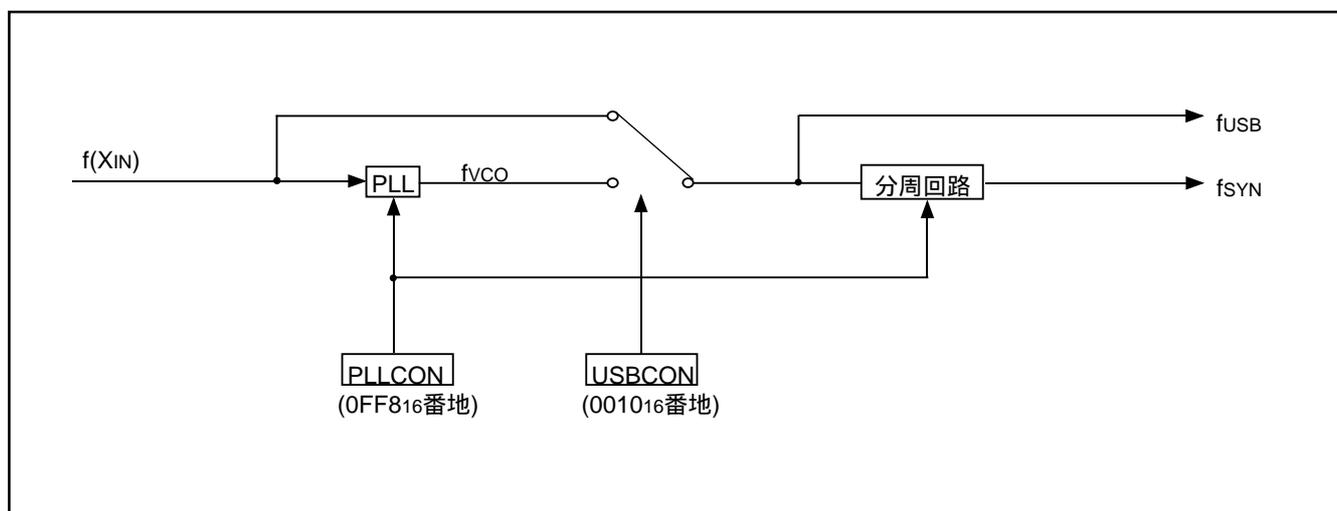


図138 . PLL回路ブロック図

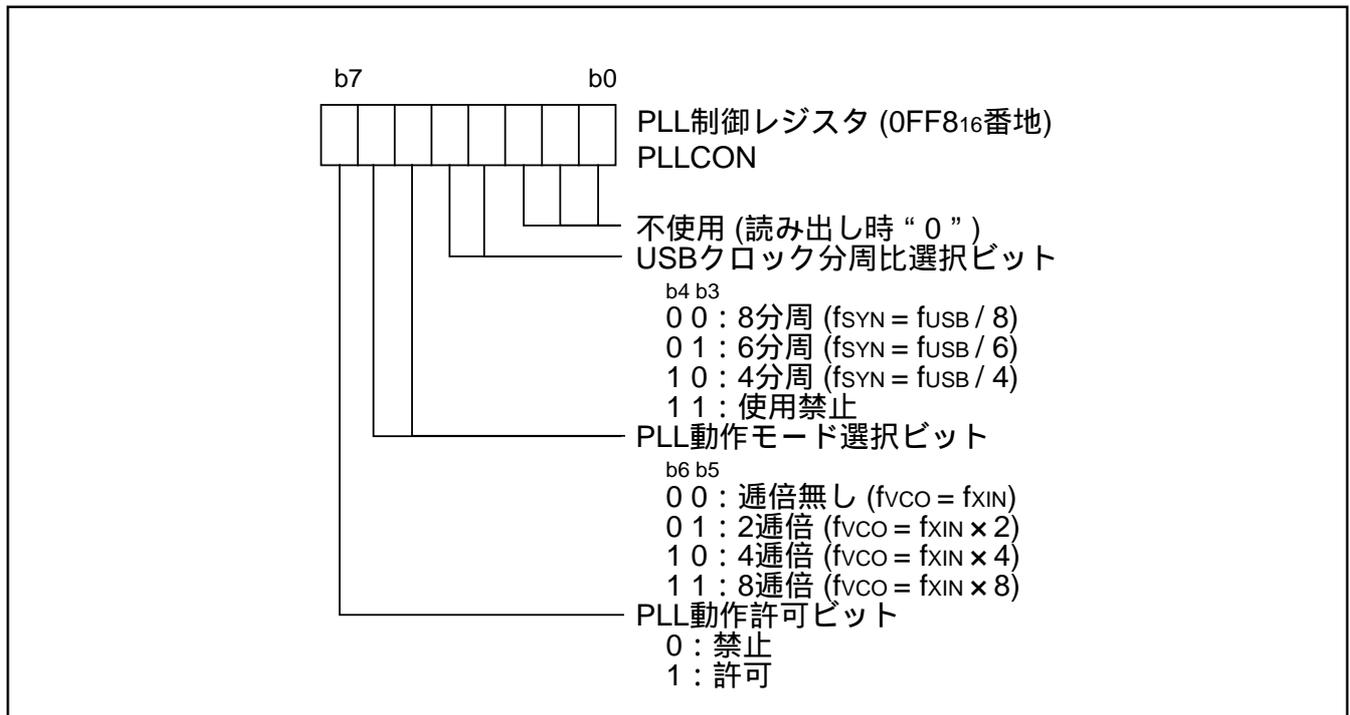


図139 . PLL制御レジスタの構成

クロック発生回路

X_{IN} と X_{OUT} の間に共振子を接続することにより発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカー推奨値をご使用下さい。 X_{IN} と X_{OUT} 端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

周波数制御

内部のシステムクロックとして、 f_{SYN} 及び $f(X_{IN})$ から選択できます。更にシステムクロック分周比選択ビットにより内部クロックの周波数を選択できます。

(1) f_{SYN} クロック

PLL回路により生成します。 $f(X_{IN})$ または f_{VCO} を入力クロックとして選択できます。内部のシステムクロックとして用いる場合、使用上の制限があります。[PLL回路]の項を参照してください。

(2) $f(X_{IN})$ クロック

X_{IN} 端子に加わった周波数が内部のシステムクロック周波数になります。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが H の状態で停止し、 X_{IN} の発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが 0 のとき、タイマ1には、“01₁₆”、プリスケアラ12には、“FF₁₆”が設定されます。一方STP命令解除後発振安定時間設定ビットが 1 のときは、タイマ1、プリスケアラ12には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定して下さい。プリスケアラ12の入力には X_{IN} の16分周が強制的に接続されます。発振は外部割り込み(USBレジューム割り込み含む)が受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで H のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に L レベルを印加して下さい。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが H の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを 1 にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1は X_{IN} を16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを 0 にしてください。

注意事項

STP命令解除後発振安定時間設定ビットを 1 で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12、に値を設定してください。

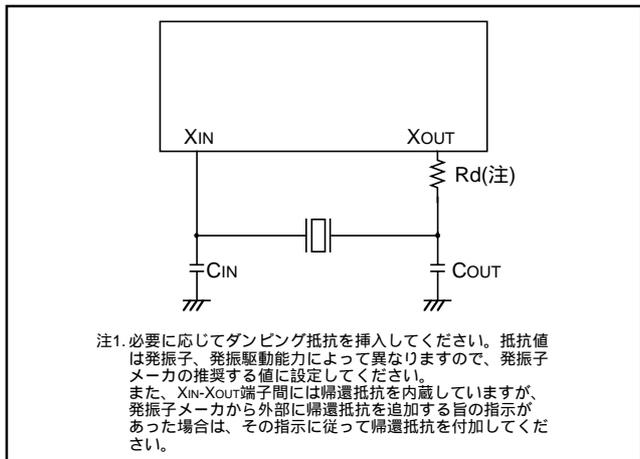


図 140 . セラミック共振子又は水晶発振子外付け回路

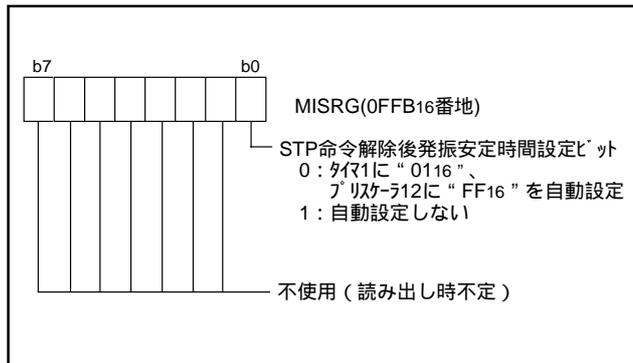


図 141 . MISRG の構成

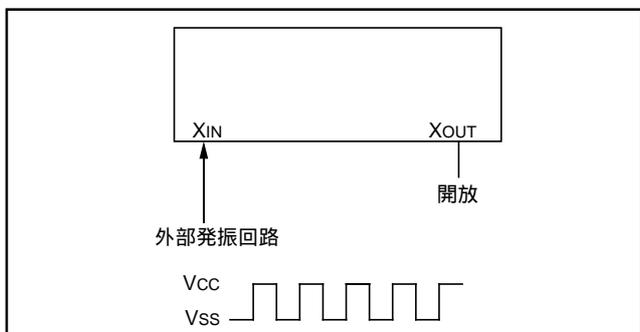


図 142 . 外部クロック入力回路

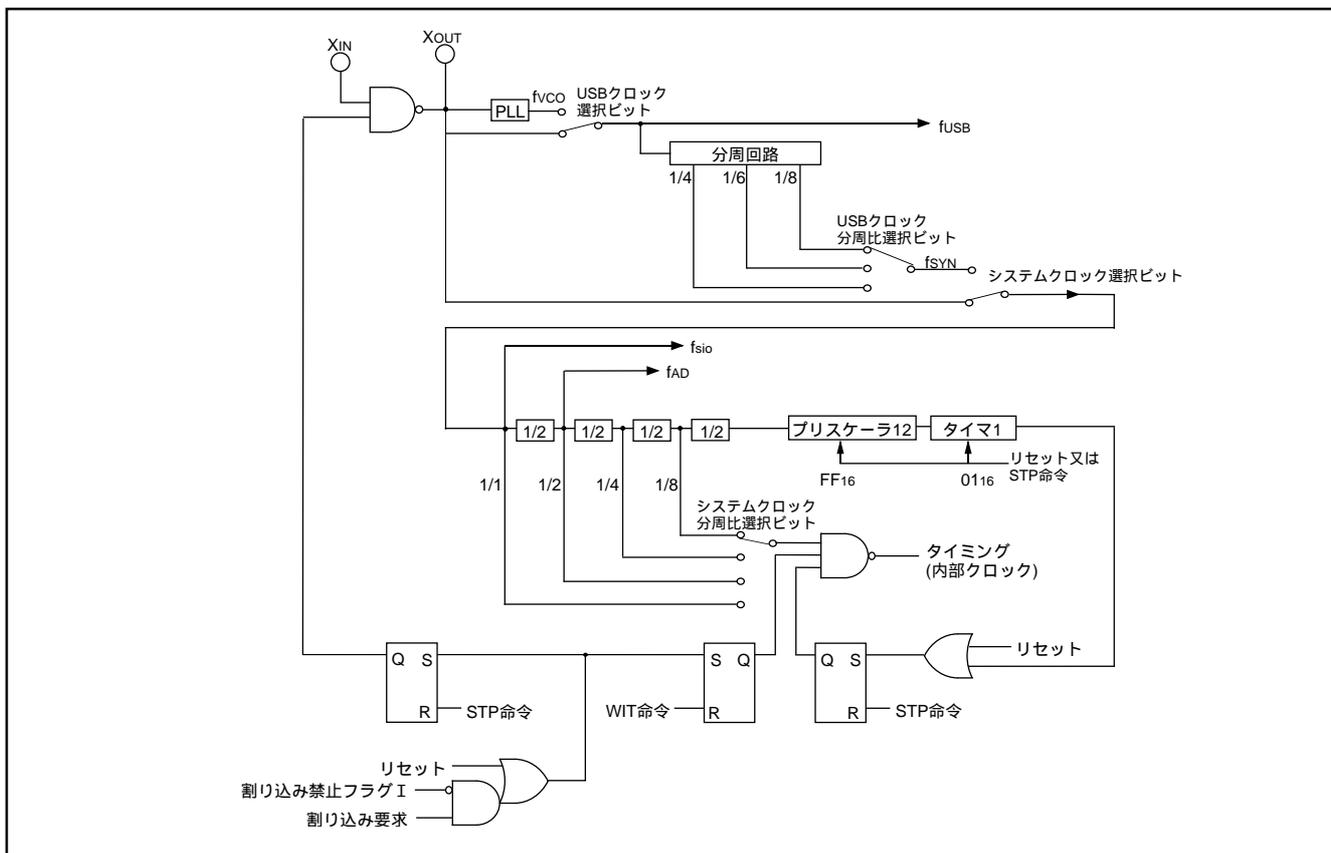


図 143 . システムクロック発生回路ブロック図(シングルチップモード)

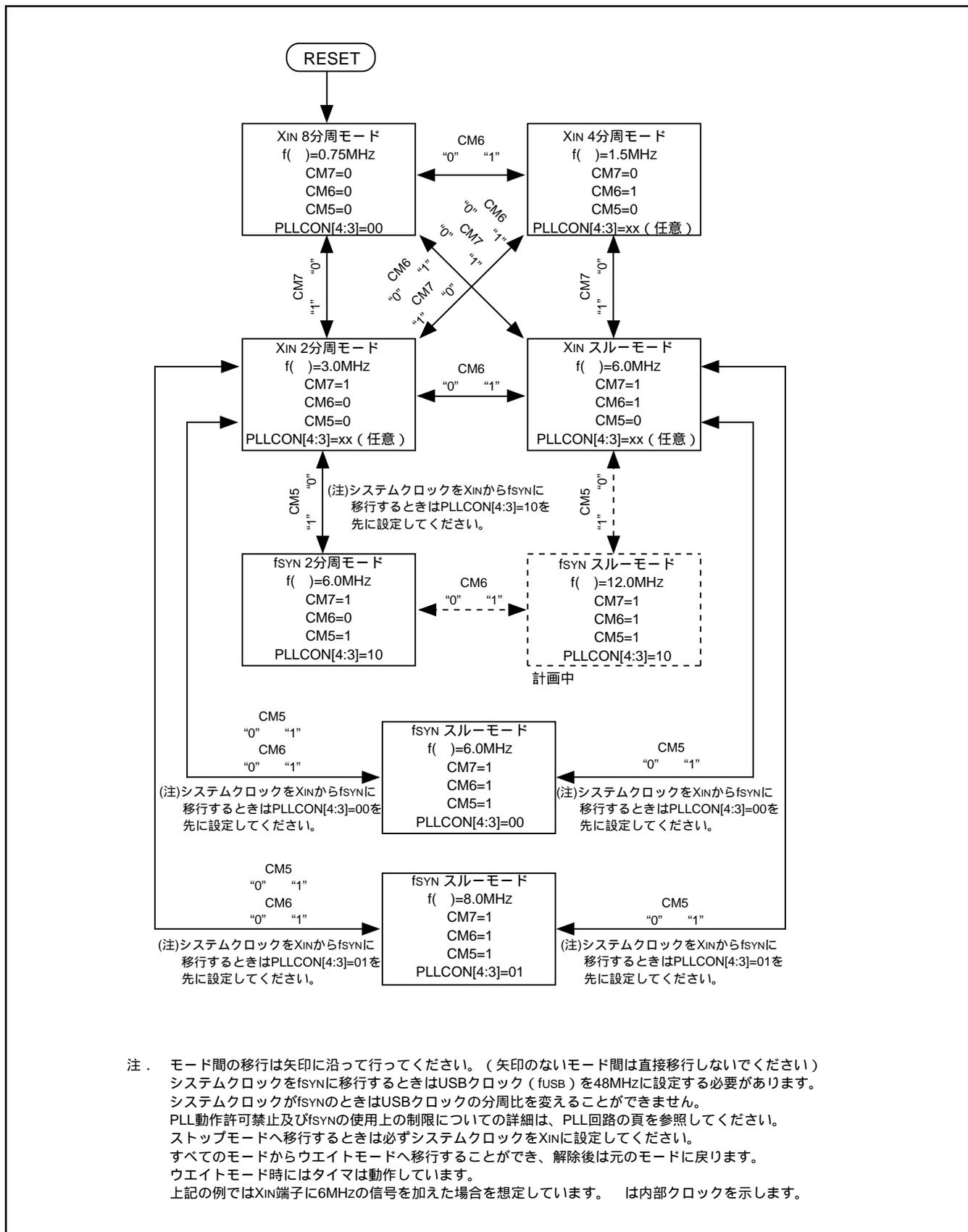


図 144. システムクロック状態遷移図

フラッシュメモリ版

38K2グループ(フラッシュメモリ版)は、Vccが4.5～5.25Vのとき単一電源、又はVccが3.0～4.5Vのとき2電源での書き換えが可能なNEW DINOR(DIvided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。

性能概要

表9に38K2グループ(フラッシュメモリ版)の性能概要を示します。

図145に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

表9. 38K2グループ(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧(Vcc)		Vcc=3.00～5.25V(L仕様) (注1)
		Vcc=3.00～4.00V(L仕様) (注2)
プログラム/イレーズ電圧(VPP)		4.5～5.25V
フラッシュメモリの動作モード		3モード CPU書き換えモード(中央演算処理装置(CPU)を用いてフラッシュメモリを操作する) パラレル入出力モード(外部のライタを用いてフラッシュメモリの操作を行う) (注3) 標準シリアル入出力モード(外部のライタを用いてフラッシュメモリの操作を行う) (注3)
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト) (注4)
プログラム方式		バイト単位
イレーズ方式		一括消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. プログラム/イレーズ時の電源電圧は、Vcc=4.00～5.25Vで書き込んでください。

注2. プログラム/イレーズ時の電源電圧は、Vcc=3.00～5.25Vで書き込んでください。

注3. パラレル入出力モード及び標準シリアル入出力モードは、38K2グループ(フラッシュメモリ版)をサポートしている専用の外部装置(フラッシュライタ)をご使用ください。

注4. ブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リードプログラム、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは図145に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、そのメモリ上で実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります)。

ブートROM領域は図145に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合は、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P16(CE)端子を“H”、CNVss端子を“H”としてリセットを解除した場合は、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

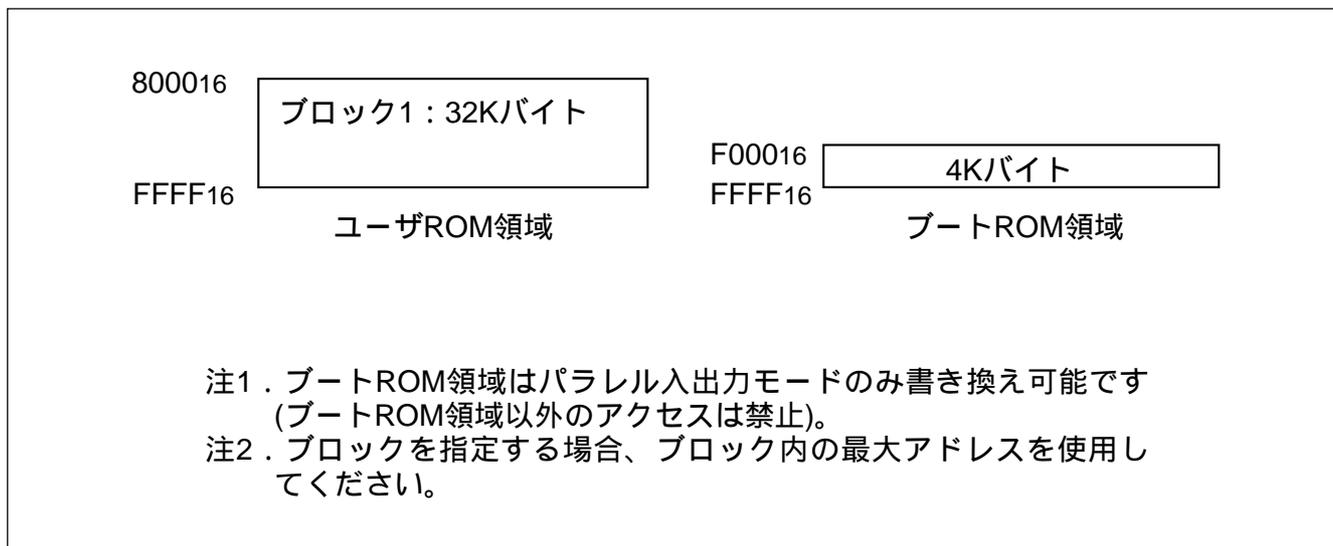


図 145. 内蔵フラッシュメモリのブロック図

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード又はブートモードで実行できます。CPU書き換えモードでは、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードはCPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リードなどの操作を行います。この制御プログラムは、あらかじめ、内蔵フラッシュメモリ以外のメモリ(内部RAMなど)に転送後、そのメモリ上で実行させる必要がありますので注意してください。

CPU書き換えモードには、CNVss端子に4.50～5.25Vを印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了などの状態はステータスレジスタを読み出すことでチェックできます。

図146にフラッシュメモリ制御レジスタを示します。

フラッシュメモリ制御レジスタのビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/BYステータスフラグです。プログラム、イレーズの動作中には“0”(ビジー)、これ以外のときには“1”(レディー)となります(パラレル入出力モードのRY/BY端子と同等の機能)。

フラッシュメモリ制御レジスタのビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外のメモリへ転送した制御プログラムで行ってください。このビットに“1”を設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

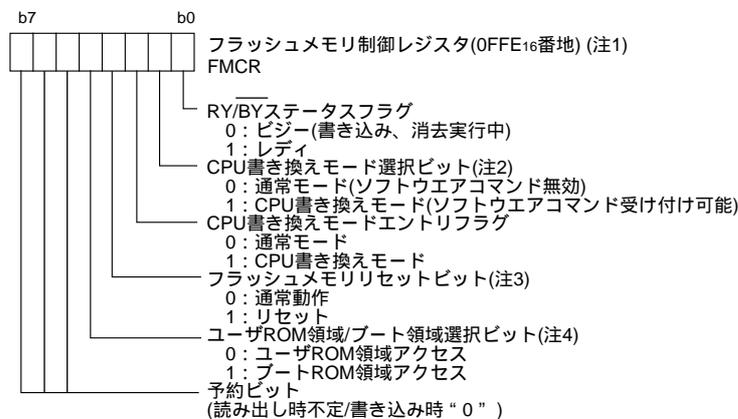
フラッシュメモリ制御レジスタのビット2はCPU書き換えモードエントリフラグです。CPU書き換えモード時、このビットは“1”になりますので、このビットを読み出すことによりCPU書き換えモードにエントリしていることを確認できます。

フラッシュメモリ制御レジスタのビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットが実行されます。リセットを解除するためには、次に“0”を書き込む必要があります。

ます。

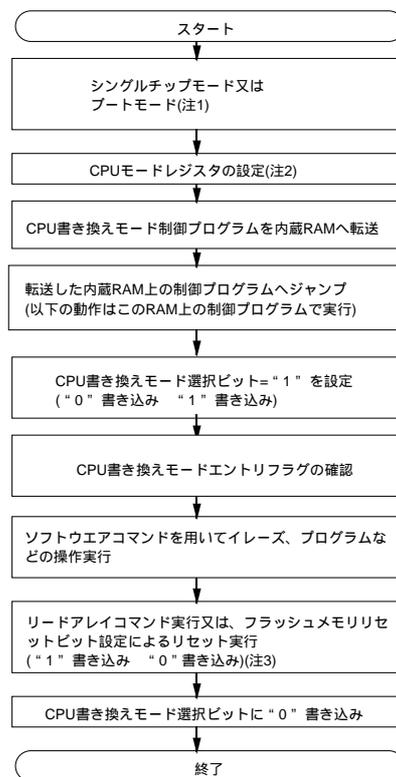
フラッシュメモリ制御レジスタのビット4はユーザROM領域/ブートROM領域選択ビットで、“1”を設定することでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビット4の書き換えは内蔵フラッシュメモリ以外のメモリの領域で行ってください。

図147にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。



- 注1. リセット解除後のフラッシュメモリ制御レジスタの値は "XXX0001" となります。
- 注2. "1" を設定するためには、このビット1への "0" 書き込み "1" 書き込みを連続して行う必要があります。この手順でないと、"1" にできません。また、割り込みがはいらないようにしてください。
このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。
- 注3. CPU書き換えモード選択ビットが "1" の時のみ有効です。"1" 設定(リセット)後、続いて "0" 設定してください。
- 注4. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

図 146. フラッシュメモリ制御レジスタの構成



- 注1. シングルチップモードでスタートした場合はCPU書き換えモードエントリフラグの確認までにCNVss端子に4.5~5.25Vを印加する必要があります。
- 注2. CPUモードレジスタ(003B₁₆番地)のビット6,7(システムクロック分周比選択ビット)を設定して下さい。
- 注3. イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ずリードアレイコマンド又はフラッシュメモリリセットを行ってください。

図 147. CPU 書き換えモードの設定 / 解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)CPU書き換えモード中は、システムクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロック を1.5MHz以下にしてください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダーフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表10にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレース、プログラムなどを指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0~D7)へ読み出されます。リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタは次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4,SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルで“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードになります。続いて第2バスサイクルで、プログラムするアドレスとデータをライトすると、フラッシュメモリの制御回路はプログラムを実行(データのプログラムとベリファイ動作)します。

プログラム終了は、ステータスレジスタのリード又はRY/BYステータスフラグのリードにより確認できます。プログラム開始とともに自動的にリードステータスレジスタモード

となり、ステータスの内容がデータバス(DB0~DB7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまでは、継続されます。

フラッシュメモリ制御レジスタのRY/BYステータスフラグはプログラム期間中は“0”、終了後は“1”となります。

プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

図148にプログラムコマンドフローチャート例を示します。

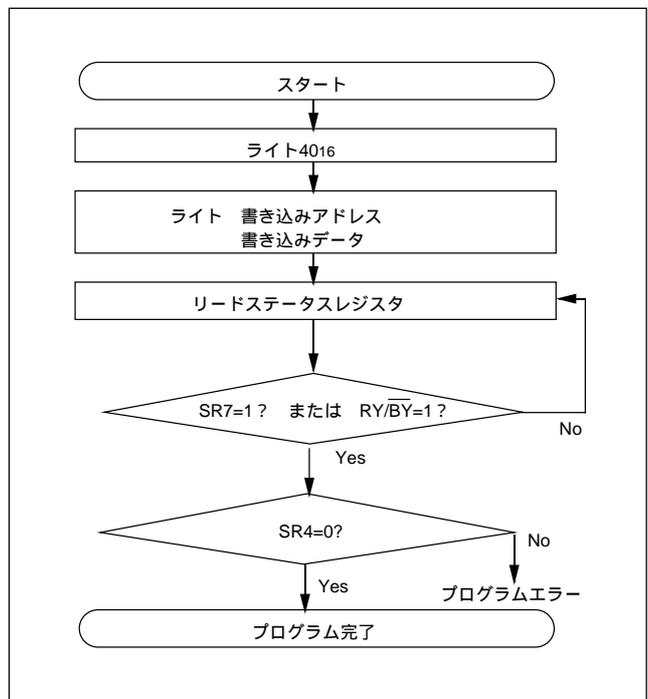


図148. プログラムコマンドフローチャート

表10. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ(D0~D7)	モード	アドレス	データ(D0~D7)
リードアレイ	1	ライト	x(注1)	FF16			
リードステータスレジスタ	2	ライト	x	7016	リード	x	SRD(注2)
クリアステータスレジスタ	1	ライト	x	5016			
プログラム	2	ライト	x	4016	ライト	WA(注3)	WD(注3)
イレース全ブロック	2	ライト	x	2016	ライト	x	2016
ブロックイレース	2	ライト	x	2016	ライト	BA(注4)	D016

- 注1. XはユーザROM領域の任意のアドレス
- 注2. SRD=ステータスレジスタデータ
- 注3. WA=ライトアドレス
WD=ライトデータ
- 注4. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

イレーズ全ブロックコマンド(2016/2016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ 2016 ”を入力するとイレーズ全ブロック動作(イレーズとイレーズベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“ 0 ”、終了後は“ 1 ”となります。

イレーズ全ブロック終了後、ステータスレジスタを読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズコマンド(2016/D016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2サイクルで確認コマンドコード“ D016 ”とブロックアドレスをライトすると指定されたブロックに対し、ブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はフラッシュメモリ制御レジスタのRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

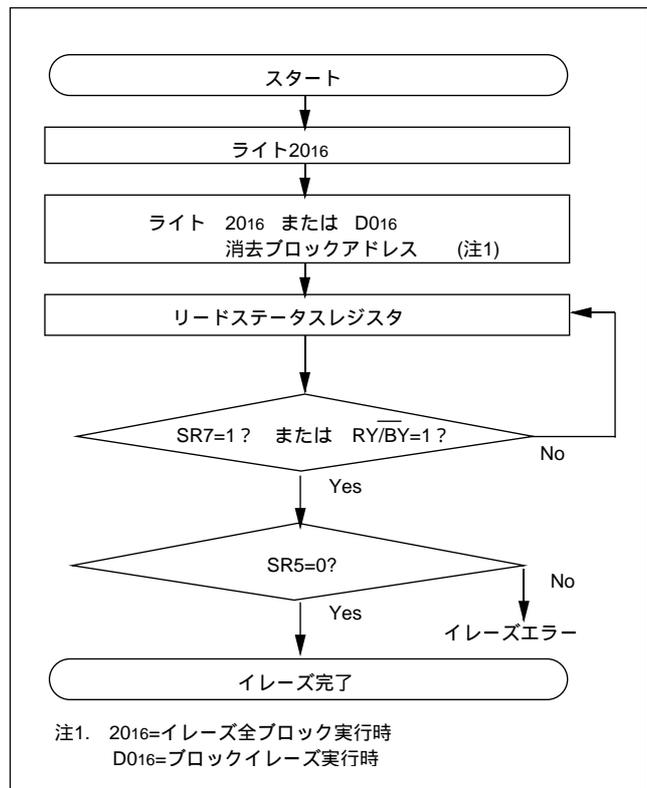


図 149. イレーズフローチャート

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了時等の状態を示すレジスタです。このレジスタの内容は以下の条件のとき読み出すことができます。

- (1) リードステータスコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき。
- (2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF₁₆)入力までの期間に、ユーザROM領域の任意のアドレスを読み出したとき。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

リセット解除後、ステータスレジスタは“ 80₁₆ ”になります。

各ビットの意味を以下に示します。

シーケンサステータス(SR7)

電源投入後、シーケンサステータスは“ 1 ”(レディ) にセットされています。

シーケンサステータスはフラッシュメモリの動作状態を知らせるものです。プログラムやイレーズ動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”(レディ)にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状態を知らせるもので、イレーズエラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状態を知らせるものです。プログラムエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

プログラムステータス、イレーズステータス(SR5,SR4)のいずれかが“ 1 ”のとき、プログラムコマンド、イレーズ全ブロックコマンド及びブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンド(50₁₆)を実行し、ステータスをクリアする必要があります。

表 11. ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“ 1 ”	“ 0 ”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図150にフルステータスチェック及び各エラー発生時の対処方法を示します。

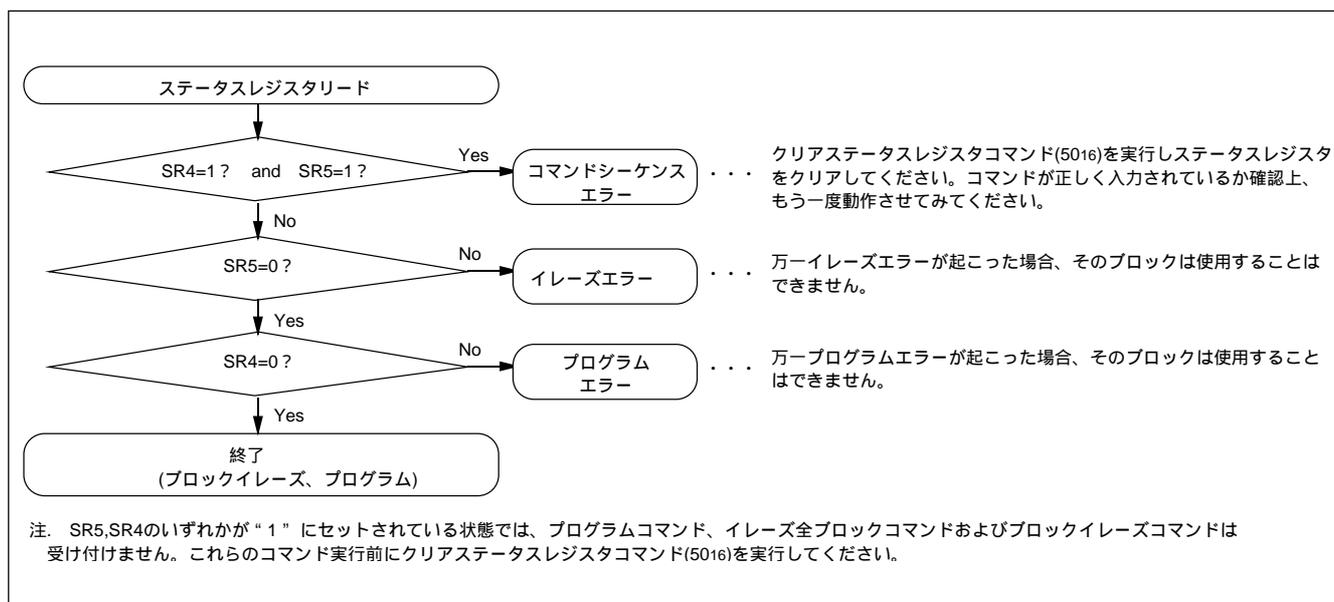


図 150. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御レジスタ(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御レジスタ(FFDB₁₆番地)の構成を図151に示します(この番地は、ユーザROM領域に存在します)。

2ビットで構成されるROMコードプロテクトビット内どちらか一方、又は両方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2のレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2を共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード又はCPU書き換えモードで書き換えてください。

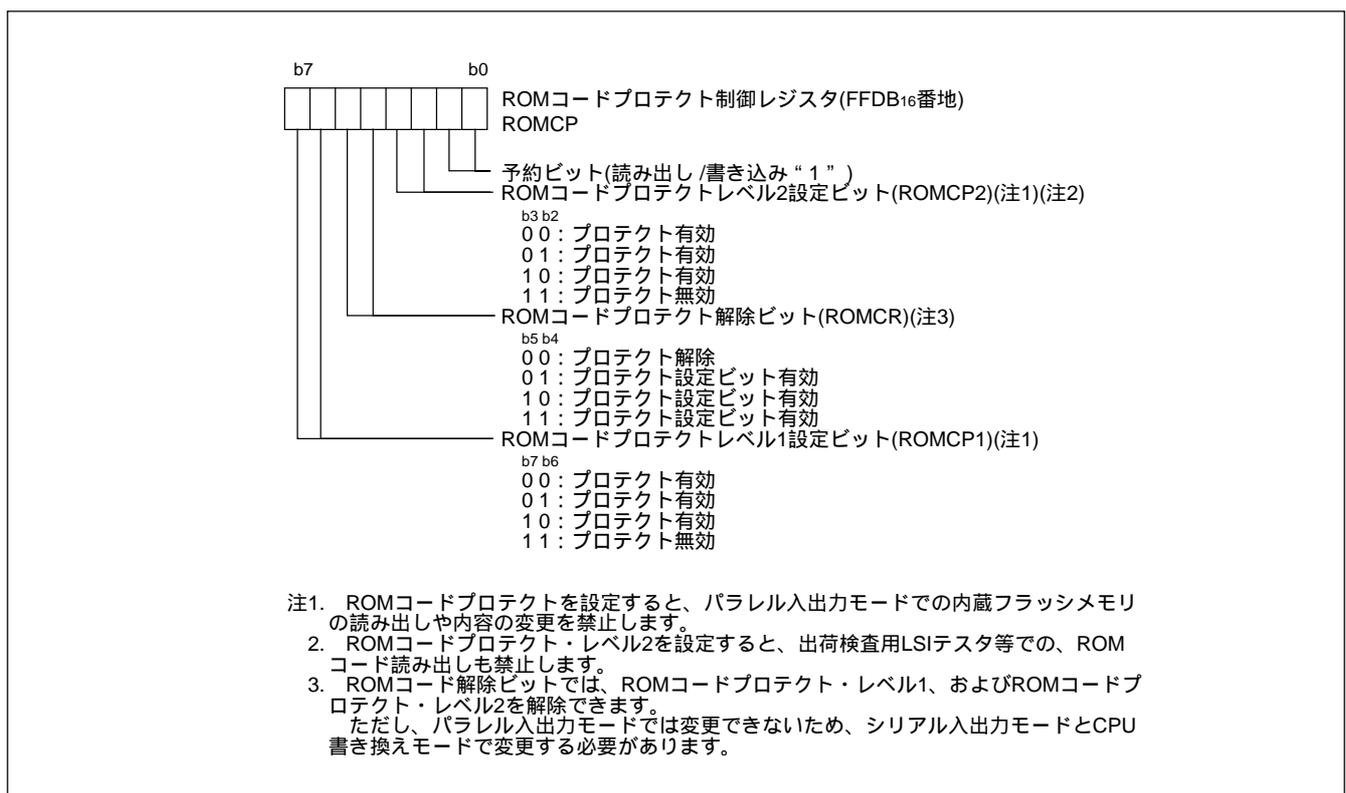


図 151. ROMコードプロテクト制御レジスタの構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。IDコードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆～FFDA₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んで下さい。

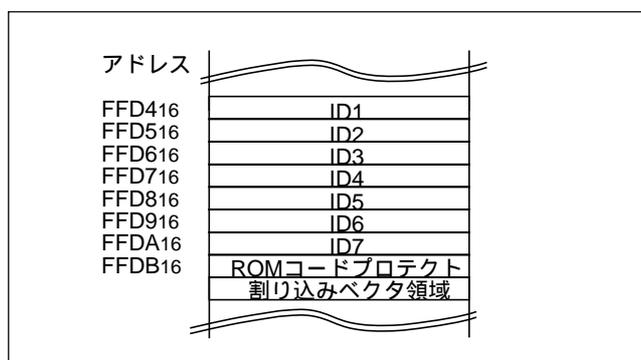


図 152. ID コードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズ等)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

38K2グループ(フラッシュメモリ版)をサポートしている専用の外部装置(ライター)をご使用ください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図145に示すユーザROM領域及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲以内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは、4Kバイト単位の1ブロックのみです。

ブートROM領域は、マイコン出荷時に標準シリアル入出力モードの制御のソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P16($\overline{\text{CE}}$)端子を“H”、P42(SCLK)端子を“H”、CNVSS(VPP)端子を“H”(VPP端子として外部からVPP=4.5~5.25Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSSは“L”に設定してください。)

この制御プログラムはルネサステクノロジからの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図153に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/Oの端子SCLK、RxD、TxD、 $\overline{\text{SRDY}}$ (BUSY)の4本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD端子はCMOS出力です。 $\overline{\text{SRDY}}$ (BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図145に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/Oを用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK端子に入力する転送クロック立ち上がり同期して、RxD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がり同期して、TxD端子から外部に出力します。

TxD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 $\overline{\text{SRDY}}$ (BUSY)端子が“H”となります。したがって、次の転送は、必ず $\overline{\text{SRDY}}$ (BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表 12 . 端子の機能説明(標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源入力		Vcc端子には3.00~5.25V(L仕様)を、Vssには0Vを印加してください。
VccE	電源入力		Vccに接続してください。
CNVss	VPP	入力	VPP(VPP=4.50~5.25V)に接続してください。
CNVss2	CNVss2	入力	Vssに接続してください。
VREF	基準電圧入力	入力	未使用時はVccに接続してください。
DVcc,PVcc	アナログ電源入力		Vccに接続してください。
PVss	アナログ電源入力		Vssに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間 の20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	クロック発生回路の入出力端子です。XIN端子とXOUT端子の間には、セラミック発振子又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放にしてください。
XOUT	クロック出力	出力	
USBVREF	USB基準電源		未使用時はVccに接続してください。
TrON	USB基準電圧出力	出力	未使用時は開放してください。
D0+,D0-	USBアップストリーム入出力	入出力	未使用時は“L”を入力してください。
D1+,D1-	USBダウンストリーム入出力	入出力	未使用時は“L”を入力してください。
D2+,D2-	USBダウンストリーム入出力	入出力	未使用時は“L”を入力してください。
P00~P07	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放にしてください。
P10~P15	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。
P16	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。RESET解除時のみ“H”を入力してください。
P17	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放にしてください。
P20~P24	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放にしてください。
P30~P37	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放にしてください。
P40	RxD入力	入力	シリアルデータの入力端子です。
P41	TxD出力	出力	シリアルデータの出力端子です。
P42	Sclk入力	入力	シリアルクロックの入力端子です。RESET解除時のみ“H”を入力してください。
P43	BUSY出力	出力	BUSY信号の出力端子です。
P50~P57	入力ポートP5	入力	“H”を入力、“L”を入力、又は開放にしてください。
P60~P63	入力ポートP6	入力	“H”を入力、“L”を入力、又は開放にしてください。

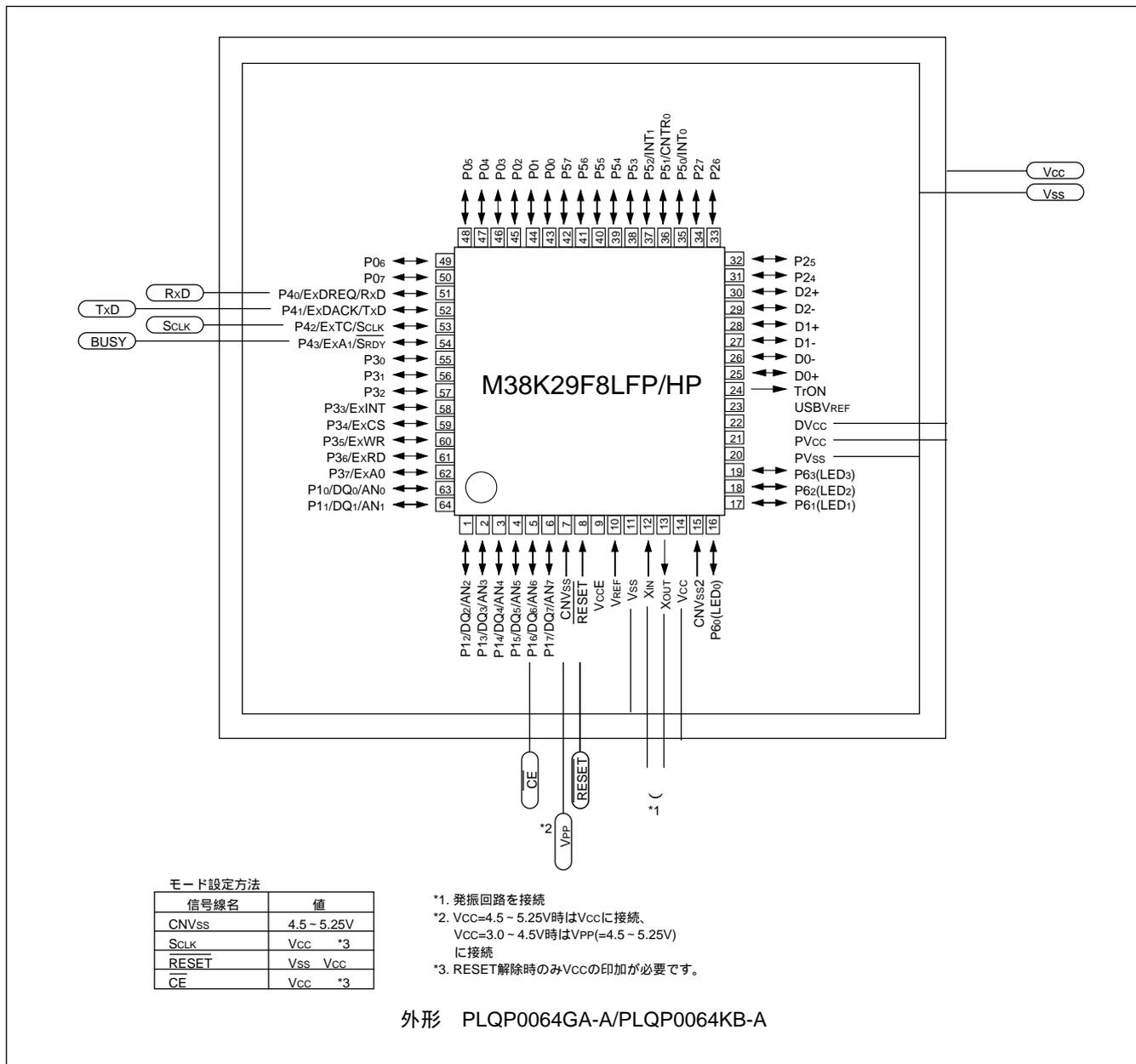


図 153. 標準シリアル入出力モード時の端子結線図

ソフトウェアコマンド

表13にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、Rx/D端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェアコマンドは、基本的にはパラレル入出力モードのものと同じですが、ブロックイレーズ機能を削除し、IDチェック機能、ダウンロード機能、バージョン情報出力機能、ブートROM領域出力機能の4コマンドを追加しています。

表 13. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259バイト目 データ入力	受付不可
3	イレーズ全ブロック	A7 ₁₆	D0 ₁₆						受付不可
4	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	50 ₁₆							受付不可
6	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
7	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
8	バージョン情報出力機能	FB ₁₆	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	バージョンデータ 出力	~ 9バイト目 バージョンデータ出力	受付可
9	ブートROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト目 データ出力	受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。

- SRDはステータスレジスタデータ、SRD1はステータスレジスタ 1 データです。
- ブランク品に対しては全コマンドの受け付け可能です。
- アドレス下位はA₀ ~ A₇、アドレス中位はA₈ ~ A₁₅、アドレス上位はA₁₆ ~ A₂₃です。アドレス上位(A₁₆ ~ A₂₃)は常に"00₁₆"です。

以下に各ソフトウェアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FF16 ”を入力してください。
- (2) 2,3バイト目の転送でアドレスA8 ~ A23を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8 ~ A23で指定したページ(256 バイト)のデータ(D0 ~ D7)を最小のアドレスから順番に出力します。

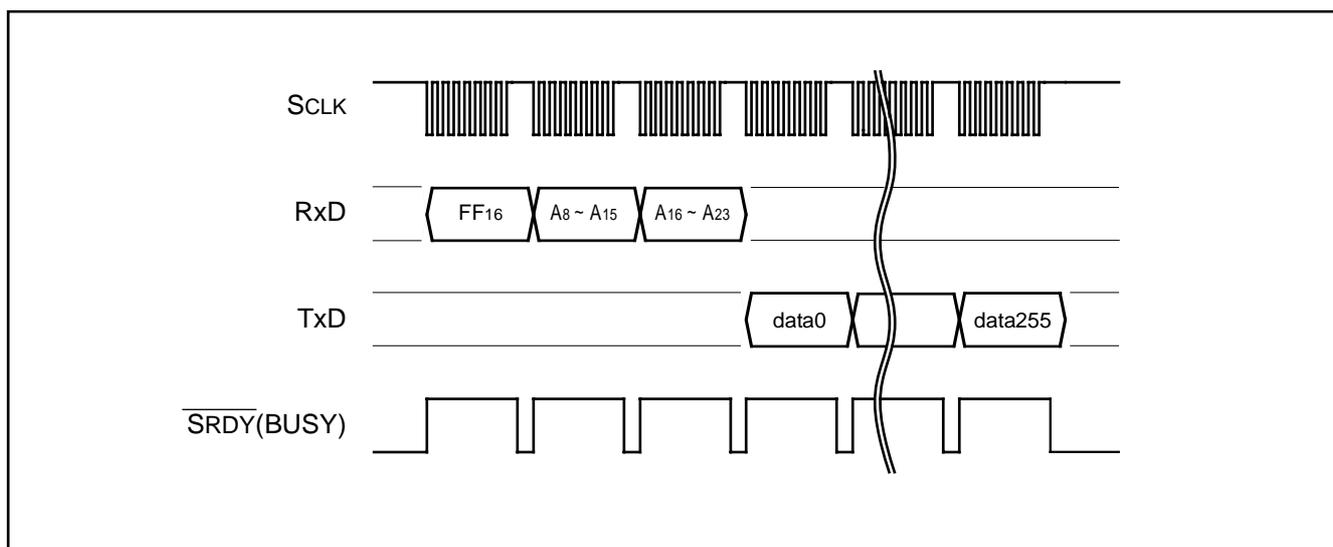


図 154. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 7016 ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

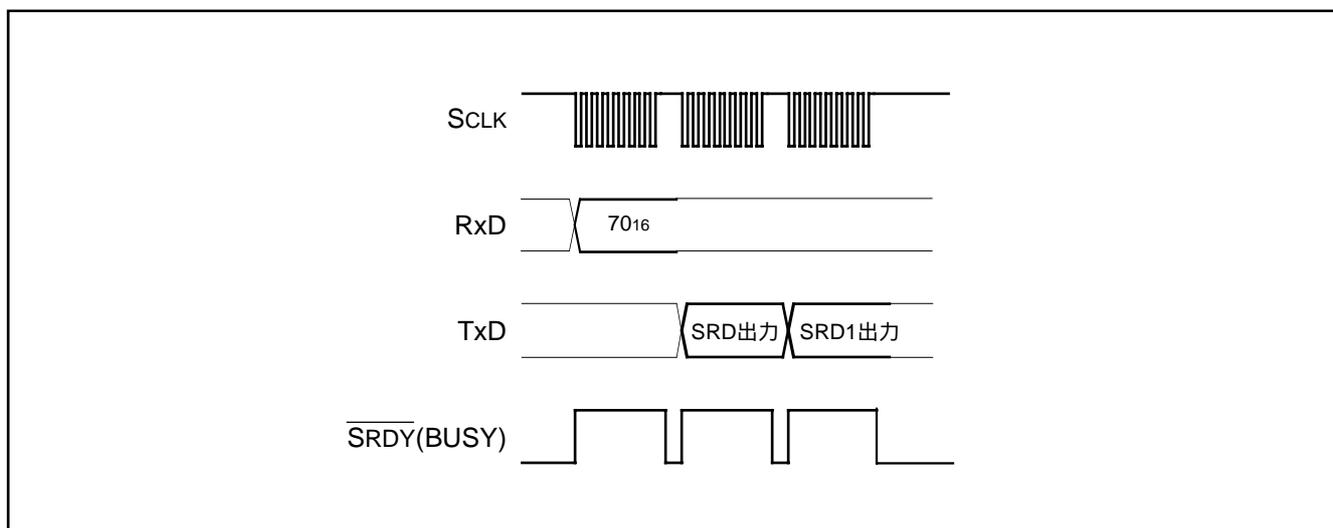


図 155. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。

1バイト目の転送でコマンドコード“50₁₆”を入力すると、上

記のビットをクリアします。クリアステータスレジスタが終了すると、 $\overline{\text{SRDY}}$ (BUSY)信号は“H”から“L”に変化します。

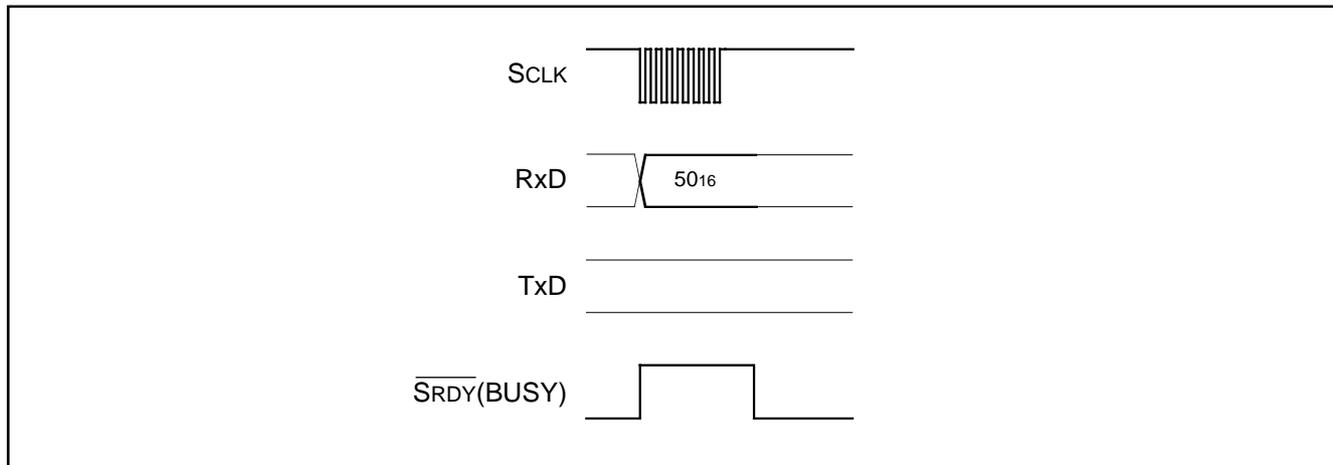


図 156. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を入力してください。
- (2) 2、3バイト目の転送でアドレスA8~A23を入力してください。

- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すれば $\overline{\text{SRDY}}$ (BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

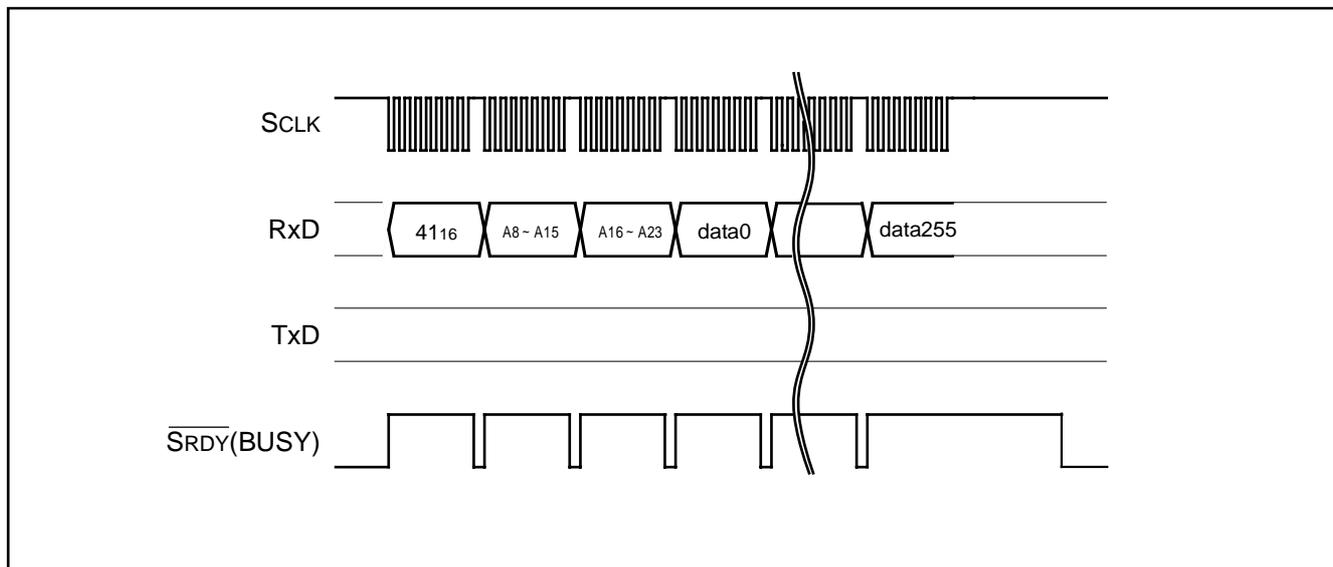


図 157. ページプログラムコマンド時のタイミング

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を入力してください。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を入力すると、

全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了すると $\overline{\text{SRDY}}$ (BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

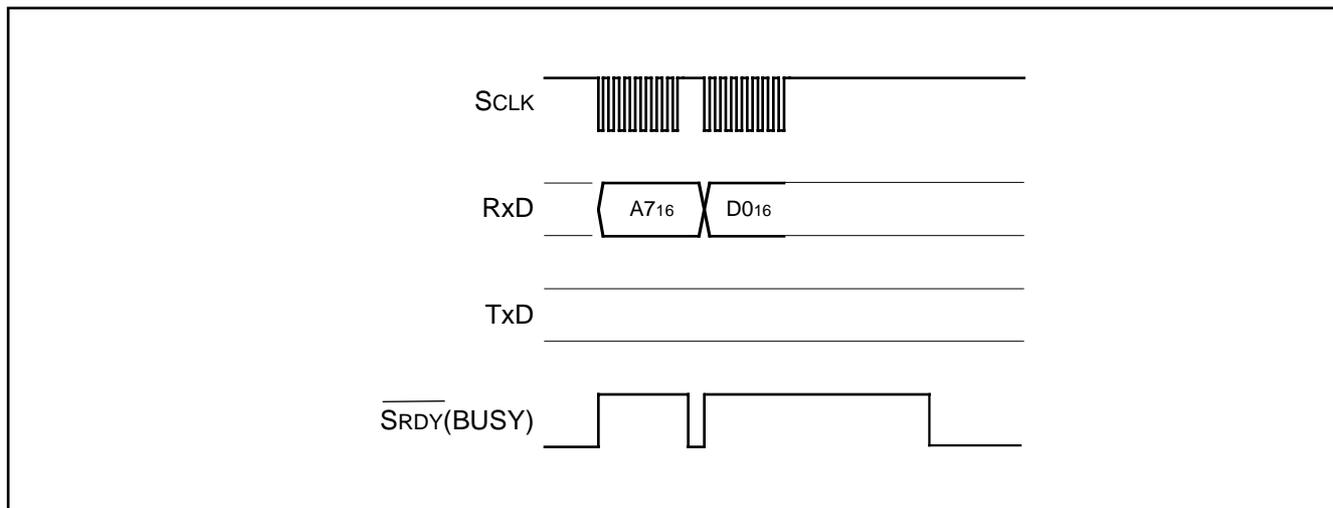


図 158. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“ FA₁₆ ”を入力してください。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを入力してください。

- (3) 4バイト目の転送でチェックサムを入力してください。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを入力してください。全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

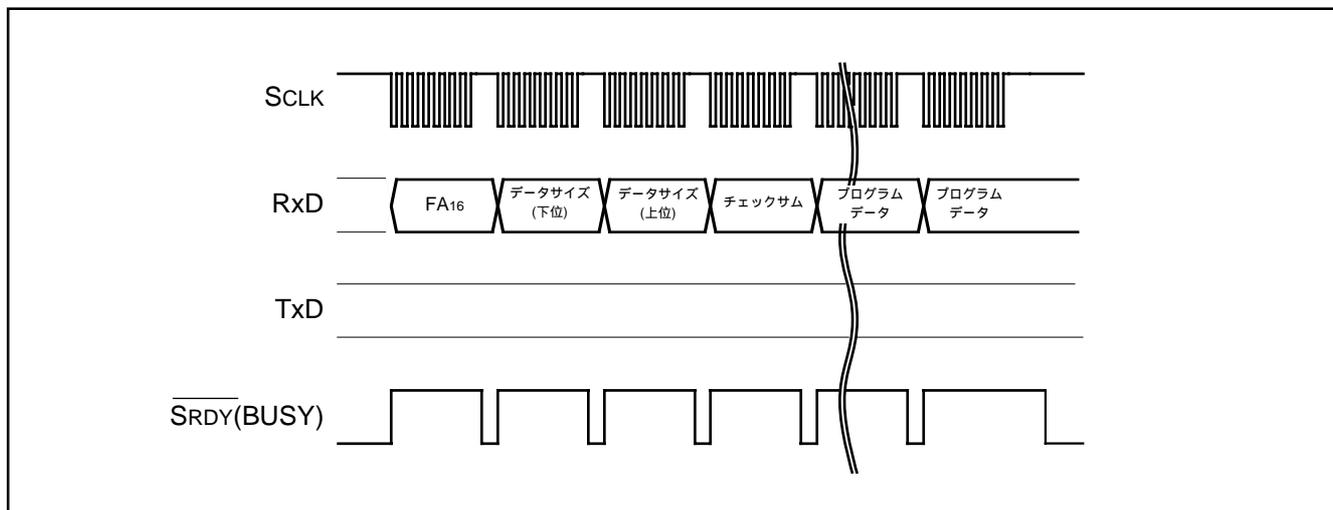


図 159. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を入力してください。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

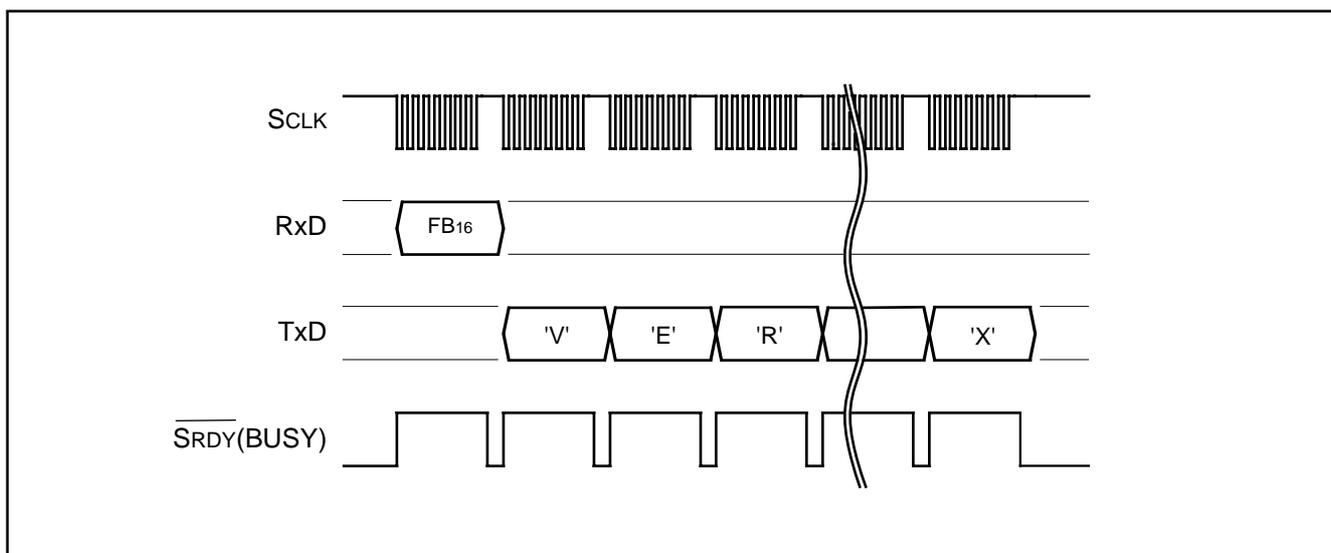


図 160. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を入力してください。

- (2) 2,3バイトの転送でアドレスA8～A23を入力してください。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

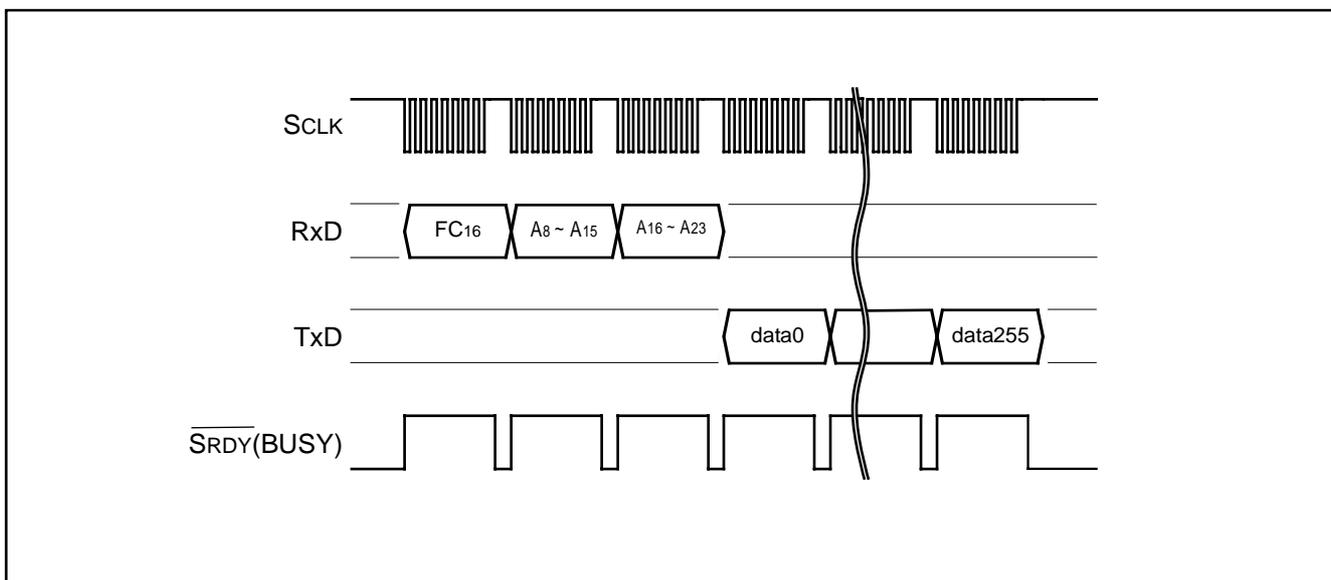


図 161. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード[※] F5₁₆を入力してください。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれ

IDコードの1バイト目のアドレスA₀ ~ A₇、A₈ ~ A₁₅、A₁₆ ~ A₂₃([※] 00₁₆)を入力してください。

- (3) 5バイト目にIDコードのデータ数を入力してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から入力してください。

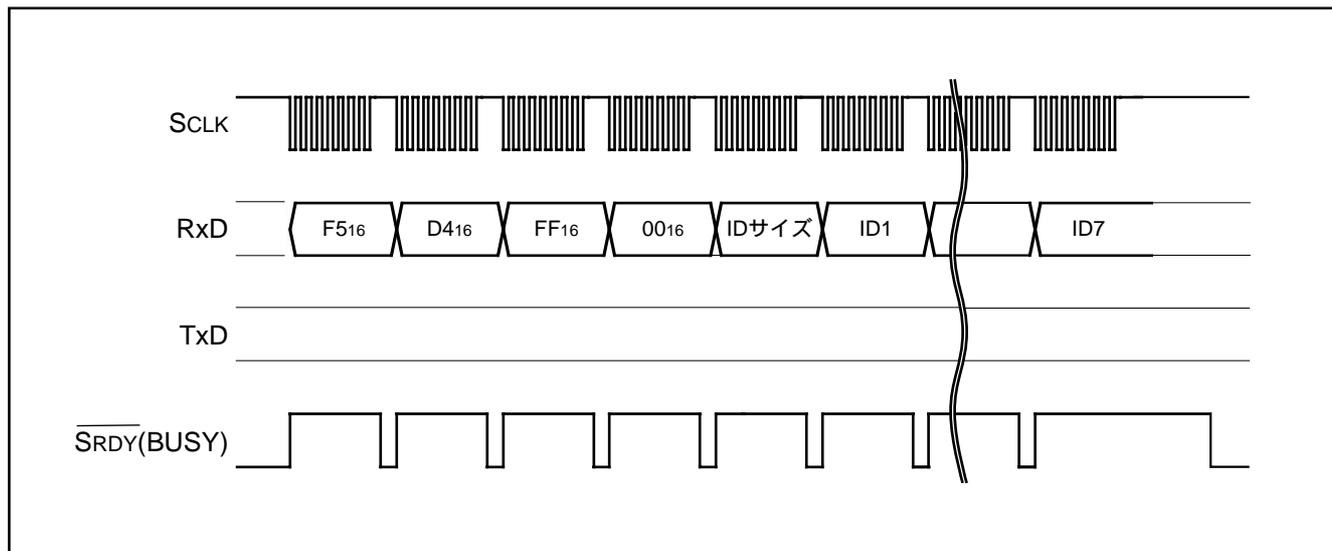


図 162. ID チェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受

け付けません。IDコードは各8ビットのデータで、その領域はFFD4₁₆ ~ FFD_A₁₆番地に割り付けられています。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

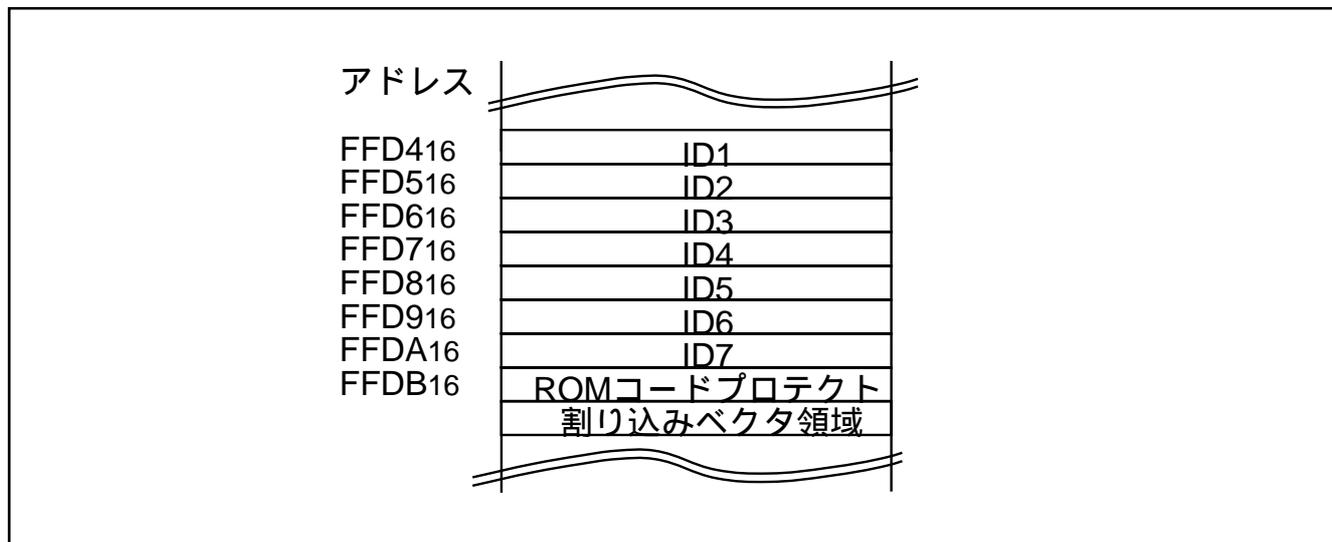


図 163. ID コードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表14に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表 14. ステータスレジスタ(SRD)

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1”(レディ)にセットされる。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされません。

プログラムステータスはクリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライト

したときクリアされます。

ステータスレジスタを表15に各ビットの定義を以下に示します。

電源投入時'00₁₆'になります。フラグの状態はリセットしても保持されます。

表 15. ステータスレジスタ 1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図164 にフルス

テータスチェックフローチャート及び各エラー発生時の対処方法を示します。

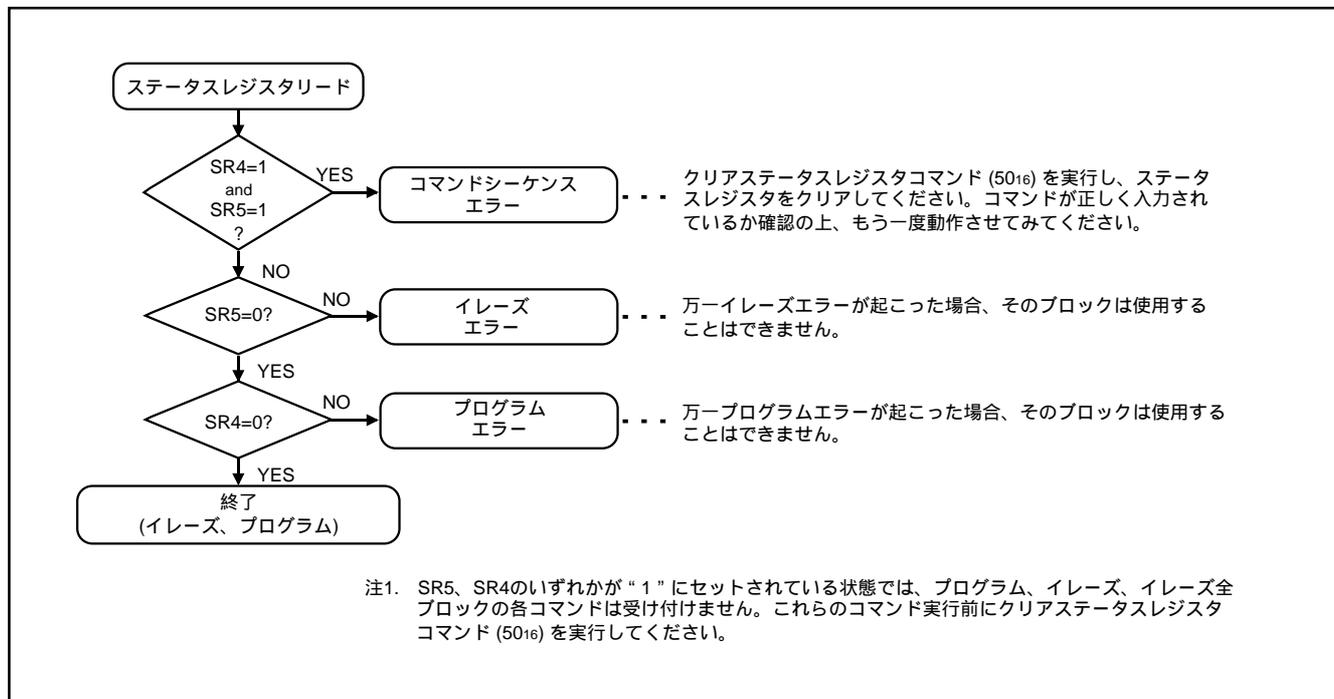


図 164. フルステータスチェックフローチャート及び各エラー発生時の対処方法

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が異なりますので、詳細はライターのマニュアルを参考にしてください。

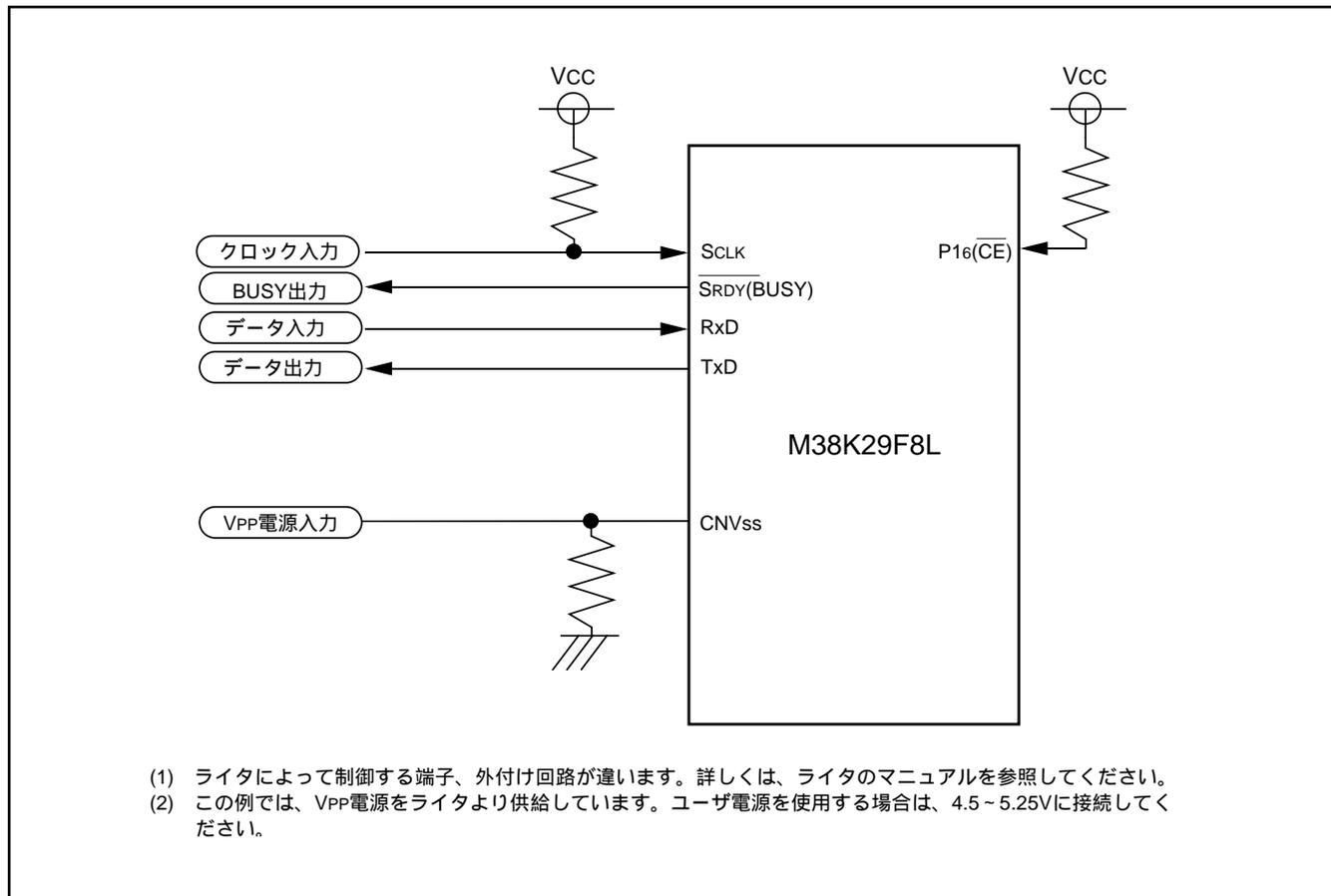


図 165. 標準シリアル入出力モード時の応用回路例

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが「1」であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを「1」に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

- ・タイマラッチに値n(0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマXのカウントソースを切り替える場合は、必ずタイマXのカウントを停止させた状態で行ってください。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが「1」の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中はシステムクロックを500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。

ただし、USB機能またはEXB機能を使用時に、マルチチャネルRAMによりワンウエイトが発生した場合、内部クロックの周期は2倍になります。

A/D変換精度の定義に関するもの

A/D変換精度の定義を以下に説明します。

相対精度

ゼロトランジション電圧(V_{0T})

実際のA/D変換出力データが“ 0 ”から“ 1 ”に変化する
ときのアナログ入力電圧

フルスケールトランジション電圧(V_{FST})

実際のA/D変換出力データが“ 1023 ”から“ 1022 ”に変化
するときのアナログ入力電圧

直線性誤差

V_{0T}とV_{FST}を結ぶ直線と、V_{0T}からV_{FST}間の任意の変換値との偏差

微分非直線性誤差

V_{0T}とV_{FST}間の任意の変換値を1LSB変化させるために必要な入力電位差と、相対精度における1LSBとの偏差

絶対精度

0 ~ V_{DD}間の理想特性と、実際のA/D変換特性との偏差

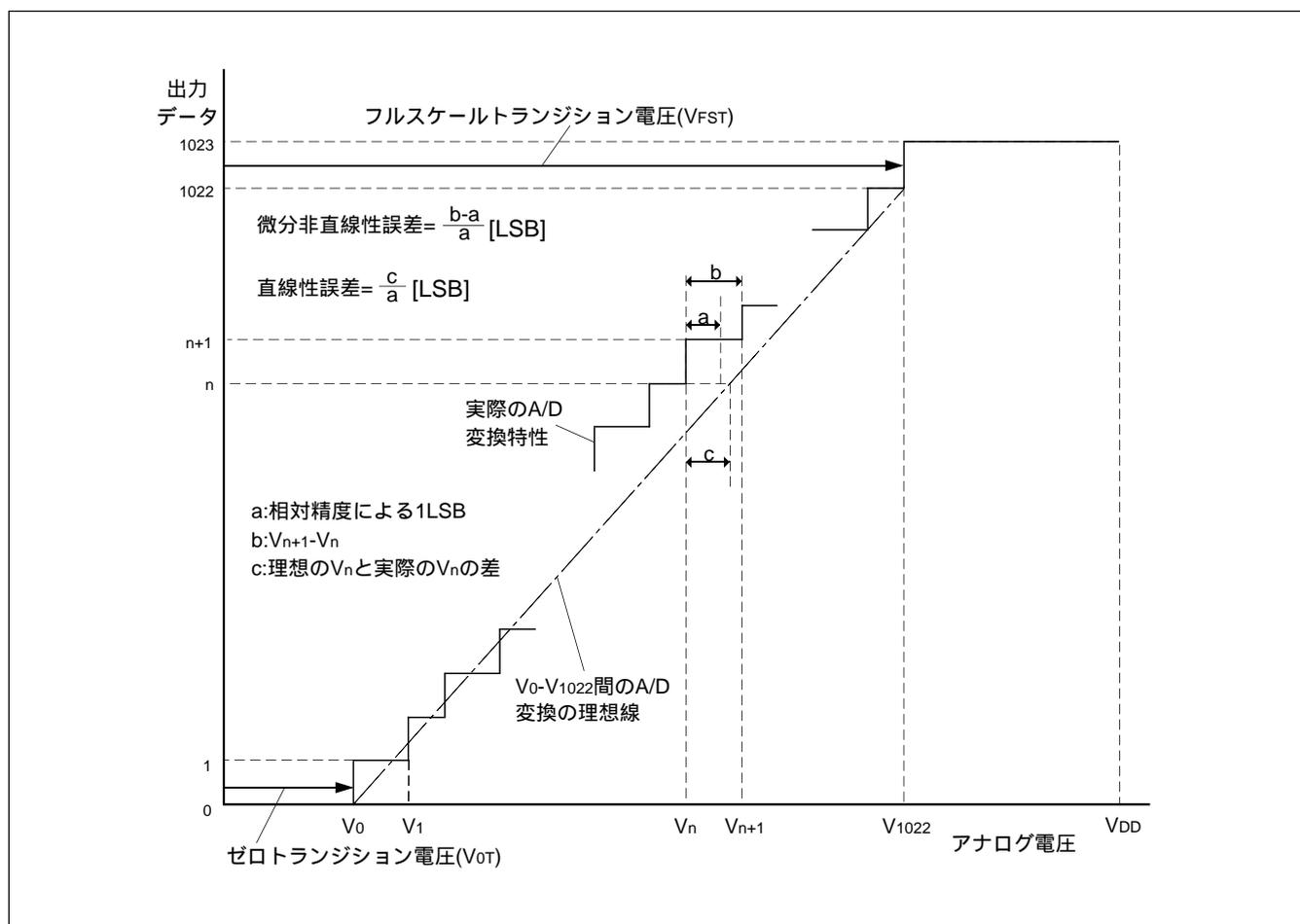


図 166. A/D 変換精度の定義

V_n : A/D変換出力データが“ n ”から“ n+1 ”に変化する
ときのA/D入力電圧 (n=0 ~ 1022)

相対精度における1LSB $\frac{VFST-V0T}{1022}$ (V)

絶対精度における1LSB $\frac{VDD}{1024}$ (V)

使用上の注意事項

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

電源端子の取扱いに関する注意事項(ノイズ対策)

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは1.0 μ Fの電解系又はセラミック系コンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

USBポート端子(D0+,D0-,D1+,D1-,D2+,D2-)の取扱いに関する注意事項

USB仕様では、ドライバインピーダンス28~44 Ω が規定されています。この規格を満足するために、USBポート端子に直列抵抗(推奨値27 Ω)を接続してください。また必要に応じてUSBポート端子とVSS端子の間にコンデンサを接続してください。これらのコンデンサはリンギングを抑えるため、もしくは立ち上がり、立ち下がり時間及びクロソーパーポイントを調整するためのものです。周辺素子の数値と構成は実装プリント基板の特性インピーダンス、レイアウトの違いにより調整が必要となりますので、使用システムで十分に評価、波形観測のうえ、接続の有無と抵抗値・コンデンサ数値をご調整願います。

USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください。

USBVREF端子の取扱いに関する注意事項(ノイズ対策)

USBVREF端子とVSS端子との間にコンデンサを接続してください。コンデンサの容量は2.2 μ F(電解系コンデンサ)と0.1 μ F(セラミック系コンデンサ)を並列に接続してください。

VCC=3.0~3.6V動作時、USBポート回路へ電源供給のために、USBVREF端子はVCC端子へ直接接続してください。また、この場合、USB基準電圧回路を禁止にしてください(USB制御レジスタのビット4を0¹にしてください)。この時、バスパワー電源を使用する場合は、外部にDC-DCコンバータを外付けする必要があります。

VCC=4.00~5.25V動作時、外付けDC-DCコンバータをUSBVREF端子に接続しないでください。内蔵のUSB基準電圧回路をご使用ください。

USB通信に関する注意事項

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

フラッシュメモリ版に関する注意事項(ノイズ対策)

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k Ω の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版/マスクROM版の相異点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版を使用して実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書*
- ・マーク指定書*
- ・ROMのデータ ----- EPROM 3セット又はフロッピーディスク

*マスク化確認書及びマーク指定書につきましては、「ルネサステクノロジホームページ(<http://www.renesas.com>)」の「ROM発注」を参照してください。

絶対最大定格

表16．絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する 出力トランジスタは遮断状態	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧 V _{CC} E, V _{REF} , PV _{CC} , DV _{CC} , USBV _{REF}		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 P0 ₀ -P0 ₇ , P1 ₀ -P1 ₇ , P2 ₄ -P2 ₇ , P3 ₀ -P3 ₇ , P4 ₀ -P4 ₃ , P5 ₀ -P5 ₇ , P6 ₀ -P6 ₃		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 RESET, X _{IN} , CNV _{SS} 2		-0.3 ~ V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS}		マスク版CNV _{SS} : -0.3 ~ V _{CC} +0.3	V
			フラッシュメモリ版CNV _{SS} : -0.3 ~ 6.5	V
V _I	入力電圧 D0+, D0-, D1+, D1-, D2+, D2-		-0.5 ~ 3.8	V
V _O	出力電圧 P0 ₀ -P0 ₇ , P1 ₀ -P1 ₇ , P2 ₄ -P2 ₇ , P3 ₀ -P3 ₇ , P4 ₀ -P4 ₃ , P5 ₀ -P5 ₇ , P6 ₀ -P6 ₃ , X _{OUT}		-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 D0+, D0-, D1+, D1-, D2+, D2-, TrON	-0.5 ~ 3.8	V	
P _d	消費電力(注)	T _a =25	500	mW
T _{opr}	動作周囲温度	マイコン動作時	-20 ~ 85	
		フラッシュメモリモード時 (フラッシュメモリ版のみ)	25 ± 5	
T _{stg}	保存温度		-40 ~ 125	

注．最大消費電力は、チップの消費電力だけでなくパッケージの熱消費特性に依存します。

推奨動作条件

表17．推奨動作条件(1)
(指定のない場合は $V_{CC}=3.00 \sim 5.25V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 V _{CC}	システムクロック 12MHz時 (2,4,8分周モード)	4.00	5.00	5.25	V
		システムクロック 8MHz時	4.00	5.00	5.25	V
		システムクロック 6MHz時	3.00	5.00	5.25	V
AV _{CC}	アナログ電源電圧 PV _{CC} , DV _{CC}		V _{CC}		V	
AV _{CC}	アナログ電源電圧 V _{CC} E		V _{CC}		V	
V _{REF}	アナログ基準電圧 V _{REF}	2.0		V _{CC}	V	
V _{REF}	アナログ基準電圧 USBV _{REF}	V _{CC} =3.6 ~ 4.0V	3.0		3.6	V
		V _{CC} =3.0 ~ 3.6V	3.0		V _{CC}	V
V _{SS}	電源電圧 V _{SS}		0		V	
AV _{SS}	アナログ電源電圧 PV _{SS}		0		V	
V _{IH}	“H”入力電圧 P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H”入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	0.8V _{CC} E		V _{CC} E	V	
V _{IH}	“H”入力電圧 RESET, X _{IN} , CNV _{SS} , CNV _{SS} 2	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H”入力電圧 D0+, D0-, D1+, D1-, D2+, D2-	2.0		3.6	V	
V _{IL}	“L”入力電圧 P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63	0		0.2V _{CC}	V	
V _{IL}	“L”入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	0		0.2V _{CC} E	V	
V _{IL}	“L”入力電圧 RESET, X _{IN} , CNV _{SS} , CNV _{SS} 2	0		0.2V _{CC}	V	
V _{IL}	“L”入力電圧 D0+, D0-, D1+, D1-, D2+, D2-	0		0.8	V	

表18．推奨動作条件(2)

(指定のない場合はVCC=3.00 ~ 5.25V, VSS=0V, Ta= -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力総尖頭電流(注) P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63			-80	mA
I _{OH} (peak)	“H”出力総尖頭電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			-80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注) P00 ~ P07, P24 ~ P27, P50 ~ P57			80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注) P60 ~ P63			80	mA
I _{OL} (peak)	“L”出力総尖頭電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			80	mA
I _{OH} (avg)	“H”出力総平均電流(注) P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63			-40	mA
I _{OH} (avg)	“H”出力総平均電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			-40	mA
I _{OL} (avg)	“L”出力総平均電流(注) P00 ~ P07, P24 ~ P27, P50 ~ P57			40	mA
I _{OL} (avg)	“L”出力総平均電流(注) P60 ~ P63			40	mA
I _{OL} (avg)	“L”出力総平均電流(注) P10 ~ P17, P30 ~ P37, P40 ~ P43			40	mA

注．出力総電流は該当するポート全てに流れる電流の絶対値の総和です。総平均電流は100msの期間内での電流の絶対値の平均値で、総尖頭電流は総和のピーク値です。

表19．推奨動作条件(3)

(指定のない場合はVCC=3.00 ~ 5.25V, VSS=0V, Ta= -20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
I _{OH} (peak)	“H”出力総尖頭電流(注1) P0 ₀ ~ P0 ₇ , P2 ₄ ~ P2 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₃			-10	mA	
I _{OH} (peak)	“H”出力総尖頭電流(注1) P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃			-10	mA	
I _{OL} (peak)	“L”出力総尖頭電流(注1) P0 ₀ ~ P0 ₇ , P2 ₄ ~ P2 ₇ , P5 ₀ ~ P5 ₇			10	mA	
I _{OL} (peak)	“L”出力総尖頭電流(注1) P6 ₀ ~ P6 ₃			20	mA	
I _{OL} (peak)	“L”出力総尖頭電流(注1) P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃			10	mA	
I _{OH} (avg)	“H”出力平均電流(注2) P0 ₀ ~ P0 ₇ , P2 ₄ ~ P2 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₃			-5	mA	
I _{OH} (avg)	“H”出力平均電流(注2) P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃			-5	mA	
I _{OL} (avg)	“L”出力平均電流(注2) P0 ₀ ~ P0 ₇ , P2 ₄ ~ P2 ₇ , P5 ₀ ~ P5 ₇			5	mA	
I _{OL} (avg)	“L”出力平均電流(注2) P6 ₀ ~ P6 ₃			10	mA	
I _{OL} (avg)	“L”出力平均電流(注2) P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃			5	mA	
f(XIN)	メインクロック入力発振周波数(注3)	VCC=4.00 ~ 5.25V	6		12	MHz
		VCC=3.00 ~ 4.00V	6		6	MHz
f(XIN) 又は f(SYN)	システムクロック周波数	VCC=4.00 ~ 5.25V	6		12	MHz
		VCC=3.00 ~ 4.00V	6		6	MHz
f()	周波数	VCC=4.00 ~ 5.25V			8	MHz
		VCC=3.00 ~ 4.00V			6	MHz

注1．出力尖頭電流は1ポートごとに流れる電流の絶対値のピーク値を規定します。

注2．出力平均電流I_{OL}(avg), I_{OH}(avg)は100msの期間での電流の絶対値の平均値です。

注3．発振周波数はデューティ50%の場合です。6MHz又は12MHzのみ選択可能です。

電気的特性

表20 . 電気的特性(1)
(指定のない場合はVCC=3.00 ~ 5.25V, VSS=0V, Ta= -20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63	IOH=-10mA(VCC=4.00 ~ 5.25V)	VCC-2.0			V
		IOH=-1mA	VCC-1.0			V
VOH	“H”出力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	IOH=-10mA(VCC=4.00 ~ 5.25V)	VCC-2.0			V
		IOH=-1mA	VCC-1.0			V
VOH	“H”出力電圧 D0+, D0-, D1+, D1-, D2+, D2-	15k ±5%抵抗を介して0Vで プルダウン。	2.8		3.6	V
VOL	“L”出力電圧 P00 ~ P07, P24 ~ P27, P50 ~ P57	IOL=10mA(VCC=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 P60 ~ P63	IOL=20mA(VCC=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P43	IOL=10mA(VCC=4.00 ~ 5.25V)			2.0	V
		IOL=1mA			1.0	V
VOL	“L”出力電圧 D0+, D0-, D1+, D1-, D2+, D2-	1.5k ±5%抵抗を介して3.6Vで プルアップ。	0		0.3	V
VT+-VT-	ヒステリシス CNTR0, INT0, INT1			0.6		V
VT+-VT-	ヒステリシス P10/DQ0 ~ P17/DQ7, P30 ~ P32, P33/ExINT, P34/ExCS, P35/ExWR, P36/ExRD, P37/ExA0, P40/ExDREQ/RxD, P41/ExDACK/TxD, P42/ExTC/SCLK, P43/ExA1/SRDY			0.6		V
VT+-VT-	ヒステリシス D0+,D0-,D1+,D1-,D2+,D2-			0.25		V
VT+-VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63	Vi=VCC(プルアップトランジスタ OFF)			5.0	μA
IiH	“H”入力電流 P10 ~ P17, P30 ~ P37, P40 ~ P43	Vi=VCC			5.0	μA
IiH	“H”入力電流 RESET, CNVSS	Vi=VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi=VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P24 ~ P27, P50 ~ P57, P60 ~ P63	Vi=VSS(プルアップトランジスタ OFF)			-5.0	μA
IiL	“L”入力電流 P10 ~ P17, P30 ~ P37, P40 ~ P43	Vi=VSS			-5.0	μA
IiL	“L”入力電流 RESET, CNVSS, CNVSS2	Vi=VSS			-5.0	μA
IiL	“L”入力電流 XIN	Vi=VSS		-4.0		μA
IiL	“L”入力電流 P00 ~ P07, P50, P52(プルアップ時)	Vi=VSS(VCC=4.00 ~ 5.25V)	-20.0	-60.0	-120.0	μA
		Vi=VSS	-10.0			μA
V _{RAM}	RAM保持電圧	クロック停止時	2.00		5.25	V

表21 . 電気的特性(2)

(指定のない場合はVCC=3.00~5.25V,VSS=0V,Ta=-20~85)

記号	項目	測定条件			規格値			単位	
					最小	標準	最大		
Icc	電源電流 (出力トランジスタは遮断状態)	通常モード時 (注1)	VCC= 4.00~5.25V	f(XIN)=システムクロック=12MHz =6MHz USB基準電圧回路動作許可状態		21.0	60	mA	
				f(XIN)=12MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		22.5	60	mA	
				f(XIN)=6MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		22.0	60	mA	
				f(XIN)=システムクロック= =6MHz USB基準電圧回路動作許可状態		21.0	60	mA	
			VCC= 3.00~4.00V	f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態			35	mA	
			VCC= 3.00~3.60V	f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態		9.0	30	mA	
		ウェイトモード時 (注2)	VCC= 4.00~5.25V	f(XIN)=12MHz システムクロック= =8MHz USB基準電圧回路動作許可状態		6.0		mA	
				f(XIN)=システムクロック= =6MHz USB基準電圧回路動作禁止状態		2.0		mA	
		ストップモード時 (注3)	VCC= 4.00~5.25V	USB基準電圧回路動作許可状態 低消費電力モード		125.0	250	uA	
				VCC= 3.00~5.25V	USB基準電圧回路動作禁止状態 Ta=25		0.1		uA
				USB基準電圧回路動作禁止状態 Ta=85			10		uA

測定条件：

注1. シングルチップモード動作時

XIN端子からクロック入力(XOUT発振器は停止)

PLL回路動作、fUSB=48MHz

USB差動入力回路は全て許可状態

入出力端子開放

CPU動作、タイマ動作、USB送信状態

2. WIT命令実行時

XIN端子からクロック入力(XOUT発振器は停止)

PLL回路動作、fUSB=48MHz

USB差動入力回路は全て許可状態

入出力端子開放

CPU停止、タイマ動作、USB受信状態

3. STP命令実行時

発振は停止

USB差動入力回路は全て禁止状態

入出力端子開放

A/D変換器特性

表22 . A/D変換器特性(1)(指定のない場合は、VCC=3.00~5.25V,VSS=0V,Ta= -20~85)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
—	分解能					10	bits
—	直線性誤差		Ta = 25			±3	LSB
—	微分非直線性誤差		Ta = 25			±1.5	LSB
VOT	ゼロトランジション電圧		VCC = VREF = 5.12V	0	15	35	mV
VFST	フルスケールトランジション電圧		VCC = VREF = 5.12V	5105	5125	5150	mV
tCONV	変換時間					122	tc(XIN)又はfsYN
RLADDER	ラダー抵抗				35		k
IVREF	基準電源入力電流	A/D変換動作時	VREF = 5.0V	50	150	200	μA
		A/D変換停止時	VREF = 5.0V			5	μA
Ii(AD)	A/Dポート入力電流					5.0	μA

タイミング必要条件

表23．タイミング必要条件(1)(指定のない場合は、Vcc=4.00～5.25V, Vss=0V, Ta= -20～85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力 L ンパルス幅	2			μs
tC(XIN)	メインクロック入力サイクル時間	83			ns
tWH(XIN)	メインクロック入力 H ンパルス幅	35			ns
tWL(XIN)	メインクロック入力 L ンパルス幅	35			ns
tC(CNTR)	CNTR ₀ 入力サイクル時間	200			ns
tWH(CNTR)	CNTR ₀ 入力 H ンパルス幅	80			ns
tWL(CNTR)	CNTR ₀ 入力 L ンパルス幅	80			ns
tWH(INT)	INT ₀ , INT ₁ , 入力 H ンパルス幅	80			ns
tWL(INT)	INT ₀ , INT ₁ , 入力 L ンパルス幅	80			ns
tC(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/Oクロック入力 H ンパルス幅 (注)	370			ns
tWL(SCLK)	シリアル/Oクロック入力 L ンパルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O入力ホールド時間	100			ns

注．0FE0₁₆番地のビット6が 1 (クロック同期式モード)の場合です。0FE0₁₆番地のビット6が 0 (非同同期式モード)の場合、規格値は1/4になります。

表24．タイミング必要条件(2)(指定のない場合は、Vcc=3.00～4.00V, Vss=0V, Ta= -20～85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力 L ンパルス幅	2			μs
tC(XIN)	メインクロック入力サイクル時間	166			ns
tWH(XIN)	メインクロック入力 H ンパルス幅	70			ns
tWL(XIN)	メインクロック入力 L ンパルス幅	70			ns
tC(CNTR)	CNTR ₀ 入力サイクル時間	500			ns
tWH(CNTR)	CNTR ₀ 入力 H ンパルス幅	230			ns
tWL(CNTR)	CNTR ₀ 入力 L ンパルス幅	230			ns
tWH(INT)	INT ₀ , INT ₁ , 入力 H ンパルス幅	230			ns
tWL(INT)	INT ₀ , INT ₁ , 入力 L ンパルス幅	230			ns
tC(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/Oクロック入力 H ンパルス幅 (注)	950			ns
tWL(SCLK)	シリアル/Oクロック入力 L ンパルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O入力ホールド時間	200			ns

注．0FE0₁₆番地のビット6が 1 (クロック同期式モード)の場合です。0FE0₁₆番地のビット6が 0 (非同同期式モード)の場合、規格値は1/4になります。

表25 . 外部バスインタフェース(EXB)のタイミング必要条件(1)(指定のない場合は、Vcc=4.00 ~ 5.25V, Vss=0V, Ta= -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tsu(S-R)	ExCSセットアップ時間(リード時)	0			ns
tsu(S-W)	ExCSセットアップ時間(ライト時)	0			ns
th(R-S)	ExCSホールド時間(リード時)	0			ns
th(W-S)	ExCSホールド時間(ライト時)	0			ns
tsu(A-R)	ExA0, ExA1セットアップ時間(リード時)	10			ns
tsu(A-W)	ExA0, ExA1セットアップ時間(ライト時)	10			ns
th(R-A)	ExA0, ExA1ホールド時間(リード時)	0			ns
th(W-A)	ExA0, ExA1ホールド時間(ライト時)	0			ns
tsu(ACK-R)	ExDACKセットアップ時間(リード時)	10			ns
tsu(ACK-W)	ExDACKセットアップ時間(ライト時)	10			ns
th(R-ACK)	ExDACKホールド時間(リード時)	0			ns
th(W-ACK)	ExDACKホールド時間(ライト時)	0			ns
tWH(R)	リード“H”パルス幅	80			ns
tWL(R)	リード“L”パルス幅	80			ns
tWH(W)	ライト“H”パルス幅	80			ns
tWL(W)	ライト“L”パルス幅	80			ns
tWH(ACK)	ExDACK“H”パルス幅	120			ns
tWL(ACK)	ExDACK“L”パルス幅	120			ns
tsu(D-W)	ライト前データ入力セットアップ時間	40			ns
th(W-D)	ライト後データ入力ホールド時間	0			ns
tsu(D-ACK)	ExDACK前データ入力セットアップ時間	60			ns
th(ACK-W)	ExDACK後データ入力ホールド時間	5			ns
tc()	CPUクロックサイクル時間	125			ns
tW(cycle)	バーストモード アクセスサイクル時間	USB非動作時	tc() × 3 + 10		ns
		USB動作時	tc() × 5 + 10		ns

表26 . 外部バスインタフェース(EXB)のタイミング必要条件(2)(指定のない場合は、Vcc=3.00 ~ 4.00V, Vss=0V, Ta= -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tsu(S-R)	ExCSセットアップ時間(リード時)	0			ns
tsu(S-W)	ExCSセットアップ時間(ライト時)	0			ns
th(R-S)	ExCSホールド時間(リード時)	0			ns
th(W-S)	ExCSホールド時間(ライト時)	0			ns
tsu(A-R)	ExA0, ExA1セットアップ時間(リード時)	30			ns
tsu(A-W)	ExA0, ExA1セットアップ時間(ライト時)	30			ns
th(R-A)	ExA0, ExA1ホールド時間(リード時)	0			ns
th(W-A)	ExA0, ExA1ホールド時間(ライト時)	0			ns
tsu(ACK-R)	ExDACKセットアップ時間(リード時)	30			ns
tsu(ACK-W)	ExDACKセットアップ時間(ライト時)	30			ns
th(R-ACK)	ExDACKホールド時間(リード時)	0			ns
th(W-ACK)	ExDACKホールド時間(ライト時)	0			ns
tWH(R)	リード“H”パルス幅	120			ns
tWL(R)	リード“L”パルス幅	120			ns
tWH(W)	ライト“H”パルス幅	120			ns
tWL(W)	ライト“L”パルス幅	120			ns
tWH(ACK)	ExDACK“H”パルス幅	160			ns
tWL(ACK)	ExDACK“L”パルス幅	160			ns
tsu(D-W)	ライト前データ入力セットアップ時間	60			ns
th(W-D)	ライト後データ入力ホールド時間	0			ns
tsu(D-ACK)	ExDACK前データ入力セットアップ時間	80			ns
th(ACK-W)	ExDACK後データ入力ホールド時間	10			ns
tc()	CPUクロックサイクル時間	166			ns
tW(cycle)	バーストモード アクセスサイクル時間	USB非動作時	tc() × 3 + 30		ns
		USB動作時	tc() × 5 + 30		ns

スイッチング特性

表27．スイッチング特性(1)(指定のない場合は、 $V_{CC}=4.00\sim 5.25V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK)	シリアル/Oクロック出力“H”パルス幅	$t_c(\text{SCLK})/2-30$			ns
tWL(SCLK)	シリアル/Oクロック出力“L”パルス幅	$t_c(\text{SCLK})/2-30$			ns
td(SCLK-TXD)	シリアル/O出力遅延時間			140	ns
tV(SCLK-TXD)	シリアル/O出力有効時間	-30			ns
tr(SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
tf(SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns
tr(CMOS)	CMOS出力立ち上がり時間 (注)			30	ns
tf(CMOS)	CMOS出力立ち下がり時間 (注)			30	ns

注．XOUT, D0+, D0-, D1+, D1-, D2+, D2-を除きます。

表28．スイッチング特性(2)(指定のない場合は、 $V_{CC}=3.00\sim 4.00V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tWH(SCLK)	シリアル/Oクロック出力“H”パルス幅	$t_c(\text{SCLK})/2-50$			ns
tWL(SCLK)	シリアル/Oクロック出力“L”パルス幅	$t_c(\text{SCLK})/2-50$			ns
td(SCLK-TXD)	シリアル/O出力遅延時間			350	ns
tV(SCLK-TXD)	シリアル/O出力有効時間	-30			ns
tr(SCLK)	シリアル/Oクロック出力立ち上がり時間			50	ns
tf(SCLK)	シリアル/Oクロック出力立ち下がり時間			50	ns
tr(CMOS)	CMOS出力立ち上がり時間 (注)			50	ns
tf(CMOS)	CMOS出力立ち下がり時間 (注)			50	ns

注．XOUT, D0+, D0-, D1+, D1-, D2+, D2-を除きます。

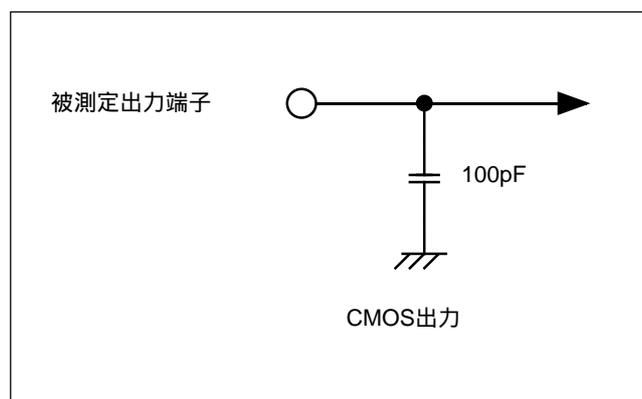


図167．出力スイッチング特性測定回路図

表29．外部バスインタフェース(EXB)のスイッチング特性(1) (指定のない場合は、Vcc=4.00~5.25V,Vss=0V,Ta=-20~85)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			60	ns
tv(R-D)	リード後データ出力ディスイネーブル時間	0			ns
ta(ACK-D)	ExDACK後データ出力イネーブル時間			80	ns
tv(ACK-D)	ExDACK後データ出力ディスイネーブル時間	0			ns
td(R-Mdis)	サイクルモード リード後Mch_reqディスイネーブル出力遅延時間			tc()+10	ns
td(W-Mdis)	サイクルモード ライト後Mch_reqディスイネーブル出力遅延時間			tc()+10	ns
td(R-Men)	サイクルモード リード後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+10	ns
		USB動作時		tc()×5+10	ns
td(W-Men)	サイクルモード ライト後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+10	ns
		USB動作時		tc()×5+10	ns

表30．外部バスインタフェース(EXB)のスイッチング特性(2) (指定のない場合は、Vcc=3.00~4.00V,Vss=0V,Ta=-20~85)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			80	ns
tv(R-D)	リード後データ出力ディスイネーブル時間	0			ns
ta(ACK-D)	ExDACK後データ出力イネーブル時間			120	ns
tv(ACK-D)	ExDACK後データ出力ディスイネーブル時間	0			ns
td(R-Mdis)	サイクルモード リード後Mch_reqディスイネーブル出力遅延時間			tc()+30	ns
td(W-Mdis)	サイクルモード ライト後Mch_reqディスイネーブル出力遅延時間			tc()+30	ns
td(R-Men)	サイクルモード リード後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+30	ns
		USB動作時		tc()×5+30	ns
td(W-Men)	サイクルモード ライト後 Mch_reqイネーブル出力遅延時間	USB非動作時		tc()×3+30	ns
		USB動作時		tc()×5+30	ns

表31 . スイッチング特性(USBポート)(指定のない場合は、 $V_{CC}=3.00 \sim 5.25V, V_{SS}=0V, T_a=-20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
tfr(D+/D-)	USBフルスピード出力立ち上がり時間 CL=50pF	4		20	ns	
tff(D+/D-)	USBフルスピード出力立ち上がり時間 CL=50pF	4		20	ns	
tlr(D+/D-)	USBロースピード出力立ち上がり時間 CL=200 ~ 600pF Ta=0 ~ 85	75		300	ns	
		75		300	ns	
		65		300	ns	
tlf(D+/D-)	USBロースピード出力立ち下がり時間 CL=200 ~ 600pF Ta=0 ~ 85	75		300	ns	
		75		300	ns	
		65		300	ns	
tfrfm(D+/D-)	USBフルスピードポート 立ち上がり / 立ち下がり時間比	tfr(D+/D-)/tff(D+/D-)	90		111.11	%
tlrfm(D+/D-)	USBロースピードポート 立ち上がり / 立ち下がり時間比	tlf(D+/D-)/tlf(D+/D-)	80		125	%
vcrs(D+/D-)	USB出力信号クロスオーバー電圧		1.3		2.0	V

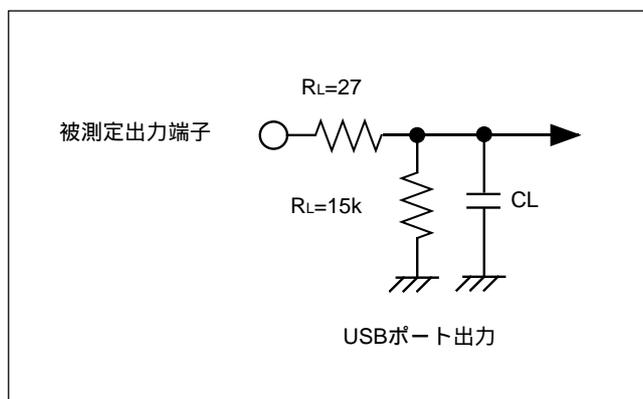


図168 . USB出力スイッチング特性測定回路図1
(D0-, D1+/D2+(ロースピード), D1-/D2-(フルスピード))

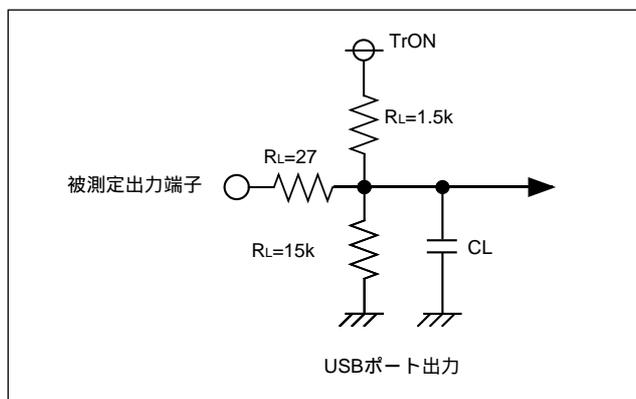


図169 . USB出力スイッチング特性測定回路図2
(D0+, D1+/D2+(フルスピード), D1-/D2-(ロースピード))

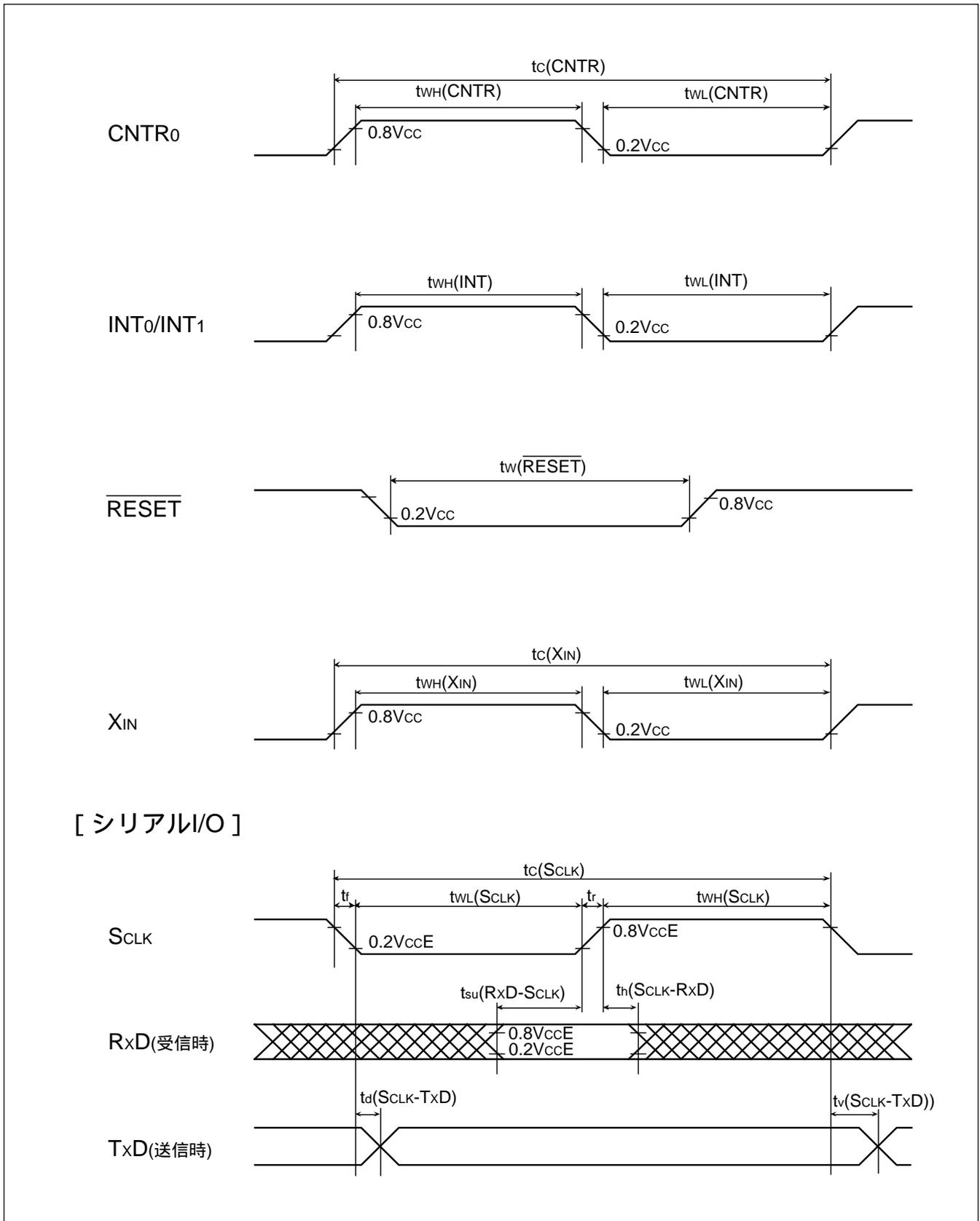
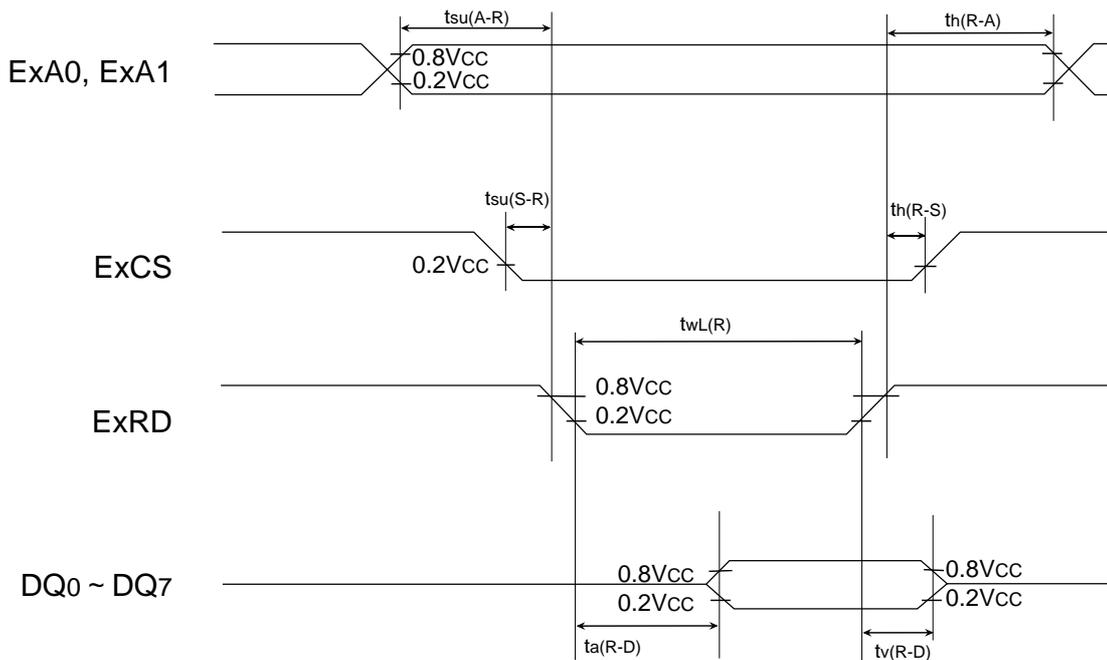


図170 . タイミング図(1)

タイミング図

[EXB 《CPUチャンネルモード》]

《読み出し》



《書き込み》

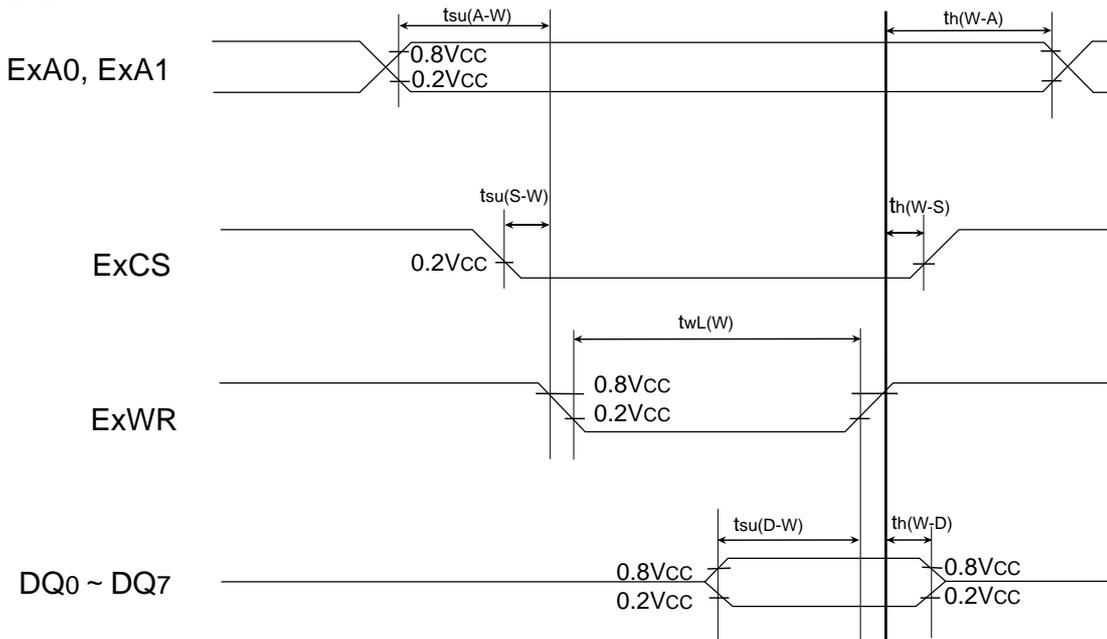
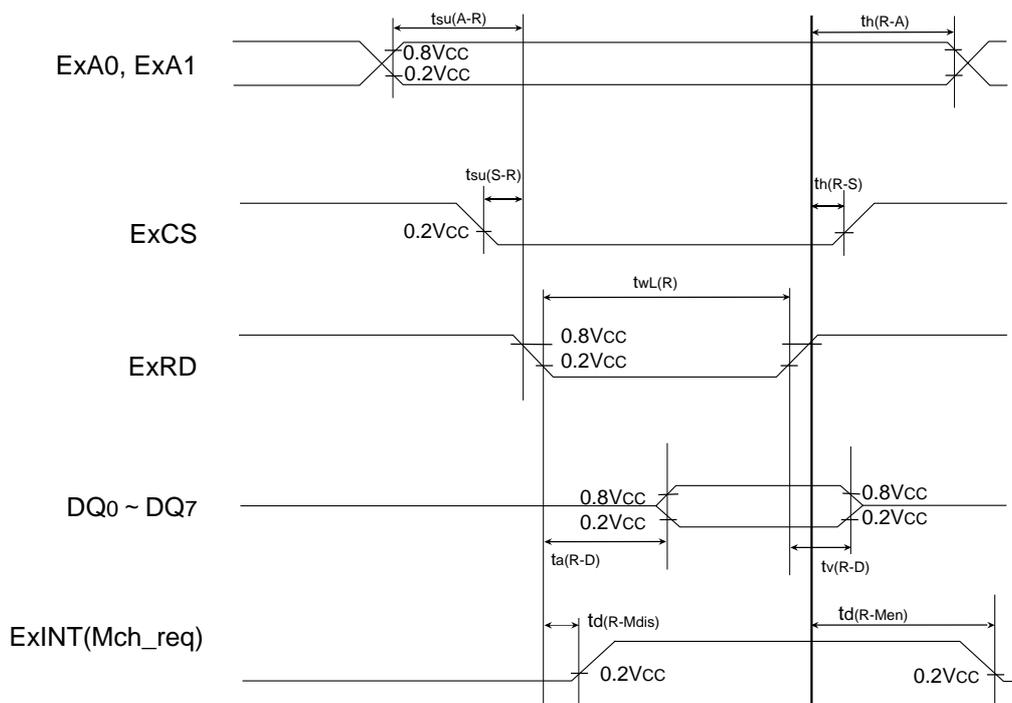


図171 . タイミング図(2)

タイミング図

[EXB 《メモリチャンネルモード、標準端子機能》]

《読み出し》



《書き込み》

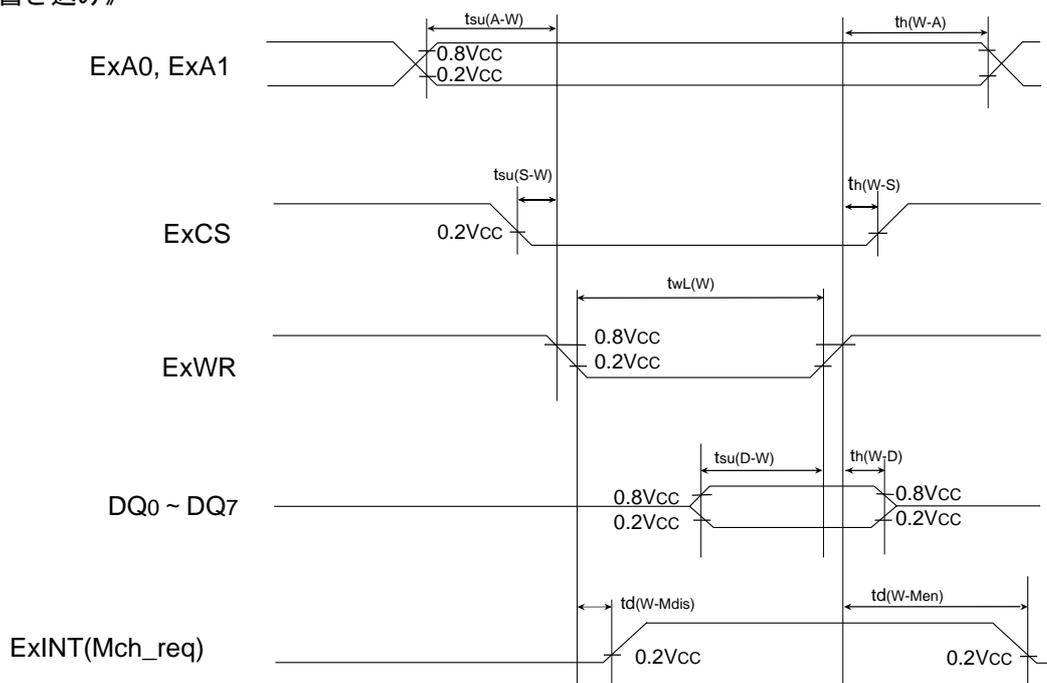
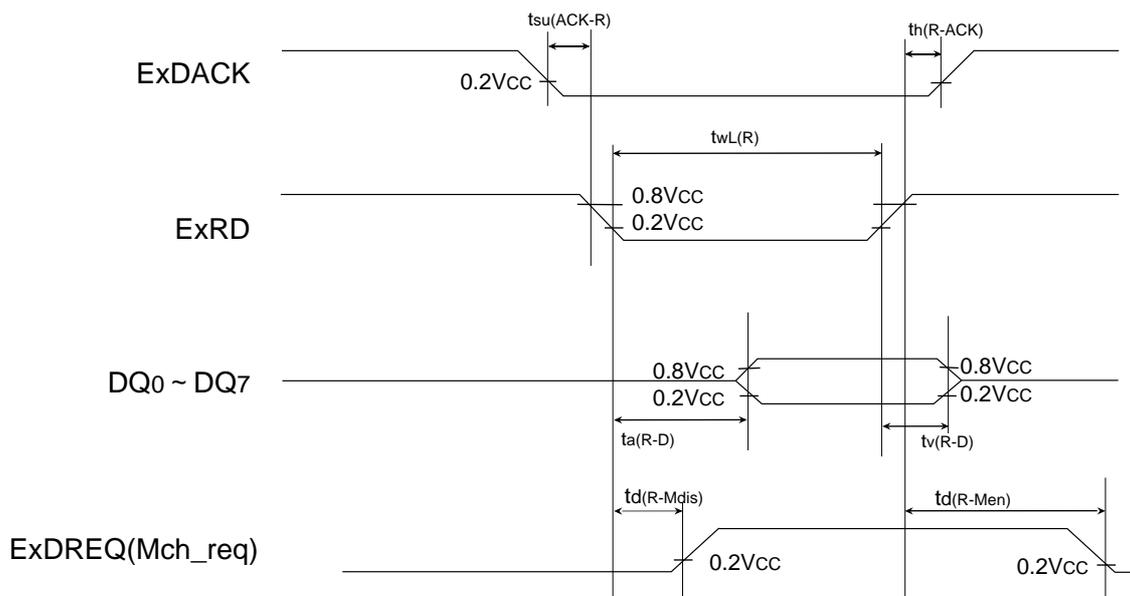


図172 . タイミング図(3)

タイミング図

[EXB 《メモリチャネルモード、DMAインタフェース端子機能、リード/ライト信号併用モード》]

《読み出し》



《書き込み》

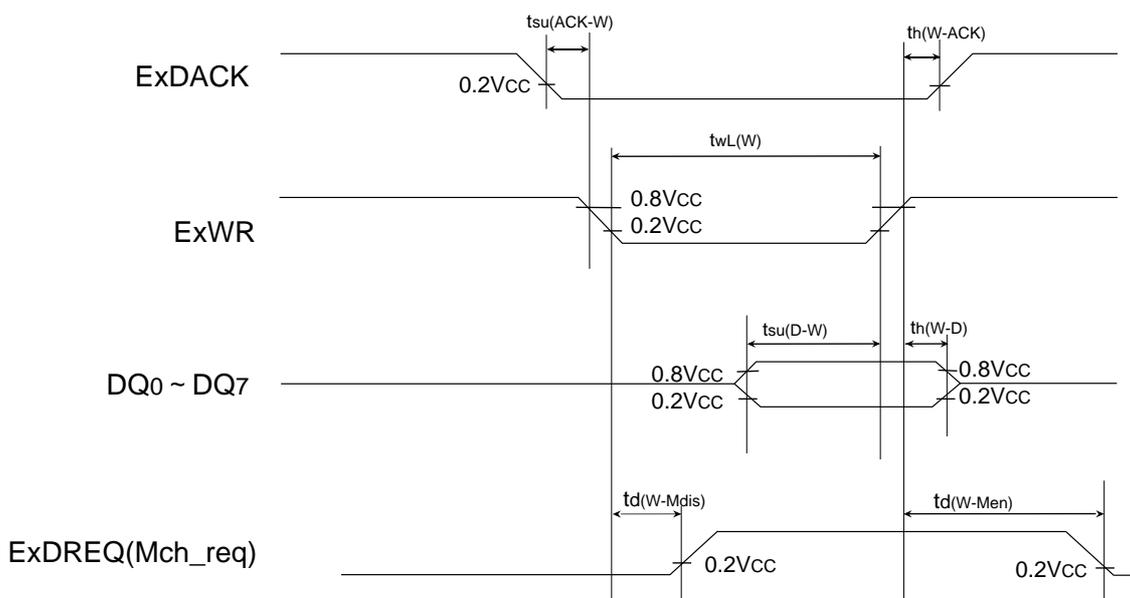
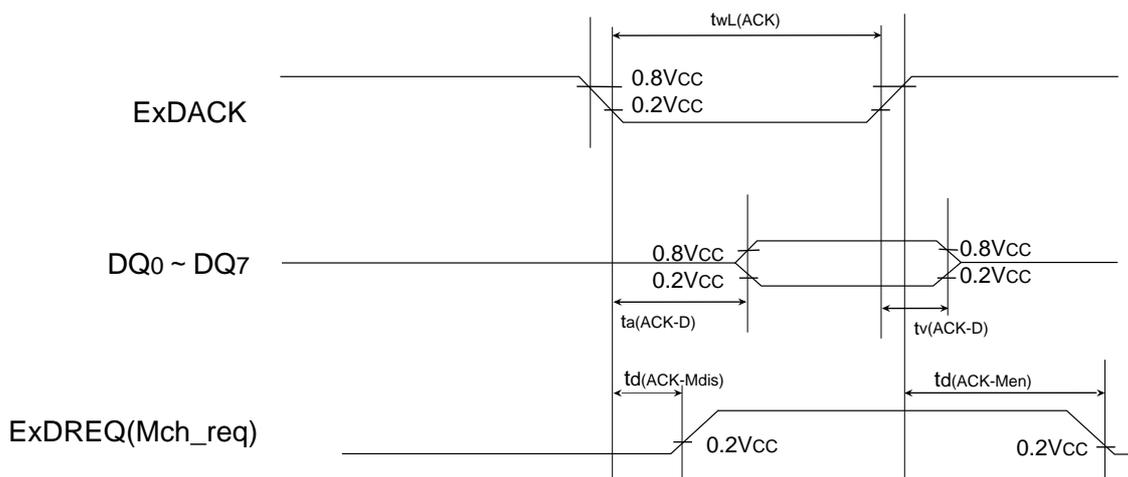


図173 . タイミング図(4)

タイミング図

[EXB 《メモリチャンネルモード、DMAインタフェース端子機能、リード/ライト信号不要モード》]

《読み出し》



《書き込み》

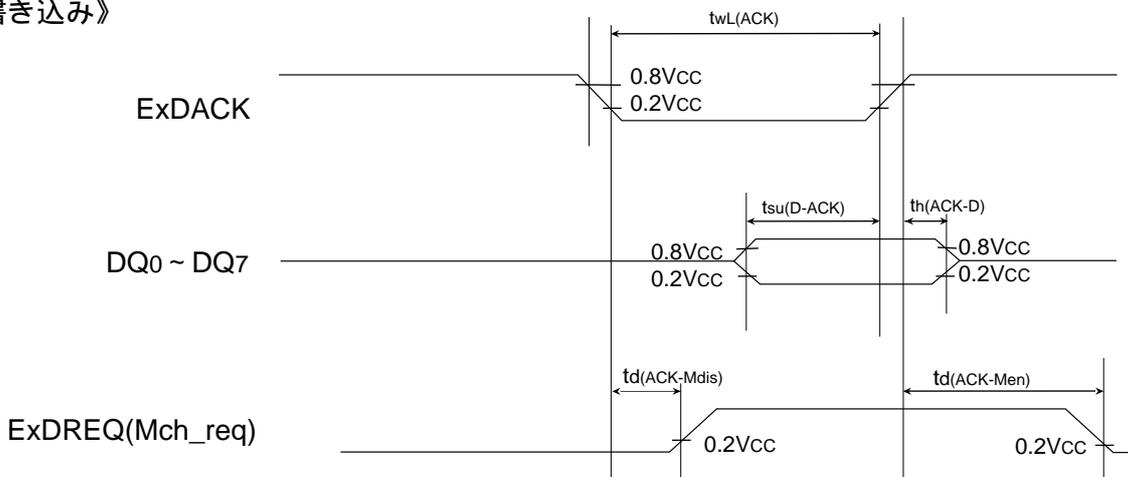
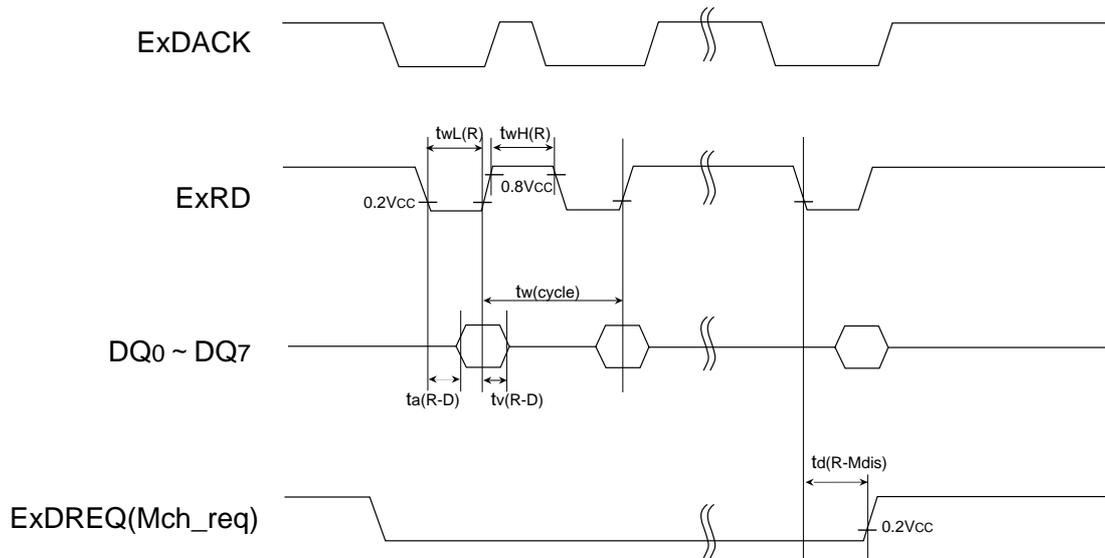


図174 . タイミング図(5)

タイミング図

[EXB 《メモリチャンネルモード、バースト転送》]

《読み出し》



《書き込み》

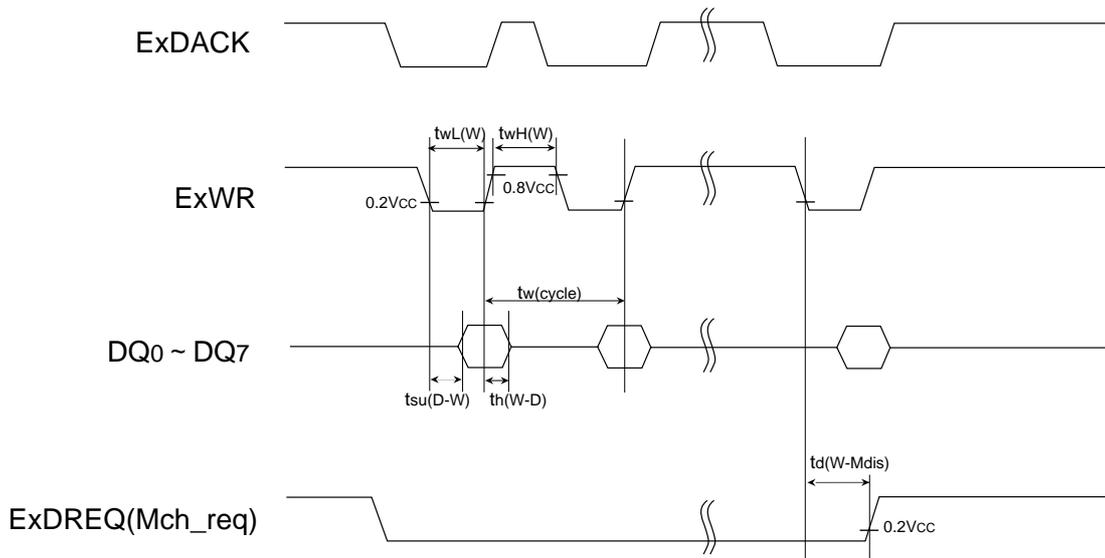
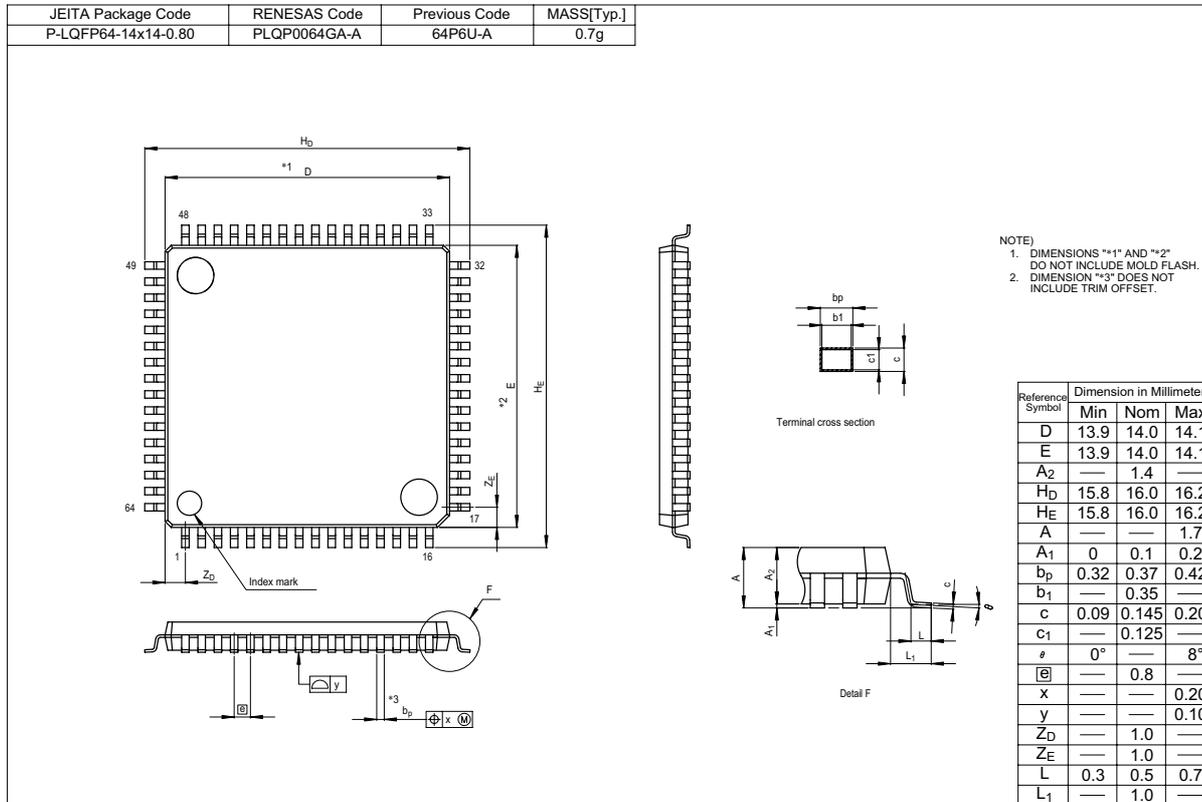


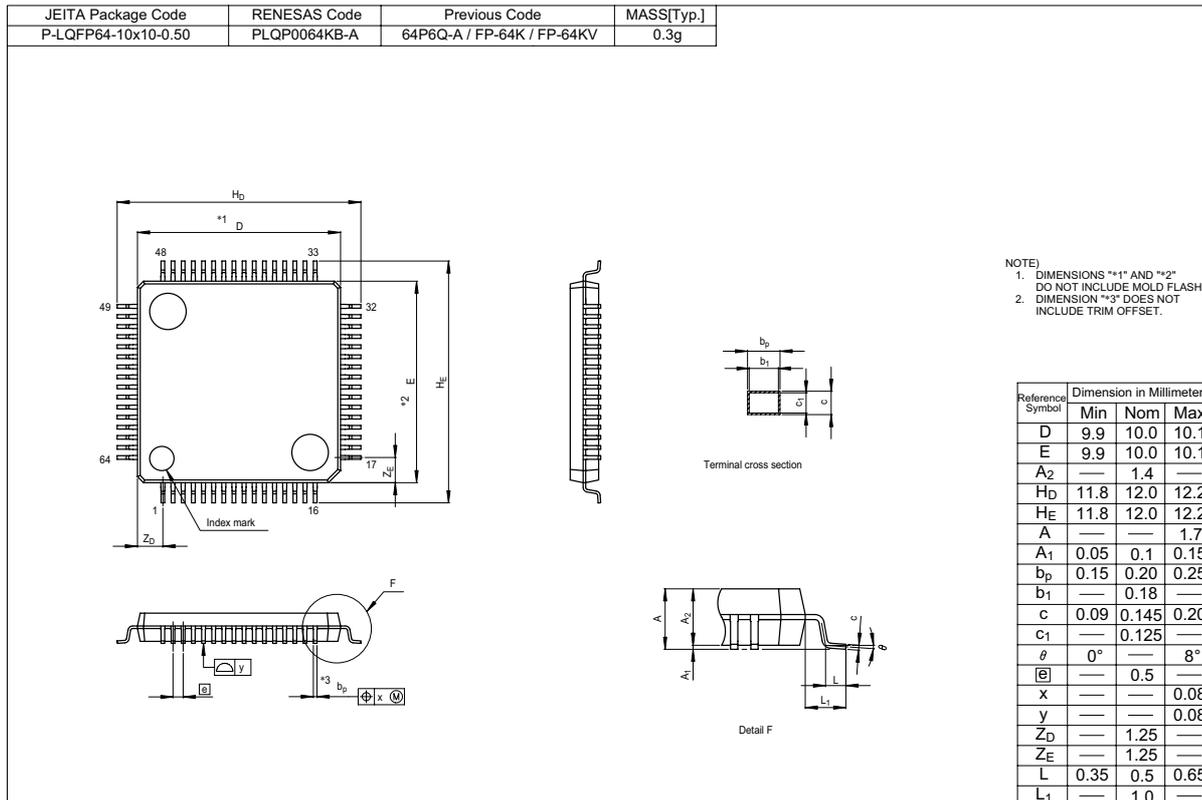
図175 . タイミング図(6)

外形寸法図

PLQP0064GA-A



PLQP0064KB-A



改訂履歴

38K2 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	01/03/08		初版発行
2.0	01/06/18	1 1 1 9 10 11 17 23 24 ~ 46 47 ~ 52 53 ~ 71 72 ~ 73 74 78 81 81 82 82 87 89 98 98 114 114 114 115 ~ 124 125	特長の命令実行時間を変更 特長の電源電圧を一部追加 特長の消費電力を一部変更 メモリのROMの文章を一部削除 図8 SFR (スペシャルファンクションレジスタの注を追加 表5 入出力ポートの機能一覧の端子名を一部変更 図14 キー入力割り込み使用時の結線例とポートP0のブロック図を一部変更 図21 シリアルI/O関連レジスタの構成を一部変更 USBレジスタ一覧、USB関連レジスタを追加 HUB関連レジスタを追加 外部バスインタフェースを追加 マルチチャンネルRAMを追加 図119 AD制御レジスタの構成を一部変更 PLL回路(周波数シンセサイザ)の文章を一部変更 図129 MISRGの構成の文章を一部変更 図131 システムクロック発生回路ブロック図(シングルチップモード)を一部変更 フラッシュメモリモードの文章を一部変更 表7 38K2グループ(フラッシュメモリ版)の性能概要を一部変更 ソフトウェアコマンドのプログラムコマンド(4016)の文章を一部変更 ステータスレジスタのプログラムステータス(SR4)の文章を一部変更 イレーズ全ブロックコマンド(2016/2016)の文章を一部変更 ブロックイレーズコマンド(2016/D016)の文章を一部変更 プログラミング上の注意事項を追加 使用上の注意事項を追加 マスク化発注時の提出資料を追加 電気的特性を追加 64P6U-Aの外寸法図を変更
2.1	01/07/06	3 24 25 26 32 33 33 35 36 38 39 65 120	表1 38K2グループ端子の機能説明の端子名を一部変更 図22 USBレジスタ一覧を一部変更 図24 USBファンクション/ハブ許可レジスタ(USBAE)を一部変更 図25 USBファンクションアドレスレジスタ(USBA0)の図題変更 図39 EP01設定レジスタ(EP01CFG)を一部変更 図41 EP01制御レジスタ2(EP01CON2)を一部変更 図42 EP01制御レジスタ3(EP01CON3)を一部変更 図50 EP02制御レジスタ2(EP02CON2)を一部変更 図51 EP02制御レジスタ3(EP02CON3)を一部変更 図59 EP03制御レジスタ2(EP03CON2)を一部変更 図60 EP03制御レジスタ3(EP03CON3)を一部変更 図109 CPUチャンネル受信動作を一部変更 表23 電気的特性(2)のIccの規格値を一部変更
2.2	01/07/12	78 システムクロックとして用いる場合6MH 又は8MHz になるように
3.0	02/02/12	1 1 1 1 3	特長の電源電圧を変更 特長の消費電力を変更 特長の動作周囲温度を変更 図1 38K2グループのピン接続図を一部変更 表1 38K2グループ端子の機能説明のVcc, Vssの機能を一部変更

改訂履歴

38K2 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.0	02/02/12	3	表 1 38K2 グループ端子の機能説明の VccE の名称と機能を変更
		3	表 1 38K2 グループ端子の機能説明の USBVREF の機能を一部追加
		4	グループ展開のパッケージの文章を一部追加
		4	表 2 サポート製品一覧の項目を一部追加
		8	図 6 CPU モードレジスタの構成を一部変更
		18	● タイマ 1、タイマ 2 の文章を一部変更
		18	● タイマ X の文章を一部変更
		24 ~ 29	USB 機能の文章、図表を新規追加
		30	図 28 USB レジスタ一覧を一部変更
		31	図 30 USB ファンクション / ハブ許可レジスタ(USBAE)を一部変更
		32	図 32 USB ハブアドレスレジスタ(USBA1)の図題を変更
		43	図 60 EP02 バイト数レジスタ 1(EP02BYT1)を一部変更
		46	図 69 EP03 バイト数レジスタ 1(EP03BYT1)を一部変更
		52 ~ 55	HUB 機能の文章、図表を新規追加
		69	図 106 EXB レジスタマップ(1)を一部変更
		70	図 107 EXB 割り込み要因許可レジスタ(EXBICON)の注を追加
		70	図 108 EXB 割り込み要因レジスタ(EXBIREQ)を一部変更
		71	図 109 EXB インデックスレジスタ(EXBINDEX)を一部変更
		72	図 113 インデックス 00[high]を一部変更
		73	図 117 インデックス 03[high]を一部変更
		74	図 119 インデックス 04[high]を一部変更
		84	【A-D 変換レジスタ 1、2】の文章を一部削除
		84	【比較電圧発生器】の文章を一部削除
		84	【コンパレータ及び制御回路】の文章を一部変更
		87	リセット回路の文章を一部変更
		87	図 135 リセット回路例を一部変更
		88	PLL 回路 (周波数シンセサイザ) の文章を一部変更
		92	図 143 システムクロック状態遷移図を追加
		93	フラッシュメモリ版の文章を一部変更
		93	表 9 38K2グループ(フラッシュメモリ版)の性能概要を一部変更及び注を追加
		94	マイコンモードとブートモードの文章を一部変更
		94	図 144 内蔵フラッシュメモリのブロック図を一部変更
		95	機能概要 (CPU 書き換えモード) の文章を一部変更
97	CPU 書き換えモードの注意事項の文章を一部変更		
98	表 10 ソフトウェアコマンド一覧表(CPU書き換えモード)にサイクル数の項目を追加		
100	● プログラムステータス(SR4)の文章を一部削除		
104	Rev.2.2 の P93 ~ P100 を削除。本ページの内容に変更		
105	標準シリアル入出力モードの文章を一部変更		
105	Rev.2.2 の図 146 を削除		
106	表 12 端子の機能説明 (標準シリアル入出力モード) の表題及び表を一部変更		
107	図 152 標準シリアル入出力モード時の端子結線図の図題及び図を一部変更		
117	図 164 標準シリアル入出力モード時の応用回路例を一部変更		
118	A-D 変換に関するものの文章を一部変更		
118	命令の実行時間に関するものの文章を一部追加		
119	A-D 変換精度の定義に関するものを追加		
120	USBポート端子(D0+, D0-, D1+, D1-, D2+, D2-)の取扱いに関する注意事項を追加		
120	USBVREF 端子の取扱いに関する注意事項 (ノイズ対策) を追加		
120	フラッシュ版とマスク版の相違点に関する注意事項を追加		
121	表 16 絶対最大定格の Topr の項目を追加		

改訂履歴

38K2 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.0	02/02/12	122 122 122 123 124 124 125 125 125 126 127 127 128 128 128 129 129 130 130	表 17 推奨動作条件(1)の Vcc の項目を追加 表 17 推奨動作条件(1)の AVcc の規格値を変更 表 17 推奨動作条件(1)の VREF の項目を追加 表 18 推奨動作条件(2)の測定条件及び注を一部変更 表 19 推奨動作条件(3)の測定条件及び f(XIN)の項目を追加 表 19 推奨動作条件(3)の f(XIN)又は f(SYN)及び f(ϕ)の項目を追加 表 20 電気的特性(1)の測定条件及び VOH 及び VOL の測定条件を一部追加 表 20 電気的特性(1)の一部の VT+-VT- ヒステリシスの規格値を変更 表 20 電気的特性(1)の VT+-VT- ヒステリシスの項目を追加 表 21 電気的特性(2)の Icc を変更 表 22 A-D 変換器特性(1)の測定条件を変更 表 22 A-D 変換器特性(1) 表 23 タイミング必要条件(1)の測定条件及び tc(XIN)、tWH(XIN)、tWL(XIN)の規格値を変更 表 23 タイミング必要条件(1)の tC(SCLK)、tWH(SCLK)、tWL(SCLK)、tsu(RxD-SCLK)、th(SCLK-RxD)の項目を一部削除 表 24 タイミング必要条件(2)を追加 表 25 スイッチング特性(1)の測定条件を変更及び項目を一部削除 表 26 スイッチング特性(2)を追加 表 27 スイッチング特性 (USB ポート) を追加 図 167 USB 出力スイッチング特性測定回路図 1 及び図 168 USB 出力スイッチング特性測定回路図 2 を追加
3.1	02/02/18	全ページ 88	ヘッダ部の「開発中 本製品は開発中ですので、、、」表記を削除 PLL 回路 (周波数シンセサイザ) の文章を一部削除
3.2	02/03/05	106 107	表 12 Vcc の機能説明 (電圧) を変更 図 169 タイミング図の SCLK、RxD を変更
3.3	02/09/09	1 3 4 26 30 37 49 51 87 93 106 107 122 ~	概要 : USB 仕様 Ver1.1 Full-Speed USB2.0 仕様 電源電圧 : 標準品、L 仕様とわけて記述 消費電力(電源電圧 3.3V 時) : 45mW 30mW 注意事項の 2. を削除 図 1 L 仕様の形名追加 表 1 Vcc の値修正 図 3 L 仕様を追加 表 3 を追加(以降の表番号に変更あり。) 図 24 Vcc の条件追加 図 25 を追加 (以降の図番号に変更あり。) 図 29 (1) エンドポイント 00 の 001E16 番地のレジスタ名称を修正 図 44 レジスタ名称を修正 図 78 レジスタ名称を修正 図 84 レジスタ名称を修正 説明文中、電源電圧、リセット入力電圧を標準品、L 仕様と分けて記述 図 136 リセット解除電圧を標準品、L 仕様と分けて記述 表 10 Vcc を標準品、L 仕様と分けて記述 表 13 Vcc を標準品、L 仕様と分けて記述 図 153 L 仕様の形名追加、*2 の Vpp 接続時の Vcc 修正 標準品と L 仕様の電気的特性を分けて記載(131 ページから L 仕様の電気的特性) 表 18 ~ 表 23 表題 : 指定のない場合 Vcc=3.00 ~ 指定のない場合 Vcc=4.00 ~ Vcc のシステムクロック 6MHz 時を削除、USBVREF を削除

改訂履歴

38K2 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
3.3	02/09/09	124 125 126 128 129 130 131 ~ 143 ~	表20 f(XIN), f(XIN)又はf(SYN), f()のVccの場合分けを削除、Vcc=3.00 ~ 4.00Vのデータ削除 表21 測定条件中、Vcc、VccE の記述削除、IIL プルアップ時のVI=Vss の場合を削除 表22 測定条件中、Vcc の範囲を削除、Vcc=3.00 ~ 4.00V 時のデータ削除、通常モード時の標準値修正 Vcc=3.00 ~ 4.00V のタイミング必要条件表の削除、表25 の追加 Vcc=3.00 ~ 4.00V のスイッチング特性表の削除 表27 を追加 表28 表題：指定のない場合 Vcc=3.00 ~ 指定のない場合 Vcc=4.00 ~ L仕様の電気的特性、スイッチング特性を追加 タイミング図(2) ~ (6)の追加
3.4	02/10/09	3 26 61 124 133	表1 USBREF の機能説明を改訂 図25 [注] を追記 図99 b0 ~ b3 の機能説明を改訂 表20 注3 を改訂 表31 注3 を改訂
4.0	06/10/15	- 87 90 91 120 149	型名 64P6U-A PLQP0064GA-A、64P6Q-A PLQP0064KB-A に変更 38K2 グループ(標準品) 削除 図136 変更 クロック発生回路 「XIN - XOUT 端子間には帰還抵抗が内蔵されて、、、省略することができます。」 「XIN - XOUT 端子間には帰還抵抗を内蔵して、、、 ありません。）」 図140 図変更、注意追記 図143 変更 電源電圧に関する注意事項、USB 通信に関する注意事項を追記 外形寸法図 変更

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com