

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38D5 グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0162-0303

Rev.3.03

2008.05.20

概要

38D5 グループは、740 ファミリコアを採用した 8 ビットマイクロコンピュータです。38C5 グループとピンコンパチブルで、LCD 駆動制御回路、A/D コンバータ、シリアルインタフェースなどの付加機能を備えています。新機能として ROM 訂正機能を追加しています。

QzROM 版とフラッシュメモリ版があり、フラッシュメモリ版は、発振開始モードの選択機能はありません。発振開始は内蔵のオンチップオシレータのみが発振を開始します。

内蔵するメモリの、容量、パッケージの異なる複数の品種があります。詳細については型名とメモリサイズ・パッケージの項を参照してください。

特長

基本機械語命令	71
命令実行時間	0.32 μ s
(最小命令、発振周波数 12.5MHz 時)	
メモリ容量 (QzROM 版)	
ROM	32K ~ 60K バイト
RAM	1536 ~ 2048 バイト
メモリ容量 (フラッシュメモリ版)	
ROM	60K バイト
RAM	2048 バイト
プログラマブル入出力ポート	59 本 (SEG 共用 36 本)
割り込み	17 要因、16 ベクトル
(キー入力割り込み含む)	
タイマ	8 ビット \times 4、16 ビット \times 2
シリアルインタフェース	
シリアル I/O1	8 ビット \times 1 (UART 又はクロック同期形)
シリアル I/O2	8 ビット \times 1 (クロック同期形)
PWM	10 ビット \times 2、16 ビット \times 1 (IGBT 出力兼用)
A/D コンバータ	10 ビット \times 8
(低速モード時動作可)	
ウォッチドッグタイマ	8 ビット \times 1
ROM 訂正機能	32 バイト \times 2 ベクトル
LED 直接駆動ポート	6 本
(平均電流 15mA、尖頭電流 30mA、総和電流 90mA)	
LCD 駆動制御回路	
バイアス	1/2、1/3 バイアス
時分割	スタティック、2、3、4、8 時分割
コモン出力	4/8 本
セグメント出力	32/36 本
メインクロック発生回路	1 回路内蔵
(セラミック共振子又はオンチップオシレータ)	
サブクロック発生回路	1 回路内蔵
(水晶発振子外付け)	

電源電圧 (QzROM 版)

[2分周モード時]

f(XIN) 12.5MHz	4.5 ~ 5.5V
f(XIN) 8MHz	4.0 ~ 5.5V
f(XIN) 4MHz	2.0 ~ 5.5V
f(XIN) 2MHz	1.8 ~ 5.5V

[4分周モード時]

f(XIN) 16MHz	4.5 ~ 5.5V
f(XIN) 8MHz	2.0 ~ 5.5V
f(XIN) 4MHz	1.8 ~ 5.5V

[8分周モード時]

f(XIN) 16MHz	4.5 ~ 5.5V
f(XIN) 8MHz	2.0 ~ 5.5V
f(XIN) 4MHz	1.8 ~ 5.5V

[低速モード時]

注. 12.5MHz < f(XIN) 16MHz は 2 分周モードでは使用できません。
電源電圧 (フラッシュメモリ版)

[2分周モード時]

f(XIN) 12.5MHz	4.5 ~ 5.5V
f(XIN) 8MHz	4.0 ~ 5.5V
f(XIN) 4MHz	2.7 ~ 5.5V

[4分周モード時]

f(XIN) 16MHz	4.5 ~ 5.5V
f(XIN) 8MHz	2.7 ~ 5.5V

[8分周モード時]

f(XIN) 16MHz	4.5 ~ 5.5V
f(XIN) 8MHz	2.7 ~ 5.5V

[低速モード時]

注. 12.5MHz < f(XIN) 16MHz は 2 分周モードでは使用できません。
消費電力 (QzROM 版)

2 分周モード時

 標準 32mW
 (V_{CC}=5V、f(XIN)=12.5MHz、T_a=25)

低速モード時

 標準 18 μ W
 (V_{CC}=2.5V、f(XIN)=停止、f(XCIN)=32kHz、T_a=25)

消費電力 (フラッシュメモリ版)

2 分周モード時

 標準 20mW
 (V_{CC}=5V、f(XIN)=12.5MHz、T_a=25)

低速モード時

 標準 1.1mW
 (V_{CC}=2.7V、f(XIN)=停止、f(XCIN)=32kHz、T_a=25)

動作周囲温度

- 20 ~ 85

フラッシュメモリモード

プログラム/イレーズ電圧

 V_{CC}=2.7~5.5V

プログラム

 バイト単位

イレーズ

 ブロック消去

プログラム/イレーズ制御方式

ソフトウェアコマンドによるプログラム/イレーズ制御

応用

家電、民生機器など

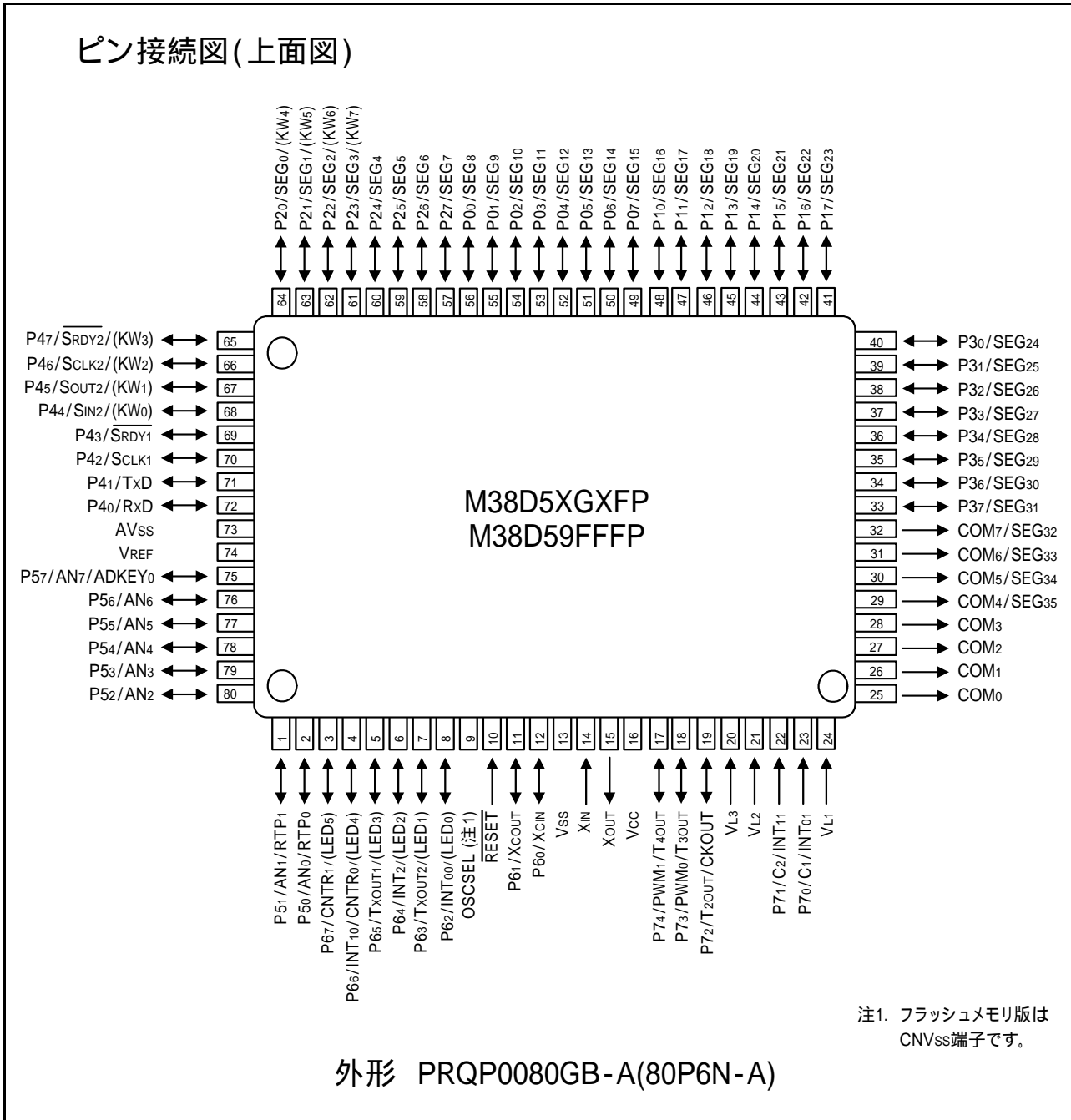
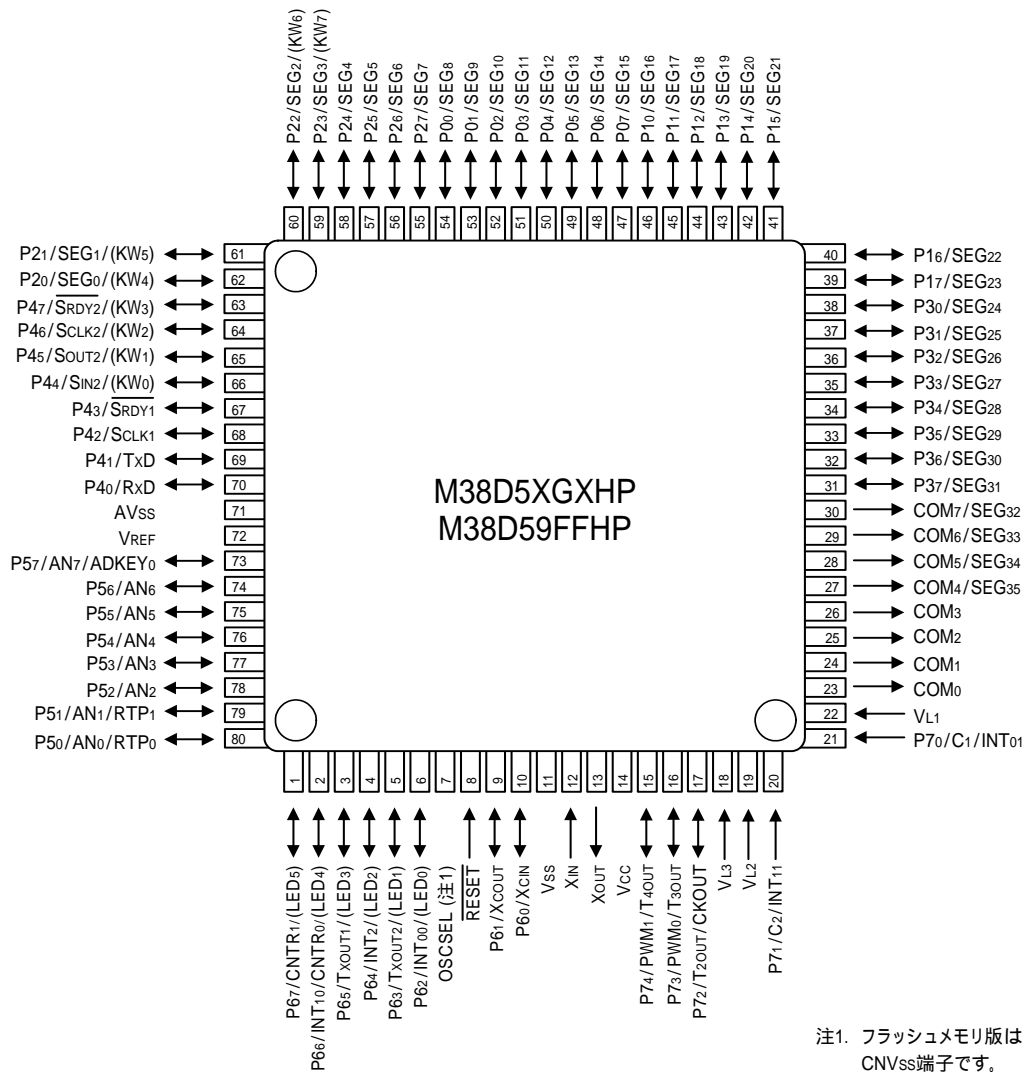


図1. ピン接続図(上面図)

ピン接続図(上面図)



外形 PLQP0080KB-A(80P6Q-A)

図2. ピン接続図(上面図)

表1. 性能概要(1)

項 目		性 能		
基本命令数		71		
命令実行時間		0.32 μ s(最小命令、発振周波数 12.5MHz時)		
発振周波数		16MHz(最大)(注1)		
メモリ容量(QzROM版)	ROM	32K ~ 60Kバイト		
	RAM	1536 ~ 2048バイト		
メモリ容量(フラッシュメモリ版)	ROM	60Kバイト		
	RAM	2048バイト		
入力ポート	P7 ₀ ~ P7 ₁	2ビット×1		
入出力ポート	P0 ~ P6、P7 ₂ ~ P7 ₄	8ビット×7、3ビット×1(SEG共用36本)		
割り込み		17要因、16ベクトル(キー入力割り込みを含む)		
タイマ		8ビット×4、16ビット×2		
シリアルI/O1		8ビット×1(UART又はクロック同期形)		
シリアルI/O2		8ビット×1(クロック同期形)		
PWM		10ビット×2、16×1(IGBT出力兼用)		
A/Dコンバータ		10ビット×8(低速モード時動作可)		
ウォッチドッグタイマ		8ビット×1		
ROM訂正機能		32バイト×2ベクトル		
LED直接駆動ポート		6本(平均電流15mA、尖頭電流30mA、総和電流90mA)		
LCD駆動制御回路	バイアス	1/2、1/3バイアス		
	時分割	スタティック、2、3、4、8時分割		
	コモン出力	4/8本		
	セグメント出力	32/36本		
メインクロック発生回路		1回路内蔵(セラミック共振子又はオンチップオシレータ)		
サブクロック発生回路		1回路内蔵(水晶発振子外付け)		
電源電圧(QzROM版)	2分周モード時 (注1)	f(XIN) 12.5MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	4.0 ~ 5.5V	
		f(XIN) 4MHz	2.0 ~ 5.5V	
		f(XIN) 2MHz	1.8 ~ 5.5V	
	4分周モード時	f(XIN) 16MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	2.0 ~ 5.5V	
		f(XIN) 4MHz	1.8 ~ 5.5V	
	8分周モード時	f(XIN) 16MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	2.0 ~ 5.5V	
		f(XIN) 4MHz	1.8 ~ 5.5V	
低速モード時		1.8 ~ 5.5V		
電源電圧(フラッシュメモリ版)	2分周モード時 (注1)	f(XIN) 12.5MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	4.0 ~ 5.5V	
		f(XIN) 4MHz	2.7 ~ 5.5V	
	4分周モード時	f(XIN) 16MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	2.7 ~ 5.5V	
	8分周モード時	f(XIN) 16MHz	4.5 ~ 5.5V	
		f(XIN) 8MHz	2.7 ~ 5.5V	
	低速モード時		2.7 ~ 5.5V	

注1. 12.5MHz < f(XIN) 16MHzは2分周モードでは使用できません。

表2. 性能概要 (2)

項 目		性 能
消費電力(QzROM版)	2分周モード時	標準 32mW ($V_{CC}=5V$ 、 $f(X_{IN}) = 12.5MHz$ 、 $T_a=25$)
	低速モード	標準 18 μ W ($V_{CC}=2.5V$ 、 $f(X_{IN}) =$ 停止、 $f(X_{CIN}) = 32kHz$ 、 $T_a=25$)
消費電力(フラッシュメモリ版)	2分周モード時	標準 20mW ($V_{CC}=5V$ 、 $f(X_{IN}) = 12.5MHz$ 、 $T_a=25$)
	低速モード	標準 1.1mW ($V_{CC}=2.7V$ 、 $f(X_{IN}) =$ 停止、 $f(X_{CIN}) = 32kHz$ 、 $T_a=25$)
入出力特性	入出力耐電圧	V_{CC}
	出力電流	10mA
動作周囲温度		- 20 ~ 85
素子構造		CMOSシリコンゲート
パッケージ		80ピンプラスチックモールドLQFP/QFP

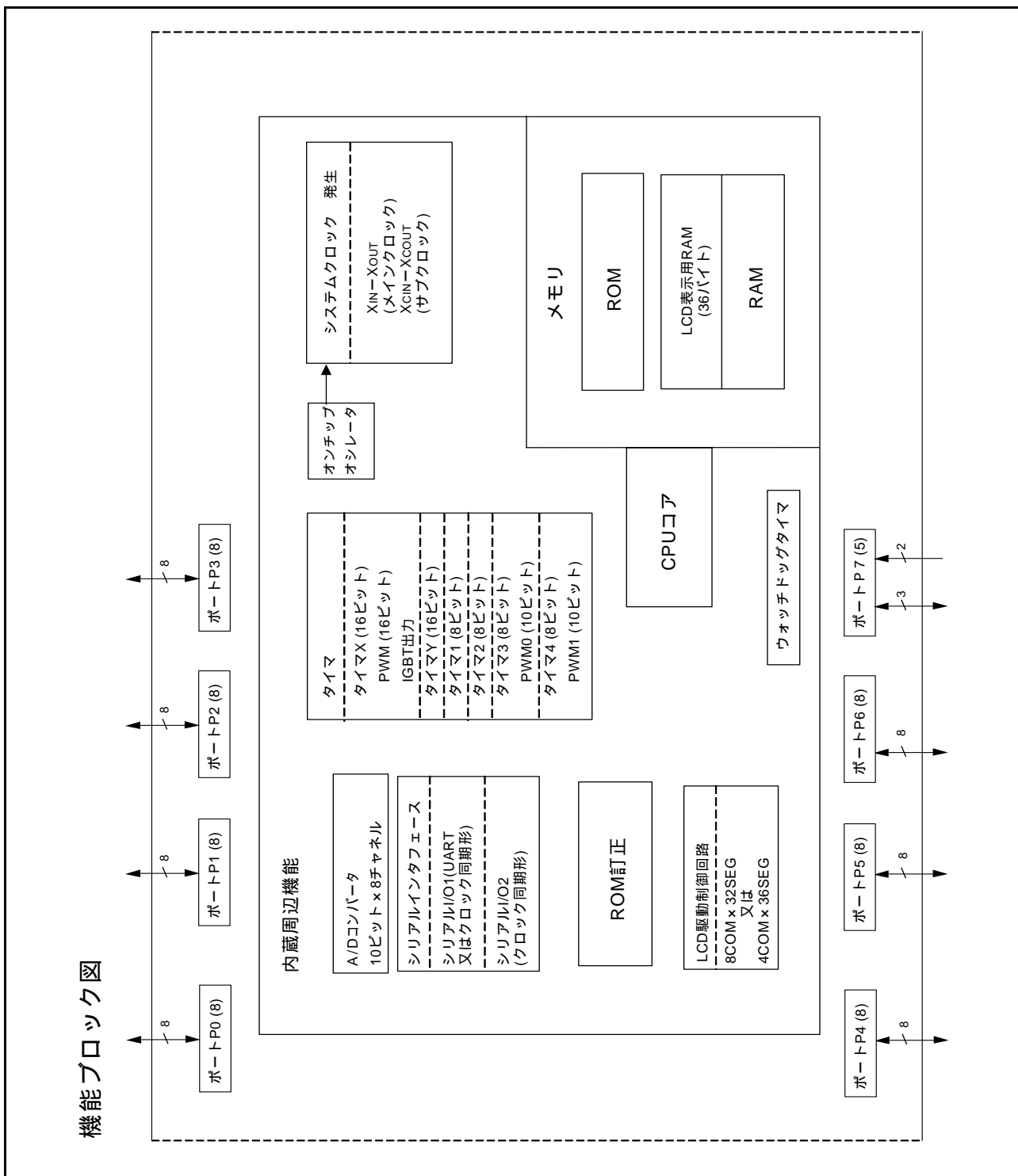


図3. 機能ブロック図

表3. 端子の機能説明

端子名	名称	機能	ポート以外の機能	
Vcc、Vss	電源入力	Vccに電源電圧、Vssに0Vを印加します。		
RESET	リセット入力	アクティブ“L”のリセット入力端子です。		
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。		
XOUT	クロック出力			
VL1、VL2、VL3	LCD用電源入力	0 VL1 VL2 VL3の電圧を印加します。LCDには、0～VL3の電圧を印加します。		
COM0～COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。		
COM4/SEG35～COM7/SEG32	コモン出力/セグメント出力	LCDコモン/セグメント出力端子です。		
P00/SEG8～P07/SEG15	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。		キー入力割り込み入力端子
P10/SEG16～P17/SEG23	入出力ポートP1	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。		
P20/SEG0/(KW4)～P23/SEG3/(KW7)	入出力ポートP2	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。		
P24/SEG4～P27/SEG7				
P30/SEG24～P37/SEG31	入出力ポートP3	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。		
P40/RxD、P41/TxD、P42/SCLK1、P43/SRDY1	入出力ポートP4	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。	シリアルI/O1の機能端子	
P44/SIN2/(KW0)、P45/SOUT2/(KW1)、P46/SCLK2/(KW2)、P47/SRDY2/(KW3)			シリアルI/O2の機能端子	キー入力割り込み入力端子
P50/AN0/RTP0、P51/AN1/RTP1	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	A/Dコンバータ入力端子	リアルタイムポート機能端子
P52/AN2～P56/AN6				
P57/AN7/ADKEY0				ADKEY入力端子
P60/XCIN、P61/XCOUT	入出力ポートP6	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。P62～P67はLED駆動用の大電流出力が可能です。	サブクロック発生回路の入出力端子(発振子を接続します。)	
P62/INT00/(LED0)、P63/TXOUT2/(LED1)、P64/INT2/(LED2)			外部割り込み端子	タイマX出力端子
P65/TXOUT1/(LED3)、			外部割り込み端子	タイマX出力端子
P66/INT10/CNTR0/(LED4)、P67/CNTR1/(LED5)			タイマX、タイマY機能端子	外部割り込み端子
P70/C1/INT01、P71/C2/INT11	入力ポートP7	2ビットの入力ポートです。CMOS入力レベルです。	外部割り込み端子	LCD昇圧用容量接続端子
P72/T2OUT/CKOUT	入出力ポートP7	3ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。3ビット単位でプルアップ制御が可能です。	クロック出力端子	タイマ2出力端子
P73/PWM0/T3OUT、P74/PWM1/T4OUT			PWM出力端子	タイマ3出力端子
				タイマ4出力端子
OSCSEL (QzROM版のみ)	発振開始選択端子	発振開始をXIN、XOUT間の発振子による発振か、オンチップオシレータによる発振かを選択します。QzROM書き込みモード時は、VPP電源入力端子になります。		
CNVss (フラッシュメモリ版のみ)	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。		
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。		
AVss	アナログ電源入力	A/Dコンバータの電源入力端子です。この端子はVssに接続してください。		

型名とメモリサイズ・パッケージ

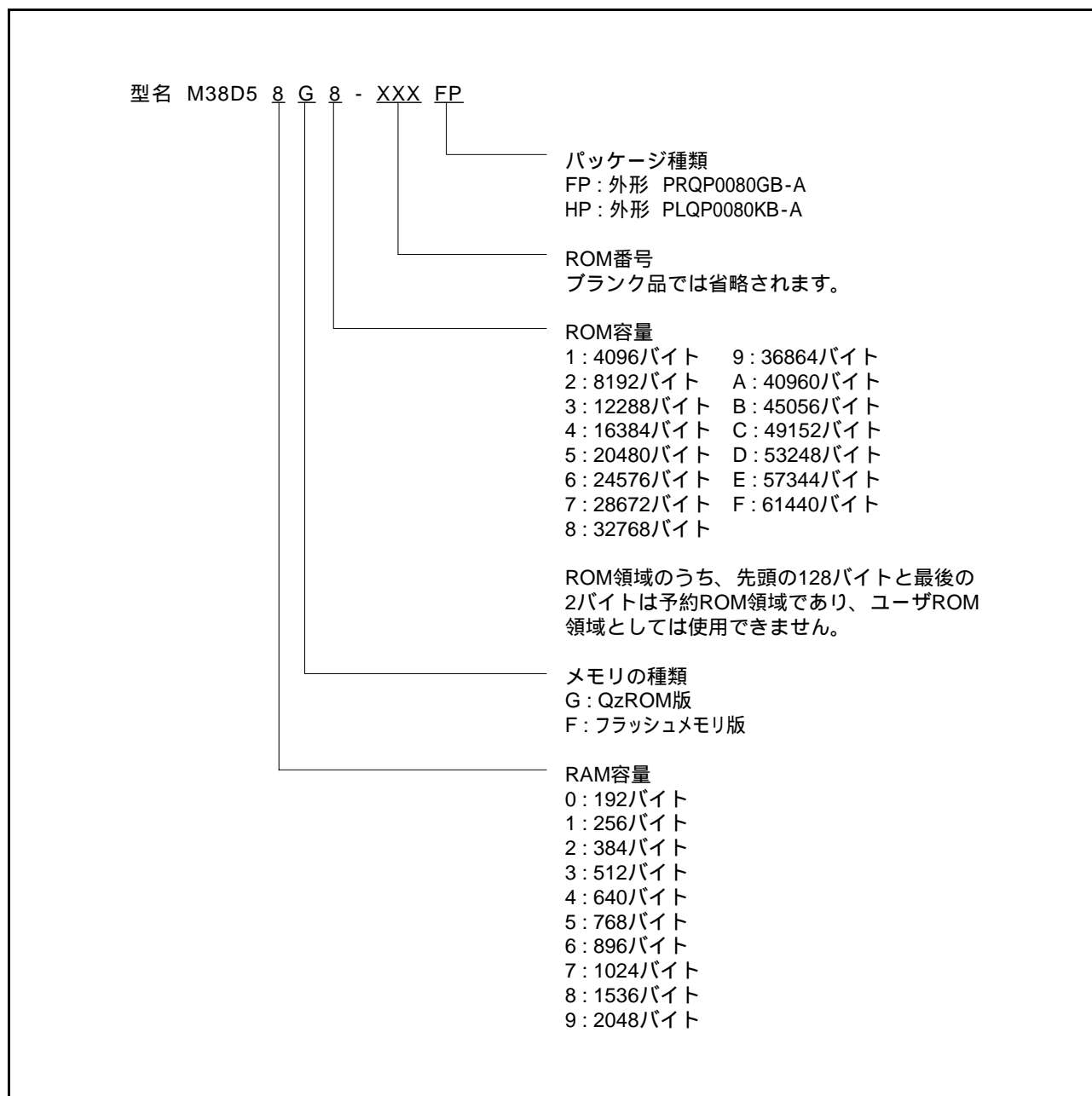


図4. 型名とメモリサイズ・パッケージ

グループ展開

38D5グループは次のような展開を計画しています。

メモリ容量

< QzROM版 >

ROM容量 32K ~ 60Kバイト

RAM容量 1536 ~ 2048バイト

< フラッシュメモリ版 >

ROM容量 60Kバイト

RAM容量 2048バイト

パッケージ

• PRQP0080GB-A
0.8mm ピッチプラスチックモールドQFP

• PLQP0080KB-A
0.5mm ピッチプラスチックモールドLQFP

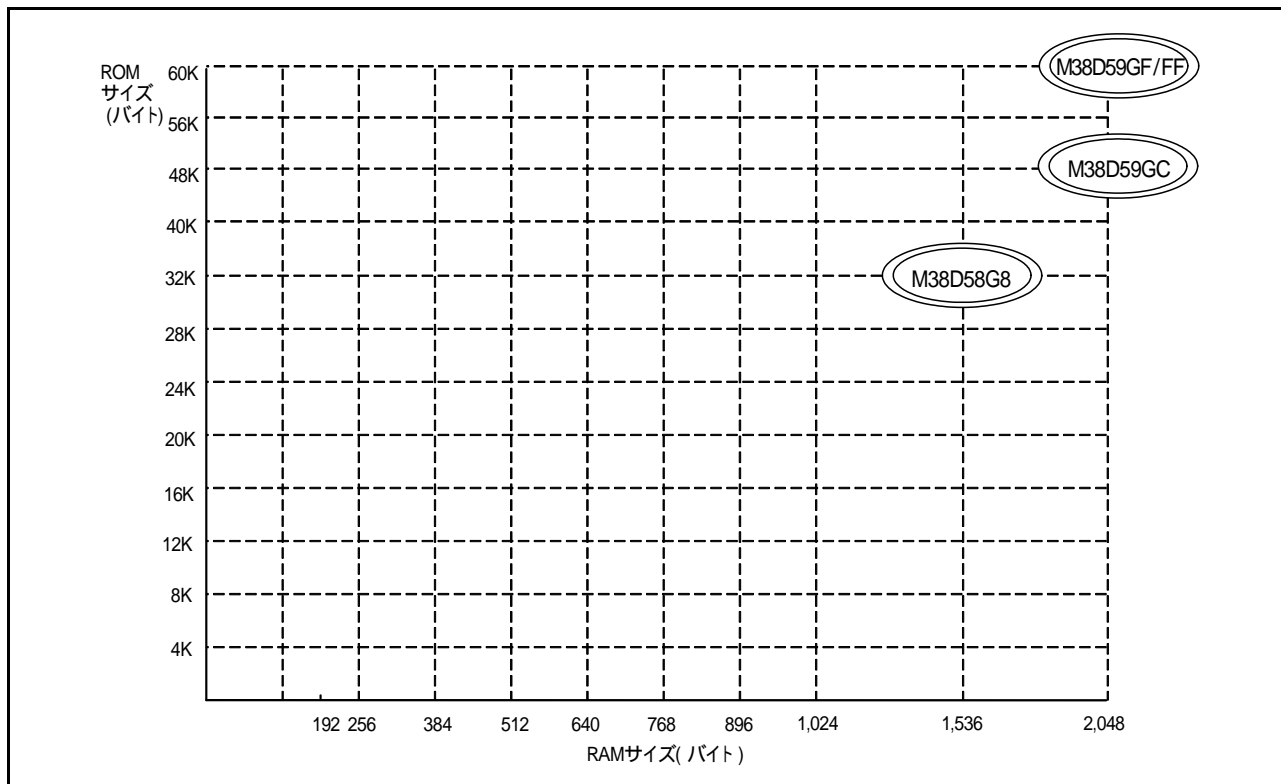


図5. 38D5グループ ROM、RAM展開計画

現在サポートを計画している製品を表4に示します。

表4. サポート製品一覧

2008年4月現在

型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	パッケージ	備考
M38D58G8-XXXFP	32768	1536	PRQP0080GB-A	QzROM版
M38D58G8-XXXHP	(32638)		PLQP0080KB-A	
M38D58G8FP	32768	1536	PRQP0080GB-A	QzROM版 (ブランク品)
M38D58G8HP	(32638)		PLQP0080KB-A	
M38D59GC-XXXFP	49152	2048	PRQP0080GB-A	QzROM版
M38D59GC-XXXHP	(49022)		PLQP0080KB-A	
M38D59GCFP	49152	2048	PRQP0080GB-A	QzROM版 (ブランク品)
M38D59GCHP	(49022)		PLQP0080KB-A	
M38D59GF-XXXFP	61440	2048	PRQP0080GB-A	QzROM版
M38D59GF-XXXHP	(61310)		PLQP0080KB-A	
M38D59GFFP	61440	2048	PRQP0080GB-A	QzROM版 (ブランク品)
M38D59GFHP	(61310)		PLQP0080KB-A	
M38D59FFFP	61440	2048	PRQP0080GB-A	フラッシュメモリ版
M38D59FFHP	(61310)		PLQP0080KB-A	

表5. QzROM版とフラッシュメモリ版の相違点

	QzROM版		フラッシュメモリ版
	OSCSEL端子によりメインクロックXIN またはオンチップオシレータから選択可能		
リセット時とストップモードからの復帰時の発振回路 OSCSEL/CNVss端子処理	OSCSEL= " H "	OSCSEL= " L "	オンチップオシレータ CNVss= " L "
リセット時とストップモードからの復帰時の メインクロックの発振	発振	停止	停止
リセット時とストップモードからの復帰時の オンチップオシレータの発振	停止	発振	発振
リセット時とストップモードからの復帰時の システムクロックの発振	f(XIN)/8	f(OCO)/32	f(OCO)/32
メインクロック発振回路実装	必須	任意	任意
低速モード時のオンチップオシレータ発振	停止		停止しないので、 オンチップオシレータ 停止ビットで停止させ てください
オンチップオシレータモード時のオンチップオシ レータ停止ビットへの“1”書き込み	オンチップオシレータは停止		オンチップオシレータ は停止しない
リセット入力“L”パルス幅	2μs以上		2ms以上
絶対最大定格 OSCSEL/CNVss端子	- 0.3 ~ 8.0		- 0.3 ~ Vcc+0.3
最低動作電源電圧	1.8V		2.7V
A/Dコンバータ最低動作電源電圧	2.0V		2.7V

注1. 詳細仕様は本文で確認してください。

QzROM版とフラッシュメモリ版の相違による注意点

- (1) 内蔵メモリの相違により、一部のメモリ配置、書き込みモード、書き込み回路が異なります。
- (2) XIN-XOUT、XCIN-XCOUTの発振回路定数が異なる場合があります。
- (3) QzROM版とフラッシュメモリ版では、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で特性値、動作マージン、A/D変換精度、ノイズ耐量、ノイズ輻射量などの実力値が異なる場合があります。
- (4) フラッシュメモリ版からQzROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。
- (5) エミュレータ使用時(エミュレータMCU基板：M38D59T-RLFS)は、電気的特性以外の機能についてはQzROM版と同様の動作になります。

機能ブロック動作説明

中央演算処理装置 (CPU)

38D5グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

図7にスタックへの退避及び復帰動作、表4にアキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令を示します。ここに示す以外に必要なレジスタは、プログラムで退避してください。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

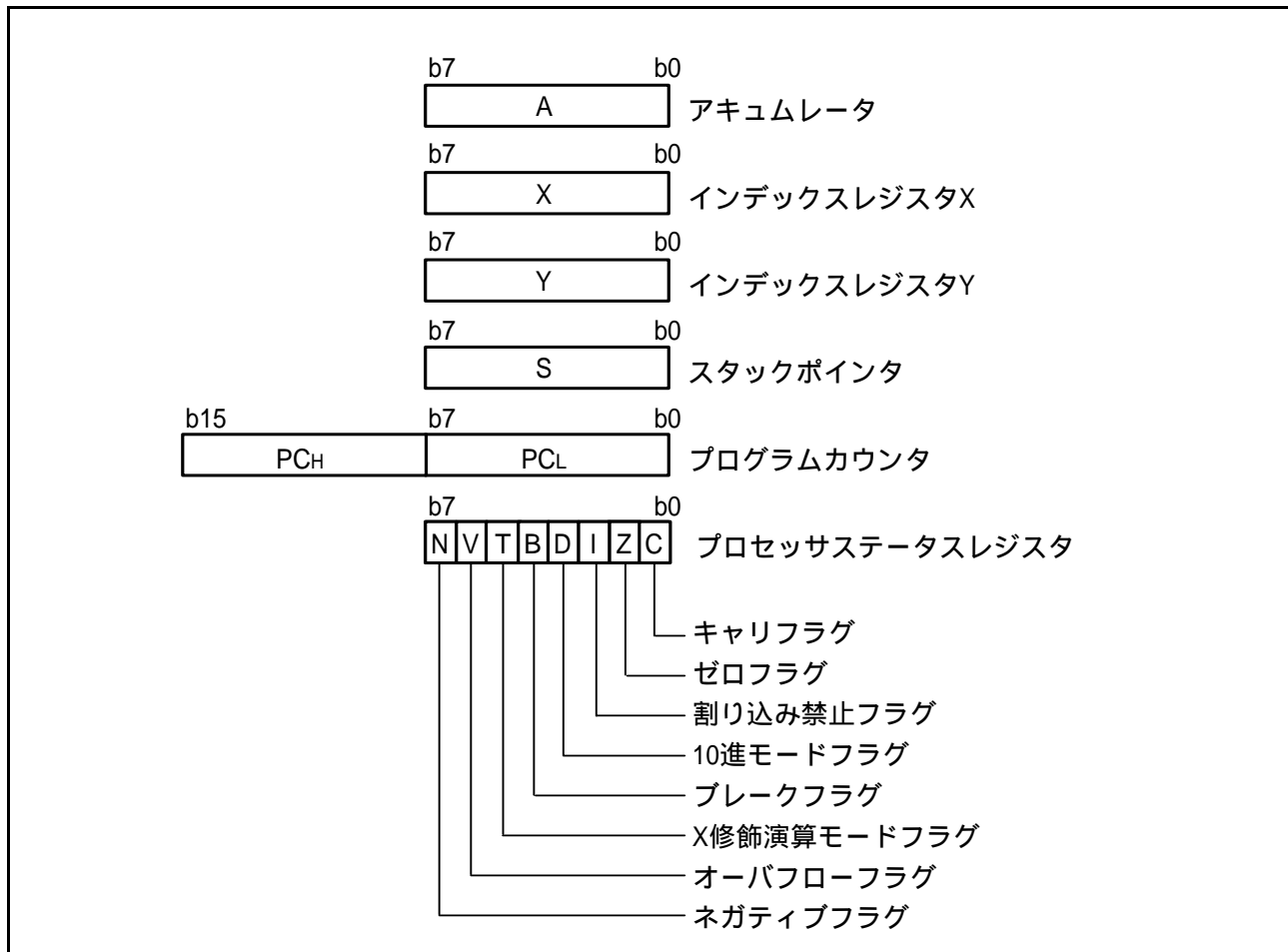


図6. 740ファミリCPUの構成

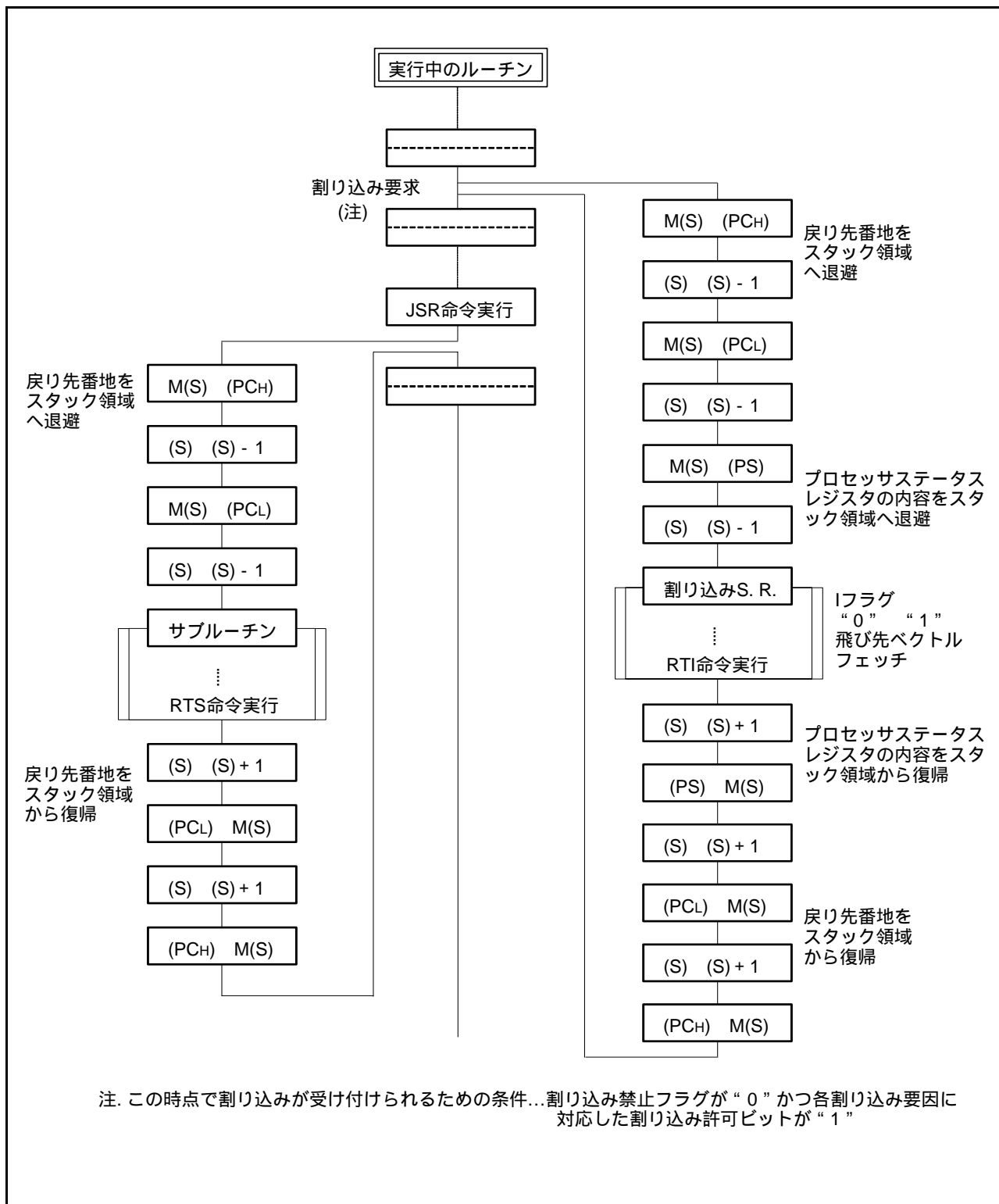


図7. スタックへの退避及び復帰動作

表6. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

• ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

• ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のとき、このフラグは“1”になります。結果が“0”でないとき、このフラグは“0”になります。

• ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

• ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

• ビット4：ブレイクフラグ(B)

BRK命令割り込みを識別するためのフラグです。BRK命令割り込みの場合は自動的にこのフラグが“1”になり、それ以外の割り込みでは“0”になり、スタックに退避されます。

• ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算が行われます。

• ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合に“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

• ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときに“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表7. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	-	SEI	SED	-	SET	-	-
クリアする命令	CLC	-	CLI	CLD	-	CLT	CLV	-

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

QzROM版では、OSCSEL端子の状態によりリセット解除直後の動作モードが決定します。

OSCSEL端子をGNDレベルにした場合、内蔵のオンチップオシレータのみが発振を開始します。XIN-XOUTの発振は停止状態、XCIN-XCOUT端子は入出力ポートとして機能します。動作モードはオンチップオシレータモードになります。

OSCSEL端子をVccレベルにした場合、XIN-XOUTのみが発振を開始します。内蔵のオンチップオシレータは停止状態、XCIN-XCOUT端子は入出力ポートとして機能します。動作モードは8分周モードになります。

フラッシュメモリ版は、内蔵のオンチップオシレータのみが発振を開始します。XIN-XOUTの発振は停止状態、XCIN-XCOUT端子は入出力ポートとして機能します。動作モードはオンチップオシレータモードになります。

低速、XINモードを使用する場合は、XINとXOUT、XCINとXCOUT間の発振を許可した後、発振が安定するまでオンチップオシレータモードなどで待機してから切り替えてください。

XINモードを使用しない(XIN-XOUT間の発振やXINへの外部クロック入力を行わない)場合、XINは抵抗を介してVccに接続、XOUTは開放してください。

【CPUモードレジスタ2】 CPUM2

CPUモードレジスタ2には、オンチップオシレータ制御のビットが割り当てられています。

このレジスタは0011₁₆番地に配置されています。

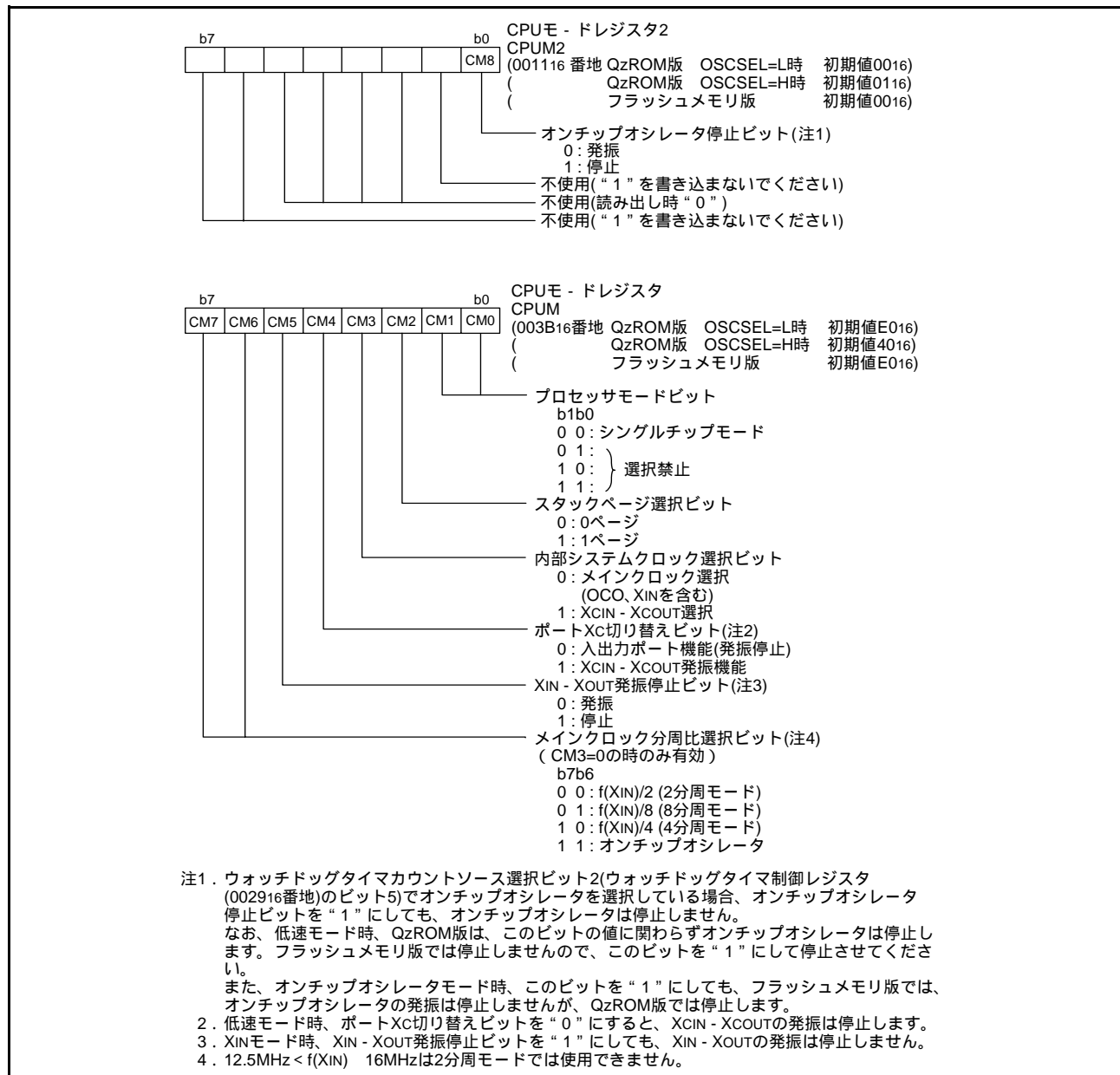


図8. CPUモードレジスタの構成

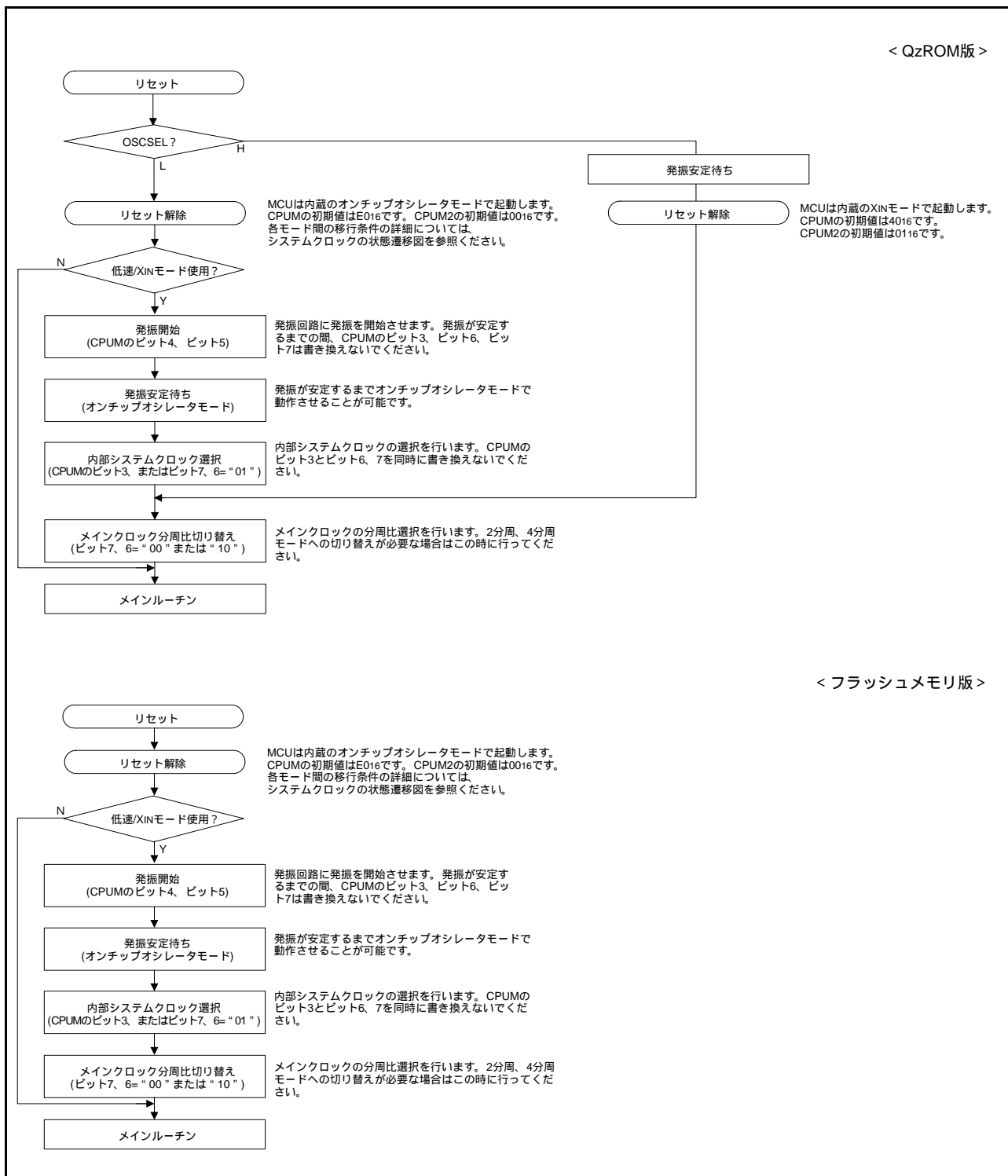


図9. CPUモードレジスタの切り替え手順

メモリ**SFR領域**

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

QzROM版は、先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。また、FFDB16番地の1バイトも予約領域です。

フラッシュメモリ版では予約ROM領域のプログラム/イレースが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

QzROM版のROMコードプロテクト番地(FFDB16番地)

QzROM版の予約ROM領域であるFFDB16番地は、ROMコードプロテクト番地です。シリアルプログラマでのプロテクトビット書き込みを選択した場合、及び弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“0016”又は“FE16”が書き込まれます。ROMコードプロテクト番地に“0016”又は“FE16”が書き込まれるとプロテクト機能が有効になり、その後対応するエリアのシリアルプログラマでの読み出し及び書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際に、プロテクトビット書き込みを選択することでROMコードがプロテクトされます。

プロテクトを2回に分けて実行することができ、ROM先頭番地から“EFFF16”までのエリアをプロテクトエリア1としています。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“0016”(全領域プロテクト有り)又は“FE16”(プロテクトエリア1プロテクト有り)および“FF16”(プロテクト無し)のいずれかが書き込まれます。“0016”、“FE16”、“FF16”のどれを書き込むかは、発注の際にROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)として選択してください。

フラッシュメモリ版のROMコードプロテクトについては、「フラッシュメモリモード」を参照してください。

注意事項**(1) リセット時のRAMの内容について**

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

(2) QzROM書き込み出荷のROMコードプロテクト番地の内容について

QzROM書き込み出荷の際に、マスクファイル変換ユーティリティ(MM)で指定されたROMオプションデータ(注)を、ROMコードプロテクト番地に書き込みます。そのためROMデータ内のROMコードプロテクト番地には、プロテクトの有無に関わらず、あらかじめFF16を設定してください。FF16以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

注. ROMオプションデータ(MM内では「マスクオプション」表記)

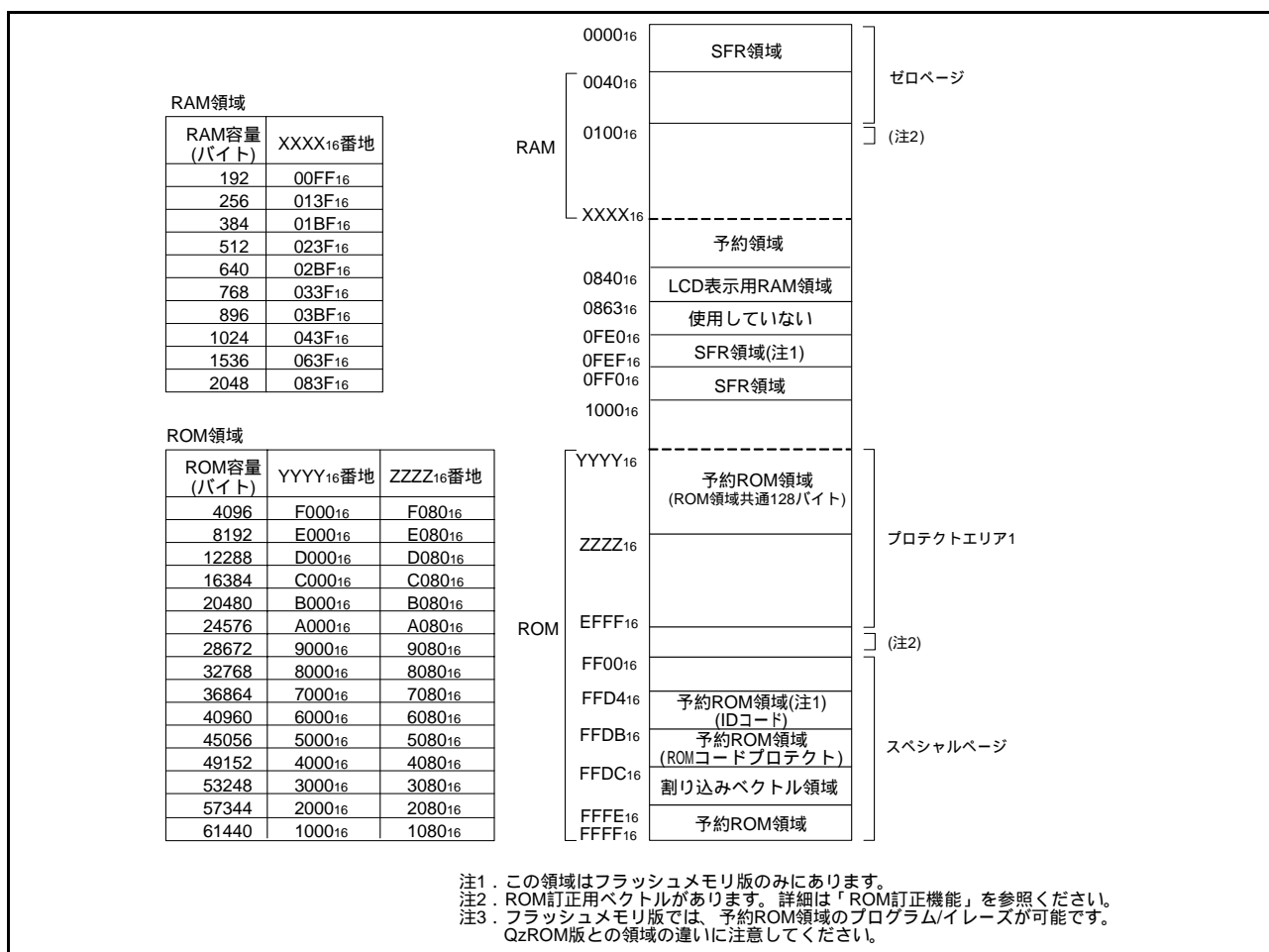


図10. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマ1(T1)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ2(T2)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ3(T3)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマ4(T4)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	PWM01レジスタ(PWM01)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ12モードレジスタ(T12M)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマ34モードレジスタ(T34M)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマ1234モードレジスタ(T1234M)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマ1234分周選択レジスタ(PRE1234)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマX(下位)(TXL)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	タイマX(上位)(TXH)
000C ₁₆	ポートP6(P6)	002C ₁₆	タイマX(拡張)(TSEX)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	タイマXモードレジスタ(TXM)
000E ₁₆	ポートP7(P7)	002E ₁₆	タイマX制御レジスタ1(TXCON1)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	タイマX制御レジスタ2(TXCON2)
0010 ₁₆		0030 ₁₆	コンペアレジスタ1(下位)(COMP1L)
0011 ₁₆	CPUモードレジスタ2(CPUM2)	0031 ₁₆	コンペアレジスタ1(上位)(COMP1H)
0012 ₁₆	RRFレジスタ(RRFR)	0032 ₁₆	コンペアレジスタ2(下位)(COMP2L)
0013 ₁₆	LCDモードレジスタ1(LM1)	0033 ₁₆	コンペアレジスタ2(上位)(COMP2H)
0014 ₁₆	LCDモードレジスタ2(LM2)	0034 ₁₆	コンペアレジスタ3(下位)(COMP3L)
0015 ₁₆	AD制御レジスタ(ADCON)	0035 ₁₆	コンペアレジスタ3(上位)(COMP3H)
0016 ₁₆	AD変換レジスタ(下位)(ADL)	0036 ₁₆	タイマY(下位)(TYL)
0017 ₁₆	AD変換レジスタ(上位)(ADH)	0037 ₁₆	タイマY(上位)(TYH)
0018 ₁₆	送信/受信バッファレジスタ1(TB1/RB1)	0038 ₁₆	タイマYモードレジスタ(TYM)
0019 ₁₆	シリアル/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	タイマY制御レジスタ(TYCON)
001A ₁₆	シリアル/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	予約(注1)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0FE0 ₁₆	フラッシュメモリ制御レジスタ0(FMCR0)	0FF0 ₁₆	PULLレジスタ1(PULL1)
0FE1 ₁₆	フラッシュメモリ制御レジスタ1(FMCR1)	0FF1 ₁₆	PULLレジスタ2(PULL2)
0FE2 ₁₆	フラッシュメモリ制御レジスタ2(FMCR2)	0FF2 ₁₆	PULLレジスタ3(PULL3)
0FE3 ₁₆	予約(注1)	0FF3 ₁₆	クロック出力制御レジスタ(CKOUT)
0FE4 ₁₆	予約(注1)	0FF4 ₁₆	セグメント出力禁止レジスタ0(SEG0)
0FE5 ₁₆	予約(注1)	0FF5 ₁₆	セグメント出力禁止レジスタ1(SEG1)
0FE6 ₁₆	予約(注1)	0FF6 ₁₆	セグメント出力禁止レジスタ2(SEG2)
0FE7 ₁₆	予約(注1)	0FF7 ₁₆	キー入力制御レジスタ(KIC)
0FE8 ₁₆	予約(注1)	0FF8 ₁₆	ROM訂正アドレス1上位レジスタ(RCA1H)
0FE9 ₁₆	予約(注1)	0FF9 ₁₆	ROM訂正アドレス1下位レジスタ(RCA1L)
0FEA ₁₆	予約(注1)	0FFA ₁₆	ROM訂正アドレス2上位レジスタ(RCA2H)
0FEB ₁₆	予約(注1)	0FFB ₁₆	ROM訂正アドレス2下位レジスタ(RCA2L)
0FEC ₁₆	予約(注1)	0FFC ₁₆	ROM訂正許可レジスタ(RCR)
0FED ₁₆	予約(注1)	0FFD ₁₆	予約(注1)
0FEE ₁₆	予約(注1)	0FFE ₁₆	予約(注1)
0FEF ₁₆	予約(注1)	0FFF ₁₆	予約(注1)

注1. 予約領域のため、何もデータを書き込まないでください。
注2. SFRの空き領域のメモリアクセスは行わないでください。
注3. 0FE0₁₆ ~ 0FEF₁₆はフラッシュメモリ版のみにあります。

図 11. SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

方向レジスタ (ポートP0 ~ P6、P72 ~ P74)

入出力ポートP0 ~ P6、P72 ~ P74は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“0”にクリアすると、その端子は入力ポートになります。また、ポートP0 ~ P3は方向レジスタを“1”かつセグメント出力禁止レジスタを“1”にセットすると出力ポートになり、ポートP4 ~ P6、P72 ~ P74は方向レジスタを“1”にセットすると出力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。ただしRTP1、RTP0、TXOUT1、TXOUT2、T4OUT、T3OUT、T2OUT/CKOUTの周辺機能の出力を選択している場合は、その出力の値が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP70、P71

昇圧回路と兼用の入力ポートです。昇圧回路使用時は、読み出し値が“1”になります。

プルアップ制御

ポートP0 ~ P3は、方向レジスタ及びセグメント出力禁止レジスタ0 ~ 2(0FF4 ~ 0FF6₁₆番地)を設定することにより、プログラムでプルアップのビット単位又は4ビット単位の制御が可能です。方向レジスタを“0”かつセグメント出力禁止レジスタを“1”にするとその端子はプルアップされます。ポートP4 ~ P7はPULLレジスタ(0FF0 ~ 0FF2₁₆番地)を設定することにより、プログラムでプルアップのビット単位又は4ビット単位の制御が可能です。ただし、出力ポートに設定されている端子は、この制御から切り離されプルアップは行われません。

セグメント出力禁止レジスタ	“0”	“1”	初期状態
方向レジスタ	“0”	“1”	
	入力ポートプルアップなし	入力ポートプルアップあり	
	“1”	セグメント出力	ポート出力

図12. ポートP0 ~ P3の設定

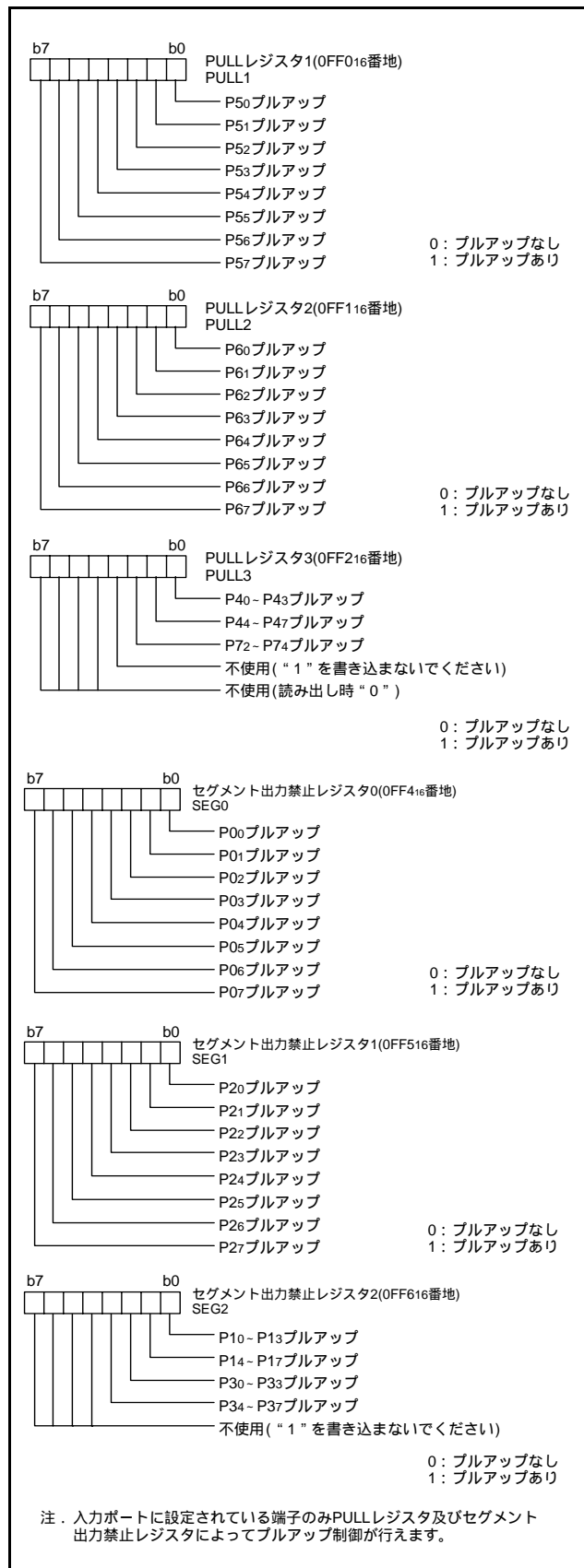


図13. PULLレジスタ、セグメント出力禁止レジスタの構成

表8. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能		関連するSFR	図番	
P00/SEG8 ~ P07/SEG15	ポートP0	入出力ビット単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力		セグメント出力禁止レジスタ0	(1)	
P10/SEG16 ~ P17/SEG23						セグメント出力禁止レジスタ2		
P20/SEG0(KW4) ~ P23/SEG3(KW7)	ポートP2	入出力ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力 (キーオン ウェイクアップ) 割り込み入力		セグメント出力禁止レジスタ1 キー入力制御レジスタ	(2)	
P24/SEG4 ~ P27/SEG7						セグメント出力禁止レジスタ1	(1)	
P30/SEG24 ~ P37/SEG31	ポートP3	入出力ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止レジスタ2		
P40/RxD、 P41/TxD、 P42/SCLK1、 P43/SDY1	ポートP4	入出力ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O1機能入出力		PULLレジスタ3 シリアルI/O1制御レジスタ シリアルI/O1ステータスレジスタ UART制御レジスタ	(3)	
							(4)	
P44/SIN2(KW0)、 P45/SOUT2(KW1)、 P46/SCLK2(KW2)、 P47/SDY2(KW3)、				シリアルI/O2機能入出力	キー入力 (キーオン ウェイクアップ) 割り込み入力	PULLレジスタ3 シリアルI/O2制御レジスタ シリアルI/O2レジスタ キー入力制御レジスタ	(7)	
								(8)
								(9)
								(10)
P50/AN0/RTP0、 P51/AN1/RTP1	ポートP5	入出力ビット単位	CMOS入力レベル CMOS3ステート出力	A/D変換入力	リアルタイム ポート機能出力	PULLレジスタ1 AD制御レジスタ タイマYモードレジスタ	(11)	
P52/AN2 ~ P56/AN6						PULLレジスタ1 AD制御レジスタ	(12)	
P57/AN7/ADKEY0						ADKEY入力	(13)	
P60/XCIN、 P61/XCOUT	ポート6	入出力ビット単位	CMOS入力レベル CMOS3ステート出力	サブクロック発振回路		PULLレジスタ2 CPUモードレジスタ	(14)	
P62/INT00/(LED0)				外部割り込み入力	PULLレジスタ2 割り込みエッジ選択レジスタ	(15)		
P63/TXOUT2/(LED1)				タイマX出力2	PULLレジスタ2 タイマXモードレジスタ タイマX制御レジスタ1,2	(16)		
P64/INT2/(LED2)				外部割り込み入力	PULLレジスタ2 割り込みエッジ選択レジスタ	(17)		
P65/TXOUT1/(LED3)				タイマX出力1	PULLレジスタ2 タイマXモードレジスタ タイマX制御レジスタ1	(18)		
P66/INT10/CNTR0/ (LED4)				タイマX機能入力 外部割り込み入力	PULLレジスタ2 割り込みエッジ選択レジスタ タイマXモードレジスタ タイマX制御レジスタ1,2	(19)		
P67/CNTR1/(LED5)				タイマY機能入力	PULLレジスタ2 タイマYモードレジスタ	(17)		
P70/C1/INT01、 P71/C2/INT11	ポートP7	入力ビット単位	CMOS入力レベル	外部割り込み入力 LCD昇圧回路制御入力		割り込みエッジ選択レジスタ LCDモードレジスタ1,2	(20)	
P72/T2OUT/CKOUT、 P73/PWM0/T3OUT、 P74/PWM1/T4OUT		入出力ビット単位	CMOS入力レベル CMOS3ステート出力	タイマ2出力 タイマ3出力 タイマ4出力	クロック出力 PWM出力	PULLレジスタ3 タイマ1234モードレジスタ タイマ1234分周選択レジスタ クロック出力制御レジスタ	(21)	
COM0 ~ COM3	コモン	出力	LCDコモン出力	LCDコモン出力		LCDモードレジスタ1,2	(22)	
COM4/SEG35 ~ COM7/SEG32	コモン/ セグメント		LCDコモン/ セグメント出力	LCDセグメント出力			(23)	

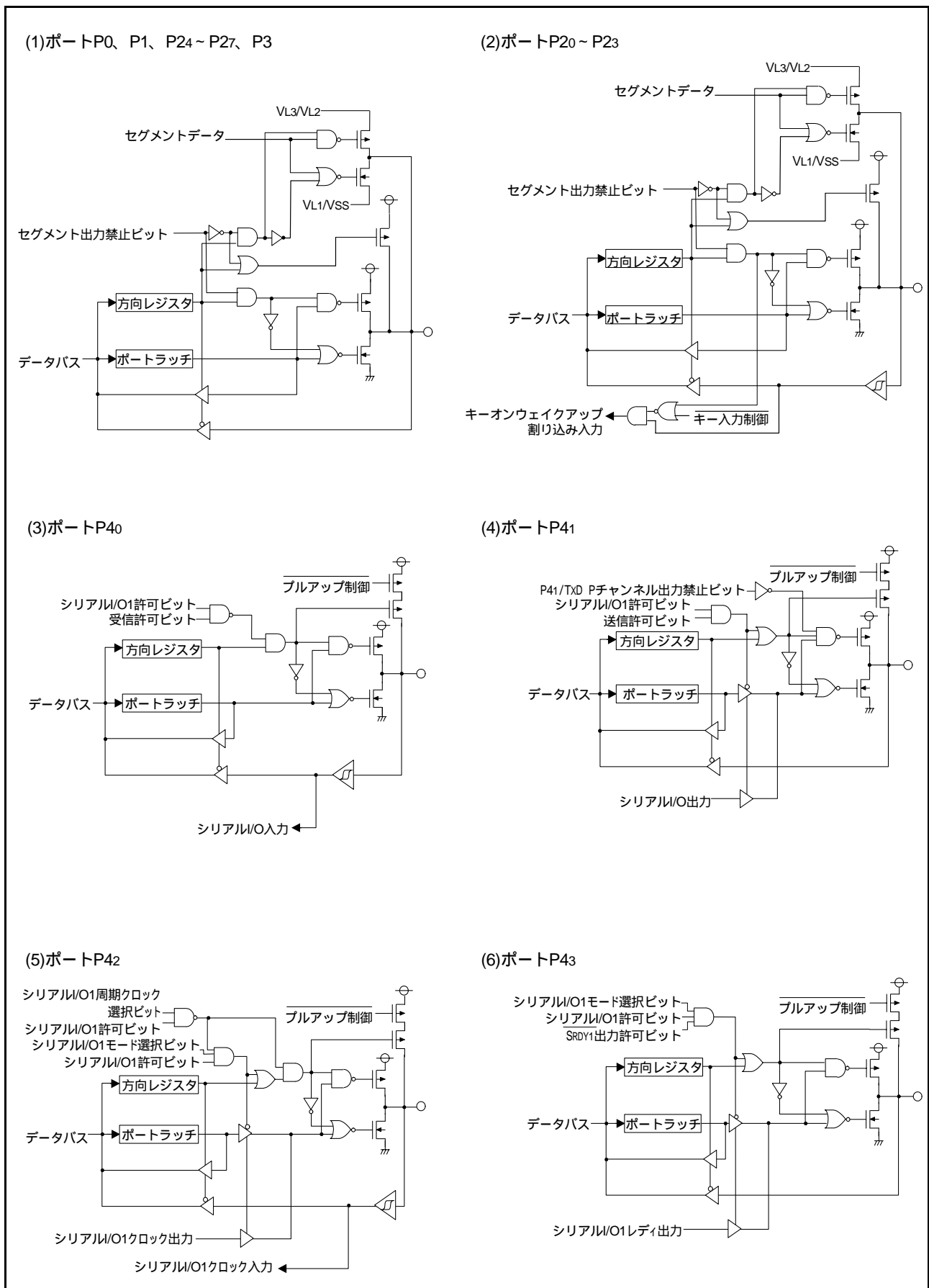


図 14. ポートのブロック図(1)

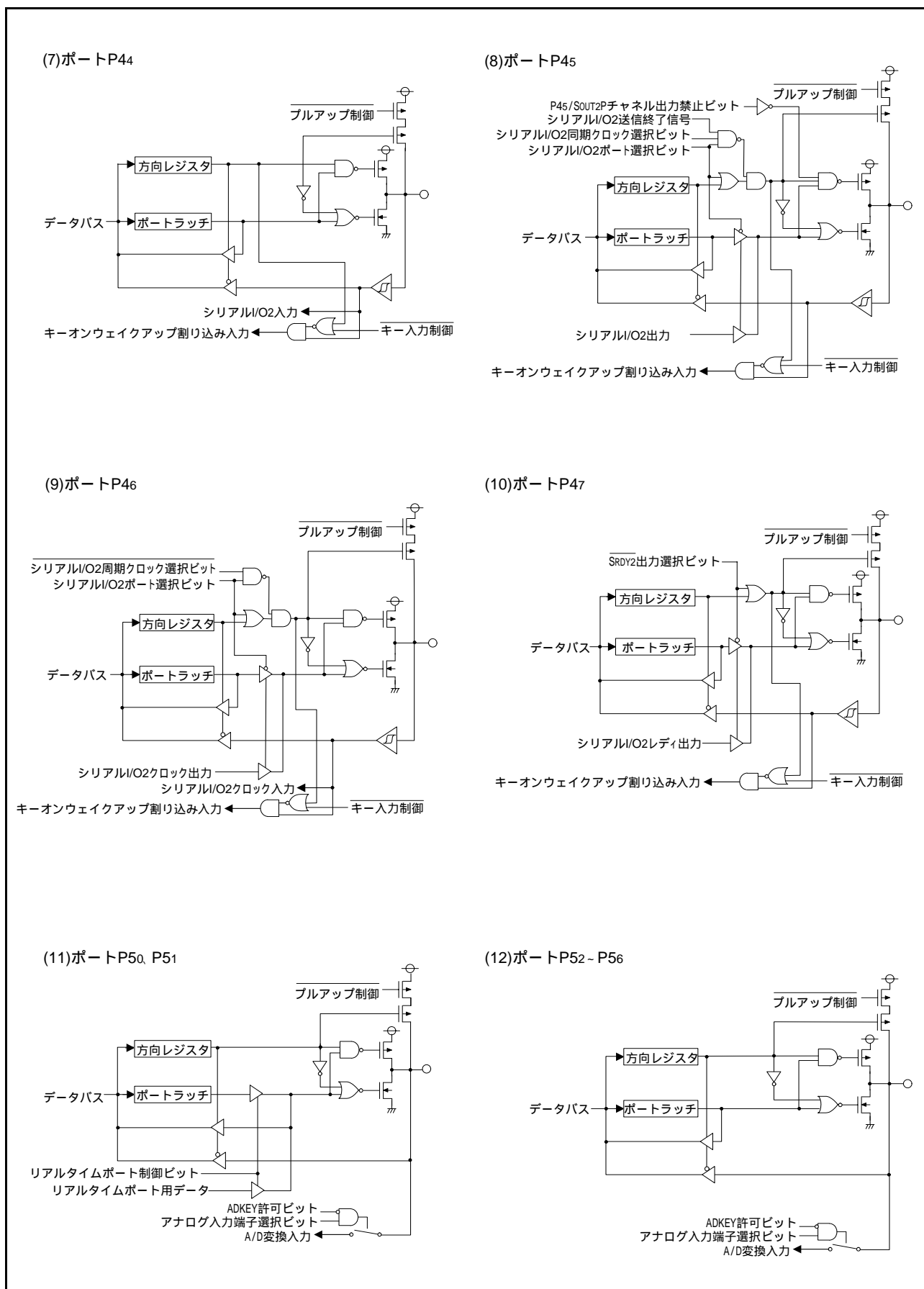


図15. ポートのブロック図(2)

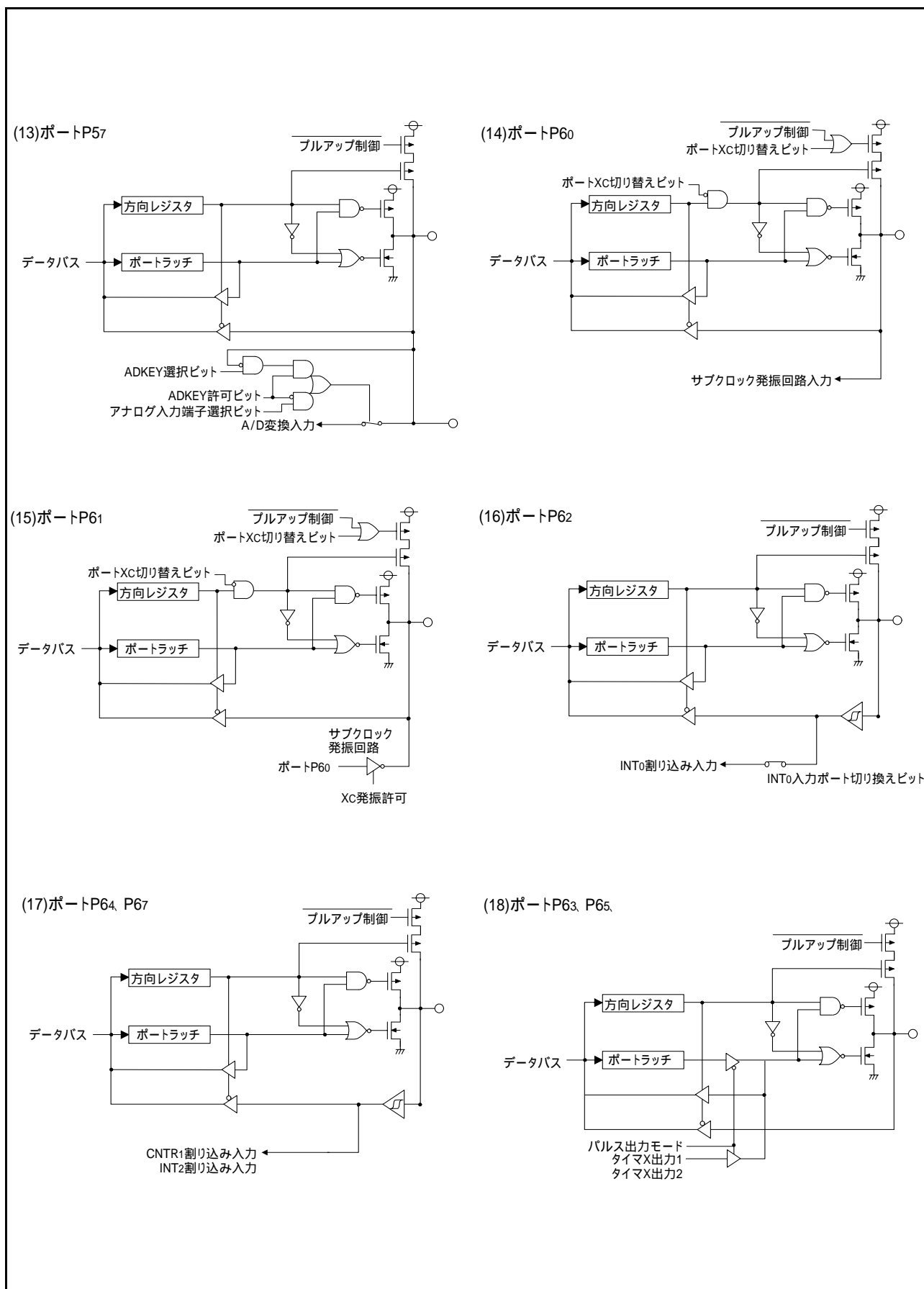


図16. ポートのブロック図(3)

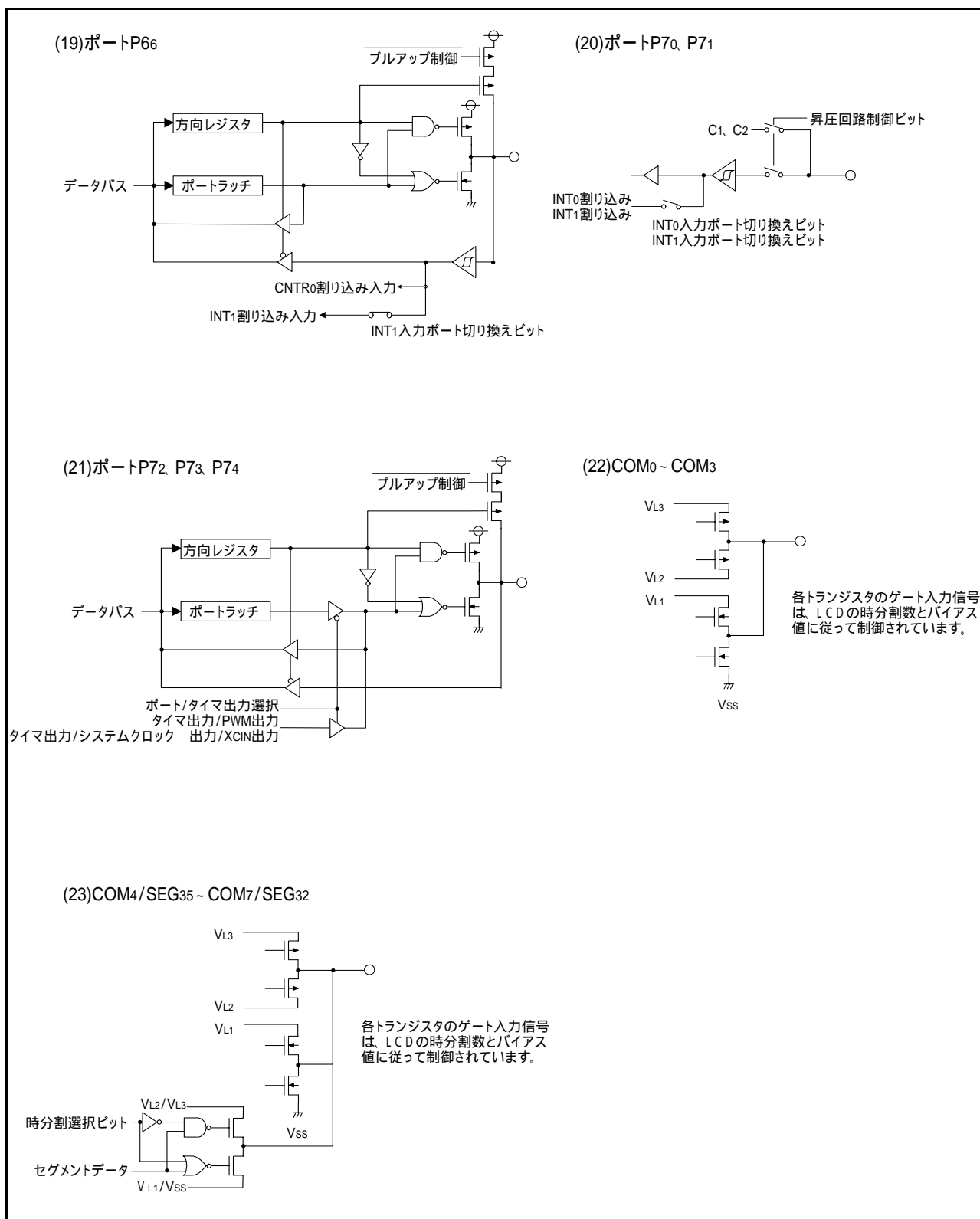


図17. ポートのブロック図(4)

未使用端子の処理方法

- 一般的な端子の処理方法

入出力ポート: 入力ポート、又は出力ポートを選択し、それぞれの処理方法に従ってください。

また、誤動作等を考慮して、関連レジスタを周期的に上書きすることを推奨します。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)で、電源電流が増大することがありますので、ブルアップ、又はブルダウンしてください(内蔵抵抗使用可)。入出力ポート、及び出力機能を持つ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合を想定し、 $I_{OH(ave)}$ 又は $I_{OL(ave)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

表9. 使用しない端子の処理方法

端子名	処理方法1	処理方法2	処理方法3	
P00/SEG8 ~ P07/SEG15	入出力ポート	SEG出力を選択している場合は開放にしてください。	-	
P10/SEG16 ~ P17/SEG23				
P20/SEG0/(KW4) ~ P27/SEG7				
P30/SEG24 ~ P37/SEG31				
P40/RxD		RxD機能選択時は入力ポートの処理を行ってください。	-	
P41/TxD		TxD機能選択時は出力ポートの処理を行ってください。	-	
P42/SCLK1		外部クロック入力を選択した場合は入力ポートの処理を行ってください。	内部クロック出力を選択した場合は出力ポートの処理を行ってください。	
P43/SRDY1		SRDY1機能選択時は出力ポートの処理を行ってください。	-	
P44/SIN2/(KW0)		SIN2機能選択時は入力ポートの処理を行ってください。	-	
P45/SOUT2/(KW1)		SOUT2機能選択時は出力ポートの処理を行ってください。	-	
P46/SCLK2/(KW2)		外部クロック入力を選択した場合は入力ポートの処理を行ってください。	内部クロック出力を選択した場合は出力ポートの処理を行ってください。	
P47/SRDY2/(KW3)		SRDY2機能選択時は出力ポートの処理を行ってください。	-	
P50/AN0/RTP0 P51/AN1/RTP1		AN機能選択時は開放可能です (A/D変換結果は保証できません)。		RTP機能選択時は出力ポートの処理を行ってください。
P52/AN2 ~ P56/AN6				-
P57/AN7/ADKEY0				ADKEY機能選択時は抵抗を介してVccにプルアップしてください。
P60/XCIN P61/XCOUT			XCIN-XCOUT発振機能をプログラムで選択しないでください。	-
P62/INT00/(LED0)			INT機能選択時は入力ポートの処理を行ってください。	-
P63/TXOUT2/(LED1)			TXOUT機能選択時は出力ポートの処理を行ってください。	-
P64/INT2/(LED2)			INT機能選択時は入力ポートの処理を行ってください。	-
P65/TXOUT1/(LED3)			TXOUT機能選択時は出力ポートの処理を行ってください。	-
P66/INT10/CNTR0/(LED4)		INT機能又はCNTR入力機能選択時は入力ポートの処理を行ってください。	-	
P67/CNTR1/(LED5)		CNTR入力機能選択時は入力ポートの処理を行ってください。	-	
P70/C1/INT01 P71/C2/INT11	昇圧回路を禁止状態にして、抵抗を介してVss接続	INT機能選択時は、昇圧回路を禁止状態にして、抵抗を介してVss接続	-	
P72/T2OUT/CKOUT	入出力ポート	T2OUT機能、CKOUT機能選択時は出力ポートの処理を行ってください。	-	
P73/PWM0/T3OUT P74/PWM1/T4OUT		PWM機能やT3OUT、T4OUT機能選択時は出力ポートの処理を行ってください。	-	
VL3	VL3接続ビットに“1”を設定してVcc接続	VL3接続ビットに“0”を設定して開放	-	
VL2	VL3 VL2 VL1	-	-	
VL1	Vss	-	-	
COM0 ~ COM3	開放	-	-	
COM4/SEG35 ~ COM7/SEG32	開放	-	-	
VREF	Vcc接続	-	-	
XIN	オンチップオシレータのみ使用時は抵抗を介してVcc接続	-	-	
XOUT	外部クロック入力時、オンチップオシレータのみ使用時は開放	-	-	

割り込み

38D5グループの割り込みは、固定優先度方式のベクトル割り込みで、外部6要因、内部10要因、ソフトウェア1要因の17要因のうち16要因から割り込みを発生することが可能です。割り込み要因とベクトル番地(注1)、割り込みの優先順位を表10に示します。

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、これらのビットと割り込み禁止フラグ(1フラグ)によって割り込み要求の受付を制御できます。図18に割り込み制御図を示します。次の条件がすべて揃ったとき、割り込み要求を受け付けます。

- 割り込み禁止フラグ..... “ 0 ”
- 割り込み要求ビット..... “ 1 ”
- 割り込み許可ビット..... “ 1 ”

割り込みの優先順位は、ハードウェアで固定されていますが、上記のビット及びフラグの使用により、優先処理をプログラムで行えます。

表10. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀ (INT ₀₀ 又はINT ₀₁)(注3)	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₁ (INT ₁₀ 又はINT ₁₁)(注3)	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₂	4	FFF7 ₁₆	FFF6 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	INT ₂ 割り込み選択時有効 外部割り込み (極性プログラマブル)
キー入力 (キーオンウェイクアップ)	5	FFF5 ₁₆	FFF4 ₁₆	ポートP ₂₀ ~ 23、P ₄₄ ~ 47の入力レベルの論理積の立ち下がり時	キー入力割り込み選択時有効 外部割り込み (立ち下がり有効)
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマ1	7	FFF1 ₁₆	FFF0 ₁₆	タイマ1アンダフロー時	
タイマ2	8	FFEF ₁₆	FFEE ₁₆	タイマ2アンダフロー時	
タイマ3	9	FFED ₁₆	FFEC ₁₆	タイマ3アンダフロー時	
タイマ4	10	FFEB ₁₆	FFEA ₁₆	タイマ4アンダフロー時	
シリアルI/O1受信	11	FFE9 ₁₆	FFE8 ₁₆	シリアルI/O1データ受信終了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	12	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O1送信シフト終了時又は送信バッファ空時	シリアルI/O1選択時のみ有効
シリアルI/O2	13	FFE5 ₁₆	FFE4 ₁₆	シリアルI/O2データ送受信終了時	
CNTR ₀	14	FFE3 ₁₆	FFE2 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマY CNTR ₁	15	FFE1 ₁₆	FFE0 ₁₆	タイマYアンダフロー時 CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換	16	FFDF ₁₆	FFDE ₁₆	A/D変換終了時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

注3. INT₀、INT₁の入力端子選択は割り込みエッジ選択レジスタ(INTEDGE)で行います。

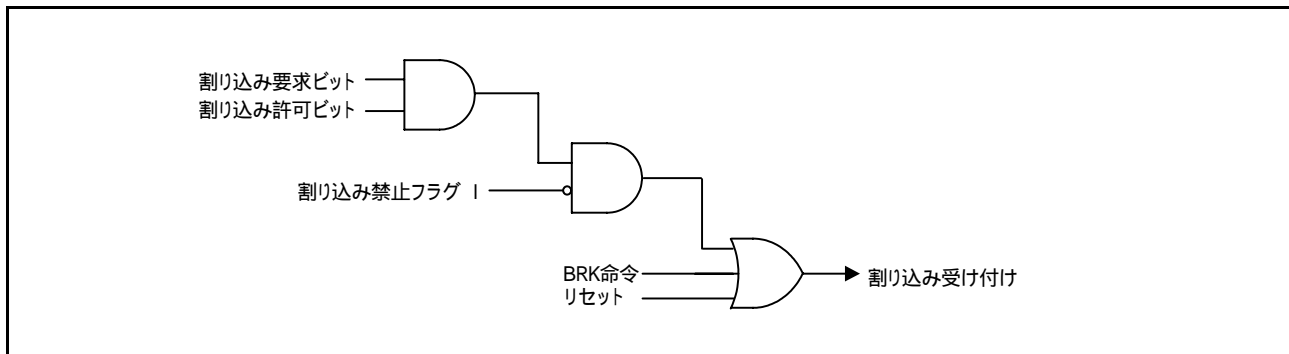


図18. 割り込み制御図

割り込み禁止フラグ

プロセッサステータスレジスタのビット2が割り込み禁止フラグです。割り込み禁止フラグは、BRK命令を除くすべての割り込み要求の受け付けを制御するフラグです。

割り込み要求の受け付けは、このフラグを“1”にすると禁止になり、“0”にすると許可になります。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み要求を受け付けると、割り込み禁止フラグが“0”のまま、プロセッサステータスレジスタをスタックに退避します。

その後、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込みルーチン内でCLI命令を用いて、このフラグを“0”にしてください。

プロセッサステータスレジスタは、RTI命令で復帰します。

割り込み要求ビット

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になり、割り込み要求を受け付けられるまで“1”を保持します。割り込み要求を受け付けられると、自動的に“0”になります。

割り込み要求ビットは、プログラムで“0”にできますが、“1”にはできません。

割り込み許可ビット

割り込み許可ビットは、対応する割り込み要求の受け付けを制御するビットです。

このビットが“0”の場合、割り込み要求の受け付けが禁止になります。この場合、割り込み要求が発生しても、割り込み要求ビットが“1”になるだけで、割り込み要求は受け付けられません。このビットが“1”の場合、割り込み要求の受け付けが許可になります。

割り込み許可ビットはプログラムで“0”、又は“1”にできます。

使用しない割り込みの割り込み許可ビットは“0”にしてください。

割り込み要因選択

以下の割り込み要因は、割り込みエッジ選択レジスタ(003A16番地)によりいずれかを選択することができます。

- タイマYあるいはCNTR1

外部割り込み端子選択

外部割り込みINT0、INT1は、外部入力端子であるINT00、INT01あるいはINT10、INT11のいずれかを割り込みエッジ選択レジスタのINT0、INT1入力ポート切り替えビット(003A16番地のビット4、5)により選択することができます。

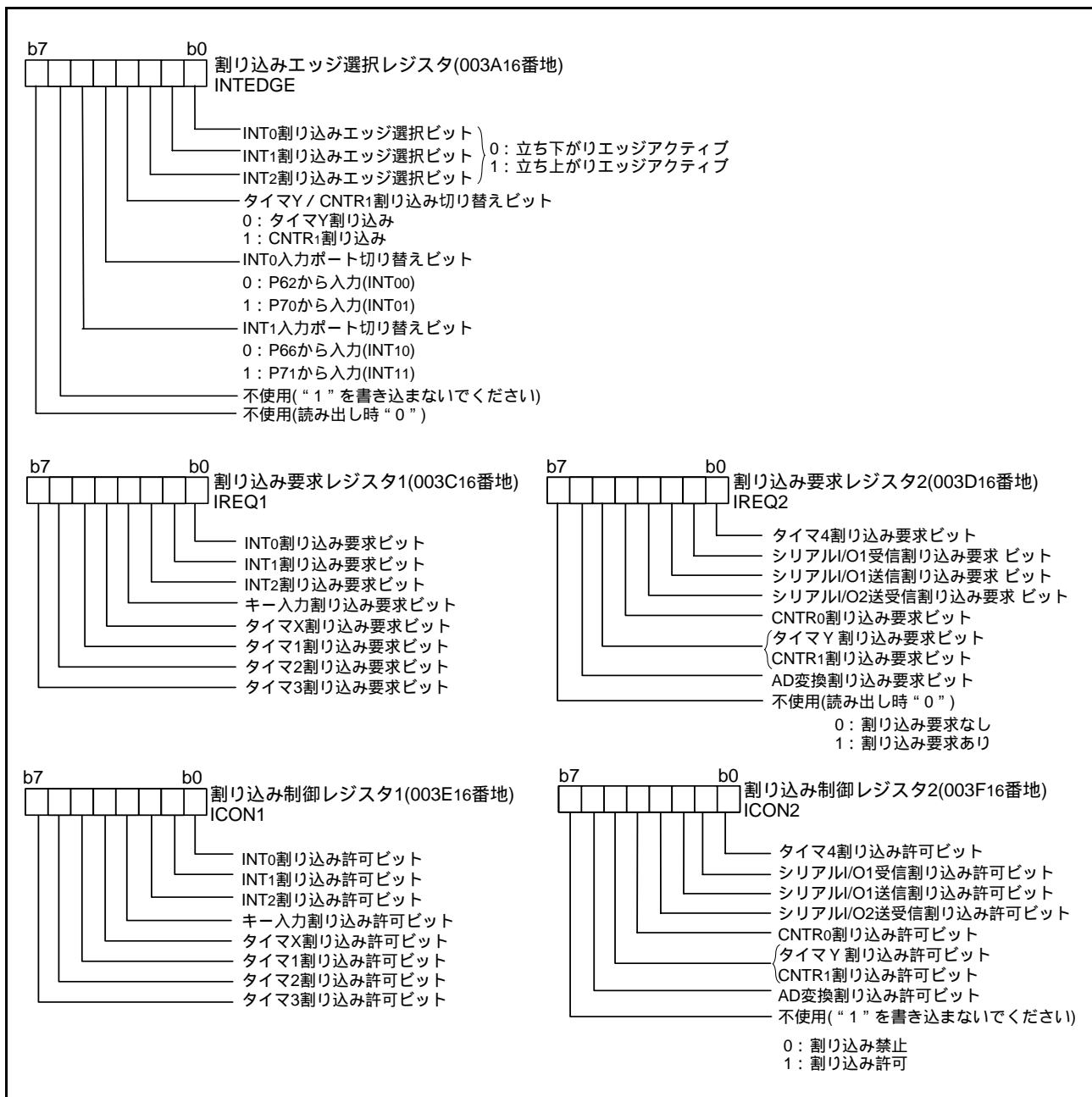


図19. 割り込み関係レジスタの構成

割り込み要求の発生/受け付け/処理

割り込みは、次の3つの段階に分かれます。

(i) 割り込み要求の発生

各種の割り込み要因（外部割り込み信号入力、タイムのアンダフロー等）により割り込み要求が発生し、割り込み要求ビットが“1”になります。

(ii) 割り込み要求の受け付け

命令サイクルごとの割り込み受け付けタイミングで割り込み制御回路が受け付け条件（割り込み要求ビット、割り込み許可ビット、割り込み禁止フラグ）と割り込み優先順位を判定して、割り込み要求を受け付けます。同じタイミングで複数の割り込み要求がある場合は、それらの中で最も優先順位の高い割り込み要求を受け付けます。受け付けられなかった割り込みの割り込み要求ビットは保持され、次の割り込み受け付けタイミングで再度受け付けを判定されます。

(iii) 受け付けた割り込みの処理

受け付けた割り込みの処理を実行します。

割り込みルーチンを実行するまでの時間を図20、割り込みシーケンスを図21、割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミングを図22に示します。

割り込み処理実行

割り込み処理実行時、次の動作を自動的に行います。

- 現在実行中の命令が終了すると、割り込み要求を受け付けます。
- この時点のプログラムカウンタ及びプロセッサステータスレジスタの内容を の順でスタック領域へ退避します。
プログラムカウンタ上位(PCH)
プログラムカウンタ下位(PCL)
プロセッサステータスレジスタ(PS)
- 退避と同時に、対応する割り込みの飛び先番地（割り込みルーチンの先頭番地）を割り込みベクトルからプログラムカウンタへ転送します。
- 対応する割り込みの割り込み要求ビットが“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止になります。
- 割り込みルーチンを実行します。
- RTI命令を実行すると、スタック領域に退避していたレジスタの内容を の順に復帰し、割り込み処理前のルーチンを継続します。

したがって、割り込みルーチンを実行するためには、スタックポインタの設定及び各割り込みに対応したベクトル内への飛び先番地の設定が必要です。

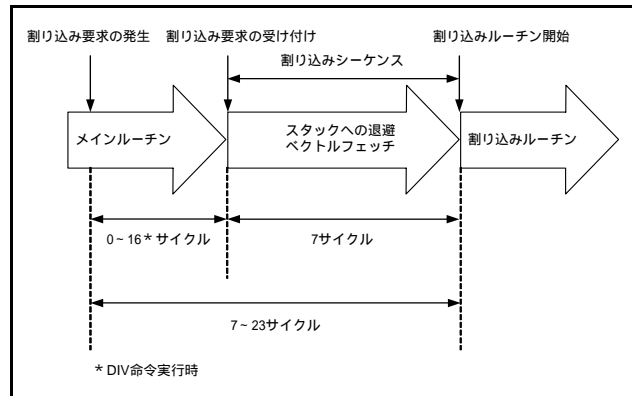


図20. 割り込みルーチンを実行するまでの時間

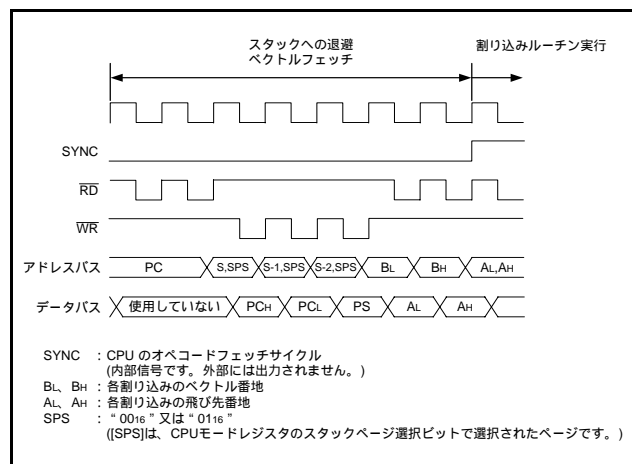


図21. 割り込みシーケンス

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- <外部割り込みのアクティブエッジを切り替えるとき>
- INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
 - INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
 - INT2割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット2)
 - CNTR0極性切り替えビット
(タイマX制御レジスタ1(002E16番地)のビット6、7)
 - CNTR1極性切り替えビット
(タイマYモードレジスタ(003816番地)のビット6)

<複数の割り込み要因で共有している割り込みベクトルの割り込み要因を切り替えるとき>

- タイマY/CNTR1割り込み切り替えビット
(割り込みエッジ選択レジスタのビット3)

<INT端子を切り替えるとき>

- INT0入力ポート切り替えビット
(割り込みエッジ選択レジスタのビット4)
- INT1入力ポート切り替えビット
(割り込みエッジ選択レジスタのビット5)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

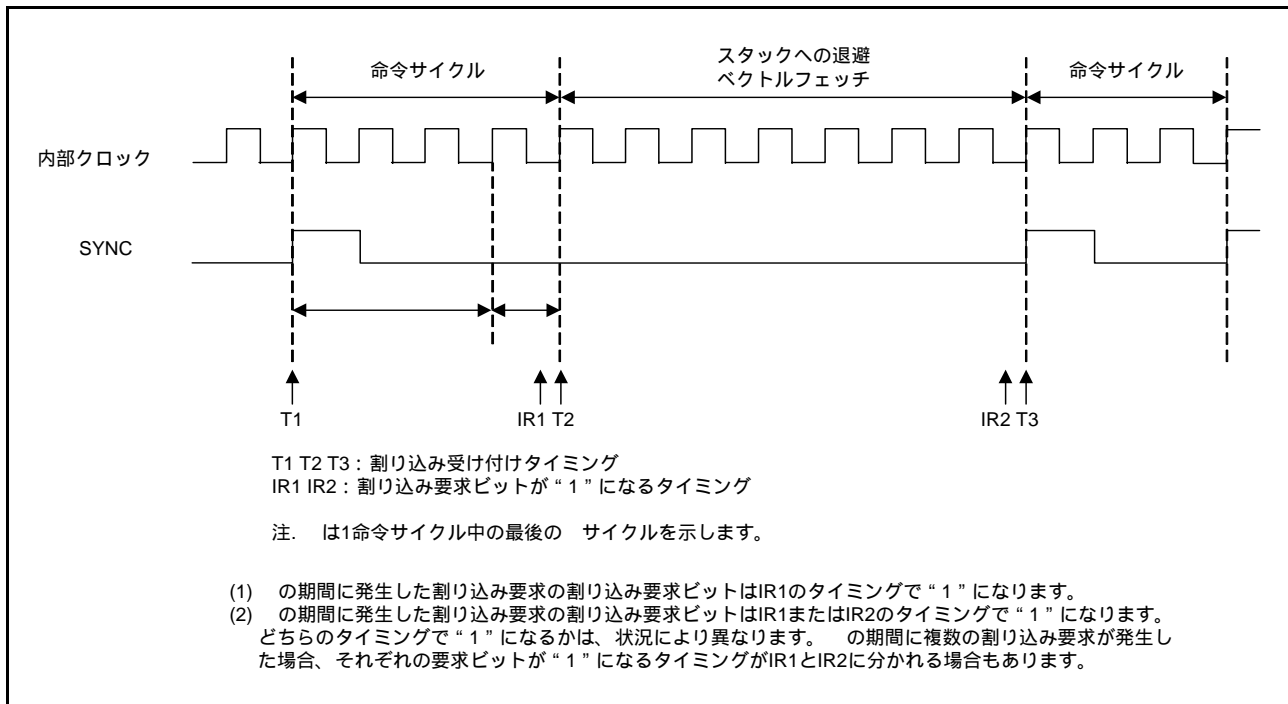


図22. 割り込み要求発生と割り込み要求ビット、割り込み要求受け付けのタイミング

キー入力割り込み(キーオンウェイクアップ)

ポートP20 ~ P23、P44 ~ P47のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が“1”から“0”になると、キー

入力割り込み要求が発生します。図23はキー入力割り込みを用いた一例です。ポートP44 ~ P47を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

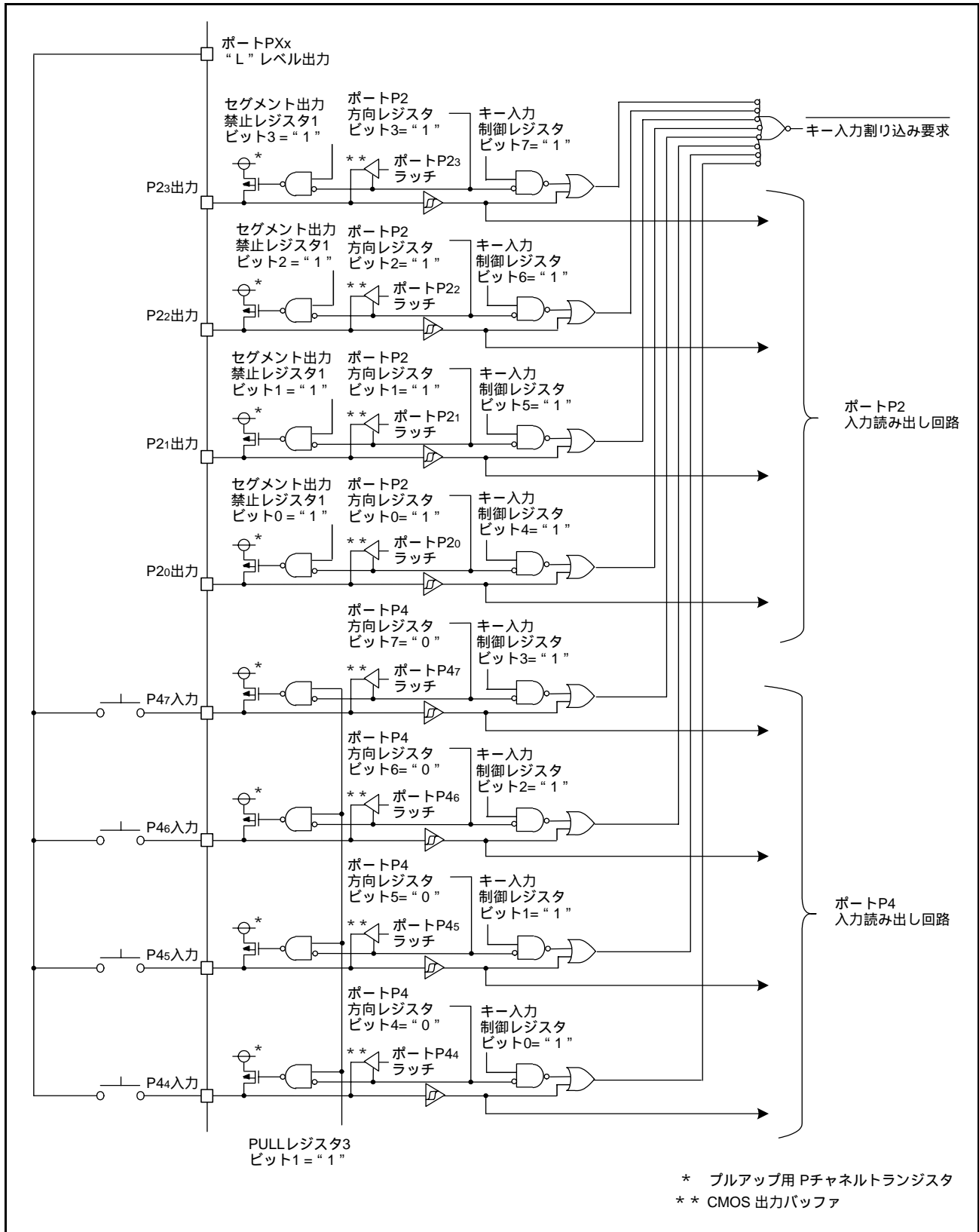


図23. キー入力割り込み使用時の結線例

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御レジスタを“1”に設定してください。ポートP20～P23、P44～P47のうち、入力に設定されている端子からキー入力を受け付けられます。

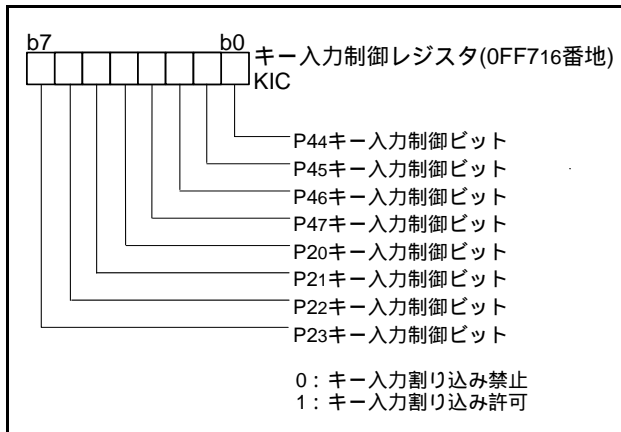


図24. キー入力制御レジスタの構成

タイマ

また、各タイマの停止ビットを“1”にセットすることにより、カウントを停止することが可能です。

8ビットタイマ

タイマ1、タイマ2、タイマ3、タイマ4は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式で、カウンタの内容が“00₁₆”になった次のカウントパルスで、タイマラッチの内容が再びタイマにロードされます。このとき同時に、各タイマに対応する割り込み要求ビットが“1”にセットされます。

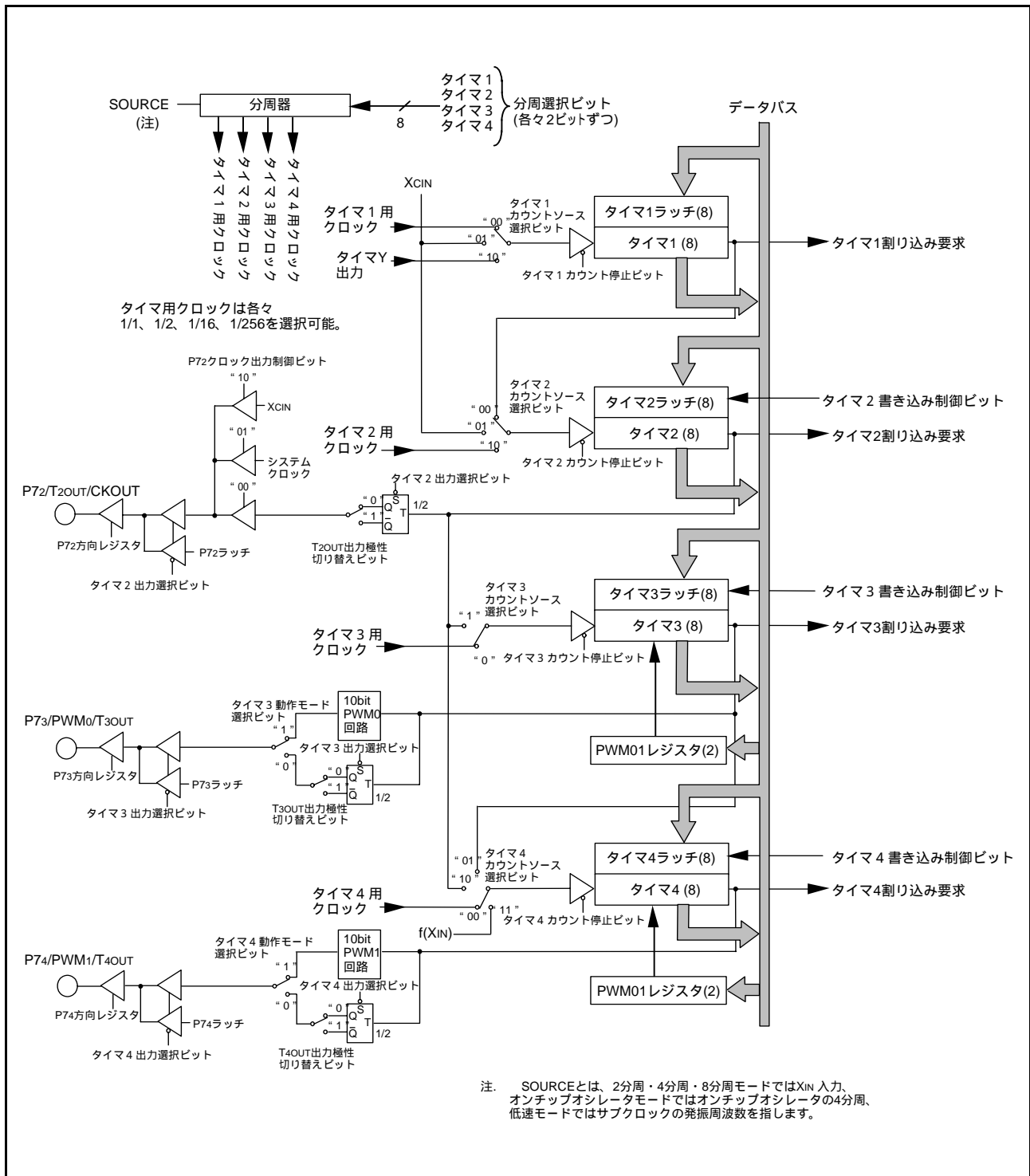


図25. タイマ1234のブロック図

タイマ用分周器

タイマ1、タイマ2、タイマ3、タイマ4はカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、 X_{IN} か X_{CIN} 、オンチップオシレータモード時はオンチップオシレータOCOの4分周に切り替わります。分周比はそれぞれのタイマ分周比選択ビットによって、 $f(X_{IN})$ 又は $f(X_{CIN})$ 、 $f(OCO)/4$ のそれぞれ1/1、1/2、1/16、1/256から選択できます。分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、 X_{IN} モード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。カウントソースに X_{CIN} を選択できます。 X_{CIN} を選択した場合、 X_{IN} やオンチップオシレータの発振によらずカウントできます。また、このレジスタによりタイマ2がアンダフローするたびに、極性の反転する信号をP72/T2OUT端子から出力することができます。

リセット入力時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に“FF16”、タイマ2に“0116”がセットされます。

STP命令を実行するときは、復帰時の待ち時間をあらかじめ設定してください。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3又はタイマ4がアンダフローするたびに、極性の反転する信号をP73/T3OUT又はP74/T4OUT端子から出力することができます。

タイマ3PWM0モード、タイマ4PWM1モード

タイマ34モードレジスタと、PWM01レジスタを設定することにより、10ビット精度に相当するPWM方形波をP73/PWM0とP74/PWM1端子から出力することができます。(図26参照)

出力パルスの1周期分を小区間とし、4周期分を大区間とします。タイマ3(0022₁₆番地)又はタイマ4(0023₁₆番地)の設定値を n 、タイマ3又はタイマ4のカウントソースの1周期を t_s とすると、小区間の“H”幅は $n \times t_s$ で表されます。ただし、大区間の中で、PWM01レジスタ(0024₁₆番地)に設定した値に対応する回数だけ、出力パルスの“H”幅が t_s 時間延長されます。

注意事項

(1) タイマ3PWM0モード、タイマ4PWM1モードについて

- PWM出力開始後に一旦停止した場合、そのときの出力パルスのレベルによっては、出力を再開する時間が小区間の1区間($256 \times t_s$)遅れることがあります。
“H”で停止：出力遅延なし
“L”で停止： $256 \times t_s$ 時間出力遅延する
- PWMモード使用時、タイマ3、タイマ4の割り込み要求及びタイマ3、タイマ4の値の更新は、大区間($4 \times 256 \times t_s$)の周期ごとに行われます。

(2) タイマ2、タイマ3、タイマ4の書き込みについて

ラッチのみ書き込みの場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

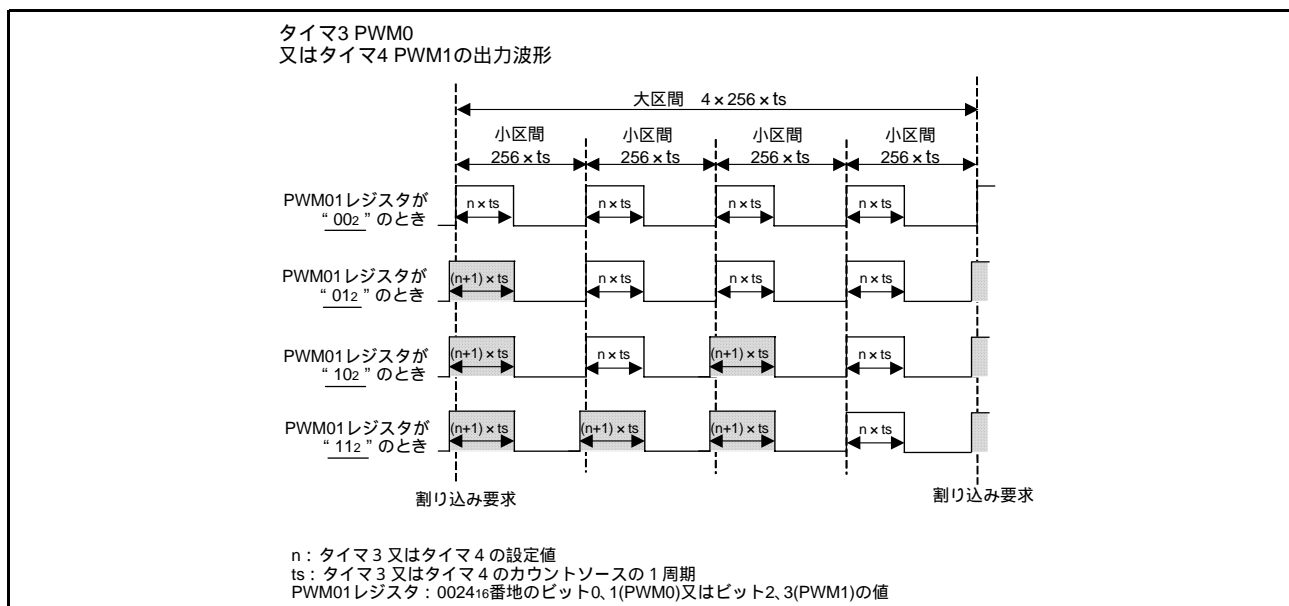
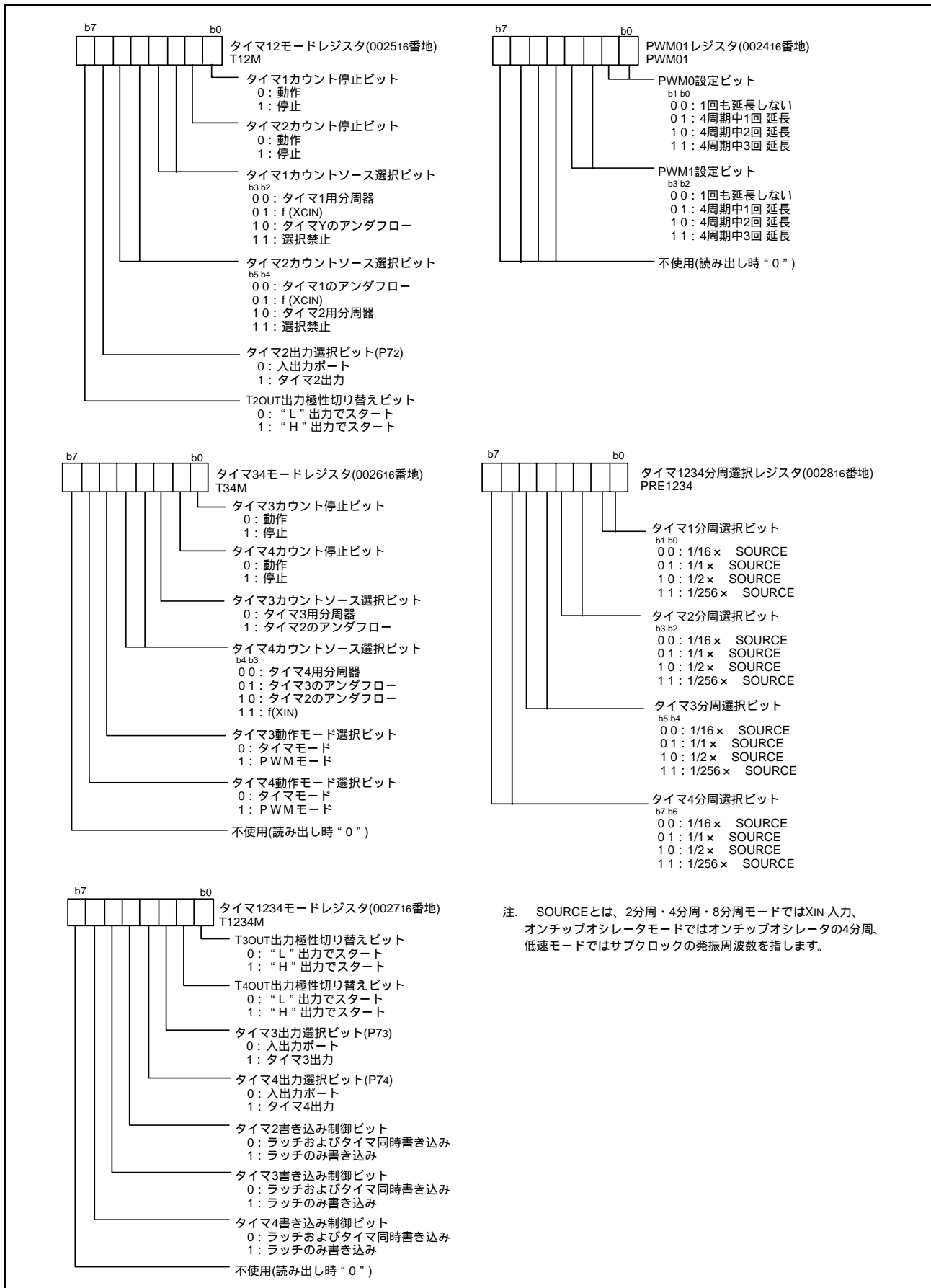


図26. PWM0及びPWM1波形図



注. SOURCEとは、2分周・4分周・8分周モードではXIN入力、オンチップオシレータモードではオンチップオシレータの4分周、低速モードではサブクロックの発振周波数を指します。

図27. タイマ1～タイマ4関連レジスタの構成

16ビットタイマ

タイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。タイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでくださ

い。なお、書き込み操作中に読み出したり、読み出し操作中に書き込みを行うと正常な動作を行いません。

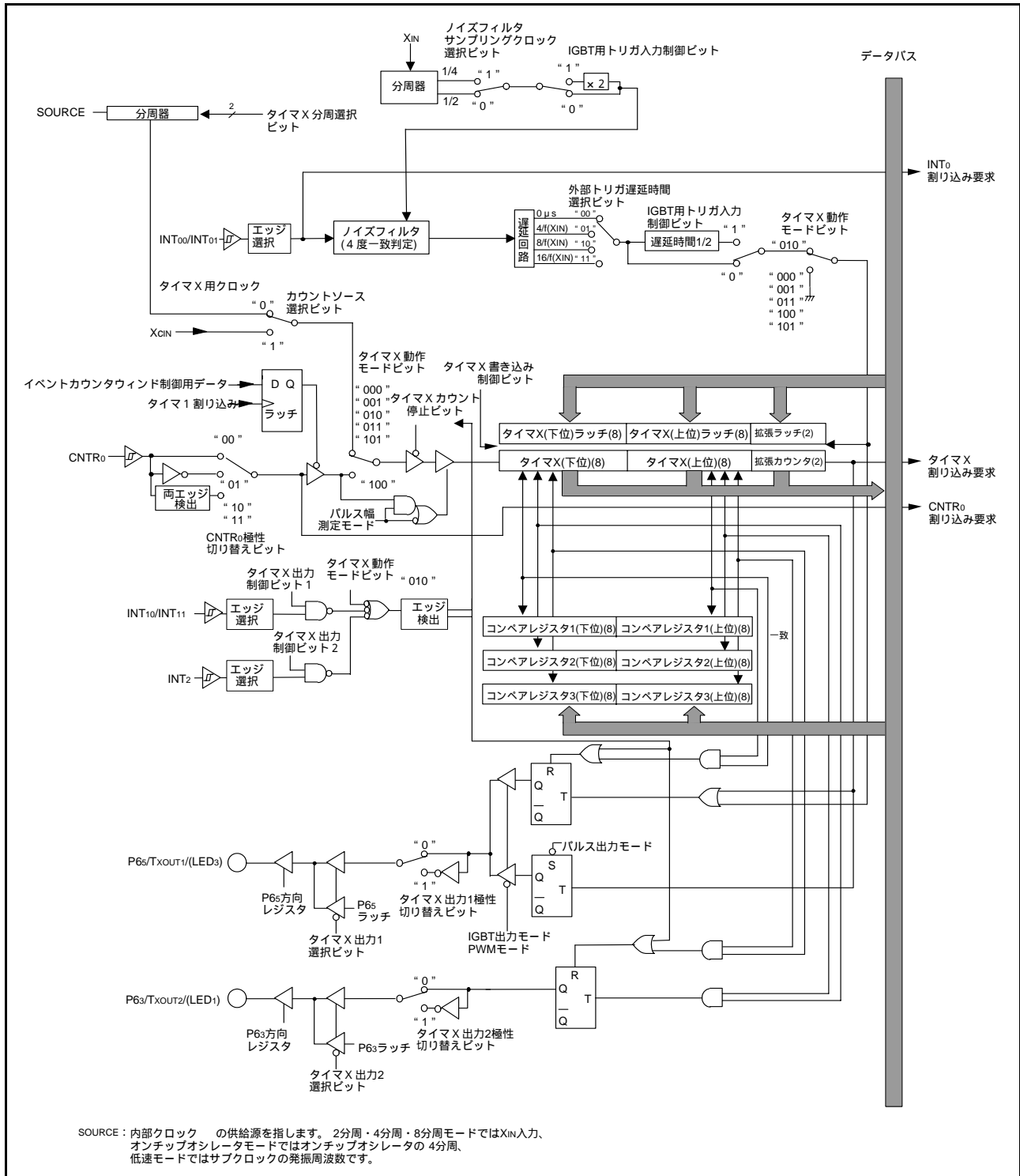


図28. タイマXのブロック図

タイマ用分周器

タイマX、タイマYはカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCIN、オンチップオシレータモード時はオンチップオシレータOCOの4分周に切り替わります。分周比はそれぞれのタイマ分周選択ビットによって、 $f(XIN)$ 又は $f(XCIN)$ 、 $f(OCO)/4$ のそれぞれ1/1、1/2、1/16、1/256から選択できます。分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、XINモード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

タイマX

タイマXはタイマXモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにXCINを選択できます。XCINを選択した場合、XINやオンチップオシレータの発振によらずカウントできます。

タイマXはカウントダウン方式で、タイマの内容が“0000₁₆”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると、タイマXに対応する割り込み要求ビットが“1”にセットされます。

タイマXはタイマXモードレジスタ、タイマX制御レジスタにより6つの動作モードを選択することができます。

(1) タイマモード

タイマXモードレジスタを設定することにより、カウントソースを選択することができます。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカンタとして動作します。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをTXOUT1端子から出力することを除けば、タイマモードと同じ動作をします。このモードではTXOUT1端子と共用のポートを出力に設定してください。

(3) IGBT出力モード

TXOUT1端子からダミー出力後、INT0端子からの入力をトリガとしてカウントを開始します。タイマX出力1極性切り替えビットが“0”の場合、トリガ発生を検出したとき、又はタイマXがアンダフローしたとき、TXOUT1端子から“H”を出力します。その後、タイマXのカウント値がコンペアレジスタ1の値と一致したとき、TXOUT1出力は“L”となります。

INT0信号はノイズフィルタ(サンプリングクロックにて連続4度同一レベルである場合、信号と判定)にてノイズ成分を除去後、遅延回路にて4種類の遅延時間を選択することができます。

このモードではINT0端子と共用のポートを入力に設定し、TXOUT1、TXOUT2端子として使用する共用のポートを出力に設定してください。

タイマX制御レジスタのタイマX出力制御ビット1又は2を“1”に設定すると、INT1又はINT2の割り込み信号でタイマXカウント停止ビットを強制的に“1”に固定し、タイマXのカウントを停止すると同時に、TXOUT1、TXOUT2端子の出力を強制的に“L”出力することができます。

IGBT出力モードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

(4) PWMモード

IGBT用ダミー出力、INT0端子による外部トリガ、及びINT1、INT2端子による出力制御を使用しないことを除けば、IGBT出力モードと同じ動作をします。PWM波形の周期は、タイマXの設定値によって決定されます。タイマX出力1極性切り替えビットが“0”の場合、“H”期間は、コンペアレジスタ1の設定値によって決定されます。タイマX出力2極性切り替えビットが“0”の場合、“H”期間は、コンペアレジスタ2と3の設定値によって決定されます。このモードではTXOUT1、TXOUT2端子として使用する共用のポートを出力に設定してください。

PWMモードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

(5) イベントカウンタモード

CNTR0端子からの入力をカウントします。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカンタとして動作します。このモードではCNTR0端子と共用のポートを入力に設定してください。

このモードではタイマ1のアンダフローでウィンド制御できます。イベントカウンタウィンド制御用データビットを“1”に設定すると、次のタイマ1のアンダフローでカウントを停止し、“0”に設定すると、次のタイマ1のアンダフローでカウントを再開します。

(6) パルス幅測定モード

カウントソースはタイマ用分周器の出力です。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカンタとして動作します。CNTR0極性切り替えビットのビット6が“0”の場合はCNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

また、イベントカウンタウィンド制御用データ(タイマXモードレジスタ(002D₁₆番地)のビット5)を許可(“0”)にしてください。

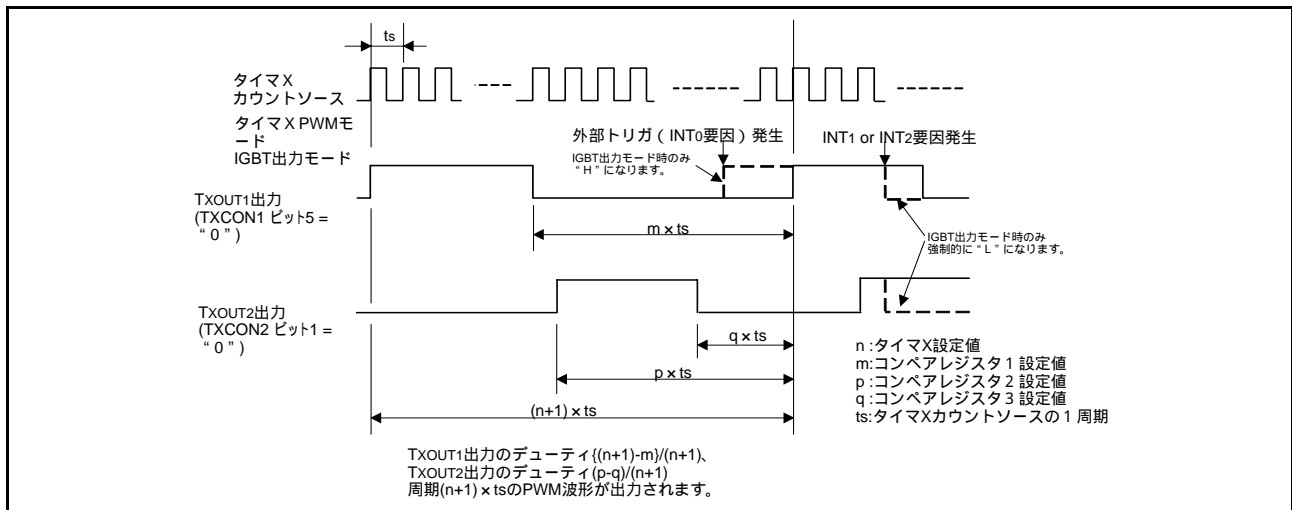


図29. IGBT/PWM波形図

注意事項

(1) タイマX書き込み順序について

- タイマモード、パルス出力モード、イベントカウンタモード、又はパルス幅測定モード設定時は、タイマXレジスタ(拡張) タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で書き込みを行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)のいずれかのみ書き込みはできません。上記モードの設定時に16ビットカウンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、注意してください。
- タイマXレジスタの書き込みは、16ビット単位で行ってください。書き込み操作の間に読み出しを行わないでください。途中で書き込み操作を中止すると正常に動作をしません。
- PWMモード、IGBT出力モードの設定時は、タイマXレジスタ(拡張)には"1"を書き込まないでください。また、すでに"1"が書き込まれた状態の場合は、必ず"0"を書き込んでから使用してください。書き込むときはコンペアレジスタ1、2、3(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタは上位、下位のどちらが先でもかまいません。コンペアレジスタ1、2、3とタイマXレジスタは必ず両方に書き込んでください。なお、コンペアレジスタには、タイマXレジスタ設定値より小さい値を設定してください。また、" 00_{16} "を設定しないでください。

(2) タイマX読み出し順序について

- 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタ1、2、3については読み出しの順序は決まっていません。
- タイマXレジスタの読み出しは、16ビット単位で行ってください。読み出し操作の間に書き込みを行わないでください。途中で読み出し操作を中止すると正常に動作をしません。

(3) タイマXの書き込みについて

- タイマXはタイマXモードレジスタ(002D16番地)のタイマX書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- 分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、XINモード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

(4) タイマXモードレジスタ設定について

- PWM モード、IGBT 出力モード設定時は、タイマ X モードレジスタの書き込み制御ビットは、必ず“1”（ラッチのみ書き込み）に設定してください。タイマ X レジスタ（上位）の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

(5) タイマX出力制御機能について

- 出力制御機能（INT1、INT2）を使用する場合、IGBT 出力モードに切り替える前にINT1、INT2のレベルを立ち下がりエッジアクティブの場合は“H”、立ち上がりエッジアクティブの場合は“L”にしてください。

(6) CNTR0割り込み極性切り替えについて

- CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
- パルス幅測定時は、CNTR0極性切り替えビットのビット7を“0”に設定してください。

(7) タイマXパルス幅測定モード使用時

タイマXパルス幅測定モード使用時、イベントカウンタウィンド制御用データ（タイマXモードレジスタ(002D16番地)のビット5)を許可(“0”)にしてください。

<理由>

イベントカウンタウィンド制御用データ（タイマXモードレジスタ(002D16番地)のビット5)は、CNTR0の入力を許可/禁止するため“1”（禁止）にした場合、タイマ1のアンダフロー後CNTR0入力を受け付けなくなります。

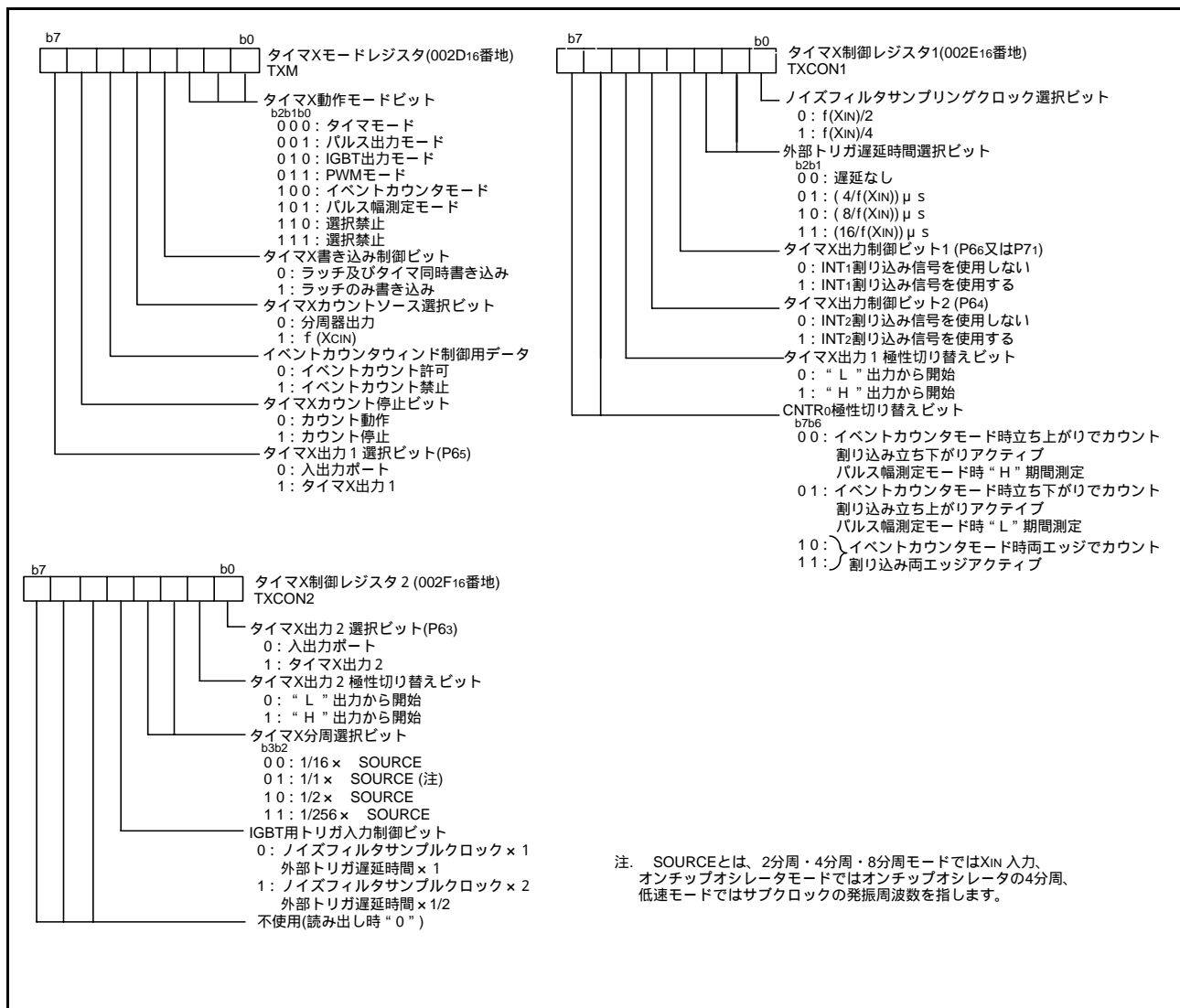


図30. タイマX関連レジスタの構成

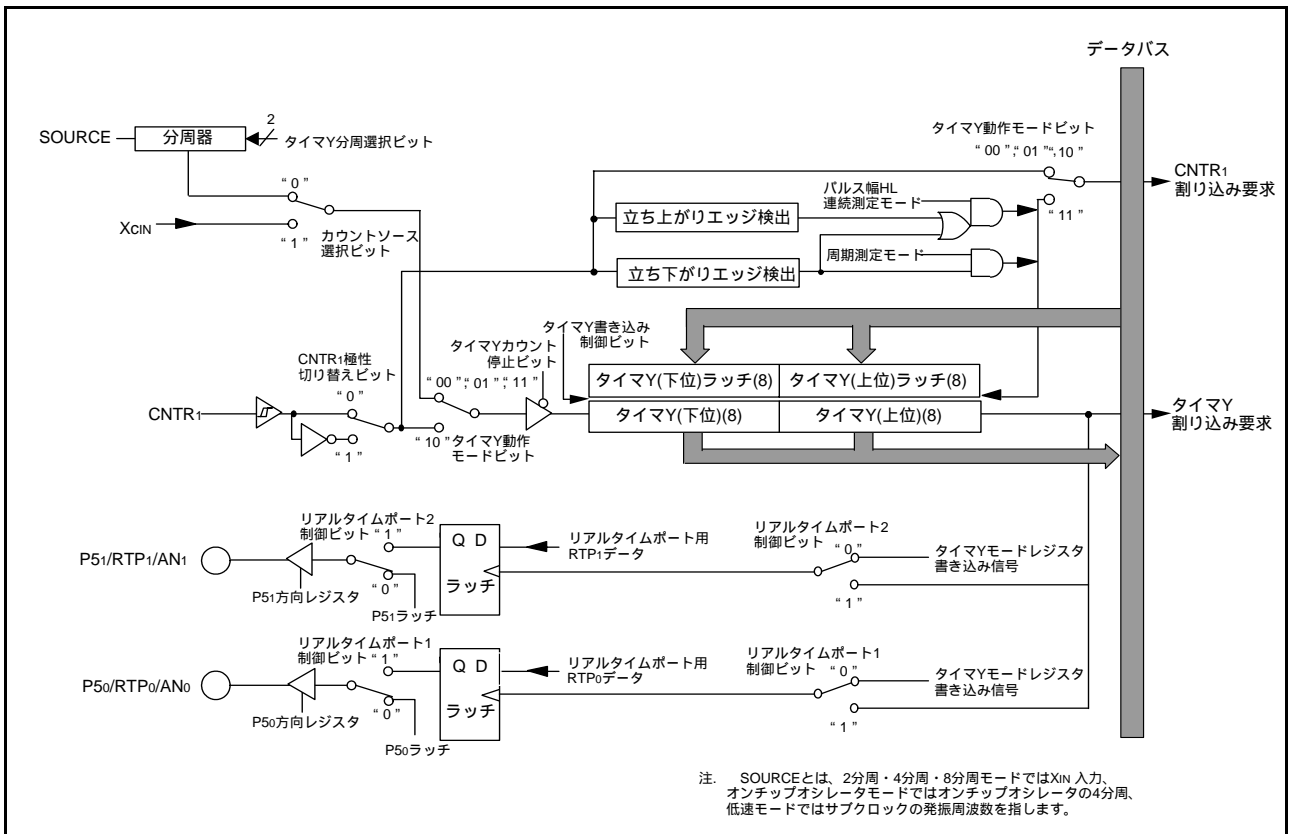


図31. タイマYのブロック図

タイマY

タイマYは16ビットタイマです。タイマYはタイマYモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにXCINを選択できます。XCINを選択した場合、XINやオンチップオシレータの発振によらずカウントできます。タイマYは、タイマYモードレジスタにより4つの動作モードを選択することができます。またリアルタイムポート制御ができます。

(1) タイマモード

タイマYモードレジスタを設定することにより、カウントソースを設定することができます。

(2) 周期測定モード

CNTR1端子入力の立ち上がり又は立ち下がりでの割り込み要求が発生し、タイムラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。

CNTR1端子入力の立ち上がり又は立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR1端子入力の立ち上がり又は立ち下がりタイミングはCNTR1割り込みで知ることができます。このモードではCNTR1端子と共用のポートを入力に設定してください。

(3) イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

(4) パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

(5) リアルタイムポート制御

リアルタイムポート機能有効時はタイマYがアンダフローするたびにリアルタイムポート用データがそれぞれポートP50、P51から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“0”から“1”に変えたときには、タイマYの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマYのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

注意事項

(1) CNTR1 割り込み極性切り替えについて

CNTR1 極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅 HL 連続測定モードの場合は CNTR1 極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともに CNTR1 割り込み要求が発生します。

(2) タイマ Y の読み出し及び書き込みについて

- ・ タイマ Y に読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込みと読み出しは 16 ビット単位で行ってください。途中で書き込みや読み出しの操作を変更すると正常に動作しません。
- ・ タイマ Y はタイマ Y 制御レジスタ (0039₁₆番地) のタイマ Y 書き込み制御ビット (b0) によって、ラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマ Y のアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフ

ローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマ Y のアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。

- ・ 分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード (オンチップオシレータモード、XIN モード、低速モード) の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPU モードレジスタの設定変更時は注意してください。

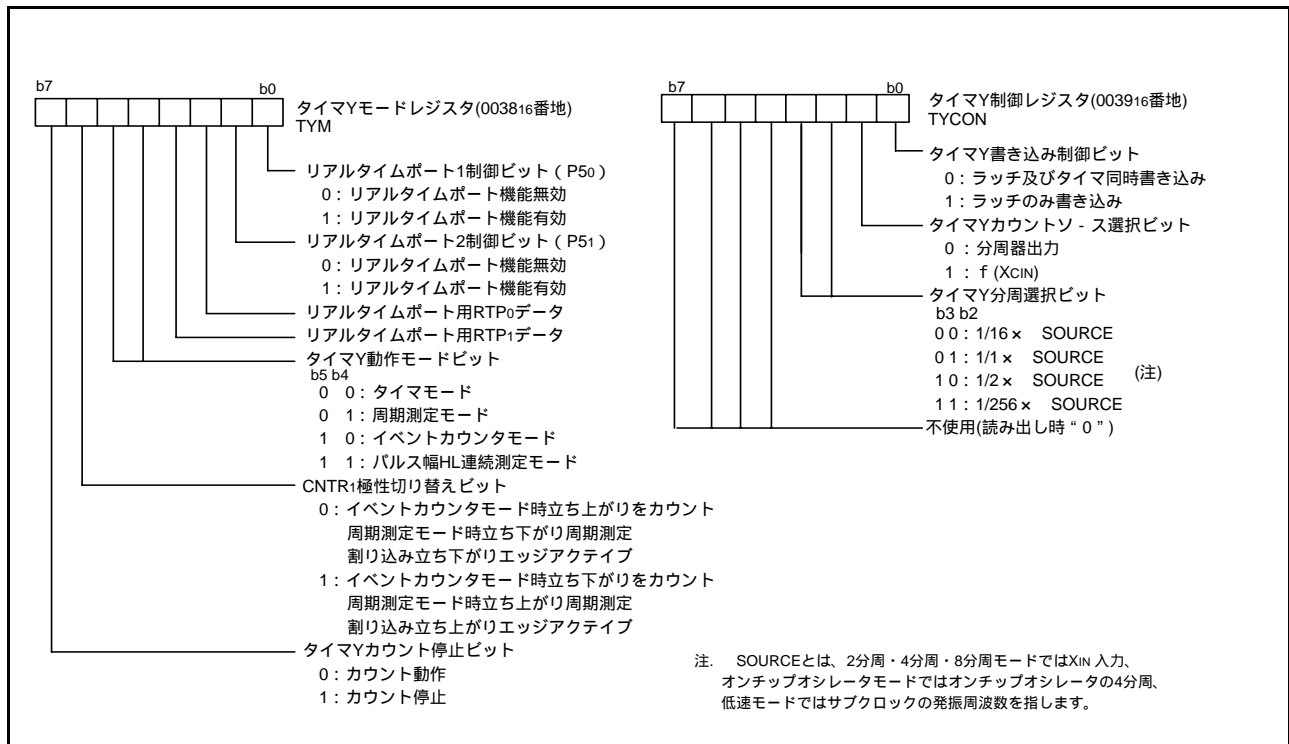


図32. タイマ Y 関連レジスタの構成

シリアルインタフェース

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによって、クロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

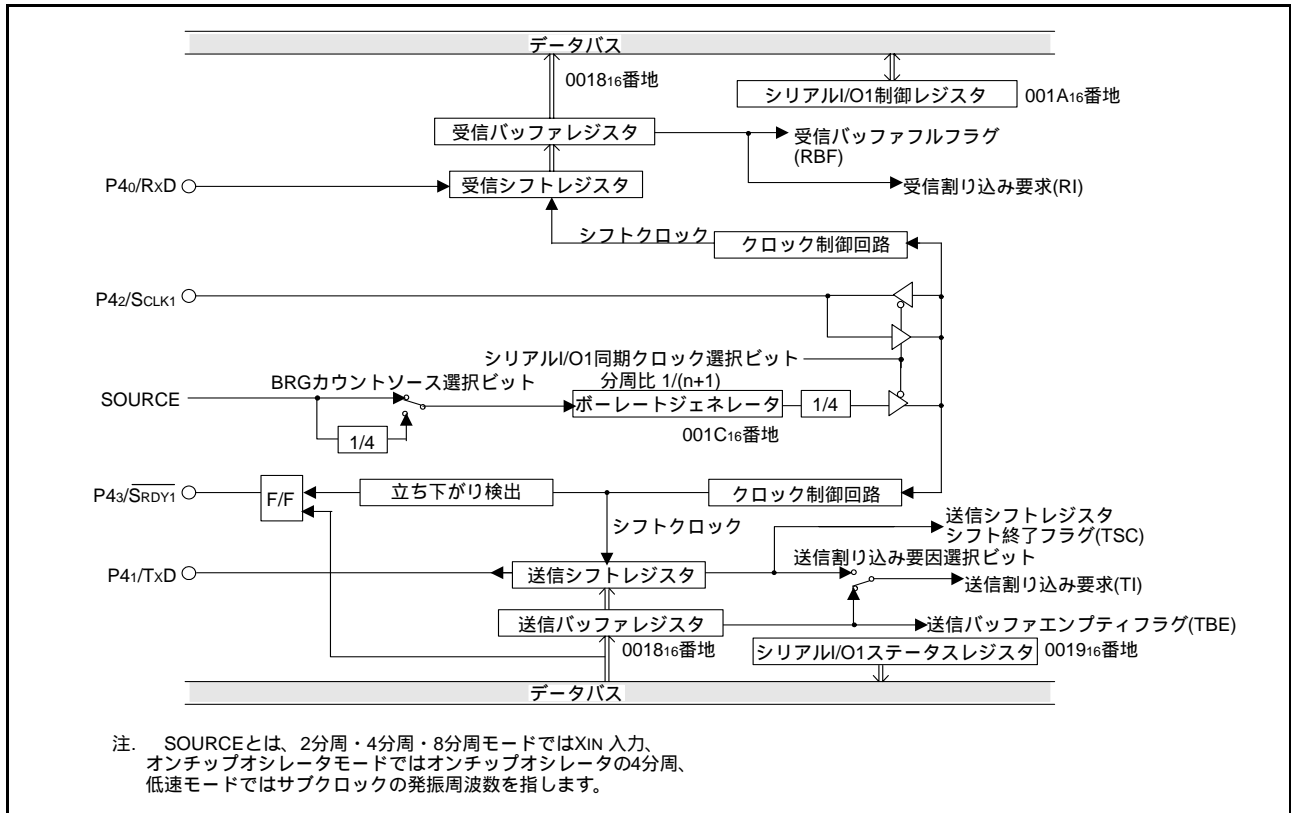


図33. クロック同期形シリアルI/O1ブロック図

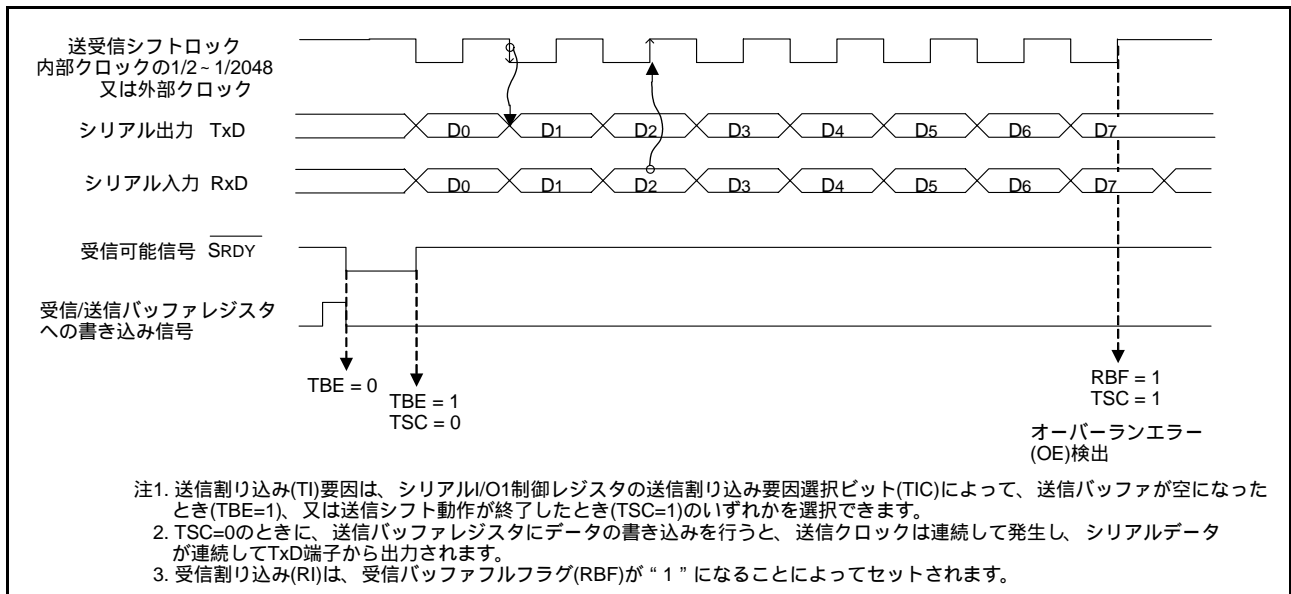


図34. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O制御レジスタのモード選択ビットを“0”にすることによってUARTが選択されます。

38D5グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38D5グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッ

ファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

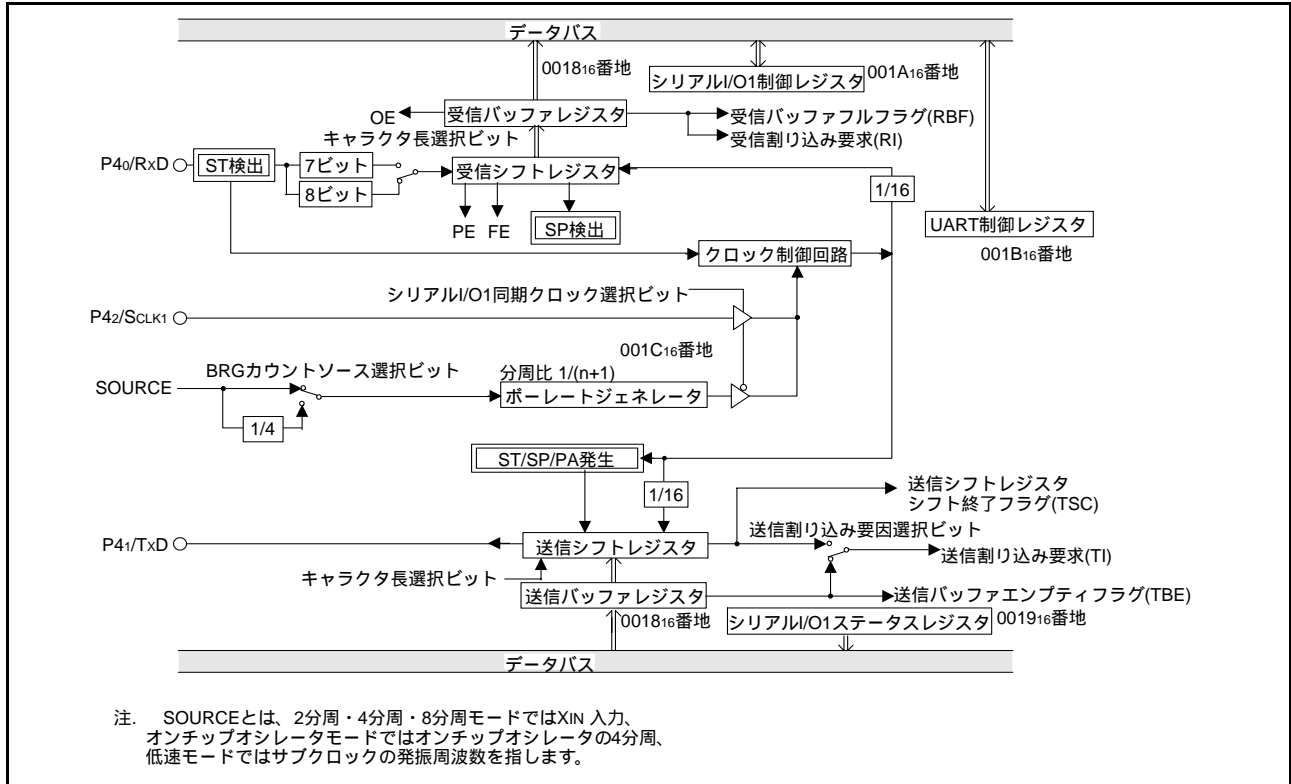


図35. UART形シリアルI/O1ブロック図

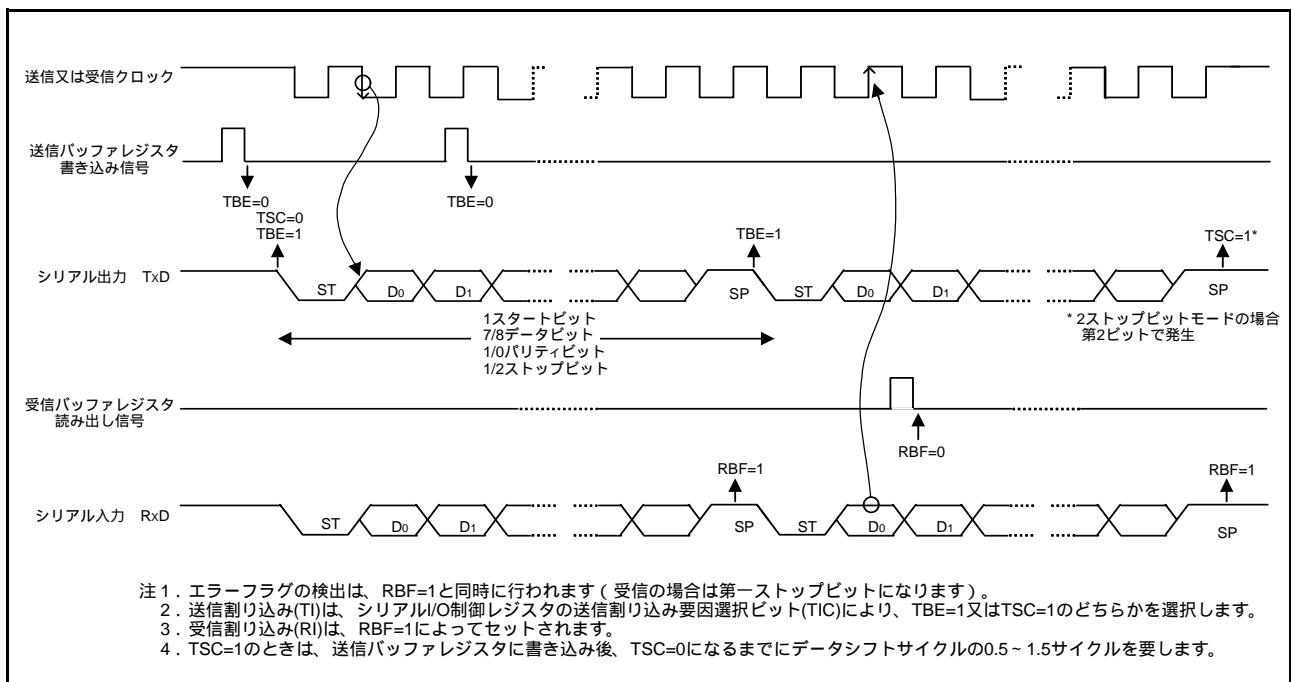


図36. UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB1/RB1

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みで、すべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P4I/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

1. シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
2. 送信許可ビットを“1”にする。
3. 一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
4. シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

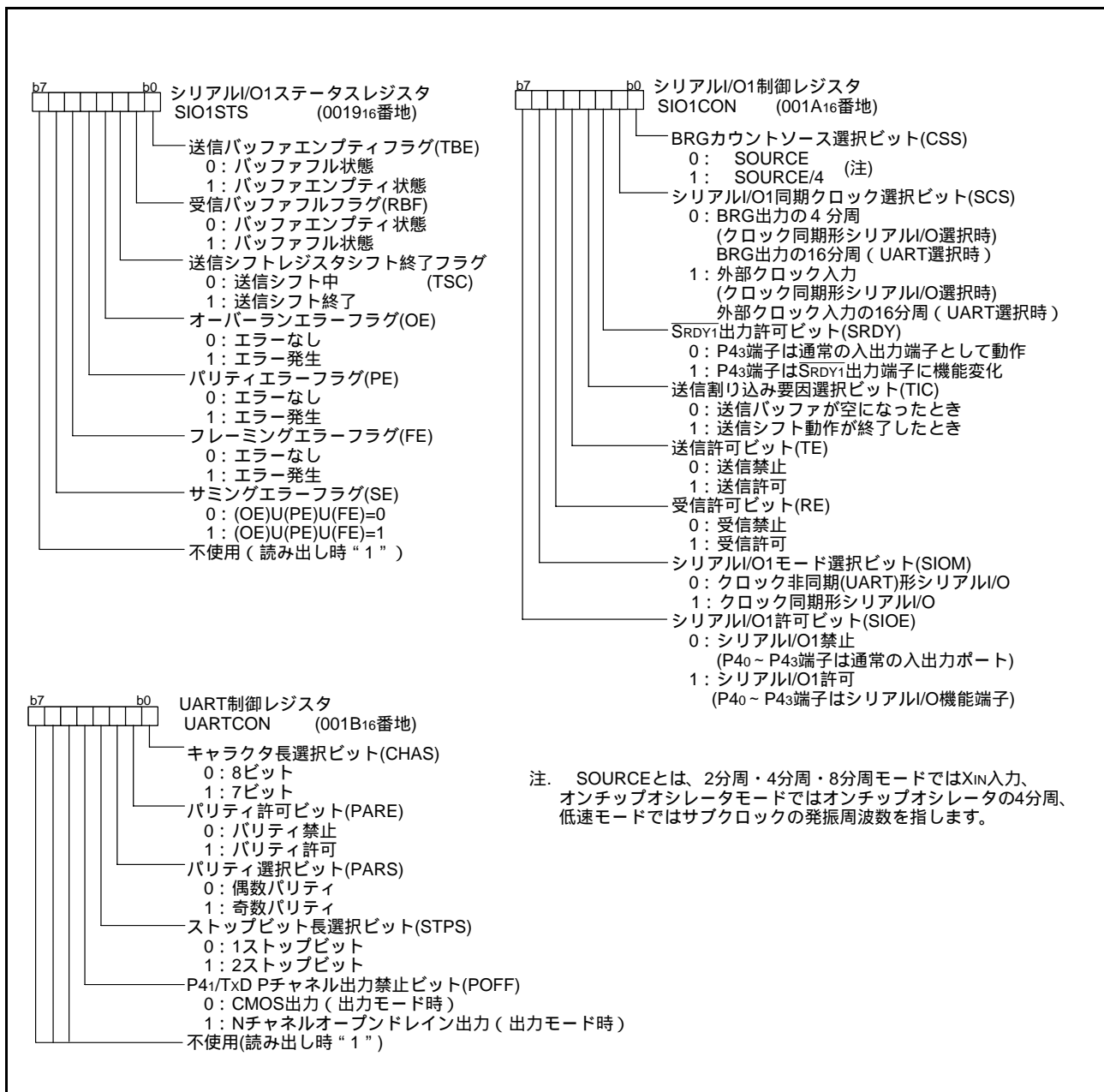


図37. シリアルI/O1関係レジスタの構成

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作できます。

シリアルI/O2は、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。

動作クロックとして内部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2が初期化され、送受信が開始されます。

動作クロックとして外部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2カウンタが初期化され、送受信できる状態になります。外部クロックが入力されると送受信が開始されます。なお、動作クロックとして外部クロックを選択時のシリアルI/O2レジスタへの書き込みは、SCLK2が“H”の状態で行ってください。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

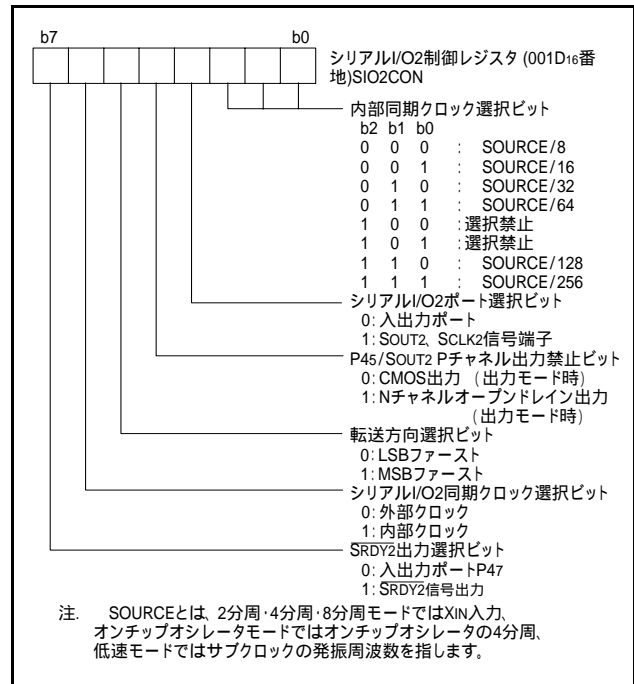


図38. シリアルI/O2制御レジスタの構成

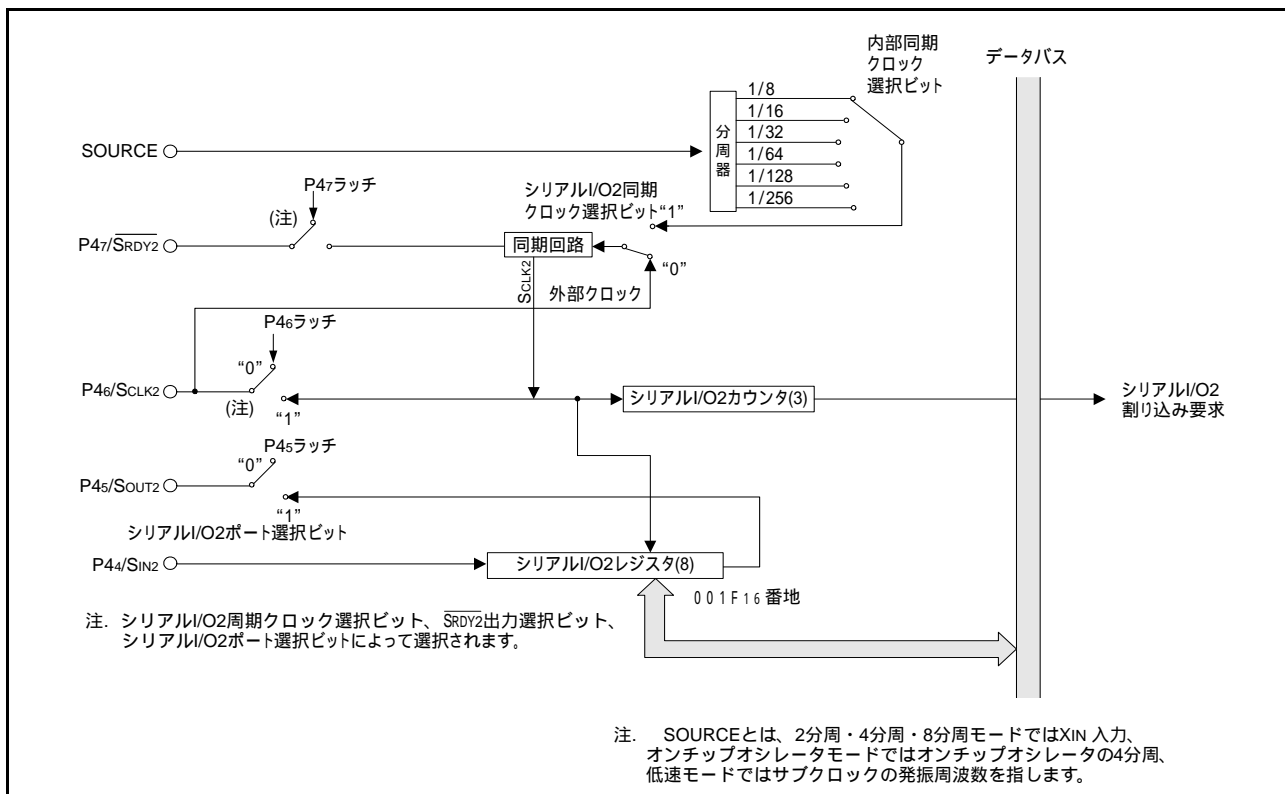


図39. シリアルI/O2ブロック図

【シリアルI/O2の動作】

シリアルI/O2レジスタへの書き込みで、シリアルI/O2カウンタが“7”に初期化されます。

書き込み後、同期クロックが“H”から“L”に変化するたびに、SOUT2端子からデータが出力されます。また、同期クロックが“L”から“H”に変化するたびにSIN2端子からデータが取り込まれ、同時にシリアルI/O2レジスタが1ビットシフトされます。

同期クロックとして内部クロックを選択している場合、同期クロックを8回カウントすると次のようになります。

- シリアルI/O2カウンタ = “0”
- 同期クロックは“H”で停止
- シリアルI/O2割り込み要求ビット = “1”

また、転送終了後、SOUT2端子はハイインピーダンス状態になります。

同期クロックとして外部クロックを選択している場合、同期クロックを8回カウントするとシリアルI/O2割り込み要求ビットは“1”になり、SOUT2端子はD7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。

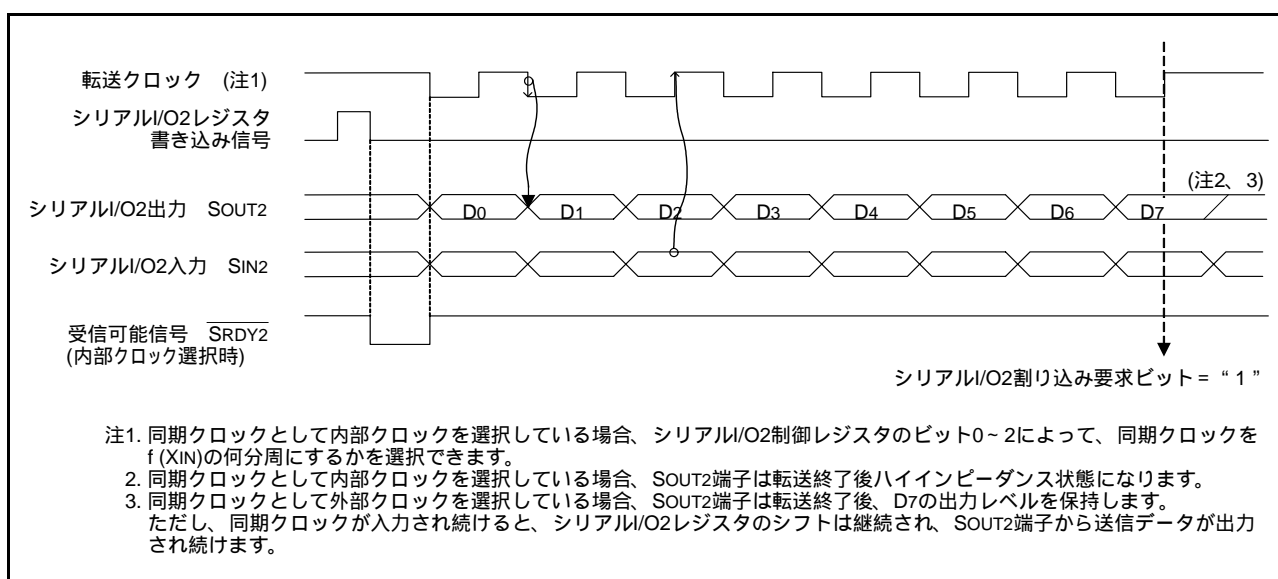


図40. シリアルI/O2タイミング図

A/Dコンバータ

A/Dコンバータ

10ビット分解能逐次比較方式のA/Dコンバータです。ADKEY端子への“L”レベルアナログ入力を自動的にA/D変換するADKEY機能があります。

【AD変換レジスタ】ADL, ADH

A/D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがAD変換レジスタ(上位)(001716番地)に、下位2ビットがAD変換レジスタ(下位)(001616番地)のビット7及びビット6に格納されます。A/D変換中は、このレジスタを読み出さないでください。

また、VREF入力スイッチビット(001616番地のビット0)により、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御できます。このビットに“1”が書き込まれている場合には、常に抵抗ラダーはVREFに接続されます。“0”が書き込まれていると、A/D変換中以外、抵抗ラダーはVREFから切り離されます。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA/D変換が開始されます。

ビット5はADKEY許可ビットで、このビットに“1”を書き込むことによりADKEY機能が許可されます。この機能を有効にした場合、アナログ入力端子選択ビットは無視されます。また、ビット5が“1”のとき、ビット3にプログラムで“0”を書き込まないでください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP57/AN7～P50/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD変換割り込み要求ビットを“1”にセットします。

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、XINモードでA/D変換を行う場合は $f(XIN)$ を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モード、オンチップオシレータモードでは、A/D変換クロックにオンチップオシレータを使用しますので、周波数制限はありません。低速モード時、オンチップオシレータが停止していても、A/D変換実行時には自動的に発振し、A/D変換が終了すると自動的に停止します。

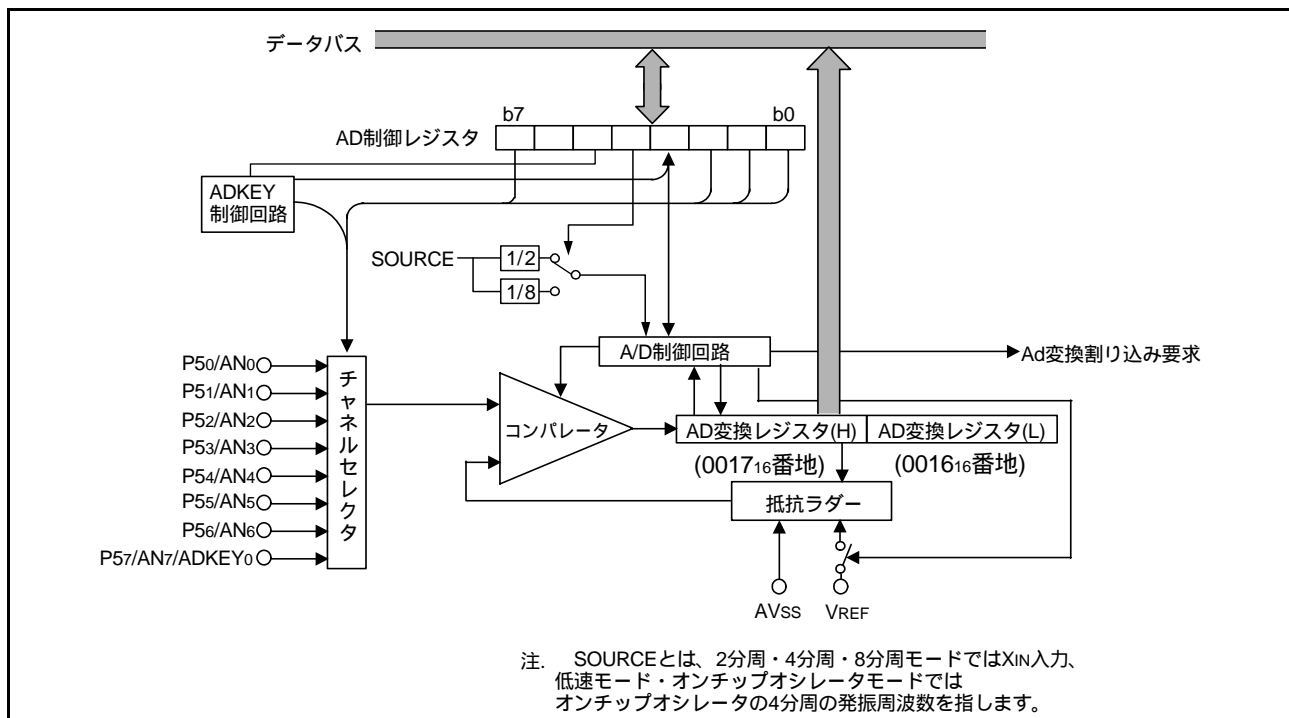


図41. A/Dコンバータのブロック図

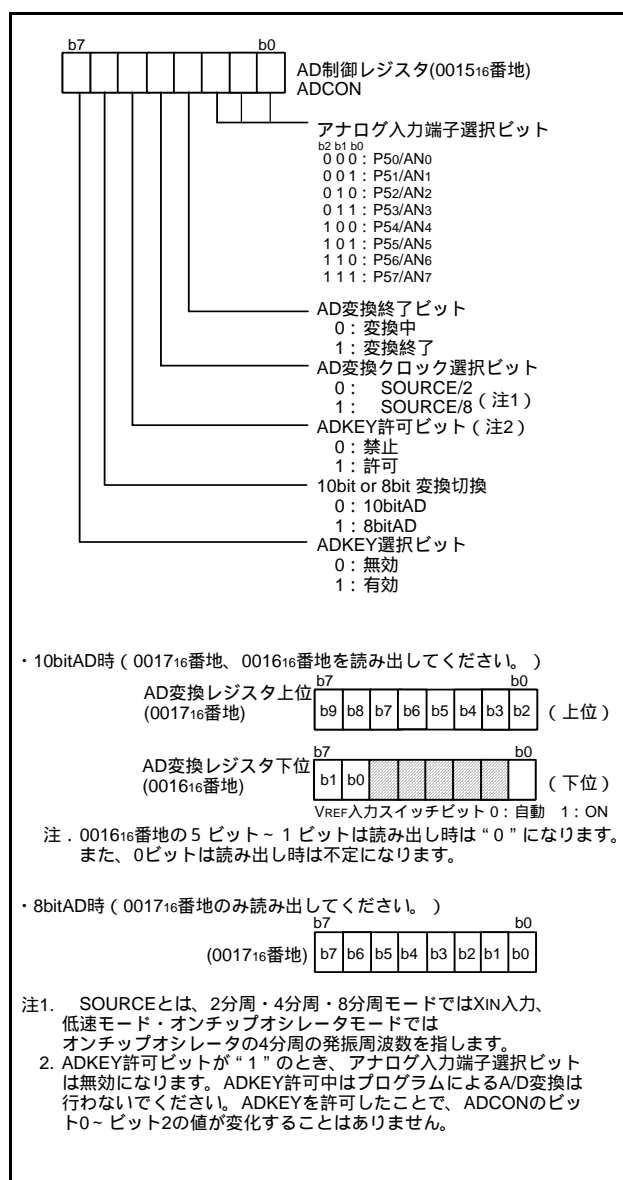


図42. AD制御レジスタの構成

ADKEY機能

ADKEY機能はADKEY端子へ入力されたアナログ入力電圧を判別する機能です。ADKEY端子にVIL(0.7×VCC-0.5)以下の電圧が入力されるとA/Dコンバータが動作を開始しますので、A/D変換割り込みなどで判別することができます。この機能はSTP、WIT状態でも使用することができます。

38D5グループのADKEY機能では、ADKEY機能を起動した直後のアナログ入力電圧のA/D変換は行われません。そのため、ADKEY機能の起動直後のA/D変換結果は不定です。ADKEY端子へ入力したアナログ入力電圧のA/D変換結果が必要な場合は、ADKEYに該当するアナログ入力端子を選択した後にA/D変換を実行してください。

・ADKEY選択

ADKEY端子使用時はADKEY選択ビットに“1”を設定してください。ADKEY選択ビットは、ADKEY機能によるA/D変換開始直後は“0”になります。

・ADKEY許可

ADKEY許可ビットに“1”を書き込むことによりADKEY機能が有効になります。ADKEY機能を有効にする場合は、ADKEY選択ビットに“1”を設定した後にADKEY許可ビットに“1”を設定してください。

ADKEY許可ビットが“1”のとき、アナログ入力端子選択ビットは無効になります。ADKEY許可中はAD変換終了ビットに“0”を書き込まないでください。

【ADKEY制御回路】

ADKEY端子への入力は急峻な立ち下がり波形にし、入力電圧がVIL以下になった瞬間から8クロックサイクル(f(XIN)=8MHz時、1μs)以内に入力電圧を安定させてください。

ADKEY端子の実際のしきい値電圧はV_{IH}-V_{IL}間の電圧です。

ノイズなどで不必要にADKEY動作を行わせないため、入力待ちの状態ではADKEY端子の電圧がV_{IH}(0.9VCC)以上になるようにしてください。

以下の操作を行った場合のA/D変換は動作を保証できません。

- ・A/D変換動作中にCPUモードレジスタを操作した場合
- ・A/D変換動作中にAD制御レジスタを操作した場合
- ・A/D変換動作中にSTP、WIT命令を実行した場合

LCD駆動制御回路

38D5グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- LCD表示用RAM
 - セグメント出力禁止レジスタ
 - LCDモードレジスタ
 - セレクタ
 - タイミングコントローラ
 - コモンドライバ
 - セグメントドライバ
 - バイアス制御回路
- によって構成されています。

セグメント出力は最大36本、コモン出力は最大8本使用でき、最大256画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力禁止レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表11. 各時分割時の最大表示素子数

時分割数	最大表示素子数
1	36ドット又は8セグメントLCD4桁
2	72ドット又は8セグメントLCD9桁
3	108ドット又は8セグメントLCD13桁
4	144ドット又は8セグメントLCD18桁
8	256ドット又は8セグメントLCD32桁

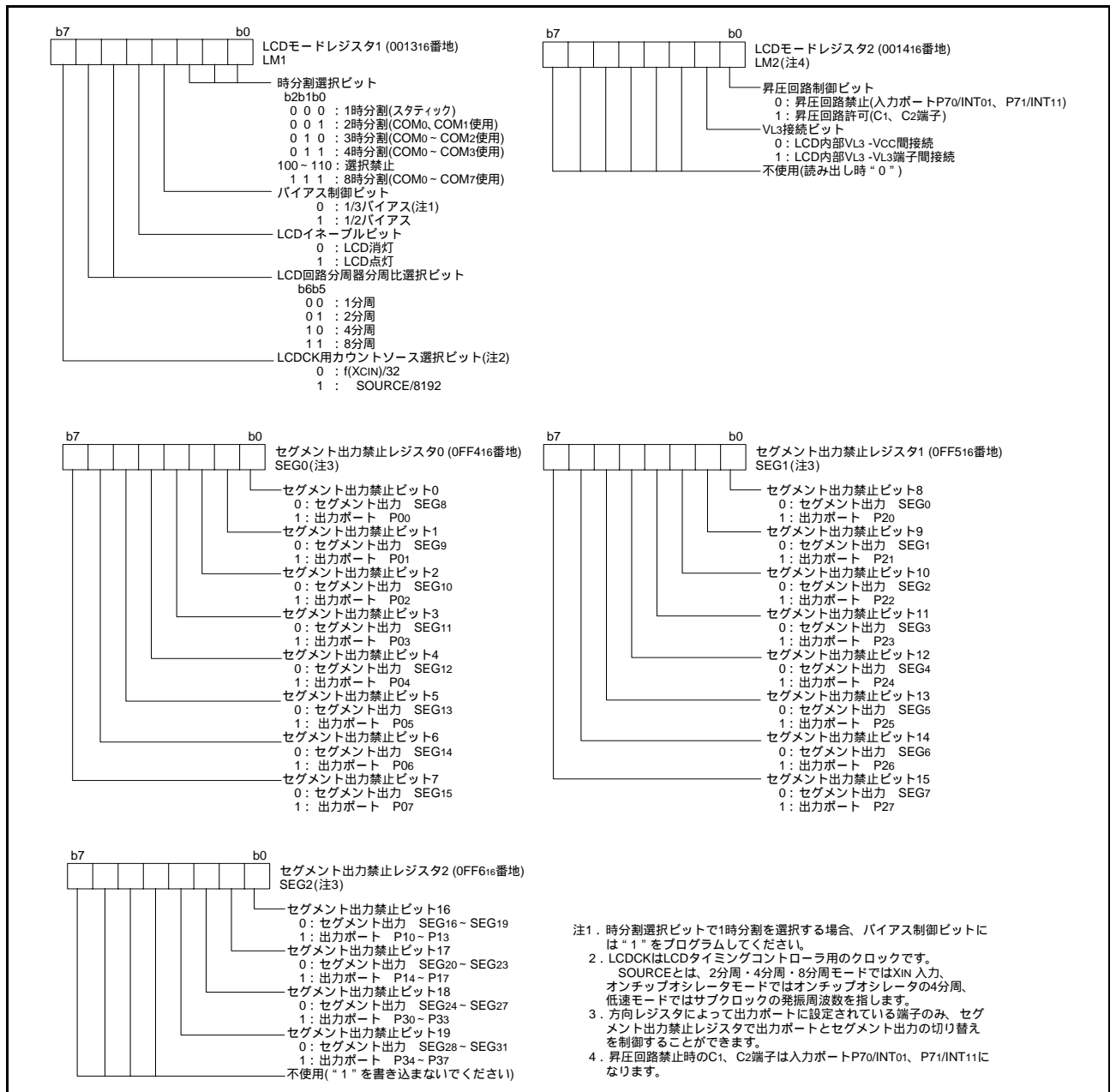


図43. LCD関係レジスタの構成

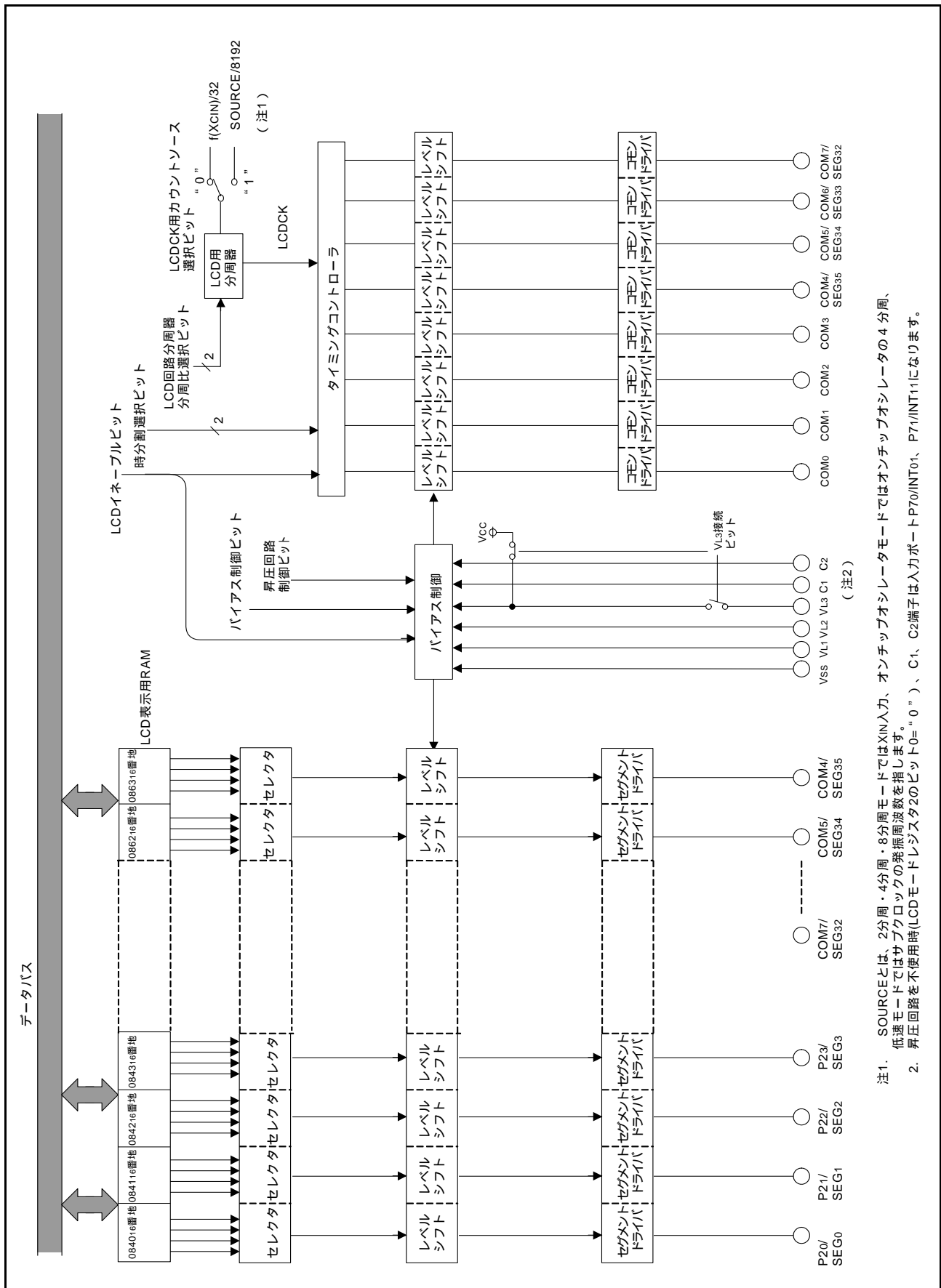


図44. LCDコントローラ/ドライバのブロック図

注1. SOURCEとは、2分周・4分周・8分周モードではXIN入力、オンチップオシレータモードではオンチップオシレータの4分周、低速モードではサブブロックの発振周波数を指します。
 注2. 昇圧回路を不使用時(LCDモードレジスタ2のビット0="0")、C1、C2端子は入力ポートP70(INT01、P71/INT11)になります。

昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。

昇圧回路を動作させるにはセグメント出力禁止レジスタ0、1、2とLCDモードレジスタ1、2によりセグメント/ポートの選択と時分割選択、バイアス制御選択、LCD回路分周器分周比選択、LCDCK用カウンソース選択を行った後にVL3接続ビット(LCDモードレジスタ2のビット1)を“1”(開放)に設定し、昇圧回路制御ビット(LCDモードレジスタ2のビット0)を“1”(昇圧回路許可)に設定してください。

昇圧回路を動作させた場合、VL1端子に電圧を入力すると、VL2端子にVL1の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

昇圧回路の制御は昇圧回路制御ビット(LCDモードレジスタ2のビット0)で行います。

なお、昇圧回路使用時は、VL1端子に1.3V以上2.1V以下の電圧を印加後に、昇圧回路制御ビットを“1”(昇圧回路許可)に設定してください。

昇圧回路を使用しない場合はVL3接続ビットを“1”(開放)に設定し、LCD用電源入力端子(VL1 ~ VL3)に適当な電圧を印加してください。VL3接続ビットが開放に設定されているときは、VL3端子はハイインピーダンス状態です。

昇圧回路使用時は、LCDCKの周波数を100Hz以上にしてください。また、LCDCKにオンチップオシレータは使用できません。

昇圧回路を使用するシステム(C1端子 C2端子間に昇圧用コンデンサを外付け)では、昇圧回路制御ビットを“1”(昇圧回路許可)にしてからSTP命令、WIT命令を実行してください。

バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1 ~ VL3)には、バイアス値に従って、表12に示す電圧値を印加してください。昇圧回路を使用しない場合、VL3接続ビット(LCDモードレジスタ2のビット1)を“1”にし、バイアス値に従って表12に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタ1のビット3)で選択してください。

表12. バイアス制御とVL1 ~ VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注. VLCDはLCDパネルへの供給電圧の最大値

コモン端子と時分割制御

コモン端子(COM0 ~ COM7)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタ1のビット0、ビット1、ビット2)で選択してください。リセット解除時コモン端子からVCCの電圧が出力されます。

表13. 時分割制御と使用コモン端子

時分割数	時分割選択ビット			使用コモン端子名
	ビット2	ビット1	ビット0	
1	0	0	0	COM0
2	0	0	1	COM0、COM1
3	0	1	0	COM0 ~ COM2
4	0	1	1	COM0 ~ COM3
8	1	1	1	COM0 ~ COM7

注. 使用しないコモン端子は不選択波形を出力します。

セグメント信号出力端子

セグメント信号出力端子(SEG0 ~ SEG31)は、ポートP0 ~ P3と兼用になっています。これらの端子をセグメント信号出力端子として使用するときは、対応する端子の方向レジスタを“1”にセットし、セグメント出力禁止レジスタを“0”にクリアします。

また、これらの端子はリセット解除後入力ポートに設定され、プルアップ抵抗によりVCCの電圧が出力されます。

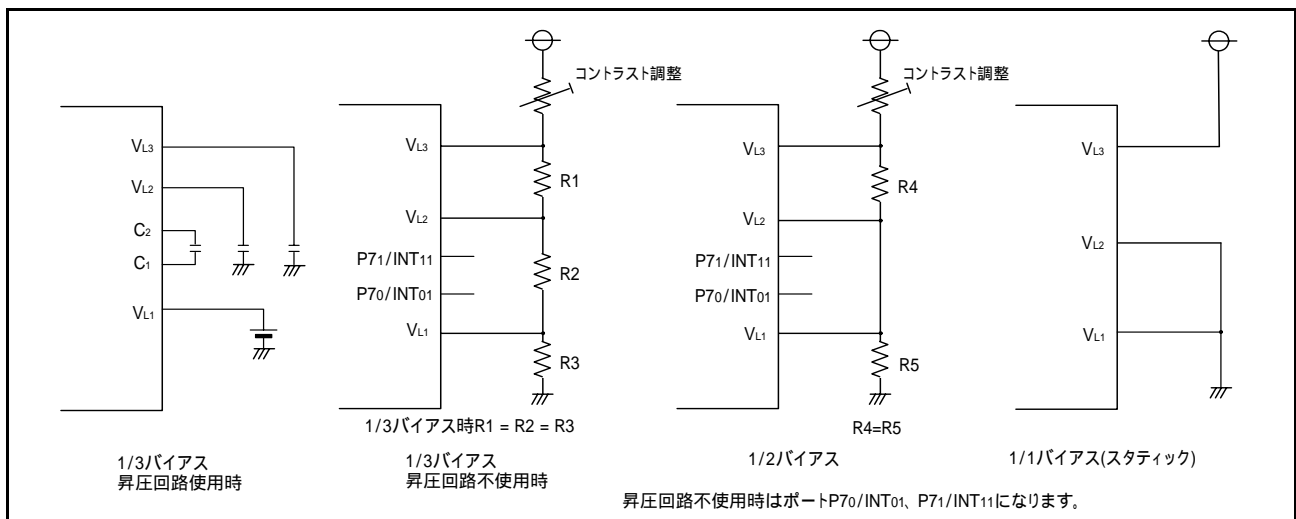


図45. 各バイアス時の回路例(外部電源入力時)

LCD表示用RAM

0840₁₆番地から0863₁₆番地までの36バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{\text{LCDCK用カウントソース周波数}}{\text{LCD用分周器分周比}}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

注意事項

- (1) STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ1(0013₁₆番地)のビット4)が“0”になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビットを“1”にしてください。
- (2) VL3がVCCと等しい電圧でLCD駆動制御回路を使用する場合には、VL3端子にVCC電圧を印加し、VL3接続ビット(LCDモードレジスタ2(0014₁₆番地)のビット1)に“1”を書き込んでください。

4COM × 36SEG時												8COM × 32SEG時															
ビット													ビット														
アドレス	7	6	5	4	3	2	1	0						アドレス	7	6	5	4	3	2	1	0					
0840 ₁₆								SEG0					0840 ₁₆								SEG0						
0841 ₁₆								SEG1					0841 ₁₆								SEG1						
0842 ₁₆								SEG2					0842 ₁₆								SEG2						
0843 ₁₆								SEG3					0843 ₁₆								SEG3						
0844 ₁₆								SEG4					0844 ₁₆								SEG4						
0845 ₁₆								SEG5					0845 ₁₆								SEG5						
0846 ₁₆								SEG6					0846 ₁₆								SEG6						
0847 ₁₆								SEG7					0847 ₁₆								SEG7						
0848 ₁₆								SEG8					0848 ₁₆								SEG8						
0849 ₁₆								SEG9					0849 ₁₆								SEG9						
084A ₁₆								SEG10					084A ₁₆								SEG10						
084B ₁₆								SEG11					084B ₁₆								SEG11						
084C ₁₆								SEG12					084C ₁₆								SEG12						
084D ₁₆								SEG13					084D ₁₆								SEG13						
084E ₁₆								SEG14					084E ₁₆								SEG14						
084F ₁₆	未使用 (通常RAMとして使用可能)							SEG15					084F ₁₆								SEG15						
0850 ₁₆								SEG16					0850 ₁₆								SEG16						
0851 ₁₆								SEG17					0851 ₁₆								SEG17						
0852 ₁₆								SEG18					0852 ₁₆								SEG18						
0853 ₁₆								SEG19					0853 ₁₆								SEG19						
0854 ₁₆								SEG20					0854 ₁₆								SEG20						
0855 ₁₆								SEG21					0855 ₁₆								SEG21						
0856 ₁₆								SEG22					0856 ₁₆								SEG22						
0857 ₁₆								SEG23					0857 ₁₆								SEG23						
0858 ₁₆								SEG24					0858 ₁₆								SEG24						
0859 ₁₆								SEG25					0859 ₁₆								SEG25						
085A ₁₆								SEG26					085A ₁₆								SEG26						
085B ₁₆								SEG27					085B ₁₆								SEG27						
085C ₁₆								SEG28					085C ₁₆								SEG28						
085D ₁₆								SEG29					085D ₁₆								SEG29						
085E ₁₆								SEG30					085E ₁₆								SEG30						
085F ₁₆	SEG31					085F ₁₆								SEG31													
0860 ₁₆								未使用 (通常RAMとして使用可能)					0860 ₁₆														
0861 ₁₆													0861 ₁₆														
0862 ₁₆													0862 ₁₆														
0863 ₁₆													0863 ₁₆														
					COM3	COM2	COM1	COM0						COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0						

図46. LCD表示用RAMマップ

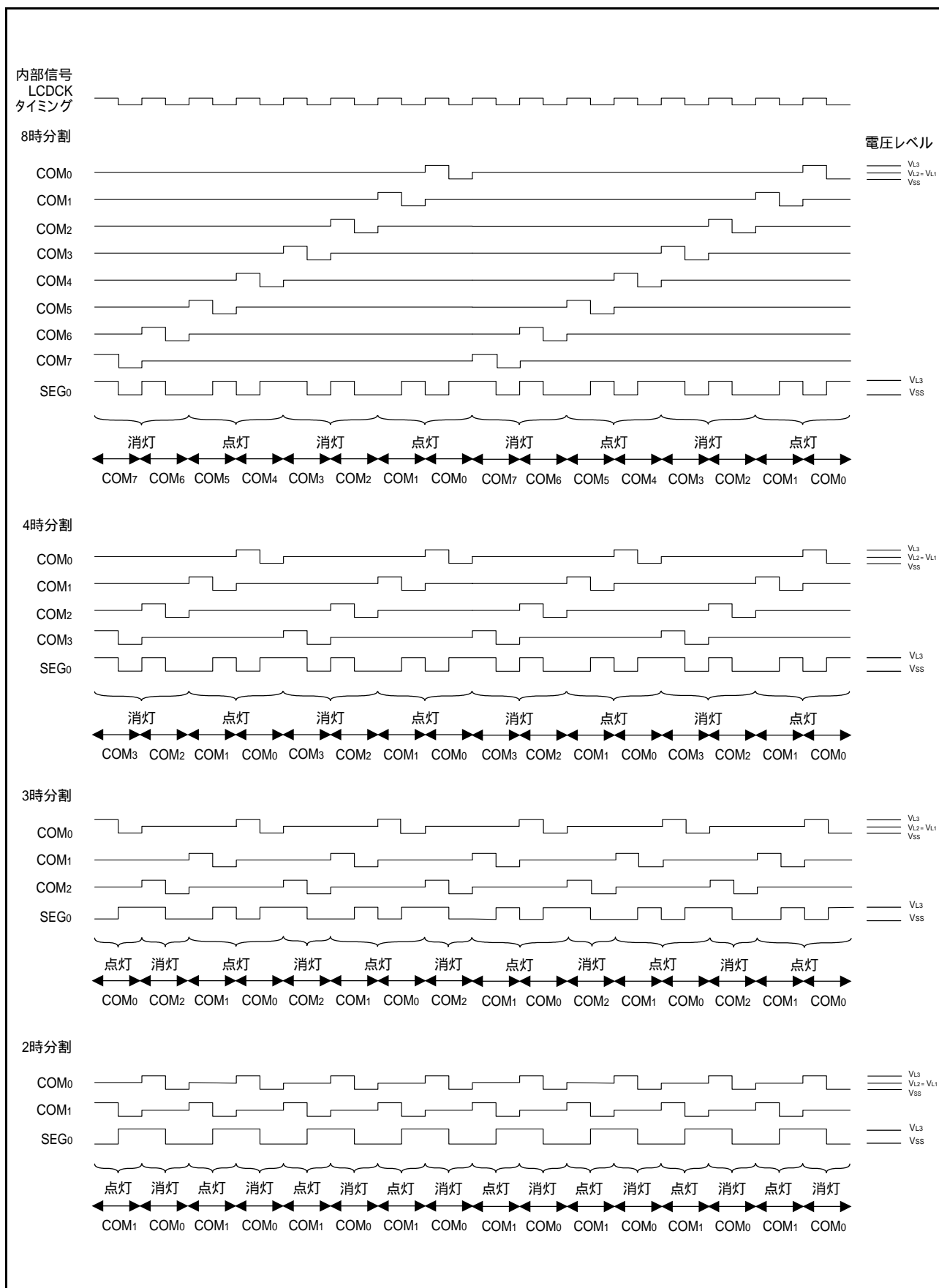


図47. LCD駆動波形 (1/2バイアスの場合)

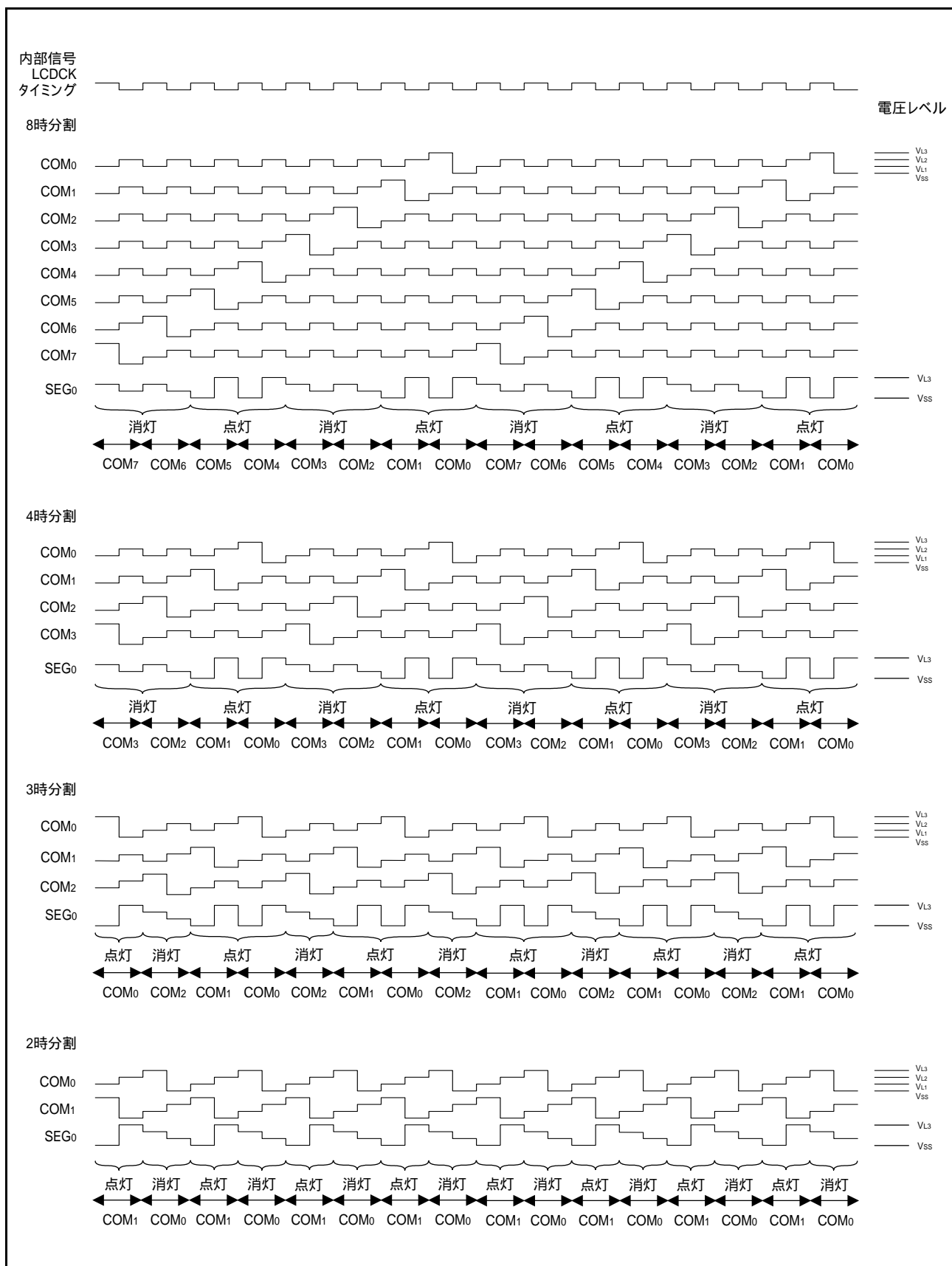


図48. LCD駆動波形 (1/3バイアスの場合)

ROM訂正機能

ROM内のプログラムの一部を訂正することができます。訂正したい部分の先頭アドレス(先頭命令のオペコードのアドレス)をROM訂正アドレス上位レジスタ、下位レジスタに設定します。プログラム実行時、プログラムカウンタの値がROM訂正アドレスレジスタに設定した値と一致すると、ROM訂正用ベクトルに分岐します。訂正プログラムを訂正用ベクトルに設定しておくことにより、この訂正プログラムを実行することができます。訂正プログラムからメインプログラムへの復帰には、JMP命令(3バイト命令)を使用してください。

訂正できる部分は2箇所までで、ROM訂正用ベクトルは2ベクトルあります。また、ROM訂正用メモリ選択ビットにより、ROM訂正用ベクトルをRAM領域又はROM領域から選択できます。

	RAM領域RC2=0	ROM領域RC2=1
ベクトル1	0100 ₁₆ 番地	F100 ₁₆ 番地
ベクトル2	0120 ₁₆ 番地	F120 ₁₆ 番地

ROM訂正機能はROM訂正アドレス1許可ビット、ROM訂正アドレス2許可ビットによって制御されます。

ROM訂正機能を使用しない場合、ROM訂正用ベクトルは、通常のRAM/ROMとして使用できます。通常のRAM/ROMとして使用する場合は、必ずROM訂正許可レジスタのビット1、0を“0”(使用禁止)にしてください。

注意事項

- (1) ROM訂正機能を使用する場合は必ず、ROM訂正アドレスレジスタを設定後にROM訂正アドレス許可ビットを許可にしてください。
- (2) ROM訂正アドレスレジスタにはROM領域以外のアドレスを設定しないでください。
また、ROM訂正アドレス1レジスタ、ROM訂正アドレス2レジスタには、同一のアドレスを設定しないでください。
- (3) あらかじめ、ROM訂正用処理をプログラムにいらしておく必要があります。

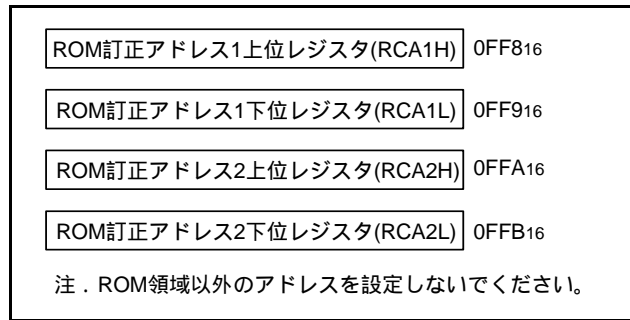


図49. ROM訂正アドレスレジスタ

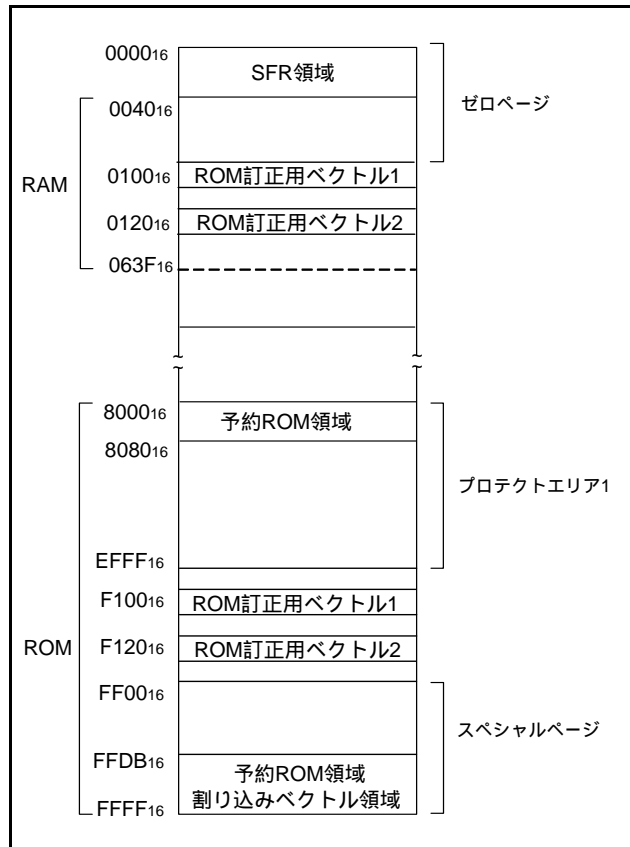


図50. M38D58G8の場合のメモリ配置図

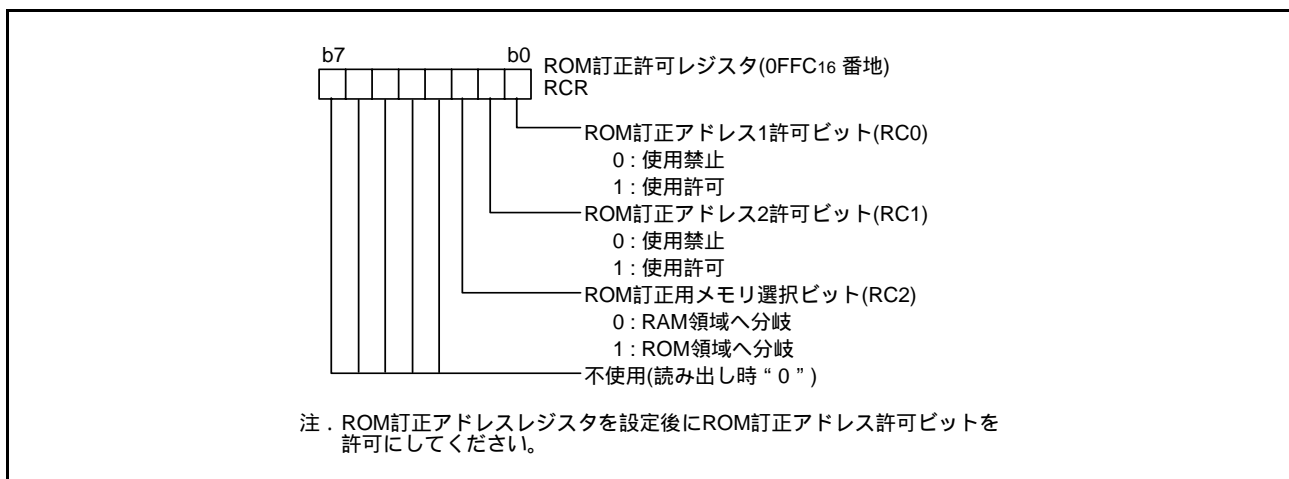


図51. ROM訂正許可レジスタ

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのカウンタで構成されます。

ウォッチドッグタイマの初期値

リセット時又はウォッチドッグタイマ制御レジスタへの書き込みにより、ウォッチドッグタイマは“FF16”にセットされます。書き込みのための命令はSTA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。書き込みデータはビット7とビット6およびビット5以外は意味がなく、無関係に上記の値がセットされます。

ビット7～ビット5はリセット後、1度だけ書き込みが可能です。書き込み後は、ロックされるため、書き換えはできません。これらのビットはリセット後“0”になります。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタへの書き込みによりダウンカウントを開始します。ウォッチドッグタイマがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセットが解除され、リセットベクトル番地からプログラムを実行します。通常はウォッチドッグタイマがアンダフローする前に、ウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位5ビットのカウンタとカウントソース選択ビット2(ビット5)の値とSTP命令機能選択ビット(ビット6)の値と、カウントソース選択ビット(ビット7)の値が読み込まれます。

ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します(注1)。
なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマレジスタがアンダフローするまでの時間を以下に示します。(ウォッチドッグタイマ制御レジスタのビット7が“0”の場合)

- XINモード時 (f(XIN)=8MHz) ・ ・ 32.768ms
- 低速モード時 (f(XCIN)=32kHz) ・ ・ 8.19s

注意事項

- (1) ストップモード時、ウォッチドッグタイマは動作しませんが、ストップ解除の待ち時間(タイマ1及びタイマ2で設定した時間)とウェイトモード時はウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
- (2) ウォッチドッグタイマカウントソース選択ビット2でオンチップオシレータを選択した場合、オンチップオシレータは強制的に発振し停止することはできません。また、このときSTP命令機能選択ビットは“1”にしてください。
オンチップオシレータを停止するシステムでは、ウォッチドッグタイマカウントソース選択ビット2は“0”(φSOURCE)を選択してください。

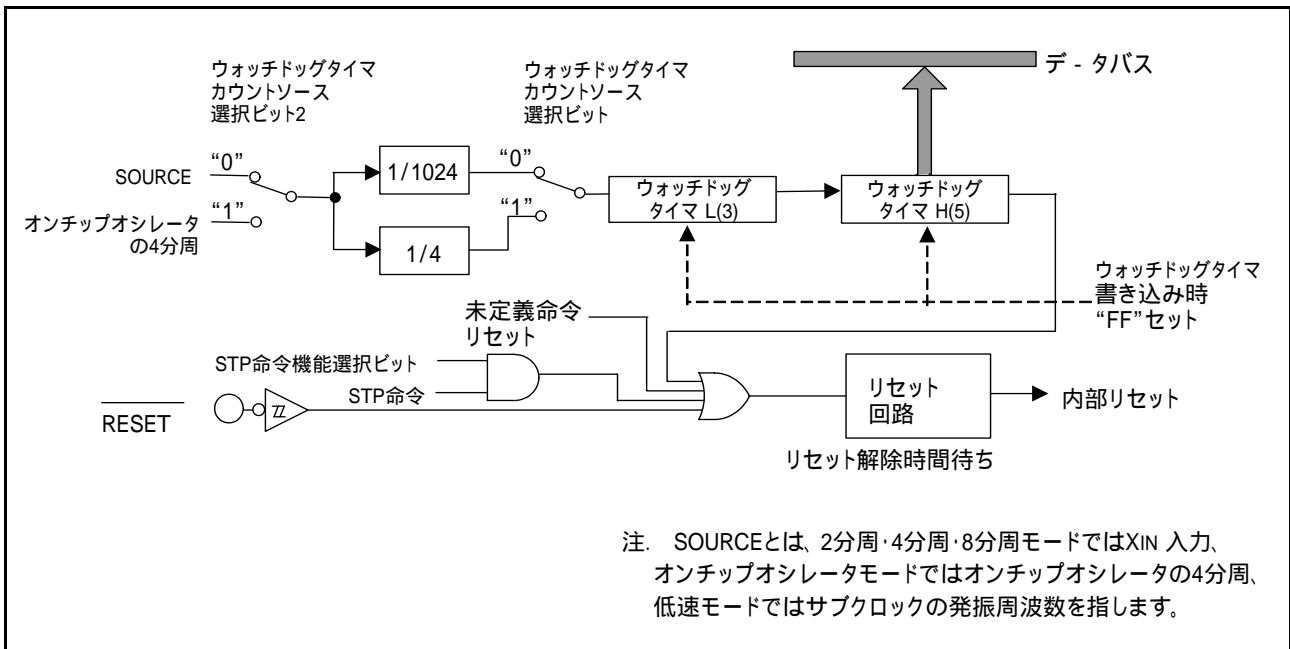


図52. ウォッチドッグタイムのブロック図

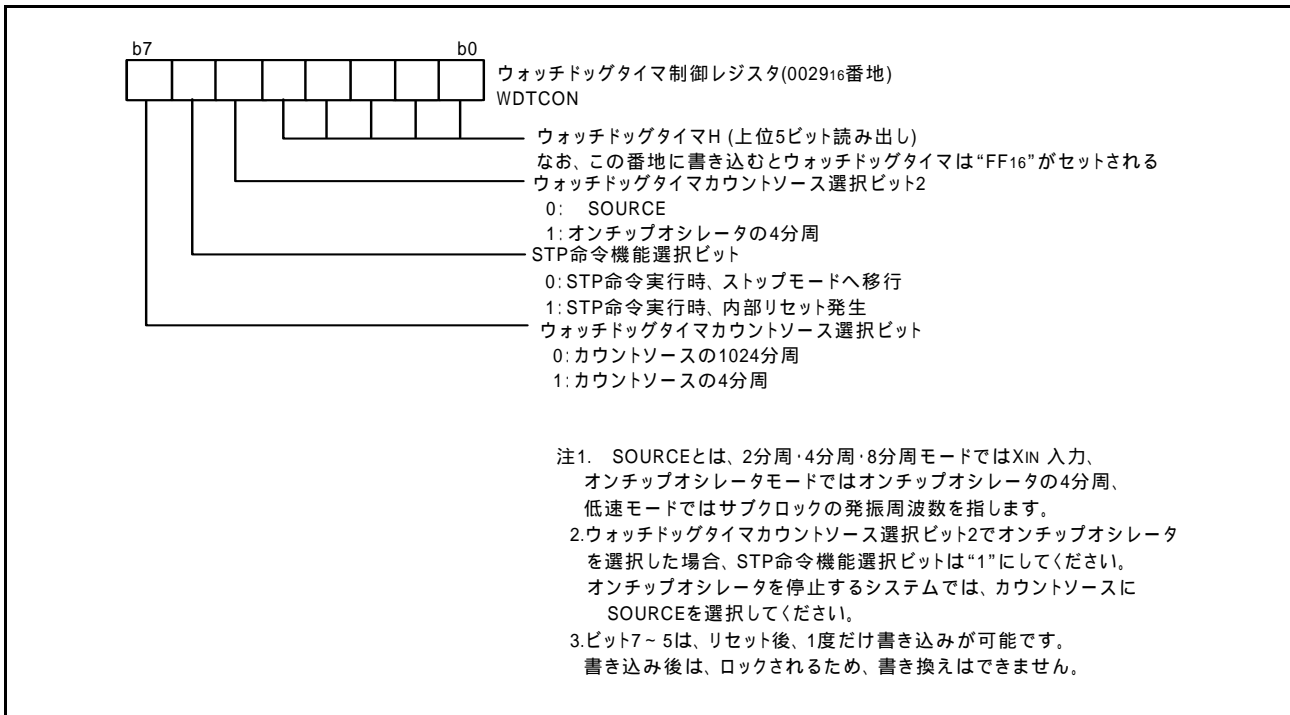


図53. ウォッチドッグタイム制御レジスタの構成

クロック出力機能

入出力ポートP7₂からシステムクロックを出力することができます。クロック出力制御レジスタ(0FF3₁₆番地)とタイマ12モードレジスタ(0025₁₆番地)のタイマ2出力選択ビット(ビット6)により、入出力ポートとタイマ2出力機能とシステムクロック出力機能のトリプルファンクション制御を行います。

入出力ポートP7₂からシステムクロックを出力するためには、タイマ2出力選択ビットを“1”に設定し、かつクロック出力制御レジスタのP7₂クロック出力制御ビットを“01”に設定する必要があります。また、サブクロックXCINの発振周波数と同じ信号を出力するためには、P7₂クロック出力制御ビットを“10”に設定します。クロック出力機能を選択した場合、ポートP7₂の方向レジスタが出力に設定されている間クロックが出力されます。

P7₂は、タイマ2出力選択ビットを書き換えた次のサイクルで、ポート出力とポート以外の出力(タイマ2出力、又はクロック出力)が切り替わります。

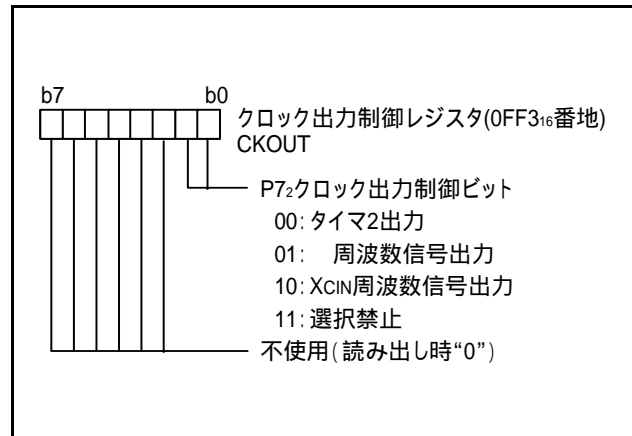


図54. クロック出力制御レジスタの構成

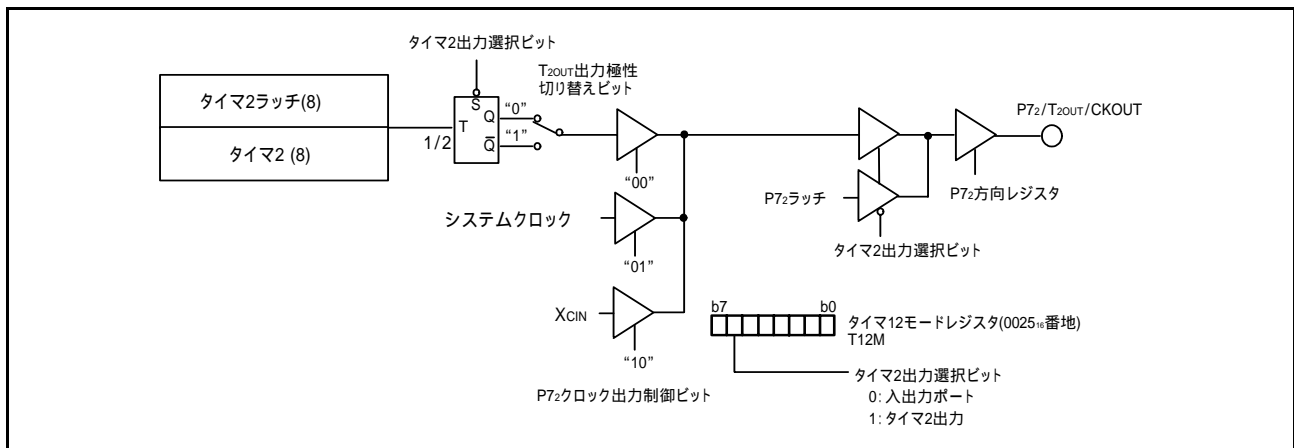


図55. クロック出力機能のブロック図

その他の機能レジスタ

【RRFレジスタ】RRFR

0012₁₆番地は制御機能を持たない18ビットのレジスタで、このレジスタに書き込んだ値は、上位4ビットと下位4ビットが入れ替わります。このレジスタはリセット後に初期化されます。

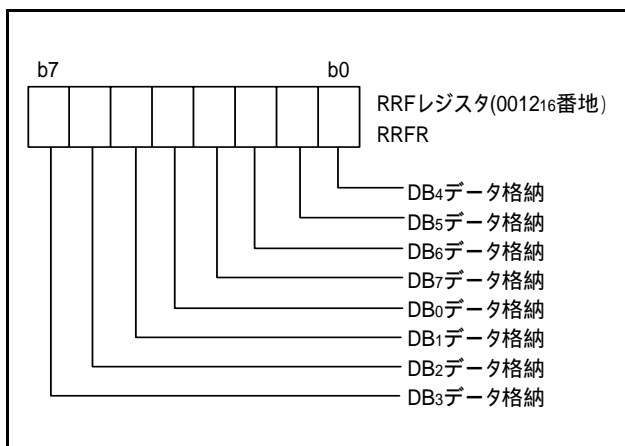


図56. RRFレジスタの構成

リセット回路

38D5グループは、電源電圧がVcc (min.) ~ 5.5Vの範囲にあるとき、RESET端子を2μs以上“L”レベルに保った後“H”レベルに戻すとリセット解除され、FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧がVcc(min.)を通過する時点でVIL規格を満たすようにしてください。

フラッシュメモリ版は下記の手順でRESET端子に入力してください。

電源が安定している場合

- (1) RESET端子に2μs以上“L”を入力する
- (2) RESET端子に“H”を入力する

電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を2.7Vまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ
- (4) RESET端子に“H”を入力する

QzROM版は、RESET端子が“L”から“H”になったとき、OSCSEL端子の入力レベルを判定します。

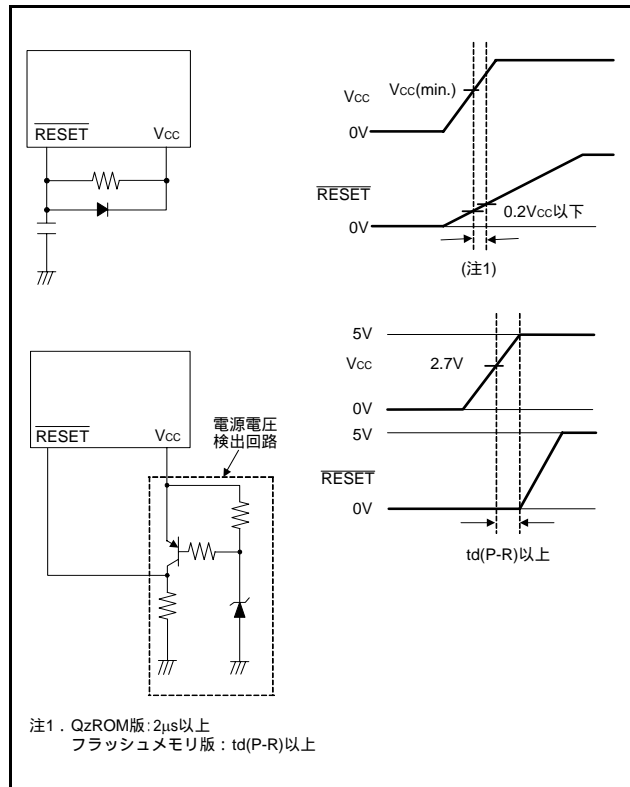


図57. リセット回路図

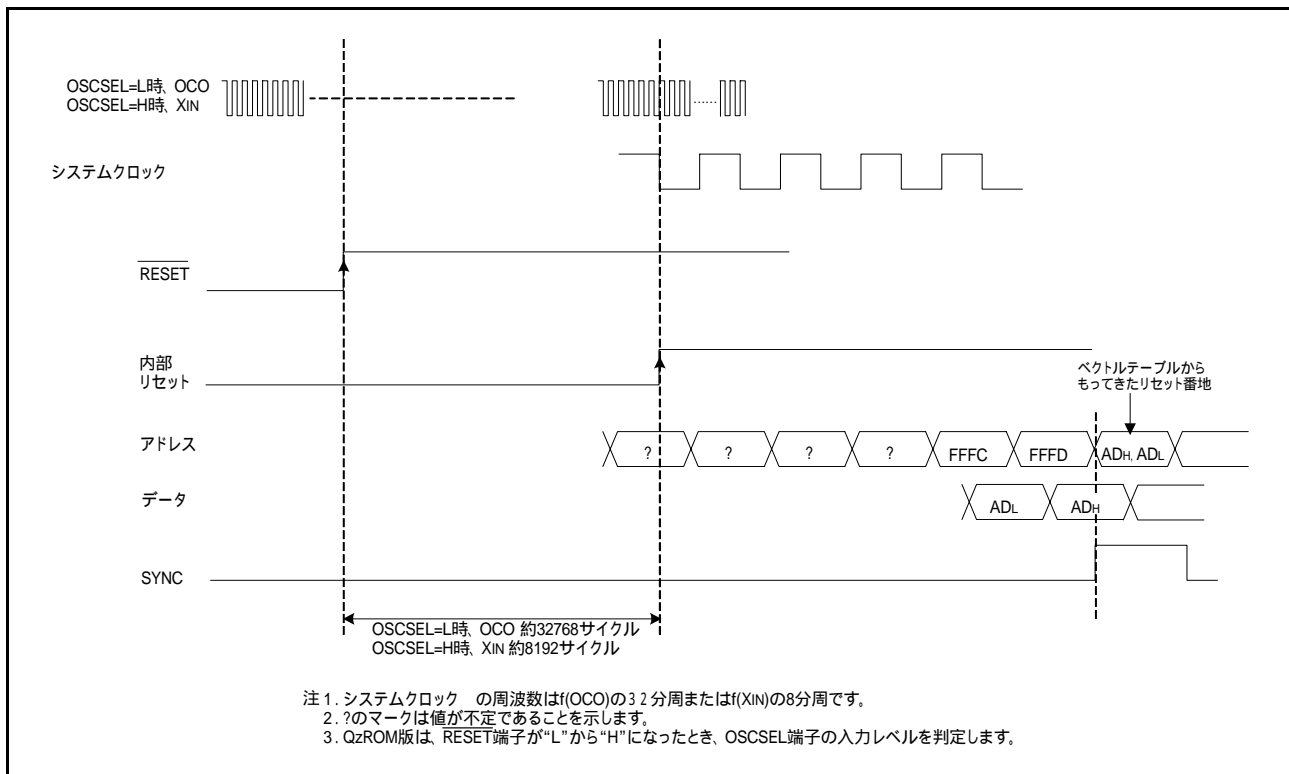


図58. リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(36) タイマX(下位)	002A ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(37) タイマX(上位)	002B ₁₆	FF ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(38) タイマX(拡張)	002C ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(39) タイマXモードレジスタ	002D ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(40) タイマX制御レジスタ1	002E ₁₆	00 ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(41) タイマX制御レジスタ2	002F ₁₆	00 ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(42) コンペアレジスタ1(下位)	0030 ₁₆	00 ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(43) コンペアレジスタ1(上位)	0031 ₁₆	00 ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(44) コンペアレジスタ2(下位)	0032 ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(45) コンペアレジスタ2(上位)	0033 ₁₆	00 ₁₆
(11) ポートP5	000A ₁₆	00 ₁₆	(46) コンペアレジスタ3(下位)	0034 ₁₆	00 ₁₆
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(47) コンペアレジスタ3(上位)	0035 ₁₆	00 ₁₆
(13) ポートP6	000C ₁₆	00 ₁₆	(48) タイマY(下位)	0036 ₁₆	FF ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(49) タイマY(上位)	0037 ₁₆	FF ₁₆
(15) ポートP7	000E ₁₆	00 ₁₆	(50) タイマYモードレジスタ	0038 ₁₆	00 ₁₆
(16) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(51) タイマY制御レジスタ	0039 ₁₆	00 ₁₆
(17) CPUモードレジスタ2	0011 ₁₆	0 0 0 0 0 0 0 0 *	(52) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(18) RRFレジスタ	0012 ₁₆	00 ₁₆	(53) CPUモードレジスタ	003B ₁₆	* 1 * 0 0 0 0 0 0
(19) LCDモードレジスタ1	0013 ₁₆	00 ₁₆	(54) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(20) LCDモードレジスタ2	0014 ₁₆	00 ₁₆	(55) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(21) AD制御レジスタ	0015 ₁₆	08 ₁₆	(56) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(22) シリアルI/O1ステータスレジスタ	0019 ₁₆	1 0 0 0 0 0 0 0 0	(57) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(23) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆	(58) PULLレジスタ1	0FF0 ₁₆	00 ₁₆
(24) UART制御レジスタ	001B ₁₆	1 1 1 0 0 0 0 0 0	(59) PULLレジスタ2	0FF1 ₁₆	00 ₁₆
(25) シリアルI/O2制御レジスタ	001D ₁₆	00 ₁₆	(60) PULLレジスタ3	0FF2 ₁₆	00 ₁₆
(26) タイマ1	0020 ₁₆	FF ₁₆	(61) クロック出力制御レジスタ	0FF3 ₁₆	00 ₁₆
(27) タイマ2	0021 ₁₆	01 ₁₆	(62) セグメント出力禁止レジスタ0	0FF4 ₁₆	FF ₁₆
(28) タイマ3	0022 ₁₆	FF ₁₆	(63) セグメント出力禁止レジスタ1	0FF5 ₁₆	FF ₁₆
(29) タイマ4	0023 ₁₆	FF ₁₆	(64) セグメント出力禁止レジスタ2	0FF6 ₁₆	0F ₁₆
(30) PWM01レジスタ	0024 ₁₆	00 ₁₆	(65) キー入力制御レジスタ	0FF7 ₁₆	00 ₁₆
(31) タイマ12モードレジスタ	0025 ₁₆	00 ₁₆	(66) ROM訂正アドレス1上位(上位)	0FF8 ₁₆	00 ₁₆
(32) タイマ34モードレジスタ	0026 ₁₆	00 ₁₆	(67) ROM訂正アドレス1下位(下位)	0FF9 ₁₆	00 ₁₆
(33) タイマ1234モードレジスタ	0027 ₁₆	00 ₁₆	(68) ROM訂正アドレス2上位(上位)	0FFA ₁₆	00 ₁₆
(34) タイマ1234分周選択レジスタ	0028 ₁₆	00 ₁₆	(69) ROM訂正アドレス2下位(下位)	0FFB ₁₆	00 ₁₆
(35) ウォッチドッグタイマ制御レジスタ	0029 ₁₆	0 0 0 1 1 1 1 1 1	(70) ROM訂正許可レジスタ	0FFC ₁₆	00 ₁₆
			(71) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
			(72) プログラムカウンタ	(PC _H)	FFF ₁₆ 番地の内容
				(PC ₂)	FFFC ₁₆ 番地の内容

注. x: 不定です。
 *: QzROM版では、OSCSSELの設定による。
 フラッシュメモリ版では、CPUモードレジスタ2(0011₁₆番地)は“00₁₆”
 CPUモードレジスタ(003B₁₆番地)は“E0₁₆”です。
 上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図59. リセット時の内部状態

クロック発生回路

メインクロック X_{IN} と X_{OUT}、及びサブクロック X_{CIN} と X_{COU}Tの端子間に発振子、及び容量、抵抗などを接続することにより発振回路を形成することができます。

外部からクロックを供給する場合は X_{IN} 端子に入力し、X_{OUT} 端子は開放にします。X_{CIN} へは外部からクロックを入力できません。発振回路の各定数は共振子により異なりますので、発振子メーカーの推奨値をご使用ください。

X_{IN}-X_{OUT} 端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。X_{CIN}-X_{COU}T 間には帰還抵抗を内蔵していませんので、10MΩ 程度の帰還抵抗を付加してください。

QzROM 版では、OSCSEL 端子の状態によりリセット後の動作モードが決定します。

OSCSEL 端子を GND レベルにした場合、内蔵のオンチップオシレータのみが発振を開始します。X_{IN}-X_{OUT} の発振は停止状態、X_{CIN}-X_{COU}T 端子は入出力ポートとして機能します。動作モードはオンチップオシレータモードになります。フラッシュメモリ版も同様です。

OSCSEL 端子を V_{CC} レベルにした場合、X_{IN}-X_{OUT} のみが発振を開始します。内蔵のオンチップオシレータは停止状態、X_{CIN}-X_{COU}T 端子は入出力ポートとして機能します。動作モードは8分周モードになります。

なお、各モード時、下記に注意してください。

- X_{IN} モード
X_{IN}-X_{OUT} 発振停止ビットを“1”にしても、X_{IN}-X_{OUT} の発振は停止しません。
- 低速モード
ポート X_C 切り替えビットを“0”にすると、X_{CIN}-X_{COU}T の発振は停止します。
- オンチップオシレータモード
オンチップオシレータ停止ビットを“1”にしても、フラッシュメモリ版では、オンチップオシレータの発振は停止しませんが、QzROM 版では停止します。

動作モード

(1) オンチップオシレータモード

オンチップオシレータの発振を 32 分周したものがシステムクロック となります。

(2) X_{IN} モード

2分周モード、4分周モード、8分周モードをまとめて X_{IN} モードとよびます。

- 8分周モード
システムクロック は X_{IN} 入力の 8 分周信号です。
- 4分周モード
システムクロック は X_{IN} 入力の 4 分周信号です。
- 2分周モード
システムクロック は X_{IN} 入力の 2 分周信号です。

(3) 低速モード

システムクロック はサブクロック発振の 2 分周信号です。

リセット後、及びストップ状態からの復帰後の動作モードはフラッシュメモリ版ではオンチップオシレータモード、QzROM 版では OSCSEL 端子の状態に依存します。RESET 端子が“L”から“H”になったとき、及び STP 命令実行時に OSCSEL 端子の入力レベルを判定します。

各モードへの移行手順は、システムクロックの状態遷移図に従ってください。

X_{IN}-X_{OUT} 間の発振は CPUM のビット 5 で、サブクロックの発振はビット 4 で、オンチップオシレータの発振は CPUM2 のビット 0 で制御します。オンチップオシレータモードでは、発振子による発振を停止させることができます。低速モードでは X_{IN}-X_{OUT} 間の発振を停止し、消費電流を低減することができます。また、QzROM 版では低速モード時、オンチップオシレータ停止ビットの値に関わらず、オンチップオシレータは停止します。フラッシュメモリ版では停止しませんので、オンチップオシレータ停止ビットを“1”にして停止させてください。これらのモードから、停止させていた発振を再開し、動作モードを切り替える場合には、再開した発振の安定待ち時間をプログラムで生成し、十分に発振が安定してから切り替えてください。タイマのカウントソースを切り替える場合も発振が十分に安定してから切り替えてください。

注意事項

オンチップオシレータモード、X_{IN} モード、低速モードの各々の間を移行する場合、X_{IN} 側、X_{CIN} 側ともに発振が安定している必要があります。電源投入直後やストップモードからの復帰時は特に注意してください。モード間の移行はシステムクロックの状態遷移図に従ってください。また、f(X_{IN}) は f(X_{CIN}) の 3 倍以上の周波数としてください。X_{IN} モード時を使用しない (X_{IN}-X_{OUT} 間の発振や X_{IN} への外部クロック入力を行わない) 場合、X_{IN} は抵抗を介して V_{CC} に接続してください。

発振制御

(1) ストップモード

STP命令を実行するとシステムクロックが“H”の状態では停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1及びタイマ2にはあらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が自動的にロードされます。このため、STP命令実行前にタイマ1、タイマ2のラッチ（タイマ1には下位8ビット、タイマ2には上位8ビットを設定）には発振安定に必要な待ち時間を生成する値*を書き込んでおいてください。タイマ1のカウンタソースにはタイマ1用分周器が、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはビット7, 6以外すべて“0”にクリアされます。タイマ12分周選択レジスタの値は変化しません。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態（“0”）に設定してください。

*参考値

（ご使用の発振子やシステムに応じて決定してください）

- ・フラッシュメモリ版、QzROM版のOSCSEL=“L”時
.....0005₁₆以上
- ・QzROM版のOSCSEL=“H”時
.....01FF₁₆以上

外部割り込み要求が受け付けられると、QzROM版はOSCSEL端子の状態によって設定されたクロックの発振を開始します。復帰時の動作モードはOSCSEL端子の状態によって決まります。CPUMのビット3、5、6、7及びCPUM2のビット0は、OSCSEL端子の状態によって強制的に変化します。フラッシュメモリ版は、オンチップオシレータの発振を開始し、復帰時の動作モードはオンチップオシレータモードです。CPUMのビット3は“0”、ビット5、6、7は“1”、CPUM2のビット0は“0”に強制的に変化します。

システムクロックはタイマ2がアンダフロー後にCPUへ供給されますが、システムクロックをオンチップオシレータからメインクロック又はサブクロックへ切り替える場合は、それぞれの発振安定待ち時間をプログラムで生成し、発振が十分に安定してから切り替えてください。

(2) ウェイトモード

WIT命令を実行すると、システムクロックのみ“H”の状態では停止します。このときメインクロック、オンチップオシレータ及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後にシステムクロックの供給を開始するため、直ちに命令を実行することができます。

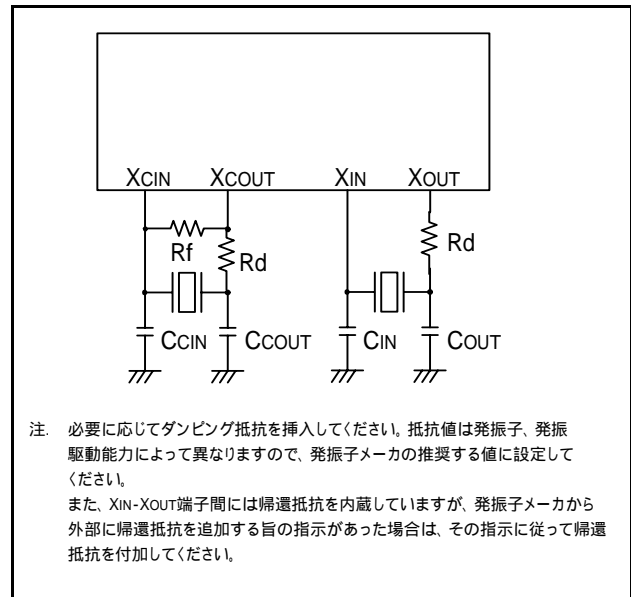


図60. セラミック共振子外付け回路例

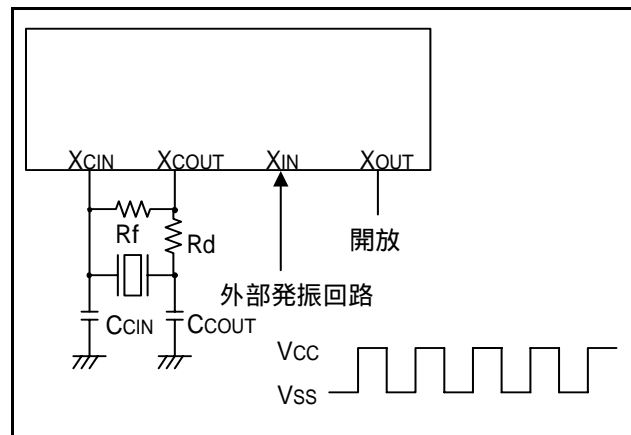


図61. 外部クロック入力回路

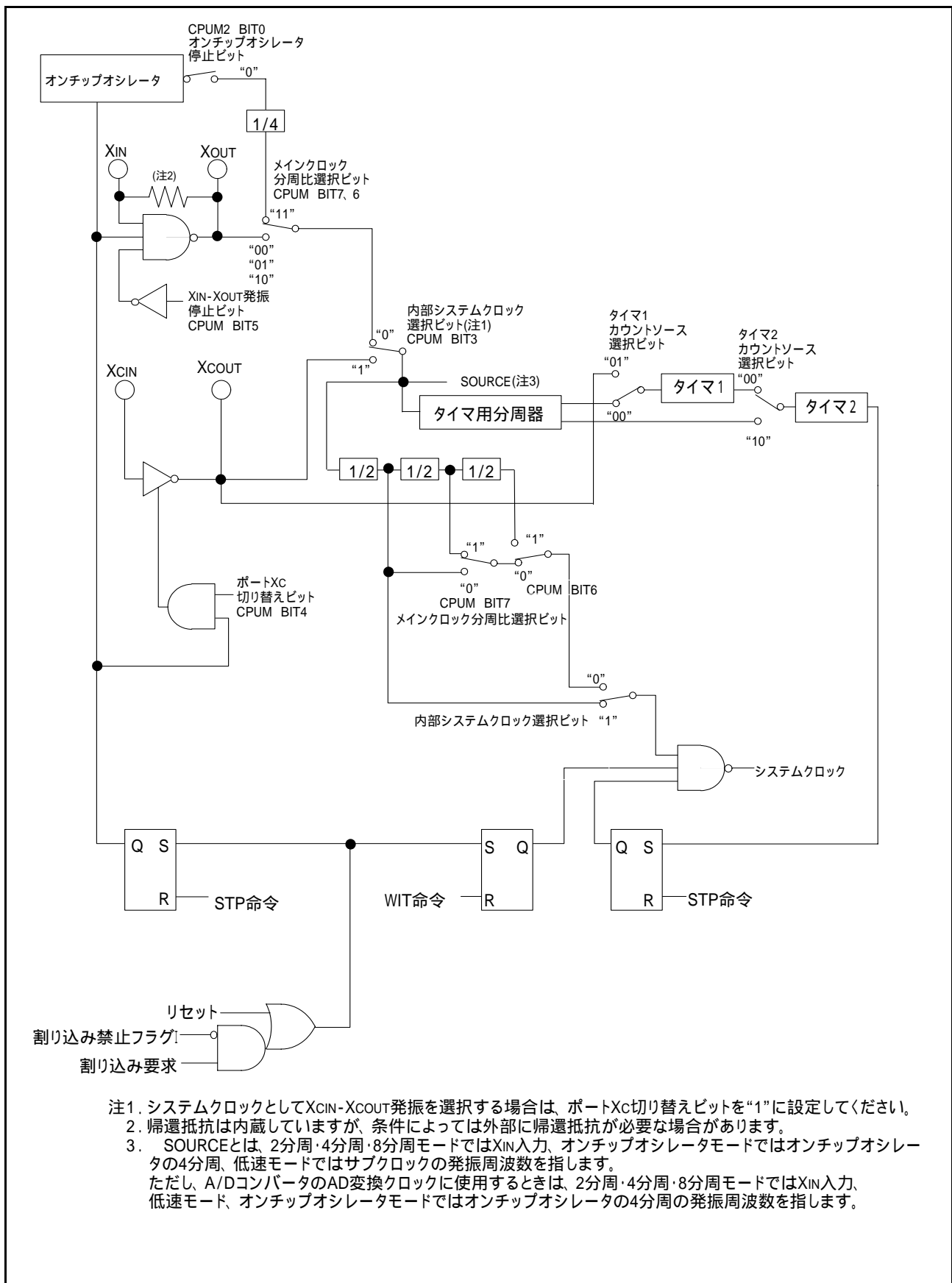


図62. クロック発生回路のブロック図

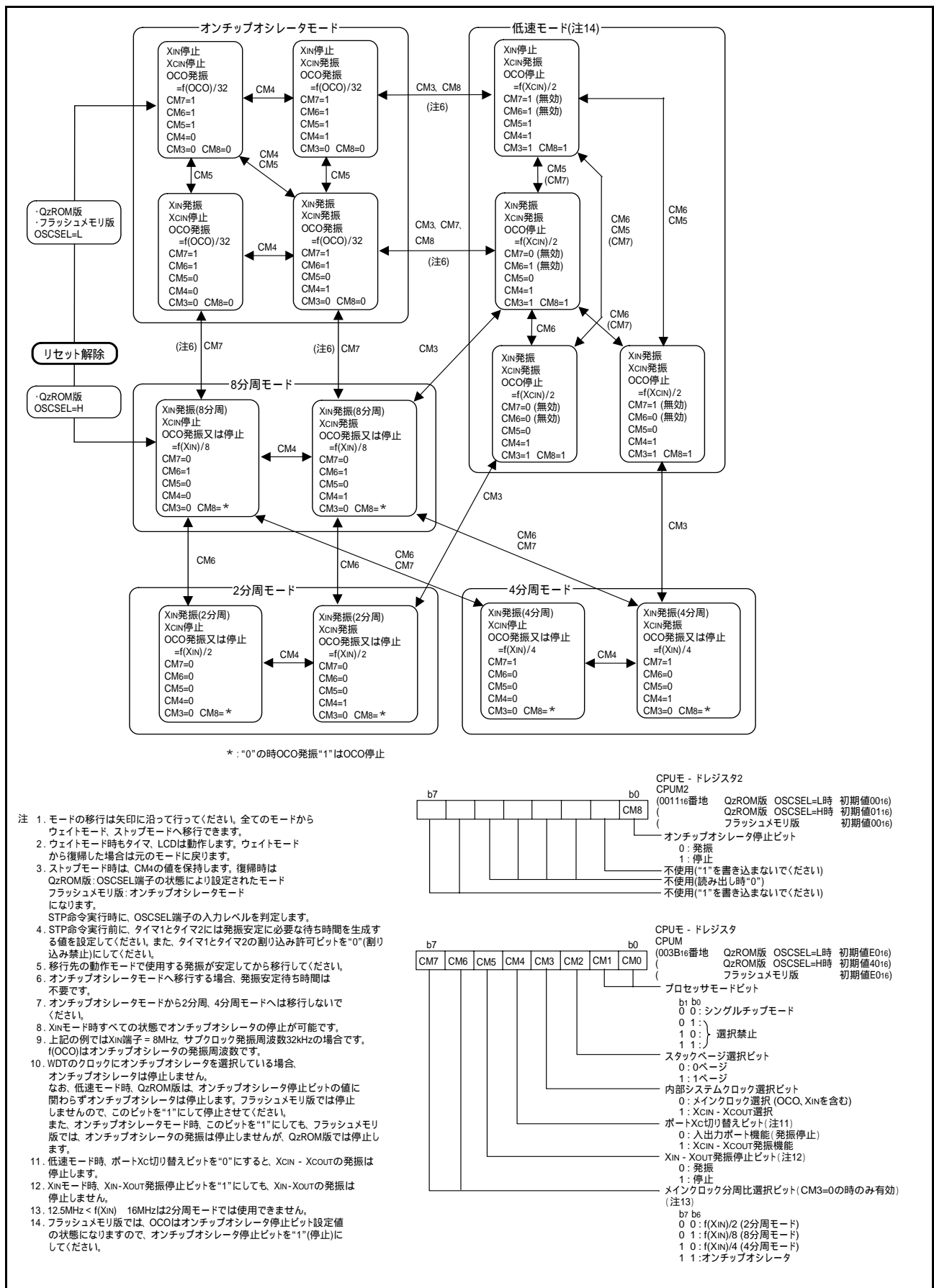


図63. システムクロックの状態遷移図

QzROM書き込みモード

QzROM書き込みモードでは、本マイコンに対応したシリアルプログラマを使用して、マイコンを基板に実装した状態で、ユーザROM領域に書き込むことができます。

表 14 に端子の機能説明 (QzROM書き込みモード) を、図 64、図 65 に端子結線図を示します。

シリアルプログラマとの接続例は、基板上の端子処理例 (図 66 ~ 図 69) を参照してください。シリアルプログラマについては、各メーカーにお問い合わせください。また、シリアルプログラマの操作方法については、シリアルプログラマのユーザーズマニュアルを参照してください。

表 14. 端子の機能説明 (QzROM書き込みモード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccに2.7 ~ 5.5V、Vssに0Vを印加してください。
RESET	リセット入力	入力	リセット入力端子です。 XINの16サイクル以上Lレベルに保つとリセット状態になります。
XIN	クロック入力	入力	シングルチップモード時と同じ端子処理にしてください。
XOUT	クロック出力	出力	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
AVss	アナログ電源入力	入力	Vssに接続してください。
P00 ~ P07 P10 ~ P17 P20 ~ P27 P33 ~ P37 P40、 P44 ~ P47 P50 ~ P57 P60 ~ P62 P72 ~ P74	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
P70、P71	入力ポート	入力	“H”を入力、“L”を入力、又は開放してください。
OSCSEL	VPP入力	入力	QzROMの電源入力端子です。
P41	ESDA入出力	入出力	シリアルデータの入出力端子です。
P42	ESCLK入力	入力	シリアルクロックの入力端子です。
P43	ESPGMB入力	入力	リード/プログラムパルス信号の入力端子です。

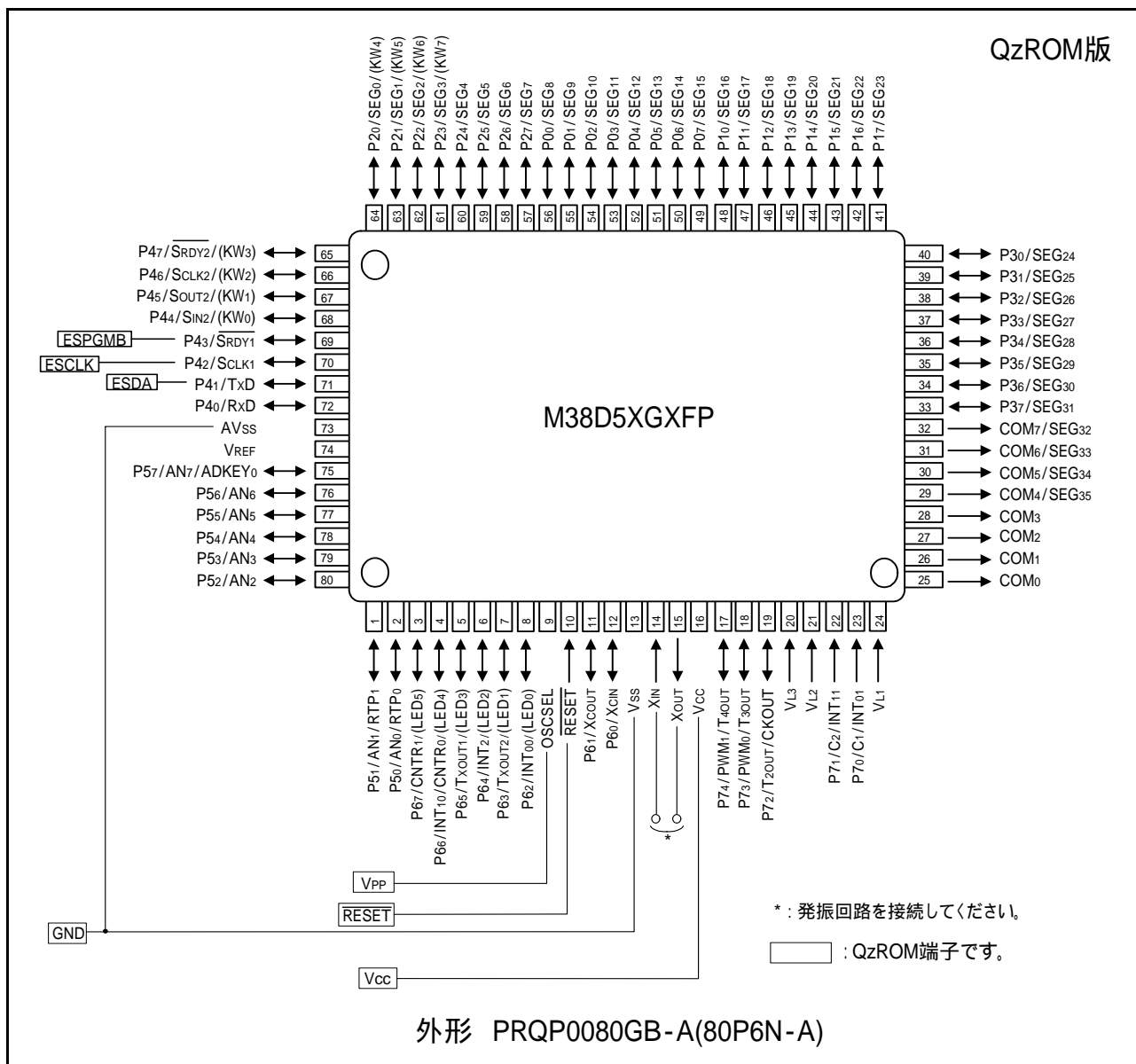


図64. 端子結線図 (M38D5XGAFP)

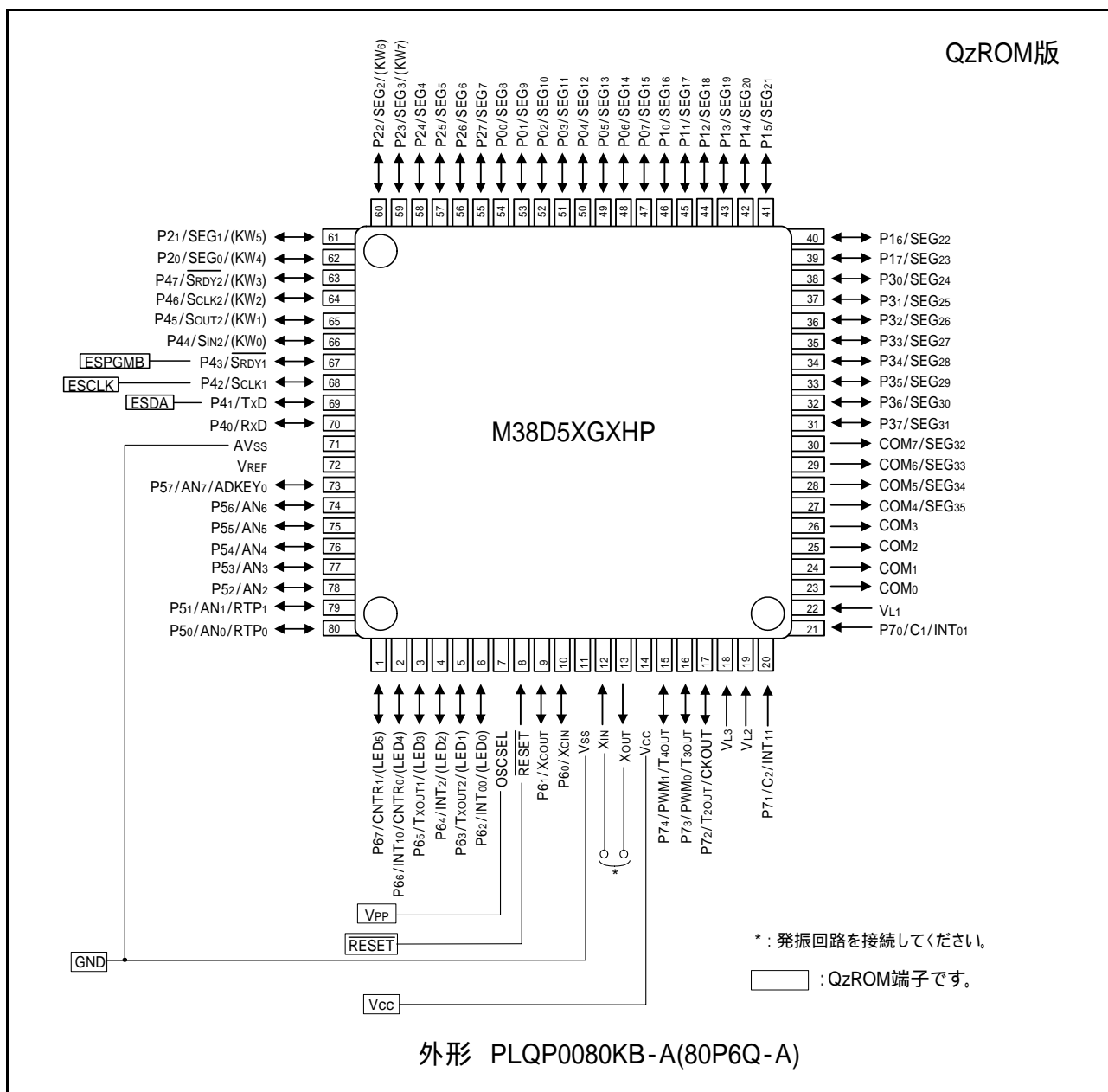


図65. 端子結線図 (M38D5XGXHP)

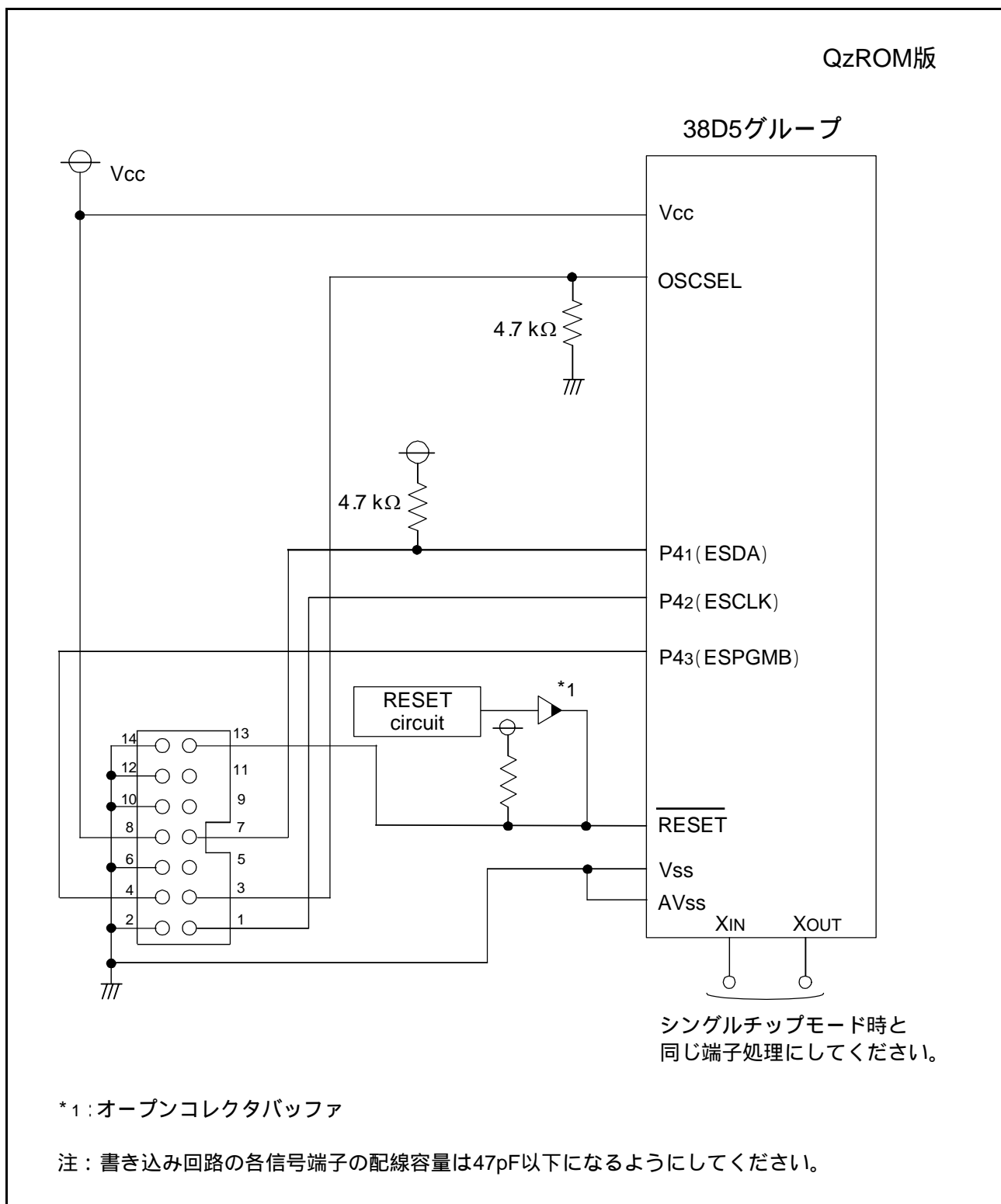


図66. E8プログラマ使用時の基板上の端子処理例1(OSCSEL= " L " のシステム例)

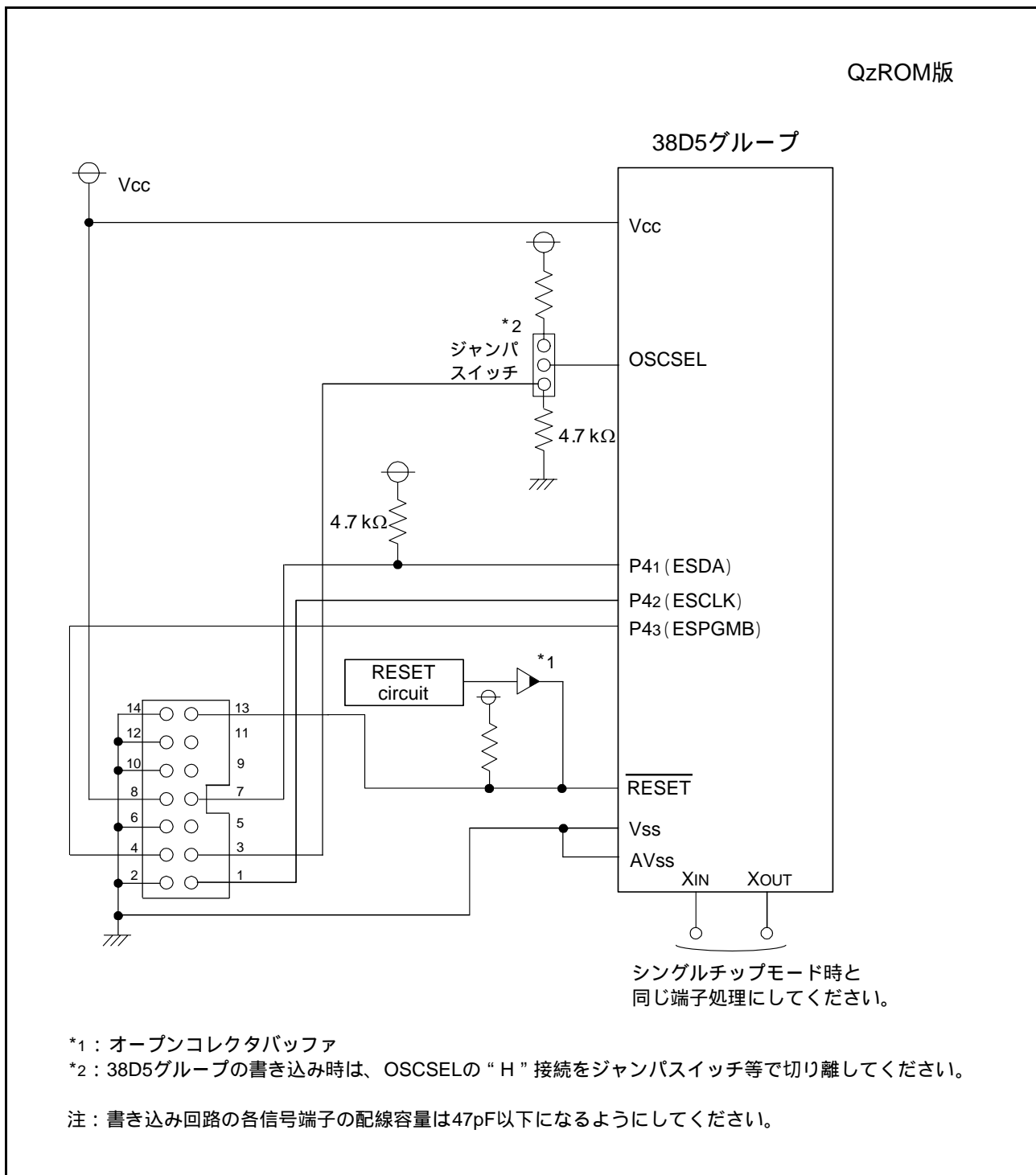


図67. E8 プログラム使用時の基板上の端子処理例2(OSCSEL=“H”のシステム例)

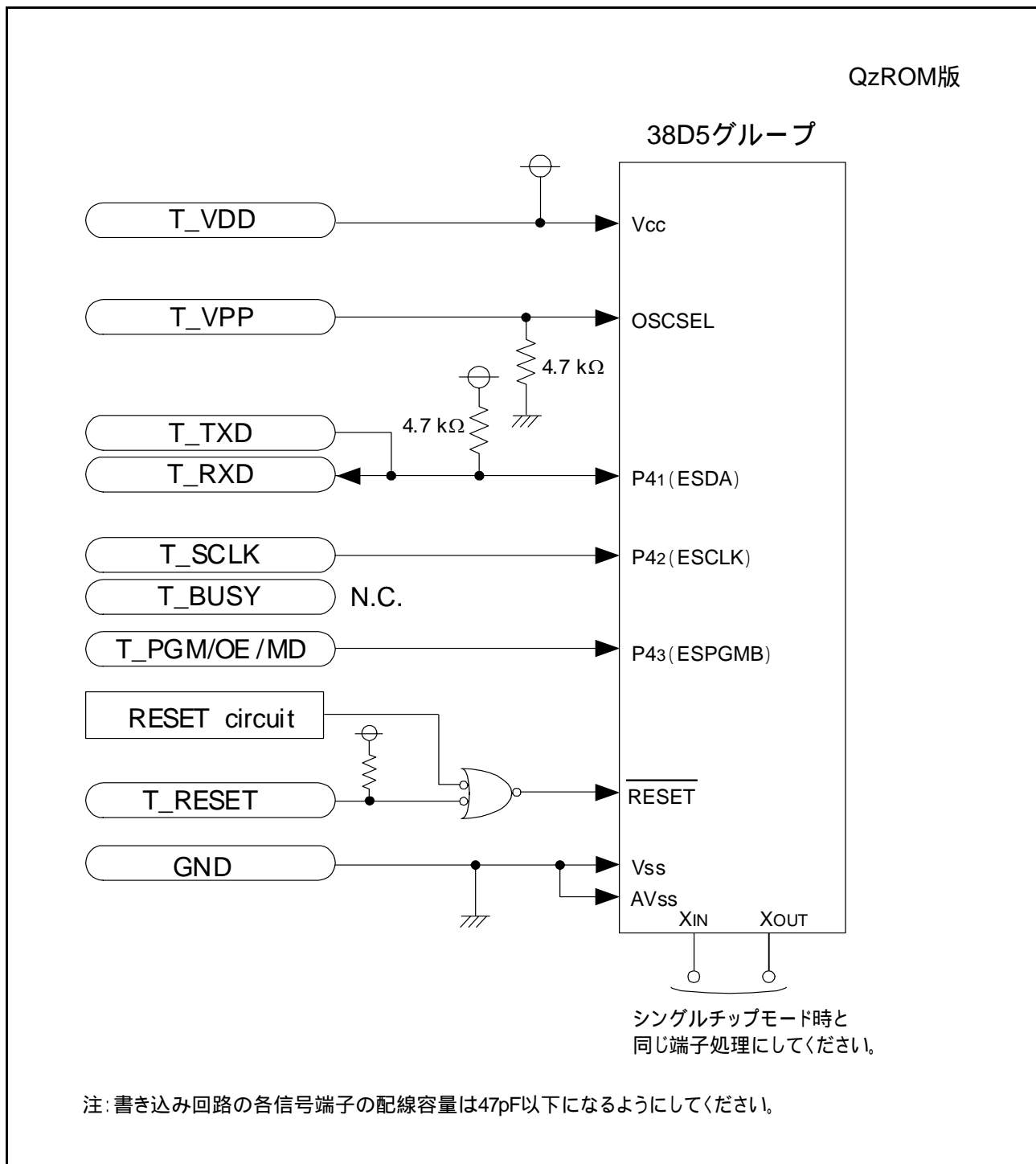


図68. 慧星電子システム製プログラマ使用時の基板上の端子処理例1(OSCSEL=“L”のシステム例)

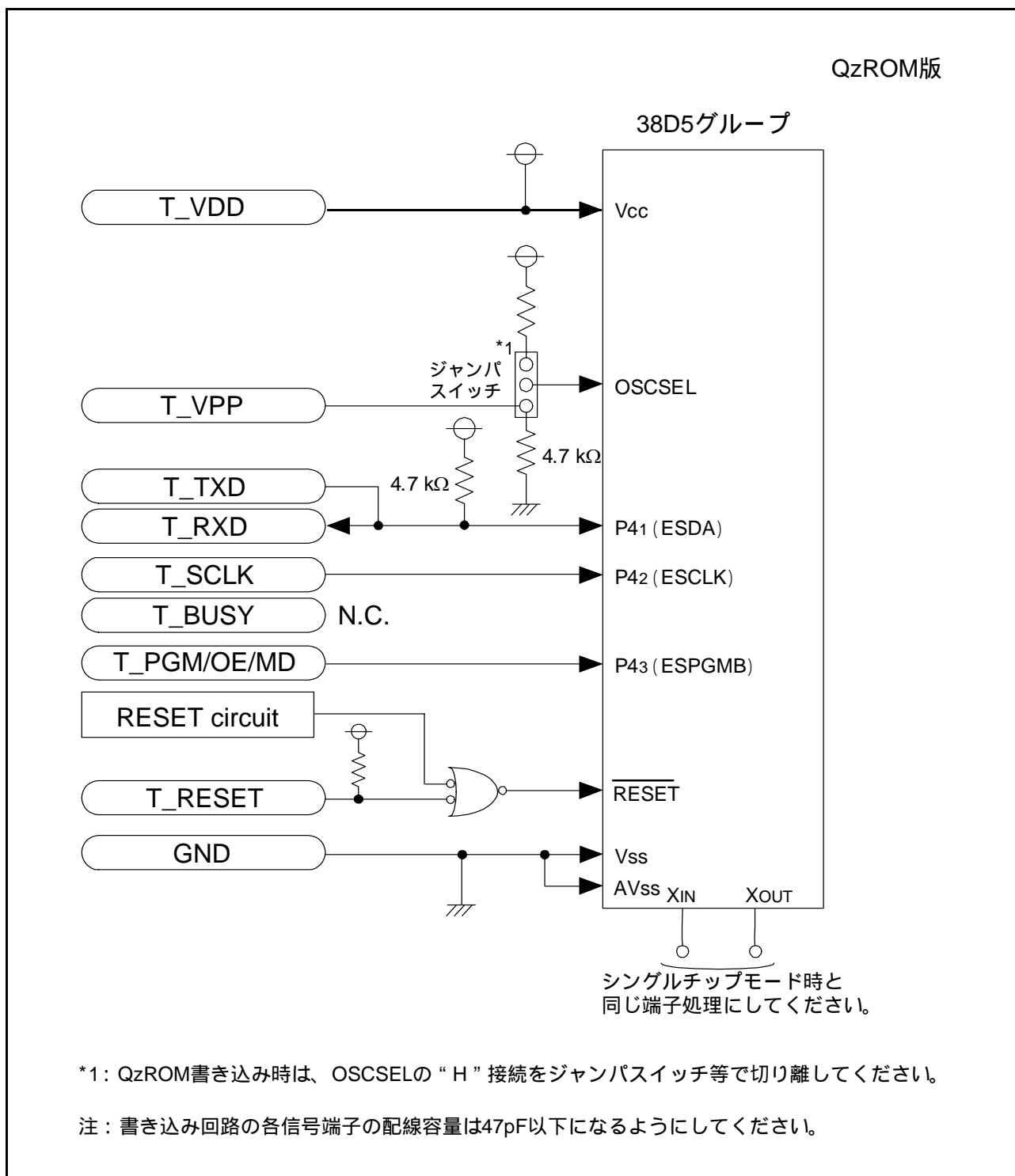


図69. 慧星電子システム製プログラマ使用時の基板上の端子処理例2(OSCSEL=“H”のシステム例)

フラッシュメモリモード

38D5グループフラッシュメモリ版は、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、および中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。プログラマについては、各メーカーにお問い合わせください。また、プログラマの操作方法については、プログラマのユーザーズマニュアルを参照してください。

図70に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

性能概要

表15にフラッシュメモリ版の性能概要を示します。

表15. フラッシュメモリ版の性能概要

項目		性能
電源電圧		Vcc=2.7V ~ 5.5V
プログラム/イレーズ電圧		Vcc=2.7V ~ 5.5V
フラッシュメモリモード		3モード (パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域/データROM領域	図70を参照してください。
	ブートROM領域(注1)	分割なし(4Kバイト)
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		5コマンド
プログラム/イレーズ回数		100
ROMコードプロテクト		パラレル入出力モード / 標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図70に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P4i/TxD端子が“H”、CNVss端子が“H”の状態のリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図70に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

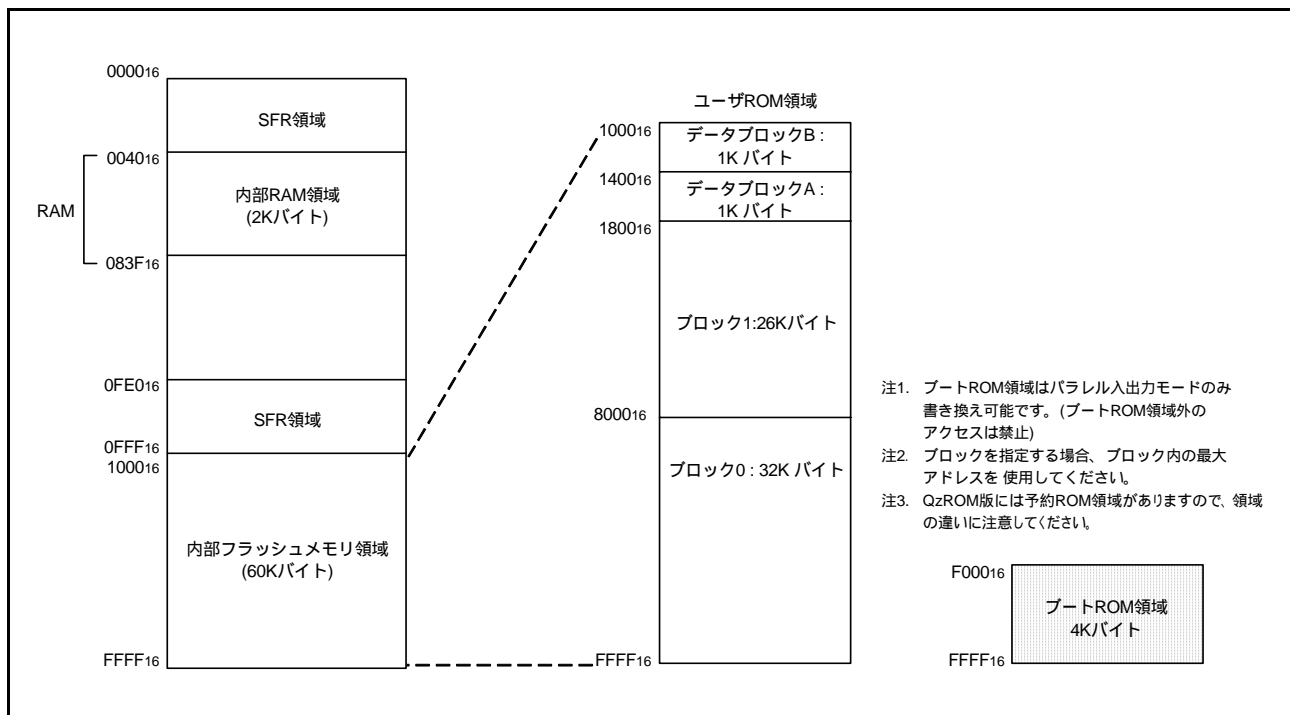


図70. 内蔵フラッシュメモリブロック図

機能概要

CPU書き換えモードは、シングルチップモード、およびブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE0₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図71にフラッシュメモリ制御レジスタ0を示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には“0”(ビジー)、これ以外ときには“1”(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。ビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はユーザブロック1E/W許可ビットです。ユーザブロック0E/W許可ビット(フラッシュメモリ制御レジスタ2(0FE2₁₆番地)のビット4)と合わせて、表16のようにCPU書き換えモード時にユーザブロックに対してE/Wが禁止されます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。フラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効なビットです。“1”をセットすることでユーザROM領域にアクセスすることが可能となり、CPU書き換えが行えます。このビットの操作はRAM上のプログラムで行う必要があります。

ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に“1”になります。プログラムエラーが発生した場合、そのブロックは使用できません。

ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に“1”になります。イレーズエラーが発生した場合、そのブロックは使用できません。

図72にフラッシュメモリ制御レジスタ1を示します。ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。ビット0に“1”を

設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

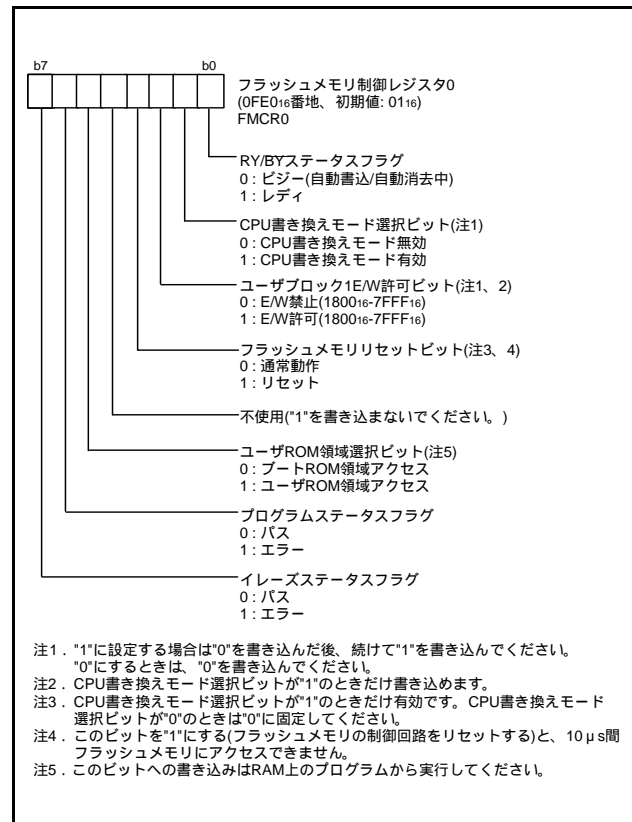


図71. フラッシュメモリ制御レジスタ0の構成

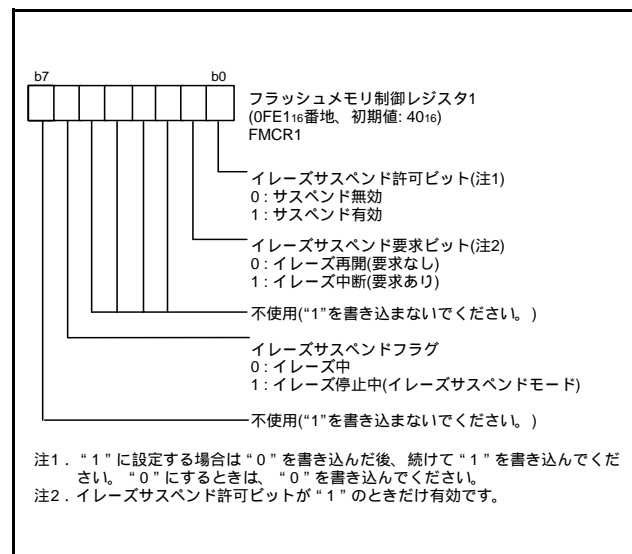


図72. フラッシュメモリ制御レジスタ1の構成

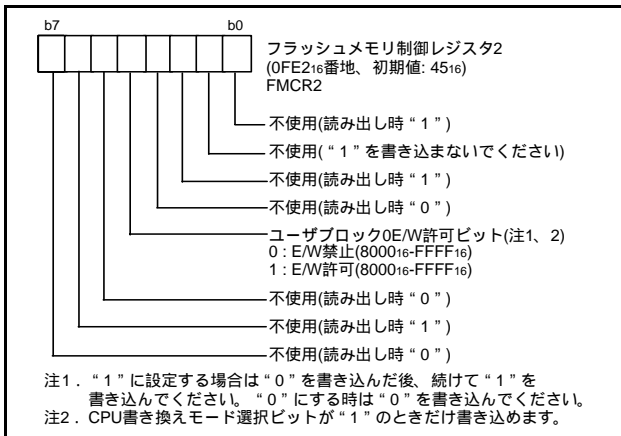


図73. フラッシュメモリ制御レジスタ2の構成

表16. E/W禁止機能の状態

ユーザブロック0 E/W許可ビット	ユーザブロック1 E/W許可ビット	ユーザブロック0 8000 ₁₆ ~ FFFF ₁₆	ユーザブロック1 1800 ₁₆ ~ 7FFF ₁₆	データブロック 1000 ₁₆ ~ 17FF ₁₆
0	0	E/W禁止	E/W禁止	E/W許可
0	1	E/W禁止	E/W許可	E/W許可
1	0	E/W許可	E/W禁止	E/W許可
1	1	E/W許可	E/W許可	E/W許可

図74にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

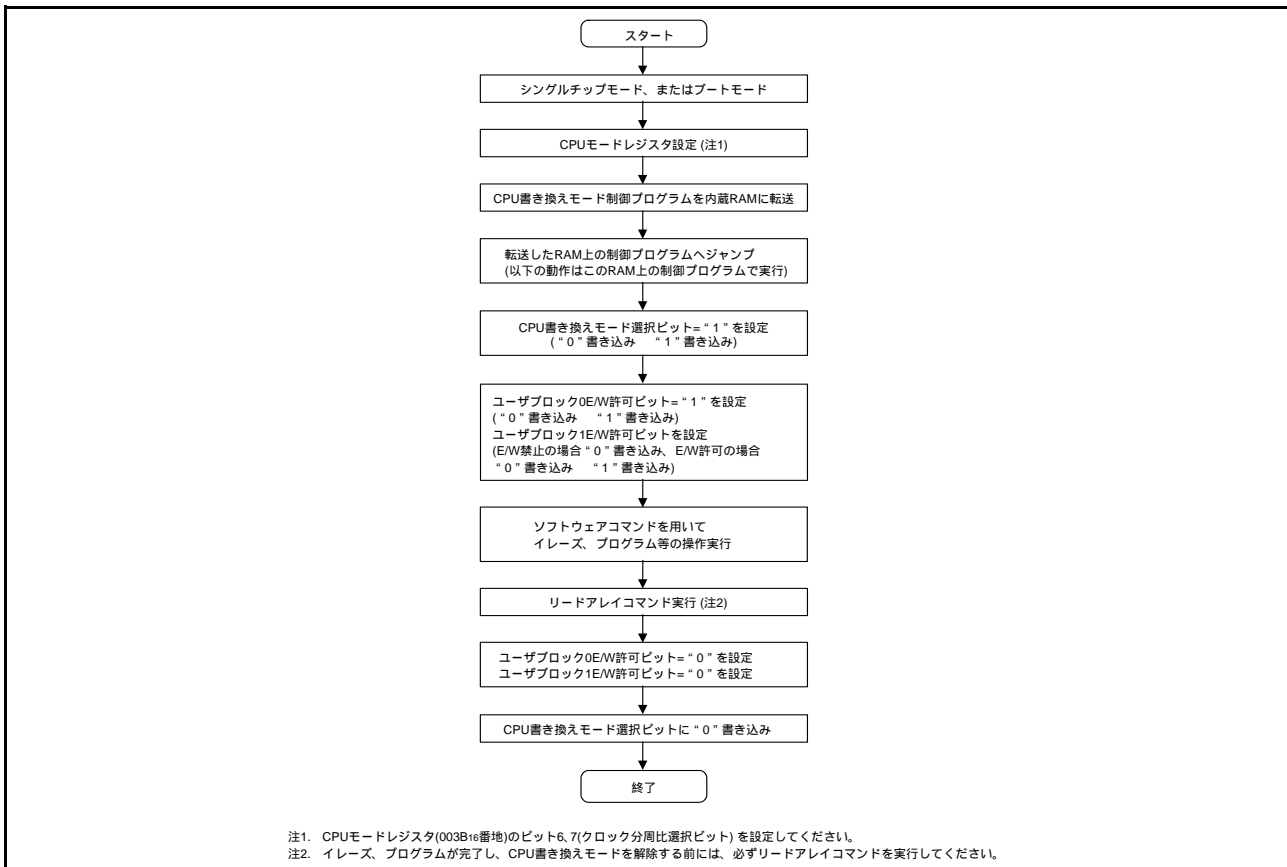


図74. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6、7)によって、システムクロックが4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNVSS = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表17にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレース、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

• リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0～D7)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

• リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

• クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4, SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

• プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。ステータスレジスタを読み出す場合は、リードステータスレジスタコマンド“7016”をライトしてください。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF16”)をライトするまで継続されます。RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、

終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

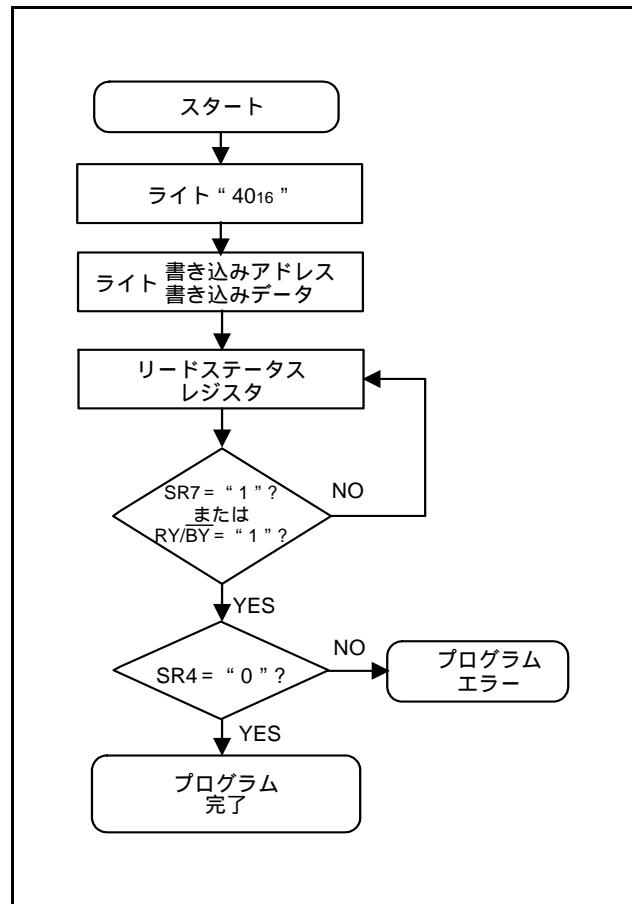


図75. プログラムフローチャート

表17. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	1	ライト	X(注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD(注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA(注2)	WD(注2)
ブロックイレース	2	ライト	X	2016	ライト	BA(注3)	D016

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス,WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

- ブロックイレーズ(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。ステータスレジスタを読み出す場合は、リードステータスレジスタコマンド“70₁₆”をライトしてください。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

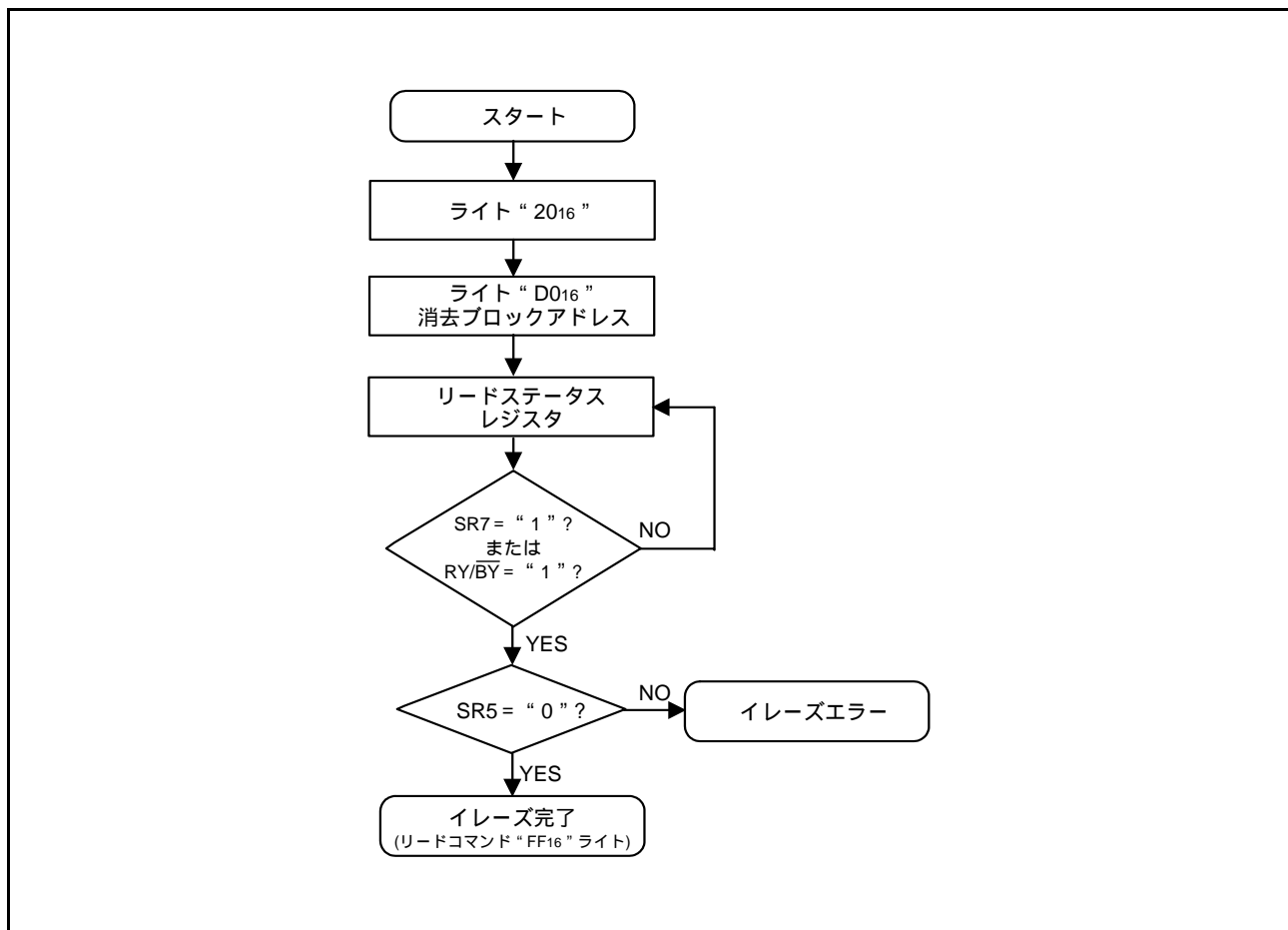


図76. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド (70₁₆) をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2) プログラム開始またはイレーズ開始から、リードアレコマンド (FF₁₆) 入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド (50₁₆) をライトしたとき

表 18 にステータスレジスタの各ビットの定義を示します。

リセット解除後、ステータスレジスタは、“80₁₆”になります。

• シーケンサステータス (SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

• イレーズステータス (SR5)

イレーズステータスはイレーズの動作状況を示すもので、イレーズエラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

• プログラムステータス (SR4)

プログラムステータスはプログラムの動作状況を示すもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表 18. ステータスレジスタの各ビットの定義

SRD の各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図77にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

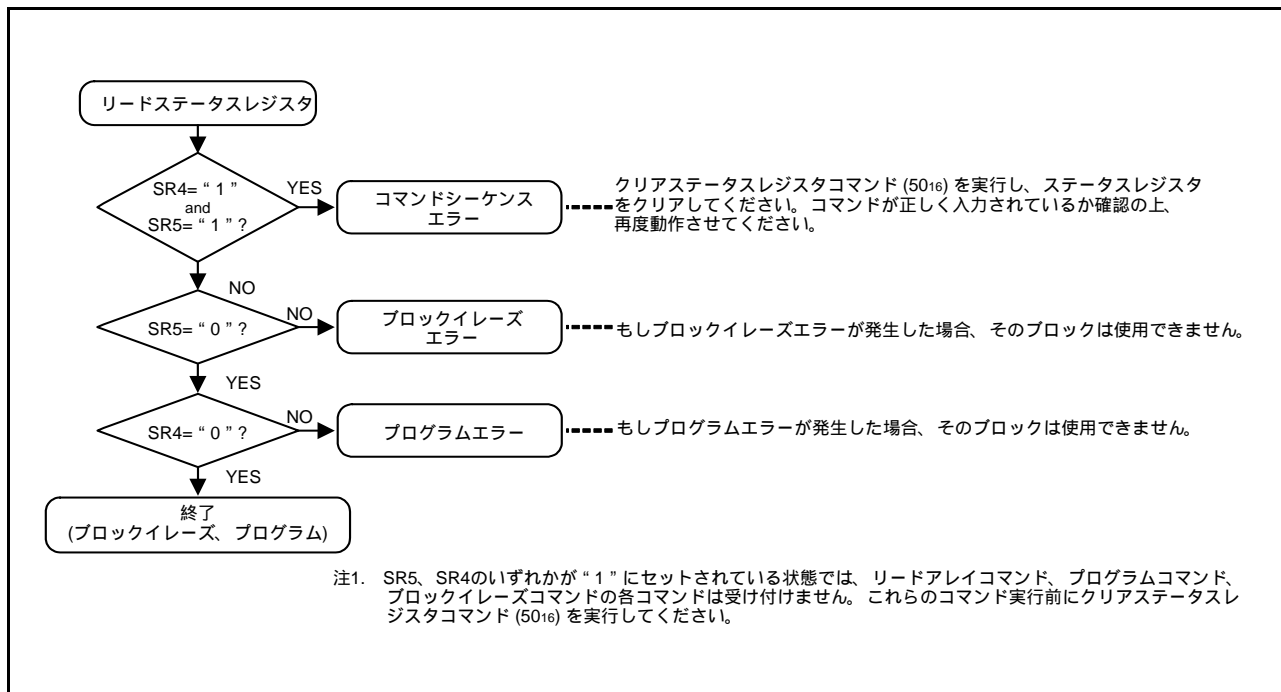


図77. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出しまたは書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードではIDコードチェック機能を内蔵しています。

• ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図78に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出しまたは書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、標準シリアル入出力モードなど、他のモードで書き換えてください。

書き換えの際にはROMコードプロテクト制御番地(FFDB₁₆番地)を含むユーザROM領域(ブロック0)全体を書き換えてください。ROMコードプロテクト制御番地(FFDB₁₆番地)だけの書き換えはできません。

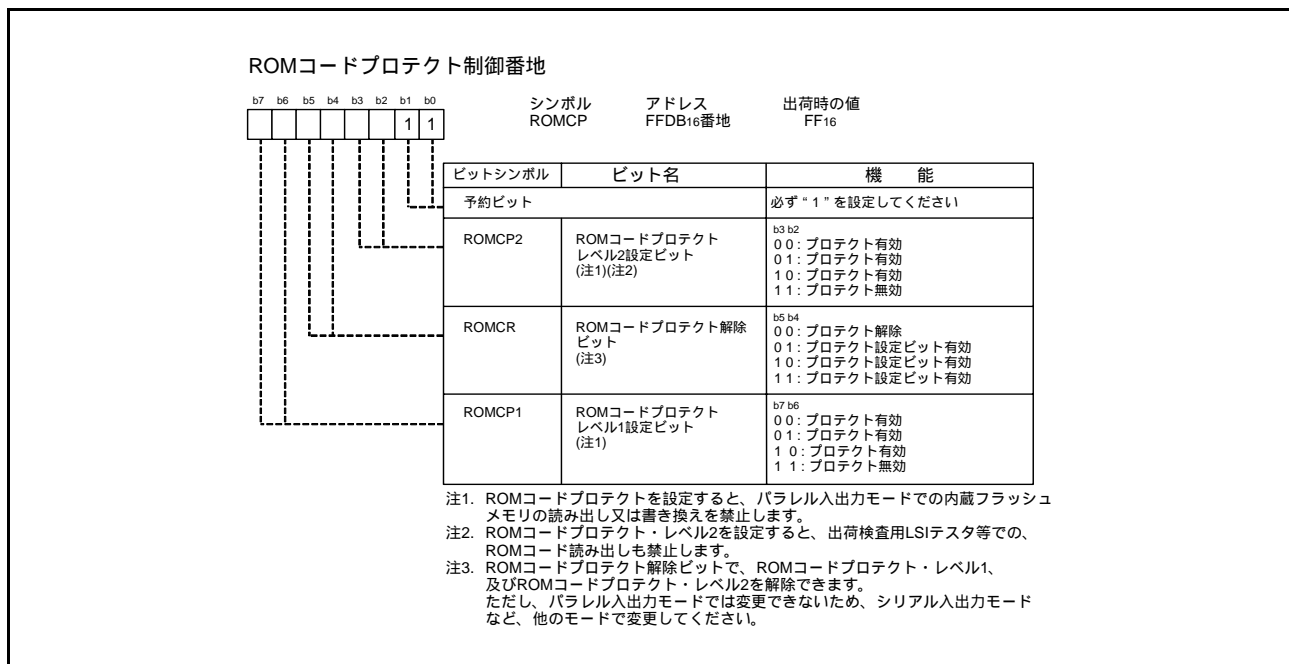


図78. ROMコードプロテクト制御番地の構成

- IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライターから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4₁₆ ~ FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

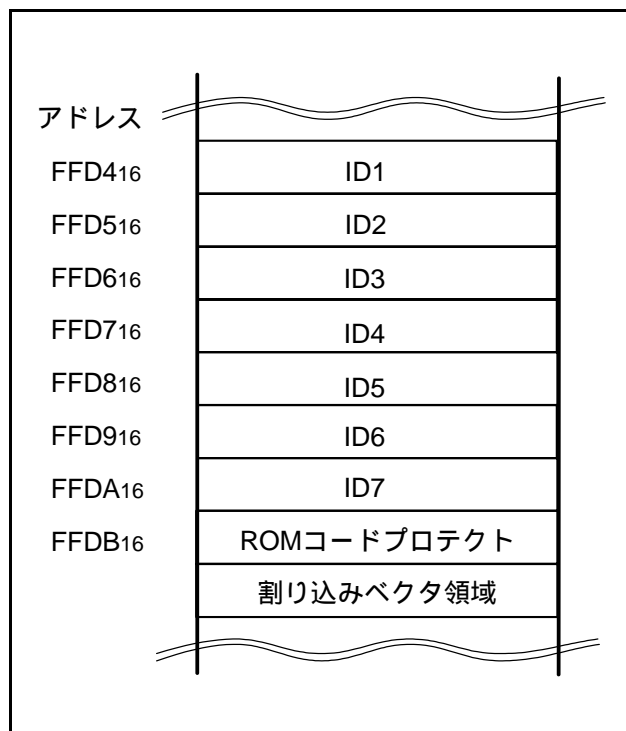


図79. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

- ユーザROM領域とブートROM領域

パラレル入出力モードでは、図70に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

標準シリアル入出力モード

標準シリアル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードはパラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードはP4₁(BOOTENT)端子が“H”、CNV_{SS}端子が“H”の状態ではリセットを解除することで起動します。(通常のマイコンモードでは、CNV_{SS}は“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード1とクロック非同期形シリアルの標準シリアル入出力モード2があります。表19～表20に標準シリアル入出力モード時の端子の機能説明を、図80～図81に標準シリアル入出力モード時の端子結線図を、図82～図83に標準シリアル入出力モード1使用時の基板の端子処理例を、図84～図85に標準シリアル入出力モード1と2の動作波形図を示します。

標準シリアル入出力モードでは、図70に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するかを判定します。IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

表19. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V ~ 5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00 ~ P07, P10 ~ P17 P20 ~ P27, P30 ~ P37 P40 ~ P47, P50 ~ P57 P60 ~ P67, P72 ~ P74	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P40	RxD入力	入力	シリアルデータの入力端子です。
P41	TxD出力	出力	シリアルデータの出力端子です。
P42	SCLK入力	入力	シリアルクロックの入力端子です。
P43	BUSY出力	出力	BUSY信号の出力端子です。

表20. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V ~ 5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00 ~ P07, P10 ~ P17 P20 ~ P27, P30 ~ P37 P40 ~ P47, P50 ~ P57 P60 ~ P67, P72 ~ P74	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P40	RxD入力	入力	シリアルデータの入力端子です。
P41	TxD出力	出力	シリアルデータの出力端子です。
P42	SCLK入力	入力	“L”を入力してください。
P43	BUSY出力	出力	BUSY信号の出力端子です。

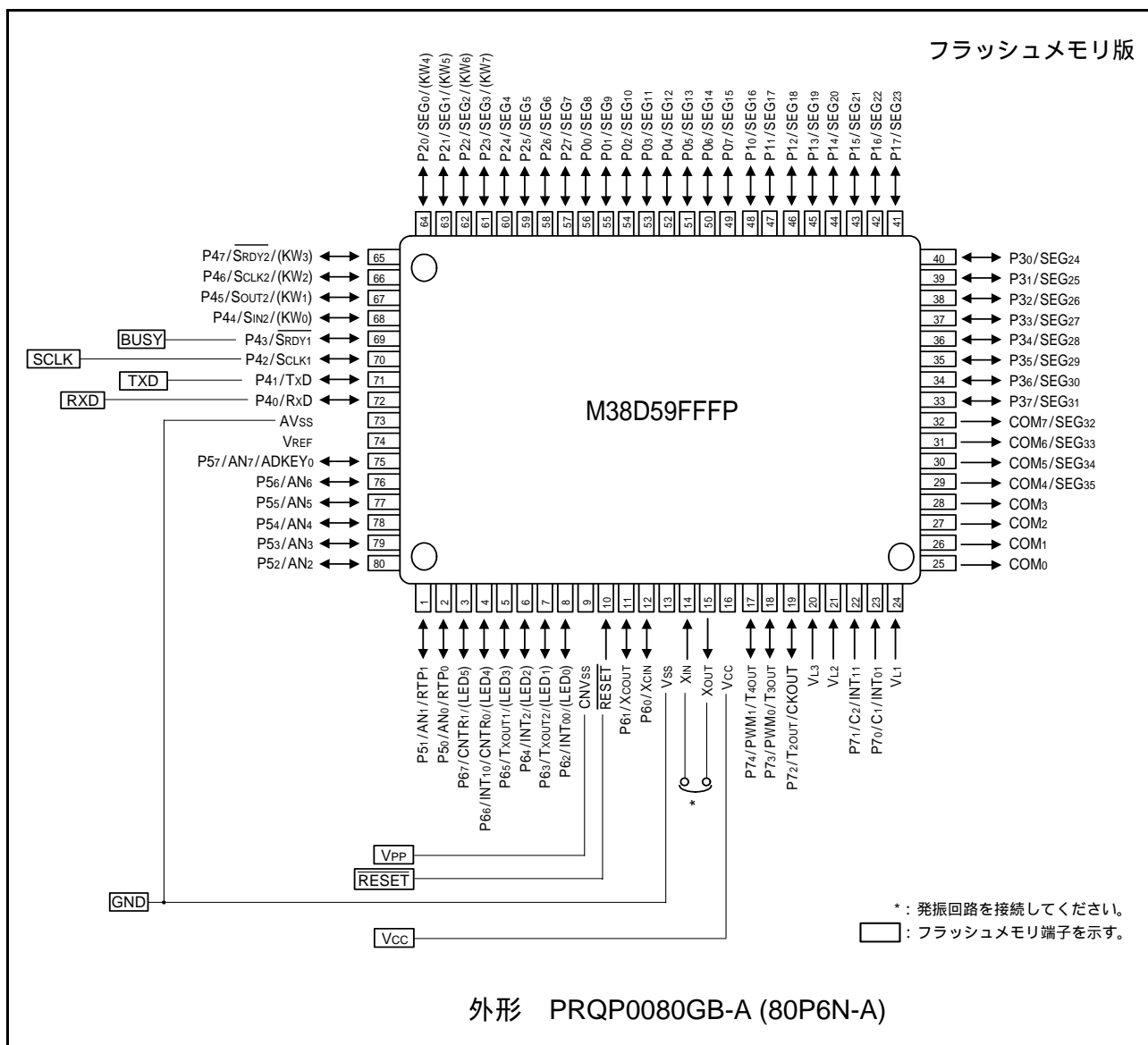


図80. 標準シリアル入出力モード1時の端子結線図

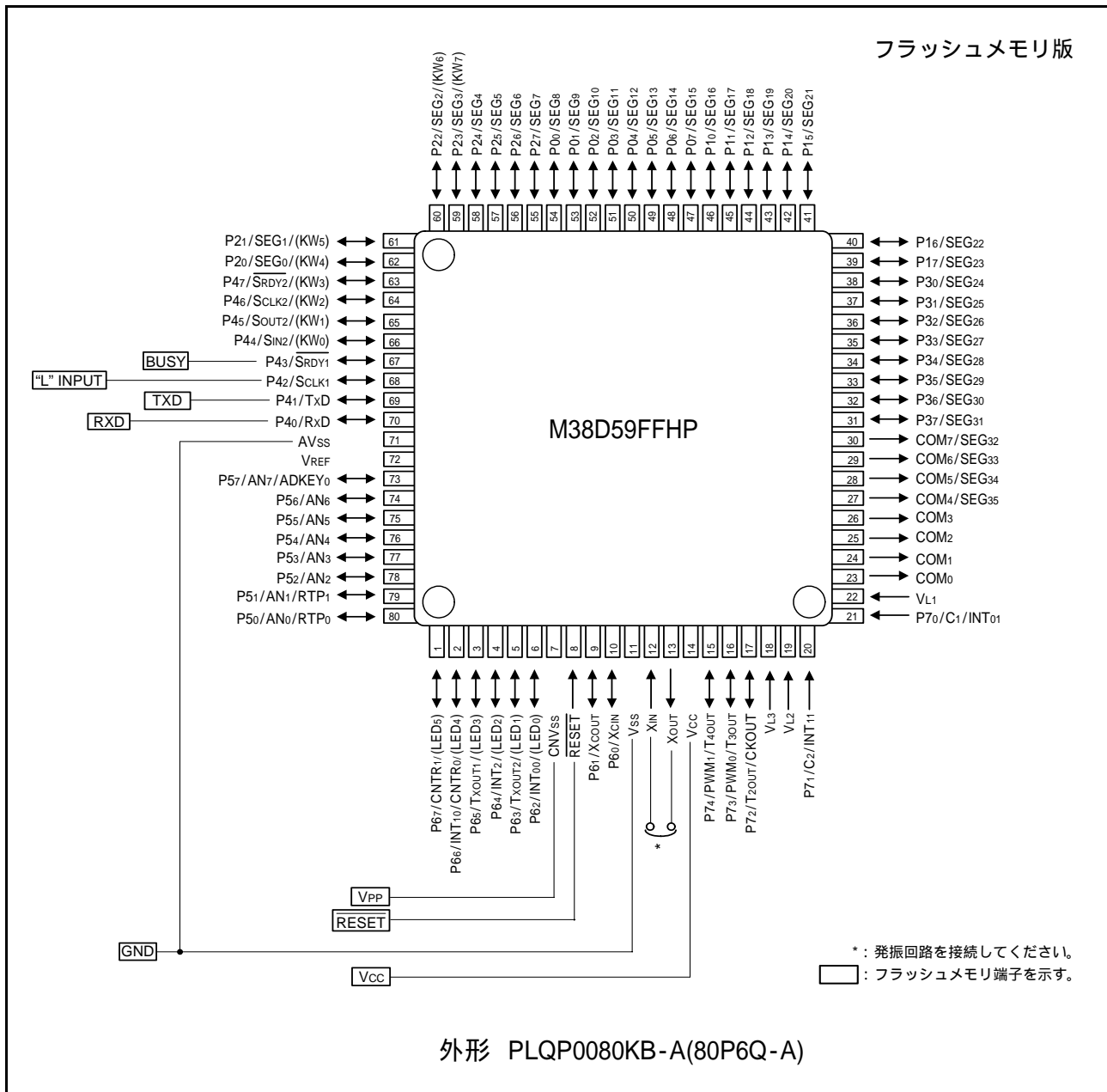


図81. 標準シリアル入出力モード2時の端子結線図

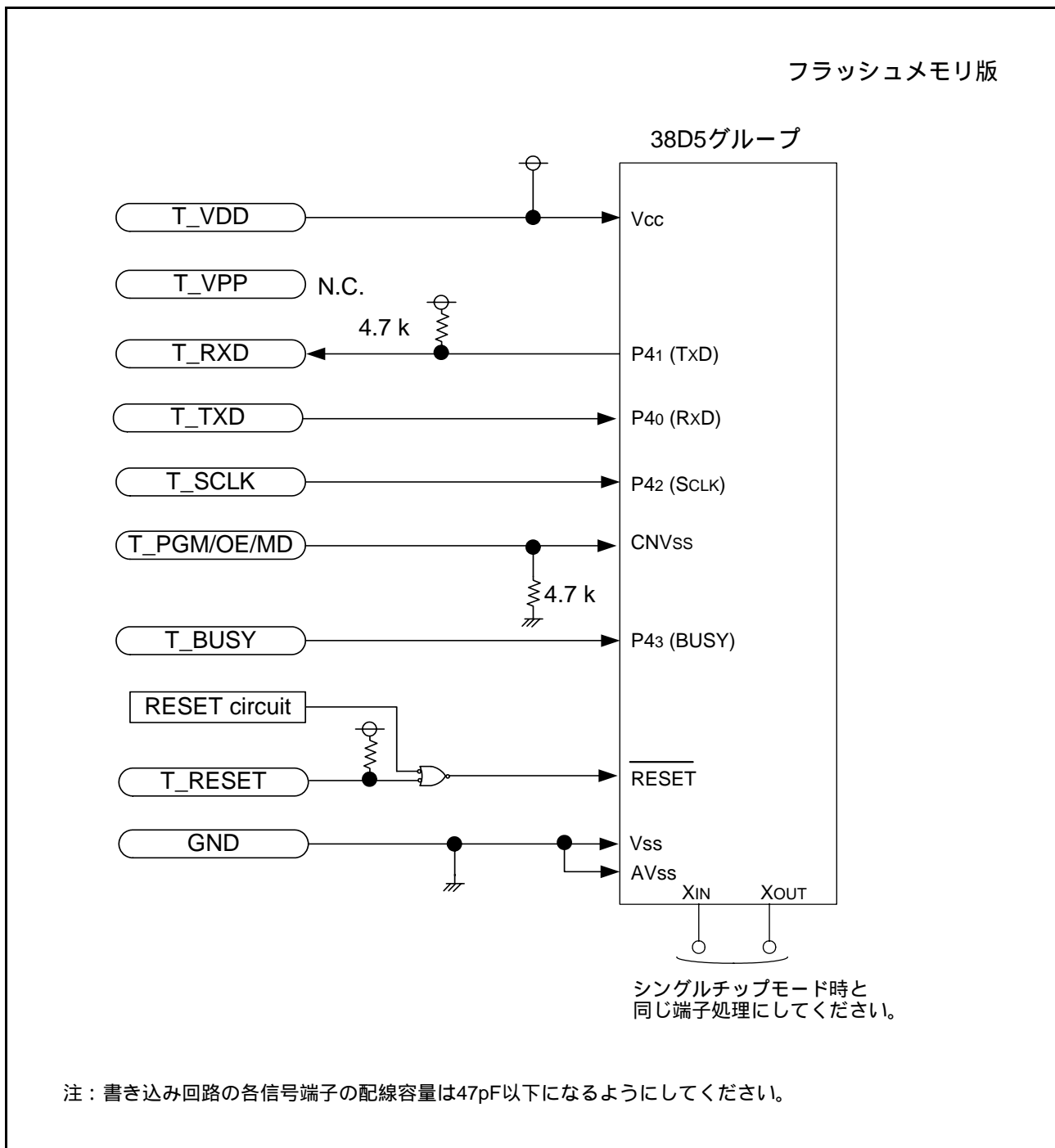


図82. 慧星電子システム製プログラマ(標準シリアル入出力モード1)使用時の基板上の端子処理例

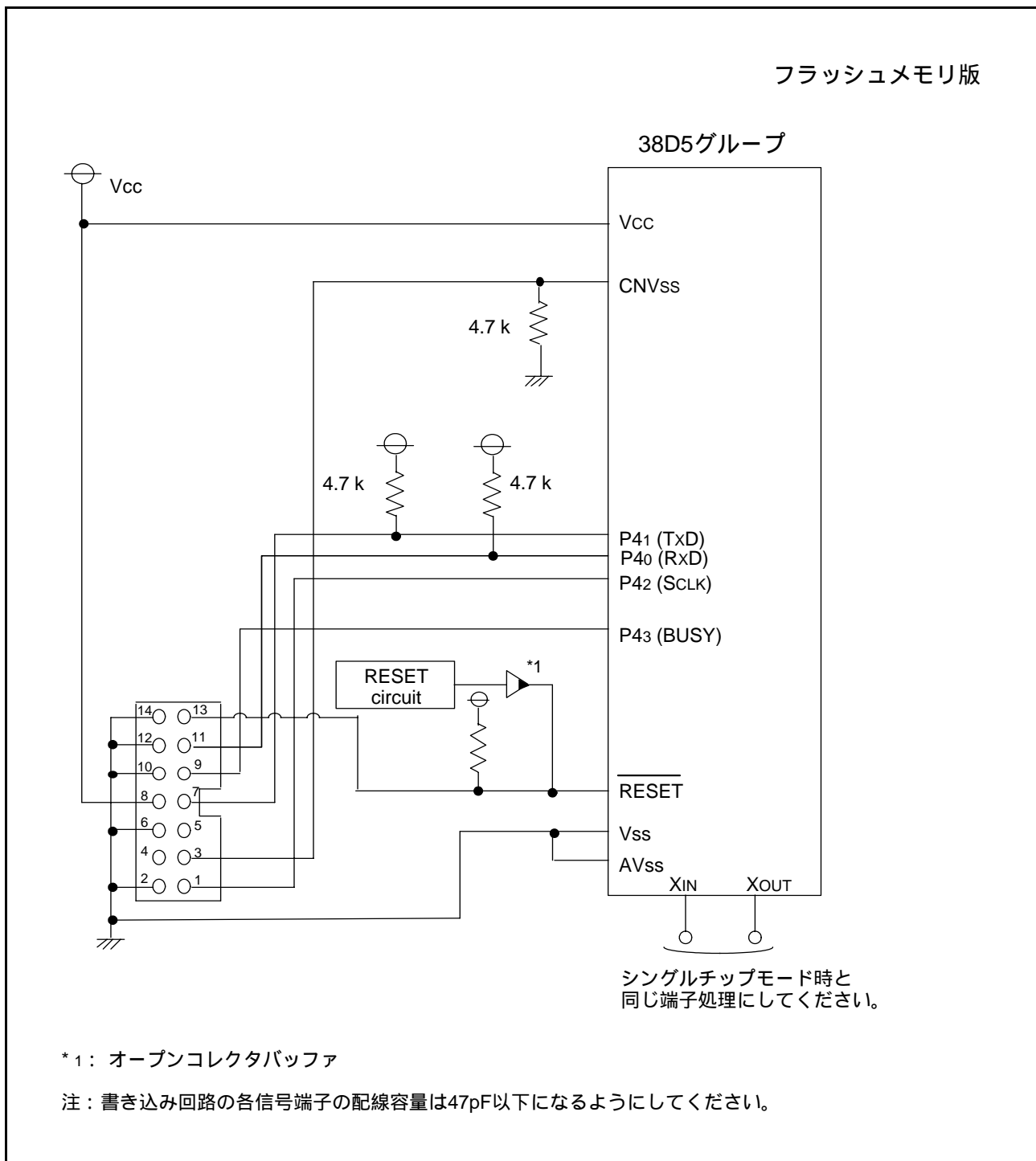


図83. E8プログラマ(標準シリアル入出力モード1)使用時の基板上の端子処理例

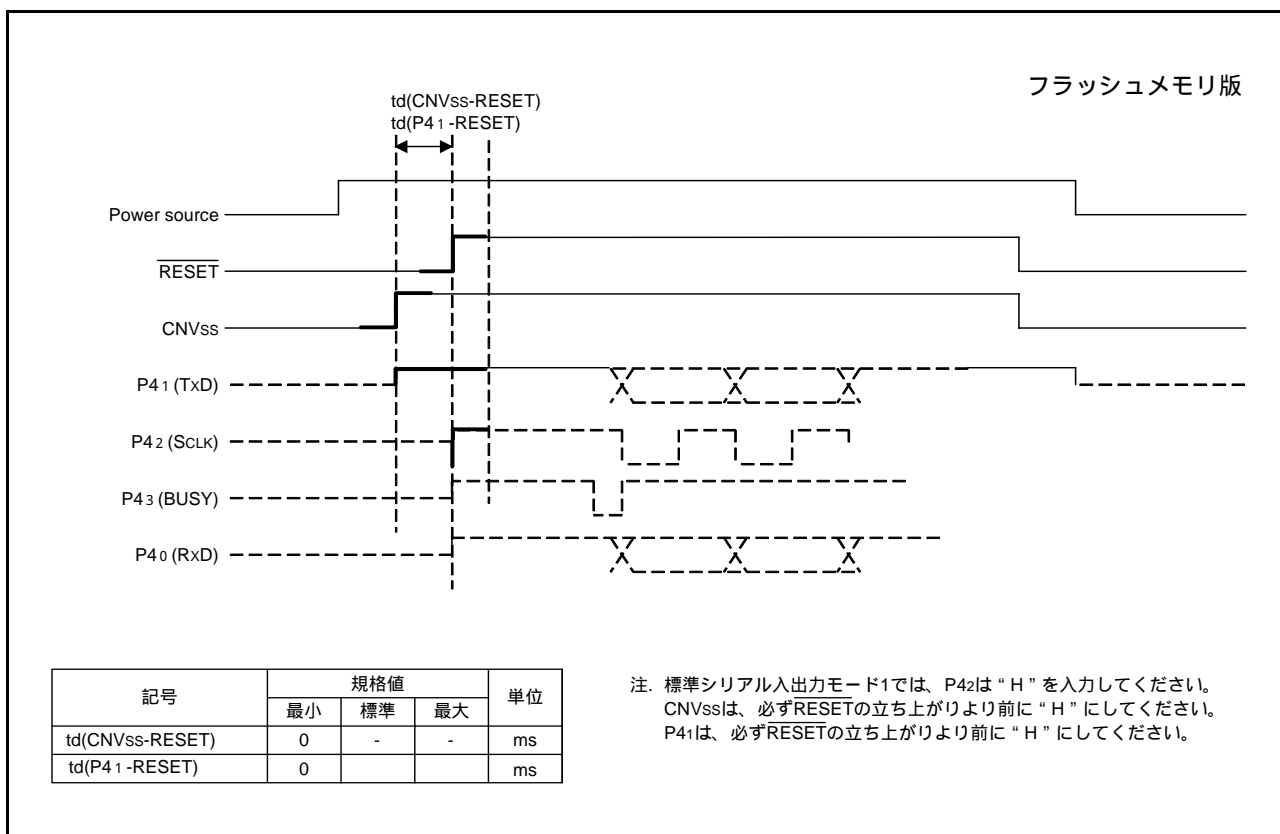


図84. 標準シリアル入出力モード1時の動作波形図

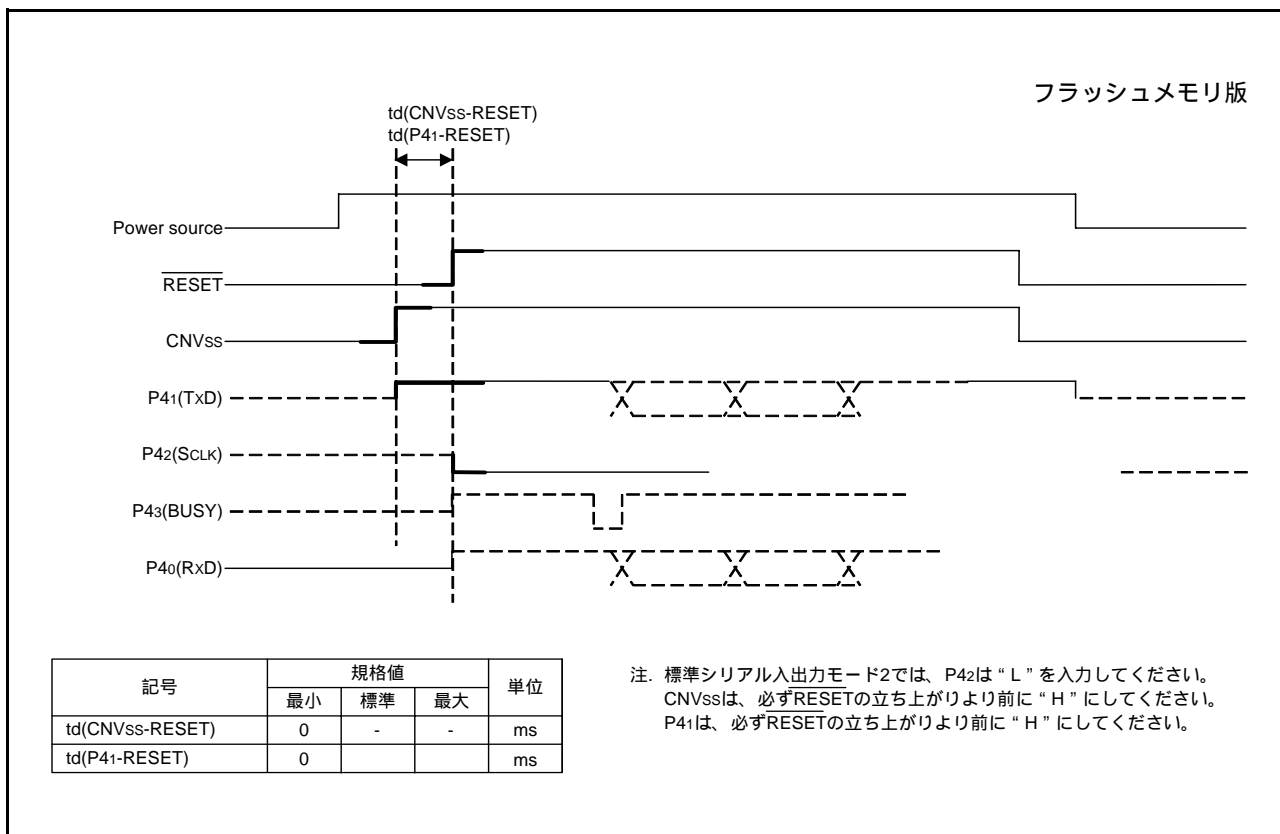


図85. 標準シリアル入出力モード2時の動作波形図

使用上の注意事項

プロセッサステータスレジスタに関する注意事項

プロセッサステータスレジスタ (PS) は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。プログラムの先頭で初期化してください。

割り込みに関する注意事項

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されます。変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関する注意事項

- 10進演算を行う場合は、10進モードフラグDを“1”に設定してADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関する注意事項

タイマラッチに値n(0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関する注意事項

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

方向レジスタに関する注意事項

方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルインタフェースに関する注意事項

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

A/D変換に関する注意事項

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、XINモードでA/D変換を行う場合は $f(XIN)$ を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モード(オンチップオシレータ選択時)では、内蔵のオンチップオシレータを用いてA/D変換を行いますので、 $f(XIN)$ に下限周波数の制限はありません。

LCD駆動制御回路に関する注意事項

STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ(1316番地)のビット4)が“0”になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビット(LCDモードレジスタ(1316番地)のビット4)を“1”に設定してください。

命令の実行時間に関する注意事項

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックの周期をかけることによって得られます。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(VCC端子)とGND端子(VSS端子)との間、および電源端子(VCC端子)とアナログ電源入力端子(AVSS端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F~0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

LCD駆動電源に関する注意事項

LCD電源用分割抵抗値とLCDパネルの特性により、電源容量が不足することがあります。この場合、VL1~VL3端子に0.1~0.33 μ F程度のバイパスコンデンサを接続する方法があります。下図にLCD駆動電源の強化対策例を示します。

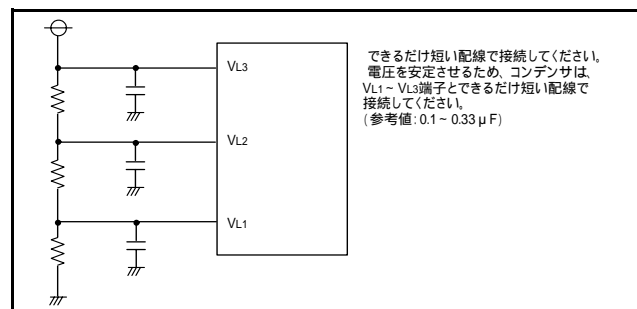


図86. LCD駆動電源の強化対策例

QzROM版に関する注意事項

1. OSCSEL端子配線

(1) OSCSEL端子=Lの場合

OSCSEL端子は、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、5k程度の抵抗を直列に挿入しGNDに接続する事でノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

(2) OSCSEL端子=Hの場合

OSCSEL端子は、マイコンのV_{CC}端子に供給しているV_{CC}からできるだけ近いV_{CC}パターンに最短で接続してください。

また、5k程度の抵抗を直列に挿入しV_{CC}に接続する事でノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{CC}端子に供給しているV_{CC}からできるだけ近いV_{CC}パターンに最短で接続してください。

理由

OSCSEL端子は内蔵QzROMの電源入力端子です。QzROMへプログラムを書き込むときに、書き込み電流が流れるようにOSCSEL端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。OSCSEL端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行なわれず、暴走の原因となります。

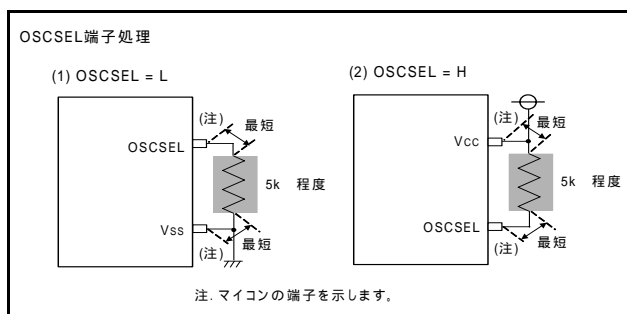


図87. OSCSEL端子の配線

2. QzROM版過電圧

他の端子に、V_{CC}端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のOSCSEL端子(QzROMのV_{PP}電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

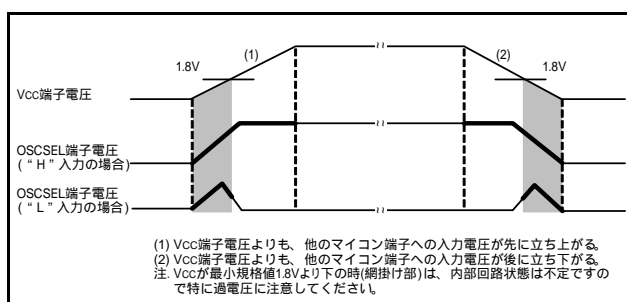


図88. タイミング図(太線の区間が該当)

3. QzROM版ブランク出荷品

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

4. QzROM書き込み発注時

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”、“FE16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無に関わらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

5. QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応していません。

6. QzROM 品受け入れ手順

お客様で書き込みを実施される場合は、下記の手順で受け入れ検査を実施してください。

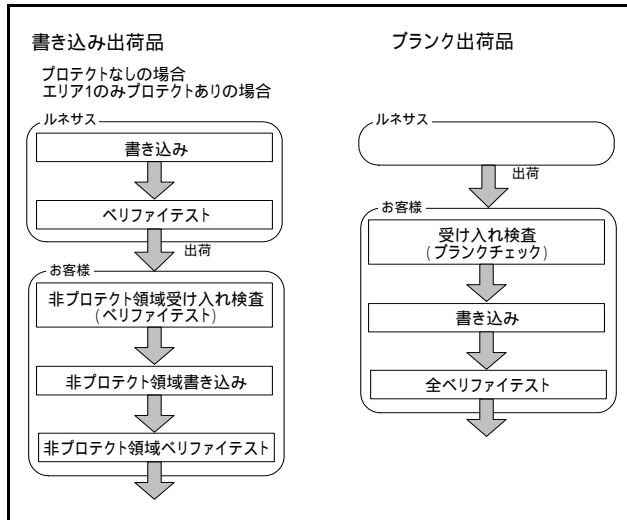


図89. QzROM 受け入れ手順

フラッシュメモリ版に関する注意事項

1. CPU書き換えモード

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、システムクロックが4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNVss=Hの場合、ブートモードで起動されるので、ブートROM領域のFFF₁₆C16、FFF₁₆D16番地に格納されたアドレスからプログラムがスタートします。

2. CNVss端子

CNVss端子はフラッシュメモリモードを決定する端子です。

CNVss端子は、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。(注)また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのVss端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

注. ブートモード、標準シリアル入出力モードを使用する場合は、CNVss端子の入カレベル切り替えが必要になります。

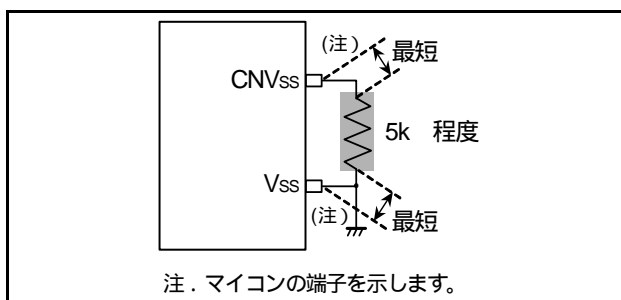


図90. CNVss端子の配線

QzROM版/フラッシュメモリ版の相違点に関する注意事項

QzROM版およびフラッシュメモリ版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。QzROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

機能の相違は10ページを確認してください。

ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

1. 配線長の短縮

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

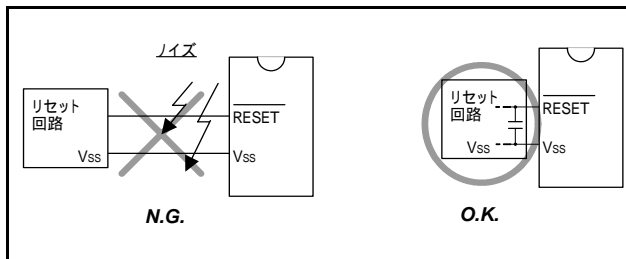


図91. リセット入力端子の配線

(2) クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- 発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

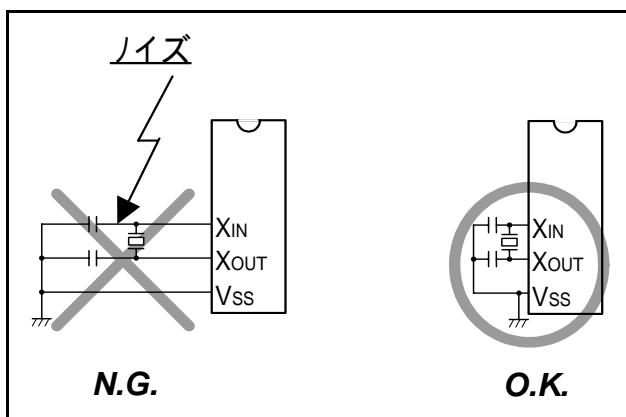


図92. クロック入出力端子の配線

2. Vss - Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

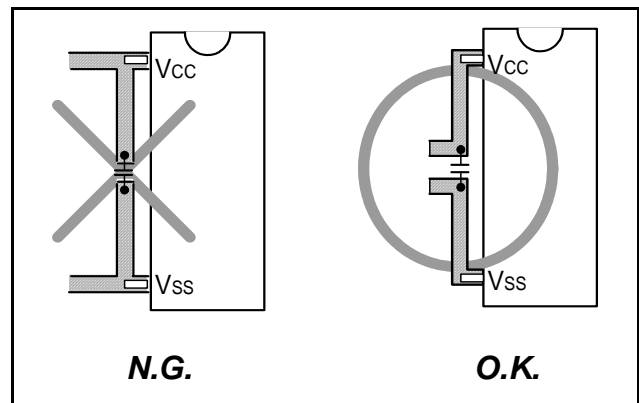


図93. Vss - Vccライン間のバイパスコンデンサ

3. 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

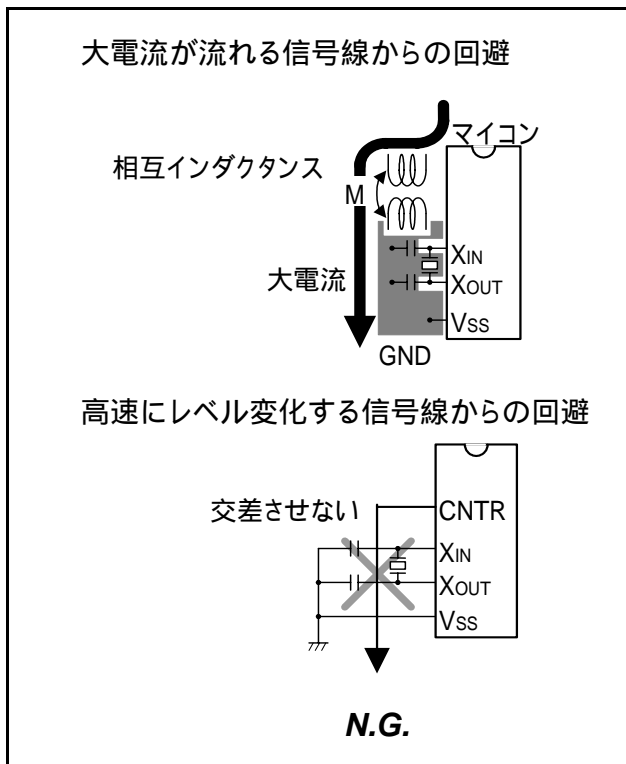


図94. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

4. アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

5. メモリ容量の違い

同一グループ内のメモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

QzROM版電気的特性

表21. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇ 、P3 ₀ ~ P3 ₇ P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₇ 、P7 ₀ ~ P7 ₄		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 V _{L1}	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~ V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~ 6.5	V
V _I	入力電圧 C ₁ 、C ₂		- 0.3 ~ 6.5	V
V _I	入力電圧 $\overline{\text{RESET}}$ 、X _{IN}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 OSCSEL		- 0.3 ~ 8.0	V
V _O	出力電圧 C ₁ 、C ₂		- 0.3 ~ 6.5	V
V _O	出力電圧 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇ 、P3 ₀ ~ P3 ₇	出力ポート時	- 0.3 ~ V _{CC} + 0.3	V
		セグメント出力時	- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₇ 、P7 ₂ ~ P7 ₄		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 V _{L3}	V _{SS} 端子を基準にして測定する。	- 0.3 ~ 6.5	V
V _O	出力電圧 V _{L2} 、SEG ₃₂ ~ SEG ₃₅ 、COM ₀ ~ COM ₃		- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	
T _{stg}	保存温度	-	- 40 ~ 125	

表22. 推奨動作条件 (1)

(指定のない場合は、Vcc=1.8 ~ 5.5V、Vss=0V、Ta = - 20 ~ 85)

記号	項目		規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	2分周モード時 (注2)	f(XIN) 12.5MHz	4.5		5.5	V
			f(XIN) 8MHz	4.0		5.5	V
			f(XIN) 4MHz	2.0		5.5	V
			f(XIN) 2MHz	1.8		5.5	V
		4分周モード時	f(XIN) 16MHz	4.5		5.5	V
			f(XIN) 8MHz	2.0		5.5	V
			f(XIN) 4MHz	1.8		5.5	V
		8分周モード時	f(XIN) 16MHz	4.5		5.5	V
			f(XIN) 8MHz	2.0		5.5	V
			f(XIN) 4MHz	1.8		5.5	V
低速モード時			1.8		5.5	V	
オンチップオシレータモード時			1.8		5.5	V	
発振開始時 (注3)			0.05 × f+1.9			V	
Vss	電源電圧			0		V	
VLI	VL1入力電圧	昇圧回路使用時		1.3	1.8	2.1	V
VREF	A/Dコンバータ基準電圧			2.0		Vcc	V
AVss	アナログ電源電圧				0		V
VIA	アナログ入力電圧 AN0 ~ AN7			AVss		Vcc	V
VIH	“H”入力電圧	P00 ~ P07、P10 ~ P17、P24 ~ P27、P30 ~ P37、P41、P43、P50 ~ P57、P60、P61、P65、P72 ~ P74		0.7Vcc		Vcc	V
VIH	“H”入力電圧	P20 ~ P23、P40、P42、P44 ~ 47、P62 ~ P64、P66、P67、P70、P71		0.8Vcc		Vcc	V
VIH	“H”入力電圧	RESET	2.2V < Vcc 5.5V	0.8Vcc		Vcc	V
			Vcc 2.2V	$V_{cc} - \frac{65 \times V_{cc} - 99}{100}$		Vcc	V
VIH	“H”入力電圧	XIN		0.8Vcc		Vcc	V
VIL	“L”入力電圧	P00 ~ P07、P10 ~ P17、P24 ~ P27、P30 ~ P37、P41、P43、P50 ~ P57、P60(CM4=0)、P61、P65、P72 ~ P74		0		0.3Vcc	V
VIL	“L”入力電圧	P20 ~ P23、P40、P42、P44 ~ P47、P62 ~ P64、P66、P67、P70、P71、OSCSEL		0		0.2Vcc	V
VIL	“L”入力電圧	RESET	2.2V < Vcc 5.5V	0		0.2Vcc	V
			Vcc 2.2V	0		$\frac{65 \times V_{cc} - 99}{100}$	V
VIL	“L”入力電圧	XIN		0		0.2Vcc	V

注1. A/Dコンバータを使用する場合は、A/Dコンバータの推奨動作条件を参照してください。

注2. 12.5MHz < f(XIN) 16MHzは2分周モードでは使用できません。

注3. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので、注意してください。f: 発振子の発振周波数(1MHz f(XIN) 8MHz)です。8MHzのときは“8”を代入してください。

表23. 推奨動作条件 (3)

(指定のない場合は、VCC=1.8 ~ 5.5V、VSS=0V、Ta= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			- 40	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P40 ~ 47、P50 ~ P57、P60 ~ P67			- 40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40 ~ P47、P50 ~ P57、P60、P61			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P62 ~ P67			110	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			- 20	mA
IOH(avg)	“H”出力総平均電流 (注1) P40 ~ P47、P50 ~ P57、P60 ~ P67			- 20	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P40 ~ P47、P50 ~ P57、P60、P61			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P62 ~ P67			90	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			- 2	mA
IOH(peak)	“H”出力尖頭電流 (注2) P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74			- 5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40 ~ P47、P50 ~ P57、P60、P61、P72 ~ P74			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P62 ~ P67			30	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			- 1.0	mA
IOH(avg)	“H”出力平均電流 (注3) P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P40 ~ P47、P50 ~ P57、P60、P61、P72 ~ P74			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P62 ~ P67			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 出力平均電流は、IOL(avg)、IOH(avg)100msの期間内での平均値です。

表24. 推奨動作条件(4)

(指定のない場合は、 $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85$)

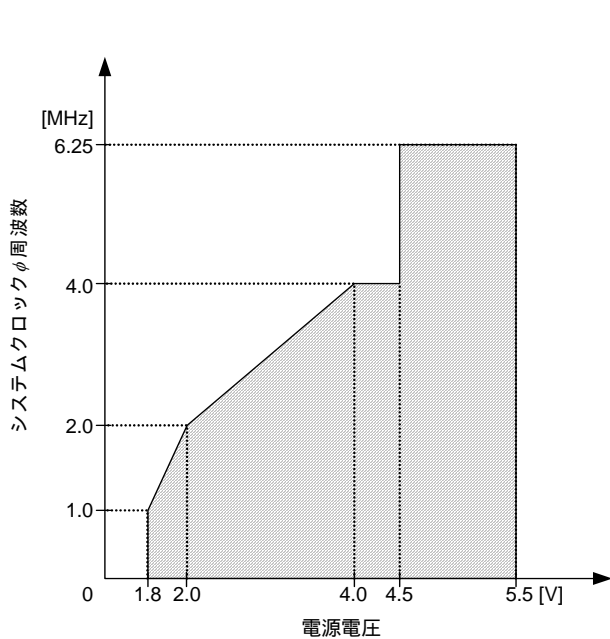
記号	項目	条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY入力周波数 (デューティ 50%時)	4.5 $V_{CC} < 5.5V$			6.25	MHz
		4.0 $V_{CC} < 4.5V$			$2 \times V_{CC} - 4$	MHz
		2.0 $V_{CC} < 4.0V$			V_{CC}	MHz
		$V_{CC} < 2.0V$			$5 \times V_{CC} - 8$	MHz
f(Tclk)	タイマX、タイマY タイマ1、2、3、4用 クロック周波数 (各タイマのカウントソース周波数)	4.5 $V_{CC} < 5.5V$			16	MHz
		4.0 $V_{CC} < 4.5V$			$4 \times V_{CC} - 8$	MHz
		2.0 $V_{CC} < 4.0V$			$2 \times V_{CC}$	MHz
		$V_{CC} < 2.0V$			$10 \times V_{CC} - 16$	MHz
f(ϕ)	システムクロック 周波数(注1)	4.5 $V_{CC} < 5.5V$			6.25	MHz
		4.0 $V_{CC} < 4.5V$			4	MHz
		2.0 $V_{CC} < 4.0V$			V_{CC}	MHz
		$V_{CC} < 2.0V$			$5 \times V_{CC} - 8$	MHz
f(XIN)	メインクロック入力発振周波数 (デューティ 50%時)(注2、3)	4.5 $V_{CC} < 5.5V$	1.0		16	MHz
		2.0 $V_{CC} < 4.5V$	1.0		8.0	MHz
		$V_{CC} < 2.0V$	1.0		$20 \times V_{CC} - 32$	MHz
f(XCIN)	サブクロック入力発振周波数 (デューティ 50%時)(注4、5)			32.768	80	kHz

注1. システムクロック 周波数と電源電圧の関係は下記図の通りです。

注2. A/Dコンバータをご使用になる場合、A/Dコンバータの推奨動作条件を参照してください。

注3. $12.5MHz < f(XIN)$ 16MHzは2分周モードでは使用できません。

注4. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

注5. 低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。<システムクロック ϕ 周波数>

<メインクロック XIN周波数>

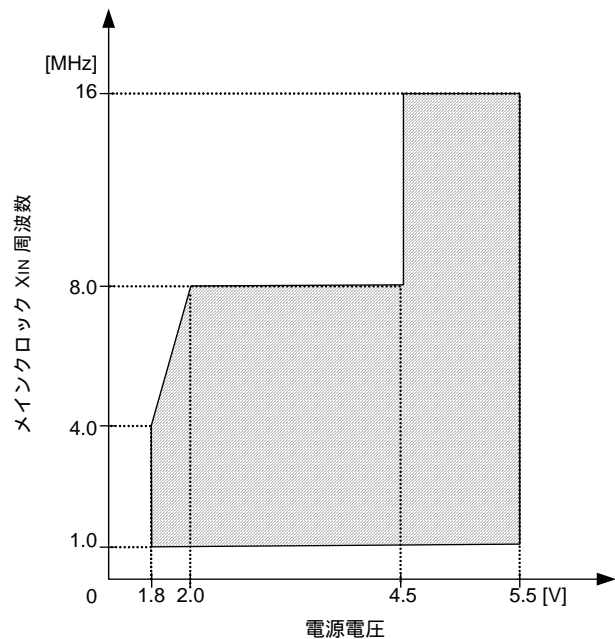


表25. 電気的特性 (1)
(指定のない場合は、V_{CC}=1.8 ~ 5.5V、V_{SS}=0V、T_a= - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	I _{OH} = - 2.5mA	V _{CC} - 2.0			V
		I _{OH} = - 0.6mA V _{CC} =2.5V	V _{CC} - 1.0			
VOH	“H”出力電圧 P40 ~ P47、P50 ~ P57、P60 ~ P67、 P72 ~ P74 (注1)	I _{OH} = - 5mA	V _{CC} - 2.0			V
		I _{OH} = - 1.25mA	V _{CC} - 0.5			
		I _{OH} = - 1.25mA V _{CC} =2.5V	V _{CC} - 1.0			
VOL	“L”出力電圧 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	I _{OL} =5mA			2.0	V
		I _{OL} =1.25mA			0.5	
		I _{OL} =1.25mA V _{CC} =2.5V			1.0	
VOL	“L”出力電圧 P40 ~ P47、P50 ~ P57、P60、P61 P72 ~ P74 (注1)	I _{OL} =10mA			2.0	V
		I _{OL} =2.5mA			0.5	
		I _{OL} =2.5mA V _{CC} =2.5V			1.0	
VOL	“L”出力電圧 P62 ~ P67	I _{OL} =15mA			2.0	V
		I _{OL} =3.0mA V _{CC} =2.5V			0.8	
V _{T+} - V _{T-}	ヒステリシス INT0 ₀ 、INT0 ₁ 、INT1 ₀ 、INT1 ₁ 、INT2、 CNTR0、CNTR1、KW0 ~ KW7			0.5		V
V _{T+} - V _{T-}	ヒステリシス SIN2、SCLK1、SCLK2、RXD			0.5		V
V _{T+} - V _{T-}	ヒステリシス RESET	RESETはV _{CC} =2.0 ~ 5.5V		0.5		V
I _{IH}	“H”入力電流 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P70 ~ P74	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 RESET、OSCSEL	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 X _{IN}	V _I =V _{CC}		4.0		μA
I _{IL}	“L”入力電流 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	V _I =V _{SS} プルアップOFF			- 5.0	μA
		V _{CC} =5V、V _I =V _{SS} プルアップON	- 60	- 120	- 240	μA
		V _{CC} =3V、V _I =V _{SS} プルアップON	- 25	- 50	- 100	μA
I _{IL}	“L”入力電流 P40 ~ P47、P50 ~ P57 P60 ~ P67、P72 ~ P74	V _I =V _{SS} プルアップOFF			- 5.0	μA
		V _{CC} =5V、V _I =V _{SS} プルアップON	- 30	- 70	- 140	μA
		V _{CC} =3V、V _I =V _{SS} プルアップON	- 6.5	- 25	- 45	μA
I _{IL}	“L”入力電流 RESET、OSCSEL	V _I =V _{SS}			- 5.0	μA
I _{IL}	“L”入力電流 X _{IN}	V _I =V _{SS}		- 4.0		μA
f(OCO)	オンチップオシレータ発振周波数	V _{CC} =5V、T _a =25	2500	5000	7500	kHz

注1. CPUモードレジスタのポートXc切り替えビット(003B₁₆番地のビット4)が“1”のとき、P61の駆動能力は上記と異なります。

表26. 電気的特性(2)

(指定のない場合は、 $V_{CC}=1.8 \sim 5.5V$ 、 $T_a = -20 \sim 85$ 、 $f(X_{CIN})=32.768kHz$ 、出力トランジスタは遮断状態、A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位
					最小	標準	最大	
V _{RAM}	RAM保持電圧	クロック停止時			1.8		5.5	V
I _{CC}	電源電流	2分周モード時	V _{CC} =5V	f(X _{IN})=12.5MHz		6.4	13	mA
				f(X _{IN})=12.5MHz (WIT 命令実行時)		1.5	3.0	mA
				f(X _{IN})=4MHz		2.2	3.0	mA
			V _{CC} =2.5V	f(X _{IN})=4MHz		0.6	1.2	mA
				f(X _{IN})=4MHz (WIT 命令実行時)		0.3	0.6	mA
				f(X _{IN})=2MHz		0.4	0.8	mA
		4分周モード時	V _{CC} =5V	f(X _{IN})=12.5MHz		3.5	10	mA
				f(X _{IN})=12.5MHz (WIT 命令実行時)		1.5	3	mA
				f(X _{IN})=4MHz		1.5	2.5	mA
			V _{CC} =2.5V	f(X _{IN})=8MHz		0.8	2.5	mA
				f(X _{IN})=8MHz (WIT 命令実行時)		0.3	0.6	mA
				f(X _{IN})=4MHz		0.5	1.0	mA
		8分周モード時	V _{CC} =5.0V	f(X _{IN})=12.5MHz		2.5	5.0	mA
				f(X _{IN})=12.5MHz (WIT 命令実行時)		1.5	3.0	mA
				f(X _{IN})=4MHz		1.2	1.6	mA
			V _{CC} =2.5V	f(X _{IN})=8MHz		0.5	1.0	mA
				f(X _{IN})=8MHz (WIT 命令実行時)		0.3	0.6	mA
				f(X _{IN})=4MHz		0.3	0.6	mA
		低速モード	V _{CC} =5.0V	f(X _{IN})=停止		17	26	μA
				WIT 命令実行時		5.5	11	μA
			V _{CC} =2.5V	f(X _{IN})=停止		7.0	14	μA
WIT 命令実行時				3.5	7.0	μA		
オンチップオシレータモード f(X _{IN})、f(X _{CIN}) = 停止	V _{CC} =5V		270	540	μA			
	V _{CC} =2.5V		35	90	μA			
	V _{CC} =2.5V (WIT 命令実行時)		25	75	μA			
発振はすべて停止 (STP 命令実行時)	T _a = 25		0.1	1.0	μA			
	T _a = 85			10	μA			
A/Dコンバータ動作時の電流増加	f(X _{IN}) = 12.5MHz、V _{CC} = 5V 2、4、8分周モード時	f(X _{IN}) = 停止、V _{CC} = 5V オンチップオシレータ動作モード時		0.5		mA		
		f(X _{IN}) = 停止、V _{CC} = 5V 低速モード		0.5		mA		
		f(X _{IN}) = 停止、V _{CC} = 5V 低速モード		0.4		mA		

表27. A/Dコンバータ推奨動作条件

(指定のない場合は、 $V_{CC}=2.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$ 、出力トランジスタは遮断状態)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{CC}	電源電圧		2.0	5.0	5.5	V
V _{IH}	"H" 入力電圧 ADKEY ₀		0.9V _{CC}		V _{CC}	V
V _{IL}	"L" 入力電圧 ADKEY ₀		0		0.7 × V _{CC} - 0.5	V
f(φ _{AD})	AD変換クロック周波数(注1) (低速・オンチップオシレータモード時を除く)	4.5V < V _{CC} 5.5V			6.25	MHz
		4.0V < V _{CC} 4.5V			4.0	MHz
		2.0V < V _{CC} 4.0V			V _{CC}	MHz

注1. メインクロック入力周波数の推奨動作条件も併せて確認してください。

表28. A/Dコンバータ特性

(指定のない場合は、 $V_{CC} = 2.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$ 、出力トランジスタは遮断状態、低速・オンチップオシレータモード時を含む)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				10	BIT	
ABS	絶対精度 (量子化誤差を除く)	10bitAD選択時	4.5V < V_{CC} 5.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 6.25MHz			4	LSB
			4.0V < V_{CC} 4.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 4MHz				
			2.2V < V_{CC} 4.0V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ V_{CC} MHz				
			2.0V < V_{CC} 5.5V、 AD変換クロック = $f(OCO)/8$ 、 $f(OCO)/32$				
			8bitAD選択時				
		4.5V < V_{CC} 5.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 6.25MHz	2				
		4.0V < V_{CC} 4.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 4MHz					
		2.2V < V_{CC} 4.0V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ V_{CC} MHz					
		2.0V < V_{CC} 2.2V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ $(6V_{CC} - 11)$ MHz					
		2.0V < V_{CC} 2.2V、 AD変換クロック = $f(X_{IN})/8$ V_{CC} MHz					
2.0V < V_{CC} 5.5V、 AD変換クロック = $f(OCO)/8$ 、 $f(OCO)/32$							
tCONV	変換時間(注1)	10bitAD選択時	$t_c(AD) \times 61$		$t_c(AD) \times 62$	μs	
		8bitAD選択時	$t_c(AD) \times 49$		$t_c(AD) \times 50$		
RLADDER	ラダー抵抗		12	35	100	k	
IVREF	基準電源入力電流	$V_{REF}=5.0V$	50	150	200	μA	
I _{IA}	アナログ入力電流				5.0	μA	

注1. $t_c(AD)$: AD変換クロック1周期の時間です。AD変換クロックは SOURCE/2またはSOURCE/8を選択できます。SOURCEとは、2分周・4分周・8分周モード時では X_{IN} 入力、低速・オンチップオシレータモードではオンチップオシレータの4分周の発振周波数を指します。2分周・4分周・8分周モード時でA/D変換を行う場合は、 $f(X_{IN})$ 500kHzにしてください。

AD変換クロック周波数と電源電圧、AD変換モード、及び絶対精度の関係は次の通りです。

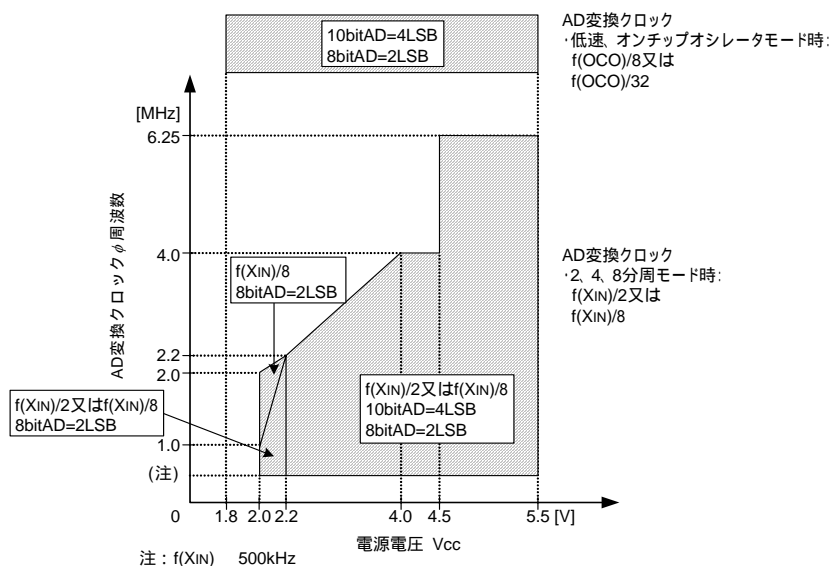


表29. タイミング必要条件(1)
(指定のない場合はVcc=4.0 ~ 5.5V、Vss=0V、Ta= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 “ L ” パルス幅	2			μs
tc(XIN)	メインクロック入力 サイクル時間	4.5V Vcc 5.5V(注1)	62.5		ns
		4.0V Vcc < 4.5V	125		ns
twh(XIN)	メインクロック入力 “ H ” パルス幅	4.5V Vcc 5.5V(注2)	25		ns
		4.0V Vcc < 4.5V	50		ns
twl(XIN)	メインクロック入力 “ L ” パルス幅	4.5V Vcc 5.5V(注2)	25		ns
		4.0V Vcc < 4.5V	50		ns
tc(CNTR)	CNTR0,CNTR1入力サイクル時間	250			ns
twh(CNTR)	CNTR0,CNTR1入力 “ H ” パルス幅	105			ns
twl(CNTR)	CNTR0,CNTR1入力 “ L ” パルス幅	105			ns
twh(INT)	INT00、INT01、INT10、INT11、INT2入力 “ H ” パルス幅	80			ns
twl(INT)	INT00、INT01、INT10、INT11、INT2入力 “ L ” パルス幅	80			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間 (注3)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力 “ H ” パルス幅 (注3)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力 “ L ” パルス幅 (注3)	370			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力 “ H ” パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力 “ L ” パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2SIN2)	シリアルI/O2入力ホールド時間	200			ns

注1. 2分周モード使用時は、80nsになります。

注2. 2分周モード使用時は、32nsになります。

注3. 001A16番地のビット6が “ 1 ” (クロック同期式モード)の場合です。

001A16番地のビット6が “ 0 ” (クロック非同期式モード)の場合は、規格値は1/4になります。

表30. タイミング必要条件(2)
(指定のない場合はVcc=1.8 ~ 4.0V、Vss=0V、Ta= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力 サイクル時間(XIN入力)	2.0V Vcc < 4.0V	125		ns
		Vcc < 2.0V	166		ns
twh(XIN)	メインクロック入力 “H”パルス幅	2.0V Vcc < 4.0V	50		ns
		Vcc < 2.0V	70		ns
twl(XIN)	メインクロック入力 “L”パルス幅	2.0V Vcc < 4.0V	50		ns
		Vcc < 2.0V	70		ns
tc(CNTR)	CNTR0、CNTR1入力 サイクル時間	2.0V Vcc < 4.0V	1000/Vcc		ns
		Vcc < 2.0V	1000/(5×Vcc-8)		ns
twh(CNTR)	CNTR0、CNTR1入力“H”パルス幅		tc(CNTR)/2-20		ns
twl(CNTR)	CNTR0、CNTR1入力“L”パルス幅		tc(CNTR)/2-20		ns
twh(INT)	INT00、INT01、INT10、INT11、INT2入力“H”パルス幅		230		ns
twl(INT)	INT00、INT01、INT10、INT11、INT2入力“L”パルス幅		230		ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注1)		2000		ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注1)		950		ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注1)		950		ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間		400		ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間		200		ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間		2000		ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅		950		ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅		950		ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間		400		ns
th(SCLK2-SIN2)	シリアルI/O2入力ホールド時間		200		ns

注1. 001A16番地のビット6が“1”(クロック同期式モード)の場合です。
001A16番地のビット6が“0”(クロック非同期式モード)の場合は、規格値は1/4になります。

表31. スイッチング特性(1)

(指定のない場合はV_{CC}=4.0 ~ 5.5V、V_{SS}=0V、T_a= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	t _c (SCLK1)/2-30			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	t _c (SCLK1)/2-30			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)			140	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)	-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	t _c (SCLK2)/2-30			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	t _c (SCLK2)/2-30			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			40	ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間			140	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間	-30			ns

注1. UART制御レジスタのP41/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表32. スイッチング特性(2)

(指定のない場合はV_{CC}=1.8 ~ 4.0V、V_{SS}=0V、T_a= - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	t _c (SCLK1)/2-80			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	t _c (SCLK1)/2-80			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)			350	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)	-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			80	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			80	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	t _c (SCLK2)/2-80			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	t _c (SCLK2)/2-80			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			80	ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間			350	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間	-30			ns

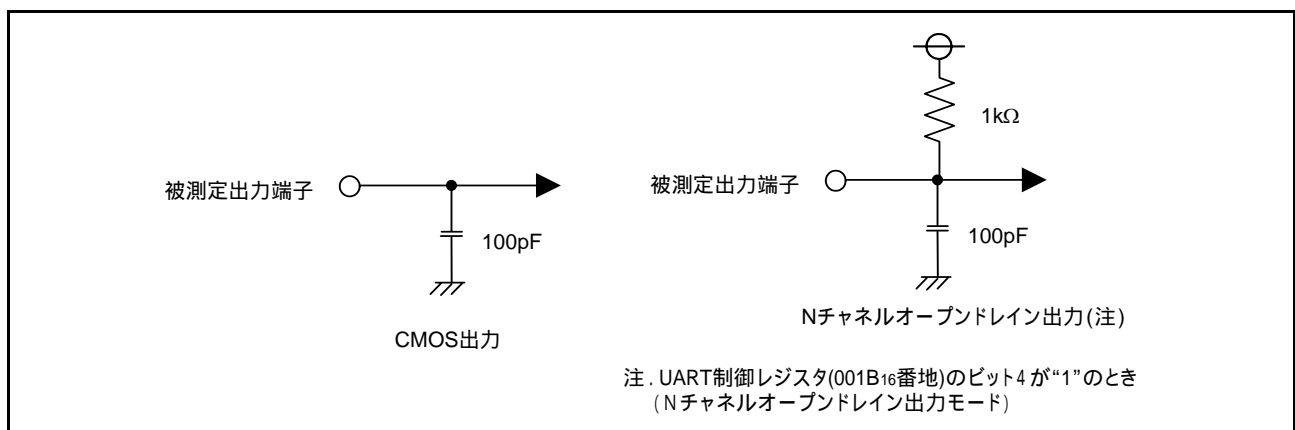
注1. UART制御レジスタのP41/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

図95. 出力スイッチング特性の測定回路図

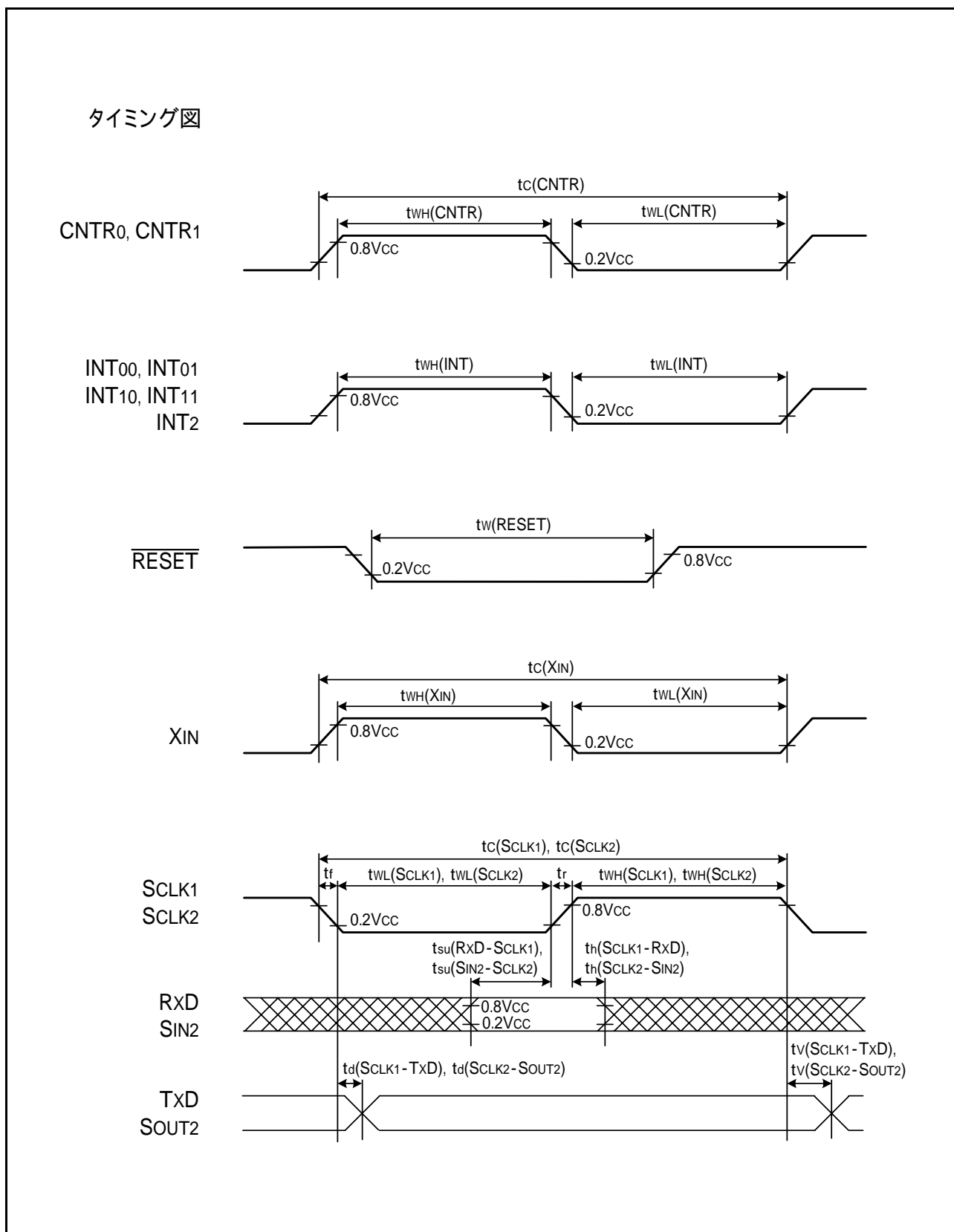


図96. タイミング図

フラッシュメモリ版電気的特性

表33. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧 P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、 P40 ~ P47、P50 ~ P57、P60 ~ P67、P70 ~ P74	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 V _{L1}		- 0.3 ~ V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~ V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~ 6.5	V
V _I	入力電圧 C ₁ 、C ₂		- 0.3 ~ 6.5	V
V _I	入力電圧 $\overline{\text{RESET}}$ 、X _{IN} 、CNV _{SS}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 C ₁ 、C ₂		- 0.3 ~ 6.5	V
V _O	出力電圧 P00 ~ P07、P10 ~ P17、 P20 ~ P27、P30 ~ P37		出力ポート時	- 0.3 ~ V _{CC} + 0.3
		セグメント出力時	- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 V _{L3}		- 0.3 ~ 6.5	V
V _O	出力電圧 V _{L2} 、SEG ₃₂ ~ SEG ₃₅ 、COM ₀ ~ COM ₃		- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85	
T _{stg}	保存温度		- 40 ~ 125	

表34. 推奨動作条件(1)

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$)

記号	項目		規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	2分周モード時 (注2)	f(XIN) 12.5MHz	4.5		5.5	V
			f(XIN) 8MHz	4.0		5.5	V
			f(XIN) 4MHz	2.7		5.5	V
		4分周モード時	f(XIN) 16MHz	4.5		5.5	V
			f(XIN) 8MHz	2.7		5.5	V
		8分周モード時	f(XIN) 16MHz	4.5		5.5	V
			f(XIN) 8MHz	2.7		5.5	V
		低速モード時		2.7		5.5	V
オンチップオシレータモード時		2.7		5.5	V		
Vss	電源電圧			0		V	
VLI	VL1入力電圧	昇圧回路使用時		1.3	1.8	2.1	V
VREF	A/Dコンバータ基準電圧		2.7		Vcc	V	
AVss	アナログ電源電圧			0		V	
VIA	アナログ入力電圧	AN0 ~ AN7	AVss		Vcc	V	
VIH	"H" 入力電圧	P00 ~ P07、P10 ~ P17、P24 ~ P27、P30 ~ P37、P41、P43、P50 ~ P57、P60、P61、P65、P72 ~ P74	0.7Vcc		Vcc	V	
VIH	"H" 入力電圧	P20 ~ P23、P40、P42、P44 ~ P47、P62 ~ P64、P66、P67、P70、P71	0.8Vcc		Vcc	V	
VIH	"H" 入力電圧	RESET	0.8Vcc		Vcc	V	
VIH	"H" 入力電圧	XIN	0.8Vcc		Vcc	V	
VIL	"L" 入力電圧	P00 ~ P07、P10 ~ P17、P24 ~ P27、P30 ~ P37、P41、P43、P50 ~ P57、P60 (CM4=0)、P61、P65、P72 ~ P74	0		0.3Vcc	V	
VIL	"L" 入力電圧	P20 ~ P23、P40、P42、P44 ~ P47、P62 ~ P64、P66、P67、P70、P71	0		0.2Vcc	V	
VIL	"L" 入力電圧	RESET	0		0.2Vcc	V	
VIL	"L" 入力電圧	XIN	0		0.2Vcc	V	

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 12.5MHz < f(XIN) 16MHzは2分周モードでは使用できません。

表35. 推奨動作条件(3)

(指定のない場合は、VCC=2.7 ~ 5.5V、VSS=0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力総尖頭電流(注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			- 40	mA
I _{OH} (peak)	“H”出力総尖頭電流(注1) P40 ~ P47、P50 ~ P57、P60 ~ P67			- 40	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			40	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P40 ~ P47、P50 ~ P57、P60、P61			40	mA
I _{OL} (peak)	“L”出力総尖頭電流(注1) P62 ~ P67			110	mA
I _{OH} (avg)	“H”出力総平均電流(注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			- 20	mA
I _{OH} (avg)	“H”出力総平均電流(注1) P40 ~ P47、P50 ~ P57、P60 ~ P67			- 20	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P72 ~ P74			20	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P40 ~ P47、P50 ~ P57、P60、P61			20	mA
I _{OL} (avg)	“L”出力総平均電流(注1) P62 ~ P67			90	mA
I _{OH} (peak)	“H”出力尖頭電流(注2) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			- 2	mA
I _{OH} (peak)	“H”出力尖頭電流(注2) P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74			- 5	mA
I _{OL} (peak)	“L”出力尖頭電流(注2) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			5	mA
I _{OL} (peak)	“L”出力尖頭電流(注2) P40 ~ P47、P50 ~ P57、P60、P61、P72 ~ P74			10	mA
I _{OL} (peak)	“L”出力尖頭電流(注2) P62 ~ P67			30	mA
I _{OH} (avg)	“H”出力平均電流(注3) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			- 1.0	mA
I _{OH} (avg)	“H”出力平均電流(注3) P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74			- 2.5	mA
I _{OL} (avg)	“L”出力平均電流(注3) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			2.5	mA
I _{OL} (avg)	“L”出力平均電流(注3) P40 ~ P47、P50 ~ P57、P60 ~ P67、P72 ~ P74			5.0	mA
I _{OL} (avg)	“L”出力平均電流(注3) P62 ~ P67			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

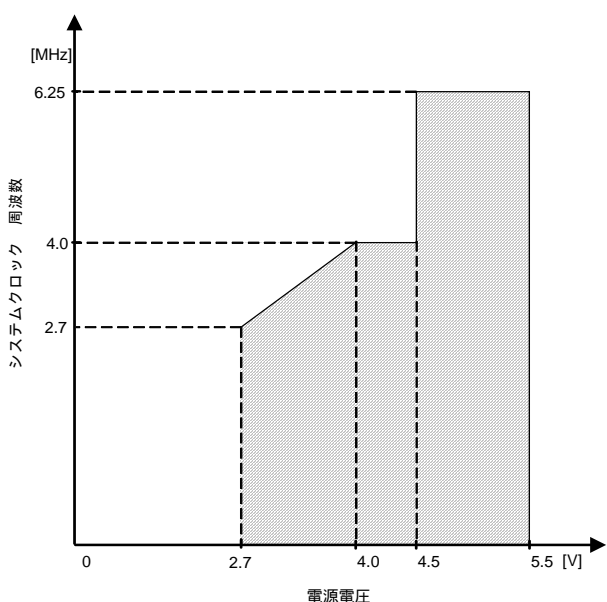
注3. 出力平均電流は、I_{OL}(avg)、I_{OH}(avg)100msの期間での平均値です。

表36. 推奨動作条件(4)
(指定のない場合は、Vcc=2.7 ~ 5.5V、Vss=0V、Ta = - 20 ~ 85)

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY入力周波数 (デューティ 50%時)	4.5V Vcc 5.5V			6.25	MHz
		4.0V Vcc < 4.5V			2 × Vcc - 4	MHz
		2.7V Vcc < 4.0V			Vcc	MHz
f(Tclk)	タイマX、タイマY タイマ1、2、3、4用 クロック周波数 (各タイマのカウントソース周波数)	4.5V Vcc 5.5V			16	MHz
		4.0V Vcc < 4.5V			4 × Vcc - 8	MHz
		2.7V Vcc < 4.0V			2 × Vcc	MHz
f()	システムクロック 周波数 (注1)	4.5V Vcc 5.5V			6.25	MHz
		4.0V Vcc < 4.5V			4	MHz
		2.7V Vcc < 4.0V			Vcc	MHz
f(XIN)	メインクロック入力発振周波数 (デューティ 50%時) (注2、3)	4.5V Vcc 5.5V	1.0		16	MHz
		2.7V Vcc < 4.5V	1.0		8.0	MHz
f(XCIN)	サブクロック入力発振周波数 (デューティ 50%時) (注4、5)			32.768	80	kHz

- 注1. システムクロック 周波数と電源電圧の関係は下記図の通りです。
- 注2. A/Dコンバータをご使用になる場合、A/Dコンバータの推奨動作条件を参照してください。
- 注3. 12.5MHz < f(XIN) 16MHzは2分周モードでは使用できません。
- 注4. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。
- 注5. 低速モードを使用する場合、時計用クロック入力発振周波数はf(XCIN) < f(XIN)/3としてください。

<システムクロック 周波数>



<メインクロック XIN周波数>

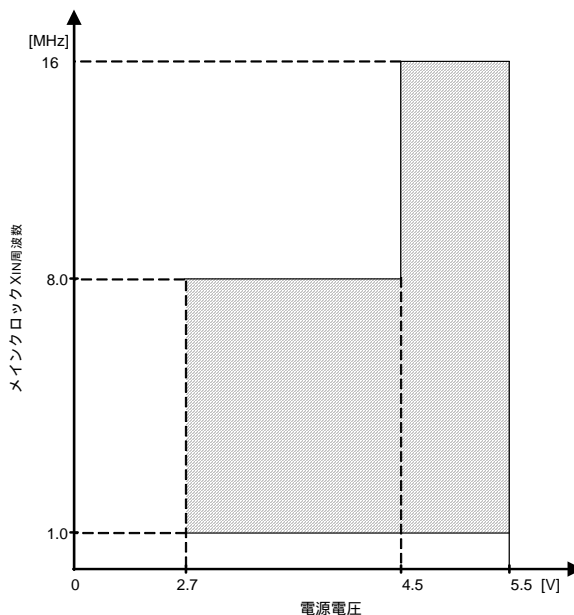


表37. 電気的特性(1) (指定のない場合はVcc=2.7 ~ 5.5V、Vss=0V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	IOH= - 2.5mA	Vcc - 2.0			V
VOH	“H”出力電圧 P40 ~ P47、P50 ~ P57、P60 ~ P67、 P72 ~ P74 (注)	IOH= - 5mA	Vcc - 2.0			V
		IOH= - 1.25mA	Vcc - 0.5			V
VOL	“L”出力電圧 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	IOL=5mA			2.0	V
		IOL=1.25mA			0.5	V
VOL	“L”出力電圧 P40 ~ P47、P50 ~ P57、P60 ~ P67、 P72 ~ P74 (注)	IOL=10mA			2.0	V
		IOL=2.5mA			0.5	V
VOL	“L”出力電圧 P62 ~ P67	IOL = 15mA			2.0	V
VT+ - VT-	ヒステリシス INT00、INT01、INT10、INT11、INT2、 CNTR0、CNTR1、KW0 ~ KW7			0.5		V
VT+ - VT-	ヒステリシス SIN2、SCLK1、SCLK2、RxD			0.5		V
VT+ - VT-	ヒステリシス $\overline{\text{RESET}}$			0.5		V
IiH	“H”入力電流 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	Vi=Vcc			5.0	μA
IiH	“H”入力電流 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P70 ~ P74	Vi=Vcc			5.0	μA
IiH	“H”入力電流 $\overline{\text{RESET}}$ 、CNVss	Vi=Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4.0		μA
IiL	“L”入力電流 P00 ~ P07、P10 ~ P17、P20 ~ P27、 P30 ~ P37	Vi=Vss ブルアップOFF			- 5.0	μA
		Vcc = 5V、Vi = Vss ブルアップON	- 60	- 120	- 240	μA
		Vcc = 3V、Vi = Vss ブルアップON	- 25	- 50	- 100	μA
IiL	“L”入力電流 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P72 ~ P74	Vi=Vss ブルアップOFF			- 5.0	μA
		Vcc = 5V、Vi = Vss ブルアップON	- 30	- 70	- 140	μA
		Vcc = 3V、Vi = Vss ブルアップON	- 6.5	- 25	- 45	μA
IiL	“L”入力電流 $\overline{\text{RESET}}$ 、CNVss	Vi=Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		- 4.0		μA
f(OCO)	オンチップオシレータ発振周波数	Vcc = 5V、Ta = 25	2500	5000	7500	kHz

注1. CPUモードレジスタのポートXc切り替えビット(003B16番地のビット4)が“1”のとき、P61の駆動能力は上記と異なります。

表38. 電気的特性(2)

(指定のない場合は、Vcc=2.7 ~ 5.5V、Vss=0V、Ta = - 20 ~ 85、f(XCIN)=32.768kHz、出力トランジスタは遮断状態、A/Dコンバータ非動作時)

記号	項目	測定条件		規格値			単位		
				最小	標準	最大			
V _{RAM}	RAM保持電圧	クロック停止時		2.2		5.5	V		
I _{CC}	電源電流	2分周モード	Vcc=5.0V	f(X _{IN})=12.5MHz		4.0	7.0	mA	
				f(X _{IN})=12.5MHz(WIT命令実行時)		2.0	3.5	mA	
				f(X _{IN})=4MHz		2.0	3.5	mA	
			Vcc=2.7V	f(X _{IN})=4MHz		1.5	3	mA	
				f(X _{IN})=4MHz(WIT命令実行時)		1.0	2.5	mA	
				f(X _{IN})=2MHz		1.0	2.5	mA	
		4分周モード	Vcc=5.0V	f(X _{IN})=12.5MHz		3.2	5.6	mA	
				f(X _{IN})=12.5MHz(WIT命令実行時)		1.6	3.2	mA	
				f(X _{IN})=4MHz		1.6	3.2	mA	
			Vcc=2.7V	f(X _{IN})=8MHz		1.6	3.2	mA	
				f(X _{IN})=8MHz(WIT命令実行時)		1.0	2.5	mA	
				f(X _{IN})=4MHz		1.0	2.5	mA	
		8分周モード	Vcc=5.0V	f(X _{IN})=12.5MHz		2.5	5	mA	
				f(X _{IN})=12.5MHz(WIT命令実行時)		1.5	3	mA	
				f(X _{IN})=4MHz		1.5	3	mA	
			Vcc=2.7V	f(X _{IN})=8MHz		1.5	3	mA	
				f(X _{IN})=8MHz(WIT命令実行時)		1.0	2.5	mA	
				f(X _{IN})=4MHz		1.0	2.5	mA	
		低速モード	Vcc=5.0V	f(X _{IN})=停止		400	800	μA	
				WIT命令実行時	Ta = 25		4.0	10	μA
					Ta = 85			20	
			Vcc=2.7V	f(X _{IN})=停止		300	600	μA	
				WIT命令実行時	Ta = 25		3.7	9	μA
					Ta = 85			18	
オンチップオシレータモード f(X _{IN})、f(X _{CIN}) = 停止	Vcc=5.0V		600	1200	μA				
	Vcc=2.7V		500	1000	μA				
	Vcc=2.7V(WIT命令実行時)		500	1000	μA				
発振はすべて停止 (STP命令実行時)	Ta = 25		0.6	3.0	μA				
	Ta = 85		1.0		μA				
A/Dコンバータ動作時の電流増加	f(X _{IN}) = 12.5MHz、Vcc = 5V 2、4、8分周モード時		1.0		mA				
	f(X _{IN}) = 停止、Vcc = 5V オンチップオシレータ動作モード時		1.0		mA				
	f(X _{IN}) = 停止、Vcc = 5V 低速モード		0.8		mA				

表39. A/Dコンバータ推奨動作条件

(指定のない場合は、Vcc = 2.7 ~ 5.5V、Vss=0V、Ta = - 20 ~ 85、出力トランジスタは遮断状態)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
V _{CC}	電源電圧			2.7	5.0	5.5	V
V _{IH}	“H”入力電圧 ADKEY ₀			0.9V _{CC}		V _{CC}	V
V _{IL}	“L”入力電圧 ADKEY ₀			0		0.7 × V _{CC} - 0.5	V
f(AD)	AD変換クロック周波数(注) (低速・オンチップオシレータ モード時を除く)	4.5V < V _{CC}	5.5V			6.25	MHz
		4.0V < V _{CC}	4.5V			4.0	MHz
		2.7V < V _{CC}	4.0V			V _{CC}	MHz

注1. メインクロック入力周波数の推奨動作条件も併せて確認してください。

表40. A/Dコンバータ特性
 (指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、出力トランジスタは遮断状態、低速・オンチップオシレータモード時を含む)

記号	項目	測定条件	規格値			単位				
			最小	標準	最大					
-	分解能				10	BIT				
ABS	絶対精度 (量子化誤差を除く)	10bitAD選択時	4.5V < V_{CC} 5.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 6.25MHz			4	LSB			
			4.0V < V_{CC} 4.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 4MHz							
			2.7V V_{CC} 4.0V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ V_{CC} MHz							
			2.7V V_{CC} 5.5V、 $f(OCO)/8$ 、 $f(OCO)/32$							
		8bitAD選択時	4.5V < V_{CC} 5.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 6.25MHz						2	
			4.0V < V_{CC} 4.5V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ 4MHz							
			2.7V V_{CC} 4.0V、 AD変換クロック = $f(X_{IN})/2$ 、 $f(X_{IN})/8$ V_{CC} MHz							
			2.7V V_{CC} 5.5V、 $f(OCO)/8$ 、 $f(OCO)/32$							
tCONV	変換時間(注1)	10bitAD選択時	$t_c(AD) \times 61$		$t_c(AD) \times 62$	μs				
		8bitAD選択時	$t_c(AD) \times 49$		$t_c(AD) \times 50$					
RLADDER	ラダー抵抗		12	35	100	k				
IvREF	基準電圧入力電流	$V_{REF} = 5V$	50	150	200	μA				
IiA	アナログ入力電流				5.0	μA				

注1. $t_c(AD)$: AD変換クロック1周期の時間です。AD変換クロックは SOURCE/2またはSOURCE/8を選択できます。SOURCEとは、2分周・4分周・8分周モード時では X_{IN} 入力、低速・オンチップオシレータモードではオンチップオシレータの4分周の発振周波数を指します。2分周・4分周・8分周モード時でA/D変換を行う場合は、 $f(X_{IN})$ 500kHzにしてください。

AD変換クロック周波数と電源電圧、AD変換モード、及び絶対精度の関係は次の通りです。

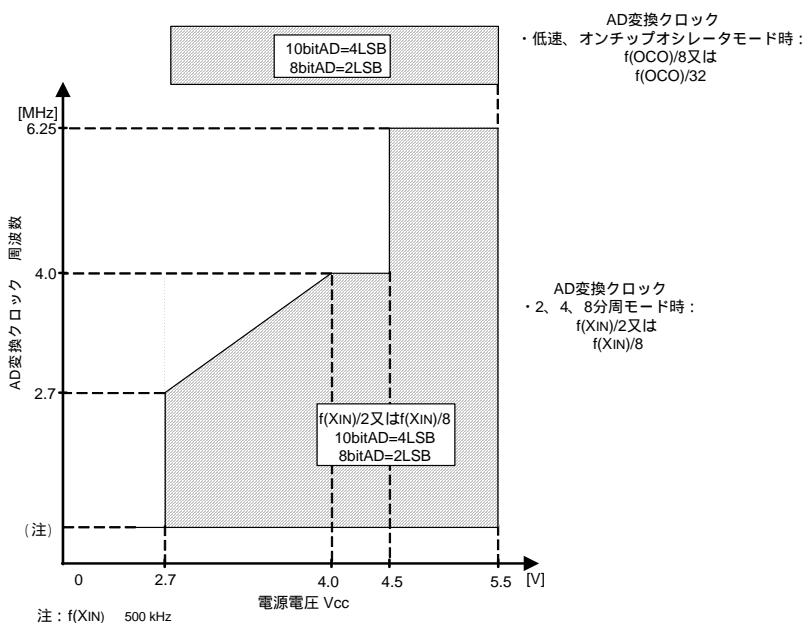


表41. 電源回路のタイミング特性
(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	2.7 V_{CC} 5.5V	2			ms

表42. タイミング必要条件(1)
(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力 サイクル時間	4.5V V_{CC} 5.5V(注1)	62.5		ns
		4.0V $V_{CC} < 4.5V$	125		ns
twh(XIN)	メインクロック入力 “H”パルス幅	4.5V V_{CC} 5.5V(注2)	25		ns
		4.0V $V_{CC} < 4.5V$	50		ns
twl(XIN)	メインクロック入力 “L”パルス幅	4.5V V_{CC} 5.5V(注2)	25		ns
		4.0V $V_{CC} < 4.5V$	50		ns
tc(CNTR)	CNTR0、CNTR1入力サイクル時間	250			ns
twh(CNTR)	CNTR0、CNTR1入力“H”パルス幅	105			ns
twl(CNTR)	CNTR0、CNTR1入力“L”パルス幅	105			ns
twh(INT)	INT00、INT01、INT10、INT11、INT2入力“H”パルス幅	80			ns
twl(INT)	INT00、INT01、INT10、INT11、INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間(注3)	800			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅(注3)	370			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅(注3)	370			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	1000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	400			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアルI/O2入力ホールド時間	200			ns

注1. 2分周モード使用時は、80nsになります。

注2. 2分周モード使用時は、32nsになります。

注3. 001A16番地のビット6が“1”(クロック同期式モード)の場合です。

001A16番地のビット6が“0”(クロック非同期式モード)の場合、規格値は1/4になります。

表43. タイミング必要条件(2)
(指定のない場合は、 $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力 サイクル時間(XIN入力)	125			ns
twh(XIN)	メインクロック入力 “H”パルス幅	50			ns
twl(XIN)	メインクロック入力 “L”パルス幅	50			ns
tc(CNTR)	CNTR ₀ 、CNTR ₁ 入力 サイクル時間	1000/V _{CC}			ns
twh(CNTR)	CNTR ₀ 、CNTR ₁ 入力“H”パルス幅	tc(CNTR)/2 - 20			ns
twl(CNTR)	CNTR ₀ 、CNTR ₁ 入力“L”パルス幅	tc(CNTR)/2 - 20			ns
twh(INT)	INT ₀₀ 、INT ₀₁ 、INT ₁₀ 、INT ₁₁ 、INT ₂ 入力“H”パルス幅	230			ns
twl(INT)	INT ₀₀ 、INT ₀₁ 、INT ₁₀ 、INT ₁₁ 、INT ₂ 入力“L”パルス幅	230			ns
tc(SCLK1)	シリアルI/O1クロック入力サイクル時間	2000			ns
twh(SCLK1)	シリアルI/O1クロック入力“H”パルス幅	950			ns
twl(SCLK1)	シリアルI/O1クロック入力“L”パルス幅	950			ns
tsu(RxD-SCLK1)	シリアルI/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアルI/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアルI/O2クロック入力サイクル時間	2000			ns
twh(SCLK2)	シリアルI/O2クロック入力“H”パルス幅	950			ns
twl(SCLK2)	シリアルI/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアルI/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアルI/O2入力ホールド時間	200			ns

注. 001A16番地のビット6が“1”(クロック同期式モード)の場合です。
001A16番地のビット6が“0”(クロック非同同期式モード)の場合、規格値は1/4になります。

表44. スイッチング特性(1)
(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2 - 30$			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2 - 30$			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)			140	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)	-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			30	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			30	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2 - 30$			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2 - 30$			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			40	ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間			140	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間	-30			ns

注1. UART制御レジスタのP41/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表45. スイッチング特性(2)
(指定のない場合は、 $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK1)	シリアルI/O1クロック出力“H”パルス幅	$t_c(SCLK1)/2 - 80$			ns
t _{WL} (SCLK1)	シリアルI/O1クロック出力“L”パルス幅	$t_c(SCLK1)/2 - 80$			ns
t _d (SCLK1-TxD)	シリアルI/O1出力遅延時間(注1)			350	ns
t _v (SCLK1-TxD)	シリアルI/O1出力有効時間(注1)	-30			ns
t _r (SCLK1)	シリアルI/O1クロック出力立ち上がり時間			80	ns
t _f (SCLK1)	シリアルI/O1クロック出力立ち下がり時間			80	ns
t _{WH} (SCLK2)	シリアルI/O2クロック出力“H”パルス幅	$t_c(SCLK2)/2 - 80$			ns
t _{WL} (SCLK2)	シリアルI/O2クロック出力“L”パルス幅	$t_c(SCLK2)/2 - 80$			ns
t _f (SCLK2)	シリアルI/O2クロック出力立ち下がり時間			80	ns
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間			350	ns
t _v (SCLK2-SOUT2)	シリアルI/O2出力有効時間	-30			ns

注1. UART制御レジスタのP41/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

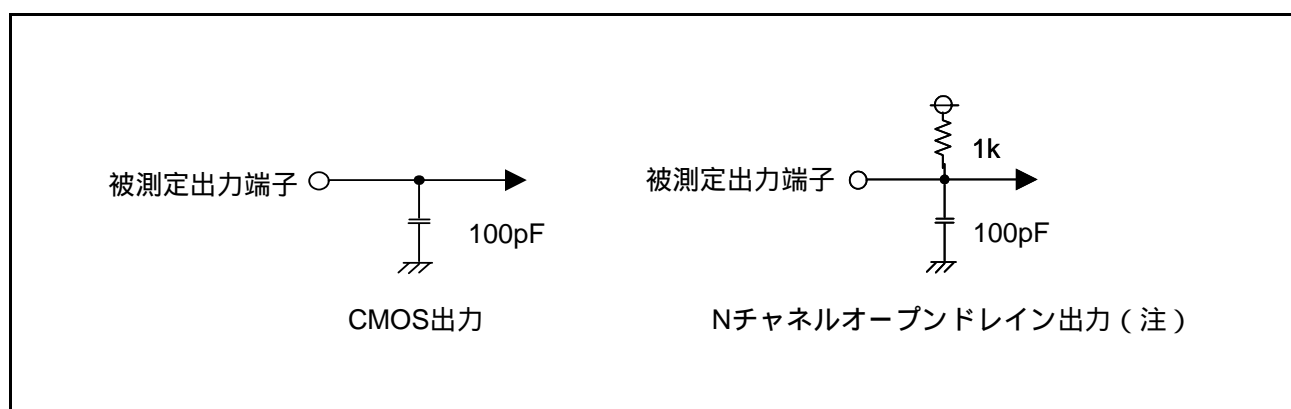


図97. 出力スイッチング特性測定回路図

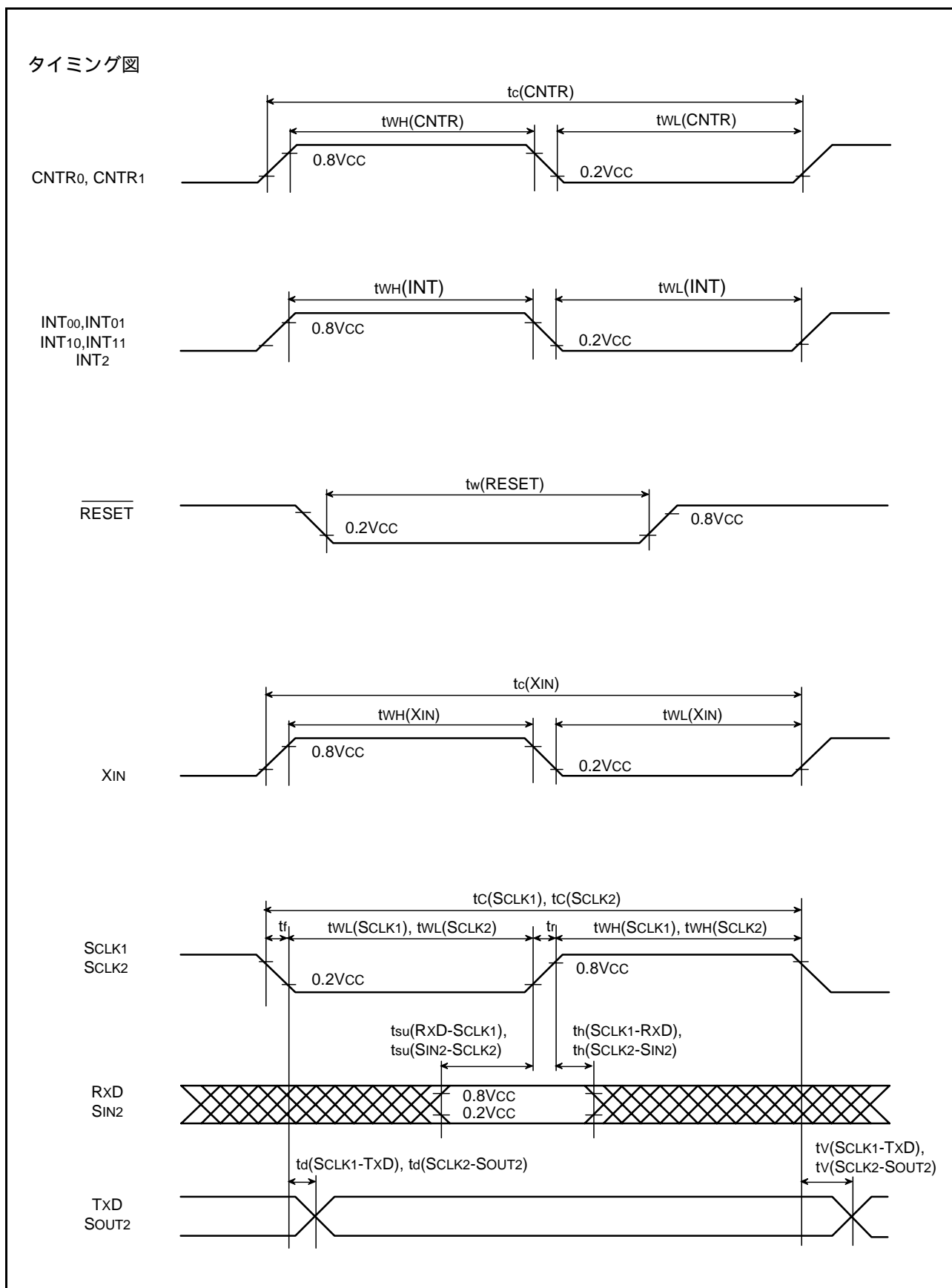
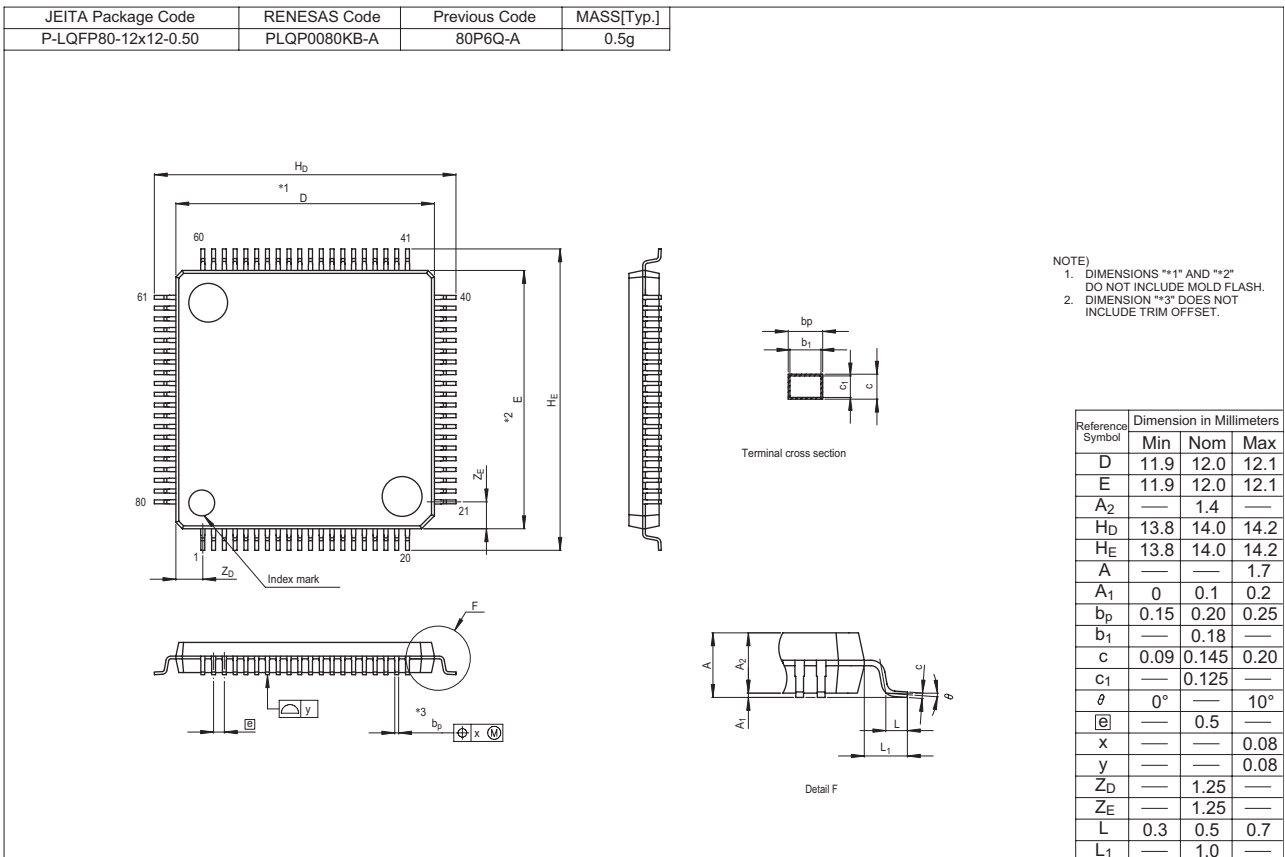
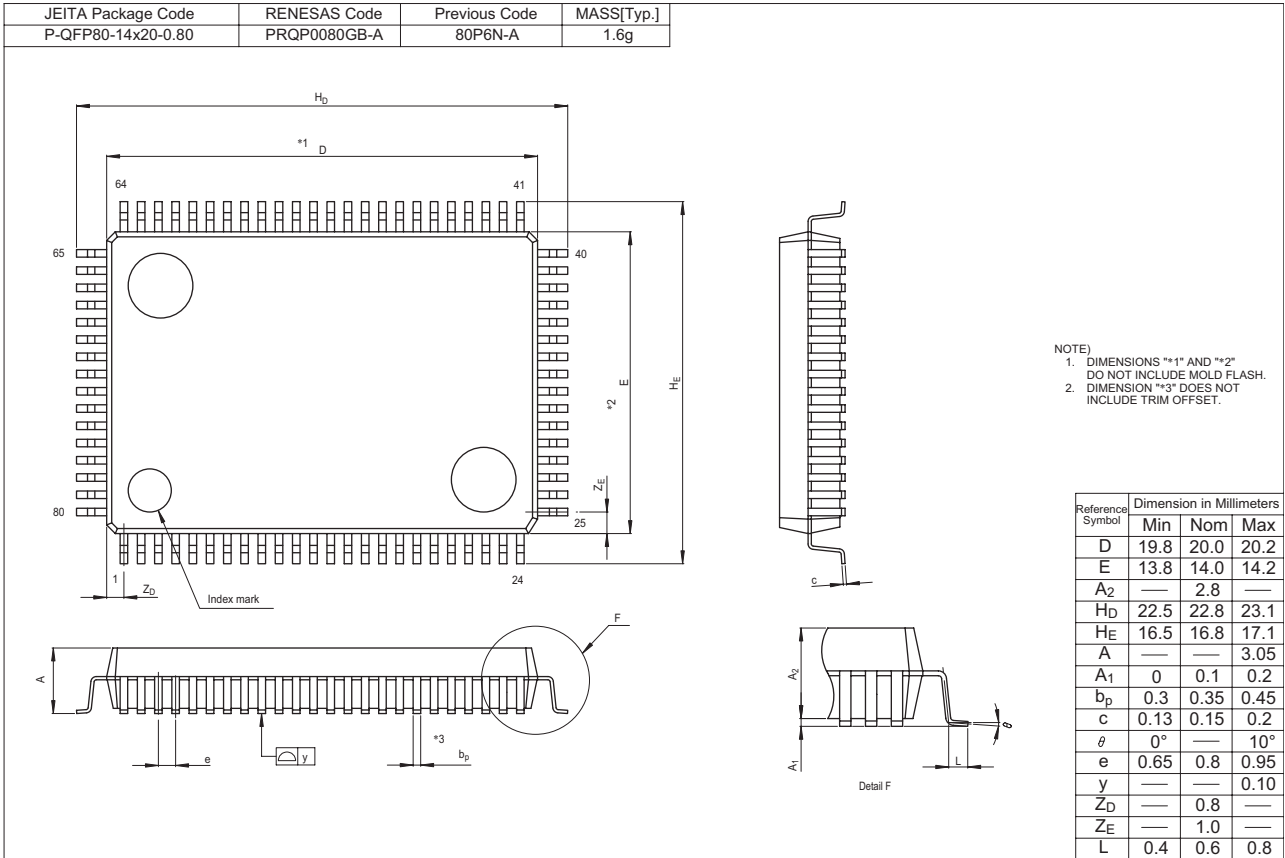


図98. タイミング図 (シングルチップモード時)

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



付録

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。プログラムの先頭で初期化してください。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

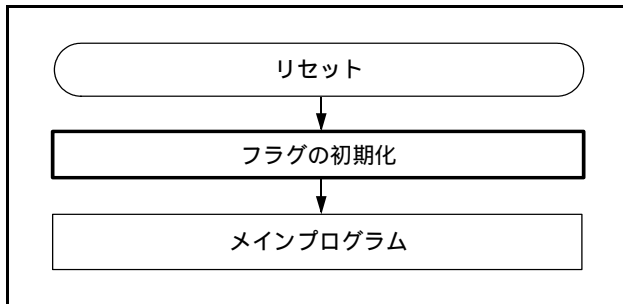


図99. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

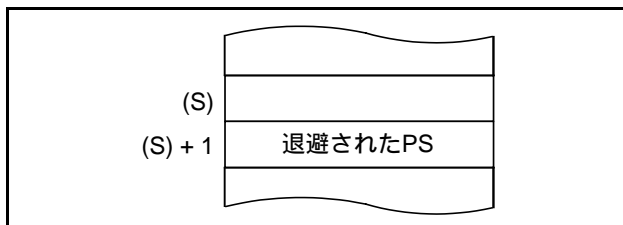


図100. PHP命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

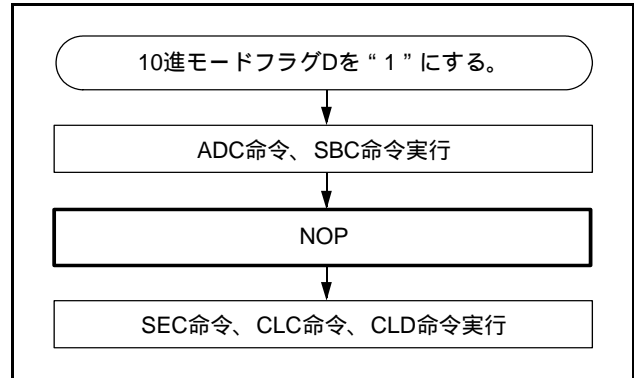


図101. 10進演算時の命令

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=“1”)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

3. JMP 命令

JMP 命令 (間接アドレッシングモード) を使用する場合、下位 8 ビットが “FF16” となるアドレスをオペランドに指定しないでください。

4. 乗除算命令

- (1) MUL、DIV 命令は、T、D フラグの影響を受けません。
- (2) 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

5. リード・モディファイ・ライト命令

読み出しができない SFR に対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み (リード)、加工して (モディファイ)、元のメモリにバイト単位で書く (ライト) 命令です。

740 ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

- (1) ビット処理命令
CLB、SEB
- (2) シフト・回転命令
ASL、LSR、ROL、ROR、RRF
- (3) 加減算命令
DEC、INC
- (4) 論理演算命令 (1 の補数)
COM

なお、リード・モディファイ・ライト命令ではありませんが、T フラグが “1” の場合の加減算・論理演算命令 (ADC、SBC、AND、EOR、ORA) も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができない SFR に対して実行しないでください。

< 理由 >

読み出しができない SFR に対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力端子に関する注意事項

1. スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特に N チャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ (Vcc に接続) またはプルダウン (Vss に接続) してください。

抵抗値を決定する際は、以下の 2 点に留意してください。

- 外付け回路
- 通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- 入力ポートに設定している場合：入力レベルを固定する。
- 出力ポートに設定している場合：外部に電流が流出しないようにする。

< 理由 >

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が “1” の場合トランジスタが OFF 状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1 スタンバイ状態： STP 命令実行によるストップモード
WIT 命令実行によるウェイトモード

2. ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*1を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートレジスタに読み出し、書き込みを行うと次のように動作します。

- 入力モードのポート
 - 読み出し：端子のレベルを読む。
 - 書き込み：ポートラッチへ書く。
- 出力モードのポート
 - 読み出し：ポートラッチを読む、又は、周辺機能の出力を読む（ポートにより仕様が異なる）。
 - 書き込み：ポートラッチへ書く（ポートラッチの内容を端子から出力する）。

一方、ビット処理命令はリード・モディファイ・ライト命令*2ですので、ポートレジスタにビット処理命令を実行した場合、命令で指定していないビットにも同時に読み出し及び書き込みが行われます。

指定していないビットが入力モードの場合は、端子のレベルを読み、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違う場合は、ポートラッチの内容が変化します。

指定していないビットが出力モードの場合は、基本的にはポートラッチを読みますが、周辺機能の出力を読むポートもあり、その値をポートラッチへ書きます。このとき、元のポートラッチの内容と、周辺機能の出力が違う場合は、ポートラッチの内容が変化します。

*1ビット処理命令：SEB命令、CLB命令

*2リード・モディファイ・ライト命令：

メモリをバイト単位で読み（リード）、加工して（モディファイ）、元のメモリにバイト単位で書く（ライト）命令

3. 方向レジスタ

方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

4. プルアップ制御

入力ポートに設定されている端子のみPULLレジスタ及びセグメント出力禁止レジスタによってプルアップ制御が行えます。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線（20mm以内）で次の処理をしてください。

(1) 入出力ポート

入力モードにし、端子ごとに1k～10kの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、“L”又は“H”出力状態で開放してください。

- 出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ノイズやプログラムの暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1) 入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 「1.(1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共有している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

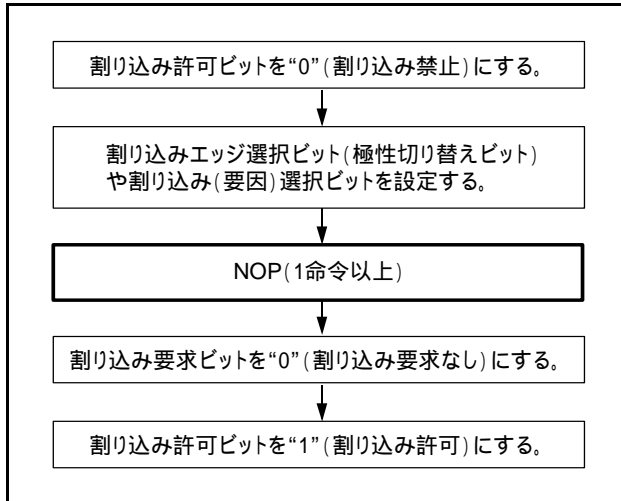


図102. 関連レジスタの設定手順

< 理由 >

次の場合、対応する割り込みの割り込み要求ビットが“1”になるときがあります。

< 外部割り込みのアクティブエッジを切り替えるとき >

- INT₀割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
- INT₁割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット1)
- INT₂割り込みエッジ選択ビット
(割り込みエッジ選択レジスタのビット2)
- CNTR₀極性切り替えビット
(タイマX制御レジスタ1(002E16番地)のビット6、7)
- CNTR₁極性切り替えビット
(タイマYモードレジスタ(003816番地)のビット6)

< 複数の割り込み要因で共有している割り込みベクトルの割り込み要因を切り替えるとき >

- タイマY/CNTR₁割り込み切り替えビット
(割り込みエッジ選択レジスタのビット3)

< INT端子を切り替えるとき >

- INT₀入力ポート切り替えビット
(割り込みエッジ選択レジスタのビット4)
- INT₁入力ポート切り替えビット
(割り込みエッジ選択レジスタのビット5)

2. 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

< 理由 >

割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

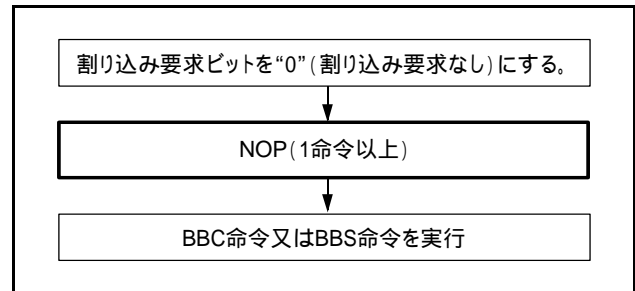


図103. 割り込み要求ビットの設定手順

3. 使用しない割り込みの設定

使用しない割り込みの割り込み許可ビットは“0”(禁止)にしてください。

タイマに関する注意事項

1. 分周器

カウントソースを生成する分周器は、タイマ全体で1つの回路を共用しています。

そのため各タイマを起動したときに、分周器の初期化は行いません。したがって、カウントソースに分周器を選択した場合、起動から実際にタイマがカウント開始、あるいは波形出力するまでの間には、最大カウントソースの1サイクル分の遅延が生じます。

また、カウントソースは外部から観測することはできません。

2. タイマ1~4の分周比

タイマラッチに値 n (0 ~ 255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

3. タイマ1~4、X、Yの分周の切り替えとカウントソースの切り替え

分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、XINモード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

4. STP命令時のタイマ1、2の設定

STP命令を実行するときは、復帰時の待ち時間をあらかじめ設定してください。

5. タイマ1~タイマ4の設定順序

タイマ1~タイマ4のカウントソースを切り替えるとき、カウント入力に細いパルスが生じてタイマのカウント値が不定になることがあります。また、タイマをカスケード接続して使用する場合、前段のタイマに書き込みを行うときに出力に細いパルスが生じて、後段のタイマのカウント値が不定になることがあります。

したがって、タイマ1~タイマ4のカウントソースを設定した後、タイマ1から順に値を設定してください。

6. タイマ2、タイマ3、タイマ4の書き込みについて

ラッチのみ書き込みの場合、リロード用ラッチに書き込むタイミングとアンドフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

7. タイマ3PWM0モード、タイマ4PWM1モード

(1) PWM出力開始後に一旦停止した場合、そのときの出力パルスのレベルによっては、出力を再開する時間が小区間の1区間 ($256 \times t_s$) 遅れることがあります。

“H”で停止：出力遅延なし

“L”で停止： $256 \times t_s$ 時間出力遅延する

(2) PWMモード使用時、タイマ3、タイマ4の割り込み要求及びタイマ3、タイマ4の値の更新は、大区間 ($4 \times 256 \times t_s$) の周期ごとに行われます。

8. タイマX書き込み順序について

(1) タイマモード、パルス出力モード、イベントカウンタモード、又はパルス幅測定モード設定時は、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で書き込みを行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)のいずれかのみ書き込みはできません。

上記モードの設定時に16ビットカウンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、注意してください。

(2) PWMモード、IGBT出力モードの設定時は、タイマXレジスタ(拡張)には“1”を書き込まないでください。また、すでに“1”が書き込まれた状態の場合は、必ず“0”を書き込んでから使用してください。書き込むときはコンペアレジスタ1、2、3(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタは上位、下位のどちらが先でもかまいません。コンペアレジスタ1、2、3とタイマXレジスタは必ず両方に書き込んでください。

9. タイマX読み出し順序について

(1) 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタ1、2、3については読み出しの順序は決まっていません。

(2) タイマXレジスタの読み出しは、16ビット単位で行ってください。読み出し操作の間書き込みを行わないでください。途中で読み出し操作を中止すると正常に動作をしません。

10. タイマXの書き込みについて

- (1) タイマXはタイマXモードレジスタ(002D16番地)のタイマX書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。
なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- (2) タイマXレジスタの書き込みは、16ビット単位で行ってください。書き込み操作の間に読み出しを行わないでください。途中で書き込み操作を中止すると正常に動作をしません。
- (3) 分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、XINモード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

11. タイマXモードレジスタ設定について

PWMモード、IGBT出力モード設定時は、タイマXモードレジスタの書き込み制御ビットは、必ず“1”(ラッチのみ書き込み)に設定してください。タイマXレジスタ(上位)の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

12. タイマX出力制御機能について

出力制御機能(INT1、INT2)を使用する場合、IGBT出力モードに切り替える前にINT1、INT2のレベルを立ち下がりエッジアクティブの場合は“H”、立ち上がりエッジアクティブの場合は“L”にしてください。

13. CNTR0極性切り替えについて

- (1) CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
- (2) パルス幅測定時は、CNTR0極性切り替えビットのビット7を“0”に設定してください。

14. タイマXパルス幅測定モード使用時

タイマXパルス幅測定モード使用時、イベントカウンタウィンド制御用データ(タイマXモードレジスタ(002D16番地)のビット5)を許可(“0”)にしてください。

<理由>

イベントカウンタウィンド制御用データ(タイマXモードレジスタ(002D16番地)のビット5)は、CNTR0の入力を許可/禁止するため“1”(禁止)にした場合、タイマ1のアンダフロー後CNTR0入力を受け付けなくなります。

15. CNTR1極性切り替えについて

CNTR1極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR1割り込み要求が発生します。

16. タイマYの読み出し及び書き込みについて

- (1) タイマYに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込みと読み出しは16ビット単位で行ってください。途中で書き込みや読み出しの操作を変更すると正常に動作しません。
- (2) タイマYはタイマY制御レジスタ(003916番地)のタイマY書き込み制御ビット(b0)によって、ラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマYのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマYのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。
なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- (3) 分周の切り替えとカウントソースの切り替え()は、タイマのカウントを停止させた状態で行ってください。

タイマのカウントソースに分周器出力を選択している場合、動作モード(オンチップオシレータモード、XINモード、低速モード)の遷移に伴い、カウントソースが切り替わる場合も含まれます。CPUモードレジスタの設定変更時は注意してください。

シリアルI/O1に関する注意事項

1. ボーレートジェネレータへの書き込み

ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

2. シリアルI/O1送信割り込み使用時の設定手順

シリアルI/O1送信割り込みを使用する場合は、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

- (1) シリアルI/O1送信割り込み許可ビット(割り込み制御レジスタ2(003F16番地)のビット2)を“0”(禁止)にする。
- (2) 送信許可ビットを“1”にする。
- (3) 一命令以上おいてからシリアルI/O1送信割り込み要求ビット(割り込み要求レジスタ2(003D16番地)のビット2)を“0”(割り込み要求なし)にする。
- (4) シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

<理由>

送信許可ビットを“1”にすると、送信バッファエンブティフラグ(シリアルI/O1ステータスレジスタのビット0)、及び送信シフトレジスタシフト終了フラグは、“1”になります。

したがって、送信割り込み要因選択ビット(シリアルI/O1制御レジスタのビット3)で割り込み発生要因をどちらに選択していても割り込み要求が発生し、シリアルI/O1送信割り込み要求ビットが“1”になります。

3. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグ(シリアルI/O1ステータスレジスタ(001916番地)のビット2)は、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

4. シリアルI/O1制御レジスタの再設定

シリアルI/O1制御レジスタの再設定は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信回路及び受信回路を初期化した後に行ってください。

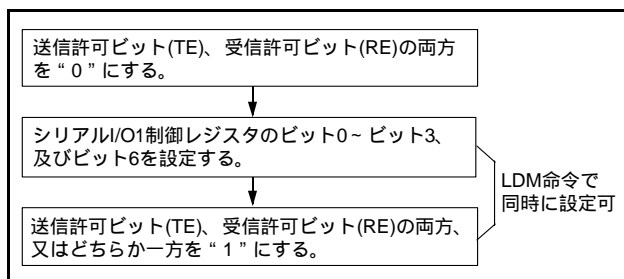


図104. シリアルI/O1制御レジスタの再設定手順

5. 送信終了後の端子の状態

送信終了後、TxD端子は送信終了時のレベルを保持します。クロック同期形シリアルI/Oモードで内部クロック選択時、SCLK1端子は“H”になります。

6. 送信動作中のシリアルI/O1許可ビット

送信時、シリアルI/O1許可ビット(シリアルI/O1制御レジスタ(001A16番地)のビット7)を“0”(シリアルI/O1禁止)にすると、端子機能は入出力ポートになり、外部へ送信データは出力されませんが、内部の送信動作は継続して行われます。また、この状態で送信バッファレジスタに書くと、内部では送信動作を開始します。このとき、シリアルI/O1許可ビットを“1”にすると、その時点から送信データをTxD端子に出力します。

7. 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

8. クロック同期形シリアルI/Oモード時の受信動作

クロック同期形シリアルI/Oモードの受信時、受信許可ビットとともに、送信許可ビットも“1”にしてください。次に、送信バッファレジスタにダミーデータを書いてください。同期クロックとして内部クロック選択時は、この時点で同期クロックが出力され、受信動作を開始します。外部クロック選択時は、この時点で受信できる状態になり、外部クロックが入力されると、受信動作を開始します。

なお、P41/TxD端子からは、送信バッファレジスタに書いたダミーデータが出力されます。

9. クロック同期形シリアルI/Oモード時の送受信動作

クロック同期形シリアルI/Oモード時、送受信動作を停止する場合は、送信許可ビット、及び受信許可ビットを同時に“0”にしてください。いずれか一方だけを停止すると、送信と受信の同期がとれなくなり、ビットずれが生じます。

シリアルI/O2に関する注意事項

1. 同期クロックの切り替え

シリアルI/O2同期クロック選択ビット(シリアルI/O2制御レジスタ(001D16番地)のビット6)により、同期クロックを切り替えた場合、シリアルI/O2カウンタの初期化(シリアルI/O2レジスタ(001F16番地)への書き込み)を行ってください。

2. 外部クロック選択時の注意事項

同期クロックとして外部クロックを選択している場合、SOUT2端子は転送終了後、D7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。

また、シリアルI/O2レジスタへの書き込みは、SCLK2が“H”の状態で行ってください。

なお、同期クロックとして内部クロックを選択している場合、SOUT2端子は転送終了後ハイインピーダンス状態になります。

A/D変換に関する注意事項

1. アナログ入力端子

アナログ入力端子の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、 $0.01\mu\text{F} \sim 1\mu\text{F}$ の外付けのコンデンサを付加してください。さらに、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/D変換中のクロック周波数

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、 X_{IN} モードでA/D変換を行う場合は $f(X_{\text{IN}})$ を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モード(オンチップオシレータ選択時)では、内蔵のオンチップオシレータを用いてA/D変換を行いますので、 $f(X_{\text{IN}})$ に下限周波数の制限はありません。

3. ADKEY機能

ADKEY許可ビットが“1”のとき、アナログ入力端子選択ビットは無効になります。ADKEY許可中はプログラムによるA/D変換は行わないでください。ADKEYを許可したことで、ADCONのビット0～ビット2の値が変化することはありません。

4. ADKEY機能起動直後のA/D変換

ADKEY機能では、ADKEY機能を起動した直後のアナログ入力電圧のA/D変換は行われません。そのため、ADKEY機能の起動直後のA/D変換結果は不定です。ADKEY端子へ入力したアナログ入力電圧のA/D変換結果が必要な場合は、ADKEYに該当するアナログ入力端子を選択した後にA/D変換を実行してください。

5. ADKEY端子への入力電圧

ADKEY端子への入力は急峻な立ち下がり波形にし、入力電圧が V_{IL} 以下になった瞬間から8クロックサイクル($f(X_{\text{IN}})=8\text{MHz}$ 時、 $1\mu\text{s}$)以内に入力電圧を安定させてください。

ADKEY端子の実際のしきい値電圧は $V_{\text{IH}}-V_{\text{IL}}$ 間の電圧です。

ノイズなどで不必要にADKEY動作を行わせないため、入力待ちの状態ではADKEY端子の電圧が V_{IH} ($0.9V_{\text{CC}}$)以上になるようにしてください。

6. A/D変換動作中のレジスタ操作

以下の操作を行った場合のA/D変換は動作を保証できません。

- ・A/D変換動作中にCPUモードレジスタを操作した場合
- ・A/D変換動作中にAD制御レジスタを操作した場合
- ・A/D変換動作中にSTP、WIT命令を実行した場合

7. A/Dコンバータ用電源端子

A/D変換機能の使用または不使用にかかわらず、A/Dコンバータ用電源端子 AV_{SS} は V_{SS} に接続してください。

<理由>

AV_{SS} 端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

LCD駆動制御回路に関する注意事項

1. 昇圧回路

昇圧回路使用時は、VL1端子に1.3V以上2.1V以下の電圧を印加後に、昇圧回路制御ビットを“1”(昇圧回路許可)に設定してください。

昇圧回路を使用しない場合はVL3接続ビットを“1”(開放)に設定し、LCD用電源入力端子(VL1～VL3)に適当な電圧を印加してください。VL3接続ビットが開放に設定されているときは、VL3端子はハイインピーダンス状態です。

昇圧回路使用時は、LCDCKの周波数を100Hz以上にしてください。また、LCDCKにオンチップオシレータは使用できません。

昇圧回路を使用するシステム(C1端子～C2端子間に昇圧用コンデンサを外付け)では、昇圧回路制御ビットを“1”(昇圧回路許可)にしてからSTP命令、WIT命令を実行してください。

2. LCD表示用RAMへのデータの設定

LCDイネーブルビットが“1”で、LCD点灯中にLCD表示用RAMにデータを書く場合は、確定したデータを書いてください。暫定的なデータの書き換えをすると、LCDがちらつく場合があります。下図にLCD点灯中にLCD表示用RAMにデータを書く場合の処理例を示します。

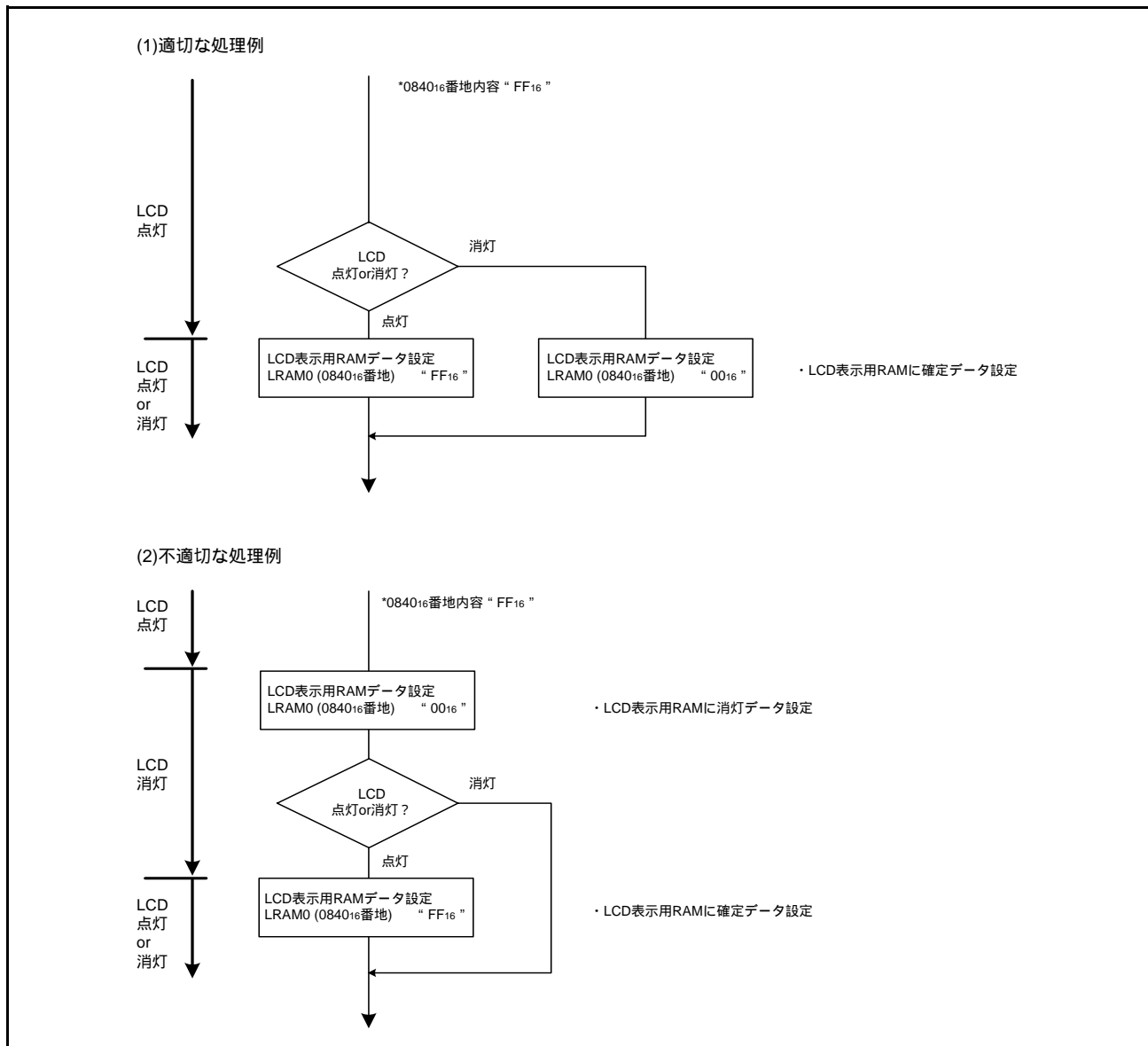


図105. LCD点灯中にLCD表示用RAMにデータを書く場合の処理例

3. STP命令を実行する場合

STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタ1(001316番地)のビット4)が“0”になり、LCDパネルは消灯します。ストップモードからの復帰後、LCDパネルを点灯させる場合は、LCDイネーブルビットを“1”にしてください。

4. VL3端子

VL3がVCCと等しい電圧でLCD駆動制御回路を使用する場合には、VL3端子にVCC電圧を印加し、VL3接続ビット(LCDモードレジスタ2(001416番地)のビット1)に“1”を書き込んでください。

5. LCD駆動電源

LCD電源用分割抵抗値とLCDパネルの特性により、電源容量が不足することがあります。この場合、VL1～VL3端子に0.1～0.33μF程度のバイパスコンデンサを接続する方法があります。下図にLCD駆動電源の強化対策例を示します。

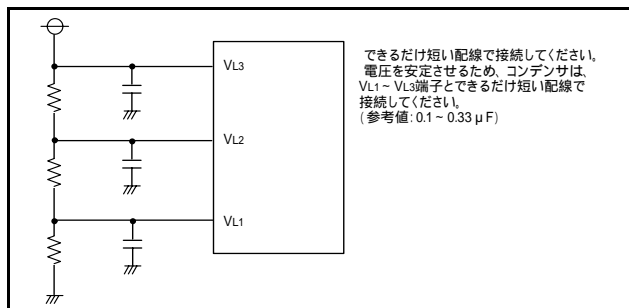


図106. LCD駆動電源の強化対策例

ROM訂正機能に関する注意事項

1. メインプログラムへの復帰

訂正プログラムからメインプログラムへの復帰には、JMP命令(3バイト命令)を使用してください。

2. ROM訂正機能を使用する場合

ROM訂正機能を使用する場合は必ず、ROM訂正アドレスレジスタを設定後にROM訂正アドレス許可ビットを許可にしてください。

3. アドレス

ROM訂正アドレスレジスタにはROM領域以外のアドレスを設定しないでください。また、ROM訂正アドレス1レジスタ、ROM訂正アドレス2レジスタには、同一のアドレスを設定しないでください。

4. ROM訂正用処理

あらかじめ、ROM訂正用処理をプログラムにいれておく必要があります。

5. ROM訂正機能を使用しない場合

ROM訂正機能を使用しない場合、ROM訂正用ベクトルは、通常のRAM/ROMとして使用できます。通常のRAM/ROMとして使用する場合は、必ずROM訂正許可レジスタのビット1、0を“0”(使用禁止)にしてください。

クロック発生回路に関する注意事項

1. 発振回路定数

発振回路の各定数は共振子により異なりますので、発振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には帰還抵抗を内蔵していませんので、10M程度程度の帰還抵抗を付加してください。

2. モード間の移行

オンチップオシレータモード、XINモード、低速モードの各々の間を移行する場合、XIN側、XCIN側ともに発振が安定している必要があります。電源投入直後やストップモードからの復帰時は特に注意してください。モード間の移行はシステムクロックの状態遷移図に従ってください。また、 $f(XIN)$ は $f(XCIN)$ の3倍以上の周波数としてください。XINモード時を使用しない(XIN-XOUT間の発振やXINへの外部クロック入力を行わない)場合、XINは抵抗を介してVCCに接続してください。

3. 発振安定

STP命令実行前にタイマ1、タイマ2のラッチ(タイマ1には下位8ビット、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値*を書き込んでおいてください。

* 参考値

(ご使用の発振子やシステムに応じて決定してください)

- フラッシュメモリ版、QzROM版のOSCSEL=“L”時
..... 000516以上
- QzROM版のOSCSEL=“H”時
..... 01FF16以上

4. 低速、XINモード

低速、XINモードを使用する場合は、XINとXOUT、XCINとXCOUT間の発振を許可した後、発振が安定するまでオンチップオシレータモードなどで待機してから切り替えてください。

フラッシュメモリモードに関する注意事項

1. CPU書き換えモード

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6, 7)によって、システムクロックが4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS} = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ウォッチドッグタイマに関する注意事項

1. ウォッチドッグタイマのアンダフロー

ストップモード時、ウォッチドッグタイマは動作しませんが、ストップ解除の待ち時間(タイマ1及びタイマ2で設定した時間)とウェイトモード時はウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

2. オンチップオシレータの発振停止

ウォッチドッグタイマカウントソース選択ビット2でオンチップオシレータを選択した場合、オンチップオシレータは強制的に発振し停止することはできません。また、このときSTP命令機能選択ビットは“1”にしてください。

オンチップオシレータを停止するシステムでは、ウォッチドッグタイマカウントソース選択ビット2は“0”(φSOURCE)を選択してください。

3. ウォッチドッグタイマ制御レジスタ

ビット7～ビット5はリセット後、1度だけ書き込みが可能です。書き込み後は、ロックされるため、書き換えはできません。これらのビットはリセット後“0”になります。

QzROM版/フラッシュメモリ版の相違点に関する注意事項

QzROM版とフラッシュメモリ版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。

QzROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

機能の相違は10ページを確認してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時に電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC}端子)とGND端子(V_{SS}端子)との間、および電源端子(V_{CC}端子)とアナログ電源入力端子(AV_{SS}端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF～0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

メモリに関する注意事項

1. RAM

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

QzROM版に関する注意事項

1. OSCSEL端子配線

(1) OSCSEL端子=Lの場合

OSCSEL端子は、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、5k程度の抵抗を直列に挿入しGNDに接続する事でノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

(2) OSCSEL端子=Hの場合

OSCSEL端子は、マイコンのV_{CC}端子に供給しているV_{CC}からできるだけ近いV_{CC}パターンに最短で接続してください。

また、5k程度の抵抗を直列に挿入しV_{CC}に接続する事でノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{CC}端子に供給しているV_{CC}からできるだけ近いV_{CC}パターンに最短で接続してください。

理由

OSCSEL端子は内蔵QzROMの電源入力端子です。QzROMへプログラムを書き込むときに、書き込み電流が流れるようにOSCSEL端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。OSCSEL端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行なわれず、暴走の原因となります。

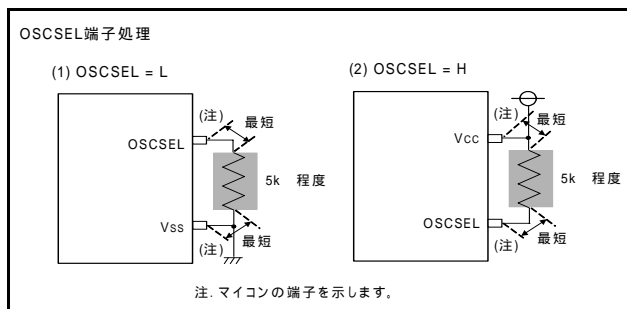


図107. OSCSEL端子の配線

2. QzROM版過電圧

他の端子に、V_{CC}端子電圧を超える電圧がかからないように注意してください。

特に、電源立ち上げ時及び立ち下げ時のOSCSEL端子(QzROMのV_{PP}電源入力端子)に関し、下図の太線の区間に示すような状態にならないようにしてください。

このような状態になると、QzROMの内容が書き換わる可能性があります。

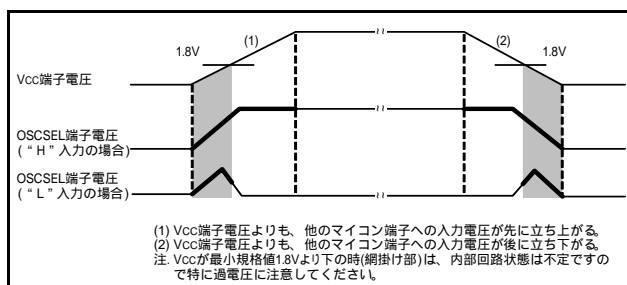


図108. タイミング図(太線の区間が該当)

3. QzROM版ブランク出荷品

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また、書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

4. QzROM書き込み発注時

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”、“FE16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無に関わらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

5. QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- QzROM書き込み確認書*
- マーク指定書*
- ROMのデータ・・・マスクファイル

*QzROM書き込み確認書及びマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応していません。

6. QzROM 品受け入れ手順

お客様で書き込みを実施される場合は、下記の手順で受け入れ検査を実施してください。

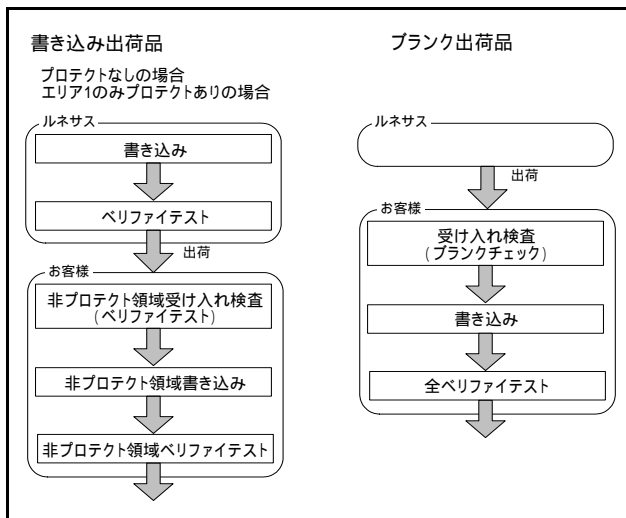


図109. QzROM 受け入れ手順

フラッシュメモリ版に関する注意事項

1. CPU書き換えモード

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、システムクロックが4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFF_{C16}、FFF_{D16}番地に格納されたアドレスからプログラムがスタートします。

2. CNV_{SS}端子

CNV_{SS}端子はフラッシュメモリモードを決定する端子です。

CNV_{SS}端子は、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。(注)また、5k程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

注. ブートモード、標準シリアル入出力モードを使用する場合は、CNV_{SS}端子の入力レベル切り替えが必要になります。

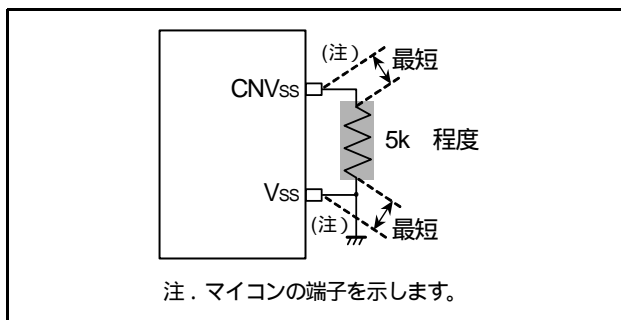


図110. CNV_{SS}端子の配線

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.08.24	-	初版発行
2.00	2006.01.23	-	端子名変更：CNVss OSCSEL
		-	周波数 名称変更：ROSC OCO
		-	モード名変更：中・高速モード 2分周、4分周、8分周モード
		-	レジスタビット名変更
			1. ROSC 停止設定ビット オンチップオシレータ停止ビット
			2. STP 命令禁止ビット STP 命令機能選択ビット
			3. アドレス1許可ビット(RC0) ROM 訂正アドレス1許可ビット
			4. アドレス2許可ビット(RC1) ROM 訂正アドレス2許可ビット
			5. ROM 訂正メモリ制御ビット ROM 訂正メモリ選択ビット
		1	概要、消費電力、電源電圧 改訂、電源電圧の注意事項 追記
		4	電源電圧 改訂、電源電圧の注意事項 追記 消費電力 改訂
		6	表2 端子の機能説明： 入出力ポートP1の機能説明 一部改訂、OSCSEL（発振開始選択端子） 説明追記
		8	図5 38D5 グループ、表3 サポート製品一覧に下記追記 M38D59GFFP/HP ブランク・書き込み品、M38D59GCFFP/HP ブランク・ 書き込み品
		12	【CPU モードレジスタ】CPUM 説明改訂 図8 CPUモードレジスタの構成 - オンチップオシレータ停止ビット注意事項 追記 - メインクロック分周選択ビット注意事項 追記 図9 CPUモードレジスタの切り替え手順 改訂
		13	図10 メモリ配置図 予約ROM領域：FFD416～FFDC16 FFD016～FFDC16 ROM ベクトルについての注意事項 追記
		14	図11 SFR 0FFD16 改訂 予約領域(アクセス禁止)、注意事項追記
		22	表7 使用しない端子の処理方法 XIN, XOUT処理 追記
		51	ROM 訂正機能：「ブロック」「ベクトル」へ変更、メモリ配置図追記
		52	ウォッチドッグタイマの初期値 説明一部追記 ウォッチドッグタイマの動作 説明一部削除 ウォッチドッグタイマ制御レジスタのビット6 追記、注2 改訂
		53	図50 ウォッチドッグタイマ制御レジスタの構成： ビット6の名称（上記2）と機能説明変更、注2、注3 追記
		55	図55 リセット時のタイミング図：OCOに関する記述改訂
		57	クロック発生回路 説明一部追記
		58	(1) ストップモード 説明一部追記
		59	ROSC クロック分周比選択ビットに関する記述削除
		60	図60 システムクロックの状態遷移図： オンチップオシレータモード $=f(OCO)$ $=f(OCO)/32$ - メインクロック分周選択ビット注意事項 追記

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.23	61-65 68 69 70 71 73 74 75 76 77 81	QzROM 書き込みモード (概要、端子の機能説明、端子結線図、基板上の端子処理例) 追記 (6) OSCSEL 端子処理配線 改訂 QzROM 品受け入れ手順記載 表14 推奨動作条件 Vcc(電源電圧)及び注意事項 改訂 表15 推奨動作条件 VIH、VIL (RESET) 改訂 表17 推奨動作条件 全面改訂、動作電源電圧範囲グラフ 追記 表18 電気的特性 ROSC f(OCO) 表19 電気的特性 Icc 電源電流 改訂 表20 A/D コンバータ推奨動作条件 改訂 表21 ABS 絶対精度 測定条件 改訂 AD 動作電源電圧グラフ 追記 表22 タイミング必要条件1 tc(XIN)、tWH(XIN)、tWL(XIN) 改訂 注意事項追記 外形寸法図 改訂
2.01	2006.03.24	1 4 16 51 52 58 59 60 70 73 76	特長：電源電圧 改訂 性能概要：電源電圧 改訂 表6 ポートP7の関連するSFR 改訂 図46 ROM 訂正アドレス1レジスタ番地 改訂 図49 注1 モード名改訂 (1) ストップモード 改訂 図59 SOURCE 追記 図60 システムクロックの状態遷移図：注3 改訂 表14 推奨動作条件：電源電圧及び注3 改訂 表17 推奨動作条件：メインクロック入力発振周波数グラフ 追加 表21 f(OCO)及び注 改訂
2.02	2006.07.25	14 21 22 29 32 33 35 43 51 53 57	図11 ROM 訂正アドレス1、2レジスタ名 改訂 未使用端子の処理方法 入出力ポートの処理方法に説明追加 表7 ・処理方法1(推奨):(推奨)削除 ・P70/C1/INT01, P71/C2/INT11の処理方法1~3:改訂 タイマ1,2のXCINをカウントソースとする場合の文言変更 タイマXのXCINをカウントソースとする場合の文言変更 図26 (TXCON1 bit5 = "1") (TXCON1 bit5 = "0") タイマYのXCINをカウントソースとする場合の文言変更 図38 SOURCE クロック追加 図47 ROM エリア内境界線:改訂 図50 b5, b7:改訂 動作モード:説明追加

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.02	2006.07.10	61 64 ~ 67 76	表 12 VREF, AVSSの機能：改訂 図 63 ~ 66：改訂及び追加 表 18 I _{IH} , I _{IL} の項目：追加
2.03	2007.02.02	13 12、60 14 15 22 25 30 31 32 34 35 36 41 43、44 45 50 51 53 54 59 61 64 ~ 67	メモリ ・ROM：説明改訂 ・ROMコードプロテクト番地：説明改訂、追記 図 10：予約ROM領域 <u>FFD016</u> <u>FFDB16</u> 図 8、図 60：CPUM2(ビット2 ~ 7)改訂 図 11：ROM 訂正許可レジスタ ROM 訂正許可レジスタ(RCR) 方向レジスタ：説明追記 図 13：PULL3(ビット4 ~ 7)、SEG2(ビット4 ~ 7)改訂 VL3の処理方法1、2 改訂 図 19：INTEDGE(ビット6)、ICON2(ビット7)改訂 図 24：T1234M(ビット7)、PWM01(ビット7)改訂 図 25：改訂 (3) IGBT 出力モード、(4) PWM モード： タイマX ₁ 出力 タイマX出力 ₁ 、タイマX ₂ 出力 タイマX出力 ₂ 図 27：TXCON1(ビット3、4)、TXCON2(ビット7)改訂 図 28：注追記、 リアルタイムポート用P ₅₁ データ リアルタイムポート用RTP ₁ データ リアルタイムポート用P ₅₀ データ リアルタイムポート用RTP ₀ データ ・タイマY：説明改訂 図 29：TYM(ビット2、3)、TYCON(ビット4 ~ 7)改訂 図 36：注追記 【AD 制御レジスタ】 図 39 注2、 ADKEY 機能： アナログ入力選択ビット アナログ入力端子選択ビット 図 38：注追記 図 40：SEG2(ビット2)、LM2(ビット1 ~ 7)改訂 図 45：3 時分割改訂 ROM 訂正機能：説明追記 図 47：予約ROM 領域 <u>FFD016</u> <u>FFDB16</u> 図 48：改訂 図 49：オンチップオシレータ オンチップオシレータの4分周、 ウォッチドッグタイマ選択ビット2 ウォッチドッグタイマカウン トソース選択ビット2注追記 図 51：CKOUT(ビット2 ~ 7)改訂 図 58：回路表現改訂 表 12：P41 <u>ESDA入力</u> <u>ESDA入出力</u> 図 63 ~ 図 66：改訂

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.03	2007.02.02	71 72	過電圧に関する注意事項：説明追記、図73 追記 表13：VIにOSCSEL 追記 Voに条件追記
3.00	2007.06.06	- - 1、4、5、 9 2、3、 87、88 7 9 10 14 16 17 18 26～30 33 34、37 37 38 39 40 41 46 47 48 50 52 53 54、55	38D5グループ(開発用フラッシュメモリ版)(ドキュメントNo. RJJ03B0192)は、本データシートに統合しました。 「RENESAS TECHNICAL UPDATE」反映： TN-740-A111A/J フラッシュメモリ版の内容追記、消費電力改訂 図1、2、80、81 M38D59TFFP/HP M38D59FFFP/HP 表3 P73とP74の機能欄改訂 図5 改訂 表「QzROM版とフラッシュメモリ版の相違」 追記 【CPUモードレジスタ】説明一部削除、改訂 図8 改訂 ROM 説明追記 ROMコードプロテクト番地 説明追記 図10 改訂(フラッシュメモリ版のSFR追記、注追記) 図11 改訂(フラッシュメモリ版のSFR追記、注追記) 図13 PULL3、SEG2改訂 割り込み 全面改訂 図25 改訂 タイマ用分周器 説明改訂 (6)パルス幅測定モード 説明追記 注意事項 説明追記、改訂 (7)タイマXパルス幅測定モード使用時 追記 タイマY 説明改訂 (5)リアルタイムポート制御 追記 (3)リアルタイムポート制御 削除 P40へ移動 注意事項(2) 説明改訂 シリアルI/O2 説明改訂 【シリアルI/O2の動作】 追記 図40 改訂 【コンパレータ及び制御回路】 説明改訂 図43 SEG2 ビット7改訂 バイアス制御とLCD用電源入力端子への印加電圧 説明追記 昇圧回路 説明追記 注意事項 追記 図47 3時分割改訂

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2007.06.06	57	ウォッチドッグタイマの初期値、ウォッチドッグタイマの動作、注意事項(1) 説明改訂
		58	図53 注2 リセット解除後 リセット後
		59	図55 改訂
		60	リセット回路 説明追記 図57、図58 改訂
		61	図59 クロック出力制御レジスタ追記、注追記
		62	クロック発生回路： ・リセット解除直後 リセット後 ・説明追記 動作モード：説明追記、リセット解除後 リセット後
		63	(1) ストップモード 説明追記 (フラッシュメモリ版の内容追記)
		65	図63 レジスタ図改訂、注追記
		73	フラッシュメモリモード 説明追記
		74	図70 注3追記
		75	機能概要 説明追記
		78	・プログラムコマンド 説明改訂
		79	・ブロックイレーズ 説明改訂
		84	パラレル入出力モード 説明一部削除
		89	図82 改訂
		90	図83 改訂
		92	プロセッサステータスレジスタに関するもの 説明追記
		98、109	表21、34 ・Vi OSCSEL 欄追記 ・Vo 出力ポート時、セグメント出力時の定格値改訂 ・Vo COM ₀ ~ COM ₃ 追記、定格値改訂
		99 ~ 107	表22 ~ 表33 条件に V _{SS} =0V 追記
		99	表23 V _{IH} $\overline{\text{RESET}}$ 改訂
		102	表26 V _{CC} =4.0 ~ 5.5V V _{CC} =1.8 ~ 5.5V
		104	表29 ・10bitAD 選択時 2.2V ≤ V _{CC} 4.0V 2.2V $\overline{\text{VCC}}$ 4.0V 1.8V ≤ V _{CC} 5.5V 2.0V $\overline{\text{VCC}}$ 5.5V ・8bitAD 選択時 2.0V ≤ V _{CC} 2.2V 2.0V $\overline{\text{VCC}}$ 2.2V 1.8V ≤ V _{CC} 5.5V 2.0V $\overline{\text{VCC}}$ 5.5V
		105、116	表30 表44 各メインクロック入力 ・V _{CC} =4.5V ~ 5.5V時 V _{CC} =4.0V ~ 4.5V時 4.5V V _{CC} 5.5V 4.0V V _{CC} 4.5V

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容			
		ページ	ポイント		
3.00	2007.06.06	106	表31 ・2.0V Vcc <u>4.0V</u> 2.0V Vcc <u>≤ 4.0V</u> ・Vcc 2.0V Vcc < 2.0V ・(注1)追記		
		109	表34 CNVss追記 保存温度、 <u>- 65</u> ~ 125 <u>- 40</u> ~ 125		
		113	表39 IILの規格値変更		
		114	表40 全規格値改訂		
		114、115	表40 ~ 42 条件にVss=0V追記		
		115	表42 2.7V < Vcc <u>4.0V</u> 2.7V Vcc <u>4.0V</u> 2.7V Vcc <u>5.5V</u> 、f(OCO)/8, f(OCO)/32測定条件 追記		
		116	表43 追記 表44 メインクロック入力“L”パルス幅 追記 注1 分周モード <u>2</u> 分周モード		
		121 ~ 133	付録追記		
		3.01	2007.07.25	7	表3 CNVSS機能欄 改訂
				9	メモリ容量 改訂 図5 改訂
10	表5 低速モード時のオンチップオシレータを停止させるように変更 QzROM版とフラッシュメモリ版の相違による注意点 項目追加				
11	中央演算処理装置 改訂				
14	図8 低速モード時のオンチップオシレータを停止させるように変更				
27	図18 改訂				
49	図42 改訂				
57	注意事項 追加				
58	図53 注意追加				
62	クロック発生回路・低速モード 低速モード時のオンチップオシレータを停止させるように変更 動作モード(3)低速モード 低速モード時のオンチップオシレータを停止させるように変更				
65	図63 注意事項 改訂 低速モード時のオンチップオシレータを停止させるように変更				
66	表14 改訂				
86	表20 改訂				
92	ポートに関する注意事項 方向レジスタに関する注意事項 命令の実行時間に関する注意事項 改訂				
93	QzROM版過電圧 過電圧				
95	QzROM版/フラッシュメモリ版の相違点に関する注意事項 追記				
99	表22 改訂				
100	表24 改訂				
103	表28 改訂				

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.01	2007.07.25	104	表29 改訂
		106	表31 改訂
		107	表32 改訂 表33 改訂
		109	表34 改訂
		110	表36 改訂
		115	表42 改訂 注記 改訂
		118	表46 改訂
		121	(2) プロセッサステータスレジスタの参照方法 改訂
		131	2. オンチップオシレータの発振停止 追記 QzROM版/フラッシュメモリ版の相違点に関する注意事項 追記 リセット端子に関する注意事項 追加
		132	QzROM版過電圧 過電圧
3.02	2007.09.11	48	AD割り込み AD変換割り込み 図41 A/D割り込み AD変換割り込み
		52	図45 1/3バイアス昇圧回路使用時のVL1外付け：コンデンサ 昇圧用電源
		99	推奨動作条件(1)、(2)をひとつの表に合成
		110	推奨動作条件(1)、(2)をひとつの表に合成
3.03	2008.05.20	2	図1 「P20/SEG0(KW4)」 「P20/SEG0/(KW4)」 「P21/SEG1(KW5)」 「P21/SEG1/(KW5)」 「P22/SEG2(KW6)」 「P22/SEG2/(KW6)」 「P23/SEG3(KW7)」 「P23/SEG3/(KW7)」
		3	図2 「P22/SEG2(KW6)」 「P22/SEG2/(KW6)」 「P23/SEG3(KW7)」 「P23/SEG3/(KW7)」
		4	表1 LCD駆動制御回路：時分割「スタティック」追記
		16	注意事項 追記
		18	図11 OFFE16、OFFF16 「予約」追記
		40	図30 TXCON1 改訂
		60	図54 「(“1”を書き込まないでください。)」削除
		61	図58 「OCO32768サイクル」 「OCO約32768サイクル」 「XIN8192サイクル」 「XIN約8192サイクル」
		67	表14 「ESDA入力」 「ESDA入出力」
		68	図64 「P20/SEG0(KW4)」 「P20/SEG0/(KW4)」 「P21/SEG1(KW5)」 「P21/SEG1/(KW5)」 「P22/SEG2(KW6)」 「P22/SEG2/(KW6)」 「P23/SEG3(KW7)」 「P23/SEG3/(KW7)」
		69	図65 「P22/SEG2(KW6)」 「P22/SEG2/(KW6)」 「P23/SEG3(KW7)」 「P23/SEG3/(KW7)」

改訂記録	38D5 グループデータシート
------	-----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.03	2008.05.20	77	図 73 改訂
		88	図 80 「 P20/SEG0(KW4) 」 「 P20/SEG0/(KW4) 」 「 P21/SEG1(KW5) 」 「 P21/SEG1/(KW5) 」 「 P22/SEG2(KW6) 」 「 P22/SEG2/(KW6) 」 「 P23/SEG3(KW7) 」 「 P23/SEG3/(KW7) 」
		89	図 81 「 P22/SEG2(KW6) 」 「 P22/SEG2/(KW6) 」 「 P23/SEG3(KW7) 」 「 P23/SEG3/(KW7) 」
		94、133	4. QzROM 書き込み発注時 改訂

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
鳥	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	支			

営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com